

# ISO7231C-Q1 高速、トリプルデジタルアイソレータ

## 1 特長

- 車載アプリケーション認定済み
- 25Mbps の信号速度オプション
  - 小さいチャネル間出力スキュー
  - 低いパルス幅歪み (PWD)
  - 低ジッタ成分: 25Mbps で標準値 1ns
- 定格動作電圧で標準寿命 25 年  
(「[絶縁寿命予測](#)」を参照)
- ESD 保護: 4kV
- 3.3V または 5V の電源で動作
- 40°C~125°C の動作範囲
- 安全関連の認証**
  - DIN EN IEC 60747-17 (VDE 0884-17)
  - UL 1577 部品認定プログラム
  - IEC 61010-1 認定、IEC 62368-1 認定

## 2 アプリケーション

- ファクトリオートメーション**
  - Modbus
  - Profibus™
  - DeviceNet™ データバス
- コンピュータペリフェラルインターフェイス**
- サーボ制御インターフェイス**
- データアクイジション**

## 3 概要

ISO7231C-Q1 は、それぞれ複数のチャネル構成と出力イネーブル機能を備えたトリプルチャネルのデジタルアイソレータです。これらのデバイスは、テキサス・インスツルメンツ独自の二酸化ケイ素 (SiO<sub>2</sub>) 絶縁バリアで分離されたロジック入出力バッファを備えています。これらのデバイスを絶縁型電源と組み合わせて使用すると、高電圧がブロッ

クされ、グランドが絶縁されます。また、データバスや他の回路で発生したノイズ電流がローカルグランドに入り込み、ノイズに敏感な回路に干渉または損傷を与えることを防止します。

ISO7231C-Q1 には、一方方向の 2 チャネルと、反対方向の 1 チャネルがあります。これらのデバイスは、アクティブ HIGH 出力イネーブルを備えており、Low レベルに駆動すると出力は高インピーダンス状態になります。

ISO7231C-Q1 デバイスは、TTL 入力しきい値とノイズ フィルタが入力に存在し、パルス幅 2ns までの遷移パルスがデバイスの出力に渡されることを防止します。

各デバイスで、絶縁バリアを通して周期的に更新パルスが送信され、適切な DC 出力レベルを実現します。この DC 更新パルスが受信されない場合、入力に電力が供給されていない、またはアクティブに駆動されていないと見なされ、フェイルセーフ回路により出力が論理 HIGH 状態に駆動されます。(ロジック LOW フェイルセーフオプションについては、テキサス・インスツルメンツにお問い合わせください)。

これらのデバイスは、3.3V、5V、または任意の組み合わせの 2 つの電源電圧を必要とします。3.3V 電源で動作するとき、すべての入力は 5V 許容で、すべての出力は 4mA CMOS です。これらのデバイスは、-40°C~125°C の周囲温度範囲で動作するように特性評価されています。

表 3-1. パッケージ情報

デバイス	パッケージ <sup>(1)</sup>	本体サイズ (公称)	パッケージサイズ <sup>(2)</sup>
ISO7231C-Q1	DW (SOIC, 16)	10.30mm × 7.50mm	10.30mm × 10.30mm

(1) 詳細については、[セクション 10](#) を参照してください。

(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はビンも含まれます。

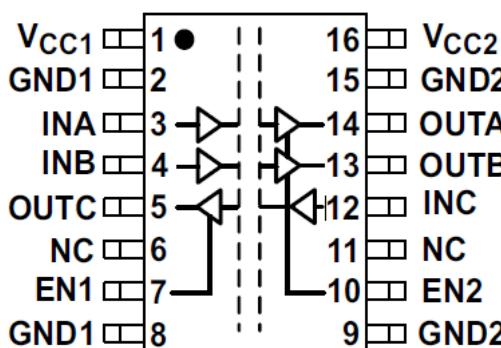


図 3-1. ISO7231C-Q1

## 目次

<b>1 特長</b>	<b>1</b>	4.17 代表的特性	<b>11</b>
<b>2 アプリケーション</b>	<b>1</b>	<b>5 パラメータ測定情報</b>	<b>13</b>
<b>3 概要</b>	<b>1</b>	<b>6 詳細説明</b>	<b>15</b>
<b>4 仕様</b>	<b>3</b>	6.1 概要	<b>15</b>
4.1 絶対最大定格	3	6.2 機能ブロック図	<b>15</b>
4.2 ESD 定格	3	6.3 機能説明	<b>16</b>
4.3 推奨動作条件	3	6.4 デバイスの機能モード	<b>16</b>
4.4 熱特性	3	<b>7 アプリケーションと実装</b>	<b>17</b>
4.5 電力定格	4	7.1 アプリケーション情報	<b>17</b>
4.6 絶縁仕様	4	7.2 代表的なアプリケーション	<b>17</b>
4.7 安全関連認証	4	7.3 電源に関する推奨事項	<b>18</b>
4.8 安全限界値	6	7.4 レイアウト	<b>19</b>
4.9 電気的特性: 3.3V 動作時の $V_{CC1}$ と $V_{CC2}$	6	<b>8 デバイスおよびドキュメントのサポート</b>	<b>20</b>
4.10 電気的特性: 5V 動作時の $V_{CC1}$ と $V_{CC2}$	7	8.1 ドキュメントのサポート	<b>20</b>
4.11 電気的特性: 3.3V 動作時の $V_{CC1}$ 、5V 動作時の $V_{CC2}$	7	8.2 ドキュメントの更新通知を受け取る方法	<b>20</b>
4.12 電気的特性: 5V 動作時の $V_{CC1}$ 、3.3V 動作時の $V_{CC2}$	8	8.3 サポート・リソース	<b>20</b>
4.13 スイッチング特性: 3.3V 動作時の $V_{CC1}$ と $V_{CC2}$	9	8.4 商標	<b>20</b>
4.14 スイッチング特性: 5V 動作時の $V_{CC1}$ と $V_{CC2}$	9	8.5 静電気放電に関する注意事項	<b>20</b>
4.15 スイッチング特性: 3.3V 動作時の $V_{CC1}$ と 5V 動作時の $V_{CC2}$	10	8.6 用語集	<b>20</b>
4.16 スイッチング特性: 5V 動作時の $V_{CC1}$ 、3.3V 動作時の $V_{CC2}$	10	<b>9 改訂履歴</b>	<b>20</b>
		<b>10 メカニカル、パッケージ、および注文情報</b>	<b>21</b>

## 4 仕様

### 4.1 絶対最大定格

(1) を参照

			値	単位
$V_{CC}$	電源電圧 <sup>(2)</sup> 、 $V_{CC1}$ 、 $V_{CC2}$		-0.5~6	V
$V_I$	IN、OUT、EN の電圧		-0.5~6	V
$I_O$	出力電流		$\pm 15$	mA
ESD	静電放電	人体モデル	$\pm 4$	kV
		電界誘起荷電デバイスモデル	$\pm 1$	
$T_J$	最大接合部温度		150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 差動 I/O バス電圧を除くすべての電圧値は、ローカル グランド端子 (GND1 または GND2) を基準としており、ピーク電圧値です。

### 4.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電 <sup>(3)</sup>	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン <sup>(1)</sup>	$\pm 4000$	V
		デバイス帶電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン <sup>(2)</sup>	$\pm 1000$	V

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (3) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

### 4.3 推奨動作条件

		最小値	標準値	最大値	単位
$V_{CC}$	電源電圧 <sup>(2)</sup> 、 $V_{CC1}$ 、 $V_{CC2}$	3.15	5.5		V
$I_{OH}$	High レベル出力電流		-4		mA
$I_{OL}$	Low レベル出力電流			4	mA
$t_{ui}$	入力パルス幅	40			ns
$1/t_{ui}$	信号速度	0	30 <sup>(1)</sup>	25	Mbps
$V_{IH}$	高レベル入力電圧 (IN) (すべてのデバイスで EN)	2		$V_{CC}$	V
$V_{IL}$	Low レベル入力電圧 (IN) (すべてのデバイスでは EN)	0	0.8		
$T_A$	外気温度での動作時	-40	125		°C
H	IEC 61000-4-8 と IEC 61000-4-9 の各認証に準拠する外部磁界耐性			1000	A/m

- (1) 25°C での理想的な条件下での標準的な信号速度。
- (2) 5V 動作の場合、 $V_{CC1}$  または  $V_{CC2}$  は 4.5V~5.5V の範囲で規定されています。3V 動作の場合、 $V_{CC1}$  または  $V_{CC2}$  は 3.15V~3.6V の範囲で規定されています。

### 4.4 熱特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
$\theta_{JA}$	接合部から空気へ	Low-K の熱抵抗 <sup>(1)</sup>		168	°C/W
		High-K の熱抵抗		68.6	
$\theta_{JB}$	接合部から基板への熱抵抗			33.5	°C/W
$\theta_{JC}$	接合部からケースへの熱抵抗			33.9	°C/W

- (1) リード付き表面実装パッケージについて、EIA/JESD51-3 の Low-K または High-K の熱評価基準の定義に従ってテスト済みです。

## 4.5 電力定格

$V_{CC1} = V_{CC2} = 5.5V$ 、 $T_J = 150C$ 、 $C_L = 15 pF$ 、25 Mbps 50% デューティ サイクルの方形波を入力

パラメータ	テスト条件	最小値	標準値	最大値	単位
$P_D$	デバイスの消費電力、ISO723x			220	mW

## 4.6 絶縁仕様

パラメータ	テスト条件	値	単位	
<b>一般</b>				
CLR	外部空間距離 <sup>(1)</sup>	空気を介した最短のピン間距離	8	mm
CPG	外部沿面距離 <sup>(1)</sup>	パッケージ表面に沿った最短のピン間距離	8	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	0.008	mm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11)、IEC 60112	≥ 400	V
	材料グループ		II	
過電圧カテゴリ		定格商用電源 $V_{RMS}$ が 150 以下	I-IV	
		定格商用電源 $V_{RMS}$ が 300 以下	I-III	
		定格商用電源 $V_{RMS}$ が 400 以下	I-II	
<b>DIN EN IEC 60747-17 (VDE 0884-17):<sup>(2)</sup></b>				
$V_{IORM}$	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	560	$V_{PK}$
$V_{IOTM}$	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}$ 、 $t = 60$ s (認定); $V_{TEST} = 1.2 \times V_{IOTM}$ 、 $t = 1$ s (100% 出荷時)	4000	$V_{PK}$
$q_{pd}$	見掛けの電荷 <sup>(3)</sup>	方法 a: I/O 安全テスト サブグループ 2/3 の後、 $V_{ini} = V_{IOTM}$ 、 $t_{ini} = 60$ s、 $V_{pd(m)} = 1.2 \times V_{IORM}$ 、 $t_m = 10$ s	≤ 5	pC
		方法 a: 環境テスト サブグループ 1 の後、 $V_{ini} = V_{IOTM}$ 、 $t_{ini} = 60$ s、 $V_{pd(m)} = 1.3 \times V_{IORM}$ 、 $t_m = 10$ s	≤ 5	
		メソッド b: ルーチン テスト (100% 出荷時)、 $V_{ini} = 1.2 \times V_{IOTM}$ 、 $t_{ini} = 1$ s、 $V_{pd(m)} = 1.5 \times V_{IORM}$ 、 $t_m = 1$ s (メソッド b1) または $V_{pd(m)} = V_{ini}$ 、 $t_m = t_{ini}$ (メソッド b2)	≤ 5	
$C_{IO}$	絶縁バリア容量、入力から出力へ <sup>(4)</sup>	$V_{IO} = 0.4 \times \sin(2\pi ft)$ 、 $f = 1MHz$	1	pF
$R_{IO}$	絶縁抵抗、入力から出力へ <sup>(4)</sup>	$V_{IO} = 500V$ 、 $T_A = 25^{\circ}C$	$> 10^{12}$	$\Omega$
		$V_{IO} = 500V$ ( $100^{\circ}C \leq T_A \leq 125^{\circ}C$ 時)	$> 10^{11}$	
		$V_{IO} = 500V$ ( $T_S = 150^{\circ}C$ 時)	$> 10^9$	
	汚染度		2	
	耐候性カテゴリ		40/125/21	
<b>UL 1577</b>				
$V_{ISO}$	絶縁耐圧	$V_{TEST} = V_{ISO} = 2500 V_{RMS}$ 、 $t = 60$ s (認定)、 $V_{TEST} = 1.2 \times V_{ISO} = 3000 V_{RMS}$ 、 $t = 1$ s (100% 出荷時)	2500	$V_{RMS}$

- (1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上にグループやリブを設けるなどの技法を使用して、これらの仕様値を大きくすることができます。
- (2) この絶縁素子は、最大動作定格内に限定した基本的な電気的絶縁に適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
- (3) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
- (4) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 端子のデバイスを構成します。

## 4.7 安全関連認証

VDE	CSA	UL
DIN EN IEC 60747-17 (VDE 0884-17) による認証	IEC 62368-1 による認証	UL 1577 部品認定プログラムによる認証

VDE	CSA	UL
基本認証:40047657	マスタ契約書番号:220991	ファイル番号:E181974

## 4.8 安全限界値

安全限界値<sup>(1)</sup>の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。I/O回路の故障により、グランドあるいは電源との抵抗が低くなることがあります。電流制限がないと、チップがオーバーヒートして絶縁バリアが破壊されるほどの大電力が消費され、ひいてはシステムの2次故障に到る可能性があります。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I <sub>S</sub>	安全入力、出力、または電源電流	R <sub>θJA</sub> = 212°C/W、V <sub>I</sub> = 5.5V、T <sub>J</sub> = 170°C、T <sub>A</sub> = 25°C、熱特性を参照		124		mA
		R <sub>θJA</sub> = 212°C/W、V <sub>I</sub> = 3.6V、T <sub>J</sub> = 170°C、T <sub>A</sub> = 25°C、熱特性を参照		190		
T <sub>S</sub>	安全温度			150		°C

- (1) 安全限界は、データシートで規定されている最大接合部温度です。接合部の温度は、アプリケーションハードウェアに搭載されているデバイスの消費電力、および接合部から空気への熱抵抗により決定されます。表で前提とされている接合部から空気への熱抵抗は、リード付き表面実装パッケージ向けの high-K テスト基板に実装されたデバイスの数値です。電力は、推奨最大入力電圧と電流との積です。この場合の接合部温度は、接合部から空気への熱抵抗と電力との積に周囲温度を加えたものです。

## 4.9 電気的特性：3.3V 動作時の V<sub>CC1</sub> と V<sub>CC2</sub>

推奨動作条件範囲内 (特に記述のない限り)<sup>(1)</sup>

パラメータ		テスト条件		最小値	標準値	最大値	単位
<b>電源電流</b>							
I <sub>CC1</sub>	ISO7231C-Q1	静止時	3V の V <sub>I</sub> = V <sub>CC</sub> または 0V、すべてのチャネル、無負荷、EN <sub>1</sub> 、3V の EN <sub>2</sub>	4.5	7		mA
		25Mbps		6.5	11		
I <sub>CC2</sub>	ISO7231C-Q1	静止時	3V の V <sub>I</sub> = V <sub>CC</sub> または 0V、すべてのチャネル、無負荷、EN <sub>1</sub> 、3V の EN <sub>2</sub>	8	12		mA
		25Mbps		10.5	16		
<b>電気的特性</b>							
I <sub>OFF</sub>	スリープ モード 出力電流	0V で EN、シングルチャネル		0			μA
V <sub>OH</sub>	High レベル出力電圧	I <sub>OH</sub> = -4mA、図 5-1 を参照		V <sub>CC</sub> - 0.4			V
		I <sub>OH</sub> = -20μA、図 5-1 を参照		V <sub>CC</sub> - 0.1			
V <sub>OL</sub>	Low レベル出力電圧	I <sub>OL</sub> = 4mA、図 5-1 を参照		0.4			V
		I <sub>OL</sub> = 20μA、図 5-1 を参照		0.1			
V <sub>I(HYS)</sub>	入力電圧ヒステリシス			150			mV
I <sub>IH</sub>	High レベル入力電流	0V または V <sub>CC</sub> から IN		10			μA
I <sub>IL</sub>	Low レベル入力電流			-10			
C <sub>I</sub>	グランドの入力容量	V <sub>CC</sub> 、V <sub>I</sub> = 0.4 sin (2πft), f=2MHz に IN		2			pF
CMTI	同相過渡耐性	V <sub>I</sub> = V <sub>CC</sub> または 0V、図 5-4 を参照		25	50		kV/μs

- (1) 5V 動作の場合、V<sub>CC1</sub> または V<sub>CC2</sub> は 4.5V~5.5V の範囲で規定されています。3V 動作の場合、V<sub>CC1</sub> または V<sub>CC2</sub> は 3.15V~3.6V の範囲で規定されています。

## 4.10 電気的特性：5V 動作時の $V_{CC1}$ と $V_{CC2}$

推奨動作条件範囲内 (特に記述のない限り)<sup>(1)</sup>

パラメータ		テスト条件		最小値	標準値	最大値	単位
<b>電源電流</b>							
$I_{CC1}$	ISO7231C-Q1	静止時	3V の $V_I = V_{CC}$ または 0V、すべてのチャネル、無負荷、 $EN_1, 3V$ の $EN_2$	6.5	11		mA
		25Mbps			11	17	
$I_{CC2}$	ISO7231C-Q1	静止時	3V の $V_I = V_{CC}$ または 0V、すべてのチャネル、無負荷、 $EN_1, 3V$ の $EN_2$	13	20		mA
		25Mbps			17.5	27	
<b>電気的特性</b>							
$I_{OFF}$	スリープ モード 出力電流	0V で EN、シングルチャネル		0			$\mu A$
$V_{OH}$	High レベル出力電圧	$I_{OH} = -4mA$ 、図 5-1 を参照		$V_{CC} - 0.8$			V
		$I_{OH} = -20\mu A$ 、図 5-1 を参照		$V_{CC} - 0.1$			
$V_{OL}$	Low レベル出力電圧	$I_{OL} = 4mA$ 、図 5-1 を参照		0.4			V
		$I_{OL} = 20\mu A$ 、図 5-1 を参照		0.1			
$V_{I(HYS)}$	入力電圧ヒステリシス			150			$mV$
$I_{IH}$	High レベル入力電流	0V ~ $V_{CC}$ の範囲で動作		10			$\mu A$
$I_{IL}$	Low レベル入力電流			-10			
$C_I$	グランドの入力容量	$V_{CC}, V_I = 0.4 \sin(2\pi ft), f=2MHz$ に IN		2			$pF$
CMTI	同相過渡耐性	$V_I = V_{CC}$ または 0V、図 5-4 を参照		25	50		$kV/\mu s$

(1) 5V 動作の場合、 $V_{CC1}$  または  $V_{CC2}$  は 4.5V~5.5V

の範囲で規定されています。3V 動作の場合、 $V_{CC1}$  または  $V_{CC2}$  は 3.15V~3.6V の範囲で規定されています。

## 4.11 電気的特性：3.3V 動作時の $V_{CC1}$ 、5V 動作時の $V_{CC2}$

推奨動作条件範囲内 (特に記述のない限り)<sup>(1)</sup>

パラメータ		テスト条件		最小値	標準値	最大値	単位
<b>電源電流</b>							
$I_{CC1}$	ISO7231C-Q1	静止時	3V の $V_I = V_{CC}$ または 0V、すべてのチャネル、無負荷、 $EN_1, 3V$ の $EN_2$	4.5	7		mA
		25Mbps		6.5	11		
$I_{CC2}$	ISO7231C-Q1	静止時	3V の $V_I = V_{CC}$ または 0V、すべてのチャネル、無負荷、 $EN_1, 3V$ の $EN_2$	13	20		mA
		25Mbps		17.5	27		
<b>電気的特性</b>							
$I_{OFF}$	スリープ モード 出力電流	0V で EN、シングルチャネル		0			$\mu A$
$V_{OH}$	High レベル出力電圧	$I_{OH} = -4mA$ 、図 5-1 を参照	$I_{OH} = -4mA$ 、図 5-1 を参照	$V_{CC} - 0.4$			V
			$I_{OH} = -20\mu A$ 、図 5-1 を参照	$V_{CC} - 0.8$			
				$V_{CC} - 0.1$			
$V_{OL}$	Low レベル出力電圧	$I_{OL} = 4mA$ 、図 5-1 を参照		0.4			V
		$I_{OL} = 20\mu A$ 、図 5-1 を参照		0.1			
$V_{I(HYS)}$	入力電圧ヒステリシス			150			$mV$
$I_{IH}$	High レベル入力電流	0V ~ $V_{CC}$ の範囲で動作		10			$\mu A$
$I_{IL}$	Low レベル入力電流			-10			
$C_I$	グランドの入力容量	$V_{CC}, V_I = 0.4 \sin(2\pi ft), f=2MHz$ に IN		2			$pF$
CMTI	同相過渡耐性	$V_I = V_{CC}$ または 0V、図 5-4 を参照		25	50		$kV/\mu s$

(1) 5V 動作の場合、 $V_{CC1}$  または  $V_{CC2}$  は 4.5V~5.5V

の範囲で規定されています。3V 動作の場合、 $V_{CC1}$  または  $V_{CC2}$  は 3.15V~3.6V の範囲で規定されています。

## 4.12 電気的特性：5V 動作時の $V_{CC1}$ 、3.3V 動作時の $V_{CC2}$

推奨動作条件範囲内 (特に記述のない限り)<sup>(1)</sup>

パラメータ		テスト条件		最小値	標準値	最大値	単位
<b>電源電流</b>							
$I_{CC1}$	ISO7231C-Q1	静止時	3V の $V_I = V_{CC}$ または 0V、すべてのチャネル、無負荷、 $EN_1, 3V$ の $EN_2$	6.5	11	mA	
		25Mbps		11	17		
$I_{CC2}$	ISO7231C-Q1	静止時	3V の $V_I = V_{CC}$ または 0V、すべてのチャネル、無負荷、 $EN_1, 3V$ の $EN_2$	8	12	mA	
		25Mbps		10.5	16		
<b>電気的特性</b>							
$I_{OFF}$	スリープ モード 出力電流	0V で $EN$ 、シングルチャネル		0			$\mu A$
$V_{OH}$	High レベル出力電圧	$I_{OH} = -4mA$ 、図 5-1 を参照	$ISO7230C-Q1$	$V_{CC} - 0.4$		V	
			$ISO7231C-Q1$ (5V 側)	$V_{CC} - 0.8$			
			$I_{OH} = -20\mu A$ 、図 5-1 を参照	$V_{CC} - 0.1$			
$V_{OL}$	Low レベル出力電圧	$I_{OL} = 4mA$ 、図 5-1 を参照		0.4	V		
		$I_{OL} = 20\mu A$ 、図 5-1 を参照		0.1			
$V_{I(HYS)}$	入力電圧ヒステリシス			150			$mV$
$I_{IH}$	High レベル入力電流	0V ~ $V_{CC}$ の範囲で動作		10	$\mu A$		
$I_{IL}$	Low レベル入力電流			-10			
$C_I$	グランドの入力容量	$V_{CC}, V_I = 0.4 \sin(2\pi ft), f=2MHz$ に IN		2			$pF$
CMTI	同相過渡耐性	$V_I = V_{CC}$ または 0V、図 5-4 を参照		25	50		$kV/\mu s$

(1) 5V 動作の場合、 $V_{CC1}$  または  $V_{CC2}$  は 4.5V~5.5V の範囲で規定されています。3V 動作の場合、 $V_{CC1}$  または  $V_{CC2}$  は 3.15V~3.6V の範囲で規定されています。

#### 4.13 スイッチング特性: 3.3V 動作時の $V_{CC1}$ と $V_{CC2}$

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
$t_{PLH}, t_{PHL}$	伝搬遅延	25	56		ns
PWD	パルス幅歪み <sup>(1)</sup> 、 $ t_{PHL} - t_{PLH} $		4		
$t_{sk(pp)}$	部品間スキュー <sup>(2)</sup>		10		ns
$t_{sk(o)}$	チャネル間の出力スキュー		0	4	ns
$t_r$	出力信号の立ち上がり時間		2.4		ns
$t_f$	出力信号の立ち下がり時間		2.3		
$t_{PHZ}$	伝搬遅延時間、high レベルから high インピーダンス出力まで		15	25	ns
$t_{PZH}$	伝搬遅延時間、high インピーダンスから high レベル出力まで		15	25	
$t_{PLZ}$	伝搬遅延時間、low レベルから high インピーダンス出力まで		15	25	
$t_{PZL}$	伝搬遅延時間、high インピーダンスから low レベル出力まで		15	25	
$t_{fs}$	入力電源喪失からデフォルト出力までの遅延時間	18			μs

(1) パルススキューとも呼ばれます。

(2)  $t_{sk(pp)}$  は、2 つのデバイスが同じ電源電圧、同じ温度で動作し、パッケージとテスト回路が同一である場合の、両方のデバイスの指定された任意の端子間の伝搬遅延時間の時差です。

#### 4.14 スイッチング特性: 5V 動作時の $V_{CC1}$ と $V_{CC2}$

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
$t_{PLH}, t_{PHL}$	伝搬遅延	18	45		ns
PWD	パルス幅歪み <sup>(1)</sup> 、 $ t_{PHL} - t_{PLH} $		5		
$t_{sk(pp)}$	部品間スキュー <sup>(2)</sup>		8		ns
$t_{sk(o)}$	チャネル間の出力スキュー <sup>(3)</sup>		0	4	ns
$t_r$	出力信号の立ち上がり時間		2.4		ns
$t_f$	出力信号の立ち下がり時間		2.3		
$t_{PHZ}$	伝搬遅延時間、high レベルから high インピーダンス出力まで		15	25	ns
$t_{PZH}$	伝搬遅延時間、high インピーダンスから high レベル出力まで		15	25	
$t_{PLZ}$	伝搬遅延時間、low レベルから high インピーダンス出力まで		15	25	
$t_{PZL}$	伝搬遅延時間、high インピーダンスから low レベル出力まで		15	25	
$t_{fs}$	入力電源喪失からデフォルト出力までの遅延時間	12			μs

(1) パルススキューとも呼ばれます。

(2)  $t_{sk(pp)}$  は、2 つのデバイスが同じ電源電圧、同じ温度で動作し、パッケージとテスト回路が同一である場合の、両方のデバイスの指定された任意の端子間の伝搬遅延時間の時差です。

(3)  $t_{sk(o)}$  は、1 つのデバイスの指定された出力間のスキューであり、すべての駆動入力が相互に接続され、同じ方向に出力がスイッチングされ、同一の指定負荷を駆動する際のものです。

## 4.15 スイッチング特性: 3.3V 動作時の $V_{CC1}$ と 5V 動作時の $V_{CC2}$

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
$t_{PLH}, t_{PHL}$	図 5-1 を参照	20	51	ns	
PWD			4		
$t_{sk(pp)}$	部品間スキュー <sup>(2)</sup>			10	ns
$t_{sk(o)}$	チャネル間の出力スキュー <sup>(3)</sup>			0 4	ns
$t_r$	出力信号の立ち上がり時間	図 5-1 を参照	2.4	ns	
$t_f$	出力信号の立ち下がり時間		2.3		
$t_{PHZ}$	伝搬遅延時間、high レベルから high インピーダンス出力まで	図 5-2 を参照	15	25	ns
$t_{PZH}$	伝搬遅延時間、high インピーダンスから high レベル出力まで		15	25	
$t_{PLZ}$	伝搬遅延時間、low レベルから high インピーダンス出力まで		15	25	
$t_{PZL}$	伝搬遅延時間、high インピーダンスから low レベル出力まで		15	25	
$t_{fs}$	入力電源喪失からデフォルト出力までの遅延時間	図 5-3 を参照	12		μs

(1) 別名パルス スキュー

(2)  $t_{sk(pp)}$  は、2 つのデバイスが同じ電源電圧、同じ温度で動作し、パッケージとテスト回路が同一である場合の、両方のデバイスの指定された任意の端子間の伝搬遅延時間の時差です。

(3)  $t_{sk(o)}$  は、1 つのデバイスの指定された出力間のスキューであり、すべての駆動入力が相互に接続され、同じ方向に出力がスイッチングされ、同一の指定負荷を駆動する際のものです。

## 4.16 スイッチング特性: 5V 動作時の $V_{CC1}$ 、3.3V 動作時の $V_{CC2}$

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
$t_{PLH}, t_{PHL}$	図 5-1 を参照	20	50	ns	
PWD			4		
$t_{sk(pp)}$	部品間スキュー <sup>(2)</sup>			10	ns
$t_{sk(o)}$	チャネル間の出力スキュー <sup>(3)</sup>			0 4	ns
$t_r$	出力信号の立ち上がり時間	図 5-1 を参照	2.4	ns	
$t_f$	出力信号の立ち下がり時間		2.3		
$t_{PHZ}$	伝搬遅延時間、high レベルから high インピーダンス出力まで	図 5-2 を参照	15	25	ns
$t_{PZH}$	伝搬遅延時間、high インピーダンスから high レベル出力まで		15	25	
$t_{PLZ}$	伝搬遅延時間、low レベルから high インピーダンス出力まで		15	25	
$t_{PZL}$	伝搬遅延時間、high インピーダンスから low レベル出力まで		15	25	
$t_{fs}$	入力電源喪失からデフォルト出力までの遅延時間	図 5-3 を参照	18		μs

(1) 別名パルス スキュー

(2)  $t_{sk(pp)}$  は、2 つのデバイスが同じ電源電圧、同じ温度で動作し、パッケージとテスト回路が同一である場合の、両方のデバイスの指定された任意の端子間の伝搬遅延時間の時差です。

(3)  $t_{sk(o)}$  は、1 つのデバイスの指定された出力間のスキューであり、すべての駆動入力が相互に接続され、同じ方向に出力がスイッチングされ、同一の指定負荷を駆動する際のものです。

## 4.17 代表的特性

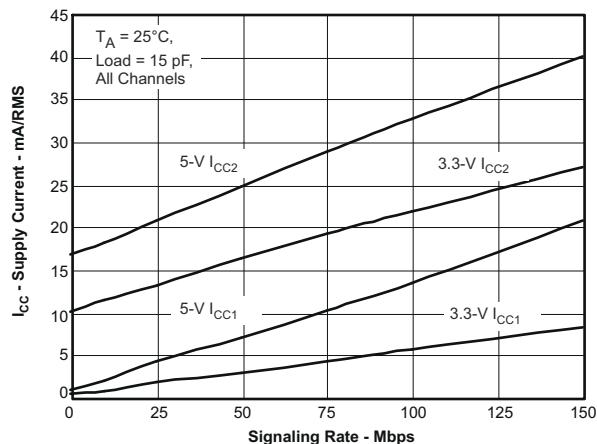


図 4-1. ISO7230 C/M RMS 供給電流と信号速度との関係

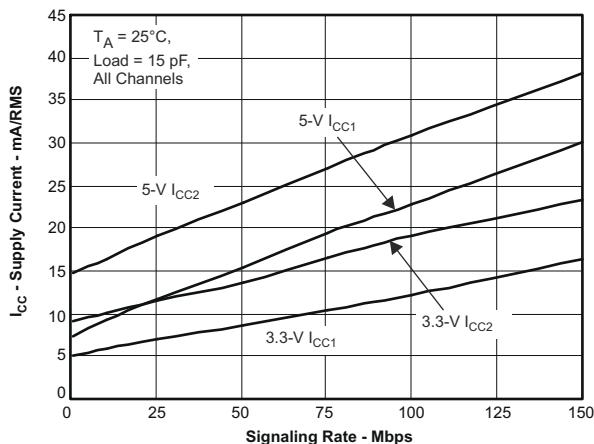


図 4-2. ISO7231 C/M RMS 供給電流と信号速度との関係

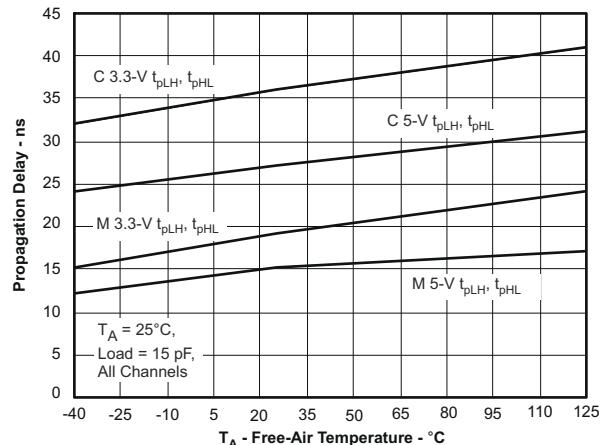


図 4-3. 伝搬遅延と自由空気温度との関係

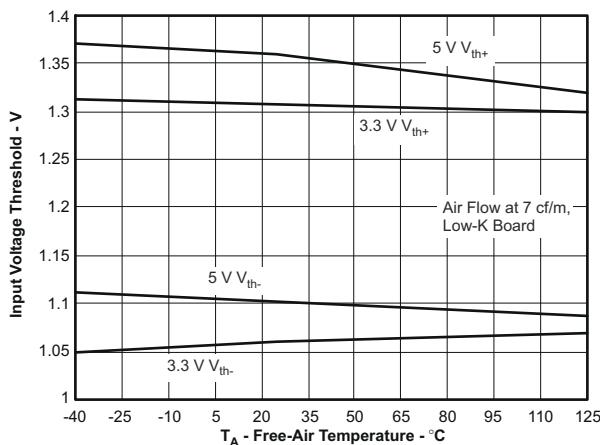


図 4-4. 入力スレッショルド電圧と自由空気温度との関係

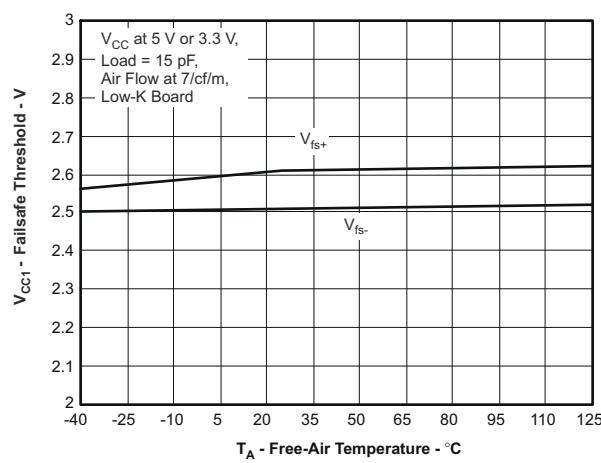


図 4-5.  $V_{CC1}$  フェイルセーフスレッショルドと自由空気温度との関係

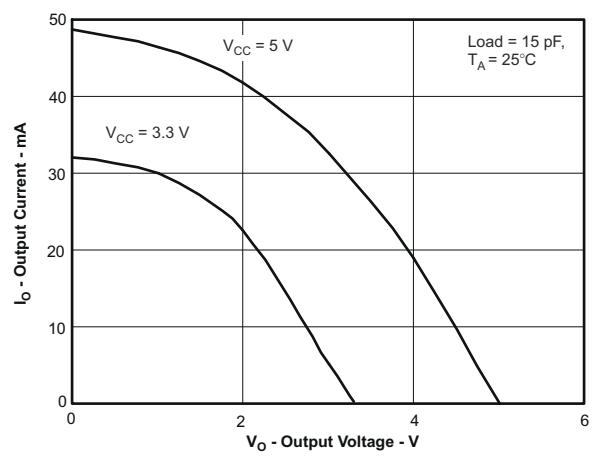


図 4-6. ドライバの High レベル出力電流と High レベル出力電圧との関係

#### 4.17 代表的特性 (続き)

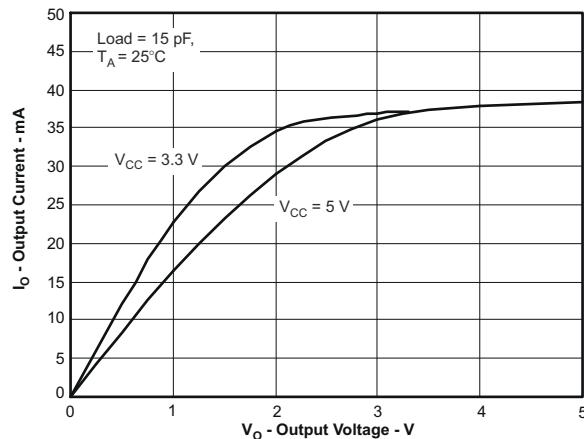
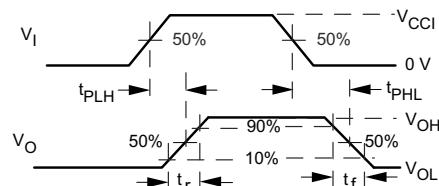
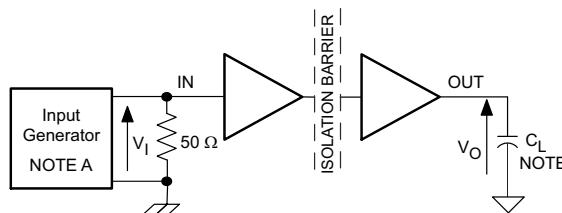


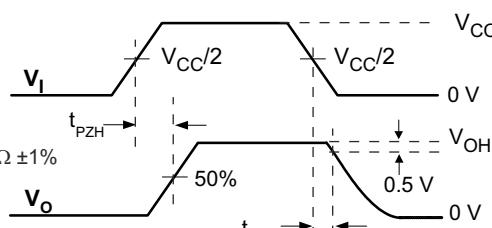
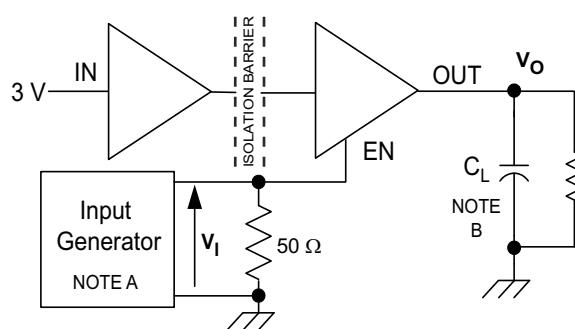
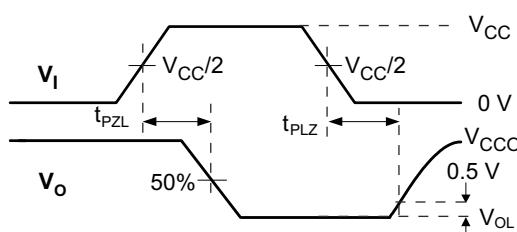
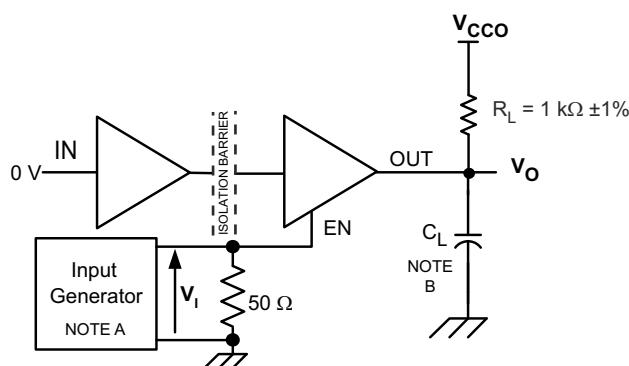
図 4-7. ドライバの Low レベル出力電流と Low レベル出力電圧との関係

## 5 パラメータ測定情報



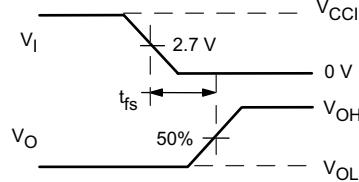
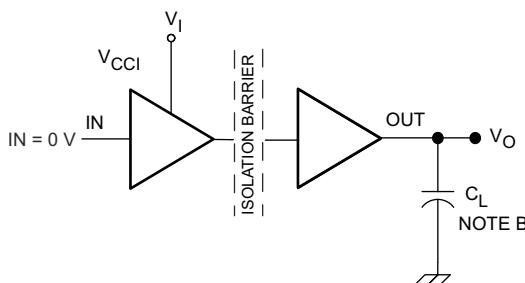
- A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR  $\leq$  50kHz、50% デューティ サイクル、 $t_r \leq 3$ ns、 $t_f \leq 3$ ns、 $Z_O = 50\Omega$ 。  
B.  $C_L = 15\text{pF}$  であり、 $\pm 20\%$  以内の計測器および治具の容量が含まれています。

図 5-1. スイッチング特性試験回路と電圧波形



- A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR  $\leq$  50kHz、50% デューティ サイクル、 $t_r \leq 3$ ns、 $t_f \leq 3$ ns、 $Z_O = 50\Omega$ 。  
B.  $C_L = 15\text{pF}$  であり、 $\pm 20\%$  以内の計測器および治具の容量が含まれています。

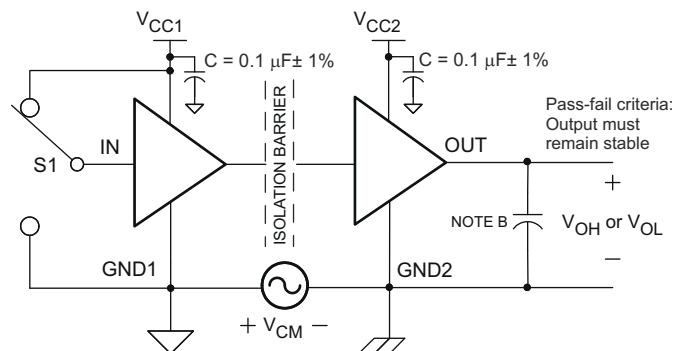
図 5-2. イネーブル / ディセーブル伝搬遅延時間のテスト回路と波形



- A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR  $\leq$  50kHz、50% デューティ サイクル、 $t_r \leq 3$ ns、 $t_f \leq 3$ ns、 $Z_O = 50\Omega$ 。

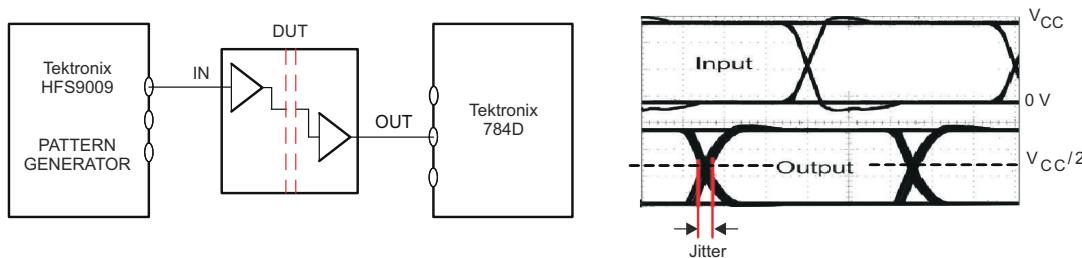
- B.  $C_L = 15\text{pF}$  であり、 $\pm 20\%$  以内の計測器および治具の容量が含まれています。

図 5-3. フェイルセーフ遅延時間テスト回路と電圧波形



- A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR  $\leq 50\text{kHz}$ 、50% デューティ サイクル、 $t_r \leq 3\text{ns}$ 、 $t_f \leq 3\text{ns}$ 、 $Z_O = 50\Omega$ 。  
B.  $C_L = 15\text{pF}$  であり、 $\pm 20\%$  以内の計測器および治具の容量が含まれています。

図 5-4. 同相過渡耐性試験回路と電圧波形



PRBS ビットのパターンの実行長は  $2^{16} - 1$  です。遷移時間は 800 ps です。NRZ データ入力には、1 または 0 の連続した回数が 5 回以下です。

図 5-5. ピーク ツー ピーク アイ パターン ジッタ テスト回路と電圧波形

## 6 詳細説明

### 6.1 概要

ISO7231C-Q1 ファミリのデバイスは、二酸化ケイ素をベースとする絶縁バリアを介してデジタルデータを送信します。デバイスのデジタル入力信号 (IN) はトランスマッタによってサンプリングされ、すべてのデータ エッジで、トランスマッタは絶縁バリア越しに対応する差動信号を送信します。入力信号が静的である場合、リフレッシュ ロジックは定期的にトランスマッタから必要な差動信号を送信します。絶縁バリアの反対側では、レシーバが差動信号をシングルエンド信号に変換し、バッファを介して OUT ピンに出力します。レシーバがデータまたはリフレッシュ信号を受信しない場合、タイムアウト ロジックが入力側から信号または電力が失われたことを検出し、出力をデフォルト レベルに駆動します。

### 6.2 機能ブロック図

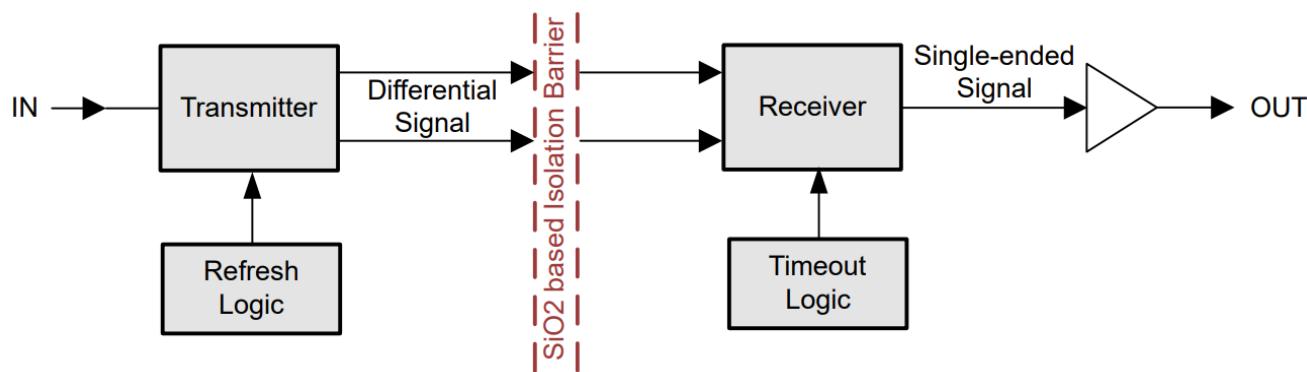


図 6-1. ISO7231C-Q1 の機能ブロック図

## 6.3 機能説明

ISO7231C-Q1 デバイスは、複数のチャネル構成とデフォルトの出力状態オプションで利用可能で、さまざまなアプリケーションに対応できます。表 6-1 はデバイスの機能を一覧表示します。

表 6-1. デバイスの機能

製品 <sup>(1)</sup>	信号速度	入力スレッショルド	チャネル構成
ISO7231C	25Mbps	$\approx 1.5V$ (TTL)	2/1

(1) 最新の製品、パッケージ、および注文情報については、メカニカル、パッケージ、および注文情報セクション、または TI のウェブサイト [www.ti.com](http://www.ti.com) を参照してください。

## 6.4 デバイスの機能モード

ISO7231C-Q1 の機能モードを記載します。

表 6-2. デバイス機能表 ISO7231C-Q1

入力 $V_{CC}$	出力 $V_{CC}$	入力 (IN)	出力イネーブル (EN)	出力 (OUT)
PU	PU	H	H またはオープン	H
		L	H またはオープン	L
		X	L	Z
		オープン	H またはオープン	H
PD	PU	X	H またはオープン	H
PD	PU	X	L	Z
X	PD	X	X	不定

### 6.4.1 デバイス I/O 回路図

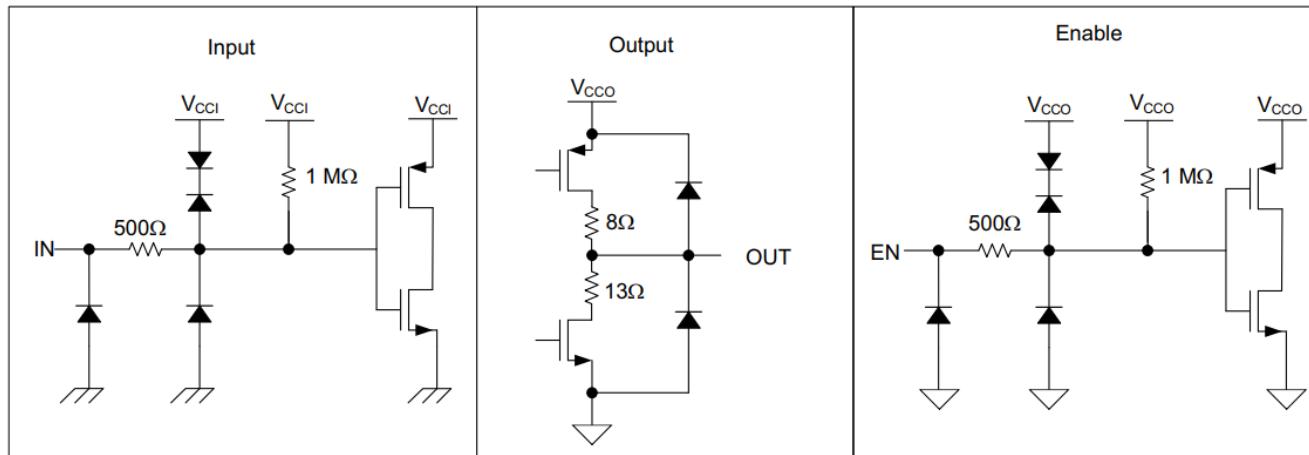


図 6-2. デバイス I/O 回路図

## 7 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 アプリケーション情報

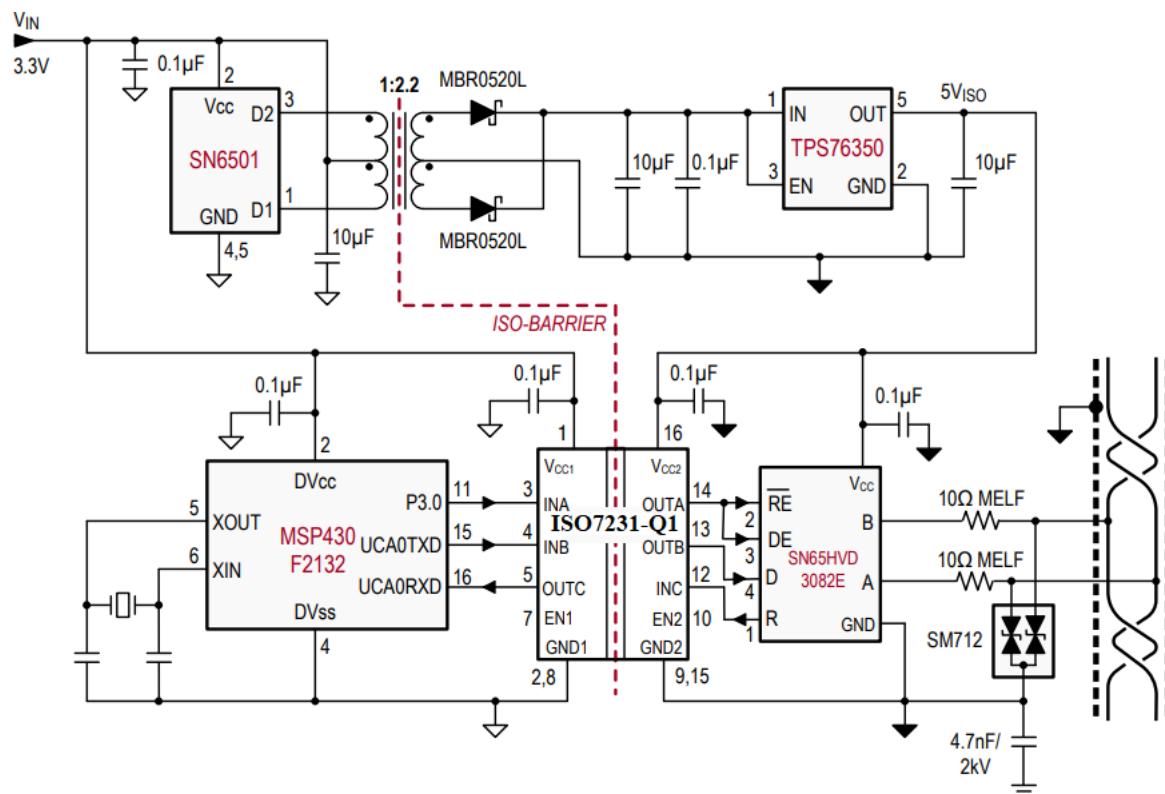


図 7-1. 代表的な ISO7231-Q1 アプリケーションの回路

## 7.2 代表的なアプリケーション

### 7.2.1 設計要件

ISO7231C-Q1 は、フォトカプラとは異なり、性能向上、バイアス供給、電流制限のために外付け部品を必要としません。必要とするのは、動作に必要な外付けバイパスコンデンサ 2 個のみです。

### 7.2.2 詳細な設計手順

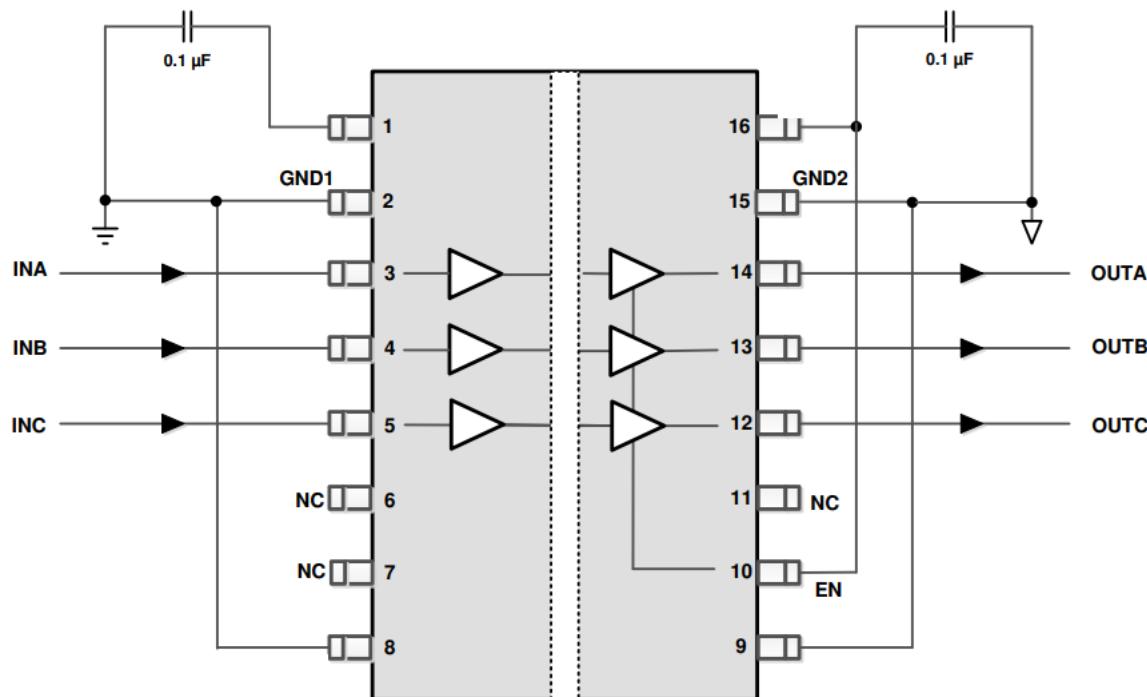


図 7-2. ISO7231C-Q1 の標準の回路接続図

### 7.2.3 絶縁特性曲線

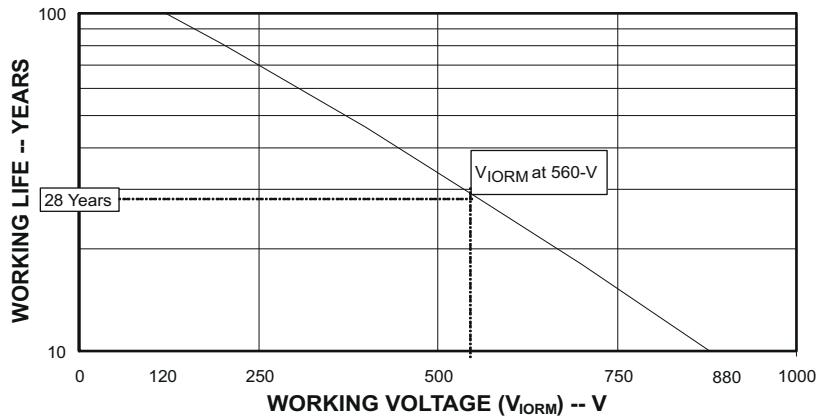


図 7-3. 時間依存型絶縁破壊試験の結果

### 7.3 電源に関する推奨事項

すべてのデータレートおよび電源電圧での信頼性の高い動作を提供するために、入力および出力電源ピン ( $V_{CC1}$  および  $V_{CC2}$ ) に  $0.1\mu F$  のバイパスコンデンサを推奨します。コンデンサは、電源ピンのできるだけ近くに配置する必要があります。アプリケーションで使用できる 1 次側電源が 1 つだけの場合は、テキサス・インスツルメンツの SN6501 データシートなどのトランスドライバを使用して、2 次側用の絶縁型電源を生成できます。このようなアプリケーションについては、[SN6501 のデータシート](#)に、電源設計の詳細とトランスの選択に関する推奨事項が記載されています。

## 7.4 レイアウト

### 7.4.1 レイアウトのガイドライン

低 EMI の PCB 設計を実現するには、少なくとも 4 層が必要です (図 7-4 を参照)。層の構成は、上層から下層に向かって、高速信号層、グランド プレーン、電源プレーン、低周波数信号層の順に配置する必要があります。

- 上層に高速パターンを配線することにより、ビアの使用 (およびそれに伴うインダクタンスの発生) を避けて、データリシクのトランスマッタおよびレシーバ回路とアイソレータとの間のクリーンな相互接続が可能になります。
- 高速信号層の次の層に、ベタのグランド プレーンを配置することにより、伝送ライン接続のインピーダンスを制御し、リターン電流のための優れた低インダクタンスパスを実現します。
- グランド プレーンの次の層に、電源プレーンを配置すると、高周波バイパス容量を約  $100\text{pF}/\text{インチ}^2$  増加させることができます。
- 最下層に低速の制御信号を配線すると、これらの信号リンクには一般的に、ビアのような不連続性を許容するマージンがあるため、高い柔軟性が得られます。

電源電圧プレーンまたは信号層の追加が必要な場合は、対称性を保つために、第 2 の電源系統またはグランドまたはプレーン系統を層構成に追加します。これにより、基板の層構成は機械的に安定し、反りを防ぎます。また、各電源系統の電源プレーンとグランド プレーンを互いに近づけて配置できるため、高周波バイパス容量を大幅に増やすことができます。レイアウトにおける推奨事項の詳細については、アプリケーション ノート SLLA284、『デジタル アイソレータ設計ガイド』を参照してください。

#### 7.4.1.1 PCB 材料

150Mbps 未満で動作する場合 (または、立ち上がりと立ち下がりの時間が 1ns を超える場合)、およびトレース長が 10 インチ (254mm) 以下の場合のデジタル回路基板には、PCB 材料として標準の FR-4 エポキシガラスを使用します。FR-4 (難燃性グレード 4) は、アメリカ保険業者安全試験所 (Underwriters Laboratories) の UL94-V0 の要件を満たしており、高周波での誘電損失が低く、吸湿性が低く、強度と剛性が高く、自己消火性の燃焼特性を持つため、安価な代替品よりも好まれています。

#### 7.4.2 レイアウト例

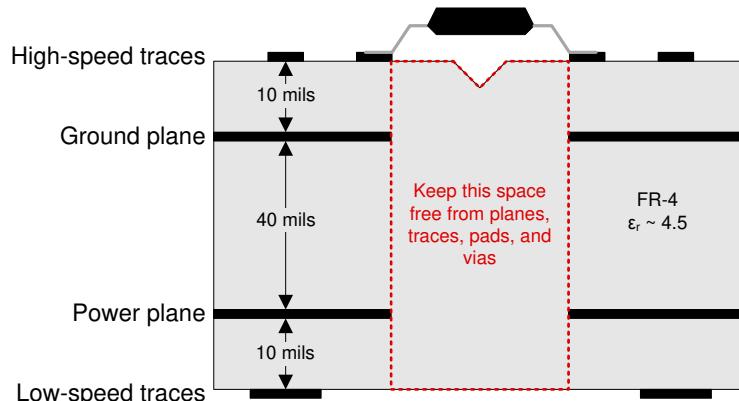


図 7-4. 推奨されるレイヤ・スタック

## 8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

### 8.1 ドキュメントのサポート

#### 8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『絶縁用語集』アプリケーションノート
- テキサス・インスツルメンツ、『産業用システムで ESD、EFT、サージの耐性を改善する目的で絶縁を使用する方法』アプリケーションノート
- テキサス・インスツルメンツ、『デジタル アイソレータ設計ガイド』アプリケーションノート

### 8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

### 8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 8.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (February 2025) to Revision C (October 2025)	Page
・ 「安全関連認証」セクションの「計画中の認証」を、VDE 列の「基本認証:40047657」、CSA 列の「マスター契約番号: 220991」、UL 列の「ファイル番号:E181974」に変更 .....	3
・ 安全関連認証セクションの 2 行目の 3 か所すべてで「認定予定」を「認定済み」に変更しました.....	3
・ 絶縁仕様表の誤字とエラーを修正しました.....	3
・ IEC 60664-1 定格表 — 仕様 I-III のテスト条件を変更しました: 定格商用電源 VRMS が 150 以下: 定格商用電源 VRMS が 300 以下。I-II 仕様の行を追加しました.....	4

---

<b>Changes from Revision A (November 2024) to Revision B (February 2025)</b>	<b>Page</b>
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1

---

<b>Changes from Revision * (September 2011) to Revision A (November 2024)</b>	<b>Page</b>
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• ドキュメント全体を通して容量性絶縁から絶縁バリアに参照を更新.....	1
• ドキュメント全体で VDE V 0884-11 を DIN VDE 0884-17 に更新.....	1
• デバイスの性能に合わせて電気的特性およびスイッチング特性を更新.....	6
• $C_L$ の標準値を 1 から次のように変更: 2.....	7
• 図 4-1、図 4-2、と図 4-3 を変更しました.....	11
• 「詳細説明」、「概要」、「機能説明」、「デバイスの機能モード」の各セクションを追加.....	15
• 機能図セクションを詳細説明セクションに移動し、「機能ブロック図」セクションに名前を変更しました.....	15
• 「代表的なアプリケーション」、「設計要件」、「詳細な設計手順」、「アプリケーション曲線」の各セクションを追加.....	17
• 平均寿命と動作電圧との関係セクションを絶縁特性曲線セクションに変更し、アプリケーション曲線セクションの下に移動.....	18
• 「ドキュメントのサポート」および「関連資料」セクションを追加.....	20

---

## 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISO7231CQDWRQ1	Active	Production	SOIC (DW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO7231CQ
ISO7231CQDWRQ1.A	Active	Production	SOIC (DW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO7231CQ
ISO7231CQDWRQ1.B	Active	Production	SOIC (DW)   16	2000   LARGE T&R	-	Call TI	Call TI	-40 to 125	

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

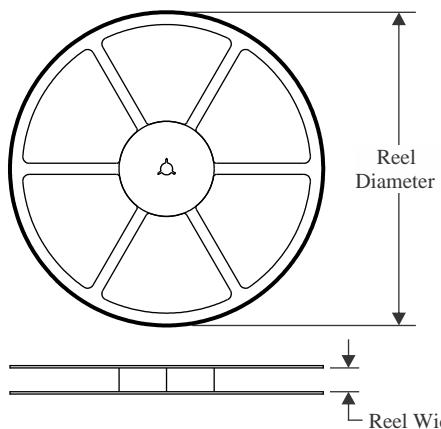
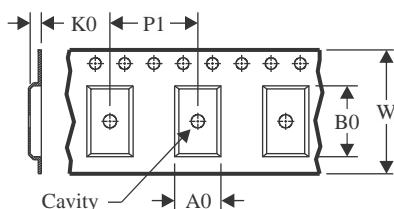
**OTHER QUALIFIED VERSIONS OF ISO7231C-Q1 :**

- Catalog : [ISO7231C](#)

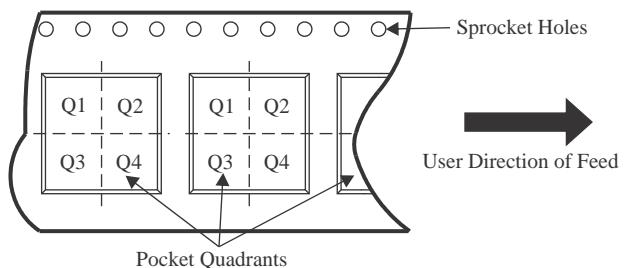
---

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

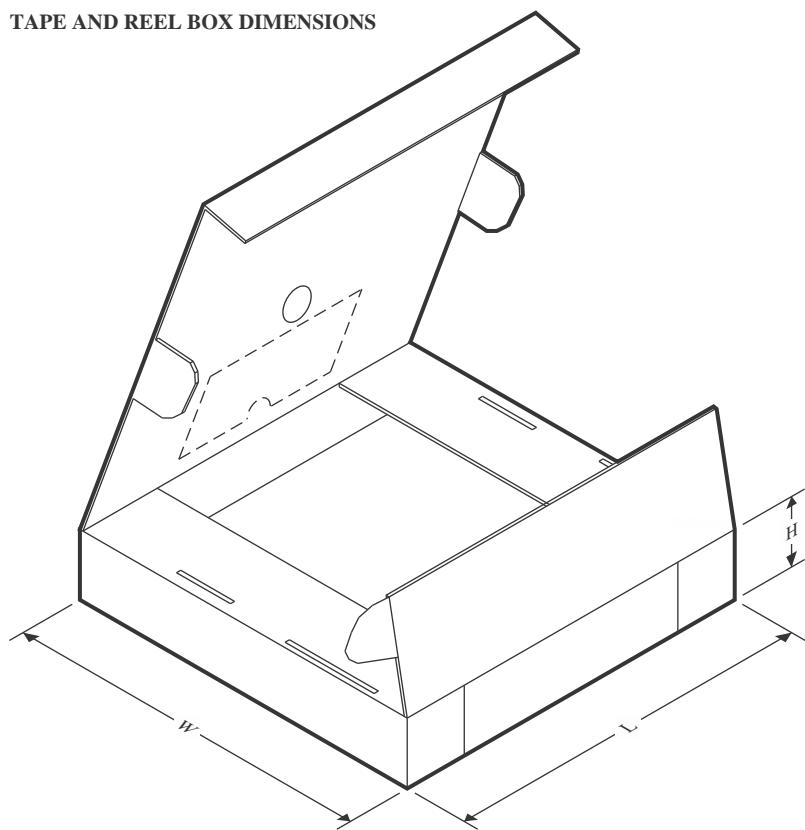
**TAPE AND REEL INFORMATION**
**REEL DIMENSIONS**

**TAPE DIMENSIONS**


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO7231CQDWQRQ1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO7231CQDWRQ1	SOIC	DW	16	2000	350.0	350.0	43.0

# GENERIC PACKAGE VIEW

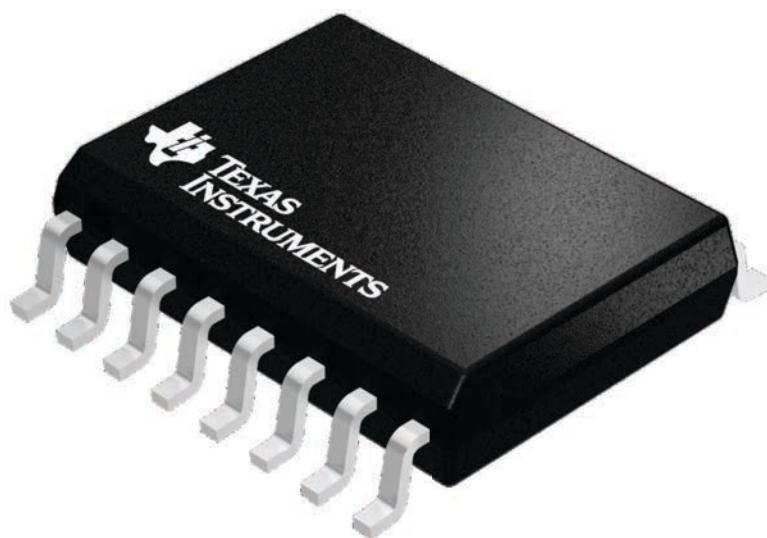
**DW 16**

**SOIC - 2.65 mm max height**

**7.5 x 10.3, 1.27 mm pitch**

**SMALL OUTLINE INTEGRATED CIRCUIT**

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4224780/A

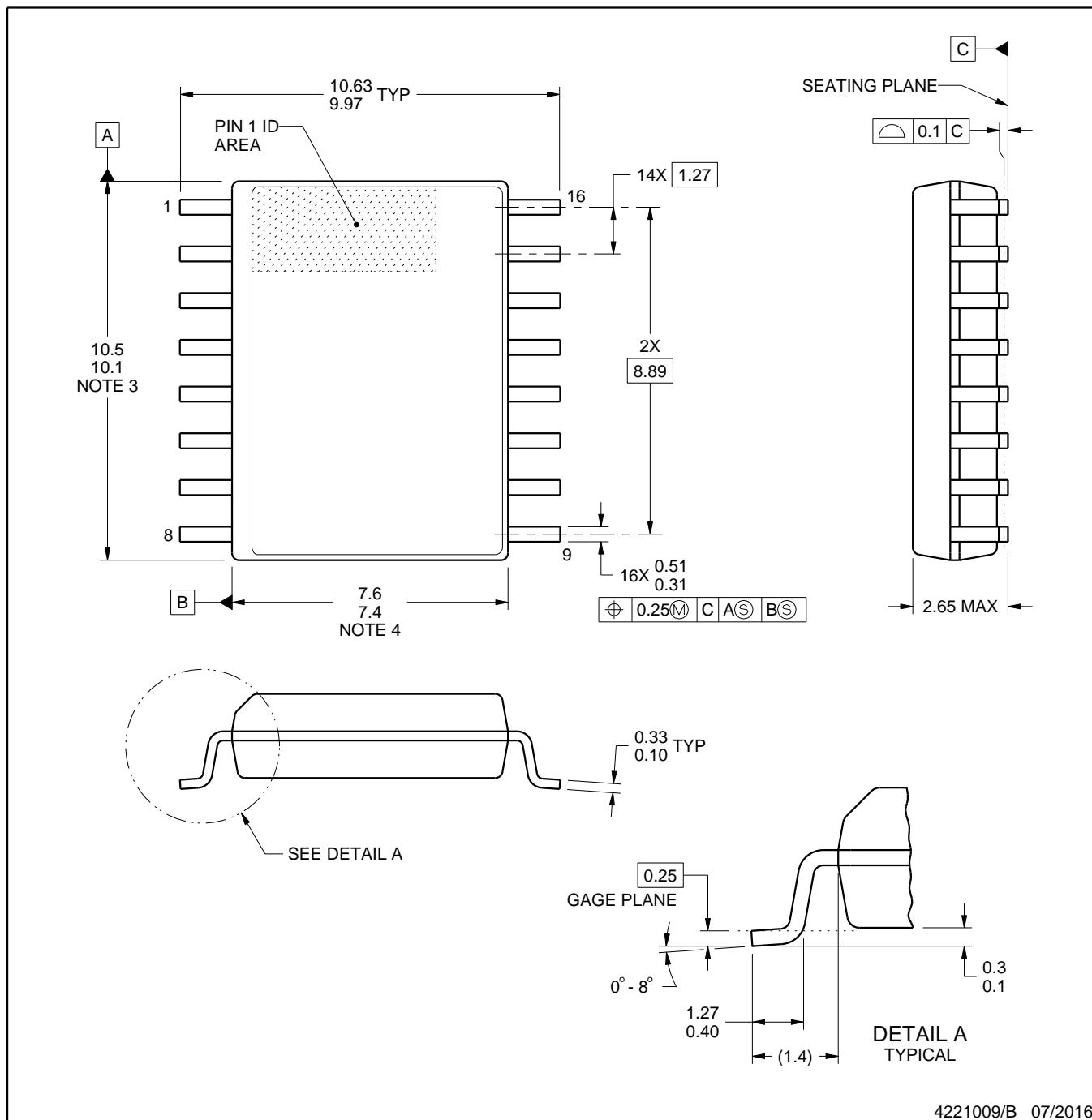


## PACKAGE OUTLINE

**DW0016B**

## SOIC - 2.65 mm max height

SOIC



4221009/B 07/2016

## NOTES:

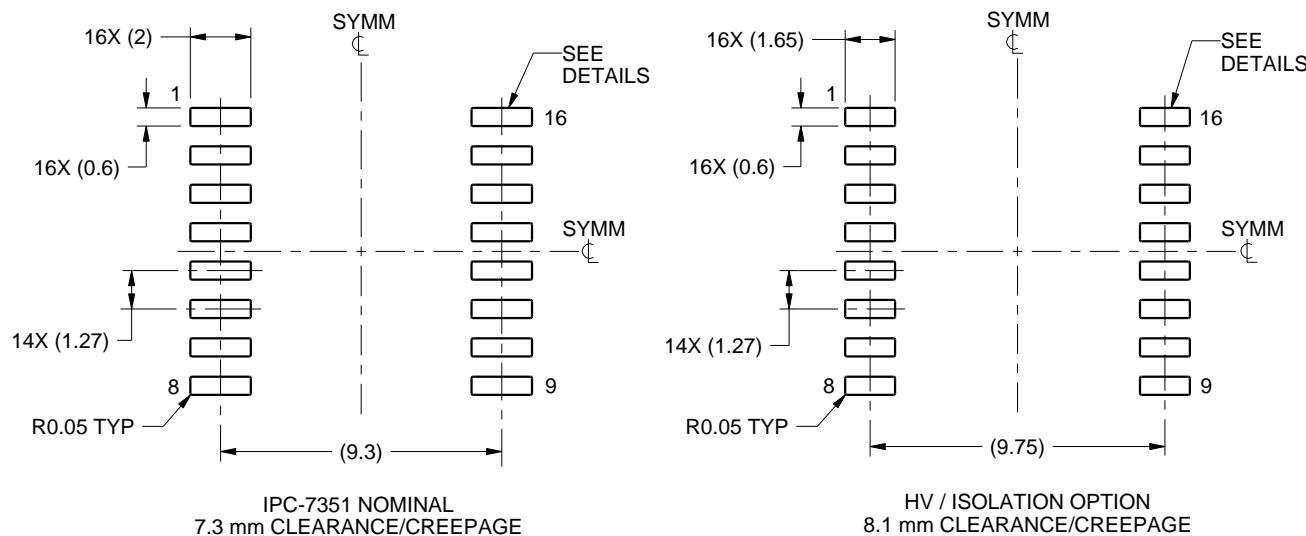
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
  2. This drawing is subject to change without notice.
  3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
  4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
  5. Reference JEDEC registration MS-013.

# EXAMPLE BOARD LAYOUT

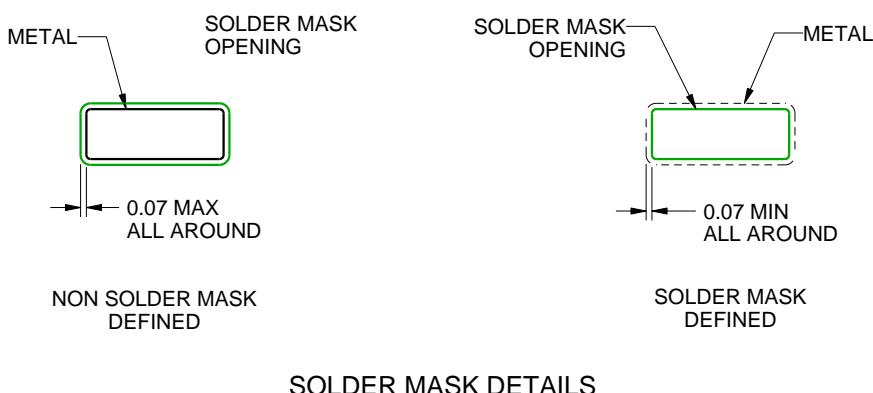
DW0016B

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE  
SCALE:4X



4221009/B 07/2016

NOTES: (continued)

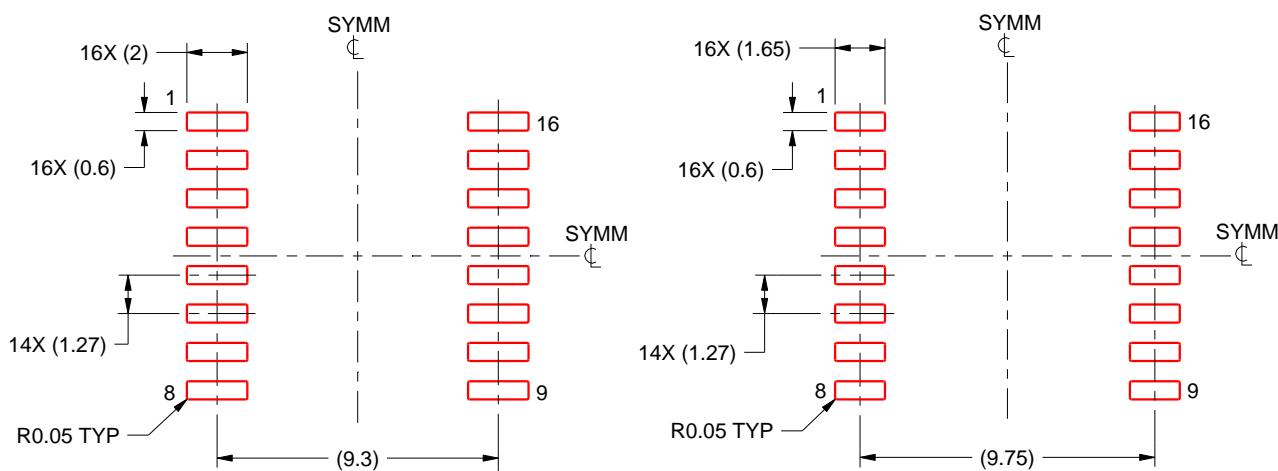
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DW0016B

SOIC - 2.65 mm max height

SOIC



IPC-7351 NOMINAL  
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION  
8.1 mm CLEARANCE/CREEPAGE

SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:4X

4221009/B 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月