

ISOW1412 低放射 DC/DC コンバータ内蔵、5kV_{RMS} 強化絶縁型 RS-485/RS-422 トランシーバ

1 特長

- TIA/EIA-485A 規格の要件に適合またはそれを上回る性能
- バス側に電力を供給するためのオンチップ・トランスを搭載した、低放射の DC/DC コンバータを内蔵
- 2 層 PCB で CISPR 32 Class B 放射エミッション制限に適合
- 標準的な効率 は最大 45% で、消費電力が低くなり、動作時周囲温度が高くなる
- データ・レート : ISOW1412 : 500kbps
- ロジック電源 (V_{IO}) : 1.71V ~ 5.5V、パワー・コンバータ電源 (V_{DD}) : 3V ~ 5.5V
- RS-485 または PROFIBUS モードをピン選択可能
- バスの開放、短絡、アイドルに対するフェイルセーフを備えたレシーバ
- 1/8 単位負荷、バス上に最大 256 ノード
- 高い同相過渡電圧耐性 : 100kV/ μ s (標準値)
- 電流制限およびサーマル・シャットダウン保護
- 動作温度範囲 : -40°C ~ 105°C
- ワイド・ボディの 20 DFM (SOIC-20 フットプリント互換) パッケージ
- 安全関連認証 :
 - すべての認証は計画中
 - DIN VDE V 0884-11:2017-01 準拠の VDE 強化絶縁
 - UL 1577 部品認定プログラム
 - IEC 60950-1、IEC 62368-1、IEC 61010-1、IEC 60601-1、GB 4943.1-2011 認定

2 アプリケーション

- ファクトリ・オートメーション
- ビル・オートメーション
- 産業用の輸送
- ソーラー・インバータ、保護リレー
- モーター・ドライブ

3 概要

ISOW1412 デバイスは、ガルバニック絶縁された差動ライン・トランシーバであり、TIA/EIA RS-485 および RS-422 用の絶縁型 DC/DC コンバータを内蔵しています。信号バスと電源バスは、どちらも UL1577 に準拠した 5kV_{RMS} 絶縁であり、VDE、CSA、CQC による強化絶縁の認証を受けています。このデバイスは、バイパス・コンデンサ以外の外付け部品を必要とせず、絶縁された RS-485 ポートを実現します。この低放射絶縁型 DC/DC コンバータは、最終的なシステムで 2 層 PCB 上のわずか 2 個のフェライト・ビーズとシンプルなレイアウトで、CISPR 32 放射エミッション Class B 制限ラインを満たすことができます。

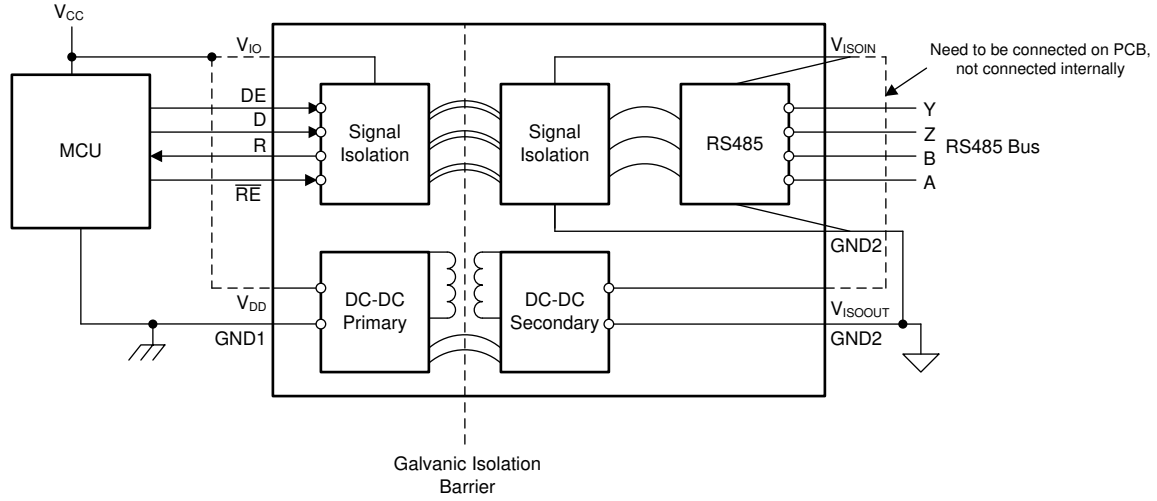
このデバイスは、長距離通信に最適です。絶縁により通信ノード間のグラウンド・ループが遮断されるため、より広い同相電圧範囲に対応できます。ISOW1412 は最大 500kbps のデータレートに適しています。ISOW1412 は、PCB 上で V_{IO} と V_{DD} を接続して 3V ~ 5.5V の単一電源電圧で動作できます。より低いロジック・レベルが必要な場合には、1.71V ~ 5.5V のロジック電源 (V_{IO}) を分離して、3V ~ 5.5V のパワー・コンバータ電源 (V_{DD}) とは別に取ることができます。このデバイスは、-40°C ~ +105°C の広い動作時周囲温度範囲に対応しており、20 ピンの DFM (SOIC-20 フットプリント互換パッケージ) で供給され、最小 8mm の沿面距離と空間距離を実現しています。

製品情報

部品番号 1	パッケージ	本体サイズ (公称)
ISOW1412	DFM (20)	12.83mm × 7.5mm

1. 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。





簡略回路図

ADVANCE INFORMATION

4 Device and Documentation Support

4.1 Documentation Support

4.1.1 Related Documentation

For related documentation see the following:

- Texas Instruments, [Digital Isolator Design Guide](#)
- Texas Instruments, [Isolation Glossary](#)
- [ISOW1412DFM Evaluation board](#)

4.2 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on ti.com. In the upper right corner, click on *Alert me* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

4.3 サポート・リソース

[TI E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により、現状のまま提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

4.4 Trademarks

TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

4.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい ESD 対策をとらないと、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

4.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

5 Mechanical, Packaging, and Orderable Information

The following pages include mechanical packaging and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

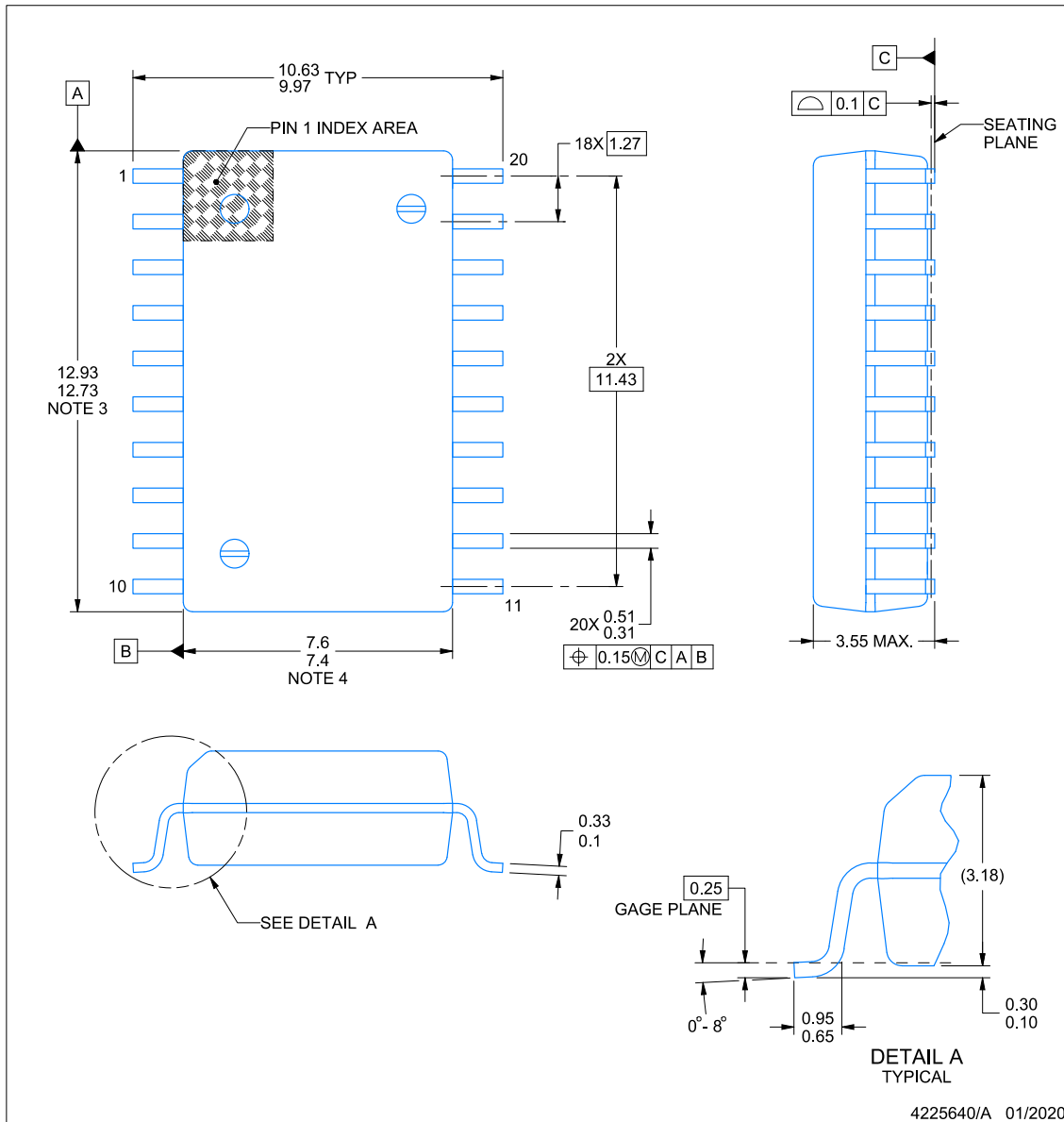
PACKAGE OUTLINE

DFM0020A

SOIC - 3.55 mm max height

SMALL OUTLINE PACKAGE

ADVANCE INFORMATION



NOTES:

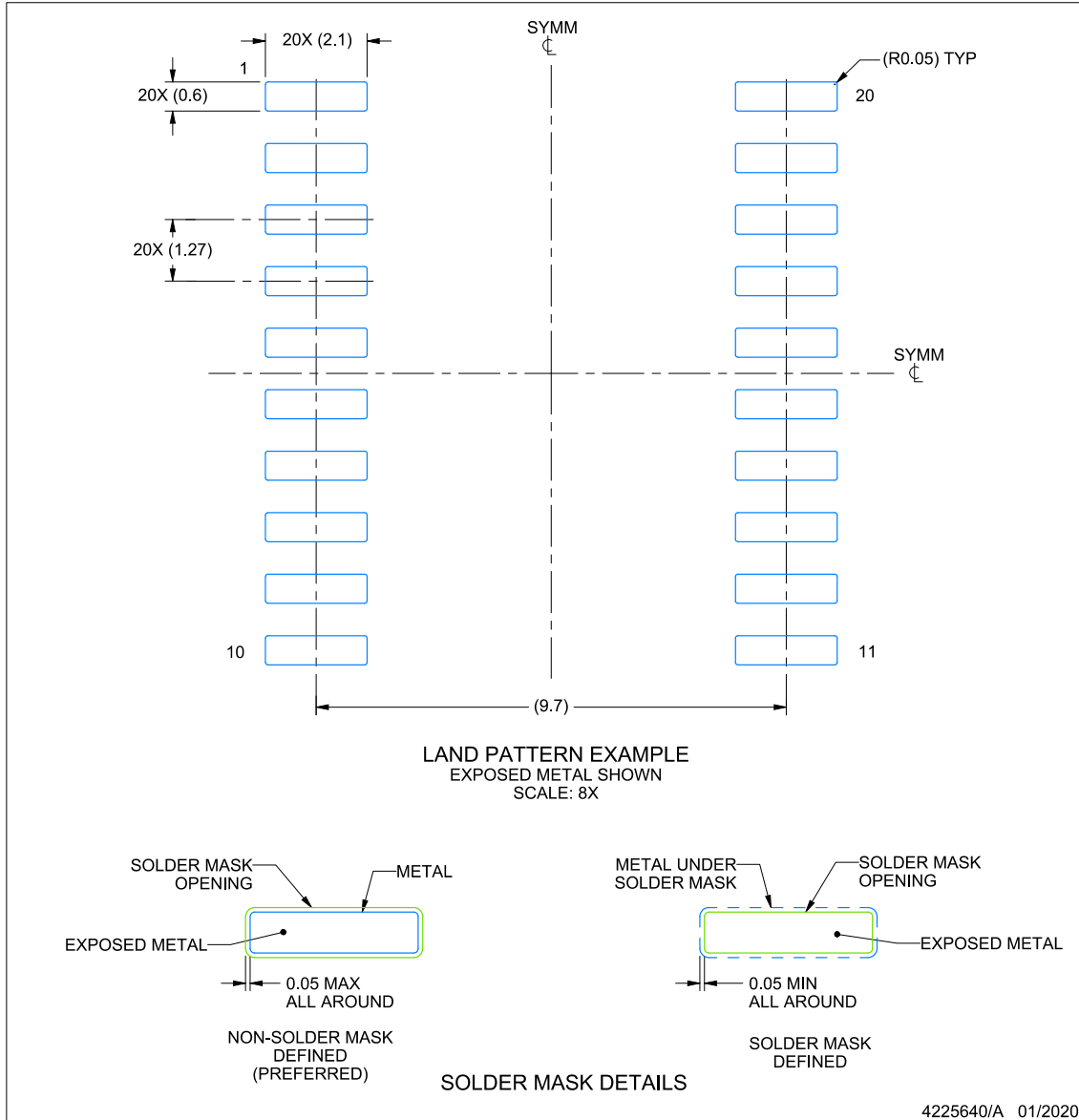
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Ref. JEDEC registration MS-013

EXAMPLE BOARD LAYOUT

DFM0020A

SOIC - 3.55 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

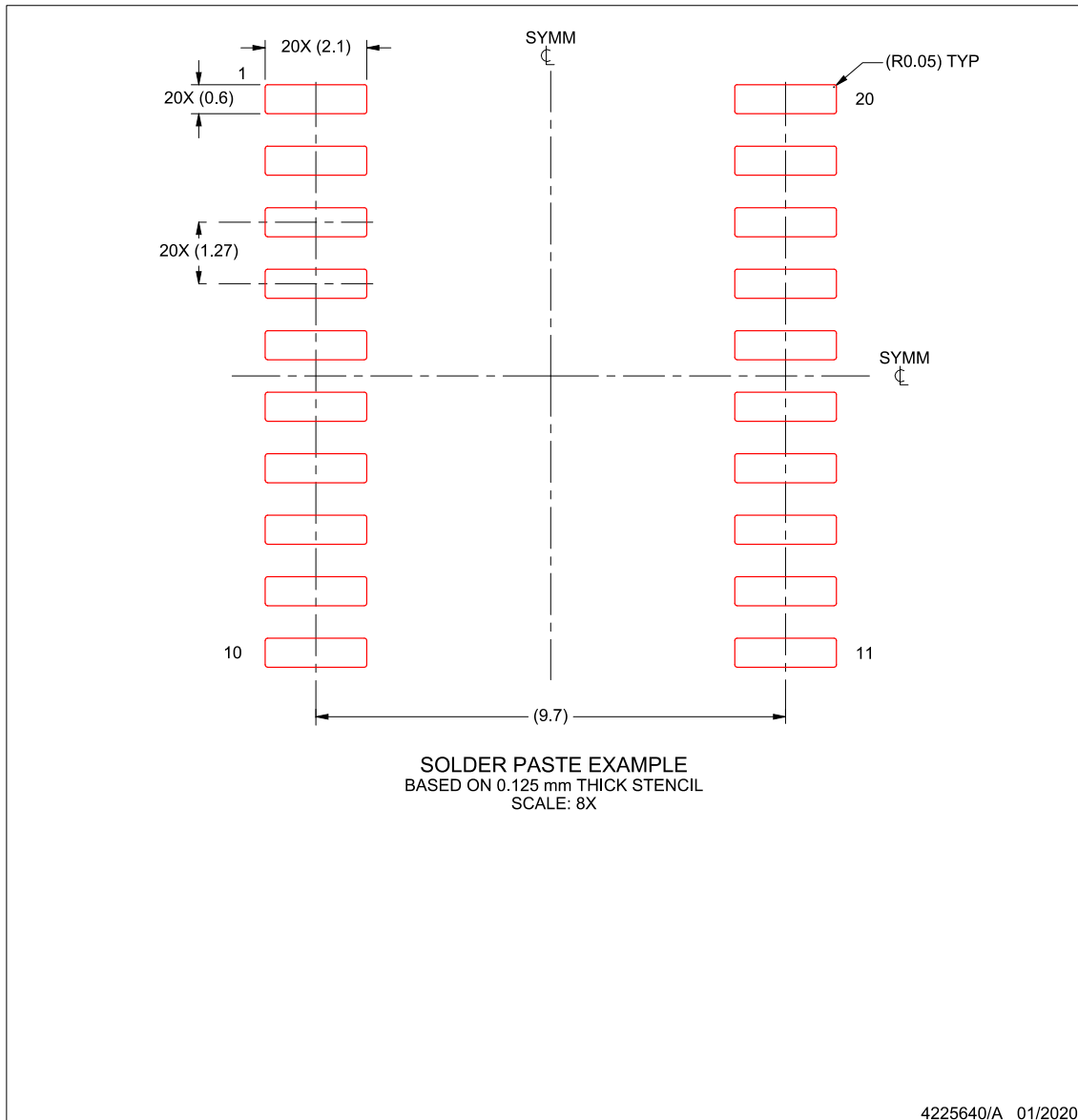
ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

DFM0020A

SOIC - 3.55 mm max height

SMALL OUTLINE PACKAGE



ADVANCE INFORMATION

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISOW1412BDFMR	Active	Production	SOIC (DFM) 20	850 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW1412
ISOW1412DFMR	Active	Production	SOIC (DFM) 20	850 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW1412

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

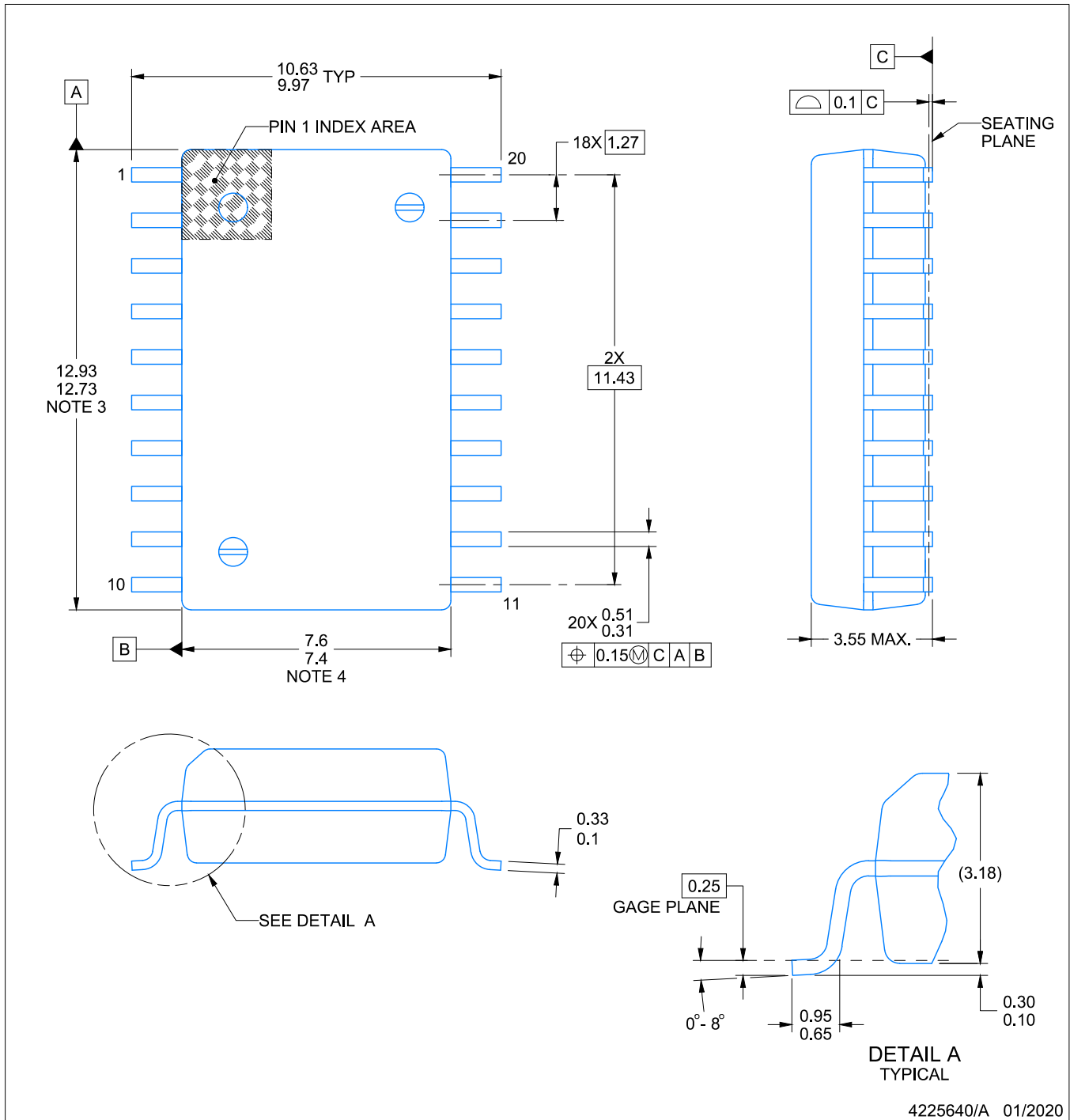
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PACKAGE OUTLINE

DFM0020A

SOIC - 3.55 mm max height

SMALL OUTLINE PACKAGE



4225640/A 01/2020

NOTES:

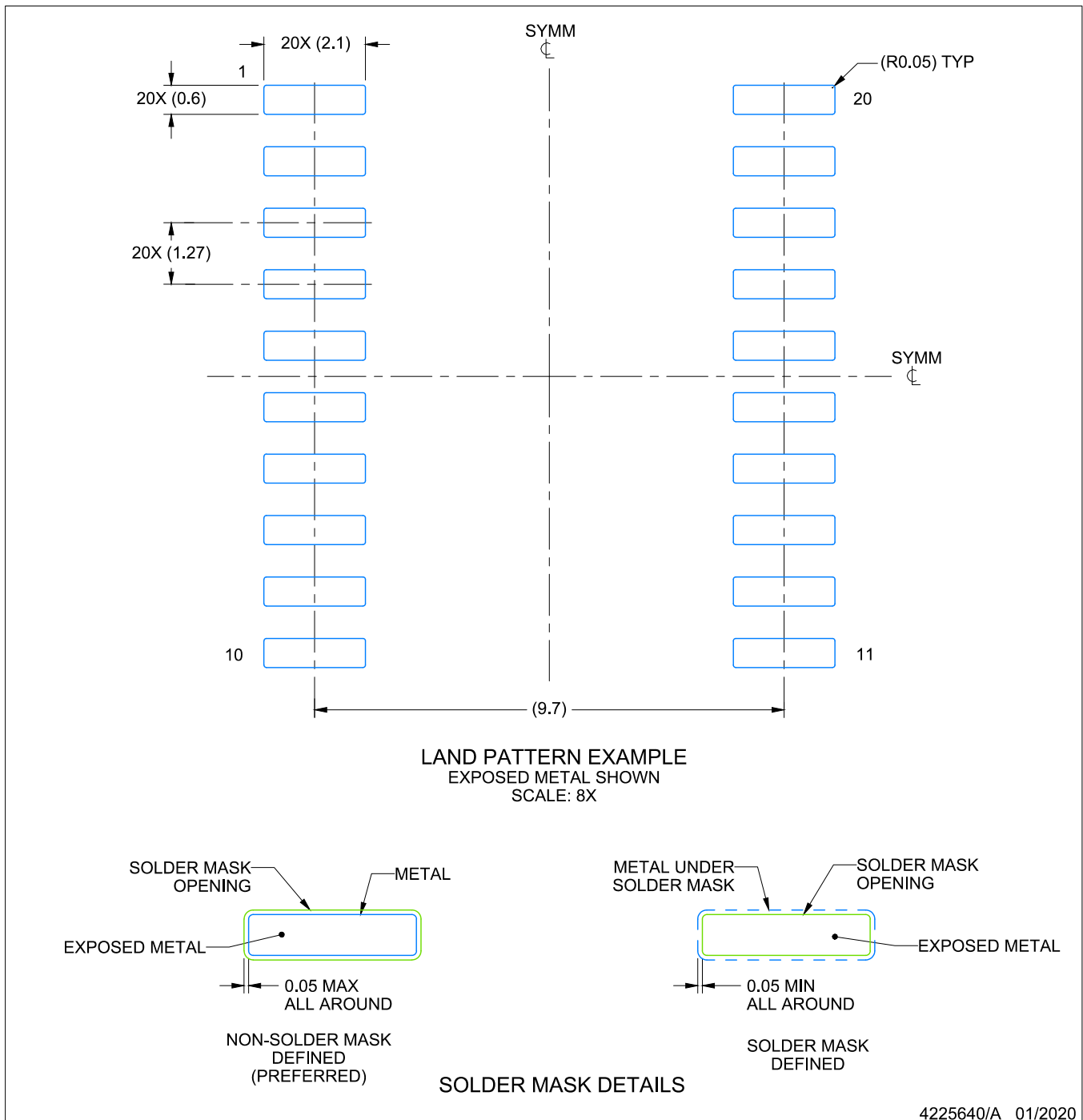
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Ref. JEDEC registration MS-013

EXAMPLE BOARD LAYOUT

DFM0020A

SOIC - 3.55 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

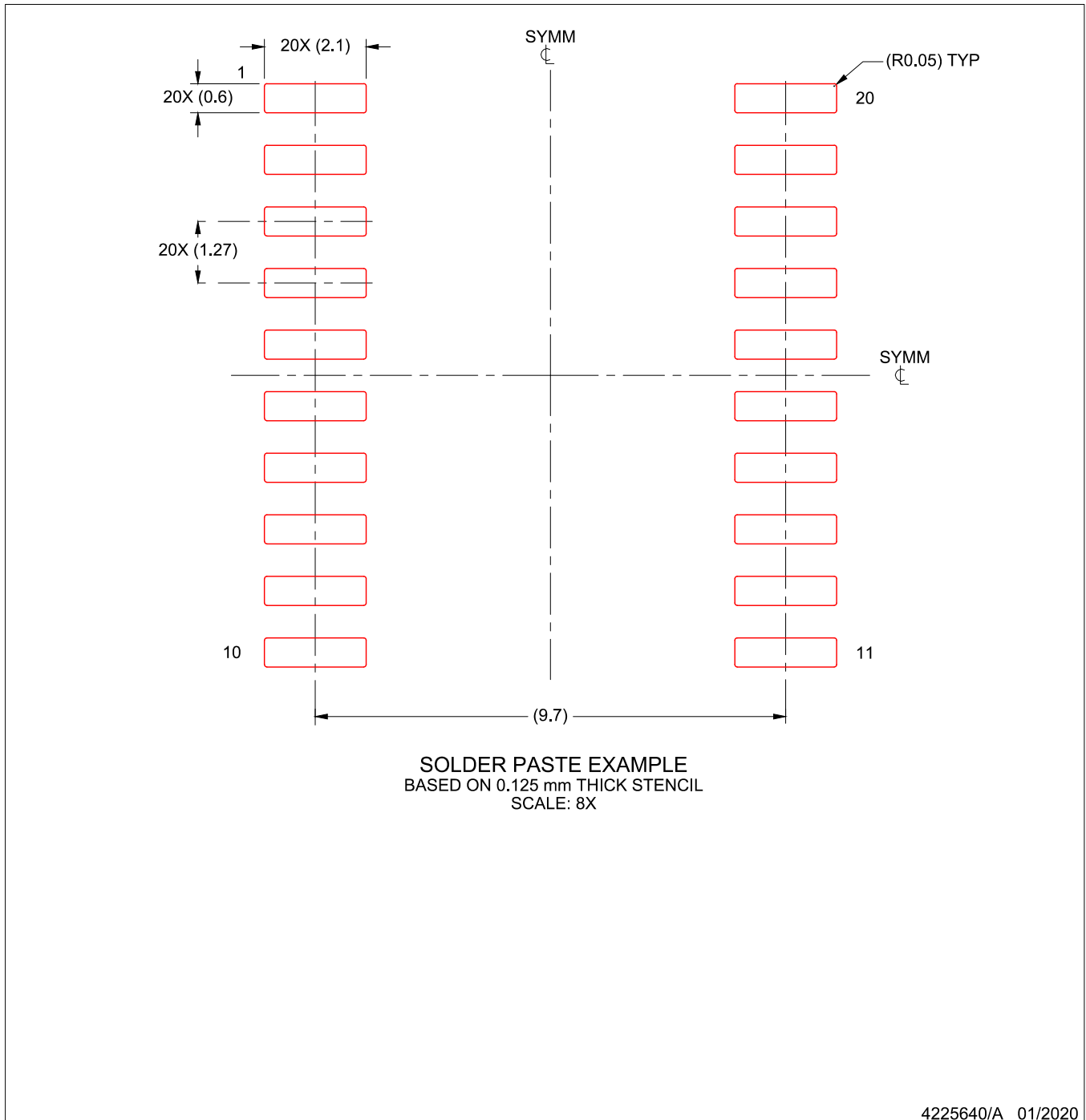
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DFM0020A

SOIC - 3.55 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、ます。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated