



## LM20343

2008 年 8 月

### 36V、3A、可変周波数同期整流降圧型レギュレータ

#### 概要

LM20343 は、最大 3A の負荷電流を供給できる、必要な機能がすべて揃った同期整流方式降圧型レギュレータです。電流モード制御ループは 2 つの部品で外部補償され、高性能と使いやすさの両方を実現します。デバイスは 4.5V ~ 36V の入力電圧範囲で動作するよう最適化されており、高電圧システムに適しています。

デバイスは、オーバervoltage保護 (OVP) および過電流保護 (OCP) 回路を内蔵し、システムの信頼性を高めています。デバイスの起動は、高精度イネーブル・ピン および内蔵されたアンダーボルテージ・ロックアウトにより、正確なシーケンス制御を実現できます。スタートアップ時の突入電流は、内部固定および外部で調整可能なソフトスタート回路の両方で制限されます。内蔵パワーグッド (PGOOD) 回路により、異常検出および電源シーケンス制御が可能です。

このデバイスの周波数は、RT ピンとグランドの間に外部抵抗を接続することにより、250kHz ~ 1.0MHz の範囲で調節可能です。

LM20343 は、マルチレール電源アーキテクチャで最適に動くよう設計されています。デバイスの出力電圧は、SS/TRK ピンを使ってより高い電圧レールをトラッキングできるよう設定できます。LM20343 の出力がスタートアップ時にプリバイアスされた場合、内部ソフトスタートの上昇が帰還ピンの電圧を超えない限り、電流シンクを行わず出力を低下させません。

LM20343 は露出パッドの付いた 20 ピン eTSSOP パッケージで提供されるため、PCB にハンダ付けすることにより、大きなヒートシンクの設置が不要となります。

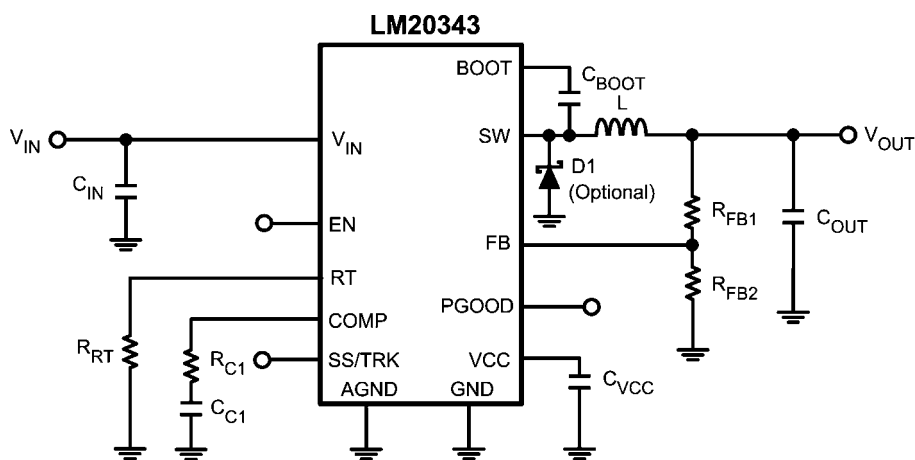
#### 特長

- 4.5V ~ 36V の入力電圧範囲
- 3A の出力電流、5.2A のピーク電流
- パワー MOSFET: 130mΩ/110mΩ
- 同期整流によりピーク効率は 94%
- 帰還電圧精度 1.5%
- 電流モード制御、位相補償の設定が可能
- スwitching 周波数可変: 250kHz ~ 1MHz
- 外部同期 250kHz ~ 1.5MHz
- 出力電圧は最低 0.8V まで対応
- プリバイアス負荷に対応
- 外付けコンデンサによりソフトスタートをプログラム可能
- ヒステリシス付き高精度イネーブル・ピン
- OVP、UVLO 入力および PGOOD 出力
- ピーク電流制限、サーマル・シャットダウンおよびリスタートによる内部保護
- 高精度の電流制限によりインダクタのサイズを最小化
- 電流モードの非線形スロープ補償
- eTSSOP-20 露出パッド・パッケージ

#### アプリケーション

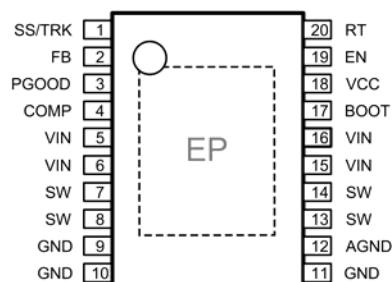
- 回路設計がシンプルで、効率の高い 4.5V ~ 36V バスからのポイント・オブ・ロード・レギュレーション
- 高性能 DSP、FPGA、ASIC およびマイクロプロセッサ
- 通信のインフラ、カーナビゲーション

#### アプリケーション回路



PowerWise™ はテキサス・インスツルメンツの商標です。

## ピン配置図



Top View  
eTSSOP-20 Package

## 製品情報

Order Number	Package Type	NSC Package Drawing	Package Marking	Supplied As
LM20343MH	eTSSOP-20	MXA20A	20343MH	73 Units per Rail
LM20343MHE				250 Units per Tape and Reel
LM20343MHX				2500 Units per Tape and Reel

## ピン説明

ピン番号	ピン名	説明	アプリケーション情報
1	SS/TRK	ソフトスタートまたはトラッキング制御入力	4.5 $\mu$ A の内部定電流源により、ソフトスタート時間を設定する外付けコンデンサを充電します。分圧抵抗ネットワークを選択することにより出力を外部電源にトラッキングさせることが可能です。オープン状態の場合、内部固定の 1ms ソフトスタートがアクティブとなります。
2	FB	レギュレート出力からエラー・アンプへの電圧帰還入力	内部トランスコンダクタンス・エラー・アンプの反転入力に接続されています。800mV リファレンス電圧は、エラー・アンプの非反転入力に内部で接続されています。
3	PGOOD	パワーグッド出力信号	オープン・ドレインの出力は出力電圧が許容誤差内でレギュレートされていることを示しています。この機能を使う場合、10k $\Omega$ ~ 100k $\Omega$ のプルアップ抵抗を推奨します。
4	COMP	内部エラー・アンプの出力およびパルス幅変調回路への入力	COMP ピンと AGND ピンの間にループ補償回路を接続してください。
5,6,15,16	VIN	入力電源電圧	公称動作範囲は 4.5V ~ 36V。
7,8,13,14	SW	スイッチング・ピン	電力段パワー NFET の出力端子。
9,10,11	GND	グラウンド	パワー MOSFET の内部基準電位点。
12	AGND	アナログ・グラウンド	レギュレータ制御回路の内部基準電位点。
17	BOOT	ブースト入力	VCC と BOOT の間の内部ダイオードは、制御 MOSFET のゲート・ドライバに電源供給するために必要な SW と BOOT の間の外部コンデンサを充電します。
18	VCC	高耐圧リニア・レギュレータの出力。VCC 電圧はおおよそ 5.5V にレギュレートされます。	VCC はおおよそ 7.2V まで VIN に追従します。VIN が 7.2V を超えると、VCC の電圧はおおよそ 5.5V にレギュレートされます。0.1 $\mu$ F ~ 1 $\mu$ F のセラミック・デカップリング・コンデンサが必要です。VCC ピンは出力のみです。
19	EN	イネーブルまたは UVLO ピン	外付けの分圧回路を使うと、電源のアンダーボルテージ・ロックアウト・スレッシュホールドの設定が可能です。EN ピンを未接続状態にしておくと、2 $\mu$ A のプルアップ電流源によって EN ピンが High に固定され、レギュレータがイネーブルとなります。
20	RT	発振回路周波数調整入力	通常 550mV にバイアスされています。RT と AGND 間に接続する外付け抵抗で内部発振周波数が決まります。
EP	露出パッド	露出パッド	GND への電氣的接続が弱い、パッケージ裏面の露出金属パッド。熱放散特性を向上させるために、このパッドをプリント基板のグラウンド・プレーンに接続してください。

**絶対最大定格** (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電氣的信頼性試験方法の規格を参照ください。

VIN ~ GND 間	- 0.3V ~ + 38V
BOOT ~ GND 間	- 0.3V ~ + 43V
BOOT ~ SW 間	- 0.3V ~ + 7V
SW ~ GND 間	- 0.5V ~ + 38V
SW ~ GND 間 (過渡応答時)	20ns 未満では - 1.5V
FB、EN、SS/TRK、RT、 PGOOD ~ GND 間	- 0.3V ~ + 6V

VCC ~ GND 間

- 0.3V ~ + 8V

保存温度

- 65 °C ~ + 150 °C

ESD 耐圧

人体モデル (Note 2)

2kV

**動作定格**

VIN ~ GND 間

+ 4.5V ~ + 36V

接合部温度

- 40 °C ~ + 125 °C

**電氣的特性**

特記のない限り、以下の条件が適用されます。V<sub>VIN</sub> = 12V。標準字体で記載されたリミット値は T<sub>J</sub> = 25 °C の場合に限りです。太字で記載されたリミット値は - 40 °C ~ + 125 °C の接合部温度 (T<sub>J</sub>) 範囲にわたって適用されます。最小 / 最大リミット値は、試験、設計、または統計的相関によって保証されます。代表 (Typ) 値は T<sub>J</sub> = 25 °C でのパラメータの最も標準と考えられる値を表し、参照を目的としてのみ提示されます。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
V <sub>FB</sub>	Feedback Pin Voltage	V <sub>VIN</sub> = 4.5V to 36V	<b>0.788</b>	0.8	<b>0.812</b>	V
R <sub>HSW-DS(ON)</sub>	High-Side MOSFET On-Resistance	I <sub>SW</sub> = 3A		130	<b>225</b>	mΩ
R <sub>LSW-DS(ON)</sub>	Low-Side MOSFET On-Resistance	I <sub>SW</sub> = 3A		110	<b>190</b>	mΩ
I <sub>Q</sub>	Operating Quiescent Current	V <sub>VIN</sub> = 4.5V to 36V		2.3	<b>3</b>	mA
I <sub>SD</sub>	Shutdown Quiescent Current	V <sub>EN</sub> = 0V		150	<b>180</b>	μA
V <sub>UVLO</sub>	VIN Under Voltage Lockout	Rising V <sub>VIN</sub>	<b>4</b>	4.25	<b>4.5</b>	V
V <sub>UVLO(HYS)</sub>	VIN Under Voltage Lockout Hysteresis			350	<b>450</b>	mV
V <sub>VCC</sub>	VCC Voltage	I <sub>VCC</sub> = -5 mA, V <sub>EN</sub> = 5V		5.5		V
I <sub>SS</sub>	Soft-Start Pin Source Current	V <sub>SS</sub> = 0V	<b>2</b>	5	<b>7</b>	μA
V <sub>TRKACC</sub>	Soft-Start/Track Pin Accuracy	V <sub>SS</sub> = 0.4V	<b>-10</b>	5	<b>15</b>	mV
I <sub>BOOT</sub>	BOOT Diode Leakage	V <sub>BOOT</sub> = 4V		10		nA
V <sub>F-BOOT</sub>	BOOT Diode Forward Voltage	I <sub>BOOT</sub> = -100 mA		0.9	<b>1.1</b>	V

**Powergood**

V <sub>FB(OVP)</sub>	Over Voltage Protection Rising Threshold	V <sub>FB(OVP)</sub> / V <sub>FB</sub>	<b>107</b>	110	<b>112</b>	%
V <sub>FB(OVP-HYS)</sub>	Over Voltage Protection Hysteresis	ΔV <sub>FB(OVP)</sub> / V <sub>FB</sub>		2	<b>3</b>	%
V <sub>FB(PG)</sub>	PGOOD Threshold, V <sub>OUT</sub> Rising	V <sub>FB(PG)</sub> / V <sub>FB</sub>	<b>93</b>	95	<b>97</b>	%
V <sub>FB(PG-HYS)</sub>	PGOOD Hysteresis	ΔV <sub>FB(PG)</sub> / V <sub>FB</sub>		2	<b>3</b>	%
T <sub>PGOOD</sub>	PGOOD Delay			20		μs
I <sub>PGOOD(SNK)</sub>	PGOOD Low Sink Current	V <sub>PGOOD</sub> = 0.5V	<b>0.6</b>	1		mA
I <sub>PGOOD(SRC)</sub>	PGOOD High Leakage Current	V <sub>PGOOD</sub> = 5V		5	<b>200</b>	nA

**Oscillator**

F <sub>SW1</sub>	Switching Frequency 1	R <sub>RT</sub> = 49.9 kΩ	<b>675</b>	750	<b>825</b>	kHz
F <sub>SW2</sub>	Switching Frequency 2	R <sub>RT</sub> = 249 kΩ	<b>225</b>	250	<b>325</b>	kHz
D <sub>MAX</sub>	Maximum Duty Cycle	I <sub>LOAD</sub> = 3A		80		%
V <sub>RT</sub>	RT pin voltage	R <sub>RT</sub> = 249 kΩ		550		mV

**Error Amplifier**

I <sub>FB</sub>	Feedback Pin Bias Current	V <sub>FB</sub> = 1V		50		nA
I <sub>COMP(SRC)</sub>	COMP Output Source Current	V <sub>FB</sub> = 0V V <sub>COMP</sub> = 0V	<b>200</b>	400		μA
I <sub>COMP(SNK)</sub>	COMP Output Sink Current	V <sub>FB</sub> = 1.6V V <sub>COMP</sub> = 1.6V	<b>200</b>	350		μA
g <sub>m</sub>	Error Amplifier DC Transconductance	I <sub>COMP</sub> = -50 μA to +50 μA	<b>450</b>	515	<b>600</b>	μmho
A <sub>VOL</sub>	Error Amplifier Voltage Gain	COMP pin open		2000		V/V
GBW	Error Amplifier Gain-Bandwidth Product	COMP pin open		7		MHz

## 電氣的特性 (つづき)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
<b>Current Limit</b>						
$I_{LIM}$	Cycle By Cycle Positive Current Limit		4.3	5.2	6.0	A
$I_{LIMNEG}$	Cycle By Cycle Negative Current Limit			2.8		A
$T_{ILIM}$	Cycle By Cycle Current Limit Delay			150		ns
<b>Enable</b>						
$V_{EN(RISING)}$	EN Pin Rising Threshold		1.2	1.25	1.3	V
$V_{EN(HYS)}$	EN Pin Hysteresis			50		mV
$I_{EN}$	EN Source Current	$V_{EN} = 0V, V_{VIN} = 12V$		2		$\mu A$
<b>Thermal Shutdown</b>						
$T_{SD}$	Thermal Shutdown			170		$^{\circ}C$
$T_{SD(HYS)}$	Thermal Shutdown Hysteresis			20		$^{\circ}C$
<b>Thermal Resistance</b>						
$\theta_{JC}$	Junction to Case			5.6		$^{\circ}C/W$
$\theta_{JA}$	Junction to Ambient (Note 3)	0 LFM airflow		27		$^{\circ}C/W$

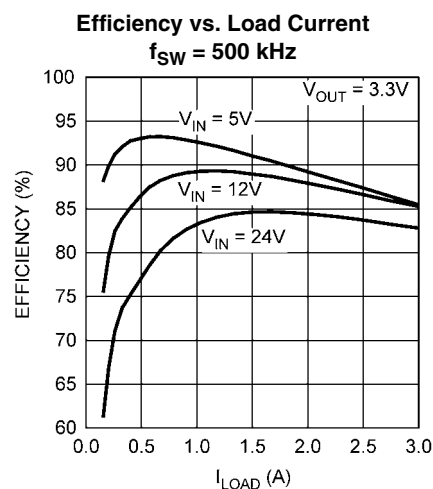
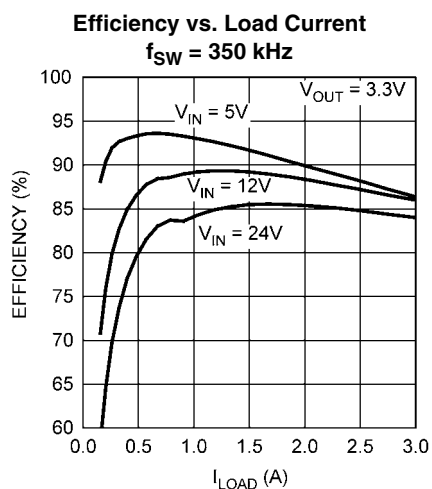
**Note 1:** 「絶対最大定格」は、それらを超えた場合、デバイスの破壊が発生する可能性があるリミット値を示します。「動作定格」とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。保証されている仕様および試験条件については「電氣的特性」を参照してください。

**Note 2:** 人体モデルでは、100pF のコンデンサから 1.5k $\Omega$  の抵抗を介して各ピンへ放電させます。

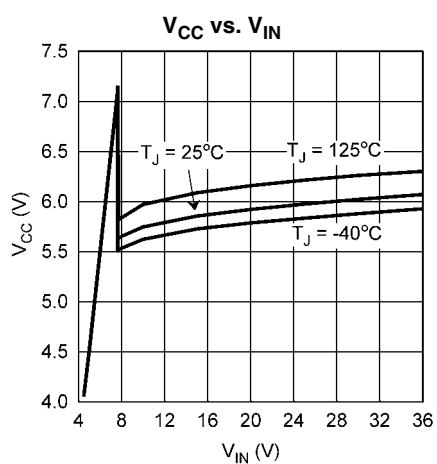
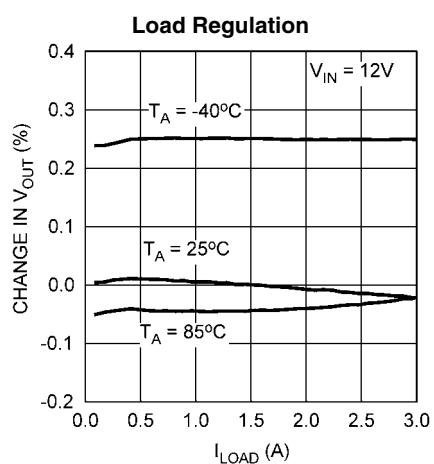
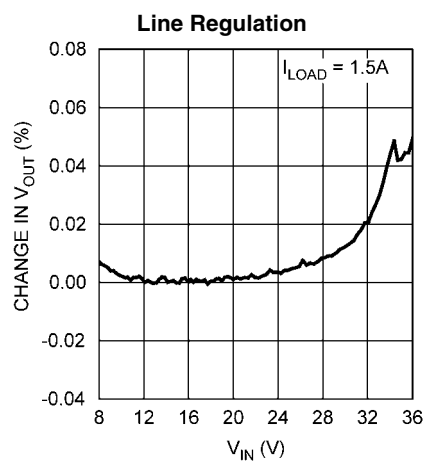
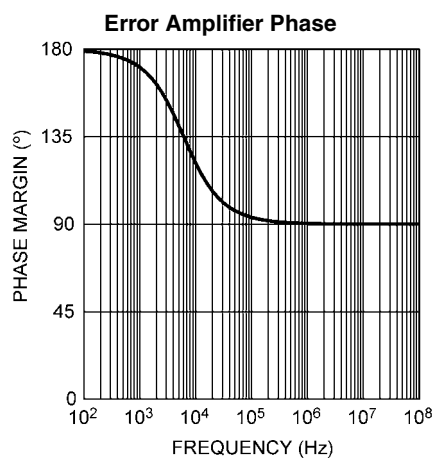
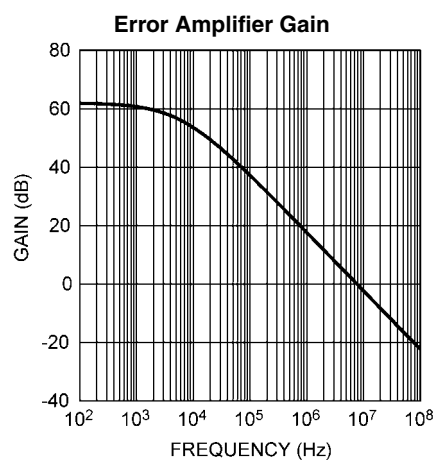
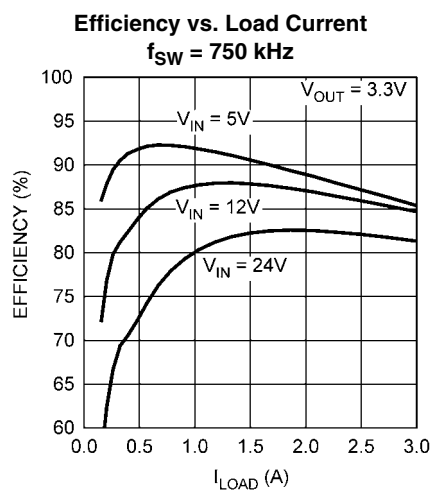
**Note 3:** 銅箔の重量が 1 オンスの内部層と 2 オンスの外部層からなる 2 インチ× 2 インチの 4 層 PCB で測定。

## 代表的な性能特性

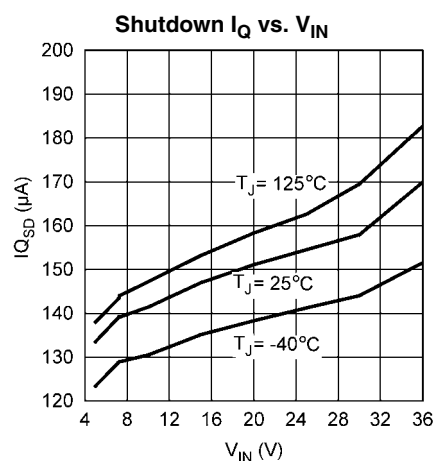
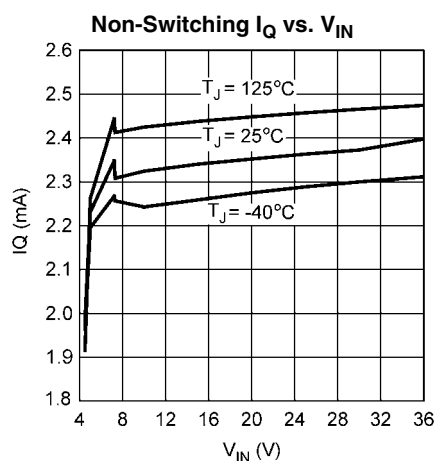
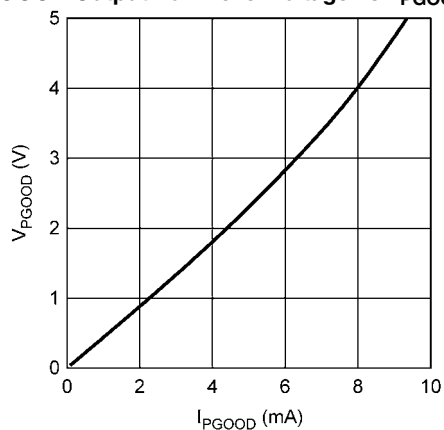
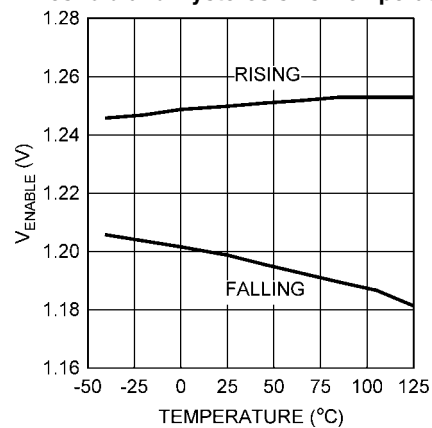
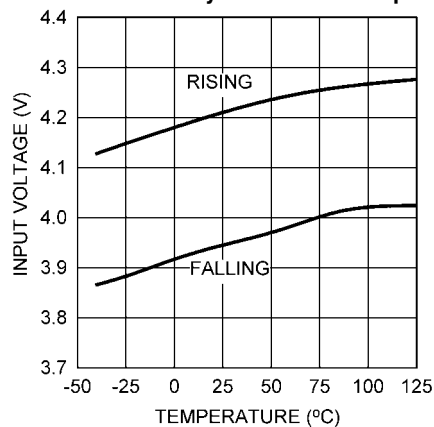
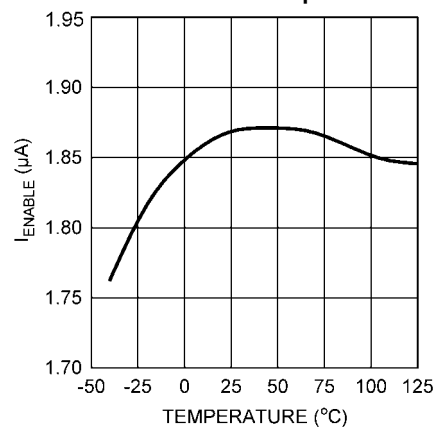
特記のない限り、効率曲線、ループ・ゲイン・プロットと波形の場合は  $V_{VIN} = 12V$ 、 $V_{OUT} = 3.3V$ 、 $L = 4.7\mu H$ 、 $f_{SW} = 750kHz$ 、 $C_{SS} = 100nF$ 、 $T_A = 25^{\circ}C$ 、それ以外の場合は  $T_J = 25^{\circ}C$  になります。



## 代表的な性能特性 (つづき)

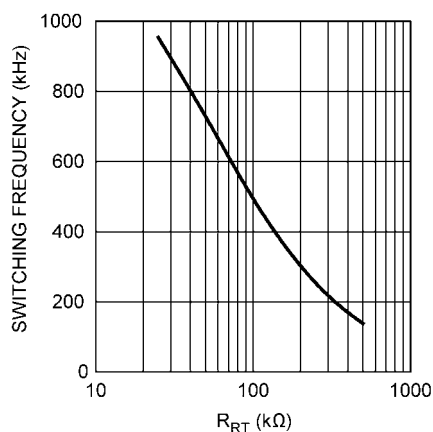


## 代表的な性能特性 (つづき)

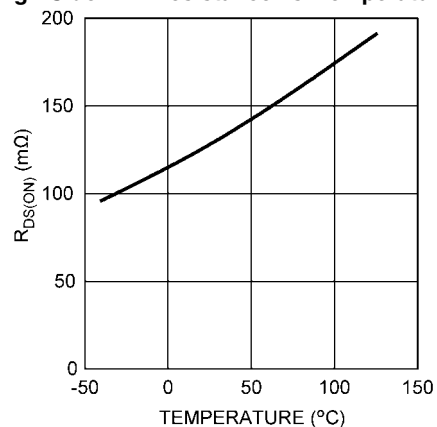
**PGOOD Output Low Level Voltage vs.  $I_{PGOOD}$** **EN Threshold and Hysteresis vs. Temperature****UVLO Threshold and Hysteresis vs. Temperature****Enable Current vs. Temperature**

# 代表的な性能特性 (つづき)

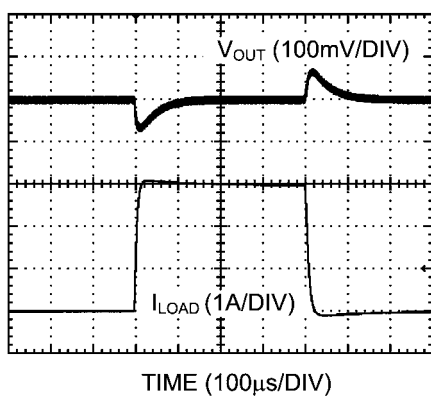
## Oscillator Frequency vs. $R_{RT}$



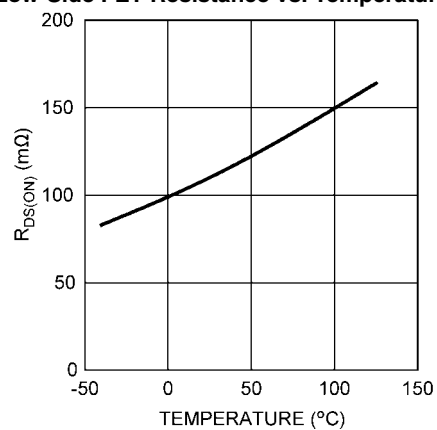
## High-Side FET Resistance vs. Temperature



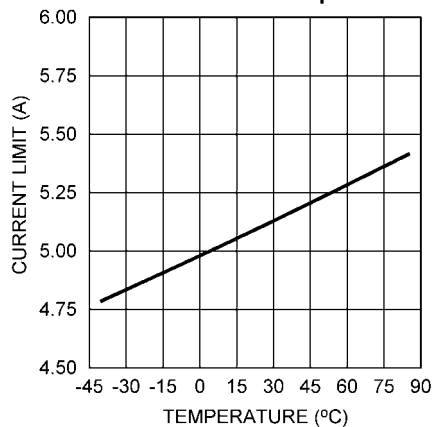
## Load Transient Response



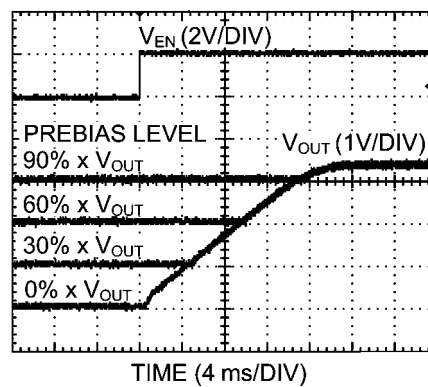
## Low-Side FET Resistance vs. Temperature



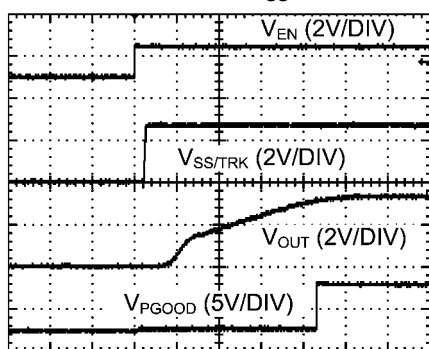
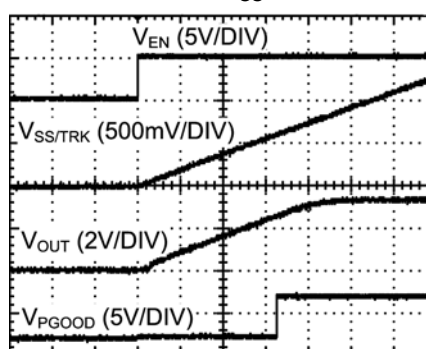
## Peak Current Limit vs. Temperature



## Startup with prebiased output

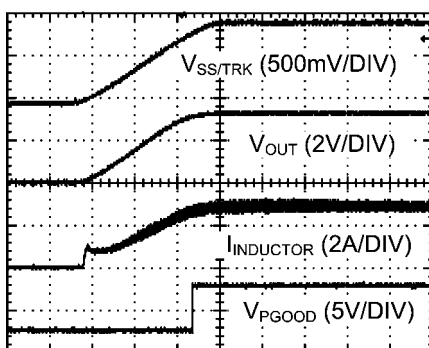


## 代表的な性能特性 (つづき)

Startup with  $C_{SS} = 0$ TIME (200  $\mu$ s/DIV)Startup with  $C_{SS} = 100$  nF

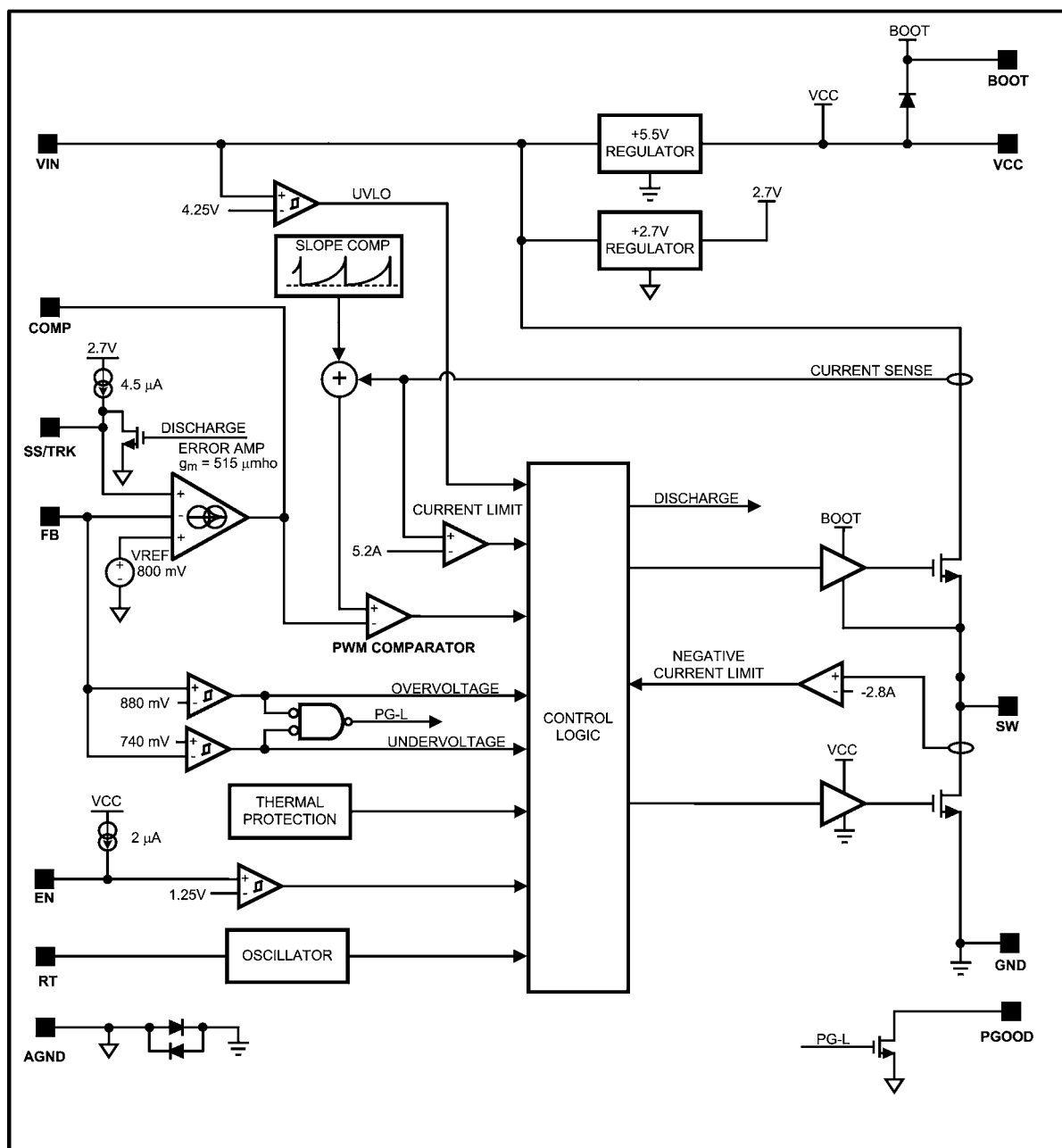
TIME (4 ms/DIV)

Startup with applied Track Signal



TIME (10 ms/DIV)

## ブロック図



## 動作の説明

### 概要

LM20343 は、できる限り少ない外付け部品で高効率な降圧レギュレータを実装するために必要なすべての機能を備えたスイッチング・レギュレータです。この使いやすいレギュレータは、2 つのスイッチ素子を内蔵し、最大 3A の連続出力電流を供給できます。レギュレータは非線形スロープ補償によるピーク電流モード制御により、出力電圧範囲全体にわたり最適な安定性と過渡応答を実現します。ピーク電流モード制御は、入力電圧フィードフォワード、サイクルごとの電流制限、ループ補償が簡単という特長を原理的に備えています。スイッチング周波数は、グラウンドに接続した外部抵抗により 250kHz ~ 1MHz まで可変できます。そのほか、電流制限、サーマル・シャットダウン、オーバーボルテージ保護、シャットダウン機能を備えています。デバイスは放熱を助ける露出パッドを組み込んだ eTSSOP-20 パッケージで供給されます。LM20343 の一般的なアプリケーション回路は設計ガイドラインの Figure 1 に示しています。

### 高精度イネーブル

イネーブル (EN) ピンから、デバイスの出力を外部制御信号によりイネーブルまたはディスエーブルできます。このピンは、電圧が 1.25V (typ) を超えた場合にデバイスをイネーブルにできる高精度アナログ入力です。EN ピンには 50mV のヒステリシスがあり、イネーブル電圧が 1.2V (typ) を下回ると出力をディスエーブルします。EN ピンを使用しない場合は無接続にしてください。2  $\mu$ A の内蔵プルアップ回路によりデフォルトでこの機能がイネーブル状態になります。イネーブル・ピンには高精度なターンオン・スレッシュホールドがあるため、 $V_{IN}$  からの外部抵抗分圧ネットワークと一緒に使用することにより、デバイスがターンオンする入力電圧を高精度に設定できます。高精度イネーブル回路は、デバイスがディスエーブルされてもアクティブのままです。

### ピーク電流モード制御

大半の場合、LM20343 で使用されているピーク電流モード制御アーキテクチャが安定した設計を実現するために必要とする外付け部品は 2 つだけです。補償回路の設定により、どのような種類または値のコンデンサにも対応できます。外部補償により、ユーザーはクロスオーバー周波数を設定でき、デバイスの過渡特性を最適化できます。

50%以上のデューティ・サイクルでは、サブハーモニクス発振を避けるために、すべてのピーク電流モード制御降圧型コンバータではランプを追加する必要があります。この非線形ランプは、通常スロープ補償と呼ばれます。LM20343 の特長は、スロープ補償の量が出力電圧に応じて変化する点です。高出力電圧での動作時は、低出力電圧での動作時に比べスロープ補償量が大きくなります。これは、スロープ補償に非線形放物線ランプを使用することにより実現されます。LM20343 の放物線スロープ補償は、出力電圧範囲全体にわたってデバイスの安定性を最適化するため、従来の線形スロープ補償より優れています。

### 電流制限

高精度な電流制限により、デバイスは飽和電流の低い小さなインダクタで動作できます。ピーク・インダクタ電流が電流制限スレッシュホールドに達すると、過電流イベントが起動して IC 内部のハイサイドの FET はオフになり、ローサイドの FET はオンになるため、インダクタ電流は次のスイッチング・サイクルまで減少し続けます。順次発生する過電流イベントではリファレンス電圧が減少し PWM パルスがスキップされるため、短い過電流イベントでは過電流制限は積極的にフォールドバックしませんが、完全短絡状態では周波数および電圧のフォールドバック保護を行います。

### ソフトスタートおよび電圧トラッキング

SS/TRK ピンは、スタートアップ時間の設定または外部電源のトラッキングに使用できる二重機能のピンです。スタートアップまたはソフトスタートの時間は、コンデンサを SS/TRK ピンとグラウンドの間に接続することにより調節できます。ソフトスタート機能を使用すると、レギュレータ出力は、設定電圧に緩やかに到達できるため、電源入力時のストレスを軽減しスタートアップ時の電流を制御できます。ソフトスタート・コンデンサを使わない場合、デバイスはデフォルト値で内部ソフトスタート回路を起動するため、スタートアップ時間はおよそ 1ms です。単調なスタートアップが必要なアプリケーションや、PGOOD ピンを使用するアプリケーションでは、外部ソフトスタート・コンデンサの使用を推奨します。SS/TRK ピンを使用して外部電源にトラッキングすることもできます。設計ガイドラインの Figure 6 に示すとおり、SS/TRK ピンに接続された 2 つの外部抵抗によりトラッキング動作を調節できます。

### プリバイアス・スタートアップ機能

出力電圧がゼロより大きい状態で起動することをプリバイアスといいます。この状態は、FPGA、ASIC または DSP に電源を供給するようなマルチレール・アプリケーションで数多く見られます。これらのアプリケーションでは、出力は 1 つの電源から別の電源へ続く寄生伝導経路を通じてプリバイアスされます。LM20343 は同期整流方式のコンバータですが、プリバイアス状態が発生しても出力を低下させません。スタートアップ時、LM20343 はソフトスタート電圧が FB ピンの電圧を超えない限り電流シンクを行いません。電流シンクしないため、デバイスは電流が負荷の寄生経路を介して導通することによって、発生する被害から負荷を保護します。

### パワーグッドおよびオーバーボルテージの異常処理

LM20343 は、出力のアンダーボルテージおよびオーバーボルテージを検出するコンパレータを内蔵しています。設定したオーバーボルテージ保護スレッシュホールドを超える異常急変が出力電圧で発生すると、デバイスは現在のオン・パルスを終了し、ローサイド FET をオンし、PGOOD ピンを Low にします。ローサイド FET は、FB 電圧が安定状態に戻るか、または負の電流リミットが起動して FET を TRI-STATE にするまで、オンのままです。出力がアンダーボルテージ保護のスレッシュホールドに達すると、デバイスはスイッチングを継続し、PGOOD ピンはディassertされて Low になります。PGOOD 抵抗の代表値は、100k $\Omega$  またはそれ未満のオーダーです。瞬間的なグリッチによる誤ったトリップを避けるため、PGOOD ピンには立ち上がりおよび立ち下りの両方に 20  $\mu$ s のデグリッチ時間があります。

### アンダーボルテージ・ロックアウト

LM20343 は、入力電圧が 4.25V (typ) に達しない限りスイッチングしないよう、アンダーボルテージ・ロックアウト保護回路を内蔵しています。アンダーボルテージ・ロックアウト・スレッシュホールドには 350mV のヒステリシスがあり、デバイスが起動中にパワー・オン・グリッチに反応するのを防ぎます。設計ガイドラインの Figure 5 に示すとおり、必要に応じて、高精度イネーブル・ピンおよび  $V_{IN}$  に接続された抵抗分圧ネットワークを使うことにより、電源のターンオン電圧を変更できます。

### 過熱保護

最大接合部温度を超えた場合に集積回路を保護する目的でサーマル・シャットダウン回路が内蔵されています。通常 170  $^{\circ}$ C でアクティブになると、LM20343 はパワー FET を TRI-STATE にし、ソフト・スタートをリセットします。接合部がおよそ 150  $^{\circ}$ C まで冷却された後、デバイスは通常のスタートアップ動作によって起動します。この機能はデバイスの予期せぬ過熱より発生する致命的な障害を防止します。

## 設計ガイドライン

ここでは、全機能を有する電源の構築に必要な外付け部品の選定方法を段階を踏んで説明します。どのような DC/DC コンバータの設計であっても、効率、実装面積、性能が最適化のトレードオフになります。このセクションではこれらの設計条件について詳しく取り上げます。部品選定を簡易化するために、下の Figure 1 に示す回路を参考として使用します。特記のない限り、すべての式において単位は電流をアンペア (A)、容量をファラッド (F)、インダクタンスをヘンリー (H)、電圧をボルト (V) とします。

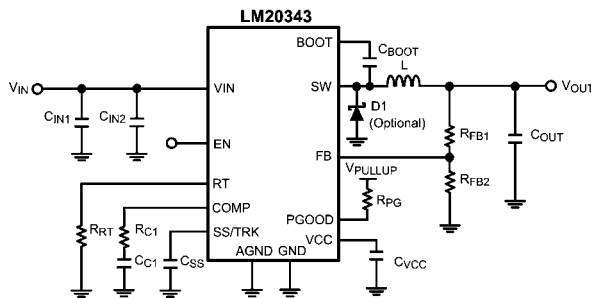


FIGURE 1. Typical Application Circuit

降圧コンバータの設計では最初に登場する式はデューティ・サイクルです。FET によって生じる導通損失と寄生抵抗を無視すると、デューティ・サイクルは次のように近似されます。

$$D = \frac{V_{OUT}}{V_{IN}}$$

### インダクタの選択 (L)

インダクタンス値は、動作周波数、負荷電流、リップル電流、デューティ・サイクルをもとに決定します。

デバイスのピーク電流制限よりも大きな飽和電流定格を持つインダクタを選択します。規定された電流制限値は電流制限コンバータの動作遅延を考慮していないため、アプリケーションの電流制限値は規定値より高くなる可能性があることを念頭においてください。性能を最適化し、デバイスが最大負荷時に電流制限モードに入ることを防止するために、通常リップル電流  $\Delta i_L$  が定格出力電流値の 30% 以下になるようにインダクタンスを選定します。Figure 2 は、スイッチおよびインダクタ・リップル電流波形を示しています。入力電圧、出力電圧、動作周波数、目標のリップル電流がわかれば、次式によりインダクタの最小値を計算できます。

$$L_{MIN} = \frac{(V_{IN} - V_{OUT}) \times D}{\Delta i_L \times f_{SW}}$$

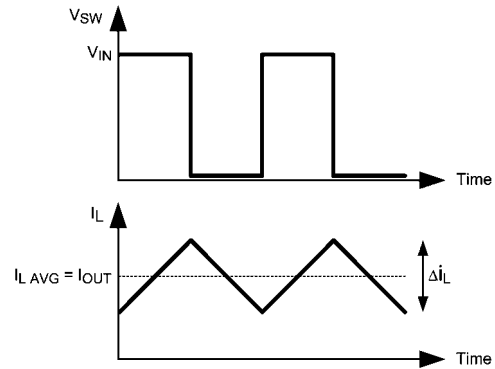


FIGURE 2. Switch and Inductor Current Waveforms

必要に応じて、若干小さい値のインダクタを使用することもできますが、ピーク・インダクタ電流  $I_{OUT} + \Delta i_L/2$  はデバイスのピーク電流制限値を超えないようにする必要があります。一般に、電流モード制御ループに適切な電流センス情報を提供するために、インダクタ・リップル電流  $\Delta i_L$  は、定格出力電流の 10% 以上必要です。インダクタのリップル電流が低すぎる場合、制御ループに十分な電流センス情報がなく、不安定になる場合があります。

### 出力コンデンサの選択 (COUT)

出力コンデンサ  $C_{OUT}$  は、インダクタ・リップル電流を平滑化するとともに、負荷の変動に対して電荷を供給します。幅広い種類の出力コンデンサを LM20343 と組み合わせ、優れた性能を実現できます。通常セラミック、SP または OS-CON などのコンデンサを使うことにより、最高の性能が得られます。一般的なトレードオフとして、セラミック・コンデンサはきわめて小さな ESR を持ち、出力リップル電圧とノイズ・スパイクを吸収する一方で、SP および OS コンデンサは小型大容量のバルク・コンデンサとして負荷変動に対応します。

出力コンデンサの値を選択する際、考慮すべき 2 つの特性は出力電圧リップルと過渡応答です。出力電圧リップルは、次式で近似されます。

$$\Delta V_{OUT} = \Delta i_L \times \left[ R_{ESR} + \frac{1}{8 \times f_{SW} \times C_{OUT}} \right]$$

$\Delta V_{OUT}$  (V) は電源出力におけるピーク・ツー・ピーク電圧リップル量、 $R_{ESR}$  (Ω) は出力コンデンサの等価直列抵抗、 $f_{SW}$  (Hz) はスイッチング周波数、 $C_{OUT}$  (F) は設計時に使用した出力容量を示します。許容できる出力リップルの量はアプリケーション固有ですが、一般的に定格出力電圧の 1% 未満に抑えることを推奨します。セラミック・コンデンサは ESR が非常に低いため適していることがありますが、パッケージ・サイズおよびコンデンサの電圧定格によっては、印加電圧により実効容量値が著しく落ちる可能性があることを念頭においてください。出力コンデンサの選択は、負荷変動時の出力電圧低下にも影響します。負荷変動時の出力電圧低下のピーク値は、多くの要因に依存します。しかし次式を使うことにより、ループ帯域を無視した変動低下量の近似が得られます。

$$V_{DROOP} = \Delta I_{OUTSTEP} \times R_{ESR} + \frac{L \times \Delta I_{OUTSTEP}^2}{C_{OUT} \times (V_{IN} - V_{OUT})}$$

## 設計ガイドライン (つづき)

$C_{OUT}$  (F) は必要な出力容量の最小値、 $L$  (H) はインダクタの値、 $V_{DROOP}$  (V) はループ帯域幅を無視した出力電圧低下、 $\Delta I_{OUTSTEP}$  (A) は負荷ステップ変動、 $R_{ESR}$  ( $\Omega$ ) は出力コンデンサ ESR、 $V_{IN}$  (V) は入力電圧、 $V_{OUT}$  (V) はレギュレータの出力電圧設定値です。特定の出力リップル電圧値または変動による電圧低下量を目標値として設計する場合、コンデンサの容量誤差および電圧印加 (DC バイアス) 特性の両方を考慮してください。

### 入力コンデンサの選択

$V_{IN}$  ピンに発生するリップル電圧を抑え、かつ、オン期間中のスイッチ電流の大半を供給する目的で、良質の入力コンデンサが必要です。一般に入力コンデンサには、インピーダンスが低く実装面積が小さいセラミック・コンデンサを推奨します。このとき、X5R や X7R など、適切な誘電体特性のセラミック・コンデンサを選択することが重要です。これらは動作温度が変化しても良好な特性を示し、Y5V コンデンサで生じる DC 電圧のディレーティングを抑えます。また、入力コンデンサ  $C_{IN1}$  および  $C_{IN2}$  をデバイス両面の  $V_{IN}$  ピンおよび GND ピンの可能な限り近くに配置してください。

セラミック以外の入力コンデンサは、RMS 電流定格と最小リップル電圧で選択します。以下の関係式からリップル電流定格の適切な近似が得られます。

$$I_{IN-RMS} = I_{OUT} \sqrt{D(1-D)}$$

RMS リップル電流式で示したとおり、RMS 電流定格が最も必要なのはデューティ・サイクル 50% のときです。この場合、入力コンデンサの RMS リップル電流定格は出力電流の半分より大きい必要があります。最高性能を引き出すには、低 ESR セラミック・コンデンサをより大容量のコンデンサと並列に配置して、デバイスに最適な入力フィルタリングを行ってください。

### 出力電圧の設定 ( $R_{FB1}$ 、 $R_{FB2}$ )

デバイスの出力電圧を設定するには、抵抗  $R_{FB1}$  および  $R_{FB2}$  を選択します。Table 1 に、一般的な出力電圧における  $R_{FB1}$  および  $R_{FB2}$  の推奨値を示します。

TABLE 1.  $R_{FB1}$  および  $R_{FB2}$  の推奨値

$R_{FB1}(k\Omega)$	$R_{FB2}(k\Omega)$	$V_{OUT}$
short	open	0.8
4.99	10	1.2
8.87	10.2	1.5
12.7	10.2	1.8
21.5	10.2	2.5
31.6	10.2	3.3
52.3	10	5.0

異なる出力電圧が必要な場合、 $R_{FB2}$  に 4.99k $\Omega$  ~ 49.9k $\Omega$  を選択し、次式を使って  $R_{FB1}$  を計算してください。

$$R_{FB1} = \left( \frac{V_{OUT}}{0.8} - 1 \right) \times R_{FB2}$$

### 動作周波数の調節 ( $R_{RT}$ )

LM20343 の動作周波数は、 $RT$  ピンとグランドの間に抵抗を接続することにより調節可能です。特定の動作周波数における  $R_{RT}$  の値は次式を使って計算します。

$$R_T = \left( \frac{78000}{f_{SW}} \right) - 55$$

$f_{SW}$  はスイッチング周波数 (単位: kHz)、 $R_{RT}$  は周波数調節用の抵抗 (単位: k $\Omega$ ) です。「代表的な性能特性」で、発振回路の周波数と  $R_{RT}$  の関係の曲線を参照してください。抵抗  $R_{RT}$  を使用しないと、デバイスは動作しません。

### ループ補償 ( $R_{C1}$ 、 $C_{C1}$ )

ループ補償の目的は、充分な安定性の維持と静的および動的な性能要件を両立させることです。最適なループ補償は、出力コンデンサ、インダクタ、負荷およびデバイス本体に依存します。Table 2 に、150  $\mu$ F、6.3V の POSCAP 出力コンデンサ (6TPB150MAZB) を使用した際にシステムが安定する補償ネットワークの値を示します。

TABLE 2. Recommended Compensation for  
 $C_{OUT} = 150 \mu F$ ,  $I_{OUT} = 3A$ ,  $f_{SW} = 500kHz$

$V_{IN}$	$V_{OUT}$	$L$ ( $\mu H$ )	$R_C$ (k $\Omega$ )	$C_{C1}$ (nF)
12	5	6.8	43.2	4.7
12	3.3	5.6	43.2	3.3
12	2.5	4.7	48.7	2.2
12	1.5	3.3	30.1	2.2
12	1.2	2.2	23.2	2.2
12	0.8	1.5	34	1
5	3.3	2.2	43.2	3.3
5	2.5	3.3	30.1	3.3
5	1.5	2.2	30.1	2.2
5	1.2	2	34	3.3
5	0.8	1.5	30.1	2.2

必要なソリューションが上の表と異なる場合、ループ伝達関数を分析してループ補償を最適化してください。ループ全体の伝達関数は、パワー段と帰還ネットワークの伝達関数の積になります。安定性を確保するには、きわめて低い周波数からクロスオーバー周波数を超える周波数まで、ループ・ゲインの傾きを -20dB/dec とすることが目標になります。Figure 3 に、LM20343 のパワー段、帰還 / 補償ネットワーク、その結果生じる補償ループについて、伝達関数を示します。

## 設計ガイドライン (つづき)

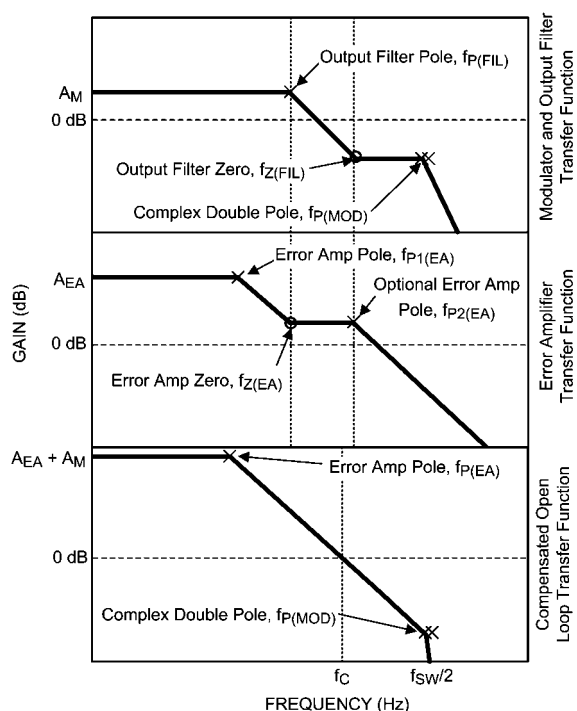


FIGURE 3. LM20343 Loop Compensation

パワー段伝達関数は、変調器、出力 LC フィルタおよび負荷によって記述されます。一方帰還伝達関数は、フィードバック抵抗比、エラー・アンプ・ゲイン、外部補償ネットワークにより設定されます。

−20dB/dec の傾きを実現するには、 $f_{Z(EA)}$  のエラー・アンプ・ゼロを配置し出力フィルタ・ポール ( $f_{P(FIL)}$ ) をキャンセルします。

Figure 4 の RC ネットワークを追加することにより、LM20343 の補償は終了です。

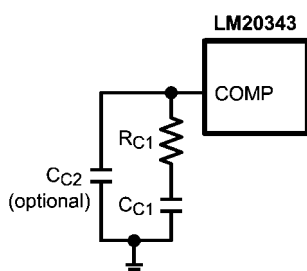


FIGURE 4. Compensation Network for LM20343

大半のアプリケーションにおいて、 $C_{C1}$  の初期値を 2.2nF として計算を開始するのが適切です。 $C_{C1}$  の値を選択した後、次式を使って RC の値を概算し、Figure 3 に示したとおり出力フィルタ・ポール ( $f_{P(FIL)}$ ) をキャンセルしてください。

$$R_{C1} = \left[ \frac{C_{C1}}{C_{OUT}} \times \left[ \frac{I_{OUT}}{V_{OUT}} + \frac{2 \times D}{f_{sw} \times L} \right] \right]^{-1}$$

通常位相マージンを犠牲にして  $C_{C1}$  を下げ、 $R_{C1}$  の値を再度計算することにより、高いクロスオーバー周波数を取得できま

す。同様に、 $C_{C1}$  を上げ、 $R_{C1}$  を再度計算することにより、より低いクロスオーバー周波数において位相マージンが増加します。LM20343 の補償を試みると同時に、システムの安定性の為に過渡応答時の電圧低下量とセトリング・タイムを満足しているかを確認しなくてはなりません。

低デューティ・サイクルの動作では、スイッチ・ノードのオン時間が 200ns 未満の場合、COMP ピンから AGND にコンデンサ ( $C_{C2}$ ) を追加してください。このコンデンサの推奨値は 20pF です。スイッチ・ノードで低デューティ・サイクル・ジッタが観測された場合は、このコンデンサの値を大きくすることで、高いノイズ耐性を実現できます。ただし、100pF をはるかに超える値にすると、ポール  $f_{P2(EA)}$  の周波数が下がり、ループの安定性が損なわれます。

ブートストラップ・コンデンサ ( $C_{BOOT}$ )

LM20343 は、N チャネルの FET と、スイッチ制御に関連するフローティングの高耐圧レベル・シフト/ゲート・ドライバ回路を内蔵しています。ゲート・ドライバ回路は内蔵ダイオードと外付けブートストラップ・コンデンサとの組み合わせによって動作します。BOOT ピンと SW ピンの間に 0.1  $\mu$ F セラミック・コンデンサを直近で接続することを推奨します。降圧スイッチのオフ期間に SW ピン電圧はおおよそ 0V になり、ブートストラップ・コンデンサは内蔵されているブートストラップ・ダイオードを経由した VCC によって充電されます。

サプレギュレータ・バイパス・コンデンサ ( $C_{VCC}$ )

VCC ピンに接続するコンデンサは、内部のサプレギュレータのためにノイズをフィルタする効果があります。 $C_{VCC}$  の推奨値は 0.1  $\mu$ F 以上 1  $\mu$ F 以下です。品質が良い X5R または X7R のセラミック・コンデンサを使用してください。一般的なアプリケーションでは 1  $\mu$ F のセラミック・コンデンサを推奨します。短絡から保護されないため、他の機能のために VCC レギュレータを使用しないでください。

スタートアップ時間の設定 ( $C_{SS}$ )

SS ピンとグランド間にコンデンサを追加することにより、出力電圧が最終レギュレート値に達する時間を設定できます。 $C_{SS}$  の値が大きいほど、スタートアップ時間は長くなります。Table 3 に、ソフトスタート・コンデンサの一覧と対応する標準的なスタートアップ時間を示します。

TABLE 3. Start Up Times for Different Soft-Start Capacitors

Start Up Time (ms)	$C_{SS}$ (nF)
1	none
5	33
10	68
15	100
20	120

スタートアップ時間の変更が必要な場合、次式を使ってスタートアップ時間を計算できます。

$$t_{SS} = \frac{0.8V \times C_{SS}}{I_{SS}}$$

この式が示すとおり、スタートアップ時間はソフトスタート・コンデンサ  $C_{SS}$  と 4.5  $\mu$ A ソフトスタート・ピン電流  $I_{SS}$  の値によって影響を受けます。

## 設計ガイドライン (つづき)

ソフトスタート・コンデンサの容量は複数の起動要件を満足するように選択できますが、この容量には制限があります。スタートアップ時間は内部のデフォルト仕様が 1ms になっているため、ソフトスタート時間をこの値より短くすることはできません。デバイスがイネーブルになると、およそ 50  $\mu$ s のインターバルがあり、ソフトスタート・コンデンサをソフトスタート上昇の直前に放電します。イネーブル・ピンを急峻なパルス状に OFF/ON した場合、またはソフトスタート・コンデンサが大容量の場合、 $C_{SS}$  が完全に放電するために十分な時間がなく、スタートアップ時間が設定より短くなる場合があります。長いディスエーブル期間中にソフトスタート・コンデンサの放電を補助するために、SS/TRK ピンとグラウンドの間に 1M $\Omega$  の抵抗を外部接続することができます。この抵抗はスタートアップ時間には大きな影響を与えません。

### 高精度イネーブル・ピンおよびパワーグッド・ピンの使用

LM20343 の高精度イネーブル (EN) ピンおよびパワーグッド (PGOOD) ピンを使って、多くのシーケンス要件に対応できます。Figure 5 に示すとおり、2 つの外部抵抗を使用することにより、高精度イネーブル・ピンで LM20343 のターンオンを制御できます。

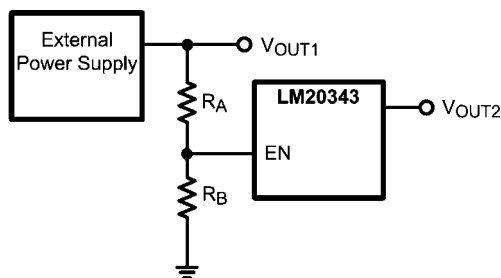


FIGURE 5. Sequencing LM20343 with Precision Enable

抵抗  $R_B$  の値は分圧回路に流れる電流を制御するためにユーザーが自由に選択できます。通常、この抵抗は 10k $\Omega$  ~ 49.9k $\Omega$  の間で選択されます。 $R_B$  の値を選択すると次式を使って抵抗  $R_A$  が求められ、必要なターンオン電圧を設定できます。

$$R_A = \left( \frac{V_{TO}}{V_{IH\_EN}} - 1 \right) \times R_B$$

特定のターンオン・スレッシュホールド ( $V_{TO}$ ) に設計する場合、入力電源の許容誤差、イネーブル・スレッシュホールド ( $V_{IH\_EN}$ ) および外部抵抗を考慮して、デバイスに適切なターンオンを確定する必要があります。

LM20343 の特長は、オープン・ドレイン・パワーグッド (PGOOD) ピンが外部電源または負荷のシーケンス制御を行い、異常検出を行うことです。このピンには、PGOOD をプルアップにする外部抵抗 ( $R_{PG}$ ) が必要です。同時に出力電圧が PGOOD 許容誤差ウィンドウ内にある必要があります。この抵抗の一般的な値は、10k $\Omega$  ~ 100k $\Omega$  です。

### 外部電源のトラッキング

Figure 6 に示すとおり、SS/TRK ピンにつながる分圧抵抗ネットワークを適切に選択することにより、LM20343 の出力電圧を外部電圧にトラッキングするよう設定し、同時スタートアップまたはレシオメトリック・スタートアップを実現できます。

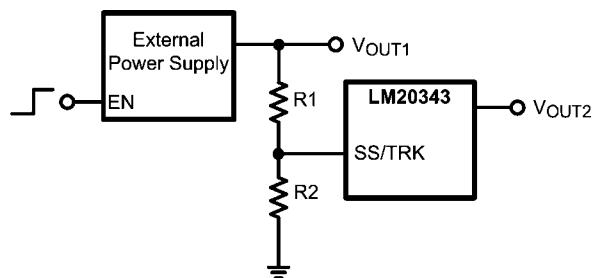


FIGURE 6. Tracking an External Supply

SS/TRK ピンにはソフトスタートのための充電電流  $I_{SS}$  が常に流れているため、 $R_2$  の値は 10k $\Omega$  未満とし、トラッキング出力の誤差を最小限に抑える必要があります。 $R_2$  の値を選択すると、Figure 7 の適切な式を使って  $R_1$  の値を計算し、必要なスタートアップを求めることができます。Figure 6 に、2 種類の一般的なスタートアップ・シーケンスを示します。上の波形は同時スタートアップを、下の波形はレシオメトリック・スタートアップを示しています。

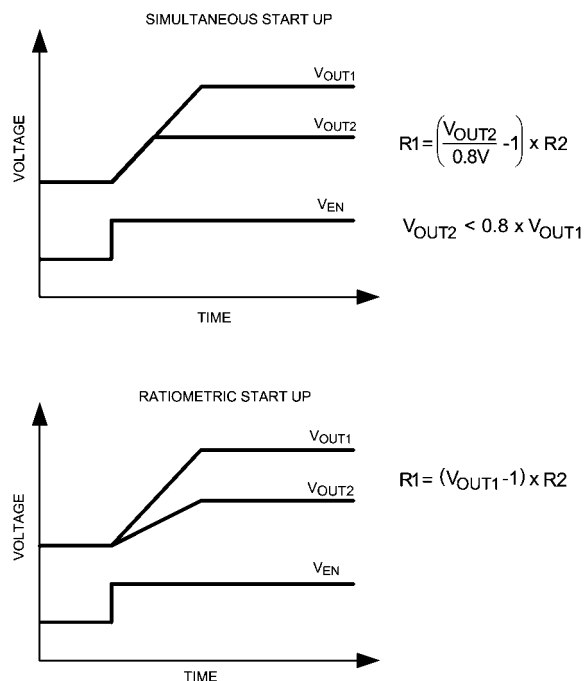


FIGURE 7. Common Start Up Sequences

同時スタートアップは、大半の FPGA、DSP またはその他のマイクロプロセッサに電源供給する際に適しています。これらのシステムでは、通常高い電圧  $V_{OUT1}$  が I/O の電源を供給し、低い電圧  $V_{OUT2}$  がコアの電源を供給します。同時スタートアップでは、プロセッサのコアと I/O ピン間に存在する可能性のある寄生伝導経路がオンすることを避けられるため、これらのアプリケーションに対しより堅牢な電源供給を行います。

2 番目に一般的な電源供給は、レシオメトリック・スタートアップとして知られています。このスタートアップは、両方の電源を同時に最終値にする必要のあるアプリケーションに適しています。

ソフトスタート機能と同様、最速のスタートアップは、トラッキング電圧の立ち上がり時間に関係なく、1ms が可能です。トラッキング機能を使う場合、十分なオーバードライブと過渡変動に対する耐性を持つために、SS/TRACK ピンに発生する最終電圧は 1V を超えている必要があります。

## 設計ガイドライン (つづき)

### 外付けショットキのメリット

両方の FET が同時に導通し、貫通電流を招く状況为了避免するため、LM20343 では制御 FET と同期 FET の ON の間に 40ns のデッドタイムを採用しています。デッドタイム期間中、同期 FET のボディ・ダイオードは転流ダイオードとして動作し、インダクタ電流を導通させます。高電圧 DMOS の構造は高いブレークダウン電圧に最適化されていますが、リカバリ電流とボディ・ダイオードの導通が効率の低下を招きます。同期 FET のボディ・ダイオードのリカバリ電流に付随する損失は、負荷電流およびスイッチング周波数に比例する損失として現れます。入力電圧およびスイッチング周波数が高いほど、大きな効率の低下が発生します。簡単な解決法の 1 つとしては、Figure 14 に示すように、小型の 1A 外部ショットキ・ダイオードを SW および GND の間に使用することです。外部ショットキ・ダイオードは、デッドタイム期間中にすべてのインダクタ電流を効果的に導通し、同期 MOSFET ボディ・ダイオードを通過する電流を最小化し逆リカバリの損失をなくします。

外部ショットキはスイッチング・サイクルの非常に短い間だけ電流を通するため、平均電流は低く抑えられます。定格 1A の外部ショットキは、一部のアプリケーションで効率を数パーセント向上させます。さらに高い電流定格のショットキを使用しても目立った効果を上げないばかりか、逆バイアス容量が上がるため逆効果となります。同期 MOSFET ボディ・ダイオードの順方向電圧はおよそ 700mV のため、700mV 以下の順方向電圧を持つ外部ショットキを選定し、デッドタイム期間の電流の大半が流れるようにしてください。

### 熱に関する考慮事項

LM20343 の放熱特性は、接合部温度と周囲温度とを関係付ける  $\theta_{JA}$  パラメータを使用して規定します。 $\theta_{JA}$  の値は多くの変数に依存しますが、デバイス動作時の接合部温度を概算するために使えます。

デバイスの接合部温度を概算するには、次の関係式を使用します。

$$T_J = P_D \times \theta_{JA} + T_A$$

および

$$P_D = P_{IN} \times (1 - \text{効率}) - 1.1 \times (I_{OUT})^2 \times DCR$$

各項の詳細は次のとおりです。

$T_J$  は接合部温度 (単位: °C)

$P_{IN}$  は入力電力 (単位: W) ( $P_{IN} = V_{IN} \times I_{IN}$ )

$\theta_{JA}$  は LM20343 の接合部一周間熱抵抗

$T_A$  は周囲温度 (単位: °C)

$I_{OUT}$  は出力負荷電流

DCR はインダクタの直列抵抗

動作の信頼性を保つには、動作時の接合部温度 ( $T_J$ ) を常に 125 °C 未満に保つことが重要です。接合部温度が 170 °C を超えると、デバイスはサーマル・シャットダウンを繰り返します。サーマル・シャットダウンが発生するのは、ヒートシンクが不適切、またはデバイス内で過度な電力消費が発生している徴候です。

Figure 8～Figure 11を指針として使用し、Central Semiconductor の CMMSH1-40-NST といった外部の 1A ショットキ・ダイオードを使用してリカバリ損失を改善することにより 125 °C の最大接合部温度を超えないようにすることができます。

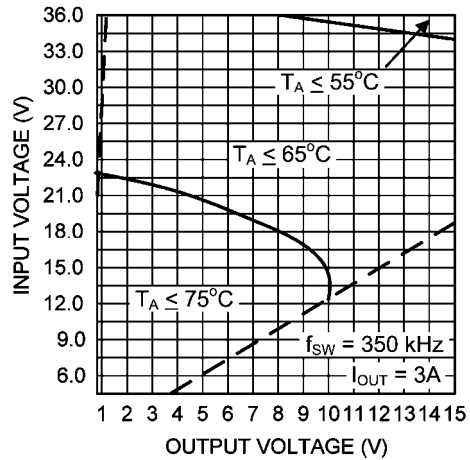


FIGURE 8. Safe Thermal Operating Areas ( $I_{OUT} = 3A$ ,  $f_{SW} = 350kHz$ )

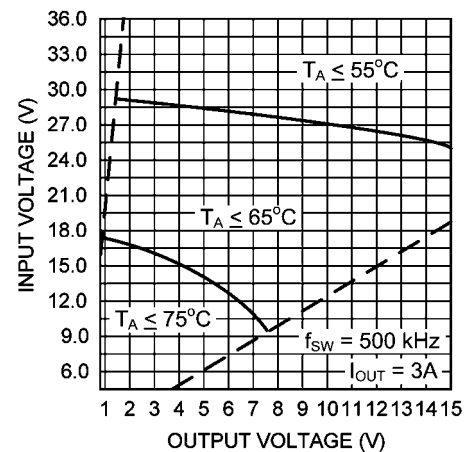
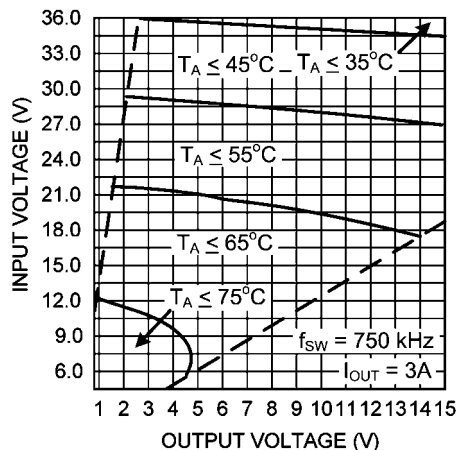
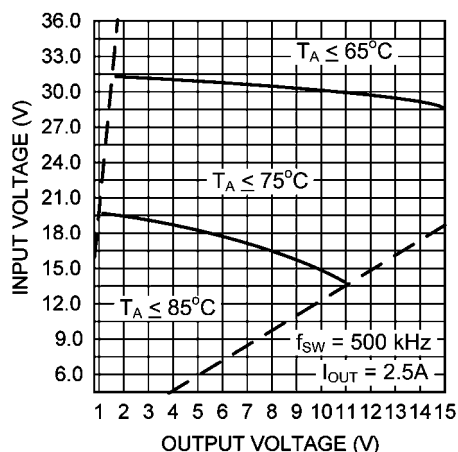


FIGURE 9. Safe Thermal Operating Areas ( $I_{OUT} = 3A$ ,  $f_{SW} = 500kHz$ )

## 設計ガイドライン (つづき)

FIGURE 10. Safe Thermal Operating Areas ( $I_{OUT} = 3A$ ,  $f_{SW} = 750kHz$ )FIGURE 11. Safe Thermal Operating Areas ( $I_{OUT} = 2.5A$ ,  $f_{SW} = 500kHz$ )

上記の図で、点線で示した部分は、デューティ・サイクルのおおよその下限値と上限値です。実線で定義された範囲は、所定の周囲温度に対する動作領域です。この図のデータは、銅箔エリアが4平方インチよりも大きく、放熱特性が27°C/W未満の4層PCBでデバイスが3A連続出力電流で動作しているものとして導き出したものです。内部損失はFETによって決まるため、Figure 11に示すように、電流がわずか500mAだけ低減しただけでも、動作領域はかなり大きくなります。

Figure 12に、特定のPCBの銅箔エリアにおける $\theta_{JA}$ の適切な概算値を示します。このテストで使用したPCBは、4層構成になっています。内部の層には1オンスの銅箔を使用し、外部の層は銅箔の重量が2オンスになるようにメッキしてあります。熱的な接続を最適にするため、サーマル・パッドの下に5×4列の12milのサーマル・ビアを使用して、4つの層を接続しました。

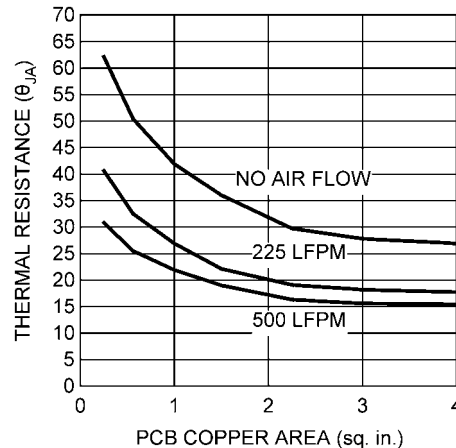


FIGURE 12. Thermal Resistance vs PCB Area

## PCB レイアウトの考慮事項

プリント基板のレイアウトはDC/DCコンバータの設計で重要な部分を占めています。設計が適切ではないプリント基板を使用すると、EMI、グラウンド・バウンス、配線での電圧降下などにより、DC/DCコンバータの性能と周辺回路の動作に影響を与えます。不適切な基板では、DC/DCコンバータに不正な信号が入力され、制御性と安定度が低下します。

次に述べる基本的な設計ルールに従い、適切なプリント基板設計を行ってください。

1. スイッチングされた電流ループの面積を最小限に抑えます。降圧型レギュレータには電流が高いスルーレイトでスイッチする2つのループが存在します。最初のループは入力コンデンサから始まり、レギュレータのVINピン、レギュレータのSWピン、インダクタ、そして出力コンデンサおよび出力負荷につながる経路です。もう1つは、出力コンデンサのグラウンドから始まり、レギュレータのGNDピンを通して、インダクタから出力負荷へと至るループです (Figure 13 参照)。両方のループ面積を最小化するために、入力コンデンサをVINピンの可能な限り近くに配置してください。入出力コンデンサのグラウンドは両方共、グラウンドおよび露出パッド (EP) に接続された小面積の表層のプレーンに接続してください。インダクタをSWピンおよび出力コンデンサに最短距離で配置してください。
2. スイッチ・ノードの銅エリアを最小限に抑えます。LM20343はパッケージの反対側にSWピンがあるため、SWピンをパッケージ両面に渡るパターンで接続することを推奨します。インダクタは、100mil幅のパターンを使ってSWピンから等しい距離に配置し、容量および導通の損失を最小限に抑えてください。
3. EPの下に位置するすべてのデバイスのグラウンドは、一点アースとしてください。補償、帰還、ソフトスタート部品のためのグラウンドはまとめて接続し、デバイスのEPピンに配線してください。AGNDピンはEPの下にあるGNDに接続してください。グラウンドが適切に処理されていない場合、負荷制御特性の劣化またはスイッチング動作の不安定につながります。
4. FBピンへの基板配線長を最小限に抑えます。帰還ノードのインピーダンスが高くなる可能性があるため、出力の分圧抵抗からFBピンまでのパターンは可能な限り短くしてください。値の高い抵抗を使って出力電圧を設定している場合、最も重要な点です。帰還配線はSWピンおよびインダクタから遠ざけ、スイッチ・ノイズで帰還信号に干渉を与えないようにしてください。

## 設計ガイドライン (つづき)

5. 入出力電源バス接続は、可能な限り広くします。これにより、コンバータ入出力での電圧降下を低下し、効率を改善します。負荷での電圧精度は重要です。そのため帰還電圧検出を必ず負荷側に行ってください。負荷での電圧降下を補正し、最適な出力精度を実現します。

6. 適切なデバイスの放熱を行います。ほとんどの 3A 設計では、4 層のボードを推奨します。可能な限り多くのスルーホールを使い、EP を電力層の放熱板に接続します。最適な結果を得るために、5 × 4 列のスルーホールを使い、最小のスルーホールの直径を 12mil とします。EP のハンダペーストの這い上がりを防ぐために、ハンダ・マスクの「テンディング法」が必要な場合があります。「熱に関する考慮事項」を参照し、十分な銅の放熱面積を使って接合部温度を 125 °C 未満に保ちます。

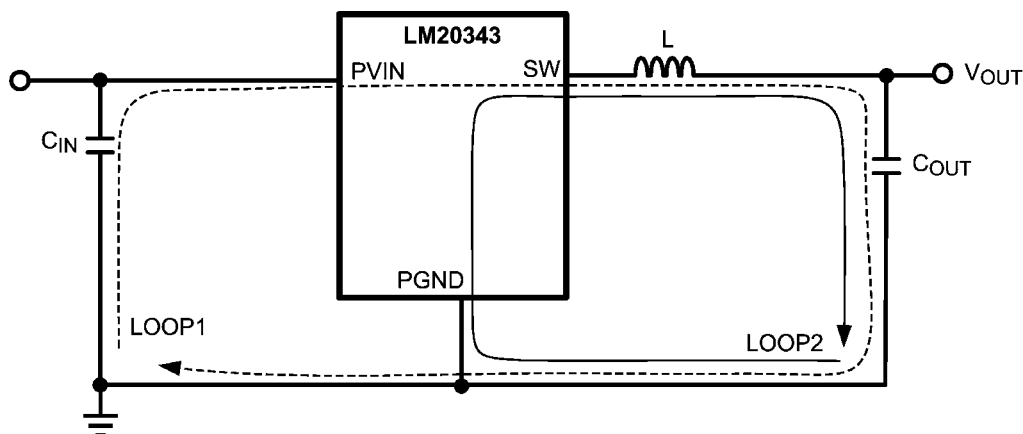
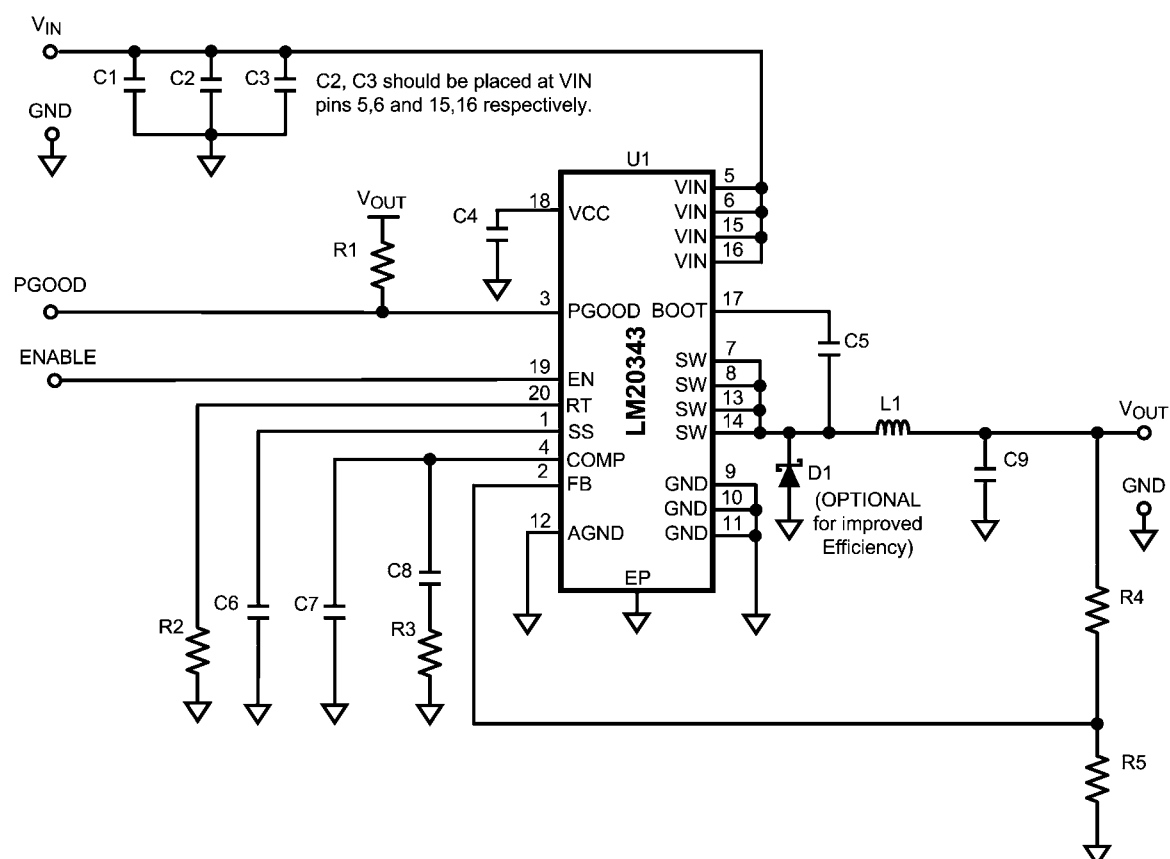


FIGURE 13. Schematic of LM20343 Highlighting Layout Sensitive Nodes

## 設計ガイドライン(つづき)

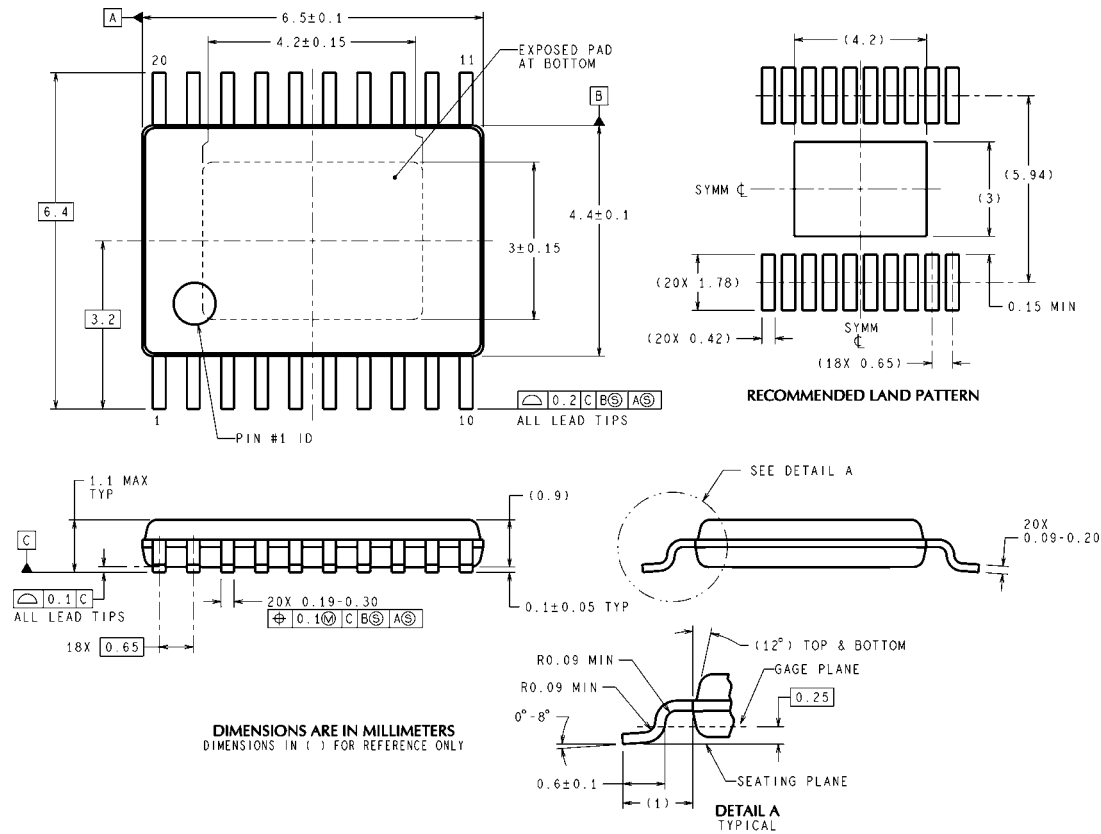


**FIGURE 14. Typical Application Schematic**

**部品表 ( $V_{IN} = 12V$ 、 $V_{OUT} = 3.3V$ 、 $I_{OUT} = 3A$ 、 $f_{SW} = 750kHz$ )**

ID	Qty	Part Number	Size	Description	Vendor
U1	1	LM20343MH	eTSSOP-20	IC, Switching Regulator	NSC
C1	1	C3225X5R1E226M	1210	22μF, X5R, 25V, 20%	TDK
C2, C3	2	GRM21BR61E475KA12L	0805	4.7μF, X5R, 25V, 10%	MuRata
C5, C6	1	C1608X7R1H104K	0603	100nF, X7R, 50V, 10%	TDK
C4	1	C1608X5R1A105K	0603	1μF, X7R, 10V, 10%	TDK
C7	1	C1608C0G1H100J	0603	10pF, C0G, 50V, 5%	TDK
C8	1	C1608C0G1H102J	0603	1nF, C0G, 50V, 5%	TDK
C9	1	6TPB150MAZB	B	150μF, POSCAP, 6.3V, 20%	Sanyo
D1	1	CMMSH1-40-NST	SOD123	Vr = 40V, Io = 1A, Vf = 0.55V	Central Semiconductor
L1	1	MSS1048-472NLB	MSS1048	4.7μH, 0.012 Ohms, 6.4A	Coilcraft
R1, R5	2	CRCW06031002F	0603	10kΩ, 1%	Vishay
R2	1	CRCW06034992F	0603	49.9kΩ, 1%	Vishay
R3	1	CRCW06034992F	0603	49.9kΩ, 1%	Vishay
R4	1	CRCW06033092F	0603	30.9kΩ, 1%	Vishay

## 外形寸法図 特記のない限り inches (millimeters)



MXA20A (Rev C)

**20-Lead eTSSOP Package**  
**NS Package Number MXA20A**

すべて商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取り引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定されうる危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTI からライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不公正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不公正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気
  - 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
  - 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
  - マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
  - 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。
2. 温・湿度環境
  - 温度：0～40℃、相対湿度：40～85％で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上