

LM5171-Q1 デュアル チャネル双方向コントローラ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - デバイス温度グレード 1: -40°C ~ +125°C の動作時 周囲温度範囲
 - デバイス HBM ESD 分類レベル 2
 - デバイス CDM ESD 分類レベル C4B
- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能
- 最大定格は HV ポート 85V、LV ポート 80V
- 双方向電流レギュレーションの標準精度 1%
- チャネル電流監視の標準精度 1%
- 監視および診断用の I²C インターフェイス
- 3.5V 1% の基準電圧を内蔵
- 5V 10mA バイアス電源を内蔵
- ピーク 5A のハーフブリッジ ゲートドライバ
- プログラム可能またはアダプティブ デッドタイム制御
- 最大 1MHz まで、発振器の周波数をプログラム可能で、オプションとして外部クロックへの同期も可能
- 独立したチャネル イネーブル制御入力
- 電流と電圧の両方のループ制御機能を内蔵
- ピーク電流制限をサイクル単位でプログラム可能
- 過熱シャットダウン
- HV および LV ポートの過電圧保護
- 動的に選択可能なダイオード エミュレーション モードと強制 PWM 動作モード
- ソフトスタートタイマをプログラム可能
- マルチフェーズと独立チャネルの両方の動作をサポート
- 緊急シャットダウン ラッチをサポート

2 アプリケーション

- 車載用デュアル バッテリ システム
- スーパー キャパシタまたはバッテリ バックアップ電力コンバータ
- スタックابلな大電力降圧または昇圧アプリケーション

3 説明

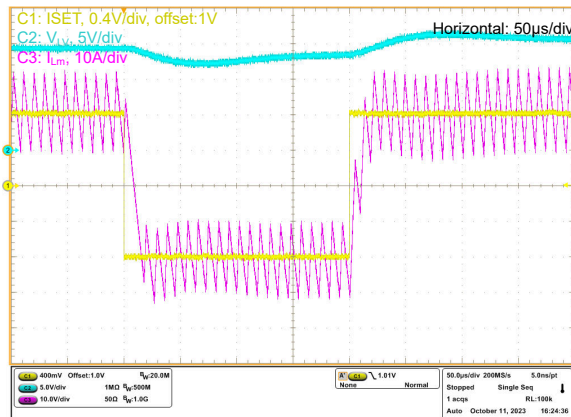
LM5171-Q1 コントローラは、高電圧かつ高精度なデュアル チャネル双方向コンバータを実現するための基本的な構成要素を備えています。例として、デュアル バッテリ システムが挙げられます。LM5171-Q1 はマルチフェーズの並列動作をサポートし、各位相で平衡な電流共有を行います。また、LM5171-Q1 は独立チャネルの双方向動作もサポートしているため、多相の昇降圧、または独立した昇降圧として動作するスタンドアロンのコントローラとして多用途に使用できます。

デュアル チャネルの差動電流センス アンプと、専用のチャネル電流監視により、標準値で 1% の精度が得られます。堅牢な 5A ハーフブリッジ ゲートドライバは、並列 MOSFET を駆動して、チャネルあたりの電力をより大きくできます。コントローラを、ダイオード エミュレーション モード (DEM) と強制 PWM (FPWM) モードのいずれかで動作するように動的にプログラムします。多用途の保護機能には、サイクル単位の電流制限、過電圧保護、過熱保護、緊急シャットダウン ラッチが含まれます。

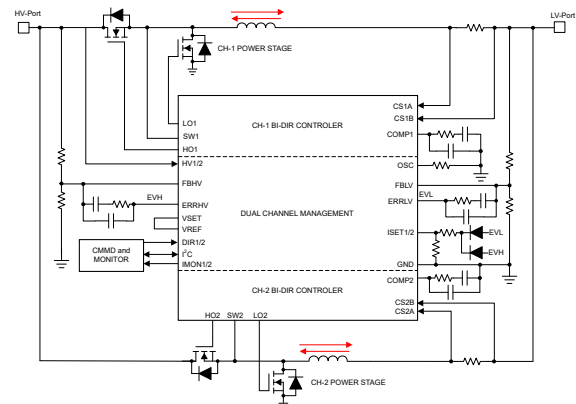
パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (公称)
LM5171-Q1	TQFP (48)	7mm × 7mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



方向変更によるインダクタ電流のトラッキング



アプリケーションの簡略回路図



目次

1 特長	1	7.7 定義されたレジスタ アドレスへの 単一書き込み.....	42
2 アプリケーション	1	7.8 定義されたレジスタ アドレスから開始されるシーケン シャル WRITE.....	42
3 説明	1	7.9 REGFIELD レジスタ.....	43
4 ピン構成および機能	3	8 アプリケーションと実装	48
5 仕様	6	8.1 アプリケーション情報.....	48
5.1 絶対最大定格.....	6	8.2 PWM から ISET ピン.....	57
5.2 ESD 定格.....	6	8.3 ISET クランプ.....	57
5.3 推奨動作条件.....	7	8.4 動的デッドタイム調整.....	58
5.4 熱に関する情報.....	7	8.5 未使用ピンの適切な終端.....	59
5.5 電気的特性.....	7	8.6 代表的なアプリケーション.....	60
5.6 タイミング要件.....	13	8.7 電源に関する推奨事項.....	76
5.7 代表的特性.....	15	8.8 レイアウト.....	77
6 詳細説明	18	9 デバイスおよびドキュメントのサポート	81
6.1 概要.....	18	9.1 デバイス サポート.....	81
6.2 機能ブロック図.....	19	9.2 ドキュメントの更新通知を受け取る方法.....	81
6.3 機能説明.....	20	9.3 サポート・リソース.....	81
6.4 デバイスの機能モード.....	39	9.4 商標.....	81
7 レジスタ	40	9.5 静電気放電に関する注意事項.....	81
7.1 I ² C シリアル インターフェイス.....	40	9.6 用語集.....	81
7.2 I ² C バス動作.....	40	10 改訂履歴	81
7.3 クロック ストレッチ.....	41	11 メカニカル、パッケージ、および注文情報	82
7.4 データ転送フォーマット.....	41		
7.5 定義されたレジスタ アドレスからの単一読み取り.....	41		
7.6 定義されたレジスタ アドレスから開始されるシーケン シャル READ.....	41		

4 ピン構成および機能

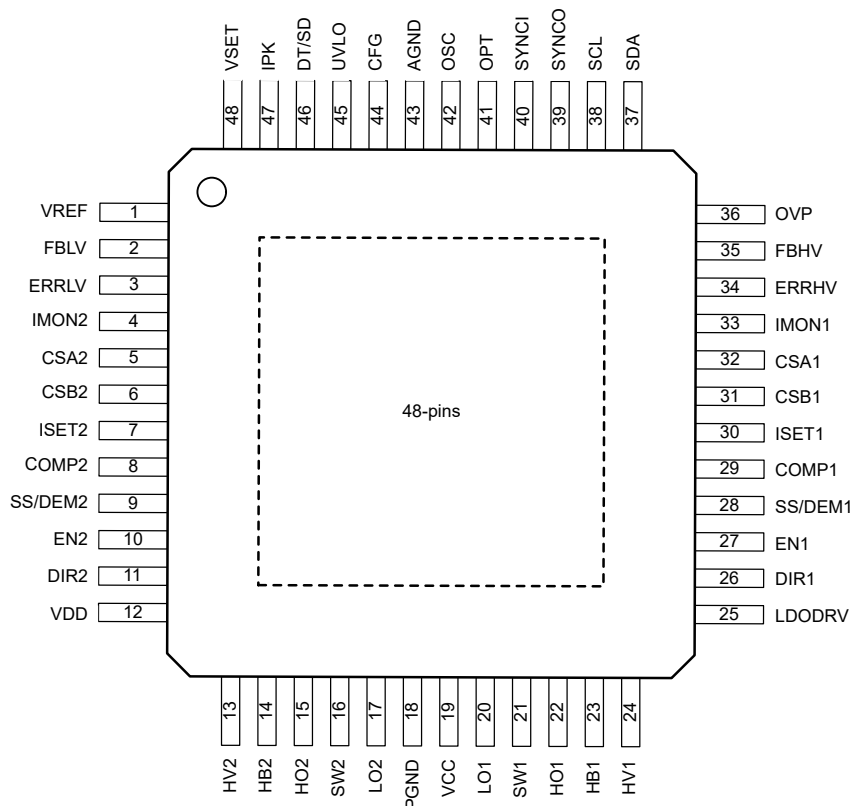


図 4-1. LM5171-Q1 PHP パッケージ、48 ピン TQFP (上面図)

表 4-1. ピンの機能

ピン		I/O ⁽¹⁾	説明
番号	名称		
1	VREF	P	内蔵の 3.5V +/- 1% リファレンス電圧の出力。VREF ピンと AGND の間に 0.1μF コンデンサを接続します。
2	FBLV	I	降圧モードのエラー アンプの反転入力。このエラー アンプは、DIR1 が High のときアクティブになります。このアンプを使用しない場合は、FBLV と ERRLV を短絡します。
3	ERRLV	O	降圧モードのエラー アンプ出力。このエラー アンプは、DIR1 が High のときアクティブになります。このアンプを使用しない場合は、FBLV と ERRLV を短絡します。
4	IMON2	O	CH-2 電流監視ピン。このピンから電流源が流れ出します。電流源は、CFG の選択に基づいて CH-2 インダクタ電流または CH-2 昇圧モードの出力電流に比例します。IMON2 から AGND への間に終端抵抗とフィルタ コンデンサを配置すると、CH-2 DC 電流レベルを表す DC 電圧が生成されます。IMON2 ピンの内部 50μA オフセット DC 電流源により、アクティブ信号がグラウンド ノイズよりも高く上昇し、監視のノイズ耐性が向上します。
5	CSA2	I	CH-2 差動電流センス入力。CH-2 電流センス抵抗は、これら 2 本のピンの間に配置されます。CSA2 ピンはパワー インダクタに、CSB2 ピンは LV ポートに接続します。
6	CSB2	I	
7	ISSET2	I	CH-2 電流プログラミング ピン。ISSET2 には 1V のオフセットがあります。つまり CH-2 インダクタ電流は (ISSET2-1V) に比例します。DEM では、ISSET2 が 1V 未満のとき、インダクタ電流は 0 になります。FPWM では、ISSET2 が 1V を下回ると、インダクタ電流が反転します。
8	COMP2	O	CH-2 トランスコンダクタンス (gm) エラー アンプの出力と CH-2 PWM コンパレータの反転入力。ループ補償回路をこのピンに接続します。
9	SS/DEM2	I	ISSET2 ソフトスタートピン。また、SS/DEM2 ピンは DEM と FPWM のどちらかに CH-2 を設定します。外部コンデンサにより、ソフトスタート中の SS/DEM2 ピン電圧のランプ レートが設定されます。ソフトスタート中は、SS/DEM2 が ISSET2 電圧を無効にします。外部電圧ループを使用する場合は、100pF のソフトスタートコンデンサを使用します。SS/DEM2 と AGND の間に 60.4kΩ 抵抗があるため、CH-2 を DEM に設定します。CH-2 は抵抗なしで FPWM で動作します。

表 4-1. ピンの機能 (続き)

ピン 番号	名称	I/O ⁽¹⁾	説明
10	EN2	I	CH-2 イネーブル ピン。EN2 を 2V より高くすると、SS/DEM2 ブルダウンがオフになり、CH-2 はソフトスタートシーケンスを開始できます。EN2 を 1V 未満にプルすると、SS/DEM2 コンデンサが放電され、Low に保持されます。SS/DEM2 が放電されると、両方のチャンネルのハイサイドおよびローサイド ゲートドライバが Low 状態に保持されます。
11	DIR2	I	CH-2 方向コマンド入力。DIR2 ピンを 2V より高くすると、コンバータは降圧モードに設定されます。DIR2 を 1V 未満にすると、コンバータは昇圧モードに設定されます。DIR2 ピンがオープンのままになっている場合、デバイスは無効なコマンドを検出し、MOSFET ゲートドライバが Low 状態の CH-2 を無効にします。
12	VDD	P	5V 内部 LDO の出力。VDD ピンと AGND の間に 1μF コンデンサを接続します。
13	HV2	I	CH-2 コントローラの HV ポートに接続します。
14	HB2	I	CH-2 ハイサイド ゲートドライバのブートストラップ電源。このピンと SW2 との間に、0.22μF コンデンサを接続します。このピンと SW2 との間にツェナーダイオードを接続して、ハイサイドドライバを過電圧から保護します。
15	HO2	O	CH-2 ハイサイド ゲートドライバ出力。短い低インダクタンスのパスを経由して、ハイサイド N チャンネル MOSFET のゲートに接続します。
16	SW2	P	CH-2 スイッチング ノード。ハイサイド N チャンネル MOSFET のソースに直接接続します。
17	LO2	O	CH-2 ローサイド ゲートドライバ出力。短い低インダクタンスのパスを経由して、ローサイド N チャンネル MOSFET のゲートに接続します。
18	PGND	G	ローサイド ゲートドライバおよび VCC バイアス電源のパワー グランド接続ピン。
19	VCC	P	VCC バイアス電源ピン。VCC ピンと AGND の間に 2.2μF コンデンサを接続します。
20	LO1	O	CH-1 ローサイド ゲートドライバ出力。短い低インダクタンスのパスを経由して、ローサイド N チャンネル MOSFET のゲートに接続します。
21	SW1	P	CH-1 スイッチ ノード。ハイサイド N チャンネル MOSFET のソースに直接接続します。
22	HO1	O	CH-1 ハイサイド ゲートドライバ出力。短い低インダクタンスのパスを経由して、ハイサイド N チャンネル MOSFET のゲートに接続します。
23	HB1	I	CH-1 ハイサイド ゲートドライバのブートストラップ電源入力。このピンと SW1 との間に、0.22μF コンデンサを接続します。このピンと SW1 との間にツェナーダイオードを接続して、ハイサイドドライバを過電圧から保護します。
24	HV1	I	CH-1 コントローラの HV ポートに接続します。
25	LDODRV	O	LDO MOSFET ドライバ。LDO MOSFET ゲートに接続することで、レギュレートされた 9V VCC を取得します。このピンを使用しない場合は、オープンのままにしてください。
26	DIR1	I	CH-1 方向コマンド入力。DIR1 ピンを 2V より高くすると、コンバータは降圧モードに設定されます。DIR1 を 1V 未満にすると、コンバータは昇圧モードに設定されます。DIR1 ピンがオープンのままになっている場合、デバイスは無効なコマンドを検出し、MOSFET ゲートドライバが Low 状態の CH-1 を無効にします。
27	EN1	I	CH-1 イネーブル ピン。EN1 を 2V より高くすると、SS1 ブルダウンがオフになり、CH-1 はソフトスタートシーケンスを開始できます。EN1 を 1V 未満にプルすると、SS1 コンデンサが放電され、Low に保持されます。SS1 が放電されると、両方のチャンネルのハイサイドおよびローサイド ゲートドライバが Low 状態に保持されます。
28	SS/DEM1	I	ISSET1 ソフトスタートピン。また、SS/DEM1 ピンは DEM と FPWM のどちらかに CH-1 を設定します。外部コンデンサにより、ソフトスタート中の SS/DEM1 ピン電圧のランプレートが設定されます。ソフトスタート中は、SS/DEM1 が ISET1 電圧を無効にします。外部電圧ループを使用する場合は、100pF のソフトスタートコンデンサを使用します。SS/DEM1 と AGND の間に 60.4kΩ 抵抗があるため、CH-1 を DEM に設定します。CH-1 は抵抗なしで FPWM で動作します。
29	COMP1	O	CH-1 トランスコンダクタンス (gm) エラー アンプの出力と CH-1 PWM コンパレータの反転入力。ループ補償回路をこのピンに接続します。
30	ISET1	I	CH-1 電流プログラミングピン。ISET1 には 1V のオフセットがあります。つまり CH-1 インダクタ電流は (ISET1-1V) に比例します。DEM では、ISET1 が 1V 未満のとき、インダクタ電流は 0 になります。FPWM では、ISET1 が 1V を下回ると、インダクタ電流が反転します。
31	CSB1	I	CH-1 差動電流センス入力。CH-1 電流センス抵抗は、これら 2 本のピンの間に配置されます。CSA1 ピンはパワー インダクタに、CSB1 ピンは LV ポートに接続します。
32	CSA1	I	
33	IMON1	O	CH-1 電流監視ピン。このピンから電流源が流れ出します。電流源は、CFG の選択に基づいて CH-1 インダクタ電流または CH-1 昇圧モードの出力電流に比例します。IMON1 から AGND への間に終端抵抗とフィルタコンデンサを配置すると、CH-1 DC 電流レベルを表す DC 電圧が生成されます。IMON1 ピンの内部 50μA オフセット DC 電流源により、アクティブ信号がグラウンド ノイズよりも高く上昇し、監視のノイズ耐性が向上します。
34	ERRHV	O	昇圧モードのエラー アンプ出力。このエラー アンプは、DIR1 が Low のときにアクティブになります。

表 4-1. ピンの機能 (続き)

ピン		I/O ⁽¹⁾	説明
番号	名称		
35	FBHV	I	昇圧モードのエラー アンプの反転入力。このエラー アンプは、DIR1 が Low のときにアクティブになります。
36	OVP	I	内部過電圧コンパレータの反転入力。OVP ピンの電圧が 1V を上回ると、SS/DEM1 および VSET コンデンサが放電され、OVP ピンが 0.9V に低下するまで Low に保持されます。
37	SDA	I/O	I ² C インターフェイスのデータ。SDA を使用しない場合は、10kΩ 抵抗を介して VDD にプルします。
38	SCL	I	I ² C インターフェイスのクロック。SCL を使用しない場合は、10kΩ 抵抗を介して VDD にプルします。
39	SYNCO	O	クロック同期出力ピン。3 相または 4 相構成の場合は、SYNCO をダウンストリーム デバイスの SYNCI に接続します。このピンを使用しない場合は、オープンのままにしてください。
40	SYNCI	I	フリーランニング内部発振器をオーバーライドする外部クロックの入力。未使用時は SYNCI ピンをグラウンドに接続します。使用しないときは、SYNCI ピンをグラウンドに接続するか、オープンのままにします。
41	OPT	I	マルチフェーズ構成ピン。4 相動作の場合は、OPT ピンを VDD に接続します。3 相動作の場合は、OPT ピンを AGND に接続します。
42	OSC	I	内部発振器の周波数は、OSC と AGND 間の抵抗によってプログラムされます。
43	AGND	G	アナログ グラウンド リファレンス。AGND をシングル ポイント接続で外部から PGND に接続し、ノイズ耐性を向上させます。
44	CFG	I	I ² C アドレスと IMON 機能選択ピン。
45	UVLO	I	UVLO ピンは、1 次側イネーブルピンとして機能します。UVLO が 1.25V を下回ると、デバイスは低静止電流シャットダウン モードになります。UVLO が 1.25V を超えて 2.5V 未満になると、デバイスは初期化モードになります。LDODRV がオンになって、外部 MOSFET を制御して VCC を生成します。VDD と VREF も確立されます。UVLO が 2.5V を超えると、デバイスの動作準備が整います。
46	DT/SD	I	デッドタイム プログラミングと緊急ラッチ シャットダウン ピン。DT/SD と AGND の間に接続された抵抗は、ハイサイドドライバ出力とローサイドドライバ出力間のデッドタイムを設定します。DT ピンを VDD に接続すると、内部アダプティブ デッドタイム制御がアクティブになります。DT/SD ピンが Low になると、デバイスはラッチ シャットダウンに移行します。
47	IPK	I	ピーク電流制限プログラミングピン。IPK 電圧は、サイクル単位の電流制限コンパレータのスレッシュホールドを設定します。IPK 電圧を設定するには、VREF からの抵抗デバイダを使用します。
48	VSET	I	電圧エラー アンプリファレンス入力ピン。デバイスがシャットダウンされるか、EN1 が Low になるか、または DIR1 が反転すると、VSET ピンが Low にプルされます。VREF からの抵抗デバイダを使用して、VSET ピンの電圧を設定します。電圧ループ ソフトスタートのために、コンデンサを VSET に接続します。
—	EP	—	パッケージの露出パッド。熱抵抗を減らすため、大きなグラウンド プレーンに半田付けします。

(1) 注: G=グラウンド、I=入力、O=出力、P=電源

5 仕様

5.1 絶対最大定格

接合部の動作時推奨温度範囲において⁽¹⁾

		最小値	最大値	単位
入力	HV1、HV2 から AGND へ	-0.3	85	V
	HV1、HV2 から AGND へ (過渡 50ns)		90	
	SW1、SW2 から PGND へ	-5	85	
	SW1、SW2 から PGND へ (過渡 20ns)		90	
	SW1、SW2 から PGND へ (過渡 50ns)	-16		
	HB1 から SW1 へ、HB2 から SW2 へ	-0.3	14	
	HO1 から SW1 へ、HO2 から SW2 へ	-0.3	HB+0.3	
	HO1 から SW1、HO2 から SW2 へ (過渡 20ns)	-2		
	LO1、LO2 から PGND へ	-0.3	VCC+0.3	
	LO1、LO2 から PGND へ (過渡 20ns)	-2		
	CSA1、CSB1、CSA2、CSB2 から PGND へ	-0.3	80	
	CSA1 から CSB1 へ、CSA2 から CSB2 へ	-0.3	0.3	
	CFG、DIR1、DIR2、EN1、EN2、FBHV、FBLV、IPK、 ISET1、ISET2、OPT、OVP、SCL、SDA、SYNCL、 UVLO、VDD、VSET から AGND へ	-0.3	5.5	
	COMP1、COMP2、DT/SD、ERRHV、ERRLV、 IMON1、IMON2、OSC、SS/DEM1、SS/DEM2、 SYNCO、VREF から AGND へ	-0.3	VDD+0.3	
	LDODRV から VCC へ	-0.3	5	
	VCC から PGND へ	-0.3	14	
	PGND から AGND へ	-0.3	0.3	
接合部温度、T _J ⁽²⁾		-40	150	°C
保管温度、T _{stg}		-55	150	

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。絶対最大定格は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用的場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

(2) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125°C を超えると、動作寿命が短くなります。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 ⁽¹⁾ HBM ESD 分類	±2000	V
		荷電デバイス モデル (CDM)、V ANSI/ESDA/JEDEC JS-002 に準拠 ⁽²⁾	±500	
			±750	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。必要な予防措置を講じれば、HBM は 500V 未満の許容差で製造できます。±2000V と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。

(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。必要な予防措置をとれば、CDM の ESD 耐圧が 250V 未満でも製造可能です。±500V と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。

5.3 推奨動作条件

接合部の推奨動作温度である $-40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ の範囲内 (特に記述のない限り)⁽¹⁾

		最小値	公称値	最大値	単位
HV ポート (HV1、HV2)	降圧モード	3		80	V
HV ポート (HV1、HV2)	昇圧モード	3		80	V
LV ポート	降圧モード	0		75	V
LV ポート	昇圧モード	1		75	V
VCC	VCC ピンに適用可能な外部電圧	9.5		12	V
T _J	動作時接合部温度 ⁽²⁾	-40		150	°C
F _{OSC}	発振周波数	50		1000	kHz
F _{EX_CLK}	外部クロック周波数への同期 (最小 50kHz)	0.8x F _{OSC}		1.2x F _{OSC}	kHz
F _{EX_CLK}	SYNCl パルス	50		0.8/ F _{OSC}	ns
t _{DT}	プログラマブル デッド タイム範囲	15		200	ns

(1) 動作定格は、デバイスが機能する前提の条件です。仕様およびテスト条件については、「電気的特性」を参照してください。

(2) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125°C を超えると、動作寿命が短くなります。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		LM5171	単位
		PHP (TQFP)	
		48 ピン	
R _{θJA}	接合部から周囲への熱抵抗	30.7	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	18.8	°C/W
R _{θJB}	接合部から基板への熱抵抗	13.5	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.3	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	13.4	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	2.5	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.5 電気的特性

標準値は T_J = 25°C に対応します。最小および最大の制限値は、T_J = $-40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ の範囲で適用されます。特に記述のない限り、F_{OSC} = 100kHz、V_{VCC} = 10V、V_{HV1} = V_{HV2} = V_{HV-Port} = 48V および V_{LV-Port} = 12V です。

記号	パラメータ	テスト条件	最小値	標準値	最大値	単位
HV ポート (HV1、HV2)						
I _{SHUTDOWN1}	シャットダウン モードでの HV1 ピン電流	V _{UVLO} = 0V			10	μA
I _{SHUTDOWN2}	シャットダウン モードでの HV2 ピン電流	V _{UVLO} = 0V			10	μA
I _{OPERATING}	動作時の HV1 および HV2 ピン電流	V _{UVLO} > 2.6V、V _{VCC} > 9V		1		mA
VCC バイアス電源 (VCC)						
V _{VCC_reg}	VCC LDO レギュレーション設定ポイント	V _{HV1} > 10V	8.55	9	9.45	V
V _{CCUVLO}	VCC 低電圧検出	VCC 立ち下がり	7.7	8	8.2	V
V _{CCHYS}	VCC UVLO ヒステリシス	VCC 立ち上がり	8.2	8.5	8.7	V

5.5 電気的特性 (続き)

標準値は $T_J = 25^\circ\text{C}$ に対応します。最小および最大の制限値は、 $T_J = -40^\circ\text{C} \sim 150^\circ\text{C}$ の範囲で適用されます。特に記述のない限り、 $F_{\text{OSC}} = 100\text{kHz}$ 、 $V_{\text{VCC}} = 10\text{V}$ 、 $V_{\text{HV1}} = V_{\text{HV2}} = V_{\text{HV-Port}} = 48\text{V}$ および $V_{\text{LV-Port}} = 12\text{V}$ です。

記号	パラメータ	テスト条件	最小値	標準値	最大値	単位
$I_{\text{VCC_SD}}$	シャットダウン モードでの VCC シンク電流	$V_{\text{UVLO}} = 0\text{V}$ 、 $V_{\text{VCC}} = 10\text{V}$			25	μA
$I_{\text{VCC_SB}}$	スタンバイ時の VCC シンク電流: スイッチングなし	$V_{\text{UVLO}} > 2.6\text{V}$ 、 $V_{\text{VCC}} > 9\text{V}$ 、 $\text{EN1}=\text{EN2}=0\text{V}$			10	mA
VDD アナログ バイアス電源 (VDD)						
V_{VDD}	VDD 電圧	$V_{\text{UVLO}} > 2.6\text{V}$ 、 $V_{\text{VCC}} > 9\text{V}$	4.75	5	5.25	V
V_{DDUV}	VDD 低電圧検出	VDD 立ち下がり	4.25	4.5	4.75	V
V_{DDHYS}	VDD UVLO ヒステリシス	V_{DDUV} を上回る VDD 立ち上がり	0.1	0.2	0.3	V
I_{VDD}	VDD のソース電流制限	$V_{\text{VDD}} = 4.6\text{V}$	10			mA
電圧リファレンス (VREF)						
V_{REF}	電圧リファレンス	$V_{\text{UVLO}} > 2.6\text{V}$ 、 $V_{\text{VCC}} > 9\text{V}$ 、 $V_{\text{VDD}} > V_{\text{DDUV}}$	3.465	3.500	3.535	V
I_{VREF}	VREF のソース電流制限	$V_{\text{VREF}} = 3.5\text{V}$	2			mA
1 次側オン/オフ制御 (UVLO)						
$V_{\text{UVLO_TH}}$	UVLO リリーススレッシュホールド	UVLO 電圧の立ち上がり	2.4	2.5	2.6	V
I_{HYS}	UVLO ヒステリシス電流	$V_{\text{UVLO}} > 2.6\text{V}$ のときの UVLO ソース電流	21	25	29	μA
V_{RES}	UVLO シャットダウンおよび IC リセット電圧のスレッシュホールド	UVLO 電圧の立ち下がり	1	1.25	1.5	V
	UVLO シャットダウン リリース	V_{RES} を上回る UVLO 電圧の立ち上がり	0.15	0.25	0.35	V
t_{UVLO}	UVLO 2.5V スレッシュホールド グリッチ フィルタ	UVLO 電圧の立ち上がりと立ち下がり		2.5		μs
t_{VRES}	UVLO 1.25V V_{RES} スレッシュホールド グリッチ フィルタ			5	10	μs
	UVLO 内部プルダウン電流		25	100	250	nA
イネーブル入力 (EN1 および EN2)						
V_{IL}	イネーブル入力 Low 状態	ドライバ出力ディセーブ			1.0	V
V_{IH}	イネーブル入力 High 状態	ドライバ出力イネーブル	2.0			V
	内部プルダウン インピーダンス	EN1、EN2 ロジック入力内部プルダウン抵抗	0.7	1	1.3	$\text{Meg}\Omega$
	EN グリッチ フィルタ時間 (立ち上がりおよび立ち下がりエッジ)			2.5		μs
方向コマンド (DIR1、DIR2)						
$V_{\text{DIR1}}、V_{\text{DIR2}}$	CH-1 と CH-2 それぞれの LV ポートから HV ポートに流れる電流のコマンド (昇圧モード 12V ~ 48V)	外部回路によってアクティブに Low にプルされる			1	V
$V_{\text{DIR1}}、V_{\text{DIR2}}$	CH-1 と CH-2 それぞれの HV ポートから LV ポートに流れる電流のコマンド (降圧モード 48V ~ 12V)	外部回路によってアクティブに High にプルされる	2			V
$V_{\text{DIR1}}、V_{\text{DIR2}}$	スタンバイ (無効な DIR コマンド)	DIR ピン (DIR1 または DIR2)、アクティブ High でもアクティブ Low でもない		1.5		V
	DIR グリッチ フィルタ (立ち上がりおよび立ち下がりエッジ)	立ち上がりエッジと立ち下がりエッジの両方		10		μs
ISSET INPUTS (ISSET1、ISSET2)						
	ISSET DC オフセット電圧		0.87	1.0	1.13	V

5.5 電気的特性 (続き)

標準値は $T_J = 25^\circ\text{C}$ に対応します。最小および最大の制限値は、 $T_J = -40^\circ\text{C} \sim 150^\circ\text{C}$ の範囲で適用されます。特に記述のない限り、 $F_{\text{OSC}} = 100\text{kHz}$ 、 $V_{\text{VCC}} = 10\text{V}$ 、 $V_{\text{HV1}} = V_{\text{HV2}} = V_{\text{HV-Port}} = 48\text{V}$ および $V_{\text{LV-Port}} = 12\text{V}$ です。

記号	パラメータ	テスト条件	最小値	標準値	最大値	単位
G_{ISET}	レギュレートされたインダクタの DC 電流 センス電圧の ISET 電圧へのゲイン	$ V_{\text{CSA}} - V_{\text{CSB}} = 50\text{mV}$	24.3	25	25.7	mV/V
	ISET 内部ブルダウン電流シンク			75	200	nA
出力電流の監視 (IMON1、IMON2)						
	IMON1 および IMON2 電流源のゲインと チャネル電流センス電圧との関係	$ V_{\text{CSA}} - V_{\text{CSB}} = 50\text{mV}$ 、CONFIG = 'IMON_IL 監視'、 $V_{\text{DIR}} > 2\text{V}$	1.96	2	2.04	$\mu\text{A}/\text{mV}$
	IMON1 および IMON2 電流源のゲインと チャネル電流センス電圧との関係	$ V_{\text{CSA}} - V_{\text{CSB}} = 50\text{mV}$ 、CONFIG = 'IMON_IL 監視'、 $V_{\text{DIR}} < 1\text{V}$	1.96	2	2.04	$\mu\text{A}/\text{mV}$
	IMON1 および IMON2 電流源のゲインと チャネル電流センス電圧との関係	$ V_{\text{CSA}} - V_{\text{CSB}} = 50\text{mV}$ 、CONFIG = 'IMON_BSTOUT 監視'、 $V_{\text{DIR}} < 1\text{V}$ 、デ ューティ サイクル = 0.75	0.475	0.5	0.525	$\mu\text{A}/\text{mV}$
	IMON1 および IMON2 電流源のゲインと チャネル電流センス電圧との関係	$ V_{\text{CSA}} - V_{\text{CSB}} = 10\text{mV}$ 、CONFIG = 'IMON_IL 監視'、 $V_{\text{DIR}} > 2\text{V}$	1.96	2	2.04	$\mu\text{A}/\text{mV}$
	IMON1 および IMON2 電流源のゲインと チャネル電流センス電圧との関係	$ V_{\text{CSA}} - V_{\text{CSB}} = 10\text{mV}$ 、CONFIG = 'IMON_IL 監視'、 $V_{\text{DIR}} < 1\text{V}$	1.96	2	2.04	$\mu\text{A}/\text{mV}$
	IMON1 および IMON2 電流源のゲインと チャネル電流センス電圧との関係	$ V_{\text{CSA}} - V_{\text{CSB}} = 10\text{mV}$ 、CONFIG = 'IMON_BSTOUT 監視'、 $V_{\text{DIR}} < 1\text{V}$ 、デ ューティ サイクル = 0.75	0.475	0.5	0.525	$\mu\text{A}/\text{mV}$
	IMON1 および IMON2 DC オフセット電 流	$ V_{\text{CSA}} - V_{\text{CSB}} = 0\text{mV}$	42	50	56	μA
電流センス アンプ (両方のチャネル)						
$G_{\text{CS_BK1}}$	降圧モードでの電流センス電圧へのアン プ出力ゲイン	$ V_{\text{CSA}} - V_{\text{CSB}} = 50\text{mV}$ 、 $V_{\text{DIR}} > 2\text{V}$	39	40	41	V/V
$G_{\text{CS_BST1}}$	昇圧モードでの電流センス電圧へのアン プ出力ゲイン	$ V_{\text{CSA}} - V_{\text{CSB}} = 50\text{mV}$ 、 $V_{\text{DIR}} < 1\text{V}$	39	40	41	V/V
$G_{\text{CS_BK2}}$	降圧モードでの電流センス電圧へのアン プ出力ゲイン	$ V_{\text{CSA}} - V_{\text{CSB}} = 10\text{mV}$ 、 $V_{\text{DIR}} > 2\text{V}$	38.4	40	41.7	V/V
$G_{\text{CS_BST2}}$	昇圧モードでの電流センス電圧へのアン プ出力ゲイン	$ V_{\text{CSA}} - V_{\text{CSB}} = 10\text{mV}$ 、 $V_{\text{DIR}} < 1\text{V}$	38.4	40	41.7	V/V
相互コンダクタンス アンプ (COMP1、COMP2)						
G_m	相互コンダクタンス		75	100	125	$\mu\text{A}/\text{V}$
I_{COMP}	出力ソース電流制限	$V_{\text{ISET}} = 4\text{V}$ 、 $ V_{\text{CSA}} - V_{\text{CSB}} = 0\text{mV}$	190	250	280	μA
	出力シンク電流制限	$V_{\text{ISET}} = 0\text{V}$ 、 $V_{\text{CSA}} - V_{\text{CSB}} = 50\text{mV}$ (降圧 モード) または $V_{\text{CSA}} - V_{\text{CSB}} = -50\text{mV}$ (昇圧モード)	-280	-250	-190	μA
電圧ループ エラー アンプ (VSET、LVFB、LVERR、HVFB、HVERR)						
A_{OL}	開ループ ゲイン	$V_{\text{VCC}} > 9\text{V}$ 、 $V_{\text{VDD}} > V_{\text{DDUV}}$		80		dB
F_{BW}	ユニティ ゲイン帯域幅			2.1		MHz
V_{OS}	入力オフセット電圧			0	5	mV
$V_{\text{ERR_MIN}}$	最小アンプ出力電圧	ソース 2mA	4			V
$V_{\text{ERR_MAX}}$	最大アンプ出力電圧	2mA (シンク)			0.5	V
PWM コンパレータ						
	COMP から出力までの遅延			50		ns
	COMP から PWM へのコンパレータ オフ セット			1		V
$T_{\text{OFF_MIN}}$	最小オフ時間			100	150	ns

5.5 電気的特性 (続き)

標準値は $T_J = 25^\circ\text{C}$ に対応します。最小および最大の制限値は、 $T_J = -40^\circ\text{C} \sim 150^\circ\text{C}$ の範囲で適用されます。特に記述のない限り、 $F_{\text{OSC}} = 100\text{kHz}$ 、 $V_{\text{VCC}} = 10\text{V}$ 、 $V_{\text{HV1}} = V_{\text{HV2}} = V_{\text{HV-Port}} = 48\text{V}$ および $V_{\text{LV-Port}} = 12\text{V}$ です。

記号	パラメータ	テスト条件	最小値	標準値	最大値	単位
ピーク電流制限 (IPK)						
G _{IPK_BK1}	電流センス電圧から IPK ピンに供給されるサイクル単位の制限スレッショルド電圧のゲイン、降圧モード	V _{IPK} = 3V、V _{DIR} >2V	45	50	55	mV/V
G _{IPK_BK2}	電流センス電圧から IPK ピンに供給されるサイクル単位の制限スレッショルド電圧のゲイン、降圧モード	V _{IPK} = 1V、V _{DIR} >2V	45	50	55	mV/V
G _{IPK_BST1}	電流センス電圧から IPK ピンに供給されるサイクル単位の制限スレッショルド電圧のゲイン、昇圧モード	V _{IPK} = 3V、V _{DIR} <1V	45	50	55	mV/V
G _{IPK_BST2}	電流センス電圧から IPK ピンに供給されるサイクル単位の制限スレッショルド電圧のゲイン、昇圧モード	V _{IPK} = 1V、V _{DIR} <1V	45	50	55	mV/V
過電圧保護 (OVP)						
	OVP スレッショルド		0.99	1	1.01	V
OVP _{HYS}	OVP ヒステリシス			100		mV
t _{OVP}	OVP グリッチ フィルタ			5		us
発振器 (OSC)						
F _{OSC}	発振器周波数 1	R _{OSC} = 41.5kΩ、SYNCl ピンに外部クロック信号なし	90	100	110	kHz
	発振器周波数 2	R _{OSC} = 4.15kΩ、SYNCl ピンに外部クロック信号なし	900	1000	1100	kHz
V _{OSC}	OSC ピン DC 電圧	OSC DC レベル		1		V
同期クロック入力 (SYNCl)						
V _{SYNlH}	High 状態の SYNCl 入力スレッショルド		2			V
V _{SYNlL}	Low 状態の SYNCl 入力スレッショルド				1	V
	同期を確立するための遅延	0.8 x F _{OSC} < F _{SYNCl} < 1.2 x Fosc		200	300	us
	内部プルダウン インピーダンス	V _{SYNCl} = 2.5V	700	1000	1300	kΩ
同期クロック出力 (SYNCO)						
V _{SYNOH}	SYNCO High 状態		2.5			V
V _{SYNOL}	SYNCO Low 状態				0.4	V
	SYNCO が High 状態のときのソース電流	V _{SYNCO} = 2.5V		1		mA
	SYNCO が Low 状態のときのシンク電流	V _{SYNCO} = 0.5V		1		mA
	SYNCO パルス幅		60	90	120	ns
	マルチフェーズ デイジーチェーン接続の SYNCO パルス遅延	V _{OPT} > 2V、R _{SYNCO} > 61.9kΩ		90		度
		V _{OPT} < 1V、R _{SYNCO} > 61.9kΩ		120		度
ブートストラップ (HB1、HB2)						
V _{HB-UV}	ブートストラップ低電圧スレッショルド	(V _{HB} – V _{SW}) 電圧立ち上がり	6	6.5	7	V
V _{HB-UV-HYS}	ブートストラップ低電圧ヒステリシス			0.5		V
I _{HB_LK}	ブートストラップ静止電流	V _{HB} – V _{SW} = 10V、V _{HO} – V _{SW} = 0V			100	μA
ハイサイド ゲートドライバ (HO1、HO2)						
V _{OLH}	HO Low 状態出力電圧	I _{HO} = 100mA		0.1		V
V _{OHH}	HO High 状態出力電圧	I _{HO} = -100mA、V _{OHH} = V _{HB} - V _{HO}		0.15		V

5.5 電気的特性 (続き)

標準値は $T_J = 25^\circ\text{C}$ に対応します。最小および最大の制限値は、 $T_J = -40^\circ\text{C} \sim 150^\circ\text{C}$ の範囲で適用されます。特に記述のない限り、 $F_{\text{OSC}} = 100\text{kHz}$ 、 $V_{\text{VCC}} = 10\text{V}$ 、 $V_{\text{HV1}} = V_{\text{HV2}} = V_{\text{HV-Port}} = 48\text{V}$ および $V_{\text{LV-Port}} = 12\text{V}$ です。

記号	パラメータ	テスト条件	最小値	標準値	最大値	単位
	HO 立ち上がり時間 (パルス振幅 10% ~ 90%)	$C_{\text{LD}} = 1000\text{pF}$		5		ns
	HO 立ち下がり時間 (パルス振幅 10% ~ 90%)	$C_{\text{LD}} = 1000\text{pF}$		4		ns
I_{OHH}	HO ピーク ソース 電流	$V_{\text{HB}} - V_{\text{SW}} = 10\text{V}$		4		A
I_{OLH}	HO ピーク シンク電流	$V_{\text{HB}} - V_{\text{SW}} = 10\text{V}$		5		A
ローサイド ゲートドライバ (LO1、LO2)						
V_{OLL}	LO Low 状態出力電圧	$I_{\text{LO}} = 100\text{mA}$		0.1		V
V_{OHL}	LO High 状態出力電圧	$I_{\text{LO}} = -100\text{mA}$, $V_{\text{OHL}} = V_{\text{VCC}} - V_{\text{LO}}$		0.15		V
	LO 立ち上がり時間 (パルス振幅 10% ~ 90%)	$C_{\text{LD}} = 1000\text{pF}$		5		ns
	LO の立ち下がり時間 (パルス振幅 90% ~ 10%)	$C_{\text{LD}} = 1000\text{pF}$		4		ns
I_{OHL}	LO ピーク ソース電流	$V_{\text{VCC}} = 10\text{V}$		4		A
I_{OLL}	LO ピーク シンク電流	$V_{\text{VCC}} = 10\text{V}$		5		A
CH-2 から CH-1 までのインターリーブ位相遅延 (OPT)						
V_{OPTL}	OPT 入力 Low 状態	OPT="0"			1.0	V
V_{OPTh}	OPT 入力 High 状態	OPT="1"	2.0			V
	$\text{HO2}_{\text{rising}} - \text{HO1}_{\text{rising}}$ (降圧モード) または $\text{LO2}_{\text{rising}} - \text{LO1}_{\text{rising}}$ (昇圧モード)	デジタイゼーション インターリーブ動作の 3 相の OPT = "0"		240		度
	$\text{HO2}_{\text{rising}} - \text{HO1}_{\text{rising}}$ (降圧モード) または $\text{LO2}_{\text{rising}} - \text{LO1}_{\text{rising}}$ (昇圧モード)	デジタイゼーション インターリーブ動作の 1、2、4 相の OPT = "1"		180		度
	内蔵プルダウン インピーダンス			1		MegΩ
デッドタイムおよびラッチ シャットダウン (DT/SD)						
t_{DT}	LO 立ち下がりエッジから HO 立ち上がりエッジまでの遅延	$R_{\text{DT}} = 19.1\text{k}\Omega$	35	50	60	ns
	HO 立ち下がりエッジから LO 立ち上がりエッジまでの遅延	$R_{\text{DT}} = 19.1\text{k}\Omega$	35	50	65	ns
V_{DT}	デッドタイム プログラミングの DC 電圧レベル			1.2		V
	アダプティブ デッドタイム プログラミングの DC 電圧レベル		3.1			V
V_{ADPT}	アダプティブ デッドタイム方式のクロス出力を有効化するための HO-SW または LO-GND 電圧スレッショルド	$V_{\text{VCC}} > 9\text{V}$, $(V_{\text{HB}} - V_{\text{SW}}) > 8\text{V}$, HO または LO 電圧の立ち下がり		1.5		V
t_{ADPT}	LO 立ち下がりエッジから HO 立ち上がりエッジまでの遅延	$V_{\text{DT}} = V_{\text{VDD}}$	28	40	75	ns
	HO 立ち下がりエッジから LO 立ち上がりエッジまでの遅延	$V_{\text{DT}} = V_{\text{VDD}}$	30	40	75	ns
t_{SD}	ラッチ シャットダウン グリッチ フィルタ		1.875	2.5	3.125	μs
R_{SD}	シャットダウン ラッチ プルダウン抵抗	外部プルダウン NFET と直列に接続した抵抗			2	kΩ
ソフトスタート、強制 PWM、ダイオード エミュレーション プログラミング (SS/DEM1、SS/DEM2)						
I_{SS}	スタートアップ時の SS 充電電流源	$V_{\text{SS}} \leq 3.3\text{V}$, $V_{\text{EN}} > 2\text{V}$, $V_{\text{UVLO}} > 2.5\text{V}$, $\text{DIR} < 1$ または $\text{DIR} > 2$	63	70	77	μA

5.5 電気的特性 (続き)

標準値は $T_J = 25^\circ\text{C}$ に対応します。最小および最大の制限値は、 $T_J = -40^\circ\text{C} \sim 150^\circ\text{C}$ の範囲で適用されます。特に記述のない限り、 $F_{\text{OSC}} = 100\text{kHz}$ 、 $V_{\text{VCC}} = 10\text{V}$ 、 $V_{\text{HV1}} = V_{\text{HV2}} = V_{\text{HV-Port}} = 48\text{V}$ および $V_{\text{LV-Port}} = 12\text{V}$ です。

記号	パラメータ	テスト条件	最小値	標準値	最大値	単位
I_{SS}	スタートアップ後の SS 充電電流源	$V_{\text{SS}} \geq 3.9\text{V}$ 、 $V_{\text{EN}} > 2\text{V}$ 、 $V_{\text{UVLO}} > 2.5\text{V}$ 、 $\text{DIR} < 1$ または $\text{DIR} > 2$	45	50	55	μA
	SS から gm への入力オフセット		0.8	1	1.3	V
R_{SS}	SS 放電デバイス $R_{\text{ds(ON)}}$	$V_{\text{SS}} = 2\text{V}$	5	20	30	Ω
$V_{\text{SS_LOW}}$	SS 放電完了スレッシュホールド	内部ロジックによって放電された時点	0.15	0.3	0.35	V
構成 (CFG)						
R_{CFG1}	I2C アドレス:b0100000。IMON = IMON_IL		0			k Ω
R_{CFG2}	I2C アドレス:b0100001。IMON = IMON_IL		0.316		0.324	k Ω
R_{CFG3}	I2C アドレス:b0100010。IMON = IMON_IL		0.649		0.665	k Ω
R_{CFG4}	I2C アドレス:b0100011。IMON = IMON_IL		1.1		1.13	k Ω
R_{CFG5}	I2C アドレス:b0100100。IMON = IMON_IL		1.65		1.69	k Ω
R_{CFG6}	I2C アドレス:b0100101。IMON = IMON_IL		2.43		2.49	k Ω
R_{CFG7}	I2C アドレス:b0100110。IMON = IMON_IL		3.32		3.4	k Ω
R_{CFG8}	I2C アドレス:b0100111。IMON = IMON_IL		4.53		4.64	k Ω
R_{CFG9}	I2C アドレス:b0100111。IMON = IMON_BSTOUT		6.65		6.81	k Ω
R_{CFG10}	I2C アドレス:b0100110。IMON = IMON_BSTOUT		10.2		10.5	k Ω
R_{CFG11}	I2C アドレス:b0100101。IMON = IMON_BSTOUT		13.7		14.0	k Ω
R_{CFG12}	I2C アドレス:b0100100。IMON = IMON_BSTOUT		18.7		19.1	k Ω
R_{CFG13}	I2C アドレス:b0100011。IMON = IMON_BSTOUT		26.1		26.7	k Ω
R_{CFG14}	I2C アドレス:b0100010。IMON = IMON_BSTOUT		37.4		38.3	k Ω
R_{CFG15}	I2C アドレス:b0100001。IMON = IMON_BSTOUT		60.4		61.9	k Ω
R_{CFG16}	I2C アドレス:b0100000。IMON = IMON_BSTOUT		95.3		97.6	k Ω
I2C インターフェイス (SLC、SDA)						
V_{SDAL}	SDA 入力 Low 状態				1.0	V
V_{SDAH}	SDA 入力 High 状態		2.0			V
V_{SCLL}	SCL 入力 Low 状態				1.0	V
V_{SCLH}	SCL 入力 High 状態		2.0			V
サーマル シャットダウン						
$T_{\text{J_SD}}$	サーマル シャットダウン		155	175		$^\circ\text{C}$

5.5 電気的特性 (続き)

標準値は $T_J = 25^\circ\text{C}$ に対応します。最小および最大の制限値は、 $T_J = -40^\circ\text{C} \sim 150^\circ\text{C}$ の範囲で適用されます。特に記述のない限り、 $F_{\text{OSC}} = 100\text{kHz}$ 、 $V_{\text{VCC}} = 10\text{V}$ 、 $V_{\text{HV1}} = V_{\text{HV2}} = V_{\text{HV-Port}} = 48\text{V}$ および $V_{\text{LV-Port}} = 12\text{V}$ です。

記号	パラメータ	テスト条件	最小値	標準値	最大値	単位
	サーマル シャットダウン ヒステリシス			15		$^\circ\text{C}$

5.6 タイミング要件

動作接合部温度範囲および推奨電源電圧範囲 (特に記載のない限り)

			最小値	公称値	最大値	単位
I²C インターフェイス						
f_{SCL}	SCL クロック周波数	スタンダード モード	0		100	kHz
		ファスト モード	0		400	
		ファスト モード プラス ⁽¹⁾	0		1000	
t_{LOW}	SCL クロック Low 期間	スタンダード モード	4.7			μs
		ファスト モード	1.3			
		ファスト モード プラス ⁽¹⁾	0.5			
t_{HIGH}	SCL クロックの High の時間	スタンダード モード	4.0			μs
		ファスト モード	0.6			
		ファスト モード プラス ⁽¹⁾	0.26			
t_{BUF}	停止条件と開始条件 の間のバス フリー時間	スタンダード モード	4.7			μs
		ファスト モード	1.3			
		ファスト モード プラス ⁽¹⁾	0.5			
$t_{\text{SU:STA}}$	繰り返し START 条件のセットアップ時間	スタンダード モード	4.7			μs
		ファスト モード	0.6			
		ファスト モード プラス ⁽¹⁾	0.26			
$t_{\text{HD:STA}}$	(繰り返し) START 条件のホールド時間	スタンダード モード	4.0			μs
		ファスト モード	0.6			
		ファスト モード プラス ⁽¹⁾	0.26			
$t_{\text{HD:DAT}}$	データ ホールド時間	スタンダード モード	0			μs
		ファスト モード	0			
		ファスト モード プラス ⁽¹⁾	0			
t_r	SDA 信号と SCL 信号の両方の立ち上がり時間	スタンダード モード			1000	ns
		ファスト モード	20		300	
		ファスト モード プラス ⁽¹⁾			20	
t_f	SDA 信号と SCL 信号の両方の立ち下がり時間	スタンダード モード			300	ns
		ファスト モード	$20 \times V_{\text{DD}}/5.5$		300	
		ファスト モード プラス ⁽¹⁾	$20 \times V_{\text{DD}}/5.5$		120	
$t_{\text{su:STO}}$	STOP 条件のセットアップ時間	スタンダード モード	4.0			μs
		ファスト モード	0.6			
		ファスト モード プラス ⁽¹⁾	0.26			
$t_{\text{VD:DAT}}$	データ有効時間	スタンダード モード			3.45	μs
		ファスト モード			0.9	
		ファスト モード プラス ⁽¹⁾			0.45	
$t_{\text{VD:ACK}}$	データ有効アクリッジ時間	スタンダード モード			3.45	μs
		ファスト モード			0.9	
		ファスト モード プラス ⁽¹⁾			0.45	

5.6 タイミング要件 (続き)

動作接合部温度範囲および推奨電源電圧範囲 (特に記載のない限り)

			最小値	公称値	最大値	単位
C _b	各バスラインの容量性負荷	スタンダード モード			400	pF
		ファスト モード			400	

(1) ファスト モード プラスもサポートされていますが、I²C 規格には完全には準拠していません

5.7 代表的特性

$V_{VIN} = 48V$, $V_{VCC} = 10V$, $V_{UVLO} = 3.3V$, $T_J = 25^\circ C$, 特に記述のない限り。

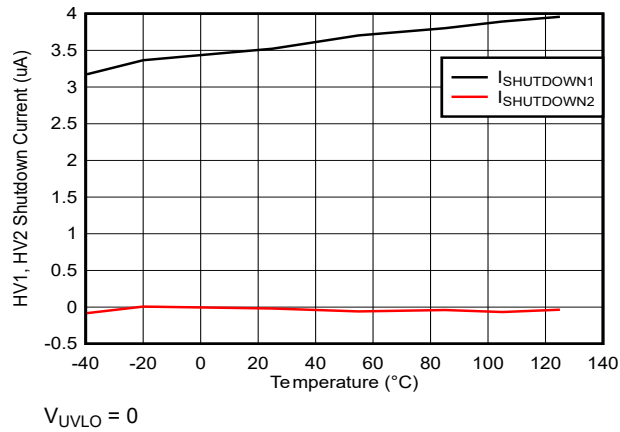


図 5-1. シャットダウン電流と温度との関係

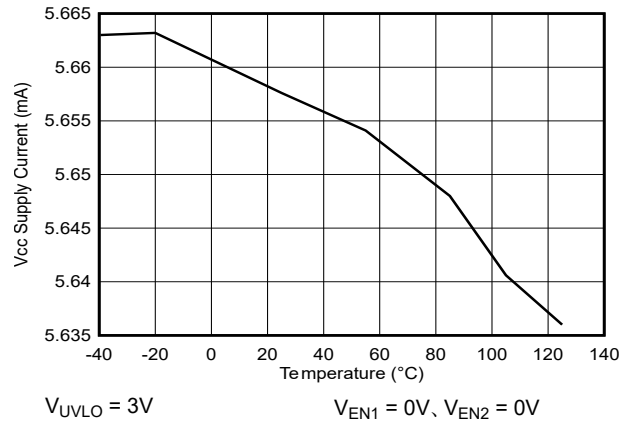


図 5-2. VCC 電流と温度との関係

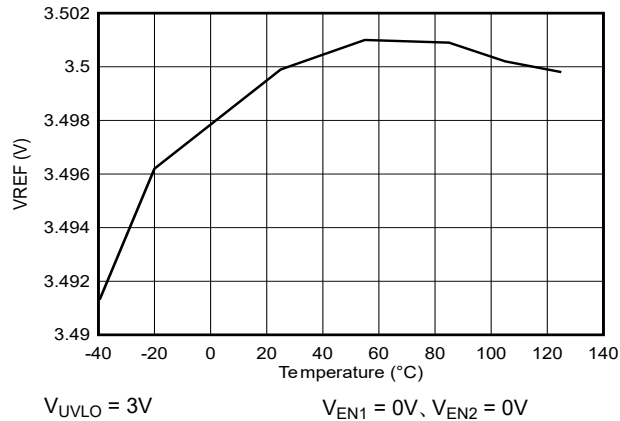


図 5-3. VREF の精度と温度との関係

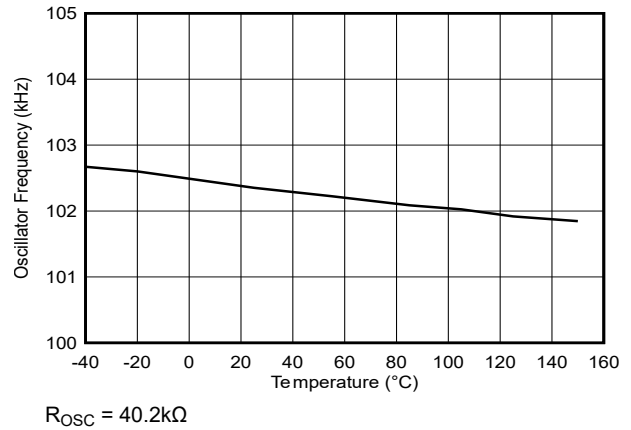


図 5-4. 発振器周波数と温度との関係

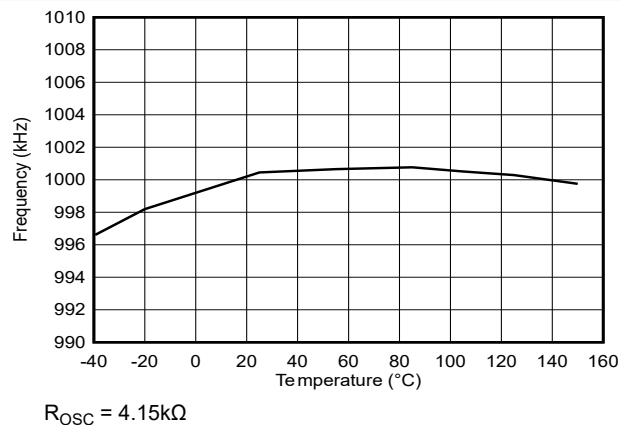


図 5-5. 発振器周波数と温度との関係

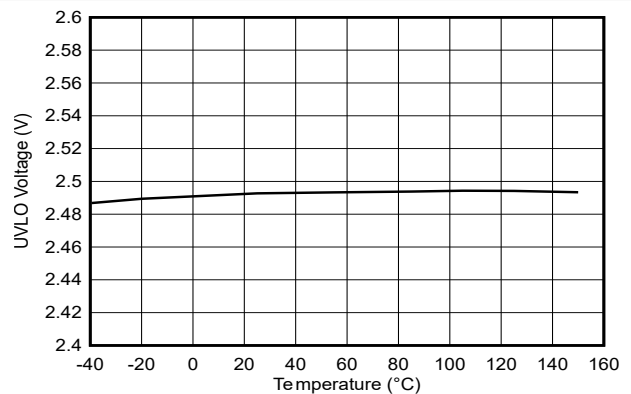


図 5-6. UVLO スレッシュホールド (V_{UVLO_TH}) と温度との関係

5.7 代表的特性 (続き)

$V_{VIN} = 48V$, $V_{VCC} = 10V$, $V_{UVLO} = 3.3V$, $T_J = 25^\circ C$, 特に記述のない限り。

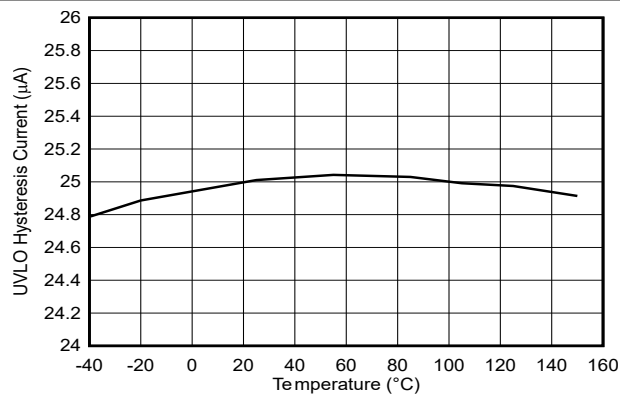


図 5-7. UVLO ヒステリシス電流 (I_{HYS}) と温度との関係

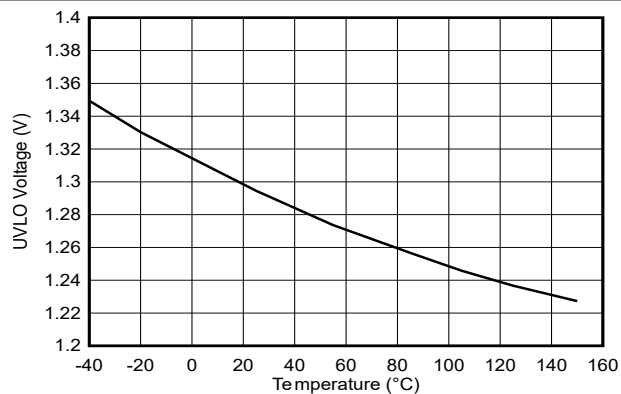


図 5-8. UVLO シャットダウン電圧 (V_{RES}) と温度との関係

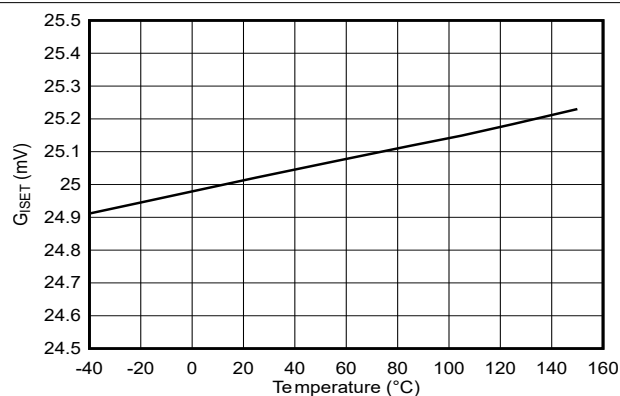


図 5-9. センス電圧ゲイン (G_{ISET}) と温度との関係

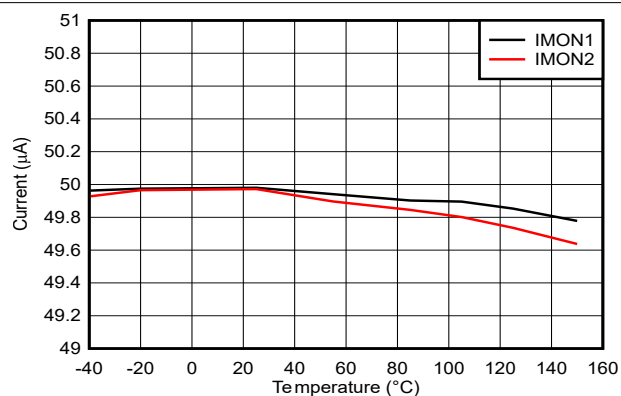


図 5-10. IMON オフセット電流と温度との関係

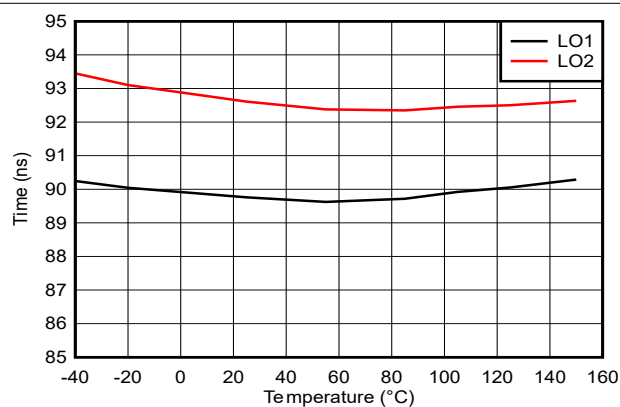
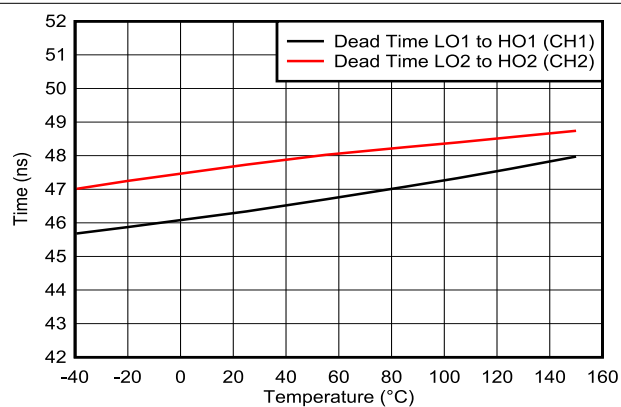


図 5-11. 最小オフ時間 (T_{OFF_MIN}) と温度との関係

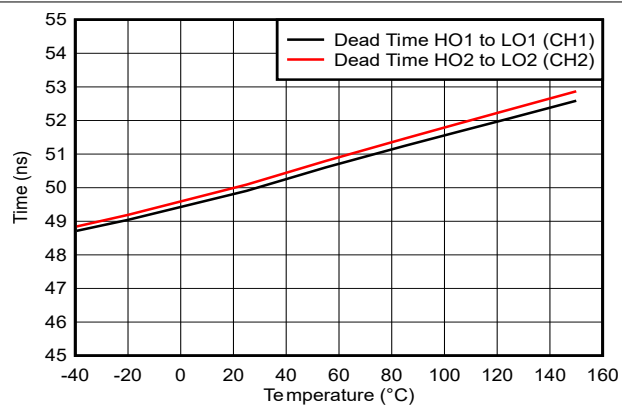


$R_{DT} = 19.1k\Omega$ LO 立ち下がりがりから HO 立ち上がりまで。

図 5-12. デッドタイム (t_{DT}) と温度との関係

5.7 代表的特性 (続き)

$V_{VIN} = 48V$ 、 $V_{VCC} = 10V$ 、 $V_{UVLO} = 3.3V$ 、 $T_J = 25^\circ C$ 、特に記述のない限り。



$R_{DT} = 19.1k\Omega$

HO 立ち下がりから LO 立ち下がりまで。

図 5-13. デッドタイム (t_{DT}) と温度との関係

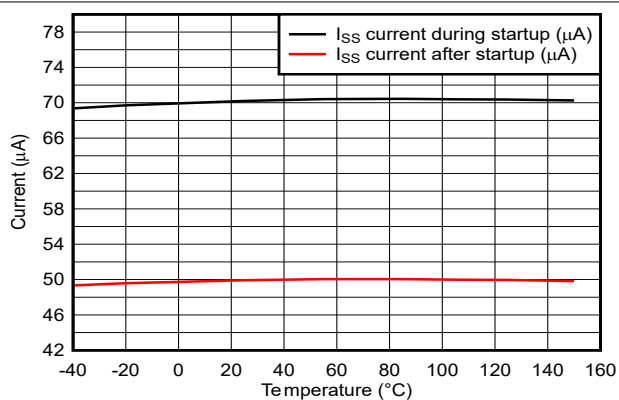


図 5-14. ソフトスタート電流 (I_{SS}) と温度との関係

6 詳細説明

6.1 概要

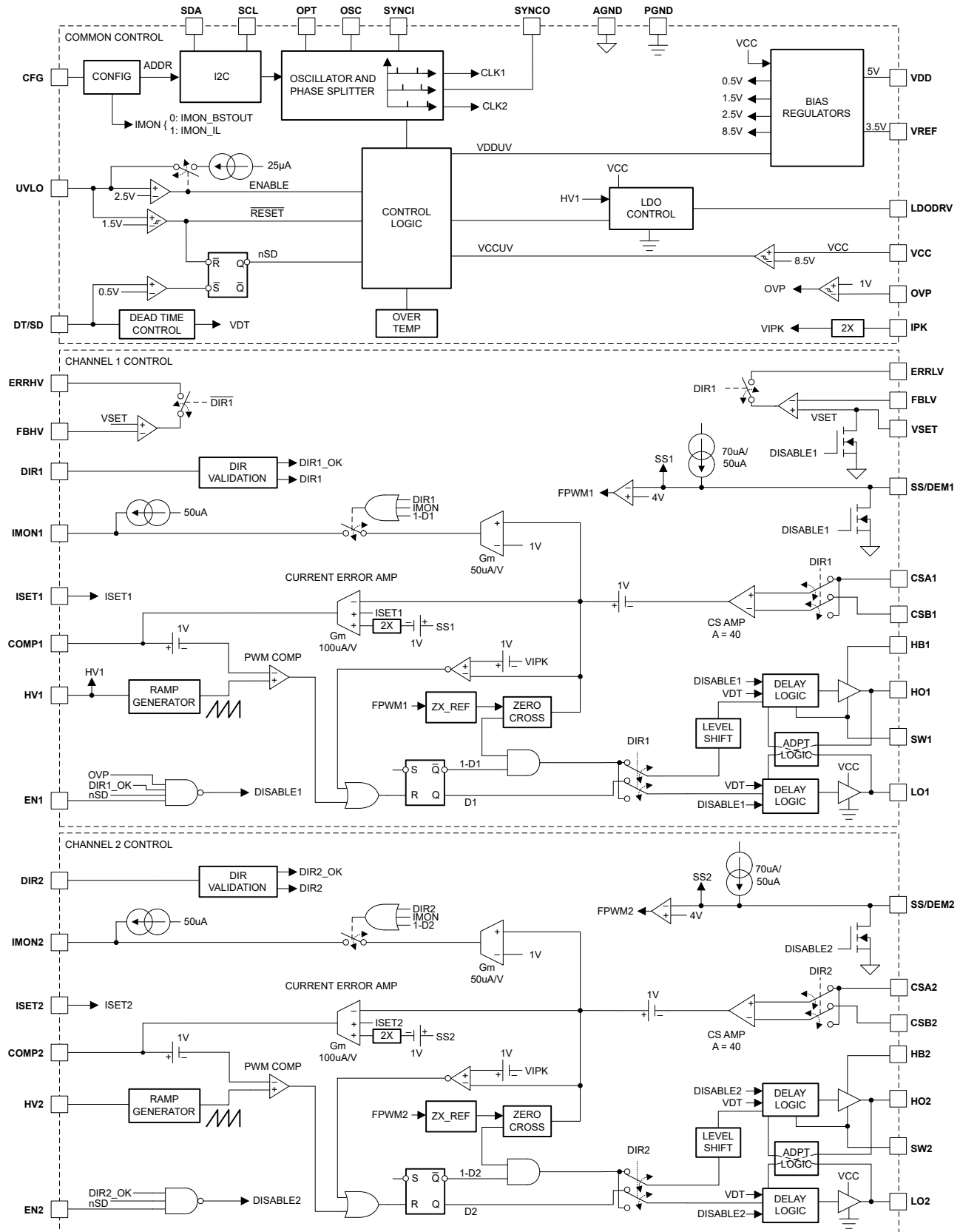
LM5171-Q1 デバイスは、高性能のデュアル チャネル双方向 PWM コントローラで、高電圧ポート (HV ポート) と低電圧ポート (LV ポート) 間の電力伝送を管理するよう設計されています。LM5171-Q1 は、最小限の外部コンポーネントで大電力コンバータを設計するために重要なアナログ機能を内蔵しています。動作モードに応じて、デバイスは出力ポートの電圧 (電流) の両方を、DIRx 信号によりどちらの方向にもレギュレートします。

デュアル チャネルの差動電流センス アンプと、専用のチャネル電流監視により、標準値で 1% の精度が得られます。堅牢な 5A ハーフブリッジ ゲートドライバは、並列 MOSFET スイッチを駆動して、チャネルあたりの電力を高くすることができます。このデバイスは、動的に選択可能なダイオード エミュレーション モード (DEM) と強制 PWM (FPWM) を備えています。DEM を採用すると、降圧または昇圧の同期整流器により、不連続モードの動作が可能になり、軽負荷状況で効率を向上させるほか、負電流を防止します。FPWM により、同期整流器によって負電流が許容されるため、大きな回路過渡が発生しても高速な動的応答を実現できます。多用途の保護機能として、サイクル単位のピーク電流制限、HV ポートと LV ポート両方の過電圧保護、MOSFET スイッチ障害検出と保護、過熱保護などが挙げられます。

LM5171-Q1 は、革新的な平均電流モード制御技術を採用しており、電力フローの方向や動作電圧、負荷レベルに関係なく一定のループ ゲインを維持することで、内部電流ループ補償を簡素化できます。また、双方向の出力電圧レギュレーションを容易にするため、2 つのエラー アンプと 1% の精度の電圧リファレンスも内蔵しています。フリーランニング発振器は最大 1000kHz に調整可能で、フリーランニング発振器周波数の $\pm 20\%$ 以内で外部クロックと同期できます。スタック可能なマルチフェーズ並列動作は、3 相または 4 相動作の場合は 2 つの LM5171-Q1 コントローラを並列に接続することで、または位相の数が多い場合は複数の LM5171-Q1 コントローラを外部マルチフェーズ クロックと同期させることで実現できます。さらに、LM5171-Q1 の 2 つのチャネルで独立した双方向コンバータを実現できます。UVLO ピンは、ピンが Low に保持されているとき、LM5171-Q1 を無効化するコマンドのオン/オフ制御を行うことができます。

LM5171-Q1 には I²C ポートも搭載されており、動作ステータスとデバイスのアラームを監視できます。

6.2 機能ブロック図



6.3 機能説明

6.3.1 バイアス電源および電圧リファレンス (VCC、VDD、VREF)

LM5171-Q1 は、外部 N チャネル MOSFET を駆動し、VCC ピンで 9V バイアス電源を生成するための LDO ドライバを内蔵しています。また、VCC ピンは 9.5V ~ 12V の外部電源を受け付け、デバイスは LDO ドライバをオフにして、外部 LDO MOSFET の消費電力を節約します。図 6-1 に、バイアス電源の代表的な接続を示します。

外部電源を使用する場合、外部電源の過渡時に VCC が放電されないように、ブロック ダイオードを追加することを推奨します。外部電源電圧が 12V を超える場合、10V LDO またはスイッチングレギュレータを使用して VCC 用に 10V を生成します。VCC 電圧はローサイド MOSFET ドライバに直接供給されます。ドライバのスイッチング電流をバイパスするため、VCC ピンと PGND ピンの間に 1μF と 2.2μF のセラミックコンデンサを配置します。LDO MOSFET の場合、C_{iss} を約 300pF またはそれ以下にすることを推奨します。

内部 VCC 低電圧 (UV) 検出回路は、VCC 電圧を監視します。立ち下がりエッジで VCC 電圧が 8V を下回ると、LM5171-Q1 はシャットダウン状態に保持されます。通常動作では、立ち上がりエッジで 8.5V を超える VCC 電圧が必要です。

VCC 電圧が VCC_UV を上回ると、VDD および VREF レギュレータがオンになります。VDD レギュレータは、5V の出力を供給し、10mA の負荷能力を達成しています。VDD と AGND の間に 1μF のセラミックコンデンサを配置します。VREF は許容誤差 1% の 3.5V 電圧リファレンスで、2mA の負荷能力があります。VREF と AGND の間に 0.1μF セラミックコンデンサを配置します。

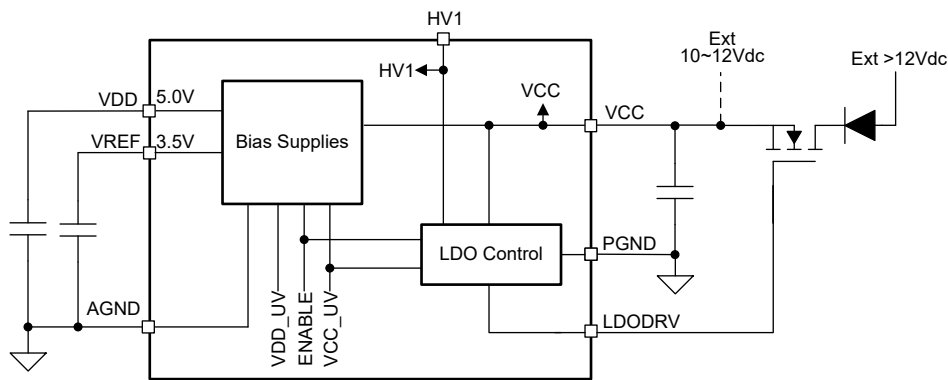


図 6-1. バイアス電源の接続

6.3.2 低電圧誤動作防止 (UVLO)

UVLO ピンは、1 次側イネーブル ピンまたはディスエーブル ピンとして機能します。2 つの UVLO 電圧スレッショルドがあります。ピンの電圧が外部で 1.25V を下回ると、LM5171-Q1 はシャットダウンモードになり、すべてのゲートドライバがオフ状態になり、すべての内部ロジックがリセットされ、IC の HV および VCC ピンのそれぞれから 10μA 未満の電流を消費します。

UVLO ピンの電圧が 1.5V より高く 2.5V より低い値になると、LM5171-Q1 は初期化モードになり、LDODRV ピンがオンになって外部 MOSFET を制御して VCC 電圧を 9.0V、VDD を 5.0V、VREF を 3.5V に設定します。DT/SD ピンは 1.2V にプルアップされますが、LM5171-Q1 の残りの部分はオフのままです。

UVLO ピンが UVLO リリース スレッショルドおよびコントローラ イネーブル スレッショルドである 2.5V よりも高くなると、LM5171-Q1 発振器がアクティブになり、SYNCO ピンが発振器の周波数で位相シフトされたクロックを出力し、LM5171-Q1 の動作準備が整います。SS/DEM1 および SS/DEM2、および LO1、LO2、HO1、HO2 ドライバは、EN1、EN2、DIR 入力が動作を指示するまで、オフのままです。

UVLO ピンは、MCU などの外部制御ユニットによって直接制御できます。

しかし、UVLO ピンは、特定の電源レールの低電圧誤動作防止機能を果たすこともできます。このレールは、HV ポート、LV ポート、または VCC のいずれかです。に示されているように、抵抗デバイダを使用して UVLO スレッシュホールドを設定します。分圧器は、式 1 で計算されます。

$$\frac{R_{UVLO2}}{R_{UVLO1} + R_{UVLO2}} \times V_{UVLO} = 2.5 \text{ V} \quad (1)$$

UVLO ヒステリシスは、内部 25µA 電流源を使用して実現されます。UVLO > 2.5V のときに、電流源がアクティブになり、UVLO ピンの電圧が即座に上昇します。UVLO ピンの電圧が 2.5V のスレッシュホールドを下回ると、電流源がオフになり、UVLO ピンの電圧が低下します。UVLO ヒステリシスは、式 2 で決定されます。

$$V_{HYS} = R_{UVLO1} \times 25 \mu\text{A} \quad (2)$$

ノイズ耐性を向上させるには、オプションのセラミック コンデンサ C_{UVLO} を R_{UVLO2} と並列に配置します。 C_{UVLO} は通常 1nF ~ 10nF です。 C_{UVLO} が大きいと、実際の UVLO イベントへの応答までの遅延が長くなります。

式 2 によって十分なヒステリシス電圧が提供されない場合は、追加のヒステリシス プログラミング付き UVLO に示されているように、 R_{UVLO3} を追加します。したがって、ヒステリシス電圧は、式 3 で求められます。

$$V_{HYS} = \left[R_{UVLO1} + R_{UVLO3} \times \left(1 + \frac{R_{UVLO1}}{R_{UVLO2}} \right) \right] \times 25 \mu\text{A} \quad (3)$$

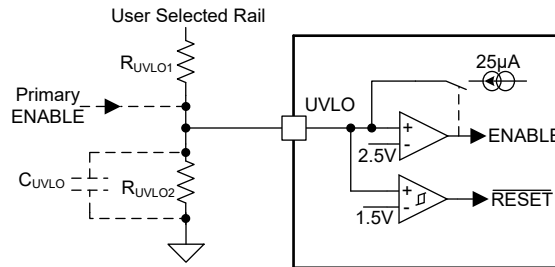


図 6-2. UVLO のプログラミング

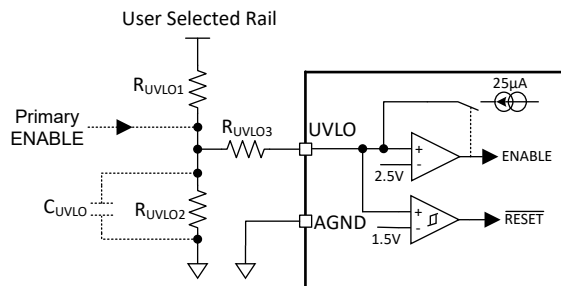


図 6-3. 追加のヒステリシス プログラミング付き UVLO

6.3.3 デバイス構成 (CFG)

表 6-1 に一覧されているように、CFG と AGND の間の抵抗により、I2C アドレスと IMON 機能が選択されます。

昇圧モードで IMON_BSTOUT を選択した場合、IMONx が昇圧出力電流を監視します。IMON_IL を選択したとき、またはデバイスが降圧モードで動作しているとき、IMONx はインダクタ電流を監視します。詳細については、[チャネル電流の監視 \(IMON1、IMON2\)](#) を参照してください。

表 6-1. IMON および I2C アドレスの CFG プログラミング

CFG 抵抗の選択 (kΩ) (抵抗 1%)		I2C アドレス	IMON の機能
最小値	最大値		
0	0.1	0x20	IMON_IL
0.316	0.324	0x21	IMON_IL
0.649	0.665	0x22	IMON_IL
1.10	1.13	0x23	IMON_IL
1.65	1.69	0x24	IMON_IL
2.43	2.49	0x25	IMON_IL
3.32	3.40	0x26	IMON_IL
4.53	4.64	0x27	IMON_IL
6.65	6.81	0x27	IMON_BSTOUT
10.2	10.5	0x26	IMON_BSTOUT
13.7	14.0	0x25	IMON_BSTOUT
18.7	19.1	0x24	IMON_BSTOUT
26.1	26.7	0x23	IMON_BSTOUT
37.4	38.3	0x22	IMON_BSTOUT
60.4	61.9	0x21	IMON_BSTOUT
95.3	97.6	0x20	IMON_BSTOUT

6.3.4 高電圧入力 (HV1、HV2)

図 6-4 に、HV1 および HV2 ピンの外部および内部構成を示します。両方のピンの定格は $85V_{DC}$ です。独立したチャネル動作を行うには、HV1 ピンと HV2 ピンをそれぞれチャネルの HV ポート電圧レールに接続しますが、これらは必ずしも同じ HV ポートである必要はありません。大電力をサポートするために並列 2 相構成で動作する場合、2 つの HV ピンを互いに接続して同じ HV ポートに接続することができます。図 6-4 に示されているように、高周波ノイズをバイパスするために、これら 2 つのピンに 10Ω と $0.1\mu F$ などの小さな RC フィルタを適用します。

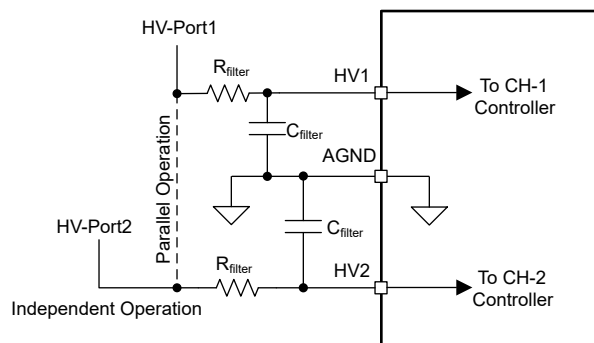


図 6-4. HV1 および HV2 ピンの構成

6.3.5 電流センス アンプ

LM5171-Q1 の各チャネルには双方向で高精度の高速電流センス アンプが内蔵されています。電流センス極性は、DIR1 と DIR2 によって決まります。アンプのゲインは 40 であるため、小さな電流センス抵抗をサポートして消費電力を低減できます。増幅された電流センス信号は、以下の機能を実行するために使用されます。

- 電流ループレギュレーション用に、トランスコンダクタンス アンプの反転入力に印加されます。
- IMON1 ピンおよび IMON2 ピンのチャネル電流監視信号を再構築するために使用されます。
- サイクル単位のピーク電流制限コンパレータによって監視され、瞬間的な過電流保護を実現しています。
- ダイオードエミュレーションモードで同期整流器を動作させるために、電流ゼロ交差検出器によって検出されます。

定格電流で 50mV の電流センス電圧になるように、電流センス抵抗 R_{CS} を選択します。正確なセンシングのため、ケルビン接続を使用して CSA1、CSB1、CSA2、CSB2 ピンを接続します。

電流センス抵抗が低誘導性であることは非常に重要です。そうでないと、寄生インダクタンスが数 nH のみであっても、検出された電流信号に歪みが生じます。このようなインダクタンスは、連続導通モード時の電流レギュレーションへの影響は最小限に留まりますが、電流のゼロ交差検出に影響を及ぼすため、軽負荷時のダイオードエミュレーションモードの性能も低下します。その結果、同期整流器のゲートパルスがインダクタ電流のゼロ交差よりもはるかに早く切り捨てられるため、同期整流器のボディダイオードがより長い時間不必要に導通します。詳細については、「ダイオードエミュレーション」を参照してください。

選択した電流センス抵抗に寄生インダクタンスがある場合、この条件を補償して最適な性能を実現する方法については、[セクション 8.1](#) を参照してください。

6.3.6 制御コマンド

6.3.6.1 チャンネルイネーブルコマンド (EN1、EN2)

これらのピンは 2 つの状態機能ピンです。EN1 と EN2 は独立したコマンド信号です。EN1 は CH-1 を制御し、EN2 は CH-2 を制御します。

1. EN1 ピンの電圧が 2V (ロジック状態 1) を上回ると、SS/DEM1 でプログラムされたソフトスタートにより、同じチャンネルの HO1 および LO1 出力が有効になります。
2. EN1 ピンの電圧が 1V (ロジック状態 0) を下回ると、CH-1 コントローラが無効になり、HO1 と LO1 の両方の出力がオフになり、SS/DEM1 が放電されます。
3. CH-2 の EN2、HO2、LO2、および SS/DEM2 で同様の動作があります。
4. EN1 および EN2 ピンをオープンのままにすると、内部 1000k Ω プルダウン抵抗によって Low 状態に設定されます。
5. 内蔵の 2.5 μ s グリッチフィルタにより、EN1 および EN2 信号のノイズによる誤った動作が防止されます。

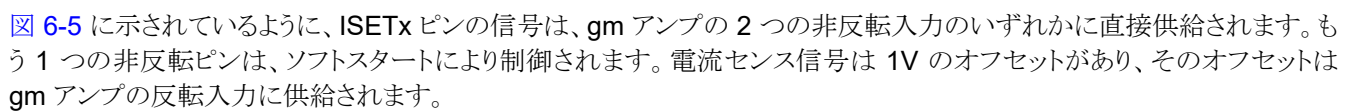
6.3.6.2 方向コマンド (DIR1、DIR2)

これらのピンはトライステート状態機能ピンです。DIR1 は CH-1 を制御し、DIR2 は CH-2 を制御します。

1. DIR1 ピンがアクティブに 2V (ロジック状態 1) を上回ると、CH-1 は降圧モードで動作し、電流は HV ポートから LV ポートに流れます。
2. DIR1 ピンがアクティブに 1V (ロジック状態 0) を下回ると、CH-1 は昇圧モードで動作し、電流は LV ポートから HV ポートに流れます。
3. DIR1 がオープンのままの場合、DIR1 は約 1.5V (無効なコマンドとみなされる) で、CH-1 は EN1 の状態に関係なくスタンバイモードに維持されます。このトライステート状態機能により、MCU への DIR 信号接続が失われたときの動作不良を防止します。
4. 動作中に DIR1 でロジック状態が動的に 1 と 0 の間で変化すると、SS/DEM1 ピンが最初に 0.3V 未満まで放電されます。その後、SS/DEM1 ピンのプルダウンが解除され、CH-1 は新しいソフトスタートプロセスを実行して、新しい方向の電流を生成します。ソフトスタートは、方向変更時のサージ電流を除去します。
5. DIR2、CH-2、EN2、および SS/DEM2 で同様の動作があります。
6. 内蔵の 10 μ s グリッチフィルタにより、DIR1 および DIR2 信号のノイズによる誤った動作を防止しています。

6.3.6.3 チャンネル電流設定コマンド (ISET1 および ISET2)

各チャンネルには、独立した電流設定ピン ISETx があります。ISETx ピンに電圧を印加して、チャンネル電流を設定します。各 ISETx ピンに同じ電圧が印加されると、平衡な電流共有が行われます。

 [図 6-5](#) に示されているように、ISETx ピンの信号は、gm アンプの 2 つの非反転入力の一つに直接供給されます。もう 1 つの非反転ピンは、ソフトスタートにより制御されます。電流センス信号は 1V のオフセットがあり、そのオフセットは gm アンプの反転入力に供給されます。

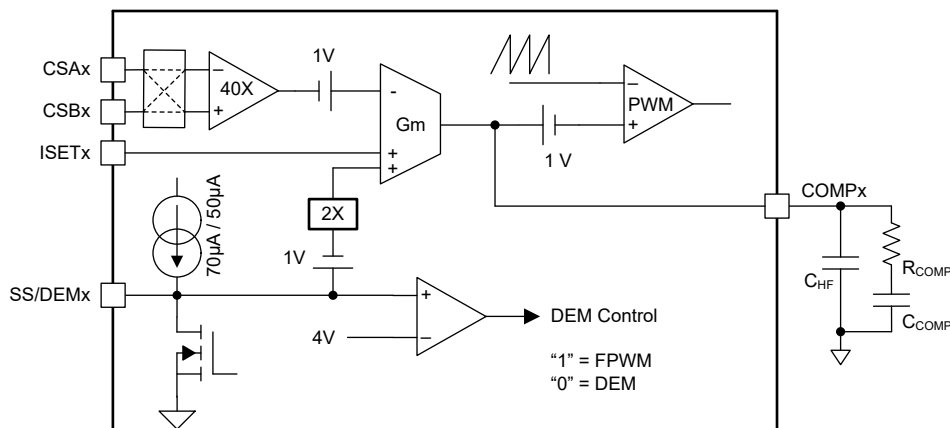


図 6-5. 内部ループ GM アンプ、ソフトスタート、PWM コンパレータ

閉ループ動作では、電流検出抵抗 R_{CS} の両端の電圧は、以下で決定されます。

$$V_{CS} = \frac{V_{ISET} - 1V}{40} \quad (4)$$

図 6-6 に、式を示します。FPWM モードでは、 V_{ISET} が 1V より低い場合、電流センス電圧が負になります。DEM モードでは、 V_{ISET} が 1V 未満の場合、検出電圧は 0V のままです。

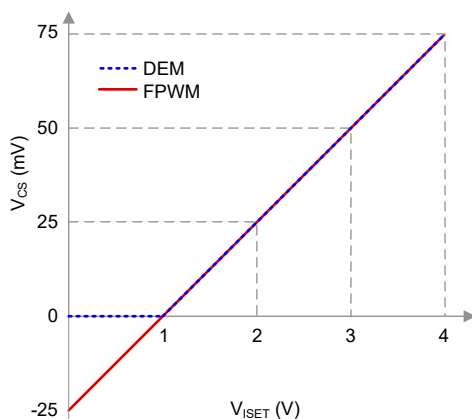


図 6-6. ISET 電圧および電流センス電圧

図 6-7 に示されているように、チャネル電流を制御するために PWM 信号が供給されているが、DAC が利用できない場合は、2 段の RC フィルタを使用して ISET のアナログ電圧に変換することを推奨します。フィルタのコーナー周波数は、ISET ピンでリップル電圧を 1% 未満に減衰させるため、PWM 周波数より少なくとも 1 桁低い値に設定されます。つまり、RC 選択は満たされます。そして、式 6 によって、PWM からアナログへの電圧変換が求められます。

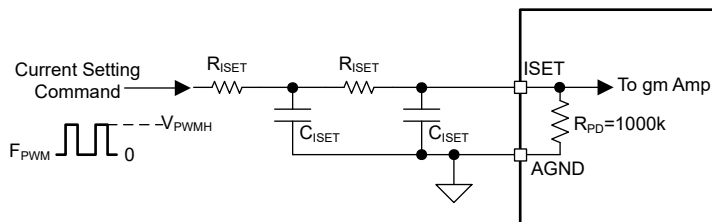


図 6-7. PWM チャネル電流プログラミング

$$\frac{1}{2\pi \times R_{ISET} \times C_{ISET}} < \frac{F_{PWM}}{10} \quad (5)$$

$$V_{ISET} = \frac{R_{PD}}{R_{PD} + 2 \times R_{ISET}} \times V_{PWMH} \times D_{PWM} \quad (6)$$

ここで

- F_{PWM} は、PWM 信号周波数です。
- R_{PD} は内部プルダウン抵抗であり、通常は 1000k Ω です。
- V_{PWMH} は PWM 信号振幅です。
- D_{PWM} は PWM 信号デューティ サイクルです。

内部プルダウン抵抗 R_{PD} には多少の誤差があることに注意してください。 $R_{ISET} \ll R_{PD}$ の場合、この許容誤差が V_{ISET} の精度に及ぼす影響は大幅に小さくなります。

6.3.7 チャネル電流の監視 (IMON1、IMON2)

LM5171-Q1 は、電流センス電圧を IMON1 ピンと IMON2 ピンの小さな電流源に変換することにより、各チャネルのインダクタ電流をリアルタイムで監視します。

表 6-2 に示されているように、IMONx は、インダクタ電流または昇圧出力電流を監視するように設定されています。

- DIR = 昇圧 および IMON 機能 = IMON_BSTOUT の場合、IMONx は昇圧出力電流を監視します。
- DIR = 降圧 または IMON 機能 = IMON_IL の場合、IMONx はインダクタ電流を監視します。

表 6-2. IMON 機能および DIR

		IMON の機能	
		IMON_IL	IMON_BSTOUT
DIR	降圧	インダクタ電流の監視	インダクタ電流の監視
	昇圧	インダクタ電流の監視	昇圧出力電流の監視

6.3.7.1 個別チャネル電流監視

表 6-2 に示されているように、IMONx が「インダクタ電流の監視」である場合、IMONx ピンのソース電流は次の式で決定されます。

$$I_{IMON} = R_{CS} \times I_{Lm} \times 2 \frac{\mu A}{mV} + 50\mu A \quad (7)$$

ここで

- R_{CS} はチャネルの電流センス抵抗です。
- I_{Lm} はチャネルのインダクタ電流です。
- 50 μA は IMON 信号に重ね合わせた DC オフセット電流です。

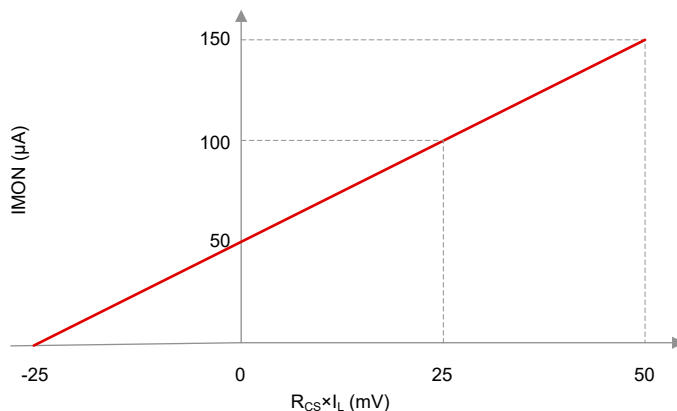


図 6-8. IMON 電流源と電流センス電圧との関係

IMONx が昇圧出力電流を監視するよう構成されている場合 (表 6-2 を参照)、IMONx ピンのソース電流は次の式で決定されます。

$$I_{\text{IMON_BSTOUT}} = R_{\text{CS}} \times I_{\text{BSTOUT}} \times 2 \frac{\mu\text{A}}{\text{mV}} + 50 \mu\text{A} \quad (8)$$

ここで

- $I_{\text{IMON_BSTOUT}}$ はチャネルの昇圧モード出力電流です。

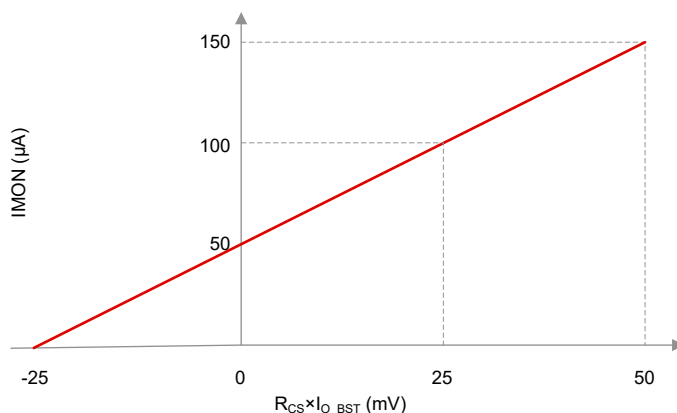


図 6-9. IMON 電流源と昇圧出力電流との関係

50μA の DC オフセット電流を使用して、無負荷信号を可能なグラウンド ノイズフロアより高く上げることができます。監視信号は電流の形であるため、抵抗が LM5171-Q1 から離れた場所にあり、MCU に近い場合でも、終端抵抗の両端で正確な読み取りが得られるため、LM5171-Q1 と MCU の間のグラウンドの電位差が除去されます。図 6-10 に、20kΩ 終端抵抗と 10nF ~ 100nF のセラミック コンデンサを並列に接続した代表的なチャネル電流監視を示します。RC ネットワークは、電流監視信号をチャネル DC 電流に比例する DC 電圧に変換します。IMONx ピンの最大アクティブ動作電圧は 3V であることに注意してください。

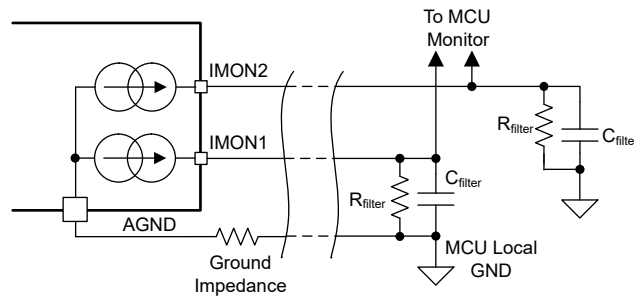


図 6-10. チャネル電流監視

6.3.7.2 マルチフェーズ合計電流監視

マルチフェーズ並列動作では、LM5171-Q1 IMON ピンをすべて組み合わせて、合計電流監視として機能できます。IMON 信号を組み合わせることで、監視ラインの節約にも役立ちます。図 6-11 に、未使用の 4 つ目の位相監視 (U2-IMON2) が接地された 3 相システムの合計電流監視の例を示します。

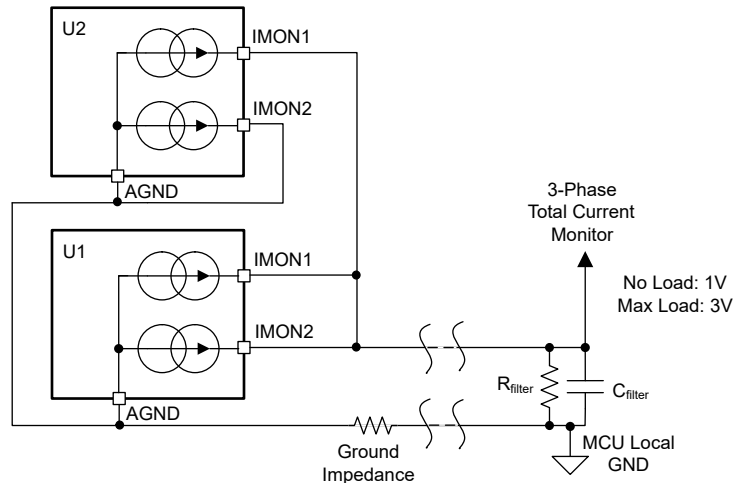


図 6-11. 3 相合計インダクタ電流監視の例

6.3.8 サイクル単位のピーク電流制限 (IPK)

IPK ピンの電圧により、サイクル単位の電流制限スレッショルドをプログラムします。スレッショルドは CH-1 と CH-2 の両方に適用されます。両方の位相の電流センス信号をリアルタイムで監視します。電流センス電圧がプログラムされたスレッショルドに達すると、コントローラはメイン スwitch のデューティ サイクルを終了し、ピーク電流がスレッショルドを超えるのを防止します。この機能は各スイッチング サイクルで実行されます。動作時に 9 つのピーク電流制限スイッチング サイクルが発生したとき、デバイス レジスタのフォルトが発生し、4 つの非ピーク電流制限サイクルが発生すると自動的に再開されます。

インダクタのピーク電流制限スレッショルドを I_{PK} に設定するため、IPK ピン電圧は以下のように計算されます。

$$V_{IPK} = \frac{I_{PK} \times R_{CS}}{50\text{mV/V}} \quad (9)$$

全負荷時のインダクタのピーク電流より大きく、インダクタの飽和電流よりも低い I_{PK} を選択します。

図 6-12 に示されているように、VREF からの抵抗デバイダで V_{IPK} をプログラムします。 V_{IPK} は以下のように計算されます。

$$V_{IPK} = \frac{R_{IPKB}}{R_{IPKT} + R_{IPKB}} \times 3.5V \quad (10)$$

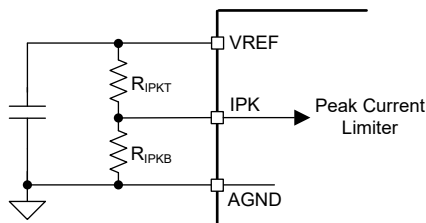


図 6-12. サイクル単位のピーク電流制限プログラミング

全体的な VREF 消費電流を低く維持するため、抵抗が VREF ピンから 0.1mA を超えないように R_{IPKT} および R_{IPKB} を選択することを推奨します。

IPK ピンの電圧は 3V 未満に維持する必要があることに注意してください。 R_{IPKB} 開放、 R_{IPKT} 短絡、またはその他の理由により、IPK ピンの電圧が 3.3V を超える場合、内部の監視回路が LM5171-Q1 の両方のコントローラが内部で SS1 および SS2 を Low にプルしてシャットダウンし、LM5171-Q1 が誤ったピーク電流制限スレッショルドで動作するのを防止します。

6.3.9 内部電流ループエラー アンプ

図 6-5 に示されているように、各チャネルは内部電流ループ用に独立した gm アンプを持っています。内部電流ループは基本的に 1 次系です。内部電流ループを安定させるには、タイプ II 補償回路で十分です。この補償は、降圧と昇圧の両方の動作モードに適用されます。詳細については、セクション 8.1 を参照してください。

6.3.10 外部電圧ループエラー アンプ

図 8-6 に示されているように、LM5171-Q1 には 2 つのオペアンプが内蔵されており、外部電圧ループのエラー アンプとして使用するよう設計されています。DIR1 は、どのオペアンプがアクティブになるかを決定します。CH-2 に独立した出力がある場合、2 つの外部オペアンプが必要です。内部電流ループが閉じられると、外部電圧ループも 1 次システムとなり、タイプ II 補償回路を使用して出力電圧ループを安定させます。補償の詳細については、セクション 8.1 セクションを参照してください。

6.3.11 ソフトスタート、ダイオードエミュレーション、強制 PWM 制御 (SS/DEM1 および SS/DEM2)

SS/DEMx はマルチファンクション ピンであり、ISETx ソフトスタートとして機能し、ダイオードエミュレーションモード (DEM) または強制 PWM モード (FPWM) で動作するように各チャネルをプログラムすることもできます。

各チャネルにはリアルタイムのゼロ電流検出器があり、瞬時 V_{CS} を監視します。 V_{CS} がゼロを超えたことが検出されると、LM5171-Q1 は同期整流器のゲートドライバ (同期 FET) をオフにして、負電流を防止します。このようにして負の電流を防止し、軽負荷時の効率が向上します。図 6-13 に、DEM の一般的な波形を示します。

FPWM モードでは、同期 FET は制御 FET と補完的なゲートドライブ信号を持ち、ゼロ交差は無視されます。

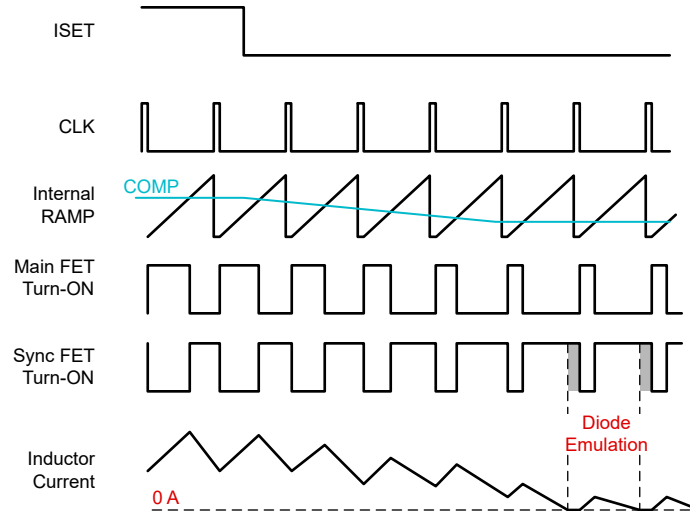


図 6-13. ダイオード エミュレーション モード動作

設計したダイオード エミュレーション性能を実現するために、低ノイズかつ低遅延で電流センス信号が監視されます。電流センス抵抗または検出トレースの寄生インダクタンスにより生じる信号の歪みは、誤ったゼロ交差検出の原因となり、最適ではないダイオード エミュレーション動作が発生し、同期 FET は大電流でオフになります。最適なダイオード エミュレーション動作については、電流センス (R_{CS}) を参照してください。

6.3.11.1 SS/DEM1 ピンによる ISET ソフトスタート制御

ISET1 ソフトスタート時間を設定するため、SS/DEM1 ピンと AGND の間にセラミック コンデンサ C_{SS1} を配置します。EN1 が Low になると、 C_{SS1} が内部プルダウン FET によって放電され、プルダウン FET は SS/DEM1 電圧が 0.3V (SS/DEM1 の放電が完了したことを示すスレッショルド電圧) を下回るまでオンに保持されます。図 6-5 に示されているように、EN1 が High になると、SS プルダウン FET が解放され、 C_{SS1} は 70 μ A 電流源によってゆっくり充電されます。ソフトスタート中は、低速ランプ SS/DEM1 電圧が ISET1 電圧を無効にします。

SS/DEM1 は gm アンプの非反転入力を下のように設定します。

$$V_{ISET_clamp} = 2 \times (V_{SS} - 1V) \quad (11)$$

式のように、SS/DEM1 電圧が 1.5V 未満の場合、gm アンプの非反転入力 1V を下回っており、CH-1 はスイッチしません。

SS/DEM2 にも同様の動作が適用されます。

図 6-14 に示されているように、EN1 が Low の場合、DIR1 が反転した場合 (DIR_OK1=0)、シャットダウンした場合、または OVP がトリガーされた場合、SS/DEM1 は Low にプルされます。OVP は、SS/DEM2 を Low にプルしません。

SS/DEMx ピンは、外部回路によって Low にプルしてスイッチングを停止できます。SS/DEMx ピンがプルダウンされないと、コンバータはスイッチングを再開します。ラッチ シャットダウンを行うには、DT/SD ピンを Low にプルします。

マルチフェーズ並列動作では、SS/DEMx ピンを互いに接続できます。

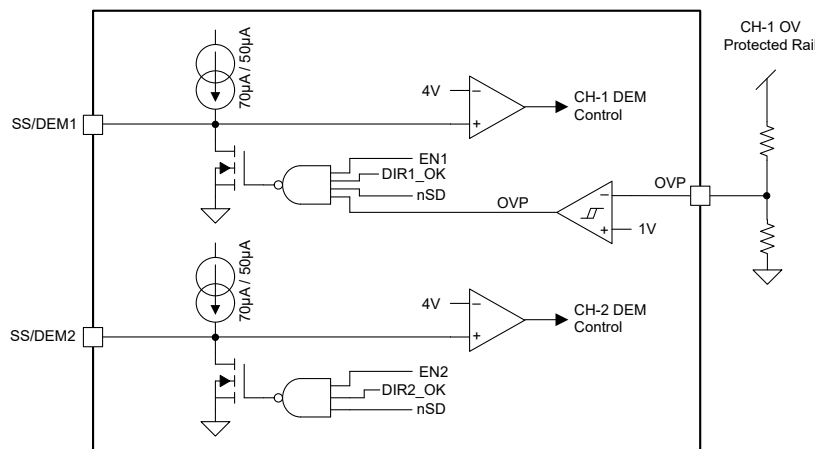


図 6-14. SS/DEMx ピンによるソフトスタート制御

6.3.11.2 DEM のプログラミング

図 6-15 に示されているように、SS/DEMx ピンは内部コンパレータによってリアルタイムで監視されます。SS/DEMx ピンの電圧が 4V 未満の場合、対応するチャンネルは DEM で動作します。SS/DEMx ピンの電圧が 4V を上回ると、対応するチャンネルは FPWM で動作します。

SS/DEMx ピンが 3.6V 未満の場合、内部電流源は 70µA です。SS/DEMx ピンの電圧が 3.6V に達すると、電流源は 50µA に減少します。SS/DEMx から AGND の間に 54.9kΩ ~ 68.1kΩ の抵抗を配置すると、SS/DEMx ピンが 3.6V に設定され、チャンネルは DEM で動作します。

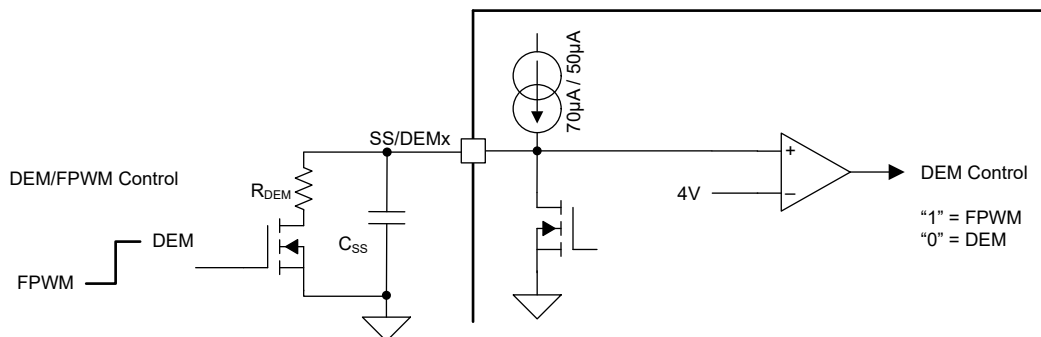


図 6-15. FPWM および DEM の動的変更

6.3.11.3 FPWM プログラミングおよび FPWM と DEM の動的変更

図 6-15 に示されているように、FPWM と DEM の間で動作モードを動的に変更するには、直列 FET を制御して R_{DEM} 抵抗をオン/オフします。FET がオンになると、DEM のチャンネルが設定されます。FET がオフになると、FPWM のチャンネルが設定されます。

128 スイッチング サイクルでは、モードが 1 つのモードから別のモードに徐々に切り替わります。

6.3.12 ゲート ドライブ出力、デッドタイム プログラミング、アダプティブデッドタイム (HO1, HO2, LO1, LO2, DT/SD)

LM5171-Q1 の各チャンネルは堅牢な 5A (ピーク) ハーフブリッジ ドライバを備えており、外部 N チャンネル パワー MOSFET を駆動します。図 6-16 に示されているように、ローサイド駆動は VCC から直接電力を供給され、ハイサイドドライバはブートストラップ コンデンサ C_{BT} によって電力を供給されます。ローサイドドライバのオン時間中、SW ピンは PGND にプルダウンされ、C_{BT} はブートダイオード D_{BT} を介して VCC から充電されます。TI は、C_{BT} には 0.1µF 以上のセラミック コンデンサ、D_{BT} には 1A および 100V 定格の超高速ダイオードを選択することを推奨します。TI はまた、サ

ージ充電電流を制限し、ハイサイドドライバのノイズ耐性を向上させるため、 D_{BT} と直列に $2\Omega \sim 5\Omega$ の抵抗 (R_{BT}) を追加することを強く推奨します。

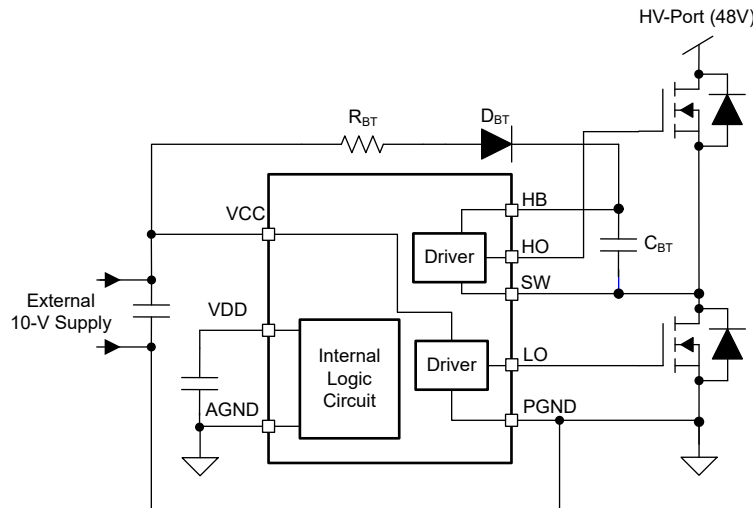


図 6-16. ハイサイド バイアス電源用のブートストラップ回路 (1 つのチャネルのみを表示)

降圧モードでのスタートアップ時、 C_{BT} は最初に充電されません。LM5171-Q1 は、ハイサイドドライバ出力 (HO1 および HO2) をオフに保持し、100ns 幅の LO パルスを連続したサイクルで送信して、 C_{BT} をプリチャージします。ブート電圧がブート UV スレッショルドの 6.5V より高い場合、ハイサイドドライバは通常のスイッチング動作で HO1 および HO2 ピンに PWM 信号を出力します。ブート電圧が立ち下がりエッジでブート UV スレッショルド電圧よりも低くなると、対応する HO 出力は、ブート電圧が回復して通常の HO スwitching パルスとなるまで Low にプルされます。通常の降圧モード動作中、 C_{BT} 電圧が 6.5V のブート UV スレッショルドを下回ると、ブート電圧が UV スレッショルドを上回るまで、通常のスイッチングを中断して、同じプリチャージ機能が開始されます。プリチャージ機能は、不適切なゲート電圧によって、パワー MOSFET がリニア モードに移行することを防止するのに役立ちます。経年劣化により、MOSFET のゲート スレッショルド電圧が 6V まで上昇する可能性があることに注意してください。

昇圧モードでのスタートアップおよび通常動作中、 C_{BT} はローサイド MOSFET の通常ターンオンによって自然に充電されるため、LO ピンにはこのような 100ns のプリチャージパルスは発生しません。

同じハーフブリッジレグのハイサイドパワー MOSFET とローサイドパワー MOSFET の間の貫通電流を防止するため、DT ピンではプログラマブルデッドタイムまたは内蔵アダプティブデッドタイムの 2 種類のデッドタイム方式を選択します。

図 6-17 に示されているように、デッドタイムを設定するには、DT/SD ピンと AGND ピンとの間に抵抗 R_{DT} を配置します。

図 6-18 に示されているように、デッドタイム t_{DT} は式 12 で決定されます。

$$t_{DT} = R_{DT} \times 2.625 \frac{\text{ns}}{\text{k}\Omega} \quad (12)$$

この式は、15ns ~ 200ns の範囲で t_{DT} を設定する場合に有効であることを注意してください。パワー MOSFET をゲートドライブに接続すると、そのゲート入力容量 C_{ISS} がゲートドライブ出力の負荷になり、HO と LO のスルーレートが低下するため、ハイサイド MOSFET とローサイド MOSFET の間の実効 t_{DT} が減少します。実効 t_{DT} を評価し、ハイサイド MOSFET とローサイド MOSFET の間の貫通電流を防止するのに十分であることを確認します。

図 6-19 に示されているように、DT のプログラマビリティを使用しない場合は、単純に DT/SD ピンを VDD に接続するだけで、内蔵アダプティブデッドタイムをアクティブにできます。図 6-19 および 図 6-20 に示されているように、アダプティブデッドタイムは、同じハーフブリッジスイッチレグの他のドライバ (LO または HO) によって、ドライバの出力 (HO または LO のいずれか) をリアルタイムで監視することで実装されます。ドライバの出力電圧が 1.5V を下回ると、他のドライバ

はターンオンを開始します。直列ゲート抵抗を使用している場合、またはレイアウト設計が不十分なためにゲートドライブの PCB パターンのインピーダンスが過剰になっている場合、アダプティブ デッドタイムの有効性は大幅に低下します。

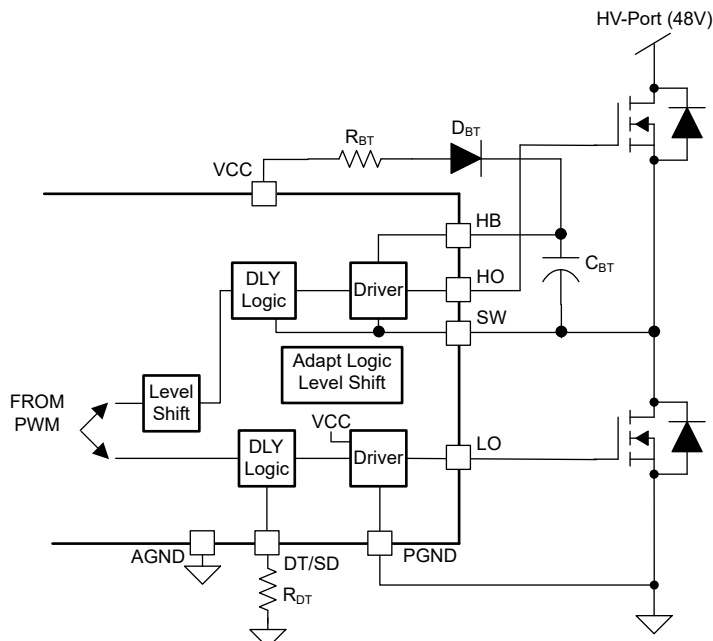


図 6-17. DT ピンによるデッドタイム プログラミング (1 つのチャンネルのみを表示)

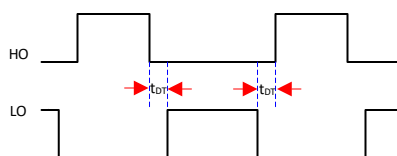


図 6-18. ゲート ドライブ デッドタイム (1 つのチャンネルのみを表示)

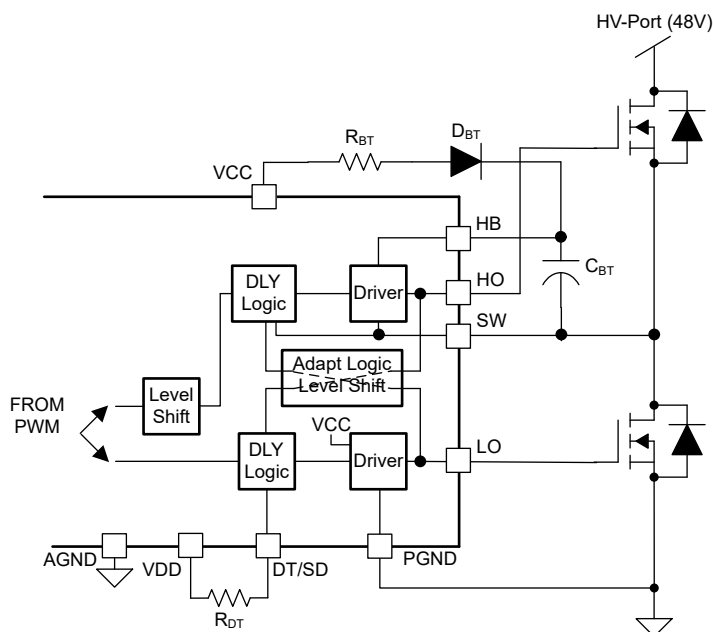


図 6-19. 外部プログラミングなしのデッドタイム (1 つのチャンネルのみを表示)

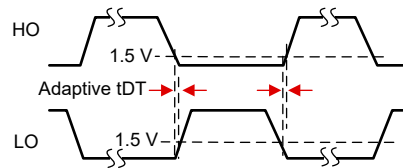


図 6-20. アダプティブ デッドタイム (1 つのチャネルのみを表示)

6.3.13 緊急ラッチ シャットダウン (DT/SD)

DT/SD ピンは、緊急ラッチ シャットダウン ピンとしても機能します。動作中、内部回路によって DT/SD ピンが監視されます。このピンは通常 1.2V でレギュレートされ、ソース電流制限は 300 μ A です。2.5 μ s よりも長い間ピンが外部で 0.5V 未満にプルダウンされると、LM5171-Q1 はシャットダウンし、ラッチ解除するために UVLO が 1.25V 未満になるまで状態がラッチされます。図 6-21 に、緊急ラッチ シャットダウン機能の実装例を示します

LM5171-Q1 がアダプティブ デッドタイム方式に設定されている場合は、DT/SD ピンを VDD にプルアップする必要があります。この場合に緊急ラッチ シャットダウン制御を実装するために、VDD ピンと DT/SD ピンの間に 20k Ω 制限抵抗を配置します (図 6-22 を参照)。

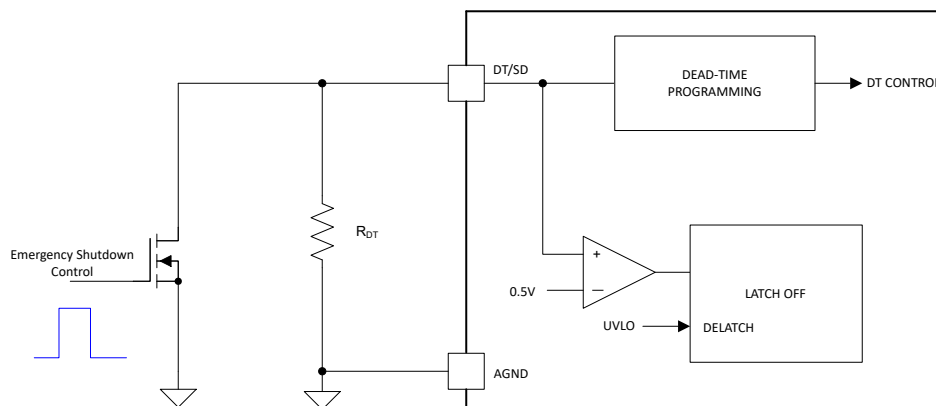


図 6-21. 緊急ラッチ シャットダウン

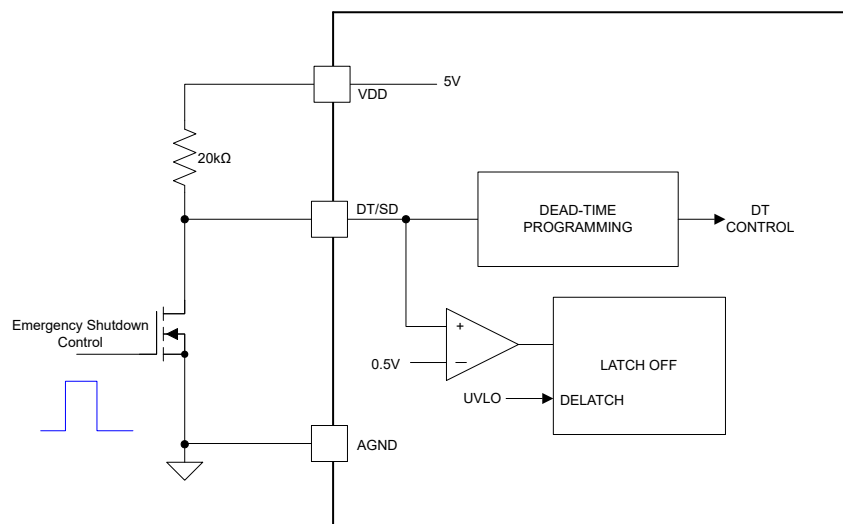


図 6-22. アダプティブ デッドタイム方式による緊急ラッチ シャットダウン

6.3.14 PWM コンパレータ

LM5171-Q1 の各チャネルには、高速コンパレータを採用したパルス幅変調器 (PWM) が搭載されています。この変調器は、内部ランプ信号と COMP ピン信号を比較して、PWM デューティ サイクルを生成します。図 6-5 に示されているように、COMP 信号は 1V の DC オフセットを通過してから、PWM コンパレータに印加されることに注意してください。この DC オフセットにより、COMP ピンまたは SS ピンが 1V より低くプルされると、デューティ サイクルは 0 に減少します。最大デューティ サイクルは標準最小オフ時間 100ns で制限され、最悪の場合の最大制限は 150ns です。プログラムされたデッドタイムにより、これが最小オフ時間に追加されるため、最大デューティ サイクルが低減されることに注意してください。したがって、降圧モードと昇圧モードの両方の最大デューティ サイクルは以下によって決まります。

$$D_{MAX} = 1 - (150ns + t_{DT}) \times F_{SW} \quad (13)$$

ここで

- t_{DT} は、式 12 によって求められるデッドタイムかアダプティブ デッドタイムのいずれかです (いずれか該当する方)。

この最大デューティ サイクルにより、降圧モード動作時の最小電圧の降圧比と、昇圧モード動作での最大昇圧比が制限されます。

6.3.15 発振器 (OSC)

図 6-23 に示されているように、LM5171-Q1 発振器の周波数は、OSC ピンと AGND の間に接続された外部抵抗 R_{OSC} によって設定されます。外部クロックが存在するかどうかにかかわらず、OSC ピンの接続を維持します。目的の発振器周波数 F_{OSC} を設定するには、式 14 で R_{OSC} のおおよその値を決定できます。

$$R_{OSC} = \frac{41.5k\Omega \times 100 \text{ kHz}}{F_{OSC}} \quad (14)$$

R_{OSC} を OSC ピンと AGND ピンのできるだけ近くに配置します。最悪の場合の動作周波数を決定する際は、外部抵抗の許容誤差と、「電気的特性」に記載されている周波数の許容誤差を考慮してください。

LM5171-Q1 には、マルチフェーズ インターリーブの位相角、および SYNCI ピンに印加される外部クロックへの同期を管理するためのフェーズ ロック ループ (PLL) 回路も搭載されています。外部クロックが存在しない場合、コンバータは式 14 で求められる発振器の周波数で動作します。 F_{SW} の $\pm 20\%$ 以内の周波数の外部クロック信号が印加された場合 (セクション 6.3.16 を参照)、コンバータは外部クロック F_{EX_CLK} の周波数でスイッチングします。すなわち、式 15 のようになります。

$$F_{SW} = \begin{cases} F_{OSC} & (\text{in Standalone}) \\ F_{EX_CLK} & (\text{in Synchronization}) \end{cases} \quad (15)$$

CH-1 および CH-2 のインターリーブ動作をそれぞれ制御するために、2 つの内部クロック信号 CLK1 および CLK2 が生成されます。3 番目のクロック信号は SYNCO ピンに出力されます。これら 3 つのクロック信号はすべて、 F_{SW} の同じ周波数で動作します。これら 3 つのクロック信号間の位相角は、OPT ピンの状態によって制御されます。詳細については、セクション 6.3.18 を参照してください。

6.3.18 マルチフェーズ構成 (SYNCO, OPT)

マルチフェーズ構成を行うには、さまざまなオプションがあります。

6.3.18.1 スター構成のマルチフェーズ

各 LM5171-Q1 は外部クロックに同期します。各クロック信号は、適切なマルチフェーズ インターリーブ動作に適した位相遅延を備えています。各 LM5171-Q1 の 2 相間のインターリーブ角度は、OPT ピンによって 180° または 240° にプログラムされます。SYNCO と SYNCOUT は互いに 90° 位相シフトされます。より高い段位相 (8 以上) の場合、ホスト MCU を使用して、各 8 相ブロック設定の SYNCIN パルスを生成します。表 6-3 に、マルチフェーズ構成における外部クロックの設定と OPT ピンの状態を示します。

表 6-3. 個別の外部クロックによるマルチフェーズ多相構成

位相数	マルチフェーズ インターリーブの外部クロック間の位相シフト	OPT ロジック状態 ⁽¹⁾	CH-2 位相遅れ VS CH-1	必要な LM5171 コントローラの数	必要な外部クロックの数
2	180°	1	180°	1	1 または 0
3	120°	0	240°	2	2
4	90°	1	180°	2	2
6	60° または 120°	1	180°	3	3
8	45°	1	180°	4	2

(1) OPT 状態 = 0 (ピンが AGND に接続されているとき)、1 (ピンの電圧が VDD のとき)。

6.3.18.2 2 相、3 相、または 4 相の並列動作に対するデジチェーン構成

デジチェーン接続は、外部クロックを使用せずに 1 相、2 相、3 相、4 相のいずれかを実現するために使用されます。表 6-4 に、デジチェーン マルチフェーズ構成の OPT 設定を示します。図 6-25 に、3 相と 4 相の交換可能な動作のデジチェーン接続の例を示します。

表 6-4. デジチェーン コントローラ内蔵のマルチフェーズ構成 - レスポンダ構成

位相数	OPT ロジック状態 ⁽¹⁾	CH-2 位相遅れ VS CH-1	SYNCOUT 位相遅れ VS CH-1	必要な LM5171 コントローラの数	必要な外部クロックの数
2	1	180°	90°	1	0 または 1
3	0	240°	120°	2	0 または 1
4	1	180°	90°	2	0 または 1

(1) OPT 状態 = 0 (ピンが AGND に接続されているとき)、1 (ピンの電圧が VDD のとき)。

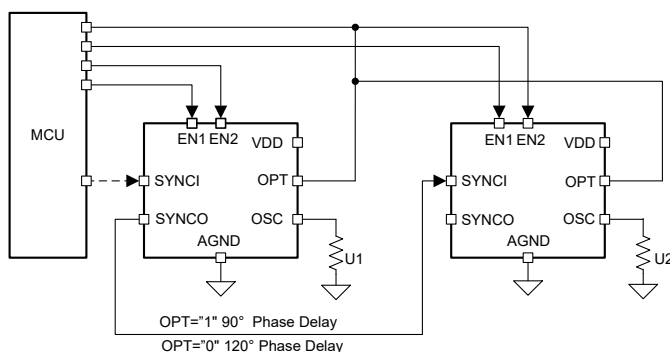


図 6-25. 3 相または 4 相の交換可能な構成

6.3.18.3 6 相または 8 相の並列動作のデジチェーン構成

6 相を構成するには、図 6-26 に示されているようなデジチェーンが必要です。また、8 相を構成するには、図 6-27 に示されているようなデジチェーンが必要です。

適切なインターリーブ動作を実現するには、位相シフトされた 2 つの外部クロック信号が必要であることに注意してください

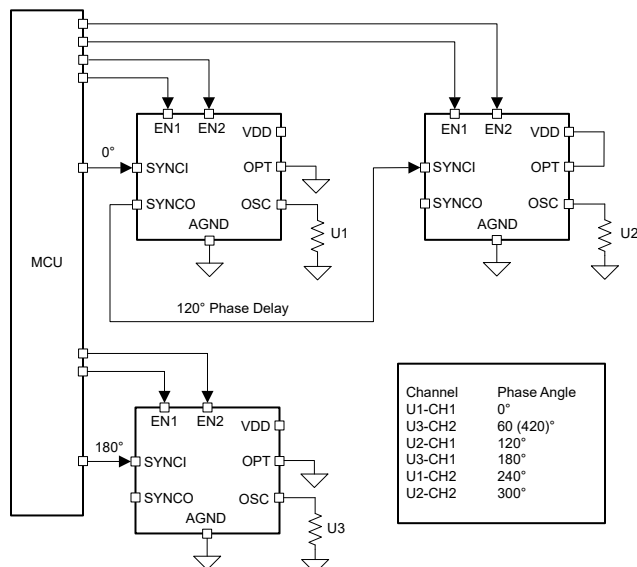


図 6-26. 外部クロック シフトを使用した 6 相 60°インターリーブ構成

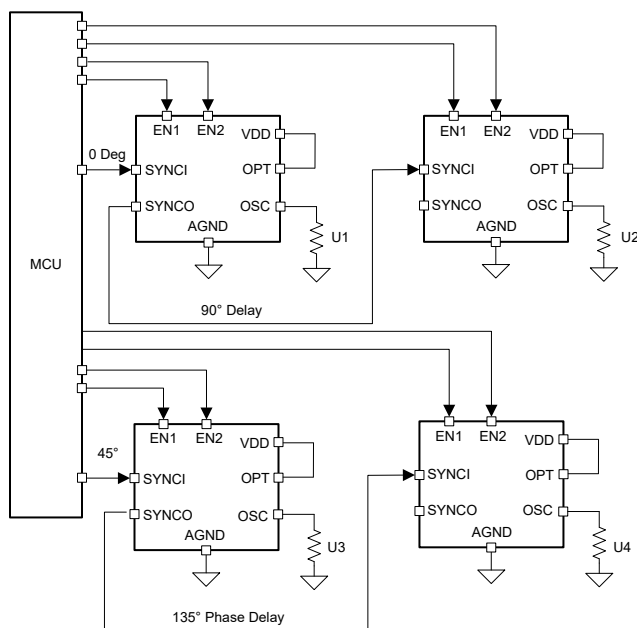


図 6-27. 外部クロック シフトを使用した 8 相 45°インターリーブ構成

図 6-28 に示されているように、外部クロック信号が利用できない場合、6 相は 120°インターリーブで構成されます。

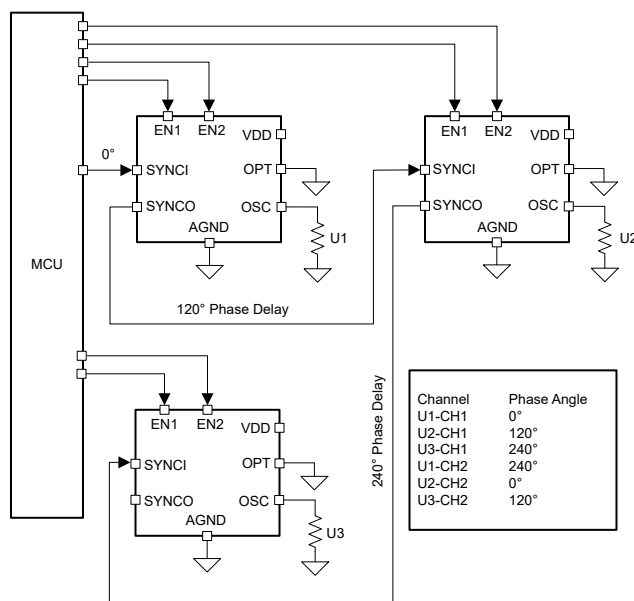


図 6-28. 内部クロック シフトを使用した 6 相 120°インターリーブ構成

6.3.19 サーマル シャットダウン

接合部温度が標準値 175°C を超えた場合にデバイスを保護するため、内部サーマル シャットダウンが提供されています。サーマル シャットダウン中は、デバイスは強制的に低消費電力状態になり、MOSFET ドライバが無効化され、SS/DEM1 および SS/DEM2 ピンが内部的にプルダウンされて Low に保持されます。接合部温度が低下すると (標準のヒステリシスは 15°C)、デバイスはサーマル シャットダウン モードから脱し、SS/DEM1 と SS/DEM2 プルダウンを解放することで、ソフトスタートにより再起動します。

6.4 デバイスの機能モード

6.4.1 初期化モード

UVLO ピンが 1.5V 超 2.5V 未満で、DT/SD > 0.5V の場合、LM5171-Q1 は適切な内部ロジック状態を確立し、LDODRV がオンになって外部 MOSFET を制御して VCC を生成します。また、LM5171-Q1 は回路動作準備を行います。VCC 電圧が 8.5V を超えると、VDD と VREF もそれぞれ約 5.0V と 3.5V に設定されます。

6.4.2 スタンバイ モード

UVLO ピンが 2.5V を超え、VCC > 8.5V、VDD > 4.5V、および DT/SD > 0.5V の場合に、LM5171-Q1 は動作可能です。発振器が起動し、SYNCO が位相シフトされたクロック信号を起動しますが、EN1 または EN2 が電力供給モードを開始するまで、4 つのゲートドライブ出力はオフに維持されます。

6.4.3 電力供給モード

UVLO ピンが 2.5V を超え、VCC > 8.5V、VDD > 4.5V、DT/SD > 0.5V、EN1 または EN2 > 2V の場合、DIR1 および/または DIR2 が有効 (>2V または < 1V) になり、SS コンデンサが充電されます。SS 電圧が 1.5V を超えると、LM5171-Q1 はスイッチングを開始します。

6.4.4 シャットダウンモード

UVLO ピンが 1.25V 未満の場合、LM5171-Q1 はシャットダウン モードになり、すべてのゲートドライバが Low 状態になり、すべての内部ロジックはリセットされます。UVLO が 1.25V 未満の場合、デバイスは HV1、HV2、VCC ピンそれぞれに 10μA 未満を消費します。

6.4.5 ラッチ シャットダウン モード

DT/SD ピンを Low にすると、LM5171-Q1 はラッチ シャットダウン モードに設定されます。ラッチ シャットダウン モードでは、すべてのゲートドライバが Low 状態を維持し、SS/DEM1 ピンと SS/DEM2 ピンの両方が Low に保持されます。少なくとも 10μs で、UVLO を 1.25V 未満にプルして、ラッチをリセットします。

7 レジスタ

7.1 I²C シリアル インターフェイス

LM5171-Q1 では、UVLO ピンが 1.5V を超え、構成が完了したときに I²C 通信が利用可能です。VDD ピンの電圧が 4.5V を下回ると、VDDUV は通信を無効化しますが、2.5V (低スレッショルド) を上回っている間は、VDD が VDDUV から外れたときに I²C 通信に移行するために再構成する必要はありません。

7.2 I²C バス動作

I²C バスは、コントローラと一連のペリフェラル デバイス間の通信リンクです。このリンクは、シリアル クロック信号 (SCL) とシリアル データ信号 (SDA) で構成される 2 線式バスを使用して確立されます。コントローラとペリフェラル端子との間のデータ通信で、シリアル データラインが双方向である場合、どの場合でも、シリアル クロックにはコントローラから電源が供給されます。各デバイスは、シリアル データライン (SDA) 上でデータを送信するためのオープンドレイン出力を備えています。データ送信中にドレイン出力を High にするには、シリアル データラインに外部プルアップ抵抗を配置します。このデバイスは、ペリフェラル I²C インターフェイスをホストします。標準モード、ファーストモード、ファーストモード プラス動作をサポートし、それぞれ最大 100kbit/s、400kbit/s、1000kbit/s のデータレートで、I²C 標準 3.0 互換性のある自動インクリメントアドレッシング機能を備えています。

下図に示されているように、データ送信はコントローラのスタートビットを使用して開始されます。START 条件は、SCL 信号の high 部分で SDA ラインが high から low に遷移するとき認識されます。スタートビットを受信すると、デバイスは SDA 入力でシリアル データを受信し、有効なアドレスおよび制御情報をチェックします。ペリフェラル アドレス ビットがデバイスのために設定されている場合、デバイスはアクノリッジパルスを発行し、レジスタアドレスとデータの受信を準備します。データ送信は、停止条件の受信またはデバイスに送信されるデータワードの受信によって完了します。停止条件は、SCL 信号の high の間に SDA 入力が low から high に遷移することと認識されます。SDA ラインのそれ以外のすべての遷移は、SCL 信号の Low 部分の間に発生する必要があります。有効なアドレス、サブアドレス、データワードを受信した後、アクノリッジが発行されます。I²C インターフェイスは、レジスタアドレスを自動シーケンス処理するため、特定の I²C 転送について複数のデータワードを送信できます。

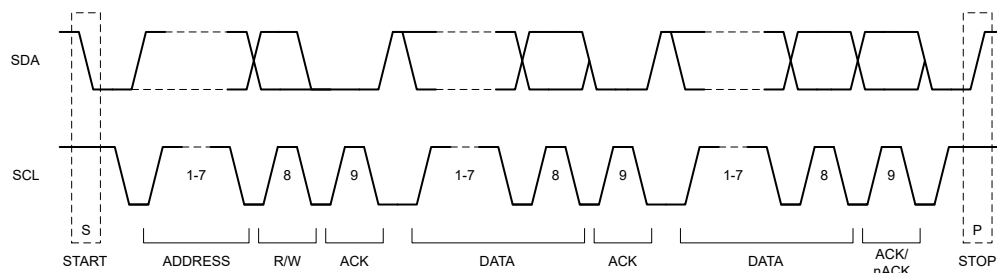


図 7-1. I²C スタート/ストップ/アクノリッジのプロトコル

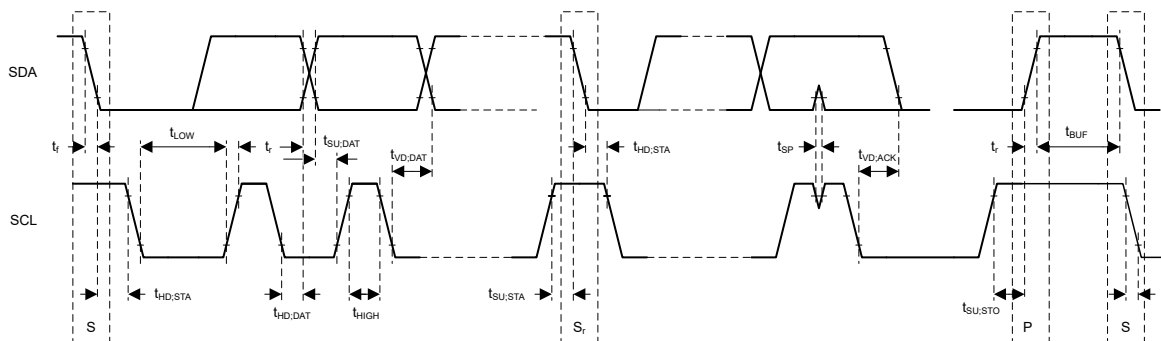


図 7-2. I²C データ送信タイミング

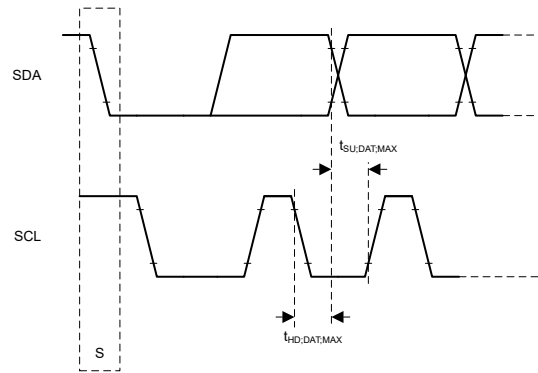


図 7-3. 最大の立ち上がり/立ち下がり時間の I²C データ送信タイミング。

7.3 クロック ストレッチ

クロック ストレッチはサポートされていません。デバイスがビジーのときにアドレス指定され、受信したデータを処理できない場合、デバイスはそのトランザクションをアックノリッジしません。

7.4 データ転送フォーマット

このデバイスは、4 種類の読み取り/書き込み動作をサポートしています。

- 定義されたレジスタ アドレスからの 単一読み取り。
- 定義されたレジスタ アドレスからの 単一書き込み。
- 定義されたレジスタ アドレスから開始されるシーケンシャル読み出し
- 定義されたレジスタ アドレスから開始されるシーケンシャル書き込み

7.5 定義されたレジスタ アドレスからの単一読み取り

図 7-4 に、定義されたレジスタ アドレスから単一読み取りのフォーマットを示します。まず、コントローラは始動条件を発行してから、7 ビットの I²C アドレスを送信します。次に、コントローラは書き込み操作が実行されたことを示すために 0 を書き込みます。コントローラは、ペリフェラルからアックノリッジを受信すると、バス全体に 8 ビットのレジスタ アドレスを送信します。2 回目のアックノリッジ後、デバイスは内部 I²C レジスタ番号を定義された値に設定します。次に、コントローラは繰り返し開始条件と 7 ビットの I²C アドレスを発行し、その後に読み取り操作が実行されたことを示す 1 を発行します。3 回目のアックノリッジを受信すると、コントローラはバスをデバイスに解放します。その後、デバイスはバス上のレジスタから 8 ビットのデータ値を返します。コントローラはアックノリッジ (nACK) を返さず、停止条件を発行します。これにより、レジスタ読み出しは終了です。

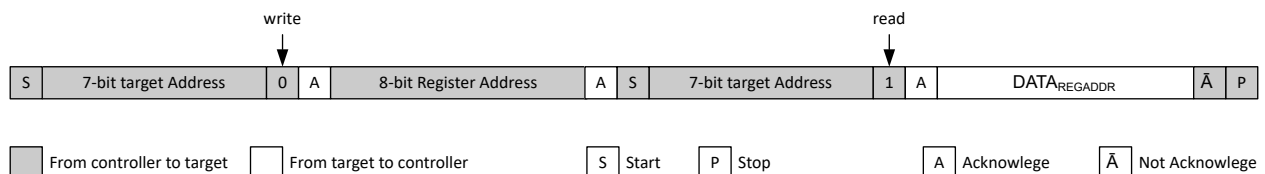


図 7-4. 定義されたレジスタ アドレスからの単一読み取り

7.6 定義されたレジスタ アドレスから開始されるシーケンシャル READ

図 7-5 に示されているように、シーケンシャル読み取り動作は、単一読み取りプロトコルを拡張したものです。コントローラはデータ バイトを受信したことをアックノリッジし、デバイスはレジスタ アドレスを自動的にインクリメントして、次のレジスタか

らデータを返します。データ転送は、最後のデータ バイトをアクノリッジせず、停止条件を送信することによって停止します。

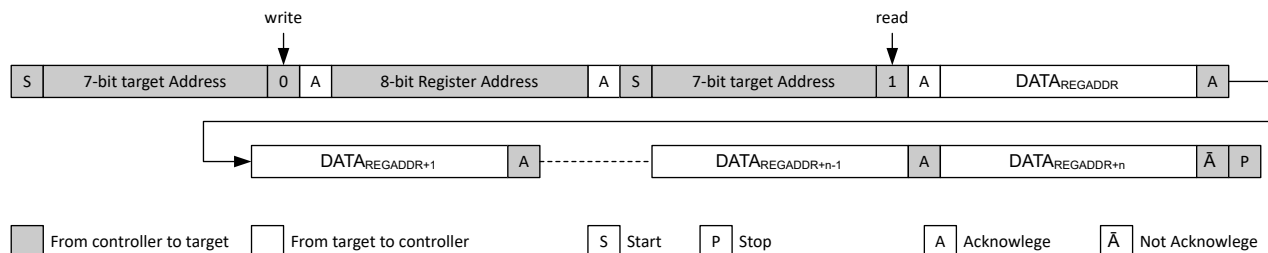


図 7-5. 定義されたレジスタ アドレスから開始されるシーケンシャル READ

7.7 定義されたレジスタ アドレスへの 単一書き込み

図 7-6 に、定義されたレジスタ アドレスへの 単一書き込みの形式を示します。まず、コントローラは始動条件を発行してから、7 ビットの I^2C アドレスを送信します。次に、コントローラは書き込み操作を実行することを示すために 0 を書き込みます。コントローラは、ペリフェラルからアクノリッジを受信すると、バス全体に 8 ビットのレジスタ アドレスを送信します。2 回目のアクノリッジ後、デバイスは I^2C レジスタ アドレスを定義された値に設定し、コントローラが 8 ビットのデータ値を書き込みます。3 回目のアクノリッジを受信すると、デバイスは I^2C レジスタ アドレスを 1 ずつ自動インクリメントし、コントローラは停止条件を発行します。これにより、レジスタ書き込みは終了です。

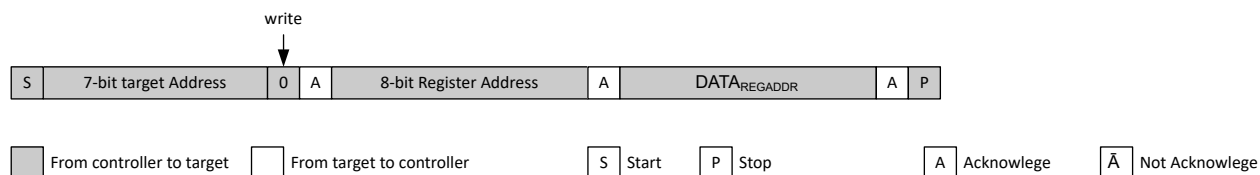


図 7-6. 定義されたレジスタ アドレスへの単一書き込み

7.8 定義されたレジスタ アドレスから開始されるシーケンシャル WRITE

シーケンシャル書き込み動作は、図 7-7 に示すように、単一書き込みプロトコルを拡張したものです。デバイスが ACK を発行した後にコントローラが停止条件を送信しない場合、デバイスはレジスタ アドレスを 1 ずつ自動的にインクリメントし、コントローラは次のレジスタに書き込みます。

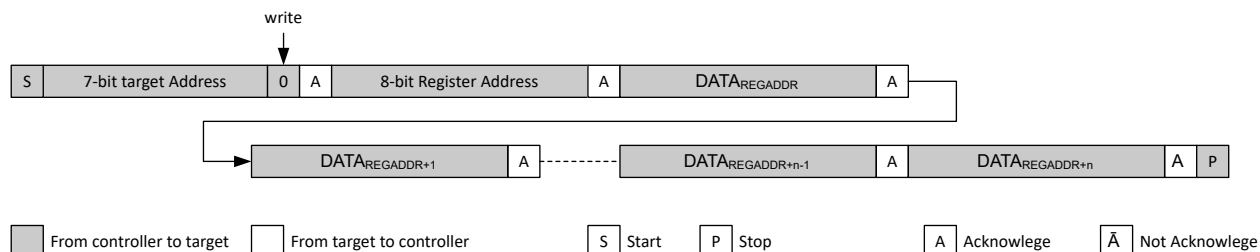


図 7-7. 定義されたレジスタ アドレスから開始されるシーケンシャル WRITE

7.9 REGFIELD レジスタ

表 7-1 に、REGFIELD レジスタのメモリ マップト レジスタを示します。表 7-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-1. REGFIELD レジスタ

アドレス	略称	レジスタ名	セクション
3h	CLEAR_FAULTS	CLEAR_FAULTS	セクション 7.9.1
78h	FAULT_STATUS	FAULT_STATUS	セクション 7.9.2
D0h	DEVICE_STATUS_1	DEVICE_STATUS_1	セクション 7.9.3
D1h	DEVICE_STATUS_2	DEVICE_STATUS_2	セクション 7.9.4

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-2. REGFIELD アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.9.1 CLEAR_FAULTS レジスタ (アドレス = 3h) [リセット = 00h]

CLEAR_FAULTS を [表 7-3](#) に示します。

[概略表](#)に戻ります。

0x78 レジスタのすべてのラッチ ステータス フラグをクリアします

表 7-3. CLEAR_FAULTS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CLEAR_FAULTS	R/W	0h	アドレスにアクセスするだけで、障害をクリアできます

7.9.2 FAULT_STATUS レジスタ (アドレス = 78h) [リセット = 00h]

表 7-4 に、FAULT_STATUS を示します。

[概略表](#)に戻ります。

フォルト ステータス

表 7-4. FAULT_STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	IPK_FAULT	R	0h	IPK フローティング検出 0h = フォルトなし 1h = フォルト
6	VREF_FAULT	R	0h	VREF から VDD への短絡検出 0h = フォルトなし 1h = フォルト
5	BOOTUV1	R	0h	ブート UV (HB-SW 低電圧) チャンネル 1 0h = フォルト 1h = フォルト
4	BOOTUV2	R	0h	ブート UV (HB-SW 低電圧) チャンネル 2 0h = フォルト 1h = フォルト
3	ILIM1	R	0h	電流制限チャンネル 1 0h = フォルトなし 1h = フォルト
2	ILIM2	R	0h	電流制限チャンネル 2 0h = フォルトなし 1h = フォルト
1	OVP	R	0h	過電圧フォルト 0h = フォルトなし 1h = フォルト
0	TSD	R	0h	サーマル シャットダウン フォルト 0h = フォルトなし 1h = フォルト

7.9.3 DEVICE_STATUS_1 レジスタ (アドレス = D0h) [リセット = 00h]

DEVICE_STATUS_1 を表 7-5 に示します。

[概略表](#)に戻ります。

部品のステータスに関する情報ビット

表 7-5. DEVICE_STATUS_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	EN1	R	0h	チャンネル 1 イネーブル ステータス 0h = チャンネル 1 ディスエーブル 1h = チャンネル 1 イネーブル
6	EN2	R	0h	チャンネル 2 イネーブル ステータス 0h = チャンネル 2 ディスエーブル 1h = チャンネル 2 イネーブル
5	DEM1	R	0h	チャンネル 1 DEM ステータス 0h = チャンネル 1 FPWM 1h = チャンネル 1 DEM
4	DEM2	R	0h	チャンネル 2 DEM ステータス 0h = チャンネル 2 FPWM 1h = チャンネル 2 DEM
3	DIR1	R	0h	DIR 1 ステータス 0h = DIR1 Low 1h = DIR1 High
2	DIR2	R	0h	DIR 2 ステータス 0h = DIR2 Low 1h = DIR2 High
1	DIR_INVALID1	R	0h	無効な DIR1 コマンド 0h = 有効な DIR1 コマンド 1h = 無効な DIR1 コマンド
0	DIR_INVALID2	R	0h	無効な DIR2 コマンド 0h = 有効な DIR2 コマンド 1h = 無効な DIR2 コマンド

7.9.4 DEVICE_STATUS_2 レジスタ (アドレス = D1h) [リセット = 00h]

DEVICE_STATUS_2 を表 7-6 に示します。

[概略表](#)に戻ります。

部品のステータスに関する情報ビット

表 7-6. DEVICE_STATUS_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OSC_FAULT	R	0h	OSC 短絡検出 0h = OSC フォルトなし 1h = OSC フォルト
6	UVLO	R	0h	UVLO ステータス 0h = UVLO 以外の状態 1h = UVLO の状態 (UVLO < 2.5V)
5	OPT	R	0h	OPT ピン ステータス 0h = OPT Low 1h = OPT High
4	SS1_DONE	R	0h	SS チャンネル 1 完了ステータス 0h = SS1 未完了 1h = SS1 完了
3	SS2_DONE	R	0h	SS チャンネル 2 完了ステータス 0h = SS2 未完了 1h = SS2 完了
2	SD	R	0h	SD/DT ピン ステータス 0h = 部品は SD 以外 1h = 部品は SD
1	ADAPT_DT	R	0h	アダプティブ デッドタイム ステータス 0h = アダプティブ デッドタイムなし 1h = アダプティブ デッドタイム
0	VCC_UV	R	0h	VCC UV ステータス 0h = VCC は UV ではない 1h = UV は VCC

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

LM5171-Q1 は、デュアル バッテリ システムとバッテリ バックアップ システムに適した双方向 DC/DC コンバータに適しています。LM5171-Q1 はスタックが容易で、位相インターリーブが可能で、複数の相間で平衡型の電流共有を実現しています。

LM5171-Q1 は、2 ループ システムである平均電流モード制御を使用します。LM5171-Q1 は、HV 電圧レギュレーションと LV 電圧レギュレーションを実現するために、2 個のオペアンプを内蔵しています。DIR1 に従って有効になるのは 1 つのオペアンプのみであることに注意してください。独立して動作する場合、CH-2 には外部オペアンプが必要です。内部電流ループと外部電圧ループの間のインターフェイス信号は、基本的に DIR 信号と ISET 信号であり、DIR 信号は電流の方向を制御し、ISET 信号は外部電圧ループの誤差情報を伝送します。

8.1.1 小信号モデル

LM5171-Q1 の内部電流ループと外部電圧ループの小信号モデルについて以下に説明します。より良い洞察のためにいくつかの単純化が行われています。また、ループの補償も紹介します。

ループ補償のために、LM5171-Q1 **設計カリキュレータ**も提供されています。

8.1.1.1 電流ループの小信号モデル

図 8-1 に、降圧モードでの各位相の電流ループのブロック図を示します。 V_{HV} は入力、 V_{LV} は出力です。

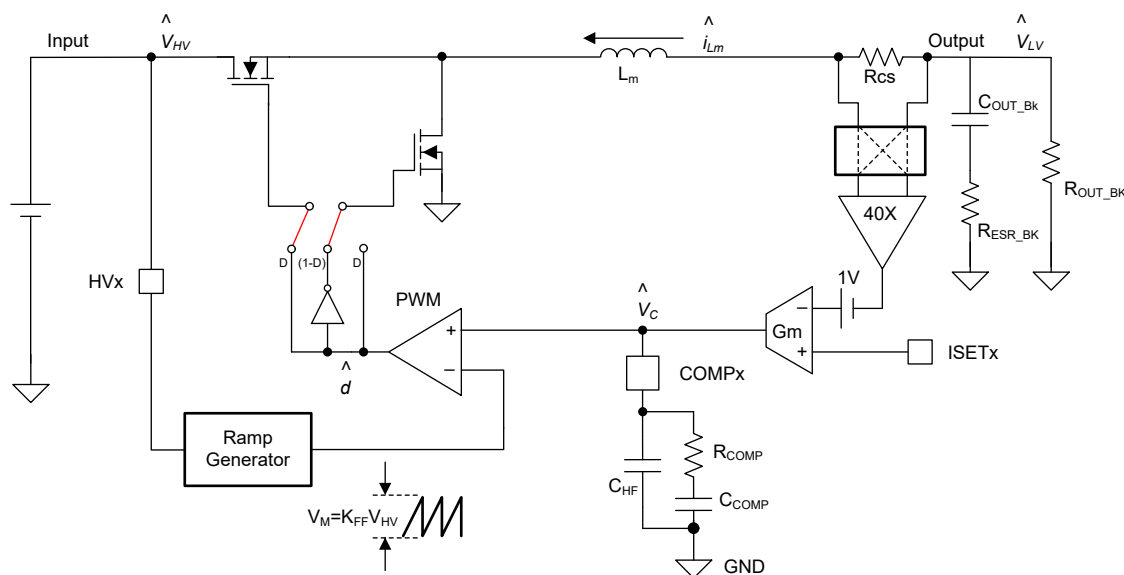


図 8-1. 隆圧ループのブロック図

内部電流ループが最初に設計されます。降圧モードの平均電流モード制御ループは、**図 8-2** のようにモデル化します。

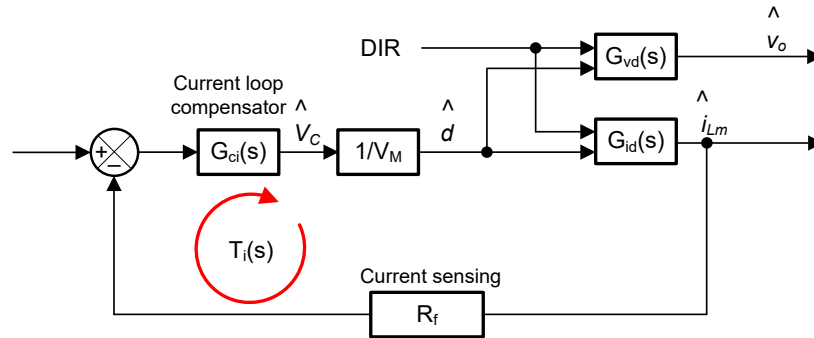


図 8-2. 電流ループのブロック図

降圧モードのデューティ サイクル (d) からチャネル インダクタ電流 (i_{Lm}) までの伝達関数は、以下のように決定されます。

$$G_{id_BK}(s) = \frac{\hat{i}_{Lm}}{\hat{d}} = \frac{V_{HV}}{R_{OUT_BK}} \times \frac{1 + \frac{s}{\omega_{Z_il_BK}}}{1 + \frac{s}{\omega_{0_BK} \times Q_{BK}} + \frac{s^2}{\omega_{0_BK}^2}} \quad (16)$$

ここで、

$$R_{OUT_BK} = \frac{V_{LV}}{n_p \times I_{Lmax}} \quad (17)$$

$$\omega_{Z_il_BK} = \frac{1}{R_{OUT_BK} \times C_{OUT_BK}} \quad (18)$$

$$\omega_{0_BK} = \frac{1}{\sqrt{L_m \times C_{OUT_BK}}} \quad (19)$$

$$Q_{BK} = \frac{1}{\omega_{0_BK}} \times \frac{1}{\frac{L_m}{R_{OUT_BK}} + (R_{ESR_BK} + R_{CS} + R_S) \times C_{OUT_BK}} \quad (20)$$

- L_m は、パワーインダクタです。
- R_{CS} は電流センス抵抗です。
- R_S は電流パスに沿った等価合計抵抗です (R_{CS} を除く)。
- C_{OUT_BK} は降圧モードでの合計出力キャパシタンスです。
- R_{ESR_BK} は合計出力コンデンサ等価直列抵抗 (ESR) です。

図 8-3 に、昇圧モードでの電流ループのブロック図を示します。 V_{LV} は入力、 V_{HV} は出力です。

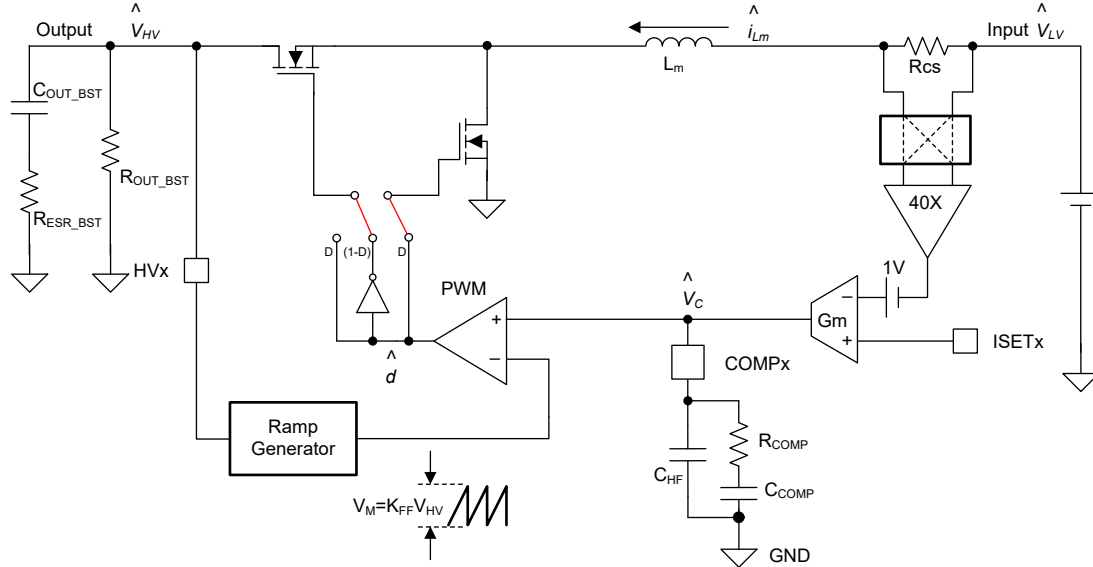


図 8-3. 昇圧ループのブロック図

図 8-2 に示されているように、昇圧モードの平均電流モード制御ループは降圧と同じです。しかし、昇圧電力段の伝達関数 $G_{id}(s)$ および $G_{vd}(s)$ は降圧電力段の伝達関数とは異なります。

昇圧モードのデューティ サイクル (d) からチャネル インダクタ電流 (i_{Lm}) までの伝達関数は、以下のように決定されます。

$$G_{id_BST}(s) = \frac{\hat{i}_{Lm}}{\hat{d}} = \frac{2 \times V_{LV}}{D'^3 \times R_{OUT_BST}} \times \frac{1 + \frac{s}{\omega_{Z_il_BST}}}{1 + \frac{s}{\omega_{0_BST} \times Q_{BST}} + \frac{s^2}{\omega_{0_BST}^2}} \quad (21)$$

ここで、

$$D' = \frac{V_{LV}}{V_{HV}} \quad (22)$$

$$R_{OUT_BST} = \frac{V_{HV}^2}{V_{LV} \times I_{Lmax}} \quad (23)$$

$$\omega_{Z_il_BST} = \frac{2}{R_{OUT_BST} \times C_{OUT_BST}} \quad (24)$$

$$\omega_{0_BST} = \frac{D'}{\sqrt{L_m \times C_{OUT_BST}}} \quad (25)$$

$$Q_{BST} = \frac{D'}{\omega_{0_BST}} \times \frac{1}{\frac{L_m}{D' \times R_{OUT_BST}} + \frac{(R_{CS} + R_S) \times C_{OUT_BST}}{D'} + R_{ESR_BST} \times C_{OUT_BST}} \quad (26)$$

- C_{OUT_BST} は昇圧モードにおける各位相の合計出力キャパシタンスです。
- R_{ESR_BST} は昇圧モードにおける各位相の合計出力コンデンサ等価直列抵抗 (ESR) です。

スイッチング周波数の $1/6$ の周波数で電流ループのクロスオーバーを選択すると、 $G_{id_BK}(s)$ が簡略化されます。分子については、 $s \times R_{OUT_BK} \times C_{OUT_BK}$ が支配的な要素になります。分母については、 $s^2/\omega_{0_BK}^2$ が支配的な要素になります。式 16 は以下のように簡略化されます。

$$G_{id_BK}(s) = \frac{V_{HV}}{R_{OUT_BK}} \times \frac{1 + \frac{s}{\omega_{Z_il_BK}}}{\frac{s^2}{\omega_{0_BK}^2}} = \frac{V_{HV}}{s \times L_m} \quad (27)$$

同様に、式 21 も以下のように簡略化されます。

$$G_{id_BST}(s) = \frac{2 \times V_{LV}}{D^3 \times R_{OUT_BST}} \times \frac{\frac{s}{\omega_{Z_il_BST}}}{\frac{s^2}{\omega_{0_BST}^2}} = \frac{V_{HV}}{s \times L_m} \quad (28)$$

式 27 および 式 28 のように、同じデューティ サイクル (d) からチャネル インダクタ電流 (i_{Lm}) への伝達関数が、降圧モードと昇圧モードの両方で共有されます。

$$G_{id}(s) = \frac{V_{HV}}{s \times L_m} \quad (29)$$

そのため、降圧電流ループと昇圧電流ループの補償器も共有されます。

8.1.1.2 電流ループ補償

式 29 は電源プラントが基本的に一次システムであることを示します。図 8-1 に示されているように、タイプ II 補償器は降圧モードと昇圧モードの両方の動作でループを安定させるのに十分です。

gm アンプの出力インピーダンスが R_{GM} であると仮定すると、電流ループ補償ゲインは以下で決定されます。

$$G_{ci}(s) = G_m \times [R_{GM} \| Z_{comp}(s)] \quad (30)$$

ここで、

- A_{CS} は電流センス アンプのゲインで、40 です。
- G_m は エラー アンプのトランスコンダクタンスで、 $100\mu A/V$ です。
- $Z_{COMP}(s)$ は、COMP ピンで観測される補償回路の等価インピーダンスです (図 8-1 を参照)

$$Z_{COMP}(s) = \frac{1}{C_{HF} + C_{COMP}} \times \frac{1 + s \times R_{COMP} \times C_{COMP}}{s \times \left(1 + s \times R_{COMP} \times \frac{C_{HF} \times C_{COMP}}{C_{HF} + C_{COMP}}\right)} \quad (31)$$

$C_{HF} \ll C_{COMP}$ を考慮して、式 31 は簡略化されます。

$$Z_{COMP}(s) = \frac{1}{C_{COMP}} \times \frac{1 + s \times R_{COMP} \times C_{COMP}}{s \times (1 + s \times R_{COMP} \times C_{HF})} \quad (32)$$

R_{GM} は $5\text{Meg}\Omega$ より高く、通常はループ補償の周波数範囲が数 kHz を超えるため、対象の周波数範囲のループ ゲインに対する R_{GM} の影響は無視できます。そのため、式 32 を式 30 に代入して R_{GM} を無視します。

$$G_{ci}(s) = \frac{G_m}{C_{COMP}} \times \frac{1 + s \times R_{COMP} \times C_{COMP}}{s \times (1 + s \times R_{COMP} \times C_{HF})} \quad (33)$$

図 8-2 から、内部電流ループの開ループ ゲインは以下ようになります。

$$T_i(s) = G_{ci}(s) \times \frac{1}{V_M} \times G_{id}(s) \times R_f \quad (34)$$

ここで、

$$V_M = V_{HV} \times K_{FF} \quad (35)$$

$$R_f = R_{CS} \times A_{CS} \quad (36)$$

- K_{FF} はランプ生成器の係数です。LM5171-Q1 の場合、 $K_{FF}=0.03125$ となります。

式 33 と 式 29 を 式 34 に代入すると、 $T_i(s)$ は以下ようになります。

$$T_i(s) = \frac{1}{s \times K_{FF} \times L_m} \times \frac{R_f \times G_m}{C_{COMP}} \times \frac{1 + s \times R_{COMP} \times C_{COMP}}{s \times (1 + s \times R_{COMP} \times C_{HF})} \quad (37)$$

合計ループ伝達関数の極とゼロは、以下の式で決定されます。

$$f_{p1} = 0 \quad (38)$$

$$f_{p2} = \frac{1}{2\pi \times R_{COMP} \times C_{HF}} \quad (39)$$

$$f_z = \frac{1}{2\pi \times R_{COMP} \times C_{COMP}} \quad (40)$$

合計内部電流ループゲインを f_{CI} でクロスオーバーするように調整するには、以下のガイドラインに従って補償回路の部品を選択し、最適なループ性能が得られるようにネットワークを微調整します。

1. ゼロ f_z は、ターゲットクロスオーバー周波数 f_{CI} の約 1/5 に配置されます。
2. 極 f_{p2} はスイッチング周波数 f_{SW} の約 1/2 に配置されます。
3. 合計開ループゲインは、 f_{CI} でユニティに設定されます。すなわち、以下のようになります。

$$|T_i(2i \times \pi \times f_{CI})| = 1 \quad (41)$$

したがって、式 42 に示されているように、補償部品は上記の式に基づいて導出されます。

$$\begin{cases} R_{COMP} = \frac{K_{FF}}{A_{CS} \times R_{CS} \times G_m} \times |2i \times \pi \times f_{CI} \times L_m| \\ C_{COMP} = \frac{1}{\left| 2i \times \pi \times \frac{f_{CI}}{5} \times R_{COMP} \right|} \\ C_{HF} = \frac{1}{\left| 2i \times \pi \times \frac{f_{SW}}{2} \times R_{COMP} \right|} \end{cases} \quad (42)$$

8.1.1.3 電圧ループの小信号モデル

電流ループ補償器を設計したら、外部電圧ループを分析します。

図 8-4 に、 n_p 相システムを示します。

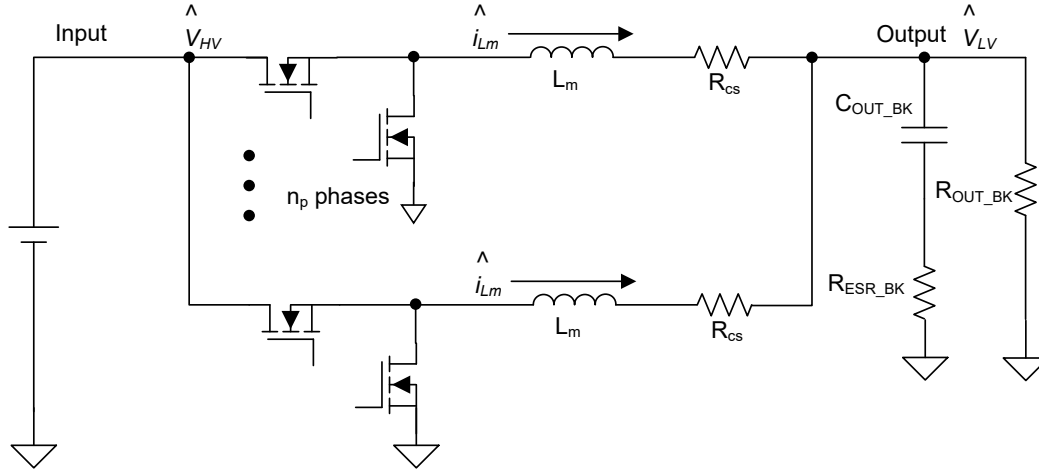


図 8-4. n_p 相システム

等価インダクタンスと抵抗は、以下によって決定されます

$$L_{mnp} = \frac{L_m}{n_p} \quad (43)$$

$$R_{Snp} = \frac{R_S}{n_p} \quad (44)$$

$$R_{CSnp} = \frac{R_{CS}}{n_p} \quad (45)$$

$$R_{fnp} = \frac{R_f}{n_p} \quad (46)$$

降圧モードのデューティ サイクル (d) から n_p 相までのインダクタ電流の伝達関数は、以下によって決定されます。

$$G_{idnp_BK}(s) = \frac{n_p \times \hat{i}_{Lm}}{\hat{d}} = \frac{V_{HV}}{R_{OUT_BK}} \times \frac{1 + \frac{s}{\omega_{Z_il_BK}}}{1 + \frac{s}{\omega_{0np_BK} \times Q_{npBK}} + \frac{s^2}{\omega_{0np_BK}^2}} \quad (47)$$

ここで、

$$R_{OUT_BK} = \frac{V_{LV}}{n_p \times I_{Lmax}} \quad (48)$$

$$\omega_{Z_il_BK} = \frac{1}{R_{OUT_BK} \times C_{OUT_BK}} \quad (49)$$

$$\omega_{0np_BK} = \frac{1}{\sqrt{L_{mnp} \times C_{OUT_BK}}} \quad (50)$$

$$Q_{npBK} = \frac{1}{\omega_{0np_BK}} \times \frac{1}{\frac{L_{mnp}}{R_{OUT_BK}} + (R_{ESR_BK} + R_{CSnp} + R_{Snp}) \times C_{OUT_BK}} \quad (51)$$

n_p 相では、等価開ループ ゲイン $T_{inp}(s)$ が以下のように求められます

$$T_{inp}(s) = G_{ci}(s) \times \frac{1}{V_M} \times G_{id}(s) \times R_{fnp} \quad (52)$$

ここで、

図 8-5 に、外部電圧制御ループと内部電流ループを示します。

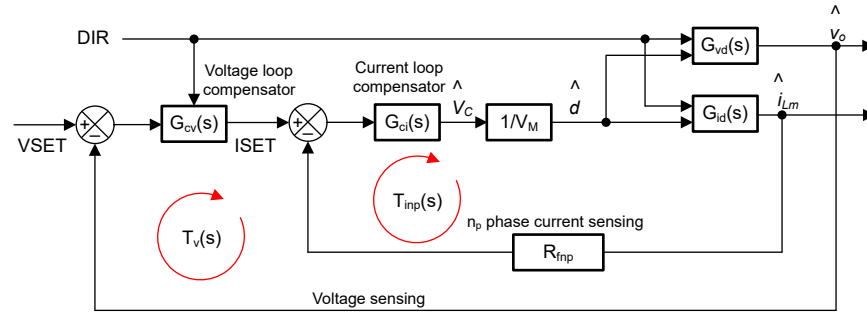


図 8-5. 電圧ループと電流ループのブロック図

ISET から出力電圧 (v_O) への閉ループ伝達関数は、以下によって求められます。

$$G_{vs}(s) = \frac{\hat{v}_{LV}}{\hat{v}_{ISET}} = \frac{G_{ci}(s) \times \frac{1}{V_M} \times G_{vd}(s)}{1 + T_{inp}(s)} \quad (53)$$

降圧電圧ループのクロスオーバー周波数を、電流ループのクロスオーバー周波数よりも低い値に選択すると、 $G_{vs}(s)$ が簡素化されます。分母については、 $T_{inp}(s)$ が支配的な要素になります。式 53 は、以下ようになります。

$$G_{vs}(s) = \frac{\hat{v}_{LV}}{\hat{v}_{ISET}} = \frac{G_{ci}(s) \times \frac{1}{V_M} \times G_{vd}(s)}{T_{inp}(s)} = \frac{G_{vd}(s)}{G_{id}(s) \times R_{fnp}} \quad (54)$$

降圧電源プラントのデューティ サイクル (d) から出力電圧 (v_{LV}) への伝達関数は、以下によって決定されます。

$$G_{vd_BK}(s) = \frac{\hat{v}_{LV}}{\hat{d}} = V_{HV} \times \frac{1 + \frac{s}{\omega_{Z_vl_BK}}}{1 + \frac{s}{\omega_{0np_BK} \times Q_{npBK}} + \frac{s^2}{\omega_{0np_BK}^2}} \quad (55)$$

ここで、

$$\omega_{Z_vl_BK} = \frac{1}{R_{ESR_BK} \times C_{OUT_BK}} \quad (56)$$

式 55 を式 54 に代入すると、ISET から出力電圧 (v_{LV}) への簡素化された伝達関数は、以下によって決定されます。

$$G_{vs_BK}(s) = \frac{\hat{v}_{LV}}{\hat{v}_{ISET}} = K_{dc_BK} \times \frac{1 + \frac{s}{\omega_{Z_vl_BK}}}{1 + \frac{s}{\omega_{Z_il_BK}}} \quad (57)$$

ここで、

$$K_{dc_BK} = \frac{R_{OUT_BK}}{R_{fnp}} \quad (58)$$

同様に、昇圧電源プラントのデューティ サイクル (d) から出力電圧 (v_{HV}) への伝達関数は、以下によって決定されます。

$$G_{vd_BST}(s) = \frac{\hat{v}_{HV}}{\hat{d}} = \frac{V_{LV}}{D'^2} \times \frac{\left(1 + \frac{s}{\omega_{Z_vl_BST}}\right)\left(1 - \frac{s}{\omega_{RHPZ}}\right)}{1 + \frac{s}{\omega_{0np_BST} \times Q_{npBST}} + \frac{s^2}{\omega_{0np_BST}^2}} \quad (59)$$

ここで、

$$\omega_{Z_vl_BST} = \frac{1}{R_{ESR_BST} \times C_{OUT_BST}} \quad (60)$$

$$\omega_{RHPZ} = \frac{R_{OUT_BST} \times D'^2}{L_{mnp}} \quad (61)$$

式 59 を 式 54 に代入すると、ISET から出力電圧 (V_{HV}) への簡素化された伝達関数は、以下によって決定されます。

$$G_{vs_BST}(s) = \frac{\hat{v}_{HV}}{\hat{i}_{set}} = K_{dc_BST} \times \frac{\left(1 + \frac{s}{\omega_{Z_vl_BST}}\right)\left(1 - \frac{s}{\omega_{RHPZ}}\right)}{1 + \frac{s}{\omega_{Z_il_BST}}} \quad (62)$$

ここで、

$$K_{dc_BST} = \frac{R_{OUT_BST} \times D'}{2 \times R_{fnp}} \quad (63)$$

8.1.1.4 電圧ループ補償

図 8-6 に、HV 電圧レギュレーションと LV 電圧レギュレーションを備えた標準的な双方向アプリケーションを示します。外部電圧ループ エラー アンプ (ERRHV および ERRLV) の誤差電圧を、内部電流ループの基準として ISETx に接続します。

外部電圧ループのクロスオーバー周波数 f_{CV} は、内部電流ループのクロスオーバー周波数 f_{CI} より 1 桁低い必要があります。また、昇圧外部電圧ループのクロスオーバー周波数も、右半面ゼロ (RHPZ) の 1/5 未満にする必要があります。

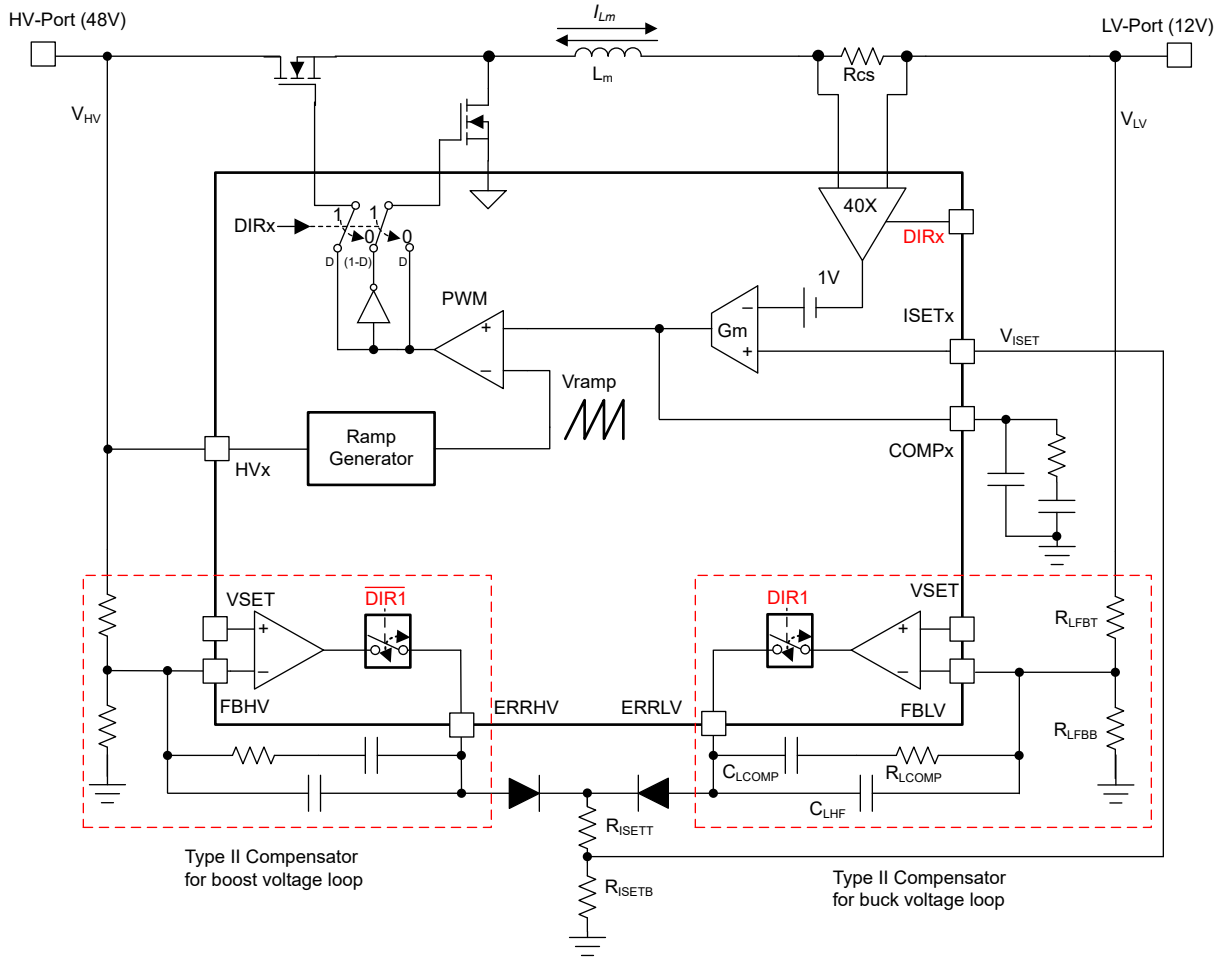


図 8-6. 外部電圧ループ制御

降圧モードと昇圧モードの両方の動作で電圧ループを安定させるため、図 8-6 に示すタイプ II 補償器を推奨します。降圧モード補償を例として分析します。降圧モードの補償器の伝達関数は、以下のように求められます。

$$G_{cv}(s) = \frac{\hat{v}_{ISET}}{\hat{v}_{LV}} \approx \frac{A_{VM} \times \omega_{ZEA}}{s} \times \frac{1 + \frac{s}{\omega_{ZEA}}}{1 + \frac{s}{\omega_{HF}}} \times K_{ISET} \quad (64)$$

ここで、

$$A_{VM} \approx \frac{R_{LCOMP}}{R_{LFBT}} \quad (65)$$

$$\omega_{ZEA} = \frac{1}{R_{LCOMP} \times C_{LCOMP}} \quad (66)$$

$$\omega_{HF} \approx \frac{1}{R_{LCOMP} \times C_{LHF}} \quad (67)$$

$$K_{ISET} = \frac{R_{ISETB}}{R_{ISETT} + R_{ISETB}} \quad (68)$$

降圧モード $T_{v_BK}(s)$ の外部電圧ループの合計開ループゲインは、 $G_{vs_BK}(s)$ と $G_{cv}(s)$ の積です。

$$T_{V_BK}(s) = G_{VS_BK}(s) \times G_{CV}(s) \quad (69)$$

または、

$$T_{V_BK}(s) = K_{dc_BK} \times \frac{1 + \frac{s}{\omega_{Z_vl}}}{1 + \frac{s}{\omega_{Z_il}}} \times \frac{A_{VM} \times \omega_{ZEA}}{s} \times \frac{1 + \frac{s}{\omega_{ZEA}}}{1 + \frac{s}{\omega_{HF}}} \times K_{ISET} \quad (70)$$

合計外部電圧ループ ゲインが f_{CV} でクロスオーバーするようにカスタマイズするには、以下のガイドラインに従って補償回路の部品を選択し、最適なループ性能が得られるように回路を微調整します。

1. バイアス電流と消費電力に基づいて R_{LFBT} の値を選択します。
2. ゼロ ω_{ZEA} は、ターゲットクロスオーバー周波数 f_{CV} の約 1/5 に配置されます。
3. 極 ω_{HF} は f_{CV} の約 10 倍の位置に配置されます。
4. 合計開ループ ゲインは、 f_{CV} でユニティに設定されます。すなわち、以下のようになります。

$$|T_{V_BK}(2i \times \pi \times f_{CV})| = 1 \quad (71)$$

したがって、補償部品は上記の式に基づいて導出されます。

$$\begin{cases} R_{LCOMP} = \frac{R_{LFBT}}{K_{dc_BK} \times \left| \frac{1 + \frac{2i \times \pi \times f_{CV}}{\omega_{Z_vl}}}{1 + \frac{2i \times \pi \times f_{CV}}{\omega_{Z_il}}} \right| \times K_{ISET}} \\ C_{LCOMP} = \frac{1}{2i \times \pi \times \frac{f_{CV}}{5} \times R_{COMP}} \\ C_{LHF} = \frac{1}{2i \times \pi \times 10 \times f_{CV} \times R_{COMP}} \end{cases} \quad (72)$$

昇圧電圧ループの補償器は、同様に設計されています。昇圧電圧ループのクロスオーバー周波数も $RHPZ$ の 1/5 未満でなければならないことに注意してください。

8.2 PWM から ISET ピン

図 8-7 に示されているように、PWM 信号を使用するデジタル アプリケーションの場合、外部の 2 段 RC フィルタを使って、PWM 信号を ISET ピンに電力を供給する DC 電圧に変換することを推奨します。2 段 RC フィルタは、1 段に比べて必要な容量がかなり小さく、遅延時間が短くなります。PWM 信号の電圧レベルのレギュレーションが適切ではない場合、変換エラーが発生することに注意してください。

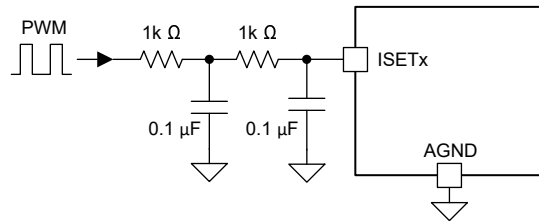


図 8-7. PWM を ISETx ピンのアナログ電圧に変換する 2 段 RC フィルタ

8.3 ISET クランプ

平均電流を制限するように、ISETx 電圧をクランプします。。

図 8-8 に、TLV431 を使用した ISET クランプを示します。抵抗デバイダは、ISET クランプ電圧を設定します。

図 8-9 オペアンプを使用した ISET クランプを示します。ISET 電圧は ISET_max にクランプされます。

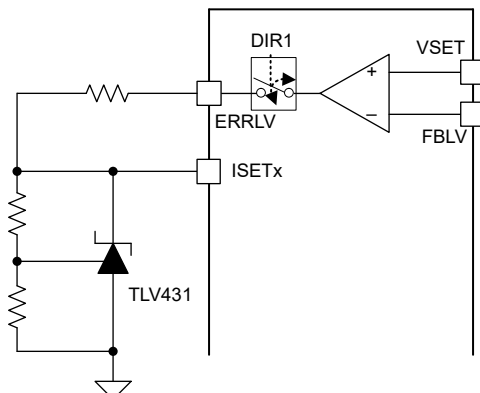


図 8-8. TLV431 を使用した ISET クランプ

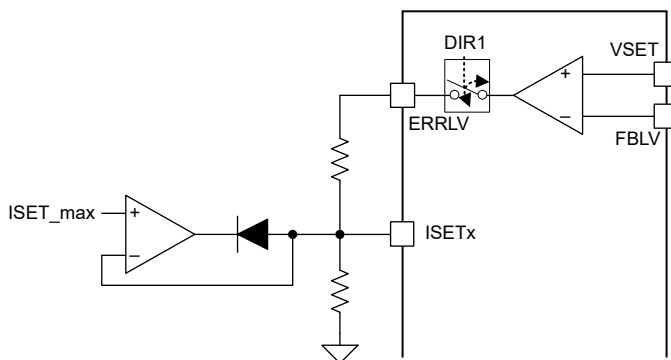


図 8-9. オペアンプを使用した ISET クランプ

8.4 動的デッドタイム調整

図 8-10 に示されているように、 R_{DT} による固定デッドタイム設定に加えて、アナログ電圧または PWM 信号のどちらかを印加することでデッドタイムを動的に調整します。PWM 信号のアナログ電圧またはデューティ比を変化させると、DT プログラミングが調整されます。アナログ調整の場合、可能なノイズをフィルタして除去するため、1 段の RC フィルタを推奨します。PWM 調整の場合、DT ピンに生じるリップル電圧を最小限に抑えるため、2 段の RC フィルタを推奨します。

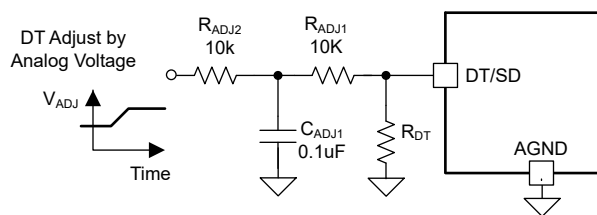


図 8-10. 動的デッドタイム調整 a

8.6 代表的なアプリケーション

8.6.1 60A、2 相、48V ～ 12V 双方向コンバータ

代表的なアプリケーション例は、[図 8-13](#) に示されている 60A の 2 相双方向コンバータです。HV ポートの電圧範囲は 32V ~ 70V、LV ポートは 0V ~ 23V です。各相は、インダクタを介して 30A_{DC} 電流を供給できます。

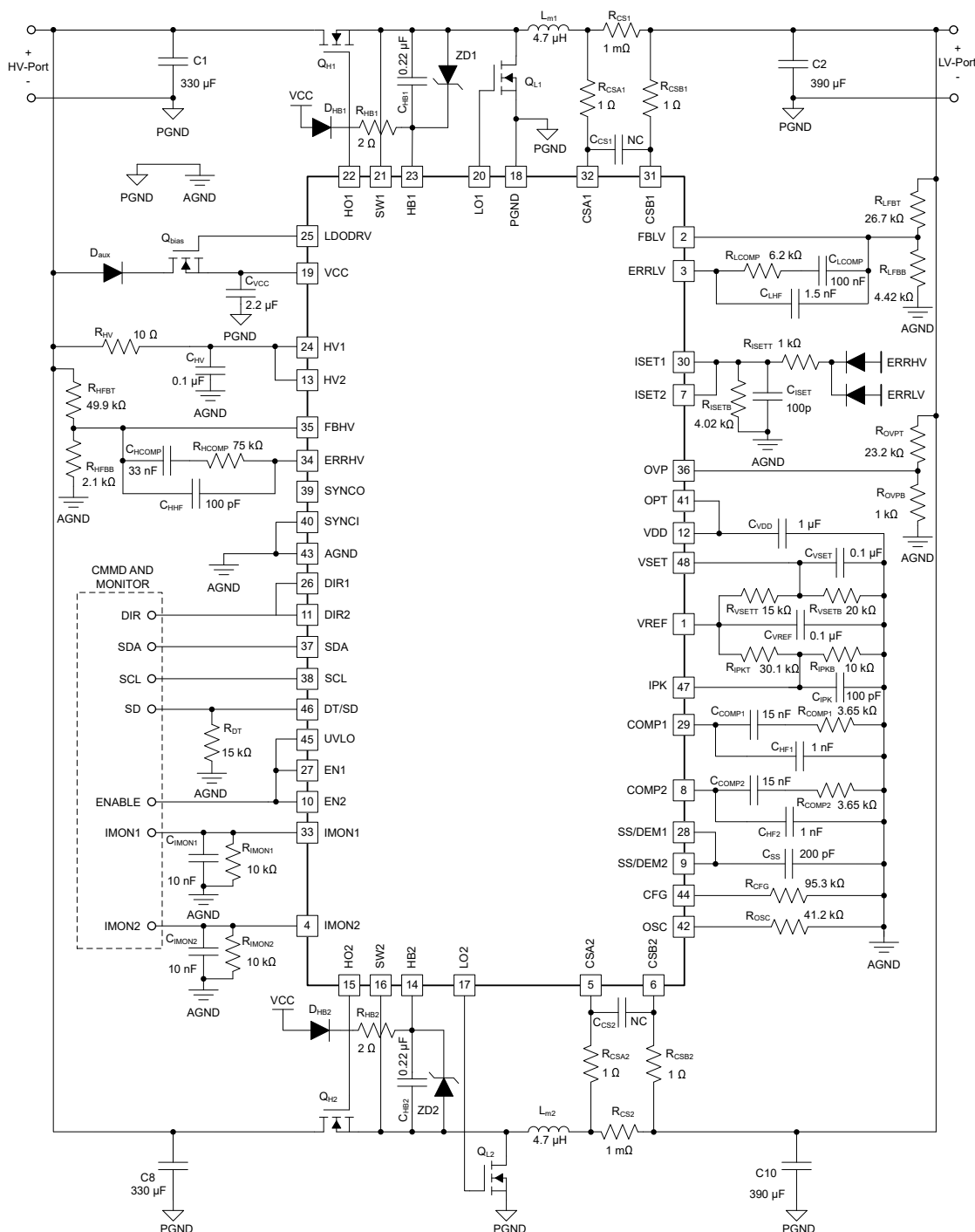


図 8-13. 2 相双方向コンバータ例の回路図

8.6.1.1 設計要件

この例の設計パラメータを、[表 8-1](#) に示します。

表 8-1. 設計パラメータ

パラメータ	数値の例	注
V_{LV_min}	6V	LV ポート最小動作電圧
V_{LV_reg}	14V	LV ポートの公称電圧
V_{LV_max}	23V	LV ポート最大動作電圧
V_{HV_min}	32V	HV ポート最小動作電圧
V_{HV_reg}	50V	HV ポート公称動作電圧
V_{HV_max}	70V	HV ポート最大動作電圧
F_{SW}	100kHz	スイッチング周波数
I_{Lmax}	30A	各チャネルの最大平均インダクタ電流
I_{total}	60A	LV ポートにおける全双方向 DC

8.6.1.2 詳細な設計手順

8.6.1.2.1 デューティ サイクルの決定

明らかに、デューティ サイクルは 式 75 ~ 式 78 によって決定されます。

$$D_{BK_min} = \frac{V_{LV_reg}}{V_{HV_max}} = \frac{14\text{ V}}{70\text{ V}} = 0.2 \quad (75)$$

$$D_{BK_max} = \frac{V_{LV_reg}}{V_{HV_min}} = \frac{14\text{ V}}{32\text{ V}} = 0.438 \quad (76)$$

$$D_{BST_min} = \frac{V_{HV_reg} - V_{LV_max}}{V_{HV_reg}} = \frac{50\text{ V} - 23\text{ V}}{50\text{ V}} = 0.54 \quad (77)$$

$$D_{BST_max} = \frac{V_{HV_reg} - V_{LV_min}}{V_{HV_reg}} = \frac{50\text{ V} - 6\text{ V}}{50\text{ V}} = 0.88 \quad (78)$$

8.6.1.2.2 発振器のプログラミング (OSC)

コンバータを目的のスイッチング周波数 F_{SW} で動作させるには、式 14 を満たすように R_{OSC} を選択します。

$$R_{osc} = \frac{41.5k\Omega \times 100kHz}{F_{osc}} = 41.5k\Omega \quad (79)$$

標準抵抗 $R_{OSC} = 41.2k\Omega$ を選択します。

8.6.1.2.3 パワー インダクタ、RMS およびピーク電流

「寄生インダクタンスが電流センス信号とゼロ交差検出に与える影響」に示されているように、インダクタ電流には三角波形があります。TI は、ピーク ツー ピーク リップル電流がチャネル インダクタの全負荷 DC 電流の 80% 未満になるように、インダクタを選択することを推奨します。したがって、インダクタは 式 80 の条件を満たす必要があります。

$$L_m \geq \frac{V_{LV_reg} \times (1 - D_{BK_min})}{80\% \times I_{max} \times F_{sw}} = \frac{14\text{ V} \times (1 - 0.2)}{0.8 \times 30\text{ A} \times 100\text{ kHz}} = 4.67\text{ }\mu\text{H} \quad (80)$$

$L_m = 4.7\mu\text{H}$ を選択します。

実際のインダクタのピーク ツー ピーク インダクタ電流は、式 81 で求められます。

$$I_{pk-pk} = \frac{V_{LV_reg} \times (1 - D_{BK_min})}{L_m \times F_{sw}} = \frac{14\text{ V} \times (1 - 0.2)}{4.7\text{ }\mu\text{H} \times 100\text{ kHz}} = 23.83\text{ A} \quad (81)$$

ピーク インダクタ電流は、式 82 で求められます。

$$I_{peak} = I_{max} + \frac{I_{pk-pk}}{2} = 30\text{ A} + \frac{23.83}{2} = 41.9\text{ A} \quad (82)$$

十分なマージンのある最大出力を確保するため、飽和電流 I_{sat} が I_{peak} よりも 20% 以上大きくなるインダクタを選択します。この例では、TI は $I_{sat} > 49\text{ A}$ のインダクタを選択することを推奨します。

パワー インダクタの全負荷実効値 (RMS) 電流 I_{LM_RMS} によって、その導通損失が決まります。RMS 電流は、式 83 で求められます。

$$I_{Lm_RMS} = \sqrt{I_{max}^2 + \frac{1}{12} \times I_{pk-pk}^2} = 30.8 \text{ A} \quad (83)$$

8.6.1.2.4 電流センス (R_{CS})

広い負荷範囲にわたって最高のレギュレーション精度を達成するには、ユーザーは全電流時に 50mV の V_{CS} を生成することを目標とする必要があります。したがって、 R_{CS} は 式 84 のように選択されます。

$$R_{CS} \leq \frac{50 \text{ mV}}{I_{max}} = \frac{50 \text{ mV}}{30 \text{ A}} = 1.667 \text{ m}\Omega \quad (84)$$

利用可能なため、標準の非誘導性 1m Ω 電流センス抵抗が選択されています。

$$R_{CS} = 1.0 \text{ m}\Omega \quad (85)$$

寄生インダクタンスを最小化するため、幅の広い端子チップ抵抗を推奨します。抵抗値の低い抵抗の場合、最高の精度を得るため、4 端子の電流センス抵抗を推奨します。

図 8-14 に示されているように、一部のセラミック コンデンサのスペースを確保して、ノイズ フィルタリングの余地を確保してください。 C_{CS1} および C_{CS2} は、差動モード ノイズを除去し、各電流センス ピンの 100pF セラミック コンデンサが同相モード ノイズを除去します。

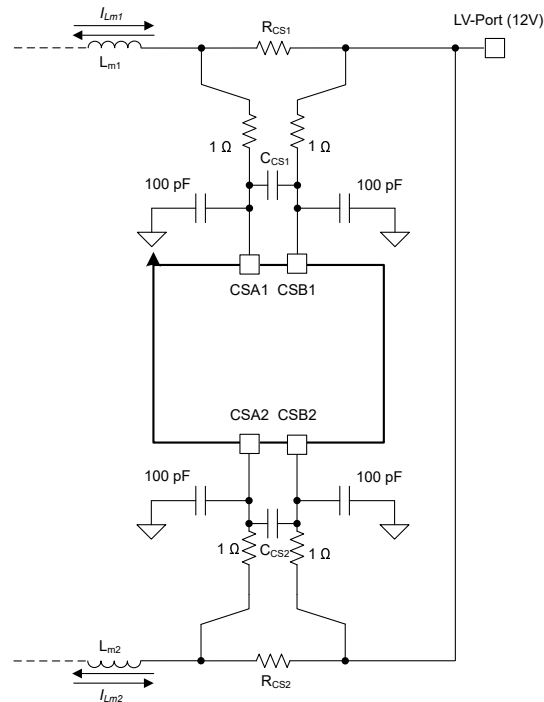


図 8-14. RC フィルタによる電流センス

8.6.1.2.5 電流設定コマンド ($ISETx$)

TI は、コンバータが誤った電流設定信号で駆動されなくなるように、 $ISETx$ 信号のハード制限を設定することを推奨しています。コンバータの過負荷電流が最大 10% 許容されると仮定します。チャンネル電流設定コマンド ($ISET1$ および $ISET2$) に示されているように、アナログ電流設定信号 $ISETx$ は、以下の電圧レベルで制限する必要があります。

$$V_{ISET_max} = \frac{110\% \times I_{max} \times R_{CS}}{G_{ISET}} + 1V = \frac{110\% \times 30A \times 1m\Omega}{0.025} + 1V = 2.32V \quad (86)$$

図 8-6 に示されているように、 R_{ISETT} および R_{ISETB} を使用して、 $ISETx$ の最大電圧を制限しています。

IS_{ET} クランプ に示されているように、TLV431 またはオペアンプは、 $ISETx$ 電圧を正確な方法でクランプするために使用されます。

8.6.1.2.6 ピーク電流制限 (IPK)

ピーク電流制限の目的の 1 つは、飽和からパワー インダクタを保護することです。ピーク電流制限スレッショルドが I_{peak} より 5% 大きくなるように、 V_{IPK} をプログラムします。式 9 に従うと、以下のようになります。

$$V_{IPK} = \frac{105\% \times I_{peak} \times R_{CS}}{G_{IPK}} = \frac{105\% \times 41.9A \times 1m\Omega}{0.05} = 0.880V \quad (87)$$

$R_{IPKB} = 10k\Omega$ および $R_{IPKT} = 30.1k\Omega$ を選択すると、チャンネルあたり 43.6A の公称ピーク インダクタ電流制限に対応して $V_{IPK} = 0.873V$ となります。

8.6.1.2.7 パワー MOSFET

パワー MOSFET には、HV ポートの最大電圧と過渡スパイク (リングング) に耐えられる V_{DS} 定格を持つパワー MOSFET を選択する必要があります。このアプリケーションでは、100V 定格の MOSFET を選択しています。

電圧定格を決定したら、MOSFET $R_{ds(ON)}$ と総ゲート電荷 Q_g の間でトレードオフを見て MOSFET を選択し、導通損失とスイッチング損失のバランスを取ります。大電力アプリケーションでは、並列 MOSFET で合計電力を共有し、個別の MOSFET の消費電力を低減することができるため、熱ストレスが軽減されます。各 MOSFET の伝導損失は、式 88 によって決まります。

$$P_{Q_cond} = \frac{1.8 \times R_{ds(ON)}}{N} \times I_{Q_RMS}^2 \quad (88)$$

ここで、

- N は並列接続された MOSFET の数です
- 1.8 は 125°C における $R_{ds(ON)}$ の近似温度係数です
- RMS スイッチ電流の合計 I_{Q_RMS} は、式 89 で概算されます

$$I_{Q_RMS} \approx \sqrt{D_{max}} \times I_{max} = \sqrt{D_{max}} \times I_{max} \quad (89)$$

ここで、

- D_{max} は、降圧モードまたは昇圧モードにおける最大デューティ サイクルです。

スイッチング過渡の立ち上がり時間と立ち下がり時間は、以下で概算されます。

$$\Delta t_{rise} \approx \frac{N \times Q_g}{4 A} \quad (90)$$

$$\Delta t_{fall} \approx \frac{N \times Q_g}{5 A} \quad (91)$$

各並列 MOSFET のスイッチング損失は、以下で概算されます。

$$P_{Q_sw} = \frac{1}{2} \times C_{oss} \times V_{HV}^2 \times F_{sw} + \frac{1}{2} \times \frac{I_{peak}}{N} \times V_{HV} \times (\Delta t_{rise} + \Delta t_{fall}) \times F_{sw} \quad (92)$$

ここで、

- C_{oss} は MOSFET の出力キャパシタンスです。

パワー MOSFET は通常、ゲートドライブの故障の影響を低減するために、10kΩ と 100kΩ のゲート-ソース間抵抗を必要とします。図 8-15 に示されているように、並列 MOSFET を使用する場合は、各 MOSFET に 1 ~ 2Ω のゲート抵抗を使用することを推奨します。

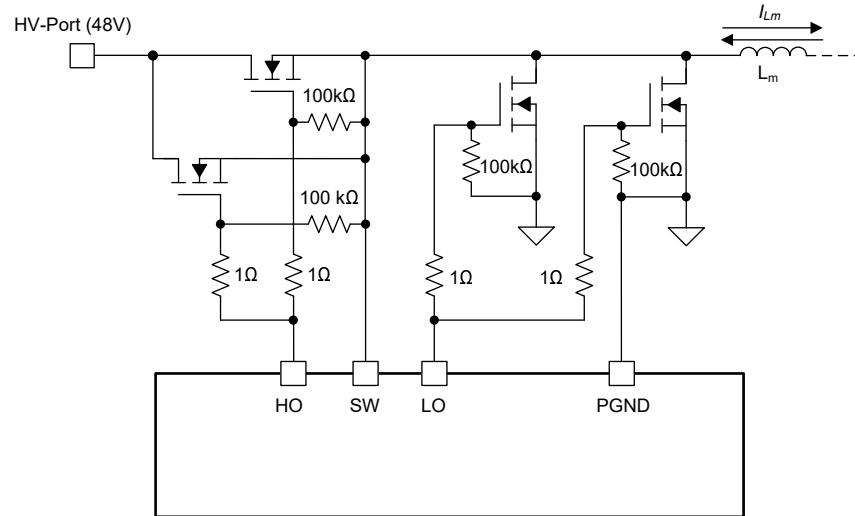


図 8-15. 並列 MOSFET 構成

デッドタイムが最適ではない場合、パワー同期整流 MOSFET のボディ ダイオードが逆方向回復時の損失を引き起こします。パワー MOSFET の逆方向回復電荷が Q_{rr} であると仮定すると、逆方向回復損失は式 93 によって決まります。

$$P_{Q_{rr}} = Q_{rr} \times V_{HV_max} \times F_{sw} \quad (93)$$

逆方向回復損失を低減するため、オプションのショットキー ダイオードをパワー MOSFET と並列に配置します。ダイオードの電圧定格は MOSFET と同じである必要があります、MOSFET のドレインとソースの間に直接配置する必要があります。反復的な順方向電流のピーク定格は I_{peak} より大きくする必要があります、連続順方向電流の定格は以下の式 94 の値より大きくする必要があります。

$$I_{SD_avg} = I_{peak} \times t_{DT} \times F_{sw} \quad (94)$$

8.6.1.2.8 バイアス電源

バイアス電源の合計負荷電流は、主に MOSFET の総ゲート電荷量 Q_g によって決まります。システムが複数の LM5171-Q1 を使用して M 個の位相を実装していると想定し、各位相は N 個の MOSFET を 1 個のスイッチとして並列に使用します。位相ごとに $2 \times N$ MOSFET があり、駆動することができます。その後、これらの MOSFET を VCC バイアス電源経由で駆動するための合計電流は、式 95 で決定されます。

$$I_{VCC} = 2 \times M \times N \times Q_g \times F_{sw} + M \times 5 \text{ mA} \quad (95)$$

ここで、

- 5mA は、各位相の制御ロジック回路が使用する最悪の場合の最大電流です。

1 つのスイッチに 2 つの並列 MOSFET を採用した 4 相システムの例では、 $M = 4$ 、 $N = 2$ 、 $Q_g = 100\text{nC}$ 、および $F_{sw} = 100\text{kHz}$ となり、バイアス電源は、次の合計負荷電流以上をサポートできる必要があります。

$$I_{VCC} \geq 2 \times 4 \times 2 \times 100 \text{ nC} \times 100 \text{ kHz} + 4 \times 5 \text{ mA} = 180 \text{ mA} \quad (96)$$

1 つのスイッチに同じ並列 MOSFET を採用する 8 相システムの例では、バイアス電源は次の合計負荷電流をサポートできる必要があります。

$$I_{VCC_8ph} = 2 \times 8 \times 2 \times 100 \text{ nC} \times 100 \text{ kHz} + 8 \times 5 \text{ mA} = 360 \text{ mA} \quad (97)$$

バイアス電源および電圧リファレンス (VCC、VDD、VREF) で説明されているように、LM5171-Q1 は LDO ドライバを内蔵しており、外部の N チャネル拡張 MOSFET を駆動して VCC ピンに 9V バイアス電源を生成します。このアプリケーションでは PMT560ENEAX が選択されています。

しかし、外部 MOSFET のゲートドライバ損失が大きい場合、外部 10 ~ 12V VCC バイアス電源が推奨されます。システムで利用できない場合は、昇降圧または SEPIC コンバータを使用して LV ポート、または降圧コンバータを使用して HV ポートからバイアス電源を生成します。昇降圧コンバータを実装する場合は テキサス インストルメンツの LM25118 および LM5118、SEPIC コンバータを実装する場合は LM5158、降圧コンバータを実装する場合は LM5160 および LM5161 を参照してください。

バイパス コンデンサを VCC ピンと PGND ピンの近くに配置する必要があります。このアプリケーションでは、2.2μF、16V のセラミック コンデンサが選択されています。

8.6.1.2.9 ブートストラップ コンデンサ

セラミック コンデンサ $C_{HB1} = C_{HB2} = 0.1\mu\text{F} \sim 0.22\mu\text{F}$ を選択します。ブートストラップ コンデンサを HB ピンと SW ピンの近くに配置します。順方向電流定格 1A で、逆方向電圧が V_{HV_max} を下回らない高速スイッチング ダイオードをブートストラップ ダイオードとして選択する必要があります。これにより、ブートコンデンサ C_{HB1} または C_{HB2} は VCC によって充電されます。各ブート ダイオードと直列に $2\Omega \sim 5\Omega$ の電流制限抵抗を配置する必要があります。SW から HB への 12V ツェナー ダイオードは、過電圧状態からハイサイドドライバを保護します。

8.6.1.2.10 過電圧保護 (OVP)

過電圧保護 (OVP) に示されているように、LM5171-Q1 は、過電圧保護を満たすために 1V の内部リファレンスと 100mV ヒステリシスを備えたコンパレータを内蔵しています。

このアプリケーションでは、LV-prot OVP 電圧 $V_{OVP} = 24\text{V}$ を選択します。ここでは、 $R_{OVPB} = 1\text{k}\Omega$ を選択しているため、 R_{OVPT} を流れる電流は 1mA となります。 R_{OVPT} は、以下で求められます。

$$R_{OVPT} = \frac{V_{OVP} - V_{OVPTH}}{V_{OVPTH}} \times R_{OVPB} = \frac{24\text{V} - 1\text{V}}{1\text{V}} \times 1\text{k}\Omega = 23\text{k}\Omega \quad (98)$$

標準抵抗 $R_{OVPT} = 23.2\text{k}\Omega$ を選択します。

8.6.1.2.11 デッドタイム (DT/SD)

DT ピンを $20\text{k}\Omega$ 抵抗を介して VDD にプルすると、組み込みのアダプティブ デッドタイムが有効になります。

デッドタイムを設定するには、式 12 に従って抵抗 R_{DT} を選択します。外部アナログ電圧信号を使用してデッドタイムを動的に調整するには、図 8-10 に従います。外部 PWM 信号を使用してデッドタイムを動的に調整するには、図 8-11 に従います。

このアプリケーションでは、公称デッドタイムを 50ns に選択します。式 12 に基づき、プログラミング抵抗は以下のようになります。

$$R_{DT} = \frac{t_{DT} \text{ k}\Omega}{2.625 \text{ ns}} = 19.05\text{k}\Omega \quad (99)$$

標準値 $R_{DT} = 20\text{k}\Omega$ を選択します。

8.6.1.2.12 チャネル電流監視 (IMONx)

最高の電流監視精度を得るためには、IMONx ピンの最大動作電圧が 3V 未満の IMONx 抵抗を選択します。

各チャンネルで最大 50A の 2 相電流監視を考慮し、IMONx 電圧が 3V 以下であることを確認するため、R_{IMONx} は以下のように求められます。

$$R_{IMONx} = 10k\Omega \quad (100)$$

遅延と電圧リップルを考慮して C_{IMONx} を選択します。ここでは、以下のように選択されています。

$$C_{IMONx} = 10nF \quad (101)$$

次に、監視の遅延は、以下の時定数によって決定されます。

$$\tau_{IMONx} = R_{IMONx} \times C_{IMONx} = 10k\Omega \times 10ns = 100\mu s \quad (102)$$

全負荷時、監視電圧の DC 成分は以下ようになります。

$$V_{IMONx} = 2 \times \left(\frac{I_{max} \times R_{CS}}{500\Omega} + 50\mu A \right) \times R_{IMONx} = 2 \times \left(\frac{30A \times 1m\Omega}{500\Omega} + 50\mu A \right) \times 10k\Omega = 2.2V \quad (103)$$

インダクタリップル電流を考慮すると、I_{OUT} のピーク ツー ピークリップル電流は以下ようになります。

$$\Delta I_{IMONx} = \frac{I_{pk-pk} \times R_{CS}}{500\Omega} = \frac{23.8A \times 1m\Omega}{500\Omega} = 47.6\mu A \quad (104)$$

したがって、RC フィルタのコーナー周波数は以下の式で求められます。

$$f_{IMONx} = \frac{1}{2\pi \times R_{IMONx} \times C_{IMONx}} = \frac{1}{6.28 \times 10k\Omega \times 10nF} = 1.59kHz \quad (105)$$

結果として得られるピークツープーク監視リップル電圧は、以下の式で概算されます。

$$\Delta V_{IMONx} = \Delta I_{IMONx} \times \left(R_{IMONx} \parallel \frac{1}{2i \times \pi \times F_{SW} \times C_{IMONx}} \right) = 47.6\mu A \times \left(10k\Omega \parallel \frac{1}{2i \times \pi \times 100kHz \times 10nF} \right) = 7.5mV \quad (106)$$

ピーク ツー ピーク監視のリップル電圧は、全負荷 DC 監視電圧の約 0.34% です。C_{IMONx} を大きくすると、監視遅延が長くなる代わりに、リップル電圧が減衰します。

8.6.1.2.13 低電圧誤動作防止 (UVLO)

この回路例では、LM5171-Q1 のコントローラ イネーブル ピンとして UVLO ピンを使用しています。しかし、UVLO ピンは低電圧誤動作防止 (48V レール UVLO または 12V レール UVLO または VCC UVLO) の機能も備えています。

ユーザーが 48V レール UVLO を実装し、ローサイド抵抗 R_{UVLO2} = 10kΩ、48V UVLO リリース スレッショルド V_{UVLO} = 24V、UVLO ヒステリシス V_{HYS} = 2.4V と想定します。式 1 に示されているように、R_{UVLO1} は以下の式で求められます。

$$R_{UVLO1} = \frac{V_{UVLO} - 2.5V}{2.5V} \times R_{UVLO2} = \frac{24V - 2.5V}{2.5V} \times 10k\Omega = 86k\Omega \quad (107)$$

最も近い標準抵抗 (R_{UVLO1} = 86.6kΩ) を選択します。

式 3 に示されているように、R_{UVLO3} は以下のように求められます。

$$R_{UVLO3} = \frac{\frac{V_{HYS}}{25\mu A} - R_{UVLO1}}{1 + \frac{R_{UVLO1}}{R_{UVLO2}}} = \frac{\frac{2.4V}{25\mu A} - 86.6k\Omega}{1 + \frac{86.6k\Omega}{10k\Omega}} = 0.973k\Omega \quad (108)$$

最も近い標準抵抗 ($R_{UVLO1} = 976\Omega$) を選択します。

ユーザーがコンデンサ $C_{UVLO} = 1nF$ を追加する場合、 $10\mu s$ の遅延時定数が発生し、UVLO ピンで潜在的なノイズがフィルタリングされます。

8.6.1.2.14 HVx ピン構成

HVx ピンを HV 電圧レールに接続します。HVx ノイズ耐性が向上するように、小型の RC フィルタを追加します (図 8-16 を参照)。通常、フィルタ抵抗は 10Ω で、バイパスコンデンサは $0.1\mu F$ です。

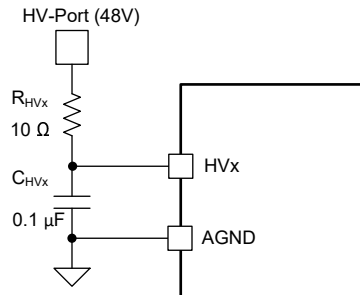


図 8-16. HVx ピン構成

8.6.1.2.15 ループ補償

電流ループのクロスオーバー周波数 f_{Cl} からスイッチング周波数の $1/6$ までを選択します。式 42 に従い、内部電流ループの補償回路は以下の式で決定されます。

$$\begin{cases}
 R_{COMP} = \frac{K_{FF}}{A_{CS} \times R_{CS} \times G_m} \times |2i \times \pi \times f_{Cl} \times L_m| = \frac{0.03125}{40 \times 1m\Omega \times 100\mu A/V} \times |2i \times \pi \times 15kHz \times 4.7\mu H| = 3.5k\Omega \\
 C_{COMP} = \frac{1}{|2i \times \pi \times \frac{f_{Cl}}{5} \times R_{COMP}|} = \frac{1}{|2i \times \pi \times \frac{15kHz}{5} \times 3.5k\Omega|} = 15nF \\
 C_{HF} = \frac{1}{|2i \times \pi \times \frac{f_{SW}}{2} \times R_{COMP}|} = 0.9nF
 \end{cases} \quad (109)$$

以下のように、補償回路に最も近い標準値を選択します。

$$R_{COMP1} = R_{COMP2} = 3.65k\Omega$$

$$C_{COMP1} = C_{COMP2} = 15nF$$

$$C_{HF1} = C_{HF2} = 1nF$$

図 8-17 に、次の電源プラントのボード線図を示します $\frac{1}{V_M} \times G_{id}(s) \times A_{CS} \times R_{CS}$ 電流ループ補償ゲイン $G_{ci}(s)$ および結果として得られる合計開ループゲイン $T_i(s)$ 。

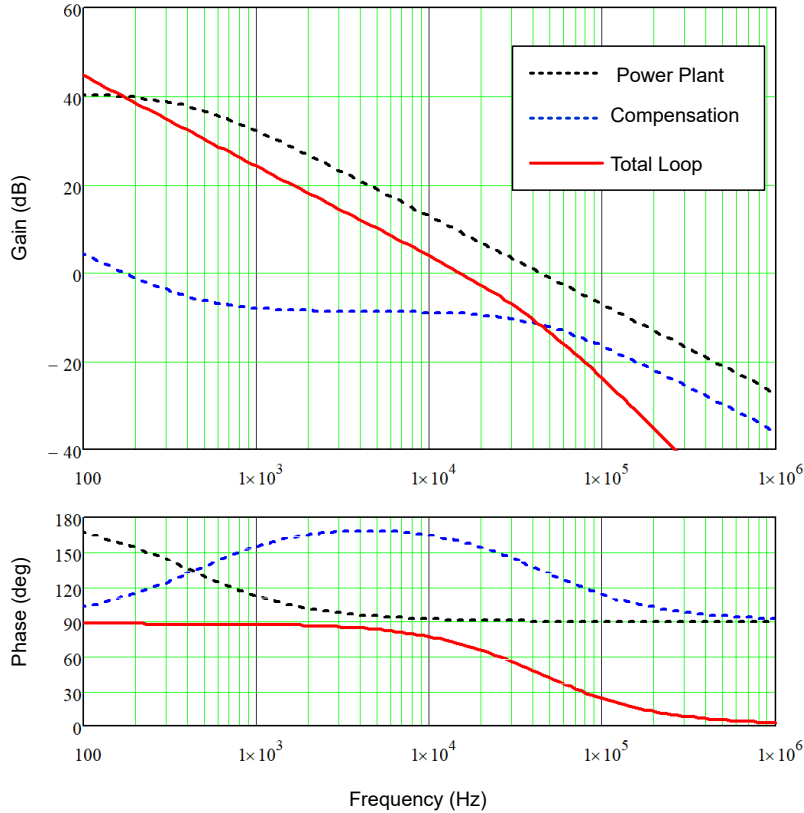


図 8-17. 電流ループのボード線図

降圧モードでは、電流ループのクロスオーバー周波数の 1/10 で電圧ループのクロスオーバー周波数を選択します。式 110 に従い、電圧電流ループの補償回路は以下の式で決定されます。

$$\left\{ \begin{array}{l} R_{LCOMP} = \frac{R_{LFBT}}{K_{dc_BK} \times \left[1 + \frac{\omega_{Z_vl}}{2i \times \pi \times f_{CV}} \right] \times K_{ISET}} = \frac{26.7k\Omega}{\frac{0.4\Omega}{40 \times 1m\Omega} \times \left[1 + \frac{2i \times \pi \times 1.5kHz}{250kHz} \right] \times 0.8} = 6.1k\Omega \\ C_{LCOMP} = \frac{1}{2i \times \pi \times \frac{f_{CV}}{5} \times R_{LCOMP}} = \frac{1}{2i \times \pi \times \frac{1.5kHz}{5} \times 6.1k\Omega} = 86nF \\ C_{LHF} = \frac{1}{2i \times \pi \times 10 \times f_{CV} \times R_{LCOMP}} = 1.7nF \end{array} \right. \quad (110)$$

以下のように、補償回路に最も近い標準値を選択します。

$$R_{LCOMP} = 6.2k\Omega$$

$$C_{COMP1} = 100nF$$

$$C_{HF1} = 1.5nF$$

図 8-18 に、電力プラント $G_{vs_BK}(s)$ 、電圧ループ補償ゲイン $G_{cv}(s)$ 、結果として得られる合計開ループゲイン $T_{vs_BK}(s)$ のボード線図を示します。

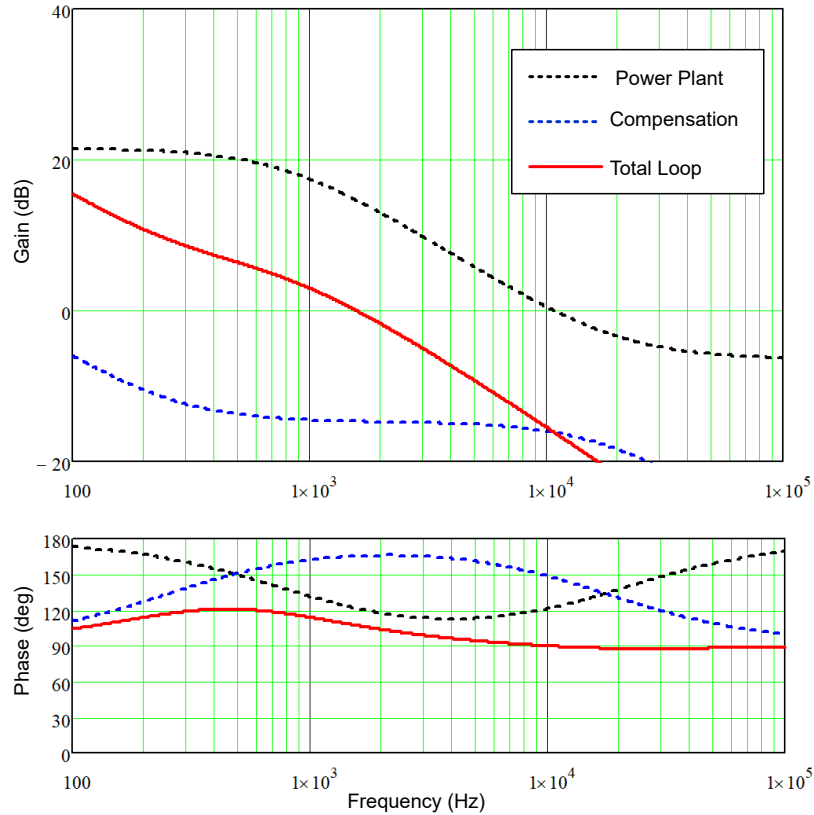


図 8-18. 電圧ループのボード線図

8.6.1.2.16 ソフトスタート (SS/DEMx)

ソフトスタートは、電流をゆっくりと上昇させるために使用されます。外部ループを使用するアプリケーションでは、電流ソフトスタートは不要で、 C_{SS} を最小限に抑える必要があります。 C_{SS} には 100pF を選択します。

電流ソフトスタートが必要なアプリケーションでは、セラミック コンデンサ C_{SS} を使用して、ソフトスタート時間をプログラミングします。 SS ピンの電圧が約 3V に達すると、ソフトスタートは完了します。全負荷電流のソフトスタート時間 $\Delta T_{SS} = 1ms$ を選択すると、コンデンサ C_{SS} は以下のように計算されます。

$$C_{SS} = \frac{I_{SS} \times \Delta T_{SS}}{3V} = \frac{70\mu A \times 1ms}{3V} = 23nF \quad (111)$$

$SS/DEM1$ および $SS/DEM2$ を互いに接続する場合は、容量を 2 倍にして、同じソフトスタート時間を維持します。

8.6.1.3 アプリケーション曲線

8.6.1.3.1 効率および放熱性能

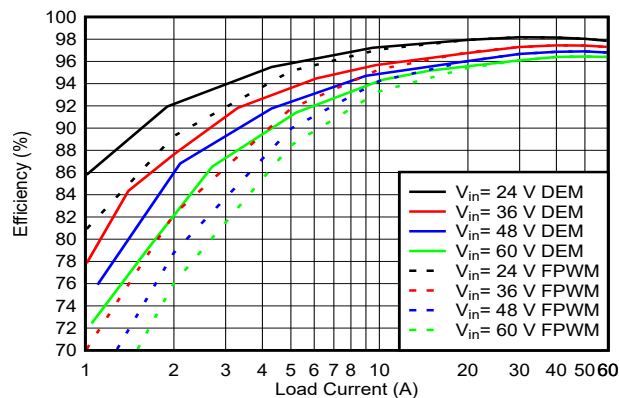


図 8-19. 降圧モード効率と入力電圧および負荷電流との関係 : $V_{OUT} = 14.5V$

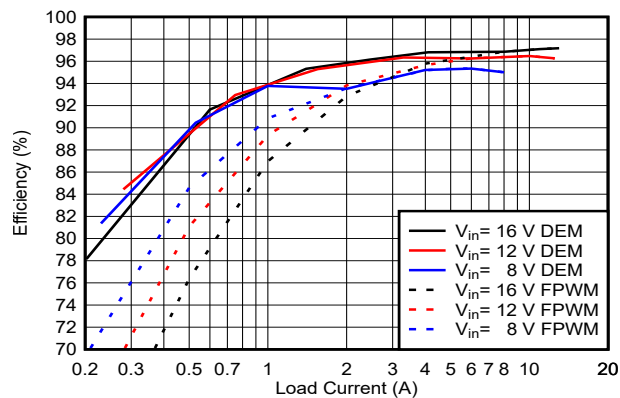


図 8-20. 昇圧モードの効率と入力電圧および負荷電流との関係 : $V_{OUT} = 50.5V$



図 8-21. 熱画像 : 降圧モード、 $V_{in} = 48V$ 、 $V_{OUT} = 14.5V$ 、 $I_{OUT} = 60A$ 、自然対流

8.6.1.3.2 ステップ負荷応答

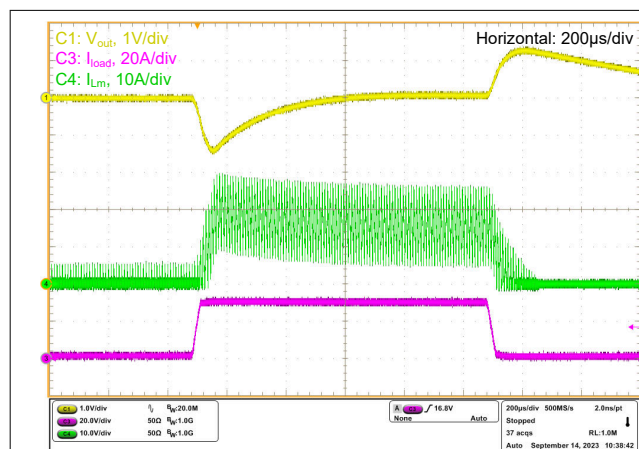


図 8-22. ステップ負荷応答：降圧モード、DEM、1A ～ 30A 負荷ステップ、1A/µs

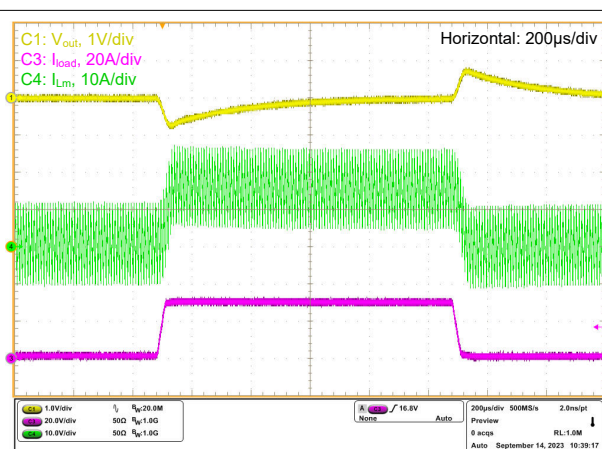
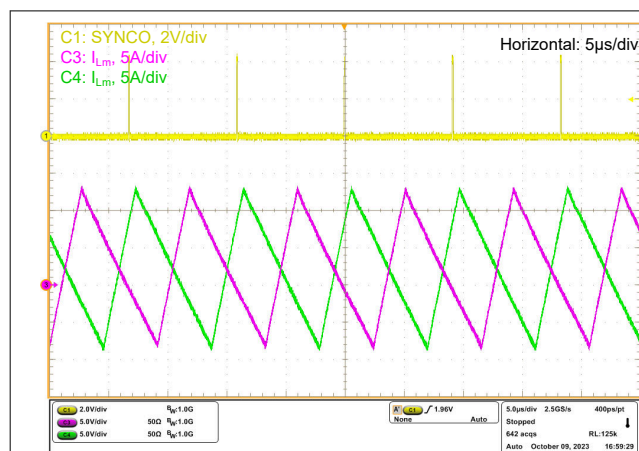
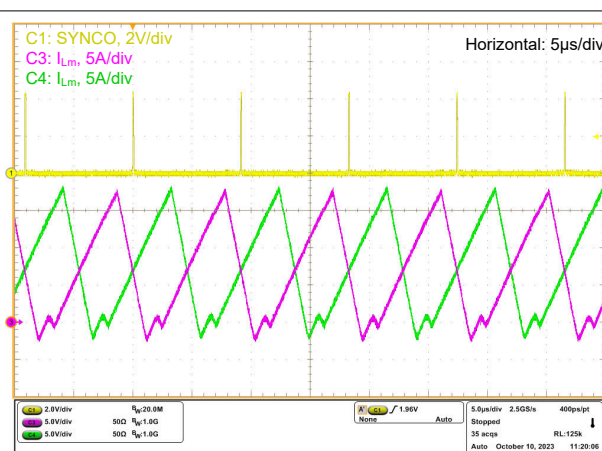


図 8-23. ステップ負荷応答：降圧モード、FPWM、1A ～ 30A 負荷ステップ、1A/µs

8.6.1.3.3 デュアル チャネル インターリーブ動作

図 8-24. デュアル チャネル インターリーブ動作：降圧モード、 $I_{load} = 4A$ 図 8-25. デュアル チャネル インターリーブ動作：昇圧モード、 $I_{load} = 4A$

8.6.1.3.4 標準的なスタートアップとシャットダウン

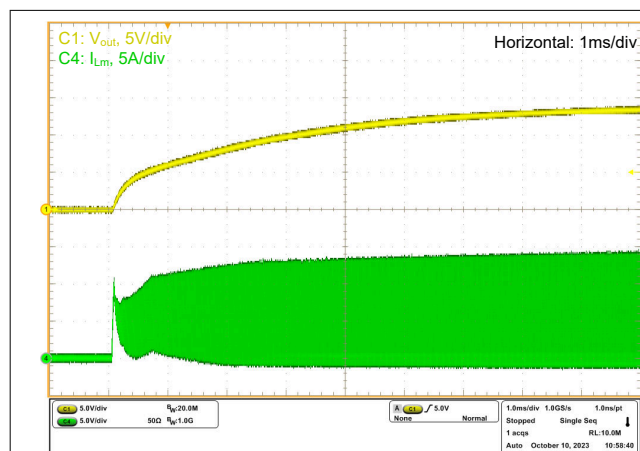


図 8-26. スタートアップ：降圧モード、 $I_{load} = 10A$

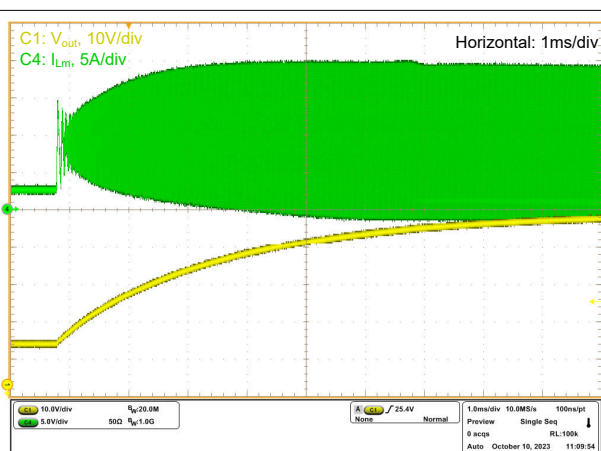


図 8-27. スタートアップ：昇圧モード、 $I_{load} = 4A$

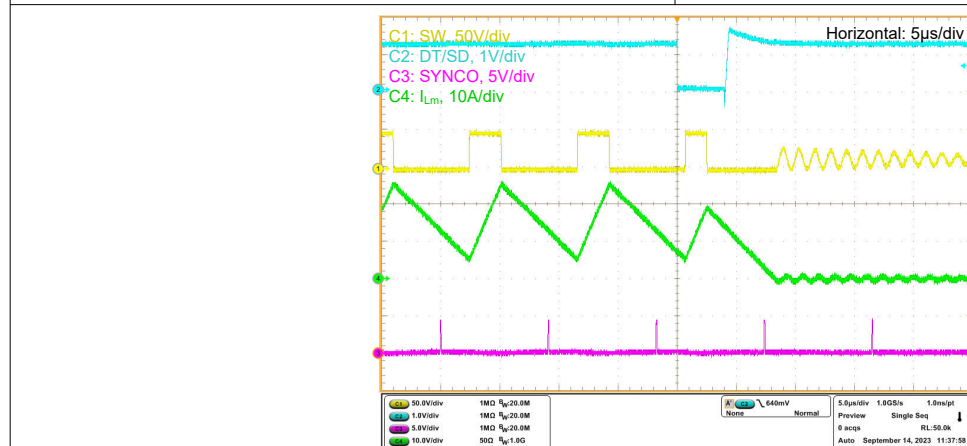


図 8-28. シャットダウン：DT/SD によるラッチ シャットダウン

8.6.1.3.5 DEM および FPWM



図 8-29. DEM：降圧モード、 $I_{load} = 4A$

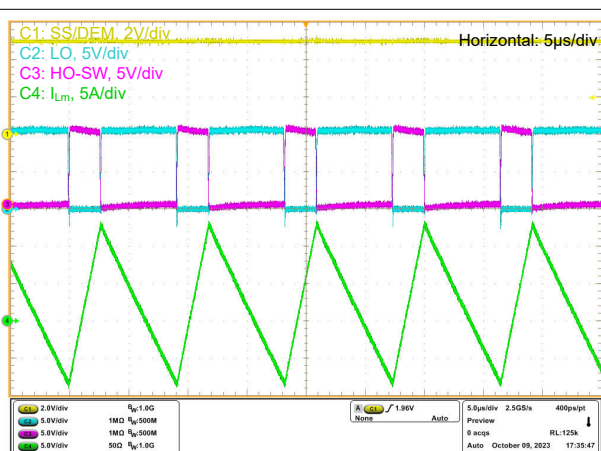
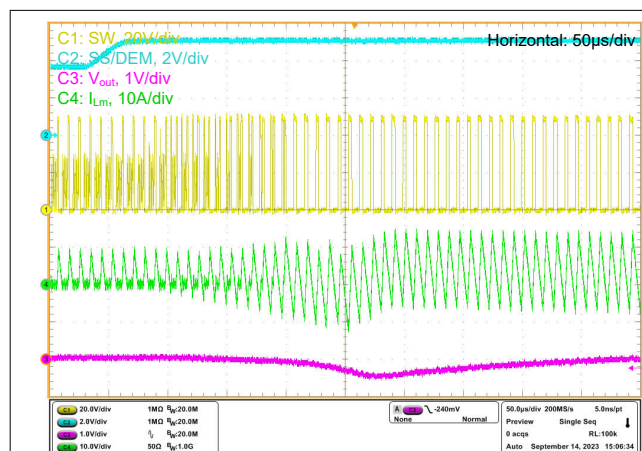
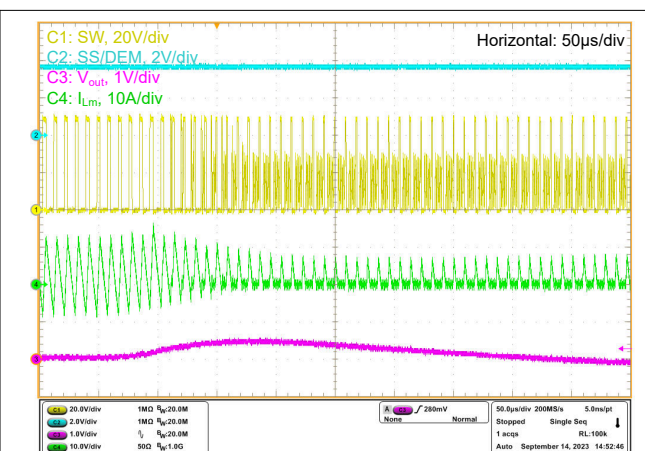


図 8-30. FPWM：降圧モード、 $I_{load} = 4A$

8.6.1.3.6 DEM と FPWM 間のモード遷移

図 8-31. DEM から FPWM へのモード遷移：降圧モード、 $I_{load} = 4A$ 図 8-32. FPWM から DEM へのモード遷移：降圧モード、 $I_{load} = 4A$

8.6.1.3.7 ISET トラッキングおよびプリチャージ

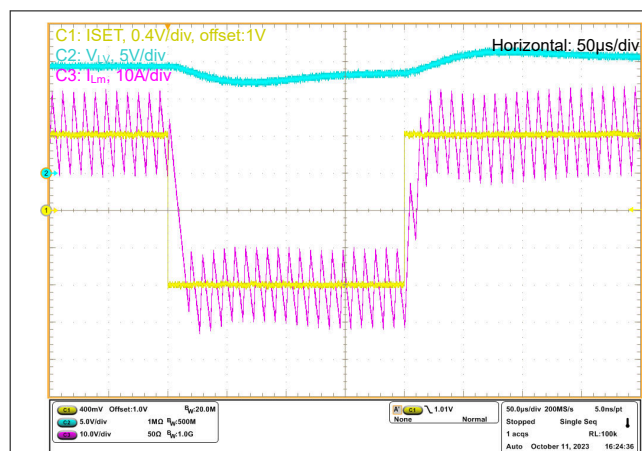
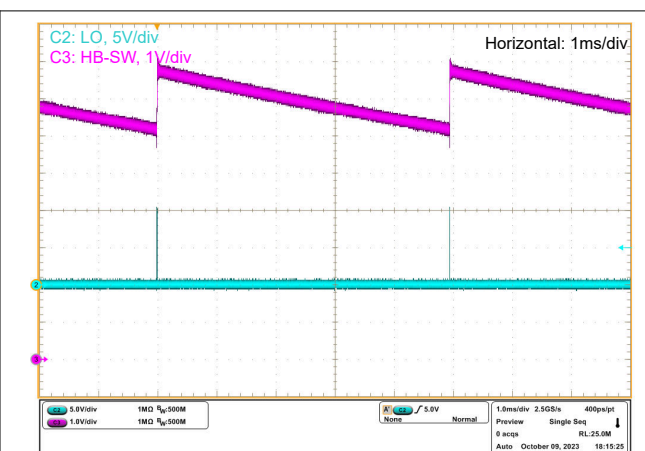


図 8-33. ISET トラッキング：方向変更によるインダクタ電流のトラッキング

図 8-34. プリチャージ：降圧モード、 $I_{load} = 0A$

8.6.1.3.8 保護

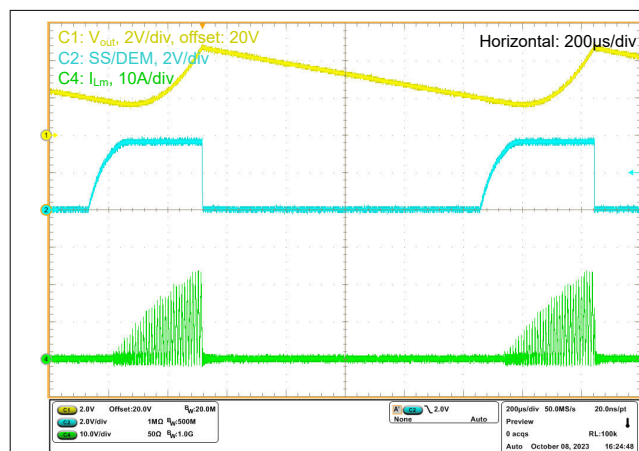


図 8-35. OVP : 降圧モード

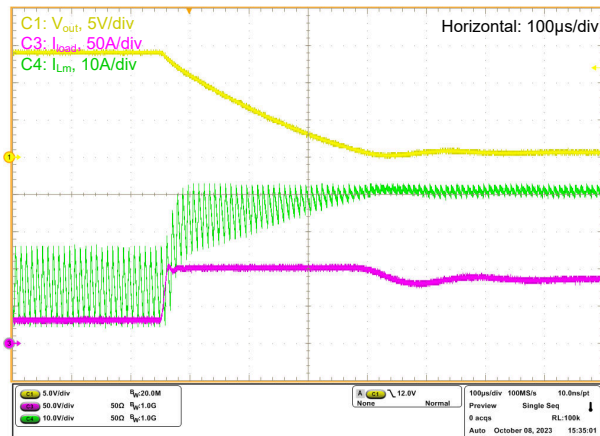


図 8-36. 出力短絡 : 降圧モード

8.7 電源に関する推奨事項

LM5171-Q1 をベースとするコンバータは、48V と 12V のデュアル バッテリ システムなどの 2 つの差動電圧レール、または一方の端にバッテリー、もう一方の端にスーパー キャパシタを配置したストレージ システムで動作するように設計されています。ベンチ電源で動作する場合、各電源は最大動作電流をソースおよびシンクする必要があります。図 8-37 に示されているように、電子負荷 (E-Load) をベンチ電源 (PS) と並列に接続してバッテリーをエミュレートします。

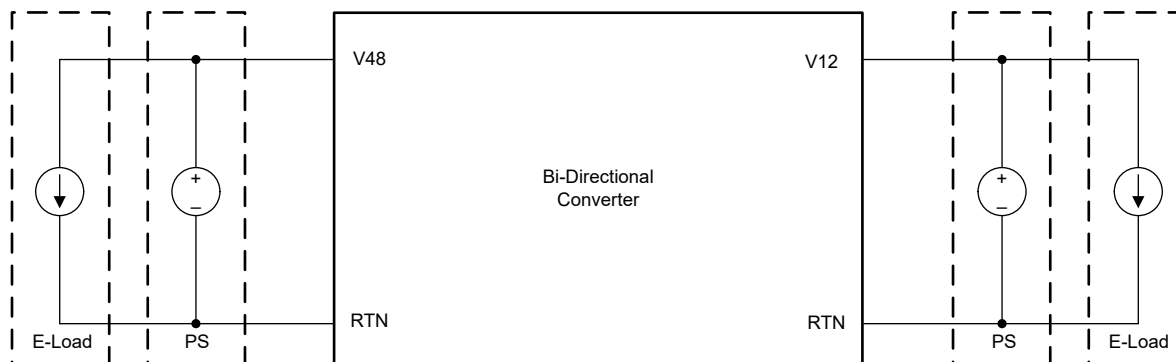


図 8-37. ベンチ電源と電子負荷を備えたエミュレート デュアル バッテリ システム

8.8 レイアウト

8.8.1 レイアウトのガイドライン

低 EMI で安定した電源動作、最適な効率を実現するには、PCB レイアウトを注意深く行うことが重要です。高周波電流ループはできるだけ小さくし、適切なレイアウト方法で以下のガイドラインに従ってください。

1. 大電力基板の設計では、少なくとも 2 オンス以上の銅プレーンで 4 層 PCB を使用します。最初の内部層は、電源部品を取り付ける最上層に隣接するグランド プレーンを行い、2 番目の内部層を電流センス、ゲートドライブ、コマンドなどの重要な制御信号に使用します。信号層と最上層との間のグランド プレーンは、最上層のスイッチング ノイズを遮蔽し、制御信号に影響を与えないようにします。
2. トレースを配線する前に、部品の配置と方向を最適化します。ポートからポートへの電力フローが直接でまっすぐかつ短くなるように電源部品を配置します。基板上の電力流路をジグザグにしないでください。
3. 高周波の AC 電流ループを特定します。双方向コンバータでは、各チャネルの AC 電流ループは HV ポートのレールコンデンサ、ハイサイド MOSFET、ローサイド MOSFET を経由し、HV ポートのレールコンデンサのリターンに戻ります。これらの部品は、電流フローパスが短く直接的で、ループにより囲まれる特別な領域が最小になるように配置します。
4. 電源回路を CH-1 と CH-2 の間で対称に配置します。HV ポートのレールコンデンサと LV ポートのレールコンデンサを CH-1 と CH-2 の間で均等に分割します。
5. 同じ PCB で複数の LM5171-Q1 を使用する場合は、各 LM5171-Q1 の回路を同様のパターンに配置します。
6. 大電流 PCB トラックの導通損失を最小限に抑えるため、電源回路に十分な銅を使用します。また、十分に銅を使用することで、電力部品、特にパワー インダクタ、パワー MOSFET、電流センス抵抗により発生する熱を放散することもできます。しかし、ハイサイド MOSFET のソース、ローサイド MOSFET のドレイン、パワー インダクタ、コントローラの SW ピンが接続されているスイッチ ノードのポリゴンに注意してください。スイッチ ノードのポリゴンは、スイッチング動作中に高い dv/dt が発生します。スイッチ ノードのポリゴンからの EMI 放射を最小限に抑えるために、スイッチのサイズを十分に大きくする必要がありますが、スイッチング電流を流すために過剰な大きさにすることは避けてください。
7. 適切な数のビアホールを使用して、内層に電流を流し、熱を通します。
8. パワー グランドは必ずアナログ グランドと分離し、パワー グランド、アナログ グランド、EP パッドを PGND ピンの位置で 1 点接続します。
9. 電流センス抵抗の両端にケルビン検出を使用して、CSA と CSB 配線の各ペアを直接配線することで、電流検出誤差を最小限に抑えます。ノイズ耐性を向上させるため、2 つのパターンは隣接するように配線する必要があります。
10. CS、FBLV、FBHV、IPK、VSET、IMON、COMP、OVP ピンの敏感なアナログ信号は、高速スイッチング ノード (HB、HO、LO、SW) から離して配線します。
11. ペアで接続されるゲートドライブ パターン (HO1 と SW1、HO2 と SW2、LO1 とリターン、LO2 とリターンの組み合わせ) は、互いに隣接して配線します。CH-1 のゲートドライブ パターンは CH-2 のパターンと対称に配線します。
12. デバイス設定、プログラミング、制御部品は、以下の部品を含め、対応するピンのできるだけ近くに配置します。
R_{OSC}、R_{CFG}、R_{DT}、C_{COMP1}、R_{COMP2}、C_{COMP1}、C_{COPM2}、C_{HF1}、C_{HF2}、R_{HVC}、R_{LVC}、C_{HVC}、C_{LVC}、C_{HVHF}、C_{LVHF}。
13. バイパスコンデンサは、C_{HV}、C_{VCC}、C_{VDD}、C_{VREF}、C_{VSET}、C_{HB1}、C_{HB2}、C_{OV}、C_{IPK}、C_{IS}、C_{CS1}、C_{CS2}、100pF 電流センス同相モード バイパスコンデンサなど、対応するピンのできるだけ近くに配置します。
14. 最適な放熱性能を実現するために、各層に銅を塗りつぶして、空の領域を埋めます。
15. システム要件に従って、必要に応じて部品にヒートシンクを取り付けます。

8.8.2 レイアウト例

下図に、これらのレイアウトガイドラインのいくつかの例が示されています。LM5171-Q1 評価基板 (LM5171EVM-BIDIR) の詳細な PCB レイアウト アートワークについては、『[LM5171 EVM ユーザーガイド](#)』を参照してください。

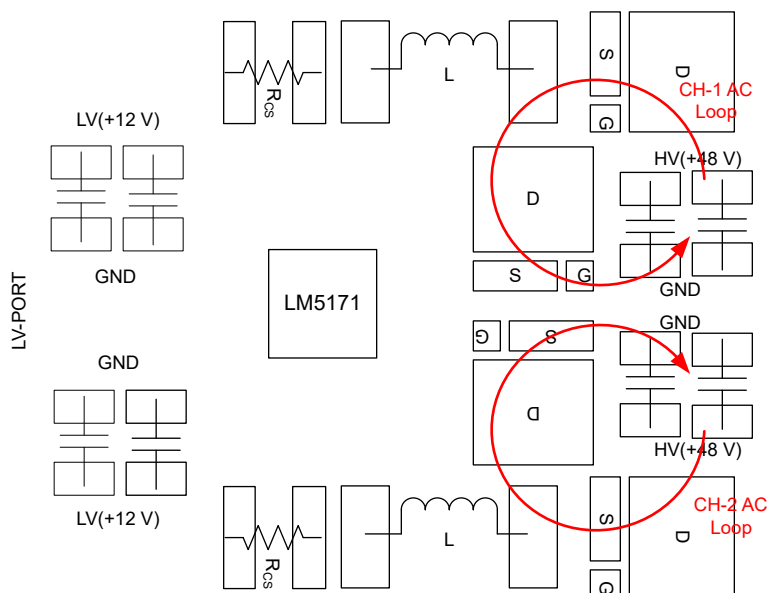


図 8-38. デュアル チャネル電源回路の配置例

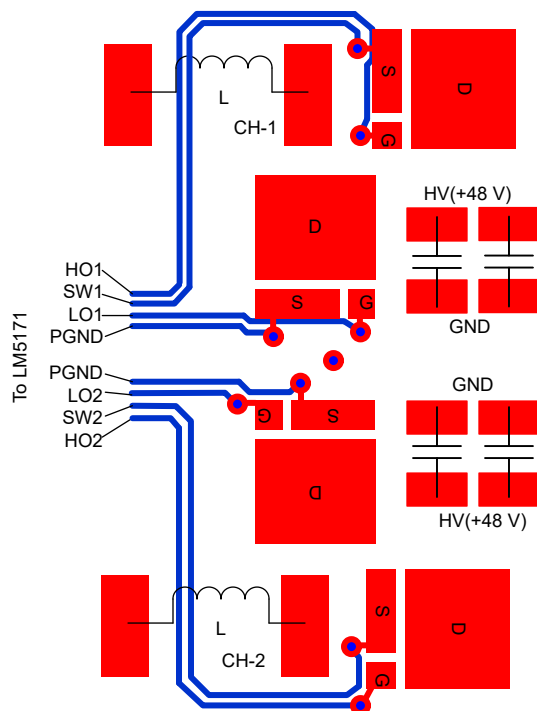
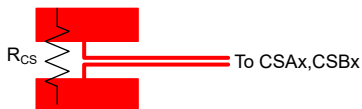
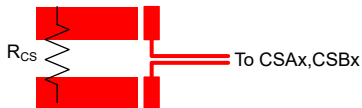


図 8-39. MOSFET ゲート ドライブ配線のレイアウト例



(a) Kelvin Connect of Resistor without Sense Pins



(b) Kelvin Connect of Resistor with Sense Pins

図 8-40. 電流センス配線のレイアウト例

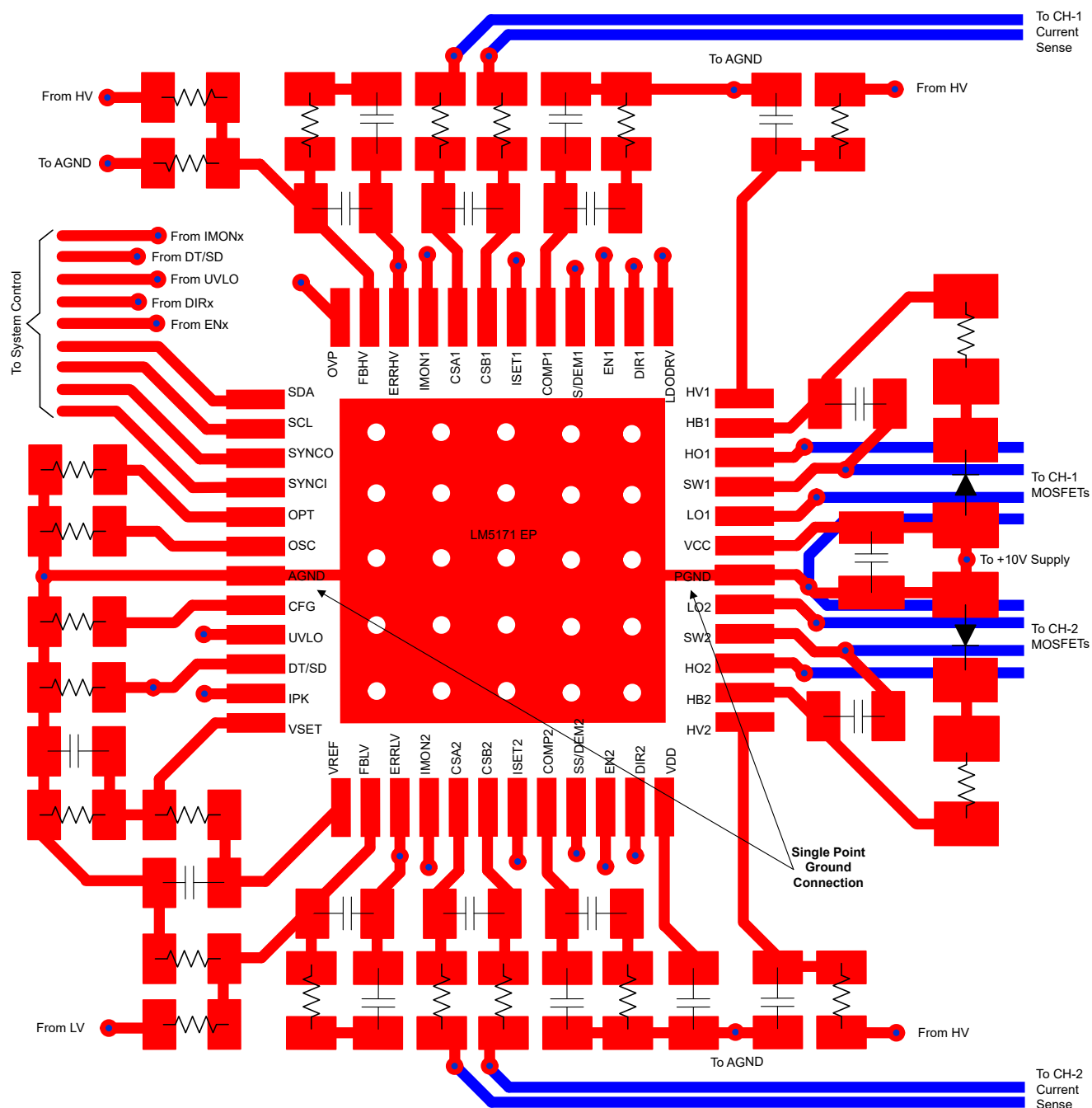


図 8-41. LM5171-Q1 の重要な信号配線のレイアウト例

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 開発サポート

開発サポートについては、以下を参照してください。

- [LM5170](#)
- [LM25118](#)
- [LM5118](#)
- [LM5158](#)
- [LM5160](#)
- [LM5161](#)

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (July 2025) to Revision B (September 2025)	Page
• ドキュメントのステータスを「事前情報」から「量産データ」に変更.....	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM5171QPHPRQ1	Active	Production	HTQFP (PHP) 48	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	LM5171Q

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LM5171-Q1 :

- Catalog : [LM5171](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

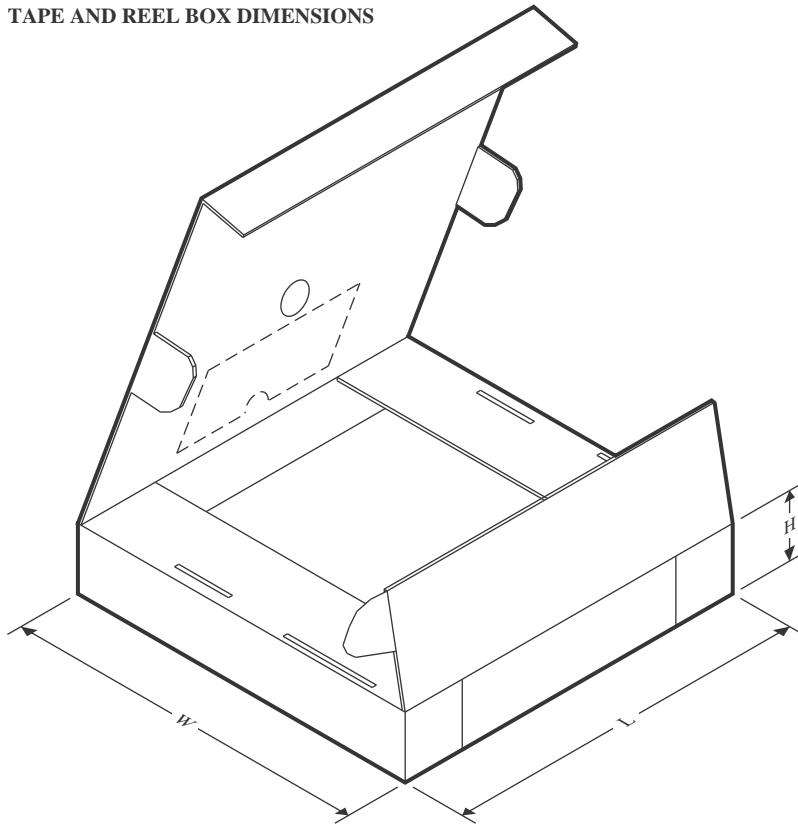
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM5171QPHPRQ1	HTQFP	PHP	48	2500	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM5171QPHPRQ1	HTQFP	PHP	48	2500	336.6	336.6	31.8

GENERIC PACKAGE VIEW

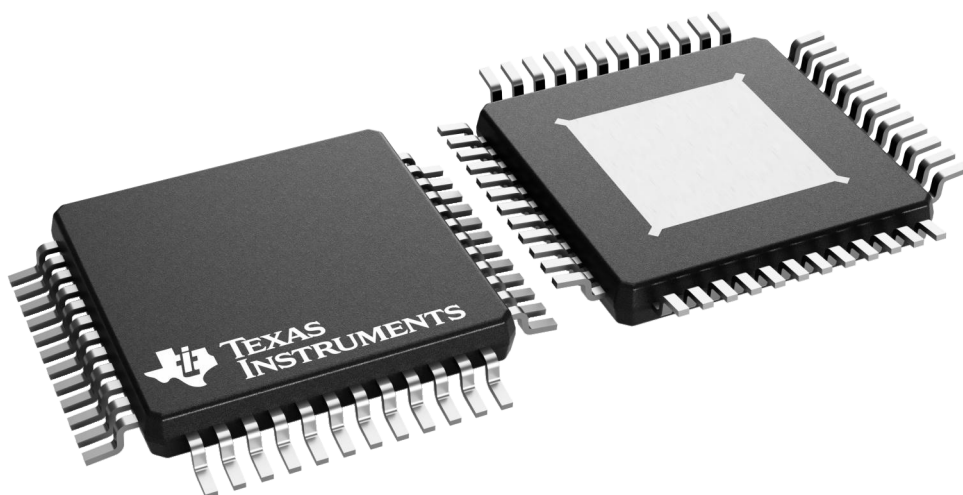
PHP 48

TQFP - 1.2 mm max height

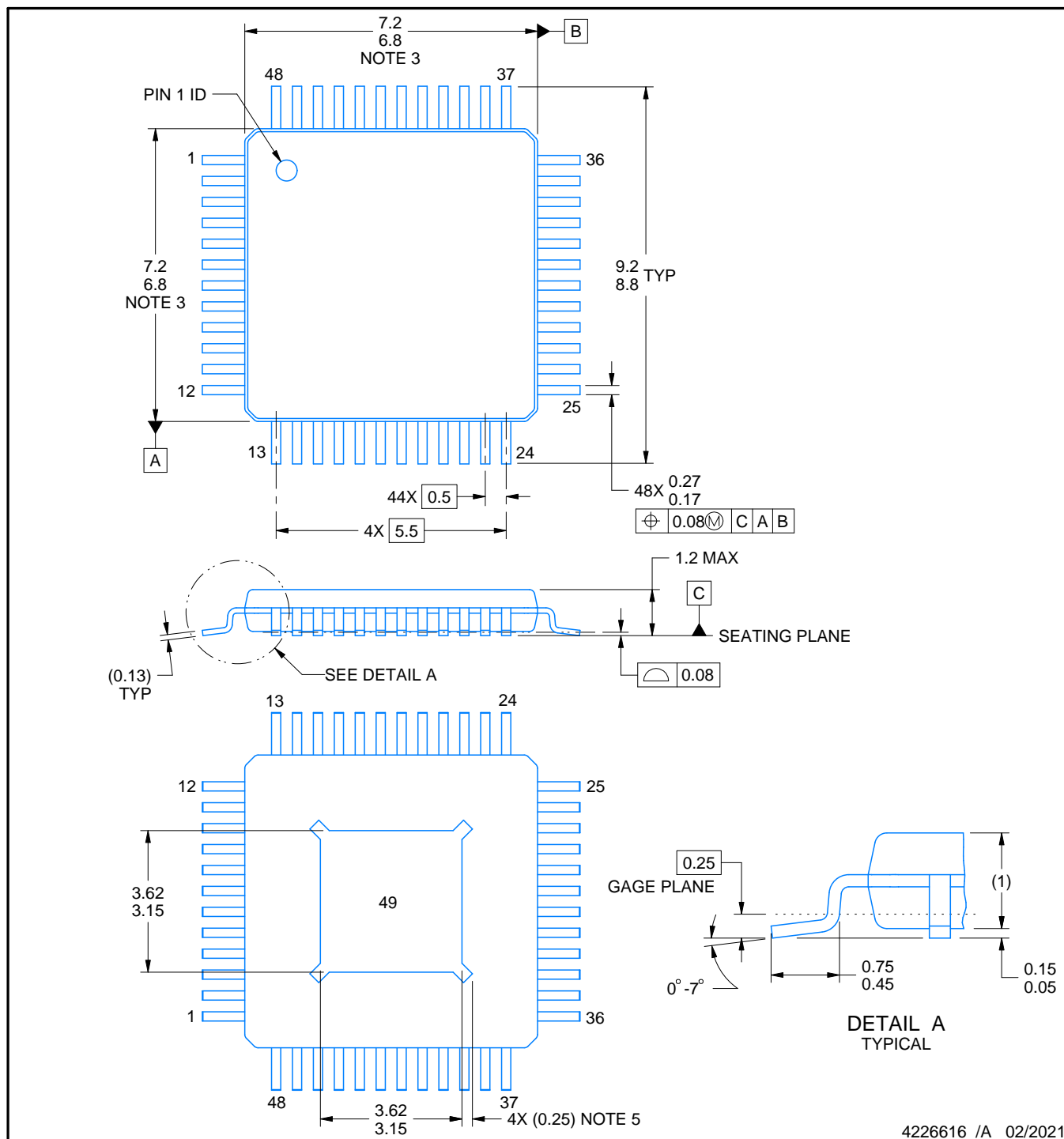
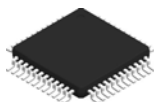
7 x 7, 0.5 mm pitch

QUAD FLATPACK

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4226443/A

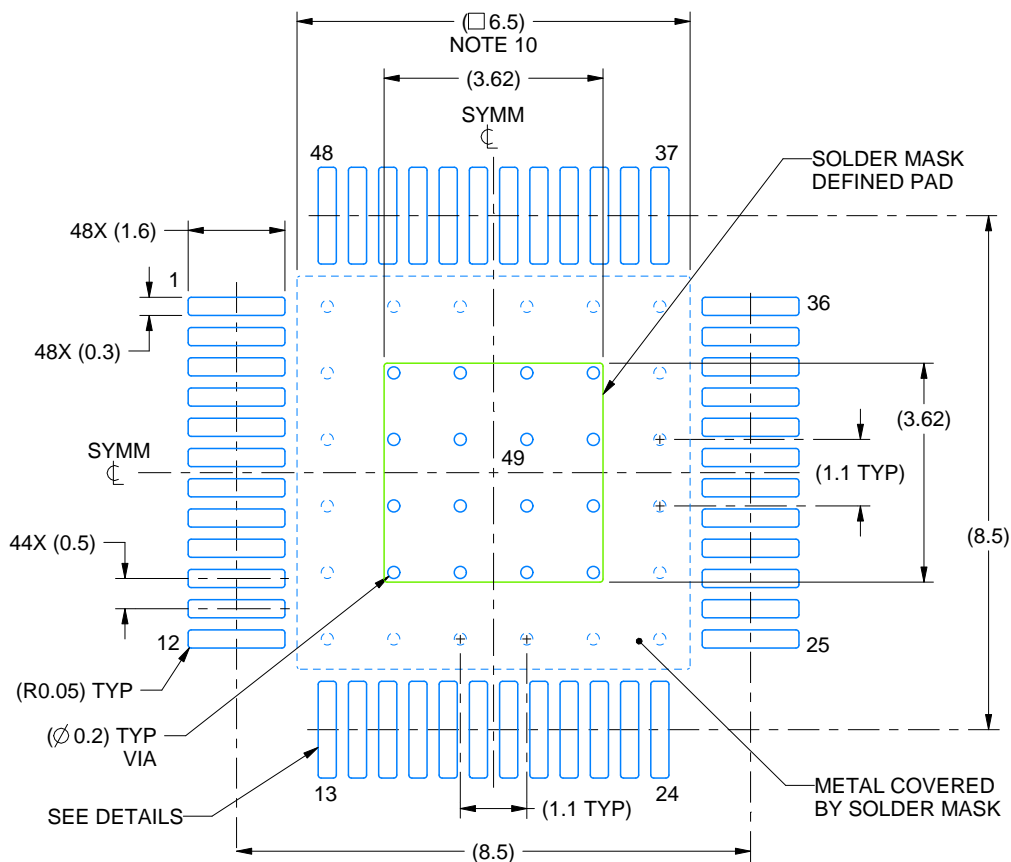


4226616 /A 02/2021

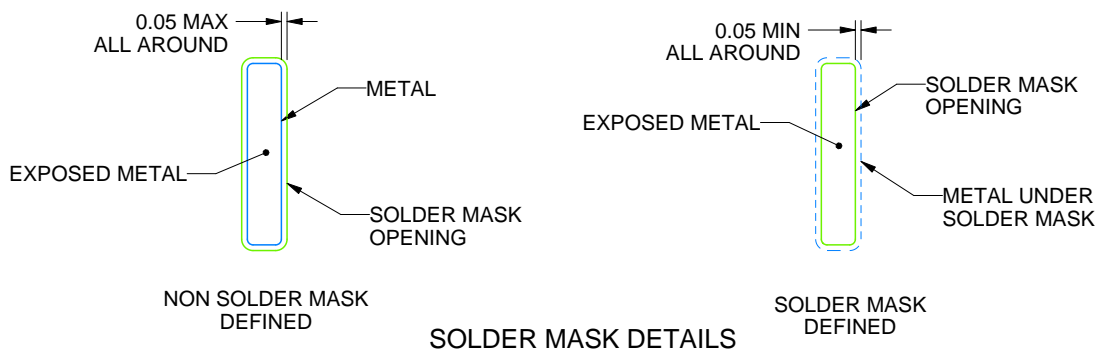
NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.
5. Feature may not be present.

PHP0048E**PowerPAD™ HTQFP - 1.2 mm max height**

LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



4226616 /A 02/2021

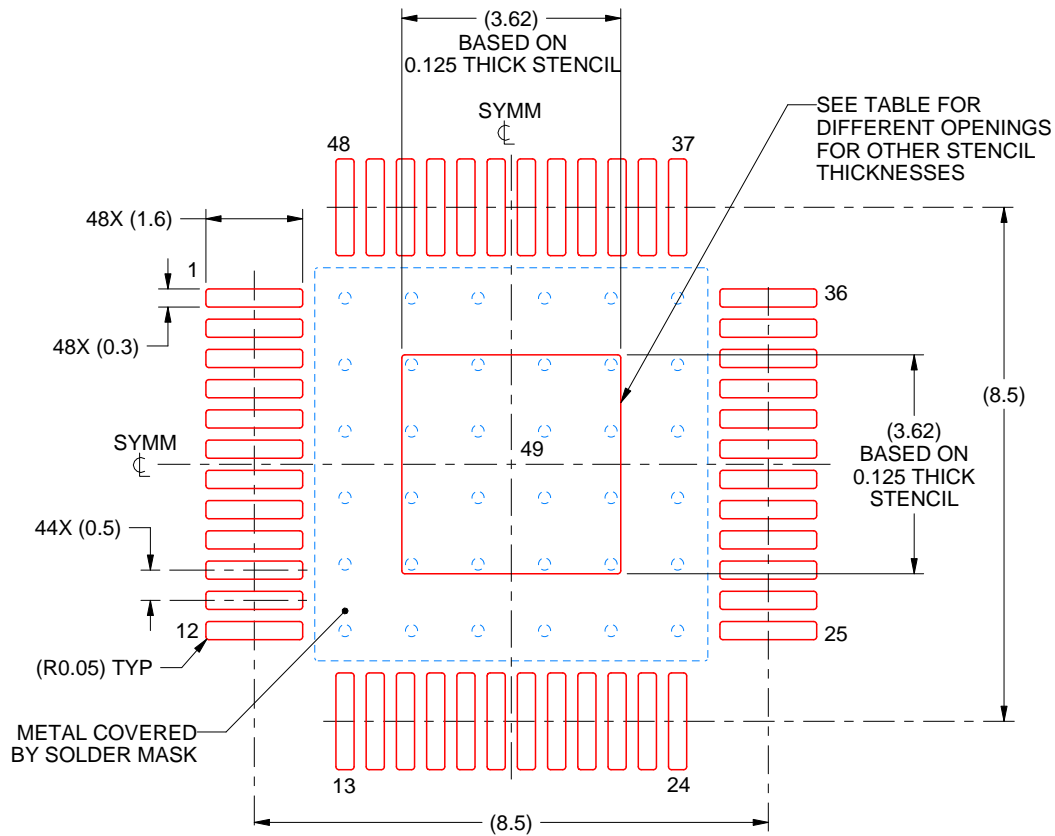
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

PHP0048E

PowerPAD™ HTQFP - 1.2 mm max height



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	4.05 X 4.05
0.125	3.62 x 3.62 (SHOWN)
0.150	3.30 x 3.30
0.175	3.06 x 3.06

4226616 /A 02/2021

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月