

SN65LVDxx 高速、差動ライン ドライバ/レシーバ

1 特長

- ANSI TIA/EIA-644 規格を満たすか上回る
- 信号レートを設計¹ 最大:
 - ドライバ向け 630Mbps
 - レシーバ向け 400Mbps
- 2.4V~3.6V 電源で動作
- SOT-23 と SOIC の各パッケージで供給されます
- 9kV を超えるバス端子 ESD
- 低電圧差動信号処理で、100Ω 負荷への標準出力電圧は 350mV です。
- 伝搬遅延時間
 - 1.7ns 標準ドライバ
 - 2.5ns 標準レシーバ
- 200MHz での消費電力
 - 25mW 標準ドライバ
 - 60mW 標準レシーバ
- LVDT レシーバにはライン終端が含まれます
- 低電圧 TTL (LVTTL) レベル ドライバ入力は 5V 許容
- ドライバは $V_{CC} < 1.5V$ で出力が高インピーダンス
- レシーバ出力および入力は $V_{CC} < 1.5V$ で高インピーダンス
- レシーバの開路フェイルセーフ
- 差動入力電圧スレッショルド: 100mV 未満

2 アプリケーション

- ワイヤレス インフラ
- 通信インフラ
- プリンタ

3 概要

SN65LVDS1、SN65LVDS2、SN65LVDT2 デバイスは、スマート アウトライントランジスタ パッケージに搭載されたシングル、低電圧、差動ライン ドライバおよびレシーバです。出力は TIA/EIA-644 規格に準拠しており、ドライバでは最大 630Mbps、レシーバでは最大 400Mbps の信号速度における、100Ω 負荷への最小差動出力電圧振幅は 247mV です。

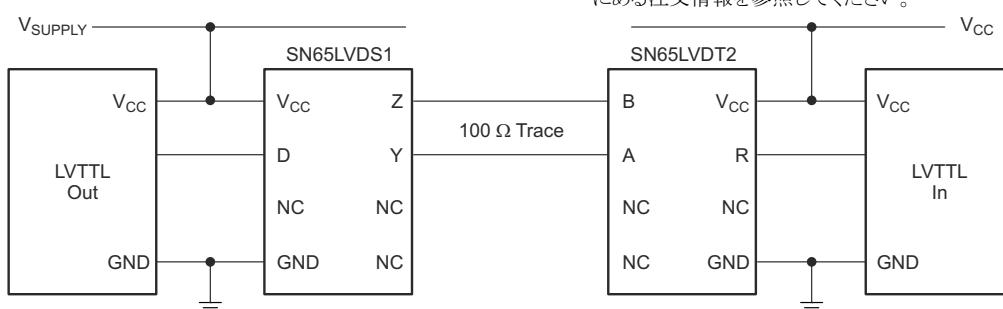
SN65LVDS1 デバイスを LVDS レシーバ (SN65LVDT2 など) とポイントツー ポイント接続で使用すると、プリント基板のパターンまたはケーブルを介して、非常に高いレート、非常に小さな電磁気放射と消費電力で、データまたはクロック信号を送信できます。そのパッケージ、低い消費電力と EMI、高い ESD 耐性、広い電源電圧範囲により、このデバイスはバッテリ駆動のアプリケーションに理想的です。

SN65LVDS1、SN65LVDS2、SN65LVDT2 は $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ で仕様が規定されています。

製品情報

部品番号	パッケージ ⁽¹⁾	本体サイズ (公称)
SN65LVDS1	SOIC (8)	4.90 mm × 3.91 mm
	SOT (5)	2.90mm × 1.60 mm
SN65LVDS2	SOIC (8)	4.90 mm × 3.91 mm
	SOT (5)	2.90mm × 1.60 mm
SN65LVDT2	SOIC (8)	4.90 mm × 3.91 mm
	SOT (5)	2.90mm × 1.60 mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



概略回路図

¹ ラインの信号レートとは、1 秒あたりの電圧遷移回数を bps (ビット/秒) 単位で表したものです。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	8.4 デバイスの機能モード	17
2 アプリケーション	1	9 アプリケーションと実装	19
3 概要	1	9.1 アプリケーション情報	19
4 デバイスのオプション	3	9.2 代表的なアプリケーション	19
5 ピン構成および機能	3	10 電源に関する推奨事項	26
6 仕様	4	11 レイアウト	26
6.1 絶対最大定格	4	11.1 レイアウトのガイドライン	26
6.2 ESD 定格	4	11.2 レイアウト例	30
6.3 推奨動作条件	4	12 デバイスおよびドキュメントのサポート	31
6.4 熱に関する情報	5	12.1 デバイスサポート	31
6.5 ドライバの電気的特性	5	12.2 サード・パーティ製品に関する免責事項	31
6.6 レシーバの電気的特性	6	12.3 ドキュメントのサポート	31
6.7 ドライバのスイッチング特性	6	12.4 ドキュメントの更新通知を受け取る方法	31
6.8 レシーバのスイッチング特性	7	12.5 サポート・リソース	31
6.9 代表的特性	8	12.6 商標	31
7 パラメータ測定情報	10	12.7 静電気放電に関する注意事項	31
8 詳細説明	14	12.8 用語集	31
8.1 概要	14	13 改訂履歴	32
8.2 機能ブロック図	14	14 メカニカル、パッケージ、および注文情報	32
8.3 機能説明	14		

4 デバイスのオプション

部品番号	終端内蔵	パッケージ
SN65LVDS1DBV		SOT-23 (5)
SN65LVDS1D		SOIC (8)
SN65LVDS2DBV		SOT-23 (5)
SN65LVDS2D		SOIC (8)
SN65LVDT2DBV	✓	SOT-23 (5)
SN65LVDT2D	✓	SOIC (8)

5 ピン構成および機能

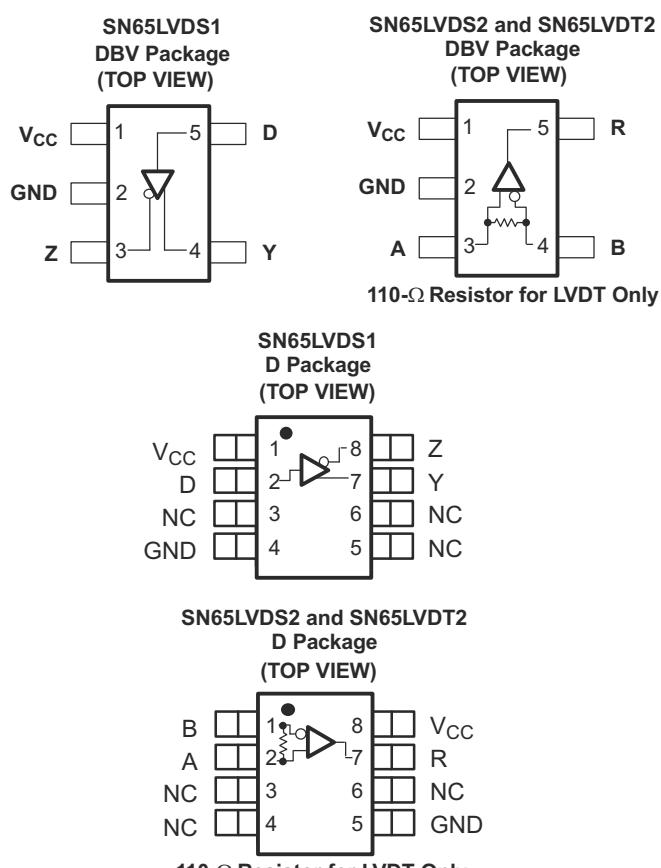


表 5-1. ピンの機能 : SN65LVDS1

ピン			I/O	説明
名称	DBV	D		
V _{CC}	1	1	--	電源電圧
GND	2	4	--	グランド
D	5	2	I	LVTTL 入力信号
Y	4	7	O	差動 (LVDS) 非反転出力
Z	3	8	O	差動 (LVDS) 反転出力
NC	--	3, 5, 6	--	無接続

表 5-2. ピンの機能 : SN65LVDS2、SN65LVDT2

ピン			I/O	説明
名称	DBV	D		
V _{CC}	1	8	--	電源電圧
GND	2	5	--	グランド
A	3	2	I	差動 (LVDS) 非反転出力
B	4	1	I	差動 (LVDS) 反転出力
R	5	7	O	LVTTL 出力信号
NC	--	3, 4, 6	--	無接続

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

パラメータ		最小値	最大値	単位
電源電圧範囲、V _{CC} ⁽²⁾		-0.5	4	V
入力電圧範囲、V _I	(A または B)	-0.5	4	V
	(D)	-0.5	V _{CC} + 2	V
出力電圧、V _O	(Y または Z)	-0.5	4	V
差動入力電圧、 V _{ID}	SN65LVDT2 のみ		1	V
レシーバ出力電流、I _O		-12	12	mA
保管温度、T _{stg}		-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス評価であり、データシートの「[推奨動作条件](#)」に示された値と等しい、またはそれを超える条件で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 差動 I/O バス電圧を除くすべての電圧値は、ネットワーク グランド端子を基準にしています。

6.2 ESD 定格

パラメータ			値	単位
V _(ESD) 静電放電	人体モデルの静電放電、HBM ESD ⁽¹⁾		すべてのピン	±4000
			バスピン (A, B, Y, Z)	±9000
	マシン モデルの静電放電、MM ESD ⁽²⁾			±400
	電場誘起電荷デバイス モデル静電放電、FCDM ESD ⁽³⁾			±1500

- (1) JEDEC 規格 22、テスト方法 A114-A に基づくテスト方法。バスピンには、GND と V_{CC} に対して個別にストレスが印加されます。
- (2) JEDEC 規格 22、テスト方法 A114-A に基づくテスト方法。
- (3) EIA-JEDEC JESD22-C101C に基づくテスト方法。

6.3 推奨動作条件

パラメータ		最小値	公称値	最大値	単位
V _{CC}	電源電圧	2.4	3.3	3.6	V
V _{IH}	High レベル入力電圧	2		5	V
V _{IL}	Low レベル入力電圧	0		0.8	V
T _A	自由空気での動作温度	-40		85	°C
V _{ID}	差動入力電圧の大きさ	0.1		0.6	V
	入力電圧 (入力電圧または同相電圧の任意の組み合わせ)	0		V _{CC} - 0.8	V

6.4 热に関する情報

热評価基準 ⁽¹⁾		SN65LVDS1、SN65LVDS2、 SN65LVDT2		単位
		D	DBV	
		8 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への热抵抗	172.4	322.6	°C/W
定格電力	$T_A \leq 25^\circ\text{C}$	725	385	mW
	$T_A \leq 85^\circ\text{C}$	402	200	

(1) 従来および新しい热評価基準の詳細については、『IC パッケージの热評価基準』アプリケーション レポート、[SPRA953](#) を参照してください。

6.5 ドライバの電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値 ⁽¹⁾	標準値 ⁽²⁾	最大値	単位
V _{OD}	$R_L = 100\Omega$ 、 $2.4 \leq V_{CC} < 3\text{V}$	200	350	454	mV
	$R_L = 100\Omega$ 、 $3 \leq V_{CC} < 3.6\text{V}$	247	350	454	
$\Delta V_{OD} $	ロジック状態間の差動出力電圧の大きさの変化	図 1-1 を参照	-50	50	
$V_{OC(ss)}$	定常同相出力電圧		1.125	1.375	V
$\Delta V_{OC(ss)}$	ロジック状態間での定常同相出力電圧の変化	図 1-1 を参照	-50	50	mV
$V_{OC(PP)}$	ピーク ツー ピークの同相出力電圧		25	100	mV
I_{CC}	電源電流	$V_I = 0\text{V}$ または V_{CC} 、無負荷	2	4	mA
		$V_I = 0\text{V}$ または V_{CC} 、 $R_L = 100\Omega$	5.5	8	
I_{IH}	High レベル入力電流	$V_{IH} = 5\text{V}$	2	20	μA
I_{IL}	Low レベル入力電流	$V_{IL} = 0.8\text{V}$	2	10	μA
I_{OS}	短絡出力電流	V_{OY} または $V_{OZ} = 0\text{V}$	3	10	mA
		$V_{OD} = 0\text{V}$		10	
$I_{O(OFF)}$	電源オフ出力電流	$V_{CC} = 1.5\text{V}$ 、 $V_O = 3.6\text{V}$	-1	1	μA
C_i	入力容量	$V_I = 0.4\sin(4E6\pi t) + 0.5\text{V}$		3	pF

(1) このデータシートでは、最も小さい正 (最も大きな負) の制限を最小として指定する代数的規約を使用します。

(2) 標準値はすべて 25°C で、 3.3V の電源電圧を使用します。

6.6 レシーバの電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値 ⁽¹⁾	標準値 ⁽²⁾	最大値	単位
$V_{I\text{TH}+}$	正方向の差動入力電圧スレッショルド 図 1-1 を参照	-100	100	mV	
$V_{I\text{TH}-}$					
V_{OH} High レベル出力電圧	$I_{OH} = -8\text{mA}, V_{CC} = 2.4\text{V}$	1.9	2.4	V	
	$I_{OH} = -8\text{mA}, V_{CC} = 3\text{V}$	2.4			
V_{OL} Low レベル出力電圧	$I_{OL} = 8\text{mA}$	0.25	0.4	V	
I_{CC} 電源電流	無負荷、定常状態	4	7	mA	
I_I 入力電流 (A または B 入力)	LVDS2 $V_I = 0\text{V}, \text{その他の入力} = 1.2\text{V}$ $V_I = 2.2\text{V}, \text{その他の入力} = 1.2\text{V}, V_{CC} = 3.0\text{V}$	-20	-2	μA	
		-3	-1.2		
	LVDT2 $V_I = 0\text{V}, \text{その他の入力はオープン}$ $V_I = 2.2\text{V}, \text{その他の入力はオープン}, V_{CC} = 3.0\text{V}$	-40	-4		
		-6	-2.4		
I_{ID} 差動入力電流 ($I_{IA} - I_{IB}$)	LVDS2 $V_{IA} = 2.4\text{V}, V_{IB} = 2.3\text{V}$	-2	2	μA	
$I_{I(\text{OFF})}$ 電源オフ入力電流 (A または B 入力)	LVDS2 $V_{CC} = 0\text{V}, V_{IA} = V_{IB} = 2.4\text{V}$	20	μA		
	LVDT2 $V_{CC} = 0\text{V}, V_{IA} = V_{IB} = 2.4\text{V}$	40			
R_T 差動入力抵抗	LVDT2 $V_{IA} = 2.4\text{V}, V_{IB} = 2.2\text{V}$	90	111	132	Ω
C_I 入力容量	$V_I = 0.4\sin(4E6\pi t) + 0.5\text{V}$	5.8	pF		
C_O 出力容量	$V_I = 0.4\sin(4E6\pi t) + 0.5\text{V}$	3.4	pF		

(1) このデータシートでは、最も小さい正 (最大の負) の制限を最小として指定する代数的規約を使用します。

(2) 標準値はすべて 25°C で、2.7V の電源電圧を使用します。

6.7 ドライバのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値 ⁽¹⁾	最大値	単位
t_{PLH} 伝搬遅延時間、出力立ち上がり	$R_L = 100\Omega, C_L = 10\text{pF}$ 図 1-1 を参照	1.5	3.1	ns	
t_{PHL} 伝搬遅延時間、出力立ち下がり		1.8	3.1	ns	
t_r 差動出力信号の立ち上がり時間		0.6	1	ns	
t_f 差動出力信号の立ち下がり時間		0.7	1	ns	
$t_{sk(p)}$ パルススキュー ($ t_{PHL} - t_{PLH} $) ⁽²⁾		0.3	ns		

(1) 標準値はすべて 25°C で、3.3V の電源電圧を使用します。

(2) $t_{sk(p)}$ は、出力における High から Low と Low から High への伝搬遅延時間の時間差です。

6.8 レシーバのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値 (1)	最大値	単位
t_{PLH}	$C_L = 10\text{pF}$ 、図 1-1 を参照	1.4	2.6	3.6	ns
t_{PHL}		1.4	2.5	3.6	ns
$t_{sk(p)}$		0.1	0.6	ns	
t_r		0.8	1.4	ns	
t_f		0.8	1.4	ns	
$t_{r(slew)}$	$C_L = 10\text{pF}$	$V_{CC} = 3.0\text{V} - 3.6\text{V}$	2.2	3	V/ns
		$V_{CC} = 2.4\text{V} - 2.7\text{V}$	1.5	1.9	V/ns
		$V_{CC} = 3.0\text{V} - 3.6\text{V}$	2.7	3.8	6
		$V_{CC} = 2.4\text{V} - 2.7\text{V}$	2.1	2.3	V/ns

(1) 標準値はすべて 25°C で、2.7V の電源電圧を使用します。

(2) $t_{sk(p)}$ は、出力における High から Low と Low から High への伝搬遅延時間の時間差です。

6.9 代表的特性

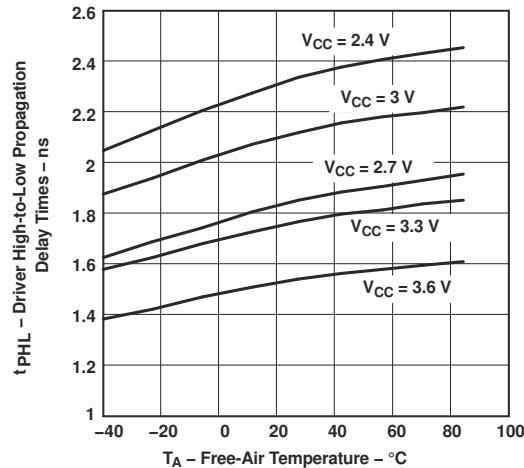


図 6-1. ドライバの High レベルから Low レベルへの伝搬遅延時間と周囲温度との関係

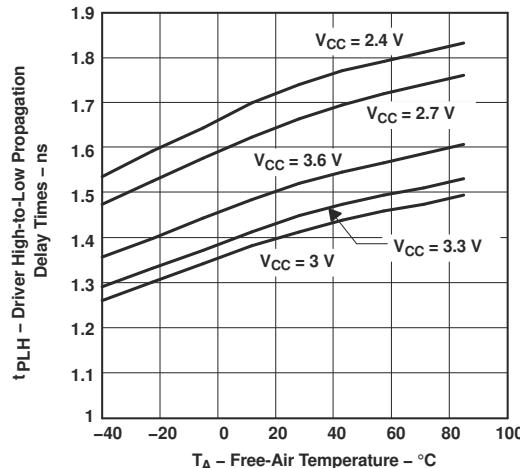


図 6-2. ドライバの Low レベルから High レベルへの伝搬遅延時間と周囲温度との関係

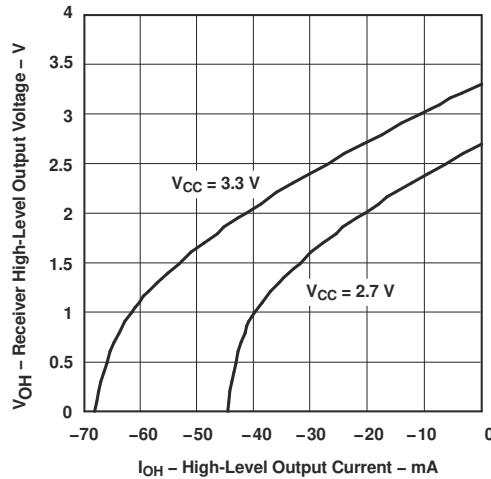


図 6-3. レシーバの High レベル出力電圧と High レベル出力電流との関係

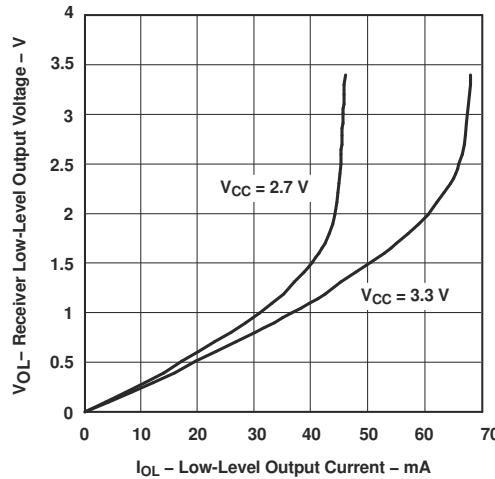


図 6-4. レシーバの Low レベル出力電圧と Low レベル出力電流との関係

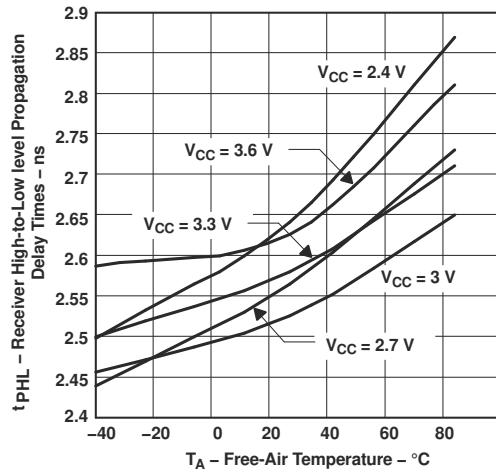


図 6-5. レシーバの High レベルから Low レベルへの伝搬遅延時間と周囲温度との関係

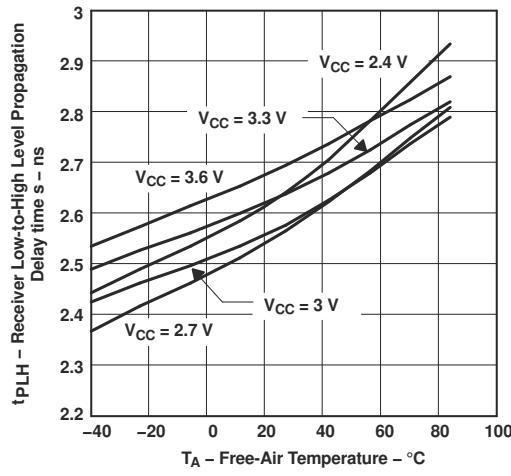


図 6-6. レシーバの Low レベルから High レベルへの伝搬遅延時間と周囲温度との関係

6.9 代表的特性 (続き)

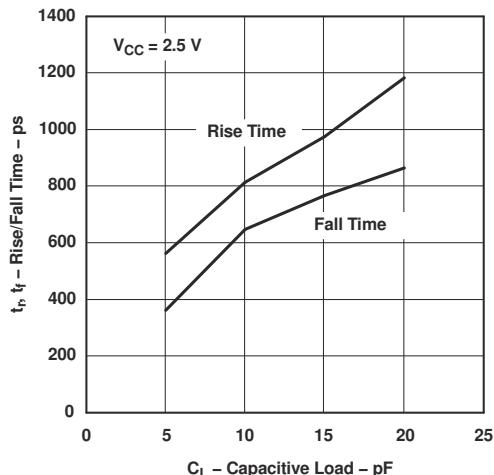


図 6-7. 立ち上がり / 立ち下がり時間と容量性負荷との関係

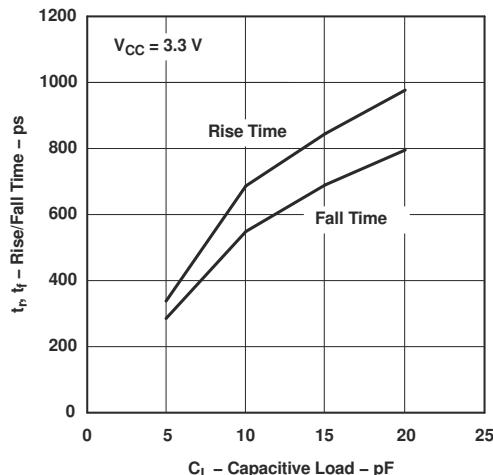


図 6-8. 立ち上がり / 立ち下がり時間と容量性負荷との関係

7 パラメータ測定情報

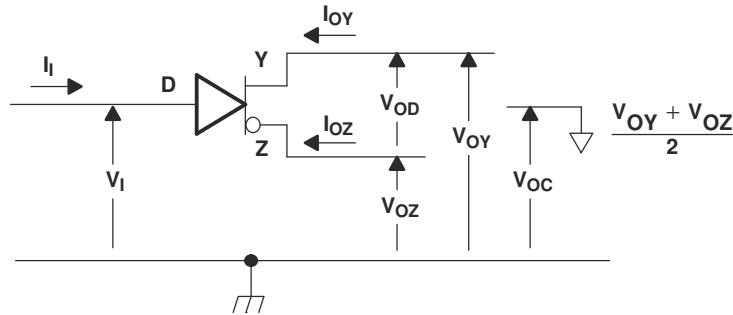
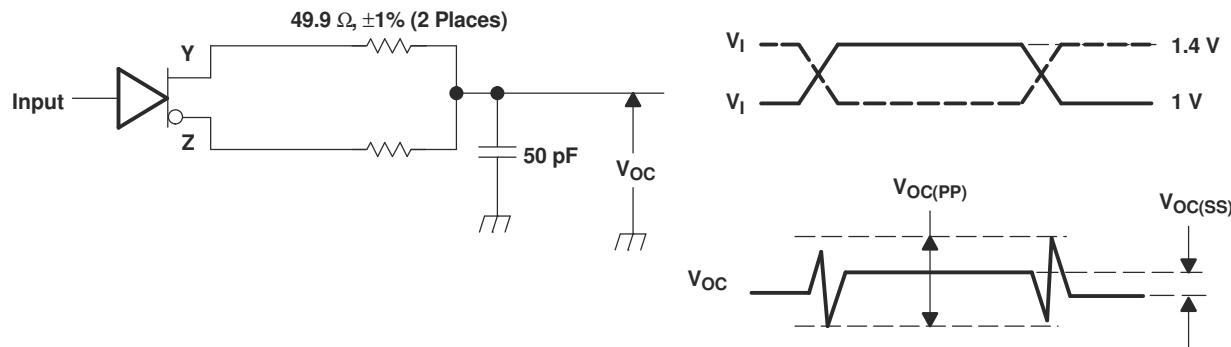


図 7-1. ドライバの電圧および電流の定義



- A. すべての入力パルスは、 t_f または $t_f \leq 1\text{ns}$ 、パルス反復レート (PRR) = 0.5Mpps、パルス幅 = $500 \pm 10\text{ns}$ の特性を持つジェネレータから供給されます。 C_L には、テスト対象デバイスから 0.06mm 以内の計測機器および治具の容量が含まれます。 $V_{OC(PP)}$ の測定は、300MHz 以上の -3dB 帯域幅を持つ試験装置で行います。

図 7-2. ドライバのテスト回路とドライバの同相出力電圧の定義

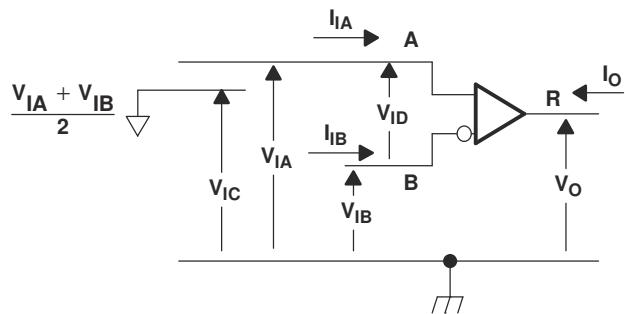
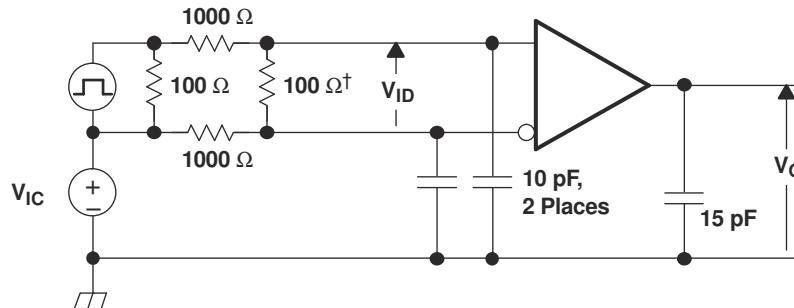
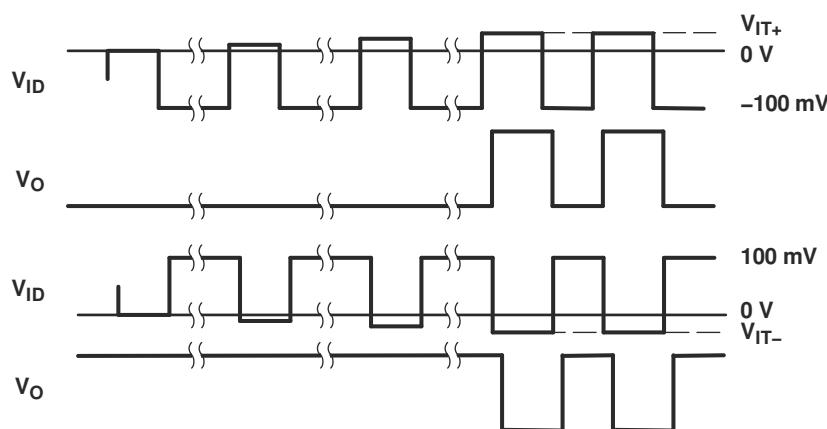


図 7-3. レシーバの電圧および電流の定義



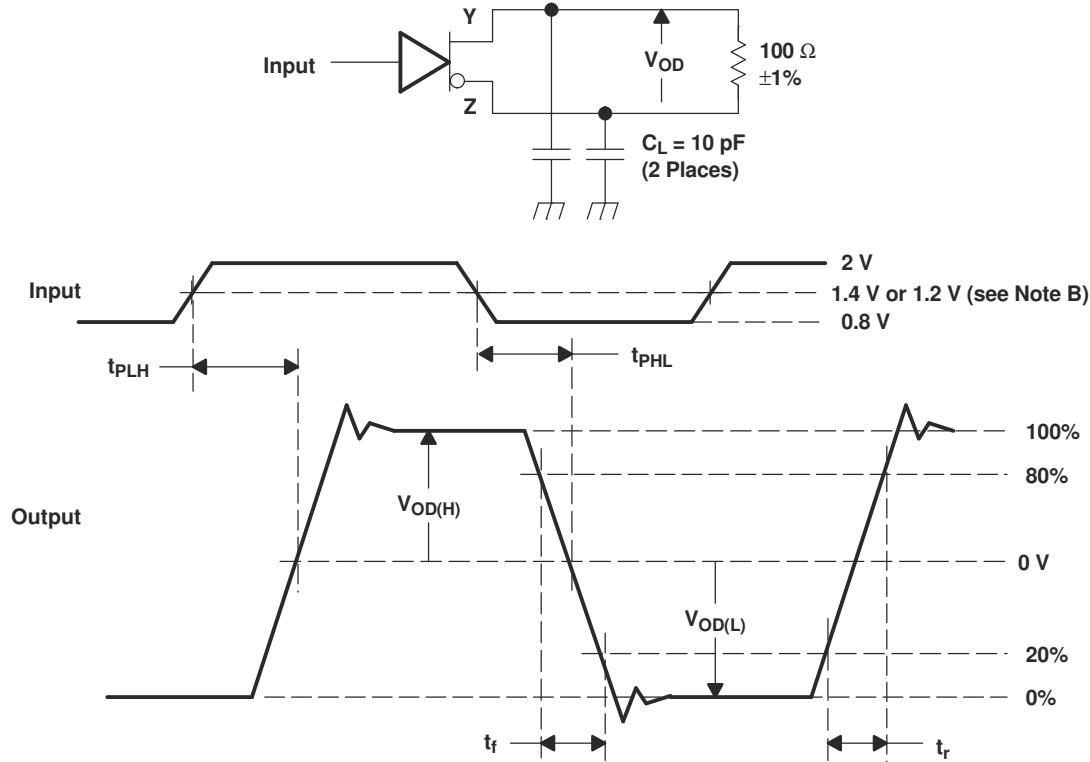
† Remove for testing LVDT device.

NOTE: Input signal of 3 Mpps, duration of 167 ns, and transition time of < 1 ns.



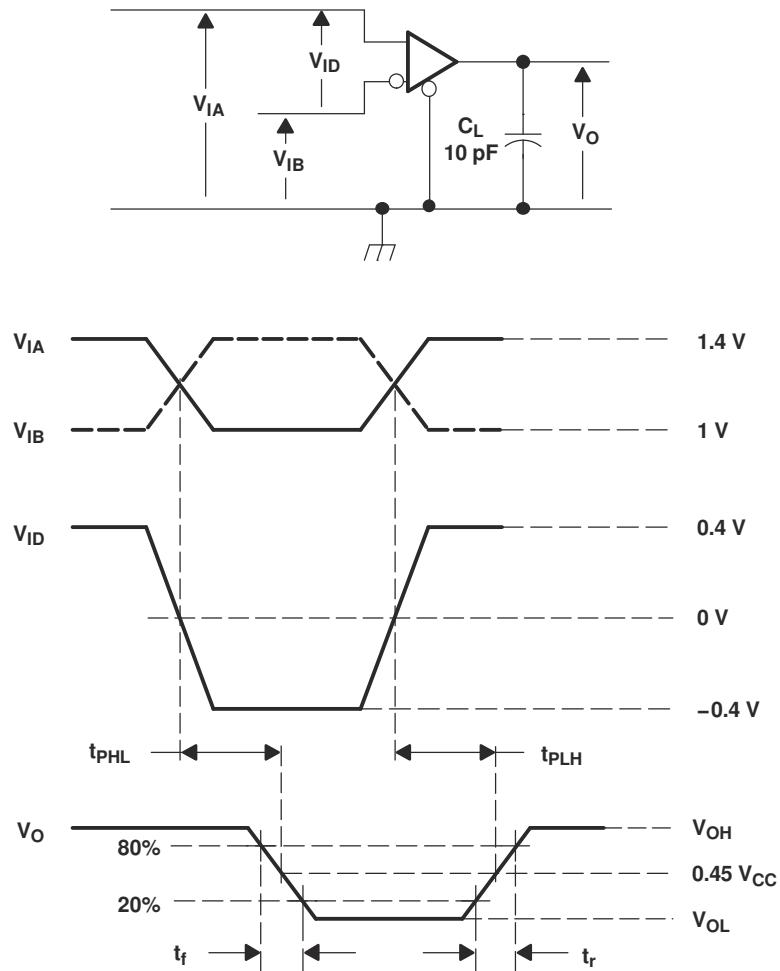
NOTE: Input signal of 3 Mpps, duration of 167 ns, and transition time of < 1 ns.

図 7-4. V_{IT+} および V_{IT-} 入力電圧スレッショルドのテスト回路と定義



- A. すべての入力パルスは、 $t_f \leq 1\text{ns}$ 、パルス反復率 (PRR) = 50Mpps、パルス幅 = $10 \pm 0.2\text{ns}$ の特性を持つジェネレータから供給されます。 C_L には、テスト対象デバイスから 0.06mm 以内の計測機器および治具の容量が含まれます。
- B. この点は、 $V_{CC} = 3.3\text{V}$ では 1.4V、 $V_{CC} = 2.7\text{V}$ では 1.2V です。

図 7-5. 差動出力信号のドライバ テスト回路、タイミング、電圧の定義



- A. すべての入力パルスは、 t_f または $t_r \leq 1\text{ns}$ 、パルス反復レート (PRR) = 50Mpps、パルス幅 = $10 \pm 0.2\text{ns}$ の特性を持つジェネレータから供給されます。 C_L には、テスト対象デバイスから 0.06 m 以内の計測機器および治具の容量が含まれます。

図 7-6. レシーバのタイミング テスト回路と波形

8 詳細説明

8.1 概要

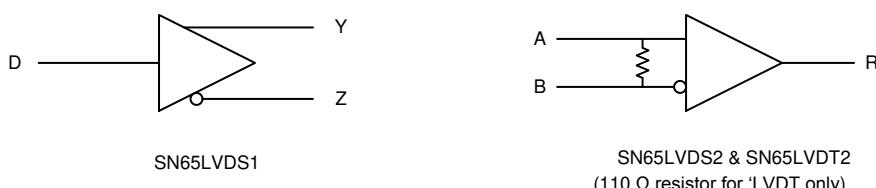
SN65LVDS1 デバイスは、シングル チャネルの低電圧差動信号 (LVDS) ライン ドライバです。公称 3.3V の単一電源で動作しますが、最低 2.4V、最大 3.6V に対応可能です。SN65LVDS1 への入力信号は LVTTL 信号です。デバイスの出力は、LVDS 規格 (TIA/EIA-644) に準拠した差動信号です。差動出力信号は、公称 340mV の信号レベルで動作し、同相電圧は 1.2V です。差動出力電圧がこのように低いため、放射エネルギーが小さくなっていますが、これは信号のスルーレートに依存します。出力の差動特性により、駆動信号で発生する可能性のある同相結合信号への耐性があります。

SN65LVDS1 デバイスは、100Ω の伝送ラインを駆動するよう設計されています。この伝送ラインには、プリント基板 (PCB) または相互接続ケーブルを使用できます。伝送ラインでは、伝送ラインが相互接続の特性インピーダンスに等しい負荷で終端されたときに、最適な信号品質と電力供給が実現します。同様に、駆動される 100Ω の伝送ラインも整合抵抗で終端する必要があります。

SN65LVDS2 デバイスは、シングル チャネルの LVDS ライン レシーバです。また、公称 3.3V の単一電源でも動作しますが、最低 2.4V、最大 3.6V に対応可能です。SN65LVDS2 への入力信号は、差動 LVDS 信号です。このデバイスの出力は LVTTL デジタル信号です。この LVDS レシーバは、受信信号に対応した正しい状態の LVDS レシーバが、0.05V~2.35V の同相電圧の入力信号を受信できるかどうかを決定するため、±100mV の入力信号を必要とします。LVDS ドライバの同相出力電圧は 1.2V であるため、SN65LVDS2 は、ドライバとレシーバの間の 1V グランド シフトで動作している場合、ラインの状態を正しく判定します。

SN65LVDT2 は、シングル チャネル LVDS レシーバでもあります。このデバイスは SN65LVDS2 と異なり、終端抵抗とレシーバが内蔵されています。この終端は、前述のマッチングされた負荷ライン終端を置き換えます。SN65LVDT2 は、ポイントツー ポイント システム、またはマルチドロップ バス上で最後のレシーバである場合はマルチドロップ システムで使用できます。バス全体の負荷インピーダンスが変化し、複数の反射と信号の歪みが発生するため、SN65LVDT2 デバイスはマルチドロップ システムのすべてのノードで使用するべきではありません。

8.2 機能ブロック図



8.3 機能説明

8.3.1 SN65LVDS1 の特長

8.3.1.1 ドライバ出力電圧とパワーオン リセット

SN65LVDS1 ドライバは、2.6V~3.6V の範囲の電源電圧で動作し、この範囲について規定されている性能要件をすべて満たしています。電源電圧が 1.5V を下回ると（または、電源がオンになってまだ 1.5V に達していないとき）、パワーオン リセット回路により、ドライバ出力が高インピーダンス状態に設定されます。

8.3.1.2 ドライバのオフセット

同相出力電圧を 1.2V (±75mV) に維持するには、LVDS 準拠のドライバが必要です。SN65LVDS1 には、検出回路と制御ループが組み込まれており、同相電流を供給して出力信号を指定の値に維持します。さらにデバイスは、2.6V~3.6V の電源電圧範囲の全体にわたって、この設定点で出力同相電圧を維持します。

8.3.1.3 5V 入力許容範囲

5V と 3.3V の TTL ロジック規格は、同じ入力 High 電圧スレッショルドと入力 Low 電圧スレッショルド（それぞれ 2.0V と 0.8V）を共有しています。SN65LVDS1 の最大電源電圧は 3.6V ですが、入力信号が 5V までなら、ドライバは動作し、すべての性能要件を満たすことができます。これにより、3.3V TTL および 5V TTL ロジックでの動作が可能になります。

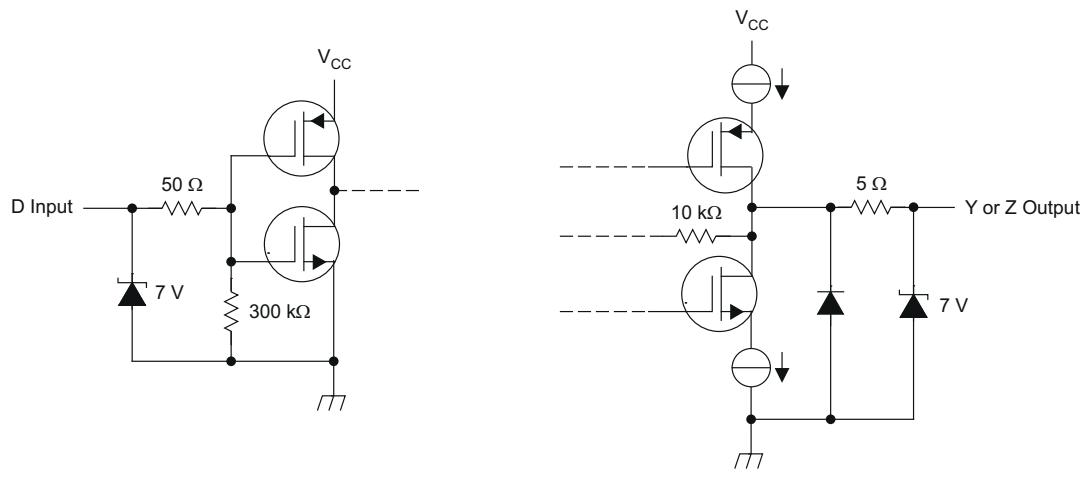
3.3V CMOS および 5V CMOS 入力も許容されますが、TTL (グランド基準) スレッショルドから生じるデューティ サイクルの歪みが許容範囲内であることを確認する必要があります。

8.3.1.4 NC ピン

NC (未接続) ピンは、ダイがリード フレームやパッケージに物理的に接続されていないピンです。最適な熱性能を得るには、NC ピンを基板レベルでグランドに接続することを経験上お勧めします。

8.3.1.5 ドライバの等価回路図

図 1-1 に、SN65LVDS1 の入出力等価回路図を示します。ドライバの入力は、7V のツェナー ダイオードを使用した CMOS インバータ段で表されます。入力段は高インピーダンスで、グランドへの内部プルダウンを備えています。ドライバ入力がオープンのままの場合、ドライバ入力はドライバ回路の他の部分に Low レベル信号を供給し、Low レベル信号がドライバ出力ピンに出力されます。ツェナー ダイオードは ESD 保護を実現します。ドライバの出力段は差動ペアで、その半分を 図 1-1 に示します。入力段と同様に、ドライバの出力には ESD 保護のためのツェナー ダイオードを搭載しています。この回路図には、入力段信号に基づいて出力負荷回路に接続された一連の電流源 (公称 3.5mA) を含む出力段が示されています。SN65LVDS2 の出力段は、1 次では定電流源として動作します。



S0313-02

図 8-1. ドライバの等価な入出力回路図

8.3.2 SN65LVDS2 および SN65LVDT2 の特長

8.3.2.1 レシーバの開路フェイルセーフ

差動信号アプリケーションの最も一般的な問題の 1 つは、信号ペアに差動電圧が存在しないときのシステムがどう応答するか、ということです。LVDS レシーバは、ほとんどの差動ライン レシーバと同様に、差動入力電圧が $-100\text{mV} \sim 100\text{mV}$ の間で、推奨される入力同相電圧範囲内の場合、出力ロジック状態が不定になる可能性があります。ただし、テキサス・インスツルメンツの LVDS レシーバは、入力が開路になった場合への対処方法が異なります。

開路とは、データ ライン自体からレシーバへの入力電流がほとんどまたはまったくないことを意味します。これは、ドライバが高インピーダンス状態のとき、またはケーブルが切断されたときに発生する可能性があります。このとき、LVDS レシーバは 図 1-1 に示すように、信号の各ラインを $300\text{k}\Omega$ 抵抗経由で V_{CC} に引き上げます。このフェイルセーフ機能は、約 2.3V の入力電圧スレッショルドを持つ AND ゲートを使用してこの条件を検出し、出力を強制的に High レベルにします。

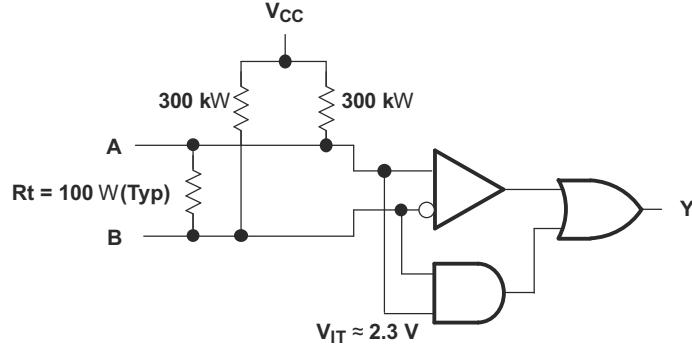


図 8-2. LVDS レシーバの開路フェイルセーフ

これらの条件でのみ、差動入力電圧振幅が 100mV 未満でのレシーバの出力が有効になります。図 1-1 に示すように接続されている限り、終端抵抗 R_t はフェイルセーフ機能に影響しません。他の終端回路では、DC 電流をグランドに流すことができる場合があるため、レシーバからのプルアップ電流やフェイルセーフ機能が失われる可能性があります。

8.3.2.2 レシーバ出力電圧とパワーオン リセット

レシーバの High レベル出力は、デバイスの電源電圧の関数となります。両方のレシーバは、2.6V~3.6V の範囲の電源電圧をサポートしています。レシーバの最小 High レベル出力電圧は、電源電圧が 3V を超える場合 2.4V (TTL ロジック準拠) です。電源電圧が 2.6V~3.0V の範囲の場合、レシーバの最小 High レベル出力電圧は 1.9V になります。SN65LVDS2 および SN65LVDT2 レシーバには、SN65LVDS1 回路と同様のパワーオン リセット回路が搭載されています。電源電圧が 1.5V を下回ると (または電源がオフになり、まだ 1.5V に達していない状態の場合)、パワーオン リセット回路により、レシーバの入力および出力ピンが高インピーダンス状態に設定されます。

8.3.2.3 同相範囲と供給電圧との関係

レシーバがすべての要件を満たす入力同相範囲は、電源電圧の関数でもあります。すべての電源電圧について、有効な入力信号はグランドから電源レールより 0.8V 低い電圧までの範囲です。したがって、デバイスが 3.3V 電源で動作しており、最小差動電圧が 100mV の場合、0.05V~2.45V の範囲の同相モード値がサポートされます。電源レールが 2.5V に設定されている場合、同相モード範囲は 0.05V~1.65V に制限されます。

8.3.2.4 汎用コンパレータ

SN65LVDS2 と SN65LVDT2 は LVDS 規格に準拠したレシーバですが、より広い信号範囲で実用的に利用可能です。入力信号が上述の必要な差動および同相電圧範囲内である限り、レシーバの出力は入力信号を忠実に表現します。

8.3.2.5 レシーバの等価回路図

図 1-1 に、SN65LVDS2 および SN65LVDT2 の入出力等価回路図を示します。SN65LVDS2 の場合、レシーバ入力は高インピーダンス差動ペアです。SN65LVDT2 には、入力ポートの両端に 110Ω の内部終端抵抗が内蔵されています。ESD 保護のため、各入力に $7V$ のツェナーダイオードが内蔵されています。ここに示すレシーバ出力構造は、CMOS インバータと追加のツェナーダイオードで、これも ESD 保護のためです。

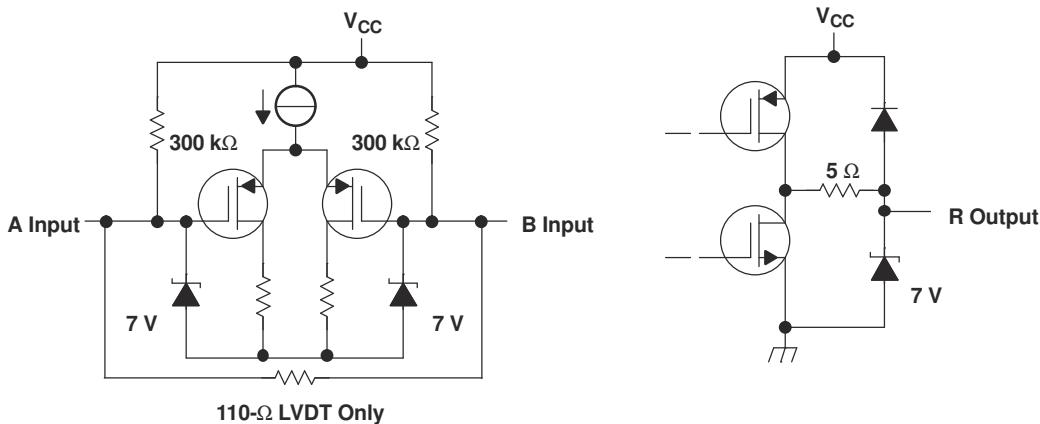


図 8-3. レシーバの入出力等価回路図

8.3.2.6 NC ピン

NC (未接続) ピンは、ダイがリード フレームやパッケージに物理的に接続されていないピンです。最適な熱性能を得るために、NC ピンを基板レベルでグランドに接続することを経験上お勧めします。

8.4 デバイスの機能モード

8.4.1 $V_{CC} < 1.5V$ での動作

SN65LVDS1 が $1.5V$ 未満の電源電圧で動作している場合、ドライバ出力ピンは高インピーダンスになります。SN65LVDS2 または SN65LVDT2 が $1.5V$ 未満の電源電圧で動作している場合、レシーバ入力ピンとレシーバ出力ピンの両方が高インピーダンスになります。

8.4.2 $1.5V \leq V_{CC} < 2.4V$ での動作

$1.5V \leq V_{CC} < 2.4V$ の範囲の電源電圧での動作は未定義であり、この範囲内でのデバイス性能は保証されません。

8.4.3 $2.4V \leq V_{CC} < 3.6V$ での動作

電源電圧が $2.4V$ 以上 $3.6V$ 以下での動作は、通常の動作です。一部のデバイス仕様は、 $2.4V \leq V_{CC} \leq 3.6V$ の電源電圧範囲全体に適用されますが、一部の仕様は電源電圧に依存します。これらの依存関係は、上記のパラメータ表で明確に説明されており、「[代表的な特性](#)」セクションでも示されています。

8.4.4 SN65LVDS1 の真理値表

真理値表からわかるように、ドライバ入力をオープンのままにすると、差動出力は **Low** になります。

表 8-1. ドライバ機能⁽¹⁾

入力	出力	
	D	Y
H	H	L
L	L	H
オープン	L	H

(1) H = High レベル、L = Low レベル、? = 不定

表 8-2. レシーバ機能⁽¹⁾

入力	出力
$V_{ID} = V_A - V_B$	R
$V_{ID} \geq 100 \text{ mV}$	H
$-100 \text{ mV} < V_{ID} < 100 \text{ mV}$?
$V_{ID} \leq -100 \text{ mV}$	L
オープン	H

(1) H = High レベル、L = Low レベル、? = 不定

8.4.5 SN65LVDS2 と SN65LVDT2 の真理値表

真理値表からわかるように、レシーバの差動入力信号が 100mV を超えるとレシーバの出力は High になり、差動入力電圧が -100mV を下回るとレシーバの出力は Low になります。入力電圧がこれらのスレッショルドの間 (すなわち -100mV ~ 100mV) の場合、レシーバの出力は不定になります。High または Low のいずれかになります。レシーバの入力が開路になると、特殊なケースが発生します。

表 8-3. ドライバ機能⁽¹⁾

入力	出力	
D	Y	Z
H	H	L
L	L	H
オープン	L	H

(1) H = High レベル、L = Low レベル、? = 不定

表 8-4. レシーバ機能⁽¹⁾

入力	出力
$V_{ID} = V_A - V_B$	R
$V_{ID} \geq 100 \text{ mV}$	H
$-100 \text{ mV} < V_{ID} < 100 \text{ mV}$?
$V_{ID} \leq -100 \text{ mV}$	L
オープン	H

(1) H = High レベル、L = Low レベル、? = 不定

9 アプリケーションと実装

注

以下のアプリケーションに関するセクションの情報は、テキサス・インスツルメンツの部品仕様の一部ではなく、テキサス・インスツルメンツはこれらの情報の正確性や完全性を保証しません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

SN65LVDS1, SN65LVDS2, SN65LVDT2 デバイスは、シングル チャネル LVDS バッファです。これらのデバイスの機能はシンプルであると同時に非常に柔軟性が高く、ワイヤレス ベースステーションからデスクトップ コンピュータまで、幅広い設計で使用できます。潜在的なアプリケーションのさまざまなクラスで、以下の段落で説明した機能とアプリケーションを共有しています。

9.2 代表的なアプリケーション

9.2.1 ポイントツー ポイント通信

LVDS バッファの最も基本的なアプリケーションは、このデータシートに示すように、デジタル データのポイントツー ポイント通信です (図 1-1 参照)。

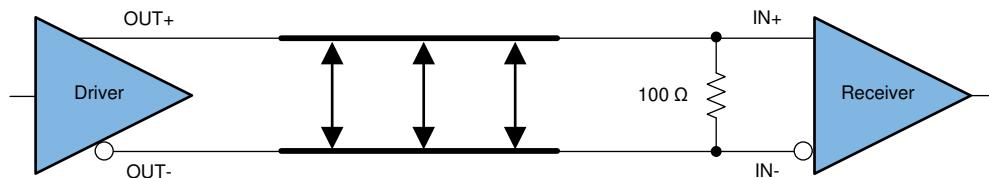


図 9-1. ポイントツー ポイントトポロジ

ポイントツー ポイント通信チャネルは、1 つのトランスマッタ (ドライバ) と 1 つのレシーバを備えています。この通信トポロジは、しばしばシンプレックスと呼ばれます。図 1-1 では、ドライバはシングルエンド入力信号を受信し、レシーバはシングルエンドの回復信号を出力します。LVDS ドライバはシングルエンド入力を差動信号に変換し、 100Ω の特性インピーダンスを持つ平衡型の相互接続メディアで伝送します。シングルエンド信号から LVDS 信号への変換では、デジタル データペイロードが保持されると同時に、長距離またはノイズの多い環境での通信に適した機能を持つ信号に変換されます。

9.2.1.1 設計要件

設計パラメータ	数値の例
ドライバ電源電圧 (V_{CCD})	2.4~3.6 V
ドライバの入力電圧	0.8~5.0 V
ドライバの信号速度	DC~400Mbps
相互接続特性インピーダンス	100Ω
終端抵抗	100Ω
レシーバ ノード数	1
レシーバ電源電圧 (V_{CCR})	2.4~3.6 V
レシーバの入力電圧	$0~V_{CCR} - 0.8V$
レシーバ信号速度	DC~400Mbps
ドライバとレシーバの間のグランド シフト	$\pm 1 V$

9.2.1.2 詳細な設計手順

9.2.1.2.1 ドライバ電源電圧

SN65LVDS1 ドライバは、単一電源で動作します。このデバイスは、最低 2.4V、最高 3.6V の電源での動作をサポートしています。ドライバの出力電圧は、選択した電源電圧に依存します。「**ドライバの電気的特性**」に示すように、差動出力電圧は出力範囲全体にわたって公称 350mV です。3.3V 電源の場合、最小出力電圧は規定の LVDS 制限 (247mV~454mV) の範囲内に維持されます。電源電圧範囲が 2.4V~3V の場合、最小出力電圧は 200mV になります。通信リンクが、この低い範囲内の電源で動作するように設計されている場合、エラー フリーの動作を保証するために、チャネルノイズ マージンを注意深く監視する必要があります。

9.2.1.2.2 ドライババイパス容量

バイパスコンデンサは、パワー ディストリビューション回路で重要な役割を果たします。特に、電源とグランドの間に低インピーダンスのパスを作成します。低周波数では、良好なデジタル電源の端子間インピーダンスは極めて低くなっています。ただし、より高い周波数の電流が電源パターンを伝搬するため、電源でグランドへの低インピーダンス パスを維持できないことがあります。この欠点に対処するために、バイパスコンデンサを使用します。通常、ボード レベルで大容量のバイパスコンデンサ (10μF から 1000μF) を使用すると、kHz レンジまでの範囲で良好な成果を達成できます。リード線のサイズと長さの関係で、最新のデジタル回路のスイッチング周波数で大きなインダクタンス値を持つ傾向があります。この問題を解決するには、より小型のコンデンサ (nF ~ μF) を IC の隣にローカルに取り付ける必要があります。

積層セラミック チップまたは表面実装コンデンサ (サイズ 0603 または 0805) は、バイパスコンデンサのリード インダクタンスが約 1nH であるため、高速環境でのバイパスコンデンサのリード インダクタンスを最小限に抑えます。例えば、リードがある標準的なコンデンサのリード インダクタンスは約 5nH です。

LVDS チップでローカルで使用するバイパスコンデンサの値は、Johnson¹ の式 8.18~8.21 による次の式で決定できます。200ps という控えめな立ち上がり時間と、1A のワーストケースの消費電流変化に、テキサス・インスツルメンツが提供するすべての LVDS デバイスが対応しています。この例では、最大許容電源ノイズは 200mV ですが、この値は設計で利用可能なノイズ バジェットによって異なります。

$$C_{\text{chip}} = \left(\frac{\Delta I_{\text{Maximum Step Change Supply Current}}}{\Delta V_{\text{Maximum Power Supply Noise}}} \right) \times T_{\text{Rise Time}} \quad (1)$$

$$C_{\text{LVDS}} = \left(\frac{1\text{A}}{0.2\text{V}} \right) \times 200 \text{ ps} = 0.001 \mu\text{F} \quad (2)$$

以下の例では、リード インダクタンスを低減し、基板レベルのコンデンサ (>10μF) と上記の容量値 (0.001μF) との間の中間周波数をカバーしています。最小の容量をチップにできる限り近づけて配置する必要があります。

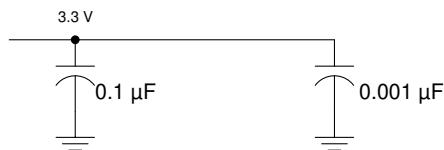


図 9-2. 推奨される LVDS バイパスコンデンサのレイアウト

- Howard Johnson & Martin Graham. 1993. High Speed Digital Design – A Handbook of Black Magic. Prentice Hall PRT. ISBN number 013395724.

9.2.1.2.3 ドライバの入力電圧

SN65LVDS1 は、広い入力電圧動作範囲に対応するように設計されています。入力段は、ドライバで使用されている電源電圧にかかわらず、最大 5V の信号を受け取ることができます。この広い入力範囲により、3.3V および 5V の電源で動作できます。入力段はこの広い入力範囲をサポートしますが、ドライバは約 1.4V の決定スレッショルドで動作します。LVTTL 入力信号の場合、このスレッショルドは、HI および LO ロジック レベルを表す電圧とよく一致します。5V の TTL 入力信号と CMOS 入力信号の場合、この 1.4V の固定スレッショルドはデューティ サイクルの歪みを引き起こします。歪みのレベルは、入力スルーレートと入力データの信号速度に基づいて簡単に計算できます。多くの場合、この歪みは重要ではありませんが、デバイスを高速で動作させる場合、またはデューティ サイクルが重要な機能である場合は、この影響を考慮する必要があります。

9.2.1.2.4 ドライバ出力電圧

SN65LVDS1 のドライバ出力は 1.2V の同相電圧で、公称差動出力信号は 350mV です。この 350mV は、差動スイングの絶対値 ($V_{OD} = |V^+ - V^-|$) です。ピーク ツー ピーク差動電圧はこの値の 2 倍、つまり 700mV です。すでに説明したように、電源電圧が 2.4V~3V のとき、差動出力電圧の最小値は 200mV です。200mV は LVDS 準拠ドライバの最小規定電圧を満たしていませんが、チャネルのノイズ マージンに注意を払う限り、このドライバをより低い電源電圧で使用することもできます。

この後すぐに説明するように、LVDS レシーバのスレッショルドは $\pm 100mV$ です。これらのレシーバ決定スレッショルドにより、より低い電源でドライバを動作させることの欠点がノイズ マージンであることは明らかです。LVDS ドライバとレシーバに完全準拠している場合、最小で約 150mV のノイズ マージン (最小出力電圧 247mV - 最大入力要件 100mV) が想定されます。SN65LVDS1 を 2.4V~3V の範囲の電源で動作させると、最小ノイズ マージンは 100mV (200mV - 100mV) に低下します。

9.2.1.2.5 メディアの相互接続

ドライバとレシーバの間の物理的な通信チャネルには、LVDS 規格の要件を満たす、任意の平衡状態の金属導体ペアを使用できます。ここではその重要なポイントを示します。このメディアには、ツイスト ペア、Twinax、フラットリボン ケーブル、または PCB パターンを使用できます。

相互接続の公称特性インピーダンスは 100Ω ~ 120Ω で、変動が 10% を超えないようにする必要があります (90Ω ~ 132Ω)。

9.2.1.2.6 PCB の伝送ライン

SNLA187 に従い、プリント基板 (PCB) で一般的に使用されるいくつかの伝送ライン構造を、図 1-1 に示します。それぞれの構造は、信号線と、その長さに沿って一様な断面を持つ帰路で構成されます。マイクロストリップは最上層 (または最下層) にある信号パターンで、グランドまたは電源プレーンの帰路から誘電体層で分離されています。ストリップラインは内層の信号パターンであり、信号パターンの上下のグランド プレーンとの間に誘電体層があります。構造の寸法と誘電体の特性によって、伝送ライン (制御インピーダンス伝送ラインとも呼ばれます) の特性インピーダンスが決まります。

2 本の信号線をその近くに配置すると、結合された伝送線のペアが形成されます。図 1-1 に、エッジ結合マイクロストリップ、およびエッジ結合またはブロードサイド結合ストリップラインの例を示します。差動信号によって励起される場合、結合された伝送ラインは差動ペアと呼ばれます。各ラインの特性インピーダンスを奇数モード インピーダンスと呼びます。各ラインの奇数モード インピーダンスの合計が、差動ペアの差動インピーダンスになります。パターンの寸法と誘電体の特性に加えて、2 つのパターン間の間隔によって相互結合が決まり、差動インピーダンスに影響を与えます。2 本のラインが隣接していて、例えば S が 2W 未満の場合、その差動ペアは密結合差動ペアと呼ばれます。長さ方向に一定の差動インピーダンスを維持するには、パターンの幅と間隔を長さ方向で均一に保ち、2 つのラインの間に良好な対称性を維持することが重要です。

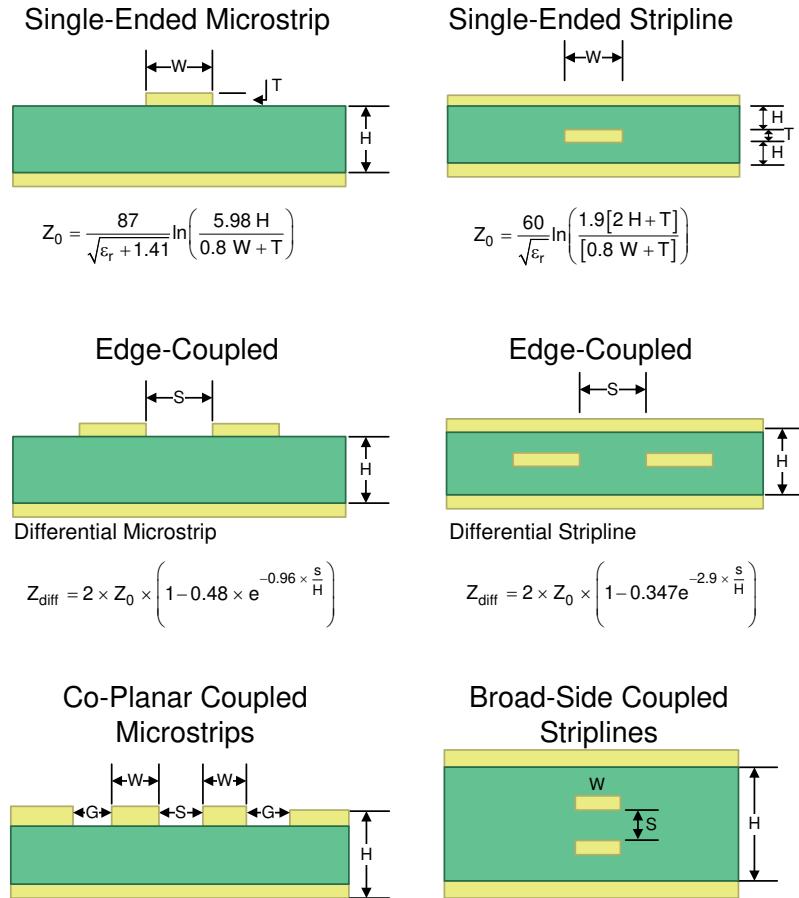


図 9-3. 制御インピーダンス伝送ライン

9.2.1.2.7 終端抵抗

すでに説明したように、LVDS 通信チャネルは、抵抗性負荷で終端された伝送ラインを駆動する電流源を使用します。この負荷は、送信された電流をレシーバ入力の電圧に変換する役割を果たします。入射波のスイッチング(チャネルを最高の信号速度で動作させるために必要)を確実に行うには、終端抵抗を伝送ラインの特性インピーダンスに一致させる必要があります。終端抵抗がメディアの公称特性インピーダンスの 10% 以内であることを確認する必要があります。伝送ラインのインピーダンスが 100Ω を目標としている場合、終端抵抗は $90\Omega \sim 110\Omega$ にする必要があります。

ライン終端抵抗は、抵抗からレシーバまでのスタブ長を最小化するため、レシーバにできるだけ近づけて配置する必要があります。限界の場合には終端抵抗をレシーバに組み込むことになりますが、これはまさに SN65LVDT2 で提供されているものです。SN65LVDT2 は、SN65LVDS2 レシーバのすべての機能と性能に加え、内蔵された終端負荷という追加機能も備えています。

このセクションでは、ポイントツー ポイント通信について説明していますが、マルチドロップトポロジを使用する場合は注意が必要です。このようなトポロジでは、ライン終端抵抗は伝送ラインの終端にのみ配置します。このような環境では、SN65LVDS2 レシーバをメイン バスから分岐する負荷に使用でき、SN65LVDT2 はバス エンドでのみ使用されます。

9.2.1.2.8 ドライバ NC ピン

NC(未接続)ピンは、ダイガリード フレームやパッケージに物理的に接続されていないピンです。最適な熱性能を得るには、NC ピンを基板レベルでグランドに接続することを経験上お勧めします。

9.2.1.2.9 レシーバ電源電圧

SN65LVDS2 および SN65LVDT2 レシーバは、単一電源で動作します。SN65LVDS1 と同様に、これらのデバイスは最低 2.4V、最高 3.6V の電源での動作をサポートしています。LVDS レシーバの電源電圧が低い場合、その主な影響はレシーバの同相入力範囲とレシーバの出力電圧に現れます。以下、順番に扱います。

9.2.1.2.10 レシーババイパス容量

バイパスコンデンサの推奨事項は、上記の「[ドライババイパス容量](#)」で説明しています。

9.2.1.2.11 レシーバの入力同相範囲

SN65LVDS2 および SN65LVDT2 は、デバイスの電源電圧に依存する入力同相範囲での動作をサポートしています。推奨条件の表から、電源レールよりも 0V~0.8V 低い範囲での動作がサポートされていることがわかります。

電源電圧が 3.3V の場合、入力同相電圧が GND と 2.5V の間にあるときに動作可能です。レシーバは、入力同相範囲全体にわたって感度の要件を満たす必要があります。

トランスマッタの説明に戻ると、SN65LVDS1 の出力同相範囲は 1.2V でした。ここで説明したレシーバのいずれかを使用すると、トランスマッタとレシーバのグランドの電位差が約 $\pm 1V$ 以内の場合、通信リンクが有効に動作することが分かります。LVDS で差動信号を使用すると、グランドの差と同相ノイズの組み合わせにより、トランスマッタとレシーバの同相電位差が 1V になる環境での動作が可能になります。この 1V の電位差は、LVDS 回路が意図するアプリケーションを示しています。

RS-485 などの規格は、ほぼ 10V の電位差に対応しており、1km を超える距離での通信が可能です。LVDS デバイスの想定アプリケーションは、ボード上のチップ間、ラック内のボード間、ラックから近くのラックなど、比較的距離が短いものです。1V の電位差では不十分で、かつ LVDS の高速および低電圧機能が依然として必要な場合、設計者はテキサス・インスツルメンツの M-LVDS デバイス、または拡張同相範囲を持つ SN65LVDS33 などの LVDS デバイスのいずれかを選択できます。

9.2.1.2.12 レシーバの入力信号

本製品の LVDS レシーバは LVDS 規格に準拠しており、差動入力電圧が 100mV を上回る場合 (HI 出力)、または -100mV を下回る場合 (LO 出力)、バスの状態を正しく判定します。さらに、レシーバは最大 600mV の差動入力電圧で動作します。

9.2.1.2.13 レシーバ出力信号

レシーバの出力は、電源電圧が 3V~3.6V の範囲内にあるとき、LVTTL の出力電圧規格に準拠しています。電源電圧が 2.4V~3V より低い電圧範囲にある場合、High の出力電圧が 1.9V まで低下する場合があります。この低い電源電圧の範囲でレシーバを動作させることを意図して設計する場合、これらのデバイスによって駆動されるデバイスは、低い出力電圧でもエラーなしで動作できるようにする必要があります。

9.2.1.2.14 レシーバ NC ピン

NC (未接続) ピンは、ダイガリードフレームやパッケージに物理的に接続されていないピンです。最適な熱性能を得るには、NC ピンを基板レベルでグランドに接続することをお勧めします。

9.2.2 アプリケーション曲線

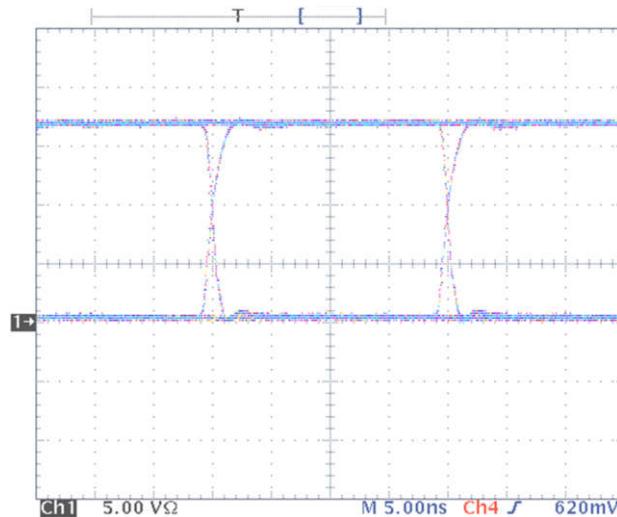


図 9-4. ポイントツー ポイント システムの代表的なドライバ出力アイ パターン

9.2.3 マルチドロップ通信

LVDS バッファの 2 番目の一般的なアプリケーションは、マルチドロップトポロジです。マルチドロップ構成では、単一のドライバと共有バスの他、2 つ以上のレシーバ (最大許容数は 32 個のレシーバ) が存在します。図 1-1 に、マルチドロップシステムの例を示します。

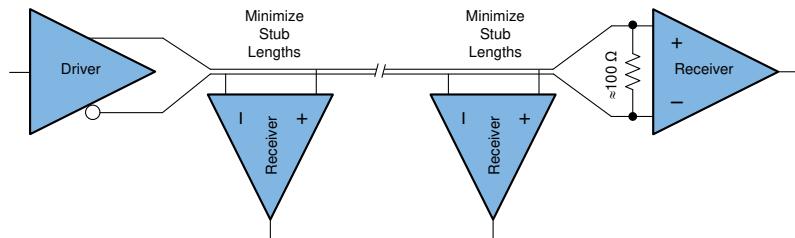


図 9-5. マルチドロップトポロジ

9.2.3.1 設計要件

設計パラメータ	数値の例
ドライバ電源電圧 (V_{CCD})	2.4~3.6 V
ドライバの入力電圧	0.8~5.0 V
ドライバの信号速度	DC~400Mbps
相互接続特性インピーダンス	100 Ω
終端抵抗	100 Ω
レシーバノード数	2~32
レシーバ電源電圧 (V_{CCR})	2.4~3.6 V
レシーバの入力電圧	0~ V_{CCR} – 0.8V
レシーバ信号速度	DC~400Mbps
ドライバとレシーバの間のグランドシフト	±1 V

9.2.3.2 詳細な設計手順

9.2.3.2.1 メディアの相互接続

マルチドロップシステムの相互接続は、ポイントツー ポイントシステムとは大きく異なります。ポイントツー ポイントの相互接続は単純で理解しやすいですが、マルチドロップシステムで使用されるバスタイプのアーキテクチャには、より注意する必要があります。上記 図 1-1 を使用して、これらの詳細を調べます。

最も基本的なマルチドロップシステムには、バスの送信元に配置された 1 つのドライバが含まれ、複数のレシーバ ノードがメイン ラインから分岐し、伝送ラインの端の最終的なレシーバがバス終端抵抗と共存します。これは最も基本的なマルチドロップシステムですが、まだ調べられていないいくつかの検討事項があります。

トランスマッタを 1 つのバス エンドに配置することで、設計上の懸念を簡素化できますが、柔軟性が犠牲になります。送信元にトランスマッタを配置する場合、ファー エンドに单一のバス終端が必要です。ファー エンドの終端は入射進行波を吸収します。この配置では次のように柔軟性が失われます。1 つのトランスマッタをバス上の送信元以外の任意の場所に移動する必要がある場合、1 つの開路端と 1 つの適切に終端された終端を持つバスに直面することになります。トランスマッタを例えばバスの中間に配置すると、トランスマッタからレシーバへの最大フライタイムを (1/2) 短縮できます。

図 1-1 のもう 1 つの新機能は、メイン ラインから分岐するすべてのノードがスタブになることです。いずれにしても、スタブは最小化する必要がありますが、バスの負荷インピーダンスが局所的に変化するという意図しない影響があります。

良い近似としては、無負荷のマルチポイントまたはマルチドロップバスの任意のカット ポイントに見られる伝送ラインの特性インピーダンスは、 $\sqrt{L/C}$ で定義されます。ここで、L は単位長あたりのインダクタンス、C は単位長あたりの容量です。デバイスや相互接続の形でバスに容量が追加されると、バス特性インピーダンスが低下します。これにより、バスの無負荷セグメントと負荷セグメントの間のインピーダンスマッチによる信号反射が発生する可能性があります。

負荷数が一定で、ラインに沿って均等に分散できる場合は、負荷時の特性インピーダンスに合わせてバス終端抵抗を変更することで、反射を低減できます。通常、負荷の数は一定ではなく、また均等に分散されているわけでもなく、ミスマッチに起因する反射をノイズ バジェットとして考慮する必要があります。

9.2.3.3 アプリケーション曲線

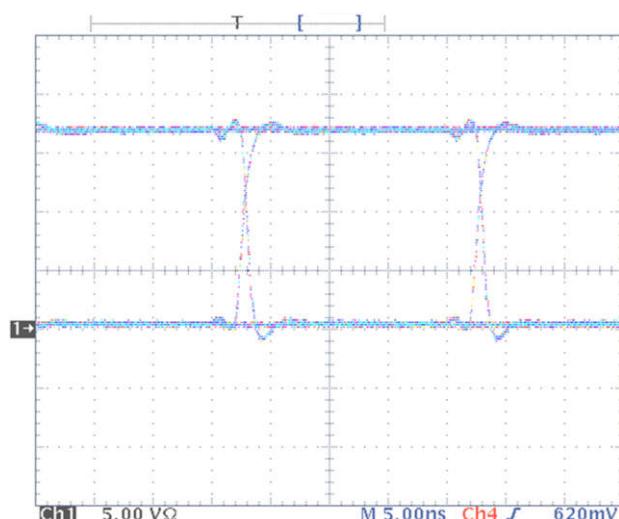


図 9-6. マルチドロップシステムの代表的なドライバ出力アイ パターン

10 電源に関する推奨事項

このデータシートに記載されている LVDS ドライバおよびレシーバは、単一の電源で動作するように設計されています。ドライバとレシーバの両方が 2.4V~3.6V の範囲の電源電圧で動作します。代表的なアプリケーションでは、ドライバとレシーバが別々のボードに配置されている場合も、別々の機器に配置されている場合もあります。このような場合、それぞれの場所で個別の電源が使用されます。ドライバ電源とレシーバ電源の間で期待されるグランド電位差は $|\pm 1V|$ 未満です。基板レベルおよびローカル デバイスレベルのバイパス容量を使用する必要があり、これは「ドライバのバイパス容量」と「レシーバのバイパス容量」に記載されています。

11 レイアウト

11.1 レイアウトのガイドライン

11.1.1 マイクロストリップとストリップラインのトポロジ

SLLD009 に従い、プリント基板には通常、2 つの伝送ラインのオプションが用意されています。マイクロストリップとストリップラインです。マイクロストリップは、図 1-1 に示すように、PCB の外層のパターンです。

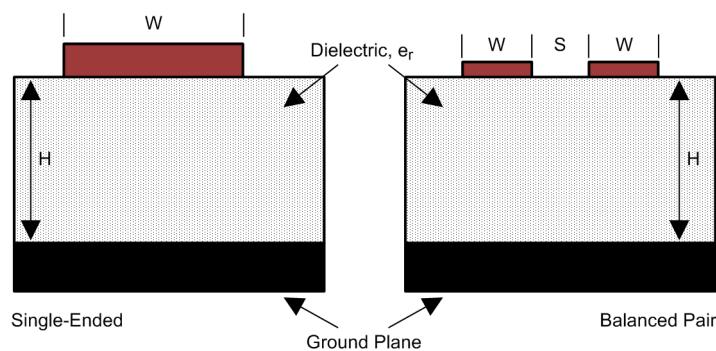


図 11-1. マイクロストリップのトポロジ

一方、ストリップラインは 2 つのグランド プレーン間のパターンです。ストリップラインは、基準プレーンが埋め込まれたパターンを効果的にシールドするため、放射と外部からの影響に関する問題を受けにくくなります。ただし、高速伝送を考えると、2 つのプレーンを並べて使用すると、静電容量が増加します。可能であれば、LVDS 信号がマイクロストリップ伝送ラインを通るようにすることを推奨します。PCB パターンを使用すると、全体のノイズ バジェットと反射許容量に基づいて、 Z_0 に必要な公差を指定できます。脚注 1²、2³、3⁴ に、差動およびシングルエンド パターンの Z_0 および t_{PD} の式を示します。^{2 3 4}

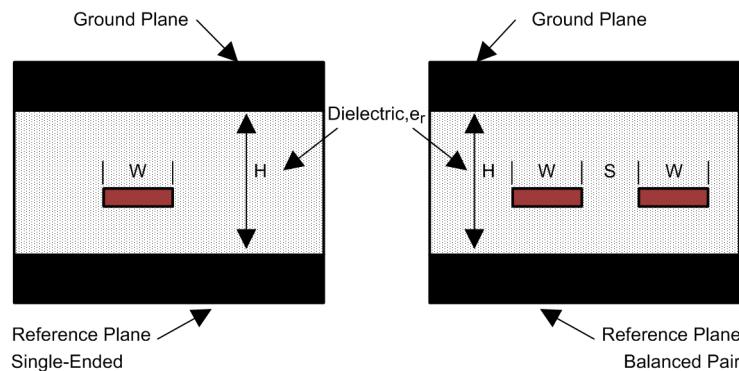


図 11-2. ストリップラインのトポロジ

² Howard Johnson & Martin Graham. 1993. High Speed Digital Design – A Handbook of Black Magic Prentice Hall PRT. ISBN number 013395724.

³ Mark I. Montrose. 1996. Printed Circuit Board Design Techniques for EMC Compliance IEEE Press. ISBN number 0780311310.

⁴ Clyde F. Coombs, Jr. Ed, Printed Circuits Handbook, McGraw Hill, ISBN number 0070127549.

11.1.2 誘電体の種類と基板構造

ボードを伝搬する信号の速度によって誘電体の選択が決まります。FR-4 または同等の製品は、通常、LVDS 信号で使用するのに十分な性能を発揮します。TTL/CMOS 信号の立ち上がり / 立ち下がり時間が 500ps 未満であれば、Rogers™ 4350 や Nelco N4000-13 のような誘電率が 3.4 に近い材料の方がより適していることが経験的に分かっています。設計者が誘電体を選択しても、性能に影響を及ぼす可能性のある、基板構造に関連する複数のパラメータが存在します。以下に示す一連のガイドラインは、LVDS デバイスを使用するいくつかの設計により、実験的に策定されたものです。

- ・ 銅の重量: 15g または 1/2 オンスからメッキを開始し、30g または 1 オンスにする
- ・ 露出した回路はすべて、7.62μm または 0.0003 インチ (最小値) の半田メッキ (60/40) を行う必要があります。
- ・ スルーホールの銅めっきは 25.4μm または 0.001 インチ (最小値) である必要があります。
- ・ 高温エア レベリングによるペア銅箔上の半田マスク

11.1.3 推奨されるスタック レイアウト

選択した誘電体と設計仕様に従って、スタックで使用するレベルの数を決定する必要があります。TTL/CMOS から LVDS へのクロストークを低減するには、図 1-1 に示すように、少なくとも 2 つの独立した信号プレーンを用意することを推奨します。

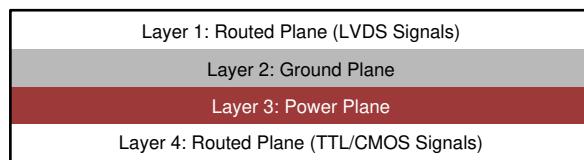


図 11-3. 4 層 PCB 基板

注

2 層と 3 層の間隔は 127μm (0.005 インチ) である必要があります。電源プレーンとグランド プレーンの緊密な結合を維持することで、増加した容量は過渡信号に対するバイパスとして機能します。

最も一般的なスタック構成の 1 つは、図 1-1 に示す 6 層基板です。

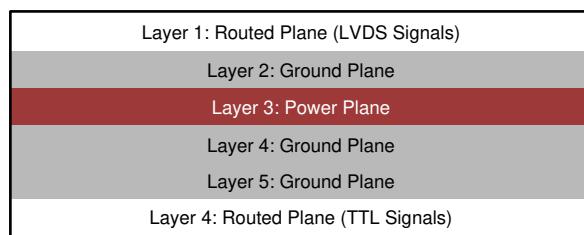


図 11-4. 6 層 PCB ボード

この具体的な構成では、少なくとも 1 つのグランド プレーンを使用して、各信号層を電源プレーンから絶縁できます。その結果、シグナル インテグリティは向上しますが、製造にはコストがかかります。レイアウト設計者が信号層 1 および 6 のグランド プレーンへのリファレンスを確保できることに加えて、信号層と基準プレーンの間の距離を柔軟に変更できるため、6 層基板の使用が推奨されます。

11.1.4 パターン間の分離

パターンの間隔はいくつかの要因に依存しますが、通常は許容される結合の量によって実際の間隔が決まります。低ノイズ結合では、電磁場の打ち消しを活用するために、LVDS リンクの差動ペアが密接に結合している必要があります。これらのパターンは 100Ω 差動で、この要件に最も適した方法で結合する必要があります。さらに、差動ペアは平衡を保つために同じ電気的長さを持つ必要があり、これにより、スキーと信号反射の問題を最小限に抑えることができます。

隣接するシングルエンド パターンが 2 つある場合、3W のルールを使用する必要があります。このルールでは、2 つのパターン間の距離は、単一パターンの幅の 2 倍、またはパターンの中心からパターンの中心まで測定した幅の 3 倍を超える必要があります。このように分離を増やすことで、クロストークの可能性が実質的に減少します。隣接する LVDS 差動ペア間の分離にも、パターンがエッジ結合かブロードサイド結合かにかかわらず、同じルールを適用する必要があります。

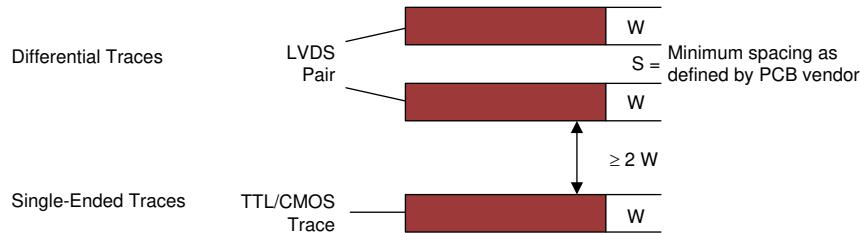


図 11-5. シングルエンドおよび差動パターンの 3W ルール (上面図)

オートルータを使用する場合は、クロストークや信号反射に影響するすべての要因を考慮しているとは限らないため、注意が必要です。たとえば、信号路の不連続性を防ぐために、90° の急な角を避けることが最善です。45° の角を連続して使用すると、反射を最小限に抑える傾向があります。

11.1.5 クロストークおよびグランドバウンスの最小化

クロストークを低減するには、高周波電流の帰路を、発生元のパターンにできるだけ近い場所に配置することが重要です。通常、グランドプレーンでこれを実現できます。リターン電流は常に最小のインダクタンスのパスを選択するため、元のパターンのすぐ下に戻る可能性が最も高く、クロストークを最小化できます。電流ループの面積を小さくすると、クロストークの可能性も低くなります。パターンができる限り短くし、その下に連続したグランドプレーンを配置することで、放射される電磁界強度を最小化できます。グランドプレーンが不連続だと帰路のインダクタンスが増加するため、回避する必要があります。

11.1.6 デカップリング

高速デバイスの各電源リードまたはグランドリードは、低インダクタンスのパスを経由して PCB に接続する必要があります。最良の結果を得るには、1つ以上のビアを使用して電源ピンまたはグランドピンを近くのプレーンに接続します。パターンのインダクタンスの増加を避けるため、ビアをピンにすぐ隣に配置するのが理想的です。電源プレーンを基板の最上面に近づけて配置すると、実効ビアの長さと、それに関連するインダクタンスが減少します。

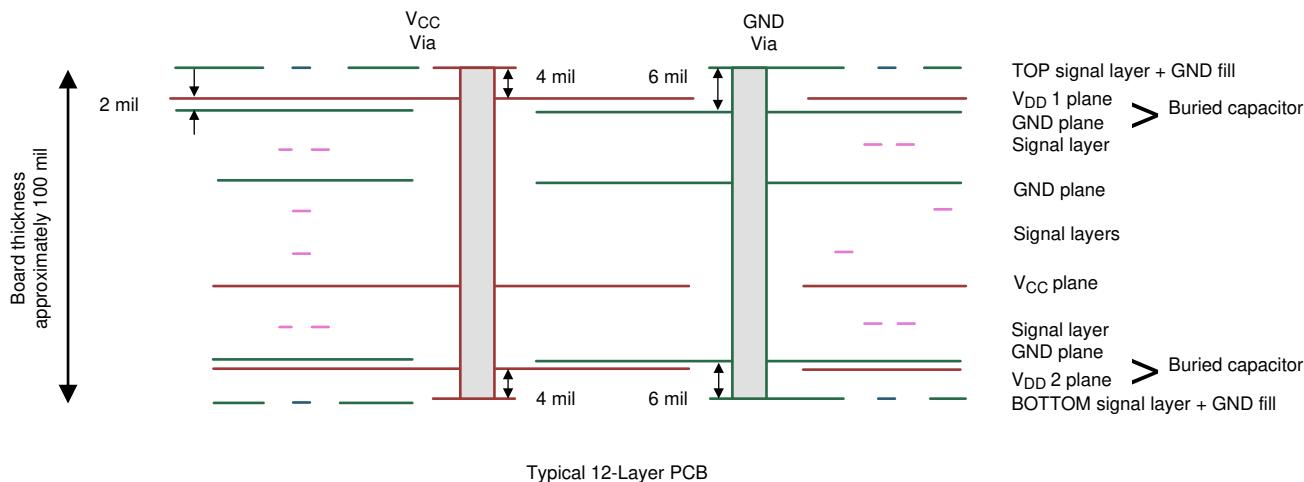


図 11-6. 低インダクタンスで大容量の電源接続

バイパスコンデンサは、 V_{DD} ピンの近くに配置する必要があります。角の近くやパッケージの下に配置することで、ループ面積を最小限に抑えることができます。これにより、増加した容量の有効な周波数範囲が拡張されます。コンデンサのボディインダクタンスを最小化するため、0402 や 0201 などの小型コンデンサ、または X7R 表面実装コンデンサを使用する必要があります。各バイパスコンデンサは、図 1-1(a) に示すように、コンデンサのパッドに接するビア経由で、電源およびグランドプレーンに接続されます。

サイズ 0402 の X7R 表面実装コンデンサのボディインダクタンスは約 0.5nH です。30MHz を上回る周波数では、X7R コンデンサは低インピーダンスのインダクタとして動作します。動作周波数範囲を数百 MHz に拡張するため、一般的に 100pF 、 1nF 、 $0.03\mu\text{F}$ 、 $0.1\mu\text{F}$ などの値のコンデンサアレイを並列に使用します。最も効果的なバイパスコンデンサは、2 ~ 3 mil の間隔で、電源とグランドの層を挟んで形成できます。FR4 誘電体を 2 mil で使用した場合、PCB 1 平方インチあたり約 500pF になります。いくつかの例については、図 5-1 を参照してください。多くの高速デバイスでは、パッケージの裏面で低インダクタンスの GND 接続が提供されています。このセンター DAP は、ビアのアレイを介してグランドプレーンに接続する必要があります。ビアアレイにより、グランドへの実効インダクタンスが減少し、小型の表面実装 (SMT) パッケージの放熱性能が向上します。DAP 接続の周囲にビアを配置することで、適切な熱の拡散と、可能な限り低いダイ温度を確保できます。2つの GND プレーンを使用して高性能デバイスを PCB の反対側に配置すると (図 1-1 を参照)、熱伝達のための複数の経路が形成されます。多くの場合、PCB の熱に関する問題は、あるデバイスが別のデバイスに熱を加えることで発生し、その結果、局所的な温度が非常に高くなります。熱伝達のための複数の経路がこの可能性を最小限に抑えます。多くの場合、放熱にとって非常に重要な GND DAP は、図 1-1(b) に示すようにパッド間の間隔が不十分なため、最適なデカップリングレイアウトを実現できません。この現象が発生した場合、ボードの裏面にデカップリングコンデンサを配置することで、追加のインダクタンスを最小限に抑えることができます。 V_{DD} ビアは、十分な半田マスク領域を確保しながら、デバイスのピンにできる限り近づけて配置することが重要です。ビアがオープンのままの場合、ハンダがパッドからビアバレルに流れる可能性があります。この場合、半田接続が不十分になります。



図 11-7. デカップリング コンデンサの標準レイアウト

11.2 レイアウト例

クロストークの可能性を最小限に抑えるため、個々のパターンの幅の少なくとも 2 倍または 3 倍の間隔で、シングルエンドのパターンと差動ペアを分離する必要があります。立ち上がり時間または立ち下がり時間の波長より短い間隔で並列に配線されるシングルエンドのパターンでは、通常、クロストークは無視できるほど小さくなります。クロストークを低減するため、長い並列配線の場合は信号路間の間隔を増やします。図 1-1 に示すように、基板の面積が限られている場合、配線パターンレイアウトを交互に配置することにはメリットがあります。

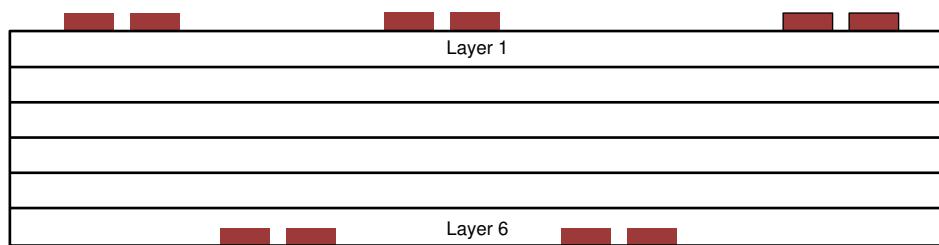


図 11-8. 交互パターンのレイアウト

この構成では、異なる層に交互の信号パターンが配置されるため、パターン間の水平間隔は個々のパターンの幅の 2 倍または 3 倍未満にできます。グランド信号路の連続性を確保するため、図 1-1 に示すように、すべての信号ビアに隣接するグランドビアを配置することを推奨します。ビアを使用すると追加の容量が発生することに注意してください。たとえば、代表的なビアには、FR4 で $1/2\text{pF}$ から 1pF への容量増加効果があります。

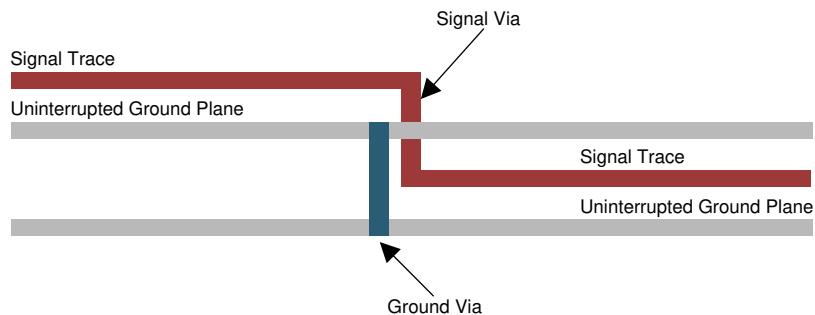


図 11-9. グランド ビアの位置 (側面図)

デバイスのグランド ピンを PCB のグランド プレーンに短く低インピーダンスで接続すると、グランド バウンスが低減されます。グランド プレーンの穴や切り欠きがリターン電流のループ面積を増やすような不連続性を形成する場合、電流のリターンパスに悪影響を及ぼす可能性があります。

EMI の問題を最小限に抑えるため、パターンの下に不連続が生じることを避け (穴、スリットなど)、パターンができるだけ短くすることを推奨します。機能を混在させるのではなく、類似の機能を同じ領域にすべて配置してボードを適切にゾーニングすることは、外部からの影響の受けやすさに関する問題を低減するのに役立ちます。

12 デバイスおよびドキュメントのサポート

12.1 デバイス サポート

12.1.1 その他の LVDS 製品

LVDS および LVDM 製品ファミリのその他の製品やアプリケーション ノートについては、テキサス・インスツルメンツの Web サイト <http://www.ti.com/sc/datatran> をご覧ください。

12.2 サード・パーティ 製品に関する免責事項

サード・パーティ 製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ 製品またはサービスの適合性に関する是認、サード・パーティ 製品またはサービスの是認の表明を意味するものではありません。

12.3 ドキュメントのサポート

12.3.1 関連情報

このデバイスでは IBIS モデリングを利用できます。詳細については、お近くのテキサス・インスツルメンツの営業窓口またはウェブサイト (www.ti.com) にお問い合わせください。

アプリケーションのガイドラインの詳細については、以下のドキュメントを参照してください。

- 『IC パッケージの熱評価基準』([SPRA953](#))
- 『制御 - インピーダンス伝送ライン』([SNLA187](#))
- 『マイクロストリップとストリップラインのトポロジの比較』([SLLD009](#))

12.4 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

12.5 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

12.6 商標

Rogers™ is a trademark of Rogers Corporation.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

12.7 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

12.8 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

13 改訂履歴

Changes from Revision L (July 2014) to Revision M (March 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1

Changes from Revision K (November 2008) to Revision L (July 2014)	Page
• 「ピン構成および機能」セクション、「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加.....	1

14 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は指定したデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、左側のナビゲーションを参照してください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](#) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN65LVDS1D	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVDS1
SN65LVDS1D.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVDS1
SN65LVDS1DBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SAAI
SN65LVDS1DBVR.B	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SAAI
SN65LVDS1DBVRG4	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SAAI
SN65LVDS1DBVT	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SAAI
SN65LVDS1DBVT.B	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SAAI
SN65LVDS1DBVTG4	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SAAI
SN65LVDS1DR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVDS1
SN65LVDS1DR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVDS1
SN65LVDS1DRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVDS1
SN65LVDS1DRG4.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVDS1
SN65LVDS2D	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-	LVDS2
SN65LVDS2D.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVDS2
SN65LVDS2DBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SABI
SN65LVDS2DBVR.B	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SABI
SN65LVDS2DBVRG4	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SABI
SN65LVDS2DBVT	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SABI
SN65LVDS2DBVT.B	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SABI
SN65LVDS2DBVTG4	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SABI
SN65LVDS2DR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVDS2
SN65LVDS2DR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVDS2
SN65LVDT2D	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-	LVDT2
SN65LVDT2D.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVDT2
SN65LVDT2DBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SACI
SN65LVDT2DBVR.B	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SACI
SN65LVDT2DBVRG4	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SACI
SN65LVDT2DBVT	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SACI
SN65LVDT2DBVT.B	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SACI

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN65LVDT2DBVTG4	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SACI
SN65LVDT2DG4	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	See SN65LVDT2D	LVDT2
SN65LVDT2DR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVDT2
SN65LVDT2DR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVDT2

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

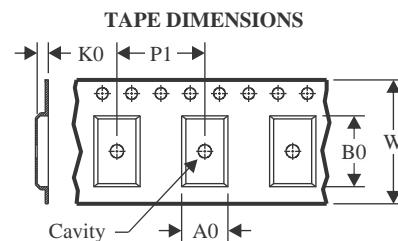
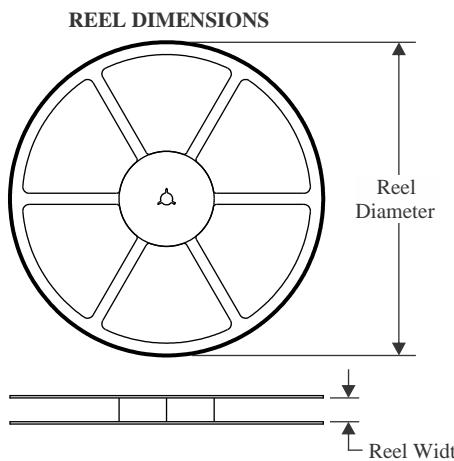
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

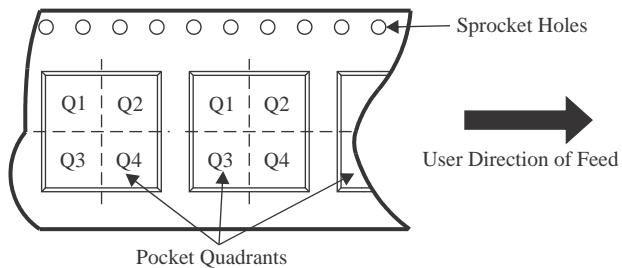
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

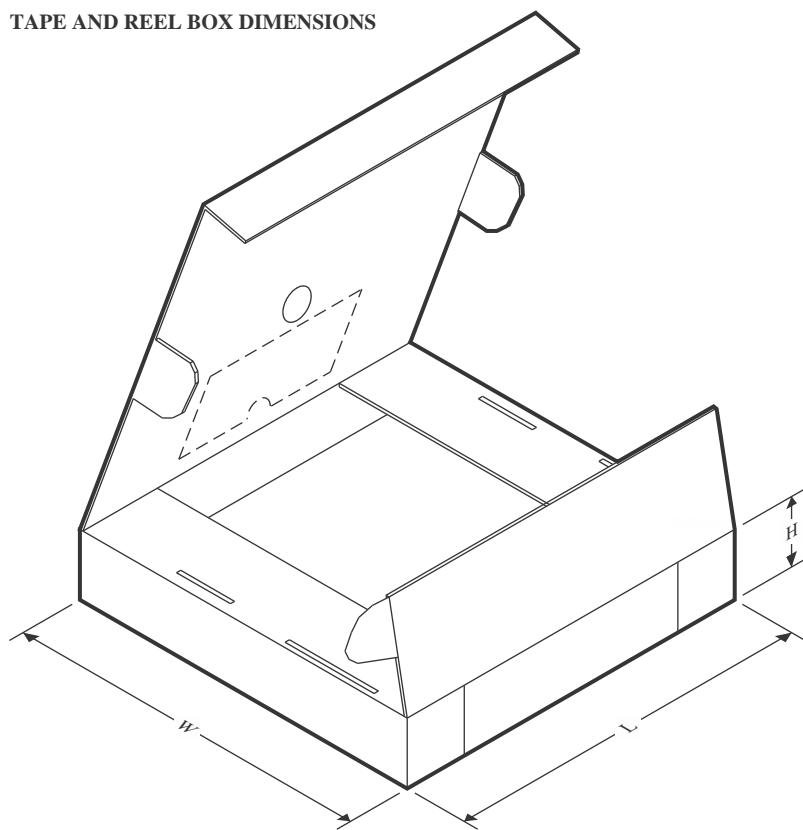
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


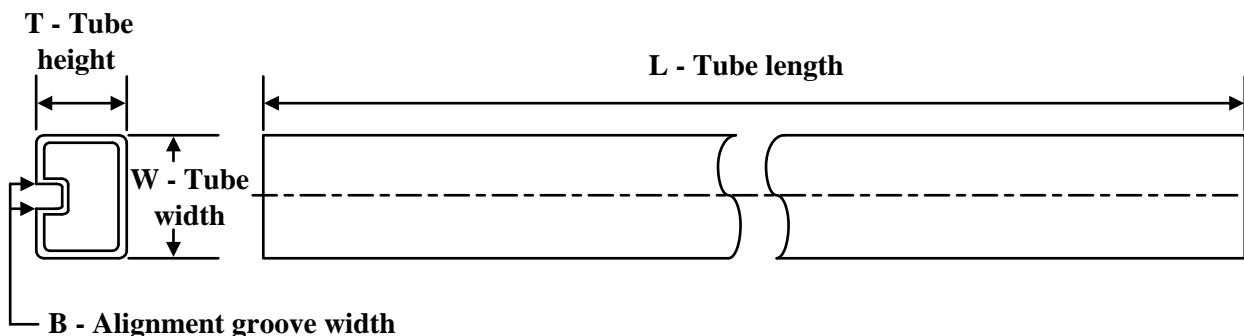
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN65LVDS1DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN65LVDS1DBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN65LVDS1DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN65LVDS1DRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN65LVDS2DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN65LVDS2DBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN65LVDS2DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN65LVDT2DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN65LVDT2DBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN65LVDT2DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN65LVDS1DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN65LVDS1DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
SN65LVDS1DR	SOIC	D	8	2500	353.0	353.0	32.0
SN65LVDS1DRG4	SOIC	D	8	2500	353.0	353.0	32.0
SN65LVDS2DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN65LVDS2DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
SN65LVDS2DR	SOIC	D	8	2500	353.0	353.0	32.0
SN65LVDT2DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN65LVDT2DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
SN65LVDT2DR	SOIC	D	8	2500	340.5	336.1	25.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μ m)	B (mm)
SN65LVDS1D	D	SOIC	8	75	507	8	3940	4.32
SN65LVDS1D.B	D	SOIC	8	75	507	8	3940	4.32
SN65LVDS2D	D	SOIC	8	75	507	8	3940	4.32
SN65LVDS2D.B	D	SOIC	8	75	507	8	3940	4.32
SN65LVDT2D	D	SOIC	8	75	507	8	3940	4.32
SN65LVDT2D.B	D	SOIC	8	75	507	8	3940	4.32
SN65LVDT2DG4	D	SOIC	8	75	507	8	3940	4.32

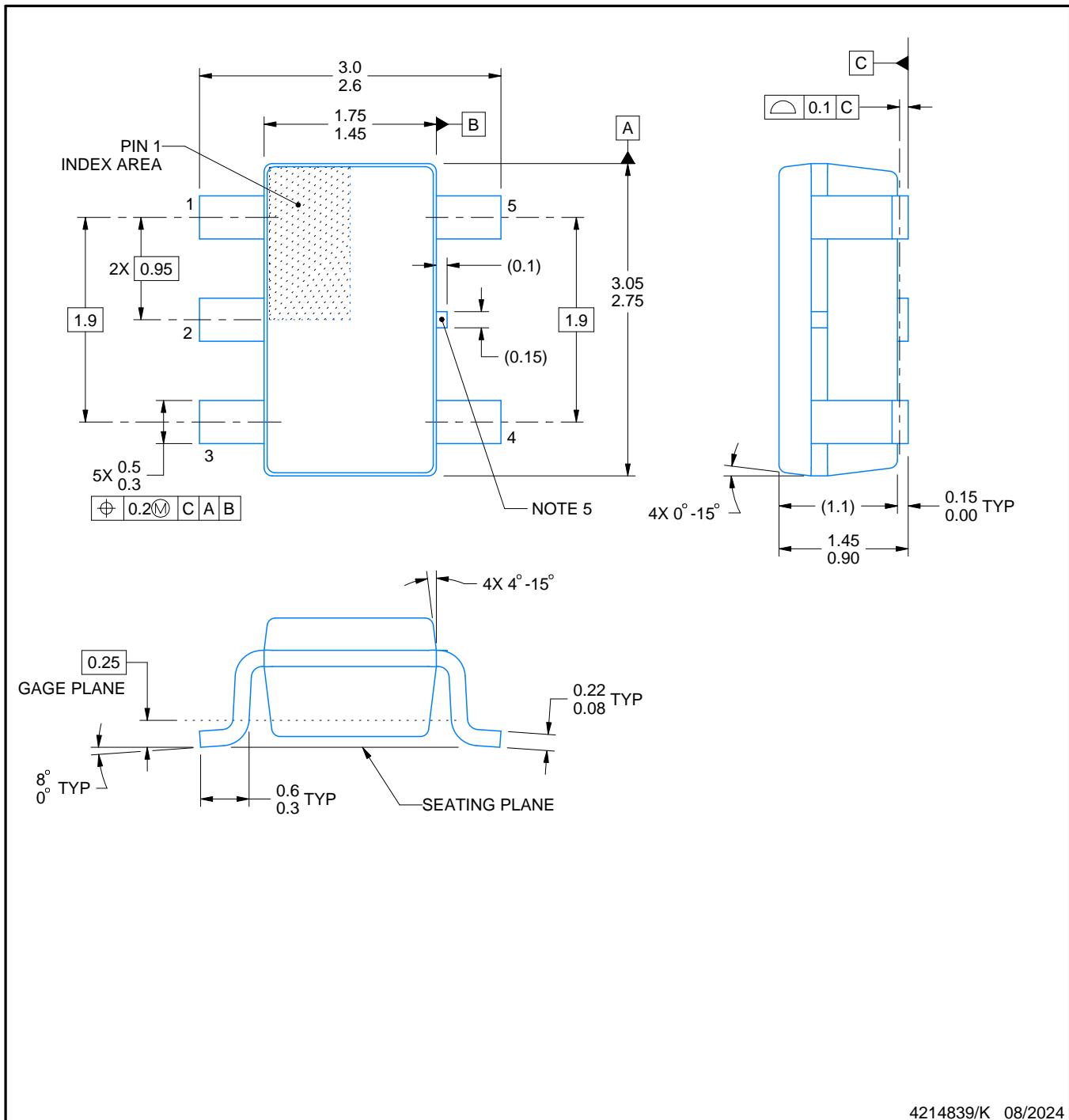
PACKAGE OUTLINE

DBV0005A



SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

NOTES:

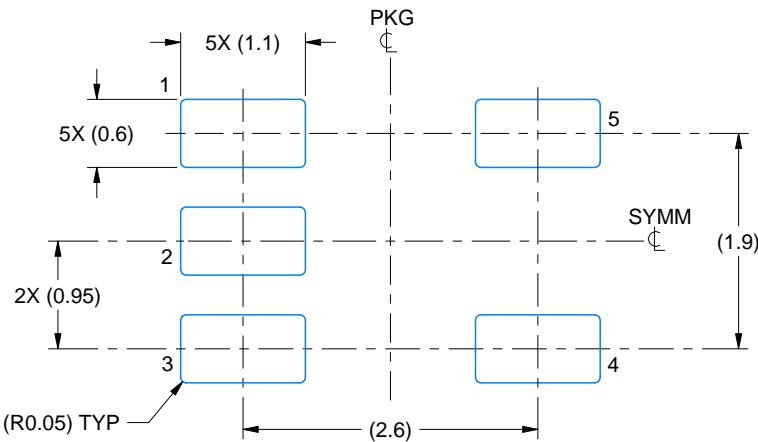
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. Reference JEDEC MO-178.
 4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
 5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

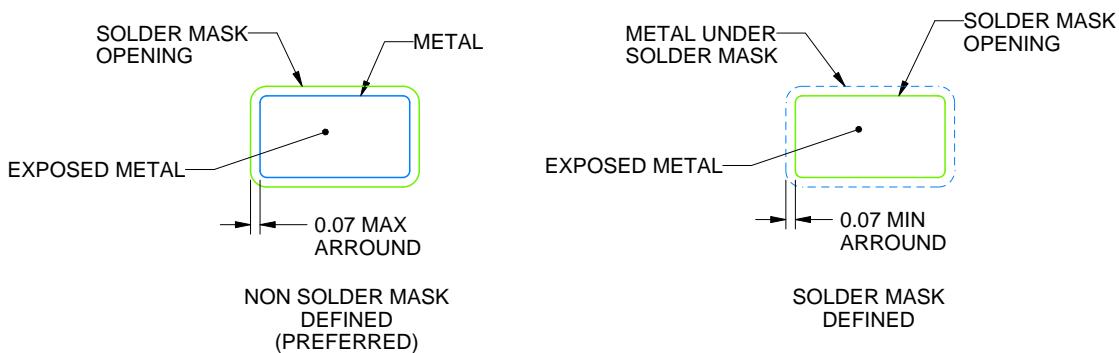
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

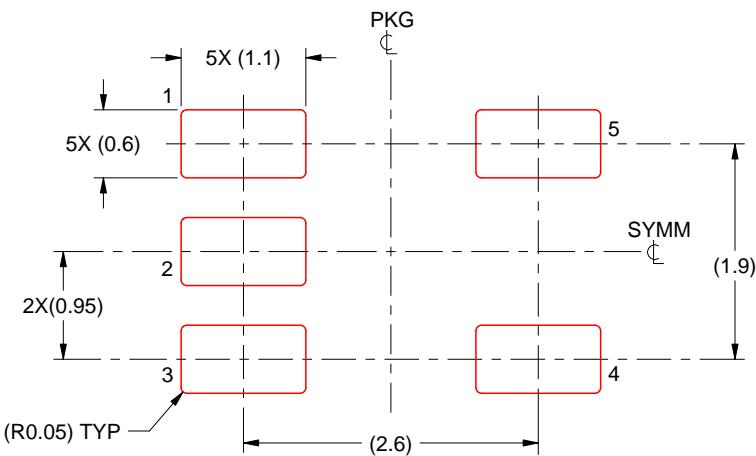
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR

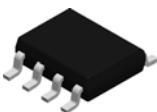


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

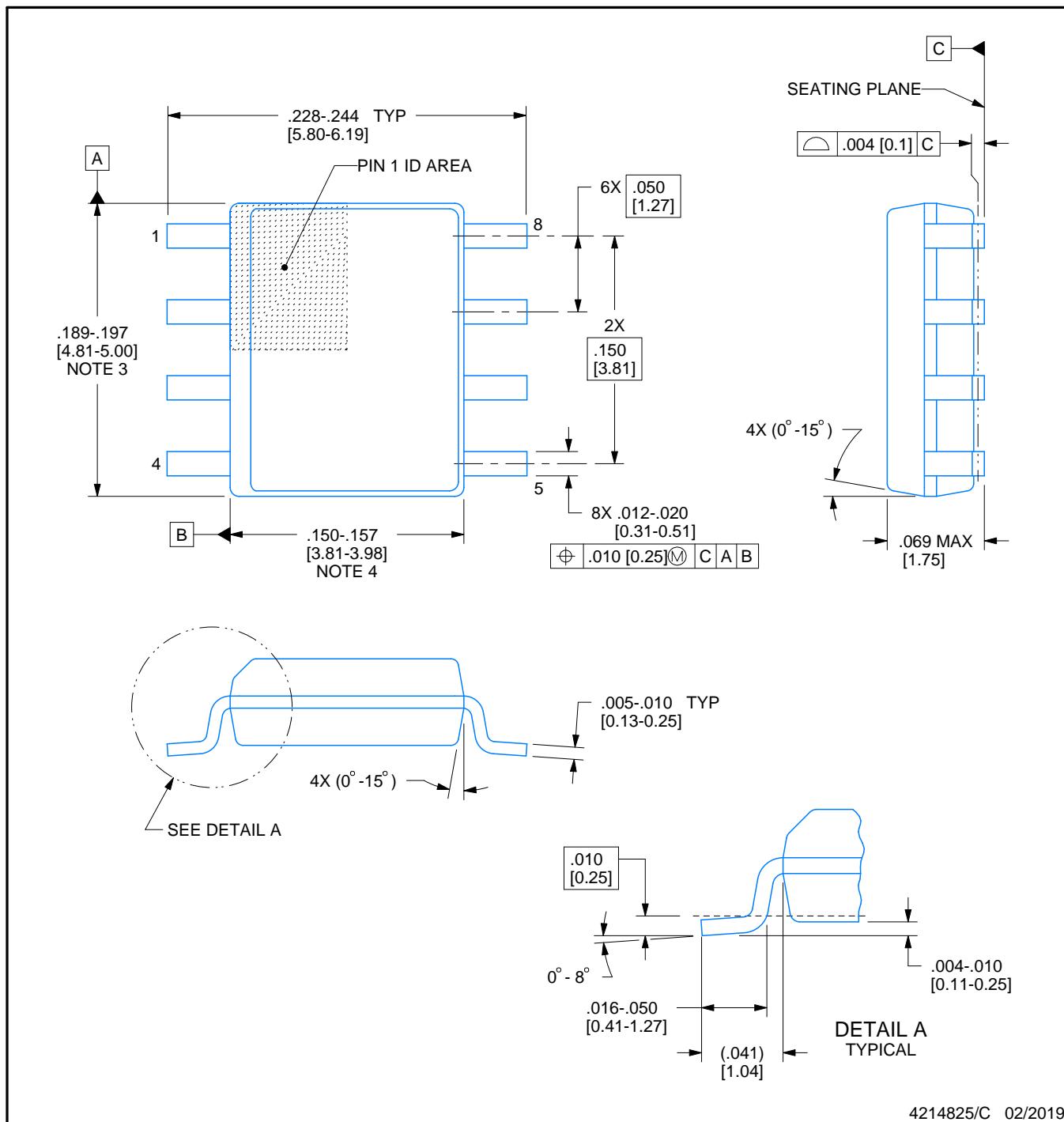


PACKAGE OUTLINE

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

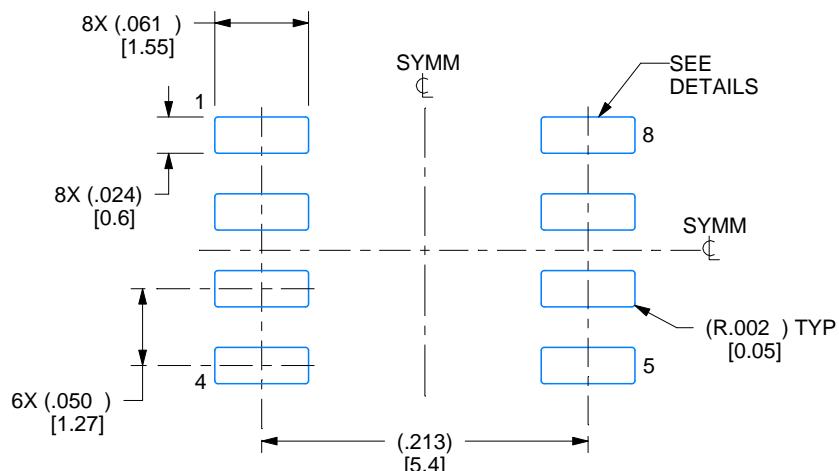
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
 4. This dimension does not include interlead flash.
 5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

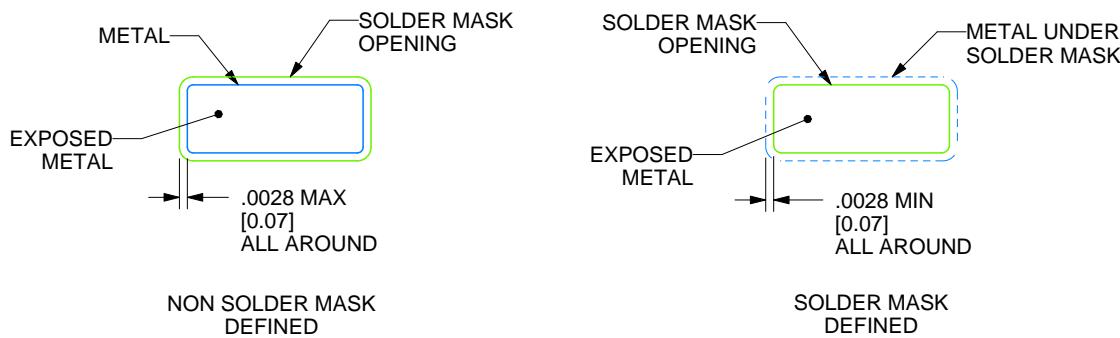
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

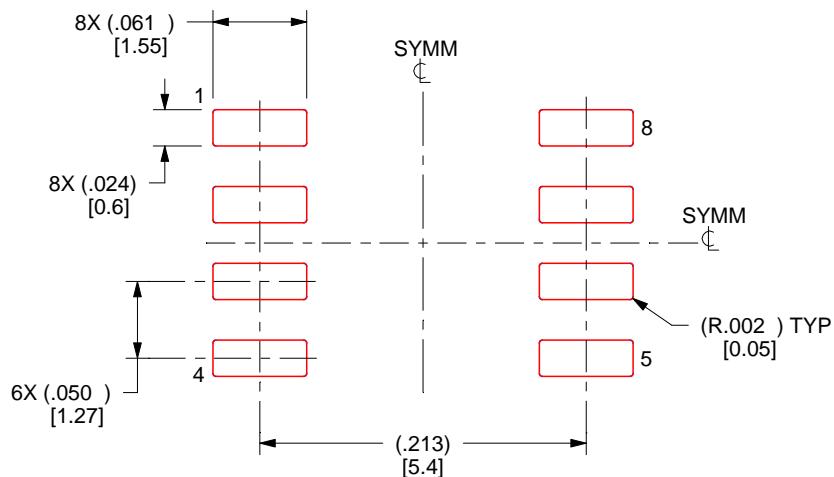
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月