

# SN74AVCH1T45 3 ステート出力、構成可能レベルシフト、電圧変換機能搭載、1 ビット デュアル電源バス トランシーバ

## 1 特長

- テキサス・インスツルメンツの NanoStar™ 集積回路パッケージで提供
- テキサス・インスツルメンツの NanoFree™ パッケージで供給
- $V_{CCA}$  電圧基準の制御入力 (DIR)  $V_{IH}/V_{IL}$  レベル
- データ入力のバスホールド機能により、外付けプルアップ / プルダウン抵抗が不要
- $V_{CC}$  絶縁機能
- 完全に構成可能なデュアルレール設計
- I/O は 4.6V 許容です
- $I_{off}$  により部分的パワーダウン モードでの動作をサポート
- 最大データレート (標準値)
  - 500Mbps (1.8V から 3.3V への変換)
  - 320Mbps (<1.8V から 3.3V への変換)
  - 320Mbps (2.5V または 1.8V への変換)
  - 280Mbps (1.5V への変換)
  - 240Mbps (1.2V への変換)
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能
- JESD 22 を上回る ESD 保護
  - 人体モデル (A114-A): 2000V
  - マシンモデル (A115-A): 200V
  - デバイス帯電モデル (C101): 1000V

## 2 アプリケーション

- パーソナルエレクトロニクス
- 産業用
- エンタープライズ
- 電気通信

## 3 概要

SN74AVCH1T45 は、設定可能な 2 本の独立した電源レールを採用した 1 ビット非反転バストランシーバです。A ポートは  $V_{CCA}$  (1.2V~3.6V の任意の電源電圧を入力できます) に追従するように設計されています。B ポートは  $V_{CCB}$  (1.2V~3.6V の任意の電源電圧を入力できます) に追従するように設計されています。この機能により、1.2V、1.5V、1.8V、2.5V、3.3V の任意の電圧ノード間での自在な低電圧双方向変換が可能です。

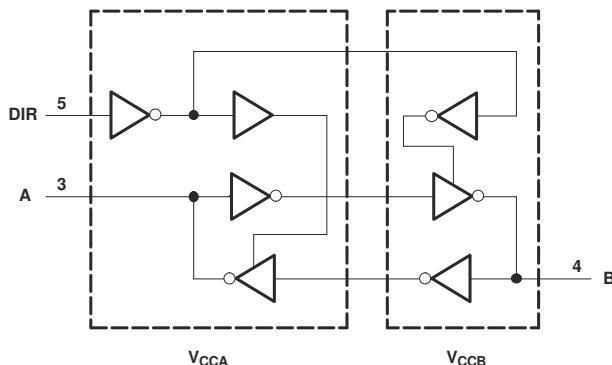
SN74AVCH1T45 は、データバス間の非同期通信用に設計されています。このデバイスは、方向制御 (DIR) 入力の論理レベルに応じて、A バスから B バス、または B バスから A バスへデータを転送します。

SN74AVCH1T45 は、DIR 入力が  $V_{CCA}$  を基準とするように設計されています。

## 製品情報

部品番号	パッケージ (1)	本体サイズ (公称)
SN74AVCH1T45	DCK (SC70, 6)	2.00mm × 1.25mm
	DBV (SOT-23, 6)	2.90mm × 1.60mm
	YZP (DSBGA, 6)	1.50mm × 0.90mm

(1) 供給されているすべてのパッケージについては、[セクション 14](#) を参照してください。



論理図 (正論理)



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあります。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

## 目次

<b>1 特長</b>	<b>1</b>	8.1 概要	17
<b>2 アプリケーション</b>	<b>1</b>	8.2 機能ブロック図	17
<b>3 概要</b>	<b>1</b>	8.3 機能説明	17
<b>4 概要 (続き)</b>	<b>3</b>	8.4 デバイスの機能モード	18
<b>5 ピン構成および機能</b>	<b>3</b>	<b>9 アプリケーションと実装</b>	<b>19</b>
<b>6 仕様</b>	<b>4</b>	9.1 アプリケーション情報	19
6.1 絶対最大定格	4	9.2 代表的なアプリケーション	19
6.2 ESD 定格	4	<b>10 電源に関する推奨事項</b>	<b>23</b>
6.3 推奨動作条件	4	<b>11 レイアウト</b>	<b>24</b>
6.4 熱に関する情報	5	11.1 レイアウトのガイドライン	24
6.5 電気的特性	6	11.2 レイアウト例	24
6.6 スイッチング特性、 $V_{CCA} = 1.2V$	8	<b>12 デバイスおよびドキュメントのサポート</b>	<b>25</b>
6.7 スイッチング特性、 $V_{CCA} = 1.5V \pm 0.1V$	9	12.1 ドキュメントのサポート	25
6.8 スイッチング特性、 $V_{CCA} = 1.8V \pm 0.15V$	10	12.2 ドキュメントの更新通知を受け取る方法	25
6.9 スイッチング特性、 $V_{CCA} = 2.5V \pm 0.2V$	11	12.3 サポート・リソース	25
6.10 スイッチング特性、 $V_{CCA} = 3.3V \pm 0.3V$	12	12.4 商標	25
6.11 動作特性	13	12.5 静電気放電に関する注意事項	25
6.12 代表的特性	14	12.6 用語集	25
<b>7 パラメータ測定情報</b>	<b>16</b>	<b>13 改訂履歴</b>	<b>25</b>
<b>8 詳細説明</b>	<b>17</b>	<b>14 メカニカル、パッケージ、および注文情報</b>	<b>26</b>

## 4 概要 (続き)

アクティブなバス ホールド回路により、使用されていない、または駆動されていないピンは、有効なロジック状態に保持されます。プルアップ抵抗もプルダウン抵抗も、バス ホールド回路と組み合わせて使用することは推奨しません。

このデバイスは、 $I_{off}$  を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。 $I_{off}$  回路が出力をディセーブルにするため、デバイスに電流が逆流して損傷に至ることを回避できます。

$V_{CC}$  絶縁機能により、 $V_{CCA}$  と  $V_{CCB}$  のどちらかを GND レベルにすると、出力が高インピーダンス状態になります。電源オン側のバス ホールド回路は常にアクティブのままでです。

ダイをパッケージとして使用する NanoFree パッケージ技術は、IC パッケージの概念を大きく覆すものです。

## 5 ピン構成および機能

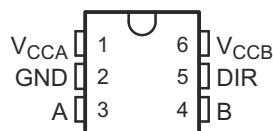


図 5-1. DBV または DCK パッケージ、6 ピン SOT-23  
または SC70 (上面図)

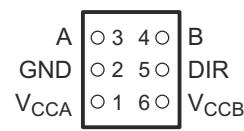


図 5-2. YZP パッケージ、6 ピン DSBGA (底面図)

表 5-1. ピンの機能

ピン		I/O	説明
名称	番号		
A	3	I/O	入力 / 出力 A。 $V_{CCA}$ を基準とする。
B	4	I/O	入力 / 出力 B。 $V_{CCB}$ を基準とする。
DIR	5	I	方向制御信号。 $V_{CCA}$ を基準とする
GND	2	—	グランド
$V_{CCA}$	1	—	A ポートの電源電圧。 $1.2 \text{ V} \leq V_{CCA} \leq 3.6 \text{ V}$
$V_{CCB}$	6	—	B ポートの電源電圧。 $1.2 \text{ V} \leq V_{CCB} \leq 3.6 \text{ V}$

## 6 仕様

### 6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	最大値	単位
電源電圧	$V_{CCA}$ と $V_{CCB}$	-0.5	4.6	V
入力電圧 <sup>(2)</sup>	I/O ポート (A ポート)	-0.5	4.6	V
	I/O ポート (B ポート)	-0.5	4.6	
	制御入力	-0.5	4.6	
高インピーダンスまたは電源オフ状態で出力に印加される電圧 <sup>(2)</sup>	A ポート	-0.5	4.6	V
	B ポート	-0.5	4.6	
High または Low 状態で出力に印加される電圧 <sup>(2) (3)</sup>	A ポート	-0.5	$V_{CCA} + 0.5$	V
	B ポート	-0.5	$V_{CCB} + 0.5$	
入力クランプ電流	$V_I < 0$		-50	mA
出力クランプ電流	$V_O < 0$		-50	mA
連続出力電流			±50	mA
連続貫通電流	$V_{CCA}, V_{CCB}, GND$		±100	mA
接合部温度、 $T_J$		-40	150	°C
保管温度、 $T_{stg}$		-65	150	°C

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「**推奨動作条件**」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

(2) 入力電流と出力電流の定格を順守しても、入力電圧と出力の負電圧の定格を超えることがあります。

(3) 出力電流の定格を順守しても、出力の正電圧の定格を最大 4.6V 超過することがあります。

### 6.2 ESD 定格

		値	単位
$V_{(ESD)}$	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 <sup>(2)</sup>	±1000	
	マシン モデル、A115-A に準拠	±200	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

### 6.3 推奨動作条件

(1) (2) (3) (4) (5) 参照

			最小値	最大値	単位
$V_{CCA}$	電源電圧		1.2	3.6	V
$V_{CCB}$	電源電圧		1.2	3.6	V
$V_{IH}$	High レベル入力電圧 <sup>(1)</sup>	データ入力 <sup>(4)</sup>	$V_{CCI} = 1.2 \text{ V} \sim 1.95 \text{ V}$	$V_{CCI} \times 0.65$	V
			$V_{CCI} = 1.95 \text{ V} \sim 2.7 \text{ V}$	1.6	
			$V_{CCI} = 2.7 \text{ V} \sim 3.6 \text{ V}$	2	
$V_{IL}$	Low レベル入力電圧 <sup>(1)</sup>	データ入力 <sup>(4)</sup>	$V_{CCI} = 1.2 \text{ V} \sim 1.95 \text{ V}$	$V_{CCI} \times 0.35$	V
			$V_{CCI} = 1.95 \text{ V} \sim 2.7 \text{ V}$	0.7	
			$V_{CCI} = 2.7 \text{ V} \sim 3.6 \text{ V}$	0.8	

## 6.3 推奨動作条件 (続き)

(1) (2) (3) (4) (5) 参照

			最小値	最大値	単位	
$V_{IH}$	High レベル入力電圧	DIR ( $V_{CCA}$ を基準とする) <sup>(5)</sup>	$V_{CCI} = 1.2 \text{ V} \sim 1.95 \text{ V}$	$V_{CCA} \times 0.65$	V	
			$V_{CCI} = 1.95 \text{ V} \sim 2.7 \text{ V}$	1.6		
			$V_{CCI} = 2.7 \text{ V} \sim 3.6 \text{ V}$	2		
$V_{IL}$	Low レベル入力電圧	DIR ( $V_{CCA}$ を基準とする) <sup>(5)</sup>	$V_{CCI} = 1.2 \text{ V} \sim 1.95 \text{ V}$	$V_{CCA} \times 0.35$	V	
			$V_{CCI} = 1.95 \text{ V} \sim 2.7 \text{ V}$	0.7		
			$V_{CCI} = 2.7 \text{ V} \sim 3.6 \text{ V}$	0.8		
$V_I$	入力電圧	制御入力 <sup>(3)</sup>		0	3.6	V
$V_O$	出力電圧 <sup>(2)</sup>	アクティブ状態		0	$V_{CCO}$	V
		3 ステート		0	3.6	
$I_{OH}$	High レベル出力電流		$V_{CCO} = 1.2 \text{ V}$	-3	mA	
			$V_{CCO} = 1.4 \text{ V} \sim 1.6 \text{ V}$	-6		
			$V_{CCO} = 1.65 \text{ V} \sim 1.95 \text{ V}$	-8		
			$V_{CCO} = 2.3 \text{ V} \sim 2.7 \text{ V}$	-9		
			$V_{CCO} = 3 \text{ V} \sim 3.6 \text{ V}$	-12		
$I_{OL}$	Low レベル出力電流		$V_{CCO} = 1.2 \text{ V}$	3	mA	
			$V_{CCO} = 1.4 \text{ V} \sim 1.6 \text{ V}$	6		
			$V_{CCO} = 1.65 \text{ V} \sim 1.95 \text{ V}$	8		
			$V_{CCO} = 2.3 \text{ V} \sim 2.7 \text{ V}$	9		
			$V_{CCO} = 3 \text{ V} \sim 3.6 \text{ V}$	12		
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート			5	ns/V	
$T_A$	自由空気での動作温度			-40	85	°C

(1)  $V_{CCI}$  は入力ポートに関連付けられた  $V_{CC}$  です。

(2)  $V_{CCO}$  は出力ポートに関連付けられた  $V_{CC}$  です。

(3) 本デバイスが適切に動作するように、本デバイスの未使用の制御入力はすべて、 $V_{CCI}$  または GND に固定する必要があります。

(4) データシートに規定されていない  $V_{CCI}$  値の場合、 $V_{IH\ min} = V_{CCI} \times 0.7 \text{ V}$ 、 $V_{IL\ max} = V_{CCI} \times 0.3 \text{ V}$  となります。

(5) データシートに規定されていない  $V_{CCA}$  値の場合、 $V_{IH\ min} = V_{CCA} \times 0.7 \text{ V}$ 、 $V_{IL\ max} = V_{CCA} \times 0.3 \text{ V}$  となります。

## 6.4 热に関する情報

熱評価基準 <sup>(1)</sup>	SN74AVCH1T45			単位	
	DBV (SOT-23)	DCK (SC70)	YZP (DSBGA)		
	6 ピン	6 ピン	6 ピン		
$R_{\theta JA}$	接合部から周囲への熱抵抗 <sup>(2)</sup>	210.5	239.9	130	°C/W
$R_{\theta JC(\text{top})}$	接合部からケース (上面) への熱抵抗	130.6	175.0	54	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	93.3	94.4	51	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	69.0	75.6	1	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	該当なし	93.9	50	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

(2) パッケージの熱インピーダンスは、JESD 51-7 に従って計算しています。

## 6.5 電気的特性

制限値のすべての標準値は  $T_A = 25^\circ\text{C}$  に対して適用され、すべての最大値と最小値は  $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$  に対して適用されます (特に記述のない限り)。<sup>(1) (2) (5) (6)</sup>

パラメータ	テスト条件		最小値	代表値	最大値	単位
$V_{OH}$	$I_{OH} = -100\mu\text{A}, V_I = V_{IH}$	$V_{CCA} = V_{CCB} = 1.2\text{V} \sim 3.6\text{V}$		$V_{CCO} - 0.2\text{V}$		V
	$I_{OH} = -3\text{mA}, V_I = V_{IH}$	$V_{CCA} = V_{CCB} = 1.2\text{V}$			0.95	
	$I_{OH} = -6\text{mA}, V_I = V_{IH}$	$V_{CCA} = V_{CCB} = 1.4\text{V}$		1.05		
	$I_{OH} = -8\text{mA}, V_I = V_{IH}$	$V_{CCA} = V_{CCB} = 1.65\text{V}$		1.2		
	$I_{OH} = -9\text{mA}, V_I = V_{IH}$	$V_{CCA} = V_{CCB} = 2.3\text{V}$		1.75		
	$I_{OH} = -12\text{mA}, V_I = V_{IH}$	$V_{CCA} = V_{CCB} = 3\text{V}$		2.3		
$V_{OL}$	$I_{OL} = 100\mu\text{A}, V_I = V_{IL}$	$V_{CCA} = V_{CCB} = 1.2\text{V} \sim 3.6\text{V}$			0.2	V
	$I_{OL} = 3\text{mA}, V_I = V_{IL}$	$V_{CCA} = V_{CCB} = 1.2\text{V}$			0.15	
	$I_{OL} = 6\text{mA}, V_I = V_{IL}$	$V_{CCA} = V_{CCB} = 1.4\text{V}$			0.35	
	$I_{OL} = 8\text{mA}, V_I = V_{IL}$	$V_{CCA} = V_{CCB} = 1.65\text{V}$			0.45	
	$I_{OL} = 9\text{mA}, V_I = V_{IL}$	$V_{CCA} = V_{CCB} = 2.3\text{V}$			0.55	
	$I_{OL} = 12\text{mA}, V_I = V_{IL}$	$V_{CCA} = V_{CCB} = 3\text{V}$			0.7	
$I_I$	制御入力 (DIR)	$V_I = V_{CCA}$ または GND	$V_{CCA} = V_{CCB} = 1.2\text{V} \sim 3.6\text{V}$		$\pm 0.025$	$\pm 1$ $\mu\text{A}$
$I_{BHL}$	バスホールド Low 維持電流 <sup>(3)</sup>	$V_I = 0.42\text{V}$	$V_{CCA} = V_{CCB} = 1.2\text{V}$		25	$\mu\text{A}$
		$V_I = 0.49\text{V}$	$V_{CCA} = V_{CCB} = 1.4\text{V}$		15	
		$V_I = 0.58\text{V}$	$V_{CCA} = V_{CCB} = 1.65\text{V}$		25	
		$V_I = 0.7\text{V}$	$V_{CCA} = V_{CCB} = 2.3\text{V}$		45	
		$V_I = 0.8\text{V}$	$V_{CCA} = V_{CCB} = 3.3\text{V}$		100	
$I_{BHH}$	バスホールド High 維持電流 <sup>(4)</sup>	$V_I = 0.78\text{V}$	$V_{CCA} = V_{CCB} = 1.2\text{V}$		-25	$\mu\text{A}$
		$V_I = 0.91\text{V}$	$V_{CCA} = V_{CCB} = 1.4\text{V}$		-15	
		$V_I = 1.07\text{V}$	$V_{CCA} = V_{CCB} = 1.65\text{V}$		-25	
		$V_I = 1.6\text{V}$	$V_{CCA} = V_{CCB} = 2.3\text{V}$		-45	
		$V_I = 2\text{V}$	$V_{CCA} = V_{CCB} = 3.3\text{V}$		-100	
$I_{BHLO}$	バスホールド Low オーバードライブ電流 <sup>(5)</sup>	$V_I = 0 \sim V_{CC}$	$V_{CCA} = V_{CCB} = 1.2\text{V}$		50	$\mu\text{A}$
			$V_{CCA} = V_{CCB} = 1.6\text{V}$		125	
			$V_{CCA} = V_{CCB} = 1.95\text{V}$		200	
			$V_{CCA} = V_{CCB} = 2.7\text{V}$		300	
			$V_{CCA} = V_{CCB} = 3.6\text{V}$		500	
$I_{BHHO}$	バスホールド High オーバードライブ電流 <sup>(6)</sup>	$V_I = 0 \sim V_{CC}$	$V_{CCA} = V_{CCB} = 1.2\text{V}$		-50	$\mu\text{A}$
			$V_{CCA} = V_{CCB} = 1.6\text{V}$		-125	
			$V_{CCA} = V_{CCB} = 1.95\text{V}$		-200	
			$V_{CCA} = V_{CCB} = 2.7\text{V}$		-300	
			$V_{CCA} = V_{CCB} = 3.6\text{V}$		-500	
$I_{off}$	入力および出力電源オフリーケ電流	$V_I = 0\text{V} \sim 3.6\text{V}, V_O = 0\text{V} \sim 3.6\text{V}$	$V_{CCA} = 0\text{V}, V_{CCB} = 0\text{V} \sim 3.6\text{V}$	A ポート	$\pm 0.1$	$\pm 5$ $\mu\text{A}$
			$V_{CCA} = 0\text{V} \sim 3.6\text{V}, V_{CCB} = 0\text{V}$	B ポート	$\pm 0.1$	$\pm 5$ $\mu\text{A}$
$I_{OZ}$	オフ状態の出力電流 <sup>(7)</sup>	$V_I = V_{CCI}$ または GND, $V_O = V_{CCO}$ または GND	$V_{CCA} = 0\text{V}, V_{CCB} = 3.6\text{V}$	A ポート	$\pm 0.5$	$\pm 5$ $\mu\text{A}$
			$V_{CCA} = 3.6\text{V}, V_{CCB} = 0\text{V}$	B ポート	$\pm 0.5$	$\pm 5$ $\mu\text{A}$

## 6.5 電気的特性 (続き)

制限値のすべての標準値は  $T_A = 25^\circ\text{C}$  に対して適用され、すべての最大値と最小値は  $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$  に対して適用されます (特に記述のない限り)。[\(1\)](#) [\(2\)](#) [\(5\)](#) [\(6\)](#)

パラメータ	テスト条件		最小値	代表値	最大値	単位
$I_{CCA}$ 電源電流 A ポート	$V_I = V_{CCI}$ または GND, $I_O = 0$	$V_{CCA} = V_{CCB} = 1.2\text{V} \sim 3.6\text{V}$		10		$\mu\text{A}$
		$V_{CCA} = 0\text{ V}, V_{CCB} = 3.6\text{ V}$		-2		
		$V_{CCA} = 3.6\text{ V}, V_{CCB} = 0\text{ V}$		10		
$I_{CCB}$ 電源電流 B ポート	$V_I = V_{CCI}$ または GND, $I_O = 0$	$V_{CCA} = V_{CCB} = 1.2\text{V} \sim 3.6\text{V}$		10		$\mu\text{A}$
		$V_{CCA} = 0\text{ V}, V_{CCB} = 3.6\text{ V}$		10		
		$V_{CCA} = 3.6\text{ V}, V_{CCB} = 0\text{ V}$		-2		
$I_{CCA} + I_{CCB}$ 複合電源電流	$V_I = V_{CCI}$ または GND, $I_O = 0$	$V_{CCA} = V_{CCB} = 1.2\text{V} \sim 3.6\text{V}$		20		$\mu\text{A}$
$C_i$ 入力容量制御ピン (DIR)	$V_I = 3.3\text{ V}$ または GND	$V_{CCA} = V_{CCB} = 3.3\text{ V}$		2.5		$\text{pF}$
$C_{io}$ 入力および出力容量 A または B ポート	$V_O = 3.3\text{ V}$ または GND	$V_{CCA} = V_{CCB} = 3.3\text{ V}$		6		$\text{pF}$

- (1)  $V_{CCO}$  は出力ポートに関連付けられた  $V_{CC}$  です。
- (2)  $V_{CCI}$  は入力ポートに関連付けられた  $V_{CC}$  です。
- (3) バスホールド回路は、少なくとも  $V_{IL\ max}$  での最小 Low 維持電流をシンクできます。 $V_{IN}$  を GND まで下げ、次に  $V_{IL\ max}$  まで上げてから、 $I_{BHL}$  を測定します。
- (4) バスホールド回路は、少なくとも  $V_{IH\ min}$  での最小 High 維持電流をソースできます。 $V_{IN}$  を  $V_{CC}$  まで上げ、次に  $V_{IH\ min}$  まで下げてから、 $I_{BHH}$  を測定します。
- (5) このノードを Low から High に切り替えるには、外部ドライバは少なくとも  $I_{BHLO}$  をソースする必要があります。
- (6) このノードを High から Low に切り替えるには、外部ドライバは少なくとも  $I_{BHHO}$  をシンクする必要があります。
- (7) I/O ポートの場合、パラメータ  $I_{OZ}$  には入力リーケ電流が含まれます。

## 6.6 スイッチング特性、 $V_{CCA} = 1.2V$

$T_A = 25^\circ\text{C}$  (図 7-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	テスト条件	最小値	代表値	最大値	単位
$t_{PLH}, t_{PHL}$ 伝搬遅延時間: 「Low から High レベル出力まで」と 「High から Low レベル出力まで」	A	B	$V_{CCB} = 1.2 \text{ V}$	3.3			ns
			$V_{CCB} = 1.5 \text{ V}$	2.7			
			$V_{CCB} = 1.8 \text{ V}$	2.4			
			$V_{CCB} = 2.5 \text{ V}$	2.3			
			$V_{CCB} = 3.3 \text{ V}$	2.4			
$t_{PLH}, t_{PHL}$ 伝搬遅延時間: 「Low から High レベル出力まで」と 「High から Low レベル出力まで」	B	A	$V_{CCB} = 1.2 \text{ V}$	3.3			ns
			$V_{CCB} = 1.5 \text{ V}$	3.1			
			$V_{CCB} = 1.8 \text{ V}$	2.9			
			$V_{CCB} = 2.5 \text{ V}$	2.8			
			$V_{CCB} = 3.3 \text{ V}$	2.7			
$t_{PZH}, t_{PZL}$ イネーブル時間: High レベルまで <sup>(1)</sup> と Low レベルまで <sup>(1)</sup>	DIR	A	$V_{CCB} = 1.2 \text{ V}$	5.1			ns
			$V_{CCB} = 1.5 \text{ V}$	5.2			
			$V_{CCB} = 1.8 \text{ V}$	5.3			
			$V_{CCB} = 2.5 \text{ V}$	5.2			
			$V_{CCB} = 3.3 \text{ V}$	3.7			
$t_{PZH}, t_{PZL}$ イネーブル時間: High レベルまで <sup>(1)</sup> と Low レベルまで <sup>(1)</sup>	DIR	B	$V_{CCB} = 1.2 \text{ V}$	5.3			ns
			$V_{CCB} = 1.5 \text{ V}$	4.3			
			$V_{CCB} = 1.8 \text{ V}$	4			
			$V_{CCB} = 2.5 \text{ V}$	3.3			
			$V_{CCB} = 3.3 \text{ V}$	3.7			
$t_{PHZ}, t_{PLZ}$ ディセーブル時間: High レベルからと Low レベルから	DIR	A	$V_{CCB} = 1.2 \text{ V}$	8.5			ns
			$V_{CCB} = 1.5 \text{ V}$	6.9			
			$V_{CCB} = 1.8 \text{ V}$	6.4			
			$V_{CCB} = 2.5 \text{ V}$	5.5			
			$V_{CCB} = 3.3 \text{ V}$	6.1			
$t_{PHZ}, t_{PLZ}$ ディセーブル時間: High レベルからと Low レベルから	DIR	B	$V_{CCB} = 1.2 \text{ V}$	8.3			ns
			$V_{CCB} = 1.5 \text{ V}$	7.8			
			$V_{CCB} = 1.8 \text{ V}$	7.7			
			$V_{CCB} = 2.5 \text{ V}$	7.5			
			$V_{CCB} = 3.3 \text{ V}$	5.9			

(1) イネーブル時間は、「イネーブル時間」に示す式を使用して計算された値です。

## 6.7 スイッチング特性、 $V_{CCA} = 1.5V \pm 0.1V$

制限値のすべての標準値は  $T_A = 25^\circ\text{C}$  に対して適用され、すべての最大値と最小値は  $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$  に対して適用されます (特に記述のない限り) (図 7-1 を参照)。

パラメータ	始点 (入力)	終点 (出力)	テスト条件	最小値	代表値	最大値	単位
$t_{PLH}, t_{PHL}$ 伝搬遅延時間: 「Low から High レベル出力まで」と 「High から Low レベル出力まで」	A	B	$V_{CCB} = 1.2 \text{ V}$	2.9			ns
			$V_{CCB} = 1.5 \text{ V} \pm 0.1 \text{ V}$	0.7	5.6		
			$V_{CCB} = 1.8 \text{ V} \pm 0.15 \text{ V}$	0.6	4.2		
			$V_{CCB} = 2.5 \text{ V} \pm 0.2 \text{ V}$	0.5	4.2		
			$V_{CCB} = 3.3 \text{ V} \pm 0.3 \text{ V}$	0.5	3.8		
$t_{PLH}, t_{PHL}$ 伝搬遅延時間: 「Low から High レベル出力まで」と 「High から Low レベル出力まで」	B	A	$V_{CCB} = 1.2 \text{ V}$	2.6			ns
			$V_{CCB} = 1.5 \text{ V} \pm 0.1 \text{ V}$	0.6	5.5		
			$V_{CCB} = 1.8 \text{ V} \pm 0.15 \text{ V}$	0.4	5.3		
			$V_{CCB} = 2.5 \text{ V} \pm 0.2 \text{ V}$	0.3	4.9		
			$V_{CCB} = 3.3 \text{ V} \pm 0.3 \text{ V}$	0.3	4.8		
$t_{PZH}, t_{PZL}$ イネーブル時間: High レベルまで <sup>(1)</sup> と Low レベルまで <sup>(1)</sup>	DIR	A	$V_{CCB} = 1.2 \text{ V}$	3.8			ns
			$V_{CCB} = 1.5 \text{ V} \pm 0.1 \text{ V}$	1.6	6.7		
			$V_{CCB} = 1.8 \text{ V} \pm 0.15 \text{ V}$	1.5	6.8		
			$V_{CCB} = 2.5 \text{ V} \pm 0.2 \text{ V}$	0.3	6.9		
			$V_{CCB} = 3.3 \text{ V} \pm 0.3 \text{ V}$	0.9	6.9		
$t_{PZH}, t_{PZL}$ イネーブル時間: High レベルまで <sup>(1)</sup> と Low レベルまで <sup>(1)</sup>	DIR	B	$V_{CCB} = 1.2 \text{ V}$	5.1			ns
			$V_{CCB} = 1.5 \text{ V} \pm 0.1 \text{ V}$	1.8	8.1		
			$V_{CCB} = 1.8 \text{ V} \pm 0.15 \text{ V}$	1.6	7.1		
			$V_{CCB} = 2.5 \text{ V} \pm 0.2 \text{ V}$	1.1	4.7		
			$V_{CCB} = 3.3 \text{ V} \pm 0.3 \text{ V}$	1.4	4.5		
$t_{PHZ}, t_{PLZ}$ ディセーブル時間: High レベルからと Low レベルから	DIR	A	$V_{CCB} = 1.2 \text{ V}$	7.7			ns
			$V_{CCB} = 1.5 \text{ V} \pm 0.1 \text{ V}$		13.6		
			$V_{CCB} = 1.8 \text{ V} \pm 0.15 \text{ V}$		12.4		
			$V_{CCB} = 2.5 \text{ V} \pm 0.2 \text{ V}$		9.6		
			$V_{CCB} = 3.3 \text{ V} \pm 0.3 \text{ V}$		9.3		
$t_{PHZ}, t_{PLZ}$ ディセーブル時間: High レベルからと Low レベルから	DIR	B	$V_{CCB} = 1.2 \text{ V}$	6.7			ns
			$V_{CCB} = 1.5 \text{ V} \pm 0.1 \text{ V}$		12.3		
			$V_{CCB} = 1.8 \text{ V} \pm 0.15 \text{ V}$		12		
			$V_{CCB} = 2.5 \text{ V} \pm 0.2 \text{ V}$		11.1		
			$V_{CCB} = 3.3 \text{ V} \pm 0.3 \text{ V}$		10.7		

(1) イネーブル時間は、「イネーブル時間」に示す式を使用して計算された値です。

## 6.8 スイッチング特性、 $V_{CCA} = 1.8V \pm 0.15V$

制限値のすべての標準値は  $T_A = 25^\circ\text{C}$  に対して適用され、すべての最大値と最小値は  $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$  に対して適用されます (特に記述のない限り) (図 7-1 を参照)。

パラメータ	始点 (入力)	終点 (出力)	テスト条件	最小値	代表値	最大値	単位
$t_{PLH}, t_{PHL}$ 伝搬遅延時間: 「Low から High レベル出力まで」と 「High から Low レベル出力まで」	A	B	$V_{CCB} = 1.2 \text{ V}$		2.8		ns
			$V_{CCB} = 1.5 \text{ V} \pm 0.1 \text{ V}$	0.6	5.3		
			$V_{CCB} = 1.8V \pm 0.15V$	0.5	5		
			$V_{CCB} = 2.5 \text{ V} \pm 0.2 \text{ V}$	0.4	3.9		
			$V_{CCB} = 3.3 \text{ V} \pm 0.3 \text{ V}$	0.4	3.4		
$t_{PLH}, t_{PHL}$ 伝搬遅延時間: 「Low から High レベル出力まで」と 「High から Low レベル出力まで」	B	A	$V_{CCB} = 1.2 \text{ V}$		2.3		ns
			$V_{CCB} = 1.5 \text{ V} \pm 0.1 \text{ V}$	0.5	5.2		
			$V_{CCB} = 1.8V \pm 0.15V$	0.4	5		
			$V_{CCB} = 2.5 \text{ V} \pm 0.2 \text{ V}$	0.3	4.6		
			$V_{CCB} = 3.3 \text{ V} \pm 0.3 \text{ V}$	0.2	4.4		
$t_{PZH}, t_{PZL}$ イネーブル時間: High レベルまで <sup>(1)</sup> と Low レベルまで <sup>(1)</sup>	DIR	A	$V_{CCB} = 1.2 \text{ V}$		3.8		ns
			$V_{CCB} = 1.5 \text{ V} \pm 0.1 \text{ V}$	1.6	5.9		
			$V_{CCB} = 1.8V \pm 0.15V$	1.6	5.9		
			$V_{CCB} = 2.5 \text{ V} \pm 0.2 \text{ V}$	1.6	5.9		
			$V_{CCB} = 3.3 \text{ V} \pm 0.3 \text{ V}$	0.5	6		
$t_{PZH}, t_{PZL}$ イネーブル時間: High レベルまで <sup>(1)</sup> と Low レベルまで <sup>(1)</sup>	DIR	B	$V_{CCB} = 1.2 \text{ V}$		5		ns
			$V_{CCB} = 1.5 \text{ V} \pm 0.1 \text{ V}$	1.8	7.7		
			$V_{CCB} = 1.8V \pm 0.15V$	1.4	6.8		
			$V_{CCB} = 2.5 \text{ V} \pm 0.2 \text{ V}$	1	4.4		
			$V_{CCB} = 3.3 \text{ V} \pm 0.3 \text{ V}$	1.4	4.3		
$t_{PHZ}, t_{PLZ}$ ディセーブル時間: High レベルからと Low レベルから	DIR	A	$V_{CCB} = 1.2 \text{ V}$		7.3		ns
			$V_{CCB} = 1.5 \text{ V} \pm 0.1 \text{ V}$		12.9		
			$V_{CCB} = 1.8V \pm 0.15V$		11.8		
			$V_{CCB} = 2.5 \text{ V} \pm 0.2 \text{ V}$		9		
			$V_{CCB} = 3.3 \text{ V} \pm 0.3 \text{ V}$		8.7		
$t_{PHZ}, t_{PLZ}$ ディセーブル時間: High レベルからと Low レベルから	DIR	B	$V_{CCB} = 1.2 \text{ V}$		6.5		ns
			$V_{CCB} = 1.5 \text{ V} \pm 0.1 \text{ V}$		11.2		
			$V_{CCB} = 1.8V \pm 0.15V$		10.9		
			$V_{CCB} = 2.5 \text{ V} \pm 0.2 \text{ V}$		9.8		
			$V_{CCB} = 3.3 \text{ V} \pm 0.3 \text{ V}$		9.4		

(1) イネーブル時間は、「イネーブル時間」に示す式を使用して計算された値です。

## 6.9 スイッチング特性、 $V_{CCA} = 2.5V \pm 0.2V$

制限値のすべての標準値は  $T_A = 25^\circ\text{C}$  に対して適用され、すべての最大値と最小値は  $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$  に対して適用されます (特に記述のない限り) (図 7-1 を参照)。

パラメータ	始点 (入力)	終点 (出力)	テスト条件	最小値	代表値	最大値	単位
$t_{PLH}, t_{PHL}$ 伝搬遅延時間: 「Low から High レベル出力まで」と 「High から Low レベル出力まで」	A	B	$V_{CCB} = 1.2 \text{ V}$	2.6			ns
			$V_{CCB} = 1.5 \text{ V} \pm 0.1 \text{ V}$	0.5	4.9		
			$V_{CCB} = 1.8 \text{ V} \pm 0.15 \text{ V}$	0.4	4.6		
			$V_{CCB} = 2.5 \text{ V} \pm 0.2 \text{ V}$	0.3	3.4		
			$V_{CCB} = 3.3 \text{ V} \pm 0.3 \text{ V}$	0.3	3		
$t_{PLH}, t_{PHL}$ 伝搬遅延時間: 「Low から High レベル出力まで」と 「High から Low レベル出力まで」	B	A	$V_{CCB} = 1.2 \text{ V}$	2.2			ns
			$V_{CCB} = 1.5 \text{ V} \pm 0.1 \text{ V}$	0.4	4.2		
			$V_{CCB} = 1.8 \text{ V} \pm 0.15 \text{ V}$	0.3	3.8		
			$V_{CCB} = 2.5 \text{ V} \pm 0.2 \text{ V}$	0.2	3.4		
			$V_{CCB} = 3.3 \text{ V} \pm 0.3 \text{ V}$	0.2	3.3		
$t_{PZH}, t_{PZL}$ イネーブル時間: High レベルまで <sup>(1)</sup> と Low レベルまで <sup>(1)</sup>	DIR	A	$V_{CCB} = 1.2 \text{ V}$	2.8			ns
			$V_{CCB} = 1.5 \text{ V} \pm 0.1 \text{ V}$	0.3	3.8		
			$V_{CCB} = 1.8 \text{ V} \pm 0.15 \text{ V}$	0.8	3.8		
			$V_{CCB} = 2.5 \text{ V} \pm 0.2 \text{ V}$	0.4	3.8		
			$V_{CCB} = 3.3 \text{ V} \pm 0.3 \text{ V}$	0.5	3.8		
$t_{PZH}, t_{PZL}$ イネーブル時間: High レベルまで <sup>(1)</sup> と Low レベルまで <sup>(1)</sup>	DIR	B	$V_{CCB} = 1.2 \text{ V}$	4.9			ns
			$V_{CCB} = 1.5 \text{ V} \pm 0.1 \text{ V}$	2	7.6		
			$V_{CCB} = 1.8 \text{ V} \pm 0.15 \text{ V}$	1.5	6.5		
			$V_{CCB} = 2.5 \text{ V} \pm 0.2 \text{ V}$	0.6	4.1		
			$V_{CCB} = 3.3 \text{ V} \pm 0.3 \text{ V}$	1	4		
$t_{PHZ}, t_{PLZ}$ ディセーブル時間: High レベルからと Low レベルから	DIR	A	$V_{CCB} = 1.2 \text{ V}$	7.1			ns
			$V_{CCB} = 1.5 \text{ V} \pm 0.1 \text{ V}$		11.8		
			$V_{CCB} = 1.8 \text{ V} \pm 0.15 \text{ V}$		10.3		
			$V_{CCB} = 2.5 \text{ V} \pm 0.2 \text{ V}$		7.5		
			$V_{CCB} = 3.3 \text{ V} \pm 0.3 \text{ V}$		7.3		
$t_{PHZ}, t_{PLZ}$ ディセーブル時間: High レベルからと Low レベルから	DIR	B	$V_{CCB} = 1.2 \text{ V}$	5.4			ns
			$V_{CCB} = 1.5 \text{ V} \pm 0.1 \text{ V}$		8.6		
			$V_{CCB} = 1.8 \text{ V} \pm 0.15 \text{ V}$		8.1		
			$V_{CCB} = 2.5 \text{ V} \pm 0.2 \text{ V}$		7		
			$V_{CCB} = 3.3 \text{ V} \pm 0.3 \text{ V}$		6.6		

(1) イネーブル時間は、「イネーブル時間」に示す式を使用して計算された値です。

## 6.10 スイッチング特性、 $V_{CCA} = 3.3V \pm 0.3V$

制限値のすべての標準値は  $T_A = 25^\circ\text{C}$  に対して適用され、すべての最大値と最小値は  $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$  に対して適用されます (特に記述のない限り) (図 7-1 を参照)。

パラメータ	始点 (入力)	終点 (出力)	テスト条件	最小値	代表値	最大値	単位
$t_{PLH}, t_{PHL}$ 伝搬遅延時間: 「Low から High レベル出力まで」と 「High から Low レベル出力まで」	A	B	$V_{CCB} = 1.2 \text{ V}$		2.6		ns
			$V_{CCB} = 1.5 \text{ V} \pm 0.1 \text{ V}$	0.4	4.7		
			$V_{CCB} = 1.8 \text{ V} \pm 0.15 \text{ V}$	0.3	4.4		
			$V_{CCB} = 2.5 \text{ V} \pm 0.2 \text{ V}$	0.2	3.3		
			$V_{CCB} = 3.3 \text{ V} \pm 0.3 \text{ V}$	0.2	2.8		
$t_{PLH}, t_{PHL}$ 伝搬遅延時間: 「Low から High レベル出力まで」と 「High から Low レベル出力まで」	B	A	$V_{CCB} = 1.2 \text{ V}$		2.2		ns
			$V_{CCB} = 1.5 \text{ V} \pm 0.1 \text{ V}$	0.4	3.8		
			$V_{CCB} = 1.8 \text{ V} \pm 0.15 \text{ V}$	0.3	3.4		
			$V_{CCB} = 2.5 \text{ V} \pm 0.2 \text{ V}$	0.2	3		
			$V_{CCB} = 3.3 \text{ V} \pm 0.3 \text{ V}$	0.1	2.8		
$t_{PZH}, t_{PZL}$ イネーブル時間: High レベルまで <sup>(1)</sup> と Low レベルまで <sup>(1)</sup>	DIR	A	$V_{CCB} = 1.2 \text{ V}$		3.1		ns
			$V_{CCB} = 1.5 \text{ V} \pm 0.1 \text{ V}$	1.3	4.3		
			$V_{CCB} = 1.8 \text{ V} \pm 0.15 \text{ V}$	1.3	4.3		
			$V_{CCB} = 2.5 \text{ V} \pm 0.2 \text{ V}$	1.3	4.3		
			$V_{CCB} = 3.3 \text{ V} \pm 0.3 \text{ V}$	1.3	4.3		
$t_{PZH}, t_{PZL}$ イネーブル時間: High レベルまで <sup>(1)</sup> と Low レベルまで <sup>(1)</sup>	DIR	B	$V_{CCB} = 1.2 \text{ V}$		4		ns
			$V_{CCB} = 1.5 \text{ V} \pm 0.1 \text{ V}$	0.7	7.4		
			$V_{CCB} = 1.8 \text{ V} \pm 0.15 \text{ V}$	0.6	6.5		
			$V_{CCB} = 2.5 \text{ V} \pm 0.2 \text{ V}$	0.7	4		
			$V_{CCB} = 3.3 \text{ V} \pm 0.3 \text{ V}$	1.5	3.9		
$t_{PHZ}, t_{PLZ}$ ディセーブル時間: High レベルからと Low レベルから	DIR	A	$V_{CCB} = 1.2 \text{ V}$		6.2		ns
			$V_{CCB} = 1.5 \text{ V} \pm 0.1 \text{ V}$		11.2		
			$V_{CCB} = 1.8 \text{ V} \pm 0.15 \text{ V}$		9.9		
			$V_{CCB} = 2.5 \text{ V} \pm 0.2 \text{ V}$		7		
			$V_{CCB} = 3.3 \text{ V} \pm 0.3 \text{ V}$		6.7		
$t_{PHZ}, t_{PLZ}$ ディセーブル時間: High レベルからと Low レベルから	DIR	B	$V_{CCB} = 1.2 \text{ V}$		5.7		ns
			$V_{CCB} = 1.5 \text{ V} \pm 0.1 \text{ V}$		8.9		
			$V_{CCB} = 1.8 \text{ V} \pm 0.15 \text{ V}$		8.5		
			$V_{CCB} = 2.5 \text{ V} \pm 0.2 \text{ V}$		7.2		
			$V_{CCB} = 3.3 \text{ V} \pm 0.3 \text{ V}$		6.8		

(1) イネーブル時間は、「イネーブル時間」に示す式を使用して計算された値です。

## 6.11 動作特性

$T_A = 25^\circ\text{C}$

パラメータ	始点 (入力)	終点 (出力)	テスト条件	標準値	単位		
$C_{pdA}$ トランシーバあたりの電力散逸容量 (1) ポート A	A	B	$C_L = 0\text{pF}$ 、 $f = 10\text{MHz}$ 、 $t_r = t_f = 1\text{ns}$	$V_{CCA} = V_{CCB} = 1.2 \text{ V}$	3	pF	
				$V_{CCA} = V_{CCB} = 1.5 \text{ V}$	3		
				$V_{CCA} = V_{CCB} = 1.8 \text{ V}$	3		
				$V_{CCA} = V_{CCB} = 2.5 \text{ V}$	3		
				$V_{CCA} = V_{CCB} = 3.3 \text{ V}$	4		
	B	A		$V_{CCA} = V_{CCB} = 1.2 \text{ V}$	14	pF	
				$V_{CCA} = V_{CCB} = 1.5 \text{ V}$	14		
				$V_{CCA} = V_{CCB} = 1.8 \text{ V}$	14		
				$V_{CCA} = V_{CCB} = 2.5 \text{ V}$	15		
				$V_{CCA} = V_{CCB} = 3.3 \text{ V}$	16		
$C_{pdB}$ トランシーバあたりの電力散逸容量 (1) ポート B	A	B	$C_L = 0\text{pF}$ 、 $f = 10\text{MHz}$ 、 $t_r = t_f = 1\text{ns}$	$V_{CCA} = V_{CCB} = 1.2 \text{ V}$	14	pF	
				$V_{CCA} = V_{CCB} = 1.5 \text{ V}$	14		
				$V_{CCA} = V_{CCB} = 1.8 \text{ V}$	14		
				$V_{CCA} = V_{CCB} = 2.5 \text{ V}$	15		
				$V_{CCA} = V_{CCB} = 3.3 \text{ V}$	16		
	B	A		$V_{CCA} = V_{CCB} = 1.2 \text{ V}$	3	pF	
				$V_{CCA} = V_{CCB} = 1.5 \text{ V}$	3		
				$V_{CCA} = V_{CCB} = 1.8 \text{ V}$	3		
				$V_{CCA} = V_{CCB} = 2.5 \text{ V}$	3		
				$V_{CCA} = V_{CCB} = 3.3 \text{ V}$	4		

(1) 『CMOS の消費電力と  $C_{pd}$  の計算』を参照してください。

## 6.12 代表的特性

$T_A = 25^\circ\text{C}$

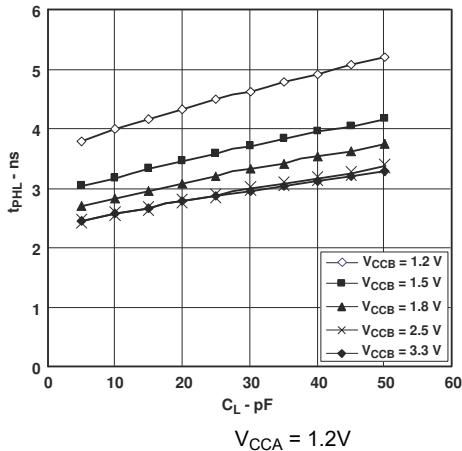


図 6-1. 標準的な伝搬遅延 (A から B) と  
負荷容量との関係

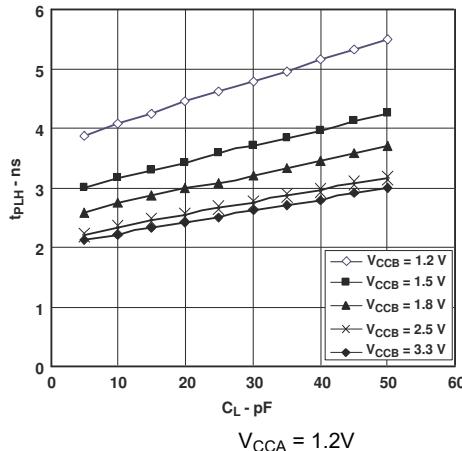


図 6-2. 標準的な伝搬遅延 (A から B) と  
負荷容量との関係

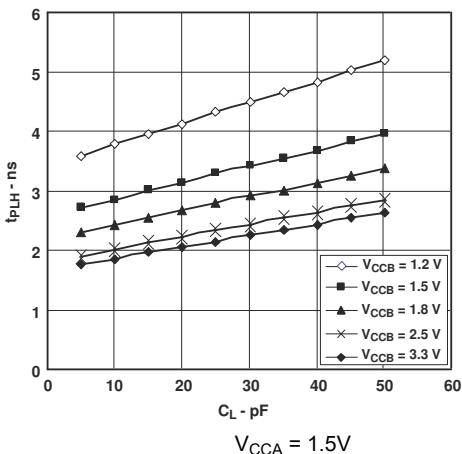


図 6-3. 標準的な伝搬遅延 (A から B) と  
負荷容量との関係

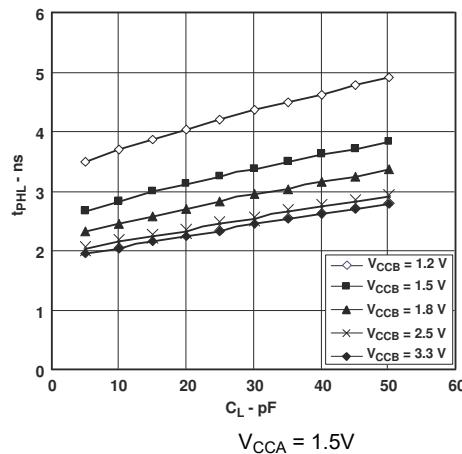


図 6-4. 標準的な伝搬遅延 (A から B) と  
負荷容量との関係

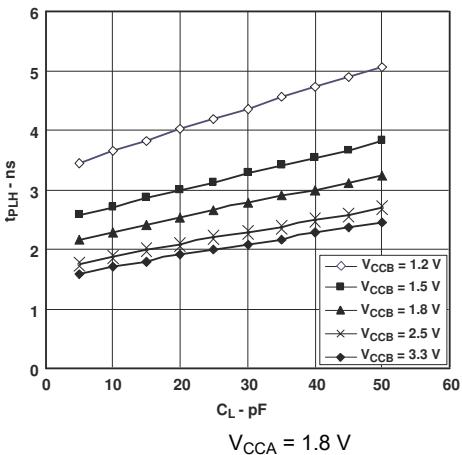


図 6-5. 標準的な伝搬遅延 (A から B) と  
負荷容量との関係

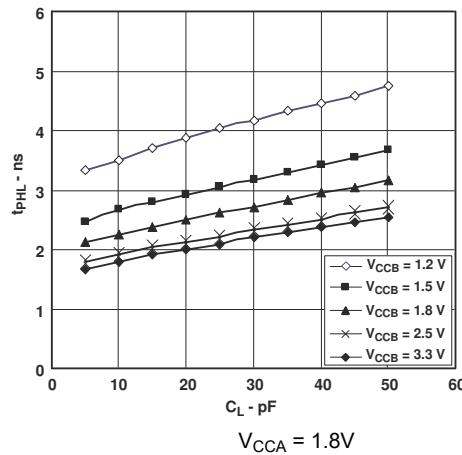


図 6-6. 標準的な伝搬遅延 (A から B) と  
負荷容量との関係

## 6.12 代表的特性 (続き)

$T_A = 25^\circ\text{C}$

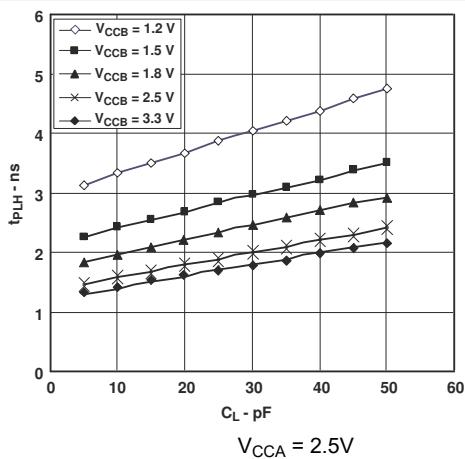


図 6-7. 標準的な伝搬遅延 (A から B) と  
負荷容量との関係

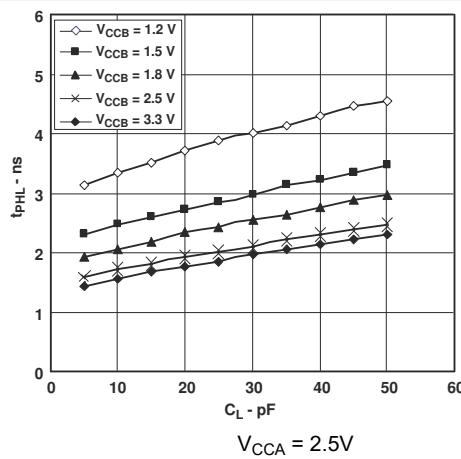


図 6-8. 標準的な伝搬遅延 (A から B) と  
負荷容量との関係

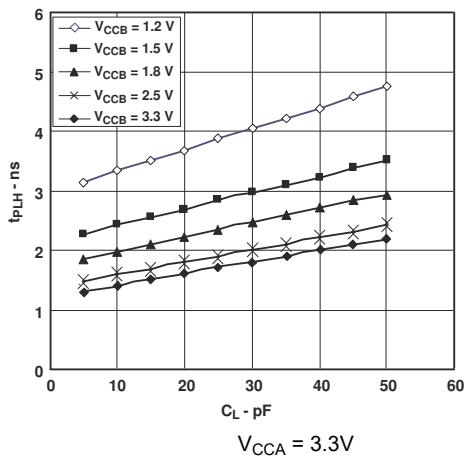


図 6-9. 標準的な伝搬遅延 (A から B) と  
負荷容量との関係

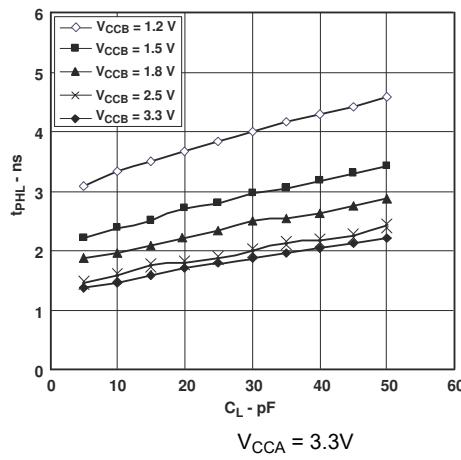
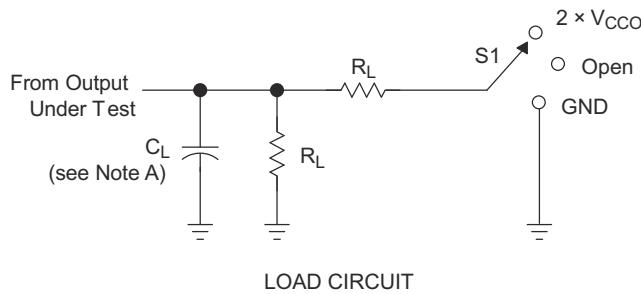


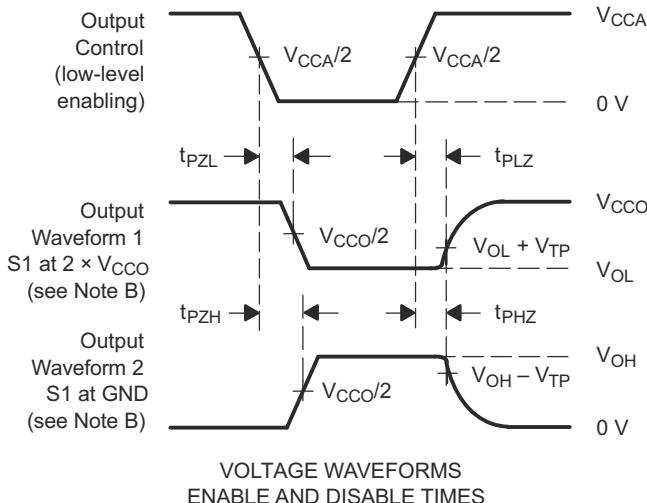
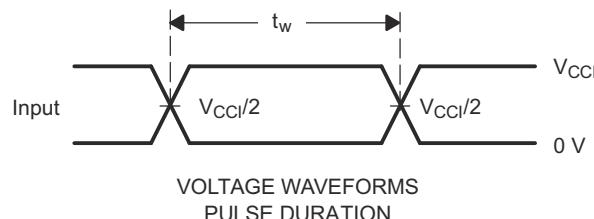
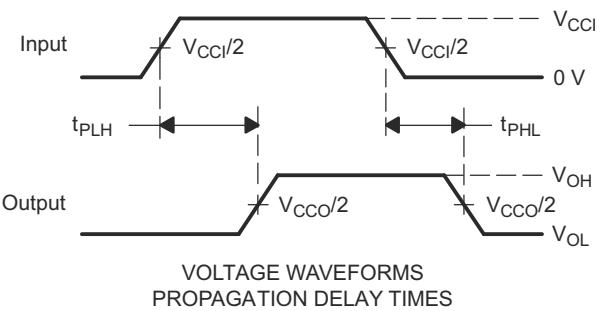
図 6-10. 標準的な伝搬遅延 (A から B) と  
負荷容量との関係

## 7 パラメータ測定情報



TEST	S1
$t_{pd}$	Open
$t_{PLZ}/t_{PZL}$	$2 \times V_{CCO}$
$t_{PHZ}/t_{PZH}$	GND

$V_{CCO}$	$C_L$	$R_L$	$V_{TP}$
1.2 V	15 pF	2 kW	0.1 V
$1.5 V \pm 0.1 V$	15 pF	2 kW	0.1 V
$1.8 V \pm 0.15 V$	15 pF	2 kW	0.15 V
$2.5 V \pm 0.2 V$	15 pF	2 kW	0.15 V
$3.3 V \pm 0.3 V$	15 pF	2 kW	0.3 V



- NOTES:
- A.  $C_L$  includes probe and jig capacitance.
  - B. Waveform 1 is for an output with internal conditions such that the output is low except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
  - C. All input pulses are supplied by generators having the following characteristics: PRR = 10 MHz,  $Z_O = 50 \Omega$ ,  $dv/dt \geq 1 \text{ V/ns}$ .
  - D. The outputs are measured one at a time, with one transition per measurement.
  - E.  $t_{PLZ}$  and  $t_{PHZ}$  are the same as  $t_{dis}$ .
  - F.  $t_{PZL}$  and  $t_{PZH}$  are the same as  $t_{en}$ .
  - G.  $t_{PLH}$  and  $t_{PHL}$  are the same as  $t_{pd}$ .
  - H.  $V_{CCI}$  is the  $V_{CC}$  associated with the input port.
  - I.  $V_{CCO}$  is the  $V_{CC}$  associated with the output port.

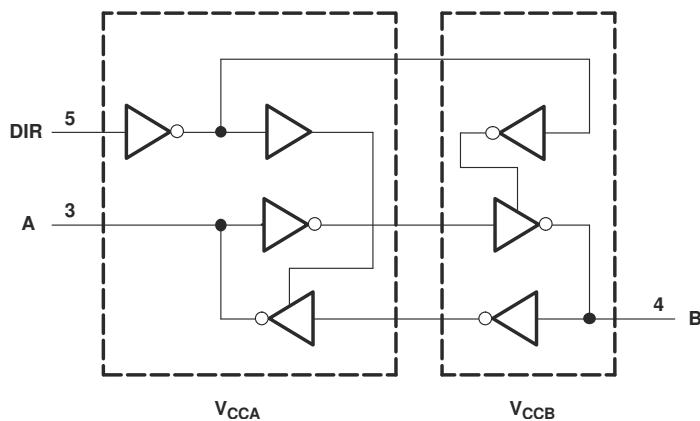
図 7-1. 負荷回路および電圧波形

## 8 詳細説明

### 8.1 概要

SN74AVCH1T45 は、1 ビット、デュアル電源、非反転電圧レベルトランスレータです。ピン A と DIR は  $V_{CCA}$  を基準とし、ピン B は  $V_{CCB}$  を基準とされています。A ポートと B ポートはどちらも、1.2V～3.6V の範囲の I/O 電圧に対応しています。DIR を High にすると、ポート A からポート B にデータが転送され、DIR を Low にすると、ポート B からポート A にデータが転送されます。詳細については、アプリケーションレポート『AVC ロジック ファミリの技術と応用』を参照してください。

### 8.2 機能ブロック図



### 8.3 機能説明

#### 8.3.1 フル構成可能なデュアル レール設計

$V_{CCA}$  と  $V_{CCB}$  はどちらにも 1.2V～3.6V の任意の電圧を供給できるため、このデバイスは任意の電圧ノード間 (1.2V、1.8V、2.5V、3.3V) での変換に適しています。

#### 8.3.2 高速変換をサポート

SN74AVCH1T45 は高データレート アプリケーションに対応できます。このデータレートは最大伝搬遅延から計算できます。対応可能なデータレートは出力負荷に依存します。たとえば、1.8V から 3.3V への変換の場合、最大データレートは 500Mbps です。

#### 8.3.3 部分的パワーダウン モード動作

$I_{off}$  回路が出力をディセーブルにするため、SN74AVCH1T45 の電源を切った際に SN74AVCH1T45 に電流が逆流して損傷に至ることを回避できます。このイベントは、消費電力を低減するためにシステムの一部分がパワーダウン (部分的パワーダウン) されるアプリケーションで発生する可能性があります。

#### 8.3.4 アクティブバスホールド回路

アクティブバスホールド回路は、未使用または未駆動のデータ入力を有効なロジック状態に保持します。これは、基板面積の節約と部品コストの低減に役立ちます。プルアップ抵抗もプルダウン抵抗も、バスホールド回路と組み合わせて使用することは推奨しません。詳細については、アプリケーションレポート『バスホールド回路』を参照してください。

#### 8.3.5 $V_{CC}$ 絶縁機能

$V_{CC}$  絶縁機能により、 $V_{CCA}$  と  $V_{CCB}$  のどちらかを GND (または <0.4V) にすると、両方のポートが高インピーダンス状態 (『電気的特性』に示す  $I_{OZ}$ ) になります。この機能によって、どちらのバスにも誤ったロジックレベルが現れないようにしています。

## 8.4 デバイスの機能モード

表 8-1 に、SN74AVCH1T45 の機能モードを示します。

表 8-1. 機能表

DIR	動作
L	B データを A バスへ
H	A データを B バスへ

## 9 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 9.1 アプリケーション情報

SN74AVCH1T45 デバイスは、相互に異なるインターフェイス電圧で動作するデバイスまたはシステムのインターフェイスのレベル変換アプリケーションで使用できます。このデバイスで信号を 1.8V から 3.3V に変換する場合、最大データレートは 500Mbps となります。

### 9.2 代表的なアプリケーション

#### 9.2.1 単方向ロジック レベルシフト アプリケーション

図 9-1 に、単方向ロジック レベルシフト アプリケーションで使われている SN74AVCH1T45 の例を示します。

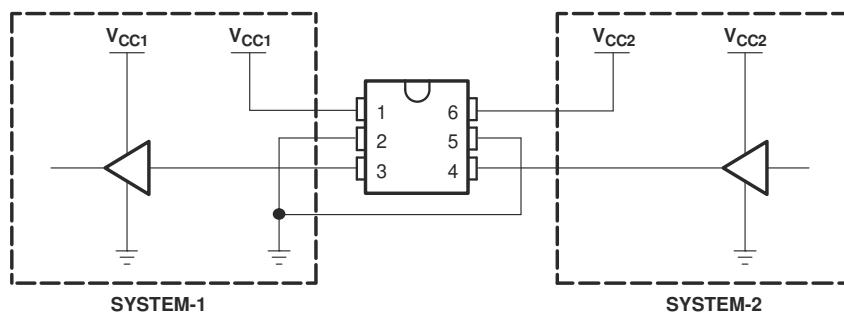


図 9-1. 単方向ロジック レベルシフト アプリケーションの図

表 9-1. データ転送 : SYSTEM-1、SYSTEM-2

ピン	名称	機能	説明
1	V <sub>CCA</sub>	V <sub>CC1</sub>	SYSTEM-1 の電源電圧 (1.2V~3.6V)
2	GND	GND	デバイス GND
3	A	OUT	出力レベルは V <sub>CC1</sub> 電圧に依存します。
4	B	IN	入力スレッショルド値は V <sub>CC2</sub> 電圧に依存します。
5	DIR	DIR	GND (Low レベル) は、B ポートから A ポートへの方向を意味します。
6	V <sub>CCB</sub>	V <sub>CC2</sub>	SYSTEM-2 の電源電圧 (1.2V~3.6V)

### 9.2.1.1 設計要件

この設計例では、表 9-2 に記載されているパラメータを使用します。

**表 9-2. 設計パラメータ**

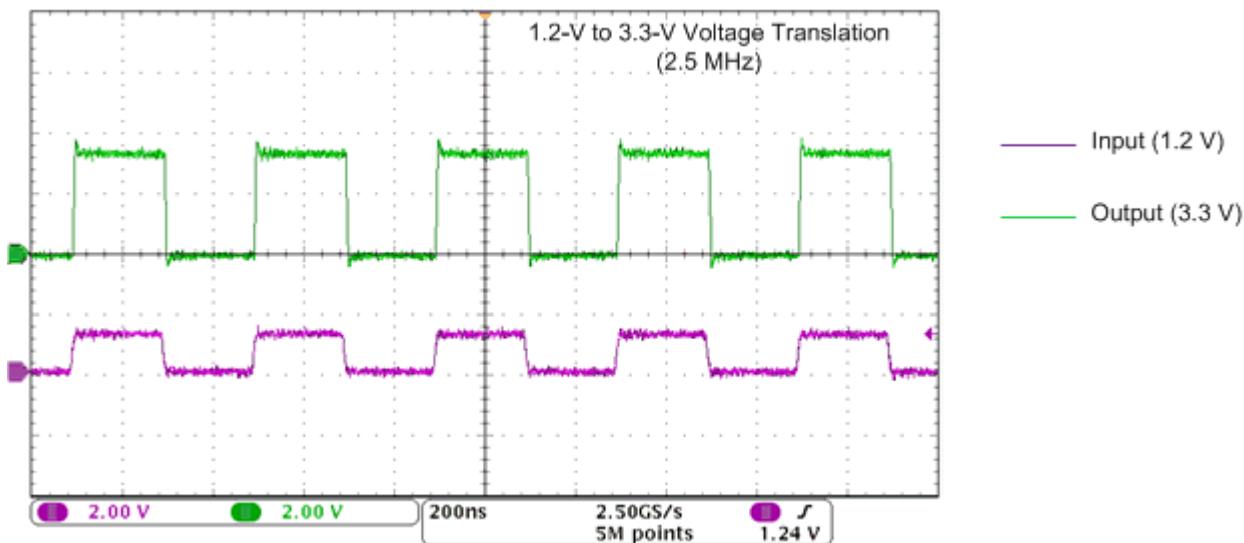
設計パラメータ	例の値
入力電圧	1.2V~3.6V
出力電圧	1.2V~3.6V

### 9.2.1.2 詳細な設計手順

設計プロセスを開始するには、以下を決定する必要があります。

- 入力電圧範囲
  - SN74AVCH1T45 デバイスを駆動しているデバイスの電源電圧を使用して、入力電圧範囲を決定します。有効なロジック High の場合、値は入力ポートの  $V_{IH}$  を超えている必要があります。有効なロジック Low の場合、値は入力ポートの  $V_{IL}$  未満である必要があります。
- 出力電圧範囲
  - SN74AVCH1T45 デバイスが駆動しているデバイスの電源電圧を使用して、出力電圧範囲を決定します。

### 9.2.1.3 アプリケーション曲線



**図 9-2. 2.5MHz での昇圧変換 (1.2V→3.3V)**

### 9.2.2 双方向ロジック レベルシフト アプリケーション

図 9-3 に、双方向ロジック レベルシフト アプリケーションで使われている SN74AVCH1T45 を示します。SN74AVCH1T45 には出力イネーブル (OE) ピンがないため、方向を変更する際に SYSTEM-1 と SYSTEM-2 の間でバス競合が発生しないように注意してください。

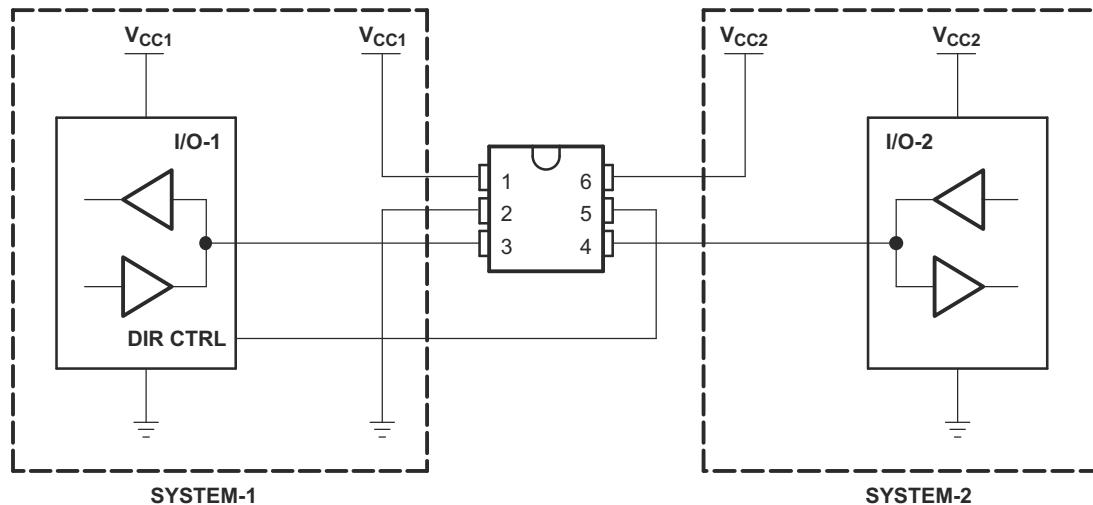


図 9-3. 双方向ロジック レベルシフト アプリケーションの図

以下の表に、システム 1 からシステム 2 へ、次にシステム 2 からシステム 1 へのデータ転送を示します。

表 9-3. データ転送 : SYSTEM-1、SYSTEM-2

状態	DIR CTRL	I/O-1	I/O-2	説明
1	H	出力	入力	SYSTEM-1 のデータから SYSTEM-2 へ
2	H	ハイインピーダンス	ハイインピーダンス	SYSTEM-2 は SYSTEM-1 にデータを送信する準備をしています。I/O-1 と I/O-2 は無効化されています。
3	L	ハイインピーダンス	ハイインピーダンス	DIR ビットが反転します。I/O-1 と I/O-2 は引き続き無効化されています。
4	L	入力	出力	SYSTEM-2 のデータから SYSTEM-1 へ

#### 9.2.2.1 設計要件

「单方向ロジック レベルシフト アプリケーション」の「設計要件」を参照してください。

#### 9.2.2.2 詳細な設計手順

##### 9.2.2.2.1 イネーブル時間

以下の式を使用して、SN74AVCH1T45 のイネーブル時間を計算します。

- $t_{PZH}(\text{DIR から A}) = t_{PLZ}(\text{DIR から B}) + t_{PLH}(\text{B から A})$
- $t_{PZL}(\text{DIR から A}) = t_{PHZ}(\text{DIR から B}) + t_{PHL}(\text{B から A})$
- $t_{PZH}(\text{DIR から B}) = t_{PLZ}(\text{DIR から A}) + t_{PLH}(\text{A から B})$
- $t_{PZL}(\text{DIR から B}) = t_{PHZ}(\text{DIR から A}) + t_{PHL}(\text{A から B})$

双方向アプリケーションでは、これらのイネーブル時間から、DIR ビットが切り替わってから出力が得られるまでの遅延の最大値が得られます。たとえば、SN74AVCH1T45 が最初に A から B に送信しており、その後に DIR ビットが切り替わる場合、デバイスの B ポートはそれが入力として指定される前にディセーブルにする必要があります。B ポートがディセーブル

ルになると、このポートに印加されていた入力信号は、指定の伝搬遅延を経過した後に対応する A ポートで確認できるようになります。

### 9.2.2.3 アプリケーション曲線

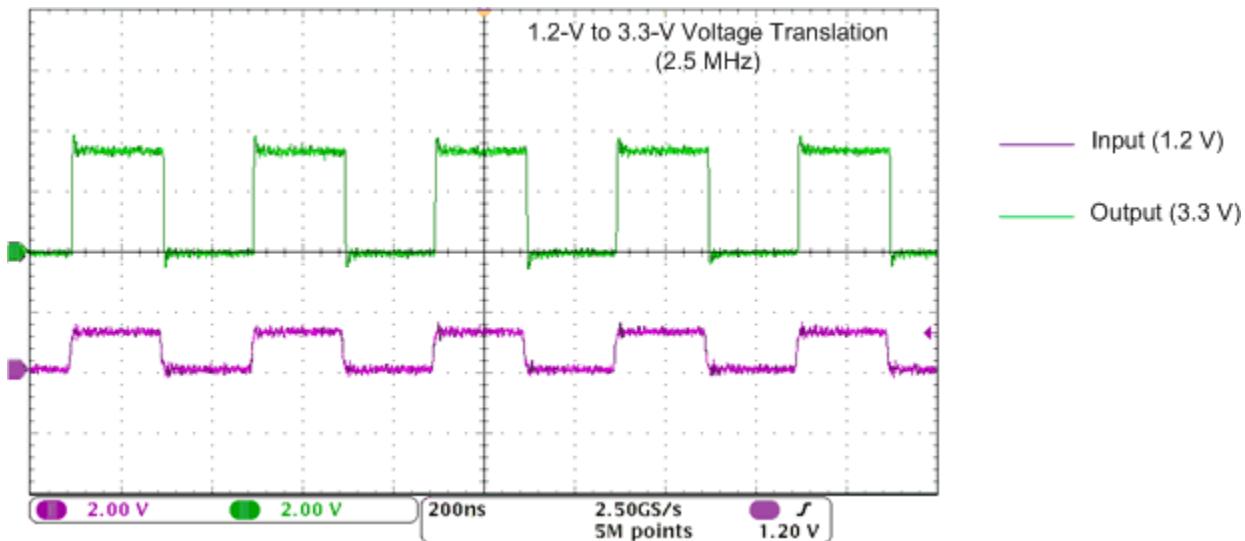


図 9-4. 2.5MHz での昇圧変換 (1.2V→3.3V)

## 10 電源に関する推奨事項

過剰な電源電流、バスの競合、発振、その他の異常を避けるため、適切な電源オンシーケンスに従う必要があります。上記の電源投入時の問題を防止するため、次の注意事項に従ってください。

1. 何らかの電源電圧を印加する前に、グランドを接続します。
2.  $V_{CCA}$  をパワーアップします。
3.  $V_{CCB}$  は、 $V_{CCA}$  と一緒に、または  $VCCA$  の後に立ち上げることができます。

**表 10-1. 総合静的消費電力 (標準値) ( $I_{CCA} + I_{CCB}$ )**

$V_{CCB}$	$V_{CCA}$						単位
	0V	1.2V	1.5V	1.8V	2.5V	3.3V	
0V	0	<0.5	<0.5	<0.5	<0.5	<0.5	
1.2V	<0.5	<1	<1	<1	<1	1	
1.5V	<0.5	<1	<1	<1	<1	1	
1.8V	<0.5	<1	<1	<1	<1	<1	
2.5V	<0.5	1	<1	<1	<1	<1	
3.3V	<0.5	1	<1	<1	<1	<1	

## 11 レイアウト

### 11.1 レイアウトのガイドライン

テキサス・インストルメンツでは、デバイスの信頼性を向上させるため、以下の一般的なプリント基板レイアウト ガイドラインを推奨しています。

- 電源にはバイパスコンデンサを使用します。
- 過度の負荷を避けるため、短いパターンを使用します。
- システム要件に応じて信号の立ち上がり時間と立ち下がり時間を調整するのに便利なように、負荷コンデンサまたはプルアップ抵抗の信号パスにパッドを配置します。

### 11.2 レイアウト例

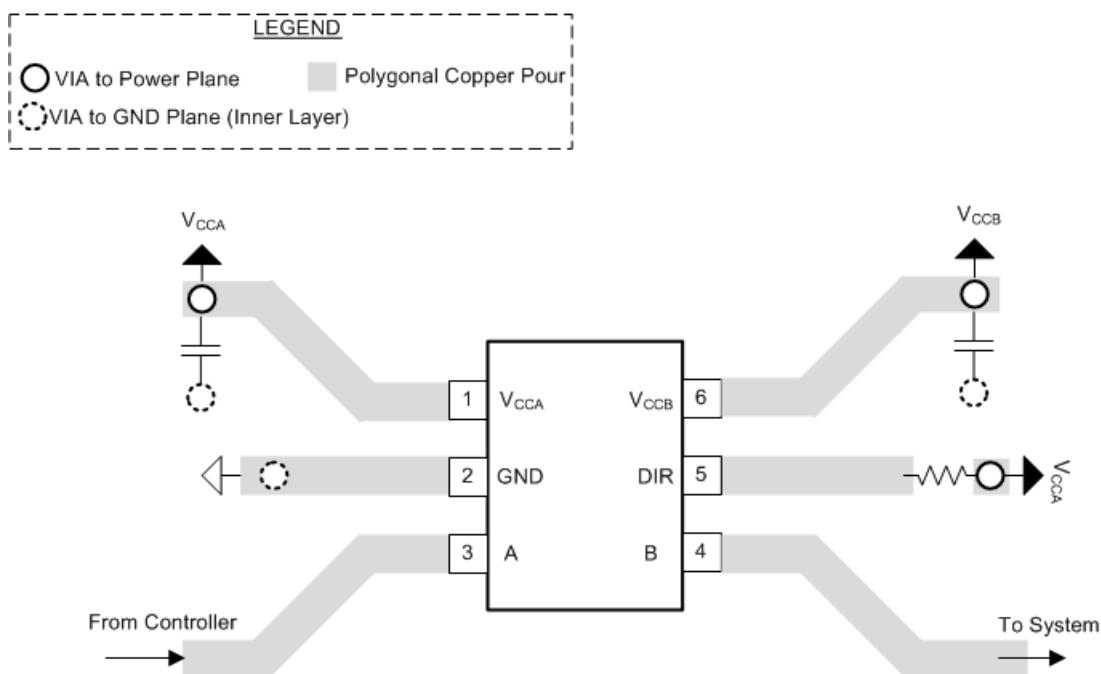


図 11-1. PCB のレイアウト例

## 12 デバイスおよびドキュメントのサポート

### 12.1 ドキュメントのサポート

#### 12.1.1 関連資料

関連資料については、以下を参照してください。

- 『[SN74LVCXT245 および SN74LVCHXT245 方向制御型電圧トランスレータ / レベルシフタ ファミリによる設計](#)』、アプリケーション レポート
- 『[バス ホールド回路](#)』、アプリケーション レポート
- 『[AVC ロジック ファミリの技術と応用](#)』

### 12.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 12.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 12.4 商標

NanoStar™, NanoFree™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.  
すべての商標は、それぞれの所有者に帰属します。

### 12.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 12.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 13 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

<b>Changes from Revision E (March 2016) to Revision F (March 2024)</b>	<b>Page</b>
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
DBV と DCK の「熱に関する情報」を更新.....	5

<b>Changes from Revision D (January 2008) to Revision E (March 2016)</b>	<b>Page</b>
「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加。.....	1

## 14 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報はそのデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーションリンクを参照してください。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](#) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
74AVCH1T45DBVRE4	Active	Production	SOT-23 (DBV)   6	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(ET1F, ET1R)
74AVCH1T45DBVRG4	Active	Production	SOT-23 (DBV)   6	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(ET1F, ET1R)
74AVCH1T45DCKRE4	Active	Production	SC70 (DCK)   6	3000   LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 85	(TFF, TFR)
74AVCH1T45DCKRG4	Active	Production	SC70 (DCK)   6	3000   LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 85	(TFF, TFR)
<b>SN74AVCH1T45DBVR</b>	Active	Production	SOT-23 (DBV)   6	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(ET1F, ET1R)
SN74AVCH1T45DBVR.A	Active	Production	SOT-23 (DBV)   6	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(ET1F, ET1R)
SN74AVCH1T45DBVR.B	Active	Production	SOT-23 (DBV)   6	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(ET1F, ET1R)
<b>SN74AVCH1T45DBVRG4</b>	Active	Production	SOT-23 (DBV)   6	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(ET1F, ET1R)
SN74AVCH1T45DBVRG4.A	Active	Production	SOT-23 (DBV)   6	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(ET1F, ET1R)
SN74AVCH1T45DBVRG4.B	Active	Production	SOT-23 (DBV)   6	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(ET1F, ET1R)
<b>SN74AVCH1T45DBVT</b>	Active	Production	SOT-23 (DBV)   6	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(ET1F, ET1R)
SN74AVCH1T45DBVT.B	Active	Production	SOT-23 (DBV)   6	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(ET1F, ET1R)
<b>SN74AVCH1T45DCKR</b>	Active	Production	SC70 (DCK)   6	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(TFF, TFR)
SN74AVCH1T45DCKR.A	Active	Production	SC70 (DCK)   6	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(TFF, TFR)
SN74AVCH1T45DCKR.B	Active	Production	SC70 (DCK)   6	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(TFF, TFR)
<b>SN74AVCH1T45DCKRG4</b>	Active	Production	SC70 (DCK)   6	3000   LARGE T&R	Yes	Call TI   Nipdau	Level-1-260C-UNLIM	-40 to 85	(TFF, TFR)
SN74AVCH1T45DCKRG4.A	Active	Production	SC70 (DCK)   6	3000   LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 85	(TFF, TFR)
SN74AVCH1T45DCKRG4.B	Active	Production	SC70 (DCK)   6	3000   LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 85	(TFF, TFR)
<b>SN74AVCH1T45DCKT</b>	Active	Production	SC70 (DCK)   6	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(TFF, TFR)
SN74AVCH1T45DCKT.B	Active	Production	SC70 (DCK)   6	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(TFF, TFR)
SN74AVCH1T45DCKTG4	Active	Production	SC70 (DCK)   6	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TFR
SN74AVCH1T45DCKTG4.B	Active	Production	SC70 (DCK)   6	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TFR
<b>SN74AVCH1T45YZPR</b>	Active	Production	DSBGA (YZP)   6	3000   LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	(TE2, TEN)
SN74AVCH1T45YZPR.B	Active	Production	DSBGA (YZP)   6	3000   LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	(TE2, TEN)

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

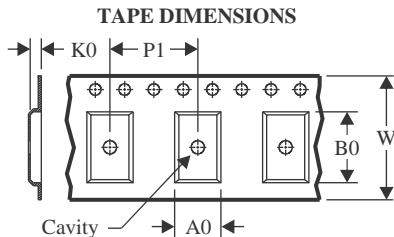
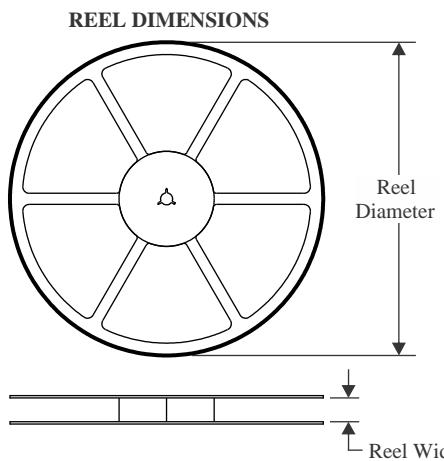
<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

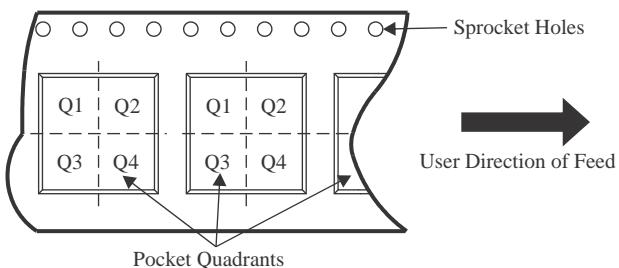
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## TAPE AND REEL INFORMATION



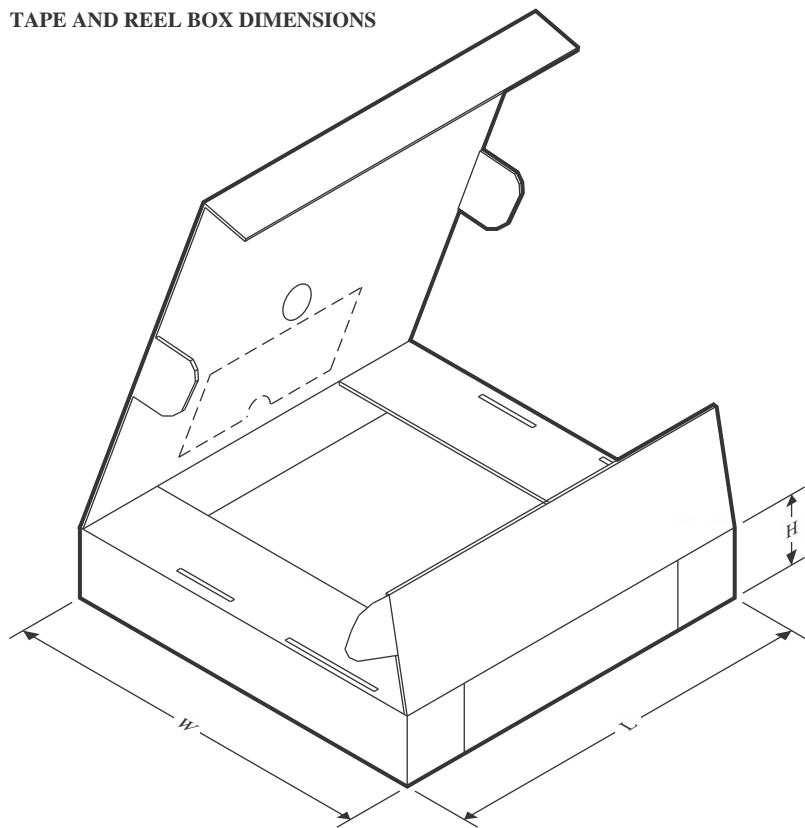
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AVCH1T45DBVR	SOT-23	DBV	6	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
SN74AVCH1T45DBVRG4	SOT-23	DBV	6	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
SN74AVCH1T45DBVT	SOT-23	DBV	6	250	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
SN74AVCH1T45DCKR	SC70	DCK	6	3000	180.0	8.4	2.41	2.41	1.2	4.0	8.0	Q3
SN74AVCH1T45DCKRG4	SC70	DCK	6	3000	180.0	8.4	2.41	2.41	1.2	4.0	8.0	Q3
SN74AVCH1T45DCKRG4	SC70	DCK	6	3000	180.0	8.4	2.3	2.52	1.2	4.0	8.0	Q3
SN74AVCH1T45DCKT	SC70	DCK	6	250	180.0	8.4	2.41	2.41	1.2	4.0	8.0	Q3
SN74AVCH1T45DCKTG4	SC70	DCK	6	250	180.0	8.4	2.41	2.41	1.2	4.0	8.0	Q3
SN74AVCH1T45YZPR	DSBGA	YZP	6	3000	178.0	9.2	1.02	1.52	0.63	4.0	8.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AVCH1T45DBVR	SOT-23	DBV	6	3000	202.0	201.0	28.0
SN74AVCH1T45DBVRG4	SOT-23	DBV	6	3000	202.0	201.0	28.0
SN74AVCH1T45DBVT	SOT-23	DBV	6	250	202.0	201.0	28.0
SN74AVCH1T45DCKR	SC70	DCK	6	3000	202.0	201.0	28.0
SN74AVCH1T45DCKRG4	SC70	DCK	6	3000	202.0	201.0	28.0
SN74AVCH1T45DCKRG4	SC70	DCK	6	3000	214.0	199.0	55.0
SN74AVCH1T45DCKT	SC70	DCK	6	250	202.0	201.0	28.0
SN74AVCH1T45DCKTG4	SC70	DCK	6	250	202.0	201.0	28.0
SN74AVCH1T45YZPR	DSBGA	YZP	6	3000	220.0	220.0	35.0

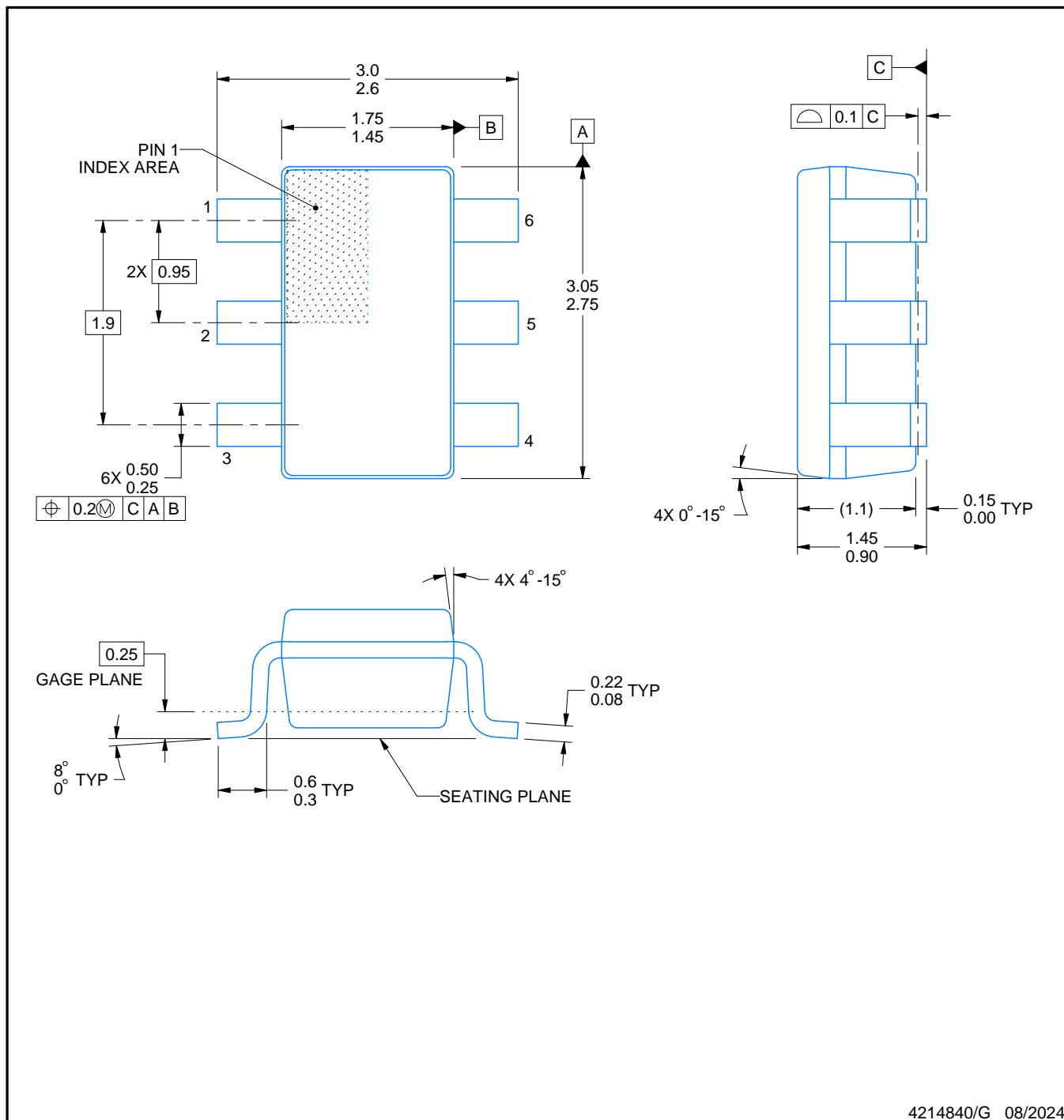
# PACKAGE OUTLINE

**DBV0006A**



**SOT-23 - 1.45 mm max height**

SMALL OUTLINE TRANSISTOR



**NOTES:**

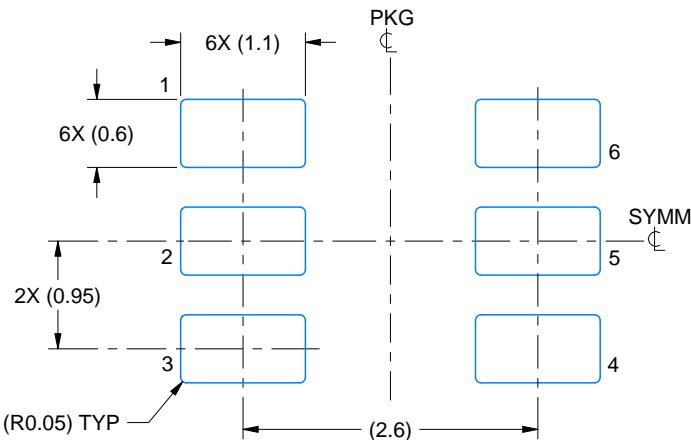
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Reference JEDEC MO-178.

# EXAMPLE BOARD LAYOUT

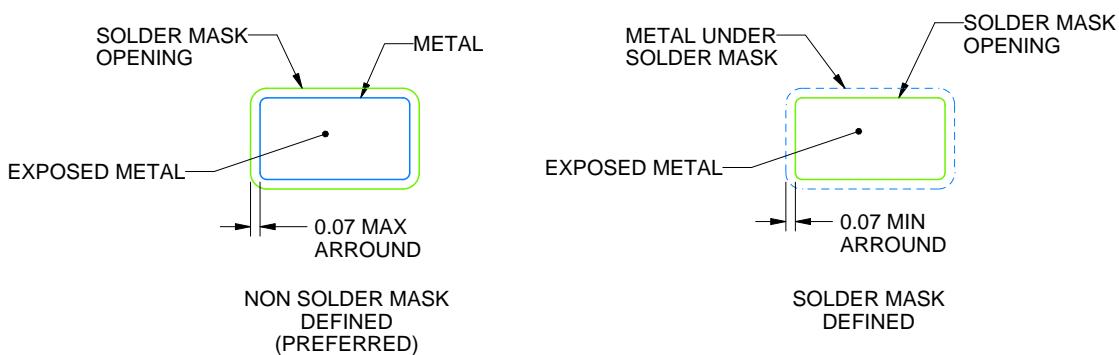
DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:15X



SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

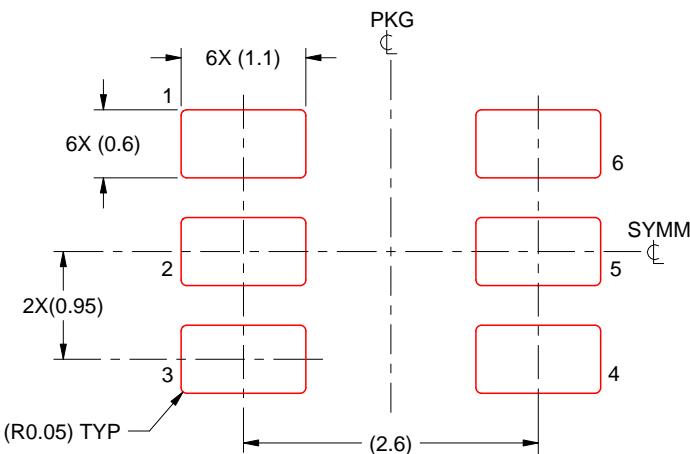
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



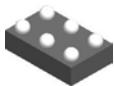
SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

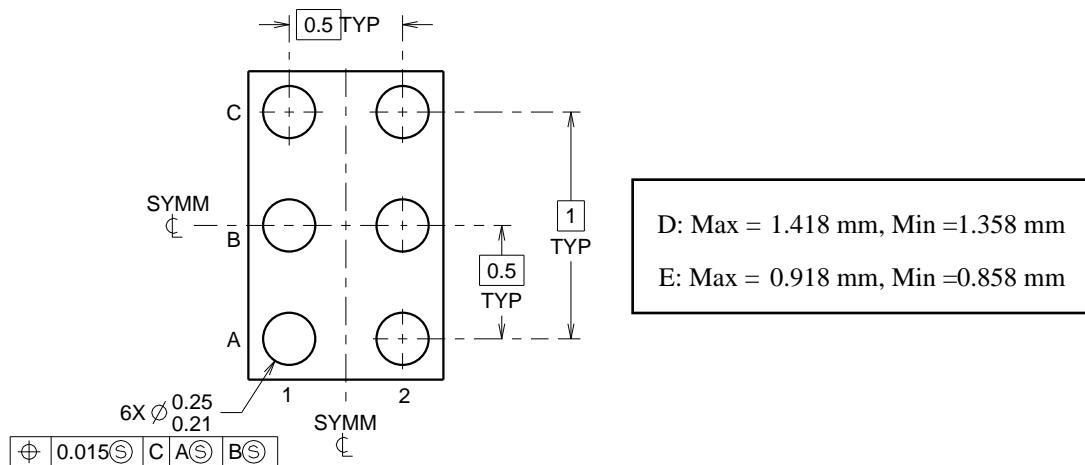
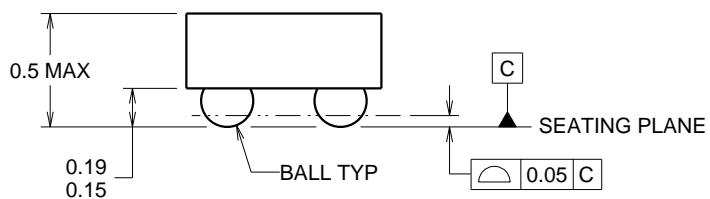
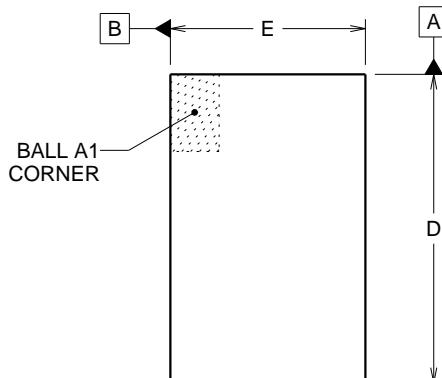
**YZP0006**



## PACKAGE OUTLINE

**DSBGA - 0.5 mm max height**

DIE SIZE BALL GRID ARRAY



4219524/A 06/2014

NOTES:

NanoFree is a trademark of Texas Instruments.

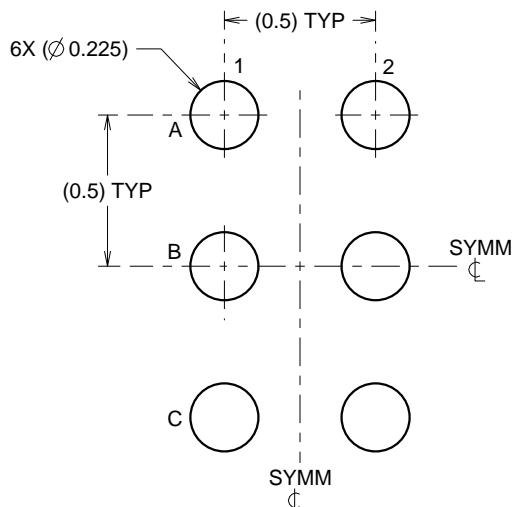
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. NanoFree™ package configuration.

# EXAMPLE BOARD LAYOUT

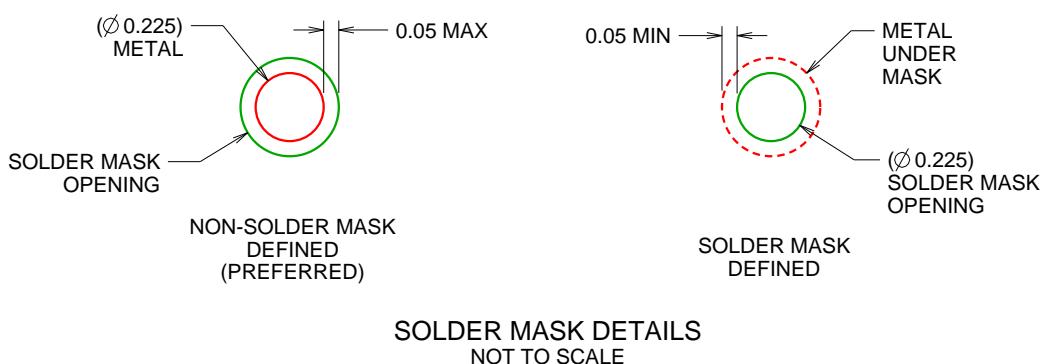
YZP0006

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE  
SCALE:40X



SOLDER MASK DETAILS  
NOT TO SCALE

4219524/A 06/2014

NOTES: (continued)

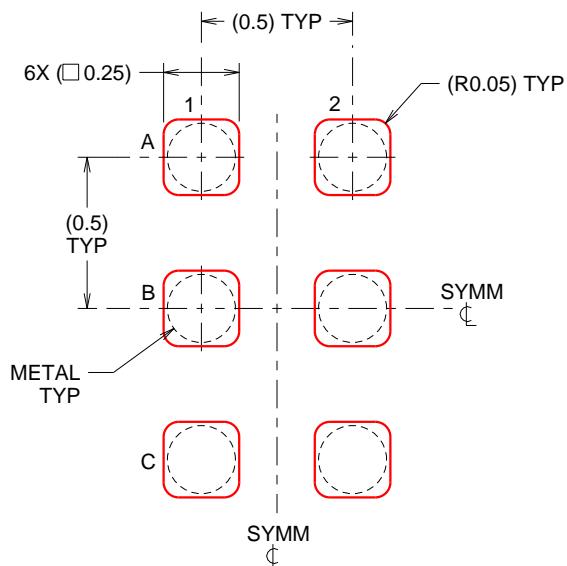
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.  
For more information, see Texas Instruments literature number SBVA017 ([www.ti.com/lit/sbva017](http://www.ti.com/lit/sbva017)).

# EXAMPLE STENCIL DESIGN

YZP0006

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE  
BASED ON 0.1 mm THICK STENCIL  
SCALE:40X

4219524/A 06/2014

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

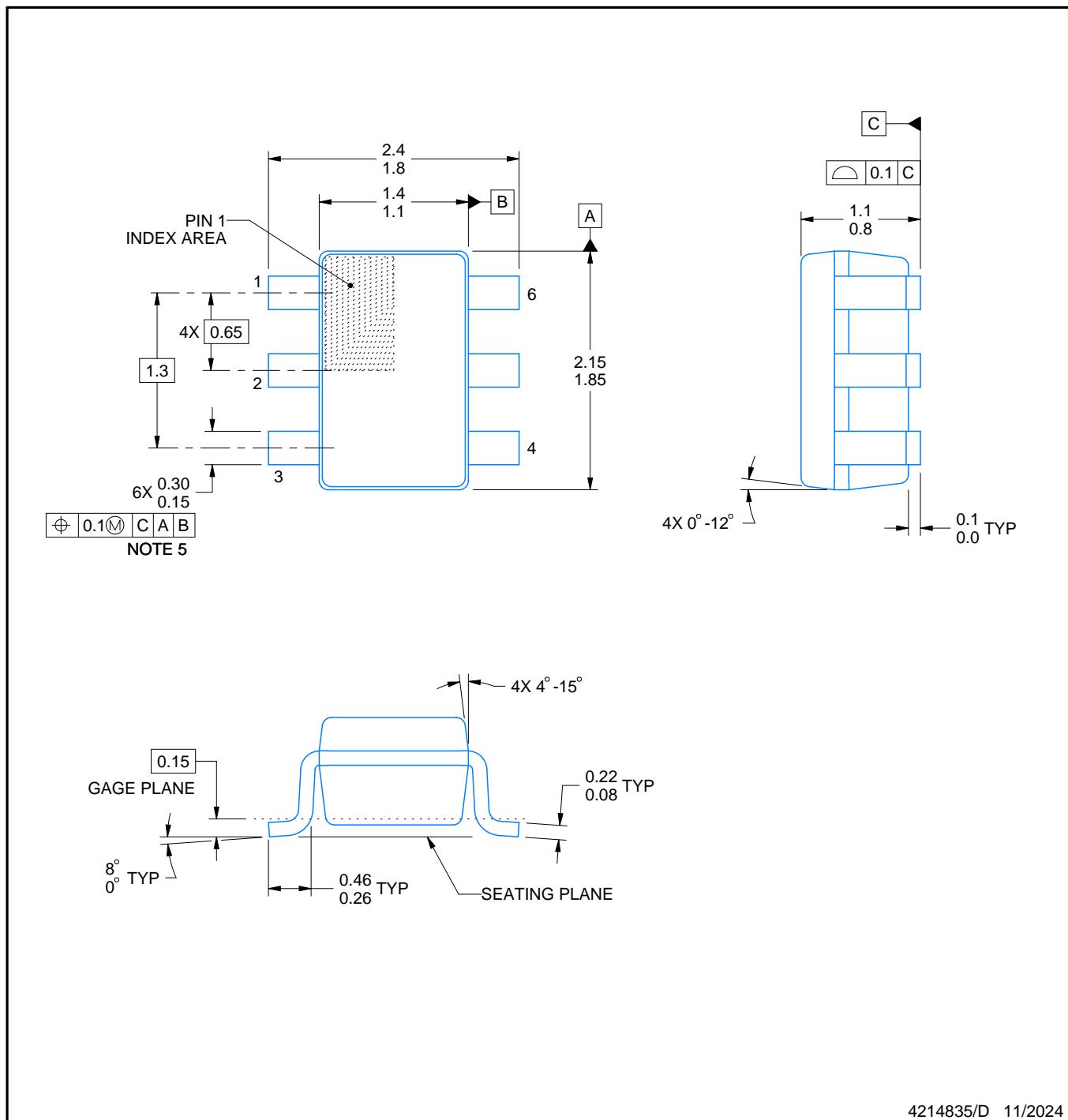
# PACKAGE OUTLINE

DCK0006A



## SOT - 1.1 max height

## SMALL OUTLINE TRANSISTOR



4214835/D 11/2024

## NOTES:

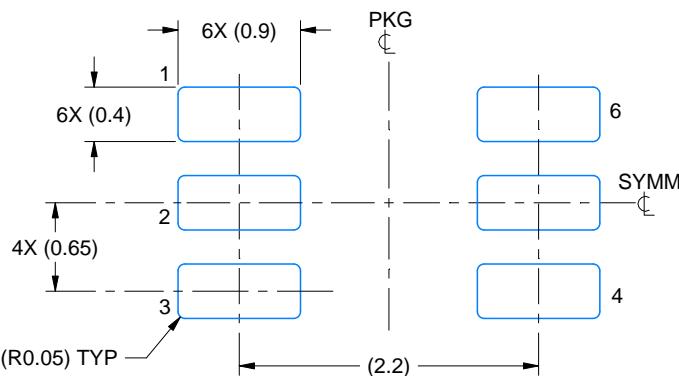
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
  2. This drawing is subject to change without notice.
  3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
  4. Falls within JEDEC MO-203 variation AB.

# EXAMPLE BOARD LAYOUT

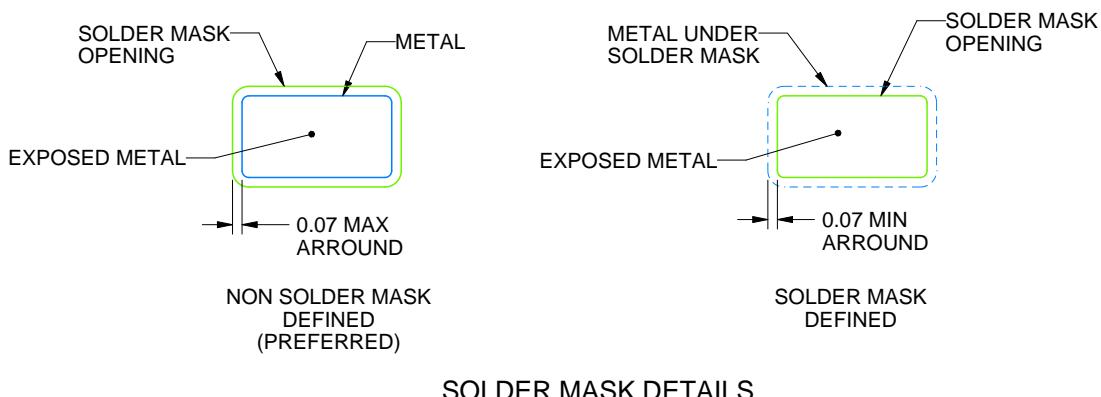
DCK0006A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:18X



4214835/D 11/2024

NOTES: (continued)

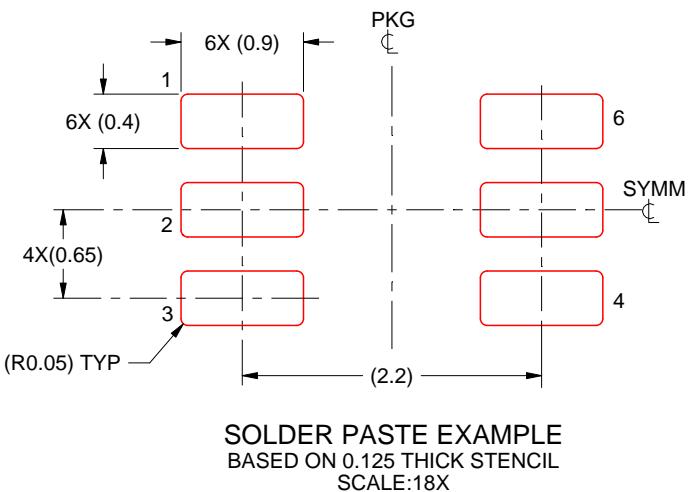
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DCK0006A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



4214835/D 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月