SN74LV4040B-EP、エンハンスド製品、12 ビット非同期バイナリ カウンタ

1 特長

- 2V～5.5V の V_{CC} で動作
- 標準 V_{OLP} (出力グランド バウンス) < 0.8V (V_{CC} = 3.3V、T_A = 25℃)
- 標準 V_{OHV} (出力 VOH アンダーシュート) 2.3V (V_{CC} = 3.3V、T_A = 25℃)
- すべてのポートで混在モード電圧動作をサポート
- 高いオン / オフ出力電圧比
- スイッチ間の低いクロストーク
- スイッチの個別の制御
- 非常に低い入力電流
- I_{off} により部分的パワーダウン モード動作をサポート
- 動作時周囲温度：-55℃～+125℃
- 防衛および航空宇宙アプリケーションをサポート：
  - 管理されたベースライン
  - 単一のアセンブリ / テスト施設
  - 単一の製造施設
  - 長期にわたる製品ライフ サイクル
  - 製品のトレーサビリティ

2 アプリケーション

- クロックの分周
- バイナリ カウント

3 概要

SN74LV4040B-EP は 12 ビット非同期バイナリカウンタで、すべての段の出力を外部で使用できます。クリア (CLR) 入力が HIGH レベルになると、非同期でカウンタをクリアし、すべての出力を LOW にリセットします。クロック (CLK) 入力が HIGH から LOW へ遷移するときに、カウントが進みます。アプリケーションとしては、時間遅延回路、カウンタ制御、周波数分割回路があります。

SN74LV4040B-EP は、I_{off} を使用する部分的パワーダウン アプリケーション用に完全に動作が規定されています。I_{off} 回路が出力をディセーブルにするため、電源切断時にデバイスに電流が逆流して損傷に至ることを回避できます。

パッケージ情報

部品番号	パッケージ [1]	パッケージ サイズ [2]	本体サイズ (公称)[3]
SN74LV4040B-EP	PW (TSSOP、16)	5 mm × 6.4mm	5 mm × 4.4mm

1. 詳細については、セクション 12 を参照してください。
2. パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
3. 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。

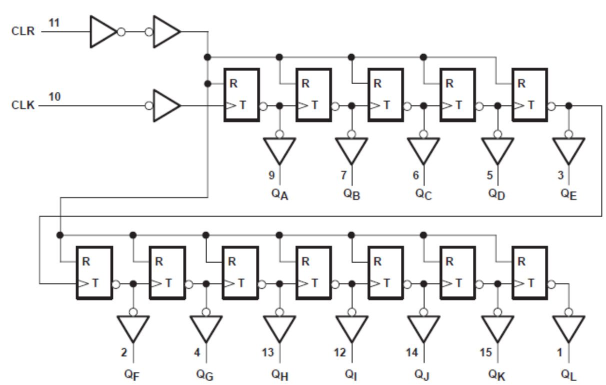


図 3-1. 概略論理図 (正論理)

目次

4 ピン構成および機能

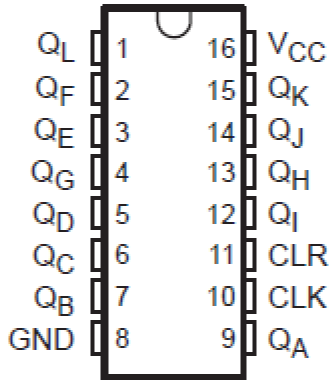


図 4-1. SN74LV4040B-EP PW パッケージ (上面図)

ピン		TYPE[1]	説明
名称	番号		
Q_L	1	O	Q_L 出力
Q_F	2	O	Q_F 出力
Q_E	3	O	Q_E 出力
Q_G	4	O	Q_G 出力
Q_D	5	O	Q_D 出力
Q_C	6	O	Q_C 出力
Q_B	7	O	Q_B 出力
GND	8	-	グランド
Q_A	9	O	Q_A 出力
CLK	10	I	クロック、立ち下がりエッジをトリガ
CLR	11	I	クリア、アクティブ High
Q_I	12	O	Q_I 出力
Q_H	13	O	Q_H 出力
Q_J	14	O	Q_J 出力
Q_K	15	O	Q_K 出力
V_{CC}	16	-	正電源

1. I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) [(1)]

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	7	V
V_I	入力電圧範囲		-0.5	7	V
V_O	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲		-0.5	7	V
V_O	出力電圧範囲		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流[(2)]	V_I < 0		-20	mA
I_{OK}	出力クランプ電流[(2)]	V_O < 0		-50	mA
I_O	連続出力電流	V_O = 0～V_{CC}		±25	mA
	V_{CC} または GND を通過する連続電流			±50	mA
T_{stg}	保管温度範囲		-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内で、一時的に「推奨動作条件」の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 [1]	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 [2]	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由空気での推奨動作温度範囲内 (特に記述のない限り) [1]

			最小値	最大値	単位
V_{CC}	電源電圧		2	5.5	V
V_{IH}	High レベル入力電圧	V_{CC} = 2 V	1.5		V
		V_{CC} = 2.3V～5.5V	V_{CC} × 0.7		
V_{IL}	Low レベル入力電圧	V_{CC} = 2 V		0.5	V
		V_{CC} = 2.3V～5.5V		V_{CC} × 0.3	
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
I_O	出力電流 (High または Low レベル)	V_{CC} = 2 V		±50	μA
		V_{CC} = 2.3V～2.7V		±2	mA
		V_{CC} = 3V～3.6V		±6	
		V_{CC} = 4.5V～5.5V		±12	
Δt/Δv	入力遷移の立ち上がり / 立ち下がり時間	V_{CC} = 2.3V～2.7V		200	ns
		V_{CC} = 3V～3.6V		100	
		V_{CC} = 4.5V～5.5V		20	
T_A	自由空気での動作温度		-55	125	℃

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。『低速またはフローティング CMOS 入力の影響』を参照してください。

5.4 熱に関する情報

熱評価基準#none#		PW (TSSOP) 16 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	135.9	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	70.3	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	81.3	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	22.5	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	80.8	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	℃/W

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	最小値	標準値	最大値	単位
V_{OH}	I_{OH} = -50μA	2V～5.5V	V_{CC} - 0.1			V
	I_{OH} = -2mA	2.3V	2			
	I_{OH} = -6mA	3V	2.48			
	I_{OH} = -12mA	4.5V	3.8			
V_{OL}	I_{OL} = 50μA	2V～5.5V			0.1	V
	I_{OL} = 2mA	2.3V			0.4	
	I_{OL} = 6mA	3V			0.44	
	I_{OL} = 12mA	4.5V			0.55	
I_I	V_I = 5.5 V または GND	0～5.5 V			±1	μA
I_{CC}	V_I = V_{CC} または GND、 I_O = 0	5.5V			20	μA
I_{off}	V_I または V_O = 0～5.5 V	0			5	μA
C_i	V_I = V_{CC} または GND	3.3 V		1.9		pF

5.6 タイミング要件、V_{CC} = 2.5 V ± 0.2 V

自由空気での推奨動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
t_w	パルス幅	CLK が High または Low	7		ns
		CLR が High	6.5		
t_{su}	セットアップ時間	CLK↓ の前の CLR 非アクティブ	6.5		

5.7 タイミング要件、V_{CC} = 3.3 V ± 0.3 V

自由空気での推奨動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
t_w	パルス幅	CLK が High または Low	5		ns
		CLR が High	5		
t_{su}	セットアップ時間	CLK↓ の前の CLR 非アクティブ	5		

5.8 タイミング要件、V_{CC} = 5 V ± 0.5 V

自由空気での推奨動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
t_w	パルス幅	CLK が High または Low	5		ns
		CLR が High	5		
t_{su}	セットアップ時間	CLK↓ の前の CLR 非アクティブ	5		

5.9 スイッチング特性、V_{CC} = 2.5 V ± 0.2 V

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	最小値	標準値	最大値	単位
f_{max}			C_L = 50pF	35	95		MHz
t_{PLH}	$\overline{CLK}$	Q_A	C_L = 50pF	1	10.5	28	ns
t_{PHL}				1	10.5	28	
t_{PHL}	CLR	任意の Q	C_L = 50pF	1	11.7	28	ns
Δt_{pd}	Q_n	Q_{n+1}	C_L = 50pF		1.7	11.1	

5.10 スイッチング特性、V_{CC} = 3.3 V ± 0.3 V

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	最小値	標準値	最大値	単位
f_{max}			C_L = 50pF	50	130		MHz
t_{PLH}	$\overline{CLK}$	Q_A	C_L = 50pF	1	7.5	17.5	ns
t_{PHL}				1	7.5	17.5	ns
t_{PHL}	CLR	任意の Q	C_L = 50pF	1	9	18.5	ns
Δt_{pd}	Q_n	Q_{n+1}	C_L = 50pF		1.2	5	ns

5.11 スイッチング特性、V_{CC} = 5 V ± 0.5 V

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	最小値	標準値	最大値	単位
f_{max}			C_L = 50pF	80	185		MHz
t_{PLH}	$\overline{CLK}$	Q_A	C_L = 50pF		5.3	10.5	ns
t_{PHL}					5.3	10.5	ns
t_{PHL}	CLR	任意の Q	C_L = 50pF		6.8	12	ns
Δt_{pd}	Q_n	Q_{n+1}	C_L = 50pF		0.8	3.5	ns

5.12 ノイズ特性

V_{CC} = 3.3V、C_L = 50pF、T_A = 25℃

パラメータ (1)		最小値	標準値	最大値	単位
$V_{OL(P)}$	低ノイズ出力、最大動的電圧 V_{OL}		0.5	0.8	V
$V_{OL(V)}$	低ノイズ出力、最小動的電圧 V_{OL}		- 0.5	- 0.8	V
$V_{IH(D)}$	High レベル動的入力電圧	2.31			V
$V_{IL(D)}$	Low レベル動的入力電圧			0.99	V

(1) 特性は表面実装パッケージに限定されています。

5.13 動作特性

T_A = 25℃

パラメータ		テスト条件		V_{CC}	標準値	単位
C_{pd}	電力散逸容量	C_L = 50pF,	f = 10MHz	3.3V	11.9	pF
				5V	13.1	

6 代表的特性

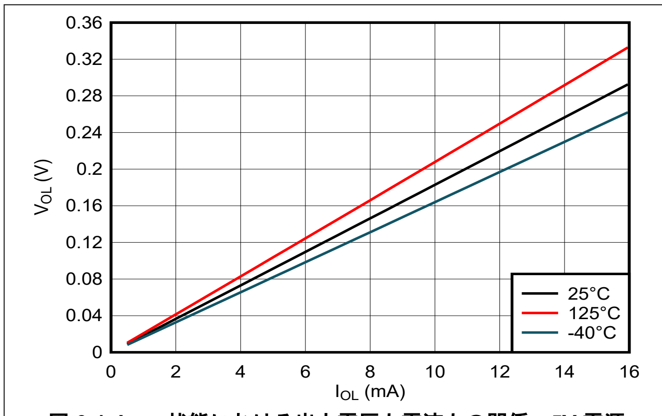


図 6-1. Low 状態における出力電圧と電流との関係、5V 電源

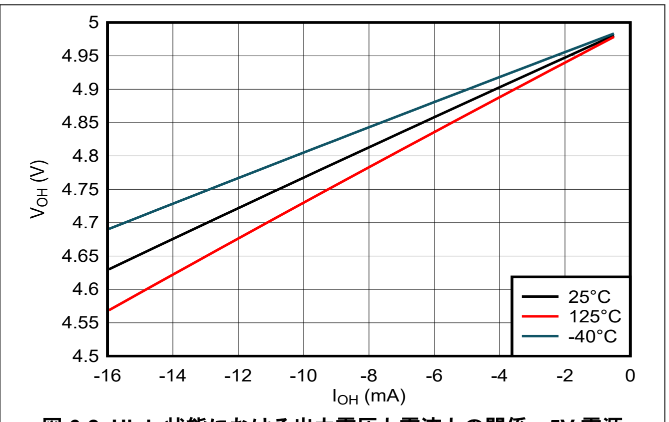


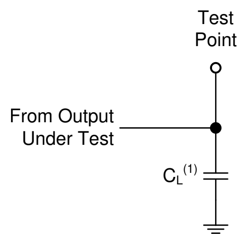
図 6-2. High 状態における出力電圧と電流との関係、5V 電源

7 パラメータ測定情報

以下の表に示す例では、波形間の位相関係を任意に選択しました。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≤ 1MHz、Z_O = 50Ω、t_t < 2.5ns。

クロック入力の f_{max} は、入力デューティ サイクルが 50% のときの測定値です。

出力は個別に測定され、測定するたびに入力が 1 回遷移します。



(1) C_L にはプローブとテスト装置の容量が含まれます。

図 7-1. プッシュプル出力のための負荷回路

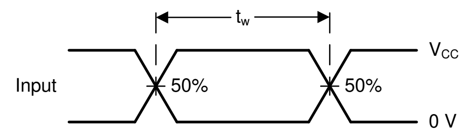


図 7-2. 電圧波形、パルス幅

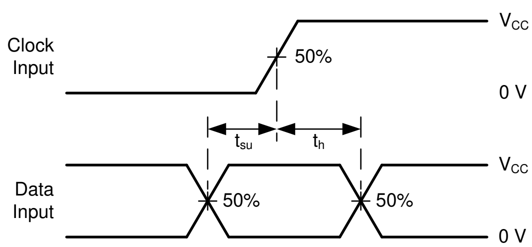
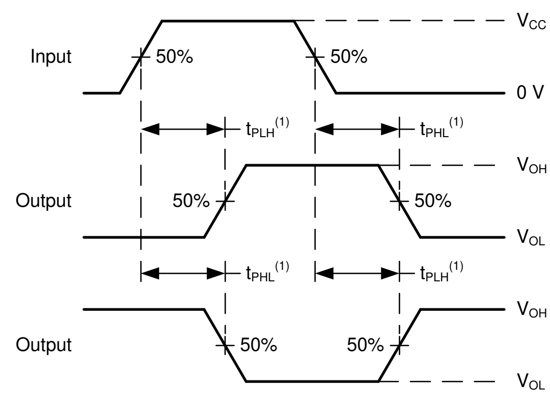
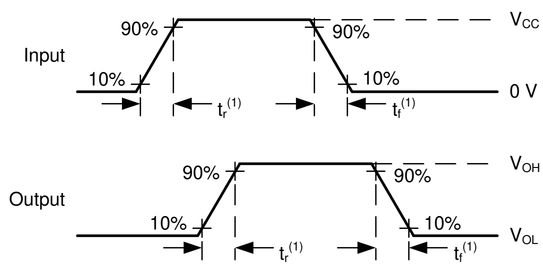


図 7-3. 電圧波形、セットアップ時間およびホールド時間



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

図 7-4. 電圧波形、伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

図 7-5. 電圧波形、入力および出力の遷移時間

8 詳細説明

8.1 概要

SN74LV4040B-EP は 12 ビット非同期バイナリカウンタで、すべての段の出力を外部で使用できます。クリア (CLR) 入力が HIGH レベルになると、非同期でカウンタをクリアし、すべての出力を LOW にリセットします。クロック (CLK) 入力が HIGH から LOW へ遷移するときに、カウントが進みます。アプリケーションとしては、時間遅延回路、カウンタ制御、周波数分割回路があります。

SN74LV4040B-EP は、I_{off} を使用する部分的パワーダウン アプリケーション用に完全に動作が規定されています。I_{off} 回路が出力をディセーブルにするため、電源切断時にデバイスに電流が逆流して損傷に至ることを回避できます。

8.2 機能ブロック図

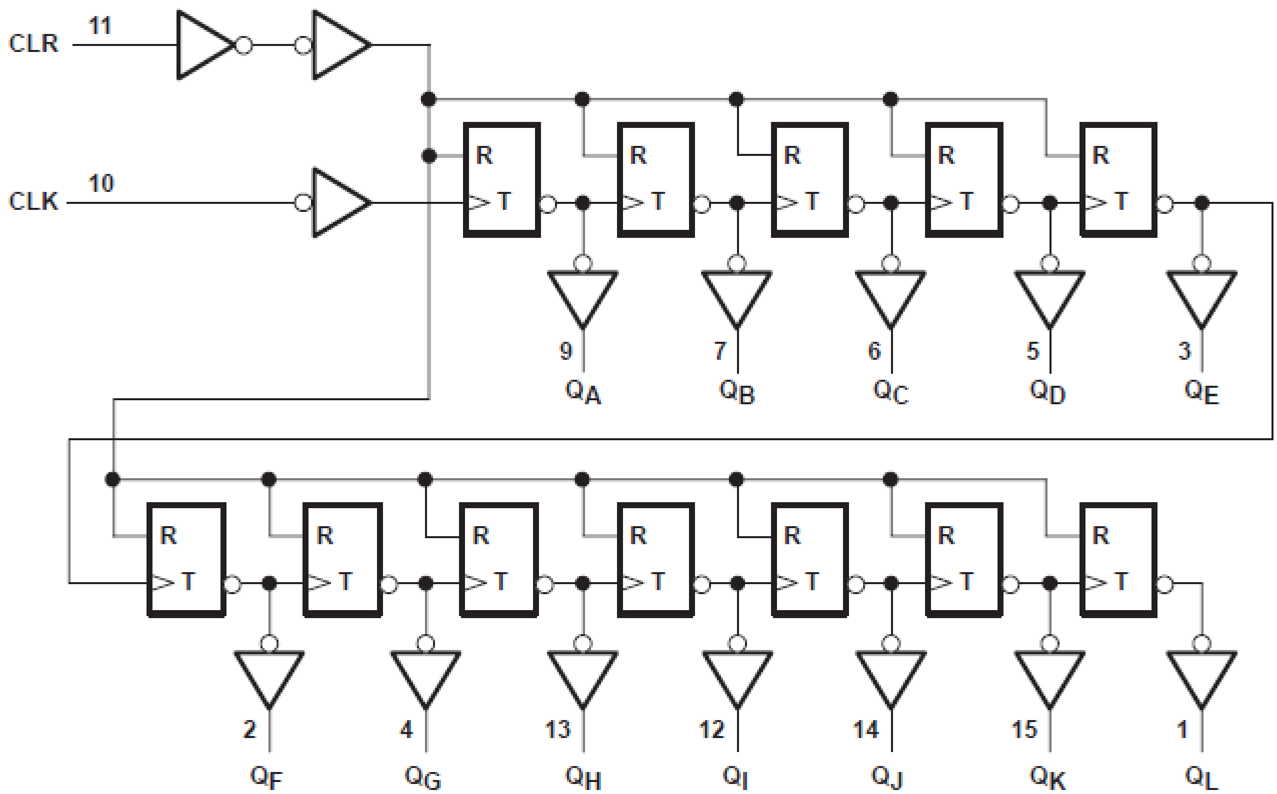


図 8-1. 論理図 (正論理)

8.3 機能説明

8.3.1 平衡化された CMOS プッシュプル出力

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにしておく必要があります。

8.3.2 標準 CMOS 入力

このデバイスには、標準 CMOS 入力が搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は*電気的特性*に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算されます。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『*低速またはフローティング CMOS 入力の影響*』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は、V_{CC} または GND に終端させる必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因で決まりますが、10kΩ の抵抗を推奨します。通常はこれですべての要件を満たします。

8.4 デバイスの機能モード

表 8-1 に、SN74LV4040B-EP の機能モードを示します。

表 8-1. 機能表

入力[(1)]		機能
CLK	**CLR**	
↑	L	変更なし
↓	L	次のカウントに進みます
X	H	すべての出力 L

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドント ケア

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

SN74LV4040B-EP を使用して、バイナリ数あるいは最大 12 段または 4096 倍の周波数分周を提供できます。「アプリケーション曲線」セクションの図は、バイナリ状態とクロック入力による出力を示しています。これらの要素を利用すると、「代表的なアプリケーション」に示すように、周波数分周器を実装できます。

9.2 代表的なアプリケーション

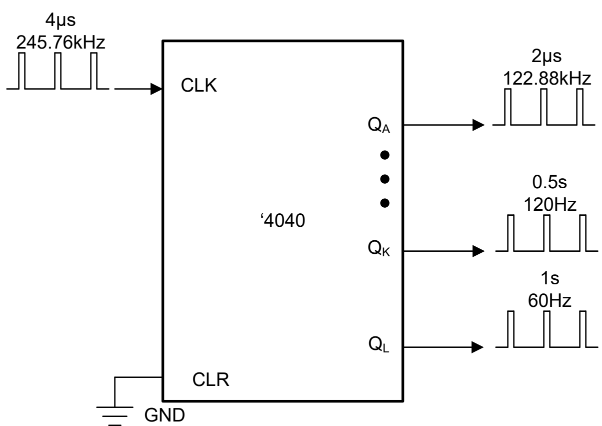


図 9-1. 代表的なアプリケーションのブロック図

9.2.1 設計要件

9.2.1.1 電源に関する考慮事項

求める電源電圧が「*電気的特性*」で規定されている範囲内であることを確認します。*「電気的特性」*セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、SN74LV4040B-EP のすべての出力によってソースされる総電流、*「電気的特性」*に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。ロジック デバイスは、正の電源から供給される電流のみをソースできます。*「絶対最大定格」*に記載された V_{CC} 総電流の最大値を超えないようにしてください。

グランドは、SN74LV4040B-EP のすべての出力によってシンクされる総電流、*「電気的特性」*に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジック デバイスは、グランド接続にシンクできる電流のみをシンクできます。*「絶対最大定格」* に記載された GND 総電流の最大値を超えないようにしてください。

SN74LV4040B-EP は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、50pF を超えることは推奨しません。

SN74LV4040B-EP は、*「電気的特性」*表に定義されている出力電圧および電流 (V_{OH} および V_{OL}) で、$R_L \geqq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、*CMOS の消費電力と Cpd の計算 アプリケーション ノート* に記載された情報を使って計算できます。

温度の上昇は、*標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性 アプリケーション ノート* に記載された情報を使って計算できます。

> **注意**
> *絶対最大定格*に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

9.2.1.2 入力に関する考慮事項

入力信号は、$V_{IL(max)}$ を超えるとロジック Low と見なされ、$V_{IH(min)}$ を超えるとロジック High と見なされます。「*絶対最大定格*」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74LV4040B-EP へのリーク電流 (「*電気的特性*」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により 10kΩ の抵抗値がしばしば使用されます。

SN74LV4040B-EP は CMOS 入力を備えているため、正しく動作するには、「*電気的特性*」表で定義されているように、入力が素早く遷移する必要があります。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

このデバイスの入力の詳細については、*「機能説明」*セクションを参照してください。

9.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 High 電圧を生成します。出力から電流を引き出すと、「*電気的特性*」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力は、互いに直接接続しないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、*「機能説明」*セクションを参照してください。

9.2.2 詳細な設計手順

1. V_{CC} と GND の間にデカップリング コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SN74LV4040B-EP から 1 つまたは複数の受信デバイスまでのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を $(V_{CC} / I_{O(max)})\Omega$ より大きくします。これを行うと、*絶対最大定格*の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力は、MΩ 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジック ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、*CMOS 消費電力と CPD の計算アプリケーション レポート* に記載されている手順を使用して計算できます。

9.2.3 アプリケーション曲線

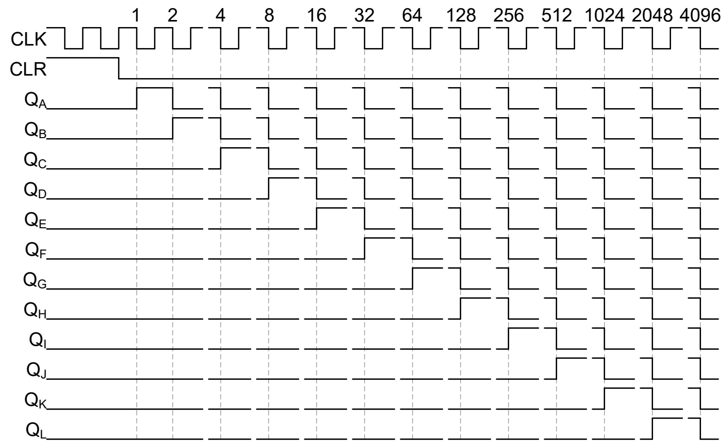


図 9-2. ロジック タイミング図

9.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。

このデバイスには 0.1µF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック デバイスを使用する場合、入力をフローティングのままにしてはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や 4 つのバッファ ゲートのうちの 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル ロジック デバイスの未使用入力はすべて、入力電圧の仕様で定義されるロジック High またはロジック Low 電圧に接続して、それらがフローティングにならないようにする必要があります。特定の未使用入力に適用する必要があるロジック レベルは、デバイスの機能によって異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

9.4.2 レイアウト例

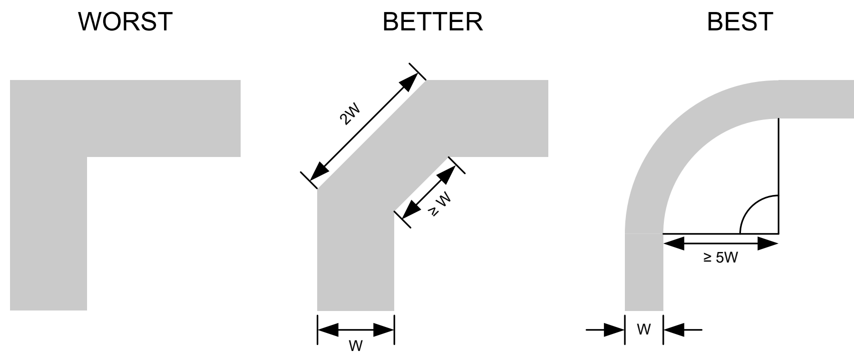


図 9-3. シグナル インテグリティ向上のためのサンプル パターンのコーナー

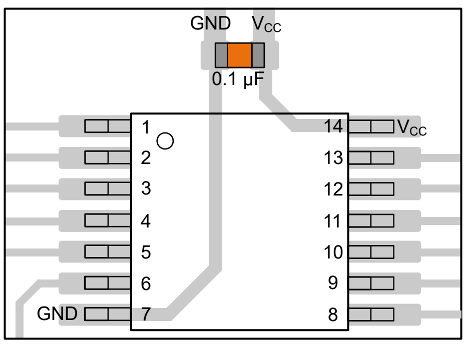


図 9-4. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

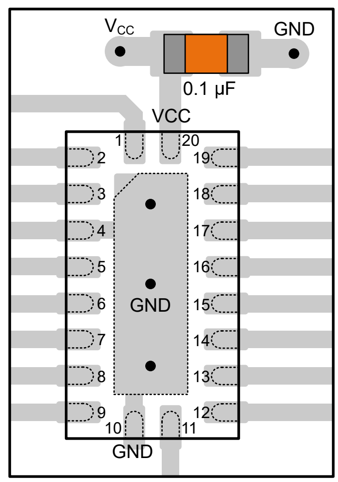


図 9-5. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

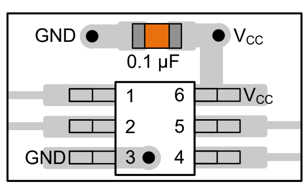


図 9-6. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

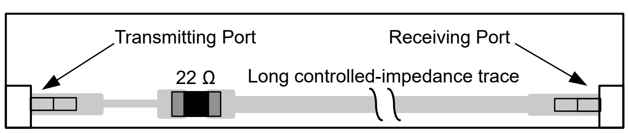


図 9-7. シグナル インテグリティ向上のためのダンピング抵抗の配置例

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、*『CMOS の消費電力と C_{pd} の計算』アプリケーション ノート*
- テキサス・インスツルメンツ、*『ロジック設計』アプリケーション ノート*
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション ノート

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集	この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (October 2024) to Revision A (August 2025) — **Page**

- 「ピン構成および機能」表を更新 3

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスについて利用可能な最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LV4040BMPWREP	Active	Production	TSSOP (PW) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	LW040B
SN74LV4040BMPWREP.A	Active	Production	TSSOP (PW) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	LW040B

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

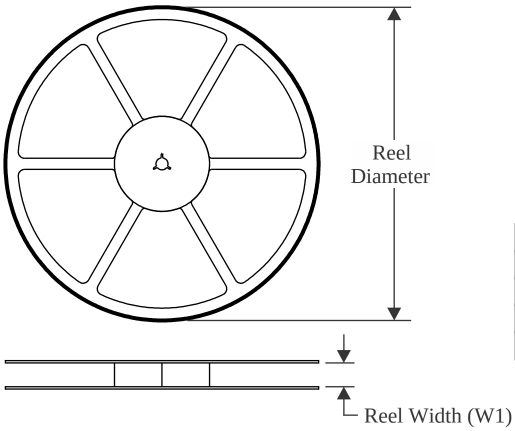
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

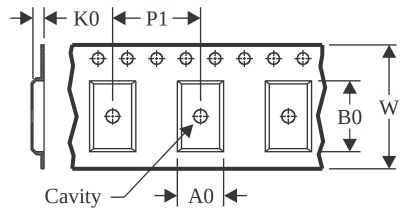
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

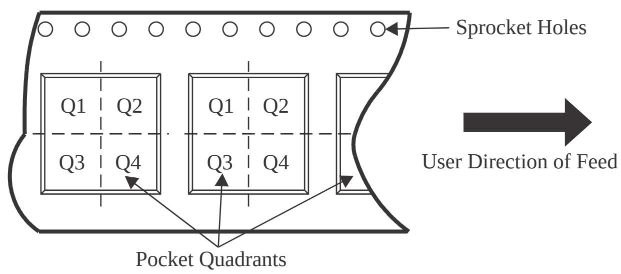


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

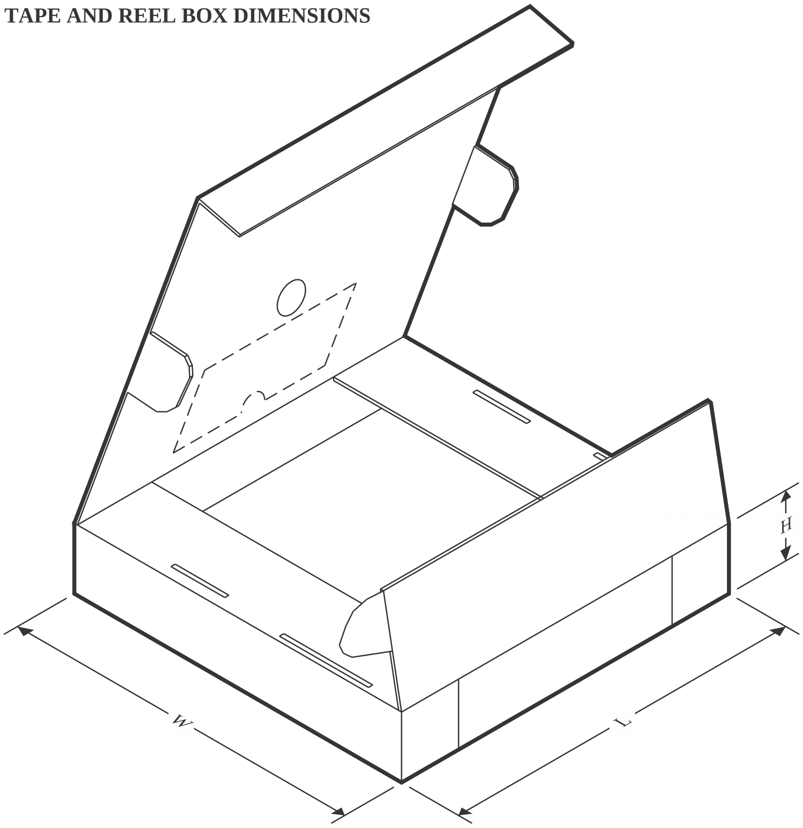
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

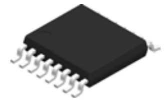
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV4040BMPWREP	TSSOP	PW	16	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

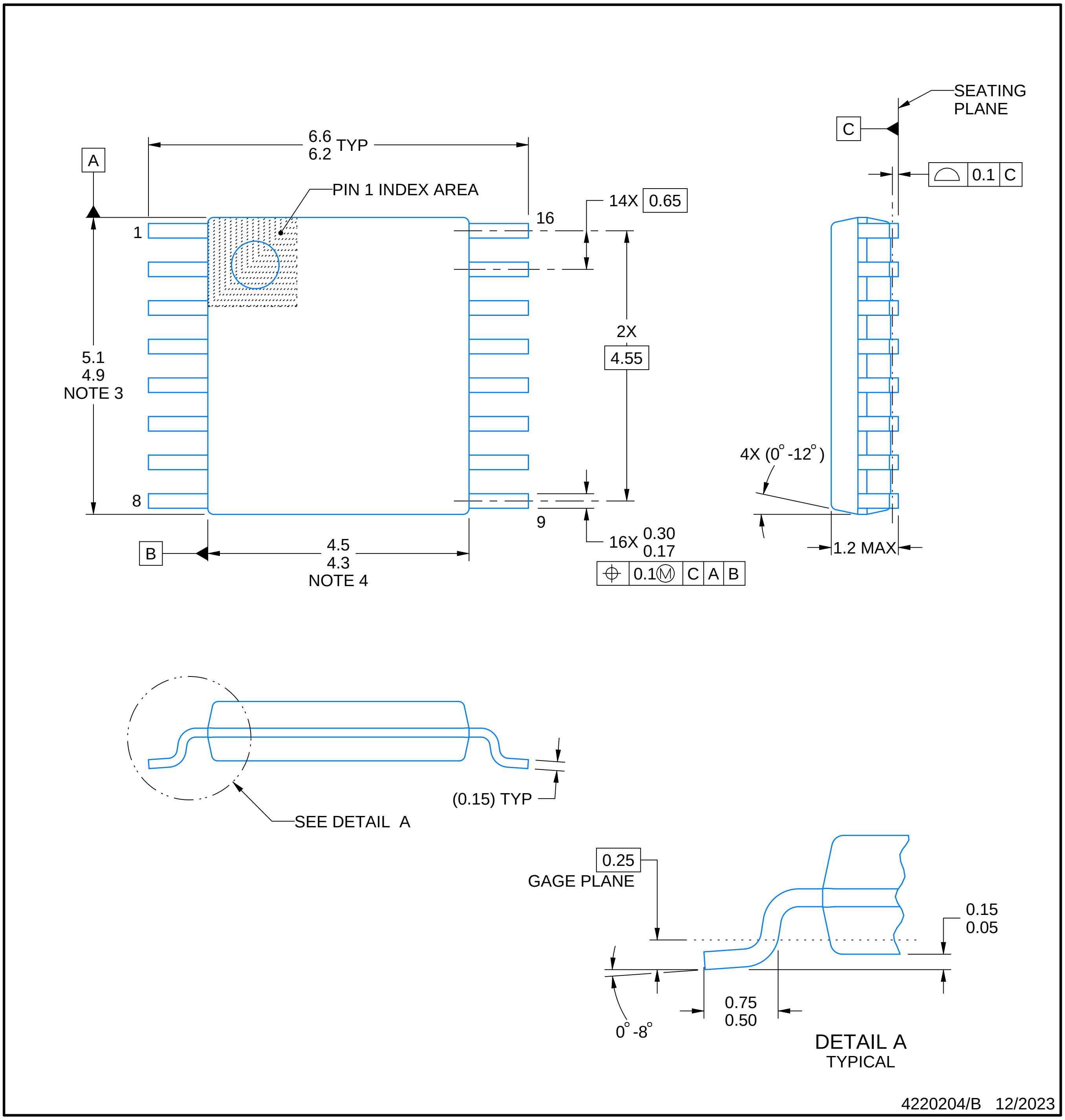
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV4040BMPWREP	TSSOP	PW	16	3000	353.0	353.0	32.0



PACKAGE OUTLINE

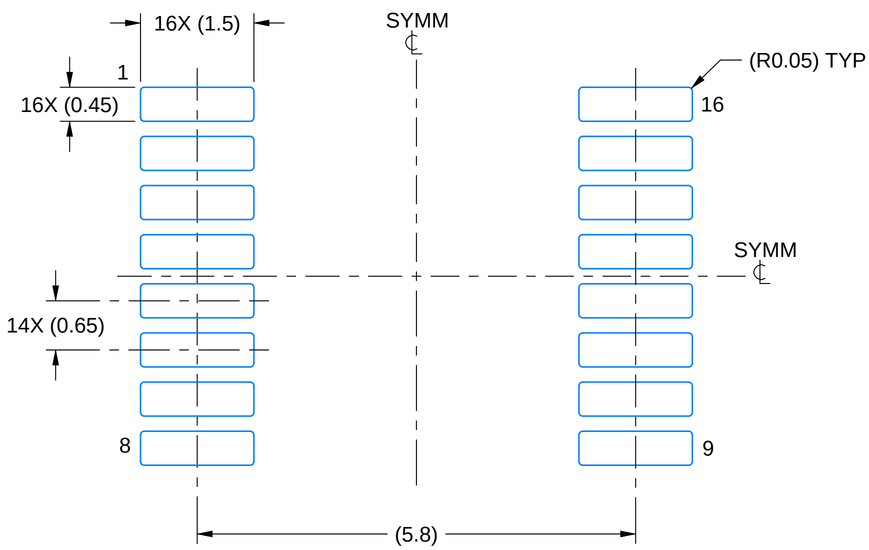
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

NON-SOLDER MASK
DEFINED
(PREFERRED)

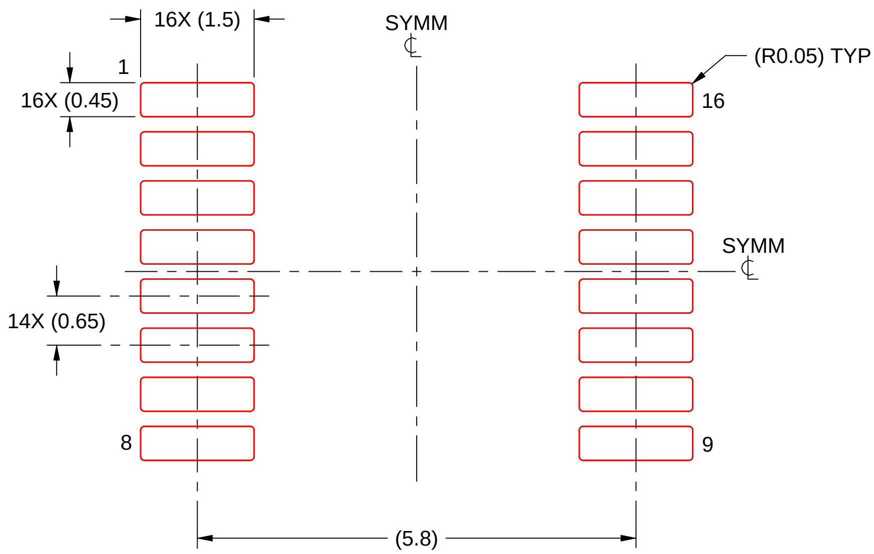
SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項