

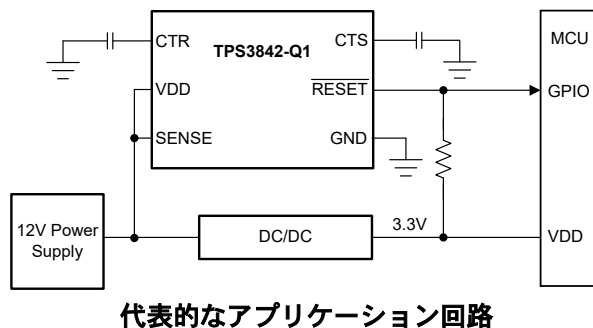
# TPS3842-Q1 車載用、42V 小型、850nA 低電圧または過電圧スーパーバイザ、プログラマブル遅延およびグリッチ除去機能付き

## 1 特長

- 以下の結果で AEC-Q100 認定済み:
  - デバイス温度グレード 1:  $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  の動作時周囲温度範囲  $T_A$
  - デバイス HBM ESD 分類レベル 2
  - デバイス CDM ESD 分類レベル C7B
- 広い電源電圧範囲: 1.9V ~ 42V
- VDD、SENSE、RESET は 42V 定格
- 超低静止時電流: 850nA (標準値)
- 高いスレッシュホールド精度: 0.5% (標準値)
- 固定の内部スレッシュホールド電圧: 2.7V ~ 9.5V
- 可変電圧バリエーション: 0.7V
- CTR ピンによるコンデンサ調整可能な遅延時間
- グリッチ除去時間を CTS ピンによりコンデンサで調整可能
- 低電圧オープンドレイン、アクティブ Low 出力
- 過電圧オープンドレイン、アクティブ Low、アクティブ High 出力
- 温度範囲:  $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$
- 小型: SOT5X3 (DRL)

## 2 アプリケーション

- ADAS ドメイン コントローラ
- 車載ゲートウェイ
- 車載用ヘッド ユニット
- デジタル コックピット処理装置
- テレマティクス制御ユニット
- ドライバー監視



## 3 説明

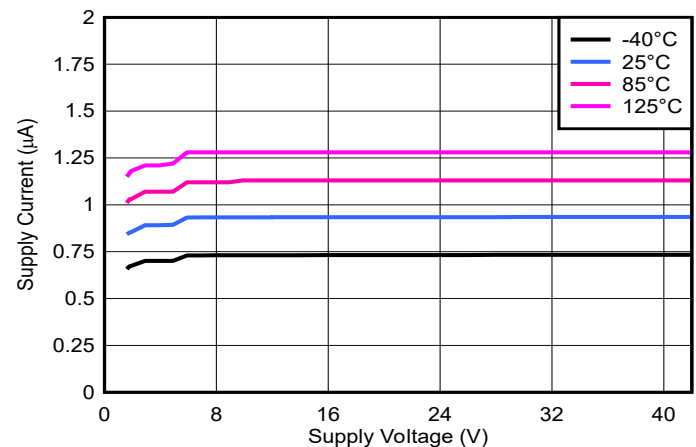
TPS3842-Q1 は、 $I_{DD} = 850\text{nA}$ 、精度 1.5%、高速な検出時間を特長とする車載用 42V 入力電圧検出器です。TPS3842-Q1 は、12V のバッテリーに直接接続して、低電圧 (UV) コンディションまたは過電圧 (OV) 状態を継続的に監視できます。TPS3842-Q1 はサイズの制約があるアプリケーション向けに小型の DRL パッケージで供給されています。SENSE ピンに組み込まれたヒステリシスは、電源電圧レール監視中のリセット信号の誤検出を防止します。1%、5%、10% のヒステリシス電圧を選択でき、設計の柔軟性により電圧過渡に対応できます。

SENSE は VDD から切り離されているため、VDD よりも高い電圧と低い電圧を監視できます。固定スレッシュホールドバリエーションは、高精度の低 IQ 電圧監視を実現します。可変スレッシュホールド バリエーションは、外付け抵抗により柔軟な低電圧スレッシュホールド設定を実現します。TPS3842-Q1 は、CTS ピンにより SENSE でコンデンサ プログラマブルなグリッチ除去機能および CTR ピンによりコンデンサ プログラマブルなリセット遅延タイミングを提供します。

### 製品情報

部品番号	パッケージ <sup>(1)</sup>	本体サイズ (公称) <sup>(2)</sup>
TPS3842-Q1	SOT5X3 (6)	1.20 mm × 1.60 mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



電源電圧と電源電流との関係



## 目次

<b>1 特長</b> .....	1	7.2 機能ブロック図.....	11
<b>2 アプリケーション</b> .....	1	7.3 機能説明.....	13
<b>3 説明</b> .....	1	7.4 デバイスの機能モード.....	17
<b>4 デバイスの比較</b> .....	3	<b>8 アプリケーションと実装</b> .....	18
<b>5 ピン構成および機能</b> .....	4	8.1 アプリケーション情報.....	18
<b>6 仕様</b> .....	5	8.2 代表的なアプリケーション.....	18
6.1 絶対最大定格.....	5	8.3 電源に関する推奨事項.....	20
6.2 ESD 定格.....	5	8.4 レイアウト.....	20
6.3 推奨動作条件.....	5	<b>9 デバイスおよびドキュメントのサポート</b> .....	21
6.4 熱に関する情報.....	5	9.1 デバイス サポート.....	21
6.5 電気的特性.....	6	9.2 ドキュメントのサポート.....	21
6.6 タイミング要件.....	7	9.3 サポート・リソース.....	21
6.7 スイッチング特性.....	7	9.4 商標.....	21
6.8 タイミング図.....	8	9.5 静電気放電に関する注意事項.....	21
6.9 代表的特性.....	9	9.6 用語集.....	21
<b>7 詳細説明</b> .....	11	<b>10 改訂履歴</b> .....	21
7.1 概要.....	11	<b>11 メカニカル、パッケージ、および注文情報</b> .....	22

## 4 デバイスの比較

デバイス命名規則では、TPS3842-Q1 の一部の命名方式が示されています。他のオプションの詳細と提供状況については、TI の販売代理店または TI の E2E フォーラムにお問い合わせください。

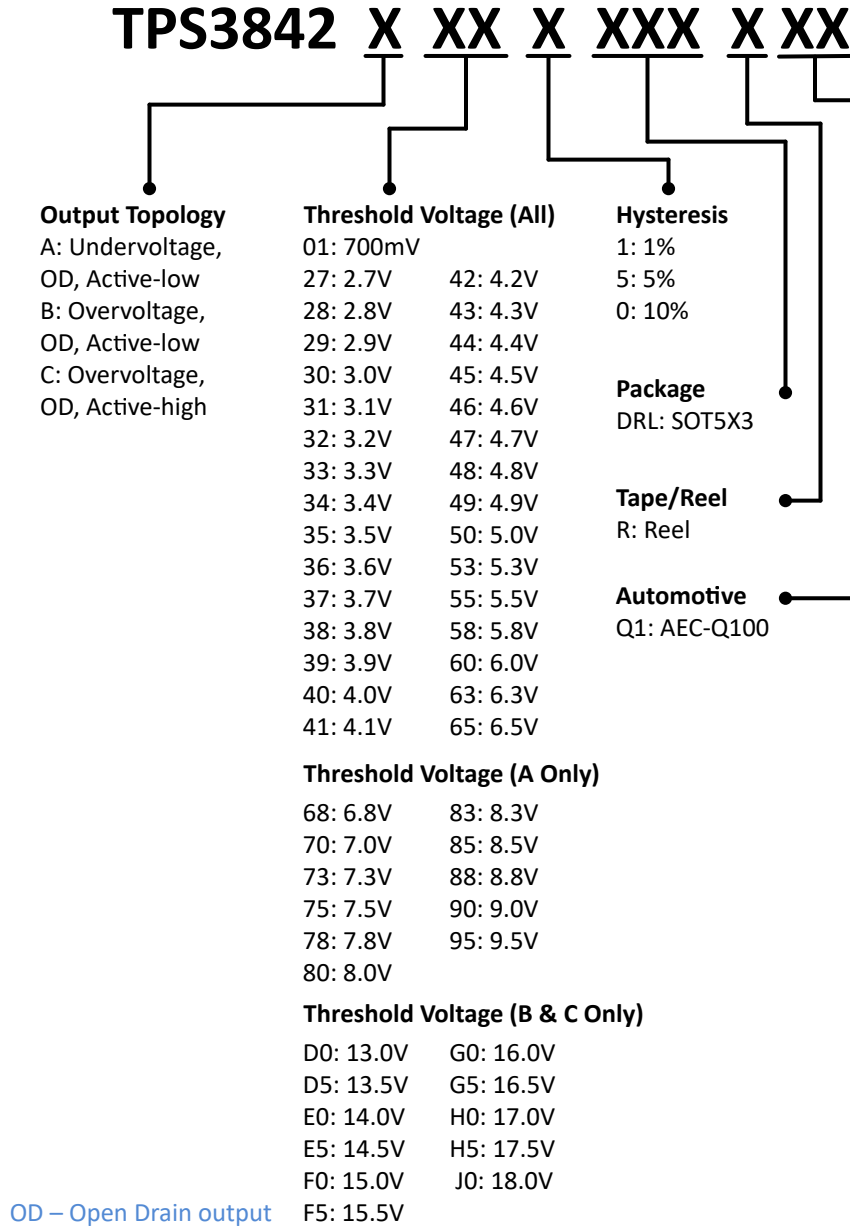


図 4-1. デバイスの命名規則

1.  $V_{ITN}$  が 700mV の接尾辞 01 は可変バリエーションに対応しており、内部分圧抵抗ラダーはありません。

## 5 ピン構成および機能

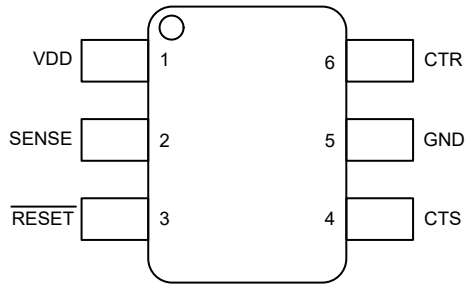


図 5-1. TPS3842A、TPS3842B DRL パッケージ  
6 ピン SOT5X3  
上面図

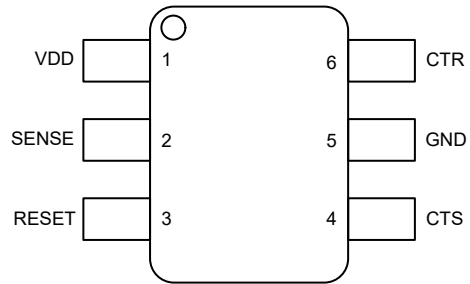


図 5-2. TPS3842C DRL パッケージ  
6 ピン SOT5X3  
上面図

表 5-1. ピンの機能

ピン		I/O	説明
名称	SOT5X3		
VDD	1	I	電源電圧ピン。
SENSE	2	I	センス入力。内部電圧スレッシュホールドに基づいて入力電圧を監視します。詳細については、 <a href="#">セクション 7.3.1</a> を参照してください。
RESET	3	O	アクティブ low バリエーションの出力リセット信号。 $\overline{\text{RESET}}$ をプルアップ抵抗を使用してプルアップ電圧に接続します。詳細については、 <a href="#">セクション 7.3.4</a> を参照してください。
リセット	3	O	アクティブ High バリエーションの出力リセット信号。RESET をプルアップ抵抗を使用してプルアップ電圧に接続します。詳細については、 <a href="#">セクション 7.3.4</a> を参照してください。
CTS	4	I	センス時間遅延:コンデンサのプログラム可能センス遅延:ユーザーは、CTS ピンを使って、リセット状態をアサートするときのセンス遅延時間を調整できます。詳細については、 <a href="#">セクション 7.3.2</a> を参照してください。
GND	5	—	グラウンドピン。
CTR	6	I	リセット時間遅延: $\overline{\text{RESET}}$ ピンのリセット時間遅延をユーザーがプログラム可能。遅延時間を調整する場合は外付けコンデンサを接続するか、または遅延を最短にする場合はピンをフローティングのままにします。詳細については、 <a href="#">セクション 7.3.3</a> を参照してください。

## 6 仕様

### 6.1 絶対最大定格

外気温度範囲での動作時 (特に記述がない限り)<sup>(1)</sup>

		最小値	最大値	単位
電圧	$V_{DD}$ , $V_{SENSE}$ , $V_{RESET}$ , $V_{RESET}$	-0.3	50	V
電圧	$V_{CTR}$ , $V_{CTS}$	-0.3	5.5	V
電流	$I_{RESET}$ , $I_{RESET}$		±40	mA
温度 <sup>(2)</sup>	動作時の接合部温度、 $T_J$	-55	150	°C
	自由気流での動作温度 ( $T_A$ )	-55	150	°C
	保管温度、 $T_{stg}$	-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみに関するものであり、絶対最大定格において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、デバイスの信頼性に影響を及ぼす場合があります。
- (2) このデバイスの消費電力が低いため、動作温度は  $T_J = T_A$  と想定されます。

### 6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 <sup>(1)</sup>	±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±750	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

### 6.3 推奨動作条件

		最小値	公称値	最大値	単位
電圧	$V_{DD}$	1.9		42	V
電圧	$V_{SENSE}$ , $V_{RESET}$ , $V_{RESET}$	0		42	V
電圧	$V_{CTS}$ , $V_{CTR}$	0		5	V
電流	$I_{RESET}$ , $I_{RESET}$	0		10	mA
$T_A$	接合部温度 (自由気流の温度)	-40		125	°C

### 6.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		TPS3842-Q1		単位
		DRL		
		6ピン		
$R_{\theta JA}$	接合部から周囲への熱抵抗	153.4		°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	86.3		°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	42.8		°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	2.9		°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	41.2		°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーションレポートを参照してください。

## 6.5 電気的特性

$1.9V \leq V_{DD} \leq 42V$ , CTS = CTR = Open,  $\overline{\text{RESET}}$  電圧 ( $V_{\text{RESET}}$ ) = 100k $\Omega$  から  $V_{DD}$ ,  $\overline{\text{RESET}}$  負荷 = 50pF、および自由気流での動作温度範囲は -40°C ~ 125°C (特に記述のない限り)。代表値は  $T_A = 25^\circ\text{C}$  時に測定

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{DD}$	電源電圧		1.9		42	V
$V_{POR}$	パワーオンリセット電圧 <sup>(1)</sup> (低電圧バリエント)	$V_{OL(\text{max})} = 0.25V$ , $I_{\text{RESET (Sink)}} = 15\mu\text{A}$			1.3	V
	パワーオンリセット電圧 <sup>(1)</sup> (過電圧バリエント)	$V_{OL(\text{max})} = 0.25V$ , $I_{\text{RESET (Sink)}} = 15\mu\text{A}$ または $I_{\text{RESET (Sink)}} = 15\mu\text{A}$			1.7	V
$V_{ITN}$	負方向スレッシュホールドの精度 (低電圧バリエント)	固定の内部スレッシュホールド、 $V_{ITN} = 2.7V \sim 9.5V$	-1.5	$\pm 0.5$	1.5	%
		可変内部スレッシュホールド、 $V_{ITP} = 700\text{mV}$	-1.5	$\pm 0.5$	1.5	%
$V_{ITP}$	正方向のスレッシュホールド精度 (過電圧バリエント)	固定の内部スレッシュホールド、 $V_{ITP} = 2.7V \sim 6.5V, 13V \sim 18V$	-1.5	$\pm 0.5$	1.5	%
		可変内部スレッシュホールド、 $V_{ITP} = 700\text{mV}$	-1.5	$\pm 0.5$	1.5	%
$V_{HYS}$	ヒステリシス電圧 <sup>(2)</sup>	1% バリエント	0.5	1	1.5	%
$V_{HYS}$	ヒステリシス電圧 <sup>(2)</sup>	5% バリエント	4.5	5	5.5	%
$V_{HYS}$	ヒステリシス電圧 <sup>(2)</sup>	10% バリエント	9.5	10	10.5	%
$I_{DD}$	電源電流	$V_{DD} = 12V$ , $\overline{\text{RESET}}$ または $\text{RESET} =$ アサートなし		0.85	1.9	$\mu\text{A}$
$I_{\text{SENSE}}$	入力電流、SENSE ピン	$V_{\text{SENSE}} = V_{IT}$ , 可変バージョン			25	nA
$I_{\text{SENSE}}$	入力電流、SENSE ピン	$V_{\text{SENSE}} = 12V$ , 固定バージョン		1.35	2.5	$\mu\text{A}$
$V_{OL}$	Low レベル出力電圧	$1.9V \leq V_{DD} < 42V$ , $I_{\text{RESET (Sink)}} = 0.5\text{mA}$ または $I_{\text{RESET (Sink)}} = 0.5\text{mA}$			300	mV
$I_{LKG}$	オープンドレイン出力リーク電流	$V_{DD} = V_{\text{RESET}} = V_{\text{RESET}} = 12V$			300	nA

(1)  $V_{POR}$  は、制御された出力状態の最小  $V_{DD}$  電圧レベルです。

(2) ヒステリシスは、トリポイント  $V_{ITP}$  と関連しています。

## 6.6 タイミング要件

$1.9V \leq V_{DD} \leq 42V$ , CTS = CTR = Open,  $\overline{\text{RESET}}$  電圧 ( $V_{\text{RESET}}$ ) = 100k $\Omega$  から  $V_{DD}$ ,  $\overline{\text{RESET}}$  負荷 = 50pF、および自由気流での動作温度範囲は -40°C ~ 125°C (特に記述のない限り)。代表値は  $T_A = 25^\circ\text{C}$  時に測定

			最小値	公称値	最大値	単位
$t_{\text{GI}}(\text{VIT})$	グリッチ耐性の低電圧 $V_{\text{ITN}(\text{UV})}$ 、20% オーバードライブ <sup>(1)</sup>	CTS = オープン		5		$\mu\text{s}$
	グリッチ耐性の過電圧 $V_{\text{ITP}(\text{OV})}$ 、20% オーバードライブ <sup>(1)</sup>	CTS = オープン		5		$\mu\text{s}$

(1) スレッシュホールドから 20% オーバードライブオーバードライブ % =  $[V_{\text{SENSE}} + V_{\text{ITP}}]/V_{\text{ITP}}$

## 6.7 スイッチング特性

$1.9V \leq V_{DD} \leq 42V$ , CTS = CTR = Open,  $\overline{\text{RESET}}$  電圧 ( $V_{\text{RESET}}$ ) = 100k $\Omega$  から  $V_{DD}$ ,  $\overline{\text{RESET}}$  負荷 = 50pF、および自由気流での動作温度範囲は -40°C ~ 125°C (特に記述のない限り)。代表値は  $T_A = 25^\circ\text{C}$  時に測定

			最小値	公称値	最大値	単位
$t_{\text{CTR}}$	リセット時間遅延	CTR = オープン		250		$\mu\text{s}$
$t_{\text{CTR}}$	リセット時間遅延	CTR = 0.1 $\mu\text{F}$		285.8		ms
$t_{\text{CTR}}$	リセット時間遅延	CTR = 3.3 $\mu\text{F}$		9.43		s
$t_{\text{PD}}$	伝搬検出遅延 <sup>(1) (2)</sup>	CTS = Open, ADJ $V_{\text{th}}$		7		$\mu\text{s}$
$t_{\text{PD}}$	伝搬検出遅延 <sup>(1) (2)</sup>	CTS = Open, Fixed $V_{\text{th}}$		9		$\mu\text{s}$
$t_{\text{CTS}}$	センス時間遅延	CTS = 0.1 $\mu\text{F}$		300		ms
$t_{\text{SD}}$	スタートアップ遅延 <sup>(3)</sup>			300		$\mu\text{s}$

(1) スレッシュホールドから 20% オーバードライブオーバードライブ % =  $[V_{\text{SENSE}} + V_{\text{ITP}}]/V_{\text{ITP}}$

(2)  $t_{\text{PD}}$  は、アクティブ Low デバイスの  $V_{\text{OL}}$  電圧を  $\overline{\text{RESET}}$  し、アクティブ High デバイスでは  $V_{\text{OH}}$  を  $\overline{\text{RESET}}$  するまでの時間をスレッシュホールドトリップポイント ( $V_{\text{ITP}}$ ) から測定しました

(3) 電源オンシーケンスの間、出力が正しい状態になるには、出力が少なくとも  $t_{\text{SD}} + t_{\text{CTR}}$  の間、 $V_{\text{DD}}$  が  $V_{\text{DD}(\text{MIN})}$  以上である必要があります。

6.8 タイミング図

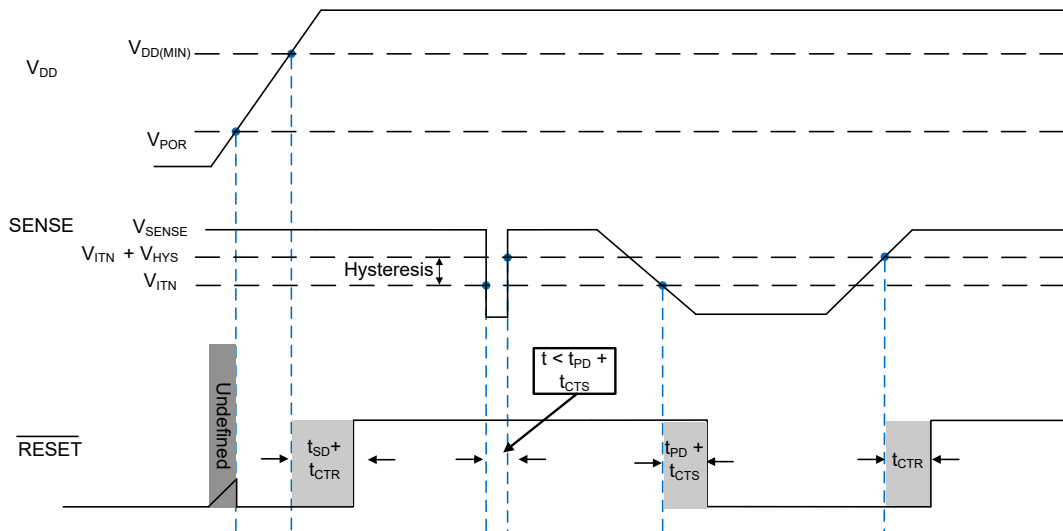


図 6-1. 低電圧タイミング図

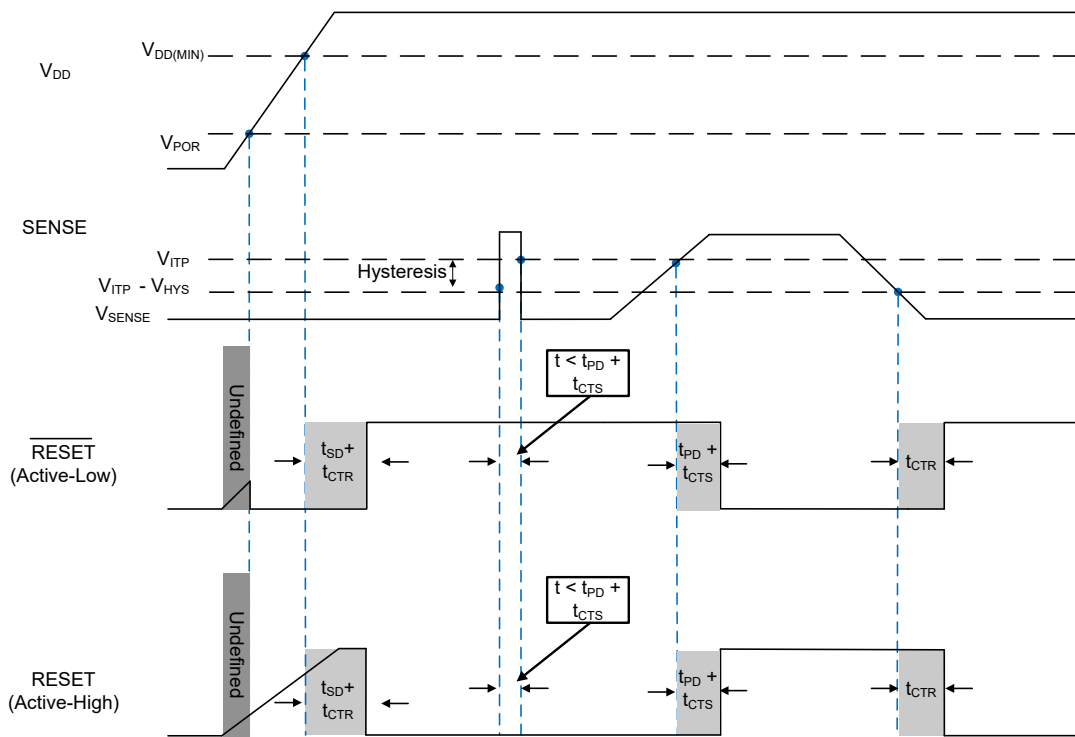


図 6-2. 過電圧タイミング図

## 6.9 代表的特性

At  $T_A = 25^\circ\text{C}$ ,  $V_{DD} = 3.3\text{V}$ ,  $R_{\text{RESET}} = 100\text{k}\Omega$ , および  $C_{\text{LRESET}} = 50\text{pF}$  (特に記述のない限り)。

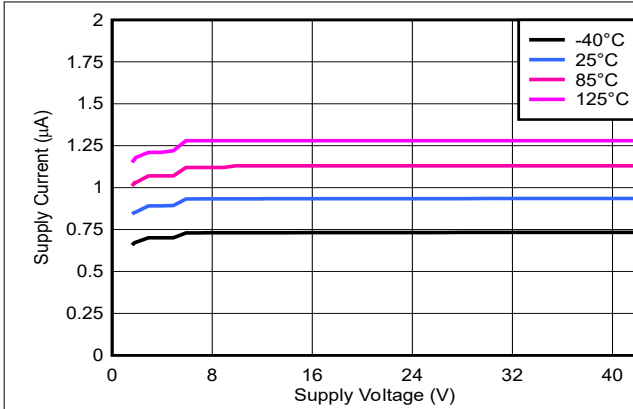


図 6-3. 電源電流と電源電圧との関係

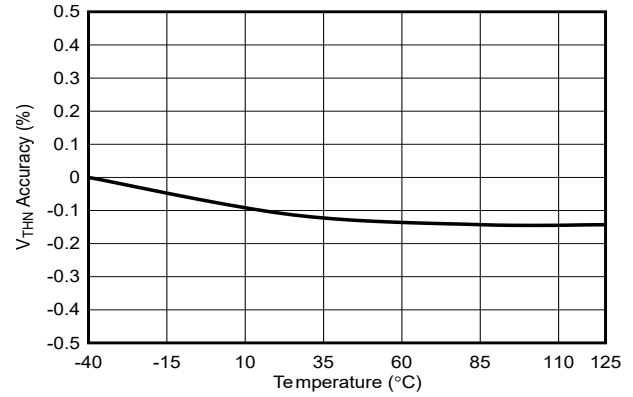


図 6-4.  $V_{\text{THN}}$  精度と温度との関係

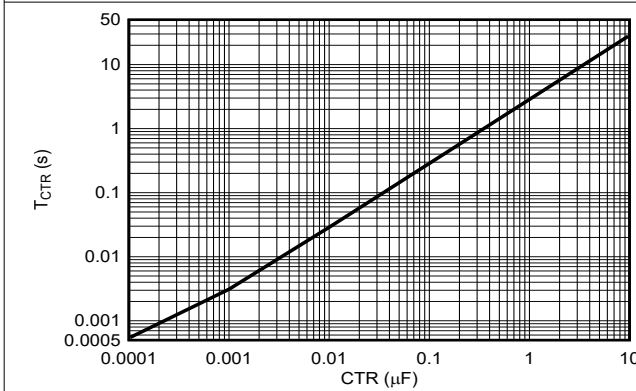


図 6-5.  $T_{\text{CTR}}$  と  $\text{CTR}$  との関係

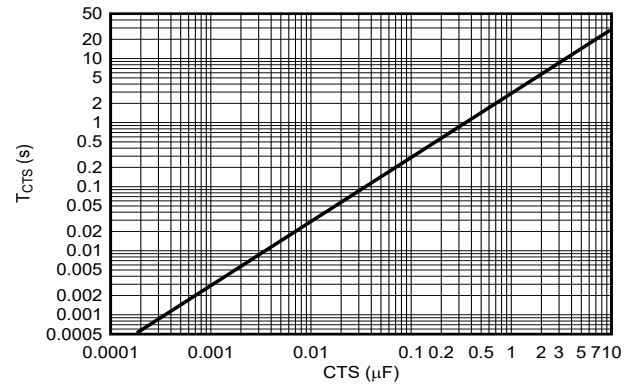


図 6-6.  $T_{\text{CTS}}$  と  $\text{CTS}$  との関係

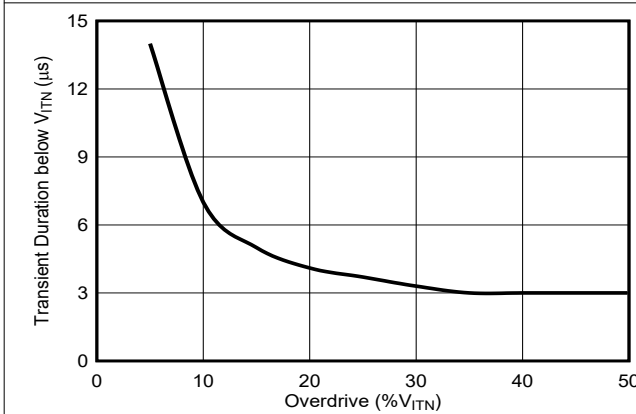


図 6-7. センス時の過渡持続時間とセンス閾値オーバードライブ電圧との関係 ( $\text{CTS} = \text{Open}$ )

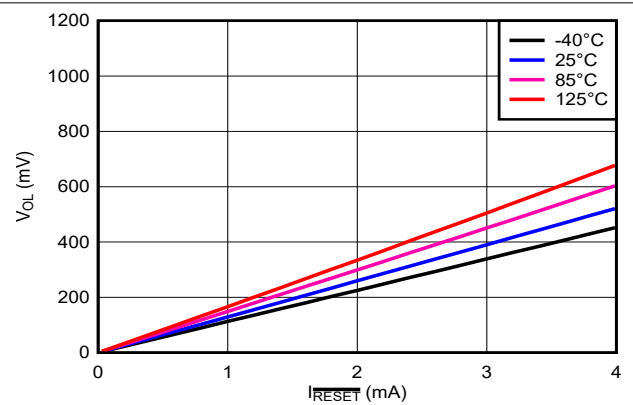


図 6-8. RESET 電流 (シンク) と  $V_{\text{OL}}$  ( $V_{\text{DD}} = 3.3\text{V}$ ) との関係

## 6.9 代表的特性 (続き)

At  $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 3.3\text{V}$ 、 $R_{\text{RESET}} = 100\text{k}\Omega$ 、および  $C_{\text{LRESET}} = 50\text{pF}$  (特に記述のない限り)。

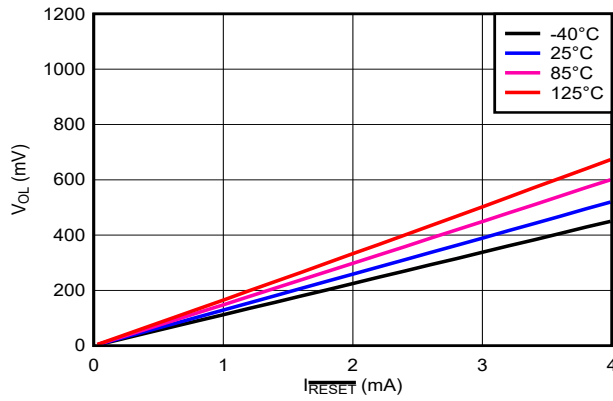


図 6-9. RESET 電流 (シンク) と  $V_{\text{OL}}$  ( $V_{\text{DD}} = 12\text{V}$ ) との関係

## 7 詳細説明

### 7.1 概要

TPS3842-Q1 高電圧スーパーバイザ製品ファミリーは、SENSE ピンの電圧が  $V_{IT}$  を超え、ユーザー定義の時間の間  $V_{IT}$  を超えたときに、 $\overline{\text{RESET}}$ /RESET 信号をアサートするように設計されています。 $\overline{\text{RESET}}$ /RESET 出力は、SENSE 電圧が対応するスレッシュホールドおよびヒステリシスを上回るまで、ユーザーが設定した時間アサートされたままになります。

VDD、SENSE、 $\overline{\text{RESET}}$ /RESET ピンは 42V の連続動作をサポートできます。VDD、SENSE、および  $\overline{\text{RESET}}$ /RESET の電圧レベルは互いに独立できます。TPS3842-Q1 は、 $\overline{\text{RESET}}$ /RESET がアサートされる前に、低電圧イベントの最小持続時間を設定するため、コンデンサでプログラム可能な検出時間遅延 (CTS) を備えています。CTS は、プログラム可能なグリッチ除去としても機能し、誤リセットを防止します。また、TPS3842-Q1 はコンデンサをプログラム可能な RESET 時間遅延 (CTR) も備えており、低電圧イベントが回復した後、 $\overline{\text{RESET}}$ /RESET のアサートの最小時間を設定できます。

### 7.2 機能ブロック図

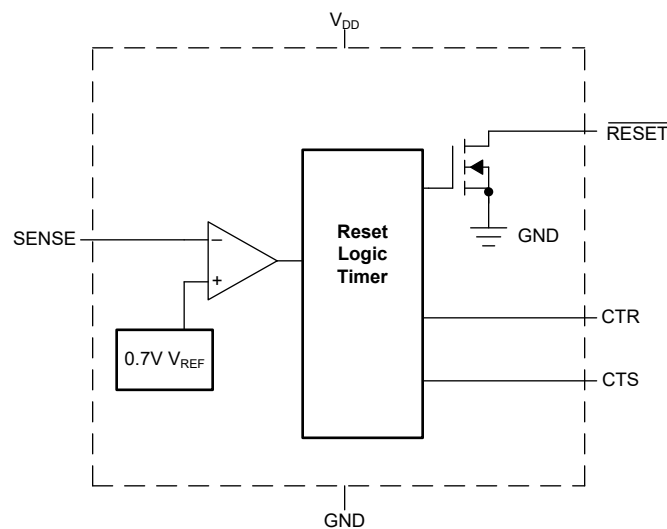


図 7-1. 低電圧可変電圧バージョン

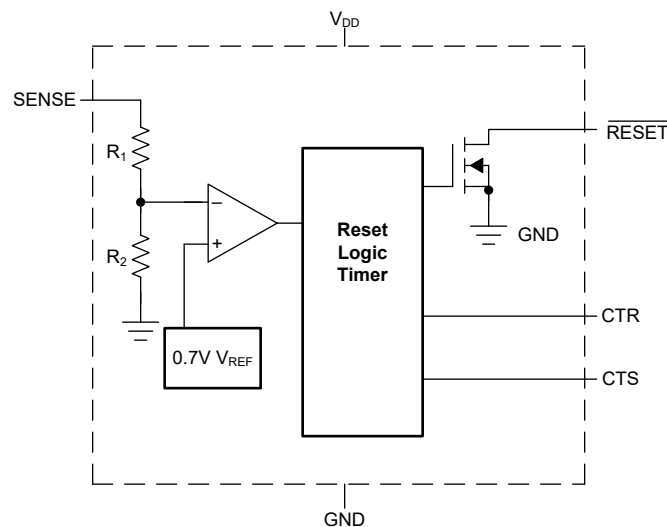


図 7-2. 低電圧固定電圧バージョン

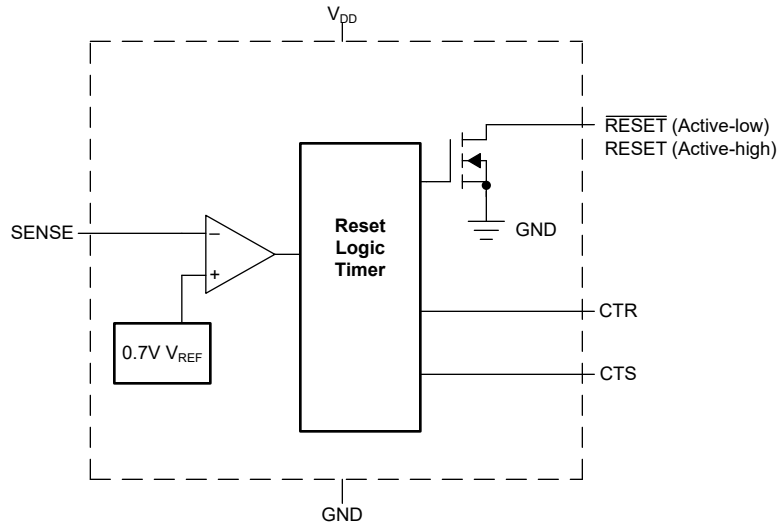


図 7-3. 過電圧可変電圧図

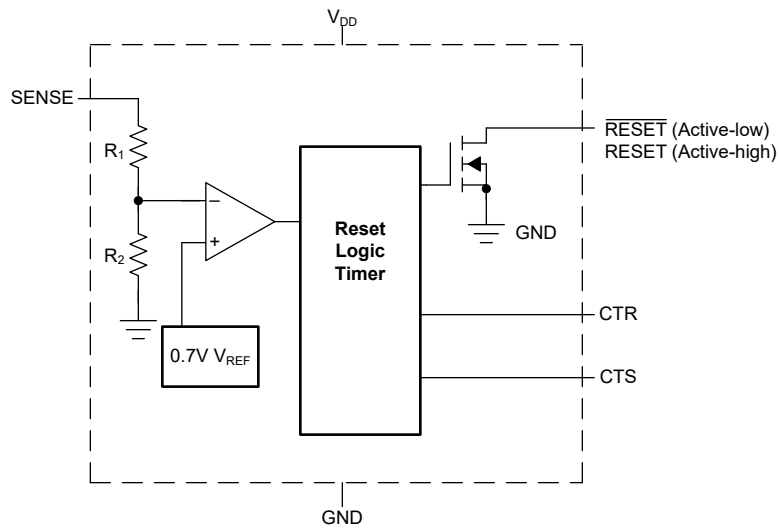


図 7-4. 過電圧固定電圧図

## 7.3 機能説明

TPS3842 には幅広い電圧スレッシュホールド値とヒステリシス オプションが用意されており、このデバイスを幅広いアプリケーションで使用できます。リセット スレッシュホールド電圧は、工場出荷時に可変 0.7V、または 2.7V ~ 18V の固定値に設定できます。可変バリエーションは、外付けの分割抵抗を使用して、0.7V 以上の任意の電圧に設定できます。CTR と GND の間にコンデンサを接続すると、設計者は最大 10 $\mu$ F までの任意のリセット遅延期間を選択できます。CTS と GND の間にコンデンサを接続すると、設計者は最大 10 $\mu$ F までの任意のセンス遅延期間を選択できます。

### 7.3.1 SENSE 入力

SENSE 入力には、任意のシステム電圧を監視できるピンがあります。このピンの電圧が  $t_{PD}+t_{CTS}$  時間間隔で  $V_{ITN}$  を下回ると、 $\overline{RESET}/RESET$  がアサートされます。コンパレータには、意図しない  $\overline{RESET}/RESET$  アサートおよびデアサートを抑制するためのヒステリシスが組み込まれています。ノイズの多い環境では、SENSE 入力に 1nF のバイパス コンデンサを配置して過渡に対する感度やレイアウト寄生成分を低減するか、CTS 機能を活用して  $\overline{RESET}/RESET$  がアサートされる前の最小フォルト時間間隔を設定するのが優れたアナログ設計手法です。

図 7-5 に、外付け分圧抵抗を使用して、電圧スレッシュホールドを調整する方法の例を図示します。抵抗は、目標の電圧スレッシュホールドとデバイス部品番号に応じて計算できます。TI は、外付け分圧抵抗を使用する場合は、700mV のスレッシュホールド オプションを使用することを推奨しています。外付け抵抗を使用する際の精度を向上させるため、内部抵抗ラダーをバイパスします。

たとえば、図 7-5 に示すように、TPS3842A011DRLRQ1 バリエーションを使用するのみ低電圧 (UV) の有無を監視する 12V レール  $V_{MON}$  を考えてみます。監視対象の UV スレッシュホールド ( $V_{MON-}$ ) は、デバイスがリセットをアサートする目的の電圧です。この例では、 $V_{MON-} = 5.8V$  です。低電圧 reset をアサートするには、sense ピンの電圧  $V_{SENSE}$  が入力スレッシュホールドの負の電圧  $V_{ITN}$  と同等である必要があります。この例では、 $V_{SENSE} = V_{ITN} = 0.7V$  です。 $R_1$  と  $R_2$  を使用すると、 $V_{MON-}$  と  $V_{SENSE}$  の関係を式 1 に示します。 $R_1 = 100k\Omega$  と仮定し、 $R_2 = 13.7k\Omega$  として計算できます。

$$V_{SENSE} = V_{MON-} \times (R_2 \div (R_1 + R_2)) \quad (1)$$

TPS3842-Q1 のヒステリシスは、選択した構成によって異なります。 $\overline{RESET}$  信号がデアサートされるには、 $V_{MON}$  は  $V_{ITN} + V_{HYS}$  を上回る必要があります。この例では、1% の電圧スレッシュホールド ヒステリシスを選択しています。したがって、 $\overline{RESET}$  信号がデアサートされると、 $V_{MON}$  は 5.858V に等しくなります。代わりに 10% ヒステリシス オプションを使用した場合、 $\overline{RESET}$  信号がデアサートされたとき、 $V_{MON}$  は 6.38V になります。

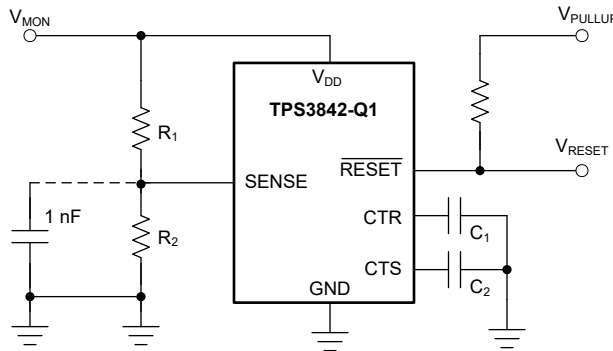


図 7-5. TPS3842A011DRLRQ1 を使用したユーザー定義のスレッシュホールド電圧の監視

### 7.3.1.1 SENSE ヒステリシス

TPS3842-Q1 デバイスは、UV スレッシュホールドの前後にヒステリシスを組み込んでいるため、誤った  $\overline{\text{RESET}}/\text{RESET}$  を防止できます。負のスレッシュホールド ( $V_{ITN}$ ) にヒステリシス ( $V_{HYS}$ ) が追加され、正のスレッシュホールド ( $V_{ITP}$ ) に減算されます。

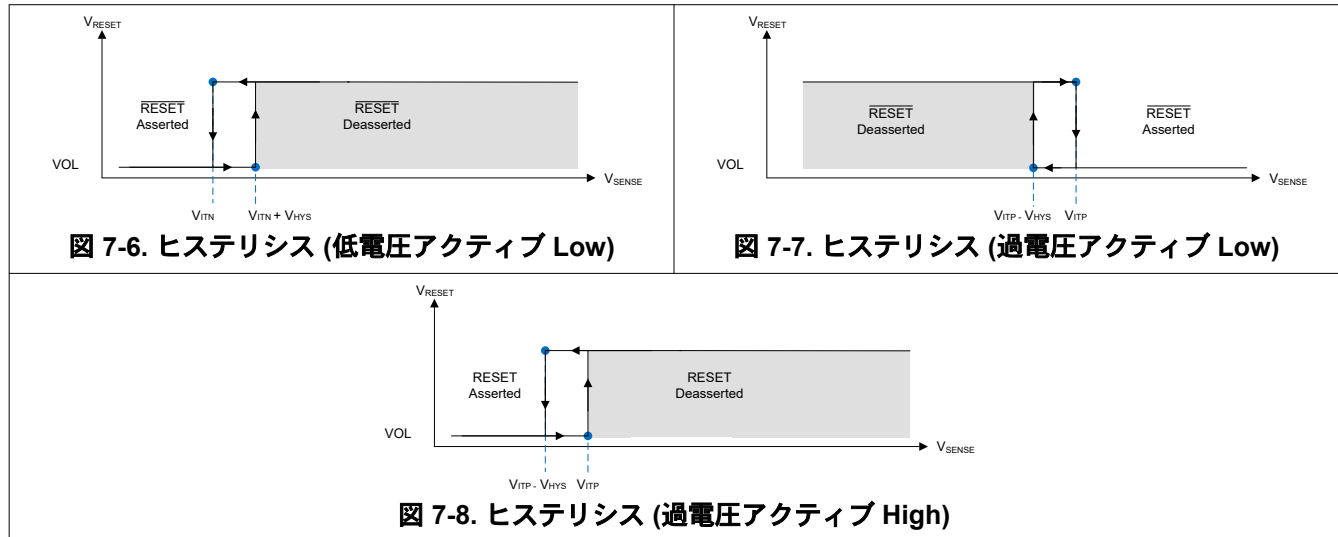


表 7-1. 共通の変ヒステリシスの参照テーブル

部品番号	デバイスのヒステリシス オプション
TPS3842Axx1DRLRQ1	1%
TPS3842Axx5DRLRQ1	5%
TPS3842Axx0DRLRQ1	10%

ヒステリシスは、 $V_{IT}$  の精度や偏差を含む、デバイスの  $V_{IT}$  に依存します。

低電圧 (UV)

$$V_{ITN} = 700\text{mV}$$

$$\text{電圧ヒステリシス } (V_{HYS}) = 1\% = V_{ITN} \times 1\% = 7\text{mV}$$

$$\text{解放電圧} = V_{ITN} + V_{HYS} = 707\text{mV}$$

過電圧 (OV)

$$V_{ITP} = 700\text{mV}$$

$$\text{電圧ヒステリシス } (V_{HYS}) = 1\% = V_{ITN} \times 1\% = 7\text{mV}$$

$$\text{解放電圧} = V_{ITP} - V_{HYS} = 693\text{mV}$$

### 7.3.2 SENSE 遅延時間の選択

TPS3842-Q1 は、外付けのコンデンサによりセンス解放時間遅延を調整可能です。

- CTS のコンデンサにより、**RESET** がアサートされる前の最小フォルト時間間隔をプログラムします。
- このピンにコンデンサがない場合、**セクション 6.6** の  $t_{PD}$  で示されている最短のセンス遅延時間が得られます。
- CTS ピンの寄生容量は、CTS 容量としてカウントされ、 $t_{CTS}$  が増加します。

CTS ピンと GND の間にコンデンサを接続することで、遅延時間 ( $t_{CTS}$ ) をプログラミングできます。

外付けコンデンサ  $C_{CTS\_EXT (typ)}$  と遅延時間  $t_{CTS (typ)}$  の関係は **式 2** で与えられます。

$$t_{CTS (typ)} = 2.858 \times C_{CTS\_EXT (typ)} \quad (2)$$

$t_{CTS (typ)}$  = は秒 (s) 単位です

$C_{CTS\_EXT (typ)}$  = はマイクロファラッド ( $\mu F$ ) 単位です

検出遅延は、外付けコンデンサ ( $C_{CTS\_EXT}$ ) によって変化します。定数による最小分散と最大分散は、**式 3** および **式 4** に示されます。

$$t_{CTS (max)} = 3.715 \times C_{CTS\_EXT (max)} \quad (3)$$

$$t_{CTS (min)} = 2 \times C_{CTS\_EXT (min)} \quad (4)$$

電圧フォルトが発生したときにコンデンサが完全に放電するのに十分な時間を確保して、次の障害の前に CTS コンデンサが充電されないようにしてください。また、コンデンサの値が大きすぎると、充電 (立ち上がり時間) が非常に遅くなり、システム ノイズによって内部回路がスレッシュホールド値付近で早めにまたは遅くトリップする可能性があります。

---

#### 注

コンデンサの漏れは、センス時間遅延の精度に影響を与える可能性があります。

---

### 7.3.3 リセット遅延時間の選択

TPS3842-Q1 は、外付けのコンデンサによりセンス解放時間遅延を調整可能です。

- CTR のコンデンサにより、出力のリセット時間遅延がプログラムされます。
- このピンにコンデンサがない場合、リセット遅延時間が最も速くなります。
- CTR ピンの寄生容量は、CTR 容量としてカウントされ、 $t_{CTR}$  が増加します。

CTR ピンと GND の間にコンデンサを接続することで、遅延時間 ( $t_{CTR}$ ) をプログラミングできます。

外付けコンデンサ  $C_{CTR\_EXT}$  ( $t_{yp}$ ) と遅延時間  $t_{CTR}$  ( $t_{yp}$ ) の関係は [式 5](#) で与えられます。

$$t_{CTR} (t_{yp}) = 2.858 \times C_{CTR\_EXT} (t_{yp}) \quad (5)$$

$t_{CTR} (t_{yp})$  = は秒 (s) 単位です

$C_{CTR\_EXT} (t_{yp})$  = はマイクロファラッド ( $\mu F$ ) 単位です

リセット遅延は、外付けコンデンサ ( $C_{CTR\_EXT}$ ) によって変化します。定数による最小分散と最大分散は、[式 6](#) および [式 7](#) に示されます。

$$t_{CTR} (max) = 3.715 \times C_{CTR\_EXT} (max) \quad (6)$$

$$t_{CTR} (min) = 2 \times C_{CTR\_EXT} (min) \quad (7)$$

コンデンサの値が大きすぎる場合 ( $>10\mu F$ )、コンデンサの漏れにより充電 (立ち上がり時間) が非常に遅くなり、システムノイズにより内部回路が **RESET** をアクティブに保持する可能性があります。

コンデンサの漏れは、リセット時間遅延の精度に影響を与える可能性があります。

### 7.3.4 RESET 出力

**RESET** (アクティブ Low) はピン ラベルの上にバーで示されます。**RESET** は、検出電圧がスレッショルド境界を超え、VDD 電圧が VDD (最小値) を上回っている限り、High 電圧 ( $V_{OH}$ 、デアサート) (オープンドレインバリエーション  $V_{OH}$  はプルアップ電圧に対して測定) のままです。**SENSE** が  $t_{CTS}$  よりも長い期間  $V_{ITN}$  を下回ると、**RESET** がアサートされ、**RESET** ピンが低インピーダンスになります。

**SENSE** が  $V_{ITN} + V_{HYS}$  を超えると、指定されたリセット遅延期間の間 **RESET** を低く保持する遅延回路 (CTR) が有効になります。リセット遅延が経過すると、**RESET** ピンはハイ インピーダンス状態に移行します。

過電圧アクティブ Low のバリエーションの場合、**SENSE** が  $V_{ITP}$  を上回る状態が  $t_{CTS}$  よりも長い時間続くと、**RESET** がアサートされます。**SENSE** が  $V_{ITP} - V_{HYS}$  を下回ると、指定されたリセット遅延期間の間 **RESET** を低く保持する遅延回路 (CTR) が有効になります。リセット遅延が経過すると、**RESET** ピンはハイ インピーダンス状態に移行します。

過電圧アクティブ High のバリエーションの場合、**SENSE** が  $V_{ITP}$  を上回る状態が  $t_{CTS}$  よりも長い時間続くと、**RESET** がデアサートされます。**SENSE** が  $V_{ITP} + V_{HYS}$  を下回ると、指定されたリセット遅延期間の間 **RESET** をデアサートする遅延回路 (CTR) が有効になります。リセット遅延が経過すると、**RESET** ピンがアサートします。

オープンドレイン出力は、電圧を必要な論理レベルまで高く維持するために外部プルアップ抵抗が必要です。プルアップ抵抗を適切な電圧レベルに接続し、出力を適切なインターフェイス電圧レベルで他のデバイスに接続できるようにします。**RESET/RESET** は、VDD および **SENSE** 電圧に依存せず、最大 42V のプルアップ電圧に対応できます。

適切なプルアップ抵抗を選択するには、システム  $V_{OH}$  と電気的特性に記載されているオープン ドレイン リーク電流 ( $I_{LKG}$ ) を考慮して、最大プルアップ抵抗値を設定します。プルアップ抵抗の値が小さいと、内部オープンドレイン出力を流れる電流の量が増加します。オープンドレイン出力を流れる電流は、デバイスの  $I_{RESET}$  よりも小さい必要があります。

## 7.4 デバイスの機能モード

表 7-2. 低電圧の真理値表

SENSE > V <sub>ITN</sub>	RESET	VDD
0	L	VDD > VDD (最小)
1	H	VDD > VDD (最小)
0 または 1	L	VDD (最小) > VDD > V <sub>POR</sub>

表 7-3. 過電圧の真理値表

SENSE < V <sub>ITP</sub>	RESET	リセット	VDD
0	L	H	VDD > VDD (最小)
1	H	L	VDD > VDD (最小)
0 または 1	L	H	VDD (最小) > VDD > V <sub>POR</sub>

### 7.4.1 通常動作 (V<sub>DD</sub> > V<sub>DD(min)</sub>)

V<sub>DD</sub> が V<sub>DD(min)</sub> より大きい場合、 $\overline{\text{RESET}}$ /RESET 信号は SENSE ピンの電圧によって決まります。

- $\overline{\text{RESET}}$ /RESET 信号は、V<sub>ITN</sub> または V<sub>ITP</sub> に対する SENSE の電圧に対応します。

### 7.4.2 パワーオンリセット超、V<sub>DD(min)</sub> 未満 (V<sub>POR</sub> ≤ V<sub>DD</sub> < V<sub>DD(min)</sub>)

V<sub>DD</sub> の電圧がデバイスの V<sub>DD(min)</sub> 電圧未満で、パワーオンリセット電圧 (V<sub>POR</sub>) よりも高い場合、SENSE ピンの電圧に関係なく、それぞれ  $\overline{\text{RESET}}$  信号がアサートされ、低インピーダンスになります。SENSE ピンの電圧に関係なく RESET (アクティブ high) 信号はデアサートされます。

### 7.4.3 パワーオンリセット未満 (V<sub>DD</sub> < V<sub>POR</sub>)

V<sub>DD</sub> の電圧が必要な電圧 (V<sub>POR</sub>) よりも低い場合、 $\overline{\text{RESET}}$ /RESET は未定義になります。

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 アプリケーション情報

以下のセクションでは、最終アプリケーションの要件に応じた適切なデバイス実装について詳しく説明します。

### 8.2 代表的なアプリケーション

12V の自動車用バッテリーを監視するために使用される TPS3842-Q1 の一般的なアプリケーションを [図 8-1](#) に示します。オープンドレイン  $\overline{\text{RESET}}$  出力は通常、バッテリーが  $V_{\text{ITN}}$  を下回ったときに信号を伝達するためにマイクロプロセッサの  $\overline{\text{RESET}}$  入力に接続されます。 $\overline{\text{RESET}}$  がアサートされていないとき、このラインを high に保持するためにプルアップ抵抗を使用する必要があります。 $\overline{\text{RESET}}$  出力は電圧が  $V_{\text{POR}}$  未満の場合は未定義ですが、ほとんどのマイクロプロセッサはこの電圧より低い場合には機能しないため、通常この特性は問題となりません。

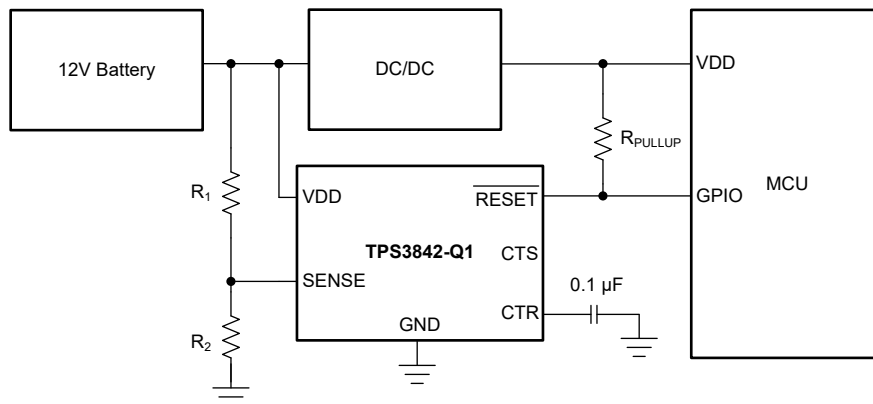


図 8-1. 12V 電源を監視する TPS3842-Q1 の代表的なアプリケーション

#### 8.2.1 設計要件

表 8-1. 設計パラメータ

パラメータ	設計要件
電圧スレッシュホールド	代表的な UV 電圧スレッシュホールド 5.5V
出力ロジック	オープンドレイン
SENSE 遅延	0.2ms 未満
RESET 遅延	300ms

## 8.2.2 詳細な設計手順

TPS3842-Q1 は、高電圧 SENSE および  $V_{DD}$  入力を使用して、12V バッテリの低電圧を監視します。この設計例では、TPS3842A011DRLRQ1 を使用しています。

負方向スレッショルド電圧  $V_{ITN}$  は、デバイスのバリエーションによって設定されます。この例では、バッテリーからの公称供給電圧は 12V です。低電圧スレッショルドを 5.5V (12V で 6.5V) に設定すると、電源電圧が DC/DC で許容される境界を超えない前にデバイスが確実にリセットされ、バッテリーが放電されたことを示します。可変電圧バリエーションを選択し、スレッショルドを満たすように  $R_1$  と  $R_2$  を調整します。 $R_2$  が 10k $\Omega$  であると仮定し、 $R_1$  は 68.5k $\Omega$  と計算されます。抵抗値の選択の詳細については、[セクション 7.3.1](#) を参照してください。TPS3842-Q1 は、固定電圧スレッショルドバリエーションもサポートしています。スレッショルド電圧のデコードは [セクション 4](#) に記載されています。

### 8.2.2.1 センスおよびリセット遅延への合致

TPS3842-Q1 は、リセットアサート (sense) 遅延、 $t_{CTS}$ 、およびリセットのデアサート (reset) 遅延  $t_{CTR}$  の両方があります。[セクション 7.3.2](#) および [セクション 7.3.3](#) に、コンデンサでプログラム可能な遅延のタイミングの設定方法を示します。このアプリケーションに必要な検出遅延は 0.2ms 未満なので、コンデンサを使用せず、CTS はオープンのままにします。このアプリケーションでは、300ms を超えるリセット遅延が必要なため、0.1 $\mu$ F コンデンサを使用します。

### 8.2.3 アプリケーション曲線

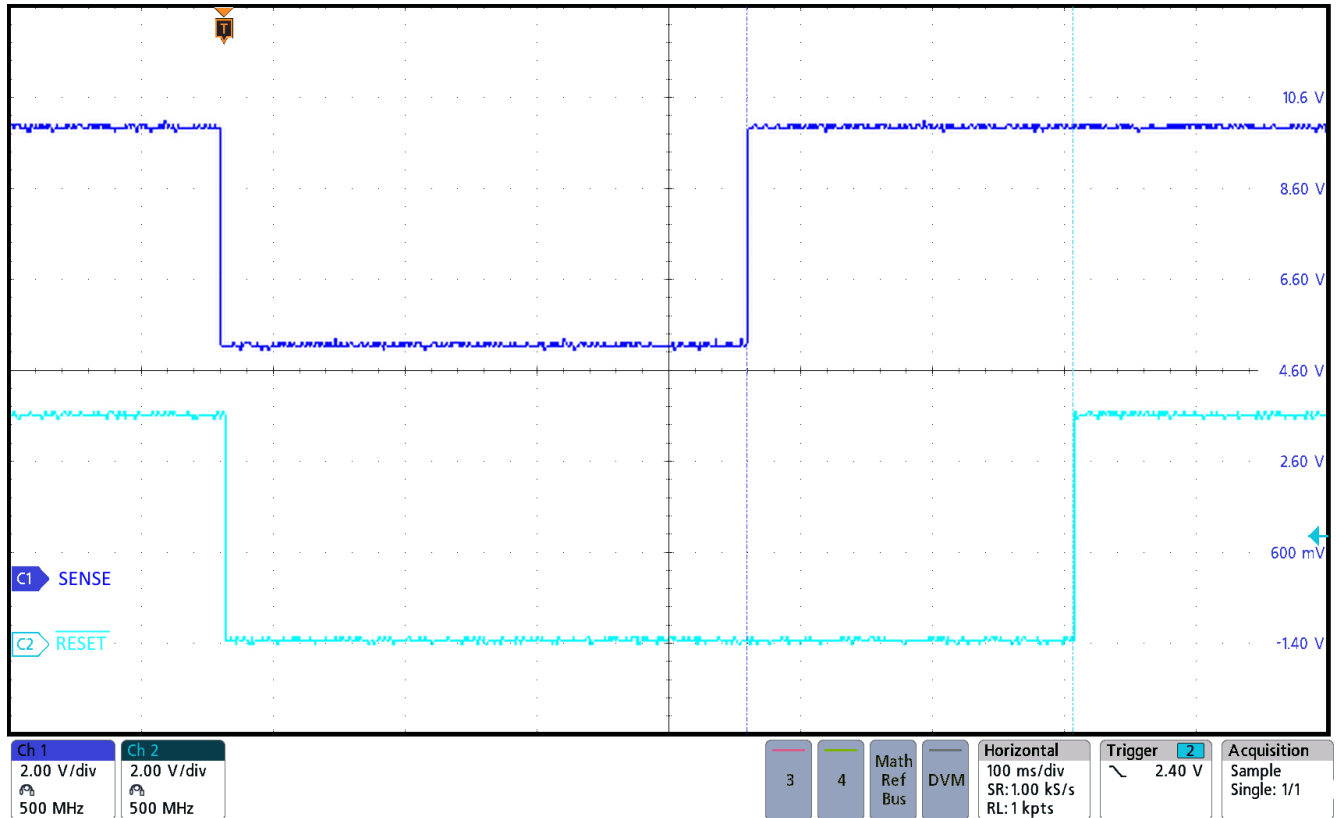


図 8-2. TPS3842-Q1 低電圧障害の検出と RESET 回復

### 8.3 電源に関する推奨事項

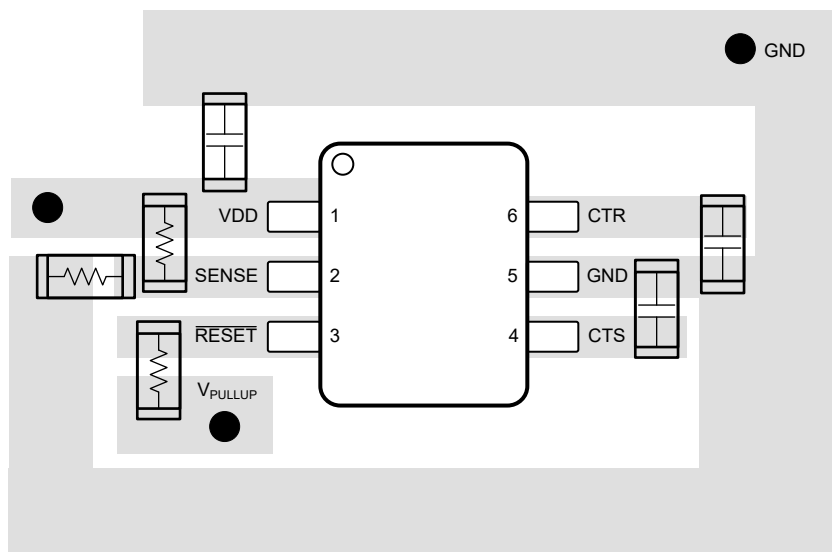
TPS3842-Q1 は、 $V_{DD}$  電圧が 1.9V (最小動作) ~ 42V (最大動作) の入力電源で動作するように設計されています。適切なアナログ設計手法では、最低 0.1 $\mu$ F のセラミック コンデンサを  $V_{DD}$  ピンのできるだけ近くに配置することが推奨されます。

### 8.4 レイアウト

#### 8.4.1 レイアウトのガイドライン

- $V_{DD}$  ピンへの接続が低インピーダンスであることを確認します。適切なアナログ設計手法では、0.1 $\mu$ F 以上のセラミック コンデンサを  $V_{DD}$  ピンの出来るだけ近くに配置することが推奨されます。
- ノイズの多い環境が発生し、SENSE ピンのノイズ耐性を向上させるため、SENSE ピンと GND との間にオプションの 1nF のコンデンサを接続すると、監視対象信号の過渡電圧に対する感度を低減できます。ノイズ耐性を向上させる代わりに、CTS 機能を使用することもできます。
- CTS または CTR にコンデンサを使用する場合は、これらの部品をそれぞれのピンにできるだけ近づけて配置してください。コンデンサ調整ピンが未接続のままになっている場合は、 $t_{PD}$  または  $t_{CTR}$  に影響を与えないように、寄生容量の量を最小限に抑えるようにしてください。
- プルアップ抵抗は、 $\overline{\text{RESET}}$ /RESET のできるだけ近くに配置します。
- 配線設計時には、高電圧配線と低電圧配線をできるだけ離して配置します。
- 高電圧の金属パッドやパターンを低電圧の金属パッドやパターンに 20mils (0.5mm) より近い位置に配置しないでください。

#### 8.4.2 レイアウト例



● Vias used to connect pins for application-specific connections

図 8-3. TPS3842-Q1 推奨レイアウト

## 9 デバイスおよびドキュメントのサポート

### 9.1 デバイス サポート

### 9.2 ドキュメントのサポート

### 9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (August 2024) to Revision B (October 2025)	Page
• タイトルに「過電圧」を含めて更新。.....	1
• ドキュメント全体を通して過電圧オプションを追加.....	1
• 特長一覧を更新.....	1
• 説明に過電圧を追加.....	1
• 「命名規則」表を削除。.....	3
• 「デバイスの命名規則」表を更新。.....	3
• ピン構成および機能を更新.....	4
• 過電圧バリエーションの電気仕様を追加して、推奨動作条件、電気的特性、タイミング要件、スイッチング特性を更新。....	5
• タイミング図に過電圧を追加.....	8
• 概要に過電圧の説明を追加.....	11
• 「機能ブロック図」を更新.....	11
• 機能説明の 9.5V を 18V に更新.....	13
• SENSE 入力の説明に過電圧 RESET を追加。.....	13
• SENSE ヒステリシスに過電圧ヒステリシス図と方程式を追加.....	14
• RESET 出力にリセット機能を追加.....	16
• デバイスの機能モードに過電圧真理値表を追加.....	17
• デバイスの機能モードに RESET の説明を追加.....	17
• レイアウトのガイドラインの説明に RESET を追加。.....	20

---

**Changes from Revision \* (April 2024) to Revision A (August 2024)**

---

Page

- 量産データのリリース..... 1
- 

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。これらの情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントの改訂を伴わない場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">PPS3842C011DRLRQ1</a>	Active	Preproduction	SOT-5X3 (DRL)   6	4000   LARGE T&R	-	Call TI	Call TI	-40 to 125	
<a href="#">TPS3842A010DRLRQ1</a>	Active	Production	SOT-5X3 (DRL)   6	4000   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	A010Q
TPS3842A010DRLRQ1.A	Active	Production	SOT-5X3 (DRL)   6	4000   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	A010Q
TPS3842A010DRLRQ1.B	Active	Production	SOT-5X3 (DRL)   6	4000   LARGE T&R	-	Call TI	Call TI	-40 to 125	
<a href="#">TPS3842A011DRLRQ1</a>	Active	Production	SOT-5X3 (DRL)   6	4000   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	A011Q
TPS3842A011DRLRQ1.A	Active	Production	SOT-5X3 (DRL)   6	4000   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	A011Q
TPS3842A011DRLRQ1.B	Active	Production	SOT-5X3 (DRL)   6	4000   LARGE T&R	-	Call TI	Call TI	-40 to 125	
<a href="#">TPS3842A015DRLRQ1</a>	Active	Production	SOT-5X3 (DRL)   6	4000   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	A015Q
TPS3842A015DRLRQ1.A	Active	Production	SOT-5X3 (DRL)   6	4000   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	A015Q
TPS3842A015DRLRQ1.B	Active	Production	SOT-5X3 (DRL)   6	4000   LARGE T&R	-	Call TI	Call TI	-40 to 125	
<a href="#">TPS3842A650DRLRQ1</a>	Active	Production	SOT-5X3 (DRL)   6	4000   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	A650Q
TPS3842A650DRLRQ1.A	Active	Production	SOT-5X3 (DRL)   6	4000   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	A650Q
TPS3842A650DRLRQ1.B	Active	Production	SOT-5X3 (DRL)   6	4000   LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

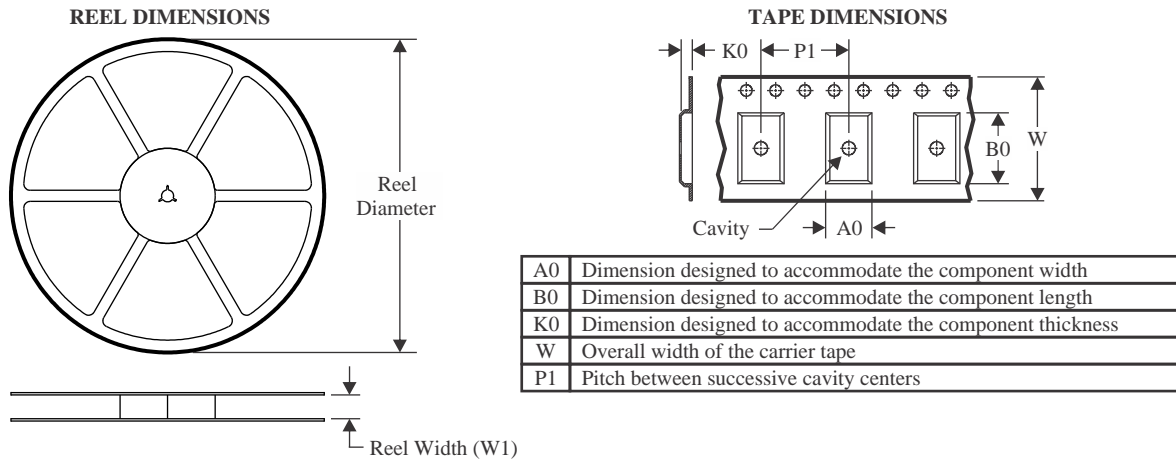
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF TPS3842-Q1 :**

- Catalog : [TPS3842](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS3842A010DRLRQ1	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3
TPS3842A011DRLRQ1	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3
TPS3842A015DRLRQ1	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3
TPS3842A650DRLRQ1	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS3842A010DRLRQ1	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
TPS3842A011DRLRQ1	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
TPS3842A015DRLRQ1	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
TPS3842A650DRLRQ1	SOT-5X3	DRL	6	4000	210.0	185.0	35.0

# DRL0006A



# PACKAGE OUTLINE

## SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



4223266/F 11/2024

### NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-293 Variation UAAD

# EXAMPLE BOARD LAYOUT

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE  
SCALE:30X



4223266/F 11/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

# EXAMPLE STENCIL DESIGN

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE  
BASED ON 0.1 mm THICK STENCIL  
SCALE:30X

4223266/F 11/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月