

TPS4141-Q1 車載対応、1,200V 構成可能、高精度抵抗デバイダ、スイッチ内蔵

1 特長

- 車載アプリケーション認定済み
 - AEC-Q100 グレード 1: -40°C ~ 125°C の動作時周囲温度
- 内蔵型の高電圧抵抗デバイダ
 - 30MΩ の合計抵抗、高精度マッチング済みデバイダ
 - 基板の汚染物質にハイインピーダンス ノードが露出していないため、測定整合性が向上
- 高電圧切り離しスイッチを内蔵
 - 1,200V スタンドオフ電圧、単方向ブロッキング
 - < 1.5μA リークエージ (T_A = 105°C)
- 高精度アンプ内蔵
 - A/D コンバータとのインターフェイスを容易にするバッファ付き出力
 - 動的に選択可能なゲイン設定により、高電圧センシング範囲全体で精度を最大化
- 測定精度: ±0.25%
- 最大 ±1,200V の単方向および双方向の電圧センシングをサポート
- 単方向と双方向の電圧センシング動作間の動的スイッチング
- 低い電源電流
 - オン状態電流: 5mA
 - オフ状態電流: 5.5μA
- SOIC (DWQ-11) パッケージ
 - 浴面距離と空間距離 ≥ 8mm (高電圧センシングピンから他のすべてのピンまで)

2 アプリケーション

- ハイブリッド / 電気自動車およびパワートレイン システム
- バッテリー管理システム (BMS)
- 太陽光エネルギー

3 概要

TPS4141-Q1 は、プログラマブル ゲイン アンプを内蔵した高電圧、高精度のマッチング済み抵抗デバイダです。また、TPS4141-Q1 には高電圧センスピンの接続または接続解除が可能な高電圧スイッチが内蔵されており、接続解除時に単方向の電流ブロッキングとして機能します。このデバイスは、正確な高電圧測定が必要な車載および産業用の各アプリケーション向けに設計されています。

TPS4141-Q1 プログラマブル ゲイン アンプは、DIV0 および DIV1 入力を使用して 4 つの分圧比をサポートします。DIV0 および DIV1 は固定分圧比に設定でき、動作中に動的に変更することもできます。これにより、アンプの

出力 (AOUT) を A/D 信号チェーンのフルスケール入力電圧に一致させることができるため、対象となる電圧センシング範囲全体で精度が向上します。

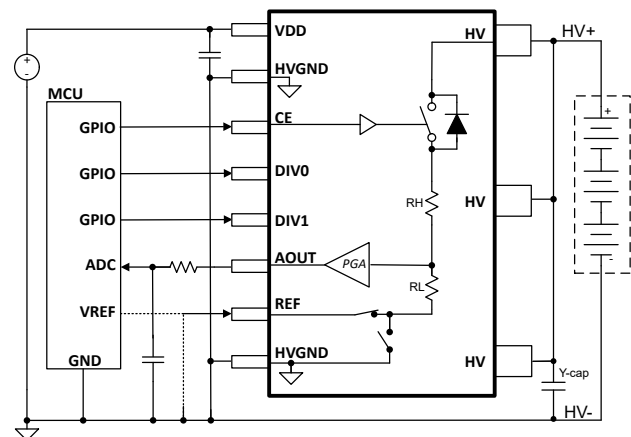
TPS4141-Q1 は、単方向または双方向の電圧測定に対応します。REF から HVGND に外部の高精度電圧リファレンスを供給することで、双方向の電圧測定がサポートされます。DIV0 と DIV1 を使用して、動作中に双方向と単方向の電圧センシングを切り替えることができます。REF を HVGND に接続すると、単方向電圧センシングのみが可能になります。

TPS4141-Q1 は、高電圧センスピン (HV) からグラウンド (HVGND) までのスタンドオフ電圧が 1,200V を超える高電圧スイッチを内蔵しています。このスイッチにより、接続解除時に、HV から HVGND への単方向電流ブロッキングが実現します。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS4141-Q1 (3)	DWQ (SOIC, 11)	10.30mm × 10.30mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージサイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。
- 製品プレビュー。



TPS4141-Q1 アプリケーションの概略回路図



目次

1 特長.....	1	6.3 機能説明.....	10
2 アプリケーション.....	1	6.4 デバイスの機能モード.....	14
3 概要.....	1	7 アプリケーションと実装.....	15
4 ピン構成および機能.....	3	7.1 アプリケーション情報.....	15
4.1 ピン機能 TPS4141-Q1.....	3	7.2 代表的なアプリケーション.....	15
5 仕様.....	4	7.3 電源に関する推奨事項.....	18
5.1 絶対最大定格.....	4	7.4 レイアウト.....	18
5.2 ESD 定格.....	4	8 デバイスおよびドキュメントのサポート.....	20
5.3 推奨動作条件.....	4	8.1 ドキュメントの更新通知を受け取る方法.....	20
5.4 熱に関する情報.....	5	8.2 サポート・リソース.....	20
5.5 電力定格.....	5	8.3 商標.....	20
5.6 電気的特性.....	5	8.4 静電気放電に関する注意事項.....	20
5.7 スイッチング特性.....	8	8.5 用語集.....	20
6 詳細説明.....	9	9 改訂履歴.....	20
6.1 概要.....	9	10 メカニカル、パッケージ、および注文情報.....	21
6.2 機能ブロック図.....	9	10.1 テープおよびリール情報.....	21

4 ピン構成および機能

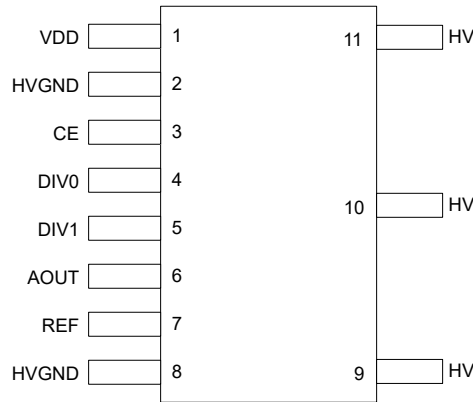


図 4-1. TPS4141-Q1 DWQ パッケージ、11 ピン SOIC-WB (上面図)

4.1 ピン機能 TPS4141-Q1

ピン番号	ピン名	タイプ ⁽¹⁾	説明
1	VDD	P	電源。
2	HVGND	GND	HV グランド電源。すべての HVGND ピンを HV グランド電源に接続します。
3	CE	I	アクティブ High チップ イネーブル信号
4	DIV0	I	3 値入力による分圧比の選択
5	DIV1	I	3 値入力による分圧比の選択
6	AOUT	O	HV 抵抗デバイダからのアンプ出力
7	REF	I	抵抗デバイダの下部にあるリファレンス。双方向センシング用の外部リファレンスまたは HVGND に接続します。
8	HVGND	GND	HV グランド電源。すべての HVGND ピンを HV グランドリターンに接続します。
9	HV	I/O	高電圧入力。アプリケーションでは、すべての HV ピンを接続する必要があります。
10			
11			

(1) P = 電源、I = 入力、O = 出力、GND = グランド

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

パラメータ		最小値	最大値	単位
V _{VDD}	電源電圧 ⁽²⁾	-0.3	20.7	V
V _{CE, DIV0, DIV1}	チップ イネーブルとトリステートの入力電圧 ⁽²⁾	-0.3	20.7	V
V _{AOUT, REF}	抵抗デバイダのリファレンス入力とバッファされた抵抗デバイダの出力 ⁽²⁾	-0.3	6	V
V _{HV}	高電圧入力 ⁽²⁾	-1400	1400	V
T _J	接合部温度	-40	150	°C
T _{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

(2) 電圧値は、HVGND を基準としています。

5.2 ESD 定格

			値	単位
HBM	静電放電	人体モデル (HBM)、AEC Q100-002 ⁽¹⁾ HBM ESD 分類レベル 2 準拠	すべてのピン	±2000 V
CDM	静電放電	荷電デバイス モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4 準拠	すべてのピン	±750 V

(1) AEC Q100-002 は、HBM ストレス試験を ANS/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		最小値	公称値	最大値	単位
V _{VDD}	1 次側の電源電圧 ⁽¹⁾	4.5		20	V
V _{CE, DIV0, DIV1}	チップ イネーブル、デバイダ選択の入力電圧 ⁽¹⁾	0		20	V
V _{AOUT}	バッファされた抵抗デバイダ出力 ⁽¹⁾	0		4.1	V
V _{REF}	抵抗デバイダの下部にあるリファレンス電圧 ⁽¹⁾	0		3.2	V
V _{HV}	スイッチの入力電圧 ⁽¹⁾	-1200		1200	V
R _{AOUT}	AOUT の外部直列抵抗 ⁽²⁾	100		900	Ω
C _{AOUT}	AOUT の外部静電容量 ⁽²⁾	1		200	nF
T _A	動作時周囲温度	-40		125	°C
T _J	動作時の接合部温度	-40		150	°C

(1) 電圧値は、HVGND を基準としています。

(2) AOUT から HVGND への外部ローパス RC フィルター。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS4141-Q1	単位
		DWQ (SOIC)	
		11 ピン	
R _{θJA}	接合部から周囲への熱抵抗	70	°C/W
R _{θJB}	接合部から基板への熱抵抗	22	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	26	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	14	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	21	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.5 電力定格

パラメータ		テスト条件	最小値	標準値	最大値	単位
P _D	最大消費電力、合計 (VDD および HV 電源)	V _{VDD} = 5V、			110	mW
P _{D_VDD}	最大消費電力 (VDD 電源)	V _{CE} = 5V ピークツーピーク、			50	mW
P _{D_HV}	最大消費電力 (HV 電源)	V _{HV} = 1,200V f _{CE} = 1Hz 方形波			60	mW

5.6 電気的特性

特に記述のない限り、すべての最小 / 最大仕様は推奨動作条件範囲内の値です。すべての標準値は、T_J = 25°C、V_{VDD} = 5V、V_{CE} = 5V、C_{AOUT} = 1nF、R_{AOUT} = 100Ω で測定されています。

パラメータ		テスト条件	最小値	標準値	最大値	単位
高精度の抵抗デバイダとアンプ						
R _{TOTAL}	HV から HVGND または HV から REF への抵抗。		25.5	30	34.5	MΩ
DIV _{NOM}	公称分圧比	DIV1 = L、DIV0 = L		160		V/V
		DIV1 = L、DIV0 = H		320		V/V
		DIV1 = H、DIV0 = L		640		V/V
		DIV1 = H、DIV0 = H		1000		V/V

5.6 電気的特性 (続き)

特に記述のない限り、すべての最小 / 最大仕様は推奨動作条件範囲内の値です。すべての標準値は、 $T_J = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $V_{CE} = 5\text{V}$ 、 $C_{AOUT} = 1\text{nF}$ 、 $R_{AOUT} = 100\Omega$ で測定されています。

パラメータ		テスト条件	最小値	標準値	最大値	単位	
GAIN _{ERROR} ⁽¹⁾	DIV = 160V/V 設定。 公称ゲイン = 1/DIV。	$T_J = 25^\circ\text{C}$ 単方向測定: $110\text{V} \leq V_{HV} \leq 640\text{V}$ 双方向測定: $-302\text{V} \leq V_{HV} \leq 322\text{V}$ 、 $V_{REF} = 2.0\text{V}$	-0.15		0.15	%	
		$-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$ 単方向測定: $110\text{V} \leq V_{HV} \leq 640\text{V}$ 双方向測定: $-302\text{V} \leq V_{HV} \leq 322\text{V}$ 、 $V_{REF} = 2.0\text{V}$	-0.25		0.25	%	
	DIV = 320V/V 設定。 公称ゲイン = 1/DIV。	$T_J = 25^\circ\text{C}$ 単方向測定: $110\text{V} \leq V_{HV} \leq 1,200\text{V}$ 双方向測定: $-606\text{V} \leq V_{HV} \leq 642\text{V}$ 、 $V_{REF} = 2.0\text{V}$	-0.15		0.15	%	
		$-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$ 単方向測定: $110\text{V} \leq V_{HV} \leq 1,200\text{V}$ 双方向測定: $-606\text{V} \leq V_{HV} \leq 642\text{V}$ 、 $V_{REF} = 2.0\text{V}$	-0.25		0.25	%	
	DIV = 640V/V 設定。 公称ゲイン = 1/DIV。	$T_J = 25^\circ\text{C}$ 単方向測定: $110\text{V} \leq V_{HV} \leq 1,200\text{V}$ 双方向測定: $-1,200\text{V} \leq V_{HV} \leq 1,200\text{V}$ 、 $V_{REF} = 2.0\text{V}$	-0.15		0.15	%	
		$-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$ 単方向測定: $110\text{V} \leq V_{HV} \leq 1,200\text{V}$ 双方向測定: $-1,200\text{V} \leq V_{HV} \leq 1,200\text{V}$ 、 $V_{REF} = 2.0\text{V}$	-0.25		0.25	%	
	DIV = 1,000V/V 設定。 公称ゲイン = 1/DIV。	$T_J = 25^\circ\text{C}$ 単方向測定: $110\text{V} \leq V_{HV} \leq 1,200\text{V}$ 双方向測定: $-1,200\text{V} \leq V_{HV} \leq 1,200\text{V}$ 、 $V_{REF} = 2.0\text{V}$	-0.15		0.15	%	
		$-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$ 単方向測定: $110\text{V} \leq V_{HV} \leq 1,200\text{V}$ 双方向測定: $-1,200\text{V} \leq V_{HV} \leq 1,200\text{V}$ 、 $V_{REF} = 2.0\text{V}$	-0.25		0.25	%	
	V _{OFFSET_HV}	HV 入力を基準とする測定オフセット電圧。	$-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$	-240		240	mV
	CMR _{AIN}	アンプの同相モード入力範囲		0		3.2	V
	CMR _{AOUT}	アンプの同相モード出力範囲		0		4.1	V
	BW _{HV_REF}	測定帯域幅 - HV から AOUT、REF から AOUT	DIV = 160		7		kHz
DIV = 320				14		kHz	
DIV = 640				28		kHz	
DIV = 1000				47		kHz	
I _{SC, AOUT}	短絡電流 - AOUT から HVGND/REF。	$V_{DD} = 5\text{V}$ 、 $V_{CE} = 5\text{V}$		±15		mA	

5.6 電気的特性 (続き)

特に記述のない限り、すべての最小 / 最大仕様は推奨動作条件範囲内の値です。すべての標準値は、 $T_J = 25^\circ\text{C}$ 、 $V_{VDD} = 5\text{V}$ 、 $V_{CE} = 5\text{V}$ 、 $C_{AOUT} = 1\text{nF}$ 、 $R_{AOUT} = 100\Omega$ で測定されています。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電圧 (VDD)						
V_{UVLO_R}	VDD 低電圧スレッシュホールド立ち上がり	VDD 立ち上がり	4	4.2	4.4	V
V_{UVLO_F}	VDD 低電圧スレッシュホールド立ち下がり	VDD 立ち下がり	3.9	4.1	4.3	V
V_{UVLO_HYS}	VDD 低電圧スレッシュホールド ヒステリシス			150		mV
I_{VDD_ON}	VDD 電流、デバイスの電源がオン	$T_J = 25^\circ\text{C}$		5		mA
		$-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$		5	7	mA
I_{VDD_OFF}	VDD 電流、デバイスの電源がオフ	$V_{VDD} = 5\text{V}$ 、 $V_{CE} = 0\text{V}$ 、 $T_J = 25^\circ\text{C}$		5.5	8	μA
		$V_{VDD} = 5\text{V}$ 、 $V_{CE} = 0\text{V}$ 、 $-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$			48	μA
		$V_{VDD} = 20\text{V}$ 、 $V_{CE} = 0\text{V}$ 、 $T_J = 25^\circ\text{C}$		10	20	μA
		$V_{VDD} = 20\text{V}$ 、 $V_{CE} = 0\text{V}$ 、 $-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$			60	
スイッチ特性						
I_{OFF}	オフ リークエージ	$CE = L$ 、 $V_{HV} = 1,200\text{V}$ 、 $T_J = 25^\circ\text{C}$		0.02	0.15	μA
		$CE = L$ 、 $V_{HV} = 1,200\text{V}$ 、 $T_J = 85^\circ\text{C}$			0.5	
		$CE = L$ 、 $V_{HV} = 1,200\text{V}$ 、 $T_J = 105^\circ\text{C}$			1.5	
		$CE = L$ 、 $V_{HV} = 1,200\text{V}$ 、 $T_J = 125^\circ\text{C}$			6	
		$CE = L$ 、 $V_{HV} = 1,200\text{V}$ 、 $-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$			50	
BV_{VDSS}	スイッチのブレイクダウン電圧。	$I_{HV} = 1\mu\text{A}$ 、 $-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$ $CE = L$	1270	1550		V
C_{OSS}	HV 静電容量	$V_{HV} = 0\text{V}$ 、 $f = 1\text{MHz}$		50		pF
ロジックレベル入力 (CE、DIV0、DIV1)						
$V_{IL, CE}$	チップ イネーブル入力ロジック Low 電圧		0.0		0.8	V
$V_{IH, CE}$	チップ イネーブル入力ロジック High 電圧		2.4		20.0	V
$V_{HYS, CE}$	チップ イネーブル入力ロジック ヒステリシス			250		mV
$V_{IL, DIVx}$	Low 状態の DIV0/DIV1 入力ロジック				0.8	V
$V_{IM, DIVx}$	Mid 状態の DIV0/DIV1 入力ロジック		1.3		1.8	V
$V_{IH, DIVx}$	High 状態の DIV0/DIV1 入力ロジック		2.4			V
$I_{IL, CE}$	入力ロジック Low 電流	$V_{CE} = 0\text{V}$	-0.1		0.1	μA
		$V_{CE} = 0.8\text{V}$	2	4	6.5	μA
$I_{IH, CE}$	入力ロジック High 電流	$V_{CE} = 5\text{V}$	10	22	50	μA
		$V_{CE} = 20\text{V}$	100	175	350	μA
$I_{IL, DIVx}$	入力ロジック Low 電流	$V_{DIVx} = 0\text{V}$	-22	-15	-9	μA
		$V_{DIVx} = 0.8\text{V}$	-11	-7	-4	μA
$I_{IM, DIVx}$	入力ロジック Mid 電流	$V_{DIVx} = 1.3\text{V}$	-3	-2	-1	μA
		$V_{DIVx} = 1.8\text{V}$	1.3	2.4	5	μA

5.6 電気的特性 (続き)

特に記述のない限り、すべての最小 / 最大仕様は推奨動作条件範囲内の値です。すべての標準値は、 $T_J = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $V_{CE} = 5\text{V}$ 、 $C_{AOUT} = 1\text{nF}$ 、 $R_{AOUT} = 100\Omega$ で測定されています。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{IH_DIVx}	入力ロジック High 電流	$V_{DIVx} = 2.4\text{V}$	4	8	23	μA
		$V_{DIVx} = 5\text{V}$	9	17	32	μA
		$V_{DIVx} = 20\text{V}$	9	17	32	μA
R_{PD_CE}	CE のプルダウン抵抗		100	200	350	$\text{k}\Omega$
R_{PU_DIVx}	DIV0、DIV1 のプルアップ抵抗		200	300	400	$\text{k}\Omega$
R_{PD_DIVx}	DIV0、DIV1 のプルダウン抵抗		80	120	280	$\text{k}\Omega$

(1) 計算されたゲイン誤差 (%) = $100 \times [\text{DIV}_{\text{nom}} (V_{AOUT,HV_max} - V_{AOUT,HV_min}) / (V_{HV_max} - V_{HV_min}) - 1]$

5.7 スイッチング特性

特に記述のない限り、すべての最小 / 最大仕様は推奨動作条件範囲内の値です。すべての標準値は、 $T_J = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $V_{CE} = 5\text{V}$ 、 $C_{AOUT} = 1\text{nF}$ 、 $R_{AOUT} = 100\Omega$ で測定されています。

パラメータ		テスト条件	最小値	標準値	最大値	単位
スイッチング特性						
t_{ON}	CE の立ち上がりから AOUT は、定常状態値の 1% でセトリングします。	$V_{HV} = 300\text{V}$ 、 DIV = 160、 CE = L → H		840		μs
t_{OFF}	CE の立ち下がりから AOUT は、HVGND にプルダウンします。	$V_{HV} = 300\text{V}$ 、 DIV = 160、 CE = H → L AOUT が HVGND を基準とする 100mV に達したときに測定します。		285		μs
$t_{DIV_TOGGLE_STEP}$	AOUT が定常状態値の 0.25% にセトリングするまでの、現在の DIV 設定から次の DIV 設定に移る時間。	$V_{HV} = 300\text{V}$ 、 $V_{REF} = 0\text{V}$ または 2V 。 DIV = 160 → 320、DIV = 320 → 160 または DIV = 320 → 640、DIV = 640 → 320 または DIV = 640 → 1,000、DIV = 1,000 → 640。		30		μs
t_{DIV_TOGGLE}	AOUT が定常状態値の 0.25% にセトリングするまでの、最小 DIV 設定から最大 DIV 設定に移る時間	$V_{HV} = 300\text{V}$ 、 $V_{REF} = 0\text{V}$ または 2V 。 DIV = 160 → 1,000、DIV = 1,000 → 160。		310		μs

6 詳細説明

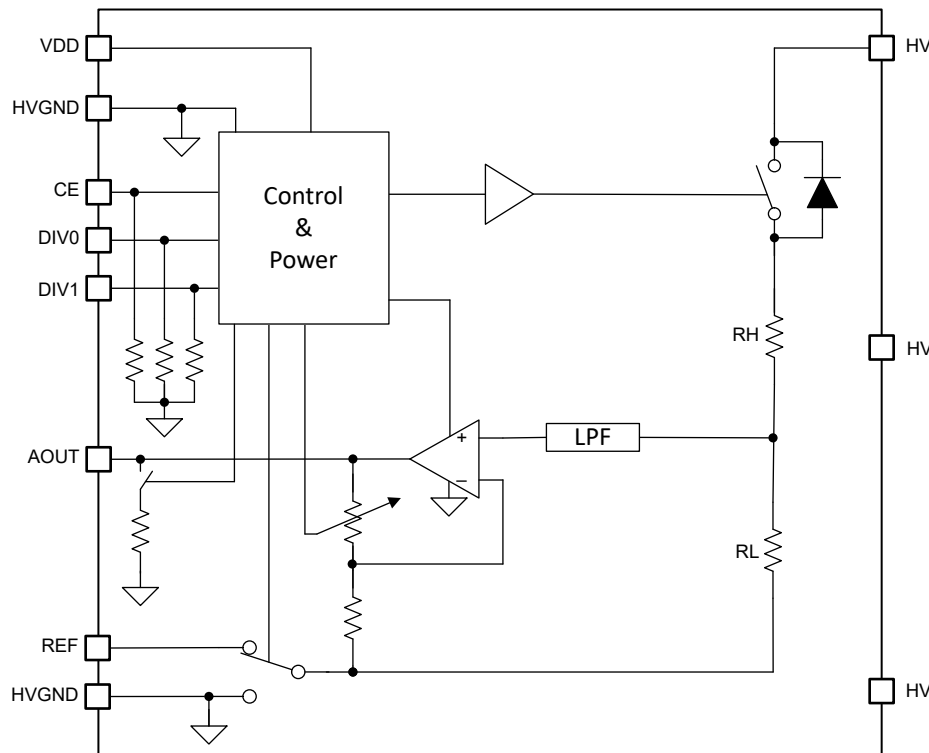
6.1 概要

TPS4141-Q1 は、プログラマブル ゲイン アンプを内蔵した高電圧、高精度のマッチング済み抵抗デバイダです。また、TPS4141-Q1 には高電圧センス ピンの接続または接続解除が可能な高電圧スイッチが内蔵されており、接続解除時に単方向の電流ブロッキングとして機能します。このデバイスは、正確な高電圧測定が必要な車載および産業用の各アプリケーション向けに設計されています。

「機能ブロック図」セクションに示すように、TPS4141-Q1 には高電圧スイッチ、高精度のマッチング済みデバイダを形成する 2 つの高電圧抵抗、およびプログラマブル ゲイン アンプ (PGA) が統合されています。スイッチを有効にすると、HV から HVGND または HV から REF への抵抗 (R_{TOTAL}) が生じます。

プログラマブル ゲイン アンプには、さまざまなゲイン設定があります。DIV0 および DIV1 経由で選択可能なゲイン設定と抵抗デバイダを組み合わせ、高電圧ピン (HV は HVGND または REF を基準とする) の全体的な分圧比 (DIV) を形成します。結果として得られる、HVGND または REF を基準とする減衰電圧は AOUT に示されます。4 種類の分圧比を求めることができます。分圧比は、DIV0 および DIV1 の印加電圧を使用して固定するように構成するか、アプリケーションで動的に変更することができます。

6.2 機能ブロック図



6.3 機能説明

6.3.1 単方向電圧センシング

TPS4141-Q1 は、[図 6-1](#) に示すように、単方向の電圧センシング用に構成できます。単方向電圧センシングでは、REF は通常 HVGND に接続されます。このように構成すると、TPS4141-Q1 は、HVGND を基準とする HV に存在する正の電圧 (0V ~ 1200V など) のみを測定します。AOUT の出力電圧は、常に HVGND を基準として正の値になります。

DIV0 および DIV1 で TPS4141-Q1 の分圧比 (DIV) を選択し、これをアプリケーションで動的に変更できます。これにより、HV に存在する電圧範囲全体で AOUT 出力スイングを最適化できるため、全体的な精度が向上します。

正確に測定可能な電圧範囲は、DIV0 および DIV1 で選択された分圧比に依存します。詳細については、[高電圧入力範囲](#) セクションを参照してください。

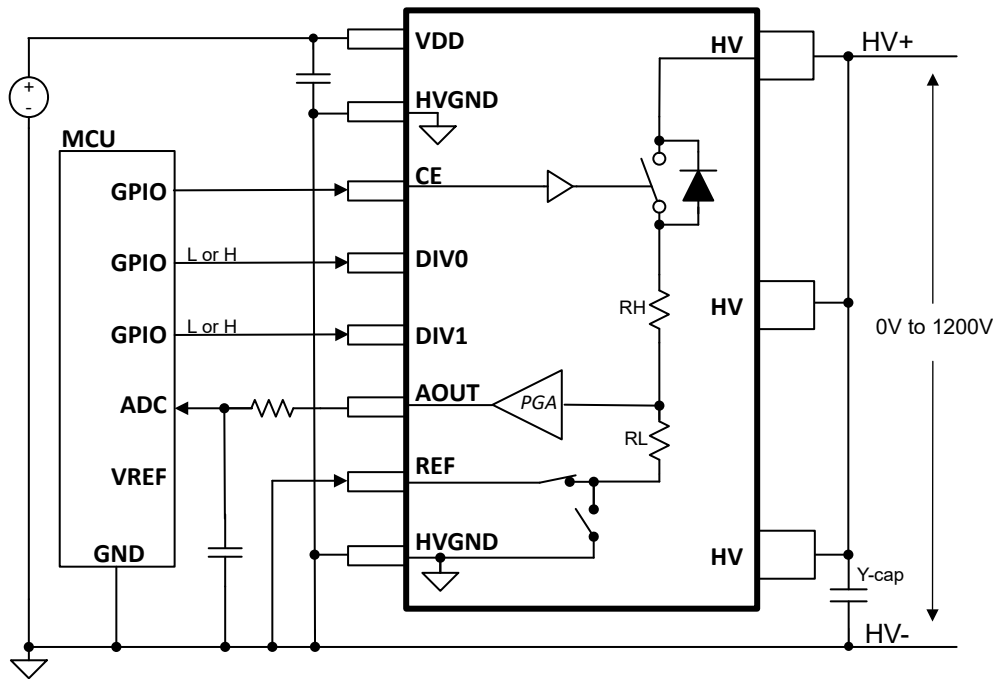


図 6-1. 単方向電圧センシング

6.3.2 双方向電圧センシング

TPS4141-Q1 は、[図 6-2](#) に示すように、双方向の電圧センシング用に構成することもできます。双方向電圧センシングでは、REF を外部の高精度電圧リファレンスに接続して、TPS4141-Q1 アンプの出力電圧スイングをオフセットします。双方向の電圧センシングを使用することで、TPS4141-Q1 は、HVGND を基準とする HV に存在する正と負の両方の電圧を測定できます (例: -1200V ~ 1200V)。AOUT の電圧出力は、印加されている電圧リファレンス V_{REF} の上下にスイングします。

DIV0 および DIV1 で TPS4141-Q1 の分圧比 (DIV) を選択し、これをアプリケーションで動的に変更できます。これにより、HV に存在する電圧範囲全体で AOUT 出力スイングを最適化できるため、全体的な精度が向上します。

正確に測定できる電圧範囲は、DIV0 と DIV1 で選択される分圧比と、REF に印加されるリファレンス電圧に依存します。詳細については、[高電圧入力範囲](#) セクションを参照してください。通常は、正と負の入力電圧でサポートされる許容範囲が対称になるように外部リファレンス電圧を選択しますが、これは必須ではありません。

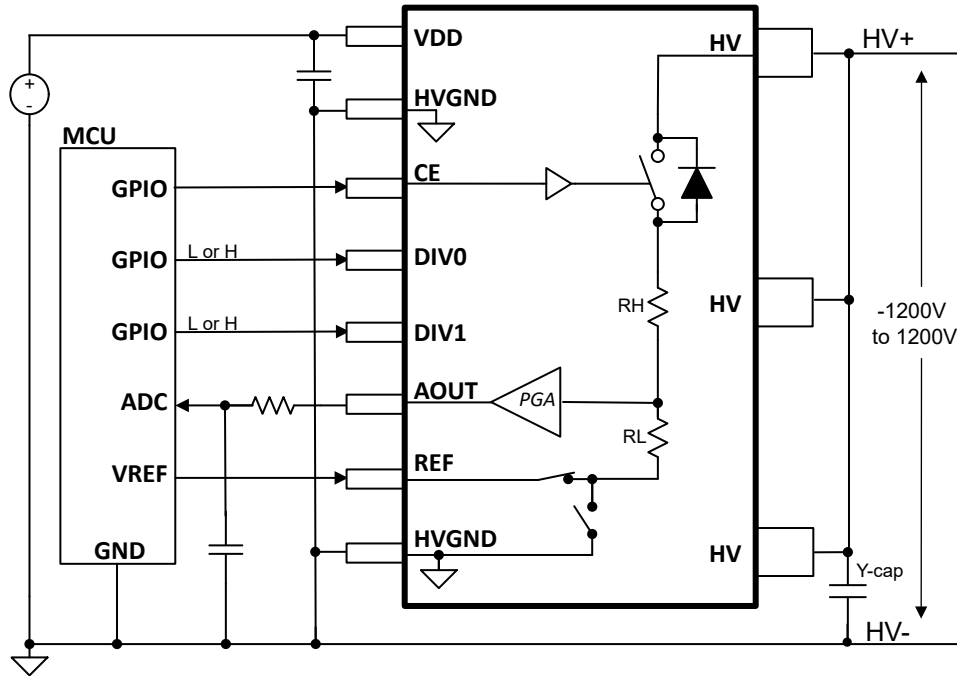


図 6-2. 双方向電圧センシング

6.3.3 双方向と単方向の電圧センシング

TPS4141-Q1 は、単方向と双方向の電圧センシングを動的に切り替えることもできます。REF は外部の高精度電圧リファレンスに接続され、双方向と同じ構成です。

DIV0 ピンと DIV1 ピンは 3 値入力であり、ロジック Low またはロジック High、およびそれぞれのピンに存在するハイインピーダンス状態を検出できます。DIV0 および DIV1 ピンの状態から、分圧比 (DIV) が選択されるだけでなく、デバイスが双方向または単方向の電圧センシング用に構成されます。双方向動作では、REF ピンに存在する外部リファレンス電圧を使用し、TPS4141-Q1 は、HVGND を基準として HV に存在する正と負の両方の電圧 (例: -1,200V ~ 1,200V) を測定できます。AOUT の電圧出力は、REF ピンに存在する電圧の上下にスイングします。単方向動作では、外部リファレンス電圧がデバイス内部でバイパスされ、HVGND がリファレンスとして使用されます。TPS4141-Q1 は、HVGND を基準として HV に存在する正の電圧 (例: 0V ~ 1200V) のみを測定できます。AOUT の電圧出力は、常に HVGND を基準として正になります。これらのケースは、図 6-3 および 図 6-4 で参照できます。

正確に測定できる電圧範囲は、DIV0 と DIV1 で選択される分圧比と、REF に印加されるリファレンス電圧に依存します。詳細については、[高電圧入力範囲](#) セクションを参照してください。通常は、正と負の入力電圧でサポートされる許容範囲が対称になるように外部リファレンス電圧を選択しますが、これは必須ではありません。

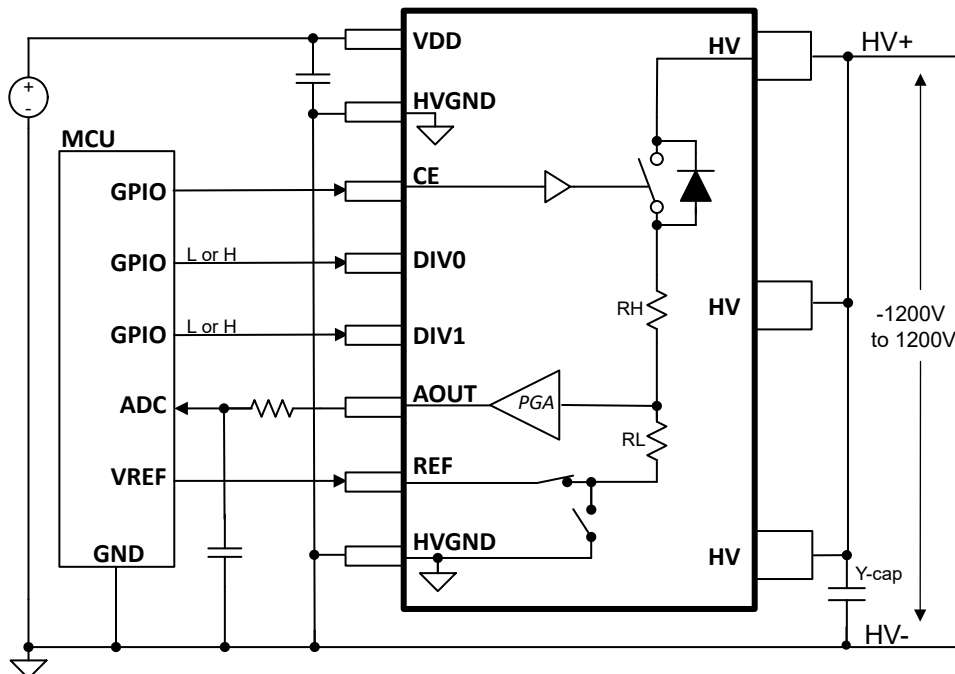


図 6-3. 双方向電圧センシング (ロジック Low または High に設定されている DIV0 および DIV1)

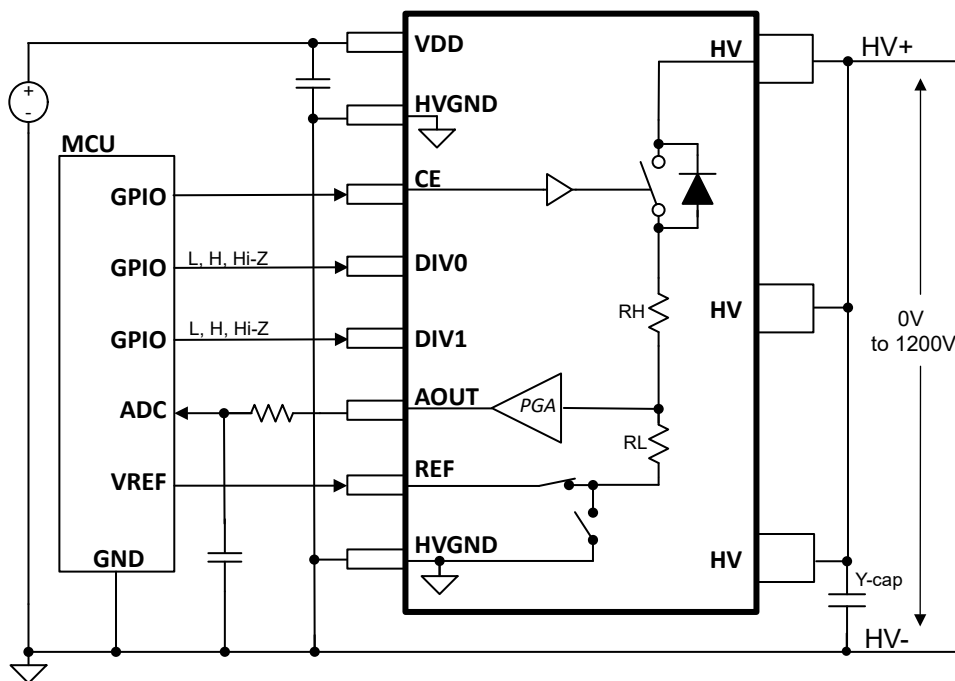


図 6-4. 双方向から単方向の電圧センシング (ロジック Low、High、またはハイ インピーダンスに設定されている DIV0 および DIV1)

6.3.4 高電圧入力範囲

TPS4141-Q1 が正確に検出できる HV、 V_{HV} の入力電圧は、選択した DIV 比と印加される REF 電圧 V_{REF} に依存します。内蔵アンプの同相モード入力および出力電圧範囲では、サポート可能な V_{HV} 電圧が制限されます。これらの範囲を超えると、アンプの入力または出力が飽和します。

アンプの同相モード出力範囲 CMR_{AOUT} により、アンプが AOUT に駆動できる出力電圧範囲が制限されます。AOUT の電圧は、HVGND を基準として $CMR_{AOUT} (min) \sim CMR_{AOUT} (max)$ に制限されます。同様に、アンプの同相入力範囲 CMR_{AIN} により、アンプが増幅できる入力電圧範囲が制限されます。入力スイングは、HVGND を基準として $CMR_{AIN} (max) \sim CMR_{AIN} (min)$ に制限されます。

正確に測定できる電圧範囲は、DIV0 および DIV1 で選択される分圧比と、REF に印加される外部リファレンス電圧に依存します。図 6-5 に、サポートされる入力範囲の代表的特性を示します。DIV 設定ごとに、2 つの曲線が表示されます。上の曲線は選択した DIV 設定に対する V_{HV} 電圧の上限に対応し、下の曲線は V_{HV} 電圧の下限に対応します。

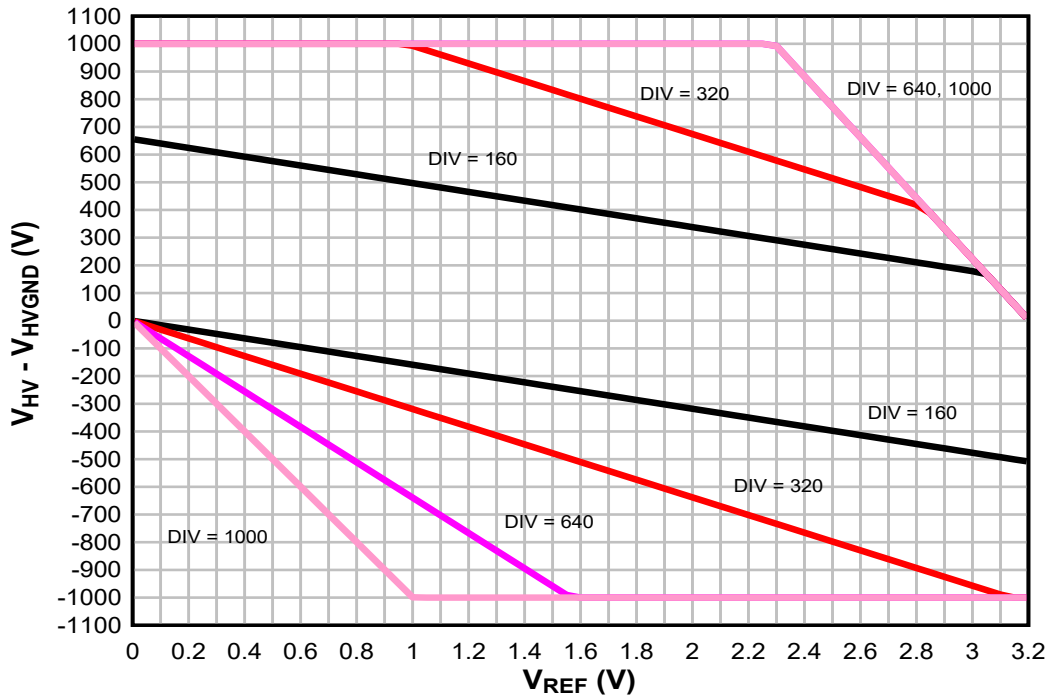


図 6-5. サポートされる HV 入力範囲

6.3.5 出力電圧 (V_{AOUT}) の計算

システムの全体的な測定誤差に寄与している誤差発生源は複数あります。以下が含まれますが、これらに限定されません。

- TPS4141-Q1 HV 入力オフセット誤差、 V_{OFFSET_HV} 。
- TPS4141-Q1 HV ゲイン誤差、 $GAIN_{ERROR}$ 。
- リファレンスの絶対精度、 REF_{ACC} 。

誤差発生源がないと想定している場合は、式 1 を使用して AOUT 電圧 (V_{AOUT}) を推定できます。

$$V_{AOUT} = \frac{V_{HV} - V_{REF}}{DIV_{NOM}} + V_{REF} \quad (1)$$

上記の誤差発生源を含める場合は、式 2 を使用して、対象となる V_{REF} 、 V_{HV} 、 DIV_{NOM} 値に対する AOUT 電圧を推定できます。

$$V_{AOUT} = \left(1 \pm \frac{GAIN_{ERROR}}{100} \right) \times \left[\frac{(V_{HV} \pm V_{OFFSET_HV}) - (V_{REF} \pm REF_{ACC})}{DIV_{NOM}} \right] + (V_{REF} \pm REF_{ACC}) \quad (2)$$

単方向動作 ($V_{REF} = 0V$) の場合は、式 2 は式 3 に簡略化されます。

$$V_{AOUT} = \left(1 \pm \frac{GAIN_{ERROR}}{100} \right) \times \left[\frac{(V_{HV} \pm V_{OFFSET_HV})}{DIV_{NOM}} \right] \quad (3)$$

6.4 デバイスの機能モード

表 6-1. デバイスの機能モード

VDD	CE ⁽³⁾	V _{REF} ⁽³⁾	DIV1 ⁽³⁾	DIV0 ⁽³⁾	DIV ⁽³⁾	機能
電源オン ⁽¹⁾	L	X	X	X	—	VDD 電流はオフ状態の範囲です。抵抗デバイダと AOUT バッファが無効です。
	H	0 ~ 3.2V ⁽⁴⁾	L	L	160	双方向の電圧センシング。VDD 電流はオン状態の範囲です。抵抗デバイダと AOUT バッファが有効です。
			L	H	320	
			H	L	640	
H	H	1000				
電源オン ⁽¹⁾	H	X	L	ハイインピーダンス	160	単方向電圧センシング。VDD 電流はオン状態の範囲です。抵抗デバイダと AOUT バッファが有効です。
			H	ハイインピーダンス	320	
			ハイインピーダンス	H	640	
			ハイインピーダンス	L または Hi-Z	1000	
電源オフ ⁽²⁾	X	X	X	X	—	VDD 電流はオフ状態の範囲です。

- (1) VDD ≥ VDD 低電圧立ち上がりスレッシュホールド。
- (2) VDD ≤ VDD 低電圧立ち下がりスレッシュホールド。
- (3) X: 無視、L: ロジック Low、H: ロジック High、Hi-Z: ハイインピーダンス。
- (4) 特定の V_{REF} がサポートされる入力範囲については、[高電圧入力範囲](#) セクションを参照してください。

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

TPS4141-Q1 は、プログラマブル ゲイン アンプを内蔵した高電圧、高精度のマッチング済み抵抗デバイダです。また、TPS4141-Q1 には高電圧センスピン (HV) の接続または接続解除が可能な高電圧スイッチも内蔵されており、接続解除時に単方向の電流ブロッキングとして機能します。対象となるアプリケーションには、ソーラー パネル、電気自動車 (EV) チャージャ、EV バッテリ管理システム (BMS)、エネルギー ストレージ システム (ESS) の高電圧モニタリングなどがありますが、これらに限定されません。このデバイスは、正確な高電圧測定が必要な車載および産業用の各アプリケーション向けに設計されています。

TPS4141-Q1 は、電源ピンで 4.5V ~ 20V の入力電圧レンジ、CE、DIV0、DIV1 ピンで 2V ~ 20V のロジック High に対応しています。TPS4141-Q1 は、REF に外部リファレンス電圧を供給する場合に、最大 1,200V の単方向電圧センシングと、最大 $\pm 1,200V$ の双方向電圧センシングをサポートします。

7.2 代表的なアプリケーション

図 7-1 に、高電圧測定システムで TPS4141-Q1 を使用する概略回路図を示します。TPS4141-Q1 は、統合型デルタシグマ ADC を内蔵している BQ79731-Q1 UIR センサとのインターフェイスとして機能します。この例では、TPS4141-Q1 と BQ79731-Q1 はどちらも高電圧ドメインに存在し、それぞれのグラウンドはバッテリーグラウンド BAT- (HVGND = AVSS = BAT-) に接続されています。

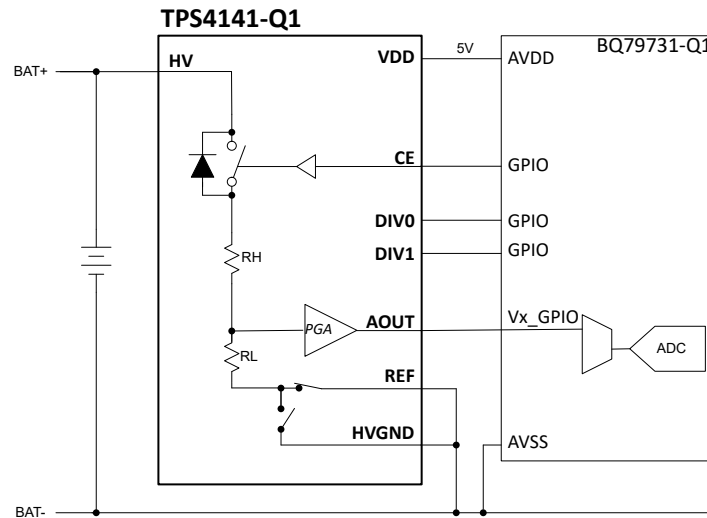


図 7-1. TPS4141-Q1 と BQ79731-Q1 を使用した DC バス測定

7.2.1 設計要件

表 7-1 に、低電圧 MCU を使用して TPS4141-Q1 を制御する標準的な高電圧測定の設計要件を示します。この方式では、MCU が HVGND (高電圧ドメインのグラウンド) に配置されていると想定しています。

表 7-1. 設計要件 TPS4141-Q1 HV 測定

パラメータ	値
V _{HV} 電圧範囲	0V~1000V
電源電圧 (V _{VDD})	5V ±5%
ADC フルスケール入力範囲	5 V
ADC 絶対測定誤差	±1.5mV

7.2.2 詳細な設計手順

7.2.2.1 分圧比の選択

この例では、HV 入力範囲は BAT- を基準として正であるため、図 7-2 に示すように、TPS4141-Q1 は単方向動作用に構成されています。

分圧比は、図 6-5 を参照して決定できます。ADC のフルスケール入力範囲内にある AOUT 電圧範囲を最大化するために、分圧比を選択する必要があります。V_{REF} = 0V (REF = HVGND) の場合、使用できる最小の分圧比は DIV_{NOM} = 320V/V です。より高い分圧比を使用することも可能ですが、その場合、利用可能な ADC のフルスケール入力範囲に対する AOUT 電圧範囲が小さくなります。

DIV0 と DIV1 は、公称分圧比を選択するために使用します。動作時に分圧比を動的に変更するアプリケーションでは、これらのピンは MCU の汎用 I/O で制御できます。静的な分圧比設定では、DIV0 と DIV1 を電源またはグラウンドに接続することで、MCU の汎用 I/O を他の用途のために確保しておくことができます。この設計では、分圧比は静的であると想定しているため、DIV0 を VDD に接続し、DIV1 を HVGND に接続します。

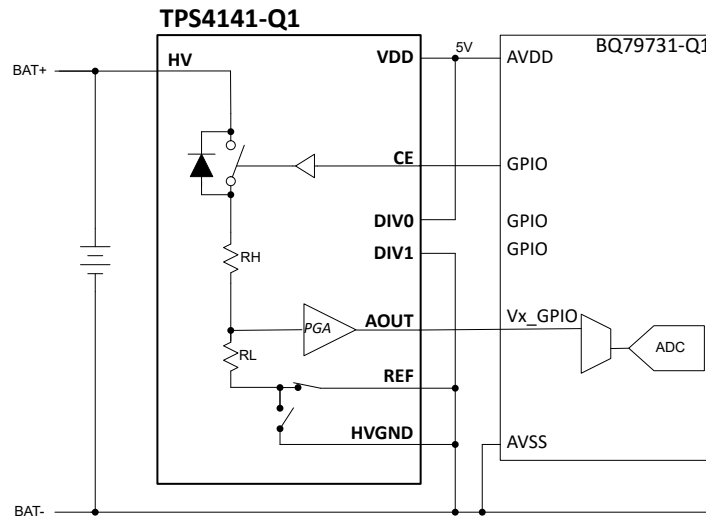


図 7-2. 単方向測定、DIV_{NOM} = 320V/V

アプリケーションで BAT- を基準として正と負の両方の HV 電圧を測定する必要がある場合は、図 7-3 に示すように、TPS4141-Q1 を双方向動作用に構成できます。REF には外部 2.048V (V_{REF}) 電圧リファレンスが印加され、AOUT 電圧が V_{REF} を中心としてシフトします。-1,000V ~ 1,000V の HV 入力範囲に対応するため、DIV_{NOM} が 640V/V に引き上げられます。

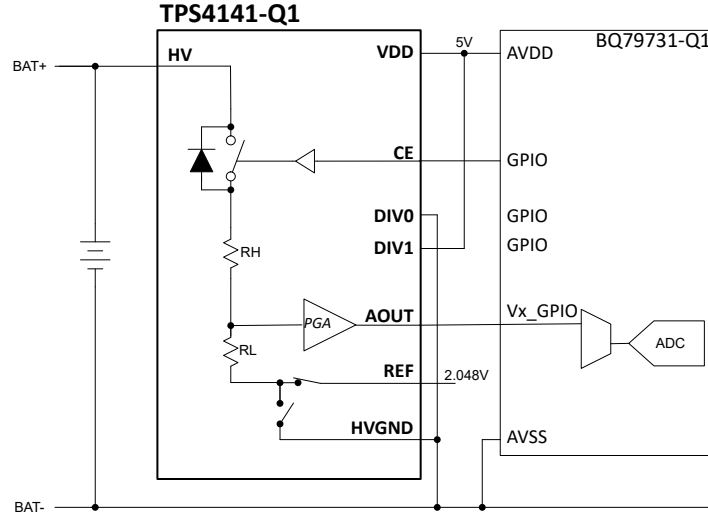


図 7-3. 双方向測定、 $DIV_{NOM} = 640V/V$

7.2.2.2 誤差の推定

合計測定誤差を推定するには、以下の誤差ソースを使用します。

- TPS4141-Q1 HV 入力オフセット誤差、 V_{OFFSET_HV} 、 $\pm 240mV$ 。
- TPS4141-Q1 HV ゲイン誤差、 $GAIN_{ERROR}$ 、 $\pm 0.25\%$ 。
- ADC の絶対精度、 ADC_{ACC} 。BQ79731-Q1 の場合は、 $\pm 1.5mV$ です。

単方向動作の場合、式 3 を使用して、 $V_{HV} = 1,000V$ および $DIV_{NOM} = 320V/V$ のフルスケール レンジで最大および最小 AOUT 電圧を推定します。

$$V_{AOUT} = (1 \pm 0.0025) \times \left[\frac{1000V \pm 0.24V}{320} \right] \quad (4)$$

$$V_{AOUT_MAX} = 3.13356V \quad V_{AOUT_MIN} = 3.11644V \quad (5)$$

誤差発生源が寄与しない AOUT 電圧 (V_{AOUT_IDEAL}) は、 $V_{REF} = 0V$ として、式 1 を使用して求めることができます。

$$V_{AOUT_IDEAL} = \frac{1000V}{320} = 3.125V \quad (6)$$

V_{AOUT_MAX} 、 V_{AOUT_MIN} 、 V_{AOUT_IDEAL} を使用すると、フルスケール レンジのパーセンテージ誤差の合計は $\pm 0.274\%$ になります。誤差の合計は、式 7 を直接使用して求めることもできます。

$$\%ERROR_{UNI} = \pm 100\% \times \left[\left(1 + \frac{GAIN_{ERROR}}{100} \right) \times \left(1 + \frac{V_{OFFSET_{HV}}}{V_{HV}} \right) - 1 \right] \quad (7)$$

$$\%ERROR_{UNI} = \pm 100\% \times \left[\left(1 + \frac{0.25}{100} \right) \times \left(1 + \frac{0.24}{1000} \right) - 1 \right] = \pm 0.274\% \quad (8)$$

フルスケール レンジでの ADC 測定誤差は次のとおりです。

$$\%ERROR_{ADC} = \pm 100\% \times \left(\frac{1.5mV}{3.125V} \right) = \pm 0.048\% \quad (9)$$

これらの誤差の寄与を加算すると、合計誤差は $\pm 0.322\%$ になります。

7.2.3 アプリケーション曲線

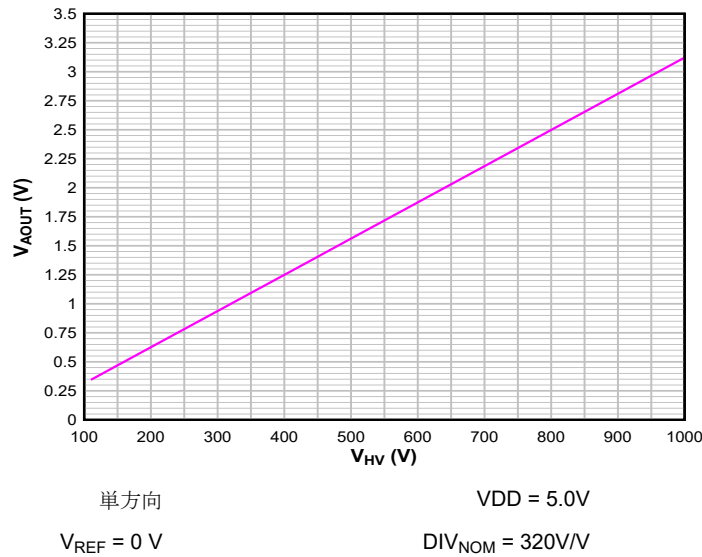


図 7-4. 伝達関数、単方向測定

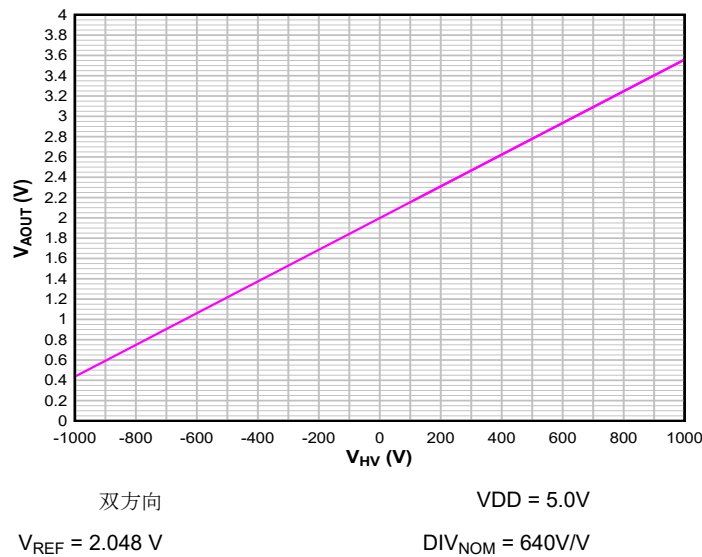


図 7-5. 伝達関数、双方向測定

7.3 電源に関する推奨事項

電源電圧の信頼性を確保するため、VDD と HVGND の間にバイパス コンデンサを配置することを推奨します。この容量は、高周波デカップリング用の 0.1μF バイパス コンデンサと低周波デカップリング用の 1μF コンデンサが並列に配置されたものです。低 ESR コンデンサおよび低 ESL コンデンサは、できるだけデバイスの近くに接続する必要があります (5mm 未満)。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

部品の配置:

高周波信号のフィルタリングを目的としたデカップリング コンデンサは、デバイスのピンのできるだけ近くに配置する必要があります。これにより、トレース インダクタンスの影響を削減し、よりクリーンな信号を実現できます。

EMI に関する検討事項:

EMI を最小化するため、HV と HVGND の間に静電容量を配置して、デバイスが生成する同相モード ノイズに対する低インピーダンス パスを提供します。多くのアプリケーションでは、静電容量がすでに何らかの形式で存在しており、十分にこの目的を達成できる可能性があります。

IEC ESD に関する検討事項:

IEC の ESD 接触放電に関する規格に対応するよう堅牢性を向上させるため、HV から HVGND に静電容量を配置できます。これにより、ESD と EMI 性能を向上させるという 2 つの目的を果たすことができます。通常、沿面距離と空間距離の要件を満たすため、システム電圧が保留されている状態で、3 ~ 4 個の直列コンデンサが必要になる場合があります。

高電圧に関する注意事項:

HV と HVGND の間の高電圧間隔を確保するため、デバイスの下に PCB または銅を配置しないようにします。沿面距離と空間距離の規格に準拠するため、HV とすべての低電圧ピンへの信号の適切な配置と配線を維持する必要があります。

熱に関する検討事項:

適切な PCB レイアウトは、デバイスから PCB に熱を放散し、接合部から基板への熱インピーダンス (θ_{JB}) を最小化するのに役立ちます。

7.4.2 レイアウト例

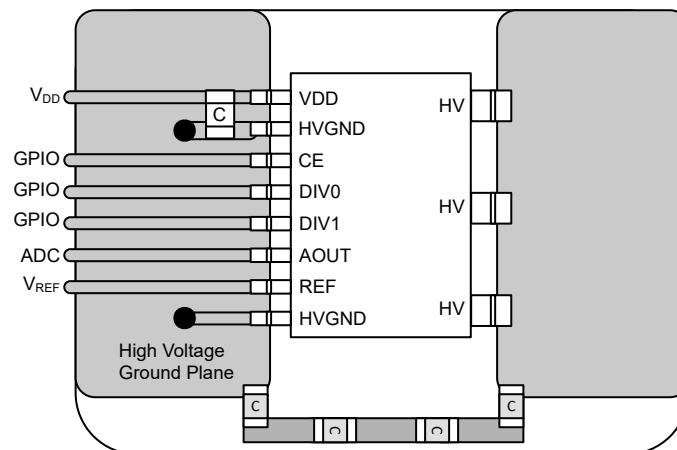


図 7-6. TPS4141-Q1 のレイアウト例

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介합니다。

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

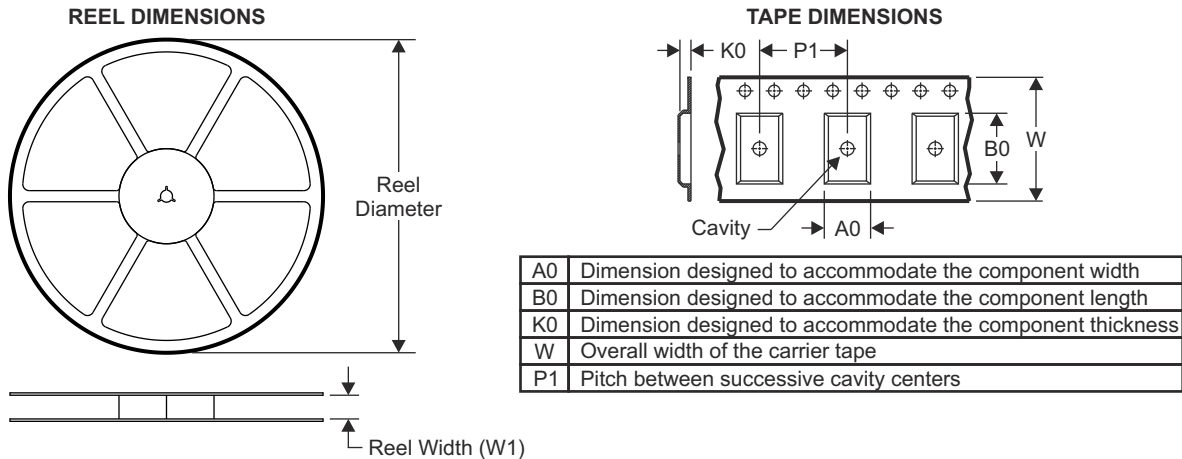
資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
February 2025	*	初版

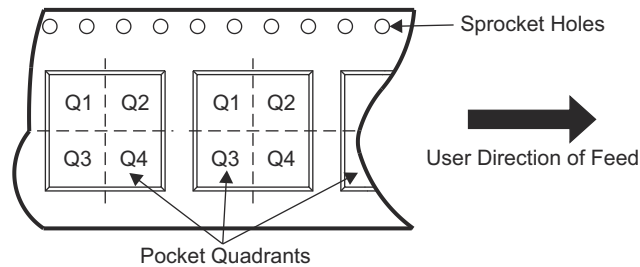
10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

10.1 テープおよびリール情報



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン数	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン1の 象限
XTPS4141QDWQR	SOIC	DWQ	11	1000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン数	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
XTPS4141QDWQR	SOIC	DWQ	11	1000	350.0	350.0	43.0

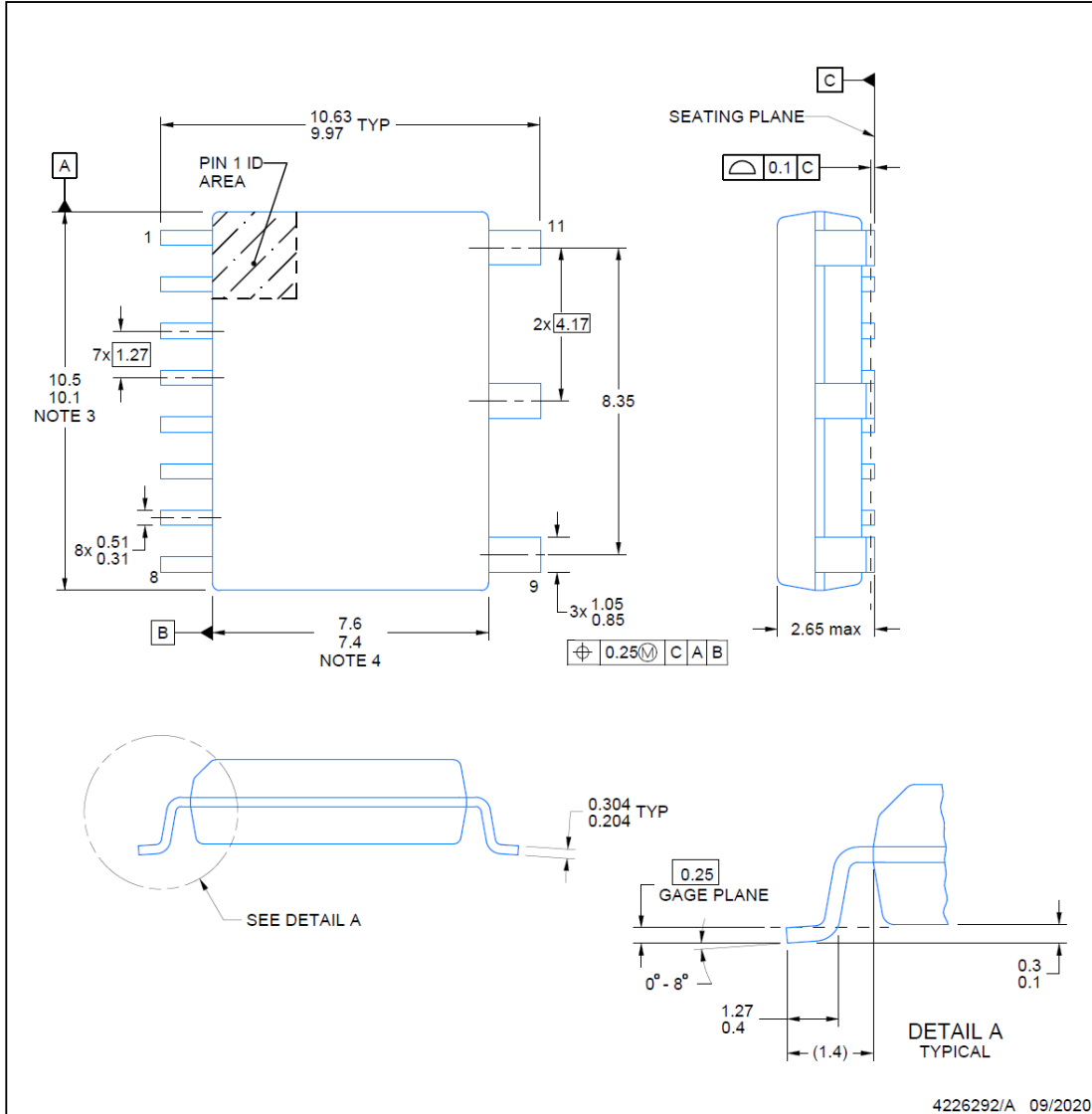
ADVANCE INFORMATION

PACKAGE OUTLINE

DWQ0011A

SOIC - 2.65 mm max height

SMALL OUTLINE PACKAGE



NOTES:

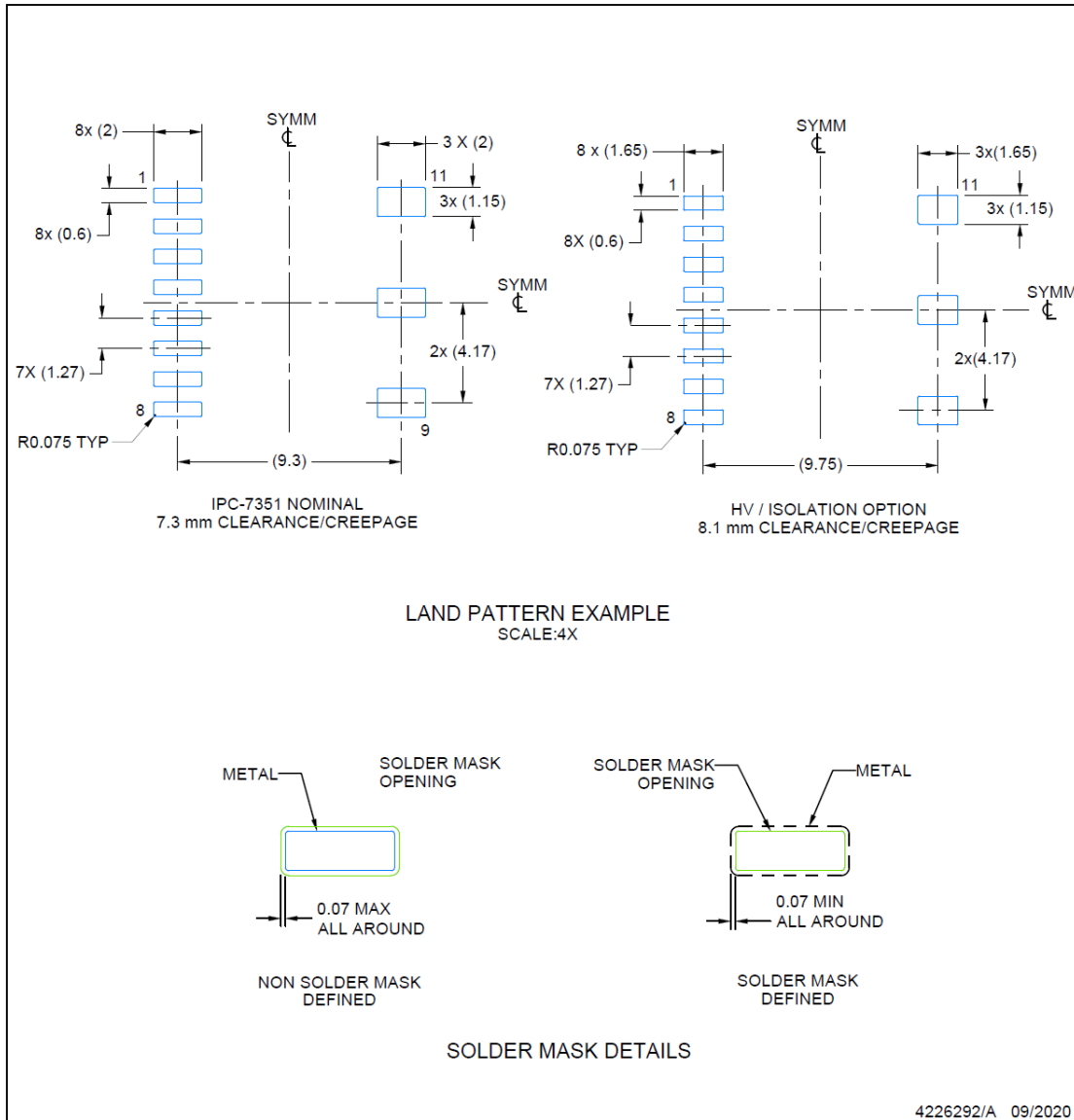
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

DWQ0011A

SOIC - 2.65 mm max height

SOIC



NOTES: (continued)

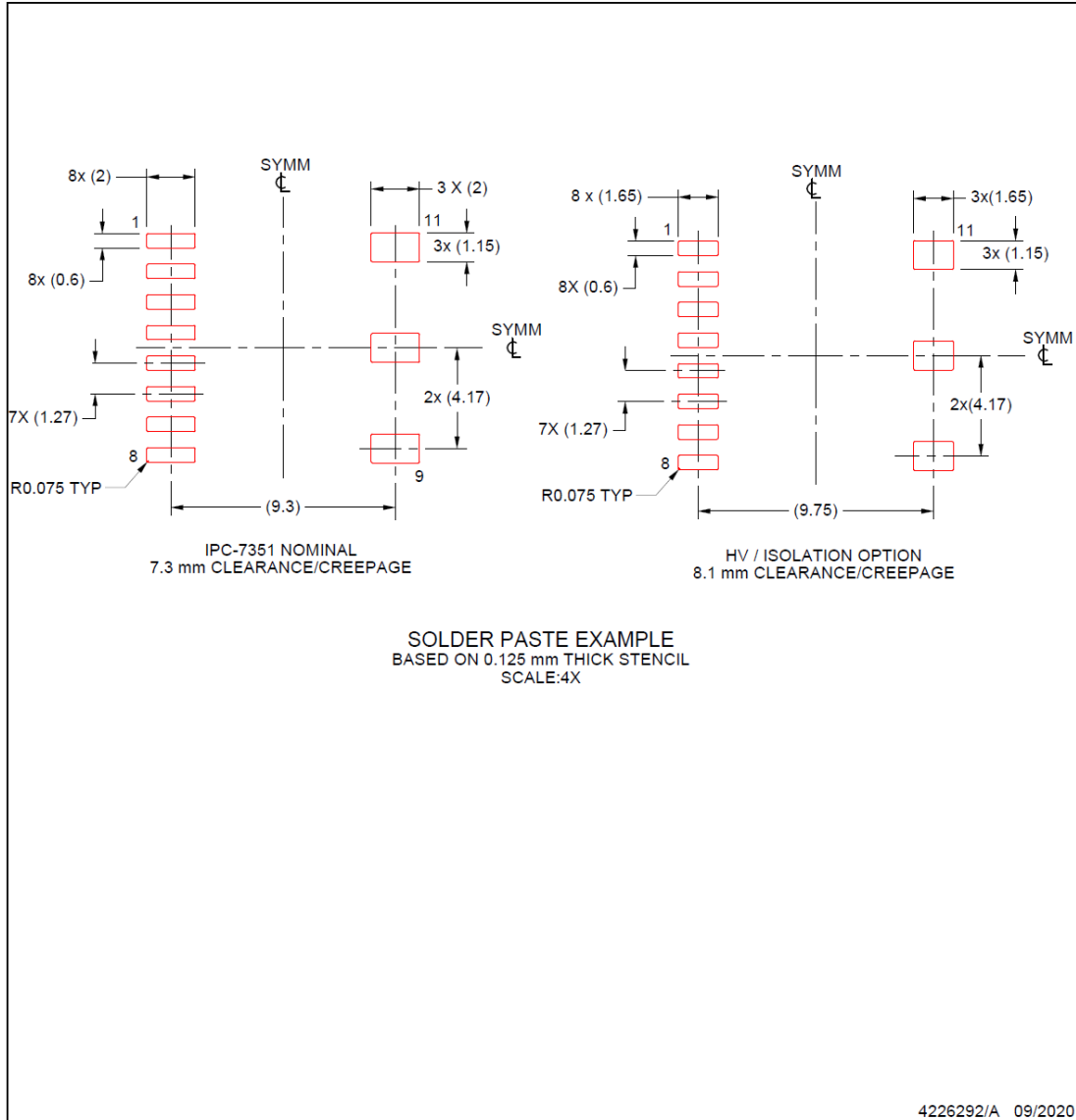
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DWQ0011A

SOIC - 2.65 mm max height

SOIC



NOTES: (continued)

- 8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
XTPS4141QDWQRQ1	ACTIVE	SOIC	DWQ	11	1000	TBD	Call TI	Call TI	-40 to 125		Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

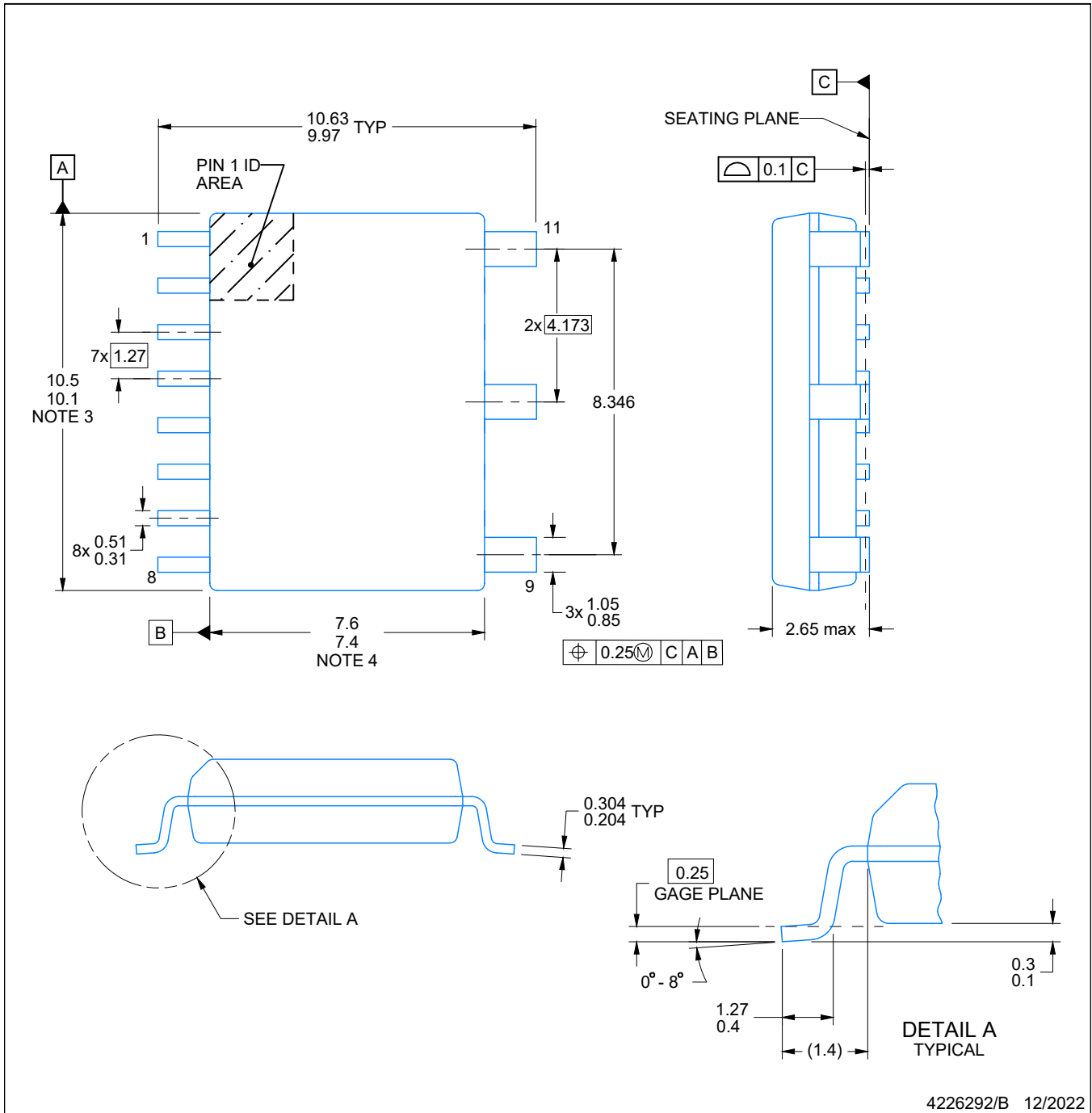
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PACKAGE OUTLINE

DWQ0011A

SOIC - 2.65 mm max height

SMALL OUTLINE PACKAGE



NOTES:

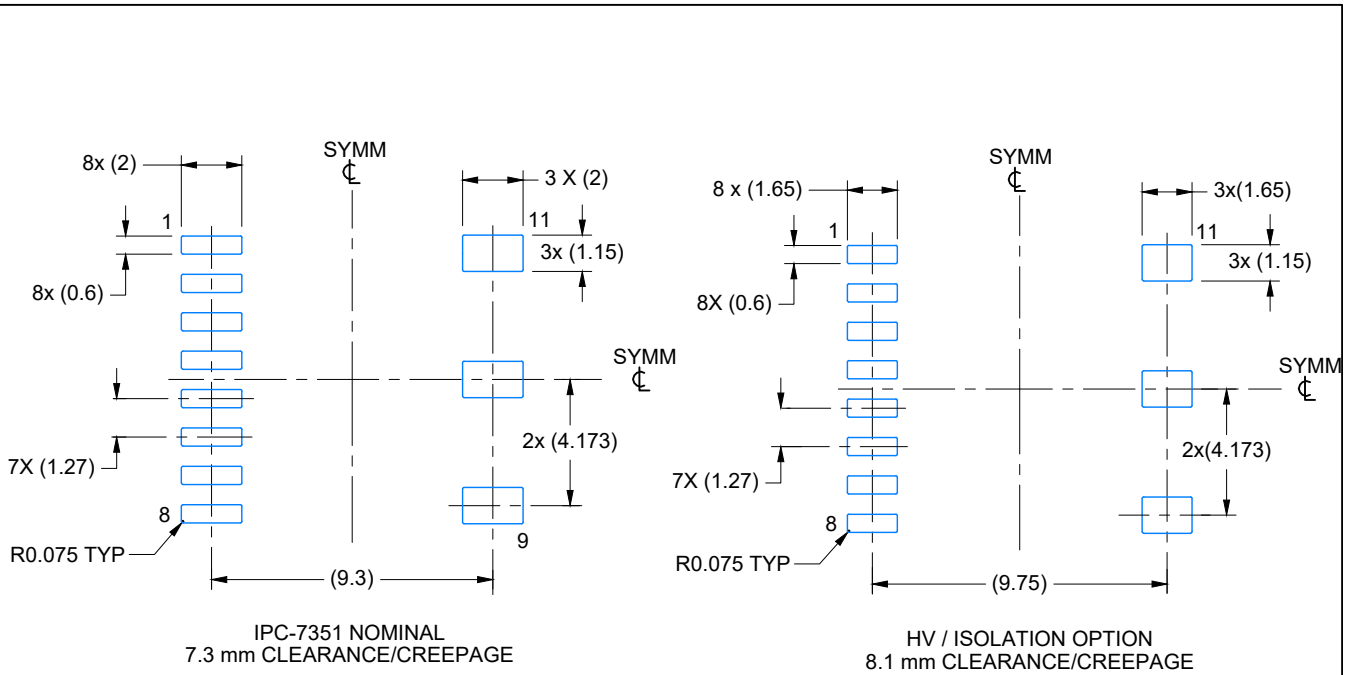
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

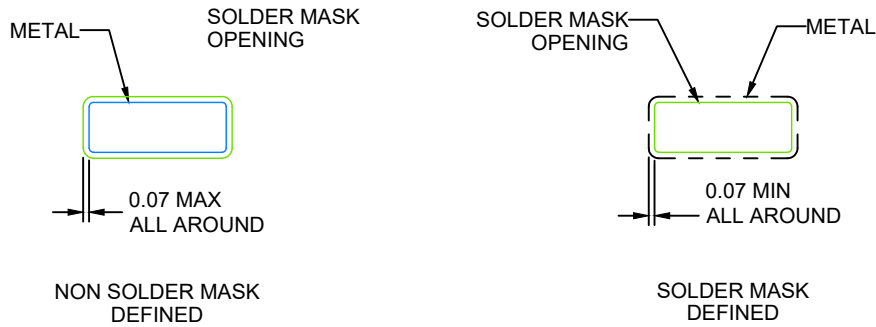
DWQ0011A

SOIC - 2.65 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:4X



SOLDER MASK DETAILS

4226292/B 12/2022

NOTES: (continued)

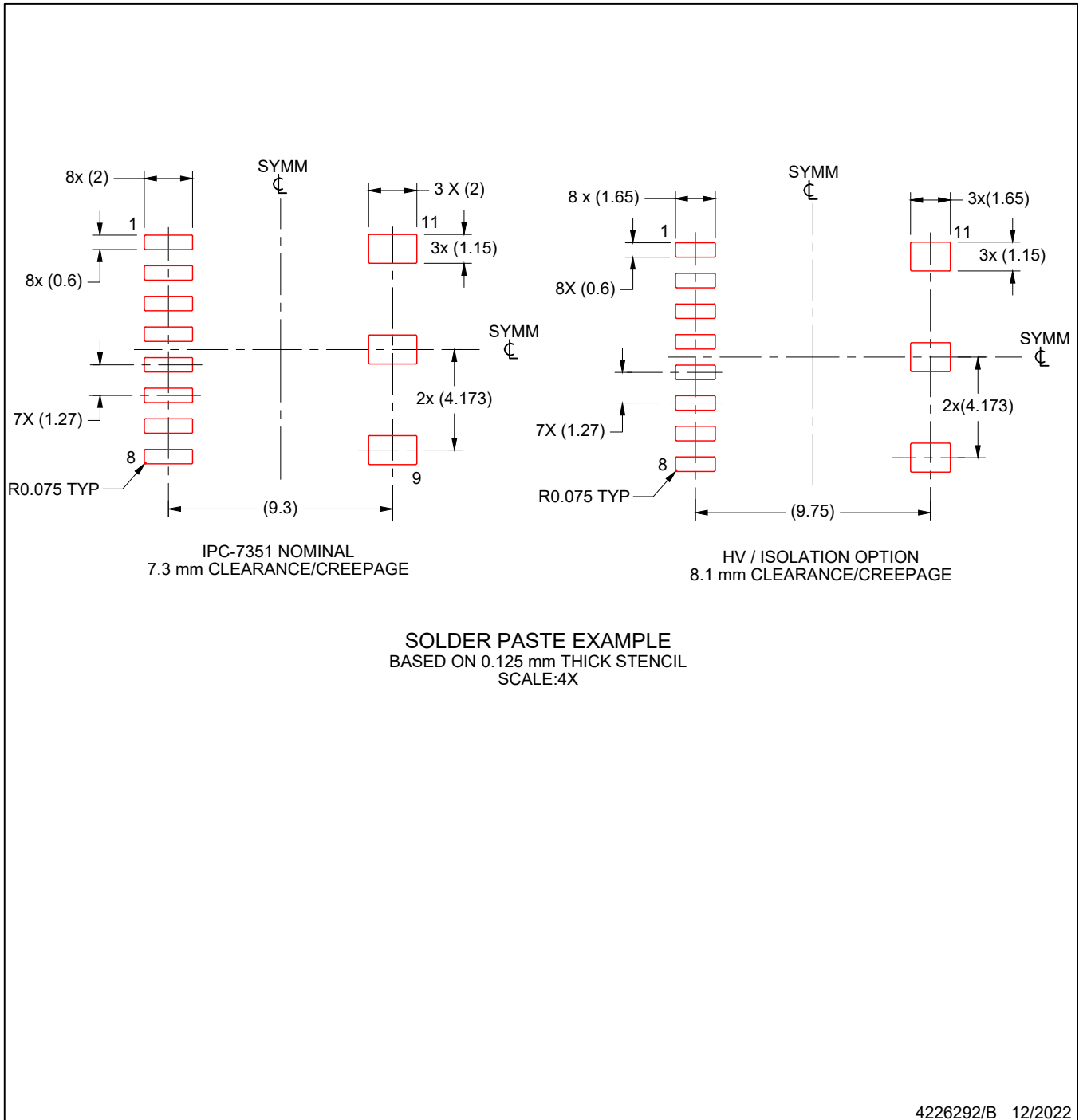
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DWQ0011A

SOIC - 2.65 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

- 8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、ます。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated