

# ヒカップ機能搭載、4.5V~17V入力、 8A同期整流降圧型SWIFT™コンバータ

## 特長

- 26mΩ/19mΩのMOSFETを内蔵
- 分割電源レール：PVINに1.6V~17V
- スイッチング周波数：200kHz~1.6MHz
- 外部クロックに同期
- 電圧リファレンス：0.6V±1% (対温度)
- 低いシャットダウン時静止電流：2μA
- プリバイアス出力への単調なスタートアップ
- 動作接合部温度範囲：-40°C~125°C
- 調整可能なスロー・スタート/電源シーケンシング
- 低電圧および過電圧用パワー・グッド出力監視
- 調整可能な入力低電圧誤動作防止
- ソフトウェア・ツールを提供
- SWIFT™関連のドキュメントについては、<http://www.ti.com/swift>をご覧ください。

## アプリケーション

- デジタル・テレビ用電源
- セットトップ・ボックス
- Blu-ray DVD

- ホーム・ターミナル
- 高性能ポイント・オブ・ロード (POL) レギュレーション

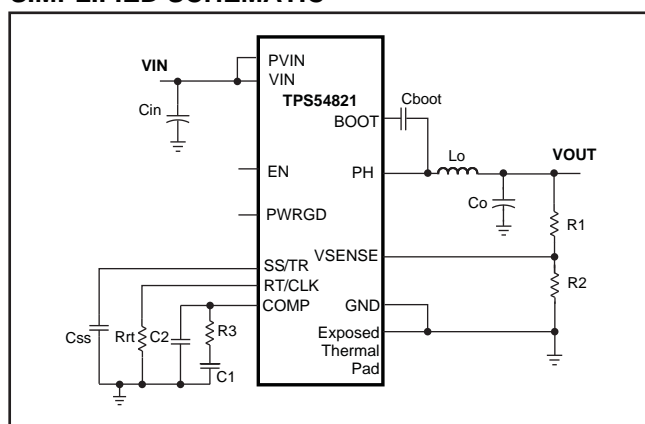
## 概要

TPS54821は、熱特性強化型の3.5mm × 3.5mm QFNパッケージで提供される、フル機能の17V、8A同期整流降圧型コンバータです。高い効率およびハイサイド/ローサイドMOSFETの内蔵により、小サイズの設計用に最適化されています。電流モード制御によって部品数を減らし、高いスイッチング周波数を選択してインダクタのサイズを抑えることで、さらなる省スペースを実現しています。

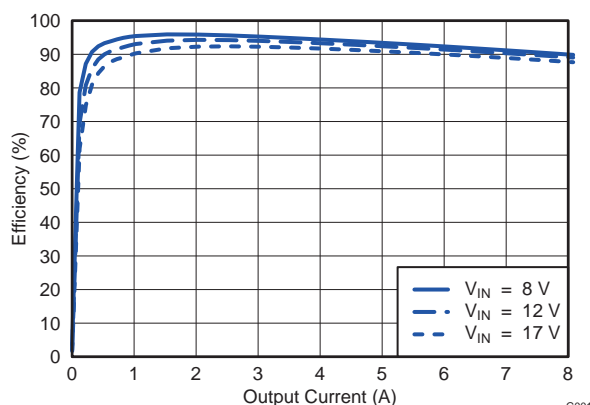
起動時の出力電圧上昇はSS/TRピンによって制御され、スタンドアロン電源またはトラッキングでの動作が可能です。また、イネーブル・ピンおよびオープン・ドレインのパワー・グッド・ピンを適切に構成することで、電源シーケンシングも可能です。

ハイサイドFETにサイクル毎の電流制限を適用することで過負荷状況からデバイスを保護し、ローサイドのソース電流制限により電流暴走を防止します。また、ローサイドのシンク電流制限によりローサイドMOSFETをオフにすることで、過度な

## SIMPLIFIED SCHEMATIC



## EFFICIENCY, V<sub>OUT</sub> = 3.3 V, F<sub>sw</sub> = 480 kHz



SWIFT, PowerPADは、テキサス・インスツルメンツの商標です。すべて商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

逆方向電流を防ぎます。あらかじめ設定した時間以上にわたって過電流状態が続いた場合は、ヒカッ保護が作動します。過熱ヒカッ保護により、内部チップ温度が過熱シャットダウン温度を超えるとデバイスがディセーブルになり、設定済みの過熱シャットダウン・ヒカッ時間が経過するとイネーブルに戻ります。



## 静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

### 製品情報<sup>(1)</sup>

T <sub>J</sub>	パッケージ		部品番号
-40°C ~ 125°C	14ピンQFN	小リール <sup>(2)</sup>	TPS54821RHLLT
		大リール <sup>(2)</sup>	TPS54821RHLLR

(1) 最新のパッケージおよびご注文情報については、このデータシートの巻末にある「付録：パッケージ・オプション」を参照するか、TIのWebサイト(www.ti.comまたはwww.tij.co.jp)をご覧ください。

(2) レイアウト情報については、データシートの「アプリケーション情報」を参照してください。

### 絶対最大定格<sup>(1)</sup>

動作温度範囲内(特に記述のない限り)

		VALUE		単位
		MIN	MAX	
Input Voltage	VIN	-0.3	20	V
	PVIN	-0.3	20	
	EN	-0.3	6	
	BOOT	-0.3	27	
	VSENSE	-0.3	3	
	COMP	-0.3	3	
	PWRGD	-0.3	6	
	SS/TR	-0.3	3	
	RT/CLK	-0.3	6	
Output Voltage	BOOT-PH	0	7.5	V
	PH	-1	20	
	PH 10ns Transient	-3	20	
Vdiff (GND to exposed thermal pad)		-0.2	0.2	V
Source Current	RT/CLK		±100	μA
	PH		Current Limit	A
Sink Current	PH		Current Limit	A
	PVIN		Current Limit	
	COMP		±200	μA
	PWRGD	-0.1	5	mA
Electrostatic Discharge (HBM) QSS 009-105 (JESD22-A114A)			2	kV
Electrostatic Discharge (CDM) QSS 009-147 (JESD22-C101B.01)			500	V
Operating Junction Temperature		-40	125	°C
Storage Temperature		-65	150	

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を超える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

## 熱特性について

THERMAL METRIC <sup>(1)(2)</sup>		TPS54821	単位
		QFN	
		14 PINS	
$\theta_{JA}$	Junction-to-ambient thermal resistance	47.2	°C/W
$\theta_{JA}$	Junction-to-ambient thermal resistance <sup>(3)</sup>	32	
$\theta_{Jc\text{top}}$	Junction-to-case (top) thermal resistance	64.8	
$\theta_{JB}$	Junction-to-board thermal resistance	14.4	
$\Psi_{JT}$	Junction-to-top characterization parameter	0.5	
$\Psi_{JB}$	Junction-to-board characterization parameter	14.7	
$\theta_{Jc\text{bot}}$	Junction-to-case (bottom) thermal resistance	3.2	

- (1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート『IC Package Thermal Metrics』(SPRA953)を参照してください。
- (2) 特定の周囲温度 $T_A$ での電力定格は、接合部温度125°Cで決定されます。これは、歪が大きく増加し始める温度です。最高の性能および長期的な信頼性を得るには、PCBの熱管理で接合部温度を125°C以下に保持するようにしてください。詳細については、このデータシートのアプリケーション情報の「消費電力の見積もり」を参照してください。
- (3) テスト・ボードの条件は以下の通りです。  
 (a) サイズ: 2.5インチ × 2.5インチ、4層、厚さ0.062インチ  
 (b) PCBの上面に重量2オンスの銅配線  
 (c) 内部の2層および最下層に重量2オンスの銅のグラウンド・プレーン  
 (d) デバイス・パッケージ下に4つのサーマル・ビア(0.010インチ)

## 電気的特性

$T_J = -40^\circ\text{C} \sim 125^\circ\text{C}$ 、 $V_{IN} = 4.5\text{V} \sim 17\text{V}$ 、 $PV_{IN} = 1.6\text{V} \sim 17\text{V}$ (特に記述のない限り)

パラメータ	テスト条件	MIN	TYP	MAX	単位
<b>SUPPLY VOLTAGE (VIN AND PVIN PINS)</b>					
PVIN operating input voltage		1.6		17	V
VIN operating input voltage		4.5		17	V
VIN internal UVLO threshold	VIN rising		4.0	4.5	V
VIN internal UVLO hysteresis			150		mV
VIN shutdown supply Current	EN = 0 V		2	5	$\mu\text{A}$
VIN operating – non switching supply current	VSENSE = 610 mV		600	800	$\mu\text{A}$
<b>ENABLE AND UVLO (EN PIN)</b>					
Enable threshold	Rising		1.21	1.26	V
Enable threshold	Falling	1.10	1.17		V
Input current	EN = 1.1 V		1.15		$\mu\text{A}$
Hysteresis current	EN = 1.3 V		3.3		$\mu\text{A}$
<b>VOLTAGE REFERENCE</b>					
Voltage reference	$0\text{ A} \leq I_{OUT} \leq 8\text{ A}$	0.594	0.6	0.606	V
<b>MOSFET</b>					
High-side switch resistance	BOOT-PH = 3 V		32	60	$\text{m}\Omega$
High-side switch resistance <sup>(1)</sup>	BOOT-PH = 6 V		26	40	$\text{m}\Omega$
Low-side Switch Resistance <sup>(1)</sup>	VIN = 12 V		19	30	$\text{m}\Omega$
<b>ERROR AMPLIFIER</b>					
Error amplifier Transconductance (gm)	$-2\ \mu\text{A} < I_{COMP} < 2\ \mu\text{A}$ , $V_{(COMP)} = 1\ \text{V}$		1300		$\mu\text{Mhos}$
Error amplifier dc gain	VSENSE = 0.6 V	1000	4000		V/V
Error amplifier source/sink	$V_{(COMP)} = 1\ \text{V}$ , 100 mV input overdrive		$\pm 110$		$\mu\text{A}$
Start switching threshold			0.25		V
COMP to Iswitch gm			21		A/V
<b>CURRENT LIMIT</b>					
High-side switch current limit threshold		10.5	14.5	17	A
Low-side switch sourcing current limit		9.5	11.5	15	A
Low-side switch sinking current limit		2	3	4	A
Hiccup wait time			512		Cycles
Hiccup time before re-start			16384		Cycles

(1) ピンで測定

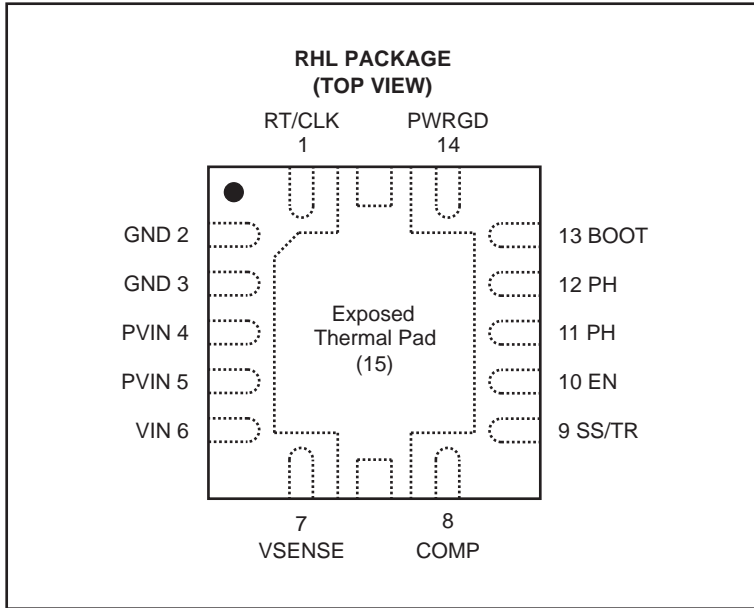
## 電気的特性

$T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 、 $V_{IN} = 4.5\text{V} \sim 17\text{V}$ 、 $P_{VIN} = 1.6\text{V} \sim 17\text{V}$  (特に記述のない限り)

パラメータ	テスト条件	MIN	TYP	MAX	単位
<b>THERMAL SHUTDOWN</b>					
Thermal shutdown		160	175		$^{\circ}\text{C}$
Thermal shutdown hysteresis			10		$^{\circ}\text{C}$
Thermal shutdown hiccup time			16384		Cycles
<b>TIMING RESISTOR AND EXTERNAL CLOCK (RT/CLK PIN)</b>					
Minimum switching frequency	$R_{rt} = 240\text{ k}\Omega$ (1%)	160	200	240	kHz
Switching frequency	$R_{rt} = 100\text{ k}\Omega$ (1%)	400	480	560	kHz
Maximum switching frequency	$R_{rt} = 29\text{ k}\Omega$ (1%)	1440	1600	1760	kHz
Minimum pulse width			20		ns
RT/CLK high threshold				2	V
RT/CLK low threshold		0.78			V
RT/CLK falling edge to PH rising edge delay	Measure at 500 kHz with RT resistor in series		66		ns
Switching frequency range (RT mode set point and PLL mode)		200		1600	kHz
<b>PH (PH PIN)</b>					
Minimum on time	Measured at 90% to 90% of $V_{IN}$ , $25^{\circ}\text{C}$ , $I_{PH} = 2\text{ A}$		94	145	ns
Minimum off time	$BOOT-PH \geq 3\text{ V}$		0		ns
<b>BOOT (BOOT PIN)</b>					
BOOT-PH UVLO			2.1	3	V
<b>SLOW START AND TRACKING (SS/TR PIN)</b>					
SS charge current			2.3		$\mu\text{A}$
SS/TR to VSENSE matching	$V_{(SS/TR)} = 0.4\text{ V}$		20	60	mV
<b>POWER GOOD (PWRGD PIN)</b>					
VSENSE threshold	VSENSE falling (Fault)		92		% $V_{ref}$
VSENSE rising (Good)			94		% $V_{ref}$
VSENSE rising (Fault)			106		% $V_{ref}$
VSENSE falling (Good)			104		% $V_{ref}$
Output high leakage	$V_{SENSE} = V_{ref}$ , $V_{(PWRGD)} = 5.5\text{ V}$		30	100	nA
Output low	$I_{(PWRGD)} = 2\text{ mA}$			0.3	V
Minimum $V_{IN}$ for valid output	$V_{(PWRGD)} < 0.5\text{ V}$ at $100\text{ }\mu\text{A}$		0.6	1	V
Minimum SS/TR voltage for PWRGD				1.4	V

# 製品情報

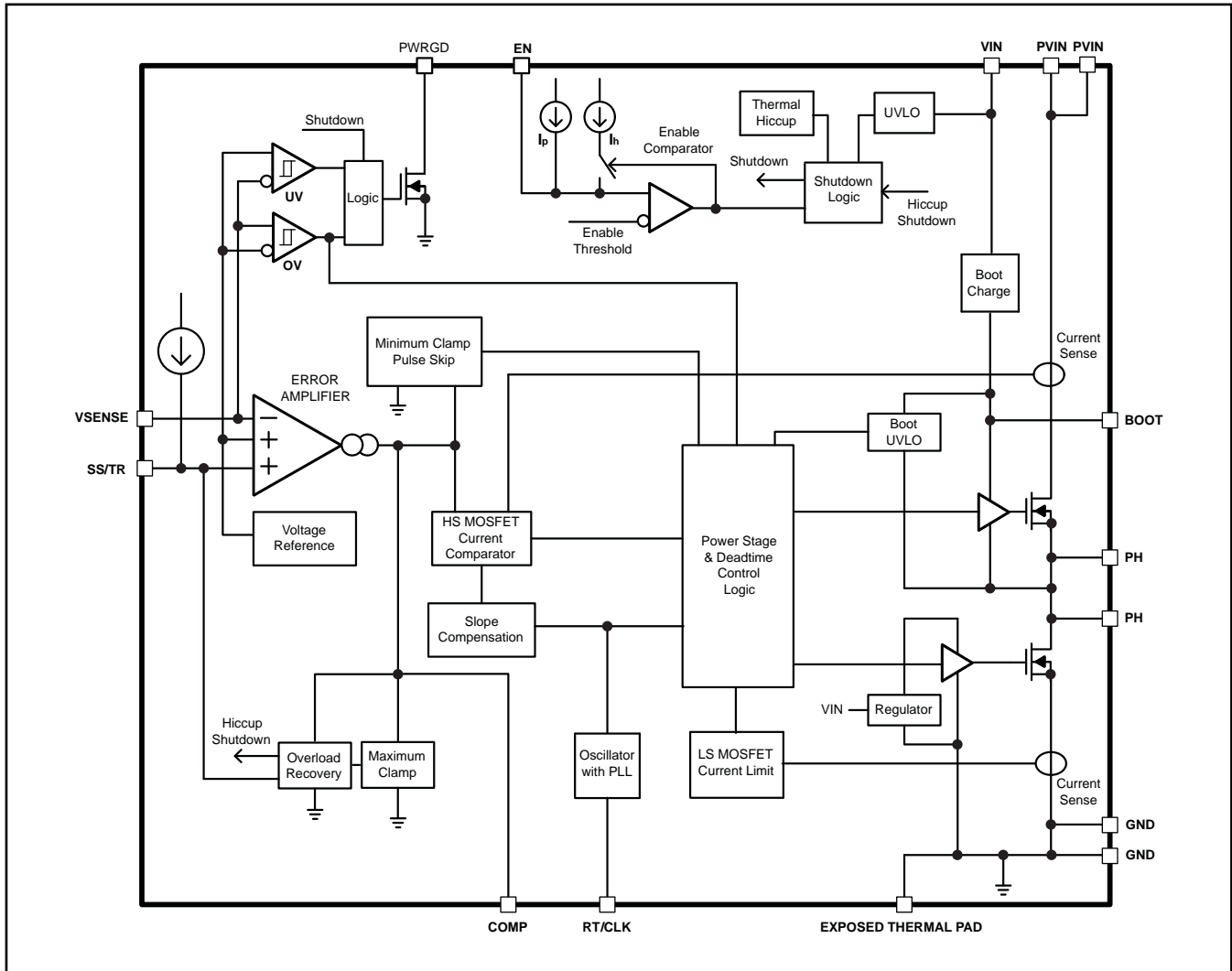
## ピン配置



## ピン機能

ピン		説明
名前	番号	
RT/CLK	1	RTモードとCLKモードの間で自動的に切り替わります。外付けのタイミング抵抗によってデバイスのスイッチング周波数を調整します。CLKモードでは、デバイスが外部クロックに同期します。
GND	2, 3	制御回路およびローサイド・パワー・MOSFETのリターン端子。
PVIN	4, 5	電源入力。パワー・コンバータのパワー・スイッチに電源を供給します。
VIN	6	パワー・コンバータの制御回路に電源を供給します。
VSENSE	7	gm誤差増幅器の反転入力。
COMP	8	誤差増幅器の出力、および出力スイッチ電流コンパレータの入力。このピンに周波数補償部品を接続します。
SS/TR	9	スロー・スタートおよびトラッキング。このピンに接続する外部コンデンサによって、内部電圧リファレンスの立ち上がり時間が設定されます。このピンの電圧は、内部リファレンスよりも優先されます。トラッキングおよびシーケンシングに使用できます。
EN	10	イネーブル・ピン。イネーブルにするには、フローティングにします。2個の抵抗を使用して入力の低電圧誤動作防止を調整します。
PH	11, 12	スイッチ・ノード。
BOOT	13	BOOTとPHの間にブートストラップ・コンデンサが必要です。このコンデンサの電圧が、ハイサイドMOSFETのゲート駆動電圧となります。
PWRGD	14	パワーグッド・フォールト・ピン。過熱シャットダウン、ドロップアウト、過電圧、ENシャットダウンによって出力電圧が低下した場合、またはスロー・スタート中に、Lowにアサートされます。
露出したサーマル・パッド	15	パッケージのサーマル・パッドおよび信号グラウンドであり、適切な動作のために半田付けする必要があります。

# 機能ブロック図



# 標準的特性

## 特性曲線

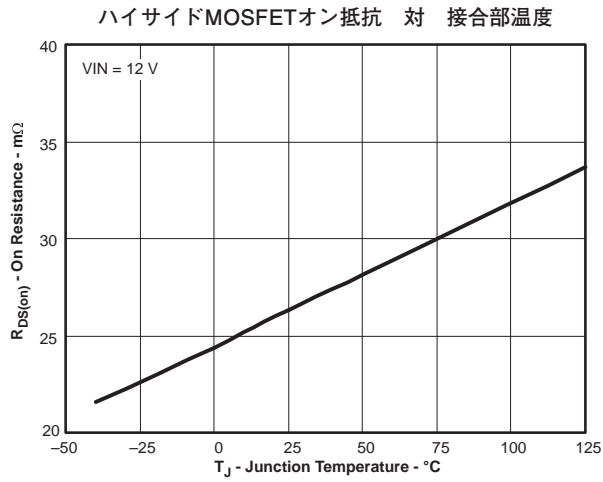


図 1

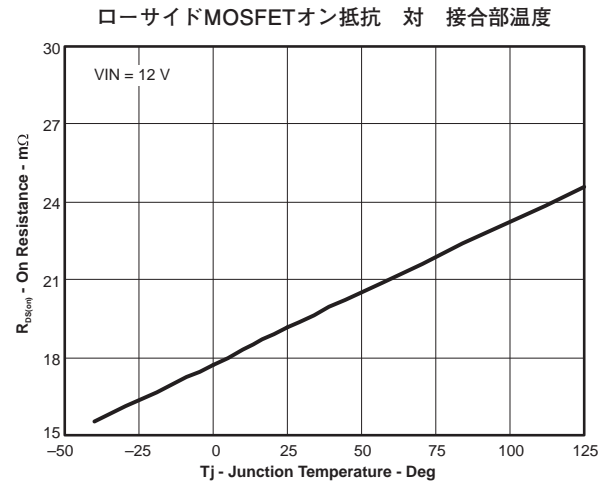


図 2

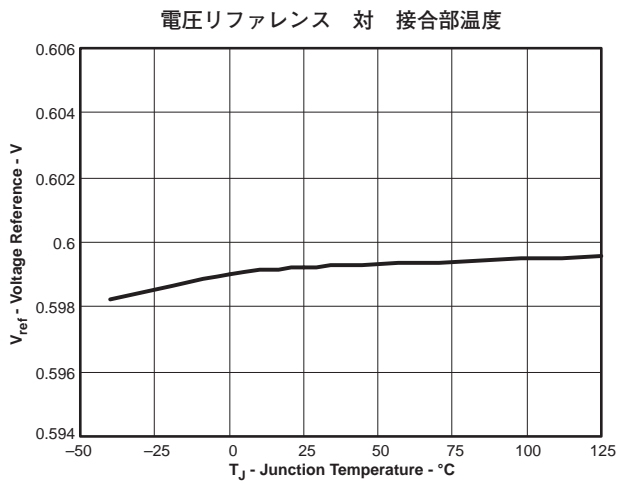


図 3

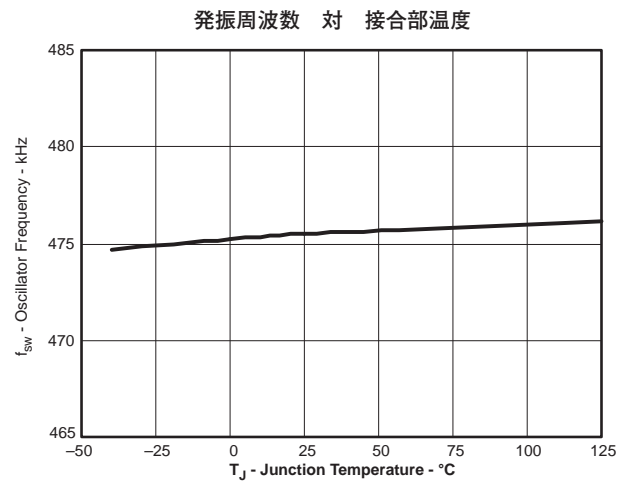


図 4

# 標準的特性

## 特性曲線

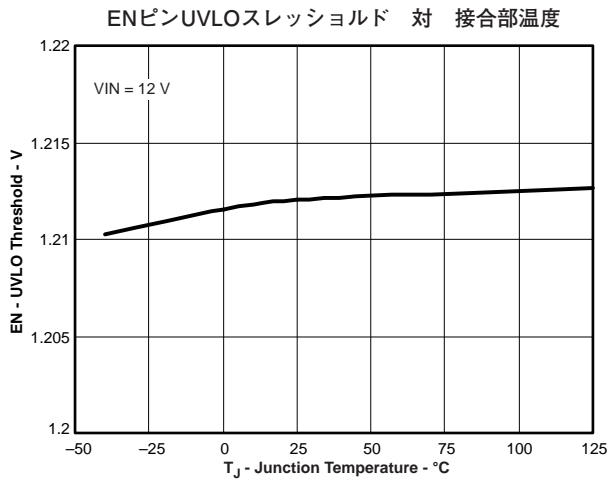


図 5

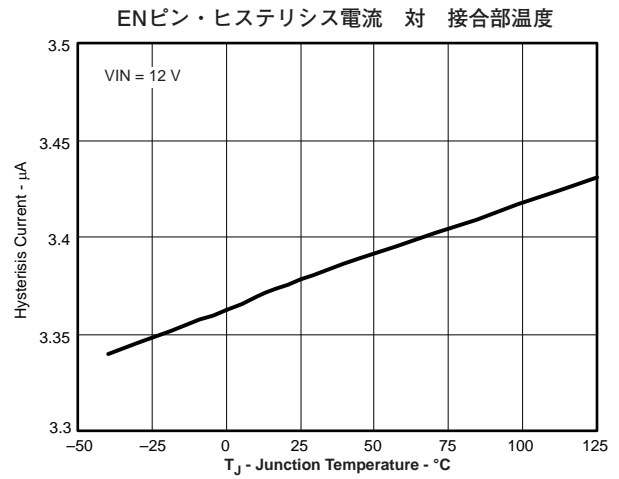


図 6

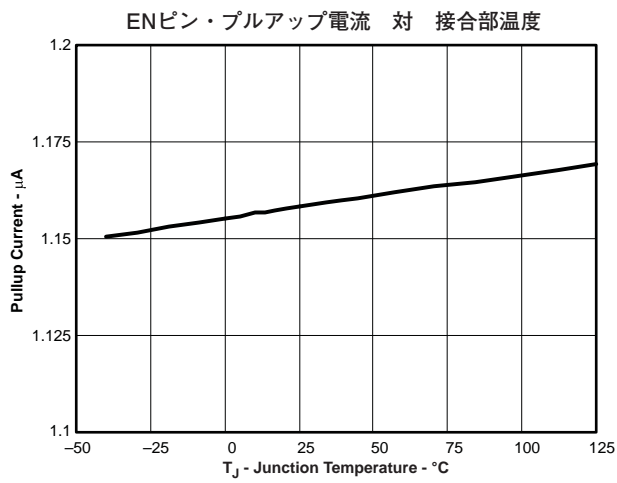


図 7

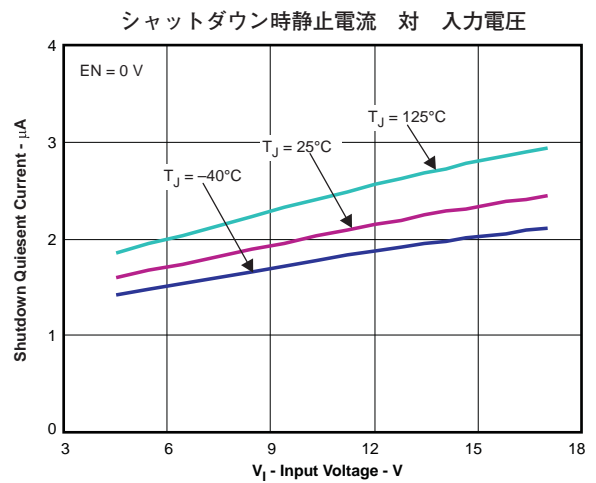


図 8

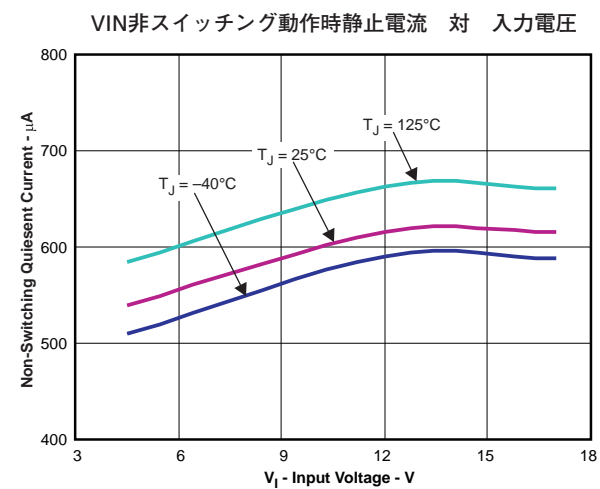


図 9

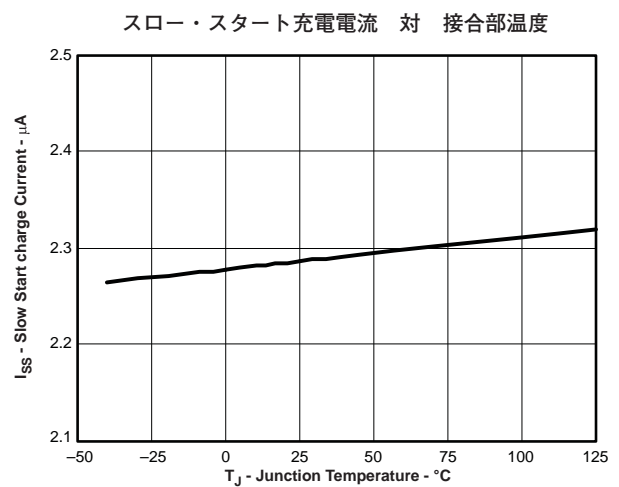


図 10



# 標準的特性

## 特性曲線

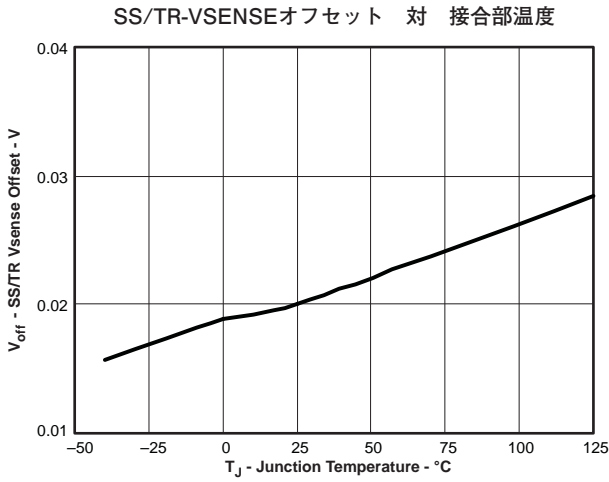


図 11

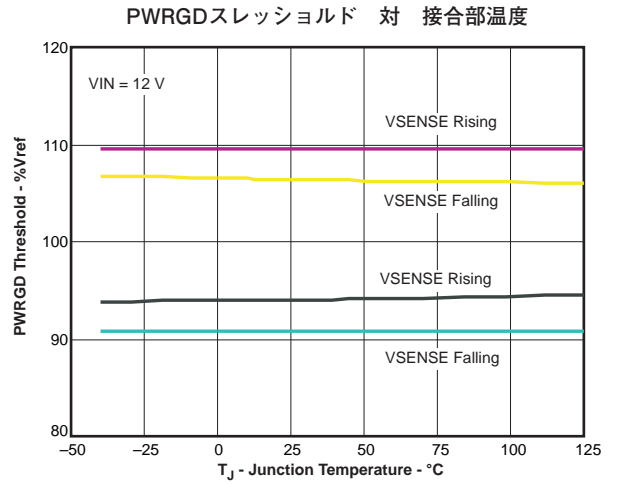


図 12

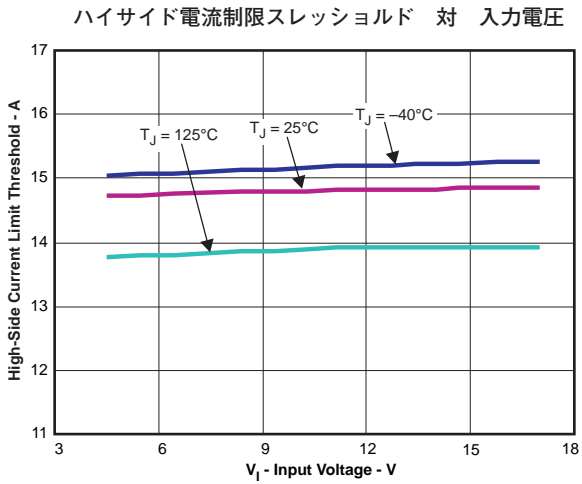


図 13

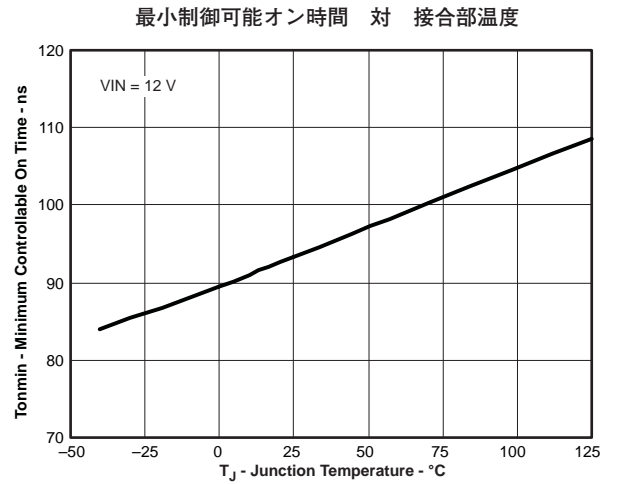


図 14

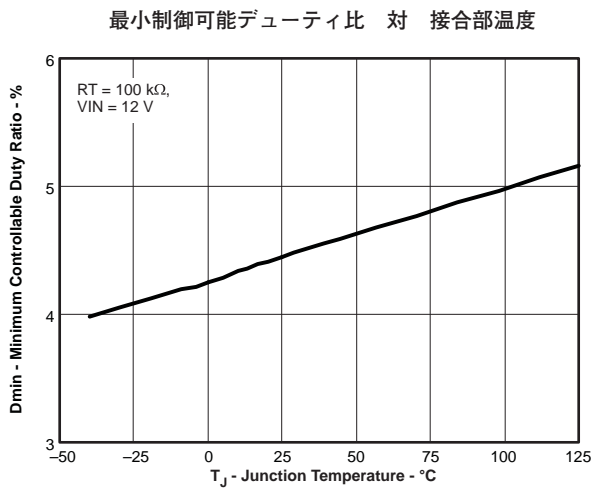


図 15

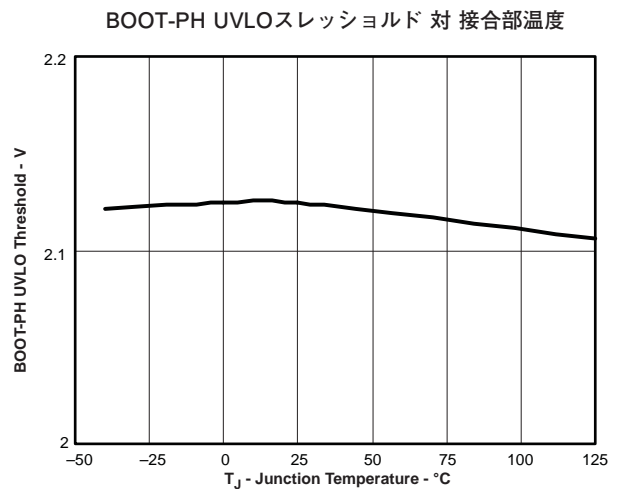


図 16

## 概要

TPS54821は、2つのNチャネルMOSFETを内蔵した、17V、8Aの同期整流降圧型（バック）コンバータです。ラインおよび負荷の過渡状態における性能を向上させるため、定周波数のピーク電流モード制御で動作し、外部周波数補償の単純化も実現しています。スイッチング周波数の範囲が200kHz~1600kHzと広いこと、出力フィルタ部品の選択時に効率およびサイズを最適化できます。スイッチング周波数は、RT/CLKピンからグラウンドへの抵抗を使用して調整します。また、RT/CLKピンで制御される内部フェーズ・ロック・ループ(PLL)により、スイッチング・サイクルを外部システム・クロックの立ち下がりエッジに同期させることができます。

このデバイスは、プリバイアスされた負荷に対して安全に単調なスタートアップを行えるよう設計されています。デフォルトでは、VINが標準4.0Vのときにスタートアップが行われます。ENピンの内部プルアップ電流源を使用して、入力電圧の低電圧誤動作防止 (UVLO)を2個の外付け抵抗により調整可能です。また、デバイスを内部プルアップ電流で動作させる場合、ENピンはフローティングにできます。デバイスの合計動作電流は、無負荷の非スイッチング時で約600 $\mu$ Aです。デバイスがディスエーブル時の消費電流は、標準で2 $\mu$ A未満です。

内蔵MOSFETにより、最大8Aの連続出力電流で高効率の電源設計が可能になります。MOSFETのサイズは、低デューティ・サイクルのアプリケーションに対して効率が最適となるよう選択されています。

TPS54821は、ブート再充電回路を内蔵しているため、外部部品数を削減できます。内蔵ハイサイドMOSFETのバイアス電圧は、BOOT-PHピン間のコンデンサによって供給されます。ブート・コンデンサの電圧はBOOT-PH UVLO回路によって監視され、PHピンをLowにすることでブート・コンデンサを再充電できます。ブート・コンデンサ電圧が設定済みのBOOT-PH UVLOスレッシュホールド(標準2.1V)を上回っていれば、デバイスは100%のデューティ・サイクルで動作できます。出力電圧は、0.6Vの電圧リファレンス(Vref)と同じ値まで降圧できます。

デバイスにはヒステリシス付きのパワー・グッド・コンパレータ(PWRGD)が備えられ、VSENSEピンを通して出力電圧を監視します。PWRGDピンはオープン・ドレインMOSFETであり、VSENSEピンの電圧がリファレンス電圧Vrefの92%未満または106%を超えたときにLowとなります。また、VSENSEピンの電圧がVrefの94%~104%になると、Highにアサートされます。

SS/TR (スロー・スタート/トラッキング)ピンは、パワーアップ時に突入電流を最小限に抑え、電源シーケンシングを構成するために使用できます。スロー・スタート時や、電源シーケンシングの要件が重要である場合には、このピンに値の小さなコンデンサまたは抵抗分圧回路を接続する必要があります。

デバイスは、出力過電圧、過負荷、過熱の各障害状態から保護されます。過電圧回路パワー・グッド・コンパレータを利用して、過度の出力過電圧を最小限に抑えています。過電圧

コンパレータが動作すると、ハイサイドMOSFETはオフになり、VSENSEピン電圧がVrefの104%を下回るまでオンになりません。デバイスには、ハイサイドMOSFETの過負荷保護と、ローサイドMOSFETの双方向過負荷保護が実装され、インダクタ電流の制御および電流暴走の回避に役立ちます。また、接合部温度が過熱保護のトリップ点を上回ると、デバイスはシャットダウンします。設定済みの過熱シャットダウン・ヒカップ時間が経過すると、デバイスは自動的にスロー・スタート回路の制御下で再起動されます。

## 詳細説明

### 固定周波数PWM制御

TPS54821は、調整可能な固定周波数のピーク電流モード制御を使用します。COMPピンを駆動する誤差増幅器により、出力電圧がVSENSEピンの外付け抵抗を通して内部電圧リファレンスと比較されます。内部発振器により、ハイサイド・パワー・スイッチのオン動作が開始され、誤差増幅器の出力が電流リファレンスに変換されて、ハイサイド・パワー・スイッチ電流と比較されます。パワー・スイッチ電流が、COMP電圧レベルによって生成された電流リファレンスの値に達すると、ハイサイド・パワー・スイッチがオフになり、ローサイド・パワー・スイッチがオンになります。

### 連続電流モード動作 (CCM)

TPS54821は、同期バック・コンバータとして、すべての負荷条件で通常はCCM(連続導通モード)で動作します。

### VINピンとパワーVINピン (VINおよびPVIN)

このデバイスは、VINピンとPVINピンを一緒にまたは別々に使用することで、さまざまなアプリケーションに対応できます。VINピンの電圧は、デバイスの内部制御回路に電源を供給します。PVINピンの電圧は、パワー・コンバータ・システムに入力電圧を提供します。

これらのピンを互いに接続する場合、VINおよびPVINの入力電圧範囲は4.5V~17Vとなります。VINをPVINと別個に使用する場合、VINピンの範囲は4.5V~17V、PVINピンの範囲は1.6V~17Vとなります。ENピンに接続する分圧回路によって、各入力電圧のUVLOを適切に調整できます。PVINピンの入力電圧UVLOを調整することで、一貫したパワーアップ動作を実現できます。

### 電圧リファレンス

電圧リファレンス・システムは、温度に対し安定なバンドギャップ回路の出力をスケールリングすることで、温度に対して $\pm 1\%$ の高い精度を持つ電圧リファレンスを生成します。

## 出力電圧の調整

出力電圧は、出力 (VOUT) と VSENSE ピンとの間の分圧抵抗回路によって設定されます。公差1%以内の分圧抵抗を使用することを推奨します。図29のアプリケーション回路で、最初は R6 に 10kΩ を使用し、式 (1) を使って R5 を計算します。軽負荷時の効率を向上させるには、より大きな値の抵抗の使用を検討します。値が大きすぎると、レギュレータがノイズの影響を受けやすくなり、VSENSE 入力電流からの電圧誤差が目立つようになります。

$$R5 = \frac{V_o - V_{ref}}{V_{ref}} R6 \quad (1)$$

ここで、 $V_{ref} = 0.6V$  です。

最小出力電圧と最大出力電圧はそれぞれ、ハイサイド MOSFET の最小オン時間、およびブートストラップ電圧 (BOOT-PH 間電圧) によって制限できます。詳細については、「最小出力電圧」および「ブートストラップ電圧 (BOOT) と低ドロップアウト動作」を参照してください。

## プリバイアス出力への安全なスタートアップ

TPS54821 は、ローサイド MOSFET がプリバイアス出力を放電しないように設計されています。単調なプリバイアス・スタートアップ中は、SS/TR ピンの電圧が 1.4V を超えるまで、ローサイド MOSFET は電流をシンクできません。

## 誤差増幅器

TPS54821 は、トランスコンダクタンス誤差増幅器を使用しています。誤差増幅器は、VSENSE ピンの電圧を、SS/TR ピンの電圧または内部の 0.6V 電圧リファレンスのいずれか低い方と比較します。誤差増幅器のトランスコンダクタンスは、通常動作時には  $1300\mu A/V$  です。周波数補償回路を COMP ピンとグラウンドの間に接続します。

## スロープ補償

TPS54821 は、スイッチ電流信号に補償ランプを追加します。このスロープ補償により、低調波発振を防いでいます。使用可能なピーク・インダクタ電流は、デューティ・サイクルの範囲全体にわたって一定です。

## イネーブルおよび低電圧誤動作防止の調整

EN ピンは、デバイスの電氣的オン/オフ制御に使用できます。EN ピンの電圧がスレッシュホールド電圧を超えると、デバイスが動作を開始します。EN ピンの電圧がスレッシュホールド電圧を下回った場合、レギュレータはスイッチングを停止し、低  $I_q$  状態になります。

EN ピンには内部プルアップ電流源があり、ユーザは EN ピンをフローティングにしてデバイスをイネーブルにできます。アプリケーションで EN ピンの制御が必要な場合は、EN ピンとのインターフェイスにオープン・ドレインまたはオープン・コレクタの出力ロジックを使用します。

VIN ピンには内部 UVLO 回路が実装されています。VIN ピン

の電圧が内部の VIN UVLO スレッシュホールドを下回ると、デバイスはディスエーブルになります。VIN の内部 UVLO スレッシュホールドには、150mV のヒステリシスがあります。

アプリケーションで、より高い UVLO スレッシュホールドが VIN ピンに必要な場合、または分割レール・アプリケーションで PVIN に第2の UVLO が必要である場合には、EN ピンを図17、図18、および図19のように構成できます。外部 UVLO 機能を使用する際には、ヒステリシスを 500mV 以上に設定することを推奨します。

EN ピンでは、小さなプルアップ電流  $I_p$  によって、外部部品を接続しないときのピンのデフォルト状態が設定されます。また、このプルアップ電流は、EN ピンがイネーブル・スレッシュホールドを通過すると  $I_h$  だけ増加するため、UVLO 機能の電圧ヒステリシスの制御にも使用されます。UVLO スレッシュホールドの値は、式 (2) および式 (3) で計算できます。

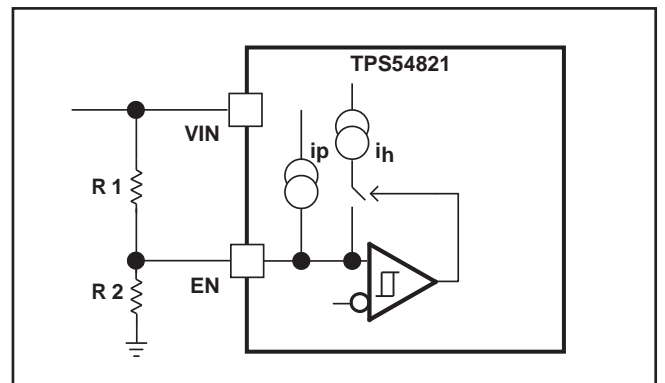


図 17. 調整可能な VIN 低電圧誤動作防止

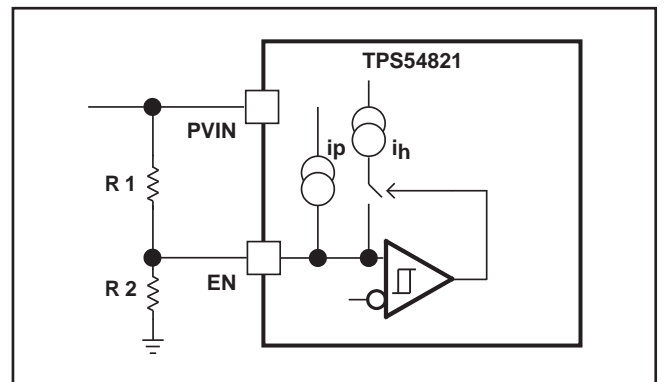


図 18. 調整可能な PVIN 低電圧誤動作防止、VIN ≥ 4.5V

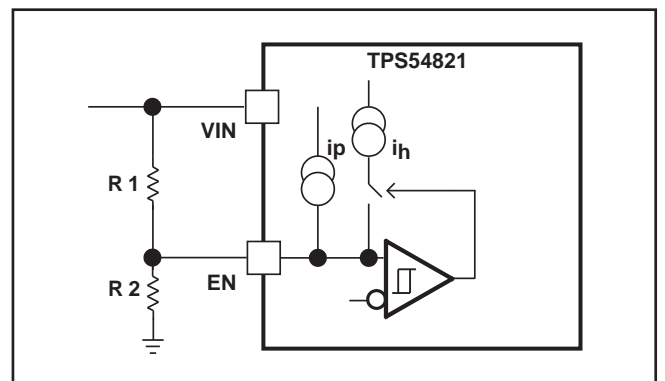


図 19. 調整可能な VIN および PVIN 低電圧誤動作防止

$$R1 = \frac{V_{START} \left( \frac{V_{ENFALLING}}{V_{ENRISING}} \right) - V_{STOP}}{I_p \left( 1 - \frac{V_{ENFALLING}}{V_{ENRISING}} \right) + I_h} \quad (2)$$

$$R2 = \frac{R1 \times V_{ENFALLING}}{V_{STOP} - V_{ENFALLING} + R1(I_p + I_h)} \quad (3)$$

ここで、 $I_h = 3.3\mu A$ 、 $I_p = 1.15\mu A$ 、 $V_{ENRISING} = 1.21V$ 、 $V_{ENFALLING} = 1.17V$ です。

## 調整可能なスイッチング周波数および同期 (RT/CLK)

RT/CLKピンを使用して、デバイスのスイッチング周波数を2つのモードで設定できます。

RTモードでは、RT/CLKピンとGNDの間に抵抗 (RT抵抗) が接続されます。最大240kΩから最小29kΩまでの抵抗を使用することにより、デバイスのスイッチング周波数を200kHzから1600kHzまで調整可能です。CLKモードでは、外部クロックを直接RT/CLKピンに接続します。デバイスはPLLによって外部クロックに同期されます。

CLKモードは、RTモードよりも優先されます。デバイスは、適切なモードを自動的に検出して、RTモードからCLKモードに切り替えることができます。

## 調整可能なスイッチング周波数 (RTモード)

特定のスイッチング周波数に対するRT抵抗を決定するには、式 (4) を用いるか、図20の曲線を使用します。ソリューション・サイズを小さくするには、スイッチング周波数をできるだけ高く設定しますが、電源効率と最小制御可能オン時間の間でトレードオフを考慮する必要があります。

$$R_{rt}(k\Omega) = 48000 \cdot F_{sw}(kHz)^{-0.997} - 2 \quad (4)$$

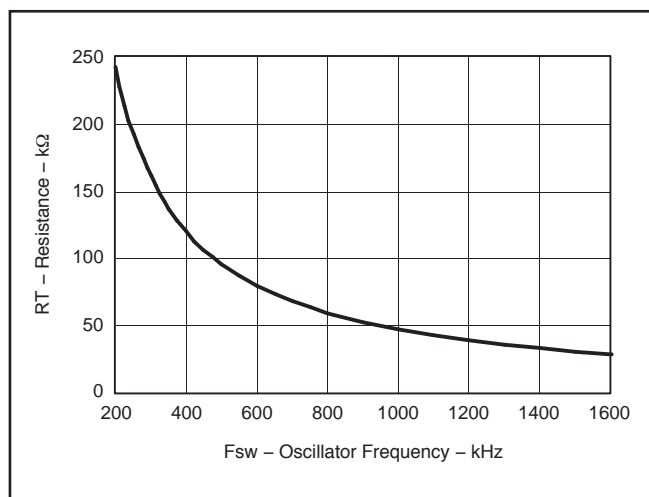


図 20. RT設定抵抗 対 スイッチング周波数

## 同期 (CLKモード)

内部のフェーズ・ロック・ループ(PLL)によって、200kHz～1600kHzでの同期が可能になり、RTモードからCLKモードへと簡単に切り替えることができます。

同期機能を実装するには、20%～80%のデューティ・サイクルでRT/CLKピンに方形波クロック信号を接続します。クロック信号の振幅は、0.78Vより低い電圧と2.0Vより高い電圧の間で遷移する必要があります。スイッチング・サイクルの開始は、RT/CLKピン信号の立ち下がりエッジに同期します。

RTモードとCLKモードの両方を必要とするアプリケーションでは、デバイスを図21のように構成できます。外部クロックが供給される前は、デバイスはRTモードで動作し、スイッチング周波数はRT抵抗で設定されます。外部クロックが供給されると、CLKモードがRTモードよりも優先されます。SYNCピンが最初にRT/CLKのHighスレッシュホールド(2V)を上回ると、デバイスはRTモードからCLKモードに切り替わり、RT/CLKピンはハイ・インピーダンスとなって、外部クロック周波数へのPLLロックが開始されます。CLKモードから再度RTモードに切り替えることは推奨しません。なぜなら、RT抵抗で設定されたスイッチング周波数に戻る前に、内部のスイッチング周波数がいったん100kHzに降下するためです。

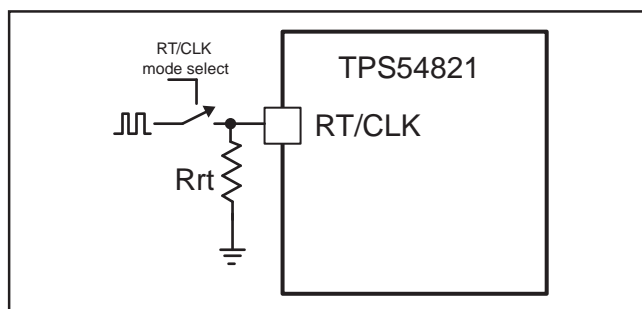


図 21. RTモードとCLKモードの両方を使用

## スロー・スタート(SS/TR)

TPS54821では、SS/TRピン電圧または内部電圧リファレンスのいずれか低い方の電圧をリファレンス電圧として使用し、それによって出力のレギュレーションを行います。SS/TRピンとグランド間のコンデンサにより、スロー・スタート時間が実装されます。TPS54821には、外部のスロー・スタート・コンデンサを充電する2.3μAのブルアップ電流源が内蔵されています。スロー・スタート時間 ( $T_{ss}$ 、10%～90%) およびスロー・スタート・コンデンサ ( $C_{ss}$ ) は、式 (5) で計算されます。電圧リファレンス ( $V_{ref}$ ) は0.6Vで、スロー・スタート充電電流 ( $I_{ss}$ ) は2.3μAです。

$$T_{ss}(ms) = \frac{C_{ss}(nF) \times V_{ref}(V)}{I_{ss}(\mu A)} \quad (5)$$

入力UVLOが作動するか、ENピンが1.21V未満にプルダウンされるか、または過熱シャットダウン・イベントが発生すると、デバイスはスイッチングを停止し、低電流動作に遷移します。次のパワーアップ時に、シャットダウン条件が解消されている場合、デバイスはSS/TRピンがグランドに放電されるまでスイッチングを開始せず、適切なソフト・スタート動作が保証されます。

## パワー・グッド (PWRGD)

PWRGDピンは、オープン・ドレイン出力です。VSENSEピンが内部電圧リファレンスの94%~104%になると、PWRGDピンのプルダウンがデアサートされてフローティングになります。5.5V以下の電圧源に対して10kΩ~100kΩの値を持つプルアップ抵抗を使用することを推奨します。VIN入力電圧が1Vを超えると、PWRGDは、電流シンク能力は低いですが有効となります。VIN入力電圧が4.5Vを超えると、PWRGDの電流シンク能力は最大になります。

VSENSEが公称入力リファレンス電圧の92%を下回るか、または106%を上回ると、PWRGDピンはLowになります。入力UVLOまたは過熱シャットダウンがアサートされた場合、またはENピンがLowになるかSS/TRピンが1.4Vを下回った場合にも、PWRGDはLowになります。

## ブートストラップ電圧 (BOOT) と低ドロップアウト動作

TPS54821にはブート・レギュレータが内蔵され、ハイサイドMOSFETのゲート駆動電圧を提供するために、BOOTピンとPHピンの中に小さなセラミック・コンデンサが必要です。このブート・コンデンサは、BOOTピンの電圧がVIN未満で、BOOT-PH間電圧がレギュレーションに達していないときに充電されます。セラミック・コンデンサの値は、0.1μFとしてください。温度および電圧に対して安定した特性を持つため、X7RまたはX5Rクラスの誘電体を持つ電圧定格10V以上のセラミック・コンデンサを推奨します。

ドロップアウトを改善するため、TPS54821は、BOOT-PHピン間の電圧がBOOT-PH UVLOスレッショルド(標準2.1V)を上回っていれば、100%のデューティ・サイクルで動作するよう設計されています。BOOT-PH間の電圧がBOOT-PH UVLOスレッショルドを下回ると、ハイサイドMOSFETがオフになり、ローサイドMOSFETがオンになってブート・コンデンサが再充電されます。分割入力電圧レールを使用するアプリケーションの場合、(VIN - PVIN) > 4Vが満たされていれば、100%デューティ・サイクルの動作を実現できます。

## シーケンシング(SS/TR)

SS/TR、EN、およびPWRGDピンを使用して、多くの一般的な電源シーケンシング方法を実装できます。

図22に、2個のTPS54821デバイスを使用したシーケンシャルな方法を示します。1個目のデバイスのパワー・グッドを2個目のデバイスのENピンに接続し、1次電源がレギュレーションに達した時点で2次電源をイネーブルにします。

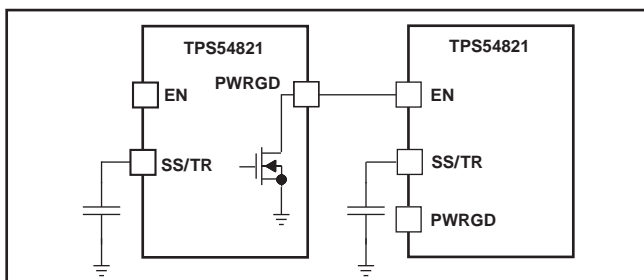


図 22. シーケンシャルなスタートアップ・シーケンス

図23に、2つのデバイスのSS/TRピンを互いに接続することによるレシオメトリックなシーケンシングの実装方法を示します。各レギュレータの出力は同時に上昇してレギュレーションに達します。スロー・スタート時間を計算する際には、式 (5) でプルアップ電流源を2倍にする必要があります。

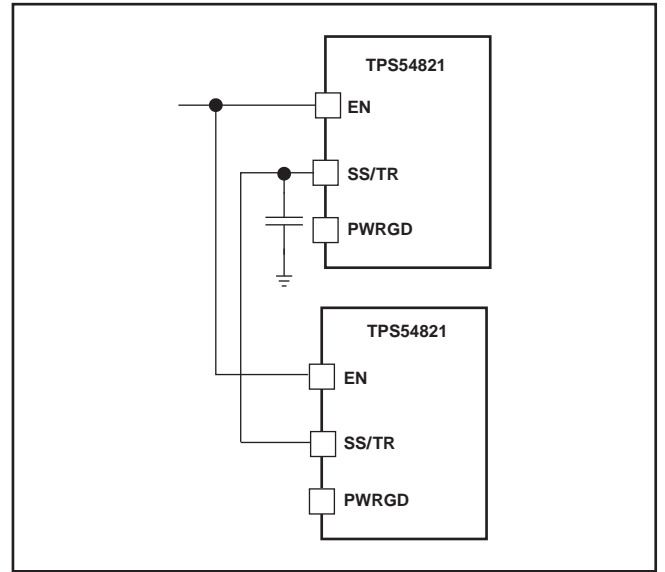


図 23. レシオメトリックなスタートアップ・シーケンス

図24に示すようなR1とR2の抵抗回路を、トラッキングが必要な電源または他の電圧リファレンス源の出力に接続することで、レシオメトリックな同時電源シーケンシングを実装できます。式 (6) と式 (7) を使用して、Vout1の少し前か少し後、または同時にVout2を開始するようトラッキング抵抗を計算できます。式 (8) は、Vout1とVout2の電圧差を示します。

Vout2がレギュレーションに達したときにVout2の電圧がVout1の電圧よりわずかに大きくなるように、レシオメトリックなスタートアップを設計するには、式 (6) と式 (7) でΔVに負の数を使用します。Vout2がレギュレーションに達したときにVout2がVout1よりわずかに低くなるアプリケーションでは、式 (8) は正の数となります。

変数ΔVは、同時シーケンシングでは0Vです。スロー・スタート回路のSS/TR - VSENSE間の固有のオフセット(Vssoffset、29mV)、およびプルアップ電流源(Iss、2.3μA)とトラッキング抵抗によって生成されるオフセットの影響を最小限に抑えるため、VssoffsetおよびIssが変数として式に含まれています。

デバイスの適切な動作を保証するには、式 (6) から計算されたR1の値が、式 (9) の計算値よりも大きい必要があります。

$$R1 = \frac{Vout2 + \Delta V}{Vref} \times \frac{Vssoffset}{Iss} \quad (6)$$

$$R2 = \frac{Vref \times R1}{Vout2 + \Delta V - Vref} \quad (7)$$

$$\Delta V = Vout1 - Vout2 \quad (8)$$

$$R1 > 2800 \times Vout1 - 180 \times \Delta V \quad (9)$$

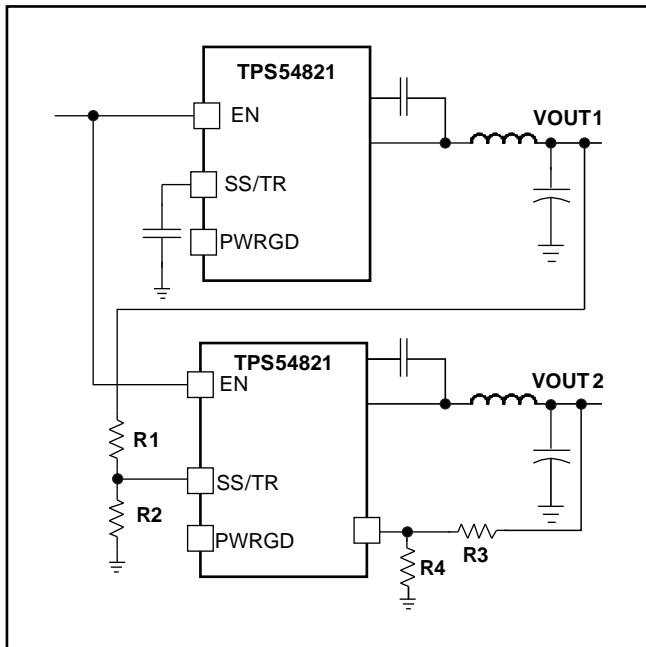


図 24. レシオメトリック/同時スタートアップ・シーケンス

## 出力過電圧保護 (OVP)

TPS54821には、出力電圧オーバーシュートを最小限に抑える、出力過電圧保護 (OVP) 回路が備えられています。例えば、電源出力が過負荷となった場合、誤差増幅器によって実際の出力電圧が内部リファレンス電圧と比較されます。VSENSEピンの電圧が内部リファレンス電圧よりも一定時間にわたって低くなった場合、誤差増幅器の出力では最大出力電流が必要となります。この状態が解消されると、レギュレータの出力が上昇し、誤差増幅器の出力は定常状態電圧に遷移します。出力容量の小さい一部のアプリケーションでは、電源出力電圧が誤差増幅器よりも高速で応答する場合があります。その場合、出力にオーバーシュートが生じる可能性があります。OVP機能では、VSENSEピンの電圧をOVPスレッシュホールドと比較することで、このオーバーシュートを最小限に抑えます。VSENSEピンの電圧がOVPスレッシュホールドより高い場合は、ハイサイドMOSFETがオフになり、出力に電流が流れるのを防いで、出力オーバーシュートを抑えます。VSENSE電圧がOVPスレッシュホールドを下回ると、次のクロック・サイクルでハイサイドMOSFETがオンになります。

## 過電流保護

TPS54821は、ハイサイドMOSFETとローサイドMOSFETの両方でサイクル毎に電流を制限することで、過電流状態から保護されます。

### ハイサイドMOSFETの過電流保護

TPS54821は、電流モード制御を実装し、COMPピンの電圧を使用して、ハイサイドMOSFETのオフとローサイドMOSFETのオンをサイクル毎に制御できます。各サイクルで、COMPピン電圧によって生成される電流リファレンスがスイッチ電流と比較されます。ピーク・スイッチ電流が電流リファレンスと交差すると、ハイサイド・スイッチがオフになります。

### ローサイドMOSFETの過電流保護

ローサイドMOSFETがオンの間、その導通電流が内部回路で監視されます。通常動作中は、ローサイドMOSFETから負荷に電流がソースされます。各クロック・サイクルの終わりに、ローサイドMOSFETのソース電流が、内部で設定されたローサイド・ソース電流制限と比較されます。ローサイド・ソース電流が制限を超えた場合、ハイサイドMOSFETはオンにならず、ローサイドMOSFETは次のサイクルにわたってオンに保持されます。サイクルの開始時にローサイド電流がローサイド・ソース電流制限を下回っている場合、ハイサイドMOSFETが再度オンになります。

ローサイドMOSFETは、負荷から電流をシンクすることもできます。ローサイド・シンク電流が制限を超えた場合、ローサイドMOSFETは直ちにオフとなり、そのクロック・サイクルの終わりまでオフに保持されます。この状況では、次のサイクルの開始まで両方のMOSFETがオフとなります。

さらに、出力過負荷状態 (COMPピン電圧によって測定) が、512スイッチング・サイクルに設定されたヒックアップ待ち時間よりも長く続いた場合には、デバイスがシャットダウンされ、16384サイクルのヒックアップ時間の経過後に再起動されます。このヒックアップ・モードは、大きな過電流の発生時にデバイスの消費電力を低減するために役立ちます。

## 過熱シャットダウン

接合部温度が標準175°Cを超えると、内部の過熱シャットダウン回路によってデバイスのスイッチングが強制的に停止されます。接合部温度が標準165°Cを下回ると、内部の過熱ヒックアップ・タイマがカウントを開始します。設定済みの過熱シャットダウン・ヒックアップ時間 (16384サイクル) が経過した後で、デバイスはパワーアップ・シーケンスを再開します。

## ループ応答の小信号モデル

図25に、周波数応答と過渡応答をチェックするために回路シミュレーション・プログラムでモデル化できる、デバイス制御ループの等価モデルを示します。誤差増幅器は、 $gm$ が1300 $\mu$ A/Vのトランスコンダクタンス・アンプです。この誤差増幅器は、理想的な電圧制御電流源を使用してモデル化できます。抵抗 $R_{oea}$  (3.07M $\Omega$ ) およびコンデンサ $C_{oea}$  (20.7pF) により、誤差増幅器の開ループ・ゲインと周波数応答がモデル化されます。ノードaとbの間の1mVのAC電圧源は、周波数応答測定のために制御ループを実質的に分断します。a/cおよびc/bのプロットは、それぞれパワー段および周波数補償の小信号応答を示します。a/bのプロットは、ループ全体の小信号応答を示します。時間ドメイン分析で適切な負荷ステップ振幅およびステップ・レートを有する電流源を、 $R_L$ の代わりに使用すれば、動的ループ応答をチェックできます。

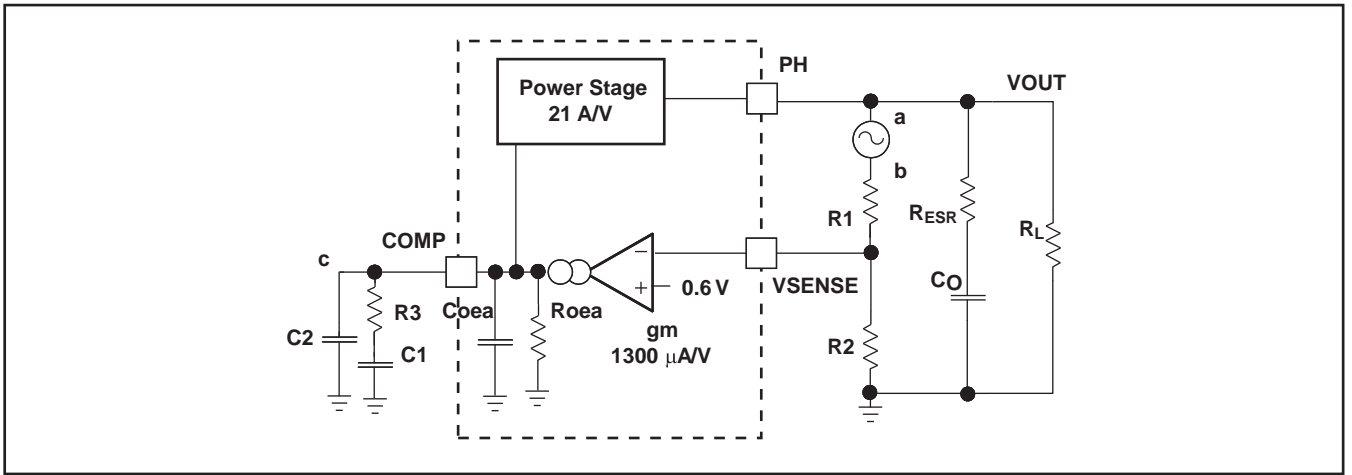


図 25. ループ応答の小信号モデル

### ピーク電流モード制御の単純な小信号モデル

図26に、周波数補償の設計方法を理解するために使用できる、単純な小信号モデルを示します。TPS54821のパワー段は、出力コンデンサおよび負荷抵抗に電流を供給する電圧制御電流源（デューティ・サイクル変調器）として近似できます。制御-出力間の伝達関数は式 (10) に示され、DCゲイン、1つの支配的な極、および1つのESRゼロで構成されます。スイッチ電流の変化とCOMPピン電圧（図25のノードc）の変化との比が、パワー段のトランスコンダクタンス $gm_{ps}$ （このデバイスでは21A/V）です。パワー段のDCゲインは、抵抗性負荷の場合、式 (11) に示すように $gm_{ps}$ と負荷抵抗 ( $R_L$ ) の積です。負荷電流が増加すると、DCゲインは減少します。この負荷に対する変化は一見問題となりそうですが、幸い、支配的な極は負荷電流とともに移動します（式 (12) を参照）。それらの組み合わせによる効果は、図27に点線で示されています。負荷電流が減少すると、ゲイン

が増加して極周波数が低下するため、負荷状態の変化に対して0dBクロスオーバー周波数は一定に保たれ、周波数補償の設計が容易になります。

$$\frac{VOUT}{VC} = A_{dc} \times \frac{\left(1 + \frac{s}{2\pi \times fz}\right)}{\left(1 + \frac{s}{2\pi \times fp}\right)} \quad (10)$$

$$A_{dc} = gm_{ps} \times R_L \quad (11)$$

$$fp = \frac{1}{C_O \times R_L \times 2\pi} \quad (12)$$

$$fz = \frac{1}{C_O \times R_{ESR} \times 2\pi} \quad (13)$$

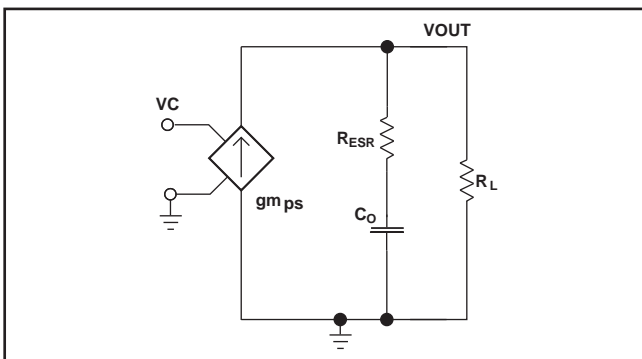


図 26. ピーク電流モード制御の単純な小信号モデル

ここで

$gm_{ea}$  : GM増幅器のゲイン (1300 $\mu$ A/V)

$gm_{ps}$  : パワー段のゲイン (21A/V)

$R_L$  : 負荷抵抗

$C_O$  : 出力容量

$R_{ESR}$  : 出力コンデンサの等価直列抵抗

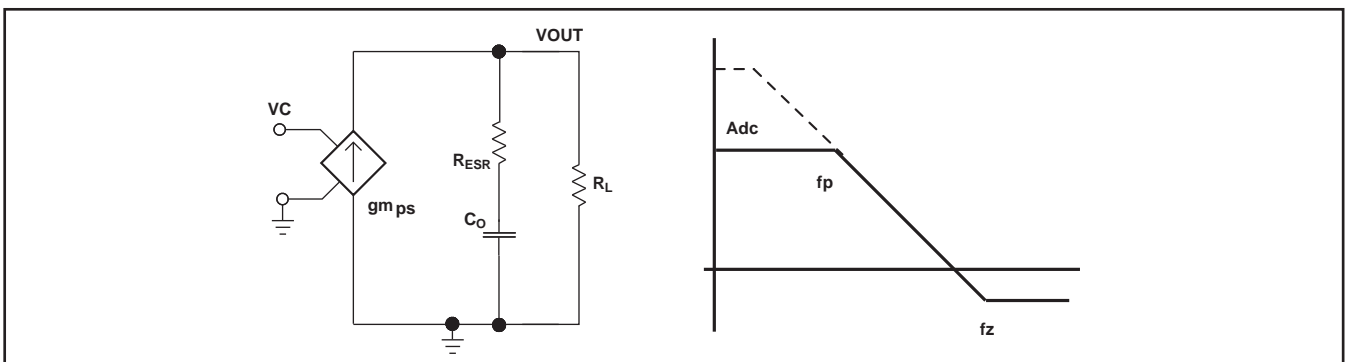


図 27. ピーク電流モード制御の単純な周波数応答

## 周波数補償の小信号モデル

TPS54821では、誤差増幅器にトランスコンダクタンス・アンプを使用し、図28に示すように、一般的に使用される2つのタイプII補償回路と、1つのタイプIII周波数補償回路を標準でサポートしています。タイプ2Aでは、高周波ノイズの減衰のために1つの高周波極C6が追加されています。タイプIIIでは、クロスオーバー周波数で位相ブーストを得るために、1つのコンデンサC11が追加されています。タイプIII補償の詳細については、『Designing Type III Compensation for Current Mode Step-Down Converters』(SLVA352)を参照してください。

次に示す設計ガイドラインは、一般的な方法で補償を行いたい高度なユーザー向けに示したものです。右の式は、ESRゼロが制御ループの帯域幅よりも上に位置する設計にのみ適用されます。通常、セラミック出力コンデンサの場合はこの条件が当てはまります。より低いESRゼロ周波数で、より高ESRの出力コンデンサを使用する場合の詳細な設計手順については、「アプリケーション情報」を参照してください。

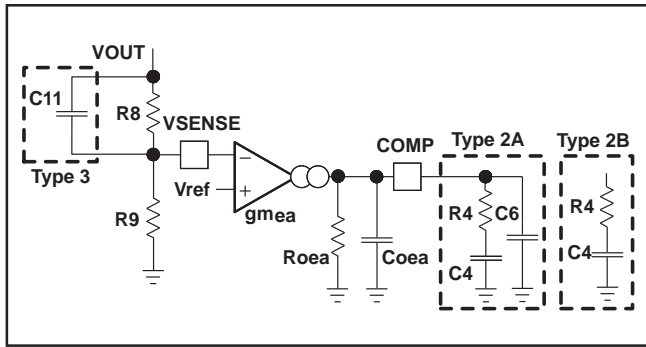


図 28. 周波数補償の種類

デバイス・ループ補償の一般的な設計ガイドラインを次に示します。

1. クロスオーバー周波数 $f_c$ を決定します。最初の値としては、スイッチング周波数 $f_{sw}$ の1/10が適切です。
2.  $R_4$ は次の式で求められます。

$$R_4 = \frac{2\pi \times f_c \times V_{OUT} \times C_o}{g_{m_{ea}} \times V_{ref} \times g_{m_{ps}}} \quad (14)$$

ここで

$g_{m_{ea}}$ : GM増幅器のゲイン(1300 $\mu$ A/V)

$g_{m_{ps}}$ : パワー段のゲイン(21A/V)

$V_{ref}$ : リファレンス電圧(0.6V)

3. 支配的な極に補償用のゼロを配置します。

$$\left( f_p = \frac{1}{C_o \times R_L \times 2\pi} \right)$$

$C_4$ は次の式で求められます。

$$C_4 = \frac{R_L \times C_o}{R_4} \quad (15)$$

4.  $C_6$ はオプションです。これは、出力コンデンサ $C_o$ のESR(等価直列抵抗)からゼロをキャンセルするために使用できます。

$$C_6 = \frac{R_{ESR} \times C_o}{R_4} \quad (16)$$

5. 1つのコンデンサ $C_{11}$ を追加することで、タイプIII補償を実装できます。これにより、ループ帯域幅と位相マージンがわずかに増加します。使用する場合、 $C_{11}$ は式(17)から計算できます。

$$C_{11} = \frac{1}{(2 \cdot \pi \cdot R_8 \cdot f_c)} \quad (17)$$



# アプリケーション情報

## 設計ガイド - ステップ毎の設計手順

この例では、セラミック出力コンデンサを使用した高周波スイッチングレギュレータ設計の詳細を示します。設計プロセスを開始するには、いくつかのパラメータがわかっている必要があります。これらのパラメータは一般に、システムレベルで決定されます。この例では、以下に示す既知のパラメータを使用して開始します。

パラメータ	値
出力電圧	3.3 V
出力電流	8 A
過渡応答、4Aの負荷ステップ	$\Delta V_{out} = 7\%$
入力電圧	12V(公称)、8V~17V
出力電圧リップル	33 mV p-p
開始入力電圧(Vin上昇時)	6.528 V
停止入力電圧(Vin下降時)	6.193 V
スイッチング周波数	480 kHz

表 1.

## 標準アプリケーション回路図

図29のアプリケーション回路図は、上記の要件を満足するように作成されています。この回路は、TPS54821EVM-049 評価モジュールとして提供されています。設計手順はこのセクションで説明します。タイプIIおよびタイプIII周波数補償回路の詳細については、『Designing Type III Compensation for Current Mode Step-Down Converters』(SLVA352)および『Design Calculator』(SLVC219)を参照してください。

## 動作周波数

最初の手順は、レギュレータのスイッチング周波数を決定することです。高いスイッチング周波数と低いスイッチング周波数との間にはトレードオフがあります。高いスイッチング周波数では、低周波数でスイッチングする電源と比較して、低い値のインダクタと小さな出力コンデンサを使用した小サイズのソリューションを実現できます。ただし、スイッチング周波数が高いと、スイッチング損失が増加し、コンバータの効率および熱特性に悪影響を与えます。この設計では、小サイズのソリューションと高効率動作を両立するために、480kHzという中程度のスイッチング周波数を選択しています。

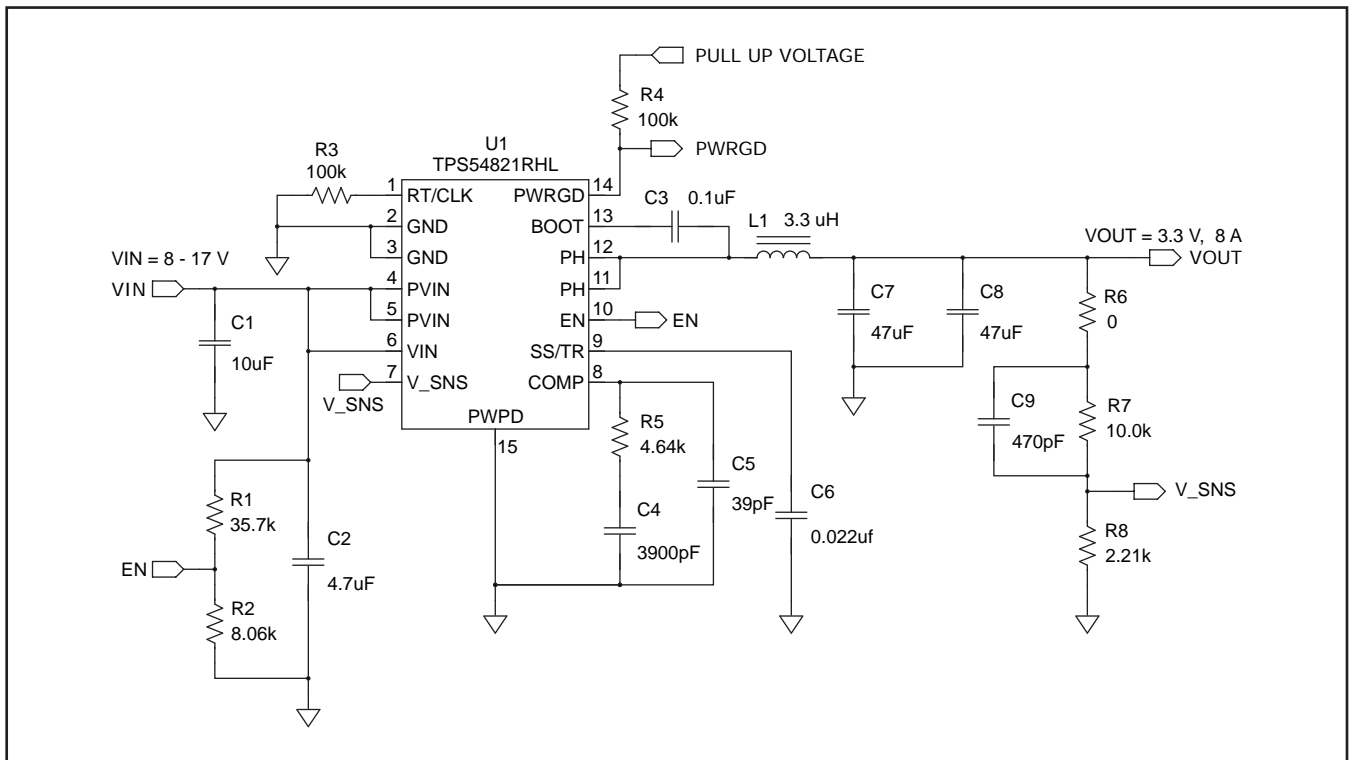


図 29. 標準アプリケーション回路

## 出力インダクタの選択

出力インダクタの値を計算するには、式 (18) を使用します。KINDは、最大出力電流を基準としたインダクタ・リップル電流の大きさを表す係数です。インダクタ・リップル電流は、出力コンデンサによってフィルタリングされます。したがって、大きなインダクタ・リップル電流を選択すると、それ以上のリップル電流定格を持つ出力コンデンサが必要となるため、出力コンデンサの選択に影響がおよびます。一般に、インダクタ・リップル値は設計者の裁量で決定しますが、ほとんどのアプリケーションでは、KINDは通常0.1~0.3です。

$$L1 = \frac{V_{inmax} - V_{out}}{I_o \cdot KIND} \cdot \frac{V_{out}}{V_{inmax} \cdot f_{sw}} \quad (18)$$

この設計例では、KIND = 0.3を使用し、最小インダクタ値は2.31μHと計算されます。この設計では、近い標準値として3.3μHが選択されています。出力フィルタ・インダクタについては、RMS電流および飽和電流の定格を超えないことが重要です。RMSおよびピーク・インダクタ電流は、式 (20) および式 (21) で求めることができます。

$$I_{ripple} = \frac{V_{inmax} - V_{out}}{L1} \cdot \frac{V_{out}}{V_{inmax} \cdot f_{sw}} \quad (19)$$

$$I_{Lrms} = \sqrt{I_o^2 + \frac{1}{12} \cdot \left( \frac{V_o \cdot (V_{inmax} - V_o)}{V_{inmax} \cdot L1 \cdot f_{sw}} \right)^2} \quad (20)$$

$$I_{Lpeak} = I_{out} + \frac{I_{ripple}}{2} \quad (21)$$

この設計では、RMSインダクタ電流は8.015A、ピーク・インダクタ電流は8.839Aです。選択したインダクタは、Vishay製のIHL4040DZER3R3M1シリーズ3.3μHです。このインダクタの飽和電流定格は18.6A(-20%のインダクタンス)、RMS電流定格は10A(40°Cの温度上昇)です。

インダクタを流れる電流は、インダクタ・リップル電流+出力電流です。パワーアップ時、障害発生時、または負荷過渡状態中は、インダクタ電流が上記で計算されたピーク・インダクタ電流レベルを超えて増加する場合があります。過渡状態では、インダクタ電流がデバイスのスイッチ電流制限まで増加する場合があります。この理由により、最も保守的なアプローチは、ピーク・インダクタ電流ではなく、スイッチ電流制限以上の飽和電流定格を持つインダクタを指定することです。

## 出力コンデンサの選択

出力コンデンサ値の選択については、3つの主要な考慮事項があります。出力コンデンサは、変調回路の極、出力電圧リップル、および負荷電流の大きな変化に対するレギュレータの応答を決定します。出力容量は、これら3つの条件のうち最も厳しいものに基づいて選択する必要があります。

最初の条件は、負荷電流の大きな変化に対して求められる応答です。レギュレータが電流を供給できないときには、出力コンデンサが負荷に電流を供給する必要があります。この状況は、レギュレータに対して保持時間要件があり、入力電力の停止後に指定された時間だけ、出力コンデンサが出力電圧を特定のレベルより高く保持する必要がある場合に発生します。また、無負荷から全負荷への遷移時など、負荷の電流需要に大きく高速な変化が発生した場合、レギュレータは一時的に十分な出力電流を供給できなくなります。通常、レギュレータでは、制御ループが負荷電流および出力電圧の変化を検知して、その変化に合わせてデューティ・サイクルを調整するまでに、2クロック・サイクル以上を必要とします。出力コンデンサの大きさは、制御ループが負荷の変化に反応するまでの間、負荷に追加の電流を供給できるように決定する必要があります。出力容量は、出力電圧の降下を許容範囲内に抑えながら、2クロック・サイクルにわたって電流の差分を供給するのに十分な大きさでなければなりません。そのために必要な最小の出力容量を式 (22) に示します。

$$C_o > \frac{2 \cdot \Delta I_{out}}{f_{sw} \cdot \Delta V_{out}} \quad (22)$$

ここで、 $\Delta I_{out}$ は出力電流の変化、 $f_{sw}$ はレギュレータのスイッチング周波数、 $\Delta V_{out}$ は出力電圧の許容される変化です。この例では、負荷過渡応答が、4Aの負荷ステップに対する $V_{out}$ の7%の変化と指定されています。この例では、 $\Delta I_{out} = 4A$ 、および $\Delta V_{out} = 0.07 \times 3.3 = 0.231V$ です。これらの値を使用して、72.2μFの最小容量が得られます。この値は、出力電圧の変化について出力コンデンサのESRを考慮していません。セラミック・コンデンサの場合、ESRは通常十分に小さいため、この計算では無視できます。

式 (23) は、出力電圧リップル仕様を満足するために必要な最小の出力容量を計算します。ここで、 $f_{sw}$ はスイッチング周波数、 $V_{ripple}$ は最大許容出力電圧リップル、 $I_{ripple}$ はインダクタ・リップル電流です。この場合、最大出力電圧リップルは33mVです。この要件により、式 (23) から14.6μFが得られます。

$$C_o > \frac{1}{8 \cdot f_{sw}} \cdot \frac{1}{\frac{V_{ripple}}{I_{ripple}}} \quad (23)$$

式 (24) は、出力電圧リップル仕様を満足するために出力コンデンサに許容される最大ESRを計算します。式 (24) より、ESRは17.9mΩ未満とする必要があります。ここでは、セラミック・コンデンサのESRが17.9mΩよりずっと小さくなります。

$$Resr < \frac{V_{ripple}}{I_{ripple}} \quad (24)$$

エージング、温度、およびDCバイアスに対して、追加の容量ディレーティングを考慮する必要があるため、この最小値は増加します。この例では、3mΩのESRを持つ47μF、10VのX5Rセラミック・コンデンサが2個使用されます。一般に、コンデンサでは、障害や過熱を発生させずに処理できるリップル電流の大きさに制限があります。インダクタ・リップル電流に対して対応可能な出力コンデンサを指定する必要があります。一部のコンデンサのデータシートでは、最大リップル電流のRMS(2乗平均平方根)値が指定されています。出力コンデンサで処理できる必要のあるRMSリップル電流値は、式(25)で計算できます。このアプリケーションでは、式(25)により485mAが得られます。

$$I_{\text{corms}} = \frac{V_{\text{out}} \cdot (V_{\text{inmax}} - V_{\text{out}})}{\sqrt{12} \cdot V_{\text{inmax}} \cdot L1 \cdot f_{\text{sw}}} \quad (25)$$

## 入力コンデンサの選択

TPS54821は、PVIN入力電圧ピンに4.7μF以上、VIN入力電圧ピンに4.7μF以上の実効容量を持つ高品質のセラミック(タイプX5RまたはX7R)入力デカップリング・コンデンサを必要とします。アプリケーションによっては、PVIN入力に追加のバルク容量も必要となる場合があります。実効容量には、DCバイアスの影響も含まれます。入力コンデンサの電圧定格は、最大入力電圧よりも高い必要があります。また、コンデンサのリップル電流定格は、TPS54821の最大入力電流リップルよりも大きい必要があります。入力リップル電流は、式(26)で計算できます。

$$I_{\text{cirms}} = I_{\text{out}} \cdot \sqrt{\frac{V_{\text{out}}}{V_{\text{inmin}}} \cdot \frac{(V_{\text{inmin}} - V_{\text{out}})}{V_{\text{inmin}}}} \quad (26)$$

セラミック・コンデンサの値は、温度およびコンデンサに印加されるDCバイアスの大きさによって大きく変化します。温度による容量の変化は、温度に対して安定な誘電体を選択することで最小限に抑えることができます。X5RおよびX7Rセラミック誘電体は、容量/体積比が大きく、温度に対してかなり安定しているため、パワー・レギュレータのコンデンサとして一般に選択されます。また、出力コンデンサはDCバイアスも考慮して選択する必要があります。コンデンサ両端にかかるDCバイアスが増加すると、コンデンサの容量値は減少します。この設計例では、最大入力電圧に対応するために25V以上の電圧定格を持つセラミック・コンデンサが必要です。この例では、TPS54821が単一電源で動作するようにVINおよびPVIN入力を互いに接続しているため、10μFのコンデンサ1個と4.7μF/25Vのコンデンサ1個を並列で使用しています。入力容量の値によって、レギュレータの入力リップル電圧が決まります。入

力電圧リップルは、式(27)で計算できます。設計例の値である $I_{\text{outmax}} = 8\text{A}$ 、 $C_{\text{in}} = 14.7\mu\text{F}$ 、 $F_{\text{sw}} = 480\text{kHz}$ を使用すると、417mVの入力電圧リップル、および3.94AのRMS入力リップル電流が得られます。

$$\Delta V_{\text{in}} = \frac{I_{\text{outmax}} \cdot 0.25}{C_{\text{in}} \cdot f_{\text{sw}}} \quad (27)$$

## スロー・スタート・コンデンサの選択

スロー・スタート・コンデンサは、パワーアップ中に出力電圧がその公称設定値に達するまでにかかる最小の時間を決定します。これは、負荷に対して制御された電圧スルー・レートが必要である場合に有用です。また、出力容量が非常に大きく、コンデンサを出力電圧レベルまですばやく充電するのに大きな電流を必要とするような場合にも、利用されます。コンデンサの充電に必要な大きな電流によってTPS54821が電流制限に達したり、入力電源からの過剰な電流によって入力電圧レールが降下したりする場合があります。出力電圧のスルー・レートを制限することで、その両方の問題を解決できます。このソフト・スタート・コンデンサの値は式(28)を使って計算できます。この例の回路では、出力コンデンサ値が $2 \times 47\mu\text{F}$ で、3.3Vまでの充電に大きな電流を必要としないため、ソフト・スタート時間はそれほど重要ではありません。この回路ではソフト・スタート時間が任意値の6msに設定され、22nFのコンデンサが必要となります。TPS54821では、 $I_{\text{ss}}$ は2.3μA、 $V_{\text{ref}}$ は0.6Vです。

$$C6(\text{nF}) = \frac{T_{\text{ss}}(\text{ms}) \cdot I_{\text{ss}}(\mu\text{A})}{V_{\text{ref}}(\text{V})} \quad (28)$$

## ブートストラップ・コンデンサの選択

適切な動作のためには、BOOTピンとPHピンの間に0.1μFのセラミック・コンデンサを接続する必要があります。X5R以上の誘電体を持つセラミック・コンデンサの使用を推奨します。コンデンサの電圧定格は10V以上である必要があります。

## 低電圧誤動作防止の設定点

低電圧誤動作防止(UVLO)は、R3とR4による外部分圧回路を使用して調整できます。R3はTPS54821のVINとENピンの間に接続し、R4はENとGNDの間に接続します。UVLOには2つのスレッシュホールドがあり、1つは入力電圧が上昇するパワーアップ中に適用され、もう1つは入力電圧が下降するパワーダウンまたはブラウンアウト中に適用されます。この設計例では、入力電圧が6.528V以上に上昇(UVLO開始またはイネーブル)したときに、電源がオンになりスイッチングを開始する必要があります。レギュレータがスイッチングを開始した後は、入力電圧が6.190Vを下回る(UVLO停止またはディスエーブル)までの間、スイッチングを継続する必要があります。式(2)および、式(3)を使用して、上側および下側の抵抗値を計算できます。指定された停止電圧に対して、R3の最も近い標準抵抗値は35.7kΩ、R4は8.06kΩです。

## 出力電圧帰還抵抗の選択

抵抗分圧回路R7およびR8は、出力電圧の設定に使用されます。この設計例では、R7に10kΩが選択されています。式 (29) を使用して、R8は2.22kΩと計算されます。最も近い標準1%抵抗は、2.21kΩです。

$$R8 = \frac{R7 \cdot V_{REF}}{V_{OUT} - V_{REF}} \quad (29)$$

## 最小出力電圧

TPS54821の内部設計により、与えられた入力電圧に対して最小出力電圧制限が存在します。出力電圧は、内部リファレンス電圧0.6Vより低くなることはできません。0.6V以上では、出力電圧は最小制御可能オン時間によって制限される場合があります。この例での最小出力電圧は、式 (30) で与えられます。

$$V_{outmin} = V_{onmin} \cdot F_{smax} (V_{inmax} + I_{outmin} (R_{DS2min} - R_{DS1min})) - I_{outmin} (R_L + R_{DS2min}) \quad (30)$$

ここで

$V_{outmin}$  = 実現可能な最小出力電圧

$V_{onmin}$  = 最小制御可能オン時間 (最大135ns)

$F_{smax}$  = 最大スイッチング周波数 (公差を含む)

$V_{inmax}$  = 最大入力電圧

$I_{outmin}$  = 最小負荷電流

$R_{DS1min}$  = 最小ハイサイドMOSFETオン抵抗  
(標準36~32mΩ)

$R_{DS2min}$  = 最小ローサイドMOSFETオン抵抗 (標準19mΩ)

$R_L$  = 出力インダクタの直列抵抗

## 補償部品の選択

DC/DCコンバータの閉ループ補償を設計するには、可能な方法がいくつかあります。理想的な電流モード制御に対しては、設計式を簡単に単純化できます。パワー段のゲインは低周波数では一定であり、変調回路の極周波数を超えると-20dB/ディケードの割合でロールオフします。パワー段の位相は低周波数では0度であり、変調回路の極周波数を1ディケード超えると低下し始め、変調回路の極周波数+1ディケードで最小-90度に達します。変調回路の極は、式 (31) で示される単純な極です。

$$f_p \text{ mod} = \frac{I_{outmax}}{2\pi \times V_{out} \times C_{out}} \quad (31)$$

TPS54821の場合、ほとんどの回路で比較的大きなスロープ補償が適用されます。適用されるスロープ補償が大きいくほど、パワー段の特性は理想的な近似値から外れます。パワー段の位相損失が-180度に近づき、補償はより難しくなります。パワー段の伝達関数を解くことはできますが、単純な近似には適さない面倒な手計算を必要とします。信頼性の高い補償回路を設計できるように、PspiceまたはTINA-TIを使用して、パワー段のゲインと位相を正確にモデル化することが最善です。この設計手順では、そのような手法を採用しています。TPS54821のpspiceモデルを使用して、前に計算した値を出力フィルタ部品L1、C7、C8に適用します。 $R_{LOAD}$ は、補償する電流値に対して適切な値に設定します。この設計では、 $L1 = 3.3\mu\text{H}$ です。C7およびC8はディレーティングされた容量値37.6μFを使用し、ESRは3mΩに設定します。 $R_{LOAD}$ 抵抗は、 $3.3\text{V} / 4\text{A} = 0.82\Omega$ です。ここで、パワー段の特性は図30のようにプロットできます。

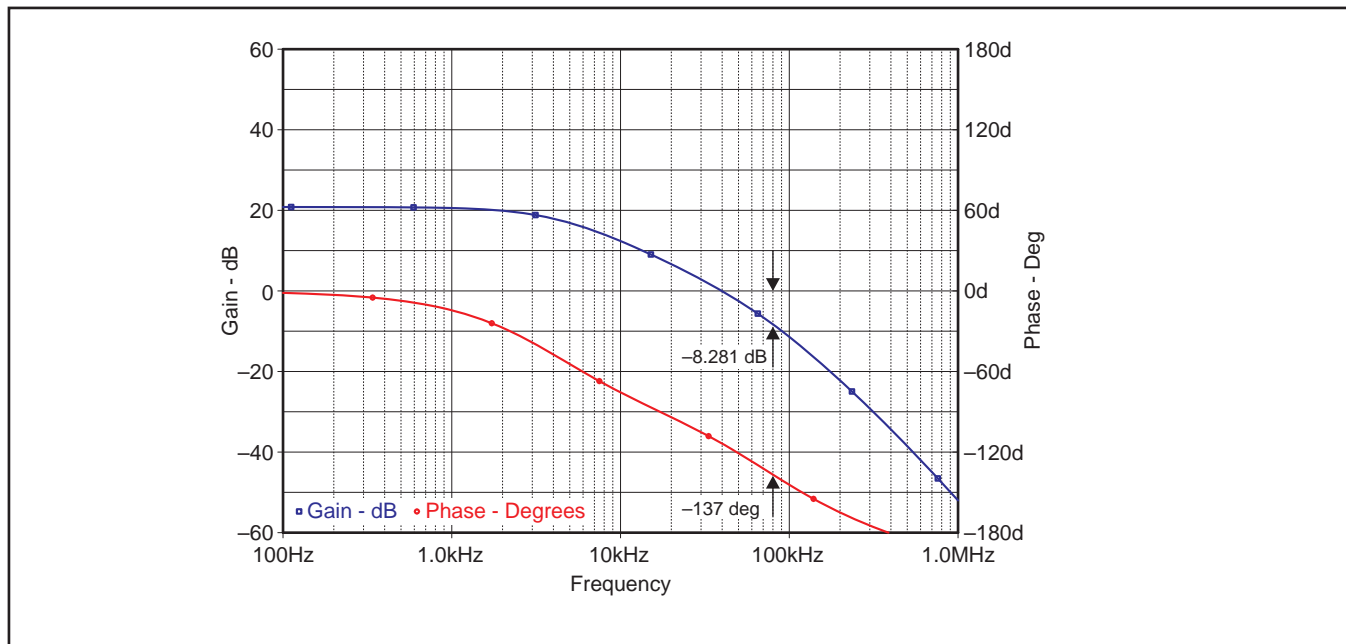


図 30. パワー段のゲインおよび位相特性

この設計では、目的のクロスオーバー周波数が80kHzです。パワー段のゲインおよび位相のプロットから、80kHzでのゲインは-8.281dB、位相は-137度です。60度の位相マージンを得るには、電圧設定点分圧回路の上側抵抗と並列に、フィードフォワード・コンデンサから追加の位相ブーストが必要になります。R5は、補償された誤差増幅器のゲインを、クロスオーバー周波数でのパワー段ゲインと等しい逆符号の値に設定します。必要なR5の値は、式(32)で計算できます。

$$R5 = \frac{10^{-\frac{G_{PWRSTG}}{20}}}{gm_{EA}} \cdot \sqrt{\frac{V_{out}}{V_{REF}}} \quad (32)$$

位相ゲインを最大にするため、クロスオーバー周波数の80kHzから1ディケード下に補償用のゼロを配置します。必要なC4の値は、式(33)で与えられます。

$$C4 = \frac{1}{2 \cdot \pi \cdot R5 \cdot \frac{F_{CO}}{10}} \quad (33)$$

位相ゲインを最大にするため、クロスオーバー周波数の80kHzから1ディケード上に高周波極を配置します。必要なC5の値は、式(34)で計算できます。

$$C5 = \frac{1}{2 \cdot \pi \cdot R5 \cdot (10 \cdot F_{CO})} \quad (34)$$

フィードフォワード・コンデンサC9は、クロスオーバーでの位相ブーストを、タイプII補償で通常得られるよりも大きくする目的で用いられます。これにより、式(35)および式(36)の位置に追加のゼロ/極ペアが配置されます。

$$F_Z = \frac{1}{2 \cdot \pi \cdot C9 \cdot R7} \quad (35)$$

$$F_P = \frac{1}{2 \cdot \pi \cdot C9 \cdot R7 \parallel R8} \quad (36)$$

このゼロと極のペアは、独立していません。ゼロの位置を選択すると、極も決定されます。最適な性能を得るには、目的のクロスオーバー周波数に関してゼロと極を対称的に配置する必要があります。必要なC9の値は、式(37)で計算できます。

$$C9 = \frac{1}{2 \cdot \pi \cdot R7 \cdot F_{CO} \cdot \sqrt{\frac{V_{REF}}{V_{OUT}}}} \quad (37)$$

この設計では、補償部品の計算値は、R5 = 4.68kΩ、C4 = 4290pF、C5 = 42.9pF、C9 = 467pFとなります。標準値を使用して、補償部品はそれぞれR5 = 4.64kΩ、C4 = 3900pF、C5 = 39pF、C9 = 470pFとなります。

## アプリケーション曲線

負荷過渡応答

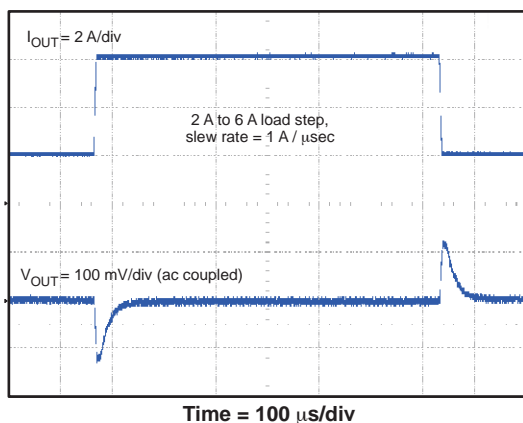


図 31

VINによるスタートアップ

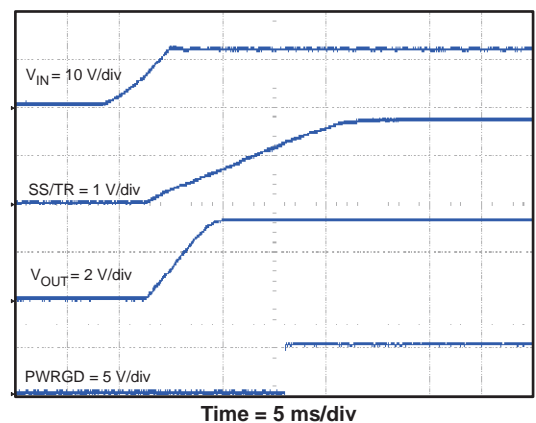


図 32

# アプリケーション曲線

ENによるスタートアップ

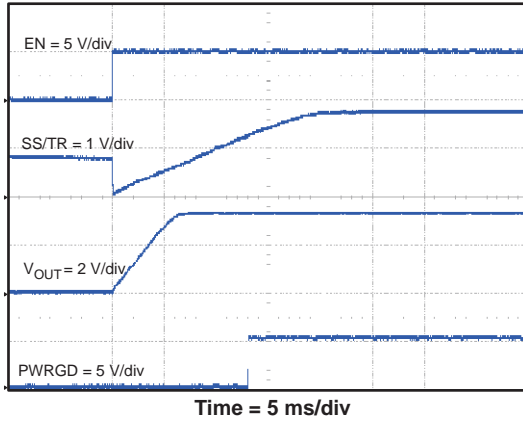


図 33

プリバイアスによるスタートアップ

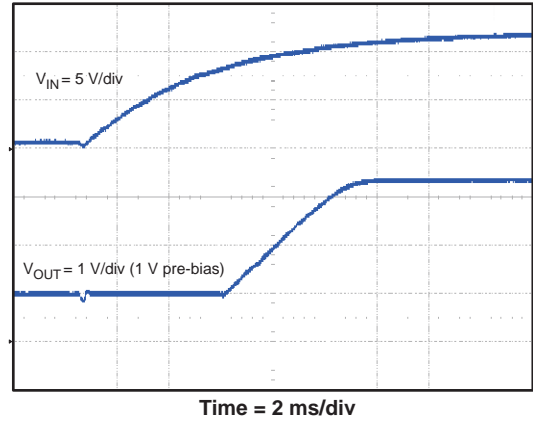


図 34

全負荷での出力電圧リップル

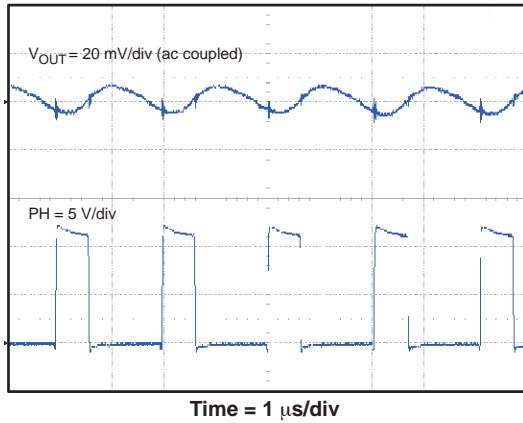


図 35

全負荷での入力電圧リップル

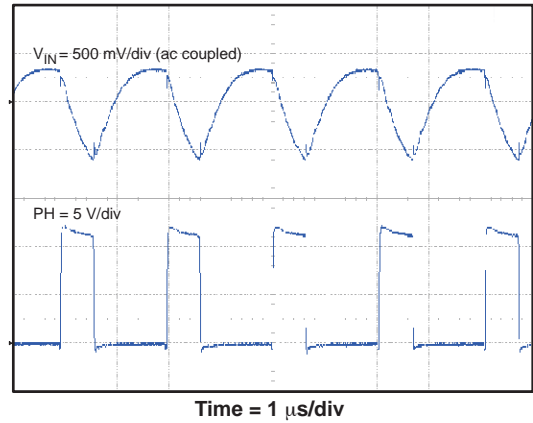


図 36

閉ループ応答、 $I_{OUT} = 4A$

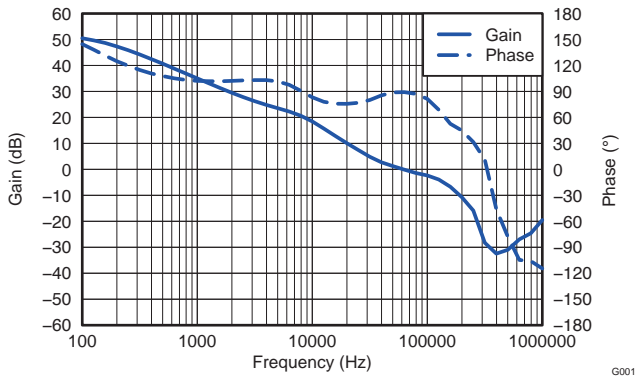


図 37

ライン・レギュレーション

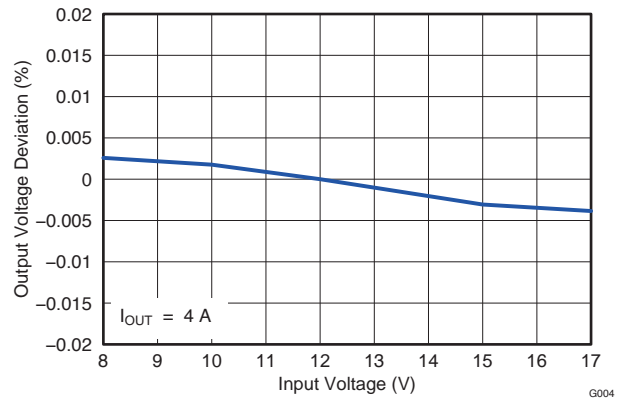


図 38

# アプリケーション曲線

負荷レギュレーション

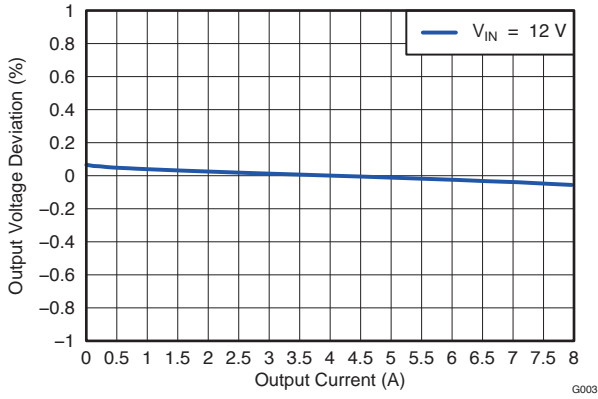


図 39

トラッキング性能

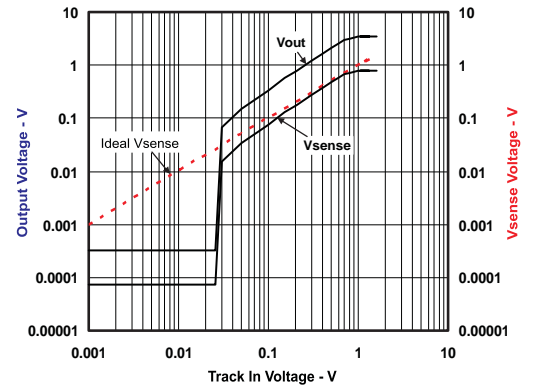


図 40

最大周囲温度 対 負荷電流

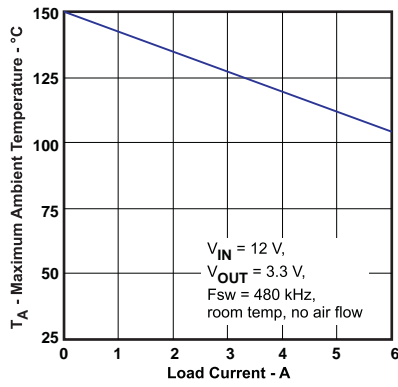


図 41

効率 対 負荷電流

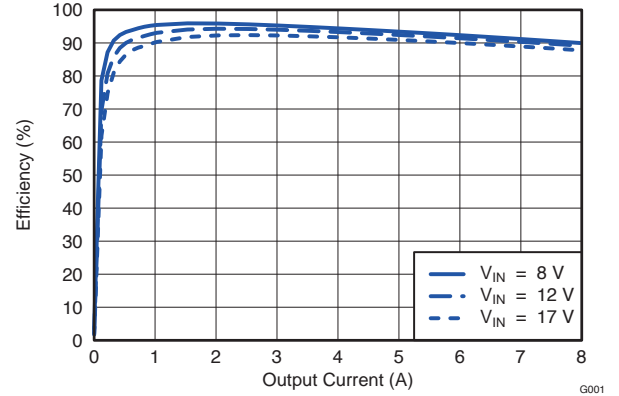


図 42

効率 対 出力電流

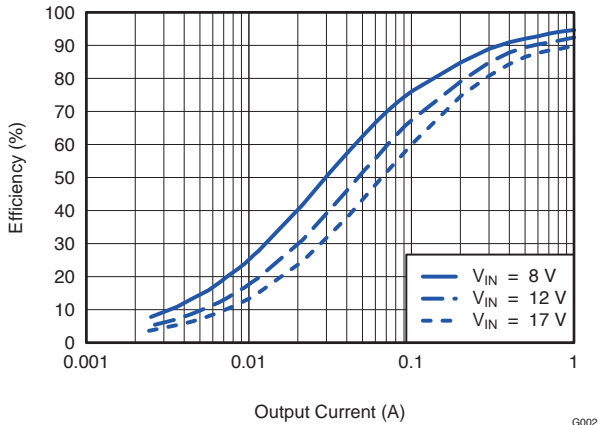


図 43

TPS54821のヒックアップ・モード電流制限

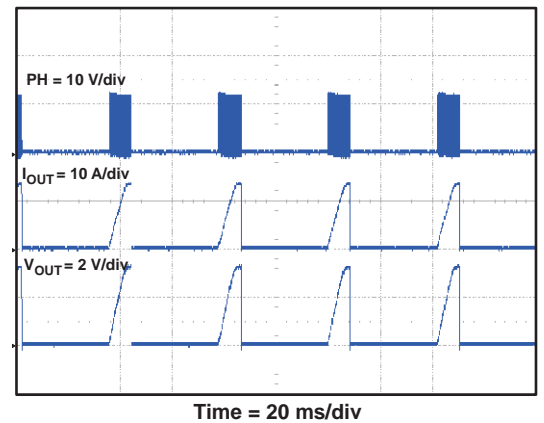


図 44

## 高速過渡応答の考慮

高速過渡応答が重要であるようなアプリケーションでは、従来のタイプII周波数補償の代わりに、タイプIII周波数補償を使用できます。

タイプIIおよびタイプIII周波数補償回路の詳細については、『Designing Type III Compensation for Current Mode Step-Down Converters』(SLVA352) および『Design Calculator』(SLVC219)を参照してください。

## PCBレイアウトのガイドライン

レイアウトは、優れた電源設計のために重要な要素です。PCBレイアウト例については、図45を参照してください。上層には、VIN、VOUT、およびVPHASEのメイン電源パターンが含まれています。また、上層には、TPS54821の残りのピンの接続と、グラウンドで占められる大きな上面領域とがあります。上層のグラウンド領域は、入力バイパス・コンデンサ、出力フィルタ・コンデンサ、およびTPS54821デバイスの直下で、ビアを使用して内部のグラウンド層に接続される必要があります。これにより、露出したサーマル・パッドのランドからグラウンドまでの熱パスを提供します。GNDピンは、ICの下部にあるPowerPADに直接接続する必要があります。全定格負荷で動作を行うには、上面のグラウンド領域と内部のグラウンド・プレーンが合わせて十分な熱放散面積を備えていなければなりません。高速で変化する電流または電圧を通す信号パスがいくつかあるため、浮遊インダクタンスや寄生容量によってノイズが発生したり、電源の性能が低下したりする可能性があります。これらの問題をなくすために、PVINピンは、X5RまたはX7R誘電体を使用した低ESRのセラミック・バイパス・コンデンサを使用

してグラウンドにバイパスする必要があります。バイパス・コンデンサ接続、PVINピン、およびグラウンド接続によって形成されるループの面積は、最小限に抑えるよう注意が必要です。また、VINピンも、X5RまたはX7R誘電体を使用した低ESRのセラミック・コンデンサを使用してグラウンドにバイパスする必要があります。このコンデンサは、PVInバイパス・コンデンサのパワー・グラウンド・パターンではなく、低雑音のアナログ・グラウンド・パターンに接続するようにしてください。PH接続はスイッチング・ノードであるため、出力インダクタはPHピンに近づけて配置し、過度の容量性カップリングを避けるためにPCB導体の面積はできるだけ小さくしてください。出力フィルタ・コンデンサのグラウンドには、PVIN入力バイパス・コンデンサと同じパワー・グラウンド・パターンを使用する必要があります。このパターンは、十分な幅を保ちながらできるだけ短くしてください。小信号部品は、図に示すようにアナログ・グラウンド・パスに接地する必要があります。RT/CLKピンはノイズの影響を受けやすいため、RTの抵抗はICにできるだけ近づけて配置し、最短のパターンで配線する必要があります。追加の外部部品は図に示されるように配置できます。別のPCBレイアウトでも許容される性能を得ることは可能ですが、このレイアウトは良好な結果が得られることが実証済みであり、ガイドラインとして示しています。

ランド・パターンおよびステンシルに関する情報は、データ・シートの付録に記載されています。記載されている寸法および外形に関する情報は、標準RHL(S-PVQFN-N14)パッケージに対するものです。TPS54821RHLパッケージで実際に使用されているリード・フレームは、記載のデータと多少異なる可能性があります。



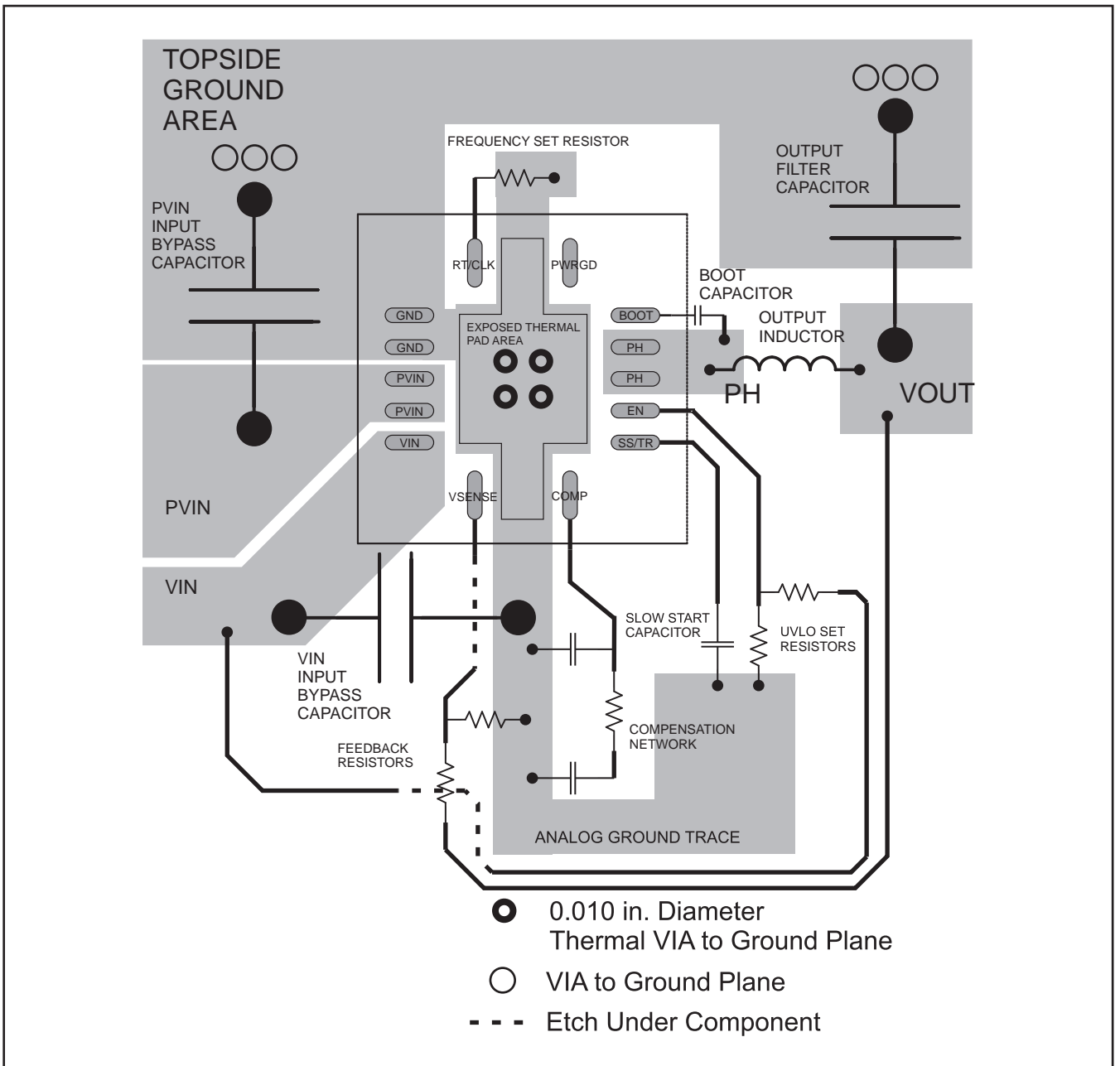


図 45. PCBレイアウト

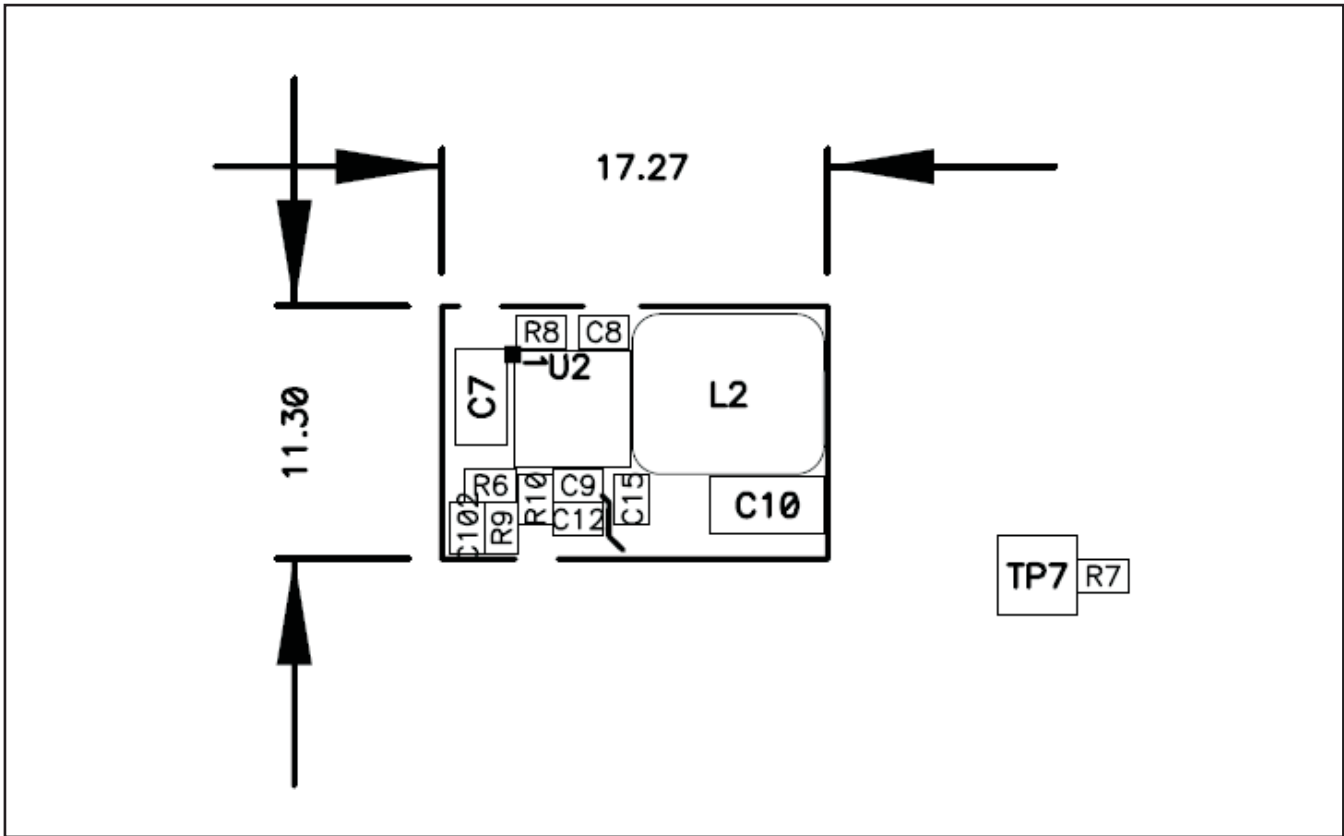


図 46. TPS54821 (PMP4854-2)を使用した超小型PCBレイアウト

## 回路面積の見積もり

図29の設計で使用される部品に対して見積もられるプリント基板面積は、 $0.58\text{in}^2$  ( $374\text{mm}^2$ )です。この面積には、テスト・ポイントおよびコネクタは含まれません。

# パッケージ情報

## 製品情報

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish	MSL Peak Temp <sup>(3)</sup>	Samples (Requires Login)
TPS54821RHLLR	ACTIVE	QFN	RHL	14	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS54821RHLLT	ACTIVE	QFN	RHL	14	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	

<sup>(1)</sup> マーケティング・ステータスは次のように定義されています。

**ACTIVE**: 製品デバイスが新規設計用に推奨されています。

**LIFEBUY**: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

**NRND**: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

**PREVIEW**: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

**OBSOLETE**: TIによりデバイスの生産が中止されました。

<sup>(2)</sup> エコプラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

**TBD**: Pb-Free/Green変換プランが策定されていません。

**Pb-Free (RoHS)**: TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリープロセスでの使用に適しています。

**Pb-Free (RoHS Exempt)**: この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS)と考えられます。

**Green (RoHS & no Sb/Br)**: TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

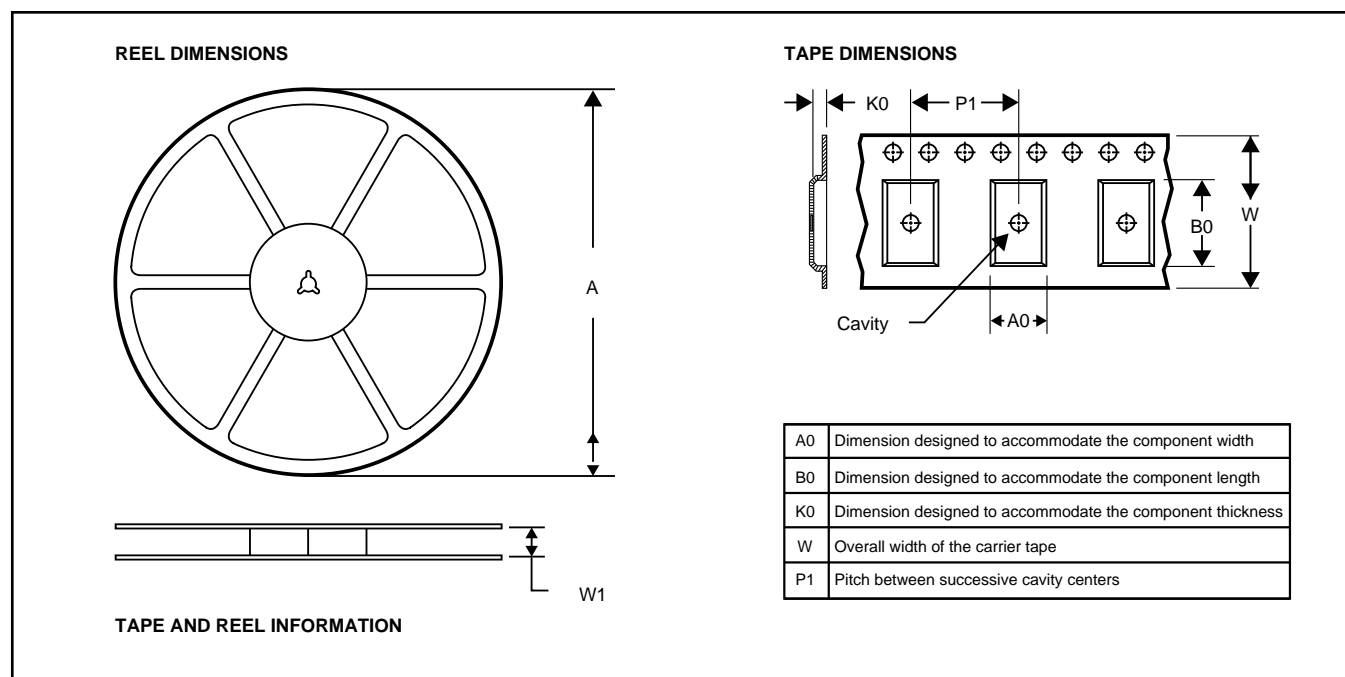
<sup>(3)</sup> MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

**重要な情報および免責事項**: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

# パッケージ・マテリアル情報

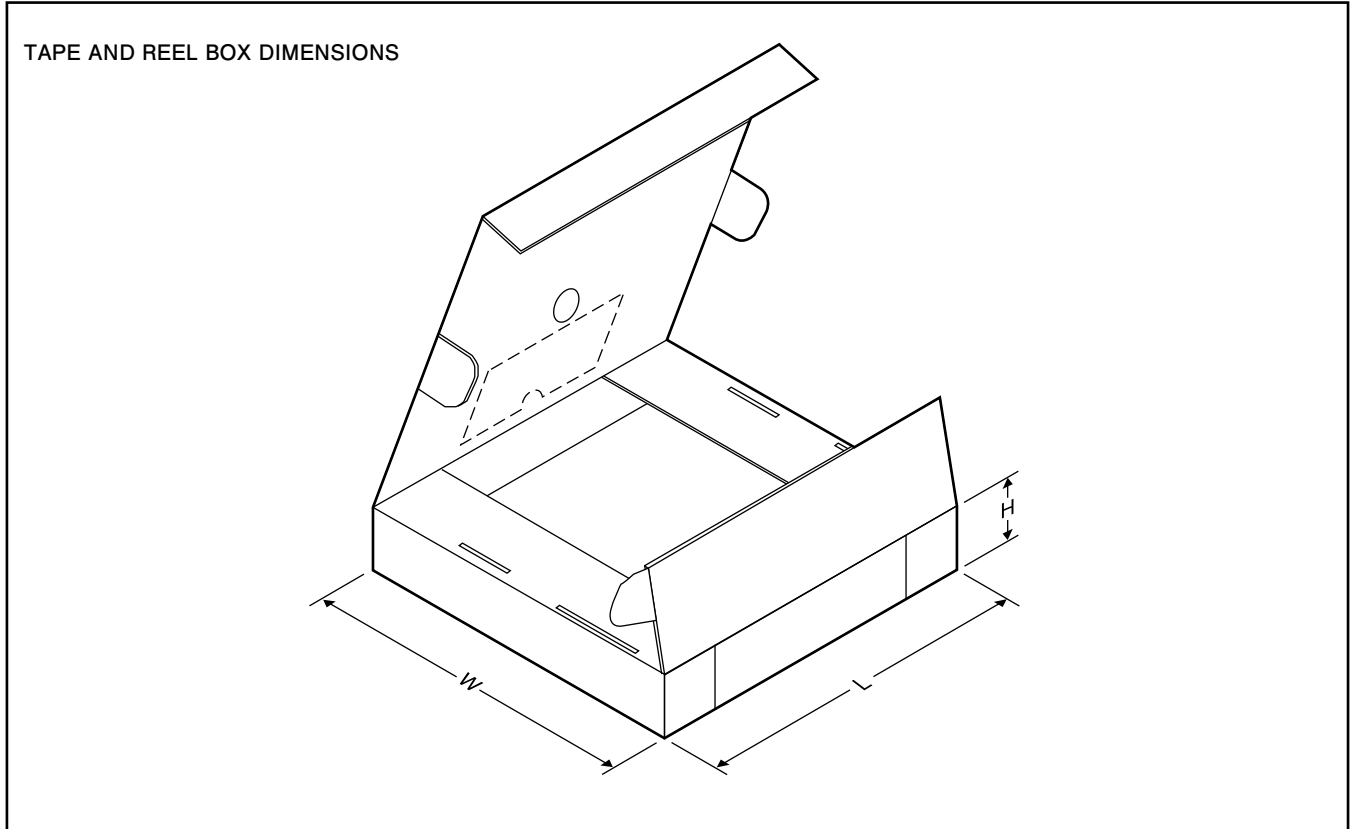
## テープおよびリール・ボックス情報



\*All dimensions are nominal

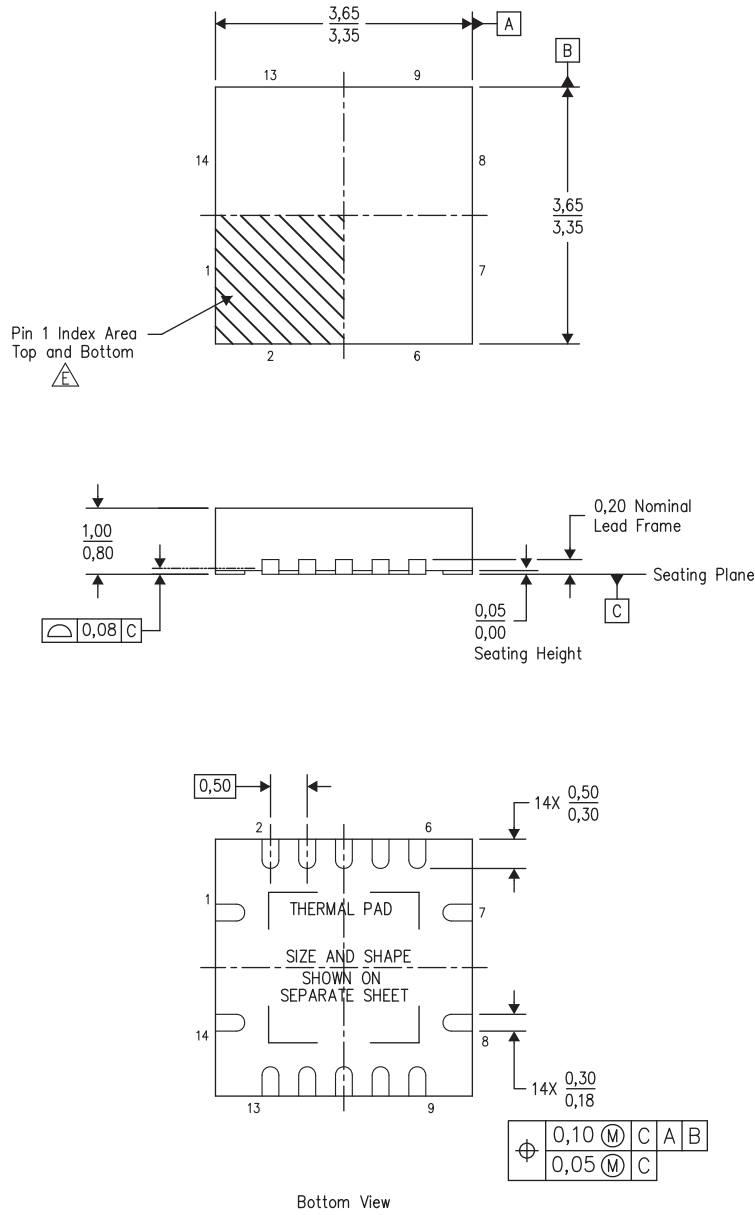
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS54821RHRLR	QFN	RHL	14	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q2
TPS54821RHILT	QFN	RHL	14	250	180.0	12.4	3.75	3.75	1.15	8.0	12.0	Q2

# パッケージ・マテリアル情報



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS54821RHLR	QFN	RHL	14	3000	346.0	346.0	29.0
TPS54821RHLL	QFN	RHL	14	250	210.0	185.0	35.0



4205346-2/J 12/11

- 注：A. 直線寸法はすべてミリメートル単位です。寸法および許容誤差は、ASME Y14.5M-1994によります。  
 B. 本図は予告なしに変更することがあります。  
 C. QFN(クワッドフラットパック・ノーリード)パッケージ構造。  
 D. パッケージのサーマルパッドは、熱的および機能的特性を得るために基板に半田付けする必要があります。  
 E. 露出サーマルパッドの寸法に関する詳細は、製品データシートをご覧ください。

# サーマルパッド・メカニカル・データ

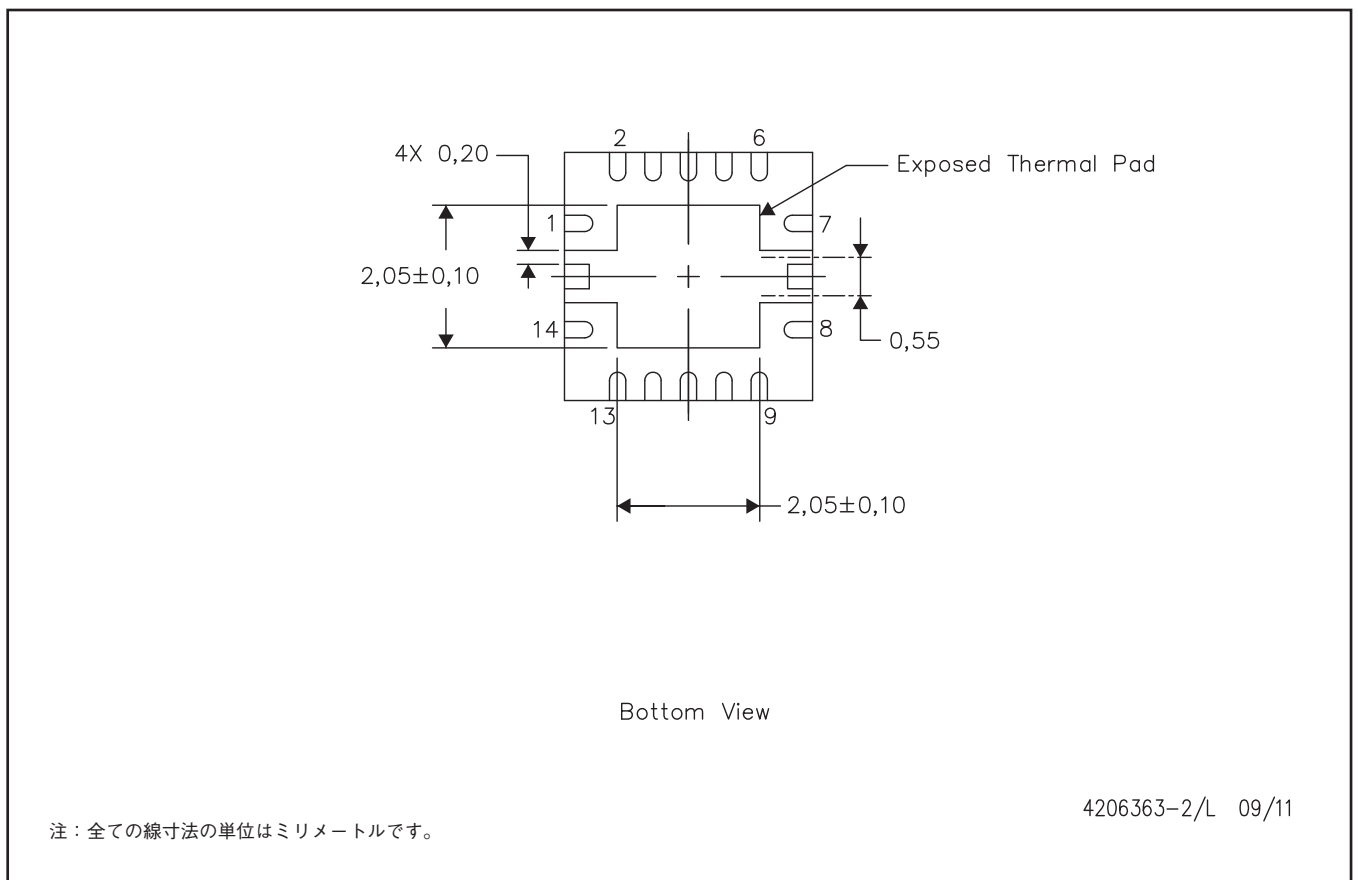
RHL(S-PVQFN-N14)

## 熱的特性に関する資料

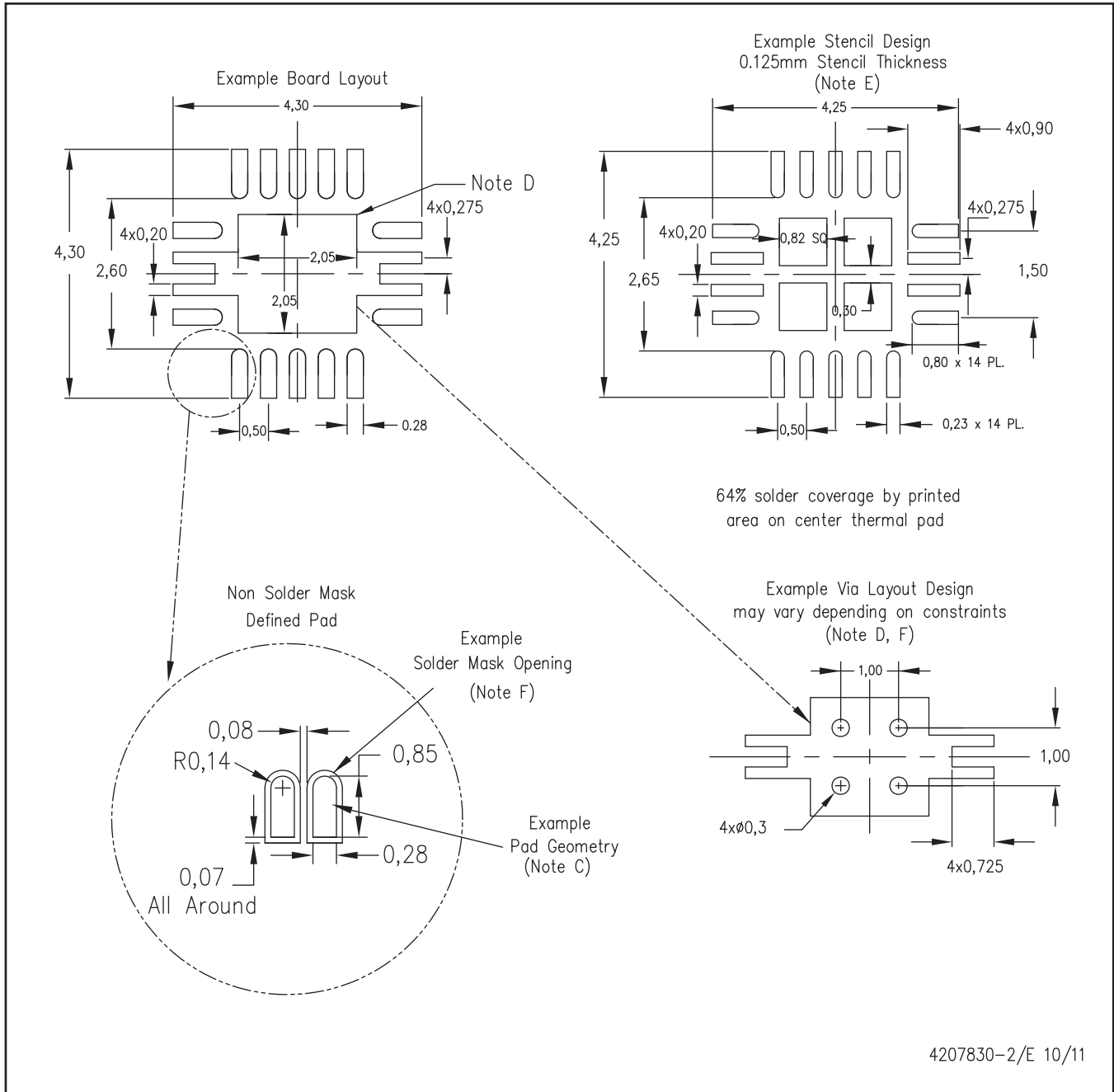
このパッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマルパッドが装備されています。このサーマルパッドは、プリント基板 (PCB) をヒートシンクとして使用できるように、PCBに直接半田付けする必要があります。また、サーマルビアを使用して、サーマルパッドをグランドプレーンまたはPCB内に設計された特別なヒートシンク構造に直接接続することができます。この設計により、ICからの熱伝導が最適化されます。

QFN(Quad Flatpack No-Lead)パッケージとその利点については、アプリケーションレポート『Quad Flatpack No-Lead SON PCB』(Texas Instruments文献番号SLUA271)を参照してください。このドキュメントは、ホームページwww.ti.comで入手できます。

このパッケージの露出したサーマルパッドの寸法を次の図に示します。に設計された、露出したサーマルパッドが装備されています。



サーマルパッド寸法図



- 注：A. 全ての線寸法の単位はミリメートルです。  
 B. 図は予告なく変更することがあります。  
 C. 代替設計には、IPC-7351規格を推奨します。  
 D. このパッケージは、基板上のサーマル・パッドに半田付けされるように設計されています。熱に関する具体的な情報、ビア要件、および推奨基板レイアウトについては、アプリケーション・ノート『Quad Flat-Pack Packages』(TI文献番号SLUA271) および製品データシートを参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。  
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。ステンシル設計上の考慮事項については、IPC 7525を参照してください。  
 F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。



# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上