

TPS560200-Q1 4.5V ~ 17V 入力、500mA、車載用、同期降圧コンバータ、高度な自動 Eco モード搭載

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
 - 温度範囲: グレード 1 (-40°C ~ 125°C)
 - HBM ESD 分類レベル: H2
 - CDM ESD 分類レベル: C4B
- 0.95Ω ハイサイドと 0.33Ω ローサイドの各モノリシック MOSFET を統合済み
- 500mA の連続出力電流
- 出力電圧範囲: 0.8V ~ 6.5V
- 温度範囲全体にわたって ±1.3% の精度の 0.8V 電圧リファレンス
- 高度な自動スキップ Eco-mode による軽負荷時の高い効率
- D-CAP2™ 制御方式による高速過渡応答
- 外部補償は不要です
- 600kHz のスイッチング周波数
- 2ms の内部ソフトスタート
- プリバイアスされた VOUT への安全な起動
- サーマル シャットダウン
- 動作時の接合部温度範囲: -40°C ~ 125°C
- 8 ピンの MSOP パッケージで供給

2 アプリケーション

- 電気自動車 (EV) の充電ステーション
- インフォテインメントシステム

3 説明

TPS560200-Q1 は、17V、500mA、低静止電流 (IQ)、適応型オン時間 D-CAP2 制御方式モードの同期モノリシック降圧コンバータであり、複数の MOSFET を内蔵した、使いやすい 8 ピン MSOP パッケージに搭載されています。

TPS560200-Q1 を採用することで、各種最終製品の電源バスレギュレータに対して、コスト効果が高く、部品数の少ない、低スタンバイ電流の設計を実現できます。本デバイスの主制御ループは、外部補償部品なしで高速過渡応答が得られる D-CAP2 制御方式を使用しています。適応型オン時間制御により、重負荷時には PWM モード動作、軽負荷時には高度な Eco-mode 動作へシームレスに移行できます。

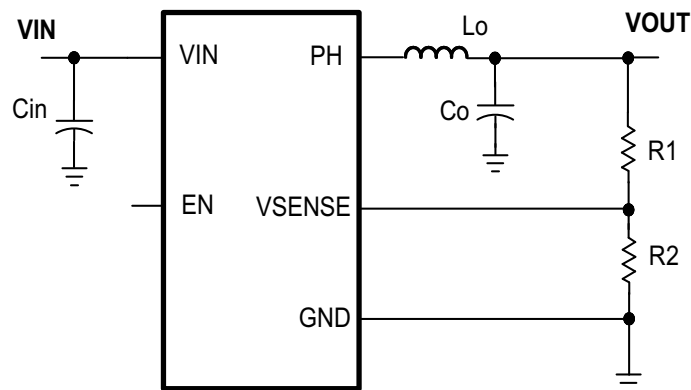
また、TPS560200-Q1 は、低 ESR (等価直列抵抗) の出力コンデンサ (たとえば、POSCAP または SP-CAP) と超低 ESR セラミック コンデンサの両方をサポートできる独自の回路も備えています。このデバイスは、4.5V ~ 17V の VIN 入力で作動します。出力電圧は 0.8V ~ 6.5V に設定できます。このデバイスには 2ms の固定ソフトスタート時間があります。このデバイスは 8 ピン MSOP パッケージで供給されます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TPS560200-Q1	DGK (VSSOP, 8)	3mm × 4.9mm

(1) 詳細については、[セクション 10](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



Copyright © 2016, Texas Instruments Incorporated

概略回路図



目次

1 特長	1	6.4 デバイスの機能モード.....	9
2 アプリケーション	1	7 アプリケーションと実装	10
3 説明	1	7.1 使用上の注意.....	10
4 ピン構成および機能	3	7.2 代表的なアプリケーション.....	10
5 仕様	4	7.3 電源に関する推奨事項.....	14
5.1 絶対最大定格.....	4	7.4 レイアウト.....	15
5.2 ESD 定格.....	4	8 デバイスおよびドキュメントのサポート	16
5.3 推奨動作条件.....	4	8.1 ドキュメントの更新通知を受け取る方法.....	16
5.4 熱に関する情報.....	4	8.2 サポート・リソース.....	16
5.5 電気的特性.....	5	8.3 商標.....	16
5.6 代表的特性.....	6	8.4 静電気放電に関する注意事項.....	16
6 詳細説明	7	8.5 用語集.....	16
6.1 概要.....	7	9 改訂履歴	16
6.2 機能ブロック図.....	7	10 メカニカル、パッケージ、および注文情報	17
6.3 機能説明.....	7		

4 ピン構成および機能

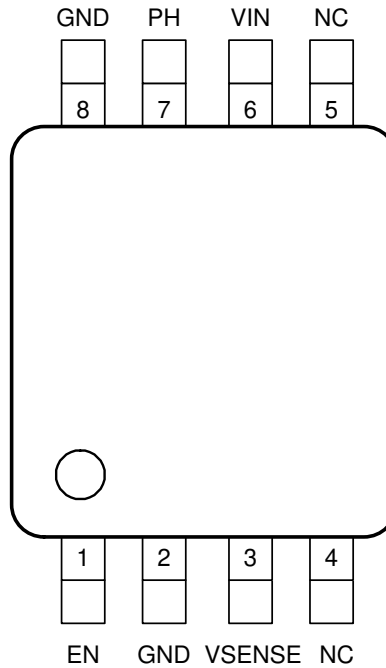


図 4-1. DGK パッケージ、8 ピン VSSOP (上面図)

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
EN	1	I	イネーブルピン。有効化するには、フローティング状態にします
GND	2、8	—	制御回路とローサイドパワー MOSFET のリターンです
VSENSE	3	I	コンバータの帰還入力。帰還抵抗分圧回路を使用して出力電圧に接続します
NC	4、5	—	内部はノー コネクションで、任意のノードに接続するかフローティング状態にすることができます
VIN	6	I	パワー コンバータの制御回路に電源を供給します
PH	7	O	スイッチ ノード

(1) I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

(1) を参照

		最小値	最大値	単位
入力電圧	VIN	-0.3	19	V
	EN	-0.3	7	V
	VSENSE	-0.3	3	V
出力電圧	PH	-0.6	19	V
	PH 10ns 過渡	-2	21	V
ソース電流	EN	±100		μA
	PH	電流制限		A
シンク電流	PH	電流制限		A
動作時接合部温度		-40	150	°C
保管温度、T _{stg}		-65	150	

(1) 「絶対最大定格」で示す値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレス定格のみを示すものであり、これらの条件で、または「推奨動作条件」で示された条件を超えるそれ以外の条件で本デバイスが正常に動作することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

5.2 ESD 定格

		値	単位
V _(ESD) 静電放電	人体モデル (HBM)、AEC Q100-002 に準拠、すべての -2000、2000 ピン ⁽¹⁾	±2000	V
	デバイス帯電モデル (CDM)、AEC Q100-011 に準拠、すべてのピン	±500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V _I	入力電圧範囲	4.5	17	V
T _J	動作時接合部温度	-40	125	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS560200-Q1	単位
		DGK (VSSOP)	
		8 ピン	
R _{θJA}	接合部から周囲への熱抵抗	184.7	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	76.8	°C/W
R _{θJB}	接合部から基板への熱抵抗	106.0	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	14.4	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	104.3	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。
[spra953](#)

5.5 電気的特性

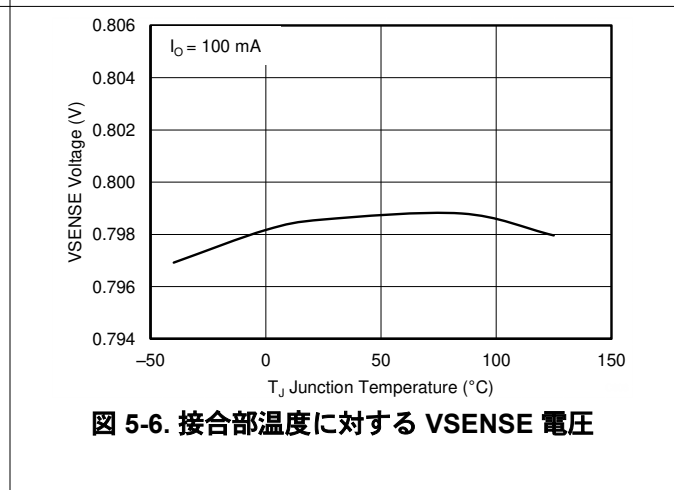
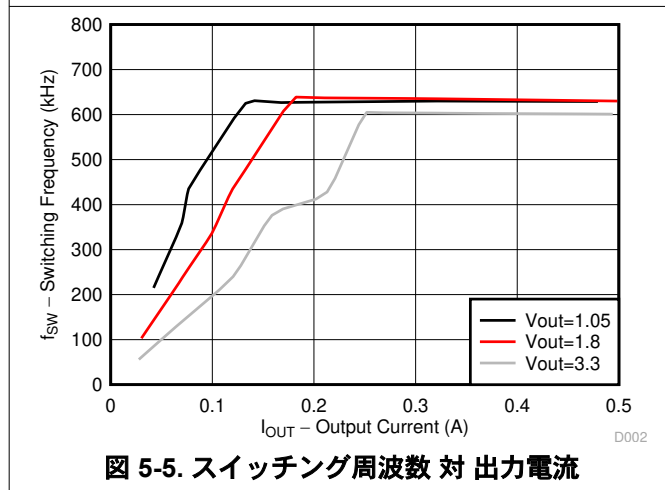
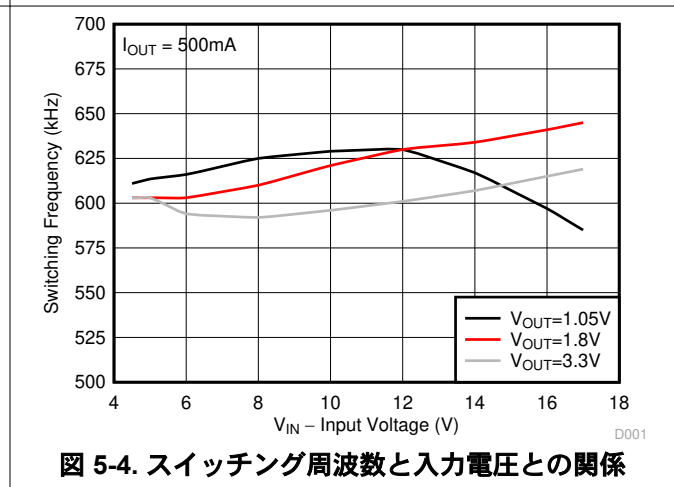
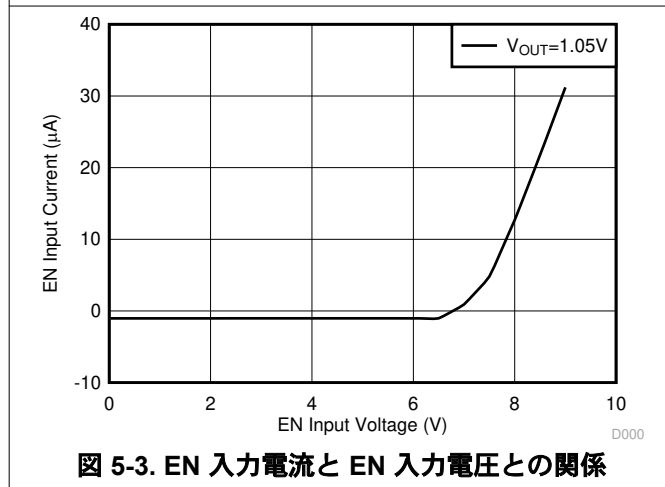
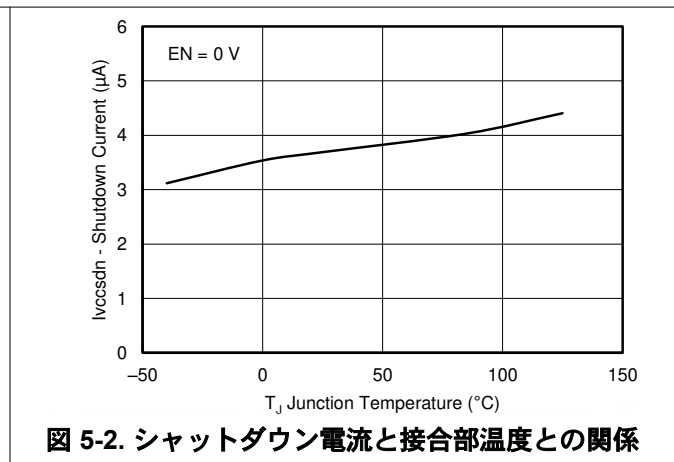
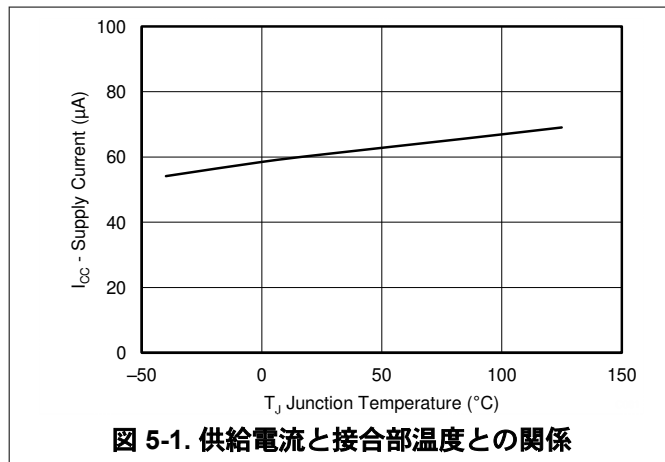
$T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 、 $V_{IN} = 4.5\text{V} \sim 17\text{V}$ (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
電源電圧 (VIN ピン)					
VIN 動作時入力電圧		4.5		17	V
VIN 内部 UVLO ウェークアップ	VIN 立ち上がり		4.35	4.5	V
VIN 内部 UVLO シャットダウン	VIN 立ち下がり	3.9	4.15		V
VIN のシャットダウン時供給電流	$EN = 0\text{V}$ 、 $V_{IN} = 12\text{V}$	2.0	3.7	9	μA
VIN 動作時 — 非スイッチング時供給電流	$V_{SENSE} = 850\text{mV}$ 、 $V_{IN} = 12\text{V}$	35	60	95	μA
イネーブル (EN ピン)					
イネーブル スレッシュヨルド	立ち上がり		1.16	1.29	V
	立ち下がり	1.05	1.13		V
内部ソフト スタート	V_{SENSE} は 0V から 0.8V に上昇		2		ms
出力電圧					
電圧リファレンス	25°C 、 $V_{IN} = 12\text{V}$ 、 $V_{OUT} = 1.05\text{V}$ 、 $I_{OUT} = 5\text{mA}$ 、パルス スキップ	0.796	0.804	0.812	V
	25°C 、 $V_{IN} = 12\text{V}$ 、 $V_{OUT} = 1.05\text{V}$ 、 $I_{OUT} = 100\text{mA}$ 、連続電流モード	0.792	0.800	0.808	V
	$V_{IN} = 12\text{V}$ 、 $V_{OUT} = 1.05\text{V}$ 、 $I_{OUT} = 100\text{mA}$ 、連続電流モード	0.789	0.800	0.811	V
MOSFET					
ハイサイド スイッチ抵抗 ⁽¹⁾	$V_{IN} = 12\text{V}$	0.50	0.95	1.50	Ω
ローサイド スイッチ抵抗 ⁽¹⁾	$V_{IN} = 12\text{V}$	0.20	0.33	0.55	Ω
電流制限					
ローサイド スイッチ ソース電流制限	$L_{OUT} = 10\mu\text{H}$ 、バレー電流、 $V_{OUT} = 1.05\text{V}$	570	670	795	mA
サーマル シャットダウン					
サーマル シャットダウン			160		$^{\circ}\text{C}$
サーマル シャットダウン ヒステリシス			10		$^{\circ}\text{C}$
ON-TIME TIMER CONTROL					
オン時間	$V_{IN} = 12\text{V}$ ⁽¹⁾	130	165	200	ns
最小オフ時間	25°C 、 $V_{SENSE} = 0.5\text{V}$		250	400	ns
出力低電圧保護					
出力 UVP スレッシュヨルド	立ち下がり	56	63	69	%VREF
ヒックアップ時間			15		ms

(1) 量産では検査していません。

5.6 代表的特性

$V_{IN} = 12V$ 、 $T_A = 25^\circ C$ (特に記述のない限り)。

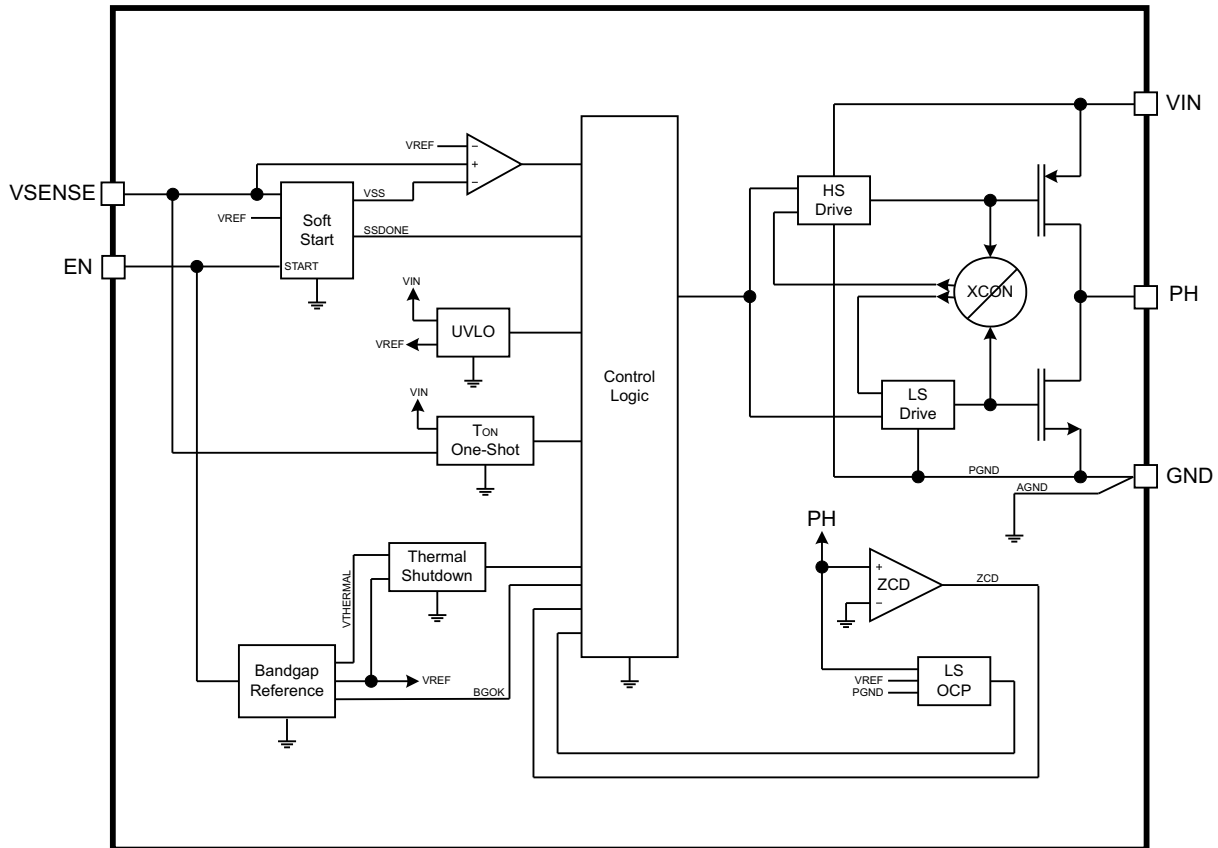


6 詳細説明

6.1 概要

TPS560200-Q1 は、2 つの N チャネル MOSFET を内蔵した、500mA の同期整流降圧 (バック) コンバータです。このデバイスは、D-CAP2 制御方式を使用して動作します。D-CAP2 制御方式の高速過度応答により、特定の性能レベルを満たすのに必要な出力キャパシタンスを低減します。独自の内部回路により、セラミックおよび特殊なポリマー タイプを含めた低 ESR 出力コンデンサを使用可能です。

6.2 機能ブロック図



Copyright © 2016, Texas Instruments Incorporated

6.3 機能説明

6.3.1 PWM 動作

TPS560200-Q1 のメイン制御ループは、独自の D-CAP2 制御方式をサポートする適応型オン時間パルス幅変調 (PWM) コントローラとなっています。D-CAP2 制御方式は、コンスタント オンタイム制御を、擬似固定周波数で外付け部品点数の少ない構成を可能にする内部補償回路と組み合わせたもので、低 ESR 出力コンデンサとセラミック出力コンデンサの両方を使用できます。D-CAP2 制御方式は、出力にほとんどリップルがない状態でも安定して動作します。

各サイクルの開始時に、ハイサイド MOSFET がオンになります。内部のワンショット タイマが終了すると、この MOSFET がオフになります。このワンショット タイマの時間は、入力電圧範囲内で擬似固定周波数が維持されるように、コンバータの入力電圧 (VIN) と出力電圧 (VOUT) によって設定されます。したがって、これは適応型オン時間制御と呼ばれます。帰還電圧がリファレンス電圧を下回ると、ワンショット タイマがリセットされ、ハイサイド MOSFET が再度オンになります。出力リップルをシミュレートするために、リファレンス電圧に内部ランプを追加しているため、D-CAP2 制御方式による ESR に起因する出力リップルは不要です。

6.3.2 PWM 周波数と適応型オン時間制御

TPS560200-Q1 は適応型オン時間制御方式を採用しており、専用のオンボード発振器はありません。TPS560200-Q1 は、入力電圧および出力電圧を使用してオン時間ワンショット タイマを設定することにより、600kHz の擬似定周波数で動作します。オン時間は入力電圧に反比例し、出力電圧に比例します。したがって、デューティ比が V_{OUT}/V_{IN} の場合、周波数は一定です。

6.3.3 高度な自動スキップ Eco-mode 制御

TPS560200-Q1 は、軽負荷時の効率を向上する高度な自動スキップ Eco モードで設計されています。出力電流が重負荷状態から減少すると、インダクタ電流も減少します。出力電流が十分に減少すると、インダクタ電流リップルの谷がゼロレベルに達します。これは連続導通モードと不連続導通モードの境界に当たります。インダクタ電流がゼロと検出されると、整流ローサイド MOSFET がオフになります。負荷電流がさらに減少すると、コンバータは不連続導通モードに入ります。オン時間は、連続導通モード時とほぼ同じに保たれます。負荷電流が小さいと、出力コンデンサをリファレンス電圧レベルまで放電するのに長い時間がかかるため、オフ時間は長くなります。軽負荷動作 $I_{OUT(LL)}$ 電流への遷移点は、式 1 を使用して計算できます。

$$I_{OUT(LL)} = \frac{1}{2 \times L_{OUT} \times f_{sw}} \times \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN}} \quad (1)$$

6.3.4 ソフト スタートおよびプリバイアス付きソフト スタート

TPS560200-Q1 には内部に 2ms のソフト スタートがあります。EN ピンが High になると、内部ソフト スタート機能によって PWM コンパレータに対するリファレンス電圧が上昇し始めます。

TPS560200-Q1 には、出力がプリバイアスされている場合に、スタートアップ時に出力から電流がプルされないようにする独自の回路が内蔵されています。ソフト スタートでプリバイアス レベルよりも高い電圧が指定される (内部ソフト スタートが帰還電圧 V_{VSENSE} よりも大きくなる) と、コントローラは、最初のローサイド FET ゲートドライバ パルスを狭いオン時間で開始することにより、ゆっくりと同期整流を起動します。次に、そのオン時間が (1D) で示される時間と一致するまで (D はコンバータのデューティ サイクル)、オン時間をサイクル毎にインクリメントします。この方式により、プリバイアス出力の初期シンクを防ぐとともに、出力電圧 (V_{OUT}) は立ち上がり後スムーズにレギュレーション状態まで上昇し、また、制御ループがプリバイアス スタートアップから通常モード動作へと遷移するために十分な時間が確保されます。

6.3.5 電流保護

出力過電流保護 (OCP) は、サイクル毎のバレー検出制御回路を使用して実現されています。スイッチ電流は、PH ピンと GND の間のローサイド FET スイッチ電圧を測定することによって監視します。この電圧は、スイッチ電流に比例します。精度を向上させるため、電圧センスは温度補償されています。

ハイサイド FET スイッチのオン期間中、スイッチ電流は、 V_{IN} 、 V_{OUT} 、オン時間、出力インダクタ値によって決定される直線的なレートで増加します。ローサイド FET スイッチのオン期間中は、この電流はリニアに減少します。スイッチ電流の平均値は、負荷電流 (I_{OUT}) です。TPS560200-Q1 は、ローサイドのオン期間中はスイッチ電流に比例するローサイド FET スイッチ電圧を継続的に監視します。測定された電圧が、電流制限に比例した電圧よりも高い場合は、測定電圧が電流制限に対応した電圧を下回るまで、各スイッチング サイクルで内部カウンタがインクリメントされ、コンバータはローサイド スイッチをオンに維持します。下回った時点で、スイッチング サイクルが終了し、新しいスイッチング サイクルが開始されます。以降のスイッチング サイクルでは、オン時間が固定値に設定され、同じ方法で電流がモニタされます。

このようなタイプの過電流保護には、いくつかの重要な考慮事項があります。ピーク電流は、インダクタのピークツーピーク電流の $1/2$ を加算した値の平均負荷電流です。バレー電流は、インダクタのピークツーピーク電流の $1/2$ を引いた値の平均負荷電流です。バレー電流を使用して過電流スレッシュホールドを検出するため、負荷電流は過電流スレッシュホールドよりも高くなります。また、電流制限が行われている間は、負荷から要求される電流がコンバータから供給可能な電流を上回る可能性があるため、出力電圧は低下する傾向にあります。この保護機能は非ラッチ方式です。 V_{SENSE} 電圧が目標電圧の 63% を下回ると、UVP コンパレータは V_{SENSE} 電圧を検出します。7 μ s が UVP 電圧を検出すると、デバイスはシャットダウンし、ヒックアップ時間が経過すると再起動します。

過電流状態が解消されると、出力電圧はレギュレーション値に復帰します。

6.3.6 サーマル シャットダウン

TPS560200-Q1 は TPS560200-Q1 の温度を監視します。温度がスレッシュホールド値 (通常 160°C) を超えると、デバイスはシャットダウンします。これは非ラッチ型の保護機能です。

6.4 デバイスの機能モード

6.4.1 通常動作

入力電圧が UVLO スレッシュホールドを上回り、EN の電圧がイネーブル スレッシュホールドを上回っている場合、TPS560200-Q1 は、通常のスイッチング モードで動作できます。インダクタの最小スイッチ電流が 0A を上回ると、通常の連続導通モード (CCM) が発生します。CCM では、TPS560200-Q1 は 600kHz の擬似固定周波数で動作します。

6.4.2 Eco モード動作

TPS560200-Q1 が通常の CCM 動作モードのときに、スイッチ電流が 0A に低下すると、TPS560200-Q1 はパルス スキップ Eco-mode での動作を開始します。各スイッチング サイクルの後に、省電力のスリープ時間が挿入されます。VFB 電圧が Eco モードのスレッシュホールド電圧を下回ると、スリープ時間は終了します。出力電流が減少すると、スイッチング パルス間の時間は増加します。

6.4.3 スタンバイ動作

TPS560200-Q1 が通常の CCM または Eco-mode のいずれかで動作しているときは、EN ピンを "Low" にアサートすることで、TPS560200-Q1 をスタンバイ状態にすることができます。

7 アプリケーションと実装

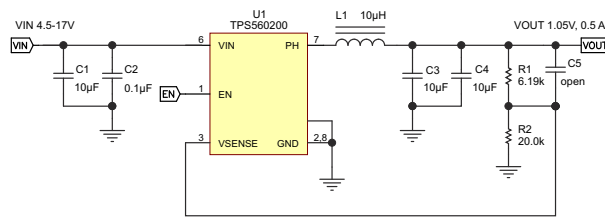
注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

TPS560200-Q1 は、4.5V ~ 17V の電圧をそれより低い電圧に変換するための降圧コンバータとして使用されます。

7.2 代表的なアプリケーション



Copyright © 2016, Texas Instruments Incorporated

図 7-1. 代表的なアプリケーション回路図

7.2.1 設計要件

この設計例では、表 7-1 に示すアプリケーション パラメータを参照してください。

表 7-1. 設計パラメータ

パラメータ	値
入力電圧範囲	4.5V ~ 17V
出力電圧	1.05V
出力電流	500mA
出力電圧リップル	30 mV/pp

7.2.2 詳細な設計手順

7.2.2.1 出力電圧抵抗の選択

出力電圧は、出力ノードと VFB ピンとの間の抵抗分圧回路によって設定されます。公差 1% 以内の分圧抵抗を使用することを推奨します。最初は、式 2 を使用して V_{out} を計算します。

軽負荷時の効率を向上させるには、より大きな値の抵抗の使用を検討します。高い抵抗はノイズの影響を受けやすくなり、VSENSE 入力電流からの電圧誤差がより顕著になります。

$$R2 = \frac{R1 \times 0.8V}{V_{OUT} - 0.8V} \quad (2)$$

7.2.2.2 出力フィルタの選択

TPS560200-Q1 で使用される出力フィルタは、LC 回路です。この LC フィルタには次のような二重極があります。

$$F_P = \frac{1}{2\pi\sqrt{L_{OUT} \times C_{OUT}}} \quad (3)$$

低周波数では、出力設定分圧抵抗回路、および TPS560200-Q1 の内部ゲインによって、全体のループゲインが設定されます。低周波位相は 180 度です。出力フィルタの極周波数では、10 進数毎にゲインが -40dB ロール オフし、位相は急速に減少します。D-CAP2 制御方式によって高周波数ゼロが導入されることで、ゲインのロール オフが 10 進数ごとに -20dB に減り、位相はゼロ周波数より 10 進数ごとに 90 度増加します。出力フィルタに使用するインダクタとコンデンサは、この高周波数ゼロから得られる位相ブーストによって安定した回路のための十分な位相マージンが確保されるように、式 3 の二重極を高周波数ゼロ未満、ただし十分近い値に選択する必要があります。この要件を満たすには、表 7-2 で推奨されている値を使用します。

表 7-2. 推奨部品値

出力電圧 (V)	R1 (kΩ)	R2 (kΩ)	C5 (pF)	L1 (μH)			C3 + C4 (μF)
				最小値	標準値	最大値	
1.0	4.99	20.0			10		10 + 10
1.05	6.19	20.0			10		10 + 10
1.2	10.0	20.0			10		10 + 10
1.5	17.4	20.0			10		10 + 10
1.8	24.9	20.0	オプション		10		10 + 10
2.5	42.2	20.0	オプション		10		10 + 10
3.3	61.9	20.0	オプション		10		10 + 10
5.0	105	20.0	オプション		10		10 + 10

DC ゲインは出力電圧に依存するため、出力電圧が上昇すると必要なインダクタの値は増加します。R1 と並列にフィードフォワードコンデンサ (C5) を追加することにより、追加の位相ブーストを実現できます。フィードフォワードコンデンサは、1.8V 以上の出力電圧に対して最も効果的です。

インダクタのピークツーピークリップル電流、ピーク電流、および RMS 電流は、式 4、式 5、および式 6 で求めることができます。インダクタの飽和電流定格は、計算されたピーク電流よりも大きい必要があります、RMS または加熱電流定格は、計算された RMS 電流よりも大きい必要があります。f_{sw} には 600kHz を使用します。

f_{sw} には 600kHz を使用します。選択したインダクタが式 5 のピーク電流と式 6 の RMS 電流の定格になっていることを確認してください。

$$I_{LPP} = \frac{V_{OUT}}{V_{IN(max)}} \times \frac{V_{IN(max)} - V_{OUT}}{L_{OUT} \times f_{sw}} \quad (4)$$

$$I_{LPEAK} = I_{OUT} + \frac{I_{LPP}}{2} \quad (5)$$

$$I_{L_{OUT}(RMS)} = \sqrt{I_{OUT}^2 + \frac{1}{12} I_{LPP}^2} \quad (6)$$

この設計例では、計算されたピーク電流は 0.582A で、RMS 電流の計算値は 0.502A です。選択したインダクタは、Würth 744777910 であり、ピーク電流定格は 2.6A、RMS 電流定格は 2A です。

コンデンサの値と ESR によって、出力電圧リップルの大きさが決まります。TPS560200-Q1 は、セラミックまたは他の低 ESR コンデンサとともに使用するよう設計されています。推奨値を、表 7-2 に示します。出力コンデンサに対して必要な RMS 電流定格は式 7 で求められます。

$$I_{C_{OUT}(RMS)} = \frac{V_{OUT} \times (V_{IN} - V_{OUT})}{\sqrt{12} \times V_{IN} \times L_{OUT} \times f_{sw}} \quad (7)$$

この設計では、MuRata GRM32DR61E106KA12L 10 μ F 出力コンデンサを 2 個使用します。代表的な ESR はそれぞれ 2m Ω です。RMS 電流の計算値は 0.047A で、各出力コンデンサの定格は 3A です。

7.2.2.3 入力コンデンサの選択

TPS560200-Q1 には、入力デカップリング コンデンサと、アプリケーションによってはバルク コンデンサが必要となります。デカップリング コンデンサには、10 μ F 以上のセラミック コンデンサを推奨します。ピン 6 からグランドへの 0.1- μ F コンデンサ (C2) 追加オプションにより、追加の高周波数フィルタリングを提供可能です。コンデンサの電圧定格は、最大入力電圧よりも大きい必要があります。

7.2.3 アプリケーション曲線

$V_{IN} = 12V$ 、 $V_{OUT} = 1.05V$ 、 $T_A = 25^\circ C$ (特に記述の無い限り)。

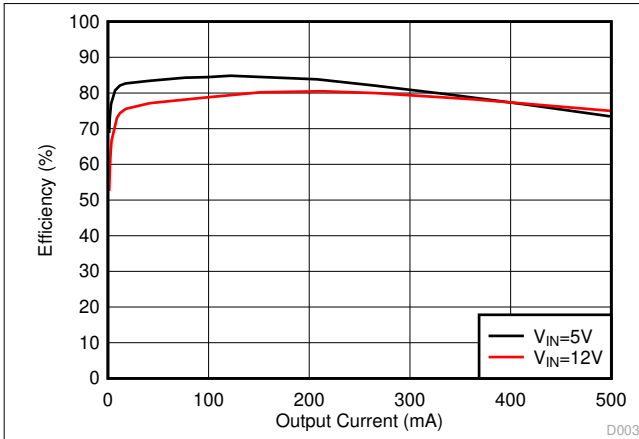


図 7-2. 効率

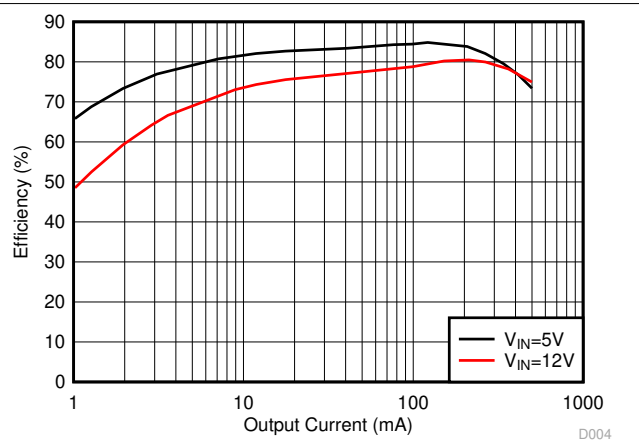


図 7-3. 軽負荷効率

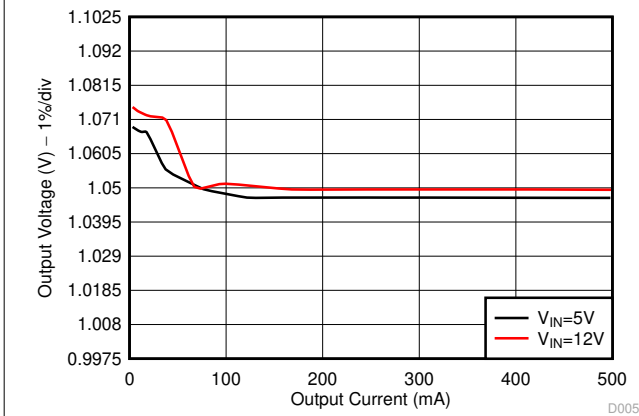


図 7-4. ロードレギュレーション

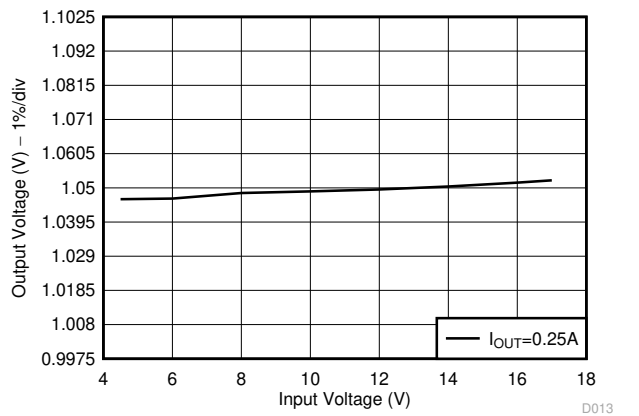


図 7-5. ラインレギュレーション

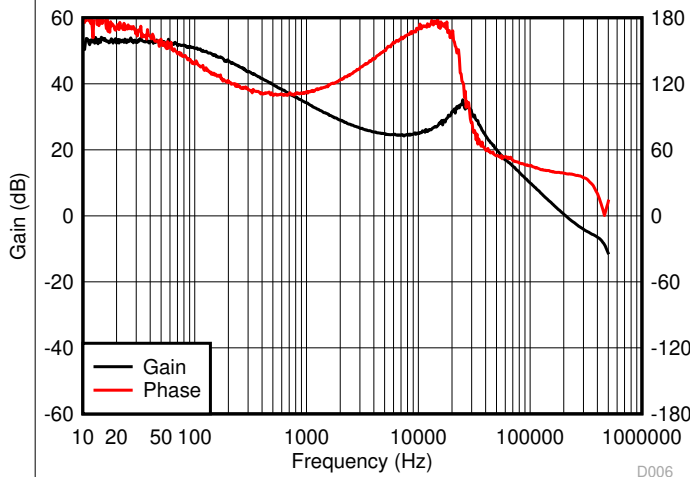


図 7-6. ループ応答、 $I_{OUT} = 0.25A$

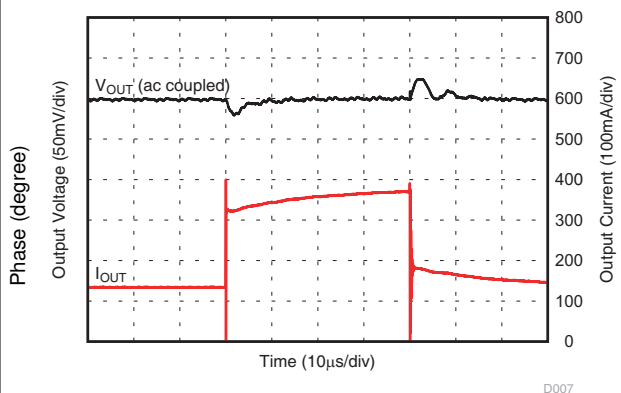


図 7-7. 過渡応答、25% ~ 75% 間負荷ステップ

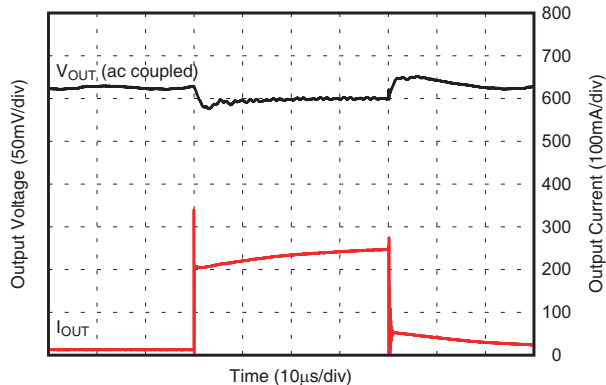


図 7-8. 過渡応答、2% ~ 50% 間負荷ステップ

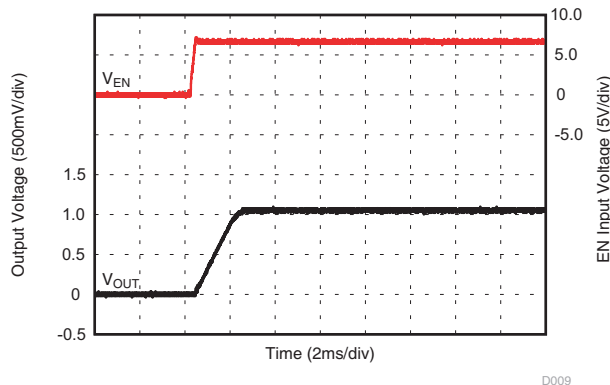


図 7-9. EN に対するスタートアップ

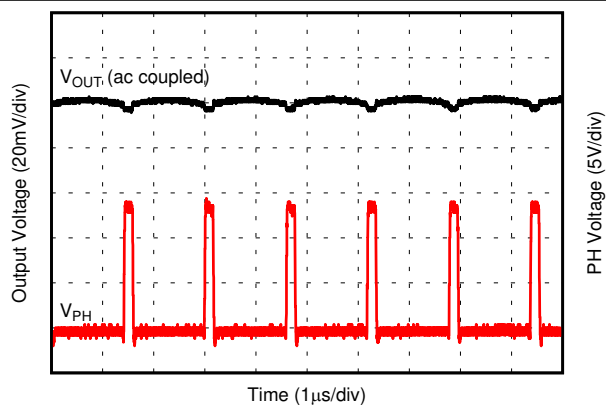


図 7-10. 出力リップル、 $I_{OUT} = 500\text{mA}$

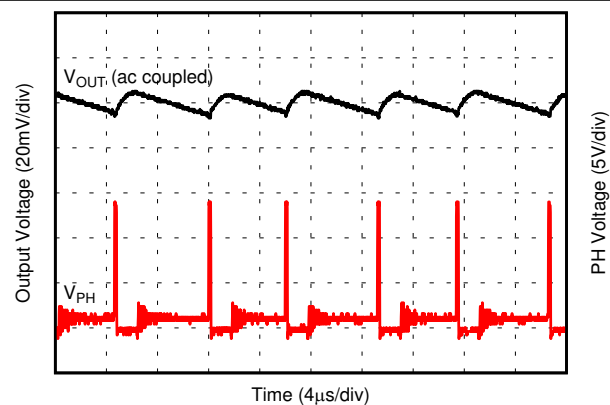


図 7-11. 出力リップル、 $I_{OUT} = 30\text{mA}$

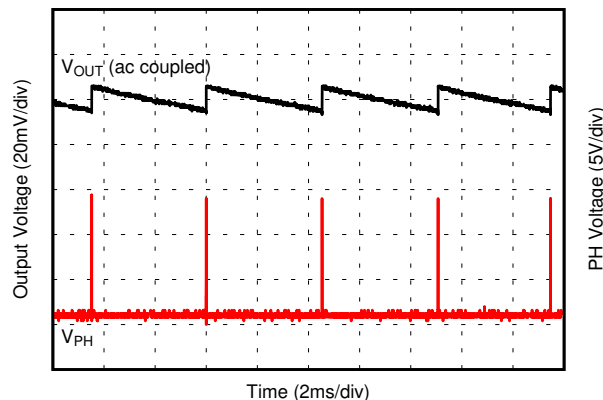


図 7-12. 出力リップル、 $I_{OUT} = 0\text{mA}$

7.3 電源に関する推奨事項

TPS560200-Q1 は、4.5V ~ 17V の範囲の入力電源電圧で動作するように設計されています。降圧コンバータが適切に動作するためには、入力電圧が出力電圧より高い必要があります。推奨される最大動作デューティ サイクルは **75%** です。この基準を使用して、推奨される最小入力電圧は $VO / 0.75$ です。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

VIN ピンは、低 ESR のセラミック バイパス コンデンサを使用してグラウンドにバイパスする必要があります。バイパスコンデンサ接続、VIN ピン、および IC の GND ピンによって形成されるループ領域は、最小限に抑えるよう注意が必要です。推奨される標準のバイパス容量は、X5R または X7R 誘電体を使用した 10 μ F のセラミック コンデンサであり、デバイスの VIN および GND ピンにできる限り近づけて配置するのが最適です。追加の高周波バイパス キャパシタを追加することができます。PCB レイアウト例については、[図 7-13](#) を参照してください。GND ピンは、IC のピン部分で PCB グラウンド プレーンに接続する必要があります。PH ピンは、このピンに直接隣接する小さな銅の面積へと配線する必要があります。PH から出力インダクタと出力コンデンサを経由して GND に戻るループ回路は、銅の面積での導通損失を十分に低減できるだけのエッチング幅を保持しつつ、できるだけ狭くする必要があります。IC に隣接したビアを使用して、上面の接地された銅プレーンを内部層または下層のグラウンドプレーンに接続します。追加の外部部品は、おおよそ図のように配置できます。別のレイアウト方法で許容可能な性能を得ることもできますが、このレイアウトで良好な結果が得られ、ガイドラインを意図したものになります。

7.4.2 レイアウト例

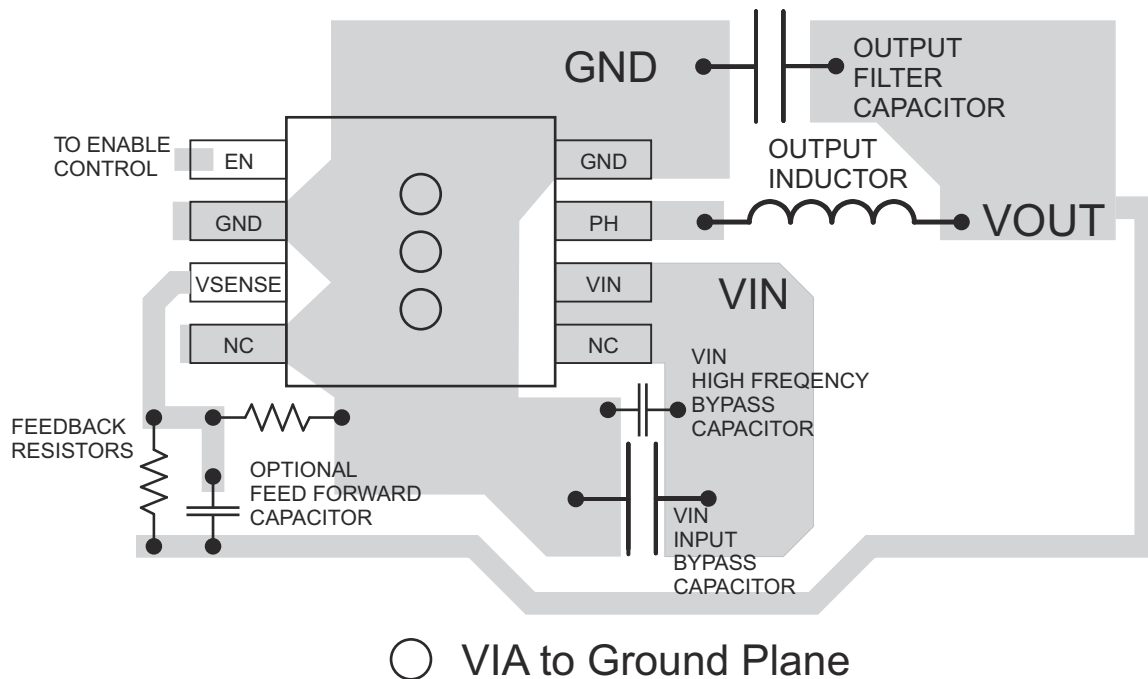


図 7-13. レイアウト回路図

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 商標

D-CAP2™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (May 2019) to Revision C (June 2026)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
データシートのタイトルに「車載」を追加	1
文書全体にわたり Eco モードの商標記号を削除.....	1
ドキュメント全体で、「制御方式」を D-CAP2 商標の後に追加	1
「ESD 定格」表を「ANSI/ESDA/JEDEC JS-001」から「AEC Q100-002」に変更	4
「ESD 定格」表の注 1 を、車載規格に準拠するように更新	4
「電気的特性」表のオン時間の仕様に、表の注 1 へのリンクを追加	5
「アプリケーション情報」の WEBENCH への参照を削除	10

Changes from Revision A (May 2016) to Revision B (May 2019)	Page
編集上の更新のみ、技術的な変更なし.....	1

Changes from Revision * (April 2016) to Revision A (May 2016)	Page
製品ステータスを「プレビュー」から量産出荷中.....	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS560200QDGKRQ1	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	ZDNK
TPS560200QDGKRQ1.A	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	ZDNK
TPS560200QDGKRQ1.B	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	ZDNK
TPS560200QDGKTQ1	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	NIPDAU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	ZDNK
TPS560200QDGKTQ1.A	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	ZDNK
TPS560200QDGKTQ1.B	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	ZDNK

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS560200-Q1 :

- Catalog : [TPS560200](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS560200QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS560200QDGKTQ1	VSSOP	DGK	8	250	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS560200QDGKTQ1	VSSOP	DGK	8	250	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS560200QDGKRQ1	VSSOP	DGK	8	2500	353.0	353.0	32.0
TPS560200QDGKTQ1	VSSOP	DGK	8	250	353.0	353.0	32.0
TPS560200QDGKTQ1	VSSOP	DGK	8	250	366.0	364.0	50.0

DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

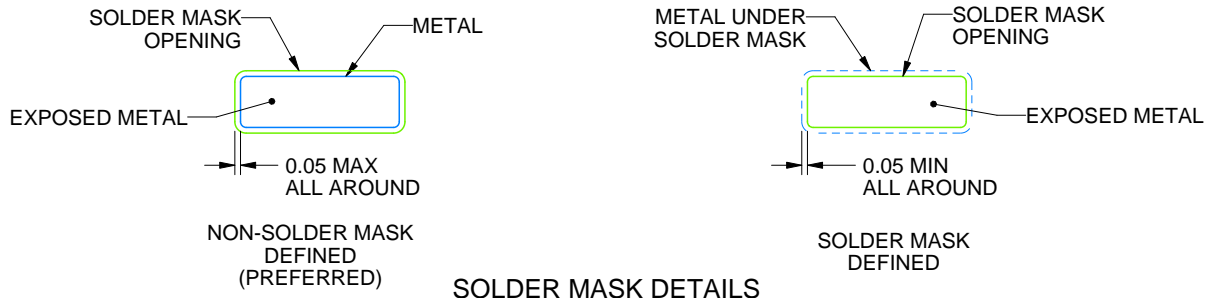
DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月