

# プログラミング可能なソフトスタート機能を備えた 3.0A LDOリニア・レギュレータ

## 特長

- 超低入力電圧および出力電圧範囲：0.8V～5.5V
- バイアス電源範囲：2.7V～5.5V
- 低ドロップアウト電圧：標準で120mV (3.0A、バイアス電源 = 5V時)
- 電源監視または他の電源に対するシーケンシング制御信号に使用出来るパワーグッド (PG) 出力
- 全入力電圧範囲、全負荷、全温度範囲に対して出力電圧精度：2%
- プログラミング可能なソフトスタートによってリニアな電圧スタートアップを実現
- 独立したバイアス電源により低入力電圧での動作と良好な過渡応答特性を実現
- 2.2 $\mu$ F以上の容量の任意の出力キャパシタで安定に動作
- 5mm  $\times$  5mm  $\times$  1mmのQFNとDDPAK-7パッケージ
- オープンドレインによるパワーグッド出力
- 正論理によるイネーブル

## アプリケーション

- FPGAアプリケーション
- DSPのコアおよびI/O電圧
- ポスト・レギュレーションの必要なアプリケーション
- 特定のスタートアップ時間またはシーケンシング起動要件を持つアプリケーション
- ホットスワップおよび突入電流制御

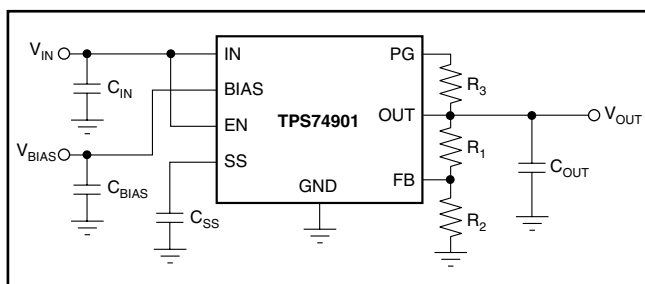


図 1. 標準アプリケーション回路 (可変出力電圧)

## 概要

TPS749xx低ドロップアウト (LDO) リニア・レギュレータは、幅広い範囲のアプリケーションに対して、使いやすく非常に安定したパワー・マネジメント・ソリューションを提供します。ユーザによる設定が可能なソフトスタートにより、スタートアップ時のキャパシタへの突入電流を低減し、入力電源に対するストレスを最小限に抑えることができます。リニアに電圧上昇するソフトスタートは多くの異なる種類のプロセッサやASICに対する電源供給に最適です。イネーブル入力とパワーグッド出力により、外部レギュレータとのシーケンシングも容易に行えます。この高い柔軟性により、ユーザはFPGAやDSP、および特殊なスタートアップ要件を持つ他のアプリケーションに対して、シーケンシング要件を満足する電源回路を構成することができます。

高精度な基準電源と誤差増幅器により、全負荷、全入力電圧範囲、全温度範囲、および時間経過に対して2%の電圧精度を実現しています。本製品は、任意の種類の2.2 $\mu$ F以上の出力キャパシタで安定に動作し、 $-40^{\circ}\text{C}$ ～ $+125^{\circ}\text{C}$ の温度範囲で仕様が完全に規定されています。TPS749xxは、5mm  $\times$  5mmの小型QFNパッケージで供給され、ソリューション・サイズを非常にコンパクトに設計することができます。

また、許容損失の大きなDDPAK-7パッケージも選択できます。

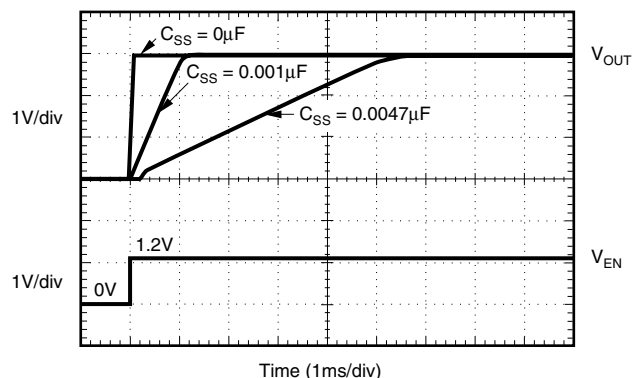


図 2. 起動電圧特性オン応答

すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては何なる責任も負いません。



## 静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを伝導性のフォームに入れる必要があります。

### ご発注の手引き<sup>(1)</sup>

製品名	$V_{OUT}^{(2)}$
TPS749xxyyyz	<b>XX</b> is nominal output voltage (for example, 12 = 1.2V, 15 = 1.5V, 01 = Adjustable). <sup>(3)</sup> <b>YYY</b> is package designator. <b>Z</b> is package quantity.

- (1) 最新のパッケージおよびご発注情報については、このドキュメントの巻末にある「付録：パッケージ・オプション」を参照するか、またはTIのWebサイト ([www.ti.com](http://www.ti.com)) をご覧ください。
- (2) 0.8V~3.3Vの固定出力電圧を用意しています。最小注文数量が適用される場合があります。詳細および在庫状況については、日本Texas Instrumentsまたは弊社代理店までお問い合わせください。
- (3) 0.8V固定動作の場合は、FBをOUTに接続してください。

### 絶対最大定格<sup>(1)</sup>

特に記述のない限り、 $T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ です。すべての電圧はGNDを基準とします。

		TPS749xx	単位
$V_{IN}, V_{BIAS}$	Input voltage range	-0.3 to +6	V
$V_{EN}$	Enable voltage range	-0.3 to +6	V
$V_{PG}$	Power-good voltage range	-0.3 to +6	V
$I_{PG}$	PG sink current	0 to +1.5	mA
$V_{SS}$	SS pin voltage range	-0.3 to +6	V
$V_{FB}$	Feedback pin voltage range	-0.3 to +6	V
$V_{OUT}$	Output voltage range	-0.3 to $V_{IN} + 0.3$	V
$I_{OUT}$	Maximum output current	Internally limited	
	Output short-circuit duration	Indefinite	
$P_{DISS}$	Continuous total power dissipation	See Dissipation Ratings Table	
$T_J$	Operating junction temperature range	-40 to +125	$^{\circ}\text{C}$
$T_{STG}$	Storage junction temperature range	-55 to +150	$^{\circ}\text{C}$

- (1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

### 定格消費電力

パッケージ	$\theta_{JA}$	$\theta_{JC}$	$T_A < +25^{\circ}\text{C}$ POWER RATING	DERATING FACTOR ABOVE $T_A = +25^{\circ}\text{C}$
RGW (QFN) <sup>(1)</sup>	36.5 $^{\circ}\text{C}/\text{W}$	4.05 $^{\circ}\text{C}/\text{W}$	2.74W	27.4mW/ $^{\circ}\text{C}$
KTW (DDPAK) <sup>(2)</sup>	18.8 $^{\circ}\text{C}/\text{W}$	2.32 $^{\circ}\text{C}/\text{W}$	5.32W	53.2mW/ $^{\circ}\text{C}$

- (1) 基板レイアウトの詳細は図29から図31を参照してください。
- (2) 基板レイアウトの詳細は図32から図33を参照してください。

## 電気的特性

特に記述のない限り、 $T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 $V_{EN} = 1.1\text{V}$ 、 $V_{IN} = V_{OUT} + 0.3\text{V}$ 、 $C_{BIAS} = 0.1\mu\text{F}$ 、 $C_{IN} = C_{OUT} = 10\mu\text{F}$ 、 $C_{NR} = 1\text{nF}$ 、 $I_{OUT} = 50\text{mA}$ 、 $V_{BIAS} = 5.0\text{V}$ です。標準値は $T_J = +25^{\circ}\text{C}$ での値です。

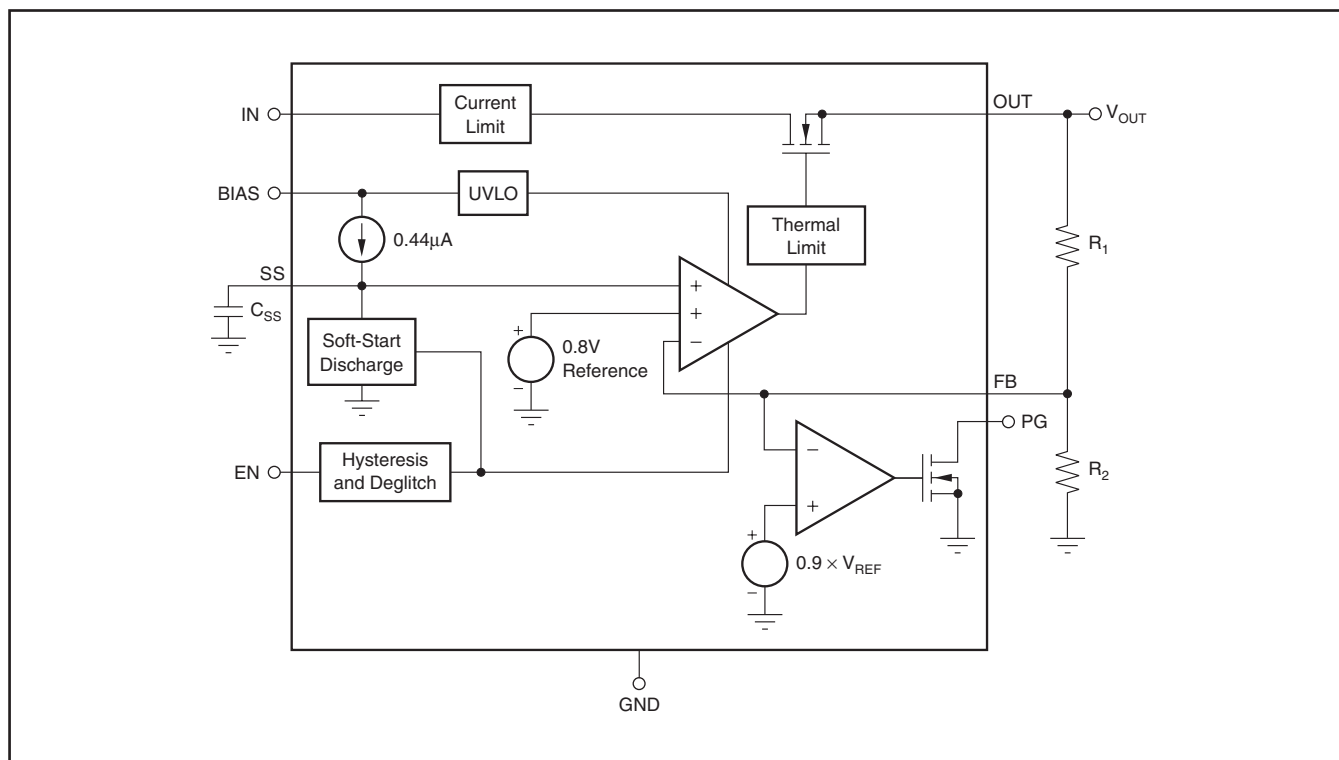
パラメータ		テスト条件	TPS74901			単位
			MIN	TYP	MAX	
$V_{IN}$	Input voltage range		$V_{OUT} + V_{DO}$		5.5	V
$V_{BIAS}$	Bias pin voltage range		2.7		5.5	V
$V_{REF}$	Internal reference (Adj.)	$T_J = +25^{\circ}\text{C}$	0.798	0.802	0.806	V
$V_{OUT}$	Output voltage range	$V_{IN} = 5\text{V}$ , $I_{OUT} = 3.0\text{V}$	$V_{REF}$		3.6	V
	Accuracy (RGW package) <sup>(1)</sup>	$V_{OUT} + 2.2\text{V} \leq V_{BIAS} \leq 5.5\text{V}$ , $50\text{mA} \leq I_{OUT} \leq 3.0\text{A}$	-2	$\pm 0.5$	2	%
	Accuracy (KTW package) <sup>(1)</sup>	$V_{OUT} + 2.4\text{V} \leq V_{BIAS} \leq 5.5\text{V}$ , $50\text{mA} \leq I_{OUT} \leq 3.0\text{A}$	-2	$\pm 0.5$	2	%
$V_{OUT}/V_{IN}$	Line regulation	$V_{OUT} (\text{NOM}) + 0.3 \leq V_{IN} \leq 5.5\text{V}$		0.03		%/V
$V_{OUT}/I_{OUT}$	Load regulation	$50\text{mA} \leq I_{OUT} \leq 3.0\text{A}$		0.09		%/A
$V_{DO}$	$V_{IN}$ dropout voltage <sup>(2)</sup>	$I_{OUT} = 3.0\text{A}$ , $V_{BIAS} - V_{OUT} (\text{NOM}) \geq 3.25\text{V}^{(3)}$		120	280	mV
	$V_{BIAS}$ dropout voltage <sup>(2)</sup>	$I_{OUT} = 3.0\text{A}$ , $V_{IN} = V_{BIAS}$		1.31	1.75	V
$I_{CL}$	Current limit	$V_{OUT} = 80\% \times V_{OUT} (\text{NOM})$ , RGW Package	3.9	4.6	5.5	A
		$V_{OUT} = 80\% \times V_{OUT} (\text{NOM})$ , KTW Package	3.8	4.6	5.5	
$I_{BIAS}$	Bias pin current			1	2	mA
$I_{SHDN}$	Shutdown supply current ( $I_{GND}$ )	$V_{EN} \leq 0.4\text{V}$		1	50	$\mu\text{A}$
$I_{FB}$	Feedback pin current		-1	0.150	1	$\mu\text{A}$
PSRR	Power-supply rejection ( $V_{IN}$ to $V_{OUT}$ )	1kHz, $I_{OUT} = 1.5\text{A}$ , $V_{IN} = 1.8\text{V}$ , $V_{OUT} = 1.5\text{V}$		60		dB
		300kHz, $I_{OUT} = 1.5\text{A}$ , $V_{IN} = 1.8\text{V}$ , $V_{OUT} = 1.5\text{V}$		30		
	Power-supply rejection ( $V_{BIAS}$ to $V_{OUT}$ )	1kHz, $I_{OUT} = 1.5\text{A}$ , $V_{IN} = 1.8\text{V}$ , $V_{OUT} = 1.5\text{V}$		50		dB
		300kHz, $I_{OUT} = 1.5\text{A}$ , $V_{IN} = 1.8\text{V}$ , $V_{OUT} = 1.5\text{V}$		30		
Noise	Output noise voltage	100Hz to 100kHz, $I_{OUT} = 3.0\text{A}$ , $C_{SS} = 0.001\mu\text{F}$		$25 \times V_{OUT}$		$\mu\text{V}_{\text{RMS}}$
$t_{STR}$	Minimum startup time	$R_{LOAD}$ for $I_{OUT} = 1.0\text{A}$ , $C_{SS} = \text{open}$		200		$\mu\text{s}$
$I_{SS}$	Soft-start charging current	$V_{SS} = 0.4\text{V}$		440		nA
$V_{EN, HI}$	Enable input high level		1.1		5.5	V
$V_{EN, LO}$	Enable input low level		0		0.4	V
$V_{EN, HYS}$	Enable pin hysteresis			50		mV
$V_{EN, DG}$	Enable pin deglitch time			20		$\mu\text{s}$
$I_{EN}$	Enable pin current	$V_{EN} = 5\text{V}$		0.1	1	$\mu\text{A}$
$V_{IT}$	PG trip threshold	$V_{OUT}$ decreasing	85	90	94	% $V_{OUT}$
$V_{HYS}$	PG trip hysteresis			3		% $V_{OUT}$
$V_{PG, LO}$	PG output low voltage	$I_{PG} = 1\text{mA}$ (sinking), $V_{OUT} < V_{IT}$			0.3	V
$I_{PG, LKG}$	PG leakage current	$V_{PG} = 5.25\text{V}$ , $V_{OUT} > V_{IT}$		0.1	1	$\mu\text{A}$
$T_J$	Operating junction temperature		-40		+125	$^{\circ}\text{C}$
$T_{SD}$	Thermal shutdown temperature	Shutdown, temperature increasing		+165		$^{\circ}\text{C}$
		Reset, temperature decreasing		+140		

(1) 可変出力電圧製品は0.8Vでテストされています。電圧設定抵抗の公差は考慮されていません。

(2) ドロップアウトは、 $V_{OUT}$ が公称値より3%低下した時の $V_{IN}$ - $V_{OUT}$ 間の電圧として定義されています。

(3) 3.25Vはテスト時のコンディションです。異なる電圧での使用時は図8を参照してください。

## ブロック図



R <sub>1</sub> (kΩ)	R <sub>2</sub> (kΩ)	V <sub>OUT</sub> (V)
Short	Open	0.8
0.619	4.99	0.9
1.13	4.53	1.0
1.37	4.42	1.05
1.87	4.99	1.1
2.49	4.99	1.2
4.12	4.75	1.5
3.57	2.87	1.8
3.57	1.69	2.5
3.57	1.15	3.3

表 1. 出力電圧設定のための標準的な精度1%の抵抗値<sup>(1)</sup>

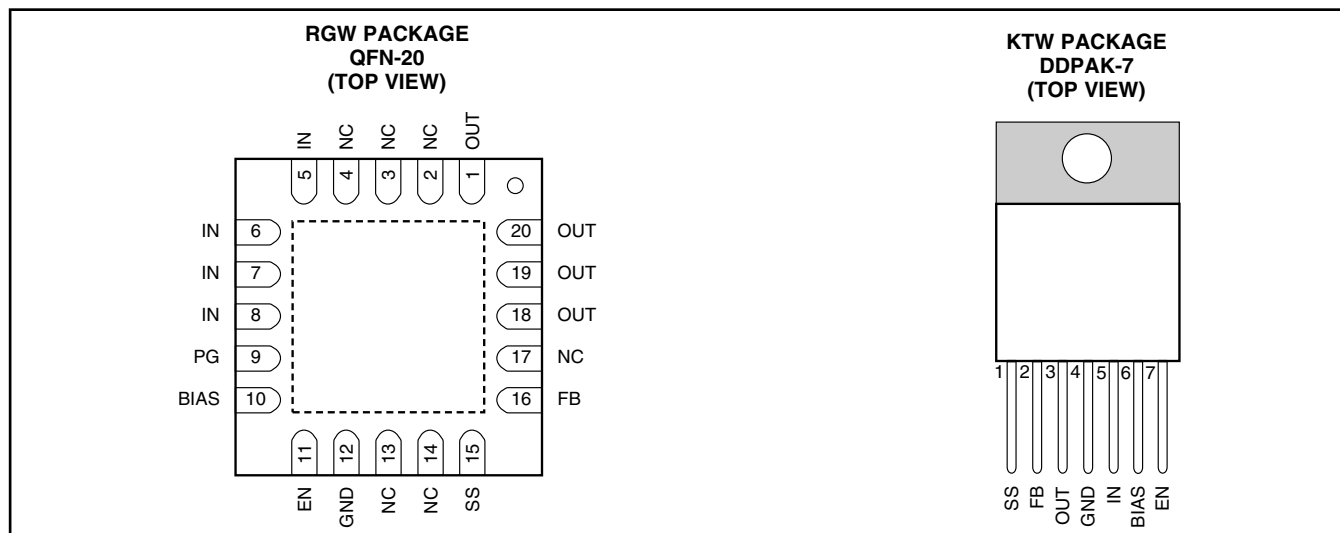
$$(1) V_{OUT} = 0.8 \times (1 + R_1/R_2)$$

C <sub>SS</sub>	SOFT-START TIME
Open	0.1ms
470pF	0.5ms
1000pF	1ms
4700pF	5ms
0.01μF	10ms
0.015μF	16ms

表 2. ソフトスタート時間設定のための標準的なキャパシタ値<sup>(1)</sup>

$$(1) t_{SS}(s) = 0.8 \times C_{SS}(F) / 7.5 \times 10^{-7}$$

## デバイス情報



## ピン説明

NAME	KTW (DDPAK)	RGW (QFN)	説明
IN	5	5–8	デバイスへの電源入力。
EN	7	11	イネーブル・ピン。このピンを“ハイ”にすると、レギュレータがイネーブルになります。このピンを“ロー”にすると、レギュレータはシャットダウン・モードになります。このピンは、オープンのままにはしないでください。
SS	1	15	ソフトスタート・ピン。このピンとグラウンドの間に接続するキャパシタによってスタートアップ時間が設定されます。このピンをオープンにすると、レギュレータ出力のソフトスタート上昇時間は標準で100 $\mu$ sになります。
BIAS	6	10	誤差増幅器、リファレンス、および内部制御回路のバイアス入力電圧。
PG	N/A	9	パワーグッド・ピン。V <sub>OUT</sub> の状態を示すオープン・ドレインのアクティブ“ハイ”出力です。V <sub>OUT</sub> がPGのトリップ・スレッシュホールドを超えると、PGピンはハイインピーダンス状態になります。V <sub>OUT</sub> がこのスレッシュホールドを下回ると、PGピンは低インピーダンス状態になります。このピンと電源(最大5.5V)との間に、10k $\Omega$ ~1M $\Omega$ のプルアップ抵抗を接続する必要があります。電源は入力電圧より高くてもかまいません。または、出力の監視が必要ない場合には、PGピンをオープンのままにすることもできます。
FB	2	16	フィードバック・ピン。帰還接続の為に出力電圧を設定する外部の抵抗分圧器ネットワークのセンター・タップに接続します。このピンはフローティングにしないでください。
OUT	3	1, 18–20	レギュレーション出力電圧。このピンには、安定動作のために合計で2.2 $\mu$ F以上のキャパシタを接続して下さい。
NC	N/A	2–4, 13, 14, 17	NC。接続無し。このピンはフローティングでも構いませんが、GNDに半田付けすることにより放熱能力を向上できます。
GND	4	12	グラウンド
PAD/TAB			グラウンド・プレーンに半田付けして熱特性を向上させます。

## 代表的特性

特に記述のない限り、 $T_J = +25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(TYP)} + 0.3\text{V}$ 、 $V_{BIAS} = 5\text{V}$ 、 $I_{OUT} = 50\text{mA}$ 、 $V_{EN} = V_{IN}$ 、 $C_{IN} = 1\mu\text{F}$ 、 $C_{BIAS} = 4.7\mu\text{F}$ 、および  $C_{OUT} = 10\mu\text{F}$  です。

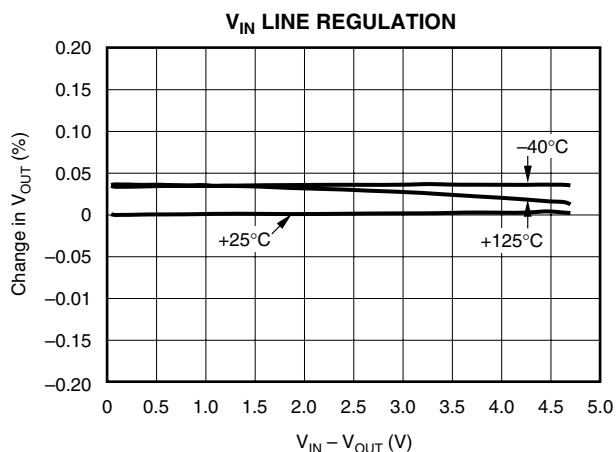


図 3

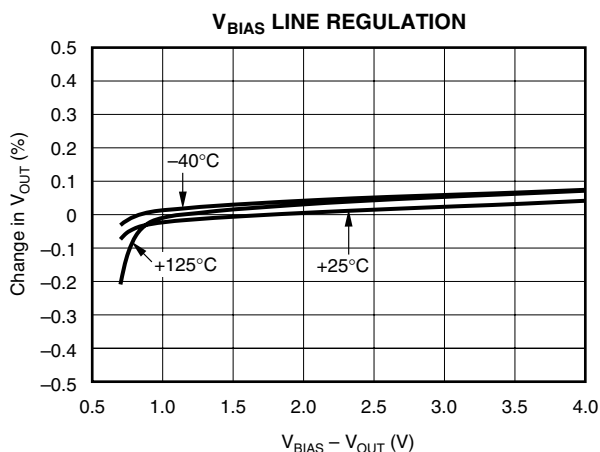


図 4

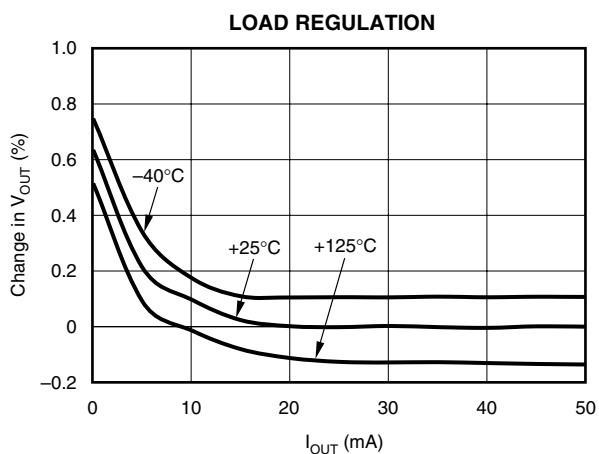


図 5

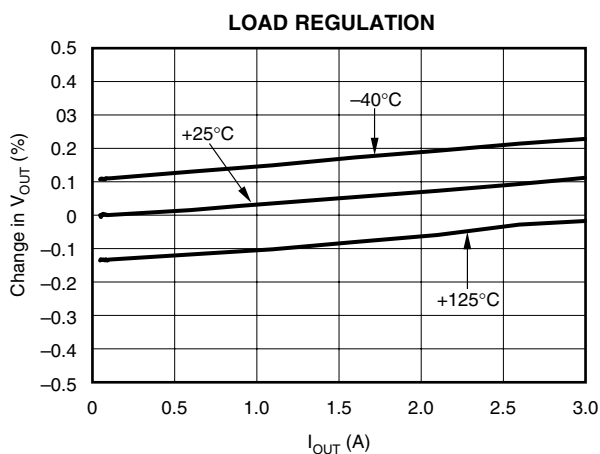


図 6

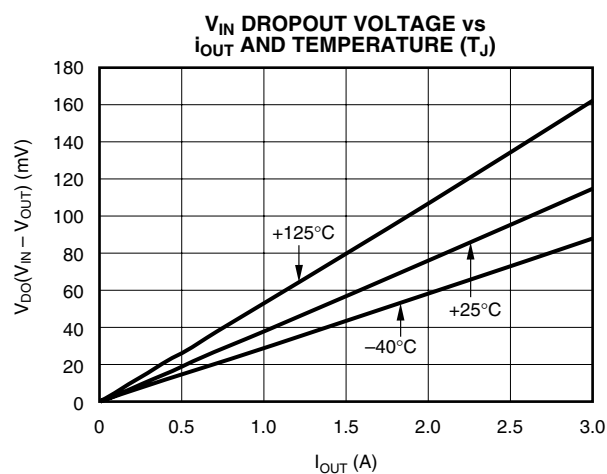


図 7

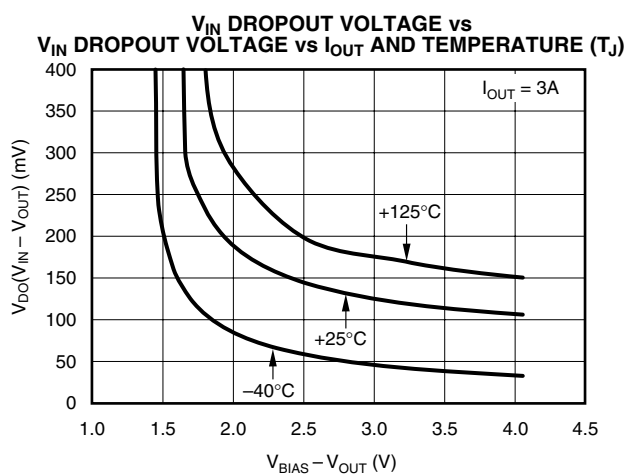


図 8

## 代表的特性

特に記述のない限り、 $T_J = +25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(TYP)} + 0.3\text{V}$ 、 $V_{BIAS} = 5\text{V}$ 、 $I_{OUT} = 50\text{mA}$ 、 $V_{EN} = V_{IN}$ 、 $C_{IN} = 1\mu\text{F}$ 、 $C_{BIAS} = 4.7\mu\text{F}$ 、および $C_{OUT} = 10\mu\text{F}$ です。

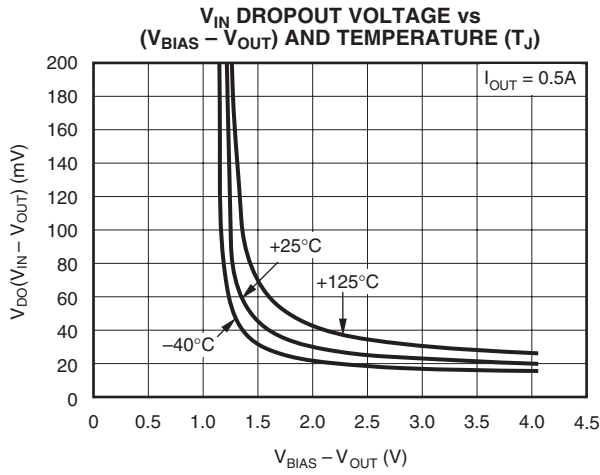


図 9

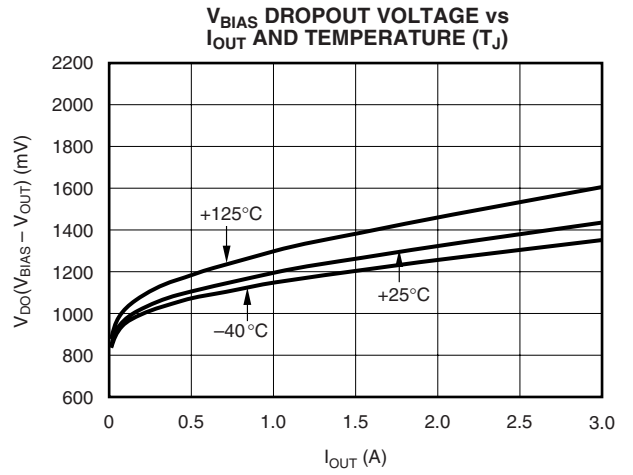


図 10

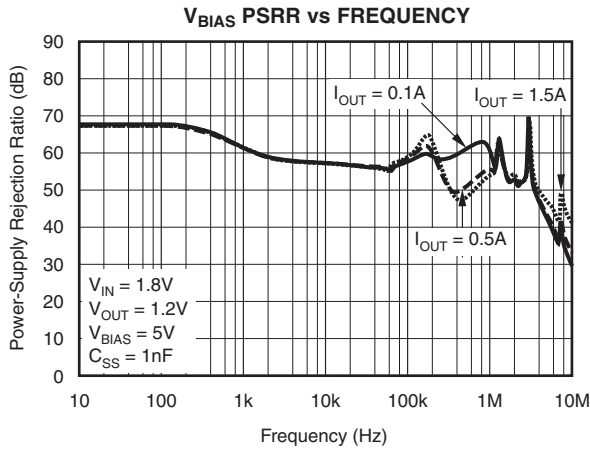


図 11

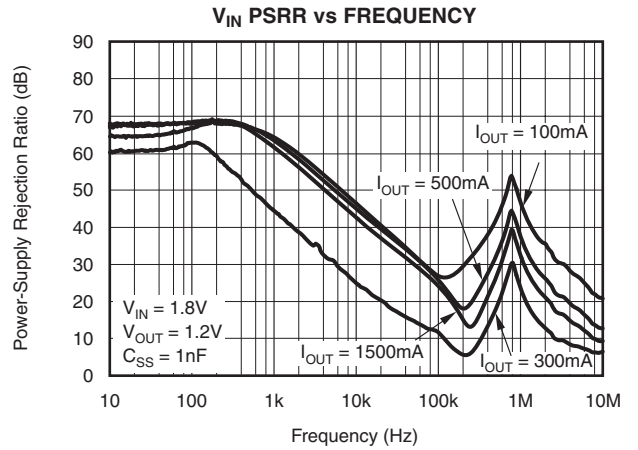


図 12

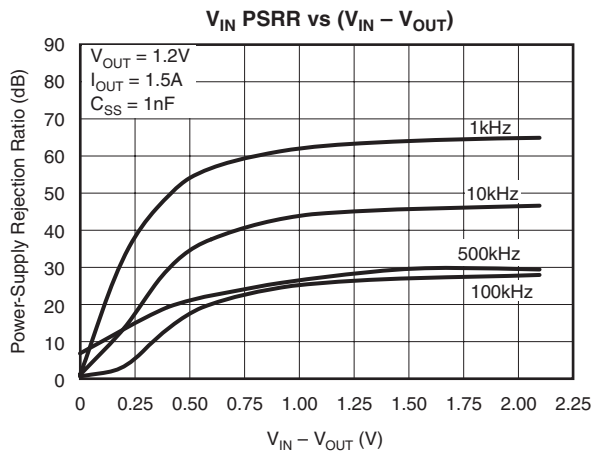


図 13

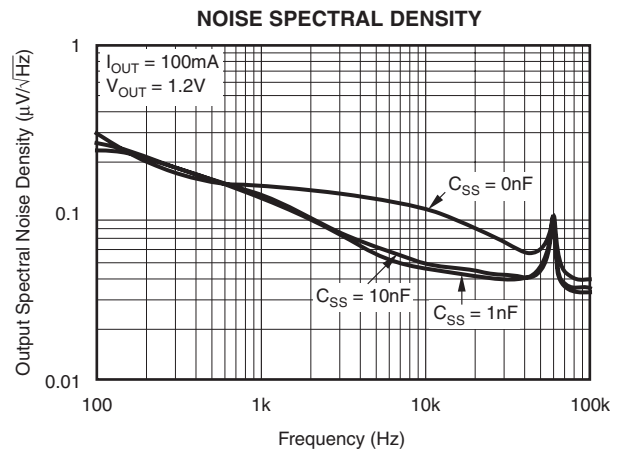


図 14

## 代表的特性

特に記述のない限り、 $T_J = +25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(TYP)} + 0.3\text{V}$ 、 $V_{BIAS} = 5\text{V}$ 、 $I_{OUT} = 50\text{mA}$ 、 $V_{EN} = V_{IN}$ 、 $C_{IN} = 1\mu\text{F}$ 、 $C_{BIAS} = 4.7\mu\text{F}$ 、および  $C_{OUT} = 10\mu\text{F}$  です。

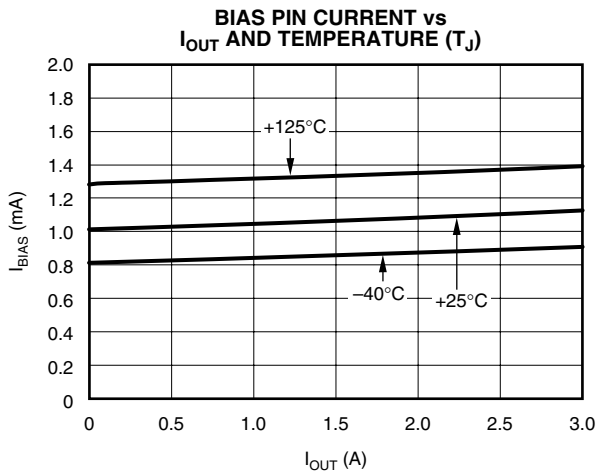


図 15

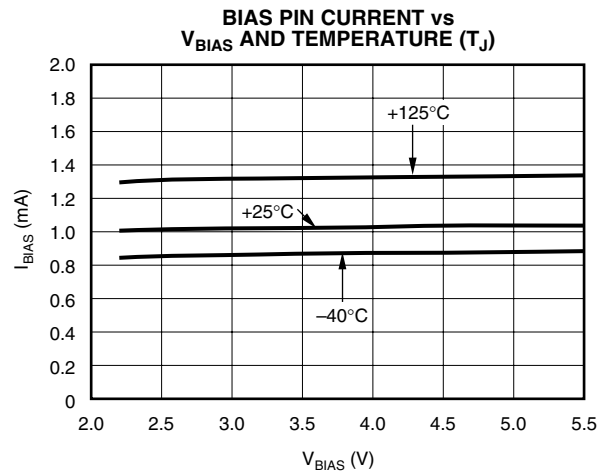


図 16

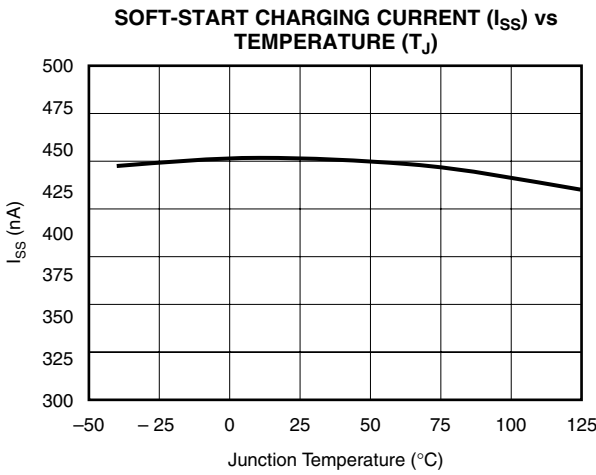


図 17

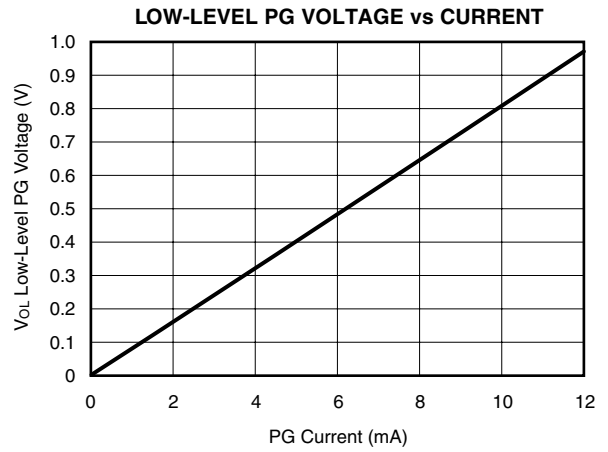


図 18

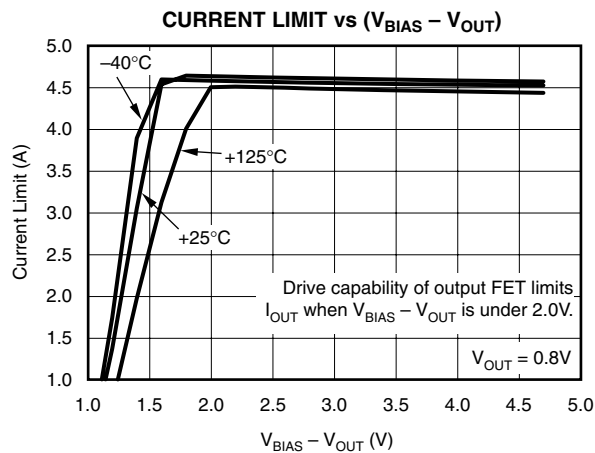


図 19



## 代表的特性

特に記述のない限り、 $T_J = +25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(\text{TYP})} + 0.3\text{V}$ 、 $V_{BIAS} = 5\text{V}$ 、 $I_{OUT} = 50\text{mA}$ 、 $V_{EN} = V_{IN}$ 、 $C_{IN} = 1\mu\text{F}$ 、 $C_{BIAS} = 4.7\mu\text{F}$ 、および $C_{OUT} = 10\mu\text{F}$ です。

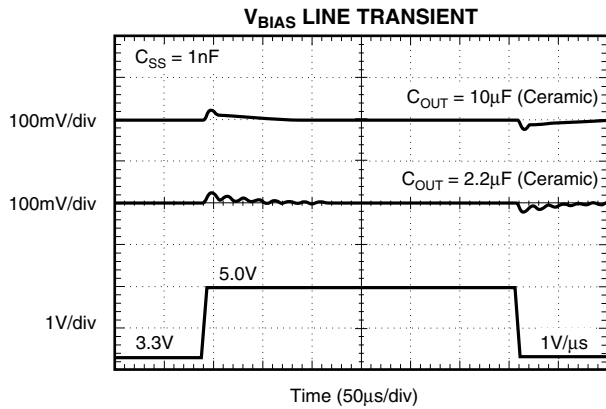


図 20

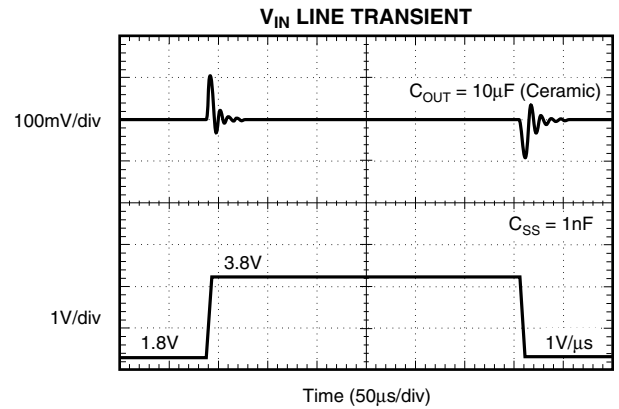


図 21

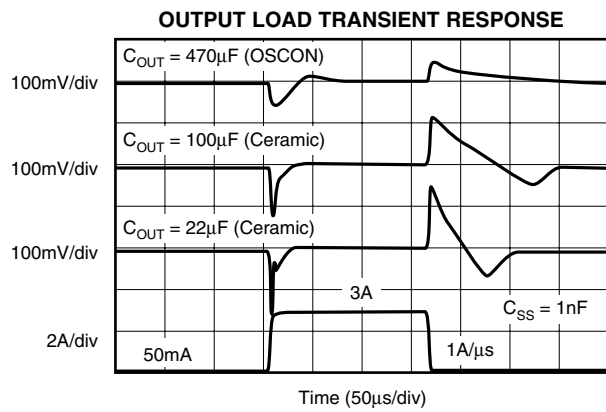


図 22

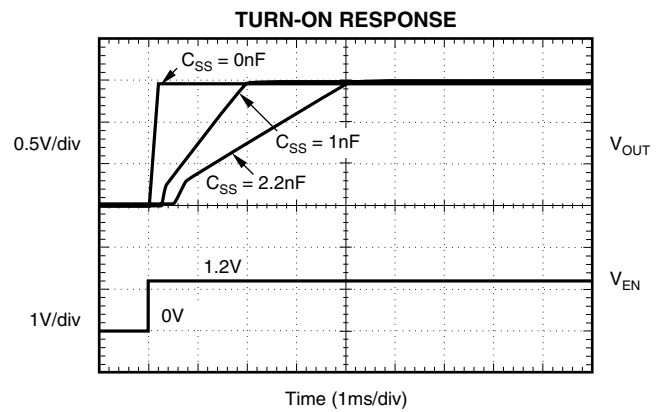


図 23

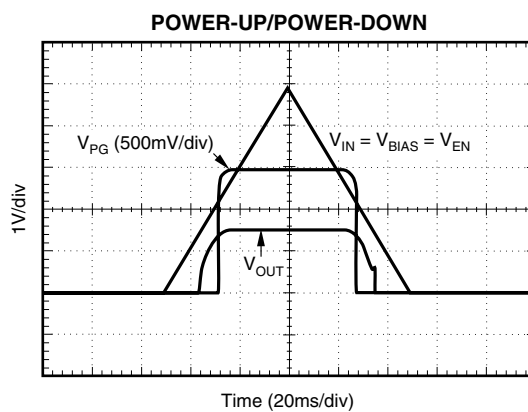


図 24

## アプリケーション情報

TPS749xxは、ソフトスタート機能を備えた低ドロップアウト・レギュレータのファミリーに属する製品です。これらのレギュレータは、低電流のバイアス電源によりすべての内部制御回路に電源を供給しているため、NMOSパス・トランジスタは非常に低い入力電圧および出力電圧でのレギュレーションが可能となっています。

NMOSのパスFETの採用には、多くのアプリケーションでいくつかの重要な利点があります。PMOSを使用した製品と異なり、出力キャパシタはループの安定性にほとんど影響を及ぼしません。このアーキテクチャによって、TPS749xxは2.2μF以上の任意の種類のキャパシタで安定に動作できます。過渡応答もPMOSトポロジの場合より優れ、特に入力電圧の低いアプリケーションで良好な特性が得られます。

TPS749xxは、起動時間を設定可能な電圧制御型ソフトスタート回路を備えているため、スムーズでリニアなスタートアップを実現し、大きな容量性負荷によって生じる可能性のあるスタートアップ時の突入電流を制限できます。また、パワーグッド (PG) 出力により、電源監視および他の電源のシーケンス制御を行えます。ヒステリシスおよびデグリッジ回路を持つイネーブル (EN) ピンにより、上昇の遅い電圧信号をデバイスのシーケンシングに使用できます。低入力電圧および低出力電圧で使用できるため、プロセッサ集約型のシステムでよく見られる複数の電源電圧から、それらの中間電圧の要求に対して低コストで設計しやすい高効率のリニア・レギュレーションを実現できます。

図25に、可変出力電圧製品TPS749xxの標準的なアプリケーション回路を示します。

$R_1$ および $R_2$ は、任意の出力電圧について図25に記載された式を用いて計算できます。一般的な出力電圧に対する抵抗値の例については、表1を参照してください。最高の電圧精度スペックを得るには、 $R_2$ を4.99kΩ以下にしてください。

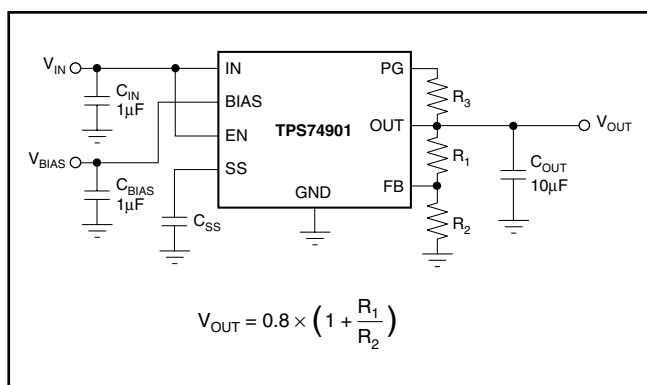


図 25. TPS749xxの標準アプリケーション回路(可変出力電圧)

## 入力、出力、およびバイアス・キャパシタ要件

TPS749xxは、2.2μF以上の任意の種類および容量の出力キャパシタで安定するように設計されています。また、任意の種類および容量の複数のキャパシタを並列に接続しても安定して動作します。

INおよびBIASピンに必要な容量は、入力電源のインピーダンスに大きく依存しています。入力に存在するインダクタンスを打ち消すために、 $V_{IN}$ および $V_{BIAS}$ には最小でも1μFのキャパシタを使用することを推奨します。 $V_{IN}$ と $V_{BIAS}$ が同じ電源に接続されている場合、 $V_{BIAS}$ の推奨最小容量は4.7μFです。入力には、高品質の低ESRキャパシタを使用してください。セラミックのX5RおよびX7Rキャパシタを推奨します。最適なパフォーマンスを得るために、これらのキャパシタは各ピンのできるだけ近くに配置してください。

## 過渡応答

TPS749xxは、合計出力容量が小さい場合のほとんどのアプリケーションで優れた過渡応答を示すように設計されています。しかし場合によっては、出力の過渡応答が入力電源の過渡応答によって制限されてしまうことがあります。この制限は、入力と出力の差が300mV未満のアプリケーションで特に見られます。この場合、入力容量を追加すると、単に出力容量を追加した場合よりもずっと大きく過渡応答を改善できます。高安定な入力電源を使用している場合は、出力容量を追加することで、過渡事象中のアンダーシュートおよびオーバーシュートを低減できます。「代表的特性」の図22を参照してください。TPS749xxは合計で2.2μF以上の低い出力容量で安定するため、多くのアプリケーションでは、LDOの出力にはごくわずかな容量しか必要としない場合があります。そのようなアプリケーションでは、電源供給されるデバイスの電源ラインに設置されたローカルなバイパスコンデンサだけで、アプリケーションの過渡要件を満足できる場合があります。この設計の場合は、LDOの出力に高価な大容量キャパシタを使用しなくて済むため、ソリューション全体のコストを低減する事ができます。

## ドロップアウト電圧

TPS749xxは非常に低いドロップアウト特性を持つため、大電流、低入力電圧/低出力電圧のアプリケーションに最適です。低ドロップアウトにより、TPS749xxはDC/DCコンバータの代わりに使用することが可能で、その場合にも良好な効率を実現できます。これにより設計者は、最も小さく、最も単純で、最も低コストなソリューションを実現するための電源アーキテクチャを得ることができます。

TPS749xxには、ドロップアウト電圧について2種類の仕様が 있습니다。1番目の仕様(図26参照)は $V_{IN}$ ドロップアウト電圧と呼ばれ、外部からバイアス電圧を印加して低ドロップアウトを実現する場合に使用されます。この仕様では、 $V_{BIAS}$ が $V_{OUT}$ より3.25V<sup>(1)</sup>以上高いと想定しています。例えば、 $V_{BIAS}$ が公差5%の5.0Vレールで電源供給され $V_{OUT} = 1.5V$ の場合です。 $V_{BIAS}$ が $V_{OUT} + 3.25V$ よりも高い場合、 $V_{IN}$ ドロップアウト電圧は仕様<sup>(1)</sup>の値より小さくなります。

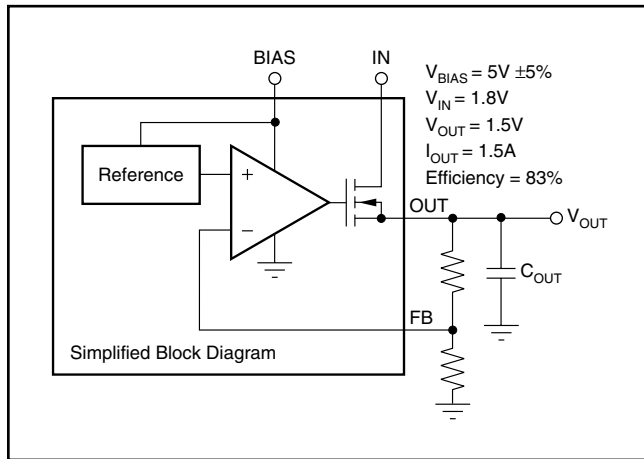


図 26. 補助バイアス用電源使用したTPS749xxの標準アプリケーション

2番目の仕様(図27参照)は $V_{BIAS}$ ドロップアウトと呼ばれ、INとBIASが互いに接続されたアプリケーションに適用されます。このオプションでは、補助バイアス用電源がないアプリケーションや、低ドロップアウトを必要としないアプリケーションで本製品を使用することができます。 $V_{BIAS}$ はパワFETのゲート駆動電圧を提供するため、これらのアプリケーションではドロップアウトがBIASによって制限されます。したがって $V_{BIAS}$ は、 $V_{OUT}$ より1.75V高い必要があります。INとBIASを接続した使用方法では発生する損失が非常に大きくなります。パッケージの許容損失を超えないように注意する必要があります。

(1) 3.25Vは本製品のテスト時の電圧です。図8に参照されるように、電圧差は調整可能です。

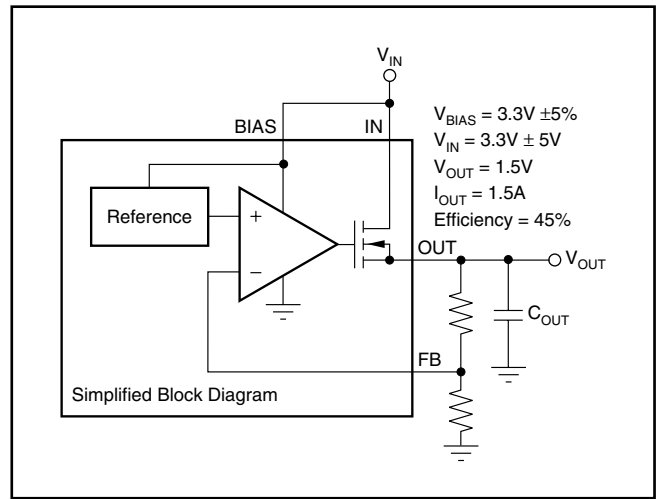


図 27. 補助バイアス用電源を使用しないTPS749xxの標準アプリケーション

## プログラミング可能なソフトスタート

TPS749xxは、外部キャパシタ( $C_{SS}$ )を用いて設定されるプログラミング可能な単調に増加する電圧制御型ソフトスタート機能を備えています。この機能は、FPGAやDSPなどのプロセッサに電源を供給する際の、パワーアップの初期に発生する問題を解消するため、多くのアプリケーションで重要です。また、出力電圧上昇の制御により、スタートアップ時のピーク突入電流も減少するため、入力電源でのスタートアップ時の過渡変化を最小限に抑えることができます。

リニアに単調増加するソフトスタートを実現するために、TPS749xxの誤差増幅器は、外部ソフトスタート・キャパシタの電圧が内部リファレンスを超えるまで、その電圧上昇を追跡します。ソフトスタートの上昇時間は、ソフトスタート充電電流( $I_{SS}$ )、ソフトスタート容量( $C_{SS}$ )、および内部リファレンス電圧( $V_{REF}$ )に依存し、式1を用いて計算できます。

$$t_{SS} = \frac{(V_{REF} \times C_{SS})}{I_{SS}} \quad (1)$$

大容量出力キャパシタを使用する場合は、デバイスの過電流制限( $I_{CL}$ )と出力キャパシタの容量によるキャパシタ充電に要する時間によってスタートアップ時間が設定される場合があります。この場合、スタートアップ時間は式2で与えられます。

$$t_{SSCL} = \frac{(V_{OUT(NOM)} \times C_{OUT})}{I_{CL(MIN)}} \quad (2)$$

ここで、

$V_{OUT(NOM)}$ は公称出力電圧、

$C_{OUT}$ は出力容量、

$I_{CL(MIN)}$ はデバイスの過電流制限の最小値です。

単調増加するスタートアップが必要なアプリケーションでは、式1で与えられるソフトスタート時間を式2よりも大きく設定する必要があります。

ソフトスタート・キャパシタの最大推奨容量は0.015 $\mu$ Fです。これより大きなソフトスタート・キャパシタを使用してもデバイスに損傷は与えませんが、ソフトスタート・キャパシタの放電回路が、イネーブル時にソフトスタート・キャパシタを完全に放電できない場合があります。イネーブル・ピンに高速の短いパルスしか与えない一方でグランド電位からのソフトスタートを必要とするようなアプリケーションでは、0.015 $\mu$ Fより大きなソフトスタート・キャパシタを使用するとキャパシタが放電する時間が不足して問題が生じる可能性があります。また、 $C_{SS}$ にはリーク電流の少ないキャパシタを使用する必要があります。X7R、X5R、またはC0Gの温度特性を持つ誘電体を推奨します。推奨されるソフトスタート・キャパシタ値については、表2を参照してください。

## シーケンシング要件

$V_{IN}$ 、 $V_{BIAS}$ 、および $V_{EN}$ は、どの順番でシーケンシングを行ってもデバイスに損傷は与えません。ただし、ソフトスタート機能を意図したとおりに動作させるには、特定のシーケンシング規則を適用する必要があります。 $V_{IN}$ が1.1Vより高く、 $V_{IN}$ および $V_{BIAS}$ の電圧上昇時間がソフトスタートに設定された時間よりも速ければ、ENを $V_{IN}$ に接続することができます。入力電源の上昇速度がソフトスタートの設定時間よりも遅い場合、出力は“(遅い方の電源の電圧)-(ドロップアウト電圧)”の電圧で立ち上がり、設定出力電圧に達するまでの間、設定より遅れて立ち上がります。ENがBIASに接続されている場合、 $V_{IN}$ が $V_{BIAS}$ より前に供給されていれば、デバイスはプログラミングどおりにソフトスタートします。 $V_{IN}$ が印加される前に $V_{BIAS}$ と $V_{EN}$ が供給され、設定ソフトスタート時間が経過してしまった後に $V_{IN}$ が供給された場合、 $V_{OUT}$ は $V_{IN}$ の立ち上がり追随します。ソフトスタート時間がまだ経過していない場合、充電ソフトスタート・キャパシタによって設定された値に $V_{OUT}$ が達するまでの間、出力は $V_{IN}$ を追跡します。図28に、RC遅延回路を使用して、 $V_{BIAS}$ が上昇するまでの間 $V_{EN}$ をオフに保持する例を示します。この手法は、ENを $V_{IN}$ から駆動するために使用することもできます。また、外部の制御信号を使用して、 $V_{IN}$ と $V_{BIAS}$ の供給後にデバイスをイネーブルにすることもできます。

NOTE:  $V_{BIAS}$ と $V_{EN}$ が印加され、 $V_{IN}$ が印加されていない場合、OUTピンから約50 $\mu$ Aのリーク電流が発生します。この電流は本製品にはダメージを与えませんが、出力とGND間の抵抗(電圧設定抵抗も含んだ)が10k $\Omega$ 以上の場合はこのリーク電流により出力回路への充電が発生する場合があります。

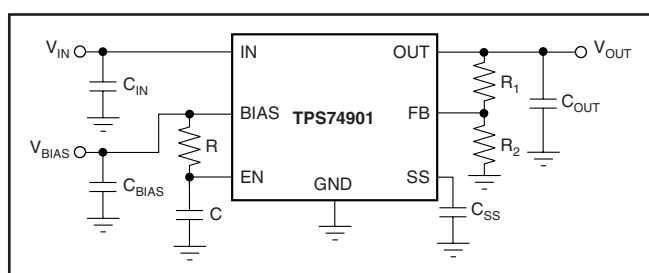


図 28. RC回路を使用したソフトスタート遅延によるデバイスのイネーブル

## 出力ノイズ

ソフトスタート・キャパシタを使用している場合、TPS749xxの出力ノイズは少なくなります。ソフトスタート・サイクルの終了後は、ソフトスタート・キャパシタは内部リファレンスに対するフィルタとして働きます。0.001 $\mu$ Fのソフトスタート・キャパシタを使用することで、出力ノイズは半分に減り、1.2V出力の場合には標準で30 $\mu$ V<sub>RMS</sub> (10Hz~100kHz)となります。 $C_{SS}$ をさらに増加させても、ノイズ減少への効果はほとんどありません。出力ノイズのほとんどは内部リファレンスによって発生するため、ノイズは設定する出力電圧の関数となります。0.001 $\mu$ Fのソフトスタート・キャパシタを使用したときのRMSノイズは、式3で与えられます。

$$V_N(\mu\text{V}_{\text{RMS}}) = 25 \left( \frac{\mu\text{V}_{\text{RMS}}}{\text{V}} \right) \times V_{\text{OUT}} (\text{V}) \quad (3)$$

この低出力ノイズ特性により、TPS749xxは、トランシーバ、PLLなどのノイズに敏感な回路への電源供給に適した選択肢となります。

## イネーブル/シャットダウン

イネーブル (EN) ピンは、アクティブ・ハイであり、標準のデジタル信号レベルと互換性があります。 $V_{EN}$ が0.4Vを下回るとレギュレータがオフになり、1.1Vを超えるとレギュレータがオンになります。多くのレギュレータと異なり、このイネーブル回路は、比較的低速で上昇するアナログ信号でも使用できるようにヒステリシスおよびデグリッチ回路を持っています。この回路構成により、TPS749xxは、他の電源の出力をENピンに接続することで電源電圧の立ち上がりによりイネーブルにできます。イネーブル回路は、標準で50mVのヒステリシスとデグリッチ回路により、 $V_{EN}$ 信号内の小さなグリッチによって生じるオン/オフ・サイクルを回避することができます。

イネーブル・スレッシュホールドは標準で0.8Vですが、温度および工程でのばらつきによって変動します。温度による変動は、約-1mV/°Cです。0.4V~1.1Vの制限値への変動のうち、残りのほとんどは、工程ばらつきによる変動が占めます。正確なオン・タイミングが求められる場合は、高速で立ち上がる信号を使用してTPS749xxをイネーブルする必要があります。

イネーブルを使用しない場合、ENはINまたはBIASに接続できます。ENをINに接続する場合は、入力における最も大きな容量にできるだけ近接させて接続し、そのラインでの電圧降下によってイネーブル回路がトリガされることを防ぐ必要があります。

## パワーグッド

パワーグッド (PG) ピンは、オープン・ドレイン出力であり、外部のプルアップ抵抗を介して5.5V以下の任意のレールに接続することができます。このピンから適切な出力を得るには、 $V_{BIAS}$ に1.1V以上が必要です。 $V_{OUT}$ が( $V_{IT} + V_{HYS}$ )よりも大きい場合、PG出力はハイ・インピーダンスになります。 $V_{OUT}$ が $V_{IT}$ を下回るか、または $V_{BIAS}$ が1.9Vを下回ると、オープン・ドレイン出力がオンになり、PG出力が“ロー”になります。PGピンは、デバイスがディセーブルになった場合にもアサートされます。推奨されるPGピンのシンク電流は最大1mAです。

このことからPGのプルアップ抵抗は、10kΩ～1MΩの範囲内にする必要があります。PGの機能はQFNパッケージの製品でのみ提供されています。もし、電圧監視機能を使用しない場合はPGピンは開放のままにしておけます。

## 内部電流制限

TPS749xxは、温度および電源電圧に対して安定な、出荷時調整された電流制限を備えています。この電流制限により、最大4Aのサージ印加まではレギュレーションを保持する事が可能になります。短絡障害の発生時に、電流制限は約10μsで応答して電流を制限値まで減少させます。

TPS749xxの内部電流制限保護回路は、過負荷状態に対して保護するように設計されています。デバイスの定格電流を超えて動作可能にすることを意図したものではありません。定格電流以上でTPS749xxを連続的に動作させると、デバイスの信頼性が低下します。

## 過熱保護

過熱保護機能により、接合部温度が約+160°Cに上昇すると出力がディセーブルになり、デバイスの温度が下がるまで待ちます。接合部温度が約+140°Cまで低下すると、出力回路がイネーブルになります。消費電力、熱抵抗、および周囲温度に応じて、過熱保護回路はオン/オフを繰り返します。これによりレギュレータの消費電力が制限され、過熱による損傷から保護されます。

過熱保護回路が動作する場合、消費電力が大きすぎるか、またはヒートシンクが不十分であることが考えられます。動作の信頼性を高めるために、接合部温度は最大+125°Cに制限してください。完成設計（ヒートシンクを含む）における安全性の余裕を評価するには、ワーストケースの負荷および信号条件を使用し、過熱保護が作動するまで周囲温度を上昇させます。良好な信頼性のためには、アプリケーションの最大想定周囲温度よりも+40°C以上上昇した場合に過熱保護が作動するのが望ましい状態です。したがって、最大想定周囲温度およびワーストケース負荷でのワーストケース接合部温度は+125°Cとなります。

TPS749xxの内部保護回路は、過負荷状態に対して保護するように設計されています。これは、適切なヒートシンクの代わりとなるよう意図されたものではありません。TPS749xxを過熱保護が作動するまで使用し続けると、デバイスの信頼性が低下します。

## レイアウトに関する推奨事項および消費電力

最適なレイアウトを行うことで、過渡特性、PSRR、およびノイズ特性を大きく改善することができます。負荷過渡応答中のデバイスの入力における電圧降下を最小限に抑えるために、INおよびBIASに接続された容量はできる限りデバイスに近づけて接続する必要があります。この容量は、入力電源の寄生インダクタンスおよび抵抗の影響を最小限に抑える効果も持つため、安定性の向上にも寄与します。最適な過渡応答特性および電圧精度を実現するために、図25のR<sub>1</sub>の上側の配線はできる限り負荷に近接させた場所で接続してください。BIASをINに接続する場合は、入力側の電源のセンス・ポイントにできるだけ近づけてBIASを接続することを推奨します。この接続により、過渡状態時のBIASでの電圧降下が最小限になり、オン応答を向上できます。

過熱保護によるシャットダウンを避け、動作の信頼性を確保するためには、デバイスの消費電力と、サーマル・パッドに接続されるサーマル・プレーンの適切なサイズを知ることが不可欠です。デバイスの消費電力は入力電圧と負荷条件に依存し、式4を用いて計算できます。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (4)$$

必要な出力電圧レギュレーションを実現できる最小の入力電圧を使用することで、消費電力を最小限に抑え、より高い効率を得ることができます。

QFN (RGW) とDDPAK (KTW) のパッケージの熱の主要な伝導経路は、両方とも、露出したパッドを通してプリント基板 (PCB) に伝えられる経路です。パッドやタブはグラウンドに接続するか、またはフローティングにできます。ただし、デバイスの過熱を避けるために、適切な面積を持った基板の銅パターンに半田付けする必要があります。必要とされる接合部-周囲間の最大熱抵抗は、最大周囲温度、最大デバイス接合部温度、およびデバイスの消費電力から、式5を用いて計算できます。

$$R_{\theta JA} = \frac{(+125^{\circ}\text{C} - T_A)}{P_D} \quad (5)$$

最大のR<sub>θJA</sub>および装置での通風状態がわかれば、適切な放熱のために必要な基板と銅パターンの最小面積は図29～図31を使用して求められます。

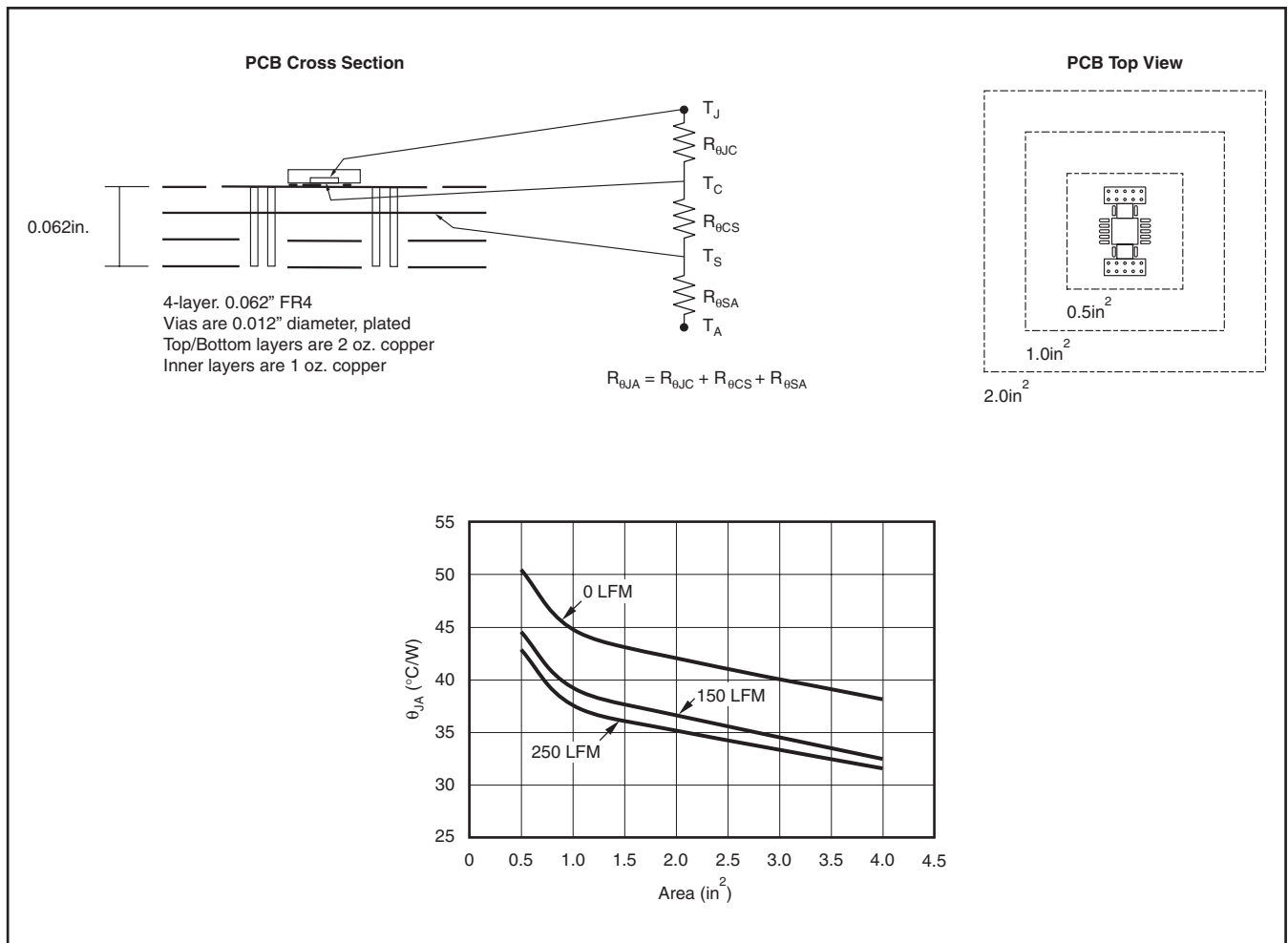


図 29. RGW (5×5QFN)でのPCBレイアウトおよび対応する $R_{\theta JA}$ データ、サーマルパッド直下にビア無し

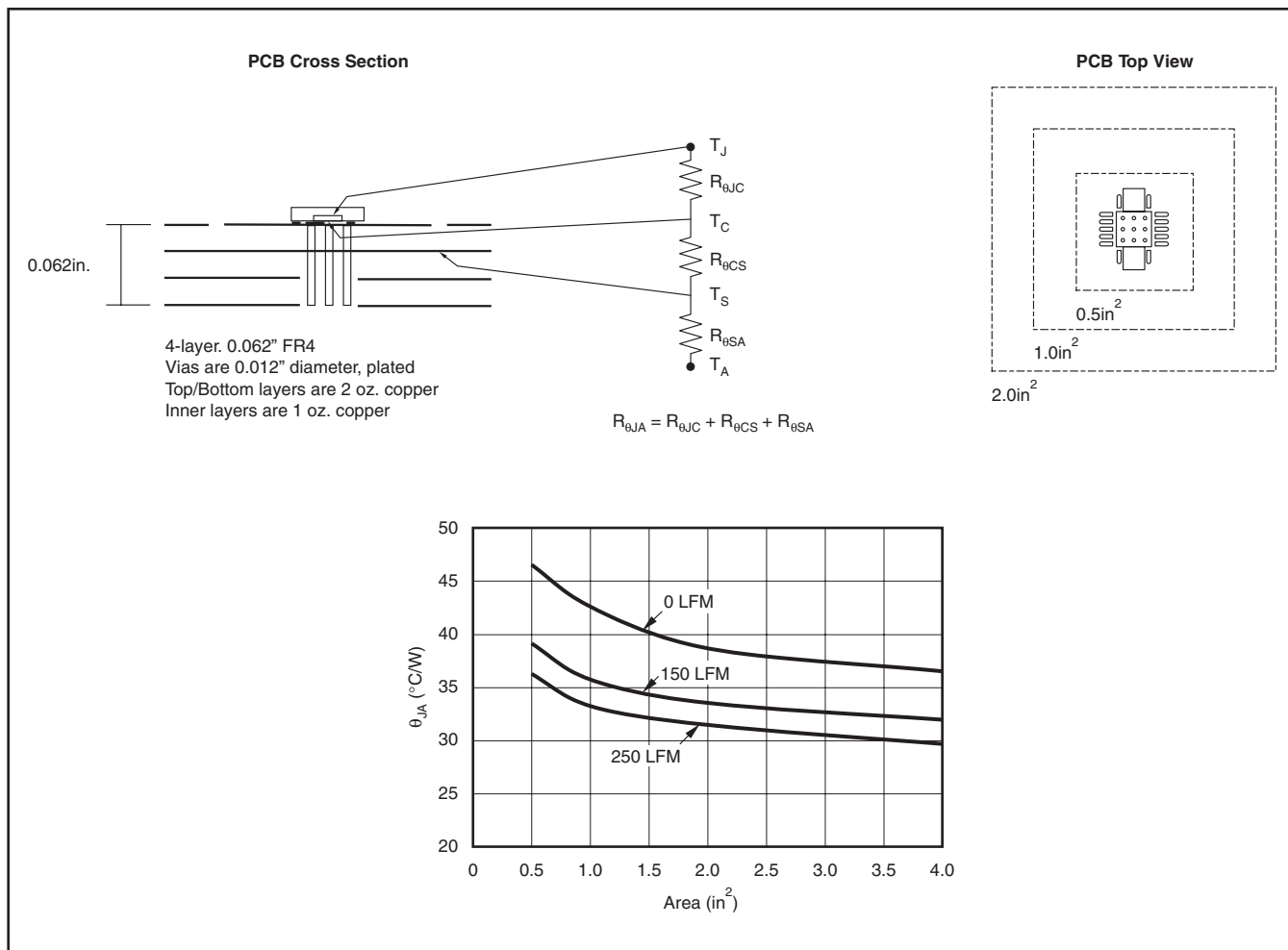


図 30. RGW (5×5QFN)でのPCBレイアウトおよび対応する $R_{\theta JA}$ データ、サーマルパッド直下にビアを配置

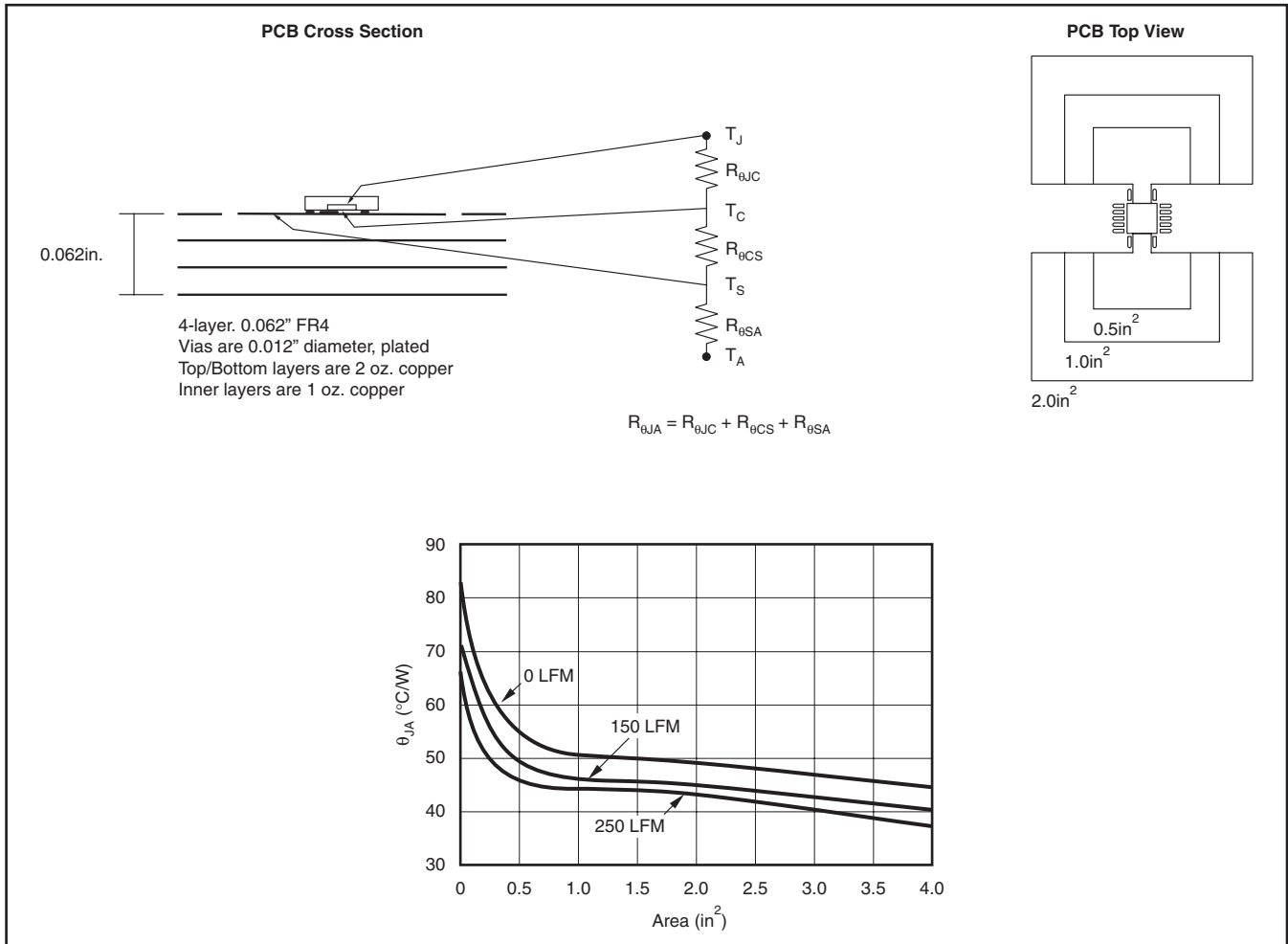


図 31. RGW (5×5QFN)でのPCBレイアウトおよび対応する $R_{\theta JA}$ データ、ビアなし、熱拡散銅パターン最上面のみ



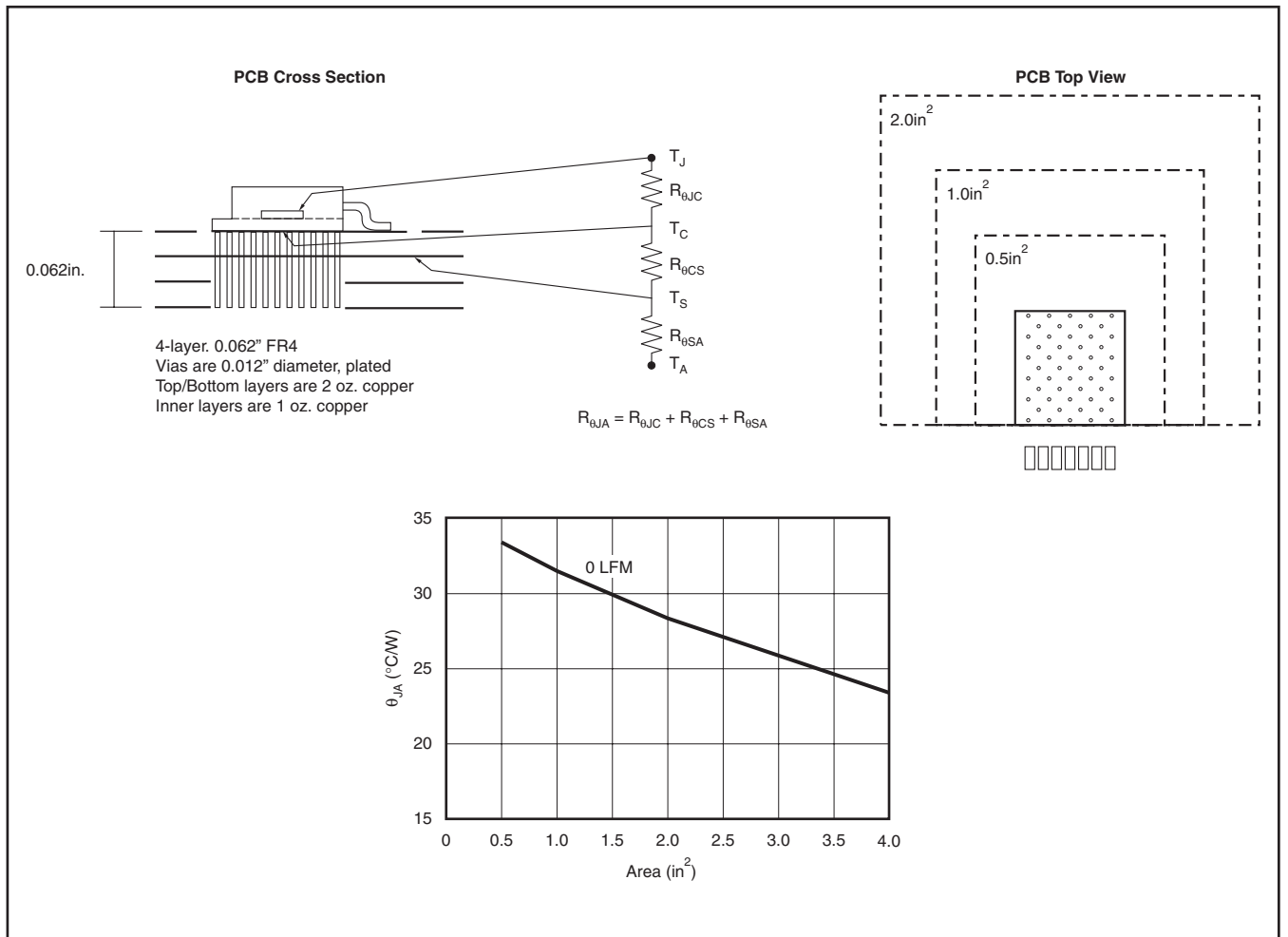


図 32. KTW (DDPAK-7)での PCBレイアウトおよび対応する $R_{\theta JA}$ データ、埋設されたサーマルプレーンにピアで接続

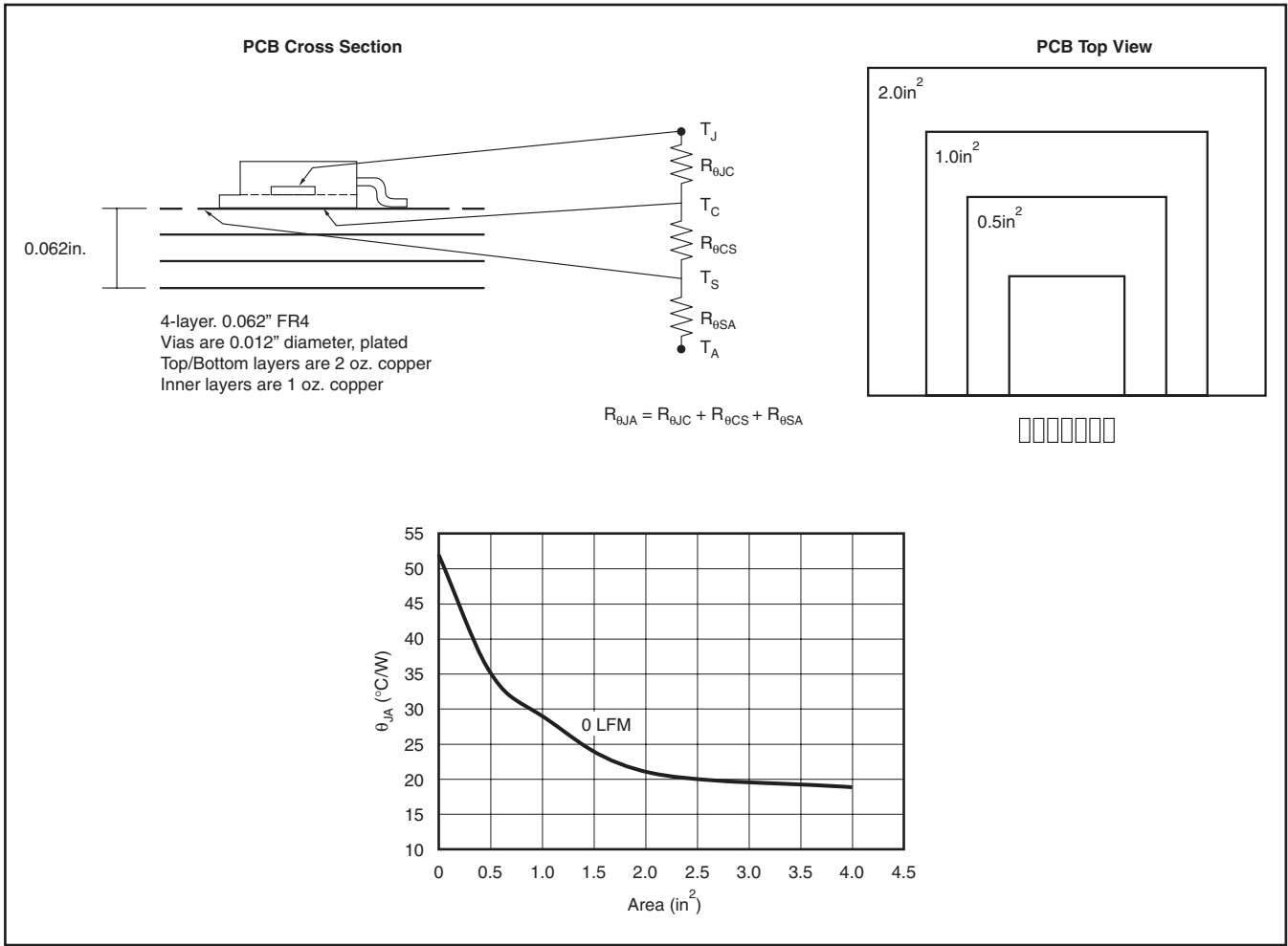


図 33. KTW (DDPAK-7)での PCBレイアウトおよび対応する $R_{\theta JA}$ データ、最上面のサーマルプレーンを使用

# パッケージ・オプション

## 製品情報

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish	MSL Peak Temp <sup>(3)</sup>
TPS74901KTWR	ACTIVE	DDPAK	KTW	7	500	Green (RoHS & no Sb/Br)	CU SN	Level-2-260C-1 YEAR
TPS74901KTWRG3	ACTIVE	DDPAK	KTW	7	500	Green (RoHS & no Sb/Br)	CU SN	Level-2-260C-1 YEAR
TPS74901KTWT	ACTIVE	DDPAK	KTW	7	50	Green (RoHS & no Sb/Br)	CU SN	Level-2-260C-1 YEAR
TPS74901KTWTG3	ACTIVE	DDPAK	KTW	7	50	Green (RoHS & no Sb/Br)	CU SN	Level-2-260C-1 YEAR
TPS74901RGWR	ACTIVE	QFN	RGW	20	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS74901RGWRG4	ACTIVE	QFN	RGW	20	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS74901RGWT	ACTIVE	QFN	RGW	20	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS74901RGWTG4	ACTIVE	QFN	RGW	20	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

**ACTIVE**：製品デバイスが新規設計用に推奨されています。

**LIFEBUY**：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

**NRND**：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

**PREVIEW**：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

**OBSOLETE**：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

**TBD**：Pb-Free/Green変換プランが策定されていません。

**Pb-Free (RoHS)**：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

**Pb-Free (RoHS Exempt)**：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記のようにPb-Free (RoHS) と考えられます。

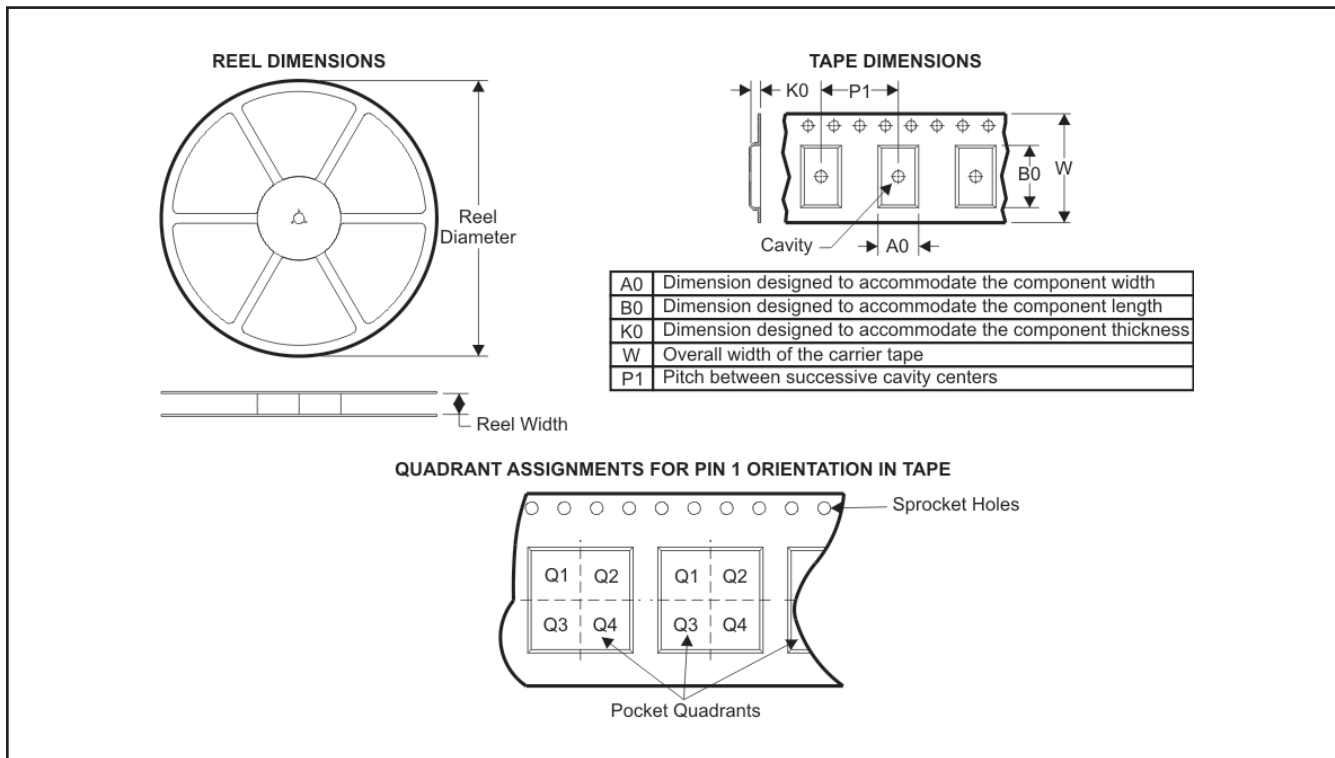
**Green (RoHS & no Sb/Br)**：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

**重要な情報および免責事項**：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行わないものとします。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

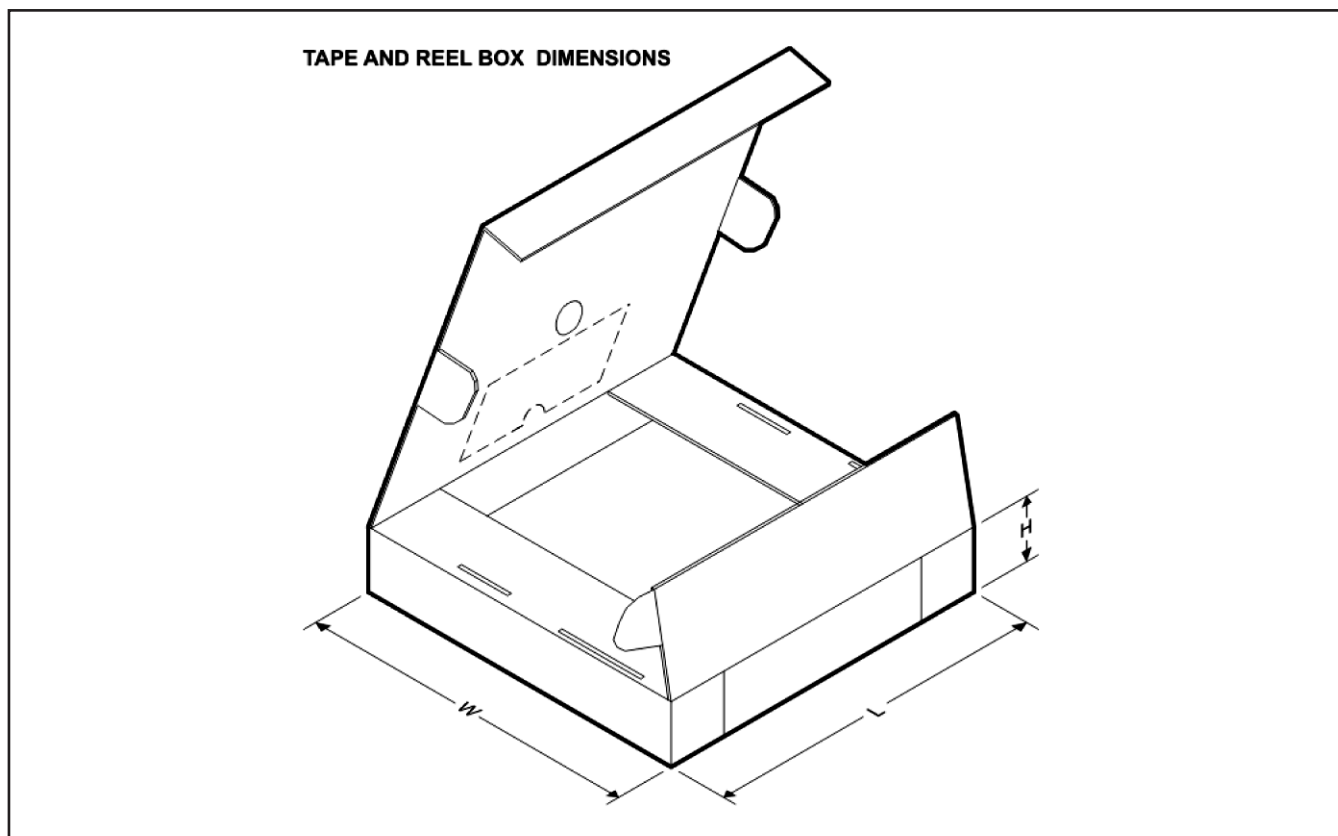
# PACKAGE MATERIALS INFORMATION

## TAPE AND REEL BOX INFORMATION



Device	Package	Pins	Site	Reel Diameter (mm)	Reel Width (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS74901KTWR	KTW	7	SITE 41	330	24	10.6	15.6	4.9	16	24	Q2
TPS74901KTWT	KTW	7	SITE 41	330	24	10.6	15.6	4.9	16	24	Q2
TPS74901RGWR	RGW	20	SITE 41	330	12	5.3	5.3	1.5	8	12	Q2
TPS74901RGWT	RGW	20	SITE 41	180	12	5.3	5.3	1.5	8	12	Q2

# PACKAGE MATERIALS INFORMATION



Device	Package	Pins	Site	Length (mm)	Width (mm)	Height (mm)
TPS74901KTWR	KTW	7	SITE 41	346.0	346.0	41.0
TPS74901KTWT	KTW	7	SITE 41	346.0	346.0	41.0
TPS74901RGWR	RGW	20	SITE 41	346.0	346.0	29.0
TPS74901RGWT	RGW	20	SITE 41	190.0	212.7	31.75



# サーマルパッド・メカニカル・データ

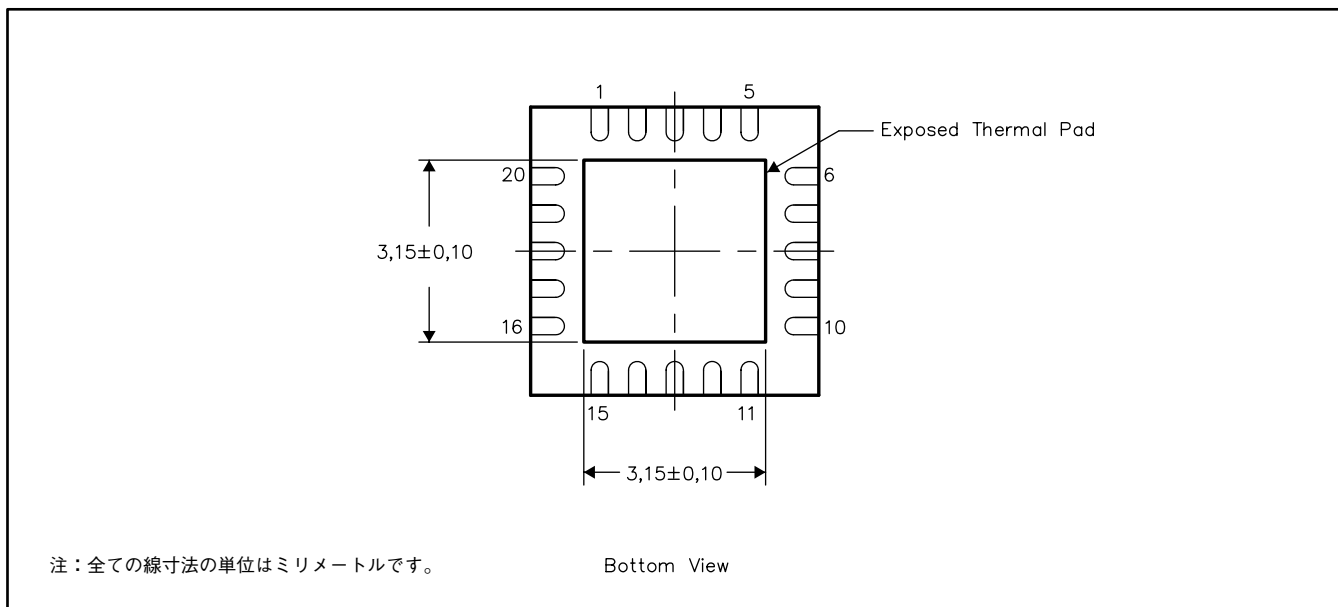
## RGW (S-PQFP-N20)

### 熱特性について

このパッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマルパッドが装備されています。このサーマルパッドは、プリント基板 (PCB) をヒートシンクとして使用できるように、PCBに直接半田付けする必要があります。また、サーマルビアを使用して、サーマルパッドをグランドプレーンまたはPCB内に設計された特別なヒートシンク構造に直接接続することができます。この設計により、ICからの熱伝導が最適化されます。

QFN (Quad Flatpack No-Lead) パッケージとその利点については、アプリケーションレポート『Quad Flatpack No-Lead Logic Packages』(Texas Instruments文献番号SCBA017)を参照してください。このドキュメントは、ホームページwww.ti.comで入手できます。

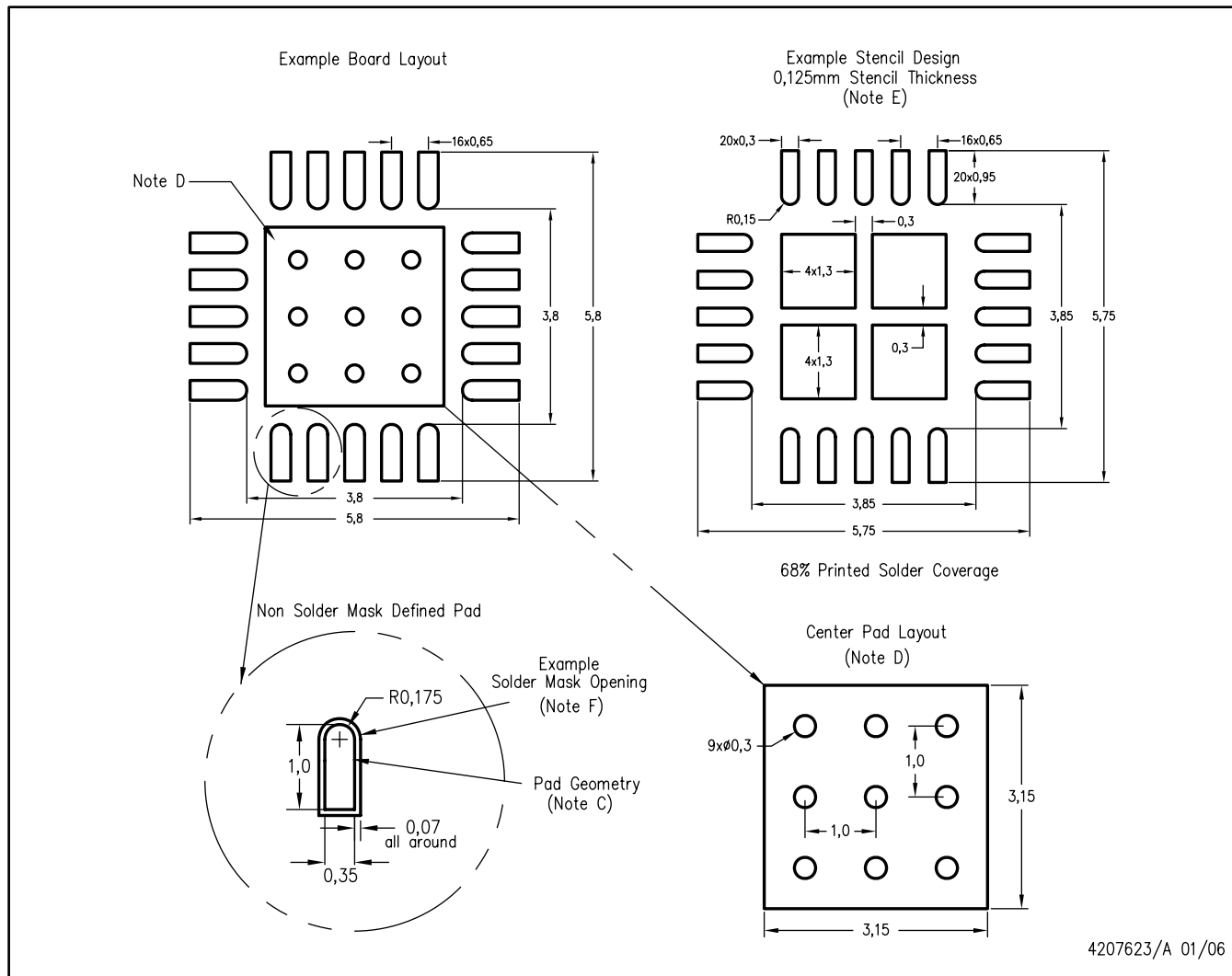
このパッケージの露出したサーマルパッドの寸法を次の図に示します。



サーマルパッド寸法図

# LAND PATTERN

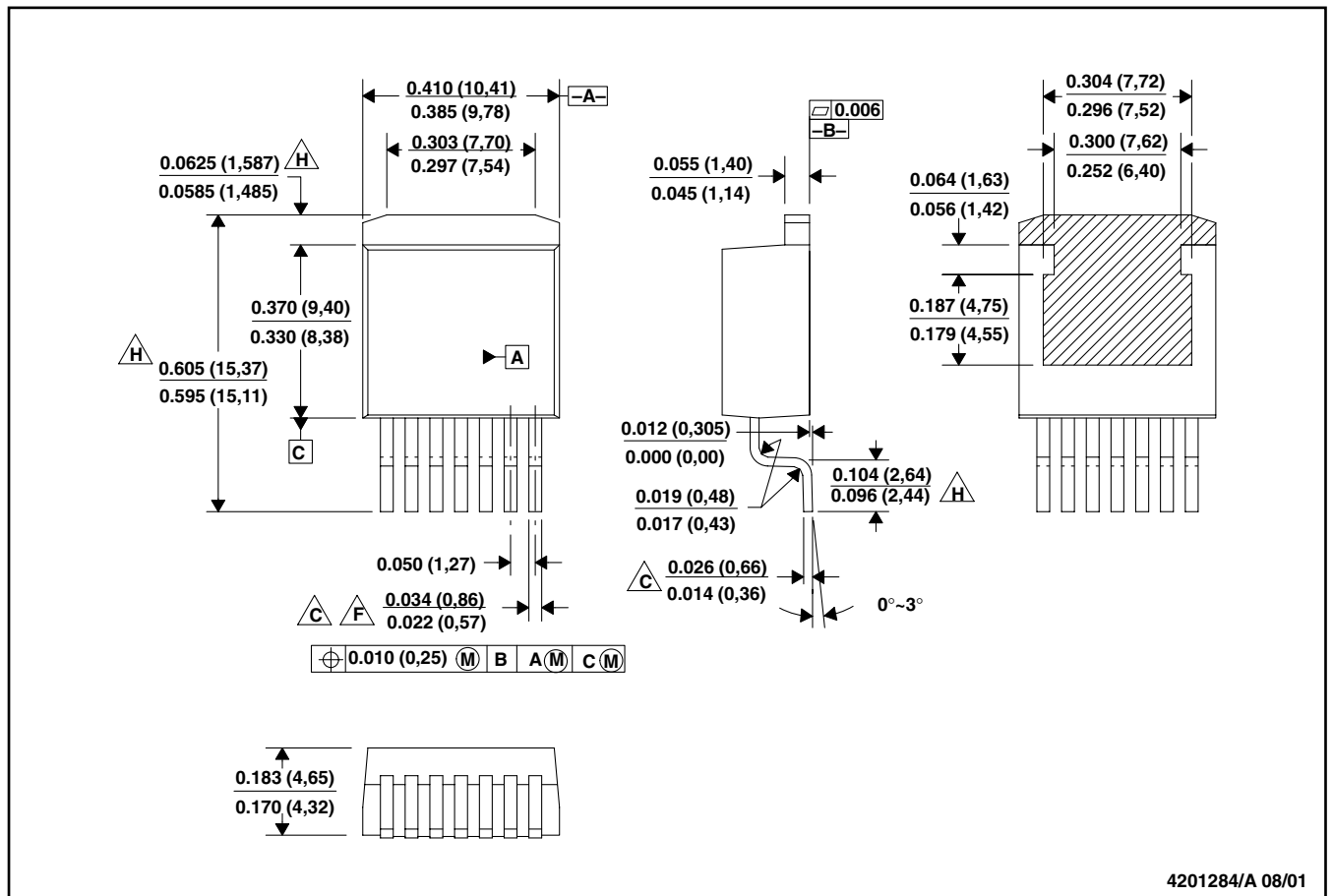
RGW (S-PQFP-N20)



4207623/A 01/06

- NOTES:
- All linear dimensions are in millimeters.
  - This drawing is subject to change without notice.
  - Publication IPC-7351 is recommended for alternate designs.
  - This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, QFN Packages, Texas Instruments Literature No. SCBA017, SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at [www.ti.com](http://www.ti.com) <<http://www.ti.com>>.
  - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
  - Customers should contact their board fabrication site for solder mask tolerances.





4201284/A 08/01

- NOTES:
- A. All linear dimensions are in inches (millimeters).
  - B. This drawing is subject to change without notice.
  - C. Lead width and height dimensions apply to the plated lead.
  - D. Leads are not allowed above the Datum B.
  - E. Stand-off height is measured from lead tip with reference to Datum B.
  - F. Lead width dimension does not include dambar protrusion. Allowable dambar protrusion shall not cause the lead width to exceed the maximum dimension by more than 0.003".
  - G. Cross-hatch indicates exposed metal surface.
  - H. Falls within JEDEC MO-169 with the exception of the dimensions indicated.

# ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

### 3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

### 4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

### 6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上