

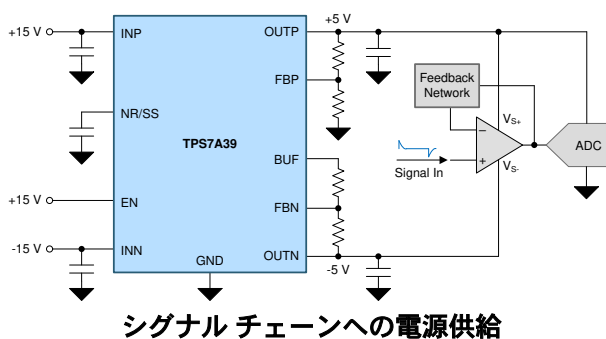
TPS7A39 デュアル、150mA、広い V_{IN} 、正/負の低ドロップアウト (LDO) 電圧レギュレータ

1 特長

- 1つのパッケージで正と負の LDO を実現します
- 幅広い入力電圧範囲: $\pm 3.3V \sim \pm 33V$
- 広い出力電圧範囲:
 - 正の範囲: $1.2V \sim 30V$
 - 負の範囲: $-30V \sim 0V$
- 出力電流: 150mA (チャネルあたり)
- 単調なスタートアップのトラッキング
- 高い電源除去率 (PSRR):
 - 69dB (120Hz)
 - $\geq 50dB$ (10Hz ~ 2MHz)
- 出力電圧ノイズ: $21\mu V_{RMS}$ (10Hz~100kHz)
- バッファ経由 1.2V リファレンス出力
- 10 μF 以上の出力コンデンサで安定
- 単一の正論理イネーブル
- 可変ソフトスタート突入電流制御
- 3mm × 3mm の 10ピン WSON パッケージ
- 低い熱抵抗: $R_{\theta JA} = 44.4^{\circ}C/W$
- 動作温度範囲: $-40^{\circ}C \sim +125^{\circ}C$

2 アプリケーション

- EV 充電インフラ
- AC 充電ステーション
- 産業用オートメーション
- 医療用画像処理
- エネルギー ストレージ システム
- PC とノート PC



3 説明

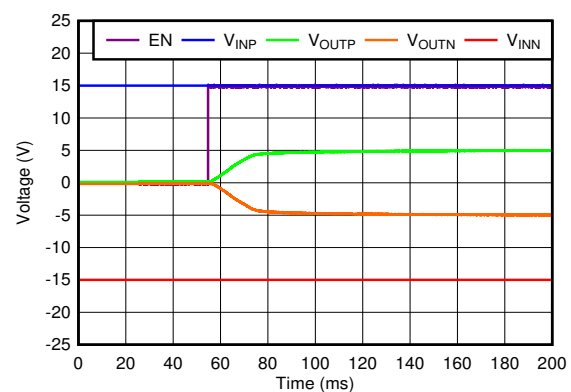
TPS7A39 はデュアル、モノリシック、高 PSRR の低ドロップアウト (LDO) 正/負電圧レギュレータで、最大 150mA の電流をソース(およびシンク)できます。レギュレートされた出力は、個別かつ外部的に対称電圧または非対称電圧に調整できるので、シグナル コンディショニング向けのデュアル バイポーラ電源として適しています。

TPS7A39 の正および負の出力は、起動中、レシオメトリックに相互トラッキングすることで、フローティング状態や、デュアルレール システムによくあるその他の電源シーケンスの問題を軽減します。負の出力を最大 0V までレギュレートできるため、単電源アンプの同相電圧範囲が広くなります。また、TPS7A39 は高い PSRR 能力を備えており、シグナル インテグリティを損なうおそれのあるあるスイッチング ノイズなどの電源ノイズを排除します。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS7A39	DSC (WSON, 10)	3mm × 3mm

- (1) 詳細については、[メカニカル](#)、[パッケージ](#)、および[注文情報](#)をご覧ください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



単調なスタートアップのトラッキング



両方のレギュレータが単一の正論理イネーブルピンで制御され、標準デジタルロジックとインターフェイスできます。コンデンサプログラマブルなソフトスタート機能により、突入電流と起動時間を制御します。高精度出力および出力電圧マーキングの実現や、その他の電源のトラッキングのために、TPS7A39の内部基準電圧を外部基準電圧でオーバーライドできます。また、TPS7A39では基準電圧出力がバッファリングされているので、システム内のその他のコンポーネントの基準電圧として使用できます。

これらの機能により、TPS7A39はオペアンプ、D/Aコンバータ(DAC)、その他の高精度アナログ回路に電源供給するための堅牢でありながら簡易なソリューションを提供します。

目次

1 特長	1	6.4 デバイスの機能モード	30
2 アプリケーション	1	7 アプリケーションと実装	31
3 説明	1	7.1 アプリケーション情報.....	31
4 ピン構成および機能	4	7.2 代表的なアプリケーション.....	41
5 仕様	6	7.3 電源に関する推奨事項.....	46
5.1 絶対最大定格.....	6	7.4 レイアウト.....	46
5.2 ESD 定格.....	6	8 デバイスおよびドキュメントのサポート	48
5.3 推奨動作条件.....	7	8.1 デバイス サポート.....	48
5.4 熱に関する情報.....	7	8.2 ドキュメントのサポート.....	48
5.5 電気的特性.....	8	8.3 ドキュメントの更新通知を受け取る方法.....	48
5.6 スタートアップ特性.....	10	8.4 サポート・リソース.....	48
5.7 タイミング図.....	11	8.5 商標.....	48
5.8 代表的特性.....	12	8.6 静電気放電に関する注意事項.....	48
6 詳細説明	24	8.7 用語集.....	49
6.1 概要.....	24	9 改訂履歴	49
6.2 機能ブロック図.....	25	10 メカニカル、パッケージ、および注文情報	49
6.3 機能説明.....	25		

4 ピン構成および機能

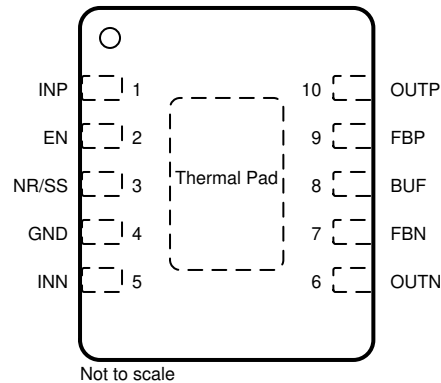


図 4-1. DSC パッケージ、10 ピン WSON (上面図)

表 4-1. ピンの機能

ピン		I/O	説明
番号	名称		
1	INP	I	正入力。安定性を確保するには、このピンとグラウンドの間に $10\mu\text{F}^{(1)}$ 以上のコンデンサを接続する必要があります。入力コンデンサは、入力にできる限り近づけて配置します。詳細については、 コンデンサに関する推奨事項 セクションを参照してください。
2	EN	I	イネーブルピン。このピンを論理 high ($V_{\text{EN}} \geq V_{\text{IH(EN)}}$) に駆動すると、デバイスがイネーブルになり、このピンを論理 low ($V_{\text{EN}} \leq V_{\text{IL(EN)}}$) に駆動すると、デバイスはディセーブルになります。イネーブル機能が不要な場合は、このピンを INP に接続する必要があります。詳細については、 アプリケーションと実装 セクションを参照してください。イネーブル電圧は、入力電圧 ($V_{\text{EN}} \leq V_{\text{INP}}$) を超えることはできません。
3	NR/SS	—	ノイズ低減、ソフトスタートピン。このピンとグラウンドとの間に外付けコンデンサを接続すると、リファレンス電圧ノイズが低減され、ソフトスタートおよびスタートアップのトラッキングが可能になります。AC 性能を最大化または最適化し、スタートアップのトラッキングを確実にするため、 10nF 以上のコンデンサ ($C_{\text{NR/SS}}$) を NR/SS と GND の間に接続することを推奨します。このピンを外部で駆動することでも、より高い出力電圧精度と低ノイズを実現できます。詳細については、 ユーザ設定可能なバッファ付きリファレンス セクションを参照してください。
4	GND	—	グラウンドピン。このピンは、低インピーダンスで接続されたグラウンドとサーマルパッドに接続する必要があります。
5	INN	I	負入力。安定性を確保するには、このピンとグラウンドの間に $10\mu\text{F}^{(1)}$ 以上のコンデンサを接続する必要があります。入力コンデンサは、入力にできる限り近づけて配置します。詳細については、 コンデンサに関する推奨事項 セクションを参照してください。
6	OUTN	O	負出力。安定性を確保するには、このピンからグラウンドに $10\mu\text{F}^{(1)}$ 以上のコンデンサを接続する必要があります。出力コンデンサを出力のできるだけ近くに配置します。詳細については、 コンデンサに関する推奨事項 セクションを参照してください。
7	FBN	I	負の出力帰還ピン。このピンは負の出力電圧を設定するために使用されます。必須ではありませんが、AC 性能を最大限に高めるために、FBN と OUTN の間に 10nF のフィードフォワードコンデンサ (デバイスにできる限り近づけて配置) をお勧めします。公称このピンは V_{FBN} にレギュレートされます。グラウンドに接続しないでください。
8	BUF	O	バッファ経由リファレンス出力。このピンは R_2 経由で FBN に接続され、このノードの電圧は負の帰還回路によって反転およびスケールアップされ、目的の出力電圧を供給します。バッファ付き基準電圧は外部回路を駆動するために使用でき、 1mA の最大負荷に対応します。
9	FBP	I	正の出力帰還ピン。このピンは正の出力電圧を設定するために使用されます。必須ではありませんが、AC 性能を最大限に高めるために、FBP と OUTP の間に 10nF のフィードフォワードコンデンサ (デバイスにできる限り近づけて配置) をお勧めします。公称このピンは V_{FBP} にレギュレートされます。このピンは直接グラウンドには接続しないでください。
10	OUTP	O	正の出力。安定性を確保するには、このピンからグラウンドに $10\mu\text{F}^{(1)}$ 以上のコンデンサを接続する必要があります。出力コンデンサを出力のできるだけ近くに配置します。詳細については、 コンデンサに関する推奨事項 セクションを参照してください。

表 4-1. ピンの機能 (続き)

ピン		I/O	説明
番号	名称		
パッド	サーマル パッド	—	サーマル パッドを大面積のグラウンド プレーンに接続します。サーマル パッドは内部で GND に接続されています。

- (1) 入力および出力の公称容量は $2.2\mu\text{F}$ よりも大きい必要があります。このドキュメント全体を通して、これらのコンデンサの公称ディレーティングは 80% です。ピンの実効容量が $2.2\mu\text{F}$ より大きいことを確認してください。

5 仕様

5.1 絶対最大定格

接合部動作温度範囲内 (特に記述のない限り)^{(1) (2)}

		最小値	最大値	単位
電圧	INP	-0.3	36	V
	INN	-36	0.3	
	OUTP	-0.3	$V_{INP} + 0.3$ ⁽⁵⁾	
	OUTN	$V_{INN} - 0.3$ ⁽⁴⁾	0.3	
	FBP	-0.3	$V_{INP} + 0.3$ ⁽⁷⁾	
	BUF	-1	$V_{INP} + 0.3$ ⁽⁷⁾	
	NR/SS	-0.3	$V_{INP} + 0.3$ ⁽⁸⁾	
	FBN	$V_{INN} - 0.3$ ⁽³⁾	0.3	
	EN	-0.3	$V_{INP} + 0.3$ ⁽⁶⁾	
電流	出力電流	内部的に制限		
	バッファ付き電流		2	mA
温度	動作時の接合部温度、 T_J	-55	150	°C
	保存、 T_{stg}	-65	150	

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、推奨動作条件に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 特に指定のない限り、すべての電圧値はグランドピンを基準としています。
- (3) 絶対最大定格は $V_{INN} - 0.3V$ または $-3V$ のどちらか大きい方です。
- (4) 絶対最大定格は $V_{INN} - 0.3V$ または $-33V$ のどちらか大きい方です。
- (5) 絶対最大定格は $V_{INP} + 0.3V$ または $33V$ のどちらか小さい方です。
- (6) 絶対最大定格は $V_{INP} + 0.3V$ または $36V$ のどちらか小さい方です。
- (7) 絶対最大定格は $V_{INP} + 0.3V$ または $3V$ のどちらか小さい方です。
- (8) 絶対最大定格は $V_{INP} + 0.3V$ または $2V$ のどちらか小さい方です。

5.2 ESD 定格

		値	単位
V_{ESD}	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±1000
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	±500

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
$ V_{INx} $	いずれかのレギュレータの電源電圧振幅	3.3		33	V
V_{EN}	イネーブル電源電圧	0		V_{INP}	V
V_{OUTP}	正のレギュレートされた出力電圧範囲	V_{FBP}		30	V
V_{OUTN}	負のレギュレートされた出力電圧範囲	-30		V_{FBN}	V
I_{OUTx}	いずれかのレギュレータの出力電流	0.005 ⁽²⁾		150	mA
I_{BUF}	BUF ピンからの出力電流	0	120	1000	μ A
C_{INx}	いずれかのレギュレータの入力コンデンサ	4.7	10 ⁽¹⁾		μ F
C_{OUTx}	いずれかのレギュレータの出力コンデンサ	4.7	10 ⁽¹⁾		μ F
$C_{NR/SS}$	ノイズ低減およびソフトスタートコンデンサ	0 ⁽³⁾	10	1000	nF
C_{FFP}	正のチャンネルのフィードフォワードコンデンサ。 V_{OUTP} から FBP に接続します	0	10	100	nF
C_{FFN}	負のチャンネルのフィードフォワードコンデンサ。 V_{OUTN} から FBN に接続します	0	10	100	nF
R_{2P}	正帰還抵抗を小さくします		10	240	k Ω
R_{2N}	より小さい負帰還抵抗 (FBN から BUF へ)		10	240	k Ω
T_J	動作時接合部温度	-40		125	$^{\circ}$ C

- (1) 10 μ F の入力および出力コンデンサの公称値は、X5R および X7R セラミックコンデンサに適用されるディレーティング係数を考慮しています。全体のディレーティングは 80% と想定しています。
- (2) 帰還抵抗を使用しない場合に必要最小負荷。帰還抵抗を使用する場合、 R_{2x} を 240k Ω よりも低く保つことでこの要件が満たされます。
- (3) スタートアップトラッキングを正しく機能させるには、最小 4.7nF の $C_{NR/SS}$ コンデンサを使用する必要があります。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS7A39	単位
		DSC (WSON)	
		10 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	44.4	$^{\circ}$ C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	33.7	$^{\circ}$ C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	19.4	$^{\circ}$ C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.4	$^{\circ}$ C/W
Ψ_{JB}	接合部から基板への特性パラメータ	19.5	$^{\circ}$ C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	2.9	$^{\circ}$ C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電気的特性

$T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、 $V_{INP(nom)} = V_{OUTP(nom)} + 1\text{V}$ or $V_{INN(nom)} = 3.3\text{V}$ (いずれか大きい方)、 $V_{INN(nom)} = V_{OUTN(nom)} - 1\text{V}$ または $V_{INN(nom)} = -3.3\text{V}$ (いずれか小さい方)、 $V_{EN} = V_{INP}$ 、 $I_{OUT} = 1\text{mA}$ 、 $C_{INX} = 2.2\mu\text{F}$ 、 $C_{OUTX} = 10\mu\text{F}$ 、 $C_{FFX} = C_{NR/SS} = \text{オープン}$ 、 $R_{1N} = R_{2N} = 10\text{k}\Omega$ 、FBP は OUTP に接続 (特に記載がない限り)。標準値は $T_J = 25^\circ\text{C}$ での値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位	
V_{INP}	入力電圧範囲、正のチャネル		3.3		33	V	
V_{INN}	入力電圧範囲、負のチャネル		-33		-3.3	V	
$V_{UVLOP(rising)}$	低電圧誤動作防止スレッシュホールド、正のチャネル	V_{INP} 立ち上がり、 $V_{INN} = -3.3\text{V}$	1.4		3.1	V	
$V_{UVLOP(hys)}$	低電圧ロックアウト スレッシュホールド、正のチャネル ヒステリシス	V_{INP} 立ち下がり、 $V_{INN} = -3.3\text{V}$		120		mV	
$V_{UVLON(falling)}$	低電圧誤動作防止スレッシュホールド、負のチャネル	V_{INN} 立ち下がり、 $V_{INP} = 3.3\text{V}$	-3.1		-1.4	V	
$V_{UVLON(hys)}$	低電圧誤動作防止スレッシュホールド、負のチャネル、ヒステリシス	V_{INN} 立ち上がり、 $V_{INP} = 3.3\text{V}$		70		mV	
$V_{NR/SS}$	内部リファレンス電圧		1.172	1.19	1.208	V	
V_{FBP}	正の帰還電圧		1.170	1.188	1.206	V	
V_{FBN}	負のフィードバック電圧		-10	3.7	10	mV	
V_{OUT}	出力電圧範囲 ⁽²⁾	正のチャネル		V_{FBP}	30	V	
		負のチャネル		-30	$V_{FBN}^{(1)}$		
	V_{OUTP} 精度	$V_{INP(nom)} \leq V_{INP} \leq 33\text{V}$ 、 $1\text{mA} \leq I_{OUTP} \leq 150\text{mA}$ 、 $1.2\text{V} \leq V_{OUTP(nom)} \leq 30\text{V}$	-1.5		1.5	% V_{OUT}	
	V_{OUTN} 精度 ⁽³⁾	$-33\text{V} \leq V_{INN} \leq V_{INN(nom)}$ 、 $-150\text{mA} \leq I_{OUTN} \leq -1\text{mA}$ 、 $-30\text{V} \leq V_{OUTN(nom)} \leq -1.2\text{V}$	-3		3	% V_{OUT}	
負の V_{OUT} チャネル精度	$-33\text{V} \leq V_{INN} \leq V_{INN(nom)}$ 、 $-150\text{mA} \leq I_{OUTN} \leq 1\text{mA}$ 、 $-1.2\text{V} < V_{OUTN(nom)} < 0\text{V}$	-36		36	mV		
	$-33\text{V} \leq V_{INN} \leq V_{INN(nom)}$ 、 $-150\text{mA} \leq I_{OUTN} \leq 1\text{mA}$ 、 $V_{OUTN(nom)} = 0\text{V}$	-12		12			
$\Delta V_{OUT}(\Delta V_{IN}) / V_{OUT(NOM)}$	ラインレギュレーション、正のチャネル	$V_{INP(nom)} \leq V_{INP} \leq 33\text{V}$		0.035		% V_{OUT}	
	ラインレギュレーション、負のチャネル	$-33\text{V} \leq V_{INN} \leq V_{OUT(nom)} + 1\text{V}$		0.125			
$\Delta V_{OUT}(\Delta I_{OUT}) / V_{OUT(NOM)}$	ロードレギュレーション、正のチャネル	$1\text{mA} \leq I_{OUTP} \leq 150\text{mA}$		-0.09		% V_{OUT}	
	ロードレギュレーション、負のチャネル	$-150\text{mA} \leq I_{OUTN} \leq -1\text{mA}$		0.715			
V_{DO}	ドロップアウト電圧	正のチャネル	$I_{OUTP} = 50\text{mA}$ 、 $3.3\text{V} \leq V_{INP(nom)} \leq 33.0\text{V}$ 、 $V_{FBP} = 1.070\text{V}$	175	300	mV	
			$I_{OUTP} = 150\text{mA}$ 、 $3.3\text{V} \leq V_{INP(nom)} \leq 33.0\text{V}$ 、 $V_{FBP} = 1.070\text{V}$	300	500		
		負のチャネル	$I_{OUTN} = -50\text{mA}$ 、 $-3.3\text{V} \leq V_{INN(nom)} \leq -33.0\text{V}$ 、 $V_{FBN} = 0.0695\text{V}$	-250	-145		
			$I_{OUTN} = -150\text{mA}$ 、 $-3.3\text{V} \leq V_{INN(nom)} \leq -33.0\text{V}$ 、 $V_{FBN} = 0.0695\text{V}$	-400	-275		
V_{BUF}	バッファ付き基準出力電圧			$V_{NR/SS}$		V	
V_{BUF}/I_{BUF}	バッファ付き基準ロードレギュレーション	$I_{BUF} = 100\mu\text{A} \sim 1\text{mA}$		1		mV/mA	
$V_{BUF} - V_{NR/SS}$	出力バッファ付きオフセット電圧	$V_{NR/SS} = 0.25\text{V} \sim 1.2\text{V}$	-4	3	8	mV	
$V_{OUTP} - V_{OUTN}$	強制 REF 電圧による DC 出力電圧の差	$V_{NR/SS} = 0.25\text{V} \sim 1.2\text{V}$	-10		10	% $V_{NR/SS}$	
I_{LIM}	電流制限	正のチャネル	$V_{OUTP} = 90\% V_{OUTP(nom)}$	200	330	500	mA
		負のチャネル	$V_{OUTN} = 90\% V_{OUTN(nom)}$	-500	-300	-200	
I_{SUPPLY}	電源電流	正のチャネル	$I_{OUTP} = 0\text{mA}$ 、 $R_{2N} = \text{オープン}$ 、 $V_{INP} = 33\text{V}$	75	150	μA	
			$I_{OUTP} = 150\text{mA}$ 、 $R_{2N} = \text{オープン}$ 、 $V_{INP} = 33\text{V}$	904			
		負のチャネル	$I_{OUTN} = 0\text{mA}$ 、 $V_{OUTN(nom)} = 0\text{V}$ 、 $R_{2N} = \text{オープン}$ 、 $V_{INN} = -33\text{V}$	-150	-60		
			$I_{OUTN} = 150\text{mA}$ 、 $R_{2N} = \text{オープン}$ 、 $V_{INN} = -33\text{V}$	-1053			

5.5 電気的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 $V_{INP(nom)} = V_{OUTP(nom)} + 1\text{V}$ or $V_{IN(nom)} = 3.3\text{V}$ (いずれか大きい方)、 $V_{INN(nom)} = V_{OUTN(nom)} - 1\text{V}$ または $V_{INN(nom)} = -3.3\text{V}$ (いずれか小さい方)、 $V_{EN} = V_{INP}$ 、 $I_{OUT} = 1\text{mA}$ 、 $C_{INx} = 2.2\mu\text{F}$ 、 $C_{OUTx} = 10\mu\text{F}$ 、 $C_{FFx} = C_{NR/SS} = \text{オープン}$ 、 $R_{1N} = R_{2N} = 10\text{k}\Omega$ 、FBP は OOTP に接続 (特に記載がない限り)。標準値は $T_J = 25^{\circ}\text{C}$ での値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{SHDN}	シャットダウン時の電源電流	正のチャネル	$V_{EN} = 0.4\text{V}$ 、 $V_{INP} = 33\text{V}$	3.75	6.5	μA
		負のチャネル	$V_{EN} = 0.4\text{V}$ 、 $V_{INN} = -33\text{V}$	-4.5	-2.25	

5.5 電気的特性 (続き)

$T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、 $V_{INP(nom)} = V_{OUTP(nom)} + 1\text{V}$ or $V_{IN(nom)} = 3.3\text{V}$ (いずれか大きい方)、 $V_{INN(nom)} = V_{OUTN(nom)} - 1\text{V}$ または $V_{INN(nom)} = -3.3\text{V}$ (いずれか小さい方)、 $V_{EN} = V_{INP}$ 、 $I_{OUT} = 1\text{mA}$ 、 $C_{INX} = 2.2\mu\text{F}$ 、 $C_{OUTX} = 10\mu\text{F}$ 、 $C_{FFX} = C_{NR/SS} = \text{オープン}$ 、 $R_{1N} = R_{2N} = 10\text{k}\Omega$ 、FBP は OUTP に接続 (特に記載がない限り)。標準値は $T_J = 25^\circ\text{C}$ での値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{FBx}	フィードバックピンリーク電流	正のチャネル		5.5	100	nA
		負のチャネル		-100	-9.7	
$I_{NR/SS}$	ソフトスタートの充電電流	$V_{NR/SS} = 0.9\text{V}$	3	5.1	6.7	μA
I_{EN}	イネーブルピンのリーク電流	$V_{EN} = V_{INP} = 33\text{V}$		0.02	1	μA
$V_{IH(EN)}$	イネーブル high レベル電圧		2.2		V_{INP}	V
$V_{IL(EN)}$	イネーブル low レベル電圧		0		0.4	V
PSRR	電源除去比	$ V_{IN} = 6\text{V}$ 、 $ V_{OUT(nom)} = 5\text{V}$ 、 $C_{OUT} = 10\mu\text{F}$ 、 $C_{NR/SS} = C_{FF} = 10\text{nF}$ 、 $f = 120\text{Hz}$		69		dB
V_n	出力ノイズ電圧	正のチャネル	$V_{INP} = 3.3\text{V}$ 、 $V_{OUTP(nom)} = V_{NR/SS}$ 、 $C_{OUTP} = 10\mu\text{F}$ 、 $C_{NR/SS} = 10\text{nF}$ 、 $\text{BW} = 10\text{Hz} \sim 100\text{kHz}$	20.63		μV_{RMS}
			$V_{INP} = 6\text{V}$ 、 $V_{OUTP(nom)} = 5\text{V}$ 、 $C_{OUTP} = 10\mu\text{F}$ 、 $C_{NR/SS} = C_{FF} = 10\text{nF}$ 、 $\text{BW} = 10\text{Hz} \sim 100\text{kHz}$	26.86		
		負のチャネル	$V_{INN} = -3\text{V}$ 、 $V_{OUTN(nom)} = -V_{NR/SS}$ 、 $C_{OUTP} = 10\mu\text{F}$ 、 $C_{NR/SS} = 10\text{nF}$ 、 $\text{BW} = 10\text{Hz} \sim 100\text{kHz}$	22.13		
			$V_{INN} = -6\text{V}$ 、 $V_{OUTN(nom)} = -5\text{V}$ 、 $C_{OUTP} = 10\mu\text{F}$ 、 $C_{NR/SS} = C_{FF} = 10\text{nF}$ 、 $\text{BW} = 10\text{Hz} \sim 100\text{kHz}$	28.68		
$R_{NR/SS}$	バンドギャップから NR ピンへのフィルタ抵抗		350		k Ω	
T_{sd}	サーマル シャットダウン温度	シャットダウン、温度上昇		175		$^\circ\text{C}$
		リセット、温度低下		160		

- $V_{OUT(target)} = 0\text{V}$ 、 $R_{1N} = 10\text{k}\Omega$ 、 $R_{2N} = \text{オープン}$ 。
- 本デバイスがディスエーブルの間に V_{OUT} がドリフトしないようにするには、 $5\mu\text{A}$ の最小負荷電流が必要です。
- デバイスで消費される電力 P_D が 2W を超える場合、本デバイスはテストされません。

5.6 スタートアップ特性

$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ 、 $V_{INP(nom)} = V_{OUTP(nom)} + 1\text{V}$ または $V_{IN(nom)} = 3.3\text{V}$ (いずれか大きい方)、 $V_{INN(nom)} = V_{OUTN(nom)} - 1\text{V}$ または $V_{INN(nom)} = -3.3\text{V}$ (いずれか小さい方)、 $V_{EN} = V_{INP}$ 、 $I_{OUT} = 1\text{mA}$ 、 $C_{INX} = 2.2\mu\text{F}$ 、 $C_{OUTX} = 10\mu\text{F}$ 、 $C_{FFX} = C_{NR/SS} = 4.7\text{nF}$ 、 $R_{1N} = R_{2N} = 10\text{k}\Omega$ 、FBP は OUTP に接続 (特に記載がない限り)。標準値は $T_J = 25^\circ\text{C}$ での値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{EN(\text{delay})}$	EN low から high への遷移から 2.5% V_{OUTP} までの遅延時間	EN low から high への遷移から $V_{OUTP} = 2.5\% \times V_{OUTP(nom)}$ へ		300		μs
$t_{\text{start-up}}$	EN が low から high に遷移してから、両方の出力が最終値の 95% に達するまでの遅延時間	EN low から high への遷移から、 $V_{OUTP} = V_{OUTP(nom)} \times 95\%$ 、 $V_{OUTN} = V_{OUTN(nom)} \times 95\%$ へと遷移します		1.1		ms
$t_{\text{pstart-Nstart}}$	V_{OUTP} が高インピーダンス状態になってから高インピーダンス状態になる V_{OUTN} までの遅延時間	$V_{OUTP} = V_{OUTP(nom)} \times 2.5\%$ から $V_{OUTN} = V_{OUTN(nom)} \times 2.5\%$ への変更	-40	-17	40	μs
$ \Delta V_{OUTP} - V_{OUTN} $	正と負の各出力の間の電圧差	$t_{\text{pstart-Nstart}}$ 中		75	300	mV

5.7 タイミング図

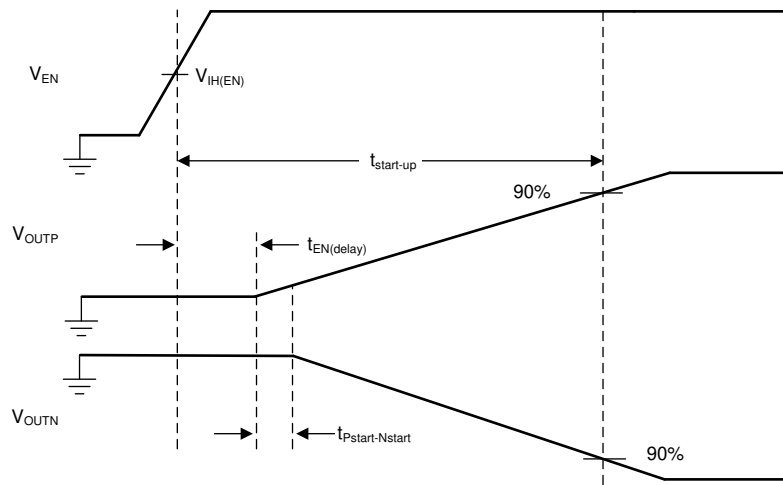


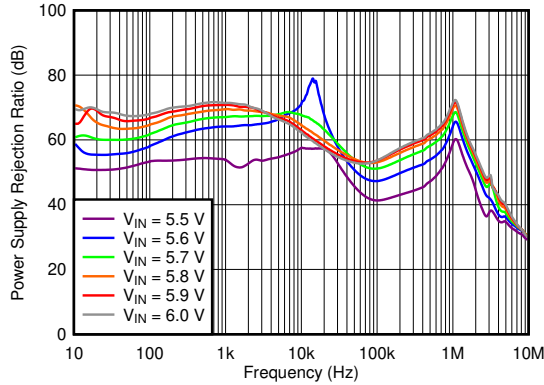
図 5-1. スタートアップ特性

注

EN が V_{INP} に接続された V_{INx} 上の低速ランプ (通常、 $t_{rise}(V_{INx}) > 10ms$) は、追跡仕様を満たしません。これらのアプリケーションでは、 V_{INP} と EN の間の分圧抵抗を使用します。

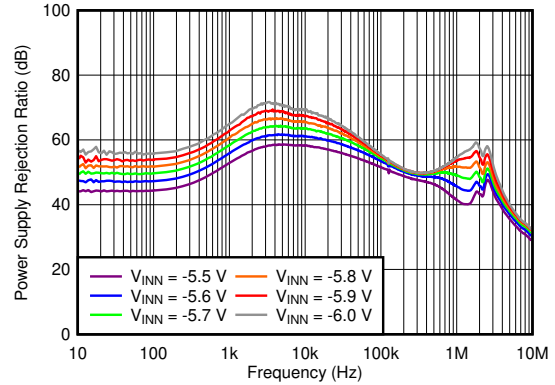
5.8 代表的特性

$T_J = 25^\circ\text{C}$ 、 $V_{INP} = V_{OUTP(nom)} + 1.0\text{ V}$ または $V_{IN} = 3.3\text{ V}$ (いずれか大きい方)、 $V_{INN} = V_{OUTN(nom)} - 1\text{ V}$ または -3.3 V (いずれか小さい方)、 $V_{EN} = V_{IN}$ 、 $I_{OUT} = 1\text{ mA}$ 、 $C_{IN} = 10\mu\text{F}$ セラミック、 $C_{OUT} = 10\text{-}\mu\text{F}$ セラミック、 $C_{FFP} = C_{FFN} = C_{NR/SS} = 10\text{ nF}$ (特に記載がない限り)



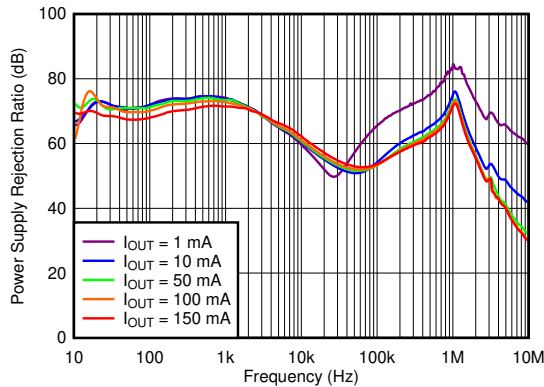
$V_{OUTP} = 5\text{ V}$ 、 $I_{OUTP} = 150\text{ mA}$ 、 $V_{OUTN} = -5\text{ V}$ 、 $I_{OUTN} = 0\text{ mA}$ 、 $C_{NR/SS} = C_{FFx} = 10\text{ nF}$

図 5-2. 正の PSRR と周波数 (V_{INP}) との関係



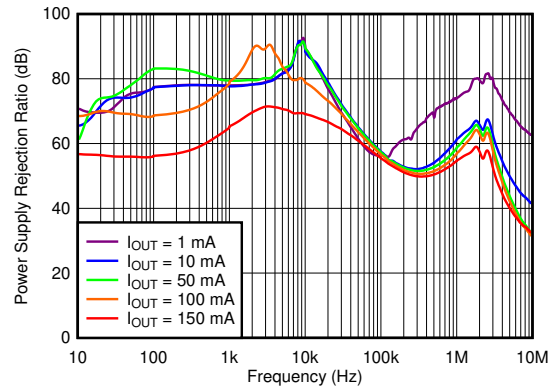
$V_{OUTP} = 5\text{ V}$ 、 $I_{OUTP} = 0\text{ mA}$ 、 $V_{OUTN} = -5\text{ V}$ 、 $I_{OUTN} = 150\text{ mA}$ 、 $C_{NR/SS} = C_{FFx} = 10\text{ nF}$

図 5-3. 負の PSRR と周波数 (V_{INN}) との関係



$V_{OUTP} = 5\text{ V}$ 、 $V_{INP} = V_{EN} = 6\text{ V}$ 、 $V_{OUTN} = -5\text{ V}$ 、 $I_{OUTN} = 0\text{ mA}$ 、 $C_{NR/SS} = C_{FFx} = 10\text{ nF}$

図 5-4. 正の PSRR と周波数および I_{OUTP} との関係

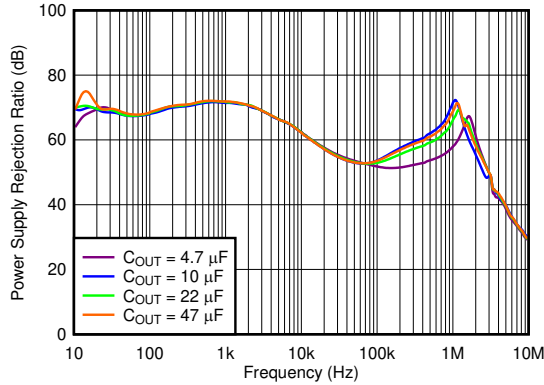


$V_{OUTP} = 5\text{ V}$ 、 $I_{OUTP} = 0\text{ mA}$ 、 $V_{INN} = -6\text{ V}$ 、 $V_{OUTN} = -5\text{ V}$ 、 $C_{NR/SS} = C_{FFx} = 10\text{ nF}$

図 5-5. 負の PSRR と周波数および I_{OUTN} との関係

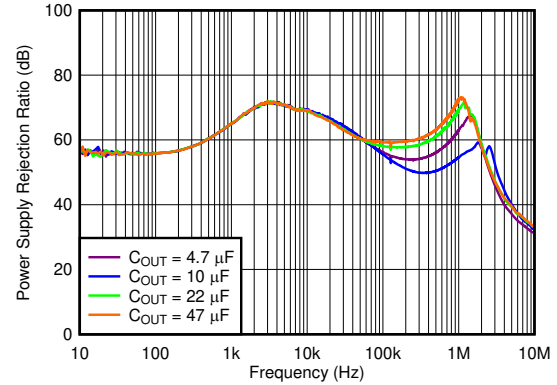
5.8 代表的特性 (続き)

$T_J = 25^\circ\text{C}$, $V_{INP} = V_{OUTP(nom)} + 1.0\text{ V}$ または $V_{IN} = 3.3\text{ V}$ (いずれか大きい方), $V_{INN} = V_{OUTN(nom)} - 1\text{ V}$ または -3.3 V (いずれか小さい方), $V_{EN} = V_{IN}$, $I_{OUT} = 1\text{ mA}$, $C_{IN} = 10\mu\text{F}$ セラミック, $C_{OUT} = 10\text{-}\mu\text{F}$ セラミック, $C_{FFP} = C_{FFN} = C_{NR/SS} = 10\text{ nF}$ (特に記載がない限り)



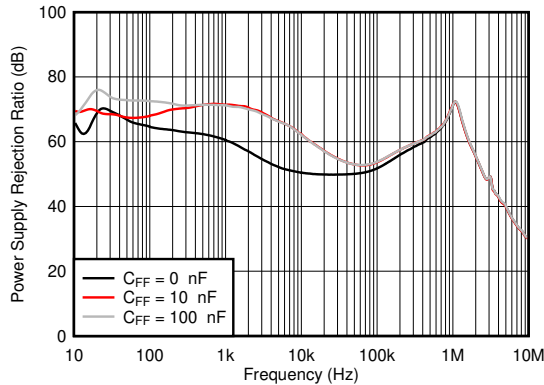
$V_{OUTP} = 5\text{ V}$, $V_{INP} = V_{EN} = 6\text{ V}$, $V_{OUTN} = -5\text{ V}$, $I_{OUTN} = 0\text{ mA}$,
 $C_{NR/SS} = C_{FFx} = 10\text{ nF}$

図 5-6. 正の PSRR と周波数および C_{OUTP} との関係



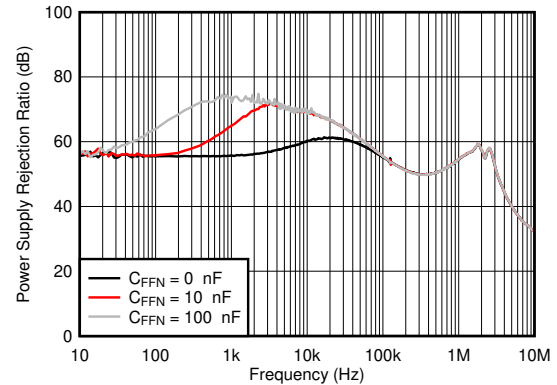
$V_{OUTP} = 5\text{ V}$, $I_{OUTP} = 0\text{ mA}$, $V_{INN} = -6\text{ V}$, $V_{OUTN} = -5\text{ V}$, $C_{NR/SS}$
 $= C_{FFx} = 10\text{ nF}$, $C_{OUTP} = 10\mu\text{F}$

図 5-7. 負の PSRR と周波数および C_{OUTN} との関係



$V_{OUTP} = 5\text{ V}$, $V_{INP} = V_{EN} = 6\text{ V}$, $V_{OUTN} = -5\text{ V}$, $I_{OUTN} = 0\text{ mA}$,
 $C_{NR/SS} = 10\text{ nF}$

図 5-8. 正の PSRR と周波数および C_{FFP} との関係

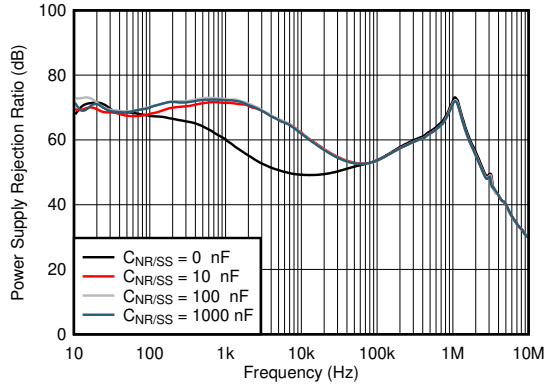


$V_{OUTP} = 5\text{ V}$, $I_{OUTP} = 0\text{ mA}$, $V_{INN} = -6\text{ V}$, $V_{OUTN} = -5\text{ V}$, $C_{NR/SS}$
 $= C_{FFP} = 10\text{ nF}$

図 5-9. 負の PSRR と周波数および C_{FFN} との関係

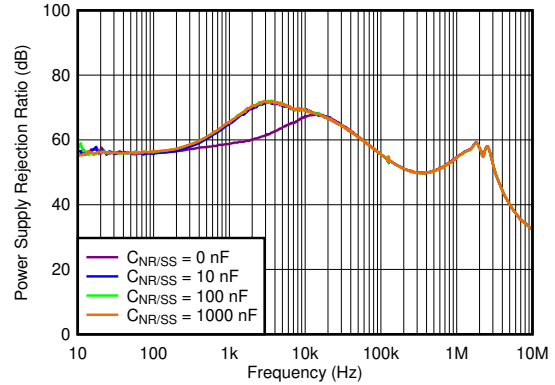
5.8 代表的特性 (続き)

$T_J = 25^\circ\text{C}$ 、 $V_{INP} = V_{OUTP(nom)} + 1.0\text{ V}$ または $V_{IN} = 3.3\text{ V}$ (いずれか大きい方)、 $V_{INN} = V_{OUTN(nom)} - 1\text{ V}$ または -3.3 V (いずれか小さい方)、 $V_{EN} = V_{IN}$ 、 $I_{OUT} = 1\text{ mA}$ 、 $C_{IN} = 10\mu\text{F}$ セラミック、 $C_{OUT} = 10\mu\text{F}$ セラミック、 $C_{FFP} = C_{FFN} = C_{NR/SS} = 10\text{ nF}$ (特に記載がない限り)



$V_{OUTP} = 5\text{ V}$ 、 $V_{INP} = V_{EN} = 6\text{ V}$ 、 $V_{OUTN} = -5\text{ V}$ 、 $I_{OUTN} = 0\text{ mA}$ 、 $C_{FFx} = 10\text{ nF}$

図 5-10. 正の PSRR と周波数および $C_{NR/SS}$ との関係



$V_{OUTP} = 5\text{ V}$ 、 $I_{OUTP} = 0\text{ mA}$ 、 $V_{INN} = -6\text{ V}$ 、 $V_{OUTN} = -5\text{ V}$ 、 $C_{FFx} = 10\text{ nF}$

図 5-11. 負の PSRR と周波数および $C_{NR/SS}$ との関係

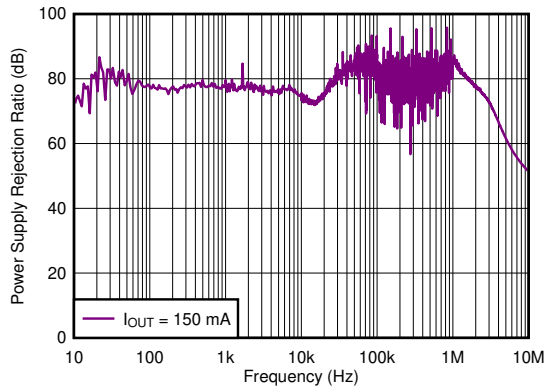


図 5-12. クロストーク (正から負へ)

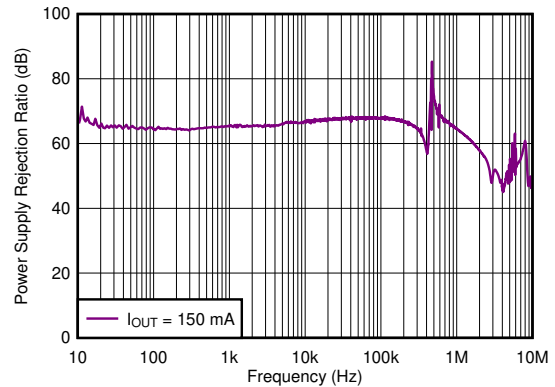
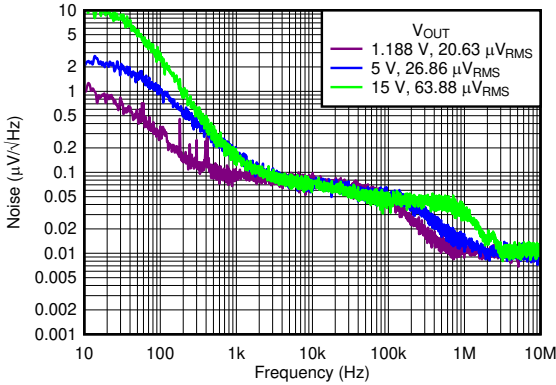


図 5-13. クロストーク (負から正へ)

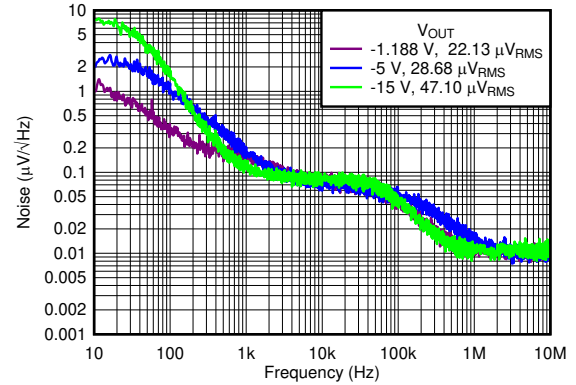
5.8 代表的特性 (続き)

$T_J = 25^\circ\text{C}$, $V_{INP} = V_{OUTP(nom)} + 1.0\text{ V}$ または $V_{IN} = 3.3\text{ V}$ (いずれか大きい方), $V_{INN} = V_{OUTN(nom)} - 1\text{ V}$ または -3.3 V (いずれか小さい方), $V_{EN} = V_{IN}$, $I_{OUT} = 1\text{ mA}$, $C_{IN} = 10\mu\text{F}$ セラミック, $C_{OUT} = 10\text{-}\mu\text{F}$ セラミック, $C_{FFP} = C_{FFN} = C_{NR/SS} = 10\text{ nF}$ (特に記載がない限り)



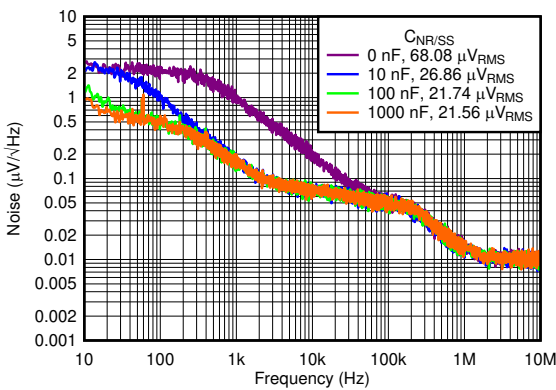
$I_{OUTP} = 150\text{ mA}$, $V_{INP} = V_{EN}$, $V_{OUTN} = -V_{OUTP}$, $I_{OUTN} = 0\text{ mA}$,
 $C_{NR/SS} = C_{FFx} = 10\text{ nF}$

図 5-14. 正のスペクトルノイズ密度と周波数および V_{OUTP} との関係



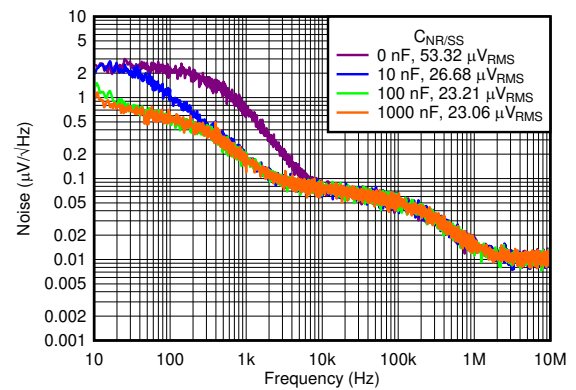
$I_{OUTN} = -150\text{ mA}$, $V_{INP} = V_{EN}$, $V_{OUTN} = -V_{OUTP}$, $I_{OUTP} = 0\text{ mA}$,
 $C_{NR/SS} = C_{FFx} = 10\text{ nF}$

図 5-15. 負のスペクトルノイズ密度と周波数と V_{OUTN} との関係



$V_{OUTP} = 5\text{ V}$, $I_{OUTP} = 150\text{ mA}$, $V_{INP} = V_{EN} = 6\text{ V}$, $V_{OUTN} = -5\text{ V}$,
 $I_{OUTN} = 0\text{ mA}$, $C_{FFx} = 10\text{ nF}$

図 5-16. 正スペクトルノイズ密度と周波数および $C_{NR/SS}$ の関係

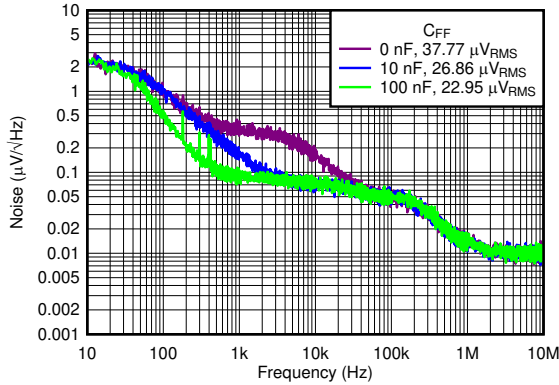


$V_{OUTN} = -5\text{ V}$, $I_{OUTN} = -150\text{ mA}$, $V_{INP} = V_{EN} = 6\text{ V}$, $V_{OUTP} = -5\text{ V}$,
 $I_{OUTP} = 0\text{ mA}$, $C_{FFx} = 10\text{ nF}$

図 5-17. 負のスペクトルノイズ密度と周波数および $V_{NR/SS}$ との関係

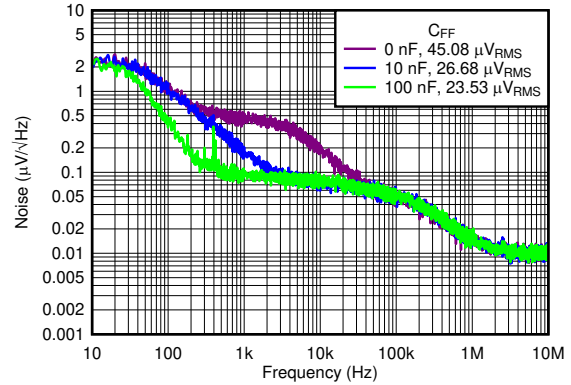
5.8 代表的特性 (続き)

$T_J = 25^\circ\text{C}$ 、 $V_{INP} = V_{OUTP(nom)} + 1.0\text{ V}$ または $V_{IN} = 3.3\text{ V}$ (いずれか大きい方)、 $V_{INN} = V_{OUTN(nom)} - 1\text{ V}$ または -3.3 V (いずれか小さい方)、 $V_{EN} = V_{IN}$ 、 $I_{OUT} = 1\text{ mA}$ 、 $C_{IN} = 10\mu\text{F}$ セラミック、 $C_{OUT} = 10\text{-}\mu\text{F}$ セラミック、 $C_{FFP} = C_{FFN} = C_{NR/SS} = 10\text{ nF}$ (特に記載がない限り)



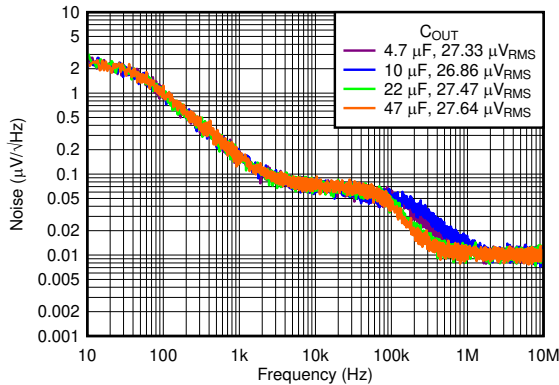
$V_{OUTP} = 5\text{ V}$ 、 $I_{OUTP} = 150\text{ mA}$ 、 $V_{INP} = V_{EN} = 6\text{ V}$ 、 $V_{OUTN} = -5\text{ V}$ 、
 $I_{OUTN} = 0\text{ mA}$ 、 $C_{NR/SS} = 10\text{ nF}$

図 5-18. 正のスペクトルノイズ密度と周波数および C_{FF} との関係



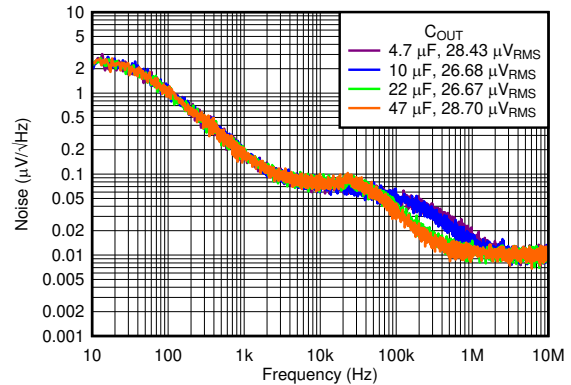
$V_{OUTN} = -5\text{ V}$ 、 $I_{OUTN} = -150\text{ mA}$ 、 $V_{INP} = V_{EN} = 6\text{ V}$ 、 $V_{OUTN} = -5\text{ V}$ 、
 $I_{OUTP} = 0\text{ mA}$ 、 $C_{NR/SS} = 10\text{ nF}$

図 5-19. 負のスペクトルノイズ密度と周波数および C_{FF} との関係



$V_{OUTP} = 5\text{ V}$ 、 $I_{OUTP} = 150\text{ mA}$ 、 $V_{INP} = V_{EN} = 6\text{ V}$ 、 $V_{OUTN} = -5\text{ V}$ 、
 $I_{OUTN} = 0\text{ mA}$ 、 $C_{NR/SS} = C_{FFx} = 10\text{ nF}$

図 5-20. 正のスペクトルノイズ密度と周波数および C_{OUT} との関係

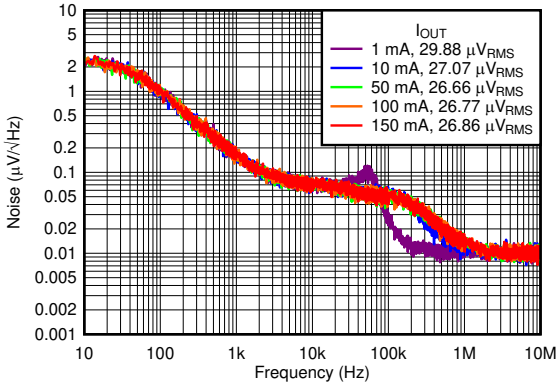


$V_{OUTN} = -5\text{ V}$ 、 $I_{OUTN} = -150\text{ mA}$ 、 $V_{INP} = V_{EN} = 6\text{ V}$ 、 $V_{OUTN} = -5\text{ V}$ 、
 $I_{OUTP} = 0\text{ mA}$ 、 $C_{NR/SS} = C_{FFx} = 10\text{ nF}$

図 5-21. 負のスペクトルノイズ密度と周波数および C_{OUT} との関係

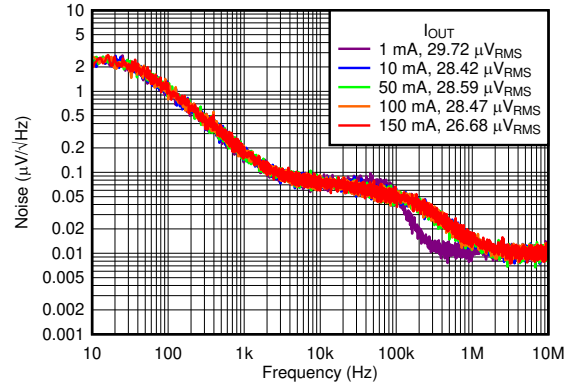
5.8 代表的特性 (続き)

$T_J = 25^\circ\text{C}$, $V_{INP} = V_{OUTP(nom)} + 1.0\text{ V}$ または $V_{IN} = 3.3\text{ V}$ (いずれか大きい方), $V_{INN} = V_{OUTN(nom)} - 1\text{ V}$ または -3.3 V (いずれか小さい方), $V_{EN} = V_{IN}$, $I_{OUT} = 1\text{ mA}$, $C_{IN} = 10\mu\text{F}$ セラミック, $C_{OUT} = 10\text{-}\mu\text{F}$ セラミック, $C_{FFP} = C_{FFN} = C_{NR/SS} = 10\text{ nF}$ (特に記載がない限り)



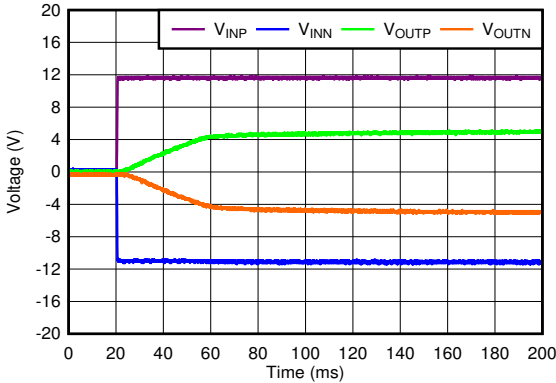
$V_{OUTP} = 5\text{ V}$, $V_{INP} = V_{EN} = 6\text{ V}$, $V_{OUTN} = -5\text{ V}$, $I_{OUTN} = 0\text{ mA}$,
 $C_{NR/SS} = C_{FFx} = 10\text{ nF}$

図 5-22. 正のスペクトルノイズ密度と周波数および I_{OUT} との関係



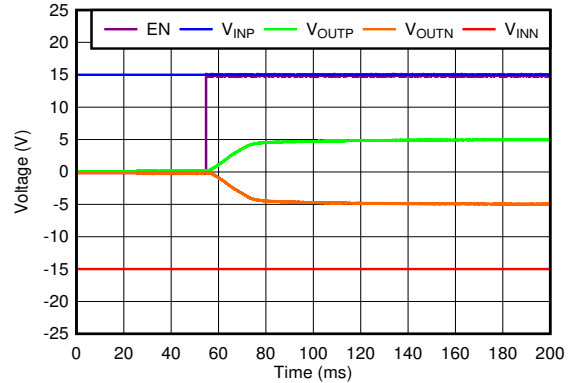
$V_{OUTN} = -5\text{ V}$, $V_{INP} = V_{EN} = 6\text{ V}$, $V_{OUTN} = -5\text{ V}$, $I_{OUTP} = 0\text{ mA}$,
 $C_{NR/SS} = C_{FFx} = 10\text{ nF}$

図 5-23. 負のスペクトルノイズ密度と周波数および I_{OUT} との関係



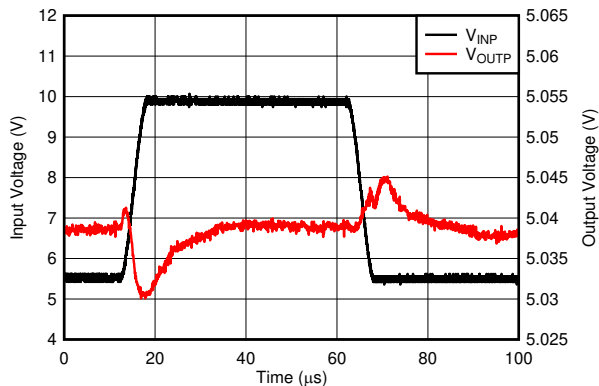
$V_{OUTP} = -V_{OUTN} = 5\text{ V}$, $V_{INP} = -V_{INN} = 12\text{ V}$

図 5-24. スタートアップ ($V_{INP} = V_{EN}$)



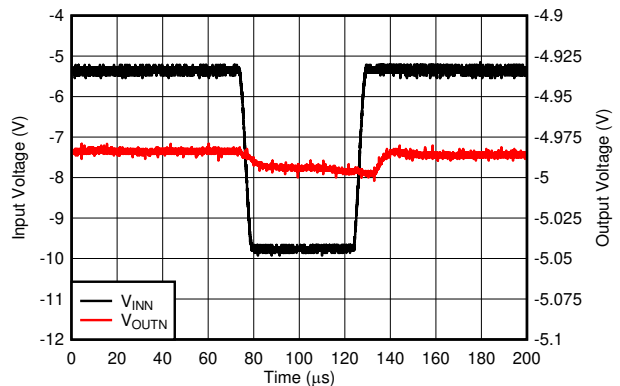
$V_{OUTP} = -V_{OUTN} = 5\text{ V}$, $V_{INP} = -V_{INN} = 15\text{ V}$

図 5-25. EN による起動



$V_{INP} = 5.5\text{ V} \sim 10\text{ V}$ ($1\text{ V}/\mu\text{s}$), $V_{OUTP} = -V_{OUTN} = 5\text{ V}$, $I_{OUTN} = 0\text{ mA}$, $I_{OUTP} = 150\text{ mA}$

図 5-26. ライン過渡の正のレギュレータ

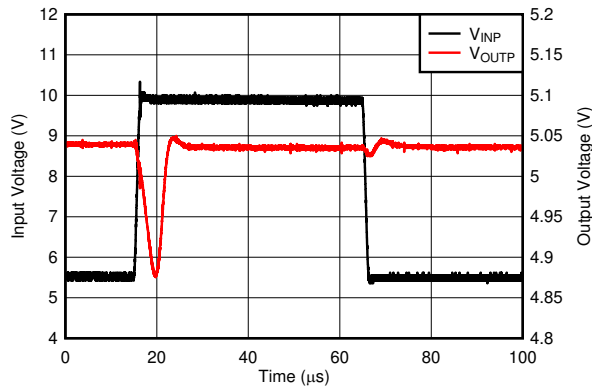


$V_{INN} = -5.5\text{ V} \sim -10\text{ V}$ ($1\text{ V}/\mu\text{s}$), $V_{OUTP} = -V_{OUTN} = 5\text{ V}$, $I_{OUTN} = -150\text{ mA}$, $I_{OUTP} = 0\text{ mA}$

図 5-27. ライン過渡の負電圧レギュレータ

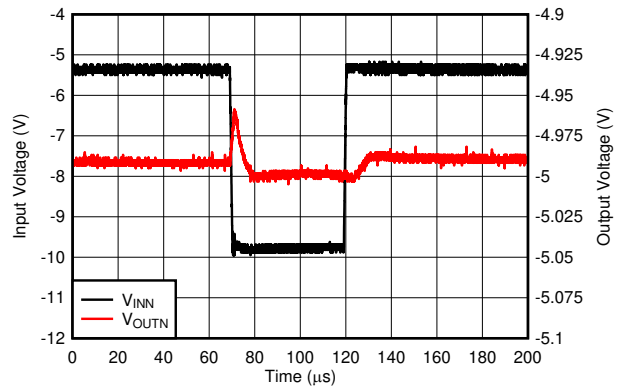
5.8 代表的特性 (続き)

$T_J = 25^\circ\text{C}$, $V_{INP} = V_{OUTP(nom)} + 1.0\text{ V}$ または $V_{IN} = 3.3\text{ V}$ (いずれか大きい方), $V_{INN} = V_{OUTN(nom)} - 1\text{ V}$ または -3.3 V (いずれか小さい方), $V_{EN} = V_{IN}$, $I_{OUT} = 1\text{ mA}$, $C_{IN} = 10\mu\text{F}$ セラミック, $C_{OUT} = 10\text{-}\mu\text{F}$ セラミック, $C_{FFP} = C_{FFN} = C_{NR/SS} = 10\text{ nF}$ (特に記載がない限り)



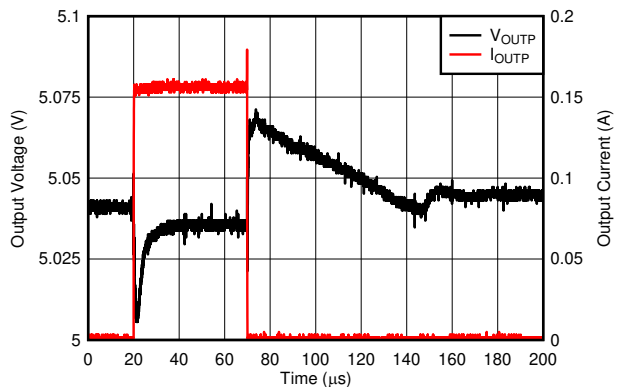
$V_{INP} = 5.5\text{ V} \sim 10\text{ V}$ ($4\text{ V}/\mu\text{s}$), $V_{OUTP} = -V_{OUTN} = 5\text{ V}$, $I_{OUTN} = 0\text{ mA}$, $I_{OUTP} = 150\text{ mA}$

図 5-28. ライン過渡の正のレギュレータ



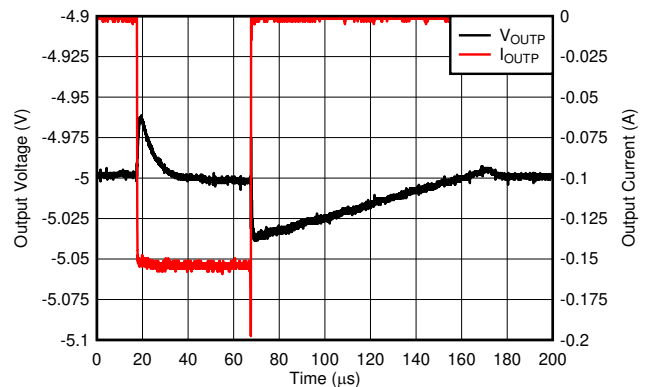
$V_{INN} = -5.5\text{ V} \sim -10\text{ V}$ ($4\text{ V}/\mu\text{s}$), $V_{OUTP} = -V_{OUTN} = 5\text{ V}$, $I_{OUTN} = -150\text{ mA}$, $I_{OUTP} = 0\text{ mA}$

図 5-29. ライン過渡の負電圧レギュレータ



$V_{INP} = 6\text{ V}$, $V_{OUTP} = -V_{OUTN} = 5\text{ V}$, $I_{OUTN} = 0\text{ mA}$, $I_{OUTP} = 1\text{ mA} \sim 150\text{ mA}$ ($1\text{ A}/\mu\text{s}$)

図 5-30. 正の負荷過渡レギュレータ



$V_{INN} = -6\text{ V}$, $V_{OUTP} = -V_{OUTN} = 5\text{ V}$, $I_{OUTN} = 0\text{ mA}$, $I_{OUTP} = -1\text{ mA} \sim -150\text{ mA}$ ($1\text{ A}/\mu\text{s}$)

図 5-31. 負荷トランジェントの負のレギュレータ

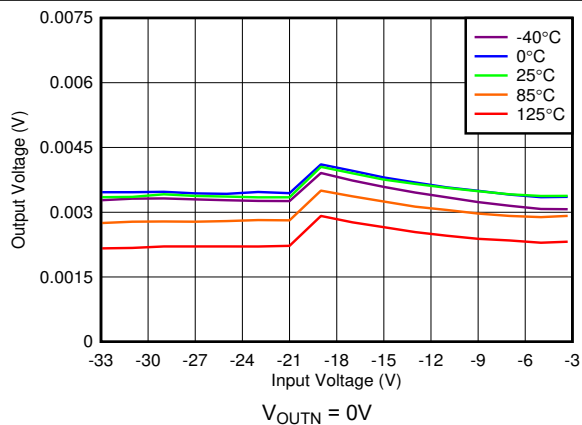


図 5-32. 負のラインレギュレーション

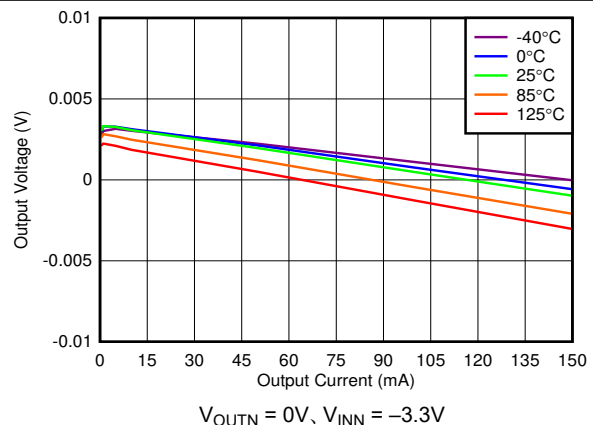


図 5-33. 負のロードレギュレーション

5.8 代表的特性 (続き)

$T_J = 25^\circ\text{C}$ 、 $V_{INP} = V_{OUTP(nom)} + 1.0\text{ V}$ または $V_{IN} = 3.3\text{ V}$ (いずれか大きい方)、 $V_{INN} = V_{OUTN(nom)} - 1\text{ V}$ または -3.3 V (いずれか小さい方)、 $V_{EN} = V_{IN}$ 、 $I_{OUT} = 1\text{ mA}$ 、 $C_{IN} = 10\mu\text{F}$ セラミック、 $C_{OUT} = 10\mu\text{F}$ セラミック、 $C_{FFP} = C_{FFN} = C_{NR/SS} = 10\text{ nF}$ (特に記載がない限り)

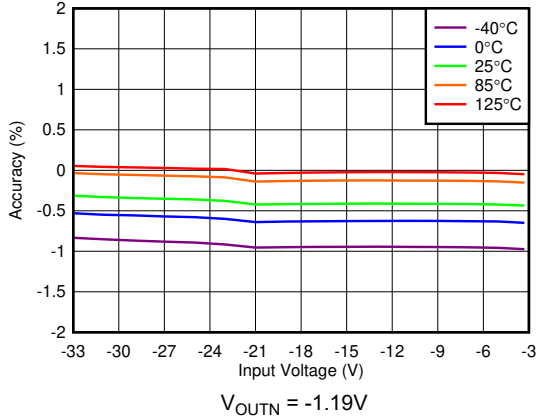


図 5-34. 負のラインレギュレーション

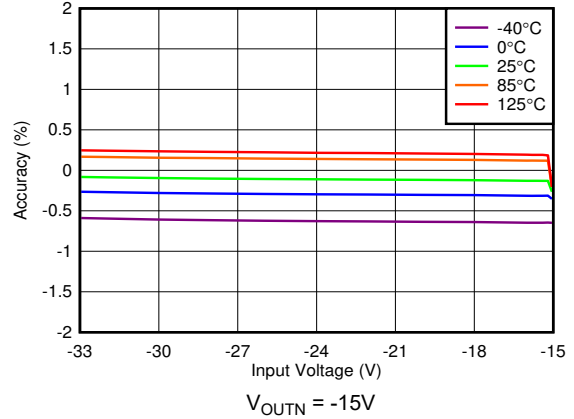


図 5-35. 負のラインレギュレーション

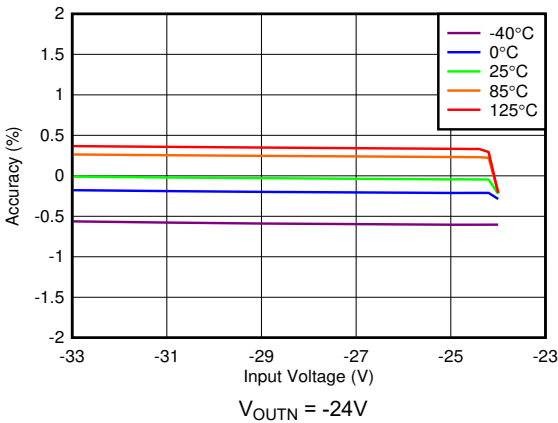


図 5-36. 負のラインレギュレーション

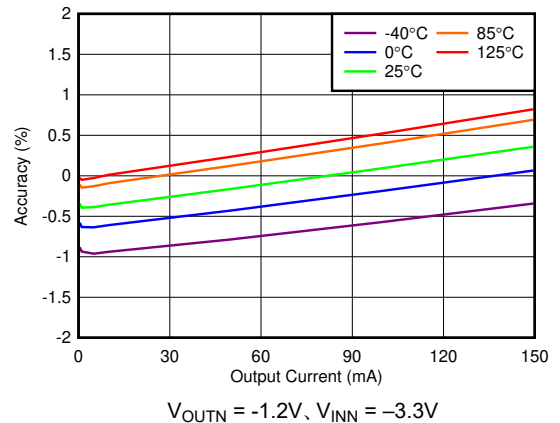


図 5-37. 負のロードレギュレーション

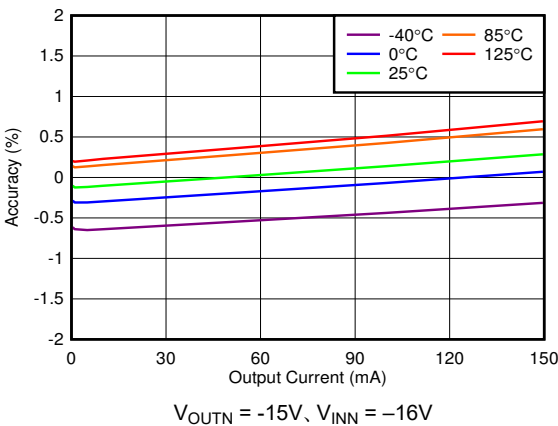


図 5-38. 負のロードレギュレーション

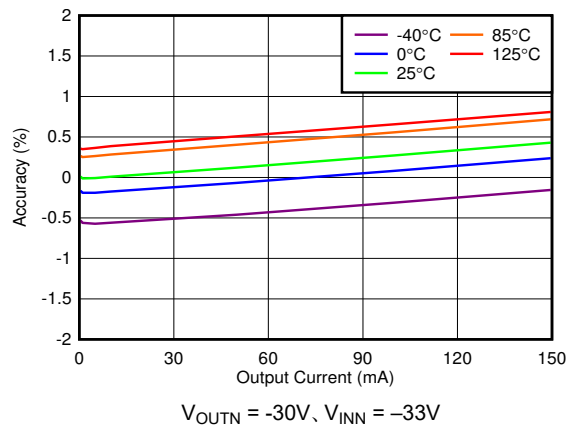
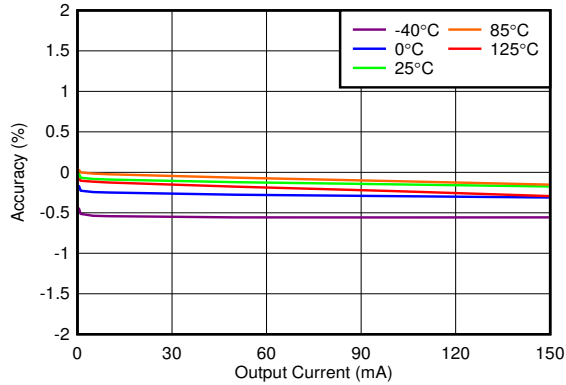


図 5-39. 負のロードレギュレーション

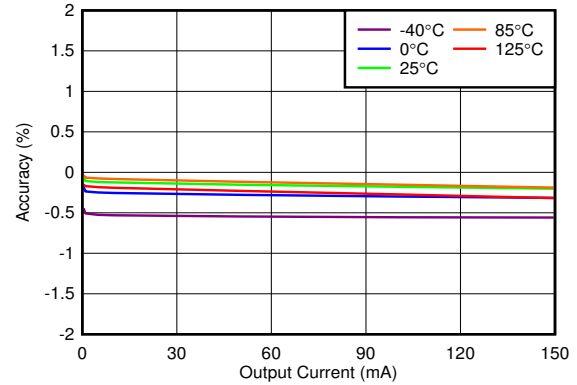
5.8 代表的特性 (続き)

$T_J = 25^\circ\text{C}$ 、 $V_{INP} = V_{OUTP(nom)} + 1.0\text{ V}$ または $V_{IN} = 3.3\text{ V}$ (いずれか大きい方)、 $V_{INN} = V_{OUTN(nom)} - 1\text{ V}$ または -3.3 V (いずれか小さい方)、 $V_{EN} = V_{IN}$ 、 $I_{OUT} = 1\text{ mA}$ 、 $C_{IN} = 10\mu\text{F}$ セラミック、 $C_{OUT} = 10\text{-}\mu\text{F}$ セラミック、 $C_{FFP} = C_{FFN} = C_{NR/SS} = 10\text{ nF}$ (特に記載がない限り)



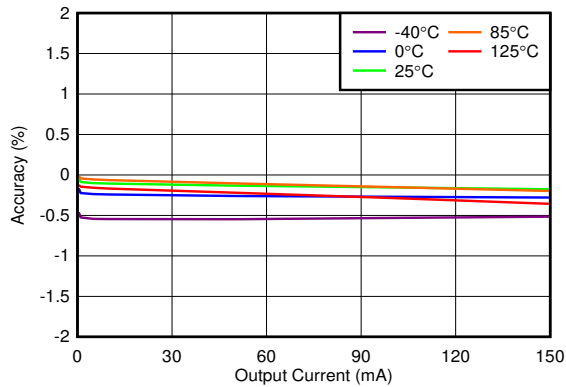
$V_{OUTP} = 1.188\text{V}$ 、 $V_{INP} = 3.3\text{V}$

図 5-40. 正のロードレギュレーション



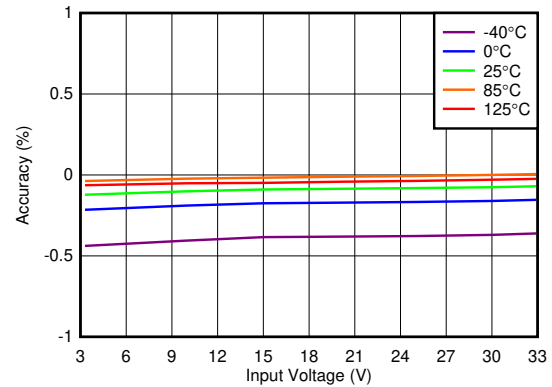
$V_{OUTP} = 15\text{V}$ 、 $V_{INP} = 16\text{V}$

図 5-41. 正のロードレギュレーション



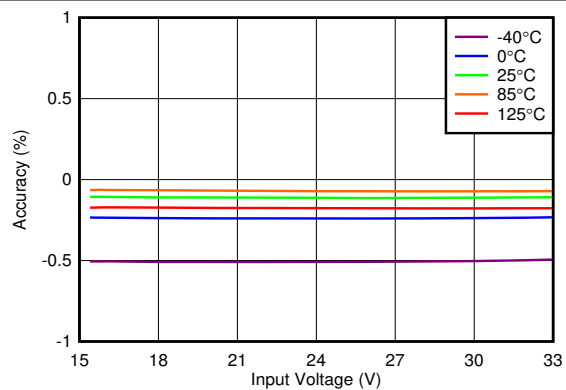
$V_{OUTP} = 30\text{V}$ 、 $V_{INP} = 33\text{V}$

図 5-42. 正のロードレギュレーション



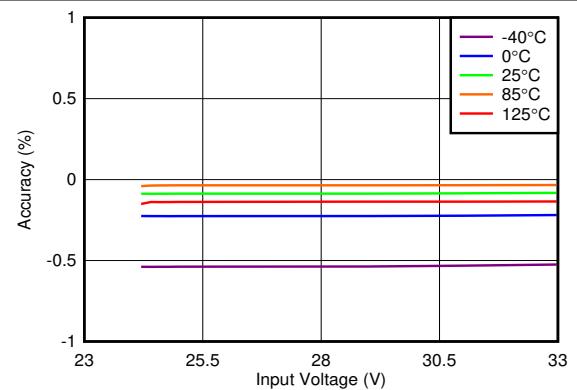
$V_{OUTP} = 1.188\text{V}$

図 5-43. 正のラインレギュレーション



$V_{OUTP} = 15\text{V}$

図 5-44. 正のラインレギュレーション



$V_{OUTP} = 24\text{V}$

図 5-45. 正のラインレギュレーション

5.8 代表的特性 (続き)

$T_J = 25^\circ\text{C}$ 、 $V_{INP} = V_{OUTP(nom)} + 1.0\text{ V}$ または $V_{IN} = 3.3\text{ V}$ (いずれか大きい方)、 $V_{INN} = V_{OUTN(nom)} - 1\text{ V}$ または -3.3 V (いずれか小さい方)、 $V_{EN} = V_{IN}$ 、 $I_{OUT} = 1\text{ mA}$ 、 $C_{IN} = 10\mu\text{F}$ セラミック、 $C_{OUT} = 10\mu\text{F}$ セラミック、 $C_{FFP} = C_{FFN} = C_{NR/SS} = 10\text{ nF}$ (特に記載がない限り)

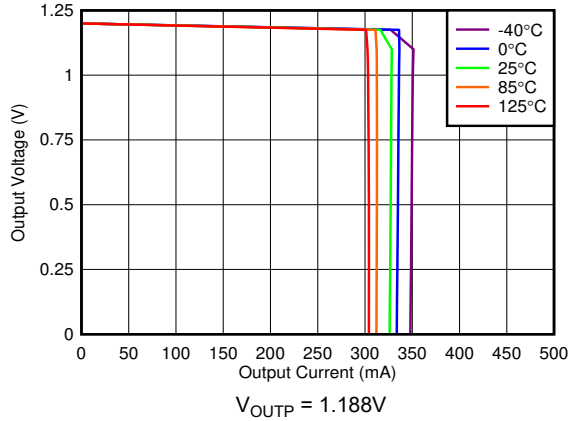


図 5-46. 正のレギュレータ電流制限

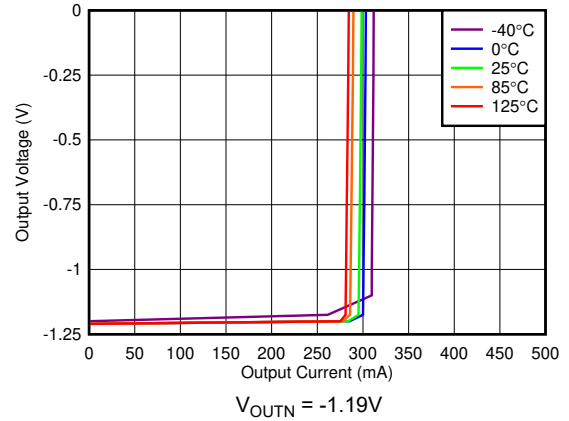


図 5-47. 負のレギュレータ電流制限

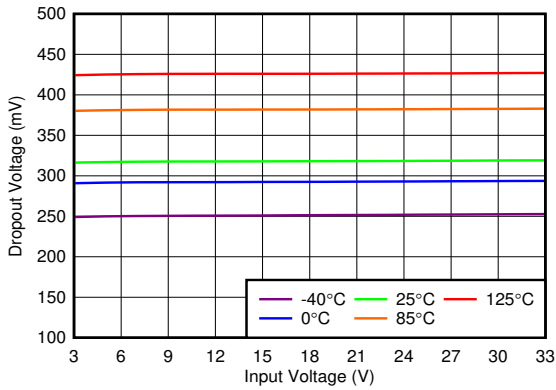


図 5-48. 正のレギュレータのドロップアウト電圧と入力電圧との関係

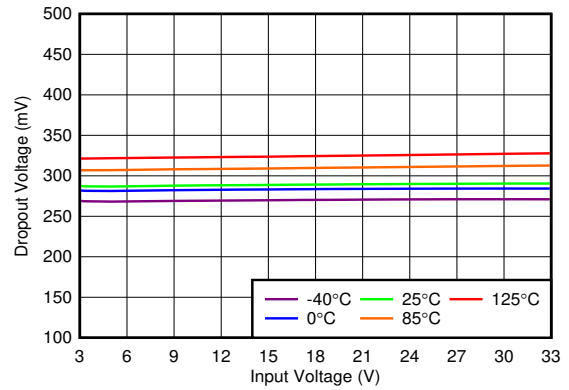


図 5-49. 負のレギュレータのドロップアウト電圧と入力電圧との関係

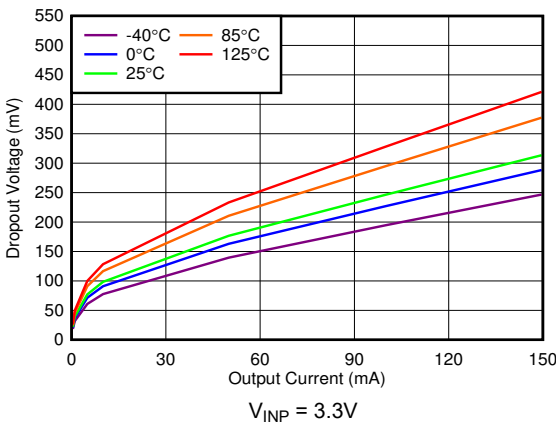


図 5-50. 正のレギュレータのドロップアウト電圧と出力電流との関係

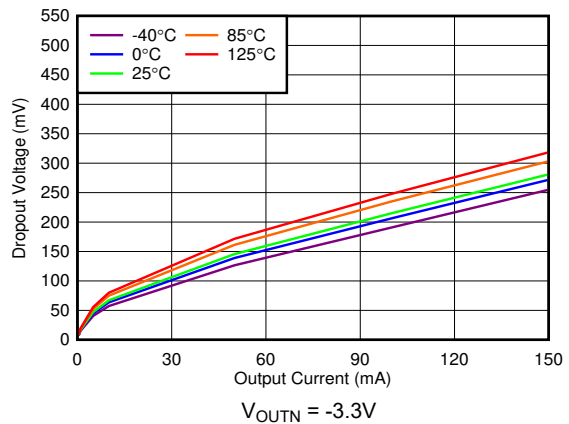


図 5-51. 負のレギュレータのドロップアウト電圧と出力電流との関係

5.8 代表的特性 (続き)

$T_J = 25^\circ\text{C}$ 、 $V_{INP} = V_{OUTP(nom)} + 1.0\text{ V}$ または $V_{IN} = 3.3\text{ V}$ (いずれか大きい方)、 $V_{INN} = V_{OUTN(nom)} - 1\text{ V}$ または -3.3 V (いずれか小さい方)、 $V_{EN} = V_{IN}$ 、 $I_{OUT} = 1\text{ mA}$ 、 $C_{IN} = 10\mu\text{F}$ セラミック、 $C_{OUT} = 10\text{-}\mu\text{F}$ セラミック、 $C_{FFP} = C_{FFN} = C_{NR/SS} = 10\text{ nF}$ (特に記載がない限り)

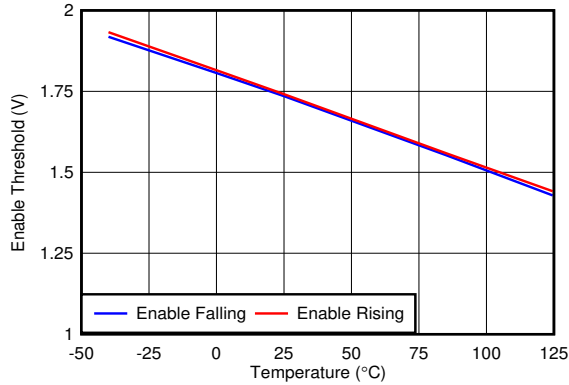


図 5-52. イネーブル スレッシュホールドと温度との関係

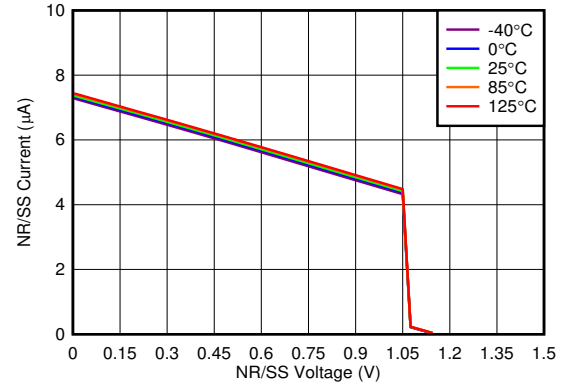


図 5-53. $I_{NR/SS}$ と $V_{NR/SS}$ との関係

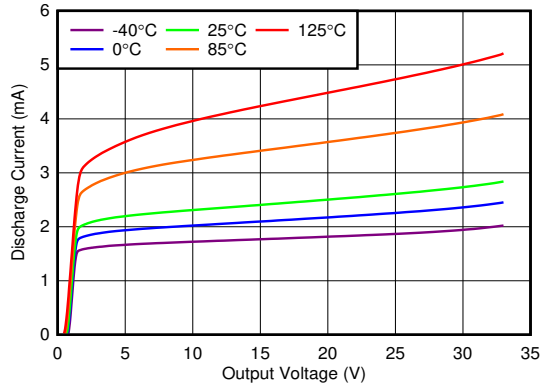


図 5-54. 正の出力放電電流と出力電圧との関係

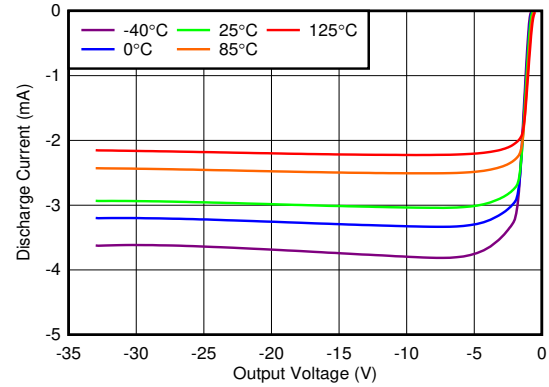


図 5-55. 負の出力放電電流と出力電圧との関係

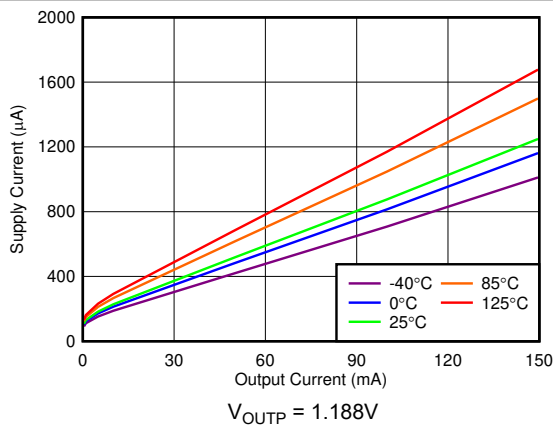


図 5-56. 正の消費電流と出力電流の関係

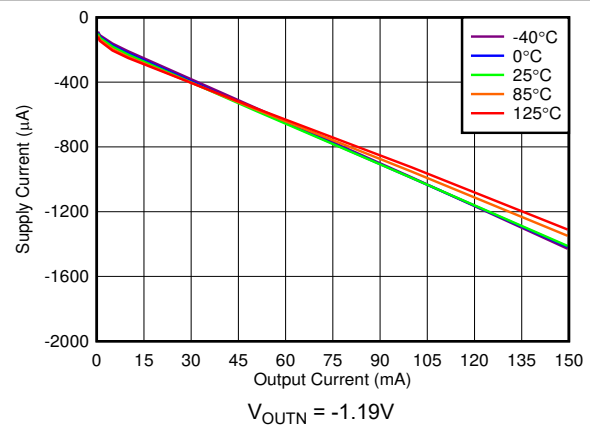


図 5-57. 負の消費電流と出力電流の関係

5.8 代表的特性 (続き)

$T_J = 25^\circ\text{C}$ 、 $V_{INP} = V_{OUTP(nom)} + 1.0\text{ V}$ または $V_{IN} = 3.3\text{ V}$ (いずれか大きい方)、 $V_{INN} = V_{OUTN(nom)} - 1\text{ V}$ または -3.3 V (いずれか小さい方)、 $V_{EN} = V_{IN}$ 、 $I_{OUT} = 1\text{ mA}$ 、 $C_{IN} = 10\mu\text{F}$ セラミック、 $C_{OUT} = 10\text{-}\mu\text{F}$ セラミック、 $C_{FFP} = C_{FFN} = C_{NR/SS} = 10\text{ nF}$ (特に記載がない限り)

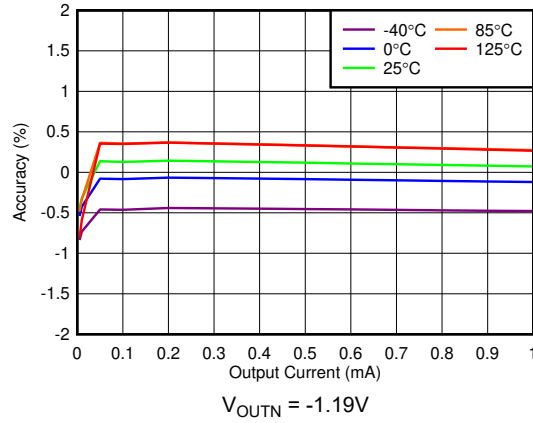


図 5-58. バッファ精度とバッファ電流の関係

6 詳細説明

6.1 概要

TPS7A39 は、シグナル チェーンへの電力供給を目的とした革新的なリニア レギュレータ (LDO) で、入力に最大 $\pm 33V$ を供給し、最大 $150mA$ の負荷電流で最大 $\pm 30V$ の出力をレギュレートできます。本デバイスは LDO トポロジを使用しており、ほとんどのアプリケーションでレシオメトリックの起動トラッキングを設計上実現します。TPS7A39 には、表 6-1 に示すように、各種のアプリケーションでデバイスを使用するための他の機能もいくつかあります。

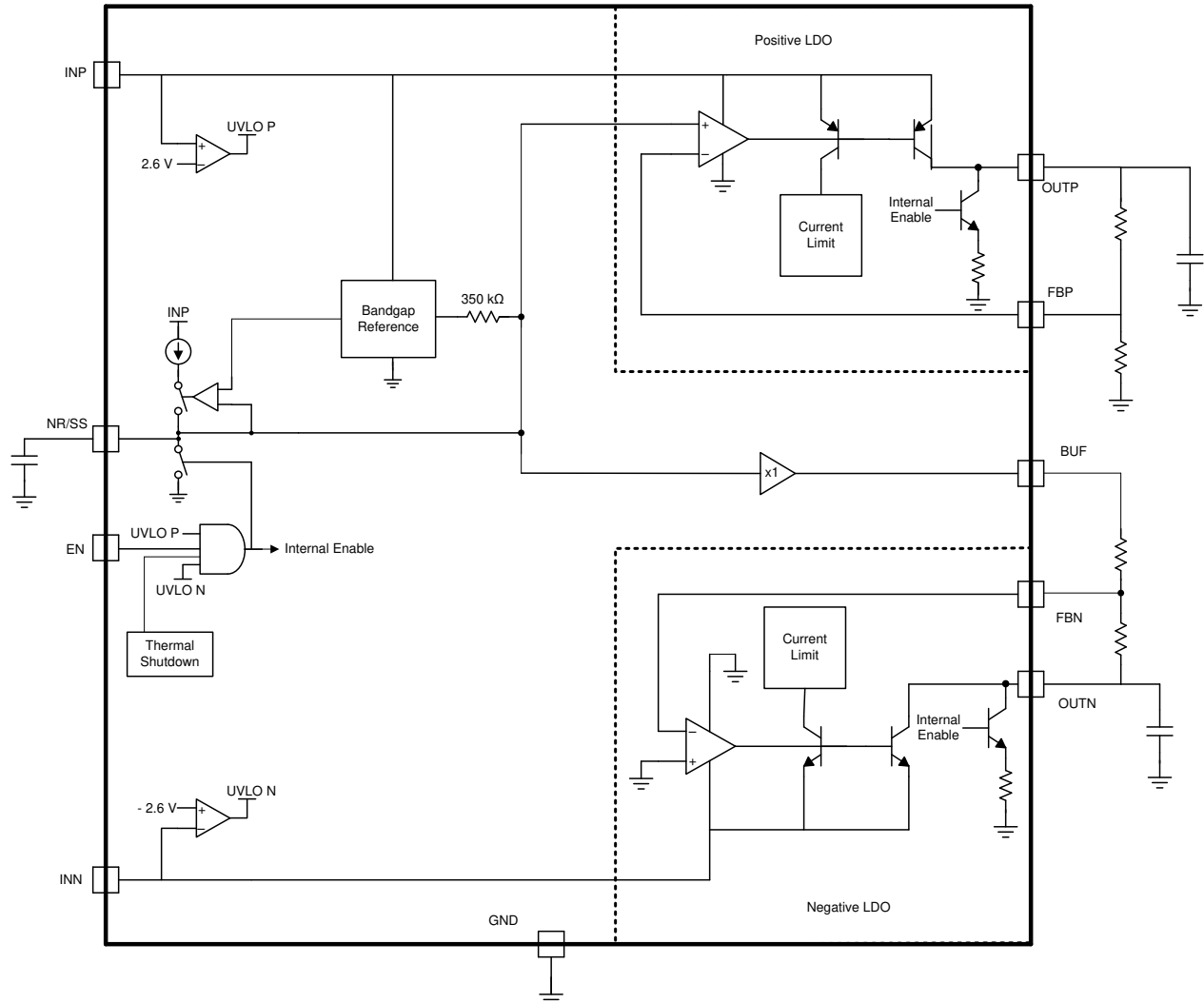
注

このドキュメント全体を通して、**x** を使用して正と負の両方のレギュレータに適用される状態または部品を示します (たとえば、 C_{FFx} は C_{FFP} および C_{FFN} を意味します)。

表 6-1. TPS7A39 の特長

電圧レギュレーション	システムの起動	内部保護
リファレンス入力/出力	レシオメトリック起動トラッキング	電流制限
高 PSRR 出力	プログラマブル ソフト スタート	サーマル シャットダウン
高速過渡応答	シーケンシング制御	

6.2 機能ブロック図



6.3 機能説明

6.3.1 電圧レギュレーション

6.3.1.1 DC レギュレーション

LDO は、図 6-1 に示すように入力信号が内部基準電圧 ($V_{NR/SS}$) であるバッファ付きオペアンプとして機能し、通常のレギュレーションでは $V_{FBP} = V_{NR/SS}$ となります。単一の基準を共有することで、起動時に両方のチャンネルが確実にお互いに追従します。

$V_{NR/SS}$ は、ローパスフィルタを使用することで、エラー アンプへの入力において帯域幅が非常に低くなるよう設計されています。このため、基準電圧は純 DC 入力信号と見なすことができます。

図 6-2 に示すように、本デバイスの負の LDO は $V_{FBN} = 0V$ でレギュレーションされ、正の基準電圧 (V_{BUF}) を反転します。このトポロジにより、負のレギュレータを $0V$ までレギュレーションできます。

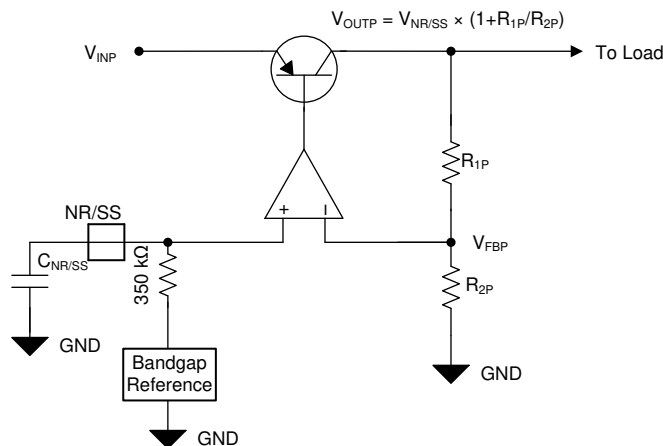


図 6-1. 簡易正のレギュレーション回路

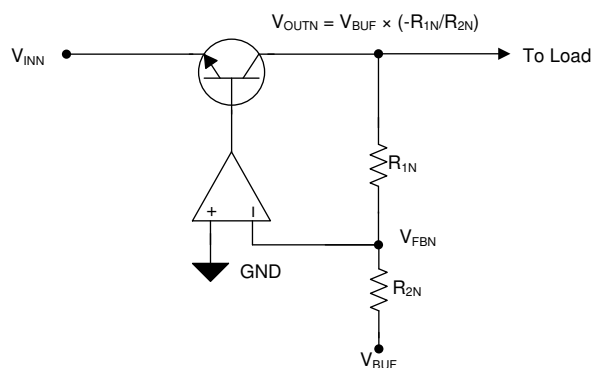


図 6-2. 簡易負のレギュレーション回路

6.3.1.2 AC および過渡応答

各 LDO は、入力電源の過渡応答 (ライン過渡) または出力電流 (負荷過渡) に対して迅速に応答します。この LDO は電源電圧変動除去比 (PSRR) が高く、内部ノイズフロア (V_n) が低いと、LDO は AC や大信号条件の理想的な電源を近似できます。

本デバイスの性能と内部レイアウトにより、一方のチャネルからもう一方のチャネルへのノイズの結合 (クロストーク) が最小限に抑えられます。適切なプリント基板 (PCB) レイアウトを採用することで、クロストークを最小化できます。

ノイズ低減およびソフトスタート コンデンサ ($C_{NR/SS}$) とフィードフォワード コンデンサ (C_{FFX}) により、デバイスのノイズフロアを簡単に低減し、PSRR を改善できます。ノイズと PSRR 性能の最適化については、[ノイズと PSRR の最適化セクション](#)を参照してください。

6.3.2 ユーザ設定可能なバッファ付きリファレンス

図 6-3 に示すとおり、デバイスは NR/SS ピンで内部生成されたバンドギャップ電圧出力を備えています。内部抵抗 (R_{NR}) と外付けコンデンサ ($C_{NR/SS}$) によって $V_{NR/SS}$ ピンの電圧の立ち上がり時間が制御され、ソフトスタート時間が設定されます。このネットワークはバンドギャップからのノイズもフィルタリングし、デバイス全体のノイズフロアを低減します。

外部ソースで NR/SS ピンを駆動することで、デバイスの精度が向上し、デバイスのノイズフロアが低減され、デバイスの内部リファレンス電圧より低い正のチャネルをレギュレートできるようになります。

EN = V_{INP} の場合の V_{INx} のランプがソフト スタート時間よりも遅い場合は、起動トラッキングが行われません。ソフト スタート時間よりも遅い勾配が使用されている場合は、イネーブルを使用してデバイスを起動し、スタートアップトラッキングを提供する必要があります。正と負の内部イネーブル スレッシュホールドの間にわずかなミスマッチがある場合、1 つのチャンネルが他方のチャンネルよりもわずかに低い入力電圧でオンになることを意味します。このミスマッチは通常、ほとんどのアプリケーションでは問題とならず、イネーブルを使って起動を制御することで簡単に解決できます。外部信号は、入力電源パワーグッドインジケータ、TPS3701 などの電圧スーパーバイザ出力、または他の電源から供給できます。

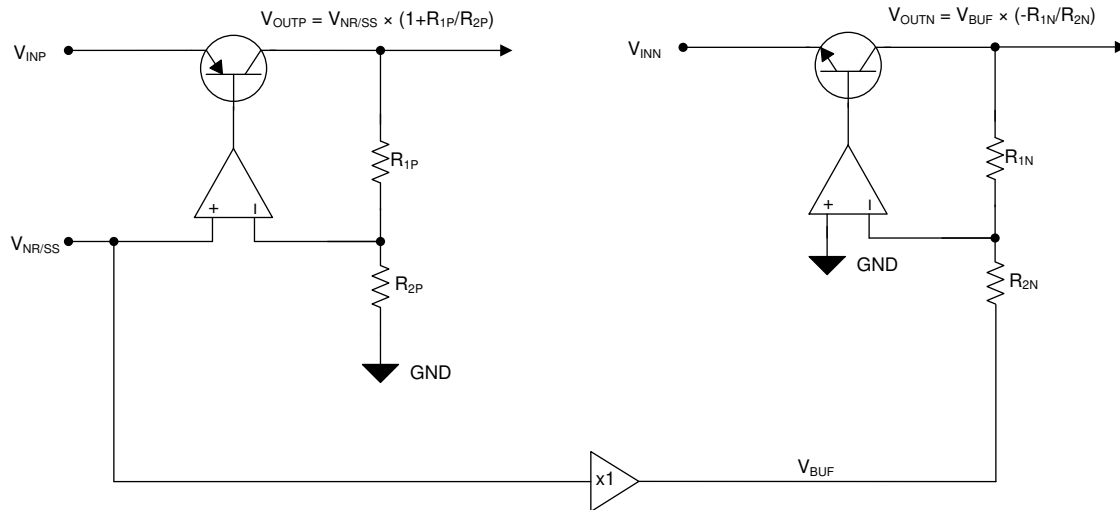


図 6-5. 簡易レギュレーション回路

6.3.4.2 シーケンシング

図 6-6 と表 6-2 に、イネーブル回路 (EN) および低電圧誤動作防止回路 (UVLOP および UVLON) を設定することで、両方の LDO のオン時間とオフ時間を制御する方法を示します。

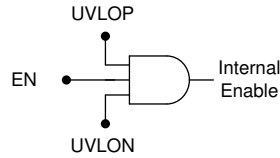


図 6-6. 簡素化されたターンオン制御

表 6-2. シーケンシング機能表

正の入力電圧 (V_{INP})	負の入力電圧 (V_{INN})	イネーブル ステータス	LDO ステータス	アクティブ放電
$V_{INP} \geq V_{UVLOP}$	$V_{INN} \leq V_{UVLON}$	EN = 1	オン	オフ
		EN = 0	オフ	オン ⁽¹⁾
$V_{INP} \geq V_{UVLOP}$	$V_{INN} > V_{UVLON}$	EN = 未使用	オフ	オン ⁽¹⁾
$V_{INP} < V_{UVLOP}$	$V_{INN} \leq V_{UVLON}$	EN = 未使用	オフ	オン ⁽¹⁾
$V_{INP} < V_{UVLOP} - V_{UVLOP(hys)}$	$V_{INN} > V_{UVLON} - V_{UVLON(hys)}$	EN = 未使用	オフ	オン ⁽¹⁾

(1) V_{INX} と V_{OUTX} が放電回路が機能するために十分なヘッドルームを確保している限り、アクティブ放電はオンを維持します。

6.3.4.2.1 イネーブル (EN)

イネーブル信号 (V_{EN}) はアクティブ ハイのデジタル制御であり、イネーブル電圧が上昇しきい値 ($V_{EN} \geq V_{IH(EN)}$) を超えると LDO をイネーブルし、イネーブル電圧が下降しきい値 ($V_{EN} \leq V_{IL(EN)}$) を下回ると LDO をディセーブルにします。EN はデジタル制御であるため、正確なイネーブル スレッショルドは $V_{IH(EN)}$ と $V_{IL(EN)}$ の間です。イネーブル制御を使用しないアプリケーションでは、EN を V_{INP} に接続します。

EN を V_{INP} に直接接続する低速の V_{INX} ランプでは、スタートアップ トラッキングが仕様範囲外になる場合があります。低速のランプ状態では、 V_{INP} からの分圧抵抗を使用して、スタートアップ トラッキングを行います。

6.3.4.2.2 低電圧誤動作防止 (UVLO) 制御

UVLO 回路は、入力電源のグリッチに対して迅速に応答し、これらのレールのいずれかが崩壊した場合にデバイスの出力をディセーブルにしようとします。

入力電源 UVLO 回路の応答時間が高速の結果、入力電源 UVLO 立ち下がリスレッショルド (ブラウンアウト) を十分下回る高速および短絡過渡によって、過渡エッジ中に瞬間的なグリッチが発生することがあります。これらのグリッチは、大半の LDO で一般的に見られます。ほとんどのアプリケーションでは、ローカル入力容量が大きなブラウンアウトを防止します。詳細については、アプリケーション情報の低電圧誤動作防止 (UVLOx) 制御セクションを参照してください。高速ライン過渡により、出力が一時的にシャットオフする可能性があり、推奨される 10 μ F 入力コンデンサを使用することで低減できます。システムで問題になる場合、入力容量を増やすことにより、これらのグリッチの発生を防いでください。

6.4 デバイスの機能モード

6.4.1 通常動作

デバイスは、以下の条件下で公称出力電圧へのレギュレートを行います。

- 入力電圧は、少なくとも $|V_{INx(min)}|$ と同じ高さです
- 入力電圧は、ドロップアウト電圧に加算された公称出力電圧よりも大きくなります
- イネーブル電圧が以前にイネーブル立ち上がりスレッシュホールド電圧を超えていて、イネーブル立ち下がりスレッシュホールドよりも低くなっていません
- 出力電流が、電流制限より小さいです
- デバイスの接合部温度が T_{SD} 未満です

6.4.2 ドロップアウト動作

入力電圧が、公称出力電圧と規定ドロップアウト電圧の和よりも小さいが、通常動作の他の条件がすべて満たされているとき、デバイスはドロップアウト モードで動作します。この動作モードでは、出力電圧は、入力電圧からドロップアウト電圧を引いた値と同じになります。パストランジスタ (バイポーラ接合トランジスタ、BJT など) が飽和状態になり、LDO を流れる電流を制御できなくなるため、デバイスの過渡パフォーマンスは大幅に低下します。ドロップアウト中にライン過渡または負荷過渡事象が生じると、大きな出力電圧の偏差が発生することがあります。

6.4.3 ディセーブル

このデバイスは次の条件で無効になります：

- イネーブル電圧がイネーブル立ち下がりスレッシュホールド電圧よりも低い、またはイネーブル立ち上がりスレッシュホールドを超えていない。
- デバイスの接合部温度がサーマル シャットダウンの温度よりも高くなっています

表 6-3 に、各種の動作モードにつながる条件を示します。

表 6-3. デバイスの機能モードの比較

動作モード	パラメータ			
	V_{IN}	V_{EN}	I_{OUT}	T_J
通常モード	$ V_{INx} > V_{OUT(nom)} + V_{DOx} $ および $ V_{INx} > V_{INx(min)} $	$V_{EN} > V_{IH}$	$ I_{OUTx} < I_{LIMx} $	$T_J < 125^\circ\text{C}$
ドロップアウト モード	$ V_{INx(min)} < V_{INx} < V_{OUTx(nom)} + V_{DOx} $	$V_{EN} > V_{IH}$	—	$T_J < 125^\circ\text{C}$
ディセーブル モード (条件が真の場合、デバイスはディセーブル)	—	$V_{EN} < V_{IL}$	—	$T_J > T_{SD}$

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

アプリケーションで LDO を正しく実装するには、アプリケーションの要件に依存します。このセクションでは、デバイスの主要な機能と、信頼性の高い設計を実現するための LDO の最適な実装方法について説明します。

7.1.1 可変デバイスの出力電圧の設定

図 7-1 に、各 LDO 抵抗帰還回路が出力電圧を設定することを示します。LDO の正の出力電圧範囲は $V_{NR/SS} \sim 30V$ で、LDO の負の出力電圧範囲は $0V \sim -30V$ です。

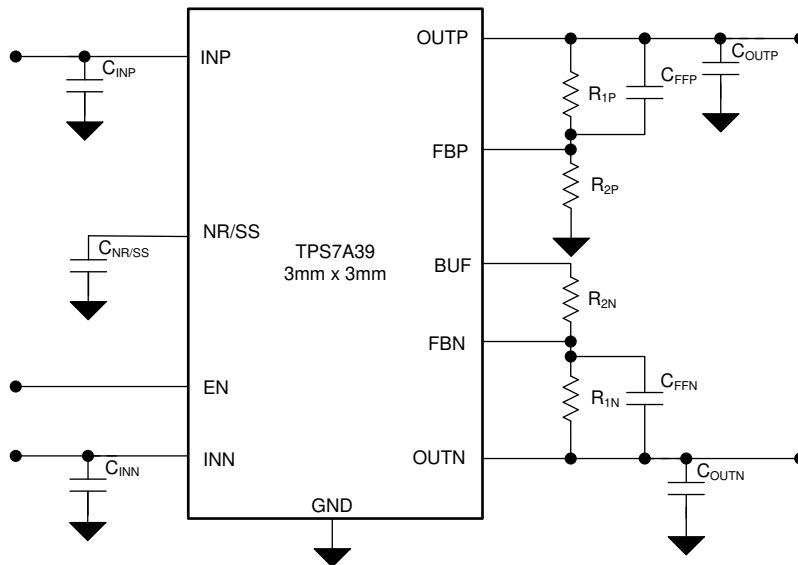


図 7-1. 可変動作

式 1 R_{1P} と R_{2P} の値を $V_{OUTP(NOM)}$ および $V_{NR/SS}$ に関連付け、正の出力電圧を設定します。式 2 R_{1N} と R_{2N} の値を $V_{OUTN(NOM)}$ および $V_{NR/SS}$ に関連させ、負の出力電圧を設定します。

正の LDO は非反転オペアンプ、負の LDO は反転オペアンプとして構成されています。

$$V_{OUTP} = V_{NR/SS} \times (1 + R_{1P} / R_{2P}) \quad (1)$$

$$V_{OUTN} = V_{NR/SS} \times (-R_{1N} / R_{2N}) \quad (2)$$

正チャンネルの $V_{NR/SS}$ を V_{FBP} に置き換え、負チャンネルの $V_{NR/SS}$ を V_{BUF} に置き換えると、より正確な関係が得られます。

式 3 と式 2 は、式 1 および式 2 のバージョンを並べ替えたものです。上記の置換が行われています。

$$R_{1P} = (V_{OUTP} / V_{FBP} - 1) \times R_{2P} \quad (3)$$

$$R_{1N} = -(V_{OUTN} \times R_{2P}) / V_{BUF} \quad (4)$$

この両方の帰還回路を流れる最小バイアス電流は $5\mu\text{A}$ であり、精度を保証します。

精度をさらに高めるため、エラー アンプへの入力バイアス電流 (I_{FBP} と I_{FBN}) を考慮し、0.1% の抵抗を使用します。高精度の外部基準電圧を使用して内部基準電圧をオーバーライドすることでも、デバイスの精度を向上させることができます。

表 7-1 と表 7-2 に、市販の 1% 公差の抵抗を使用した、いくつかの一般的な出力電圧に対する抵抗の組み合わせを示します。

表 7-1. 正の LDO に対する帰還抵抗の推奨値

目標出力電圧 (V)	帰還抵抗値 ⁽¹⁾		計算された出力電圧 (V)
	R_{1P} (k Ω)	R_{2P} (k Ω)	
1.5	2.67	10.0	1.50
1.8	5.23	10.0	1.80
2.5	11.0	10.0	2.49
3.0	15.4	10.0	3.00
3.3	17.8	10.0	3.29
5.0	32.4	10.0	5.02
9.0	66.5	10.0	9.07
12.0	90.9	10.0	12.0
15.0	115	10.0	14.8
24.0	191	10.0	23.8
30.0	243	10.0	29.8

(1) R_{1P} は OUTP から FBP に接続し、 R_{2P} は FBP から GND に接続します。可変デバイスの出力電圧の設定セクションを参照してください。

表 7-2. 負の LDO に対する帰還抵抗の推奨値

目標出力電圧 (V)	帰還抵抗値 ⁽¹⁾		計算された出力電圧 (V)
	R_{1N} (k Ω)	R_{2N} (k Ω)	
-0.3	2.55	10.0	-0.303
-1.5	12.7	10.0	-1.51
-1.8	15.0	10.0	-1.78
-2.5	21.0	10.0	-2.49
-3.0	25.5	10.0	-3.03
-3.3	28.0	10.0	-3.33
-5.0	42.2	10.0	-5.04
-9.0	75.0	10.0	-8.91
-12.0	100	10.0	-11.9
-15.0	127	10.0	-15.1
-24.0	200	10.0	-23.8
-30.0	255	10.0	-30.3

(1) R_{1N} は OUTN から FBN に接続し、 R_{2N} は FBN から BUF に接続します。可変デバイスの出力電圧の設定セクションを参照してください。

7.1.2 コンデンサに関する推奨事項

このデバイスは、入出力ピンに低等価直列抵抗 (ESR) のセラミック コンデンサを使用することで安定するように設計されています。また、このデバイスは $\text{ESR} < 75\text{m}\Omega$ のアルミニウム ポリマーおよびタンタル ポリマー コンデンサで安定するように設計されています。

コンデンサ (最小容量と ESR 要件を満たす) を並列に使用する場合は、電解コンデンサ (高 ESR ポリマー コンデンサとともに) も使用できます。

コンデンサのインピーダンスが最小の場合、実効 ESR を求めて安定性を確保してください。最小レベルでは、容量と寄生インダクタンスが互いに相殺され、DC ESR が発生します。

X7R、X5R、COG 定格の誘電体材料を使用したセラミック コンデンサは、温度範囲全体にわたって比較的良好な容量の安定性を実現しますが、Y5V 定格のコンデンサの使用は、静電容量の変動が大きいため推奨されません。

選択されたセラミック コンデンサの種類にかかわらず、セラミック容量は動作電圧や温度によって変化します。経験則として、セラミック コンデンサは、必ず 50% 以上ディレーティングしてください。ここで推奨する入力および出力コンデンサは、実効容量のディレーティングが約 50% となるよう考慮していますが、 V_{IN} および V_{OUT} が高い条件 (すなわち $V_{IN} = 5.5V \sim V_{OUT} = 5.0V$) では、ディレーティングが 50% を超える可能性があるため、考慮に入れる必要があります。

高性能アプリケーションの場合、ポリマー コンデンサはセラミック コンデンサの大きなディレーティングを経験しないため理想的です。

7.1.3 入力および出力コンデンサ (C_{INx} および C_{OUTx})

このデバイスは、各入力と出力で、 $10\mu F$ 以上のセラミック コンデンサ ($2.2\mu F$ 以上の実効容量) を使用した場合に設計および特性評価されています。

コンデンサからデバイスまでのトレースのインダクタンスを最小限に抑えるために、入力コンデンサと出力コンデンサをそれぞれの入力ピンと出力ピンにできるだけ近い位置に配置します。LDO を使用して低出力電圧 (5V 未満) を生成する場合は、 $4.7\mu F$ 出力コンデンサを使用できます。 $4.7\mu F$ 出力コンデンサを使用する場合は、設計時にコンデンサのディレーティングを考慮するようにしてください。

入力電源で大きな高速ライン過渡が発生すると、デバイス出力が瞬間的にオフになる可能性があります。通常、これらの過渡はほとんどのアプリケーションでは発生しませんが、これらの過渡が発生する場合は、より大きな入力コンデンサを使用してライン過渡を低速化します。システムの入力ライン過渡が $0.5V/\mu s$ より高速な場合は、入力静電容量を大きくしてください。

7.1.4 フィードフォワード コンデンサ (C_{FFx})

安定性を実現するために FBx ピンから OUTx ピンへのフィードフォワード コンデンサ (C_{FFx}) は必要ありませんが、 $10nF$ の外部 C_{FFx} コンデンサにより、過渡、ノイズ、および PSRR パフォーマンスが最適化されます。 C_{FFx} の推奨最大値は $100nF$ です。

C_{FFx} が大きいほど、 $C_{NR/SS}$ によって設定される起動時間に影響する可能性があります。詳細については、「[低ドロップアウトレギュレータでフィードフォワード コンデンサを使用することの長所と短所](#)」のアプリケーション ノートを参照してください。

7.1.5 ノイズ低減およびソフトスタート コンデンサ ($C_{NR/SS}$)

NR/SS ピンと GND の間にノイズ低減およびソフトスタート コンデンサ ($C_{NR/SS}$) が不要ですが、スタートアップ時間を制御し、デバイスのノイズフロアを低減するために、 $C_{NR/SS}$ を強く推奨します。スタートアップトラッキングを正常に機能させるには、 $4.7nF$ のコンデンサが必要です。帰還抵抗とフィードフォワード コンデンサで形成される時定数が増加するにつれて、スタートアップトラッキングを正しく動作させるには、 $C_{NR/SS}$ コンデンサの値も増加する必要があります。帰還回路の時定数を計算する方法については、『[低ドロップアウトレギュレータでフィードフォワード コンデンサを使用する場合の長所と短所](#)』アプリケーション ノートを参照してください。

7.1.6 バッファ付き基準電圧

NR/SS ピンの電圧は、内部または外部で駆動するかにかかわらず、高帯域幅、低ノイズのオペアンプでバッファされます。BUF ピンは、多くの信号チェーンアプリケーションで基準電圧として使用できます。

7.1.7 内部リファレンスのオーバーライド

LDO の精度を高め、出力ノイズを低減するために、外部ソースを使用して LDO の内部基準電圧をオーバーライドできます。内部基準電圧をオーバーライドするには、外部ソースを LDO の NR/SS ピンに接続します。内部基準電圧をオーバーライドするには、外部ソースが $100\mu A$ またはそれ以上のソースまたはシンクする必要があります。

内部基準電圧は、 -40°C から 125°C まで 2% の精度を達成しています。外部基準電圧を使用すると、温度に対してより高い精度を達成できます。

7.1.8 スタートアップ

7.1.8.1 ソフトスタート制御 (NR/SS)

デバイスの各出力には、外部コンデンサ ($C_{\text{NR/SS}}$) で設定される、ユーザーが調整可能な単調な電圧制御ソフトスタート機能が備わっています。ソフトスタート機能で、起動時の初期化の問題を解消します。

出力電圧 (V_{OUTx}) は、スタートアップ時に $V_{\text{NR/SS}}$ に比例して上昇します。このため、 $V_{\text{NR/SS}}$ が公称値に達するまでに必要な時間によって、 V_{OUTx} の立ち上がり時間 (スタートアップ時間) が決まります。

ソフトスタートのランプ時間は、ソフトスタート充電電流 ($I_{\text{NR/SS}}$)、ソフトスタート容量 ($C_{\text{NR/SS}}$)、内部リファレンス電圧 ($V_{\text{NR/SS}}$) に依存します。式 5 で、ソフトスタートのランプ時間 (t_{SS}) の近似値を計算します。

$$t_{\text{SS}} = R_{\text{NR/SS}} \times C_{\text{NR/SS}} \times \ln \left[\frac{(V_{\text{NR/SS}} + I_{\text{NR/SS}} \times R_{\text{NR/SS}})}{(I_{\text{NR/SS}} \times R_{\text{NR/SS}})} \right] \quad (5)$$

ソフトスタート充電電流とデバイスの内部 $R_{\text{NR/SS}}$ の値を、「電気的特性」表に示します。

7.1.8.1.1 突入電流

突入電流は、スタートアップ時に INx ピンに流れ込む電流として定義されます。突入電流は、主に負荷電流と出力コンデンサの充電に使用される電流の合計で構成されます。入力コンデンサを取り除く必要があるため、この電流を測定するのは困難ですが、これは推奨しません。しかし、突入電流は、式 6 を使用して推定できます。

$$I_{\text{OUTx}}(t) = \left[\frac{C_{\text{OUTx}} \times dV_{\text{OUTx}}(t)}{dt} \right] + \left[\frac{V_{\text{OUTx}}(t)}{R_{\text{LOAD}}} \right] \quad (6)$$

ここで

- $V_{\text{OUTx}}(t)$ は、ターンオンランプの瞬時出力電圧です
- $dV_{\text{OUTx}}(t)/dt$ は、 V_{OUTx} ランプの勾配です
- R_{LOAD} は出力負荷インピーダンス

7.1.8.2 低電圧誤動作防止 (UVLOx) 制御

UVLOx 回路により、入力電源が最小動作電圧範囲に達する前にデバイスがディセーブル状態を維持し、入力またはバイアス電源が急激に低下した場合にデバイスが確実にシャットダウンされます。

図 7-2 と表 7-3 に、 $V_{\text{EN}} \geq V_{\text{IH(EN)}}$ を想定した、各種の入力電圧イベントに対する UVLOx 回路の応答を示します。

正と負の UVLO 回路は内部で AND 接続されています。そのため、どちらかの電源が低下すると、両方の出力がオフになり、 $V_{\text{NR/SS}}$ は内部で low になります。

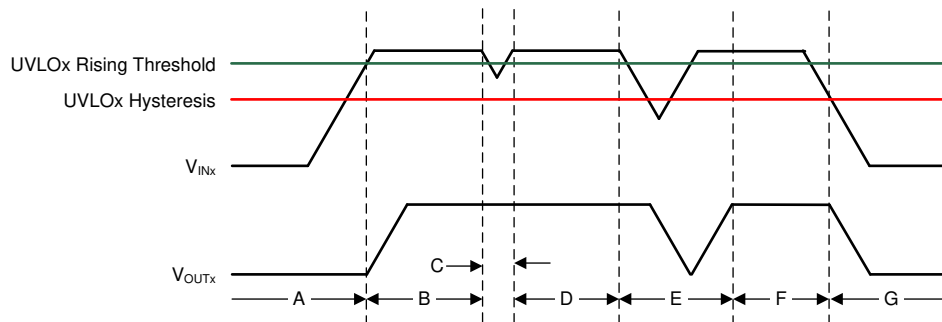


図 7-2. UVLOx の標準的な動作

表 7-3. 標準的な UVLOx 動作の説明

地域	EVENT	V _{OUTx} ステータス	備考
A	ターンオン、 $ V_{INx} \leq V_{UVLOx} $	0	スタートアップ
B	レギュレーション	1	目標 V _{OUTx} になるように制御します
C	ブラウンアウト、 $ V_{INx} \geq V_{UVLOx} - V_{HYSx} $	1	出力がレギュレーション範囲外になる可能性があります、デバイスは引き続きイネーブルされています
D	レギュレーション	1	目標 V _{OUTx} になるように制御します
E	ブラウンアウト、 $ V_{INx} < V_{UVLOx} - V_{HYSx} $	0	デバイスはディセーブルされており、負荷およびアクティブ放電回路によって出力が低下します。入力電圧が UVLOx の立ち上がりスレッショルドに達すると、デバイスは再び有効になり、通常の起動シーケンスが実行されます。
F	レギュレーション	1	目標 V _{OUTx} になるように制御します
G	ターンオフ、 $ V_{INx} < V_{UVLOx} - V_{HYSx} $	0	負荷およびアクティブ放電回路によって出力が低下します

この機能を持つ他の多くの LDO と同様に、UVLOx 回路が完全にアサートされるまでに数マイクロ秒かかります。この間、約 0.8V を下回るライン過渡が発生すると、UVLOx が短時間アサートされますが、UVLOx 回路にはデバイス内の内部回路を完全に放電するのに十分な蓄積エネルギーがありません。UVLOx 回路が内部ノードを完全に放電するのに十分な時間が与えられない場合、出力は完全にディセーブルされません。

より大きな入力コンデンサを使用して、最小 V_{INx} に近い値で動作しているときに入力電源の立ち下がり時間を長くすることで、下降ライン過渡の影響を低減できます。

7.1.9 AC および過渡性能

デュアル チャネル デバイスの LDO AC 性能は、電源除去比、チャネル間出力絶縁、出力電流過渡応答、出力ノイズで構成されています。これらの指標は主に、LDO の閉ループ入力および出力インピーダンスを制御する、開ループ ゲイン、帯域幅、位相マージンの関数です。出力ノイズは主に、バンドギャップ リファレンスと誤差アンプのノイズに起因します。

7.1.9.1 電源電圧変動除去比 (PSRR)

PSRR は、LDO 制御ループが、周波数スペクトル (通常は 10Hz ~ 10MHz) にわたって、V_{INx} から V_{OUTx} までの信号をどれだけ除去できるかを表す尺度です。式 7 に、入力信号 [V_{INx}(f)] と出力信号 [V_{OUTx}(f)] の周波数の関数として、PSRR の計算を示します。

$$PSRR \text{ (dB)} = 20 \text{ Log}_{10} \left(\frac{V_{INx}(f)}{V_{OUTx}(f)} \right) \quad (7)$$

PSRR は信号振幅の損失ですが、便宜上、PSRR はデシベル (dB) 単位で正の値と示されています。

図 7-3 に、テキサス インストルメンツの PD コントローラの概略ブロック図を示します。

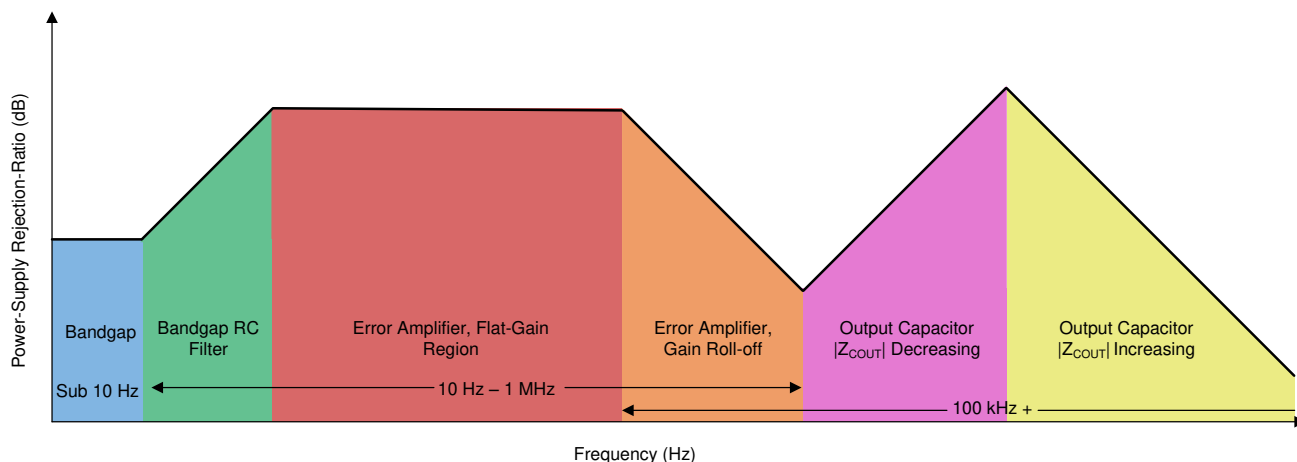


図 7-3. 電源除去比図

LDO は DC/DC レギュレータとしてだけでなく、ノイズに敏感なシステム コンポーネントに対して、超低ノイズとリップルを示す非常にクリーンな電源電圧を供給するために、多くの場合、採用されます。

7.1.9.2 チャンネル間出力分離/クロストーク

出力絶縁は、デバイスが一方の出力での電圧の外乱が、もう一方の出力にどれだけ影響を及ぼすことを防止できるかを表す尺度です。この減衰は、もう一方の出力での負荷過渡テストに現れます。ただし、除去を数値的に定量化するために、出力チャンネル絶縁はデシベル (dB) 単位で表されます。

出力絶縁性能は、PCB レイアウトの強力な機能です。分離パフォーマンスを最適化する方法については、[レイアウトのガイドライン](#)を参照してください。

7.1.9.3 出力電圧ノイズ

TPS7A39 は、システム性能のため、電源レールのノイズを最小限に抑えることが重要なシステム アプリケーション向けに設計されています。たとえば、TPS7A39 はフェーズ ロックループ (PLL) ベースのクロック回路で使用でき、位相ノイズを最小限に抑えることができます。また、電源ノイズの変動が小さい場合でも、システムのダイナミックレンジが小さくなるテストおよび測定システムで使用できます。

LDO ノイズは、半導体回路のみによって生成される内部で生成される固有ノイズとして定義されます。このノイズは、さまざまな種類のノイズの和です (電流スルーピン接合に関連するショットノイズ、電荷キャリアの熱攪拌による熱ノイズ、フリッカー ノイズ、 $1/f$ ノイズなどがあり、 $1/f$ の関数として低い周波数で支配的なノイズ)。図 7-4 に、出力電圧ノイズ密度の概略図と周波数との関係を示します。

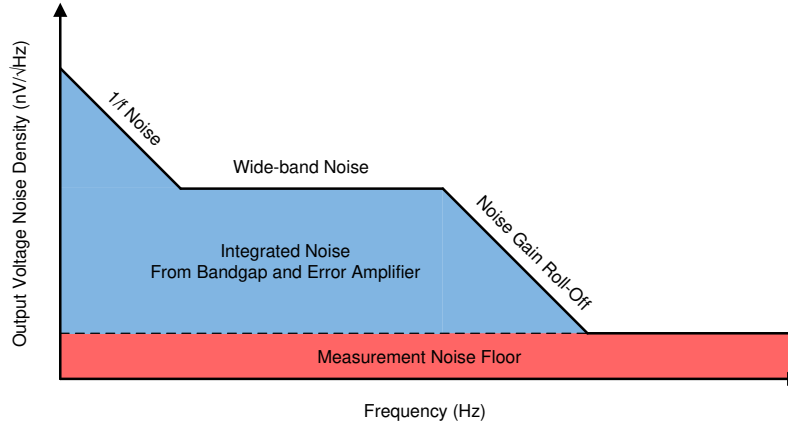


図 7-4. 出力電圧ノイズ図

詳細については、『[LDO ノイズの測定方法](#)』ホワイトペーパーを参照してください。

7.1.9.4 ノイズと PSRR の最適化

表 7-4 に、デバイスの超低ノイズフロアと PSRR を複数の方法で改善できる方法を示します。

表 7-4. さまざまなパラメータが AC パフォーマンスに与える影響 (1) (2)

パラメータ	ノイズ			PSRR		
	低周波	中周波	高周波	低周波	中周波	高周波
C _{NR/SS}	+++	影響なし	影響なし	+++	+	影響なし
C _{FFX}	++	+++	+	++	+++	+
C _{OUTX}	影響なし	+	+++	影響なし	+	+++
V _{INX} - V _{OUTX}	+	+	+	+++	+++	++
PCB レイアウト	++	++	+	+	+++	+++

- (1) + の数は、パラメータ値を大きくすることにより、ノイズまたは PSRR 性能が向上したことを示します。
 (2) 影付きのセルは、ノイズまたは PSRR 性能が最も簡単に改善されています。

ノイズ低減コンデンサはノイズ低減抵抗と組み合わされてローパスフィルタ (LPF) を形成し、誤差増幅器によりゲイン増幅される前にリファレンスからのノイズをフィルタリングすることで、出力電圧ノイズフロアを最小化します。LPF は単極フィルタで、カットオフ周波数は式 8 で計算できます。出力電圧が上昇したときにリファレンスからのノイズが増大するため、V_{OUTX} (NOM) が増大すると、C_{NR/SS} コンデンサの影響が増大します。低ノイズのアプリケーションでは、10nF ~ 1μF の C_{NR/SS} を推奨します。

$$f_{\text{cutoff}} = 1 / (2 \times \pi \times R_{\text{NR/SS}} \times C_{\text{NR/SS}}) \quad (8)$$

フィードフォワードコンデンサは、中帯域の周波数ノイズを除去することで、出力電圧ノイズを低減します。このフィードフォワードコンデンサは、ループ帯域幅の端付近に極とゼロのペアを配置し、ループ帯域幅を押し出す方法で最適化でき、中帯域 PSRR を改善します。

C_{OUTX} または複数の出力コンデンサを大きくすると、電源の高周波出力インピーダンスを下げることで、高周波の出力電圧ノイズと PSRR を低減できます。

さらに、入力電圧が高いほど、内部回路へのヘッドルームが大きいため、ノイズと PSRR が改善されます。ただし、接合部温度が上昇するため、ダイ全体で電力消費が大きいと出力ノイズは増加します。

適切な PCB レイアウトにより、低い周波数でヒートシンクを行い、V_{OUTX} を高周波で絶縁することで、PSRR およびノイズ性能が向上します。

7.1.9.5 負荷過渡応答

負荷ステップ過渡応答とは、LDO の出力電圧が負荷電流の変動に対してどのように応答し、出力電圧のレギュレーションを維持するかを示すものです。負荷過渡応答中には、軽負荷から重負荷への遷移、および重負荷から軽負荷への遷移の 2 つの重要な遷移があります。図 7-5 に示された領域はこのセクションで細分化され、表 7-5 で説明されています。A、E、H の各領域で、出力電圧が定常状態にあることを示しています。出力容量を大きくすると過渡応答が改善されます (デュープが小さくなります) が、大きな出力コンデンサを使用する場合、過渡状態の回復に時間がかかります。

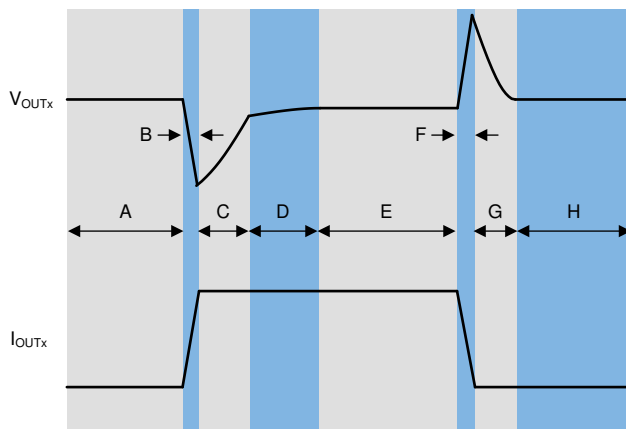


図 7-5. 負荷過渡波形

表 7-5. 負荷過渡波形の説明

地域	説明	備考
A	レギュレーション	レギュレーション
B	出力電流のランプ	電圧低下の初期原因は、出力コンデンサの電荷が枯渇したことです。
C	過渡応答に対する LDO	電圧降下からの回復は、LDO が供給電流を増加させることによって起こり、出力電圧のレギュレーションへとつながります。
D	熱平衡に達することです	負荷電流が大きいと、LDO の温度が上昇するのに時間がかかります。この期間中、出力電圧はわずかに変化します。
E	レギュレーション	レギュレーション
F	出力電流のランプ	最初の電圧上昇は、LDO が大きな電流を供給することによって生じ、その結果、出力コンデンサの電荷が増加します。
G	過渡応答に対する LDO	電圧上昇からの回復は、LDO が供給電流を減少させることと、負荷が出力コンデンサを放電することによって生じます。
H	レギュレーション	レギュレーション

7.1.10 DC 性能

7.1.10.1 出力電圧精度 (V_{OUTx})

デバイスには出力電圧精度があり、「電気的特性」表に規定されているように、内部リファレンス、負荷レギュレーション、ラインレギュレーション、プロセス変動、動作温度によって生じる誤差が含まれます。出力電圧精度は、予想される公称出力電圧に対して、パーセントで表された最小および最大出力電圧誤差を指定します (非常に低い出力電圧の場合、この仕様は mV 単位です)。

7.1.10.2 ドロップアウト電圧 (V_{DO})

一般的な話として、ドロップアウト電圧とは多くの場合、レギュレーションに必要な入力電圧と出力電圧 ($|V_{DO}| = |V_{INx}| - |V_{OUTx}|$) との最小電圧差を意味します。V_{INx} が特定の負荷電流に必要な V_{DOx} を下回ると、デバイスは抵抗スイッチとして機能し、出力電圧を調整しません。デバイスが抵抗性スイッチとして動作するため、ドロップアウト電圧は出力電流に比例します。

7.1.11 逆電流

ほとんどの LDO と同様に、過剰な逆電流が原因で、デバイスが損傷する可能性があります。

逆電流は、パストラジスタの通常の導通チャンネルではなく、デバイスの基板を流れる電流です。この電流フローは十分な大きさで、エレクトロマイグレーションのリスクやデバイスの過剰な熱が放散されるため、デバイスの長期的な信頼性が低下します。

このセクションでは、過度の逆電流が発生する可能性がある条件について説明します。これらの条件はすべて、 $V_{OUTP} > V_{INP} + 0.3V$ および $V_{OUTN} < V_{INN} - 0.3V$ の絶対最大定格を超える可能性があります。

- デバイスが大きな I_{OUTX} を持ち、負荷電流がほとんどまたはまったくない状態で入力電源が破損した場合
- 入力電源が確立されていない場合、出力はバイアスされる
- 出力は入力電源よりも高くバイアスされる

アプリケーションで過渡の逆電流が予期される場合は、デバイスを保護するために、外部保護機能を使用する必要があります。図 7-6 に、デバイスを保護するための 1 つのアプローチを示します。

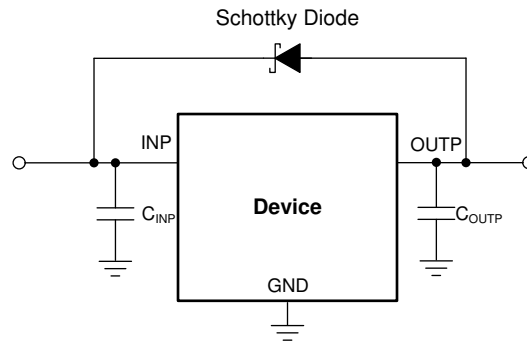


図 7-6. 正電源レールにショットキー ダイオードを使用した逆電流保護の回路例

7.1.12 消費電力 (P_D)

回路の信頼性を確保するには、デバイスの電力消費、プリント回路基板 (PCB) 上の回路の位置、および熱プレーンの正しいサイズを適切に考慮する必要があります。レギュレータ周囲の PCB 領域には、追加の熱ストレスを引き起こす他の発熱デバイスをできる限り配置しないようにする必要があります。

1 次近似として、レギュレータの消費電力は、入力と出力の電圧差と負荷条件に依存します。式 9 を使用して、 P_D を概算します。

$$P_D = (V_{INP} - V_{OUTP}) \times I_{OUTP} + (|V_{INN} - V_{OUTN}|) \times |I_{OUTN}| \quad (9)$$

システム電圧レールは慎重に選択することで、消費電力を最小限に抑え、システムの効率を向上させます。適切に選択することで、入出力電圧差の最小値が得られます。デバイスのドロップアウトが小さいため、広い範囲の出力電圧にわたって最大の効率を実現します。

デバイスの主な熱伝導経路は、パッケージ上のサーマルパッドを経由します。このため、サーマルパッドは、デバイスの下にある銅パッド領域に半田付けする必要があります。このパッド領域にはめっきビアのアレイがあり、熱を内部層のプレーンや基板裏面の銅プレーンへと伝導します。

最大消費電力により、デバイスの最大許容接合部温度 (T_J) が決まります。式 10 によれば、消費電力と接合部温度は、PCB とデバイス パッケージを組み合わせた接合部から周囲への熱抵抗 (θ_{JA})、および周囲空気の温度 (T_A) に最も関連します。

$$T_J = T_A + \theta_{JA} \times P_D \quad (10)$$

残念ながら、この熱抵抗 (θ_{JA}) は、特定の PCB 設計に組み込まれている熱拡散能力に大きく依存するため、合計の銅箔面積、銅箔の重量、およびプレーンの位置によって変化します。電気的特性テーブルに記録されている θ_{JA} は JEDEC 規格、PCB、銅の拡散領域によって決まり、パッケージの放熱性能の相対的な単位としてのみ使用されます。適切に設計された熱レイアウトの場合、 θ_{JA} は実際には、WSON パッケージのジャンクションからケース (底面) までの熱抵抗 (θ_{JCbot}) と PCB 銅による熱抵抗の寄与の合計になります。

7.1.12.1 推定接合部温度

JEDEC 規格では、典型的な PCB 基板アプリケーションで回路内にある LDO の接合部温度を推定するために、psi (Ψ) の熱指標を使用することを推奨しています。これらの指標は、厳密には熱抵抗ではありませんが、接合部温度を実用的かつ相対的に推定する手段として用いられます。これらの psi 指標は、銅の広がり面積に対して大きく影響を受けないことが確認されています。主要な熱メトリクス (Ψ_{JT} および Ψ_{JB}) は電気的特性表に示されており、式 11 に従って使用されます。

$$\begin{aligned} \Psi_{JT}: T_J &= T_T + \Psi_{JT} \times P_D \\ \Psi_{JB}: T_J &= T_B + \Psi_{JB} \times P_D \end{aligned} \quad (11)$$

ここで

- P_D は、式 9 で説明されているように消費される電力です
- T_T は、デバイス パッケージの中央上部の温度
- T_B は、デバイス パッケージから 1mm の位置で、パッケージのエッジの中心で測定された PCB 表面温度

7.2 代表的なアプリケーション

7.2.1 設計 1 : シングルエンドから差動への絶縁型電源

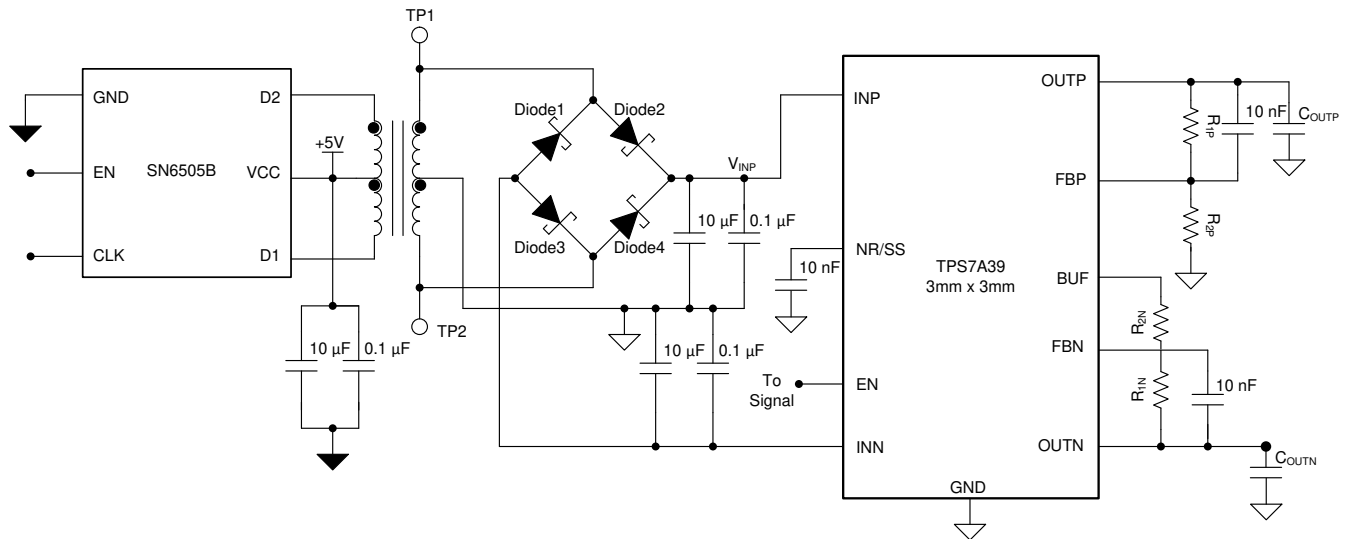


図 7-7. シングルエンドから差動への絶縁型電源の回路図

7.2.1.1 設計要件

表 7-6. 設計要件

パラメータ	設計要件	設計結果
入力電源	5V 入力で作動する必要があります	5V 入力電源
出力電源	出力は 5V と -5V でなければなりません	±5V の出力、±2% の精度
正の出力電流	正の出力で 50mA をソース可能	50mA (ソース)
負の出力電流	負出力で 50mA をシンクできます	50mA (シンク)
5V 電源からの絶縁	入力電源から絶縁する必要があります	中間タップ付きトランスを使用する絶縁型の製品です
効率	100mA 環境では 80% を上回る効率を達成する必要があります ⁽¹⁾	$I_{OUTN} = -50mA$ 、 $I_{OUTP} = 50mA$ のとき効率 85%

(1) $|I_{OUTN}| = I_{OUTP} = 50mA$ 。

7.2.1.2 詳細な設計手順

7.2.1.2.1 スイッチャの選択

このデザインは、シングルエンド電源を使用して絶縁型分割レールの設計に変換する、センタータップ付きトランス用のプッシュプルドライバを内蔵しています。SN6505B は、シンプルな小型フォームファクタの絶縁型電源を実現します。SN6505B の入力電圧は 2.25V から 5V の範囲で変動するため、幅広い入力電源で使用できます。出力電圧は、トランスの巻線比によって調整できます。トランスの選択に基づいて、このデザインは $\pm 3.3V \sim \pm 15V$ の出力電圧を生成できます。このデザインでは、SN6505B を Würth Electronics® の 750315371 センタータップトランスと組み合わせました。このトランスの巻線比は 1:1.1 であり、絶縁定格は 2500V_{RMS} です (システム全体の絶縁は未テストです)。

7.2.1.2.2 センタータップトランス付きフルブリッジ整流器

絶縁型電源を作成するために、SN6505B はセンタータップ付きトランスを使用します。入力信号が交互に性質を持つため、LDO に到達する前に信号をレギュレーションするには、フルブリッジ整流器とコンデンサが必要です。SN6505 スイッチの速度とショットキーダイオードの動作速度により効率を向上させるため、高速スイッチングダイオードと低順方向電圧ダイオードを使用することを推奨します。図 7-9 に、SN6505 D1 および D2 のスイッチングノードを示し、トランスがフルブリッジ整流器 TP1 および TP2 に接続されている場所も示します。図 7-9 に、整流ダイオードのスイッチング波形を示します。

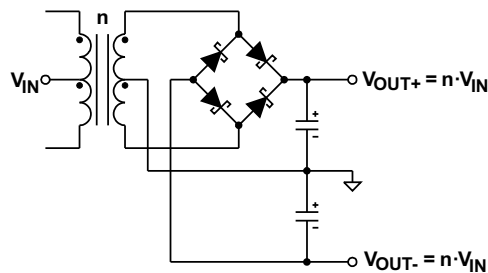


図 7-8. センタータップ付き 2 次側ブリッジ整流器により、バイポーラ出力が可能

7.2.1.2.3 ソリューションの総合的な効率

式 12 に、出力電力を取得し入力電力で除算することにより、システムの効率を測定する方法を示します。 $I_{OUTP} = |I_{OUTN}| = I_{OUT} / 2$ 。このシステムには 2 つの出力レールがあり、効率測定を簡単に行うことができます。必要なパラメータを測定し、式 12 を使用することで、システム全体の効率を図 7-10 のようにプロットできます。図 7-10 に、この設計のシステム全体の効率を示します。100mA の最大出力電流 ($I_{OUTP} = 50mA$, $I_{OUTN} = -50mA$) でのシステムの効率は 85% です。

$$\eta = (I_{OUTP} \times V_{OUTP} + I_{OUTN} \times V_{OUTN}) / (I_{IN} \times V_{IN}) \quad (12)$$

7.2.1.2.4 帰還抵抗の選択

式 13 および式 14 は、帰還抵抗の値を計算します。

$$V_{OUTP} = V_{FBP} \times (1 + R_{1P} / R_{2P}) \quad (13)$$

$$V_{OUTN} = V_{BUF} \times (-R_{1N} / R_{2N}) \quad (14)$$

この設計では、 R_{2P} と R_{2N} に推奨される 10k Ω 抵抗を使用します。 R_{2P} と R_{2N} はすでに選択されているので、 R_{1P} と R_{1N} は R_{2P} と R_{2N} を式 15 と式 16 に代入することで計算できます

$$R_{1P} = [(V_{OUTP} / V_{FBP}) - 1] \times R_{2P} = [(5V / 1.188V) - 1] \times 10k\Omega = 32.2k\Omega \quad (15)$$

$$R_{1N} = -V_{OUTN} \times R_{2N} / V_{BUF} = -(-5V) \times 10k\Omega / 1.19V = 42k\Omega \quad (16)$$

式 15 および式 16 を求めた後、最も近い 1% の抵抗を選択します。 $R_{1N} = 42.2k\Omega$ および $R_{1P} = 32.4k\Omega$ 。

7.2.1.3 アプリケーション曲線

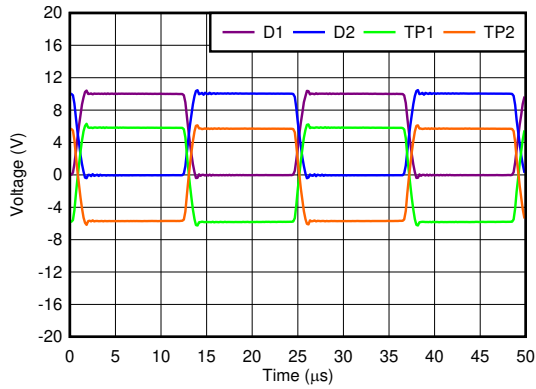
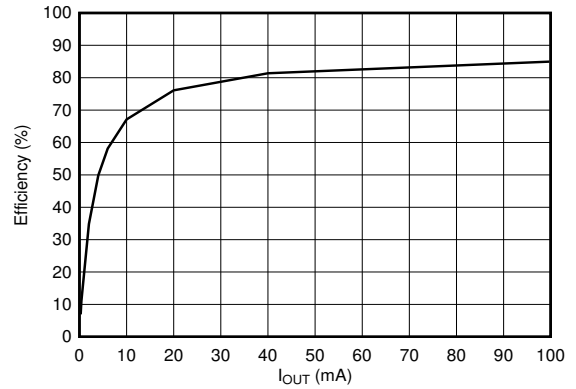


図 7-9. SN6505B のスイッチング ノード



$$I_{OUT} = I_{OUTP} + |I_{OUTN}|, I_{OUTP} = |I_{OUTN}|$$

図 7-10. 効率と出力電流との関係

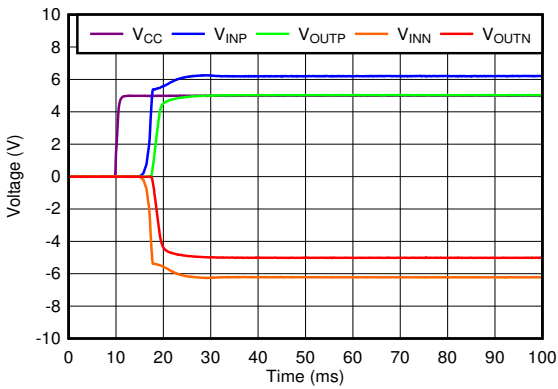


図 7-11. システムの起動

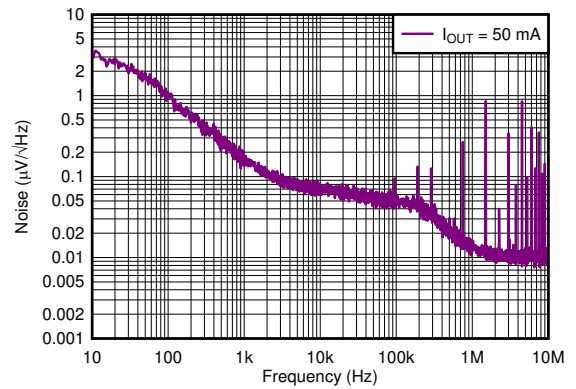


図 7-12. OUTP ノイズ

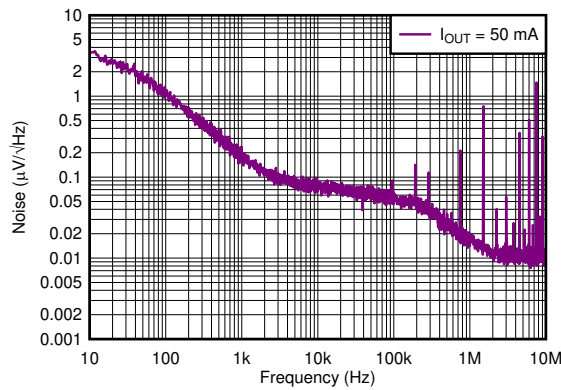


図 7-13. OUTN ノイズ

7.2.2 設計 2 : SAR ADC の全範囲の取得

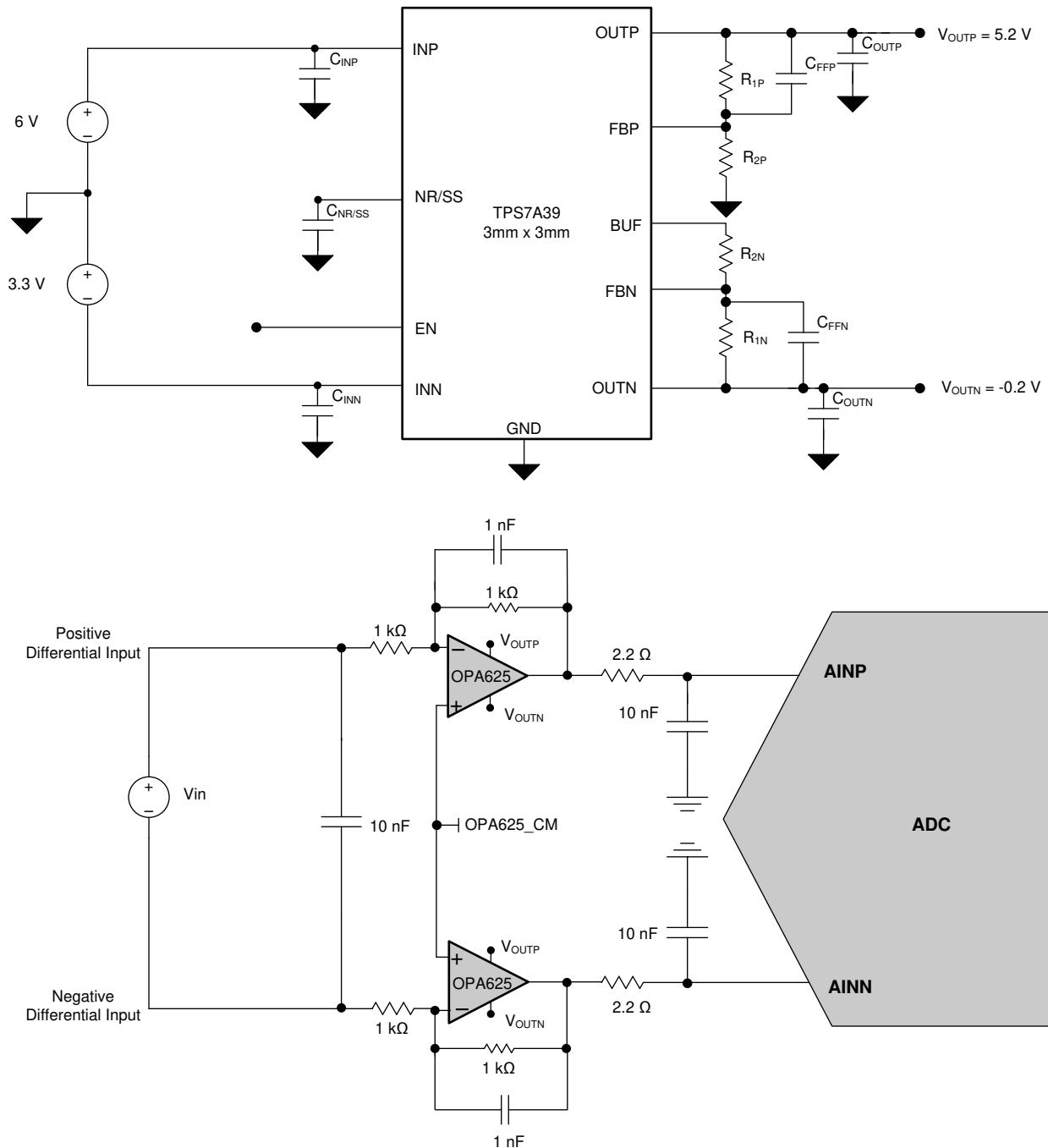


図 7-14. ADC アナログ フロントエンド向け電源レールの作成

7.2.2.1 設計要件

A/D コンバータ (ADC) によくある問題は、入力信号が ADC の範囲のエッジに近づくと、信号が歪んでしまうことです。多くの場合、これは ADC の制限によるものではなく、アナログ フロント エンド (AFE) が原因です。AFE では、信号がオペアンプのレールに到達し始め、信号の直線性が低下し始めて、歪みになります。この歪みは、レール ツー レール オペアンプがレールから 100mV 以内で非線形領域の動作に入ると、信号対雑音比 (SNR) が低下し始め、ADC の全高調波

歪み (THD) が増加するためです。オペアンプがリニア動作領域で動作を終了しないように、設計では ADC の入力範囲を 200mV 上回る値および下回るレールを生成できる電源を使用する必要があります。

7.2.2.2 詳細な設計手順

このデザインでは、**ADS8900B** を ADC として使用します。この ADC は差動入力が存在するため 5V リファレンスからの入力で動作し、ADC は $\pm 5V$ の範囲内の値をエンコードできます。多くのアプリケーションでは、0V ~ 5V のレールで単一電源オペアンプに電力が供給され、全範囲の信号が印加されたときに入力信号が歪んでいます。5V 単一レールを使用してアンプをバイアスする 10V_{PP} (ピークツーピーク) 正弦波の FFT を [図 7-15](#) に示します。このテストでは、SNR は 54.89dB と計算され、THD は -40.68dB と計算されました。

ADC の SNR と THD を改善する簡単なソリューションがあります。アナログ フロントエンドのアンプに 5.2V レールと -0.2V レールを使用してバイアスを印加します。これらのレールを使用することで、アンプは ADC が必要とする 0V ~ 5V のリニア領域で動作できます。[図 7-16](#) に、5.2V レールと -0.2V レールを使用した 10V_{PP} 正弦波の FFT を示します。このテストでは、SNR は 102.535dB と計算され、THD は -121.66dB と計算されました。-0.2V と 5.2V のレール電圧を使用しても、一般的な 5V (最大 5.5V) のオペアンプを設計で使用できます。

7.2.2.3 設計の詳細説明

7.2.2.3.1 0.2V のレギュレーション

TPS7A39 には、負のレールを 0V まで制御する革新的な機能があります。このレギュレーションは、反転アンプを使用し、正のバッファ付き基準電圧をアンプへの入力信号として使用することで実現されます。-0.2V にレギュレーションを行うと、アンプのレール範囲全体を使用する場合に発生していた非直線性と歪みを排除できます。

7.2.2.3.2 帰還抵抗の選択

[式 18](#) と [式 17](#) を使用して帰還抵抗の値を計算します。

$$V_{\text{OUTP}} = V_{\text{FBP}} \times (1 + R_{1P} / R_{2P}) \quad (17)$$

$$V_{\text{OUTN}} = V_{\text{BUF}} \times (-R_{1N} / R_{2N}) \quad (18)$$

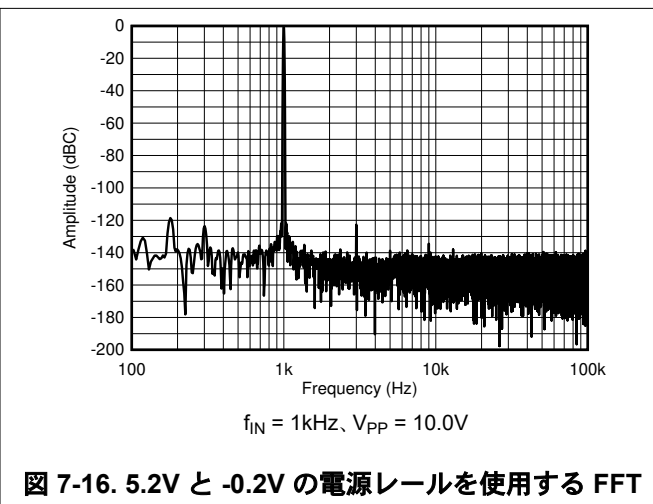
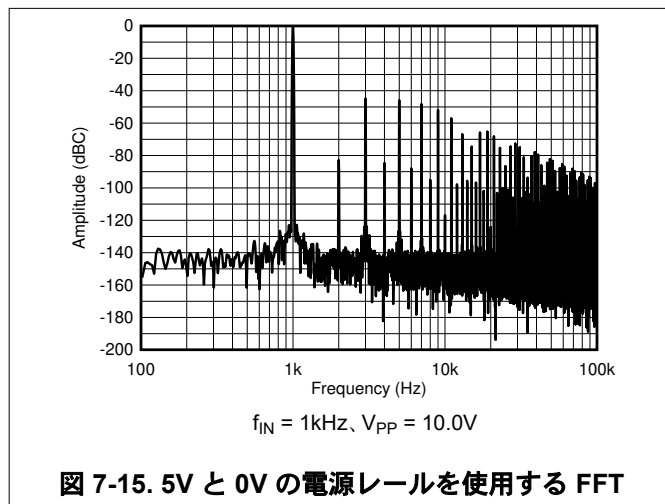
この設計では、 R_{2P} と R_{2N} に推奨される 10k Ω 抵抗を使用します。 R_{2P} と R_{2N} はすでに選択されているので、 R_{1P} と R_{1N} は R_{2P} と R_{2N} を [式 19](#) と [式 20](#) に代入することで計算できます。

$$R_{1P} = [(V_{\text{OUTP}} / V_{\text{FBP}}) - 1] \times R_{2P} = [(5.2V / 1.188V) - 1] \times 10k\Omega = 33.8k\Omega \quad (19)$$

$$R_{1N} = -V_{\text{OUTN}} \times R_{2N} / V_{\text{BUF}} = -(-0.2V) \times 10k\Omega / 1.19V = 1.68k\Omega \quad (20)$$

[式 19](#) および [式 20](#) を求めた後、最も近い 1% の抵抗を選択します。 $R_{1N} = 1.69k\Omega$ および $R_{1P} = 34k\Omega$ 。

7.2.2.4 アプリケーション曲線



7.3 電源に関する推奨事項

LDO の入力電源は、推奨動作条件内にする必要があります。この入力電圧により、デバイスがレギュレートされた出力を供給するための十分なヘッドルームが必要です。10 μ F の入力コンデンサは、デバイス のできるだけ近くに配置します。入力電源にノイズがある場合、入力コンデンサを追加すると、出力のノイズ特性を改善するために役立ちます。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

レイアウトは、優れた電源設計のために重要な部分です。高速で変化する電流または電圧を通す信号パスがいくつかあるため、浮遊インダクタンスや寄生容量によってノイズが発生したり、電源の性能が低下したりする可能性があります。これらの問題をなくすため、IN ピンをコンデンサでグラウンドにバイパスします。

GND ピンはデバイスの下のサーマル パッドに直接接続します。サーマル パッドは、デバイスの直下にある複数のビアを使用して内部の PCB グラウンド プレーンに接続する必要があります。

各コンデンサは可能な限りデバイスに近く、PCB 上でレギュレータと同じ面に配置する必要があります。

PCB 上でレギュレータが設置されている面と反対の面にコンデンサを配置しないでください。これらの回路はシステムの性能に悪影響を及ぼし、不安定化を招くこともあるため、ビアと長いパターンの使用は強く推奨しません。

7.4.1.1 PSRR およびノイズ性能向上のための推奨基板レイアウト

PSRR、出力ノイズ、過渡応答などの ac パフォーマンスを向上させるために、TI では、基板設計では V_{IN} と V_{OUT} に別々のグラウンド プレーンを設け、各グラウンド プレーンをデバイスの GND ピンのみで接続することをお勧めします。さらに、バイパスコンデンサのグラウンド接続部はデバイスの GND ピンに直接接続する必要があります。

7.4.1.2 パッケージの取り付け

TPS7A39 の半田パッドの占有面積に関する推奨事項については、本文書の巻末および www.ti.com を参照してください。

7.4.2 レイアウト例

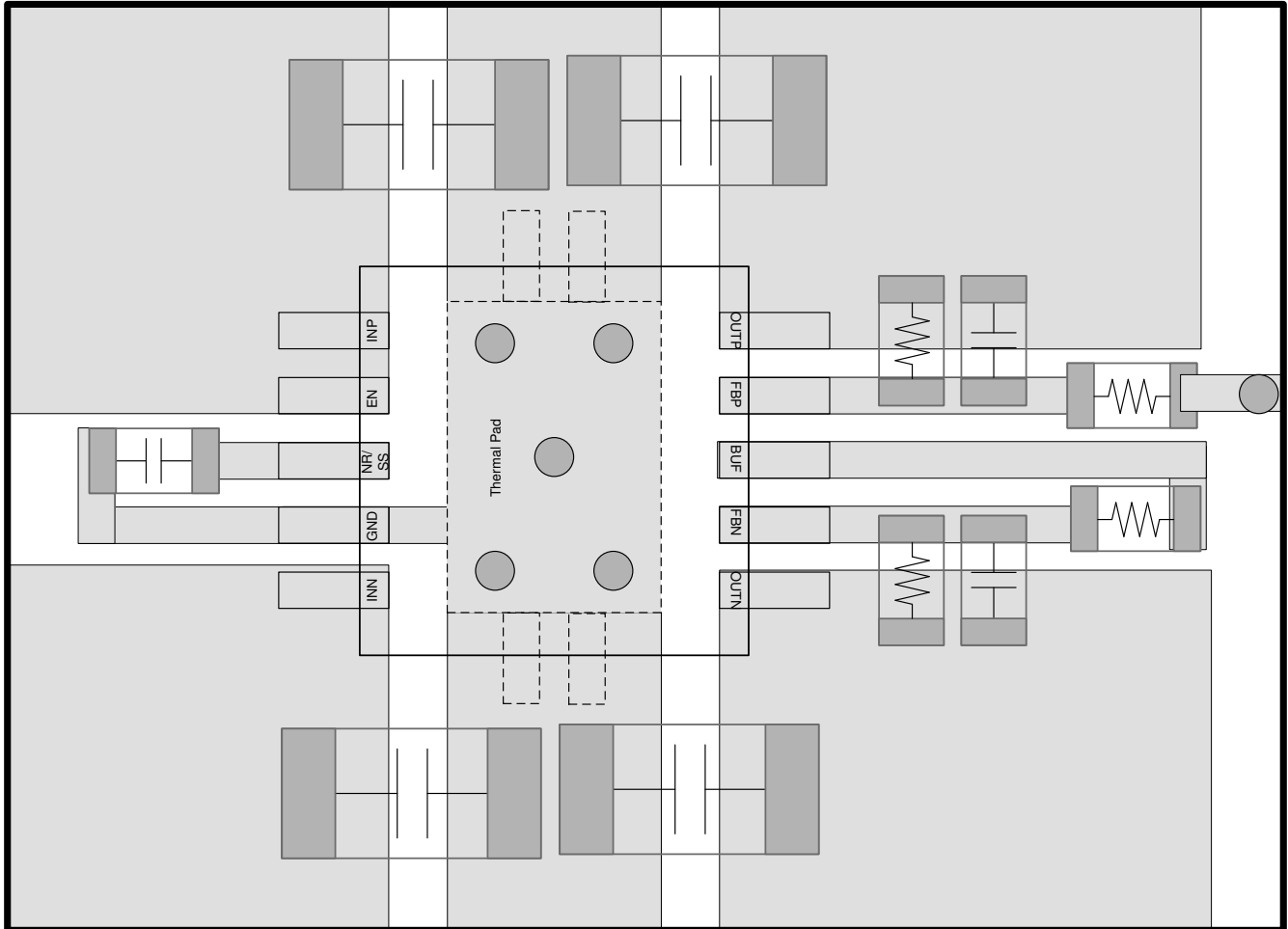


図 7-17. 可変オプションのレイアウト例

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.1 評価基板

TPS7A39 を使用した初期の回路性能評価には、評価基板 (EVM) を利用することができます。TPS7A39EVM-865 評価基板 (および [関連するユーザー ガイド](#)) は、テキサス インスツルメンツの Web サイトの製品 フォルダから請求するか、TI eStore から直接お求めになれます。

8.1.1.2 SPICE モデル

SPICE による回路パフォーマンスのコンピュータ シミュレーションは、アナログ回路やシステムのパフォーマンスを分析するため多くの場合に有用です。TPS7A39 用の SPICE モデルは、製品フォルダの「ツールとソフトウェア」から入手できます。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、[『TPS3701 36V 内部基準電圧搭載ウィンドウ コンパレータ、過電圧および低電圧検出付き』データシート](#)
- テキサス・インスツルメンツ、[『SN6505 絶縁電源用の低ノイズ、1A トランスドライバ』データシート](#)
- テキサス インスツルメンツ、[『ADS890xB 20 ビット、リファレンス バッファ内蔵、拡張性能機能搭載、高速 SAR ADC』データシート](#)
- テキサス インスツルメンツ、[『低ドロップアウトレギュレータでフィードフォワードコンデンサを使用することの長所と短所』アプリケーション ノート](#)
- テキサス・インスツルメンツ、[『新しい熱評価基準の解説』アプリケーション ノート](#)
- テキサス インスツルメンツ、[TPS7A39EVM-865 評価基板 EVM ユーザー ガイド](#)

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

Würth Electronics® is a registered trademark of Würth Elektronik GmbH and Co.

すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (September 2017) to Revision B (June 2025)	Page
• 「アプリケーション」セクションにリンクを追加	1
• 「シーケンシング機能」表の最後の行を変更.....	29
• 設計 2 のフィードバック抵抗器の選択セクションの式 20 を変更 SAR ADC の全範囲の取得	45

Changes from Revision * (July 2017) to Revision A (September 2017)	Page
• 量産用にリリース.....	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7A3901DSCR	Active	Production	WSON (DSC) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A3901
TPS7A3901DSCR.B	Active	Production	WSON (DSC) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A3901
TPS7A3901DSCT	Active	Production	WSON (DSC) 10	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A3901
TPS7A3901DSCT.B	Active	Production	WSON (DSC) 10	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A3901
TPS7A3901DSCTG4	Active	Production	WSON (DSC) 10	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A3901
TPS7A3901DSCTG4.B	Active	Production	WSON (DSC) 10	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A3901

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

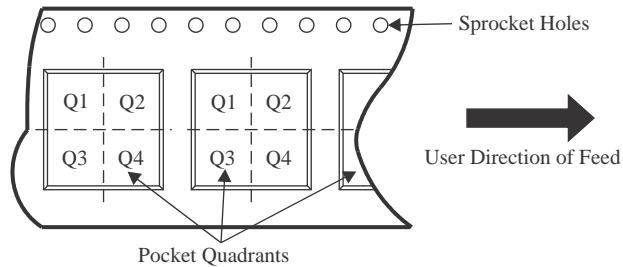
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7A3901DSCR	WSON	DSC	10	3000	330.0	12.4	3.3	3.3	1.0	8.0	12.0	Q1
TPS7A3901DSCT	WSON	DSC	10	250	180.0	12.4	3.3	3.3	1.0	8.0	12.0	Q1
TPS7A3901DSCTG4	WSON	DSC	10	250	180.0	12.4	3.3	3.3	1.0	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

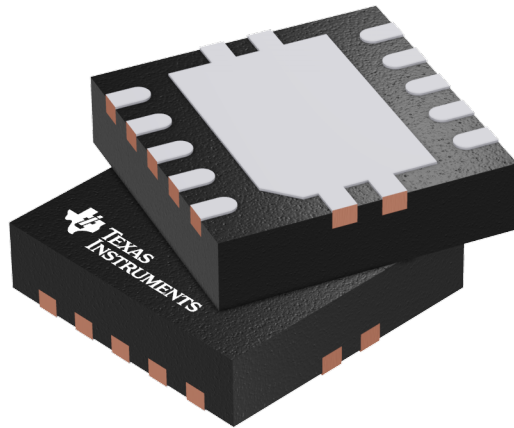
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7A3901DSCR	WSON	DSC	10	3000	367.0	367.0	38.0
TPS7A3901DSCT	WSON	DSC	10	250	213.0	191.0	35.0
TPS7A3901DSCTG4	WSON	DSC	10	250	213.0	191.0	35.0

GENERIC PACKAGE VIEW

DSC 10

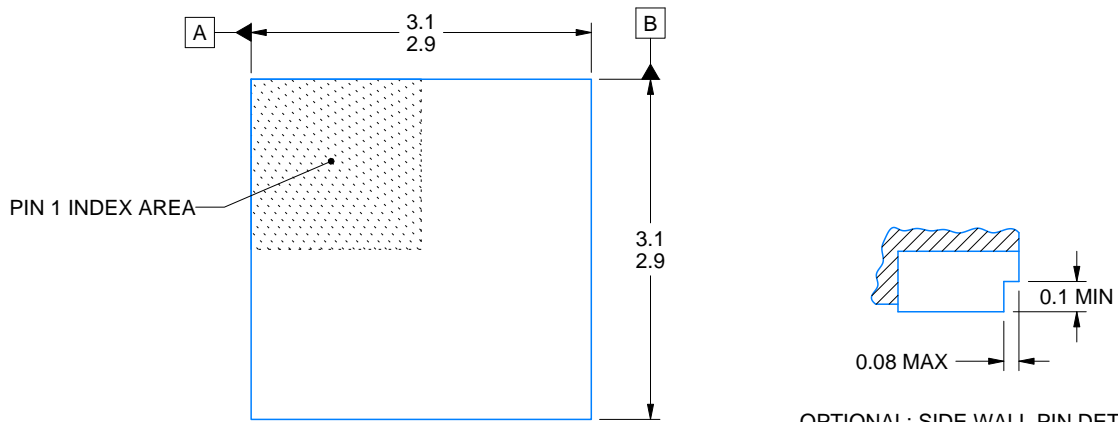
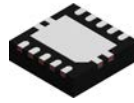
WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

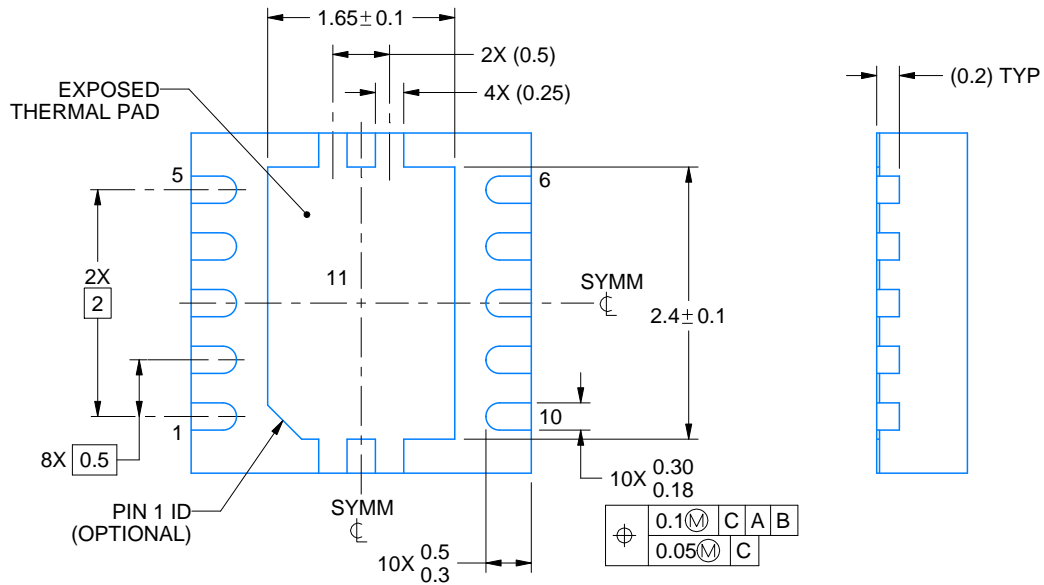
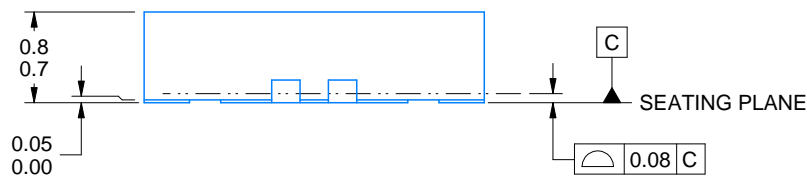


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4207383/F



OPTIONAL: SIDE WALL PIN DETAIL
NOTE 4



4221826/E 03/2026

NOTES:

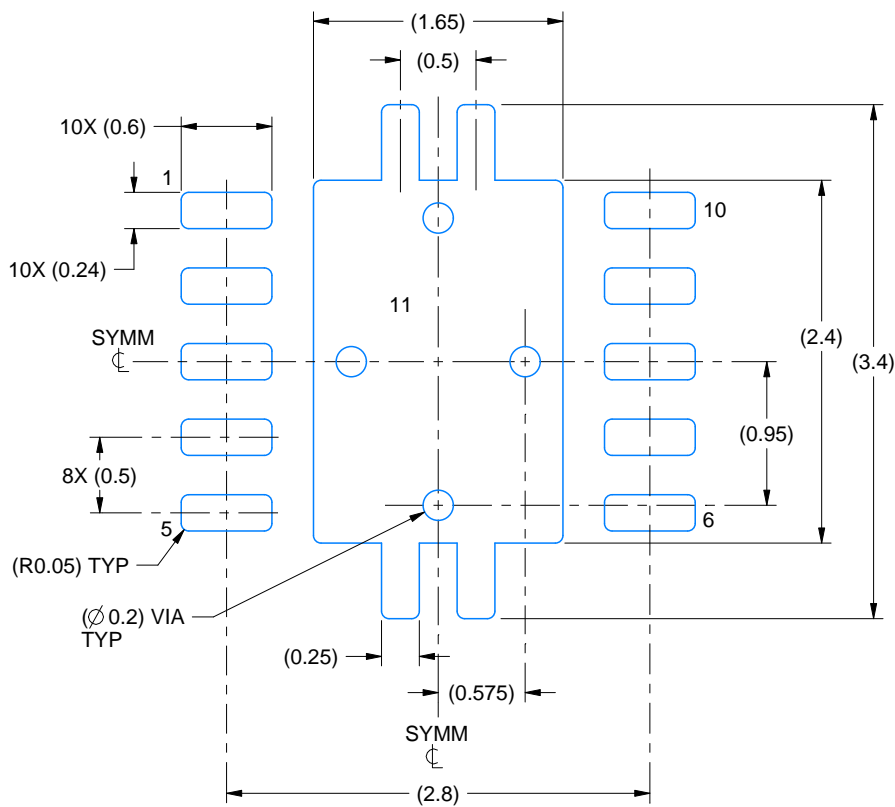
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.
4. Minimum 0.1 mm solder wetting on pin side wall. Available for wettable flank version only.

EXAMPLE BOARD LAYOUT

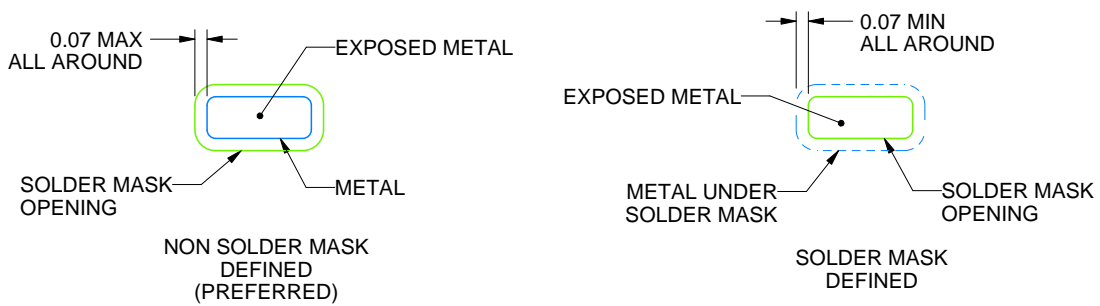
DSC0010J

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4221826/E 03/2026

NOTES: (continued)

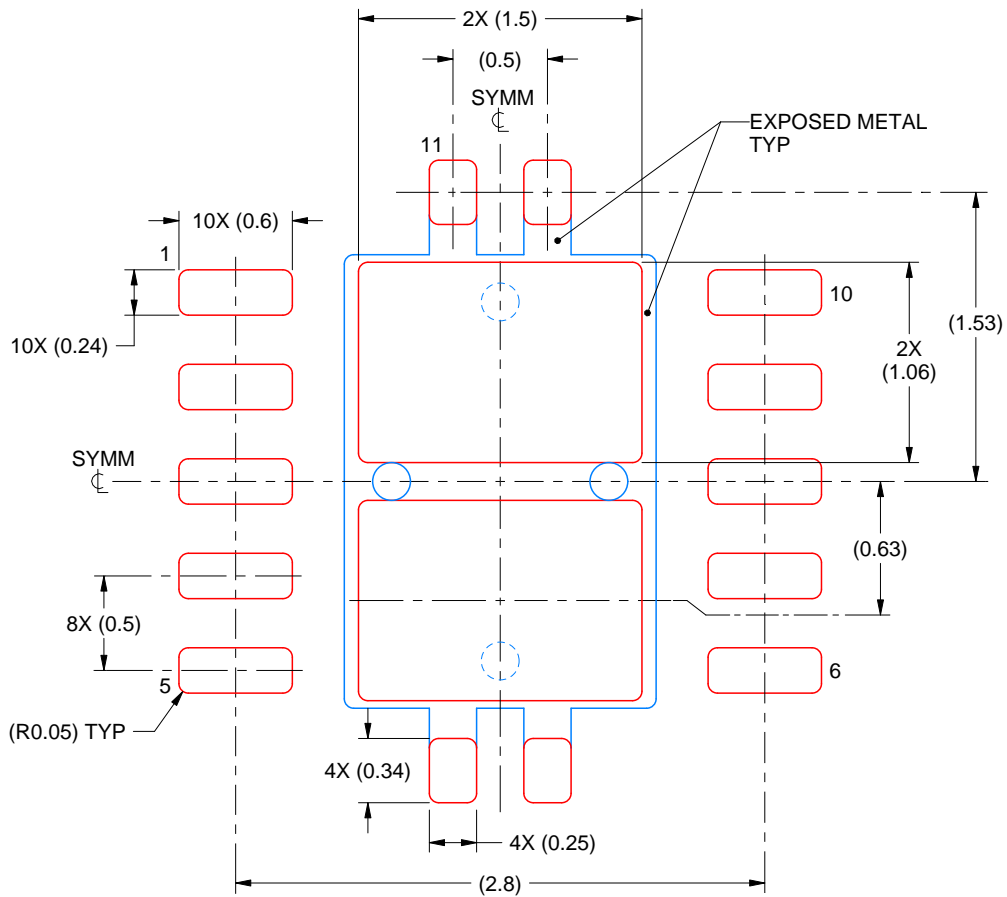
5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DSC0010J

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 11:
80% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4221826/E 03/2026

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月