TPS7H2201SP および TPS7H2201-SEP 放射線耐性を強化した 1.5V～7V、6A eFuse

1 特長

- 標準的なマイクロ回路 SMD 5962R17220 が利用可能
- VID (Vendor Item Drawing) V62/23608 が利用可能
- 耐放射線性能:
  - 放射線耐性保証 (RHA):TID 最大 100krad(Si)
  - シングル イベント ラッチアップ (SEL)、シングル イベント バーンアウト (SEB)、シングル イベント ゲート ラプチャー (SEGR) 耐性:LET = 75MeV-cm^2/mg
  - SEFI/SET 特性:
    LET = 75MeV-cm^2/mg
- シングル チャネル eFuse を内蔵
- 入力電圧範囲:1.5V ～ 7V
- 低いオン抵抗 (R_{ON}):
  - CFP および KGD の場合、25℃、VIN = 5V で最大 35mΩ
  - HTSSOP の場合、25℃、VIN = 5V で最大 23mΩ
- 最大連続スイッチ電流:6A
- 制御入力スレッショルドが低いため、1.2、1.8、2.5、3.3V ロジックを使用可能
- 立ち上がり時間を設定可能 (ソフト スタート)
- 逆電流保護
- プログラム可能な内部電流制限 (高速トリップ)
- プログラム可能なフォルト タイマ (電流制限および再試行モード)
- サーマル シャットダウン
- サーマル パッド付きのセラミックおよびプラスチック パッケージ

2 アプリケーション

- 人工衛星の電源管理および分配
- 放射線耐性を強化した電源ツリー アプリケーション
- 軍用温度範囲 (–55℃～125℃) を供給可能

3 説明

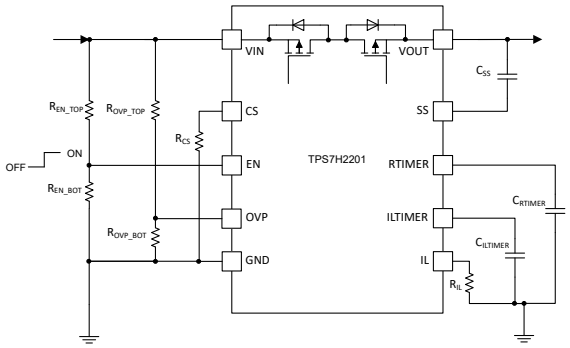
TPS7H2201 は、突入電流が最小になるように立ち上がり時間を設定でき、逆電流保護機能を備えたシングル チャネルの eFuse です。このデバイスは、1.5V～7V の入力電圧範囲で動作でき、最大 6A の連続電流をサポートできる P チャネル MOSFET を内蔵しています。このスイッチは、オン オフ入力 (EN) により制御され、低電圧の制御信号と直接接続可能です。

TPS7H2201 は、大きい電力消費が可能なサーマル パッドを備えたセラミックおよびプラスチック パッケージで供給されます。このデバイスは、-55℃～125℃の自由気流の周囲温度範囲で動作が
規定されています。

製品情報

部品番号(1)	グレード	パッケージ サイズ(4)
5962R1722001VXC	フライト グレード RHA 100krad(Si)	16 ピン CDFP 11.00 × 9.60mm 重量: 1.56g(3)
5962-1722001VXC	フライト グレード QMLV	
TPS7H2201HKR/EM	エンジニアリング サンプル (2)	
5962R1722002PYE	QMLP-RHA	32 ピン HTSSOP 6.10 × 11.00mm 重量:0.191g(3)
TPS7H2201MDAPTSEP	SEP	
TPS7H2201EVM-CVAL	セラミック評価ボード	EVM

(1) 詳細については、セクション 12 を参照してください。「デバイスのオプション」も参照してください。
(2) これらのユニットは、技術的な評価のみを目的としています。標準とは異なるフローにしたがって処理されています。これらのユニットは、認定、量産、放射線テスト、航空での使用には適していません。部品は、MIL に規定されている温度範囲全体 (-55℃～125℃) にわたる性能も動作寿命全体にわたる性能も保証されていません。
(3) 寸法と質量の値は公称値です。
(4) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 デバイスのオプション ... 3
5 ピン構成および機能 ... 4
6 仕様 ... 9
6.1 絶対最大定格 ... 9
6.2 ESD 定格 ... 9
6.3 推奨動作条件 ... 9
6.4 熱に関する情報 ... 10
6.5 電気的特性：すべてのデバイス ... 10
6.6 電気的特性：CFP および KGD オプション ... 12
6.7 電気的特性：HTSSOP オプション ... 13
6.8 スイッチング特性 (すべてのデバイス) ... 14
6.9 品質適合検査 ... 14
6.10 代表的特性 ... 15
7 パラメータ測定情報 ... 19
8 詳細説明 ... 21
8.1 概要 ... 21
8.2 機能ブロック図 ... 21
8.3 機能説明 ... 22
8.4 デバイスの機能モード ... 31
9 アプリケーションと実装 ... 32
9.1 アプリケーション情報 ... 32
9.2 代表的なアプリケーション ... 32
9.3 電源に関する推奨事項 ... 37
9.4 レイアウト ... 37
10 デバイスおよびドキュメントのサポート ... 38
10.1 ドキュメントのサポート ... 38
10.2 ドキュメントの更新通知を受け取る方法 ... 38
10.3 サポート・リソース ... 38
10.4 商標 ... 38
10.5 静電気放電に関する注意事項 ... 38
10.6 用語集 ... 38
11 改訂履歴 ... 39
12 メカニカル、パッケージ、および注文情報 ... 39

Copyright © 2025 Texas Instruments Incorporated

4 デバイスのオプション

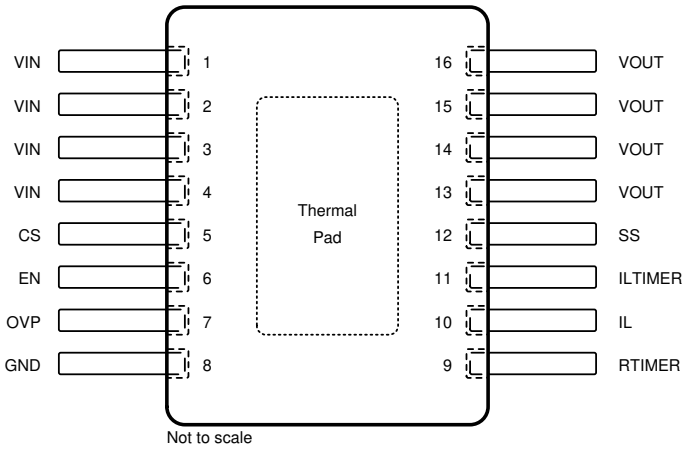
ジェネリック型番	放射線定格(1)	グレード (2)	パッケージ	発注用製品型番
TPS7H2201SP	100krad(Si) RLAT の TID、75MeV-cm^2/mg まで DSEE フリー	QMLV-RHA	16 ピン HKR CFP	5962R1722001VXC
		QMLP-RHA	32 ピン DAP HTSSOP	5962R1722002PYE
		KGD (QMLV-RHA)	ダイ	5962R1722001V9A
	なし	エンジニアリング モデル (3)	16 ピン HKR CFP	PTS7H2201HKR/EM
			ダイ	TPS7H2201Y/EM
TPS7H2201-SEP	50krad(Si) RLAT の TID、43MeV-cm^2/mg まで DSEE フリー	宇宙向けに強化されたプラスチック	32 ピン DAP HTSSOP	TPS7H2201MDAPTSEP

(1) TID は総電離線量、DSEE は破壊的シングル イベント効果です。詳細については、関連する TID レポートおよび各製品の SEE レポートを参照してください。
(2) 部品のグレードについて詳細は、SLYB235 をご覧ください。
(3) これらのユニットは、技術的な評価のみを目的としています。非準拠のフローで処理されています (バーンインがない、25℃でのテストしか行わないなど)。これらのユニットは、認定、量産、放射線テスト、航空での使用には適していません。部品は、温度または動作寿命全体にわたる性能を保証されていません。

Copyright © 2025 Texas Instruments Incorporated

5 ピン構成および機能

HKR パッケージ
サーマル パッド付き 16 ピン CFP
上面図



DAP パッケージ
サーマル パッド付き 32 ピン HTSSOP
上面図

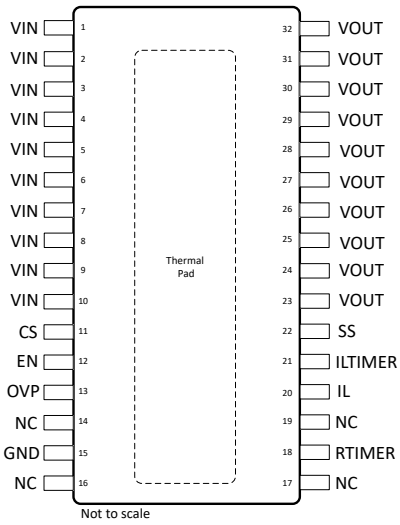


表 5-1. ピンの機能

ピン			タイプ (1)	説明
HKR (16) 番号	PW (32) 番号	名称		
1-4	1-10	VIN	I	スイッチ入力 V_{IN} の DIP を最小限に抑えるため、最小で 10µF の入力バイパス コンデンサが必要です。
5	11	CS	O	出力電流に比例する電流センス ピン抵抗を GND に接続します。未使用の場合は、フローティング状態にできます。直接 GND に接続しないでください。
6	12	EN	I	アクティブ High のスイッチ コントロール入力フローティングのままにしないでください。
7	13	OVP	I	過電圧保護。外部抵抗デバイダを使用してプログラムできます。OVP が不要な場合は、このピンを GND に接続する必要があります。
8	15	GND	—	デバイスのグランド。(2)
9	18	RTIMER	I/O	無効時や再試行モード時の、コンデンサによりプログラムされたフォルト タイマの制御。このピンを GND に接続すると、EN ピンがサイクルされるまでスイッチは無効に維持されます。このピンは、フローティング状態にすることも、VIN に接続することもしないでください。
10	20	IL	I/O	電流リミッタ制御。GND への外部抵抗によりプログラムできます。このピンをフローティングにしないでください。
11	21	ILTIMER	I	電流制限モード時の、コンデンサによりプログラムされたフォルト タイマの制御。このピンを VIN に接続すると、内部電流制限タイマが使用されます。このピンを GND に接続すると、ILTIMER の内部タイマ機能と再試行モードが無効になります。この場合、再試行モードに移行せずに短絡イベントが発生すると、デバイスはプログラムされた電流制限状態を無制限に維持します。このピンをフローティングにしないでください。
12	22	SS	I/O	スルー レート切り替え制御。詳細については、「*セクション 8.3.2*」セクションを参照してください。
13-16	23-32	VOUT	O	スイッチ出力最小で 10µF の出力コンデンサが必要です。
	14、16、17、19	NC	—	接続なし。このピンは内部接続されていません。電荷の蓄積を防ぐため、これらのピンを GND に接続します。ただし、これらのピンはオープンのままにすることも、GND と VIN の範囲の任意の電圧に接続することもできます。

Copyright © 2025 Texas Instruments Incorporated

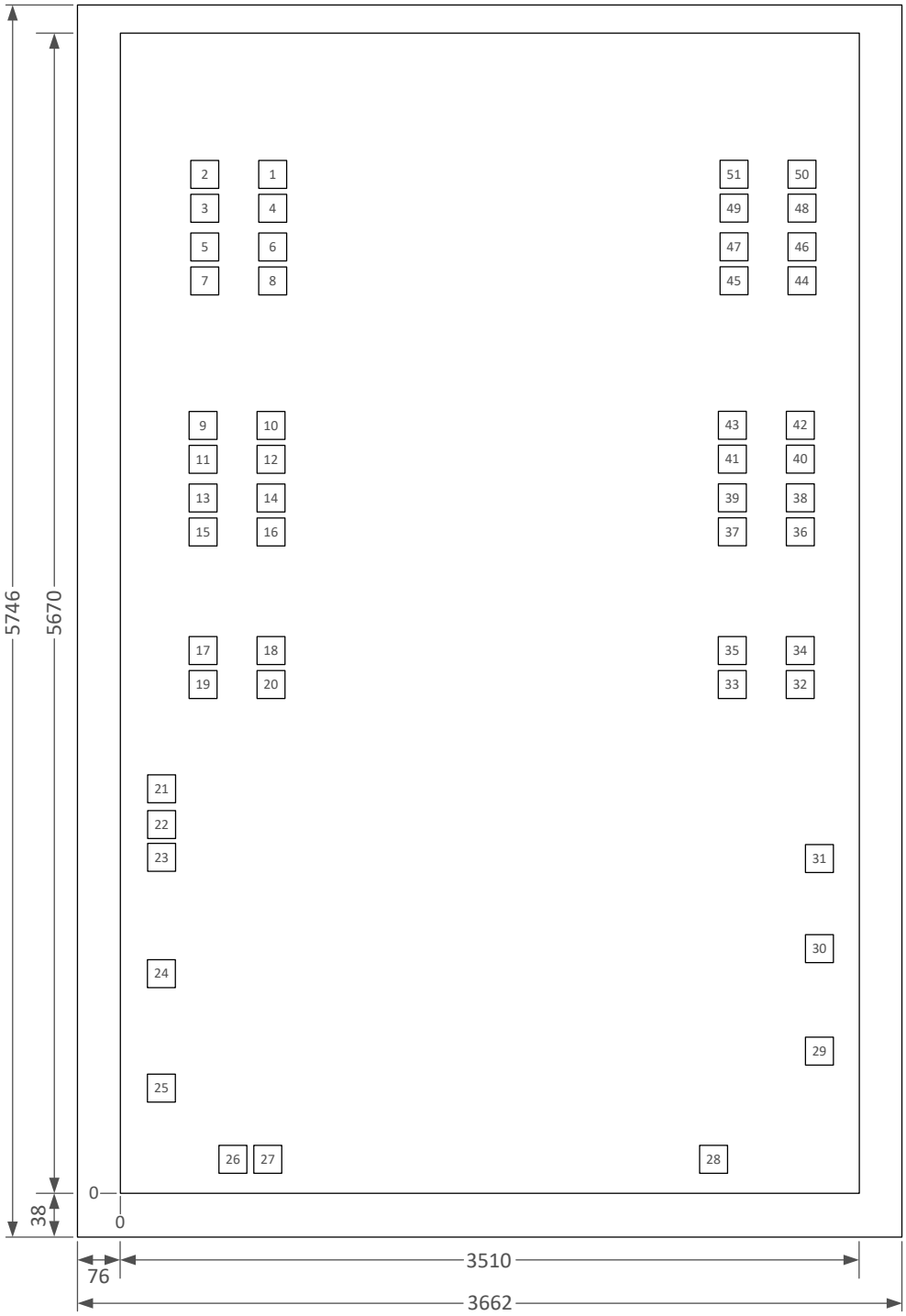
表 5-1. ピンの機能 (続き)

ピン			タイプ (1)	説明
HKR (16) 番号	PW (32) 番号	名称		
	—	サーマル パッド	—	放熱用のサーマル パッド (露出センター パッド)。サーマル パッドは、シール リングと GND に内部接続されています。

(1) I = 入力、O = 出力、I/O = 入力または出力、— = その他
(2) HKR オプションの場合、サーマル パッドはシール リングと GND に内部接続されています。

表 5-2. ベア ダイの情報

ダイの厚さ	裏面仕上げ	裏面電位	接着パッド メタライゼーション構造	ボンディングパッド厚さ
15mils	シリコン (バックグラインド加工)	グランド	ALCU	1050nm



1. すべての寸法はミクロン (µm) 単位です。
2. 内側の四角形はダイで、外側の四角形はダイとスクライブ ラインです。

Copyright © 2025 Texas Instruments Incorporated

表 5-3. ボンディング パッドの座標 (単位 µ)

説明	パッド番号	X 最小	Y 最小	X 最大	Y 最大
VIN	1	611.78	4976.1	751.73	5116.05
VIN	2	258.17	4976.1	398.12	5116.05
VIN	3	258.17	4809.15	398.12	4949.1
VIN	4	611.78	4809.15	751.73	4949.1
VIN	5	258.17	4641.39	398.12	4781.34
VIN	6	611.78	4641.39	751.73	4781.34
VIN	7	258.17	4473.59	398.12	4613.54
VIN	8	611.78	4473.59	751.73	4613.54
VIN	9	258.17	3647.7	398.12	3787.65
VIN	10	611.78	3647.7	751.73	3787.65
VIN	11	258.17	3480.75	398.12	3620.7
VIN	12	611.78	3480.75	751.73	3620.7
VIN	13	258.17	3312.99	398.12	3452.94
VIN	14	611.78	3312.99	751.73	3452.94
VIN	15	258.17	3145.19	398.12	3285.14
VIN	16	611.78	3145.19	751.73	3285.14
VIN	17	258.17	2315.57	398.12	2455.52
VIN	18	611.78	2315.57	751.73	2455.52
VIN	19	258.17	2146.37	398.12	2286.32
VIN	20	611.78	2146.37	751.73	2286.36
AVDD	21	54.99	1842.03	194.94	1981.98
AVDD	22	54.99	1671.48	194.94	1811.43
CS	23	54.99	1480.77	194.94	1620.72
EN	24	54.99	972.68	194.94	1112.63
OVP	25	54.99	406.26	194.94	546.21
GND	26	407.21	54.99	547.16	194.94
GND	27	577.76	54.99	717.71	194.94
RTIMER	28	2792.88	54.99	2932.83	194.94
IL	29	3315.06	587.43	3455.01	727.38
ILTIMER	30	3315.06	1099.26	3455.01	1239.21
SS	31	3315.06	1544.09	3455.01	1684.04
VOUT	32	3111.66	2146.37	3251.61	2286.32
VOUT	33	2758.05	2146.37	2898	2286.32
VOUT	34	3111.66	2315.57	3251.61	2455.52
VOUT	35	2758.05	2315.57	2898	2455.52
VOUT	36	3111.66	3145.19	3251.61	3285.14
VOUT	37	2758.05	3145.19	2898	3285.14
VOUT	38	3111.66	3312.99	3251.61	3452.94
VOUT	39	2758.05	3312.99	2898	3452.94
VOUT	40	3111.66	3480.75	3251.61	3620.7
VOUT	41	2758.05	3480.75	2898	3620.7
VOUT	42	3111.66	3647.7	3251.61	3787.65
VOUT	43	2758.05	3647.7	2898	3787.65
VOUT	44	3111.66	4473.59	3251.61	4613.54
VOUT	45	2758.05	4473.59	2898	4613.54

Copyright © 2025 Texas Instruments Incorporated

表 5-3. ボンディング パッドの座標 (単位 µ) (続き)

説明	パッド番号	X 最小	Y 最小	X 最大	Y 最大
VOUT	46	3111.66	4641.39	3251.61	4781.34
VOUT	47	2758.05	4641.39	2898	4781.34
VOUT	48	3111.66	4809.15	3251.61	4949.1
VOUT	49	2758.05	4809.15	2898	4949.1
VOUT	50	3111.66	4976.1	3251.61	5116.05
VOUT	51	2758.05	4976.1	2898	5116.05

Copyright © 2025 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1) (2)

		最小値	最大値	単位
VIN	入力電圧	-0.3	7.5	V
VOUT	出力電圧	-0.3	7.5	V
EN、OVP	有効化および過電圧保護ピン	-0.3	7.5	V
CS、ILTIMER、RTIMER、IL、SS	電流センス、電流制限タイマ、再試行タイマ、電流制限、ソフト スタート ピン	-0.3	VIN + 0.3	V
I_{MAX}	最大連続スイッチ電流		9	A
I_{PLS}	最大パルス スイッチ電流 (t≤5µs)		45	A
T_J	最大接合部温度	-55	150	°C
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限りません。またその結果、本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります
(2) すべての電圧値は、ネットワークのグランド ピンを基準としたものです。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±4000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22C101 に準拠(2)	±750	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。必要な予防措置をとれば、HBM の ESD 耐圧が 500V 未満でも製造可能です。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。必要な予防措置をとれば、CDM の ESD 耐圧が 250V 未満でも製造可能です。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
VIN	入力電圧	1.5	7	V
SR_{VIN}	入力電圧スルーレート		0.01	V/µs
VOUT	出力電圧	0	7 (1)	V
I_{MAX}	最大連続スイッチ電流		6	A
T_J	動作時接合部温度(2)	-55	125	°C

(1) この最大 VOUT 電圧は、デバイスが無効 (EN = Low) の場合のみ適用されます。デバイスが有効 (EN = High) の場合、最大 VOUT 電圧は入力電圧 VIN になります。
(2) 消費電力が高いアプリケーションとパッケージからの熱抵抗が低いアプリケーションでは、最大周囲温度のディレーティングが必要になる場合があります。最大周囲温度 [$T_{A(max)}$] は、最大動作接合部温度 [$T_{J(max)}$]、アプリケーションにおけるデバイスの最大消費電力 ($P_{D(max)}$)、およびアプリケーションにおける部品/パッケージの接合部－周囲間熱抵抗 (θ_{JA}) に依存し、これは以下の式で表されます: $T_{A\ (max)} = T_{J(max)} - (\theta_{JA} \times P_{D(max)})$

Copyright © 2025 Texas Instruments Incorporated

6.4 熱に関する情報

熱評価基準(1)		TPS7H2201-SP	TPS7H2201-SEP	単位
		HKR (CFP)	DAP (HTSSOP)	
		16 ピン	32 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	72.3	23.5	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	96.1	11.2	
$R_{\theta JB}$	接合部から基板への熱抵抗	42.1	5.4	
ψ_{JT}	接合部から上面への特性パラメータ	3.3	0.1	
ψ_{JB}	接合部から基板への特性パラメータ	42.5	5.4	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	0.6	0.5	

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.5 電気的特性：すべてのデバイス

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件		サブグループ (1)	最小値	標準値	最大値	単位
電源と電流								
VIN_{HUVLO}	内部 VIN UVLO 電圧、立ち上がり					1.32		V
VIN_{LUVLO}	内部 VIN UVLO 電圧、立ち下がり					1.23		V
$HYST_{VIN-UVLO}$	内部 VIN UVLO ヒステリシス					92		mV
I_Q	静止時電流	I_{OUT} = 0mA、V_{IN} = EN = 5V、20kΩ の CS 抵抗を GND に接続		1、2、3		2.4	6.5	mA
I_F	VIN から VOUT への順方向リーク電流	EN = VOUT = GND、測定された VOUT 電流	1.5V ≤ VIN ≤ 7V	1、2、3			250	μA
			VIN =1.5V	1、2、3		3.27		
			VIN = 1.8V	1、2、3		3.35		
			VIN = 3.3V	1、2、3		3.62		
			VIN = 5V	1、2、3		4.11		
			VIN = 7V	1、2、3		6.82		
I_{SD} VIN	VIN オフ状態での電源電流	EN = GND、I_{OUT} = 0mA、測定された VIN 電流	VIN = 5V	1、2、3		0.4	3	mA
			VIN = 3.3V	1、2、3		0.3	3	
			VIN = 1.8V	1、2、3		0.2	3	
			TID = 100krad の後、VIN = 1.8、3.3、5V	1			3.1	
I_{RCP}	逆電流保護リーク電流	EN = 0V、VIN = 0V ～ 7V、VOUT > VIN の場合 VOUT = 0V ～ 7V	SEP	1、2、3		0.45	2.5	mA
			QMLV、QMLP、KGD、TID 前	1、2、3				
			QMLV、QMLP、KGD、TID=100krad(Si) 後	1、2、3		0.45	20	
		EN = 7V、VIN = 0V、VOUT = 0V ～ 7V	SEP	1、2、3		0.45	2.5	
			QMLV、QMLP、KGD、TID 前	1、2、3				
			QMLV、QMLP、KGD、TID=100krad(Si) 後	1、2、3		0.45	20	

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性：すべてのデバイス (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件		サブグループ (1)	最小値	標準値	最大値	単位
ソフト スタート								
I_{SS}	ソフトスタート充電電流	SS ピンで 1V		1、2、3		65	83	µA
SR_{SS}	ソフト スタート スルー レート	SS ピンはフローティング、COUT = 10µF				295		mV/µs
有効および低電圧誤動作防止 (EN/UVLO) 入力								
V_{IHEN}	EN/UVLO スレッショルド電圧、立ち上がり			1、2、3	0.56	0.61	0.65	V
V_{ILEN}	EN/UVLO スレッショルド電圧、立ち下がり			1、2、3	0.47	0.51	0.55	V
$HYST_{EN}$	EN/UVLO ヒステリシス電圧			1、2、3		93	124	mV
t_{LOW}	サイクル中の EN 信号の Low 時間	RTIMER = GND、IL = 1A、I_{VOUT} = 2A	図 8-3 をご覧ください	9、10、11	20			µs
VIN_{EN}	有効時の VIN のパーセンテージ (2)			4、5、6	75%			
I_{EN}	EN ピン入力リーク電流	EN = VIN = 5V		1、2、3			12	nA
過電圧保護 (OVP)								
V_{OVPR}	OVPR スレッショルド電圧、立ち上がり			1、2、3	0.52	0.57	0.63	V
V_{OVPF}	OVPF スレッショルド電圧、立ち下がり			1、2、3	0.5	0.55	0.59	V
$HYST_{OVP}$	OVP ヒステリシス電圧	1.6V < VIN < 7V		1、2、3		20	55	mV
I_{OVP}	OVP ピン入力リーク電流			1、2、3			15	nA
電流制限および電流センス								
t_{CSEN}	有効化後の有効な CS 出力の時間	C_{SS} = 120nF		9、10、11			5	ms
有効な CS 出力の最小 VOUT 電流				1、2、3	750			mA
VOUT 電流変化から CS 変化までの遅延時間		0.5A の立ち上がりステップ、100mA/µs、1.5V ≤ VIN ≤ 7V		9、10、11		16	74	µs
VOUT 電流変化から CS 変化までの遅延時間		0.5A の立ち下がりステップ、100mA/µs、1.5V ≤ VIN ≤ 7V		9、10、11		16	73	µs
CS ピンの精度		0.75A ≤ I_{VOUT} ≤ 7.5A		4、5、6	-10%		10%	
CS ピン電圧		0.75A ≤ I_{VOUT} ≤ 7.5A、OCP なし		1、2、3			VIN - 0.4	V
電流制限の設定、I_{IL}		I_{VOUT} ≤ 1A		1、2、3	I_{VOUT} + 0.5			A
		1A < I_{VOUT} ≤ 3A		1、2、3	I_{VOUT} + 1			
		I_{VOUT} > 3A		1、2、3	I_{VOUT} + 1.5			
プログラマブルな電流制限精度		1.5V ≤ VIN ≤ 7V		4、5、6	-20%		20%	
高速トリップ オフ電流制限		VIN = 5V、10mΩ 短絡、10µs				22		A
タイマ								
$I_{ILTIMER}$	ILTIMER の充電電流			1、2、3	0.7	1	1.38	µA
$PD_{ILTIMER}$	ILTIMER 内部プルダウン抵抗	ILTIMER ピンで 40mV		1、2、3		38	153	Ω
I_{RTIMER}	RTIMER 充電電流			1、2、3	0.7	1	1.38	µA
PD_{RTIMER}	RTIMER 内部プルダウン抵抗	RTIMER ピンで 40mV		1、2、3		38	153	Ω
サーマル シャットダウン								
サーマル シャットダウン		VIN = 5V				175		°C
サーマル シャットダウン ヒステリシス		VIN = 5V				20		°C

(1) サブグループの定義については、「品質適合性検査」表を参照してください。
(2) VIN_{SR} > $VOUT_{SR}$ の場合のみ、VIN は、EN がアサートされる前の最終値の 75% 以上である必要があります。

Copyright © 2025 Texas Instruments Incorporated

6.6 電気的特性：CFP および KGD オプション

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件		サブグループ(1)	最小値	標準値	最大値	単位
電源と電流								
電流制限および電流センス								
高速トリップ オフのオフ時間 (2)		VIN = 5V、C_{SS} = 2.7nF		9、10、11		61	158	µs
内部電流制限タイマ (高速トリップ オフ電流制限) (2)		VIN = 5V、I_{VOUT} = 3A、IL = 6A、ILTIMER = VIN、10mΩ 短絡 (10µs)		9、10、11		15	35	
抵抗特性								
R_{ON}	オン状態抵抗、リード長 = 2.5mm	VIN = 7V、I_{IL} = 7.5A	-55°C	1、2、3			24	mΩ
			-40°C				26	
			25°C			31	34	
			85°C			37	40	
			125°C			41	45	
		VIN = 5V、I_{IL} = 7.5A	-55°C	1、2、3			26	
			-40°C				27	
			25°C			32	35	
			85°C			39	42	
			125°C			43	47	
		VIN = 3.3V、I_{IL} = 7.5A	-55°C	1、2、3			28	
			-40°C				30	
			25°C			35	38	
			85°C			42	46	
			125°C			47	52	
		VIN = 1.8V、I_{IL} = 7.5A	-55°C	1、2、3			36	
			-40°C				39	
			25°C			45	51	
			85°C			55	62	
			125°C			61	70	
		VIN = 1.5V、I_{IL} = 7.5A	-55°C	1、2、3			44	
			-40°C				48	
			25°C			52	63	
			85°C			63	77	
			125°C			70	87	

(1) サブグループの定義については、「品質適合性検査」表を参照してください。
(2) ベンチ検証済み。量産品ではテストしていません。

Copyright © 2025 Texas Instruments Incorporated

6.7 電気的特性：HTSSOP オプション

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件		サブグループ(1)	最小値	標準値	最大値	単位
電源と電流								
電流制限および電流センス								
高速トリップ オフのオフ時間		VIN = 5V、C_{SS} = 2.7nF		9、10、11		61		µs
内部電流制限タイマ (高速トリップ オフ電流制限)		VIN = 5V、I_{VOUT} = 3A、IL = 6A、ILTIMER = VIN、10mΩ 短絡 (10µs)		9、10、11		15		
抵抗特性								
R_{ON}	オン状態抵抗	VIN = 7V、I_{IL} = 7.5A	-55°C	1、2、3		15.9	17	mΩ
			-40°C			16.9		
			25°C			19.9	21	
			85°C			22.9		
			125°C			25	27	
		VIN = 5V、I_{IL} = 7.5A	-55°C	1、2、3		17	18	
			-40°C			18		
			25°C			21.4	23	
			85°C			24.8		
			125°C			27	29	
		VIN = 3.3V、I_{IL} = 7.5A	-55°C	1、2、3		19.2	21	
			-40°C			20.4		
			25°C			24.5	26	
			85°C			28.5		
			125°C			31.2	33	
		VIN = 1.8V、I_{IL} = 7.5A	-55°C	1、2、3		27.1	29	
			-40°C			28.7		
			25°C			34.9	37	
			85°C			41		
			125°C			44.9	48	
		VIN = 1.5V、I_{IL} = 7.5A	-55°C	1、2、3		33	36	
			-40°C			35		
			25°C			42.7	46	
			85°C			46.2		
			125°C			55	59	

(1) サブグループの定義については、「品質適合性検査」表を参照してください。

6.8 スイッチング特性 (すべてのデバイス)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
VIN = EN = 5V、T_A = 25°C (特に記述のない限り)						
t_{ON}	ターンオン時間	R_L = 10Ω、C_L = 10µF、C_{SS} = 1000pF		208		µs
t_{OFF}	ターンオフ時間	R_L = 10Ω、C_L = 10µF、C_{SS} = 1000pF		60		µs
t_F	VOUT の立ち下がり時間	R_L = 10Ω、C_L = 10µF、C_{SS} = 1000pF		90		µs
t_{ASSERT}	OVP アサート時間	R_L = 10Ω、C_L = 10µF、C_{SS} = 1000pF		4.5		µs
$t_{DEASSERT}$	OVP デアサート時間	R_L = 10Ω、C_L = 10µF、C_{SS} = 1000pF		9.6		µs
VIN = EN = 1.5V、T_A = 25°C (特に記述のない限り)						
t_{ON}	ターンオン時間	R_L = 10Ω、C_L = 10µF、C_{SS} = 1000pF		173		µs
t_{OFF}	ターンオフ時間	R_L = 10Ω、C_L = 10µF、C_{SS} = 1000pF		64		µs
t_F	VOUT の立ち下がり時間	R_L = 10Ω、C_L = 10µF、C_{SS} = 1000pF		70		µs
t_{ASSERT}	OVP アサート時間	R_L = 10Ω、C_L = 10µF、C_{SS} = 1000pF		2.65		µs
$t_{DEASSERT}$	OVP デアサート時間	R_L = 10Ω、C_L = 10µF、C_{SS} = 1000pF		6.56		µs

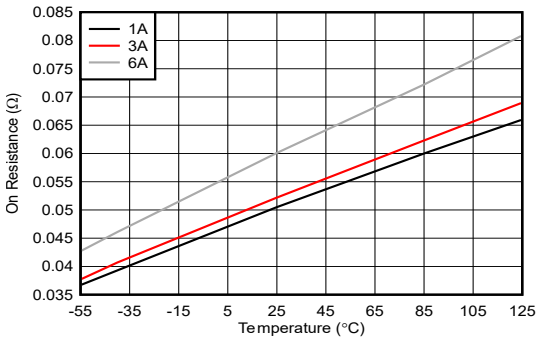
6.9 品質適合検査

MIL-STD-883、方法 5005 - グループ A

サブグループ	説明	温度 (°C)
1	静的テスト	25
2	静的テスト	125
3	静的テスト	-55
4	動的テスト	25
5	動的テスト	125
6	動的テスト	-55
7	機能テスト	25
8A	機能テスト	125
8B	機能テスト	-55
9	スイッチング テスト	25
10	スイッチング テスト	125
11	スイッチング テスト	-55

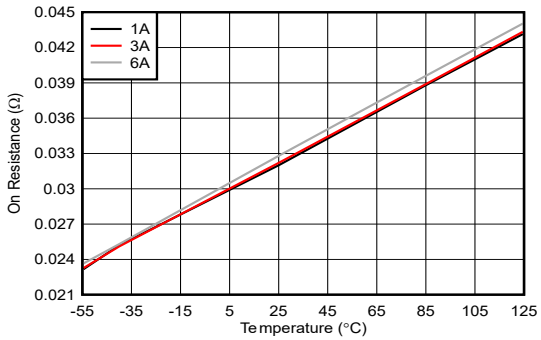
Copyright © 2025 Texas Instruments Incorporated

6.10 代表的特性



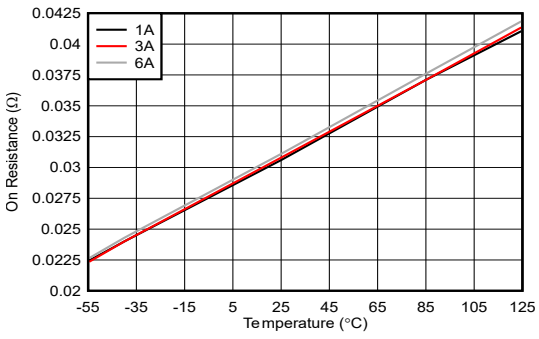
I_{IL} = 7.5A

図 6-1. VIN = 1.5V 時の CFP と KGD の負荷範囲全体でのオン抵抗と温度との関係



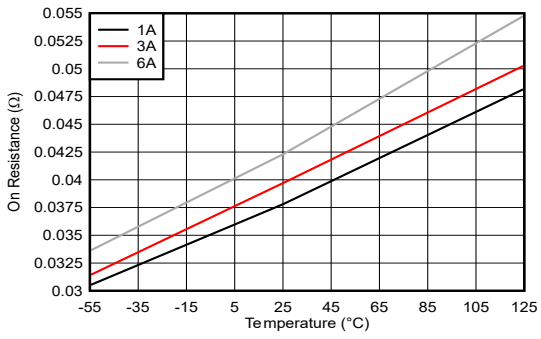
I_{IL} = 7.5A

図 6-2. VIN = 5V 時の CFP と KGD の負荷範囲全体でのオン抵抗と温度との関係



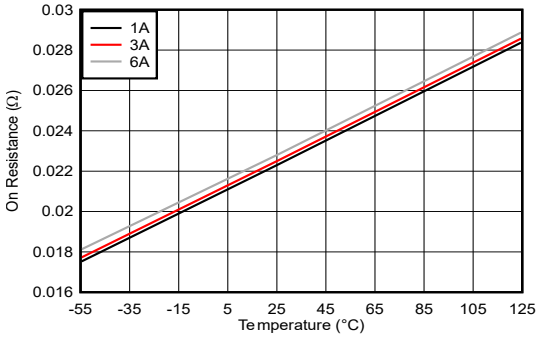
I_{IL} = 7.5A

図 6-3. VIN = 7V 時の CFP と KGD の負荷範囲全体でのオン抵抗と温度との関係



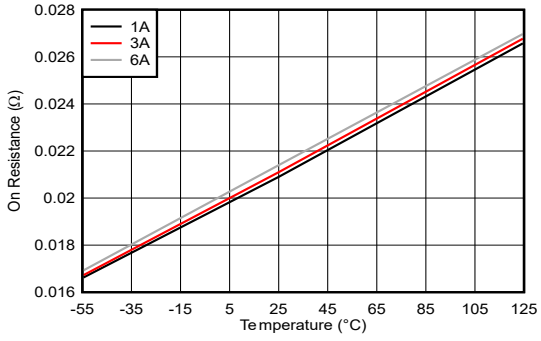
I_{IL} = 7.5A

図 6-4. VIN = 1.5V 時の HTSSOP の負荷範囲全体でのオン抵抗と温度との関係



I_{IL} = 7.5A

図 6-5. VIN = 5V 時の HTSSOP の負荷範囲全体でのオン抵抗と温度との関係



I_{IL} = 7.5A

図 6-6. VIN = 7V 時の HTSSOP の負荷範囲全体でのオン抵抗と温度との関係

Copyright © 2025 Texas Instruments Incorporated

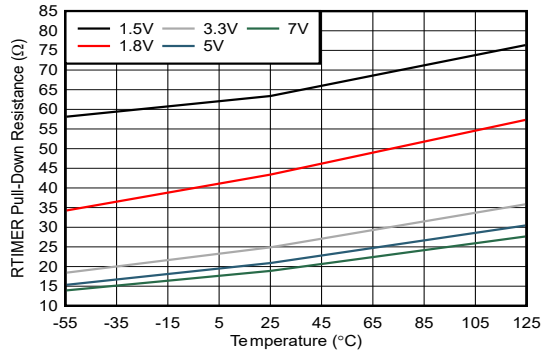


図 6-7. VIN 全体での RTIMER プルダウン抵抗と温度との関係

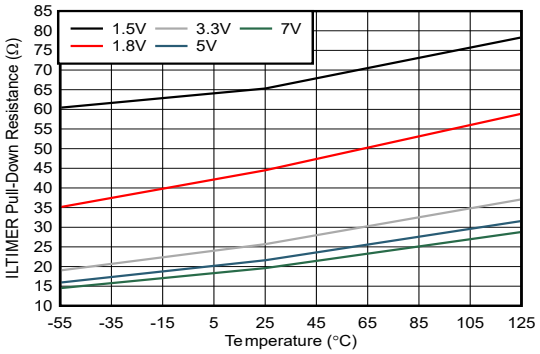


図 6-8. VIN 全体での ILTIMER プルダウン抵抗と温度との関係

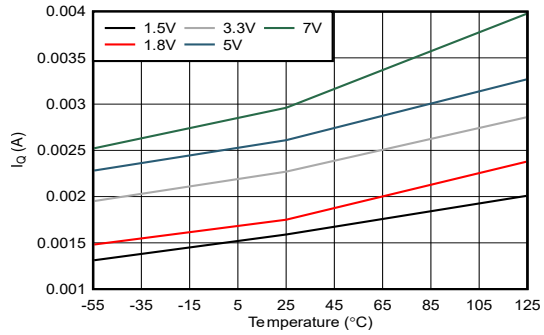


図 6-9. VIN 全体での I_Q と温度との関係

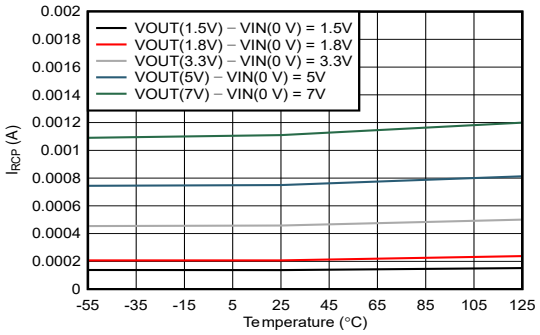


図 6-10. EN = 7V 時の I_{RCP} と温度との関係

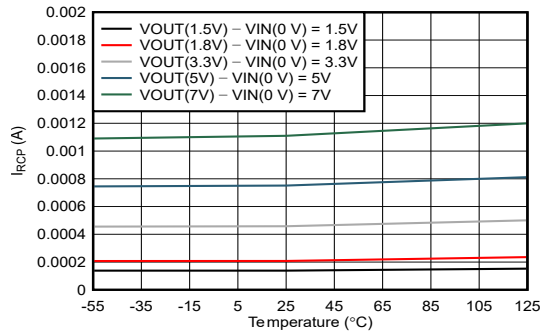


図 6-11. EN = GND 時の I_{RCP} と温度との関係

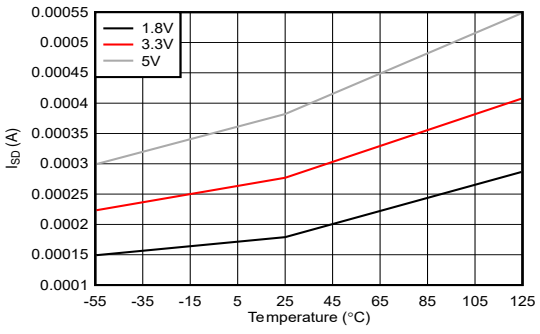


図 6-12. VIN 全体での I_{SD} VIN と温度との関係

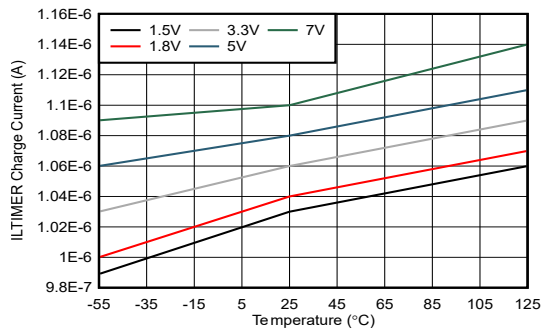


図 6-13. VIN 全体での ILTIMER 充電電流と温度との関係

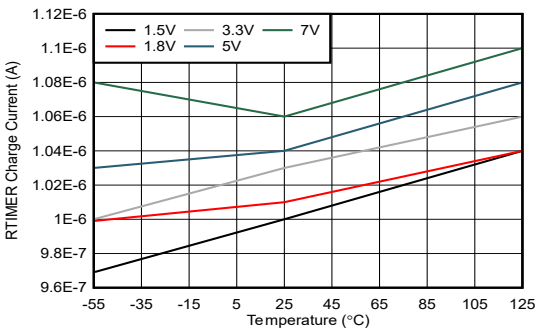


図 6-14. VIN 全体での RTIMER 充電電流と温度との関係

Copyright © 2025 Texas Instruments Incorporated

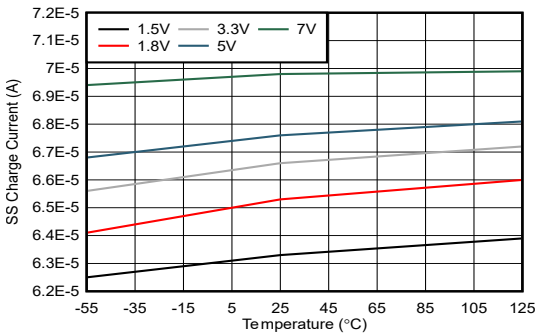
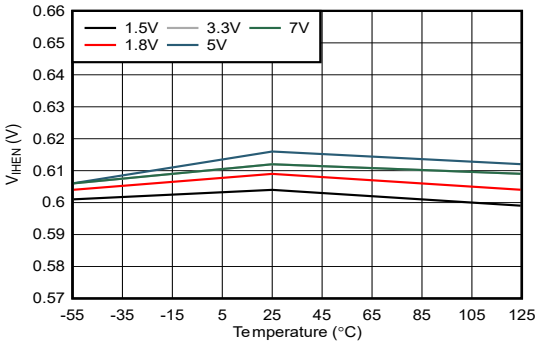
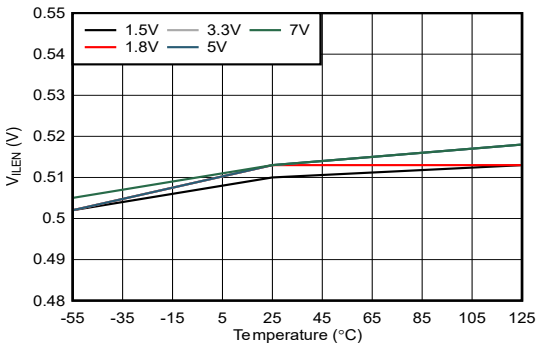


図 6-15. VIN 全体での SS 充電電流と温度との関係



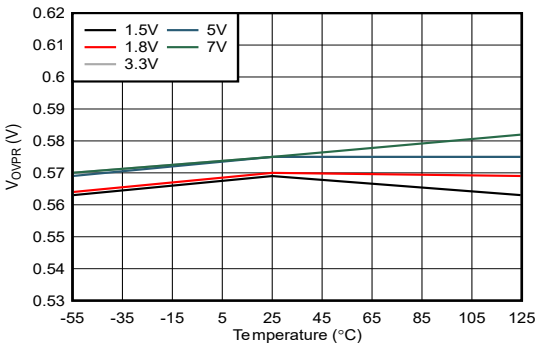
EN ピンで直接駆動

図 6-16. VIN 全体での V_{IHEN} と温度との関係



EN ピンで直接駆動

図 6-17. VIN 全体での V_{ILEN} と温度との関係

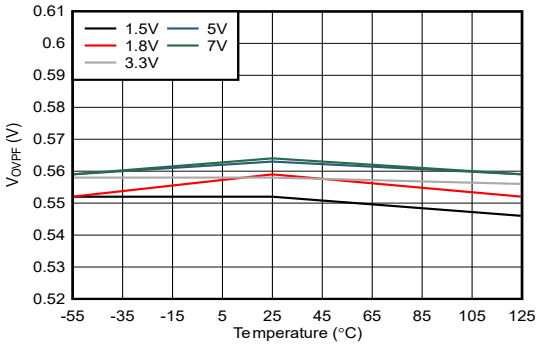


OVP ピンで直接駆動

3.3V での波形は 5V によって遮られていま

す

図 6-18. VIN 全体での V_{OVPR} と温度との関係



OVP ピンで直接駆動

図 6-19. VIN 全体での V_{OVPF} と温度との関係

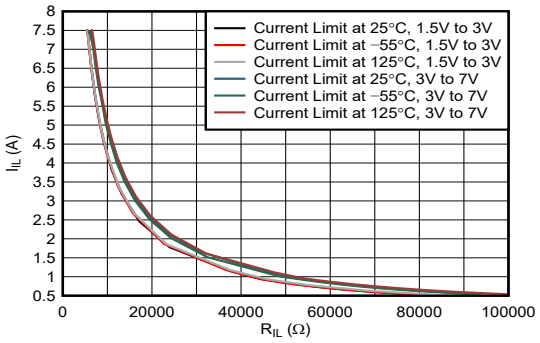


図 6-20. 温度範囲全体での I_{IL} と R_{IL} の関係

Copyright © 2025 Texas Instruments Incorporated

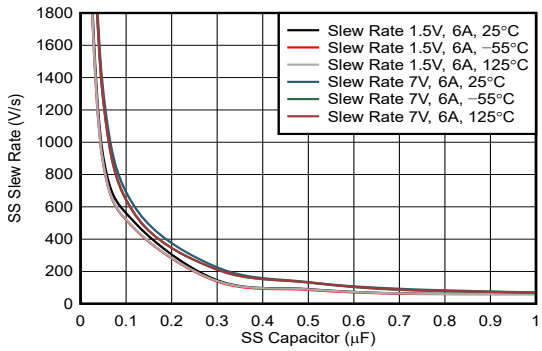


図 6-21. 温度範囲全体での SS スルー レートと SS コンデンサとの関係

Copyright © 2025 Texas Instruments Incorporated

7 パラメータ測定情報

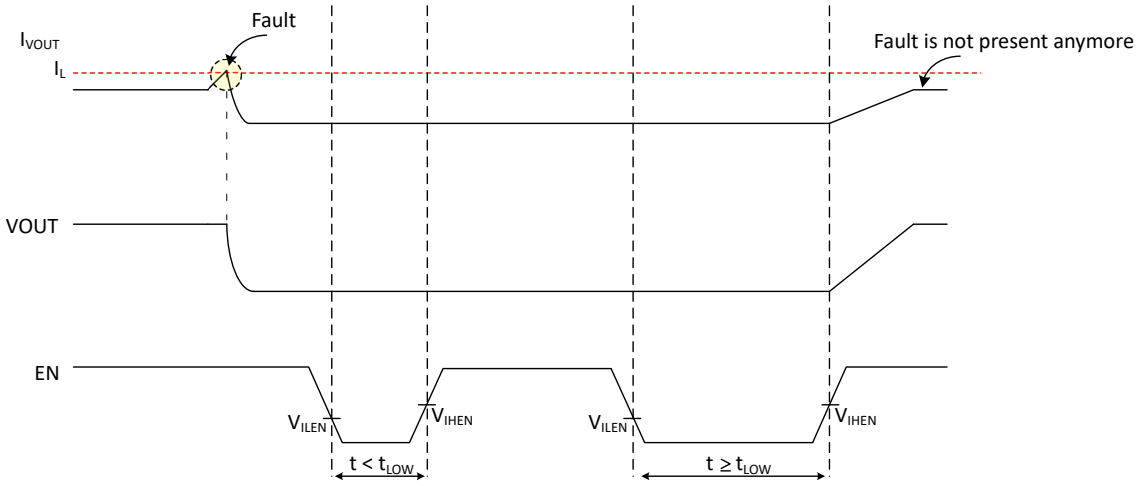


図 7-1. デバイス再起動までの EN 信号 Low 時間 (t_{LOW})

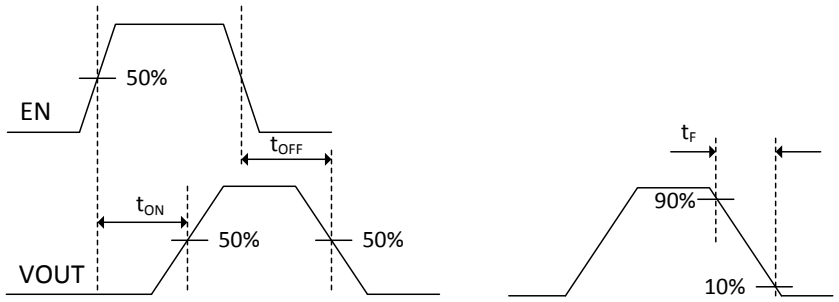


図 7-2. ターンオン (t_{ON})、ターンオフ (t_{OFF})、VOUT 立ち下がり時間 (t_F) の波形

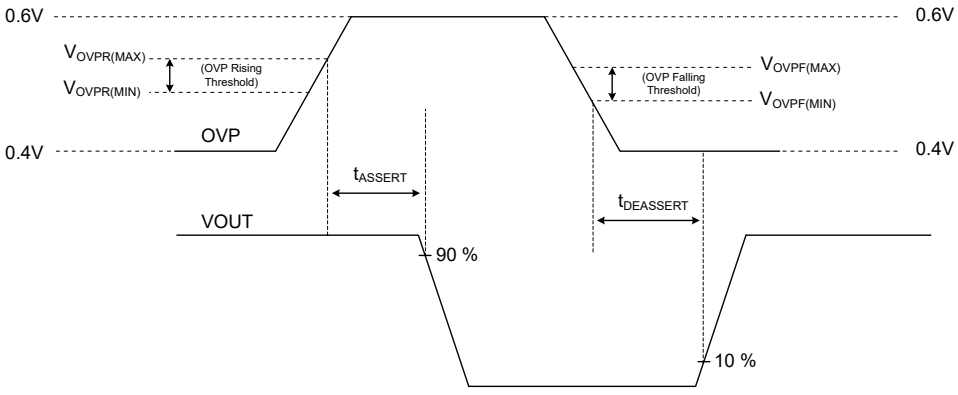


図 7-3. OVP アサート (t_{ASSERT}) および OVP デアサート ($t_{DEASSERT}$) の波形

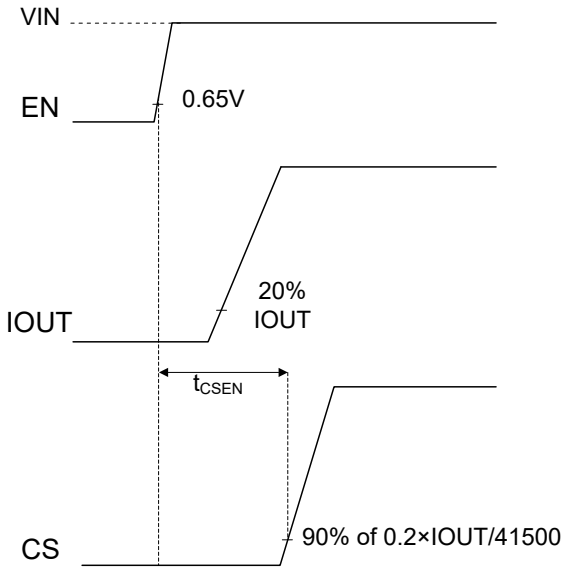


図 7-4. t_{CSEN} の波形

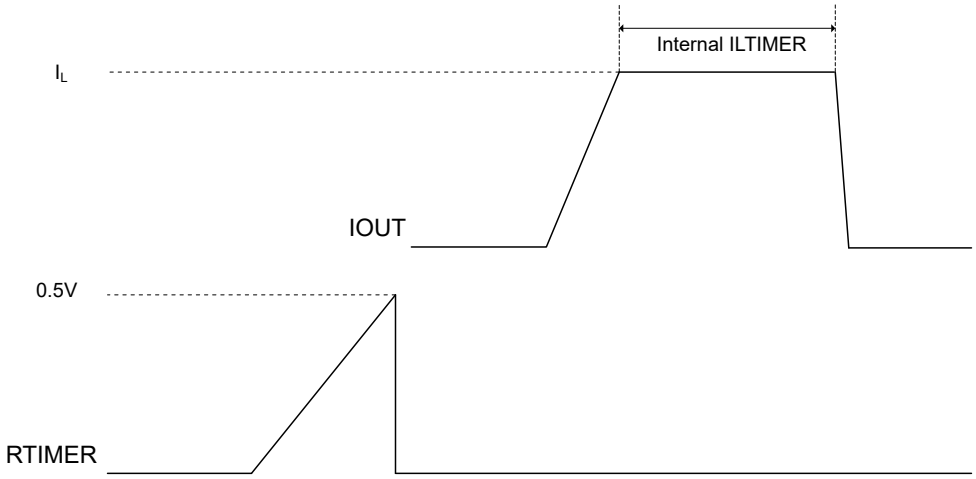


図 7-5. 内部 ILTIMER の波形

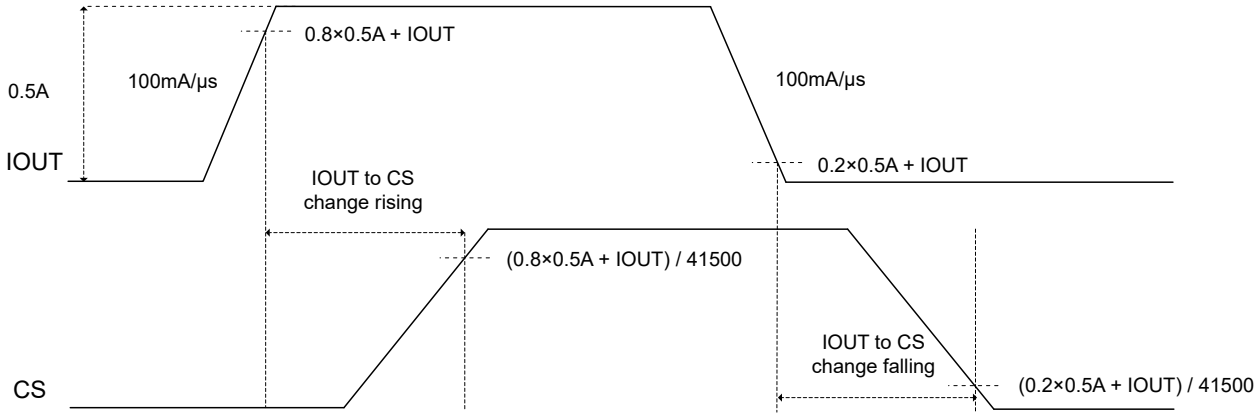


図 7-6. VOUT 電流から CS 変化までの遅延時間

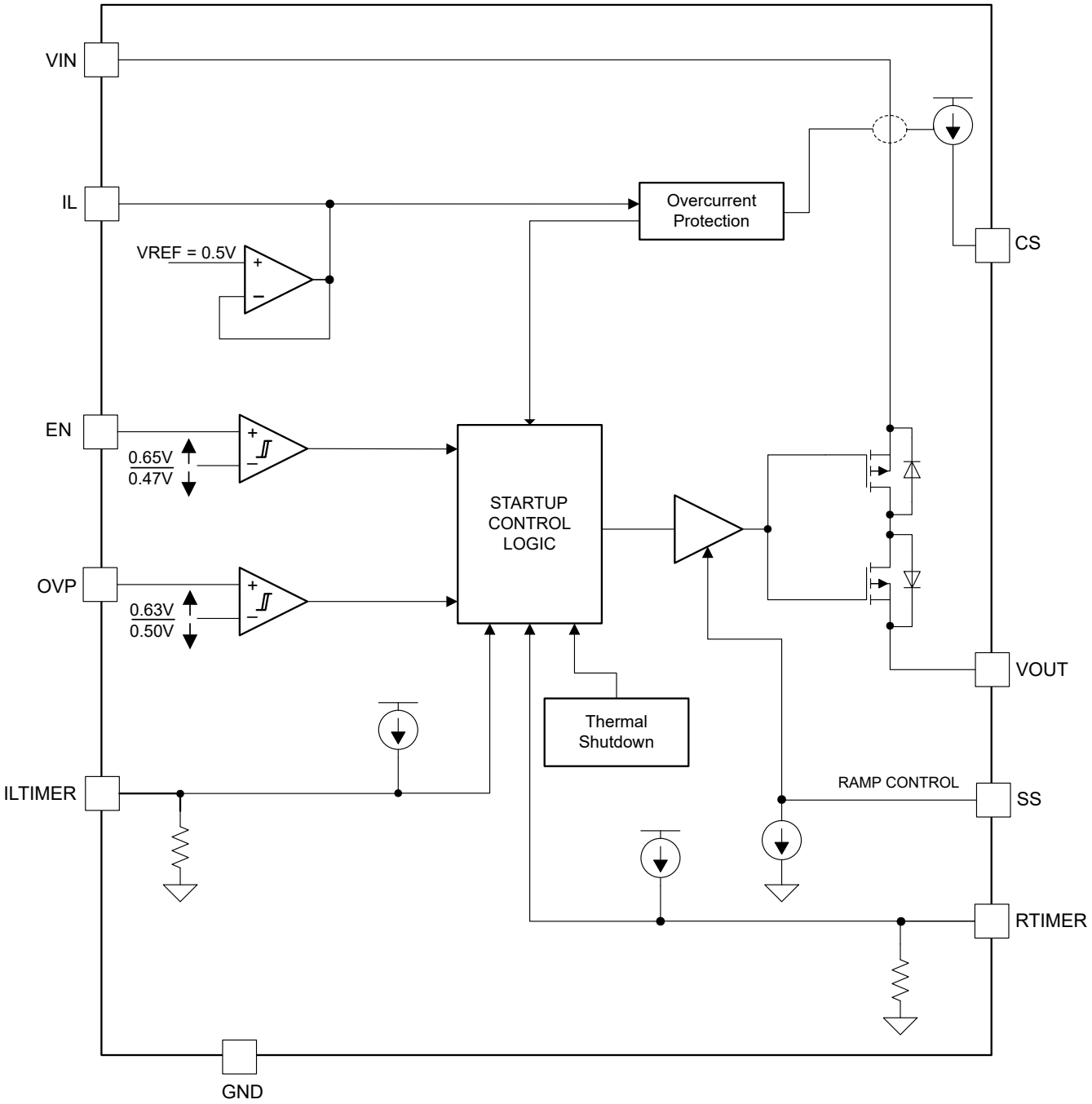
Copyright © 2025 Texas Instruments Incorporated

8 詳細説明

8.1 概要

TPS7H2201 デバイスはシングル チャネルの 6A eFuse です。特定の立ち上がり時間を必要とするアプリケーションのためのスルー レートや、保護目的の電流制限をプログラム可能です。また、TPS7H2201 は、電力分配アプリケーション向けに逆電流保護機能を備えています。

8.2 機能ブロック図



8.3 機能説明

8.3.1 有効化、低電圧、過電圧保護

図 8-1 に、VIN から EN および OVP ピンに接続された抵抗デバイダを使用して UVLO および OVP のトリップ電圧を設定する方法を示します。EN ピンは、内部 FET のオン / オフ状態を制御します。このピンの電圧が V_{IHEN} を超えると FET はオンになり、V_{ILEN} を下回ると FET はオフになります。VIN からの外部抵抗デバイダを追加すると、EN ピンは V_{IHEN} および V_{ILEN} の仕様に基づいて、異なるイネーブル立ち上がり電圧または低電圧モニタ (UVLO) を構成できます。通常、アプリケーションはイネーブル立ち上がり電圧と UVLO スレッショルドのいずれかを構成するように最適化されています。たとえば、式 1 を使用すると、R_{TOP_EN} = 100kΩ で固定する UVLO トリップ ポイントを計算できます。

EN ピンと同様に、デバイスの過電圧保護 (OVP) 機能は、OVP ピンに接続された VIN からの抵抗デバイダを使用して構成できます。OVP のトリップ電圧は、VIN の絶対最大電圧を下回る必要があります。OVP ピンの電圧が V_{OVPR} を超えると、OVP 機能がトリップされ、FET がオフになり、V_{OVPF} より低い電圧で FET がオンに維持されます。この機能が不要な場合は、OVP ピンをグランドに接続する必要があります。式 2 は、R_{TOP_OVP} = 100kΩ で固定する立ち上がり OVP トリップ ポイントの計算に使用できます。

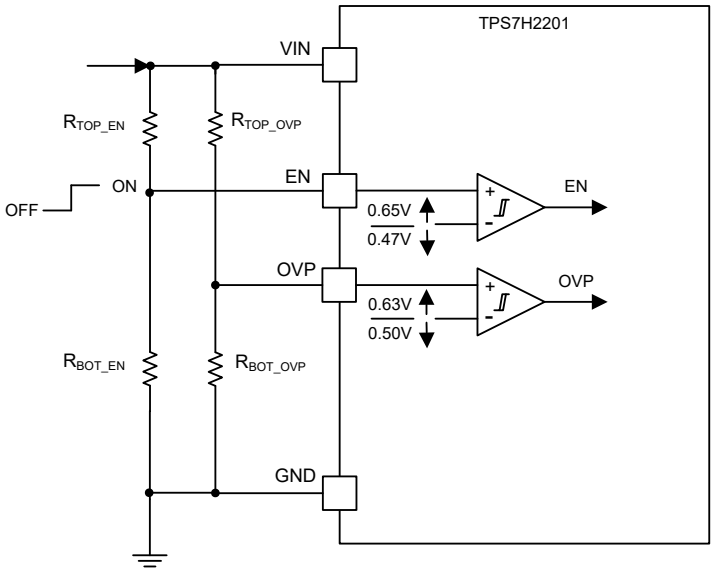


図 8-1. 抵抗デバイダで設定される UVLO および OVP スレッショルド

$$R_{BOT_EN}(k\Omega) \leq \frac{47}{V_{UV_{TRIP}}(V) - 0.47} \quad (1)$$

$$R_{BOT_OVP}(k\Omega) \leq \frac{63}{V_{OVP_{TRIP}}(V) - 0.63} \quad (2)$$

8.3.2 調整可能な立ち上がり時間

外部コンデンサ C_{SS}。VOUT と SS ピンの間に接続し、スルー レートを設定します。目的のスルー レート $VOUT_{SR}$ は、式 3 に示すように、t_r、立ち上がり時間 (秒)、ΔV、VOUT 電圧の変化 (ボルト単位) によって決定されます。

$$VOUT_{SR}(V/s) = \frac{\Delta V_{OUT}(V)}{t_r(s)} \quad (3)$$

プログラマブルな電流制限による誤トリップを防止するため、目的のスルー レートは、式 4 に示すように、$VOUT_{SR,MAX}$ を下回る必要があります。ここで、I_L はプログラムされた電流制限、I_{VOUT} はスイッチを流れる通常動作電流、C_{OUT} は出力コンデンサです。

Copyright © 2025 Texas Instruments Incorporated

$$VOUT_{SR,\,MAX}(V/s) < \frac{0.8 \times I_L - 0.95 \times I_{VOUT}(A)}{C_{OUT}(F)} \quad (4)$$

スルー レートを計算し 式 4 の制約を満たすと、次に 式 5 を使用して、VIN < 3V および IOUT ≥ 3A アプリケーションの C_{SS} コンデンサを計算します。その他のすべてのアプリケーションでは 式 6 を使用します。

VIN < 3V および IOUT ≥ 3A の場合:

$$C_{SS}(\mu F) = \frac{45}{VOUT_{SR}(V/s)} \quad (5)$$

その他のすべての条件について:

$$C_{SS}(\mu F) = \frac{I_{SS}}{VOUT_{SR}(V/s)} \quad (6)$$

ここで

- I_{SS} = 65

8.3.3 プログラマブルな電流制限

IL ピンと GND との間に接続される外部抵抗を使用して、電流制限をプログラムできます。このプログラムされた電流制限 (精度 ±20%) は、デバイスに流れる連続電流を意味しているため、最大電流定格 (6A) で動作した場合、プログラムされる電流制限を 20% 高く設定する必要があります。図 8-3 に示すように、プログラマブルな電流制限により、ソフト短絡から保護されます。電流制限の抵抗値については、VIN ≤ 3V の場合、式 7 を使用して R_{IL} (Ω) を計算します。また、VIN > 3V の場合は 式 8 を使用して計算します。ここで、I_L はプログラムされる電流制限値 (アンペア) です。

VIN ≤ 3V の場合:

$$R_{IL}(\Omega) = \frac{45500}{I_L(A)} \quad (7)$$

VIN > 3V の場合:

$$R_{IL}(\Omega) = \frac{49000}{I_L(A)} \quad (8)$$

このプログラマブルな電流制限機能は、高速トリップ モード中にアクティブになる内部電流制限とは異なります (図 8-4 を参照)。この場合の電流制限イベントはハード短絡として定義されており、この電流制限 (通常 22A) はプログラムできません。

8.3.4 プログラマブル フォルト タイマ

TPS7H2201SP には 2 つのプログラマブル フォルト タイマ (*電流制限タイマ*) と、ILTIMER ピンおよび RTIMER ピンでそれぞれ制御される *再試行タイマ* が搭載されています。

電流制限タイマ は、過電流イベント発生時にデバイスの電流制限モードを維持する時間を制御します。本デバイスは、フォルトが解消されるか、プログラマブルな電流制限フォルト時間 $t_{ILTIMER}$ が経過するまで電流制限モードを維持します。$t_{ILTIMER}$ は、ILTIMER から GND に接続されたコンデンサ $C_{ILTIMER}$ を使用してプログラムされます。この値は 式 9 を使用して計算できます。ILTIMER ピンは、過負荷状態でコンデンサを 0.5V まで充電します。過負荷がない場合、内部プルダウン抵抗を通じてコンデンサを放電します。このピンを GND に接続すると、内部タイマ機能は完全に無効化されます。したがって、短絡が発生した場合、デバイスはプログラムされた電流制限を無制限に維持します。このピンを VIN に接続すると、図 7-5 に示すように、内部電流制限タイマの満了時にデバイスが無効になります。内部タイマを使用する場合、プログラマブルな電流制限では、プログラム値で安定するまでの時間が確保されるとは限りません。このため、プログラマブルな電流制限が、定義された精度スレッショルドを一時的に超えることがあります。高速トリップ オフ電流制限は有効のままです。表 8-1 に、ピンの状態に基づく電流制限フォルト期間の概要を示します。

Copyright © 2025 Texas Instruments Incorporated

*再試行タイマ*は、電流制限タイマが満了した後にデバイスが無効 (スイッチがオフ) に維持される時間を制御します。プログラマブルな再試行時間 t_{RTIMER} が満了するまで、デバイスは無効のままになります。t_{RTIMER} が経過すると、デバイスは再起動を試行します。t_{RTIMER} は、RTIMER から GND に接続されたコンデンサ C_{RTIMER} を使用してプログラムされます。これは 式 9 を使用して計算できます。RTIMER ピンは、スイッチがオフになった後でコンデンサを 0.5V まで充電します。オンの場合はコンデンサを放電します。このピンを GND に接続すると、デバイスは無効の状態を維持します。デバイスを有効にするには、EN ピンをサイクルする必要があります (デバイス再起動までの EN 信号 Low 時間 (t_{LOW}) を参照)。表 8-2 に、ピンの条件に基づく再試行時間を示します。

$$t(\mu s) = \frac{C(pF)}{2} \tag{9}$$

プログラマブル フォルト タイマ、ILTIMER および RTIMER は、適切な動作を確保するため、1 つのタイマのコンデンサが、もう 1 つのタイマの満了前に放電されるように設定する必要があります。図 8-2 に、RTIMER が ILTIMER よりもはるかに大きいため、この制約が満たされていない状況を示します。この場合 C_{RTIMER} は、$C_{ILTIMER}$ が 0.5V に達し、ILTIMER が満了する前に放電されません。この状況を回避するには、式 10 に示す制約を満たす必要があります。この式を使用して、タイマ用のコンデンサを選択すると (式 10 の C_1)、2 番目のタイマのコンデンサに対する最大値を決定できます。内部 ILTIMER を使用する特定のケースでは、フォルトが引き続き発生していると仮定して、内部 ILTIMER の満了前にコンデンサが放電されるように、RTIMER コンデンサの容量を決定する必要があります。各タイマの内部プルダウン抵抗については、「*電気的特性：すべてのデバイス*」の表を参照してください。図 8-2 に示す状況では、式 10 の C_1 と R_{PD1} は RTIMER に対応しています。

$$C_1(\mu F) < \frac{C_2(pF)}{8 \times R_{PD1}(\Omega)} \tag{10}$$

表 8-1. ILTIMER ピンの状態のフォルト時間

ILTIMER ピンの状態	過負荷時のフォルト時間
VIN (内部タイマ)	(標準値) 15µs、(最大値) 35µs
GND (無効)	無制限
コンデンサから GND へ ($C_{ILTIMER}$) (プログラム済)	式 9
浮動	無効 (ピンをフロートにしない)

表 8-2. 過負荷状態での再試行時間 (RTIMER ピンの状態)

RTIMER ピンの状態	過負荷時の再試行時間
GND (無効)	EN が $t > t_{LOW}$ (20µs) の間 Low になるまで無効 (スイッチがオフ)
コンデンサから GND へ (C_{RTIMER}) (プログラム済)	式 9
浮動	無効 (ピンをフロートにしない)

Copyright © 2025 Texas Instruments Incorporated

各種のフォルト タイプとフォルト タイマ構成の例を以下の図に示します。

- 図 8-2:プログラマブル フォルト タイマのコンデンサの制限
- 図 8-3:電流制限タイマと再試行タイマを使用した単一のソフト短絡イベント。
- 図 8-4:電流制限タイマと再試行タイマを使用した単一のハード短絡イベント。
- 図 8-5:内部電流制限タイマを使用したハード短絡イベントと、再試行タイマの無効化。

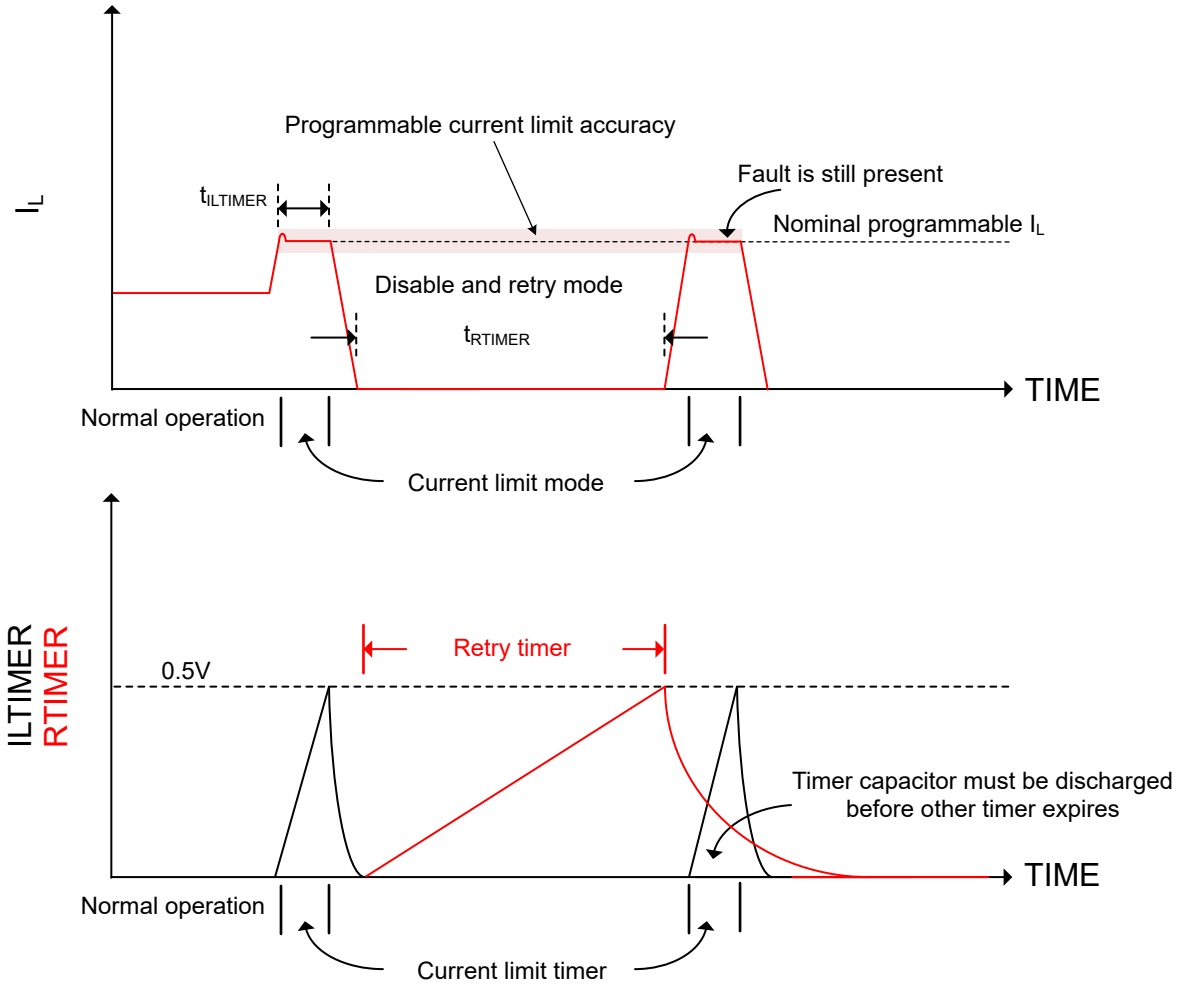


図 8-2. プログラマブル フォルト タイマのコンデンサの制限

ソフト短絡 (プログラマブルな電流制限到達に応答する短絡) に対する ILTIMER および RTIMER ピンの動作を 図 8-3 に示します。この図では、スイッチが無効になり、再び有効になった後 (再試行モード) フォルトが発生していないと想定されています。再試行モードの後にフォルトが発生している場合、本デバイスは電流制限モードに移行し、フォルトが解消されるまでこのサイクルを繰り返します。

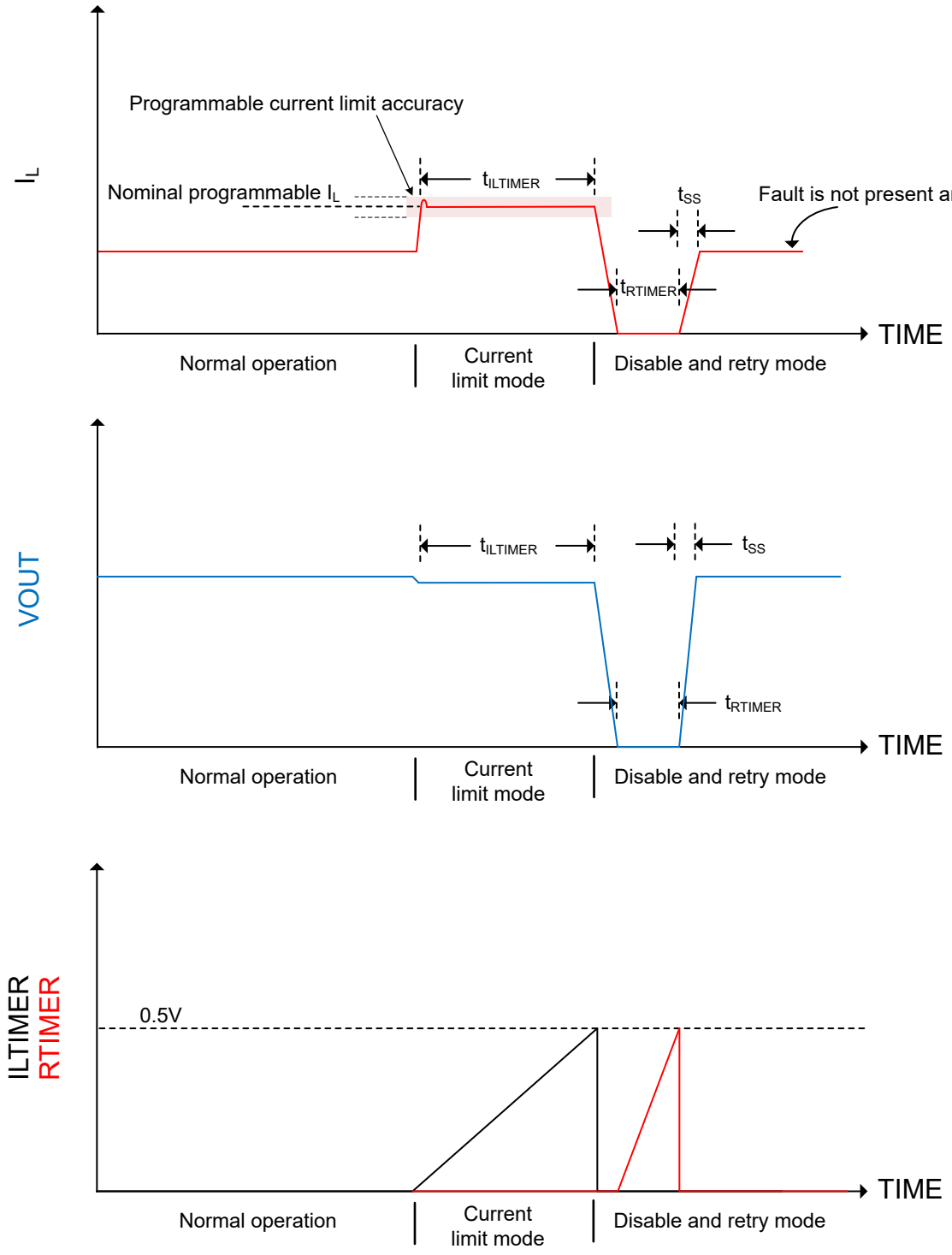


図 8-3. コンデンサを ILTIMER および RTIMER ピンに接続する、ソフト短絡のプログラマブル フォルト タイマの動作

Copyright © 2025 Texas Instruments Incorporated

ILTIMER および RTIMER ピンのハード短絡の動作 (プログラマブルな電流制限が応答する前に高速電流制限が応答する動作) を 図 8-4 に示します。この図では、スイッチが無効になり、再び有効になった後 (再試行モード) フォルトが発生していないと想定されています。再試行モードの後にフォルトが発生している場合、本デバイスは電流制限モードに移行し、フォルトが解消されるまでこのサイクルを繰り返します。

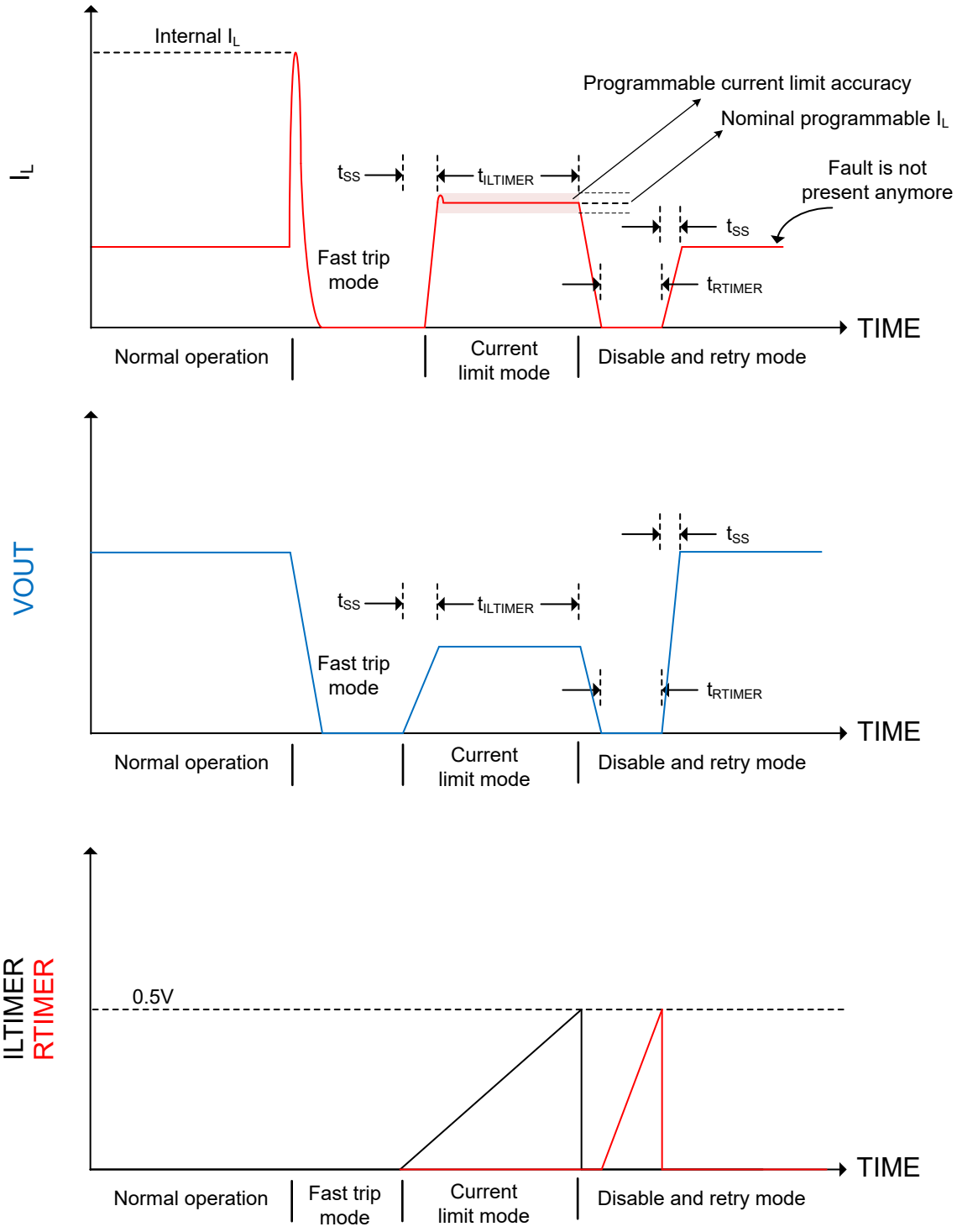


図 8-4. コンデンサを ILTIMER および RTIMER ピンに接続する、ハード短絡のプログラマブル フォルト タイマの動作

再試行モード無効時の内部タイマ条件における ILTIMER および RTIMER ピンの動作を 図 8-5 に示します。

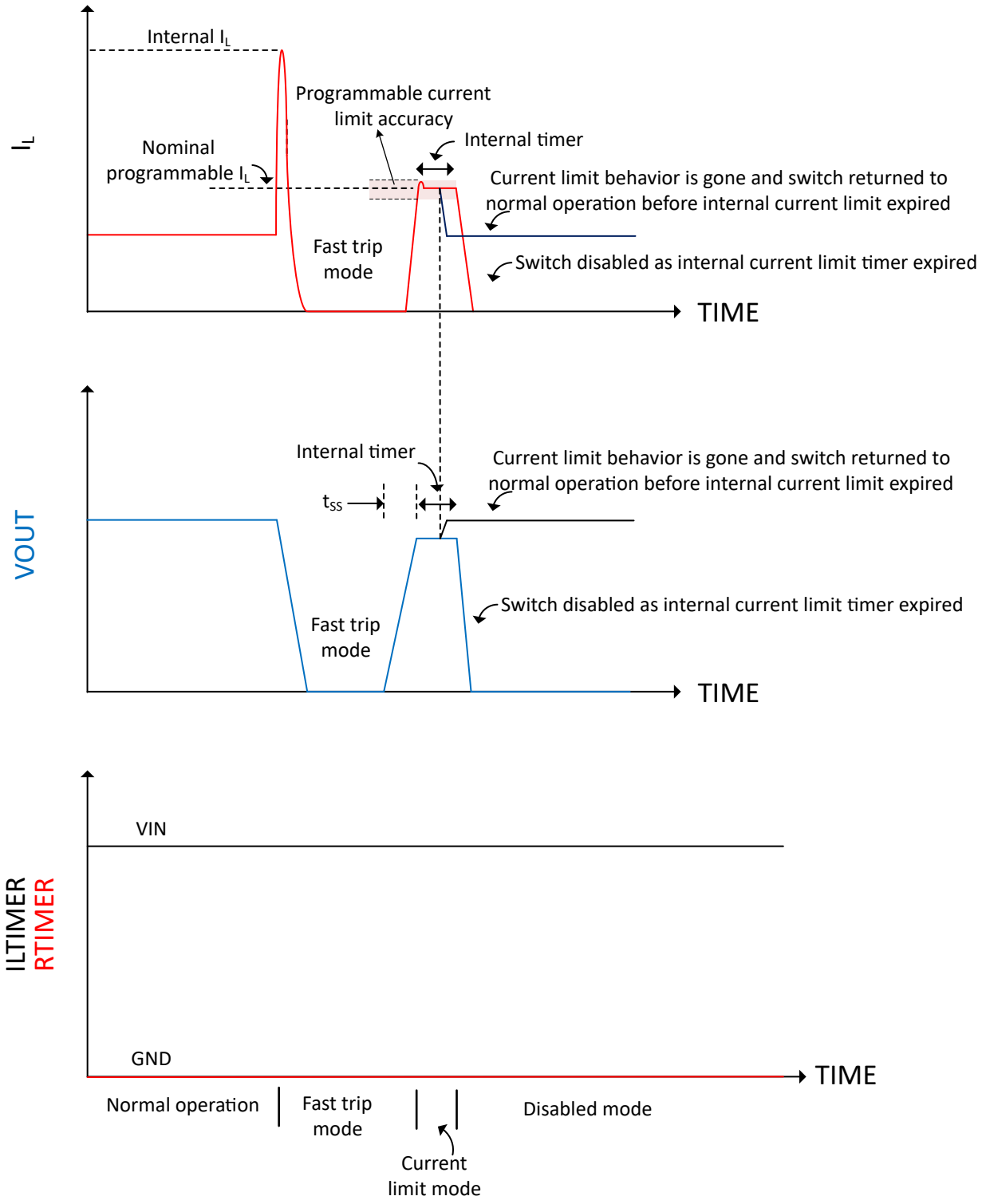


図 8-5. 内部電流制限タイマを使用したプログラマブル フォルト タイマの動作と再試行モードの無効化

Copyright © 2025 Texas Instruments Incorporated

8.3.5 電流センス

このピンは、電流検出アプリケーション向けに、スイッチの出力電流に比例した電流を出力します。この電流は、電流センシング用に、GND への抵抗で電圧に変換されます。出力電流は、スイッチ電流を 41,500 で除算した値です。CS ピンの出力は、デバイスが有効になってから 5ms 後に有効になります。線形領域で電流検出を動作させるには、アプリケーションの最大負荷における CS ピンの電圧が、CS ピンの電圧仕様 (VIN - 400mV) を超えないようにする必要があります。

8.3.6 並列動作

TPS7H2201 は、電流能力を最大 12A に高めるか、オン状態抵抗を低減するため、並列動作に構成できます。この場合すべてのピンは、図 8-6 に示すように共有されます。ただし、内部電流制限ループを適切に動作させるための電流制限抵抗 (R_{IL}) は除きます。電流制限抵抗は、「*プログラマブルな電流制限*」セクションで説明されているように、容量を決定する必要があります。

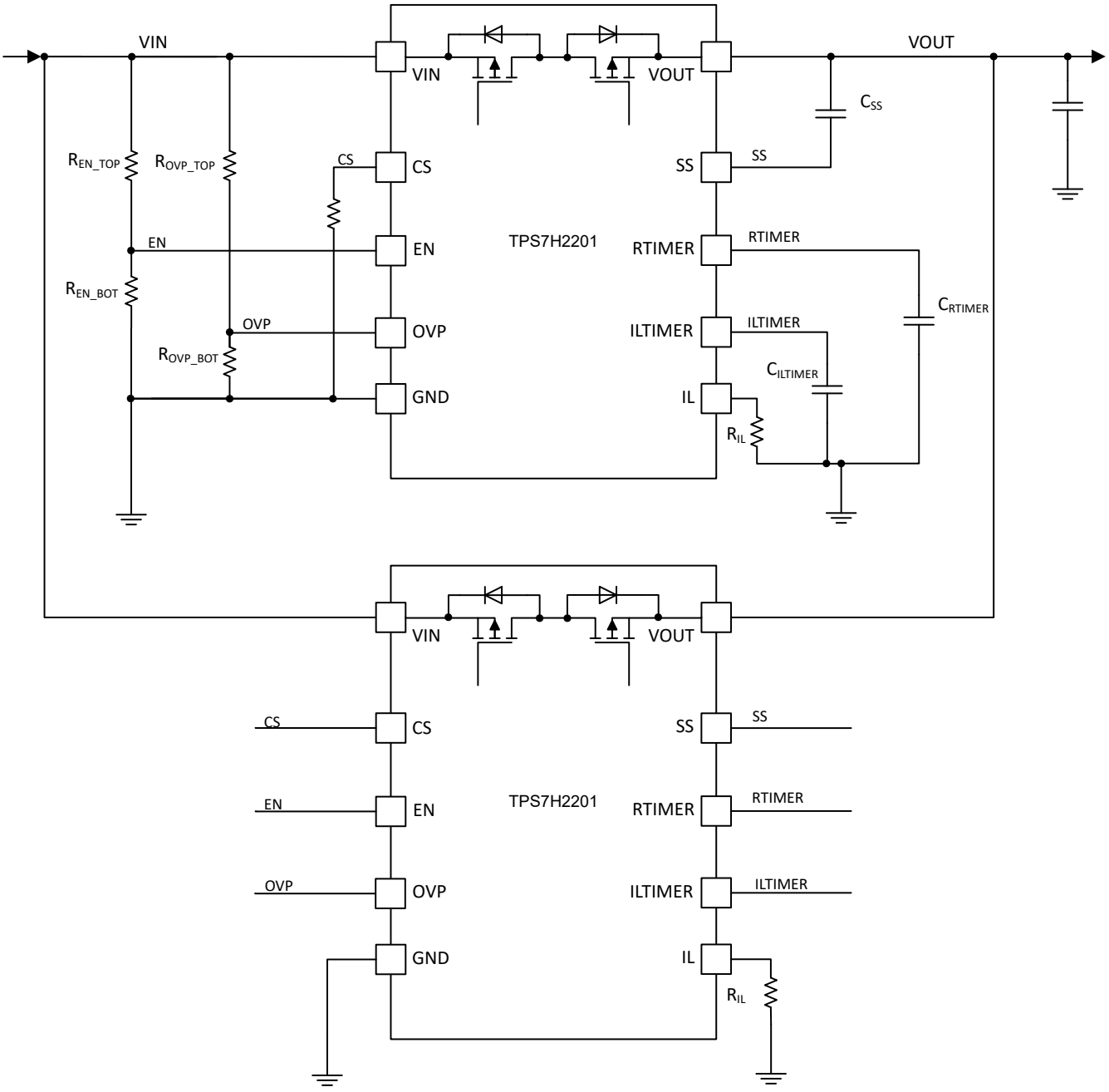


図 8-6. 並列構成により抵抗値を低減するか電流能力を増加させる

Copyright © 2025 Texas Instruments Incorporated

8.3.7 逆電流保護

TPS7H2201 の eFuse は、スイッチが無効の場合、VIN から VOUT、および VOUT から VIN に電流が流れるのを防止するため、双方向 FET を備えています (リーク電流を除く)。これにより、コールド スペア (冗長性) アプリケーションがサポートされます。たとえば、VIN が 0V ～ 7V の場合、VOUT は最大 7V にできます。いずれの場合も、結果として小さなリーク電流のみが得られます。

8.3.8 順方向リーク電流

VIN に電力が供給されているが TPS7H2201 が無効になっている (EN が Low) 場合、内部 FET は無効になり、VIN から VOUT への高インピーダンス パスが形成されます。ただし、VOUT の充電を遅延させる可能性のある寄生リーケージ パスがあります。順方向リーク電流 I_F は、この状況で VIN から VOUT に流れる電流の量を示します。TPS7H2201SP の最大順方向電流は、電圧、温度、放射全体で 250µA に規定されています。

一部のアプリケーションでは、この動作に特に注意を払う必要があります。VOUT が高インピーダンス ノードである場合は特に重要です (リーク電流は消費されずにすべて VOUT を充電します)。式 11 に示す基本的なコンデンサの計算式を使用することで、電圧が特定の値まで上昇する時間を理論的に計算できます。

$$\Delta t = \Delta V_{OUT} \times C_{OUT} / I_F \quad (11)$$

ここで、

- Δt = 最終値まで充電する時間
- ΔV_{OUT} = 出力電圧の変化。開始電圧が 0V の場合は V_{IN} を使用します

たとえば、入力電圧が 7V で、出力容量が 220µF の場合、VOUT は通常約 6.2 秒で 7V まで充電されます (I_F = 150µA、ΔV_{OUT} = 7V、C_{OUT} = 220µF を使用)。

出力電圧が特定の値を下回る必要がある場合は、式 12 を使用して算出した値のプルダウン抵抗を利用できます。

$$VOUT_{LKG_MAX} = I_F \times R_{PULL_DOWN} \quad (12)$$

ここで、

- $VOUT_{LKG_MAX}$ = リーク電流 I_F による最大出力電圧
- R_{PULL_DOWN} = VOUT から GND への外部プルダウン抵抗

たとえば、VOUT とグランドの間に 2.6kΩ 抵抗を配置すると、I_F 電流のために VOUT が 0.65V を上回る事態を防止できます。この抵抗は、スイッチが有効で VOUT≡VIN の時に、最悪条件の電力消費に対応できる必要があります。

8.4 デバイスの機能モード

V_{EN} および V_{OVP} による VOUT 接続 に、EN および OVP ピン電圧で決定される VOUT ピンの状態一覧を示します。

表 8-3. V_{EN} および V_{OVP} による VOUT 接続

EN ピン	OVP ピン	TPS7H2201SP および TPS7H2201-SEP (5) (6)
0 (1)	0 (3)	オープン
0	1 (4)	オープン
1 (2)	0	VIN
1	1	オープン

(1) $V_{EN} < V_{ILEN(MIN)} = 0$
(2) $V_{EN} > V_{IHEN(MAX)} = 1$
(3) $V_{OVP} < V_{OVPF(MIN)} = 0$
(4) $V_{OVP} > V_{OVPR(MAX)} = 1$
(5) 詳細については、ターンオン (t_{ON})、ターンオフ (t_{OFF})、VOUT 立ち下がり時間 (t_F) の波形 を参照してください。
(6) 詳細については、OVP アサート (t_{ASSERT}) および OVP デアサート ($t_{DEASSERT}$) の波形 を参照してください。

Copyright © 2025 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

TPS7H2201 デバイスは、電流制限、低電圧および過電圧、電流制限および再試行タイマ、ソフト スタートなど、複数のプログラマブル機能を備えたシングル チャネルの 6A eFuse です。また、TPS7H2201 は電力分配アプリケーション向けの逆電流保護機能と、負荷監視用の電流センス機能を備えています。TPS7H2201SP ユーザー ガイドは、TI の Web サイト「*TPS7H2201EVM-CVAL 評価基板 (EVM) ユーザー ガイド*」でご覧になれます。このガイドには、標準の EVM 構成、テスト結果、回路図、参照用の BOM が記載されています。

9.2 代表的なアプリケーション

パワー スイッチを使用できる標準的な電源管理アプリケーションに加えて、TPS7H2201 を宇宙用電源アプリケーションで使用できる主なアプリケーションには次の 2 つがあります。

- 人工衛星アプリケーションで一般的な、1 次側と 2 次側の電圧レールの冗長性
- 重要な負荷または SEL の影響を受けやすい負荷に対する保護機能

Copyright © 2025 Texas Instruments Incorporated

9.2.1 冗長性

プライマリおよびセカンダリ (冗長) の電源レールが存在するアプリケーションでは、TPS7H2201 は逆電流ブロック機能により冗長性を実装するように設計されています。この場合、eFuse をポイント オブ ロード レギュレータの入力に配置するため、スイッチのオン抵抗はそれほど重要ではありません。

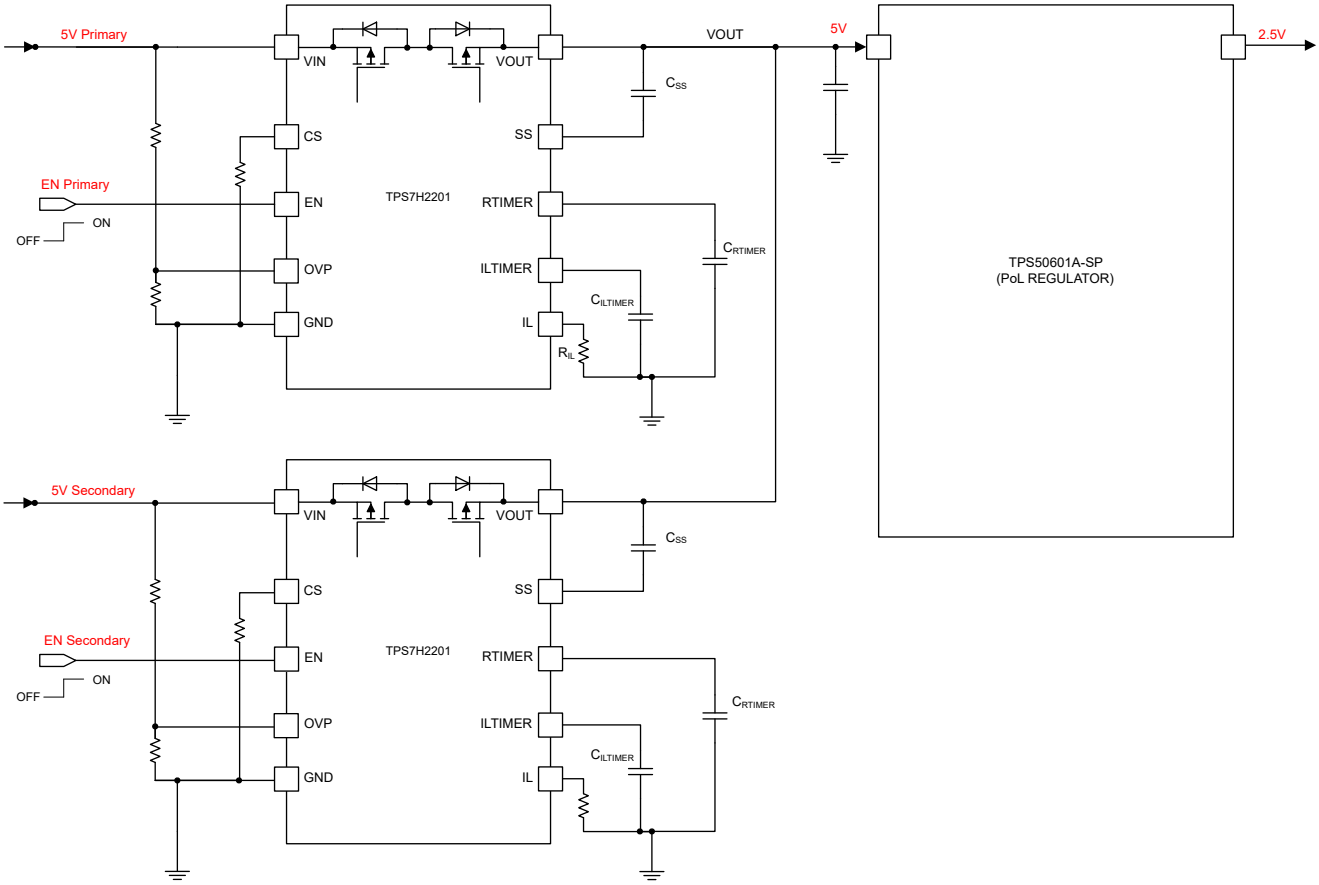


図 9-1. TPS7H2201 を使用した冗長性の例

9.2.2 保護

TPS7H2201 の保護機能は、SEL の影響を受けやすい負荷にも使用できます。この場合、ポイント オブ ロード レギュレータの後にスイッチを配置するため、スイッチのオン抵抗がより重要になりますが、このような場合には、必要に応じてオン抵抗を低減するため、eFuse を 2 個並列で配置することもできます。この場所で eFuse を使用する主な利点は、SEL イベントへの応答が高速化され、プログラマブル フォルト タイマの再試行モードにより自動復帰が可能になることです。

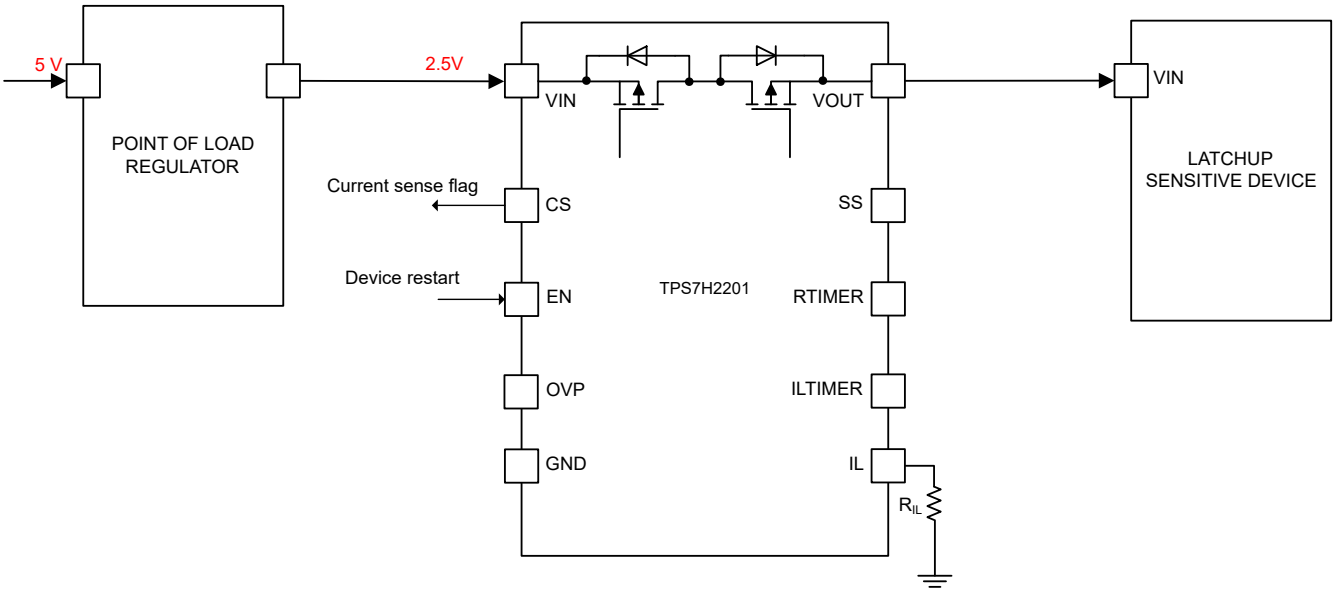


図 9-2. TPS7H2201 を使用した保護の例

9.2.3 設計要件

図 9-3 に、これまでに説明した冗長性アプリケーションと保護アプリケーションの両方に適用できる、代表的なアプリケーションの回路図を示します。

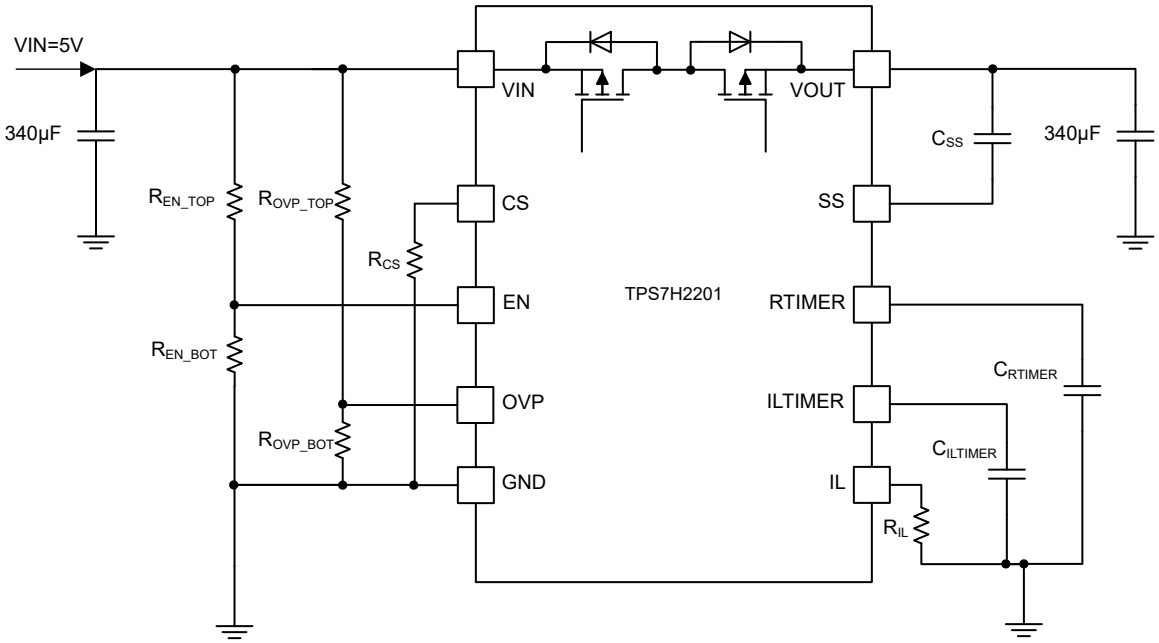


図 9-3. 代表的なアプリケーション回路図

Copyright © 2025 Texas Instruments Incorporated

表 9-1 に設計パラメータを示します。

表 9-1. 設計パラメータ

設計パラメータ	数値の例
VIN	5V
低電圧誤動作防止の設定点	3.5V
過電圧保護の設定点	6.5V
出力電流	6A
電流制限	7.5A
電流制限タイマ	1ms
再試行タイマ	1ms
ソフト スタート時間	9ms
入力と出力の各コンデンサ	340µF

9.2.4 詳細な設計手順

9.2.4.1 低電圧誤動作防止

低電圧誤動作防止設定点は、抵抗デバイダ R_{EN_TOP} と EN ピンに接続された R_{EN_BOT} を使用して構成します。R_{EN_TOP} = 100kΩ に設定し、式 1 を使用して R_{EN_BOT} の値を計算します。UVLO = 3.5V の場合、R_{EN_BOT} = 15.5kΩ となります。UVLO 設定ポイントを選択する場合、抵抗デバイダで、アプリケーションで使用する VIN に対してデバイスがまだ有効であることを確認する必要があります。これは、選択した抵抗デバイダでまだ V_{IHEN} 要件を満たしており、この要件を満たすために必要な VIN が、アプリケーションで使用される VIN よりも小さいことを確認することで実現されます。式 13 に、この VIN および V_{IHEN} の UVLO 点の設定要件を示します。この特定のアプリケーションでは、結果は 4.84V になるため、要件を満たすことができます。

$$V_{IHEN} \times \frac{R_{EN_TOP} + R_{EN_BOT}}{R_{EN_BOT}} \leq VIN \tag{13}$$

9.2.4.2 過電圧保護

UVLO 設定点と同様に、過電圧保護設定点は、OVP ピンに接続された抵抗デバイダ R_{OVP_TOP} および R_{OVP_BOT} で構成されます。R_{OVP_TOP} = 100kΩ に設定し、式 2 を使用して R_{OVP_BOT} の値を計算します。OVP= 6.5V の場合、R_{OVP_BOT} = 10.7kΩ です。OVP 設定ポイントを選択する場合、抵抗デバイダで、アプリケーションで使用する VIN に対してデバイスがまだ有効であることを確認する必要があります。これは、選択した抵抗デバイダでまだ V_{OVPF} 要件を満たしており、この要件を満たすために必要な VIN が、アプリケーションで使用される VIN よりも大きいことを確認することで実現されます。式 14 に、この VIN および V_{OVPF} の OVP 点の設定要件を示します。この特定のアプリケーションでは、結果は 5.16V になるため、要件を満たすことができます。

$$V_{OVPF} \times \frac{R_{OVP_TOP} + R_{OVP_BOT}}{R_{OVP_BOT}} \geq VIN \tag{14}$$

9.2.4.3 電流制限

この電流制限は、R_{IL} を使用して設定します。また、デバイスの起動中に誤った電流トリップを発生させないよう、「*電気的特性*」の最小電流制限設定仕様に従う必要があります。この設計の出力電流に基づき、プログラム可能な最小電流制限は IOUT + 1.5A (合計 7.5A) になります。したがって、式 8 で算出すると、抵抗値は 6.53kΩ になります。

9.2.4.4 プログラマブル フォルト タイマ

プログラマブル フォルト タイマは、$C_{ILTIMER}$ と C_{RTIMER} のコンデンサを使用して構成できます。この特定の設計では、両方のタイマが 1ms に設定されています。したがって、式 9 を使用すると、各コンデンサの値は 2000pF になります。このコンデンサの値は、式 10 の要件を満たしています。

9.2.4.5 ソフト スタート時間

ソフトスタート時間は C_{SS} コンデンサを使用して構成します。コンデンサの値を計算するには、式 4 に示す最大 VOUT スルー レート要件が確実に満たされるよう、式 3 を使用して VOUT スルー レートを計算する必要があります。この要件は、通常大きな出力容量が使用され、VOUT スルー レートの最大許容値が低くなる宇宙用アプリケーションで特に重要です。この特定の設計では、VOUT スルー レートは 555V/s です。これは最大 VOUT スルー レートの 882V/s よりも低く、式 4 の要件を満たしています。このアプリケーションでは VIN = 5V なので、式 6 を使用して計算すると、ソフト スタート コンデンサの値は 117nF となります。

9.2.5 アプリケーション曲線

この設計例の電源投入シーケンスを 図 9-4 に、電流制限動作を 図 9-5 に示します。

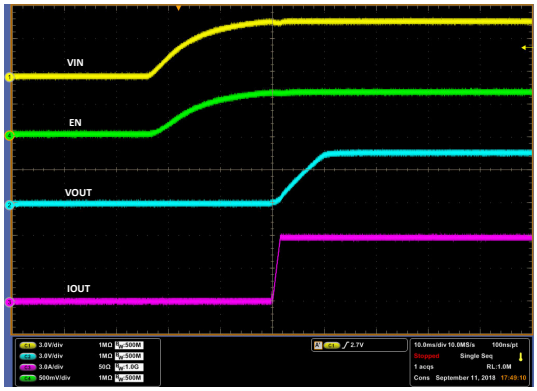


図 9-4. TPS7H2201SP の電源投入シーケンス

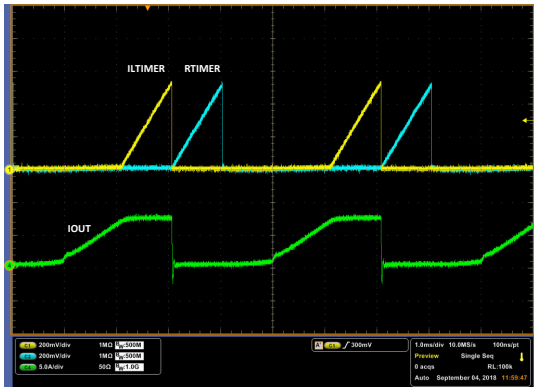


図 9-5. IL が 7.5A に設定されている場合の ILTIMER および RTIMER の波形

Copyright © 2025 Texas Instruments Incorporated

9.3 電源に関する推奨事項

TPS7H2201 は、1.5V ～ 7V の入力電源電圧範囲で動作するように設計されています。この電源電圧は十分なレギュレーションを行い、VIN と GND の間で良好な電気的性能を得るために、適切なローカル バイパス コンデンサを使用する必要があります。宇宙用アプリケーションの要件は厳しく、通常は多数の入力バイパス コンデンサが使用されるため、総容量は商用アプリケーションをはるかに上回ります。TPS7H2201SP 評価基板では、330µF タンタル コンデンサ 1 個を、10µF と 0.1µF のセラミック コンデンサ各 1 個と並列で使用します。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

最高の性能のためには、トレースはすべてできるだけ短くします。効果を最大化するため、入力および出力コンデンサはデバイスの近くに配置し、寄生パターン インダクタンスが通常の動作に及ぼす影響を最小限に抑える必要があります。VIN、VOUT、GND に幅広いトレースを使用すると、寄生的な電気的影響を最小限に抑えるのに役立ちます。一般的にコンポーネントは、パターンをできるだけ短くしてデバイスの近くに配置し、寄生容量を回避する必要があります。また、フォルト状態 (VOUT への短絡) で大きな電力消費が発生する可能性があるため、サーマル パッド用の PCB 内にサーマル ビアを配置する必要があります。

9.4.2 レイアウト例

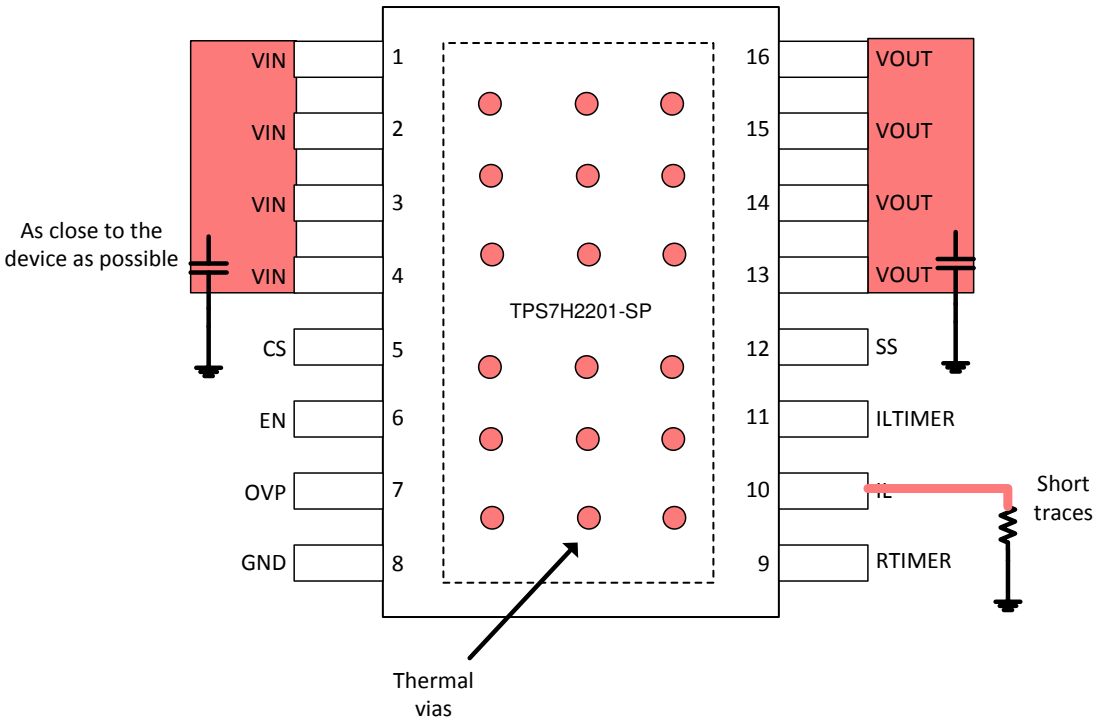


図 9-6. レイアウトに関する推奨事項

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『*TPS7H2201-SP 総電離線量 (TID) レポート*』
- テキサス インスツルメンツ、『*TPS7H2201-SEP TID 放射線レポート*』
- テキサス インスツルメンツ、『*TPS7H2201-SP eFuse の単一事象効果テスト レポート*』
- テキサス インスツルメンツ、『*TPS7H2201-SEP eFuse の単一事象効果テスト レポート*』
- テキサス インスツルメンツ、『*TPS7H2201-SP 中性子変位損傷特性*』
- テキサス インスツルメンツ、『*TPS7H2201EVM-CVAL 評価基板 (EVM) ユーザー ガイド*』
- テキサス インスツルメンツ、*TPS7H2201EVM 評価基板 (EVM)*
- テキサス インスツルメンツ、『*暗号化されていない PSpice トランジェント モデル*』
- テキサス インスツルメンツ、『*ロード スイッチの熱に関する検討事項*』
- テキサス インスツルメンツ、『*eFuse の基礎*』
- テキサス インスツルメンツ、『*ロード スイッチの基礎*』
- *標準マイクロ回路の図、5962R17220*
- *ベンダ アイテム図、V6223608*

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の *アラートを受け取る* をクリックして登録すると、製品情報の更新に関する週次ダイジェストを受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2025 Texas Instruments Incorporated

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision F (March 2024) to Revision G (December 2025)	Page
• 「説明」セクションのデバイス情報の表に 5962R1722002PYE 情報を追加	1
• 「*プログラマブル フォルト タイマ*」セクションの明確化のために編成および表現を変更	23

Changes from Revision E (December 2023) to Revision F (March 2024)	Page
• 「概要」および「デバイスのオプション」のセクションに TPS7H2201MDAPTSEP の事前情報の注記を追加	1

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-1722001VXC	Active	Production	CFP (HKR) | 16	25 | TUBE	ROHS Exempt	NIAU	N/A for Pkg Type	-55 to 125	5962-1722001VXC TPS7H2201MHKRV
5962R1722001V9A	Active	Production	XCEPT (KGD) | 0	25 | OTHER	Yes	Call TI	N/A for Pkg Type	-55 to 125	
5962R1722001VXC	Active	Production	CFP (HKR) | 16	25 | TUBE	ROHS Exempt	NIAU	N/A for Pkg Type	-55 to 125	5962R1722001VXC TPS7H2201MHKRV
5962R1722001VXC.A	Active	Production	CFP (HKR) | 16	25 | TUBE	ROHS Exempt	NIAU	N/A for Pkg Type	-55 to 125	5962R1722001VXC TPS7H2201MHKRV
5962R1722002PYE	Active	Production	HTSSOP (DAP) | 32	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	1722002PYE
5962R1722002PYE.A	Active	Production	HTSSOP (DAP) | 32	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	1722002PYE
TPS7H2201HKR/EM	Active	Production	CFP (HKR) | 16	25 | TUBE	ROHS Exempt	NIAU	N/A for Pkg Type	25 to 25	TPS7H2201HKREM
TPS7H2201MDAPTSEP	Active	Production	HTSSOP (DAP) | 32	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	TPS7H2201
TPS7H2201Y/EM	Active	Production	XCEPT (KGD) | 0	5 | OTHER	Yes	Call TI	N/A for Pkg Type	25 to 25	
V62/23608-01XE	Active	Production	HTSSOP (DAP) | 32	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	TPS7H2201

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS7H2201-SEP, TPS7H2201-SP :

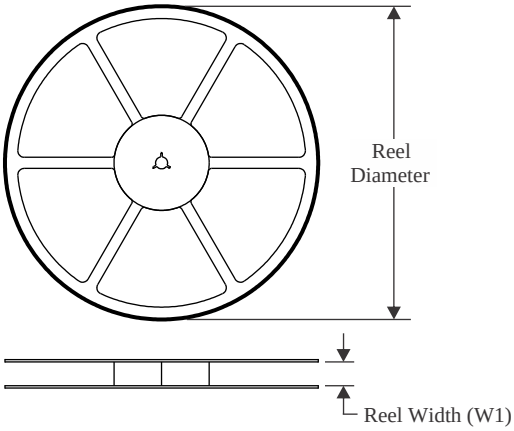
- Catalog : TPS7H2201-SEP
- Space : TPS7H2201-SP

NOTE: Qualified Version Definitions:

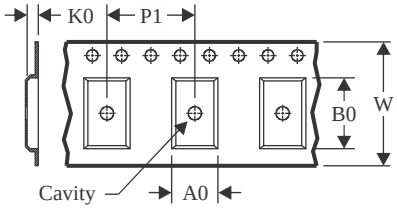
- Catalog - TI's standard catalog product
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

REEL DIMENSIONS

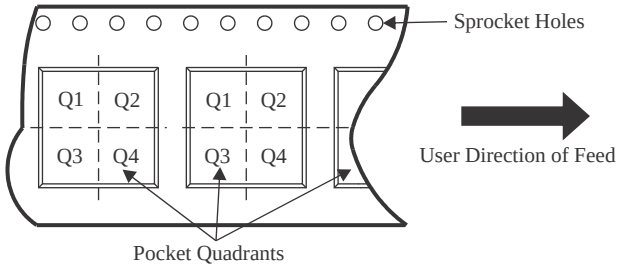


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

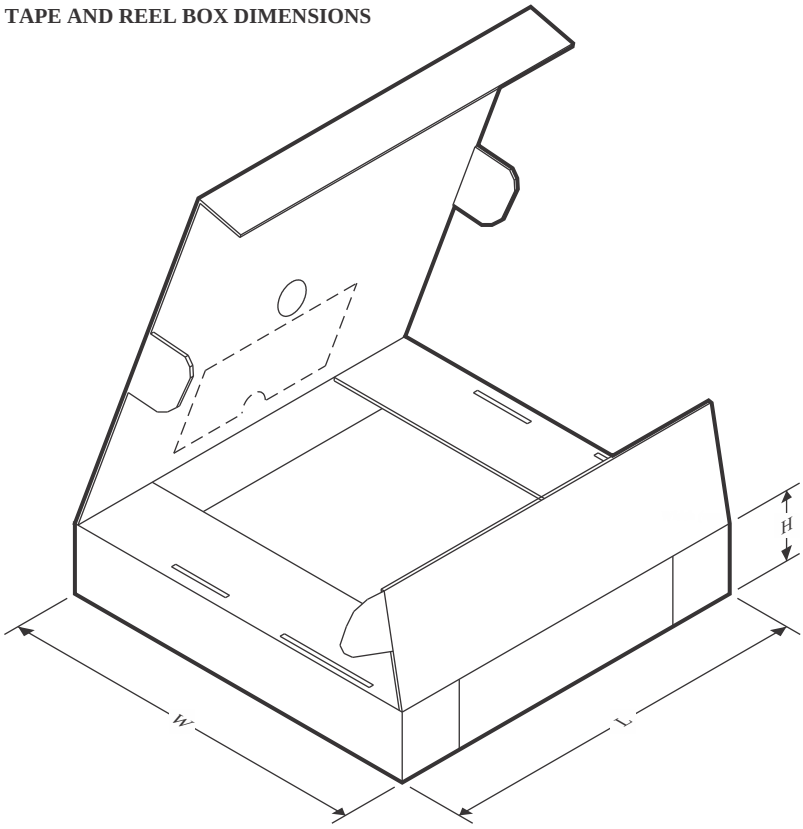
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
5962R1722002PYE	HTSSOP	DAP	32	250	178.0	24.4	8.8	11.8	1.8	12.0	24.0	Q1
TPS7H2201MDAPTSEP	HTSSOP	DAP	32	250	178.0	24.4	8.8	11.8	1.8	12.0	24.0	Q1

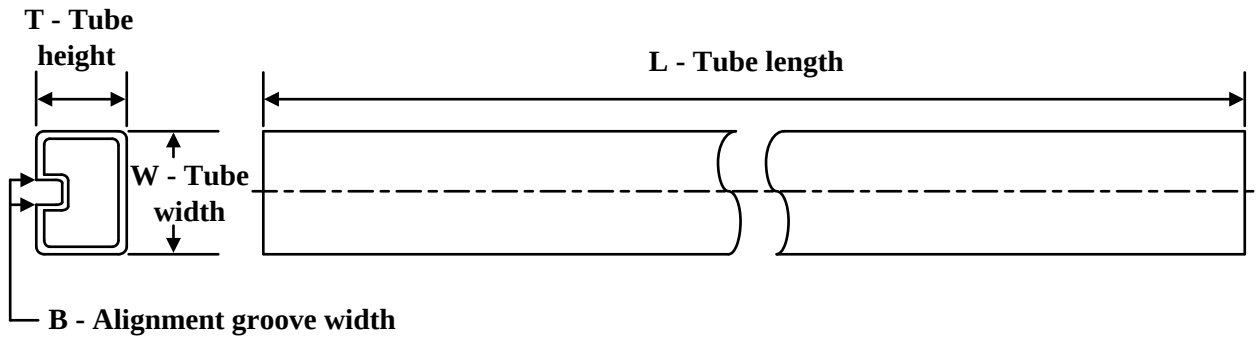
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
5962R1722002PYE	HTSSOP	DAP	32	250	223.0	191.0	55.0
TPS7H2201MDAPTSEP	HTSSOP	DAP	32	250	223.0	191.0	55.0

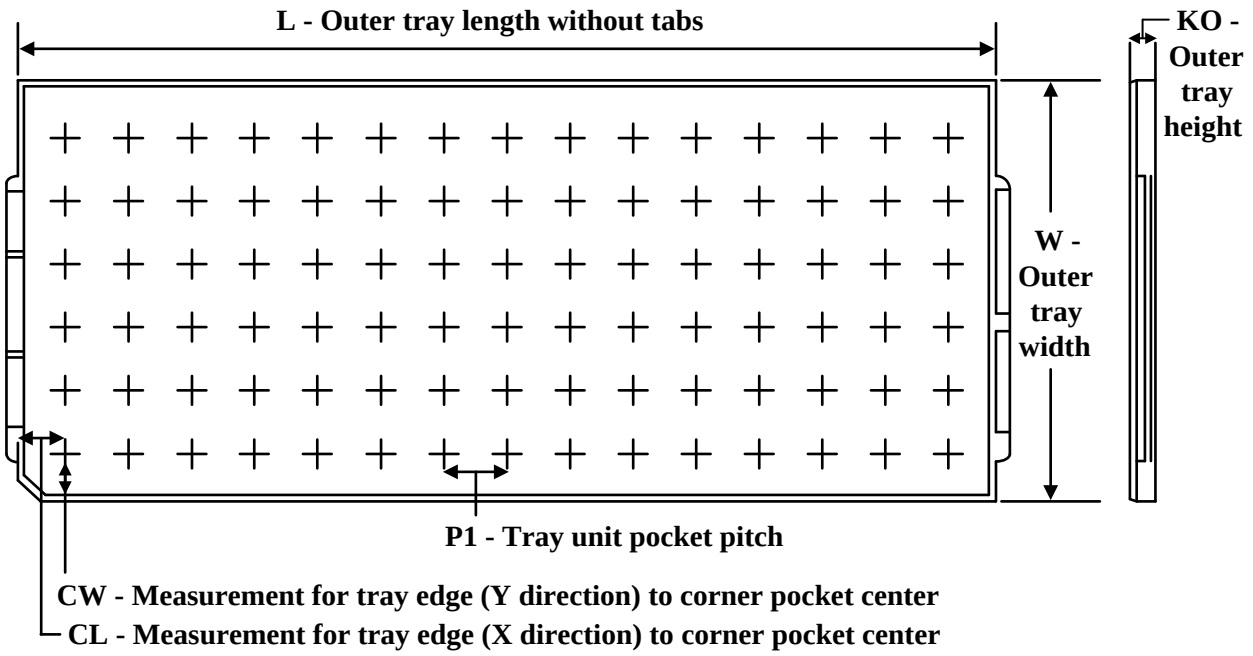
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-1722001VXC	HKR	CFP	16	25	506.98	26.16	6220	NA
5962R1722001VXC	HKR	CFP	16	25	506.98	26.16	6220	NA
5962R1722001VXC.A	HKR	CFP	16	25	506.98	26.16	6220	NA
TPS7H2201HKR/EM	HKR	CFP	16	25	506.98	26.16	6220	NA

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

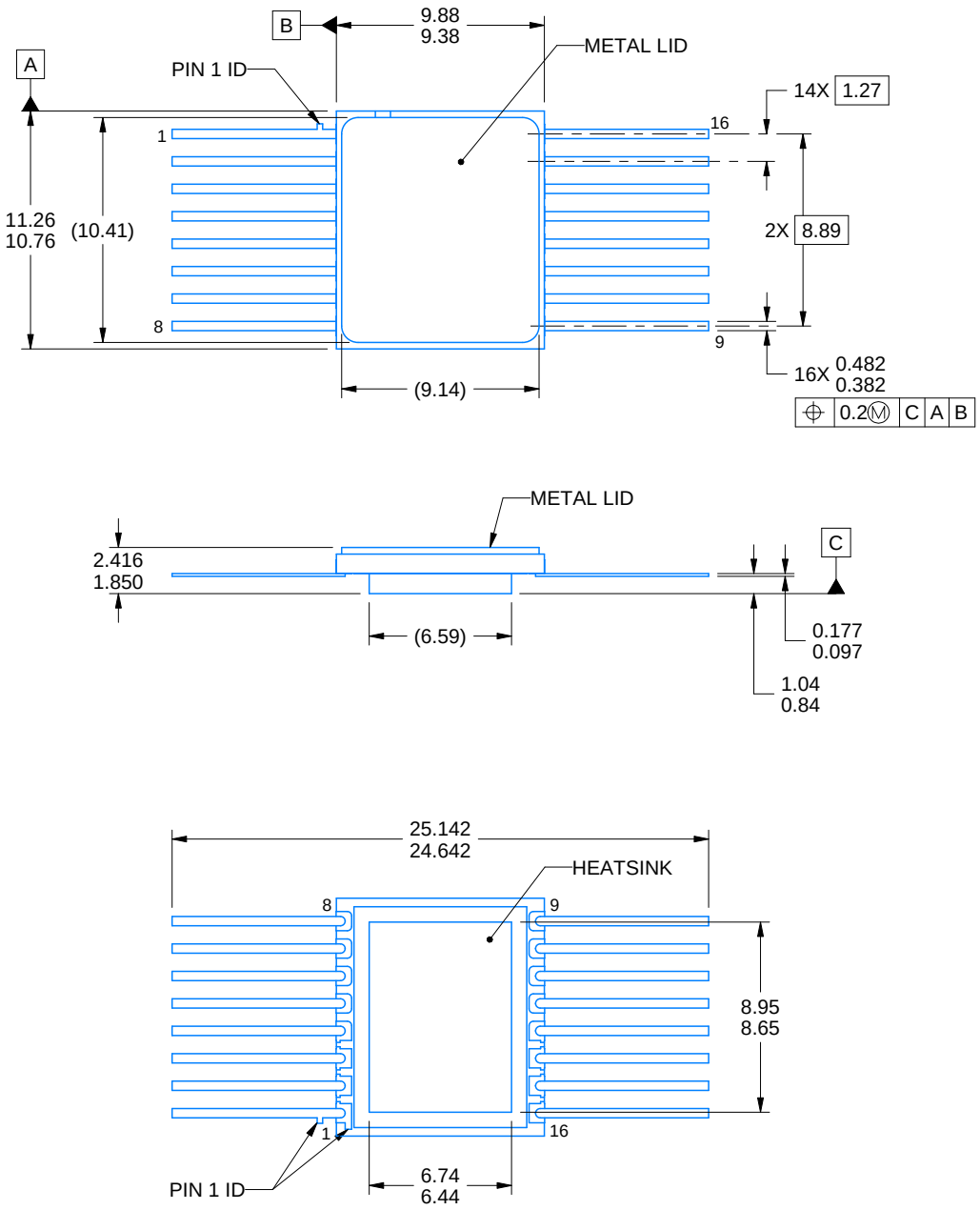
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
TPS7H2201Y/EM	KGD	XCEPT	0	5	5 x 5	70	6.35	3.81	610	1.3	8.89	8.13

PACKAGE OUTLINE

HKR0016A

CFP - 2.416 mm max height

CERAMIC DUAL FLATPACK



4226020/C 08/2022

NOTES:

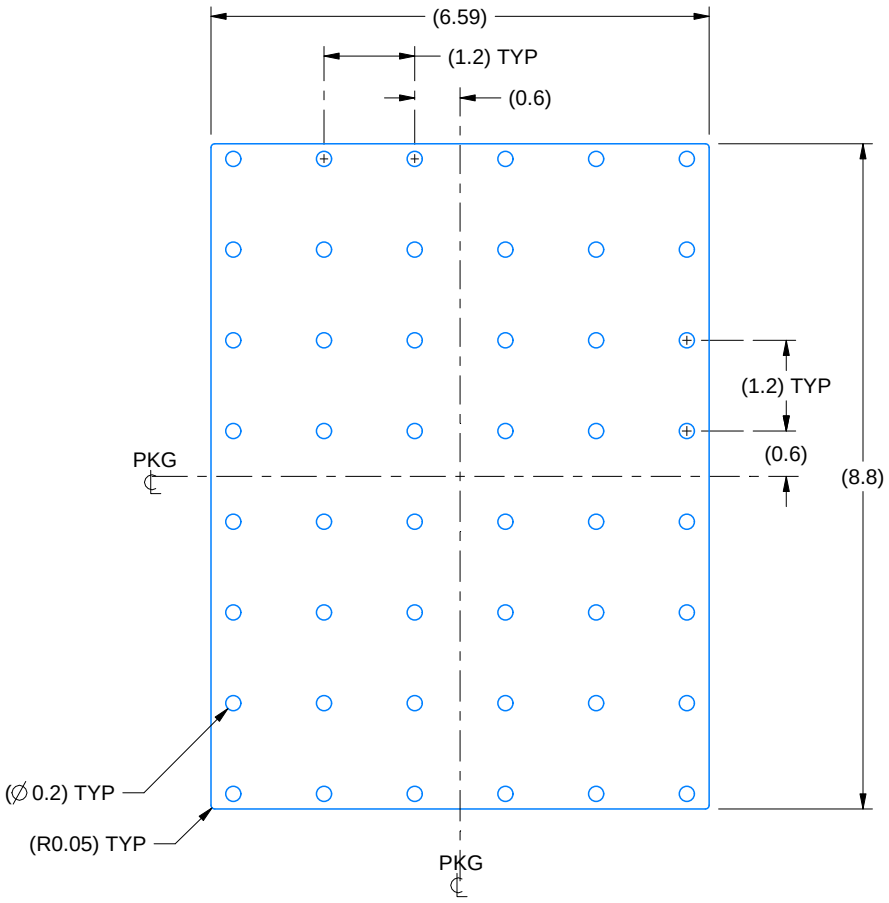
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a metal lid. Lid is connected to Heatsink.
4. The terminals are gold plated.
5. Falls within MIL-STD-1835 CDFP-F11A.

EXAMPLE BOARD LAYOUT

HKR0016A

CFP - 2.416 mm max height

CERAMIC DUAL FLATPACK



HEATSINK LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:10X

4226020/C 08/2022

GENERIC PACKAGE VIEW

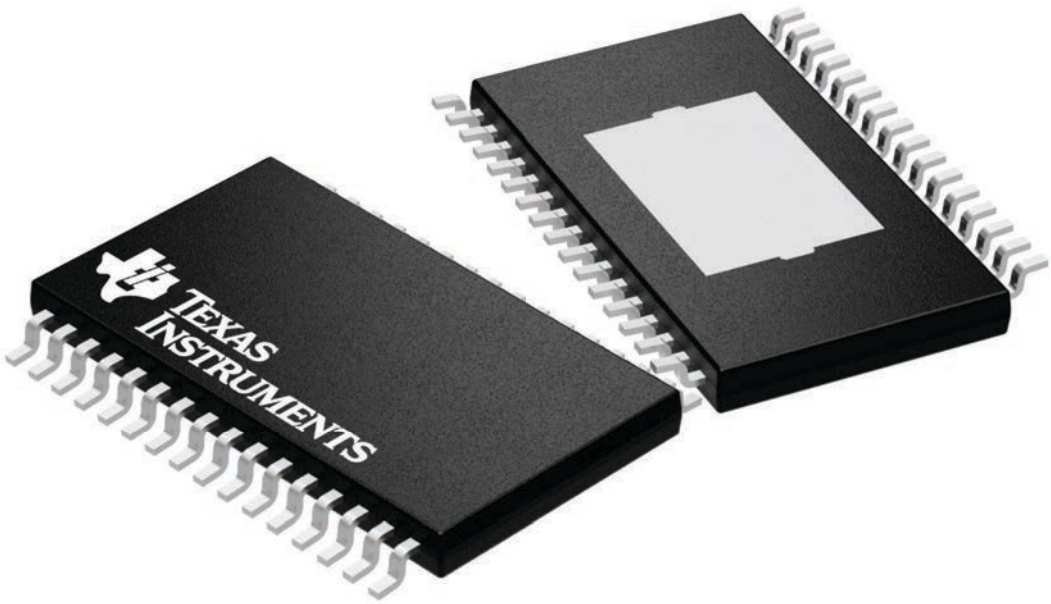
DAP 32

PowerPAD™ TSSOP - 1.2 mm max height

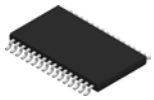
8.1 x 11, 0.65 mm pitch

PLASTIC SMALL OUTLINE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225303/A

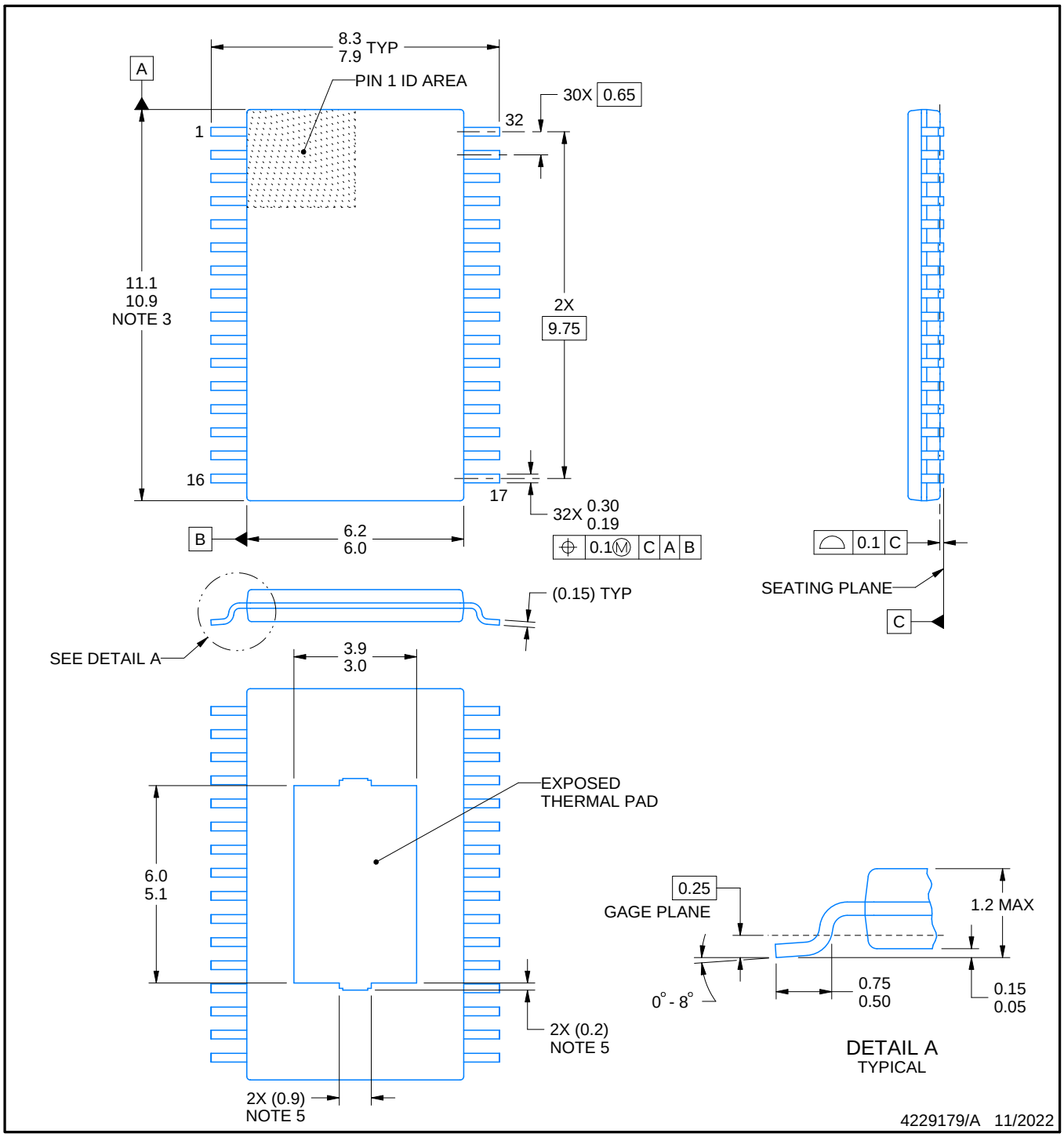


PACKAGE OUTLINE

DAP0032G

PowerPAD™ TSSOP - 1.2 mm max height

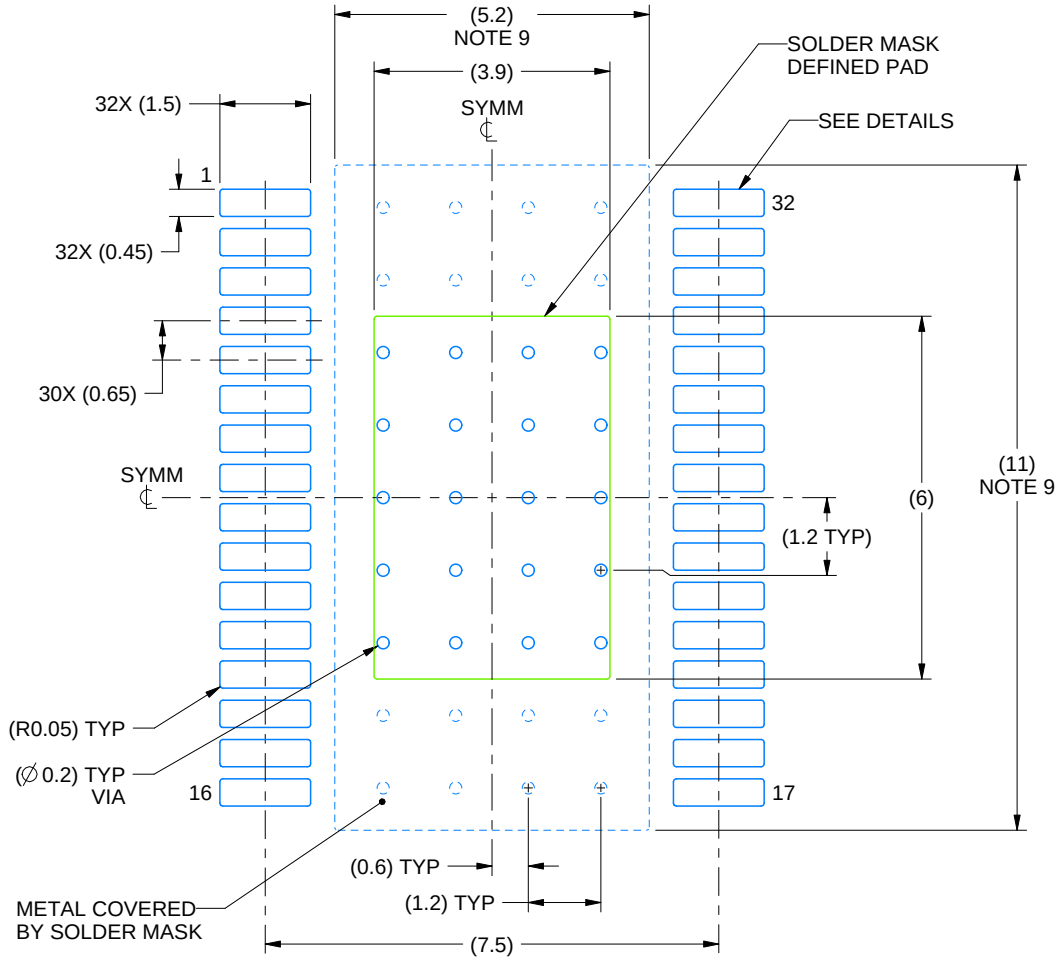
PLASTIC SMALL OUTLINE



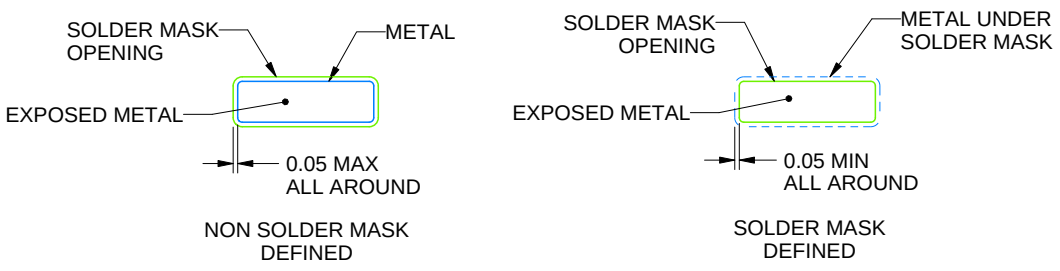
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ and may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

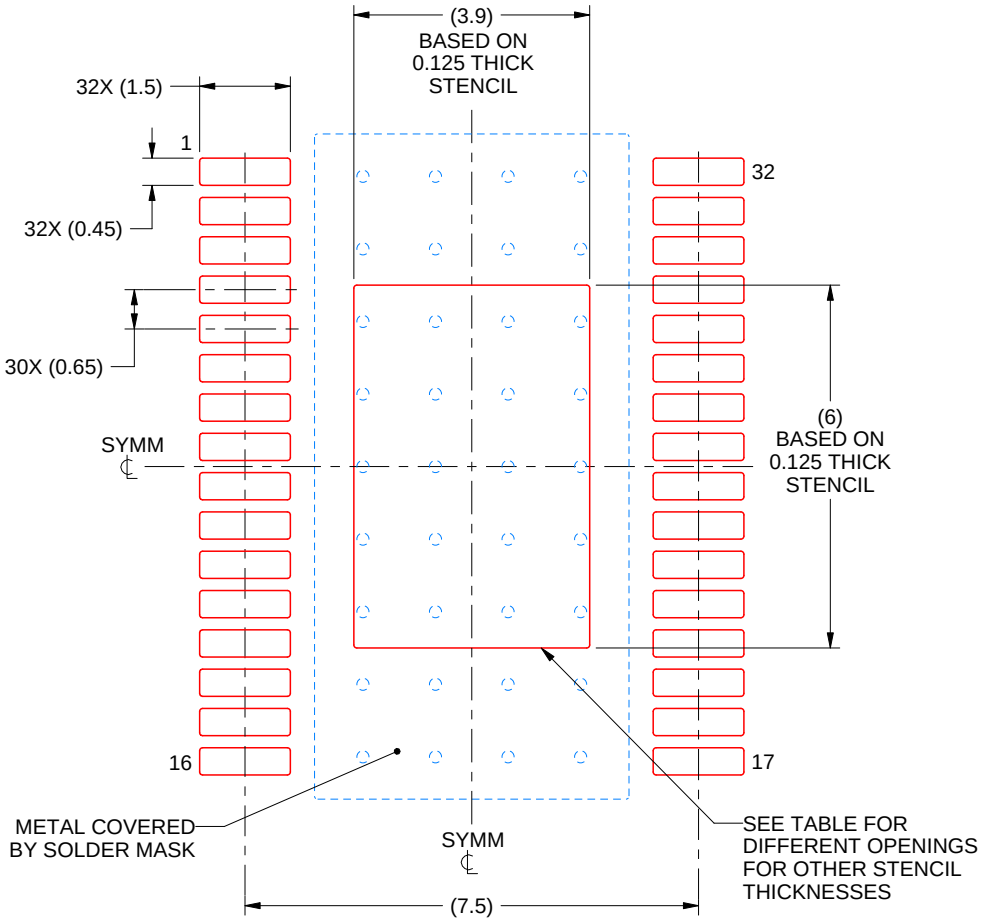


SOLDER MASK DETAILS
NOT TO SCALE

4229179/A 11/2022

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	4.36 X 6.71
0.125	3.90 X 6.00 (SHOWN)
0.15	3.56 X 5.48
0.175	3.30 X 5.07

4229179/A 11/2022

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月