

TUSB1146-Q1 Automotive DisplayPort™ Alt モード、USB Type-C® ソース 10Gbps リニア リドライバクロスポイントスイッチ

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
 - 温度: -40°C~105°C、T_A
- USB Type-C® クロスポイントスイッチで、次の仕様をサポート
 - USB 3.2 + 2 つの DisplayPort™ レーン
 - 4 つの DisplayPort™ レーン
- USB 3.2 x1 で最大 10Gbps
- VESA® DisplayPort™ 2.1 で最大 10Gbps
- D_DFP のピン割り当て C、D、E をサポート
- USB DFP レシーバについて、適応型または固定のイコライゼーションを選択可能。
- UFP トランスミッタでリニアおよび制限付きリドライバをサポート
- 制限付きリドライバ オプションでは、TX 電圧スイングと TX イコライゼーション制御の両方を使用可能
 - 800mVpp から 1100mVpp まで 4 レベルの TX 電圧スイング
 - TX プリシュートとディエンファシス
- 超低消費電力アーキテクチャ
- 5.0GHz で最大 12dB のイコライゼーション
- DisplayPort™ リンクトレーニングに対して透過的
- GPIO または I²C により設定可能
- ホットプラグ対応
- 5mm × 7mm、0.5mm ピッチの VQFN パッケージ

2 アプリケーション

- 後部座席用エンターテインメント
- 車載用ヘッド ユニット
- 車載用インフォテインメントおよびクラスター

3 概要

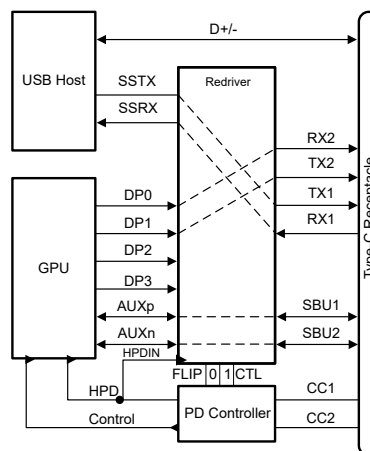
TUSB1146-Q1 は、USB Type-C® 経由で VESA® DisplayPort™ Alt Mode を再送信するスイッチで、最大 10Gbps の USB 3.2 データ転送速度と、下流向きポート (ホスト) 用の最大 10Gbps の DisplayPort™ 2.1 をサポートしています。このデバイスは、USB Type-C® 規格の VESA® DisplayPort™ Alt モードから、構成 C、D、E に使用されます。このリニア リドライバはプロトコルに依存せず、HDMI® Alt モードなど他の USB Type-C® Alt モードインターフェイスもサポートできます。

また、TUSB1146-Q1 は適応型レシーバ イコライゼーション (AEQ) 機能も内蔵しており、USB デバイスと TUSB1146-Q1 との間で最適な ISI 補償設定を自動的に見つけることができます。AEQ は、USB ホストと USB デバイス間の相互運用性を向上させるために、最適な設定を見つけ出します。TUSB1146-Q1 は単一の 3.3V 電源で動作し、車載グレード 2 の温度範囲に対応しています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TUSB1146-Q1	RGF (VQFN, 40)	5mm × 7mm

- (1) 供給されているすべてのパッケージについては、[セクション 11](#) を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図

目次

1 特長.....	1	6.5 プログラミング.....	33
2 アプリケーション.....	1	7 レジスタ マップ.....	39
3 概要.....	1	7.1 TUSB1146-Q1 レジスタ.....	39
4 ピン構成および機能.....	3	8 アプリケーションと実装.....	50
5 仕様.....	5	8.1 アプリケーション情報.....	50
5.1 絶対最大定格.....	5	8.2 代表的なアプリケーション.....	50
5.2 ESD 定格.....	5	8.3 システム例.....	55
5.3 推奨動作条件.....	5	8.4 電源に関する推奨事項.....	58
5.4 熱に関する情報.....	5	8.5 レイアウト.....	58
5.5 電源特性.....	6	9 デバイスおよびドキュメントのサポート.....	60
5.6 制御 I/O DC の電気的特性.....	6	9.1 ドキュメントの更新通知を受け取る方法.....	60
5.7 USB および DP の電気的特性.....	8	9.2 サポート・リソース.....	60
5.8 タイミング要件.....	12	9.3 商標.....	60
5.9 スイッチング特性.....	12	9.4 静電気放電に関する注意事項.....	60
5.10 代表的特性.....	14	9.5 用語集.....	60
6 詳細説明.....	22	10 改訂履歴.....	60
6.1 概要.....	22	11 メカニカル、パッケージ、および注文情報.....	60
6.2 機能ブロック図.....	23	11.1 テープおよびリール情報.....	61
6.3 機能説明.....	24	11.2 メカニカル データ.....	63
6.4 デバイスの機能モード.....	25		

4 ピン構成および機能

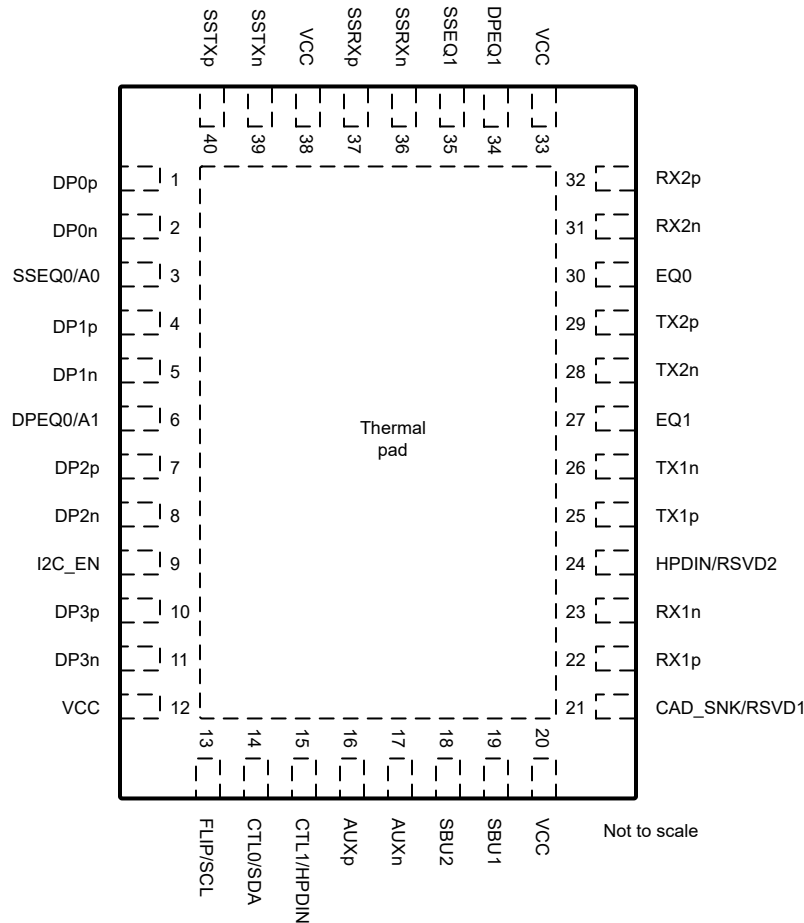


図 4-1. TUSB1146-Q1 RGF パッケージ、40 ピン VQFN (上面図)

表 4-1. TUSB1146-Q1 のピンの機能

ピン		I/O	説明
名称	番号		
DP0p	1	差動 I	DisplayPort レーン 0 の DP 差動正入力。
DP0n	2	差動 I	DisplayPort レーン 0 の DP 差動負入力。
DP1p	4	差動 I	DisplayPort レーン 1 の DP 差動正入力。
DP1n	5	差動 I	DisplayPort レーン 1 の DP 差動負入力。
DP2p	7	差動 I	DisplayPort レーン 2 の DP 差動正入力。
DP2n	8	差動 I	DisplayPort レーン 2 の DP 差動負入力。
DP3p	10	差動 I	DisplayPort レーン 3 の DP 差動正入力。
DP3n	11	差動 I	DisplayPort レーン 3 の DP 差動負入力。
RX1n	23	差動 I/O	DisplayPort の差動負出力、USB3.2 ダウンストリーム側ポートの場合の差動負入力。
RX1p	22	差動 I/O	DisplayPort の差動正出力と、USB3.2 ダウンストリーム側ポートの差動正入力。
TX1n	26	差動 O	DisplayPort または USB3.2 ダウンストリーム側ポートの差動負出力。
TX1p	25	差動 O	DisplayPort または USB 3.2 ダウンストリーム側ポートの差動正出力。
TX2p	29	差動 O	DisplayPort または USB 3.2 ダウンストリーム側ポートの差動正出力。
TX2n	28	差動 O	DisplayPort または USB 3.2 ダウンストリーム側ポートの差動負出力。
RX2p	32	差動 I/O	DisplayPort の差動正出力と、USB3.2 ダウンストリーム側ポートの差動正入力。
RX2n	31	差動 I/O	DisplayPort の差動負出力、USB3.2 ダウンストリーム側ポートの場合の差動負入力。
SSTXp	40	差動 I	USB3.2 アップストリーム側ポートの差動正入力。
SSTXn	39	差動 I	USB3.2 アップストリーム側ポートの差動負入力。

表 4-1. TUSB1146-Q1 のピンの機能 (続き)

ピン		I/O	説明
名称	番号		
SSRXp	37	差動 O	USB3.2 アップストリーム側ポートの差動正出力。
SSRXn	36	差動 O	USB3.2 アップストリーム側ポートの差動負出力。
EQ1	27	4 レベル I	このピンを EQ0 とともに使用する場合、USB レシーバ イコライザ ゲインを、下流側の RX1 および RX2 用に設定します。イコライゼーション設定の詳細については、表 6-7 を参照してください。
EQ0	30	4 レベル I	このピンを EQ1 とともに使用する場合、USB レシーバ イコライザ ゲインを、下流側の RX1 および RX2 用に設定します。イコライゼーション設定の詳細については、表 6-7 を参照してください。
CAD_SNK/RSVD1 ⁽¹⁾	21	I/O (PD)	I2C_EN ! = 0 の場合、このピンは予約済みです。未使用時は、オープンのままにしてください。I2C_EN = 0 の場合、このピンは CAD_SNK (L = AUX スヌープが有効、H = AUX スヌープが無効で、すべてのレーンがアクティブ) です。
HPDIN/RSVD2 ⁽¹⁾	24	I/O (PD)	I2C_EN ! = 0 の場合、このピンは予約済みです。未使用時は、オープンのままにしてください。I2C_EN = 0 の場合、このピンは DisplayPort シンクから受信したホットプラグ検出の入力です。HPDIN が Low の状態が 2ms を超えると、すべての DisplayPort レーンが無効になり、AUX-to-SBU スイッチは閉じたままとなります。
I2C_EN	9	4 レベル I	I ² C プログラミング モードまたは GPIO プログラミング選択。 0 = GPIO モード (I ² C 無効)、アダプティブ EQ 無効。 R = TI テスト モード (3.3V で I ² C が有効) 、EQ0 = 「0」および EQ1 = 「0」のとき、F = I ² C は 1.8V で有効。それ以外の場合、GPIO モード (I ² C は有効)、アダプティブ EQ が有効。 1 = 3.3V で I ² C が有効。
SBU1	19	I/O, CMOS	SBU1 の詳細を示します。TI では、このピンを Type-C レセプタクルの SBU1 ピンに DC 結合することを推奨します。GND との間に 2M Ω の抵抗も推奨されます。
SBU2	18	I/O, CMOS	SBU2 の詳細を示します。TI では、このピンを Type-C レセプタクルの SBU2 ピンに DC 結合することを推奨します。GND との間に 2M Ω の抵抗も推奨されます。
AUXp	16	I/O, CMOS	AUXp。AC カップリング コンデンサを経由して DisplayPort ソースに接続された DisplayPort AUX の正の I/O。AC カップリング コンデンサに加えて、このピンと GND の間に 100k の抵抗も必要です。このピンは AUXN とともに TUSB1146-Q1 によって AUX スヌーピングに使用され、Type-C の方向に基づいて SBU1/2 にルーティングされます。
AUXn	17	I/O, CMOS	AUXn。AC カップリング コンデンサを経由して DisplayPort ソースに接続された DisplayPort AUX の負の I/O。AC カップリング コンデンサに加えて、このピンで VCC (3.3V) との間に 100k の抵抗も必要です。このピンは AUXP とともに TUSB1146-Q1 によって AUX スヌーピングに使用され、Type-C の方向に基づいて SBU1/2 にルーティングされます。
DPEQ1	34	4 レベル I	DisplayPort レシーバ EQ。DPEQ0 に加えて、このピンは DisplayPort レシーバのイコライゼーション ゲインを選択します。イコライゼーション設定の詳細については、表 6-9 を参照してください。
DPEQ0/A1	6	4 レベル I	DisplayPort レシーバ EQ。DPEQ1 に加えて、このピンは DisplayPort レシーバのイコライゼーション ゲインを選択します。I2C_EN が「0」でない場合、このピンは TUSB1146-Q1 の I ² C アドレスも設定します。イコライゼーション設定の詳細については、表 6-9 を参照してください。
SSEQ1	35	4 レベル I	SSEQ0 とともに、アップストリーム側の SSTXP/N の USB レシーバ イコライザ ゲインを設定します。イコライゼーション設定の詳細については、表 6-8 を参照してください。
SSEQ0/A0	3	4 レベル I	SSEQ1 とともに、アップストリーム側の SSTXP/N の USB レシーバ イコライザ ゲインを設定します。I2C_EN が「0」でない場合、このピンは TUSB1146-Q1 の I ² C アドレスも設定します。イコライゼーション設定の詳細については、表 6-8 を参照してください。
FLIP/SCL	13	2 レベル I	I2C_EN = '0' のとき、これはフリップ制御ピンです。それ以外の場合、このピンは I ² C クロックです。I ² C クロックに使用する場合は、このピンを I ² C コントローラの VCC I ² C 電源にプルアップします。
CTL0/SDA	14	2 レベル I	I2C_EN = '0' のとき、これは USB3 スイッチ制御ピンです。それ以外の場合、このピンは I ² C データです。I ² C データに使用する場合は、このピンを I ² C コントローラの VCC I ² C 電源にプルアップします。
CTL1/HPDIN	15	2 レベル I (フェイルセーフ) (PD)	DP Alt モード スイッチ制御ピン。I2C_EN = 「0」のとき、このピンは DisplayPort 機能を有効化または無効化します。それ以外の場合、I2C_EN が「0」でない場合、DisplayPort 機能は I ² C レジスタにより有効化および無効化されます。 L = DisplayPort は無効。 H = DisplayPort は有効。 I2C_EN が「0」でない場合、このピンは DisplayPort シンクから受信したホットプラグ検出の入力です。HPDIN が Low の状態が 2ms を超えると、すべての DisplayPort レーンが無効になり、AUX-to-SBU スイッチは閉じたままとなります。
VCC	12, 20, 33, 38	P	3.3V 電源
サーマル パッド		G	グラウンド

(1) フェイルセーフ I/O 以外。VCC が取り外された状態でピンをアクティブに High に駆動すると、VCC ピンにリーク電圧が発生します。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電源電圧範囲	V _{CC}	-0.3	4	V
任意の入力または出力ピンの電圧範囲	正入力と負入力との間の差動電圧	-2.5	2.5	V
	差動入力での電圧	-0.5	4	V
	CMOS 入力	-0.5	4	V
最大接合部温度、T _J		-40	125	°C
保管温度、T _{stg}		-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 ⁽¹⁾ に準拠、すべてのピン	±2000	V
		デバイス帯電モデル (CDM)、AEQ Q100-011 に準拠、すべてのピン	±1500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _{CC}	メイン電源	3.0	3.3	3.6	V
	メイン電源ランブ要件	0.1		50	ms
V _(I2C)	SDA と SCL に外部抵抗をプルアップする電源	1.7		3.6	V
V _(PSN)	V _{CC} ピンの電源ノイズ (4MHz 未満)			100	mV
T _A	自由空気での動作温度	-40		105	°C
T _{PCB}	PCB 温度 (デバイスから 1mm 離れた場所)	-40		112	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		デバイス		単位
		RGF (VQFN)		
		40 ピン		
R _{θJA}	接合部から周囲への熱抵抗	29.4		°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	18.9		°C/W
R _{θJB}	接合部から基板への熱抵抗	11.0		°C/W
ψ _{JT}	接合部から上面への特性パラメータ	0.3		°C/W
ψ _{JB}	接合部から基板への特性パラメータ	10.9		°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	3.6		°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電源特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$P_{CC(ACTIVE-USB)}$	平均アクティブ電力 (USB のみ)	U0 でのリンク、EQ 制御ピン = NC、PRBS7 パターン、 $V_{ID} = 1000mV_{PP}$ 、LINR_L3、CTL1 = L、CTL0 = H		270		mW
$P_{CC(ACTIVE-USB-DP1)}$	平均アクティブ電力 (USB + 2 レーン DP)	U0 でのリンク、EQ 制御ピン = NC、PRBS7 パターン、 $V_{ID} = 1000mV_{PP}$ 、LINR_L3、CTL1 = H、CTL0 = H		520		mW
$P_{CC(ACTIVE-4DP)}$	平均アクティブ電力 (4 レーン DP のみ)	10Gbps で動作時の 4 つのアクティブな DP レーン、PRBS7 パターン、CTL1 = H、CTL0 = L、LINR_L3、		500		mW
$P_{CC(NC-USB)}$	接続されていない場合の平均電力	USB3 デバイスは TXP/TXN に接続されていない、CTL1 = L、CTL0 = H、		1.7		mW
$P_{CC(U2U3)}$	U2/U3 における平均電力	U2 または U3 でのリンク、USB モードのみ、CTL1 = L、CTL0 = H、		2.0		mW
$P_{CC(HPDLOW-4DP)}$	HPDIN = L の場合の 4 レーン DP のみの電力	CTL1 = H、CTL0 = L、HPDIN = L、		0.475		mW
$P_{CC(DISABLED-I2C)}$	I ² C モードでのデバイスの無効電力	I2C_EN ! = 0、HPDIN = L、CTLSEL = 0x0、		0.122		mW
$P_{CC(DISABLED)}$	デバイスの無効電力	CTL1 = L、CTL0 = L、I2C_EN = 0、HPDIN = L、		0.110		mW

5.6 制御 I/O DC の電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
4 レベル入力						
I_{IH}	High レベル入力電流	$V_{CC} = 3.6V$ 、 $V_{IN} = 3.6V$	20		60	μA
I_{IL}	Low レベル入力電流	$V_{CC} = 3.6V$ 、 $V_{IN} = 0V$	-100		-40	μA
4 レベル V_{TH}	スレッショルド 0/R	$V_{CC} = 3.3V$		0.55		V
4 レベル V_{TH}	スレッショルド R/Float	$V_{CC} = 3.3V$		1.65		V
4 レベル V_{TH}	スレッショルド Float1	$V_{CC} = 3.3V$		2.7		V
R_{PU}	内部プルアップ抵抗			48		k Ω
R_{PD}	内部プルダウン抵抗			98		k Ω
2 スタート CMOS 入力 (CTL0、CTL1、FLIP)。CTL0 と FLIP はフェールセーフです。						
V_{IH}	High レベル入力電圧	$V_{CC} = 3.0V$	2		3.6	V
V_{IL}	Low レベル入力電圧	$V_{CC} = 3.6V$	0		0.8	V
R_{PD}	HPDIN、CADSNK の内部プルダウン抵抗		300	500	600	k Ω
R_{PD}	CTL1 の内部プルダウン抵抗		300	400	600	k Ω
I_{IH_CTL1}	CTL1 の High レベル入力電流	$V_{IN} = 3.6V$	-12		12	μA
I_{IL_CTL1}	CTL1 の Low レベル入力電流	$V_{IN} = GND$ 、 $V_{CC} = 3.6V$	-1		1	μA
$I_{IH_HPD_CAD}$	HPDIN、CADSNK の High レベル入力電流	$V_{IN} = 3.6V$	-11		11	μA
$I_{IL_HPD_CAD}$	HPDIN、CADSNK の Low レベル入力電流	$V_{IN} = GND$ 、 $V_{CC} = 3.6V$	-1		1	μA
$I_{IH_CTL0_FLIP}$	CTL0 および FLIP の High レベル入力電流	$V_{IN} = 3.6V$ 、I2C_EN = 0	-1		2	μA
$I_{IL_CTL0_FLIP}$	CTL0 および FLIP の Low レベル入力電流	$V_{IN} = GND$ 、 $V_{CC} = 3.6V$ 、I2C_EN = 0、	-1		1	μA
I²C 制御ピン (SCL、SDA)						
V_{IH_3p3V}	3.3V の I ² C レベルに構成したときの High レベル入力電圧	I2C_EN = 1	2.0		3.6	V
V_{IL_3p3V}	3.3V の I ² C レベルに構成したときの Low レベル入力電圧	I2C_EN = 1	0		0.8	V
V_{IH_1p8V}	1.8V の I ² C レベルに構成したときの High レベル入力電圧	I2C_EN = F	1.2			V
V_{IL_1p8V}	1.8V の I ² C レベルに構成したときの Low レベル入力電圧	I2C_EN = F	0		0.6	V
V_{OL}	Low レベル出力電圧	I2C_EN = 0、 $I_{OL} = 6mA$	0		0.4	V
I_{OL}	Low レベル出力電流	I2C_EN = 0、 $V_{OL} = 0.4V$	20			mA

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{I(I2C)}$	入力電流	$0.1 \times V_{(I2C)} < \text{入力電圧} < 3.3V$	-1		1	μA
$C_{I(I2C)}$	入力容量				10	pF
$C_{(I2C_FM+_BUS)}$	FM+(1MHz)でのI ² Cバス容量				150	pF
$C_{(I2C_FM_BUS)}$	FM (400kHz)でのI ² Cバス容量				150	pF
$R_{(EXT_I2C_FM+)}$	FM+(1MHz)で動作時のSDAとSCLの両方の外付け抵抗	$C_{(I2C_FM+_BUS)} = 150pF$	620	820	910	Ω
$R_{(EXT_I2C_FM)}$	FM+(400kHz)で動作時のSDAとSCLの両方の外付け抵抗	$C_{(I2C_FM_BUS)} = 150pF$	620	1500	2200	Ω

5.7 USB および DP の電気的特性

自由気流での動作温度および電圧範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
USB Gen 2 差動レシーバ (RX1p/n, RX2p/n, SSTXp/n)						
$V_{(RX-DIFF-PP)}$	入力差動ピーク ツー ピーク電圧スイングの線形ダイナミックレンジ	AC 結合の差動ピークツウ ピーク信号を、リファレンス チャネルを通過した CTLE 後で測定		1200		mVppd
$V_{(RX-DC-CM)}$	レシーバの同相電圧バイアス (DC)			0		V
$V_{RX_CM-INST}$	次の動作状態での最大瞬時 RX DC 同相電圧変化: オフからオン、無効から接続解除、U3 から接続解除。	200k Ω 負荷を使用して、AC 結合コンデンサのリドライブ以外の側で測定。	-500		1000	mV
$V_{RX_CM-INST}$	次の動作状態での最大瞬時 RX DC 同相電圧変化: 接続解除から U0、U0 から U3、U3 から U0。	50 Ω 負荷を使用して、AC 結合コンデンサのリドライブ以外の側で測定。	-300		1000	mV
$R_{(RX-DIFF-DC)}$	差動入力インピーダンス (DC)	TXP/TXN で USB3 デバイスが検出された後に存在	72	90	120	Ω
$R_{(RX-CM-DC)}$	レシーバの DC コモン モード インピーダンス	TXP/TXN で USB3 デバイスが検出された後に存在	18		30	Ω
$Z_{(RX-HIGH-IMP-DC-POS)}$	終端がディスエーブルの場合のコモン モード入力インピーダンス (DC)	TXP/TXN で USB3 デバイスが検出されない場合に存在。GND に対して 0V ~ 500mV の範囲にわたって測定。	25			k Ω
$V_{(SIGNAL-DET-DIFF-PP)}$	入力差動ピーク ツー ピーク信号検出のアサートレベル	10Gbps で、入力損失なし、PRBS7 パターン		90		mVppd
$V_{(RX-IDLE-DET-DIFF-PP)}$	入力差動ピーク ツー ピーク信号検出のデアサートレベル	10Gbps で、入力損失なし、PRBS7 パターン		70		mVppd
$V_{(RX-LFPS-DET-DIFF-PP)}$	低周波数周期信号 (LFPS) 検出スレッシュホールド	VCC = 3.3V、25°C \leq T _A \leq 105°C、25MHz および 300mVppd VIN でテスト、最小値未満はスケルチ	100		300	mVppd
$V_{(RX-CM-AC-P)}$	ピーク RX AC 同相電圧	パッケージピンで測定			150	mVppd
$R_{L(RX-DIFF)}$	差動リターン ロス	90 Ω で 50MHz から 1.25GHz、		-19		dB
$R_{L(RX-DIFF)}$	差動リターン ロス	90 Ω で 5GHz、		-7		dB
$R_{L(RX-CM)}$	同相リターン ロス	90 Ω で 50MHz から 5GHz、		-7		dB
E_{Q_SSTX0}	100MHz での SSTX レシーバ イコライゼーション	FLIPSEL = 0, SSEQ_SEL = 0、		1.8		dB
E_{Q_SSTX0}	100MHz での SSTX レシーバ イコライゼーション	FLIPSEL = 1, SSEQ_SEL = 0、		2.1		dB
E_{Q_SSTX15}	100MHz での SSTX レシーバ イコライゼーション	FLIPSEL = 0, SSEQ_SEL = 15、		3.6		dB
E_{Q_SSTX15}	100MHz での SSTX レシーバ イコライゼーション	FLIPSEL = 1, SSEQ_SEL = 15、		4.0		dB
E_{Q_SSTX15}	2.5GHz での SSTX レシーバ イコライゼーション	FLIPSEL = 0, SSEQ_SEL = 15、		12.0		dB
E_{Q_SSTX15}	2.5GHz での SSTX レシーバ イコライゼーション	FLIPSEL = 1, SSEQ_SEL = 15、		12.2		dB
E_{Q_SSTX15}	5GHz での SSTX レシーバ イコライゼーション	FLIPSEL = 0, SSEQ_SEL = 15、		14.5		dB
E_{Q_SSTX15}	5GHz での SSTX レシーバ イコライゼーション	FLIPSEL = 1, SSEQ_SEL = 15、		14.5		dB
E_{Q_RX0}	100MHz での RX1 レシーバ イコライゼーション	FLIPSEL = 0, EQ1_SEL = 0、		1.7		dB
E_{Q_RX15}	100MHz での RX1 レシーバ イコライゼーション	FLIPSEL = 0, EQ1_SEL = 15、		3.5		dB
E_{Q_RX15}	2.5GHz での RX1 レシーバ イコライゼーション	FLIPSEL = 0, EQ1_SEL = 15、		11.6		dB
E_{Q_RX15}	5GHz での RX1 レシーバ イコライゼーション	FLIPSEL = 0, EQ1_SEL = 15、		14.1		dB
E_{Q_RX0}	100MHz での RX2 レシーバ イコライゼーション	FLIPSEL = 1, EQ2_SEL = 0、		2.0		dB

自由気流での動作温度および電圧範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
E _{Q_RX15}	100MHz での RX2 レシーバ イコライゼーション	FLIPSEL = 1, EQ2_SEL = 15、		3.8		dB
E _{Q_RX15}	2.5GHz での RX2 レシーバ イコライゼーション	FLIPSEL = 1, EQ2_SEL = 15、		11.4		dB
E _{Q_RX15}	5GHz での RX2 レシーバ イコライゼーション	FLIPSEL = 1, EQ2_SEL = 15、		13.4		dB
C _{AC-USB1}	SSTX に外部 AC カップリング コンデンサが必要		75		265	nF
C _{AC-USB2}	RX1 および RX2 にオプションの外部 AC カップリング コンデンサを接続可能。		297		363	nF
USB Gen 2 差動トランスミッタ (TX1p/n, TX2p/n, SSRXp/n)						
V _{TX(DIFF-PP)}	トランスミッタのダイナミック差動電圧スイング範囲。			1200		mVppd
V _{TX(RCV-DETECT)}	レシーバの検出中に許容される電圧の変化量	T _A = 25°C時、			600	mV
V _{TX-CM-INST}	次の動作状態での最大瞬時 TX DC 同相電圧変化: オフからオン、オンからオフ、無効から接続解除、U3 から接続解除。	200kΩ 負荷を使用して、AC 結合コンデンサのリドライバ以外の側でシングル エンドを測定。	-500		1000	mV
V _{TX-CM-INST}	次の動作状態での最大瞬時 TX DC 同相電圧変化: 接続解除から U0、U0 から U2/U3、U2/U3 から U0。	50Ω 負荷を使用して、AC 結合コンデンサのリドライバ以外の側でシングル エンドを測定。	-300		1000	mV
V _{TX(CM-IDLE-DELTA)}	U2/U3 で LFPS をアクティブに送信していない状態でのトランスミッタのアイドル同相電圧変化		-300		600	mV
V _{TX(DC-CM)}	トランスミッタの同相電圧バイアス (DC)		0.5		1.1	V
V _{TX(CM-AC-PP-ACTIVE)}	Tx AC 同相電圧 (アクティブ時)	時間と振幅の両方に関する Tx _p + Tx _n からの最大不一致			100	mVpp
V _{TX(IDLE-DIFF-AC-PP)}	AC 電氣的アイドル時の差動ピークツーピーク出力電圧	DC 成分を除去するハイパスフィルタ (HPF) 後のパッケージピンの場合、HPF = 1/LPF、RX 端子に AC または DC 信号を印加しない。	0		10	mV
V _{TX(IDLE-DIFF-DC)}	DC 電氣的アイドル時の差動出力電圧	AC 成分を除去するローパスフィルタ (LPF) 後のパッケージピンの場合、LPF = 1/HPF、RX 端子に AC または DC 信号を印加しない。	0		14	mV
V _{TX(CM-DC-ACTIVE-IDLE-DELTA)}	U1 と U0 との間の絶対 DC 同相電圧	パッケージピンの場合			200	mV
R _{TX(DIFF)}	ドライバの差動インピーダンス		72	90	120	Ω
R _{TX(CM)}	ドライバのコモン モード インピーダンス	0V~500mV の AC グランドを基準として測定	18		30	Ω
V _{SSRX-LIMITED-VODL0}	制限付きリドライバと LINR_L0 用に構成した場合の SSRX 差動ピークツーピーク電圧	TX_PRESHOOT_EN = 0、TX_DEEMPHASIS_EN = 0、		725		mVppd
V _{SSRX-LIMITED-VODL1}	制限付きリドライバと LINR_L1 用に構成した場合の SSRX 差動ピークツーピーク電圧	TX_PRESHOOT_EN = 0、TX_DEEMPHASIS_EN = 0、		850		mVppd
V _{SSRX-LIMITED-VODL2}	制限付きリドライバと LINR_L2 用に構成した場合の SSRX 差動ピークツーピーク電圧	TX_PRESHOOT_EN = 0、TX_DEEMPHASIS_EN = 0、		1000		mVppd
V _{SSRX-LIMITED-VODL3}	制限付きリドライバと LINR_L3 用に構成した場合の SSRX 差動ピークツーピーク電圧	TX_PRESHOOT_EN = 0、TX_DEEMPHASIS_EN = 0、		1100		mVppd
V _{SSRX-DE-RATIO0}	制限付きリドライバおよびディエンファシスがイネーブルになるように構成されている場合の SSRX ディエンファシス。	TX_PRESHOOT_EN = 0、TX_DEEMPHASIS_EN = 1、TX_DEEPHASIS = 2'b00、USB_SSRX_VOD = 2'b00 (LINR_L3)、		-1.5		dB

自由気流での動作温度および電圧範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{SSRX-DE-RATIO1}	制限付きリドライバおよびディエンファシスがイネーブルになるように構成されている場合の SSRX ディエンファシス。	TX_PRESHOOT_EN = 0、 TX_DEEMPHASIS_EN = 1、 TX_DEEPHASIS = 2'b01、 USB_SSRX_VOD = 2'b00 (LINR_L3)、		-2.1		dB
V _{SSRX-DE-RATIO2}	制限付きリドライバおよびディエンファシスがイネーブルになるように構成されている場合の SSRX ディエンファシス。	TX_PRESHOOT_EN = 0、 TX_DEEMPHASIS_EN = 1、 TX_DEEPHASIS = 2'b10、 USB_SSRX_VOD = 2'b00 (LINR_L3)、		-3.2		dB
V _{SSRX-DE-RATIO3}	制限付きリドライバおよびディエンファシスがイネーブルになるように構成されている場合の SSRX ディエンファシス。	TX_PRESHOOT_EN = 0、 TX_DEEMPHASIS_EN = 1、 TX_DEEPHASIS = 2'b11、 USB_SSRX_VOD = 2'b00 (LINR_L3)、		-3.8		dB
V _{SSRX-PRESH-RATIO0}	制限付きリドライバおよびプリシュートがイネーブルになるように構成されている場合の SSRX プリシュートレベル。	TX_PRESHOOT_EN = 1、 TX_DEEMPHASIS_EN = 0、 TX_PRESHOOT = 2'b00、 USB_SSRX_VOD = 2'b00 (LINR_L3)、		1.5		dB
V _{SSRX-PRESH-RATIO1}	制限付きリドライバおよびプリシュートがイネーブルになるように構成されている場合の SSRX プリシュートレベル。	TX_PRESHOOT_EN = 1、 TX_DEEMPHASIS_EN = 0、 TX_PRESHOOT = 2'b01、 USB_SSRX_VOD = 2'b00 (LINR_L3)、		2.0		dB
V _{SSRX-PRESH-RATIO2}	制限付きリドライバおよびプリシュートがイネーブルになるように構成されている場合の SSRX プリシュートレベル。	TX_PRESHOOT_EN = 1、 TX_DEEMPHASIS_EN = 0、 TX_PRESHOOT = 2'b10、 USB_SSRX_VOD = 2'b00 (LINR_L3)、		2.3		dB
V _{SSRX-PRESH-RATIO3}	制限付きリドライバおよびプリシュートがイネーブルになるように構成されている場合の SSRX プリシュートレベル。	TX_PRESHOOT_EN = 1、 TX_DEEMPHASIS_EN = 0、 TX_PRESHOOT = 2'b11、 USB_SSRX_VOD = 2'b00 (LINR_L3)、		2.8		dB
I _{TX(SHORT)}	TX 短絡電流	TX± は GND へ短絡			40	mA
R _{LTX(DIFF)}	差動リターンロス	50MHz~1.25GHz (90Ω 時)		-20		dB
R _{LTX(DIFF)}	差動リターンロス	90Ω で 5GHz		-13		dB
R _{LTX(CM)}	同相リターンロス	50MHz~5GHz (90Ω 時)		-6.5		dB
C _{TX-AC(COUPLING)}	必須の外付け AC カップリング コンデンサ		75		265	nF
AC の特性						
クロストーク	TX と RX 信号のペア間の差動クロストーク	5GHz 時、EQ = 0、		-34		dB
CP _{LF-LINRL0}	LINR_L0 設定時の低周波数における -1dB 圧縮ポイント。	100MHz、200mVpp < V _{ID} < 1200mVpp、EQ = 0		750		mVppd
CP _{HF-LINRL0}	LINR_L0 設定時の高周波数における -1dB 圧縮ポイント。	5GHz、200mVpp < V _{ID} < 1200mVpp、EQ = 0		675		mVppd
CP _{LF-LINRL1}	LINR_L1 設定時の低周波数における -1dB 圧縮ポイント。	100MHz、200mVpp < V _{ID} < 1200mVpp、EQ = 0		850		mVppd
CP _{HF-LINRL1}	LINR_L1 設定時の高周波数における -1dB 圧縮ポイント。	5GHz、200mVpp < V _{ID} < 1200mVpp、EQ = 0		740		mVppd
CP _{LF-LINRL2}	LINR_L2 設定時の低周波数における -1dB 圧縮ポイント。	100MHz、200mVpp < V _{ID} < 1200mVpp、EQ = 0		975		mVppd
CP _{HF-LINRL2}	LINR_L2 設定時の高周波数における -1dB 圧縮ポイント。	5GHz、200mVpp < V _{ID} < 1200mVpp、EQ = 0		800		mVppd
CP _{LF-LINRL3}	LINR_L3 設定時の低周波数における -1dB 圧縮ポイント。	100MHz、200mVpp < V _{ID} < 1200mVpp、EQ = 0		1050		mVppd
CP _{HF-LINRL3}	LINR_L3 設定時の高周波数における -1dB 圧縮ポイント。	5GHz、200mVpp < V _{ID} < 1200mVpp、EQ = 0		775		mVppd
t _{TX_DJ}	TX 出力の確定的残留ジッタ	VID = 1Vppd、最適な EQ 設定、12 インチ プリチャネル (5GHz で SDD21 = -8.2dB)、1.6 インチ ポストチャネル (5GHz で SDD21 = -1.8dB)、PRBS7、10Gbps で USB3		0.1		UI

自由気流での動作温度および電圧範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位	
t _{TX_DJ}	TX 出力の確定的残留ジッタ	VID = 0.8Vppd、最適な EQ 設定、12 インチ プリチャネル (5GHz で SDD21 = -8.2dB)、1.6 インチ ポスト チャネル (5GHz で SDD21 = -1.8dB)、PRBS7、10Gbps で DP		0.1	UI	
DisplayPort レシーバ(DP[3:0]p/n)						
V _{ID(PP)}	ピークツーピークの入力差動ダイナミック電圧範囲		1400		V	
V _{IC}	入力同相電圧	0.8	1.75	2	V	
V _{RX_CM-INST}	次の動作状態での最大瞬時 RX DC 同相電圧変化: オフからオン、ディスエーブルから 4DP 低電力、4DP アクティブからディスエーブル。(1)	200kΩ 負荷を使用して、AC 結合コンデンサのリドライバ以外の側でシングル エンドを測定。	-1200	1000	mV	
V _{RX_CM-INST}	次の動作状態での最大瞬時 RX DC 同相電圧変化: ディスエーブルから 4DP アクティブ (D0)、D0 から D3、D3 から D0。	50Ω 負荷を使用して、AC 結合コンデンサのリドライバ以外の側でシングル エンドを測定。	-500	1000	mV	
d _R	データレート			10	Gbps	
R _(ti)	入力終端抵抗	72	90	110	Ω	
C _(AC)	必須の外付け AC カップリング コンデンサ	75		265	nF	
E _{Q_DP0}	100MHz での DP0 レシーバ イコライゼーション	FLIPSEL = 0、DP0EQ_SEL = 0、	-0.2		dB	
E _{Q_DP15}	100MHz での DP0 レシーバ イコライゼーション	FLIPSEL = 0、DP0EQ_SEL = 15	2.3		dB	
E _{Q_DP0}	4.05GHz での DP0 レシーバ イコライゼーション	FLIPSEL = 0、DP0EQ_SEL = 0、	0.6		dB	
E _{Q_DP15}	4.05GHz での DP0 レシーバ イコライゼーション	FLIPSEL = 0、DP0EQ_SEL = 15	14.5		dB	
E _{Q_DP15}	5GHz での DP0 レシーバ イコライゼーション	FLIPSEL = 0、DP0EQ_SEL = 15	14.4		dB	
DisplayPort トランスミッタ (TX1p/n、TX2p/n、RX1p/n、RX2p/n)						
V _{TX-CM-INST}	次の動作状態での最大瞬時 TX DC 同相電圧変化: ディスエーブルから 4DP アクティブ (D0)、D0 から D3、D3 から D0。	50Ω 負荷を使用して、AC 結合コンデンサのリドライバ以外の側で測定。	-500	1000	mV	
V _{TX-CM-INST}	次の動作状態での最大瞬時 TX DC 同相電圧変化: ディスエーブルから 4DP 低電力、4DP アクティブからディスエーブル	200kΩ 負荷を使用して、AC 結合コンデンサのリドライバ以外の側で測定。	-1000	1000	mV	
V _{TX(DC-CM)}	トランスミッタの同相電圧バイアス (DC)		0.6	1	V	
R _{TX(DIFF)}	ドライバの差動インピーダンス		72	90	120	Ω
AUXp または AUXn と SBU1 または SBU2						
R _{ON}	出力オン抵抗	V _{CC} = 3.3V、AUXp の V _I = 0V~0.4V、AUXn の V _I = 2.7V~3.6V		6	Ω	
ΔR _{ON}	ペア内でのオン抵抗の不整合	V _{CC} = 3.3V、AUXp の V _I = 0V~0.4V、AUXn の V _I = 2.7V~3.6V		1.0	Ω	
R _{ON(FLAT)}	オン抵抗の平坦性 (RON の最大値 - RON の最小値) は、V _{CC} と温度が同じ状態で測定	V _{CC} = 3.3V、AUXp の V _I = 0V~0.4V、AUXn の V _I = 2.7V~3.6V		1.0	Ω	
V _(AUXP_DC_CM)	AUXp と SBU1 の AUX チャネル DC 同相電圧。	V _{CC} = 3.3V、	0	0.4	V	
V _(AUXN_DC_CM)	AUXn と SBU2 の AUX チャネル DC 同相電圧	V _{CC} = 3.3V、	2.7	3.6	V	

(1) DPTX 終端を無効にする前にドライバを無効にすることで、GPU (DPTX) が観測する瞬間的な同相変位を最小化できます。

5.8 タイミング要件

			最小値	公称値	最大値	単位
USB3.2						
$t_{IDLEEntry}$	U0 から電氣的アイドルまでの遅延	図 6-4 を参照してください		10		ns
$t_{IDLEExit_U1}$	U1 既存時間: 電氣的アイドルのブレイクから LFPS の転送まで	図 6-4 を参照してください		6		ns
$t_{IDLEExit_U2U3}$	U2/U3 終了時間: 電氣的アイドル状態のブレイクから LFPS の転送まで	図 6-4 を参照してください		10		μ s
t_{RXDET_INTVL}	切断中の RX 検出間隔				12	ms
$t_{IDLEExit_DISC}$	切断終了時間			10		μ s
t_{Exit_SHTDN}	シャットダウン終了時間			1		ms
$t_{AEQ_FULL_DONE}$	フル AEQ モードでの動作時に最適な EQ 設定を得るための最大時間。				300	μ s
$t_{AEQ_FAST_DONE}$	高速 AEQ モードでの動作時に適切な EQ 設定を決定するための最大時間。				60	μ s
t_{DIFF_DLY}	差動伝搬遅延	図 6-3 を参照してください			300	ps
t_R, t_F	出力立ち上がり / 立ち下がり時間	出力ピンから 1.7 インチで測定された差動電圧の 20%~80% 図 6-5 を参照してください。		40		ps
t_{RF_MM}	出力立ち上がり / 立ち下がり時間の不一致	出力ピンから 1.7 インチで測定された差動電圧の 20%~80%			2.6	ps
パワーアップ						
t_{D_PG}	$V_{CC(min)}$ から内部パワー グッドが High にアサートされるまで	図 6-10 を参照してください			27	ms
t_{CFG_SU}	CFG ⁽¹⁾ ピンの設定 ⁽²⁾	図 6-10 を参照してください	800			μ s
t_{CFG_HD}	CFG ⁽¹⁾ ピン ホールド	図 6-10 を参照してください	10			μ s
t_{CTL_DB}	CTL[1:0] と FLIP ピンのデバウンス	図 6-10 を参照してください			16	ms

(1) 以下のピンは CFG ピンで構成されます。I2C_EN, EQ[1:0], SSEQ[1:0], および DPEQ[1:0]。

(2) 推奨される CFG ピンは、 V_{CC} が最小のとき安定するようにしてください。

5.9 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
AUXp または AUXn と SBU1 または SBU2					
t_{AUX_PD}	スイッチ伝搬遅延			400	ps
$t_{AUX_SW_OFF}$	CTL1 からスイッチ オフになるまでのスイッチング時間。TCTL1_DEBOUNCE は含まれません	図 6-7 を参照してください。		500	ns
$t_{AUX_SW_ON}$	CTL1 からスイッチオンになるまでのスイッチング時間	図 6-6 を参照してください。		500	ns
USB および DisplayPort モードの遷移要件 (GPIO モード)					
$t_{GP_USB_4DP}$	USB3 専用モードから 4 レーン DisplayPort モードへ、またはその逆に遷移するときの CTL0 と CTL1 の最小オーバーラップ。	I2C_EN = 0。図 6-2 を参照。	4		μ s
CTL1 および HPDIN					
$t_{HPDIN_DEBOUNCE}$	H から L に遷移するときの CTL1 および HPDIN デバウンス時間。		2	10	ms
I²C					
f_{SCL}	I ² C クロック周波数			1	MHz
t_{BUF}	START 条件と STOP 条件の間でのバス開放時間	図 6-1 を参照してください	0.5		μ s

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{HDSTA}	リビート スタート コンディションの後のホールド時間。この時間が経過すると、最初のクロックパルスが生成されます	図 6-1 を参照してください	0.26			μs
t _{LOW}	I ² C クロックの Low 期間	図 6-1 を参照してください	0.5			μs
t _{HIGH}	I ² C クロックの High 期間	図 6-1 を参照してください	0.26			μs
t _{SUSTA}	反復開始条件のセットアップ時間	図 6-1 を参照してください	0.26			μs
t _{HDDAT}	データ ホールド時間	図 6-1 を参照してください	0.008			μs
t _{SUDAT}	データ セットアップ時間	図 6-1 を参照してください	50			ns
t _R	SDA 信号と SCL 信号の両方の立ち上がり時間	図 6-1 を参照してください			120	ns
t _F	SDA 信号と SCL 信号の両方の立ち下がり時間	図 6-1 を参照してください	1.2		120	ns
t _{SUSTO}	停止条件のセットアップ時間	図 6-1 を参照してください	0.26			μs
C _b	各バスラインの容量性負荷				150	pF

5.10 代表的特性

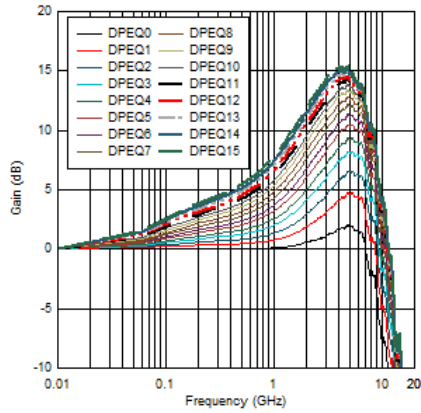


図 5-1. DisplayPort EQ 設定曲線

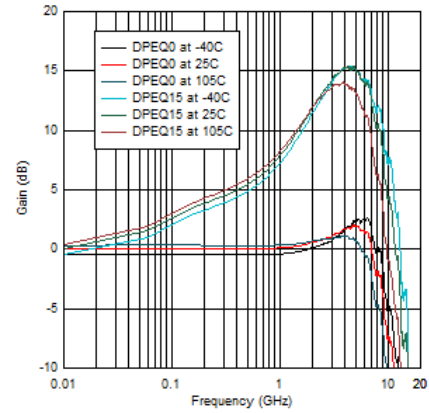


図 5-2. 温度範囲全体にわたる DisplayPort EQ 設定曲線

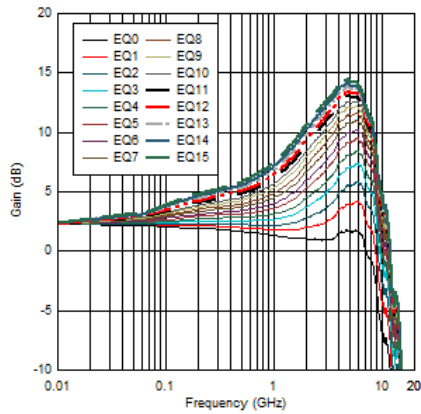


図 5-3. USB RX1 EQ 設定曲線

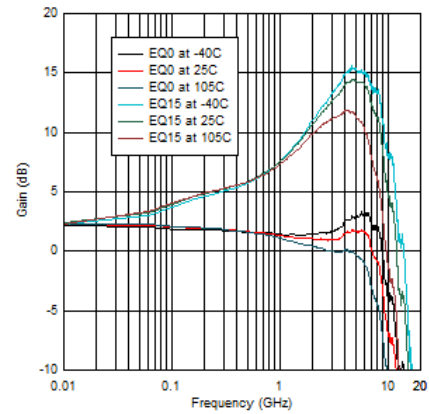


図 5-4. 全温度範囲にわたる USB RX1 EQ 設定曲線

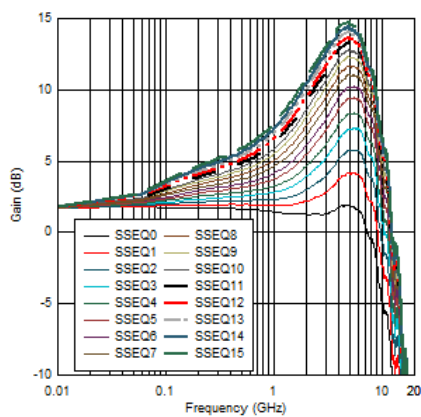


図 5-5. USB SSTX EQ 設定曲線

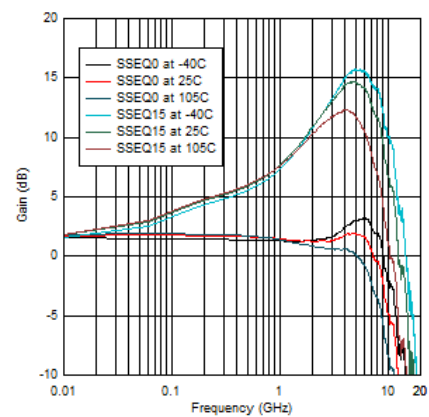


図 5-6. 温度範囲全体にわたる USB SSTX EQ 設定曲線

5.10 代表的特性 (続き)

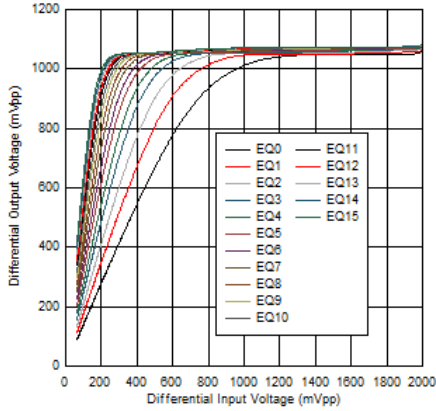


図 5-7. 4.05GHz での DisplayPort 直線性曲線

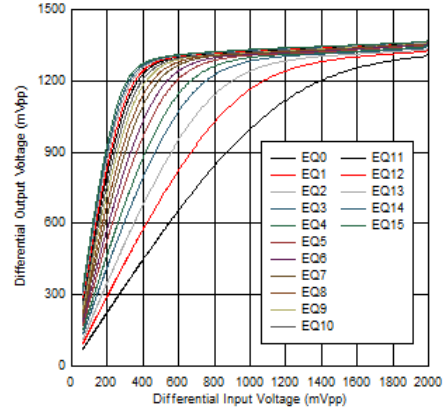


図 5-8. 5GHz での USB TX 直線性曲線

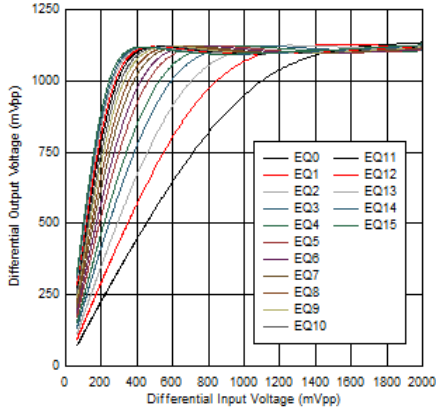


図 5-9. 5GHz での USB RX 直線性曲線

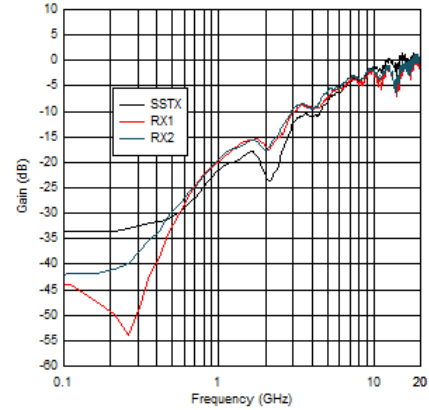


図 5-10. USB 入力のリターンロス性能

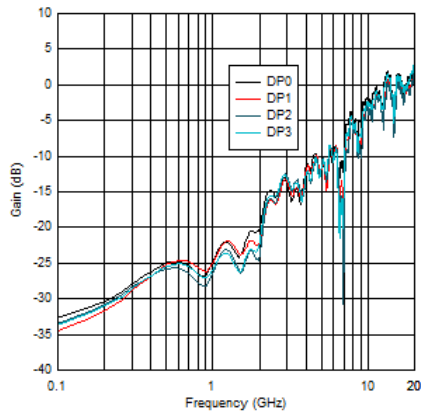


図 5-11. DisplayPort 入力のリターンロス性能

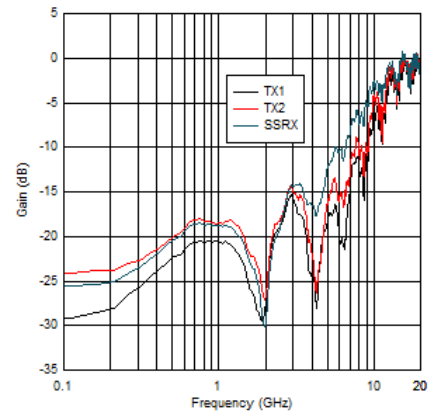


図 5-12. USB 出力のリターンロス性能

5.10 代表的特性 (続き)

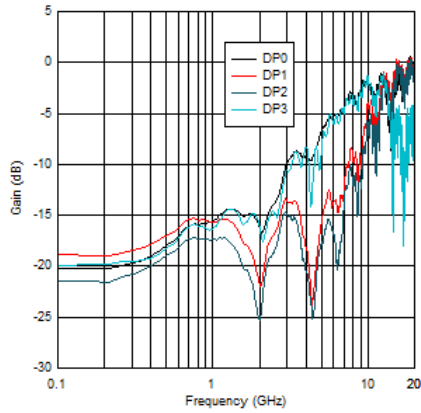


図 5-13. DisplayPort 出力のリターンロス性能

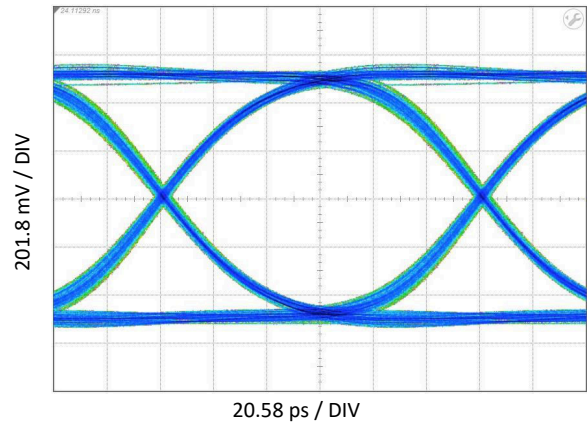


図 5-14. 8.1Gbps での 12 インチ入力 PCB トレースによる DisplayPort HBR3 のアイパターン性能

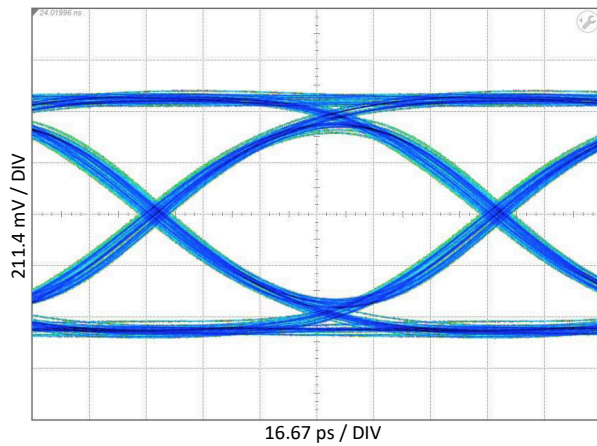


図 5-15. 10Gbps での 12 インチ入力 PCB トレースによる USB 3.1 Gen2 のアイパターン性能

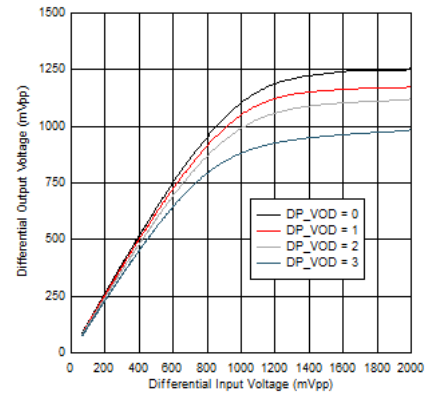


図 5-16. 100MHz での DP VOD 直線性設定

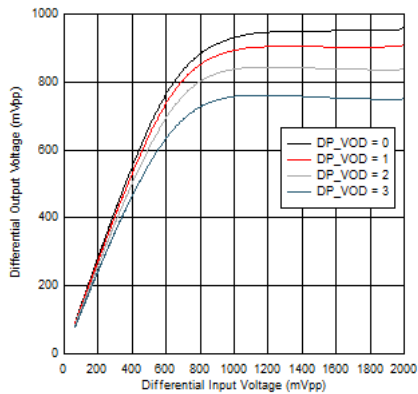


図 5-17. 5GHz での DP VOD 直線性設定

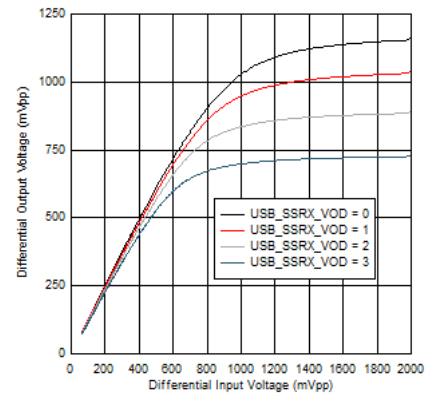


図 5-18. 100MHz での USB SSRX VOD 直線性設定

5.10 代表的特性 (続き)

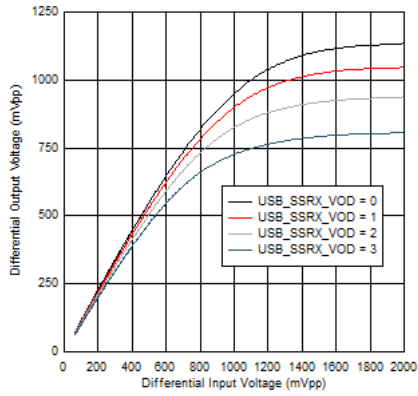


図 5-19. 5GHz での USB SSRX VOD 直線性設定

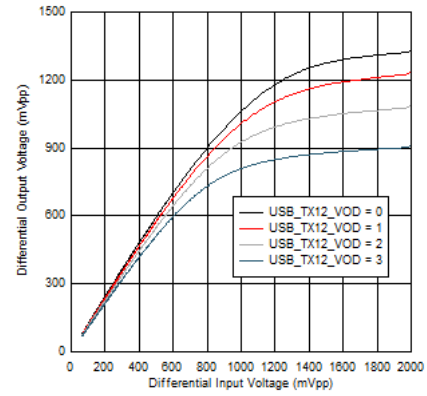


図 5-20. 100MHz での USB TX1 VOD 直線性設定

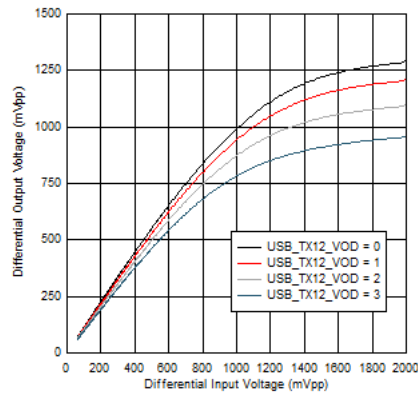


図 5-21. 5GHz での USB TX1 VOD 直線性設定

パラメータ測定情報

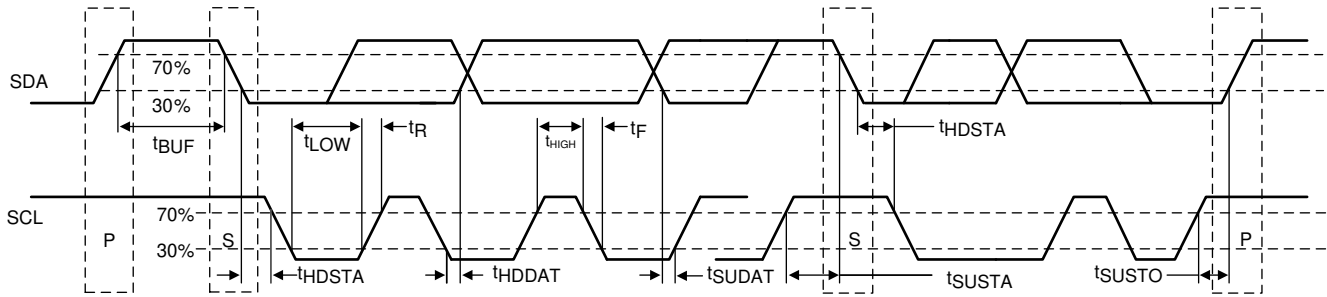


図 6-1. I²C のタイミング図の定義

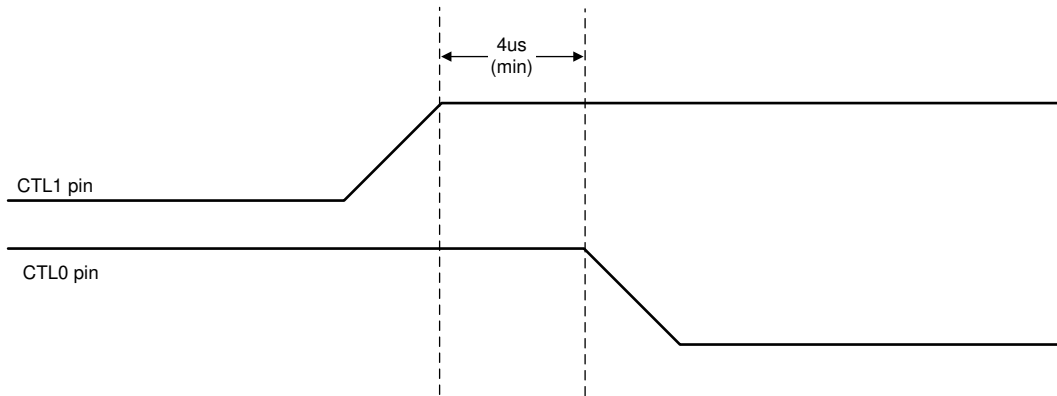


図 6-2. GPIO モードでの USB から 4 レーン DisplayPort

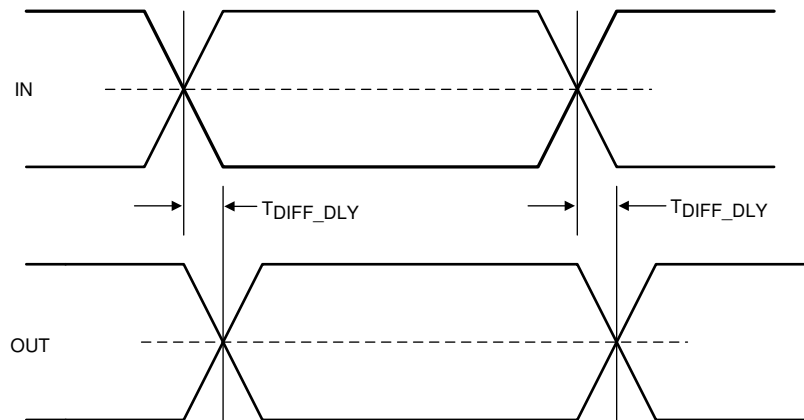


図 6-3. 伝搬遅延

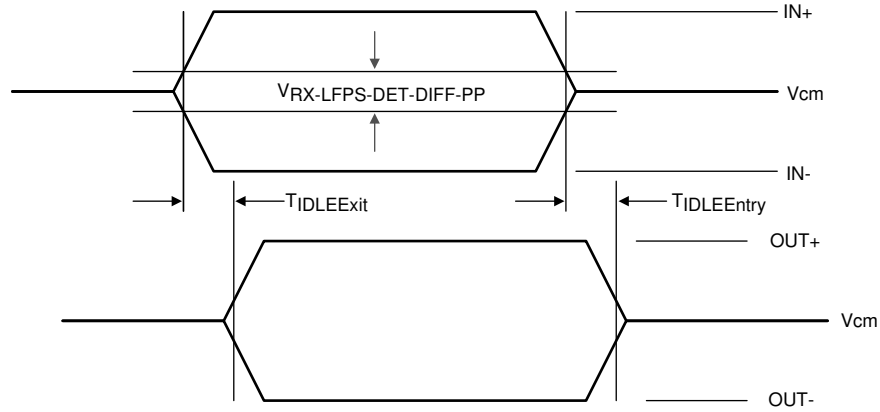


図 6-4. 電氣的アイドル モードの終了および開始遅延

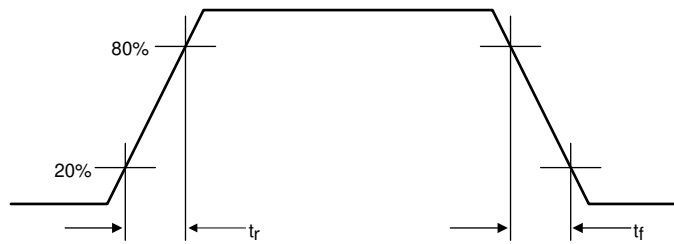
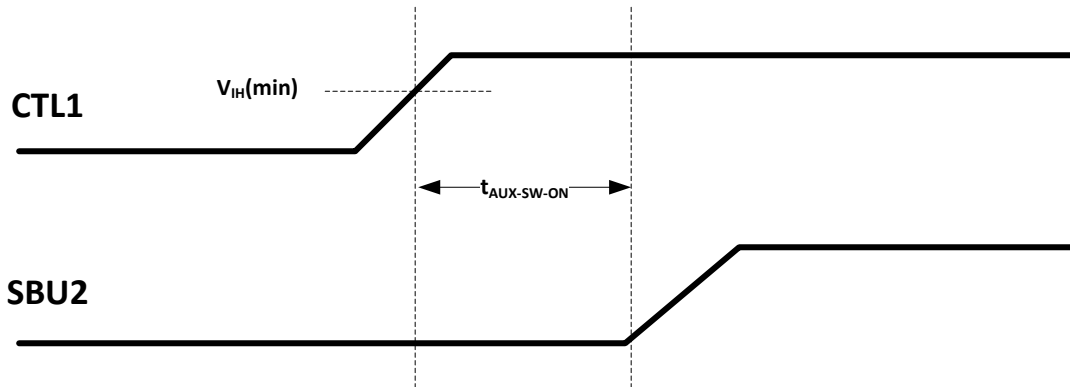
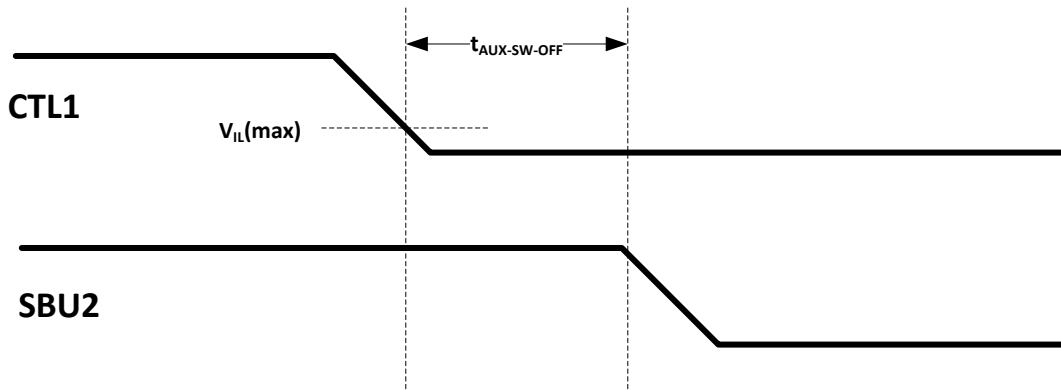


図 6-5. 出力の立ち上がりおよび立ち下がり時間



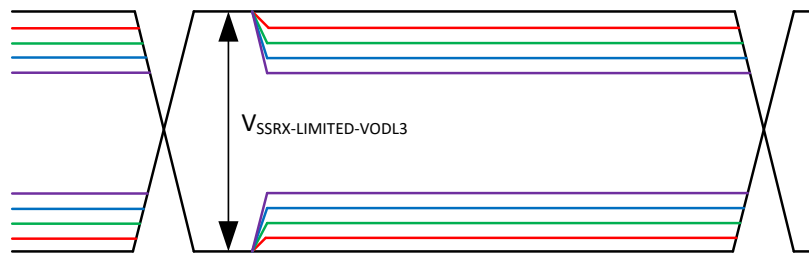
Copyright © 2017, Texas Instruments Incorporated

図 6-6. AUX から SBU へのスイッチ オンのタイミング図



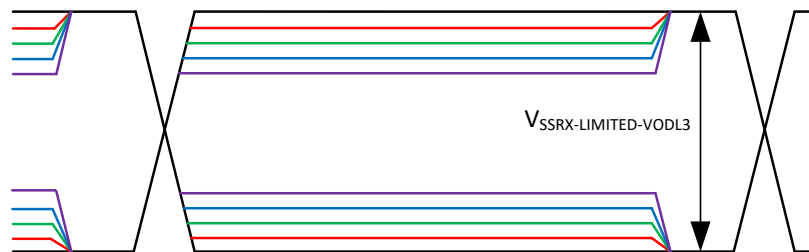
Copyright © 2017, Texas Instruments Incorporated

図 6-7. AUX から SBU へのスイッチ オフのタイミング図



- TX_PRESHOOT_EN = 0; TX_DEEMPHASIS_EN = 0;
- TX_PRESHOOT_EN = 0; TX_DEEMPHASIS_EN = 1; TX_DEEMPHASIS = 0;
- TX_PRESHOOT_EN = 0; TX_DEEMPHASIS_EN = 1; TX_DEEMPHASIS = 1;
- TX_PRESHOOT_EN = 0; TX_DEEMPHASIS_EN = 1; TX_DEEMPHASIS = 2;
- TX_PRESHOOT_EN = 0; TX_DEEMPHASIS_EN = 1; TX_DEEMPHASIS = 3;

図 6-8. SSRX 制限ディエンファシスのみ



- TX_PRESHOOT_EN = 0; TX_DEEMPHASIS_EN = 0;
- TX_PRESHOOT_EN = 1; TX_DEEMPHASIS_EN = 0; TX_PRESHOOT = 0;
- TX_PRESHOOT_EN = 1; TX_DEEMPHASIS_EN = 0; TX_PRESHOOT = 1;
- TX_PRESHOOT_EN = 1; TX_DEEMPHASIS_EN = 0; TX_PRESHOOT = 2;
- TX_PRESHOOT_EN = 1; TX_DEEMPHASIS_EN = 0; TX_PRESHOOT = 3;

図 6-9. SSRX 制限プリシュートのみ

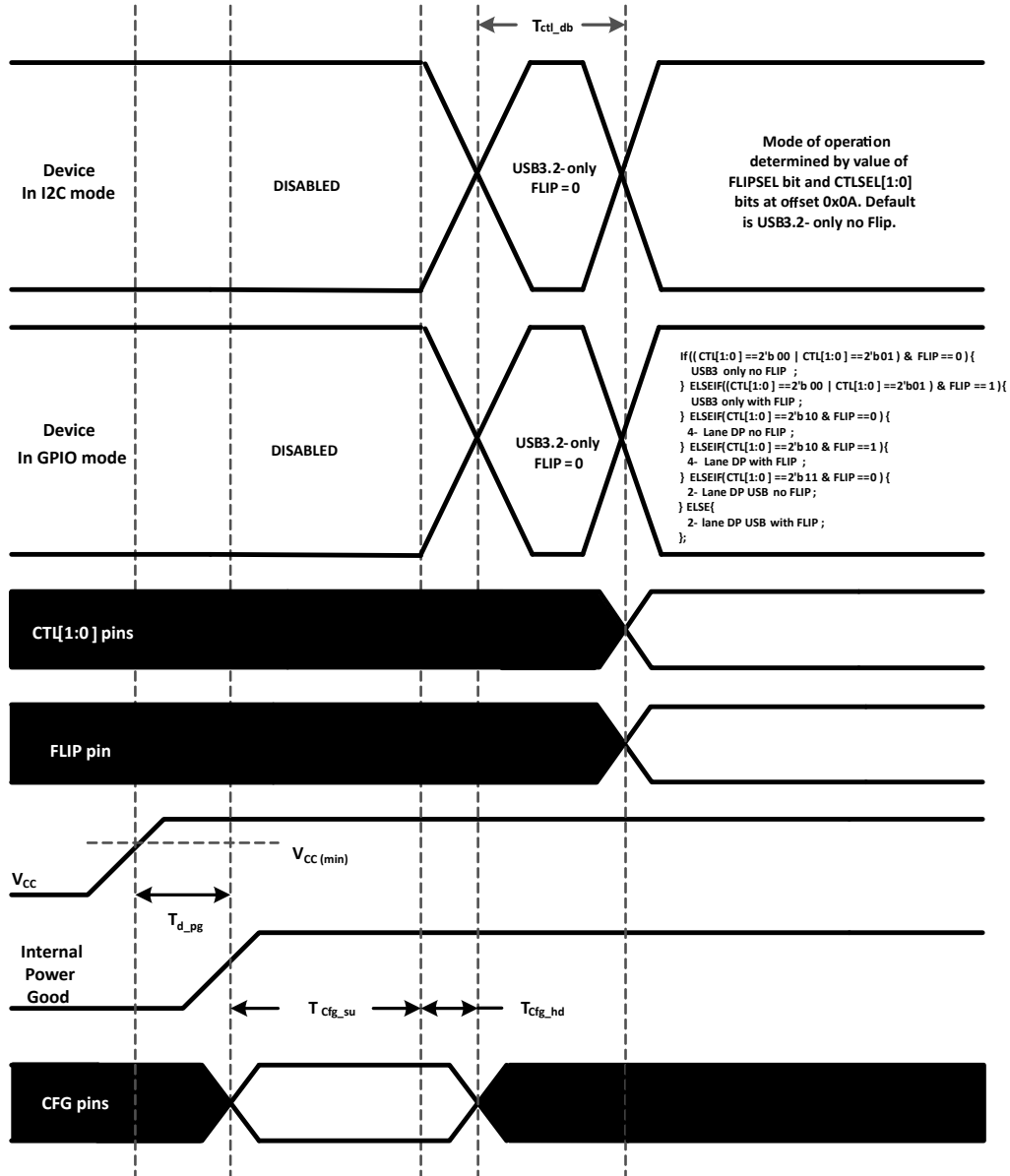


図 6-10. パワーオン タイミング

6 詳細説明

6.1 概要

TUSB1146-Q1 は、USB Type-C 経由の VESA DisplayPort Alt モードに対応したリドライバ スイッチであり、下流側ポートにおいて最大 10Gbps の DisplayPort データレートをサポートします。このデバイスは、第 5 世代の USB リドライバテクノロジーを採用しています。本デバイスは、USB Type-C 経由の VESA DisplayPort Alt モードにおける DFP 構成 C、D、および E に使用されます。

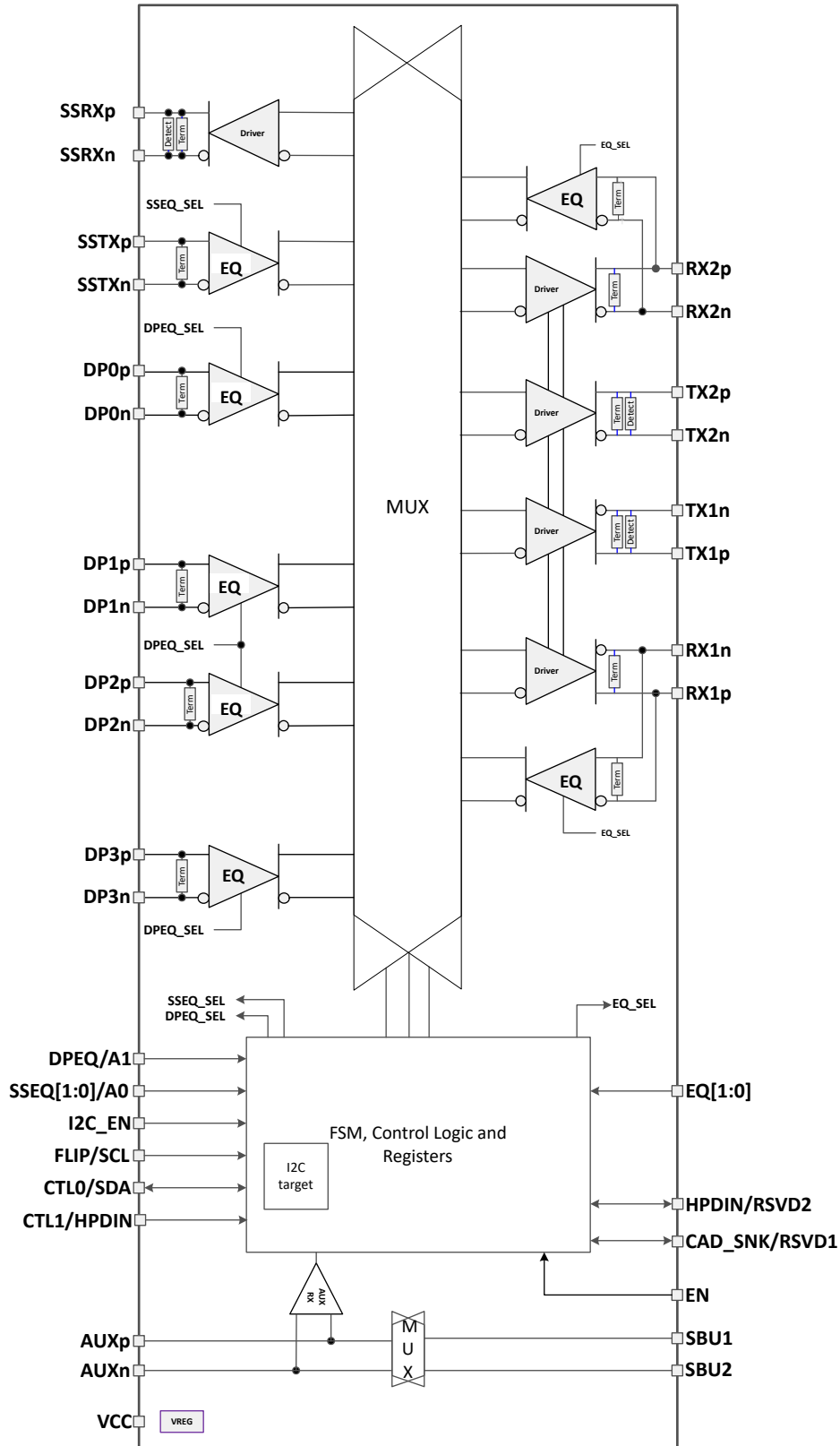
TUSB1146-Q1 は、USB 3.2 または DisplayPort 2.1 の信号が PCB やケーブルを通過する際に発生するシンボル間干渉 (ISI) によるケーブルおよび基板配線損失を補償するために、複数レベルの受信イコライゼーションを提供します。TUSB1146-Q1 は 3.3V 電源で動作し、車載グレード 2 の温度範囲に対応しています。

ホスト アプリケーションにおいて、TUSB1146-Q1 は USB 3.2 および DisplayPort バージョン 2.1 のトランスミッタのコンプライアンス テストおよびレシーバ ジッタ耐性テストの両方にシステムが合格することを可能にします。このリドライバは、チャネル損失を補償するイコライゼーションを適用して受信データを補正し、高い差動電圧で信号を出力します。各チャネルには、ゲイン設定を選択できるレシーバ イコライザーが搭載されています。TUSB1146-Q1 レシーバ前の挿入損失量に基づいてイコライゼーションを設定します。各チャネルのイコライゼーションは、EQ[1:0]、SSEQ[1:0]、DPEQ[1:0] ピンを使用して個別に制御できます。

TUSB1146-Q1 の高度ステート マシンにより、このデバイスはホストおよびデバイスに対して透過的に動作します。電源投入後、TUSB1146-Q1 は TX ペアでレシーバ検出を定期的に行います。デバイスが USB 3.2 レシーバを検出すると、RX 終端がイネーブルになり、TUSB1146-Q1 をリドライブする準備ができます。

このデバイスの超低消費電力アーキテクチャは、3.3V の電源で動作し、性能向上を実現しています。自動的な LFPS デイエンファシス制御により、システムはさらに USB3.2 に準拠できます。

6.2 機能ブロック図



6.3 機能説明

6.3.1 USB 3.2

TUSB1146-Q1 は、最大 10Gbps の USB 3.2 データレートに対応しています。TUSB1146-Q1 は、USB で定義されたすべての電力状態 (U0、U1、U2、U3) をサポートしています。TUSB1146-Q1 は、リニア リドドライバであるため、デバイスは USB3.2 物理層トラフィックをデコードできません。TUSB1146-Q1 は、レシーバ終端、電気的アイドル、LFPS、および SuperSpeed 信号レートなどの実際の物理層の状態を監視し、USB 3.2 インターフェイスの USB 電力状態を判別します。

TUSB1146-Q1 は、インテリジェントな低周波数周期信号 (LFPS) 検出器を備えています。LFPS 検出器は低周波信号を自動的に検出し、レシーバのイコライゼーション機能を無効にします。LFPS を受信していない場合、TUSB1146-Q1 は EQ[1:0] ピンおよび SSEQ[1:0] ピン、または EQ1_SEL、EQ2_SEL、SSEQ_SEL レジスタに設定された値に基づいてレシーバ イコライゼーションを有効にします。

6.3.2 ディスプレイポート

TUSB1146-Q1 は、最大 10Gbps のデータ速度で最大 4 つの DisplayPort レーンをサポートします。TUSB1146-Q1 は、DisplayPort モードに設定されている場合、DisplayPort ソースと DisplayPort シンク間を通過するネイティブ AUX トラフィックを監視します。消費電力を低減するために、TUSB1146-Q1 は AUX トランザクションの内容に基づいてアクティブな DisplayPort レーン数を管理します。TUSB1146-Q1 は、DisplayPort シンクの DPCD レジスタ 0x00101 (LANE_COUNT_SET) および 0x00600 (SET_POWER_STATE) へのネイティブ AUX 書き込みをスヌープします。TUSB1146-Q1 は、LANE_COUNT_SET に書き込まれた値に基づいてレーンを無効化または有効化します。SET_POWER_STATE が D3 のとき、TUSB1146-Q1 はすべてのレーンを無効化します。それ以外の場合、アクティブなレーンは LANE_COUNT_SET の値に基づいています。

DisplayPort AUX スヌーピングは、デフォルトで有効になっていますが、AUX_SNOOP_DISABLE レジスタを変更することで無効化することもできます。AUX スヌープが無効化されている場合、TUSB1146-Q1 の DisplayPort レーンの管理は、各種構成レジスタを介して制御されます。TUSB1146-Q1 が GPIO モード (I2C_EN = "0") で有効になっている場合、CAD_SNK ピンを使用して AUX スヌープを無効にすることができます。CAD_SNK ピンが High の場合、AUX スヌープ機能は無効になり、4 本すべての DisplayPort レーンがアクティブになります。

6.3.3 4 レベル入力

TUSB1146-Q1 には、イコライゼーション ゲインを制御し、TUSB1146-Q1 をさまざまな動作モードに設定するための 4 レベル入力ピン (I2C_EN、EQ[1:0]、DPEQ[1:0]、SSEQ[1:0]) があります。これらの 4 レベル入力は、抵抗分圧回路を使用して 4 つの有効なレベルを設定し、より広範な制御設定を可能にします。内部プルアップ抵抗およびプルダウン抵抗が実装されています。これらの内部抵抗は、外部抵抗と組み合わせることで、所定の電圧レベルを実現します。

表 6-1. 4 レベル制御ピンの設定

レベル	設定
0	1K Ω (許容誤差 5%) の抵抗を GND に接続します。
R	20K Ω (許容誤差 5%) の抵抗を GND に接続します。
F	フロート (ピンはオープンのままにする)
1	1K Ω 5% を V _{CC} に接続。

注

すべての 4 レベル入力は、内部リセットの立ち上がりエッジ後にラッチされます。t_{cfg_hd} の後、消費電力を削減するため、内部プルアップおよびプルダウン抵抗を絶縁します。

6.3.4 レシーバのリニア イコライゼーション

レシーバのイコライゼーションは、TUSB1146-Q1 の入力前にシステムでのチャンネル挿入損失とシンボル間干渉を補償することを目的としています。レシーバは、高周波成分を基準として信号の低周波数成分を減衰させることで、これらの損失を克服します。TUSB1146-Q1 レシーバの入力前のチャンネル挿入損失に対応するように、適切なゲイン設定を選択します。2 本の 4 レベル入力ピンにより、最大 16 件のイコライゼーション設定が可能です。USB3.2 上流パス、USB3.2 下流パス、および DisplayPort には、それぞれ 2 つの 4 レベル入力があります。TUSB1146-Q1 は、I²C レジスタを介して設定を調整できる柔軟性も備えています。

TUSB1146-Q1 は、USB-C 下流側ポートのレシーバ (RX1 および RX2) 向けに、3 種類のイコライザ機能を実装しています: 固定 EQ、高速アダプティブ EQ (Fast AEQ)、およびフル アダプティブ EQ (Full AEQ)。デフォルトの操作は固定 EQ です。固定 EQ 動作では、USB-C レセプタクルに接続されるすべてのデバイス (ケーブルの有無を問わず) に対して、単一の設定が使用されます。高速 AEQ 機能は、短いチャンネルと長いチャンネルを区別できます。短いチャンネルは、ケーブルなしで USB-C レセプタクルに直接接続する USB 3.2 デバイスの低損失の使用事例を表しています。長いチャンネルは、USB ケーブル経由でレセプタクルに接続する USB 3.2 デバイスの損失の大きい使用事例です。高速 AEQ モードでは、TUSB1146-Q1 がチャンネルの長さ (ショートまたはロング) に基づいて、あらかじめ決められた 2 つの設定のいずれかを選択します。TUSB1146-Q1 がフル AEQ に設定されている場合、TUSB1146-Q1 は USB デバイスが USB-C レセプタクルに接続されるたびに、最適なイコライゼーション設定を自動的に判定します。フル AEQ モードでは、TUSB1146-Q1 はチャンネルが短い、長い、またはその中間であっても、常に最適な設定を判定します。フル AEQ 機能はデフォルトで無効になっていますが、レジスタを介して有効にできます。

6.4 デバイスの機能モード

6.4.1 GPIO モードでのデバイス構成

I2C_EN が “0” の場合、または I2C_EN が “F” かつ (EQ0 が “0” かつ EQ1 が “0” ではない) 場合、TUSB1146-Q1 は GPIO 構成になります。TUSB1146-Q1 は、次の構成をサポートしています: USB 3.2 のみ、2 レーンの DisplayPort + USB 3.2、または 4 レーンの DisplayPort (USB 3.2 なし)。CTL1 ピンは、DisplayPort を有効にするかどうかを制御します。CTL1 と CTL0 の組み合わせによって、USB 3.2 のみ、2 レーンの DisplayPort、または 4 レーンの DisplayPort が選択されます (詳細は 表 6-2 を参照)。表 6-3 に基づいて、AUXp および AUXn と SBU1 または SBU2 とのマッピングが制御されます。

電源投入後 (V_{CC} を 0V から 3.3V に)、TUSB1146-Q1 はデフォルトで USB3.2 モードになります。USB PD コントローラは、Type-C ポートにデバイスが接続されていないことを検出した場合、または接続されたデバイスによって USB3.2 動作が不要と判断された場合に、CTL0 ピンを Low から High、再び Low に遷移させることで、TUSB1146-Q1 を USB3.2 モードから解除する必要があります。

表 6-2. GPIO 構成制御

CTL1 ピン	CTL0 ピン	FLIP ピン	TUSB1146-Q1 構成	VESA DisplayPort ALT モード DFP_D 設定
L	L	L	パワーダウン	—
L	L	H	パワーダウン	—
L	H	L	1 ポート USB 3.2 — フリップ機能なし	—
L	H	H	1 ポート USB 3.2 — フリップ機能あり	—
H	L	L	4 レーン DP — フリップ機能なし	C と E
H	L	H	4 レーン DP — フリップ機能あり	C と E
H	H	L	1 ポート USB 3.2 + 2 レーン DisplayPort — フリップ機能なし	D
H	H	H	1 ポート USB 3.2 + 2 レーン DisplayPort — フリップ機能あり	D

表 6-3. GPIO による AUXp/AUXn と SBU1/SBU2 のマッピング

CTL1 ピン	FLIP ピン	マッピング
H	L	AUXp → SBU1 AUXn → SBU2
H	H	AUXp → SBU2 AUXn → SBU1
L > 2ms	X	オープン

表 6-4 は、TUSB1146-Q1 デバイスの MUX ルーティングを示しています。この表は、I²C と GPIO の両方の構成モードに有効です。

表 6-4. 入力から出力へのマッピング

CTL1 ピン	CTL0 ピン	FLIP ピン	送信元	送信先
			入力ピン	出力ピン
L	L	L	該当なし	該当なし
L	L	H	該当なし	該当なし
L	H	L	RX1P	SSRXP
			RX1N	SSRXN
			SSTXP	TX1P
			SSTXN	TX1N
L	H	H	RX2P	SSRXP
			RX2N	SSRXN
			SSTXP	TX2P
			SSTXN	TX2P
H	L	L	DP0P	RX2P
			DP0N	RX2N
			DP1P	TX2P
			DP1N	TX2N
			DP2P	TX1P
			DP2N	TX1N
			DP3P	RX1P
			DP3N	RX1N
H	L	H	DP0P	RX1P
			DP0N	RX1N
			DP1P	TX1P
			DP1N	TX1N
			DP2P	TX2P
			DP2N	TX2N
			DP3P	RX2P
			DP3N	RX2N
H	H	L	RX1P	SSRXP
			RX1N	SSRXN
			SSTXP	TX1P
			SSTXN	TX1N
			DP0P	RX2P
			DP0N	RX2N
			DP1P	TX2P
			DP1N	TX2N
H	H	H	RX2P	SSRXP
			RX2N	SSRXN
			SSTXP	TX2P
			SSTXN	TX2N
			DP0P	RX1P
			DP0N	RX1N
			DP1P	TX1P
			DP1N	TX1N

6.4.2 I²C プログラミングによるデバイス構成

TUSB1146-Q1 は、I2C_EN が “0” でない場合、または I2C_EN が “F” かつ EQ0 が “0” かつ EQ1 が “0” の場合に I²C モードになります。GPIO モードで定義されているのと同じ構成が、I²C モードでも使用できます。TUSB1146-Q1 の USB 3.2 および DisplayPort の構成は、表 6-5 に基づいて制御されます。表 6-6 に基づいて、AUXp および AUXn と SBU1 または SBU2 とのマッピングが制御されます。

表 6-5. I²C コントローラ制御

レジスタ			TUSB1146-Q1 構成	VESA DisplayPort ALT モード DFP_D 設定
CTLSEL1	CTLSEL0	FLIPSEL		
0	0	0	パワーダウン	—
0	0	1	パワーダウン	—
0	1	0	1 ポート USB 3.2 — フリップ機能なし	—
0	1	1	1 ポート USB 3.2 — フリップ機能あり	—
1	0	0	4 レーン DP — フリップ機能なし	C と E
1	0	1	4 レーン DP — フリップ機能あり	C と E
1	1	0	1 ポート USB 3.2 + 2 レーン DisplayPort — フリップ機能なし	D
1	1	1	1 ポート USB 3.2 + 2 レーン DisplayPort — フリップ機能あり	D

表 6-6. I²C による AUXp/AUXn と SBU1/SBU2 のマッピング

レジスタ				マッピング
AUX_SBU_OVR1	AUX_SBU_OVR0	CTLSEL1	FLIPSEL	
0	0	1	0	AUXp → SBU1 AUXn → SBU2
0	0	1	1	AUXp → SBU2 AUXn → SBU1
0	0	0	X	オープン
0	1	X	X	AUXp → SBU1 AUXn → SBU2
1	0	X	X	AUXp → SBU2 AUXn → SBU1
1	1	X	X	オープン

6.4.3 DisplayPort モード

TUSB1146-Q1 は、最大 10Gbps のデータ速度で最大 4 つの DisplayPort レーンをサポートします。TUSB1146-Q1 は、GPIO 制御または I²C レジスタ制御により DisplayPort で有効化できます。I2C_EN が「0」の場合、DisplayPort は表 6-2 に基づいて制御されます。GPIO モードでない場合、DisplayPort 機能の有効化は I²C レジスタにより制御されます。

6.4.4 直線性 EQ の構成

各 TUSB1146-Q1 レシーバ レーンは、レシーバのイコライゼーションのために独立して制御します。レシーバのイコライゼーション ゲイン値は、I²C レジスタと GPIO のどちらかにより制御可能です。表 6-7 は、TUSB1146-Q1 が GPIO モードのときに利用可能な各組み合わせに対するゲイン値を示しています。これらと同じオプションは、I²C モードでも利用可能であり、レジスタ DP0EQ_SEL、DP1EQ_SEL、DP2EQ_SEL、DP3EQ_SEL、EQ1_SEL、EQ2_SEL、および SSEQ_SEL を更新することで設定できます。

表 6-7. USB 下流側ポート レシーバ (RX1 および RX2 ピン) のイコライゼーション制御

レジスタ:EQ1_SEL または EQ2_SEL イコライゼーション設定#	EQ1 ピンレベル	EQ0 ピンレベル	EQ ゲイン(2.5GHz/5.0GHz)から 100MHz でのゲイン (dB)を減算
0	0	0	-1.0/-0.4
1	0	R	0.0/1.8
2	0	F	0.9/3.2
3	0	1	1.8/4.6
4	R	0	2.6/5.5
5	R	R	3.4/6.5
6	R	F	4.0/7.2
7	R	1	4.6/7.8
8	F	0	5.2/8.3
9	F	R	5.7/8.9
10	F	F	6.1/9.2
11	F	1	6.5/9.5
12	1	0	6.8/9.7
13	1	R	7.1/10.0
14	1	F	7.5/10.2
15	1	1	7.8/10.4

表 6-8. USB 上流側ポート レシーバ (SSTX ピン) のイコライゼーション制御

レジスタ:SSEQ_SEL イコライゼーション設定#	SSEQ1 ピンレベル	SSEQ0 ピンレベル	EQ ゲイン(2.5GHz/ 5.0GHz)から 100MHz での ゲイン (dB)を減算
0	0	0	-0.5/0.1
1	0	R	0.6/2.2
2	0	F	1.5/3.7
3	0	1	2.5/5.1
4	R	0	3.2/6.0
5	R	R	4.0/7.0
6	R	F	4.6/7.6
7	R	1	5.2/8.3
8	F	0	5.7/8.8
9	F	R	6.3/9.3
10	F	F	6.6/9.6
11	F	1	7.1/10.0
12	1	0	7.4/10.2
13	1	R	7.8/10.5
14	1	F	8.0/10.7
15	1	1	8.4/10.9

表 6-9. DisplayPort レシーバ (DP[3 : 0] ピン) イコライゼーション制御

レジスタ: DP0EQ_SEL、 DP1EQ_SEL、 DP2EQ_SEL、DP3EQ_SEL イコライゼーション設定#	DPEQ1 ピンレベル	DPEQ0 ピンレベル	2.7GHz/4.05GHz/5GHz における EQ ゲインから、100MHz における ゲインを差し引いた値 (dB)
0	0	0	0.4/0.8/0.83
1	0	R	2.0/3.1/3.4
2	0	F	3.0/4.6/5.0
3	0	1	4.2/6.0/6.5
4	R	0	5.0/7.0/7.5
5	R	R	6.0/8.0/8.4
6	R	F	6.5/8.7/9.1
7	R	1	7.2/9.4/9.8
8	F	0	7.8/10.0/10.3
9	F	R	8.3/10.4/10.7
10	F	F	8.7/10.7/10.9
11	F	1	9.1/11.1/11.2
12	1	0	9.4/11.3/11.3
13	1	R	9.7/11.5/11.5
14	1	F	10.0/11.7/11.6
15	1	1	10.2/11.8/11.7

6.4.5 直線性 VOD

TUSB1146-Q1 では、4 種類の直線性 VOD 設定があります。4 つの設定はすべて、レジスタ制御により I²C モードで利用できます。GPIO モードでは、直線性 VOD は LINR_L3 に固定されます。

注

TX1 および TX2 は、DP モードと USB モードで共有されます。TX_SWING_DFP の設定が、USB 専用 (CTLSEL = 2'b01) と 4 レーン DP (CTLSEL = 2'b10) で異なる場合、外部 PD コントローラは DP 用と USB 用の適切な値を TX_SWING_DFP レジスタに書き込む必要があります。TI は、USB モードまたは DP モードに入る前に、これらのレジスタを変更することを推奨しています。CTLSEL = 2'b11 (DP+USB) の場合、TX_SWING_DFP に書き込まれた設定は、USB と DP の両方に適用されることに注意してください。そのため、CTLSEL = 2'b11 の場合、PD コントローラは両方に共通する最大の設定値を書き込むことができます。たとえば、4 レーン DP (CTLSEL = 2'b10) の設定が LINR_L2 で、USB 専用 (CTLSEL = 2'b01) の設定が LINR_L1 の場合、CTLSEL = 2'b10 のときに PD コントローラは TX_SWING_DFP を LINR_L2 に設定できます。

6.4.6 VOD モード

TUSB1146-Q1 は、VOD (電圧出力差動) 制御に 2 つのモードを備えています: 直線性 VOD と制限付き VOD。TUSB1146-Q1 はデフォルトで直線性 VOD モードを使用しますが、I²C レジスタを使用して制限付き VOD モードに変更できます。

6.4.6.1 直線性 VOD

直線性 VOD は、TUSB1146-Q1 の直線性範囲を定義します。TUSB1146-Q1 が直線性 VOD モードの場合、出力 VOD は入力 VID の線形関数になります。たとえば、TUSB1146-Q1 入力 (VID) の信号が 600mVpp の場合、TUSB1146-Q1 出力の VOD は約 600mVpp です。直線性 VOD モードは、下流パス (DisplayPort および USB) で使用できる唯一のモードです。上流パス (USB のみ) は、直線性 VOD と制限付き VOD の両方をサポートします。直線性

VOD モードは、TUSB1146-Q1 のデフォルト動作です。TUSB1146-Q1 では、4 種類の直線性 VOD 設定があります。4 つの設定はすべて、レジスタ制御により I²C モードで利用できます。

6.4.6.2 制限付き VOD

制限付き VOD モードは、実際の VOD レベルを設定するために使用され、TUSB1146-Q1 が制限付きリドライバ モードに構成されている場合に使用されます。このモードでは、VOD は入力 VID の線形機能ではなくなります。たとえば、TUSB1146-Q1 入力 (VID) の信号が 600mVpp の場合、TUSB1146-Q1 出力 VOD は約 1000mVpp になります (LINR_L3 が選択されていると仮定)。制限付きリドライバ モードは、アップストリーム方向 (RX1 → SSRX および RX2 → SSRX) でのみサポートされます。ダウンストリーム パスは常にリニア リドライバ モードで動作します。制限付きリドライバは、I²C モードでのみ有効にできます。このモードは、GPIO モードには対応していません。TUSB1146-Q1 には、4 種類の制限付き VOD 設定があります。4 つの設定はすべて、レジスタ制御で利用できます。

6.4.7 送信イコライゼーション

TUSB1146-Q1 は、限定リドライバ モードで、SSRX トランスミッタのプレシュートおよびデエンファシス制御を提供します。TUSB1146-Q1 には、4 つのプリシュートレベルと 4 つのディエンファシス レベルがあります。これらのレベルは、I²C レジスタを変更することで変更できます。プリシュートは、SSRX_LIMIT_ENABLE ビット = 1 かつ TX_PRESHOOT_EN ビット = 1 のとき有効化されます。SSRX_LIMIT_ENABLE ビット = 1、TX_DEEPHASES_EN = 1 のとき、ディエンファシスが有効になります。

6.4.8 USB3.2 モード

TUSB1146-Q1 は、レーシーバ終端、電気的アイドル、LFPS、SuperSpeed 信号レートなどの物理層の状態を監視し、USB3.2 インターフェイスの状態を判定します。USB 3.2 インターフェイスの状態に応じて、USB 3.2 が有効な場合 (CTL0 = H または CTLSEL0 = 1b1)、TUSB1146-Q1 は 4 つの主要な動作モードのいずれかになります: 接続解除、U2/U3、U1、U0 です。

接続解除モードは、TUSB1146-Q1 が上流側ポート (UFP) および下流側ポート (DFP) の両方で、相手側終端を検出していない状態です。接続解除モードは、4 つの各モードのうち最小消費電力モードです。TUSB1146-Q1 は、UFP および DFP の両方で相手側レーシーバ終端が検出されるまで、このモードのままになります。TUSB1146-Q1 は、相手側終端が検出されると直ちにこのモードを終了し、U0 に移行します。

U0 モードでは、TUSB1146-Q1 は UFP および DFP で受信したすべてのトラフィックをリドライブします。U0 は、すべての USB3.2 モードの中で最も高い電力モードです。TUSB1146-Q1 は、UFP および DFP の両方で電気的アイドルが発生するまで、U0 モードのままになります。電気的アイドルを検出すると、TUSB1146-Q1 はすぐに U1 に移行します。

U1 モードは、U0 モードと U2/U3 モードの中間モードです。U1 モードでは、TUSB1146-Q1 の UFP および DFP のレーシーバ終端が有効なままになります。UFP および DFP トランスミッタの DC 同相電圧が維持されます。U1 の消費電力は、U0 の消費電力と類似しています。

接続解除モードに隣接して、U2/U3 モードは次に消費電力が低い状態になります。このモードでは、TUSB1146-Q1 は定期的に遠端レーシーバ検出を実行します。UFP または DFP のいずれかで相手側レーシーバ終端が検出されない場合、TUSB1146-Q1 は U2/U3 モードを離れ、接続解除モードに移行します。このデバイスは、有効な LFPS も監視します。有効な LFPS が検出されると、TUSB1146-Q1 は直ちに U0 モードに遷移します。U2/U3 モードでは、TUSB1146-Q1 のレーシーバ終端はイネーブルのままですが、TX DC 同相電圧は維持されません。

6.4.9 下流側ポートの適応型イコライゼーション

TUSB1146-Q1 は、USB-C 下流側ポート レシーバ (RX1 および RX2) 用の適応型イコライザ (AEQ) 機能を実装しています。アダプティブ イコライザ機能の目的は、出力ジッタが最小限に抑えられるように、最適な EQ 値を決定することです。TUSB1146-Q1 は、2 種類のアダプティブ イコライゼーションモードを提供します: 高速 AEQ とフル AEQ。高速 AEQ とフル AEQ の選択は、レジスタによって決定されます。AEQ 機能はデフォルトで無効になっていますが、レジスタを介して有効にできます。フル アダプティブ イコライゼーション機能は、GPIO モードにおいて、I2C_EN ピンが "F" であり、かつ EQ0 ピンおよび EQ1 ピンが両方とも "0" でない場合にサポートされます。

注

AEQ 機能は、SSTX レシーバおよび DP[3:0] レシーバではサポートされていません。これらのレシーバは固定 EQ のみをサポートします。

TI は、アダプティブ EQ 機能を使用する場合、最も柔軟な構成を可能にするために、TUSB1146-Q1 を I²C モードで設定することを推奨します。

6.4.9.1 I²C モードでの高速な適応型イコライゼーション

高速 AEQ モードは、ショートチャンネルとロングチャンネルの 2 種類のチャンネルを識別し、それぞれに適したレシーバイコライゼーション設定を選択するために使用されます。高速 AEQ は 2 つの選択肢のみを判別するため、AEQ 処理時間はフル AEQ モードよりも大幅に短くなり、USB リンクトレーニングへの影響を最小限に抑えます。

AEQ が有効で、チャンネルがショートと判定された場合、TUSB1146-Q1 は EQx_SEL (x = 1 または 2) に設定された値を使用します。TUSB1146-Q1 がチャンネルをショートでないとして判定した場合、TUSB1146-Q1 は LONG_EQx レジスタ (x = 1 または 2) に設定された EQ 値に切り替えます。初期のシステム評価時には、TI はショートチャンネルおよびロングチャンネルの両方に対して USB3.2 RX JTOL テストを実施し、それぞれのチャンネル構成で最も良好な結果が得られた値を EQx_SEL および LONG_EQx にプログラムすることを推奨します。

TUSB1146-Q1 は推定されるアイの高さに基づいて、短長を決定します。FASTAEQ_LIMITS レジスタにプログラムされた値によって、アイの高さの制限が決まります。このレジスタのデフォルト値を、ソフトウェアで変更して下限または上限を上げることができます。

注

EQ_OVERRIDE フィールドは、EQx_SEL および LONG_EQx にプログラムされた値を使用するために設定する必要があります。

TI は、FASTAEQ_LIMITS レジスタの値をデフォルトから 0x2 (80mV) に変更することを推奨しています。

6.4.9.2 完全適応型イコライゼーション

フル AEQ モードでは、RX1 および RX2 レシーバの最適なイコライゼーション値を見つけるために、最小の EQ 値から開始し、FULLAEQ_UPPER_EQ フィールドに設定された値までのすべての EQ 組み合わせをスイープします。デフォルトでは、16 種類すべての EQ 値 (0 から 15) をスイープします。FULLAEQ_UPPER_EQ レジスタを設定することで、EQ の組み合わせ数を削減できます。TUSB1146-Q1 は、OVER_EQ_CTRL フィールドに 0 以外の値を設定することで、TUSB1146-Q1 の前段チャンネルを補償するための過剰または不足イコライゼーションを追加または減少させることができます。OVER_EQ_SIGN = 0 の場合、TUSB1146-Q1 は OVER_EQ_CTRL に設定された値を完全適応で決定された EQ 値に加算します。OVER_EQ_SIGN = 1 の場合、TUSB1146-Q1 は OVER_EQ_CTRL に設定された値を完全適応で決定された EQ 値から減算します。たとえば、完全適応によって最適なイコライゼーション値が 4 と決定されており、OVER_EQ_CTRL が 2、さらに OVER_EQ_SIGN が 0 の場合、TUSB1146-Q1 が使用する EQ 設定は 6 になります。TUSB1146-Q1 のハードウェアは、OVER_EQ_CTRL と完全適応で決定された最適な EQ 値の合計が 15 以下になるよう常に制限されています。

6.4.9.3 GPIO モードでの完全適応型イコライゼーション (I2C_EN = "F")

次の条件が成立する場合、GPIO モードではフル AEQ 機能がサポートされます:I2C_EN == "F" && !(EQ0 == "0" && EQ1 == "0")。TUSB1146-Q1 が GPIO モードでフル AEQ に構成されているとき、TUSB1146-Q1 はリニアリドライバモードで動作します。

6.5 プログラミング

6.5.1 モード間の遷移

TUSB1146-Q1 は、任意のモード (USB のみから 4DP、4DP から USB+2DP など) 間で遷移を行えます。USB-C 規格では、代替モードに入る前または退出する前に、USB セーフ状態に遷移することが求められます。USB セーフ状態は、USB と代替モード間の遷移時に、DFP、UFP、およびアクティブ ケーブルの SBU1/2 と SSTX/SSRX の電気的狀態を定義します。したがって、4 レーンの DP モードに入る前または退出する前に、TI は最初に無効状態 (CTLSEL = 2'b00 または (CTL0 ピン = 0 かつ CTL1 ピン = 0)) に遷移することを推奨します。

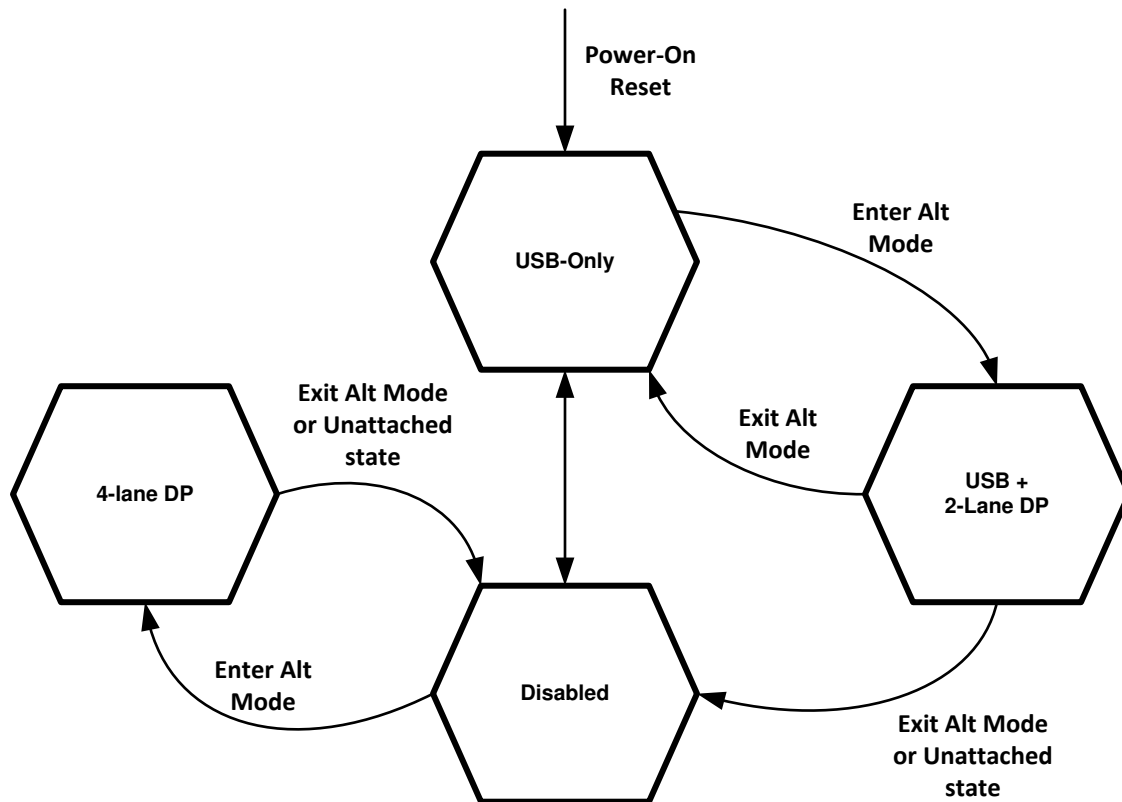


図 6-1. 推奨モード遷移

6.5.2 疑似コードの例

6.5.2.1 リニア リドライバ モード付き高速 AEQ

```

// (address, data)
// Initial power-on configuration.
(0x0A, 0x11), // EQ_OVERRIDE and USB3.1 default.
(0x1C, 0x81), // Fast AEQ enable
(0x10, 0x55), // DP lanes 0 and 1 EQ
(0x11, 0x55), // DP lanes 2 and 2 EQ
(0x1D, 0x10), // FASTAEQ_LIMITS to 80mV
(0x1E, 0x55), // USB-C Rx1/Rx2 Long channel EQ.
(0x20, 0x00), // USB-C Rx1/Rx2 Short channel EQ.
(0x21, 0x05), // SSTX receiver EQ.
  
```

```

// Controls when selecting between USB and DP modes.
If (USBonly_normal)
{ (0x0A,0x11); }
Else if (USBonly_flip)
  
```

```
{ (0x0A, 0x15); }
Else if (Dponly_normal)
{ (0x0A, 0x12); }
Else if (Dponly_flip)
{ (0x0A, 0x16); }
Else if (DPUSB_normal)
{ (0x0A, 0x13); }
Else if (DPUSB_flip)
{ (0x0A, 0x17); }
Else // Nothing connected to Type-C
{ (0x0A, 0x10); }
```

6.5.2.2 高速 AEQ (制限付きリドライバモード)

```
// (address, data)
// Initial power-on configuration.
(0x0A, 0x91), // EQ_OVERRIDE and USB3.1 default.
(0x0B, 0x24), // Pre-shoot and De-emphasis control
(0x1C, 0x81), // Fast AEQ enable
(0x10, 0x55), // DP lanes 0 and 1 EQ
(0x11, 0x55), // DP lanes 2 and 2 EQ
(0x1D, 0x10), // FASTAEQ_LIMITS to 80mV
(0x1E, 0x55), // USB-C Rx1/Rx2 Long channel EQ.
(0x20, 0x00), // USB-C Rx1/Rx2 Short channel EQ.
(0x21, 0x05), // SSTX receiver EQ.
(0x32, 0x40), // VOD Control.
```

```
// Controls when selecting between USB and DP modes.
If (USBonly_normal)
{ (0x0A, 0x91); }
Else if (USBonly_flip)
{ (0x0A, 0x95); }
Else if (Dponly_normal)
{ (0x0A, 0x92); }
Else if (Dponly_flip)
{ (0x0A, 0x96); }
Else if (DPUSB_normal)
{ (0x0A, 0x93); }
Else if (DPUSB_flip)
{ (0x0A, 0x97); }
Else // Nothing connected to Type-C
{ (0x0A, 0x90); }
```

6.5.2.3 直線性リドライバモード付きフル AEQ

```
// (address, data)
// Initial power-on configuration.
(0x0A, 0x11), // EQ_OVERRIDE and USB3.1 default.
(0x1C, 0x83), // Full AEQ enable
(0x10, 0x55), // DP lanes 0 and 1 EQ
(0x11, 0x55), // DP lanes 2 and 2 EQ
(0x20, 0x11), // USB-C Rx1/Rx2 EQ. Not used in Full AEQ
(0x21, 0x05), // SSTX receiver EQ.
```

```
// Controls when selecting between USB and DP modes.
If (USBonly_normal)
{ (0x0A, 0x11); }
Else if (USBonly_flip)
{ (0x0A, 0x15); }
Else if (Dponly_normal)
{ (0x0A, 0x12); }
Else if (Dponly_flip)
{ (0x0A, 0x16); }
Else if (DPUSB_normal)
{ (0x0A, 0x13); }
Else if (DPUSB_flip)
```

```
{ (0x0A,0x17); }
Else // Nothing connected to Type-C
{ (0x0A, 0x10); }
```

6.5.2.4 リドライバ モード付きフル AEQ

```
// (address, data)
// Initial power-on configuration.
(0x0A, 0x91), // Limited Redriver, EQ_OVERRIDE and USB3.1 default.
(0x0B, 0x24), // Pre-shoot and De-emphasis control
(0x1C, 0x83), //Full AEQ enable
(0x10, 0x55), // DP lanes 0 and 1 EQ
(0x11, 0x55), // DP lanes 2 and 2 EQ
(0x20, 0x11), // USB-C Rx1/Rx2 EQ. Not used in Full AEQ
(0x21, 0x05), // SSTX receiver EQ.
(0x32, 0x40), // VOD Control.
```

```
// Controls when selecting between USB and DP modes.
If (USBonly_normal)
{ (0x0A,0x91); }
Else if (USBonly_flip)
{ (0x0A, 0x95); }
Else if (Dponly_normal)
{ (0x0A, 0x92); }
Else if (Dponly_flip)
{ (0x0A, 0x96); }
Else if (DPUSB_normal)
{ (0x0A, 0x93); }
Else if (DPUSB_flip)
{ (0x0A,0x97); }
Else // Nothing connected to Type-C
{ (0x0A, 0x90); }
```

6.5.3 TUSB1146-Q1 I²C アドレスのオプション

さらにプログラマビリティを高めるため、I²C を使用して TUSB1146-Q1 を制御できます。SCL ピンと SDA ピンは、それぞれ I²C クロックと I²C データに使用されます。

表 6-10. TUSB1146-Q1 I²C ターゲットアドレス

DPEQ0/A1 ピンレベル	SSEQ0/A0 ピンレベル	ビット 7 (MSB)	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0 (W/R)
0	0	1	0	0	0	1	0	0	0/1
0	R	1	0	0	0	1	0	1	0/1
0	F	1	0	0	0	1	1	0	0/1
0	1	1	0	0	0	1	1	1	0/1
R	0	0	1	0	0	0	0	0	0/1
R	R	0	1	0	0	0	0	1	0/1
R	F	0	1	0	0	0	1	0	0/1
R	1	0	1	0	0	0	1	1	0/1
F	0	0	0	1	0	0	0	0	0/1
F	R	0	0	1	0	0	0	1	0/1
F	F	0	0	1	0	0	1	0	0/1
F	1	0	0	1	0	0	1	1	0/1
1	0	0	0	0	1	1	0	0	0/1
1	R	0	0	0	1	1	0	1	0/1
1	F	0	0	0	1	1	1	0	0/1
1	1	0	0	0	1	1	1	1	0/1

6.5.4 TUSB1146-Q1 I²C ターゲット アドレス

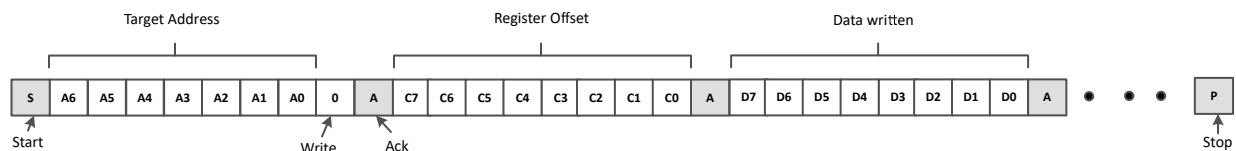


図 6-2. データ付き I²C 書き込み

TUSB1146-Q1 の I²C レジスタにデータを書き込むには、以下の手順を使用します (図 6-2 を参照):

1. コントローラは、スタートコンディション (S) を生成し、その後に TUSB1146-Q1 の 7 ビットアドレスと、書き込みサイクルを示す値 0 の「W/R」ビットを送信することで、書き込み操作を開始します。
2. TUSB1146-Q1 が、アドレス サイクルをアクリッジします。
3. コントローラは、TUSB1146-Q1 内で書き込み対象となるレジスタのオフセットを提示します。このオフセットは 1 バイトのデータで構成され、MSB ファーストで送信されます。
4. TUSB1146-Q1 が、サブアドレス サイクルをアクリッジします。
5. コントローラが I²C レジスタに書き込むデータの最初のバイトを送信します。
6. TUSB1146-Q1 が、バイト転送をアクリッジします
7. コントローラが書き込むデータの追加のバイトを送信し続けます。各バイト転送は TUSB1146-Q1 からのアクリッジで完了します。
8. コントローラが停止条件 (P) を生成して書き込み動作を終了します。

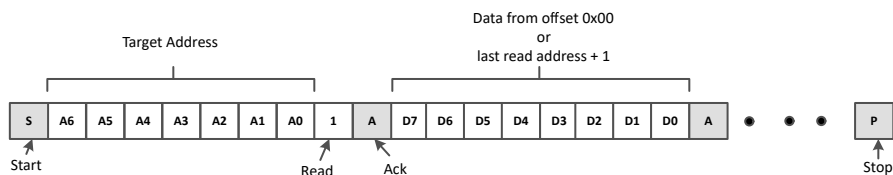


図 6-3. リピート スタートなしでの I²C 読み出し

リピート スタートを使用せずに TUSB1146-Q1 が I²C レジスタを読み取るには、以下の手順に従ってください (図 6-3 を参照)。

1. コントローラが開始条件 (S) を生成して読み取り動作を開始し、TUSB1146-Q1 の 7 ビット アドレスと 1 値「W/R」ビットを送信して読み取りサイクルを示します。
2. TUSB1146-Q1 が、7 ビットのアドレス サイクルをアクリッジします。
3. アクリッジ後、コントローラは引き続きクロックの送信を行います。
4. TUSB1146-Q1 は、レジスタ 00h または最後に読み取ったレジスタオフセット +1 から、メモリレジスタの内容を MSB ファーストで送信します。読み取りの前に I²C レジスタへの書き込みが発生した場合、TUSB1146-Q1 は書き込みで指定されたサブアドレスから開始します。
5. TUSB1146-Q1 は、各バイト転送の後、コントローラからのアクリッジ (ACK) または非アクリッジ (NACK) を待ちます。I²C コントローラは、各データ バイト転送の受信をアクリッジします。
6. ACK を受信すると、TUSB1146-Q1 はコントローラがクロックを供給している限り、データの次のバイトを送信します。NAK を受信すると、TUSB1146-Q1 を受信すると、データの送信を停止し、停止条件 (P) を待機します。
7. コントローラが停止条件 (P) を生成して書き込み動作を終了します。



図 6-4. リピート スタートによる I2C 読み取り

リピート スタートを使用して TUSB1146-Q1 が、I²C を読み取るには、以下の手順に従ってください(図 6-4 を参照)。

1. コントローラが開始条件 (S) を生成して読み出し動作を開始し、TUSB1146-Q1 の 7 ビット アドレスと 1 値「W/R」ビットを送信して書き込みサイクルを示します。
2. TUSB1146-Q1 が、7 ビットのアドレス サイクルをアクリッジします。
3. コントローラは、TUSB1146-Q1 内で書き込み対象となるレジスタのオフセットを提示します。このオフセットは 1 バイトのデータで構成され、MSB ファーストで送信されます。
4. TUSB1146-Q1 がレジスタのオフセット サイクルをアクリッジします。
5. コントローラに反復開始条件 (Sr) が提示されます。
6. コントローラが開始条件 (S) を生成して読み出し動作を開始し、TUSB1146-Q1 の 7 ビット アドレスと 1 値「W/R」ビットを送信して読み取りサイクルを示します。
7. TUSB1146-Q1 が、7 ビットのアドレス サイクルをアクリッジします。
8. TUSB1146-Q1 は、レジスタ オフセットからメモリ レジスタの内容を MSB ファーストで送信します。
9. The TUSB1146-Q1 は、各バイト転送後にコントローラからのアクリッジ (ACK) または非アクリッジ (NACK) を待ちます。I²C コントローラは、各データ バイト転送の受信をアクリッジします。
10. ACK を受信すると、TUSB1146-Q1 はコントローラがクロックを供給している限り、データの次のバイトを送信します。NAK を受信すると、TUSB1146-Q1 を受信すると、データの送信を停止し、停止条件 (P) を待機します。
11. マスタが停止条件 (P) を生成して読み取り動作を終了します。

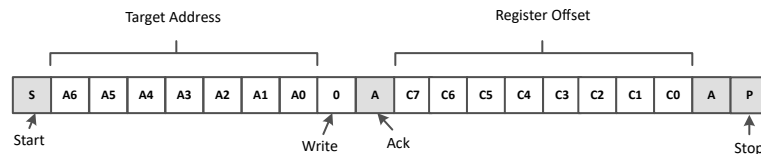


図 6-5. データなしでの I2C 書き込み

I²C 読み取りの開始サブアドレスを設定するには、次の手順を実行します(図 6-5 を参照)。

1. コントローラは、スタートコンディション (S) を生成し、その後に TUSB1146-Q1 の 7 ビットアドレスと、書き込みサイクルを示す値 0 の「W/R」ビットを送信することで、書き込み操作を開始します。
2. TUSB1146-Q1 が、アドレス サイクルをアクリッジします。
3. コントローラは、TUSB1146-Q1 内で書き込み対象となるレジスタのオフセットを提示します。このオフセットは 1 バイトのデータで構成され、MSB ファーストで送信されます。
4. TUSB1146-Q1 がレジスタのオフセット サイクルをアクリッジします。
5. コントローラが停止条件 (P) を生成して書き込み動作を終了します。

注

初回の電源投入後、リード手順でレジスタオフセットが指定されていない場合(図 6-3 を参照)、読み取りはレジスタ オフセット 00h から開始され、I²C コントローラが読み取り操作を終了するまで、レジスタをバイト単位で順次読み取ります。読み取り動作中、TUSB1146-Q1 I²C コントローラから ACK を受信したかどうかにかかわらず、最後に転送されたバイトの I²C 内部レジスタアドレスを自動的にインクリメントします。

7 レジスタ マップ

7.1 TUSB1146-Q1 レジスタ

表 7-1 に、TUSB1146-Q1 レジスタの一覧を示します。表 7-1 にないレジスタ オフセット アドレスはすべて予約済みと見なすべきであり、レジスタ内容は変更しないでください。

表 7-1. TUSB1146-Q1 レジスタ

オフセット	略称	レジスタ名	セクション
0xA	General_1	汎用レジスタ	表示
0xB	TXEQ_CTRL	TX EQ 制御	表示
0x10	DP01EQ_SEL	DisplayPort レーン 0 および 1EQ 制御	表示
0x11	DP23EQ_SEL	DisplayPort レーン 2 および 3EQ 制御	表示
0x12	DisplayPort_1	AUX スヌープ ステータス	表示
0x13	DisplayPort_2	DP レーン有効化 / 無効化制御	表示
0x1C	AEQ_CONTROL1	AEQ 制御	表示
0x1D	AEQ_CONTROL2	AEQ 制御	表示
0x1E	AEQ_LONG	長いチャネルの AEQ 設定	表示
0x20	USBC_EQ	RX1 および RX2 レシーバの EQ 制御	表示
0x21	SS_EQ	SSTX レシーバの EQ 制御	表示
0x22	USB3_MISC	その他の USB3 制御	表示
0x24	USB_STATUS	USB ステート マシンのステータス	表示
0x32	VOD_CTRL	VOD の直線性と AEQ 制御	表示
0x3B	AEQ_STATUS	フル AEQ および高速 AEQ ステータス	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-2. TUSB1146-Q1 のアクセス タイプ コード

アクセス タイプ	表記	概要
読み取りタイプ		
R	R	読み出し
RH	R H	ハードウェアによってセットまたはクリアされる の読み取り
書き込みタイプ		
W	W	書き込み
W1S	W 1S	1 を書き込むことで セット
WS	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.1.1 General_1 レジスタ (オフセット = 0xA) [リセット = 0x1]

General_1 を表 7-3 に示します。

[概略表](#)に戻ります。

このレジスタは、USB モードと DisplayPort モードの切り替え、および MUX の向きを選択するために使用されます。ソフトウェアは EQ_OVERRIDE を設定し、ピンの代わりに EQ レジスタを使用できます。

表 7-3. General_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	SSRX_LIMIT_ENABLE	R/W	0x0	SSRX トランスミッタ用の限定リドライバ モードを有効にします。 0x0 = リニア リドライバ 0x1 = リドライバ制限
6	RESERVED	R	0x0	予約済み
5	SWAP_HPDIIN	R/W	0x0	HPDIIN がどのピンから派生するかを制御します。 0x0 = HPDIIN はデフォルト位置にあります 0x1 = HPDIIN 位置が交換されます (ピン 15 からピン 24 へ、またはピン 24 からピン 15 へ)。
4	EQ_OVERRIDE	R/W	0x0	ソフトウェアはピンからサンプリングされた値ではなく、レジスタからの EQ 設定を使用できます。 0x0 = EQ ピンのサンプリングされた状態に基づく EQ 設定。 0x1 = 各 EQ レジスタにプログラムされた値に基づく EQ 設定。
3	HPDIIN_OVERRIDE	R/W	0x0	HPDIIN ピンの状態をオーバーライドします。 0x0 = HPDIIN ピンに基づく HPDIIN。 0x1 = HPDIIN High。
2	FLIP_SEL	R/W	0x0	このフィールドは方向を制御します。 0x0 = 通常の向き 0x1 = 反転方向。
1-0	CTLSEL	R/W	0x1	DP モードと USB モードを制御します。 0x0 = ディセーブル。USB3 および DisplayPort のすべての RX と TX が無効になります。 0x1 = USB3 のみ有効化。 0x2 = DisplayPort の 4 レーンを有効化。 0x3 = USB3 と 2 つの DisplayPort レーン。

7.1.2 TXEQ_CTRL レジスタ (オフセット = 0xB) [リセット = 0x6C]

TXEQ_CTRL は、表 7-4 に示すとおりです。

[概略表](#)に戻ります。

このレジスタは、制限リドライバ モードが有効化されている場合、SSRX のプリシュートおよびディエンファシス レベルを制御します。

表 7-4. TXEQ_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-6	TX_PRESHOOT	R/W	0x1	SSRX TX プリシュートレベル(プリカーソル)。 0x0 = 1.5dB 0x1 = 2dB 0x2 = 2.3dB 0x3 = 2.8dB
5	TX_PRESHOOT_EN	R/W	0x1	SSRX TX プリシュート(プリカーソル) が有効です。 SSRX_LIMIT_ENABLE = 1 の場合のみ有効です。 0x0 = ディスエーブル (0dB) 0x1 = イネーブル
4-3	TX_DEEPHASIS	R/W	0x1	SSRX TX ディエンファシス レベル (ポストカーソル) 0x0 = -1.5dB 0x1 = -2.1dB 0x2 = -3.2dB 0x3 = -3.8dB
2	TX_DEEPHASIS_EN	R/W	0x1	SSRX TX ディエンファシス (ポストカーソル) が有効です。 SSRX_LIMIT_ENABLE = 1 の場合のみ有効です。 0x0 = ディスエーブル (0dB) 0x1 = イネーブル
1-0	RESERVED	R	0x0	予約済み

7.1.3 DP01EQ_SEL レジスタ (オフセット = 0x10) [リセット = 0x0]

DP01EQ_SEL を表 7-5 に示します。

概略表に戻ります。

このレジスタは、DisplayPort レシーバ 0 および 1 のレシーバ イコライゼーション設定を制御します。

表 7-5. DP01EQ_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-4	DP1EQ_SEL	RH/W	0x0	フィールドは DP レーン 1 ピンの EQ を選択します。EQ_OVERRIDE = 0b の場合、このフィールドは DPEQ[1:0] ピンのサンプリングされた状態を反映します。EQ_OVERRIDE = 1b のとき、ソフトウェアはこのフィールドに書き込まれた値に基づいて DP レーン 1 の EQ 設定を変更できます。
3-0	DP0EQ_SEL	RH/W	0x0	フィールドは DP レーン 0 ピンの EQ を選択します。EQ_OVERRIDE = 0b の場合、このフィールドは DPEQ[1:0] ピンのサンプリングされた状態を反映します。EQ_OVERRIDE = 1b のとき、ソフトウェアはこのフィールドに書き込まれた値に基づいて DP レーン 0 の EQ 設定を変更できます。

7.1.4 DP23EQ_SEL レジスタ (オフセット = 0x11) [リセット = 0x0]

DP23EQ_SEL を表 7-6 に示します。

[概略表](#)に戻ります。

このレジスタは、DisplayPort レシーバ 2 および 3 のレシーバ イコライゼーション設定を制御します。

表 7-6. DP23EQ_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-4	DP3EQ_SEL	RH/W	0x0	フィールドは DP レーン 3 ピンの EQ を選択します。EQ_OVERRIDE = 0b の場合、このフィールドは DPEQ[1:0] ピンのサンプリングされた状態を反映します。EQ_OVERRIDE = 1b のとき、ソフトウェアはこのフィールドに書き込まれた値に基づいて DP レーン 3 の EQ 設定を変更できます。
3-0	DP2EQ_SEL	RH/W	0x0	フィールドは DP レーン 2 ピンの EQ を選択します。EQ_OVERRIDE = 0b の場合、このフィールドは DPEQ[1:0] ピンのサンプリングされた状態を反映します。EQ_OVERRIDE = 1b のとき、ソフトウェアはこのフィールドに書き込まれた値に基づいて DP レーン 2 の EQ 設定を変更できます。

7.1.5 DisplayPort_1 レジスタ (オフセット = 0x12) [リセット = 0x0]

DisplayPort_1 を [表 7-7](#) に示します。

[概略表](#)に戻ります。

このレジスタは、AUX スヌーピングを有効にするときの AUX スヌーピングのステータスを示します。

表 7-7. DisplayPort_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	RESERVED	R	0x0	予約済み
6-5	SET_POWER_STATE	RH	0x0	このフィールドは、DPCD アドレス 0x00600 への AUX 書き込みのスヌーピング値を表します。AUX_SNOOP_DISABLE = 0b のとき、スヌーピング値に基づいて DP レーンをイネーブルまたはディスエーブルにします。AUX_SNOOP_DISABLE = 1b の場合、DP レーンのイネーブル/ディスエーブルは DPx_DISABLE レジスタの状態によって決定されます。ここでは、x = 0、1、2、または 3 です。CTLSEL1 が 1b から 0b に変化すると、このフィールドはハードウェアによって 0h にリセットされます。
4-0	LANE_COUNT_SET	RH	0x0	このフィールドは、DPCD アドレス 0x00101 レジスタへの AUX 書き込みのスヌーピング値を表します。AUX_SNOOP_DISABLE = 0b のとき、スヌープ値で指定された DP レーンをイネーブルにします。未使用の DP レーンは、電力を節約するためディスエーブルされます。AUX_SNOOP_DISABLE = 1b の場合、DP レーンのイネーブル/ディスエーブルは DPx_DISABLE レジスタによって決定されます。ここでは、x = 0、1、2、または 3 です。CTLSEL1 が 1b から 0b に変化すると、このフィールドはハードウェアによって 0h にリセットされます。

7.1.6 DisplayPort_2 レジスタ (オフセット = 0x13) [リセット = 0x0]

DisplayPort_2 を [表 7-8](#) に示します。

[概略表](#)に戻ります。

このレジスタを使用すると、AUX スヌーピングと個別の DP レーンのイネーブルとディスエーブルを制御できます。

表 7-8. DisplayPort_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	AUX_SNOOP_DISABLE	R/W	0x0	<p>AUX スヌーピング値またはレジスタに基づいて DP レーンを有効にするかどうかを制御します。</p> <p>0x0 = AUX スヌープは有効です。</p> <p>0x1 = AUX スヌープは無効です。DP レーンはレジスタによって制御されます。</p>
6	RESERVED	R	0x0	予約済み
5-4	AUX_SBU_OVR	R/W	0x0	<p>このフィールドは、CTL1 および FLIP に基づいて AUXP/N と SBU1/2 の接続および切断を上書き制御します。このフィールドを 01b または 10b に変更すると、CTLSEL1 および FLIPSEL レジスタの状態に関係なく、AUX から SBU への信号の通過が可能になります。</p> <p>0x0 = CTLSEL1 および FLIPSEL によって決定される AUX/SBU 接続</p> <p>0x1 = AUXP -> SBU1, AUXN -> SBU2</p> <p>0x2 = AUXP -> SBU2, AUXN -> SBU1</p> <p>0x3 = AUX から SBU がオープン。</p>
3	DP3_DISABLE	R/W	0x0	<p>AUX_SNOOP_DISABLE = 1b の場合に、このフィールドを使用して DP レーン 3 を有効化または無効化できます。AUX_SNOOP_DISABLE = 0b の場合、このフィールドを変更してもレーン 3 の機能には影響しません。</p> <p>0x0 = DP レーン 3 は有効です。</p> <p>0x1 = DP レーン 3 は無効です。</p>
2	DP2_DISABLE	R/W	0x0	<p>AUX_SNOOP_DISABLE = 1b の場合に、このフィールドを使用して DP レーン 2 を有効化または無効化できます。AUX_SNOOP_DISABLE = 0b の場合、このフィールドを変更してもレーン 2 の機能には影響しません。</p> <p>0x0 = DP レーン 2 は有効です。</p> <p>0x1 = DP レーン 2 は無効です。</p>
1	DP1_DISABLE	R/W	0x0	<p>AUX_SNOOP_DISABLE = 1b の場合に、このフィールドを使用して DP レーン 1 を有効化または無効化できます。AUX_SNOOP_DISABLE = 0b の場合、このフィールドを変更してもレーン 1 の機能には影響しません。</p> <p>0x0 = DP レーン 1 は有効です。</p> <p>0x1 = DP レーン 1 は無効です。</p>
0	DP0_DISABLE	R/W	0x0	<p>AUX_SNOOP_DISABLE = 1b の場合に、このフィールドを使用して DP レーン 0 を有効化または無効化できます。AUX_SNOOP_DISABLE = 0b の場合、このフィールドを変更してもレーン 0 の機能には影響しません。</p> <p>0x0 = DP レーン 0 は有効です。</p> <p>0x1 = DP レーン 0 は無効です。</p>

7.1.7 AEQ_CONTROL1 レジスタ (オフセット = 0x1C) [リセット = 0x80]

AEQ_CONTROL1 を表 7-9 に示します。

[概略表](#)に戻ります。

このレジスタは、アダプティブ EQ を有効にし、高速アダプティブ EQ とフル アダプティブ EQ を選択するために使用されます。

表 7-9. AEQ_CONTROL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-4	FULLAEQ_UPPER_EQ	R/W	0x8	フル AEQ モードをチェックするための最大 EQ 値
3	USB3_U1_DISABLE	R/W	0x0	このフィールドを設定すると、電氣的アイドルが検出されたときに U1 ではなく U3 に移行する可能性があります。 0x0 = 電氣的アイドルの後に U1 が移行。 0x1 = 電氣的アイドルの後に U3 が移行。
2-1	AEQ_MODE	R/W	0x0	高速適応モードと 2 フル適応モードのどちらかを選択します 0x0 = 高速 AEQ。 0x1 = EQ ごとに中間点でヒットをカウントしたフル AEQ。 0x2 = 高速 AEQ。 0x3 = EQ が 0 の場合のみ中間点でヒットをカウントしたフル AEQ。
0	AEQ_EN	R/W	0x0	USB ダウンストリーム側ポートのアダプティブ EQ を有効にするかどうかを制御します。 0x0 = AEQ ディセーブル 0x1 = AEQ イネーブル

7.1.8 AEQ_CONTROL2 レジスタ (オフセット = 0x1D) [リセット = 0x10]

AEQ_CONTROL2 を表 7-10 に示します。

[概略表](#)に戻ります。

このレジスタを使用すると、高速 AEQ 制限の制御と、フル AEQ 機能で使用される最終的な EQ 値を追加または低減できます。

表 7-10. AEQ_CONTROL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	OVER_EQ_SIGN	R/W	0x0	OVER_EQ_CTRL フィールドの符号を選択します。 0x0 = 正 0x1 = 負
6	RESERVED	R	0x0	予約済み

表 7-10. AEQ_CONTROL2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
5-3	FASTAEQ_LIMITS	R/W	0x2	<p>ショートチャンネルとロングチャンネルを決定するための DAC の上限 / 下限を選択します。</p> <p>0x0 = ±0mV</p> <p>0x1 = ±40mV</p> <p>0x2 = ±80mV</p> <p>0x3 = ±120mV</p> <p>0x4 = ±160mV</p> <p>0x5 = ±200mV</p> <p>0x6 = ±240mV</p> <p>0x7 = ±280mV</p>
2-0	OVER_EQ_CTRL	R/W	0x0	<p>このフィールドは、このフィールドにプログラムされた値によって AEQ を増減します。たとえば、フル AEQ 値は 6 で、このフィールドは 2 にプログラムされ、OVER_EQ_SIGN = 0 にプログラムされている場合、使用される EQ 値は 8 です。このフィールドは、フル AEQ モードでのみ使用されません。</p> <p>0x0 = 0 または -8</p> <p>0x1 = 1 または -7</p> <p>0x2 = 2 または -6</p> <p>0x3 = 3 または -5</p> <p>0x4 = 4 または -4</p> <p>0x5 = 5 または -3</p> <p>0x6 = 6 または -2</p> <p>0x7 = 7 または -1</p>

7.1.9 AEQ_LONG レジスタ (オフセット = 0x1E) [リセット = 0x77]

AEQ_LONG は、表 7-11 に示すとおりです。

概略表に戻ります。

このレジスタは、高速 AEQ が有効なときに、長いチャンネル設定で使用される EQ をプログラムするために使用されます。

表 7-11. AEQ_LONG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-4	LONG_EQ2	R/W	0x7	<p>AEQ_EN = 1 かつ AEQ_MODE = x0 の場合、長いチャンネルが検出されたとき、USB ダウンストリーム側ポート 1 (RX2) の EQ 設定を選択します。このフィールドにプログラムされた値によって、長いチャンネル構成で最適な Rx JTOL 結果が得られます。</p>
3-0	LONG_EQ1	R/W	0x7	<p>AEQ_EN = 1 かつ AEQ_MODE = x0 の場合、長いチャンネルが検出されたとき、USB ダウンストリーム側ポート 2 (RX1) の EQ 設定を選択します。このフィールドにプログラムされた値によって、長いチャンネル構成で最適な Rx JTOL 結果が得られます。</p>

7.1.10 USBC_EQ レジスタ (オフセット = 0x20) [リセット = 0x0]

USBC_EQ は、表 7-12 に示すとおりです。

[概略表](#)に戻ります。

このレジスタは、DFP のレシーバ イコライゼーション設定 (RX1 および RX2) を制御します。

表 7-12. USBC_EQ レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-4	EQ2_SEL	RH/W	0x0	AEQ_EN = 0 の場合、このフィールドは USB-C レセプタクルに面した USB3.1 RX2 レシーバの EQ を選択します。EQ_OVERRIDE = 0b の場合、このフィールドは EQ[1:0] ピンのサンプリングされた状態を反映します。EQ_OVERRIDE = 1b のとき、ソフトウェアはこのフィールドに書き込まれた値に基づいて RX2p/n ピンの EQ 設定を変更できます。AEQ_EN = 1 かつ AEQ_MODE = x0 の場合、短いチャネルが検出されたとき、USB ダウンストリーム側ポート 1 (RX2) の EQ 設定を選択します。このフィールドにプログラムされた値によって、短いチャネル構成で最適な Rx JTOL 結果が得られます。
3-0	EQ1_SEL	RH/W	0x0	AEQ_EN = 0 の場合、このフィールドは USB-C レセプタクルに面した USB3.1 RX1 レシーバの EQ を選択します。EQ_OVERRIDE = 0b の場合、このフィールドは EQ[1:0] ピンのサンプリングされた状態を反映します。EQ_OVERRIDE = 1b のとき、ソフトウェアはこのフィールドに書き込まれた値に基づいて RX1p/n ピンの EQ 設定を変更できます。AEQ_EN = 1 かつ AEQ_MODE = x0 の場合、短いチャネルが検出されたとき、USB ダウンストリーム側ポート 1 (RX1) の EQ 設定を選択します。このフィールドにプログラムされた値によって、短いチャネル構成で最適な Rx JTOL 結果が得られます。

7.1.11 SS_EQ レジスタ (オフセット = 0x21) [リセット = 0x0]

SS_EQ は、表 7-13 に示すとおりです。

[概略表](#)に戻ります。

このレジスタは、UFP (SSTX) のレシーバ イコライゼーション設定を制御します。

表 7-13. SS_EQ レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-4	RESERVED	R	0x0	予約済み
3-0	SSEQ_SEL	RH/W	0x0	このフィールドは、USB ホストに面した USB3.1 SSTX レシーバの EQ を選択します。EQ_OVERRIDE = 0b の場合、このフィールドは SSEQ[1:0] ピンのサンプリングされた状態を反映します。EQ_OVERRIDE = 1b のとき、ソフトウェアはこのフィールドに書き込まれた値に基づいて SSTXp/n ピンの EQ 設定を変更できます。

7.1.12 USB3_MISC レジスタ (オフセット = 0x22) [リセット = 0x44]

USB3_MISC を表 7-14 に示します。

[概略表](#)に戻ります。

表 7-14. USB3_MISC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	RxD_START_TERM	R/W	0x0	<p>ウォームリセット後および SS.Inactive へ移行時の RX 検出開始時の終端設定。</p> <p>0x0 = 終端を維持します。 usb1046 と同じです</p> <p>0x1 = 終端をオフにします。接続解除の場合にローカル RxD とリモート RxD との競合によるコンプライアンス違反を回避します。接続が維持されている場合は、次の状態がポーリングでした。</p>
6	LFPS_EQ	R/W	0x1	<p>EQ1_SEL、EQ2_SEL、SSEQ_SEL に基づいた EQ の設定を、受信された LFPS 信号に適用するかどうかを制御します。</p> <p>0x0 = LFPS を受信する場合、EQ をゼロに設定</p> <p>0x1 = LFPS を受信する場合、関連するレジスタによって EQ を設定。</p>
5	U2U3_LFPS_DEBOUNCE	R/W	0x0	<p>受信 LFPS をデバウンスするかどうかを制御します。</p> <p>0x0 = U2/U3 が終了する前に LFPS のデバウンスはありません。</p> <p>0x1 = U2/U3 が終了する前に LFPS の 200µs デバウンスはありません。</p>
4	DISABLE_U2U3_RXDET	R/W	0x0	<p>U2/U3 状態で Rx.Detect を実行するかどうかを制御します。</p> <p>0x0 = U2/U3 での Rx.Detect は有効です。</p> <p>0x1 = U2/U3 での Rx.Detect は無効です。</p>
3-2	DFP_RXDET_INTERVAL	R/W	0x1	<p>このフィールドは、ダウンストリーム側ポート (TX1P/N および TX2P/N) の Rx.Detect の間隔を制御します。</p> <p>0x0 = 予約済み</p> <p>0x1 = 6ms</p> <p>0x2 = 36ms</p> <p>0x3 = 84ms</p>
1	DIS_WARM_RESET_RXD	R/W	0x0	<p>デバイスがウォームリセット中にポーリングを開始すると、ウォームリセット後のレシーバ検出をディスエーブルにします。</p> <p>0x0 = ウォームリセット後にレシーバ検出を実行するかどうかは、その他の設定によって異なります。</p> <p>0x1 = USB FSM がウォームリセット中にデバイスがポーリングを開始したことを検出した場合、レシーバ検出は実行されません。</p>
0	USB_COMPLIANCE_CTRL	R/W	0x0	<p>コンプライアンス モードの検出が FSM によって決定されるか、ディスエーブルになるかを制御します</p> <p>0x0 = FSM によって決定されるコンプライアンス モード。</p> <p>0x1 = コンプライアンス モードはディスエーブル。</p>

7.1.13 USB_STATUS レジスタ (オフセット = 0x24) [リセット = 0x41]

USB_STATUS は、表 7-15 に示すとおりです。

[概略表](#)に戻ります。

表 7-15. USB_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	USB_FASTAEQ_STAT	RH	0x0	AEQ_EN = 1 かつ AEQ_MODE = x0 の場合、このステータスフィールドは短い EQ 設定と長い EQ 設定のどちらが使用されているかを示します。 AEQ_EN = 0 の場合、このフィールドはデフォルト 0h になります。 0x0 = 短いチャンネル EQ を使用。 0x1 = 長いチャンネル EQ を使用。
6	USB_AEQDONE_STAT	RH	0x1	このフィールドは AEQ がアクティブの間は Low で、AEQ が完了すると High になります。このビットは、U0_STAT および AEQ_EN = 1 のとき、または FORCE_AEQ_EN = 1 で HW が FORCE_AEQ を 0 にリセットしたときに有効です。 0x0 = AEQ が動作中 0x1 = AEQ が完了
5	AEQ_HC_OVERFLOW	RH	0x0	13 ビット AEQ ヒット カウンタのオーバーフロー ステータス
4	RESERVED	R	0x0	予約済み
3	CM_ACTIVE	RH	0x0	コンプライアンス モードのステータス。 0x0 = USB3 コンプライアンス モードではありません。 0x1 = USB3 コンプライアンス モードです。
2	U0_STAT	RH	0x0	U0 のステータス。デバイスが U0 状態に移行する場合に設定します。
1	U2U3_STAT	RH	0x0	U2/U3 のステータス。デバイスが U2/U3 状態に移行する場合に設定します。
0	DISC_STAT	RH	0x1	接続解除ステータス。デバイスが接続解除ステータスになる場合に設定します。

7.1.14 VOD_CTRL レジスタ (オフセット = 0x32) [リセット = 0x40]

VOD_CTRL は、表 7-16 に示すとおりです。

[概略表](#)に戻ります。

このレジスタは、UFP と DFP の両方に対するトランスミッタの出力の直線性範囲を制御します。デバイスが制限付きリドライバ用に構成されている場合 (SSRX_LIMIT_ENABLE フィールドが設定されている)、USB_SSRX_VOD は SSRX 制限ドライバの VOD レベルを制御します。

表 7-16. VOD_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-6	LFPS_TX12_VOD	R/W	0x1	LFPS 送信時の TX1 または TX2 の VOD 直線性制御。 0x0 = LINR_L3 (最高) 0x1 = LINR_L2 0x2 = LINR_L1 0x3 = LINR_L0 (最低)

表 7-16. VOD_CTRL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
5-4	DP_VOD	R/W	0x0	DP パスの VOD 直線性制御。 0x0 = LINR_L3(最高) 0x1 = LINR_L2 0x2 = LINR_L1 0x3 = LINR_L0(最低)
3-2	USB_TX12_VOD	R/W	0x0	USB 下流側ポート(TX1 および TX2)用の VOD 直線性制御。 0x0 = LINR_L3(最高) 0x1 = LINR_L2 0x2 = LINR_L1 0x3 = LINR_L0(最低)
1-0	USB_SSRX_VOD	R/W	0x0	USB 上流側ポート(SSRX)の VOD 直線性制御。 SSRX_LIMIT_ENABLE = 1 の場合、このフィールドは SSRX の限定 VOD を制御します。 0x0 = LINR_L3(最高) 0x1 = LINR_L2 0x2 = LINR_L1 0x3 = LINR_L0(最低)

7.1.15 AEQ_STATUS レジスタ (オフセット = 0x3B) [リセット = 0x0]

AEQ_STATUS は、表 7-17 に示すとおりです。

[概略表](#)に戻ります。

このレジスタは、AEQ 機能のステータスを示します。

表 7-17. AEQ_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-5	RESERVED	R	0x0	予約済み
4	DONE_STAT	RH	0x0	このフラグは、DAC 待機タイマが満了すると設定されます。
3-0	AEQ_STAT	RH	0x0	最適 EQ は、フル AEQ の完了後に FSM によって決定されています。このフィールドには、高速 AEQ に使用される EQ も示されます。このフィールドには、OVER_EQ_CTRL フィールドにプログラムされた値が含まれません。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

TUSB1146-Q1 は、PCB トレースやケーブルなどの受動媒体を通じた信号減衰によって引き起こされるシンボル間干渉 (ISI) ジッタを補償するために特別に設計されたリニアドライバです。TUSB1146-Q1 は 4 つの独立した DisplayPort 2.1 入力、1 つの上流向き USB 3.2 入力、そして 2 つの下流向き USB 3.2 入力を備えており、これによりデバイスは 16 通りの異なるイコライゼーション選択枝を通じて、これら 7 つの入力すべてで ISI を補正するように最適化できます。TUSB1146-Q1 を USB3.2 ホスト/DisplayPort 2.1 GPU と USB3.2 Type-C レセプタクルの間に配置することで、信号整合性の問題を補正し、より堅牢なシステムを実現できます。

8.2 代表的なアプリケーション

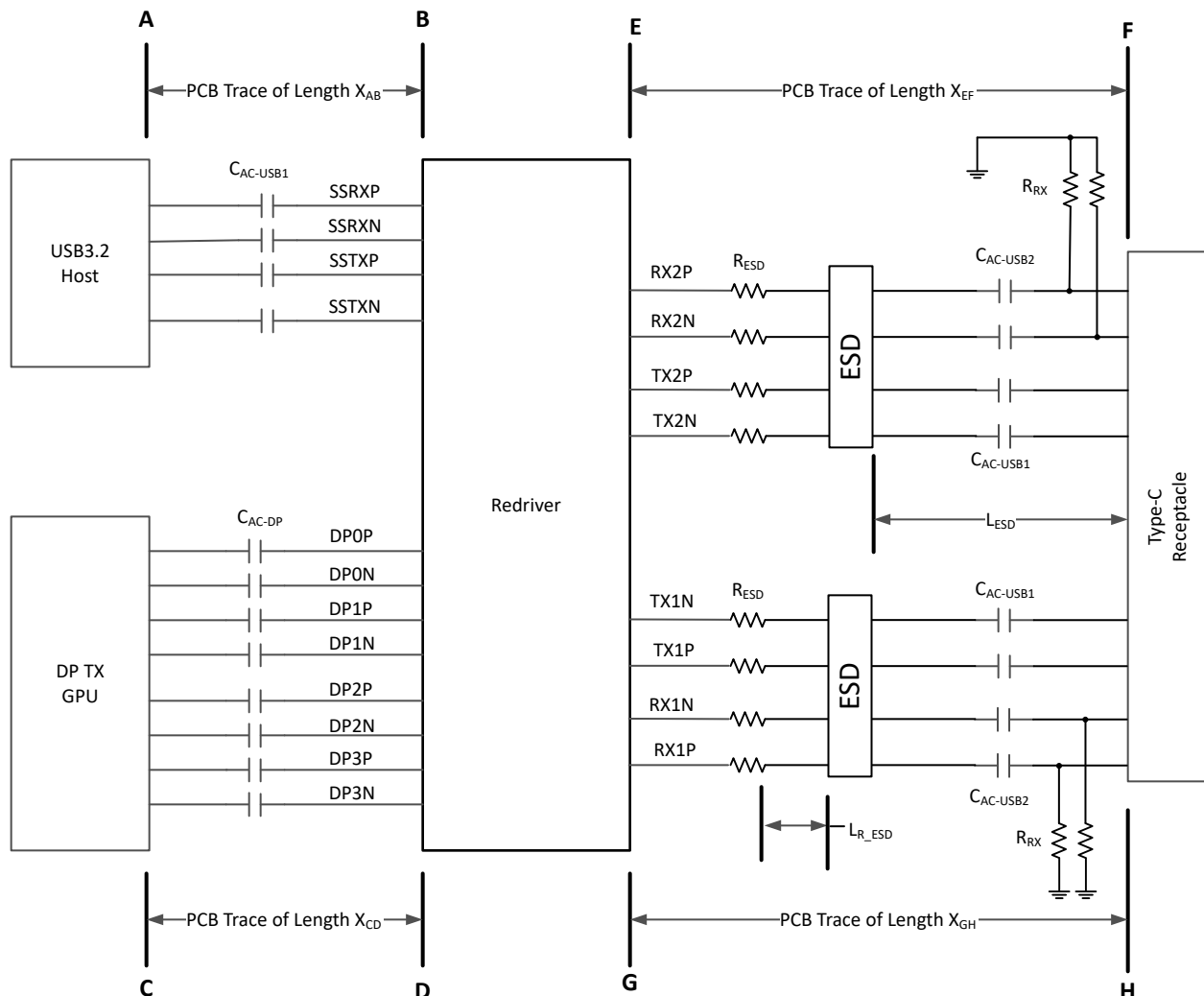


図 8-1. ホスト アプリケーション内の TUSB1146-Q1

8.2.1 設計要件

この設計例では、表 8-1 に示すパラメータを使用します。

表 8-1. 設計パラメータ

パラメータ	値
USB3 プリチャネル A から B PCB へのパターン長、 X_{AB} 。図 8-1 を参照してください。	2 インチ $\leq X_{AB} \leq$ 10 インチ – [(X_{EF} または X_{GH}) のうちの最大値]
DP プリチャネル C から D への PCB パターン長、 X_{CD} 。図 8-1 を参照してください。	2.5 インチ $\leq X_{CD} \leq$ 10 インチ – [(X_{EF} または X_{GH}) のうちの最大値]
USB および DP のポストチャネル E から F 間の PCB トレース長、 X_{EF} 。図 8-1 を参照してください。	最大 4 インチ
USB および DP のポストチャネル G から H 間の PCB トレース長、 X_{GH} 。図 8-1 を参照してください。	最大 4 インチ
USB-C レセプタクルから ESD コンポーネントまでの最大距離、 L_{ESD}	0.5inches
ESD 成分から直列抵抗 (R_{ESD}) の最大距離、 L_{R_ESD} 。	0.25inches
$C_{AC-USB1}$ AC 結合コンデンサ (75nF ~ 265nF)	220nF
$C_{AC-USB2}$ AC 結合コンデンサ (297nF ~ 363nF)	オプション: <ul style="list-style-type: none"> R_{RX} 抵抗付きの 330nF AC 結合コンデンサ R_{RX} 抵抗なしの 330nF AC 結合コンデンサ
オプションの R_{RX} 抵抗 (220k Ω ±5%)	220k Ω
C_{AC-DP} AC 結合コンデンサ (75nF ~ 265nF)	220nF
R_{ESD} (0 Ω ~ 2.2 Ω)	1 Ω
V_{CC} 電源 (3V ~ 3.6V)	3.3V
I ² C モードまたは GPIO モード	I ² C モード。(I2C_EN pin != "0")
1.8V または 3.3V I ² C インターフェイス	3.3V I ² C。1K Ω 抵抗を使用して I2C_EN ピンを 3.3V にプルアップします。

8.2.2 詳細な設計手順

図 8-2 は、TUSB1146-Q1 デバイスの代表的な使用法を示します。このデバイスは、GPIO ピンや I²C インターフェイスを介して構成できます。以下の例では、Type-C PD コントローラを使用して、I²C インターフェイス経由でデバイスを構成しています。I²C モードに構成すると、ピン 29 と 32 は未接続のままにできます。I²C モードでは、各レシーバのイコライゼーション設定は I²C レジスタにより独立して制御可能です。このため、イコライゼーション ピン (EQ[1:0]、SSEQ[1:0]、DPEQ[1:0]) はすべて未接続のままにすることが可能です。これらのピンが未接続の場合、DPEQ0/A1 および SSEQ0/A0 がピンレベル "F" であるため、TUSB1146-Q1 の 7 ビットの I²C ターゲット アドレスは 0x12 です。別の I²C ターゲット アドレスが必要な場合は、DPEQ0/A1 および SSEQ0/A0 ピンを、必要な I²C ターゲット アドレスを生成するレベルに設定します。

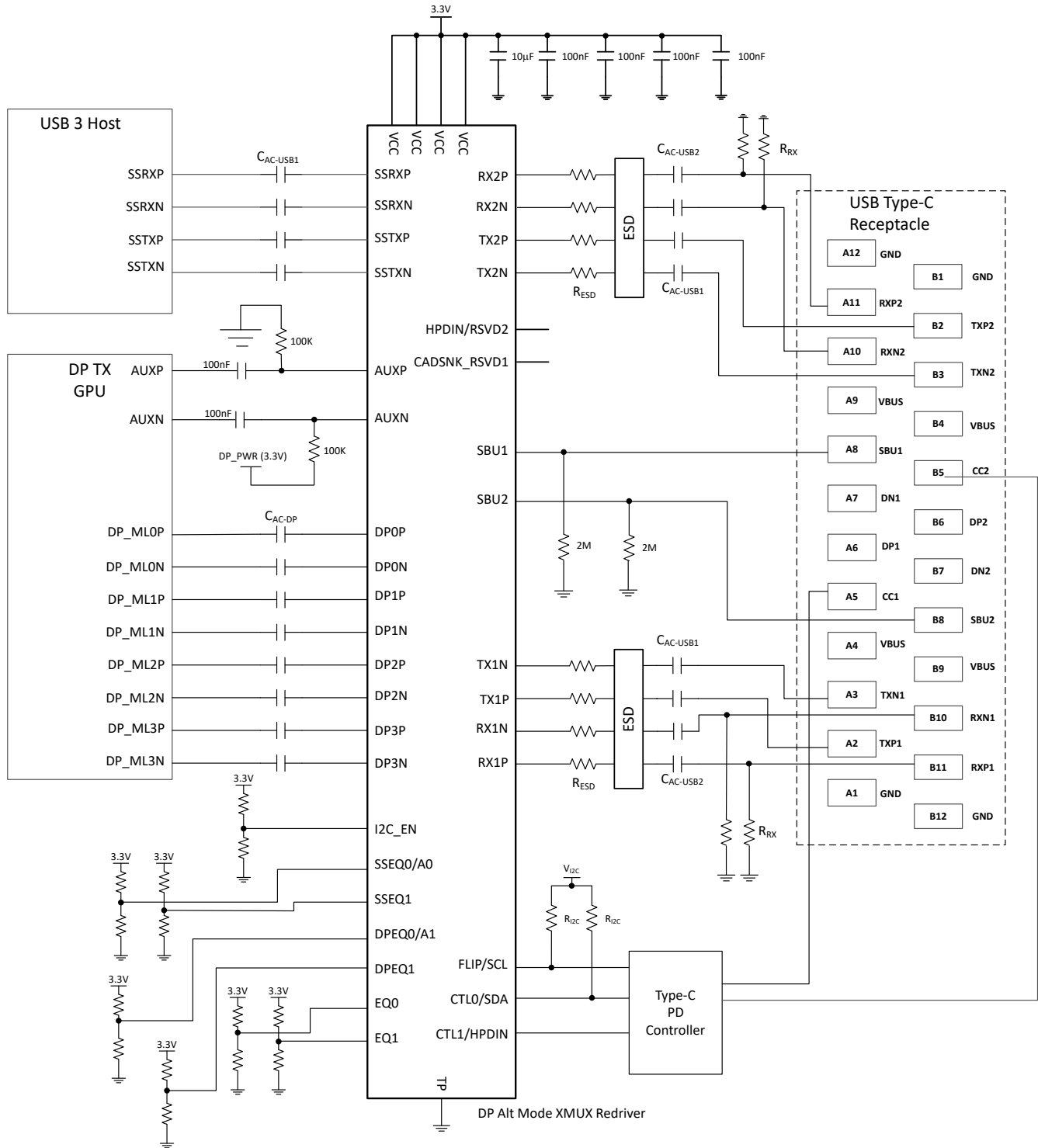


図 8-2. アプリケーション回路

8.2.2.1 USB および DP 上流側ポート (USB ホスト / DP GPU から USB-C レセプタクルへの) 構成

USB および DP の下流方向で TUSB1146-Q1 を設定するには、プレチャネル (X_{AB} および X_{CD}) の挿入損失 (SDD21) を理解する必要があります。DPEQ[1:0] ピンおよび SSEQ[1:0] ピン、または SSEQ_SEL および DPEQx_SEL レジスタを、5GHz におけるプレチャネルの挿入損失レベルに設定してください。TI は、FR4 トレースにおいて 5GHz で約

-1.0dB インチの挿入損失を目安にすることを推奨しています。この推奨に従い、USB (X_{AB}) のプリチャネルが 8 インチの場合は、SSEQ を -8dB にプログラムします。DP (X_{CD}) のチャネル前挿入損失が 10 インチである場合、DPEQ を -10dB にプログラムします。USB SSEQ の設定については 表 6-9 を参照し、DP EQ の設定については 表 6-8 を参照してください。

8.2.2.2 USB 下流側ポート (USB-C レセプタクルから USB ホストへ) の構成

8.2.2.2.1 固定イコライゼーション

固定 EQ 動作では、USB-C レセプタクルに接続されるすべてのデバイス (USB ケーブルの有無を問わず) に対して、単一の EQ 設定が使用されます。TI は、ポストチャネル ($MIN(X_{EF}, X_{GH})$) の損失よりも約 4dB ~ 5dB 高い値に、GPIO モードの場合は TUSB1146-Q1 の EQ[1:0] ピンを、I²C モードの場合は EQ1_SEL および EQ2_SEL を設定することを推奨しています。たとえば、ポストチャネルが 0.5 インチの場合、5GHz において 1 インチあたり -1dB の損失を想定すると、EQ1_SEL および EQ2_SEL を 4.5dB ~ 5.5dB の範囲で設定します。TI は、設定の最適化を行うために、USB3.1 Rx JTOL のロングチャネルおよびショートチャネルテストを実施することを推奨します。USB 3.1 ホストによっては、ロングチャネルテストとショートチャネルテストの両方を満たす単一の EQ 設定が不可能な場合があります。その場合は、TI は高速 AEQ モードまたはフル AEQ モードの使用を推奨します。

8.2.2.2.2 高速な適応型イコライゼーション

高速適応型 EQ は、ショートチャネルとロングチャネルを判別し、検出されたチャネルに基づいてあらかじめ設定された EQ 設定を選択します。高速 AEQ は I²C モードで使用できます。AEQ_MODE = 0 および AEQ_EN = 1 の場合、高速 AEQ がイネーブルになります。

ショートチャネルの EQ 設定を EQ1_SEL レジスタおよび EQ2_SEL レジスタにプログラムします。TI は、ポストチャネル ($MIN(X_{EF}, X_{GH})$) の損失よりも約 1dB ~ 2dB 大きいこれらのレジスタをプログラムすることを推奨しています。たとえば、ポストチャネルの長さが 0.5 インチの場合、5GHz で 1 インチあたり -1dB の挿入損失を想定すると、EQ1_SEL および EQ2_SEL を 1.5dB ~ 2.5dB に設定します。最適なショートチャネル設定を見つけるために、TI は USB3.1 Rx JTOL のショートチャネルテストの実施を推奨しています。

ロングチャネル EQ 設定を LONG_EQ1 レジスタと LONG_EQ2 レジスタにプログラムします。TI は、ポストチャネル ($MIN(X_{EF}, X_{GH})$) の損失よりも約 4dB ~ 5dB 大きいこれらのレジスタをプログラムすることを推奨しています。たとえば、ポストチャネルが 0.5 インチの場合、5GHz において 1 インチあたり -1dB を想定すると、LONG_EQ1 および LONG_EQ2 を 4.5dB ~ 5.5dB の範囲で設定します。最適なロングチャネル設定を見つけるために、TI は USB3.1 Rx JTOL のロングチャネルテストの実施を推奨しています。

8.2.2.2.3 完全適応型イコライゼーション

フル AEQ モードでは、TUSB1146-Q1 はチャネルが短い、長い、またはその中間であっても、常に最適な設定を判定します。フル AEQ 機能は、I²C モードではデフォルトで無効になります。AEQ_MODE = 1 かつ AEQ_EN = 0x1 または 0x3 の場合、フル AEQ が有効になります。

8.2.2.3 ESD 保護

TUSB1146-Q1 を静電放電 (ESD) から保護するために、ESD 部品を内蔵する必要がある場合があります。TI は、表 8-2 に示す ESD 保護に関する推奨事項に従うことを推奨します。クランプ電圧が 表 8-2 に規定されている値よりも大きい場合、各差動ピンに R_{ESD} 接続する必要がある場合があります。ESD 部品を USB コネクタの近くに配置します。

表 8-2. ESD ダイオードの推奨特性

パラメータ	推奨事項
ブレイクダウン電圧	≥ 3.5V
I/O 容量	最大 5Gbps のデータレート: ≤ 0.50pF 5Gbps を超えるデータレート: ≤ 0.35pF
P および N の I/O ピン間での容量の差	≤ 0.07pF
8A I _{pp} IO から GND へのクランプ電圧 (1)	≤ 4.5V

表 8-2. ESD ダイオードの推奨特性 (続き)

パラメータ	推奨事項
標準的な動的抵抗	≤ 30mΩ

(1) IEC 61000-4-5 に準拠 (8/20μs 電流波形)

表 8-3. 推奨 ESD 保護部品

メーカー	部品番号	IEC 61000-4-2 接触 ±8kV をサポートする R _{ESD}
Nexperia	PUSB3FR4	1 Ω
Nexperia	PESD2V8Y1BSF	1 Ω
テキサス・インスツルメンツ	TPD1E04U04DPLR	2 Ω
テキサス・インスツルメンツ	TPD4E02B04DQAR	2 Ω

8.2.3 アプリケーション曲線

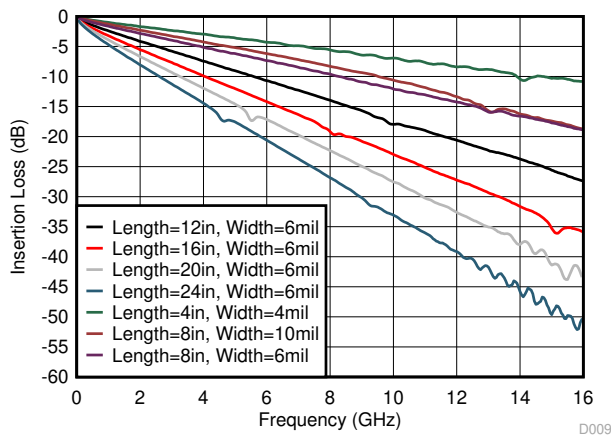


図 8-3. FR4 PCB トレースの挿入損失

8.3 システム例

8.3.1 USB 3.1 のみ

TUSB1146-Q1 は、CTL1 ピンが Low で CTL0 ピンが High のときのみ USB3.1 です。

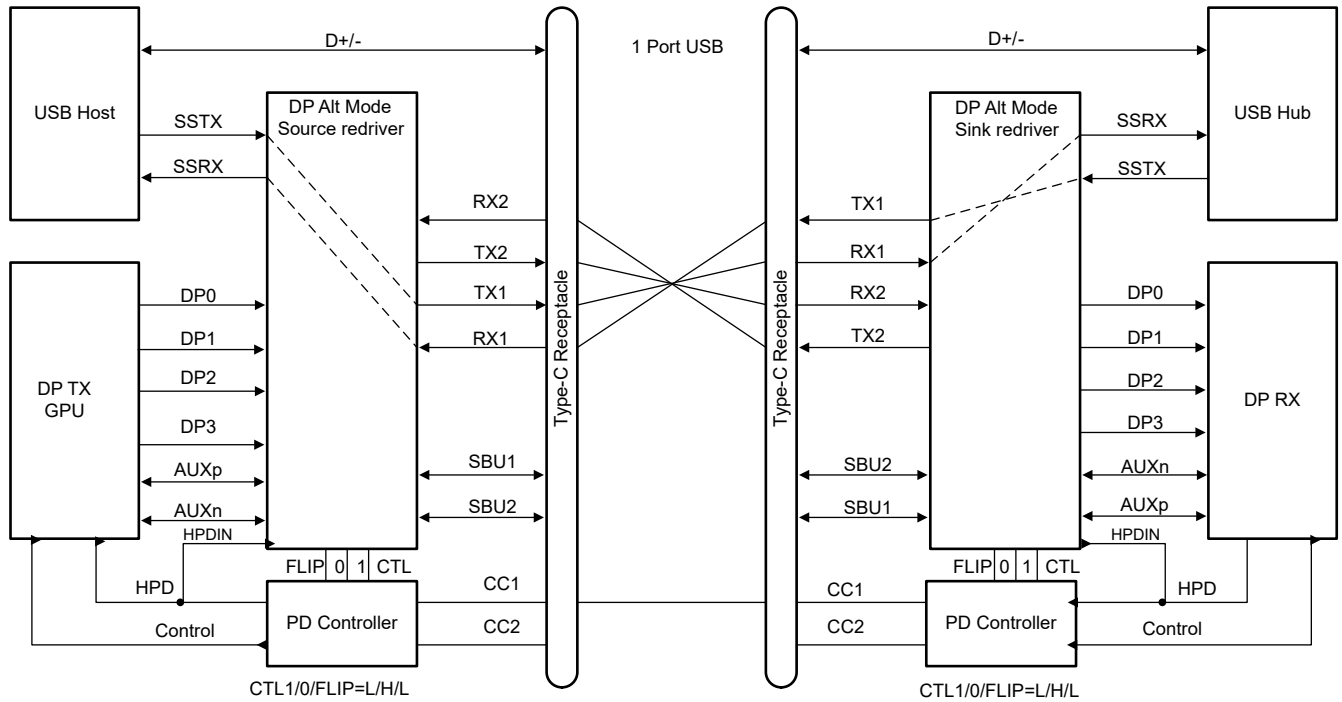


図 8-4. USB3.1 のみ - フリップ機能なし (CTL1 = L、CTL0 = H、FLIP = L)

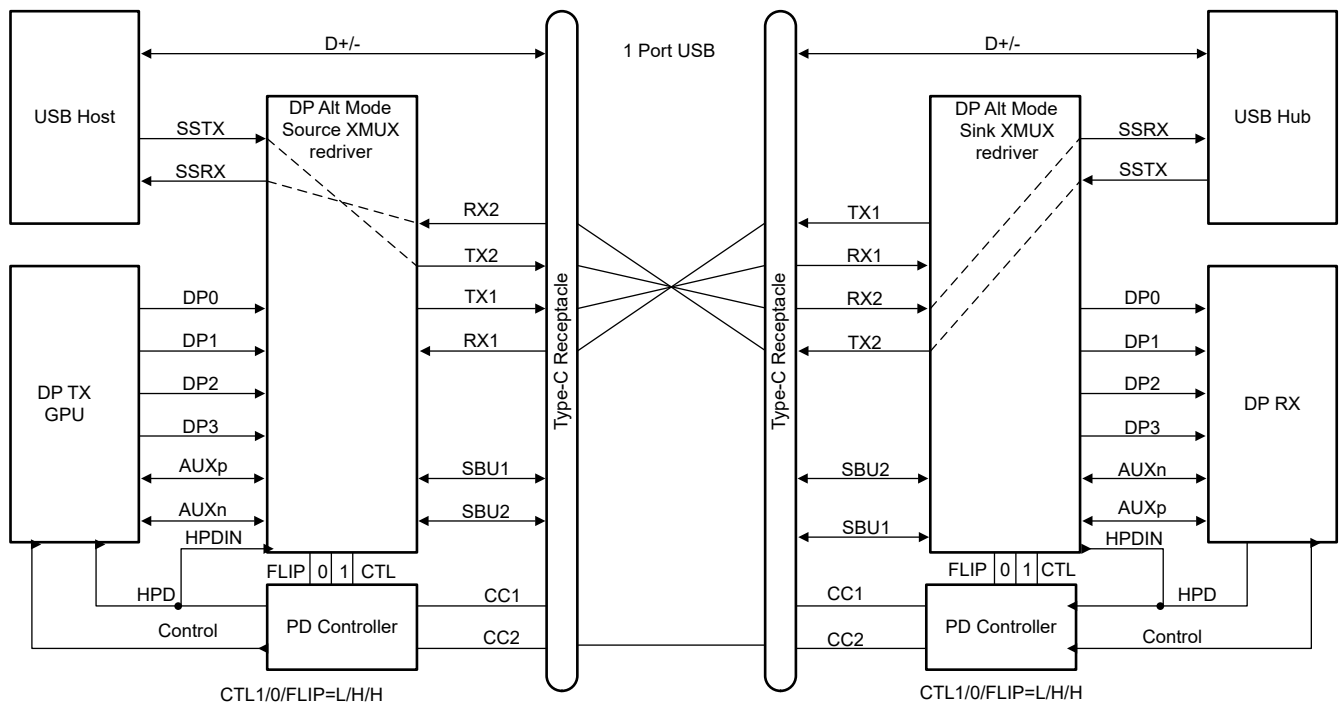


図 8-5. USB3.1 のみ - フリップ機能あり (CTL1 = L、CTL0 = H、FLIP = H)

8.3.2 USB 3.1 および2 レーンの DisplayPort モード

TUSB1146-Q1 は CTL1 ピンが High で CTL0 ピンが High のとき、USB3.1 と DisplayPort モードの 2 レーンで動作します。

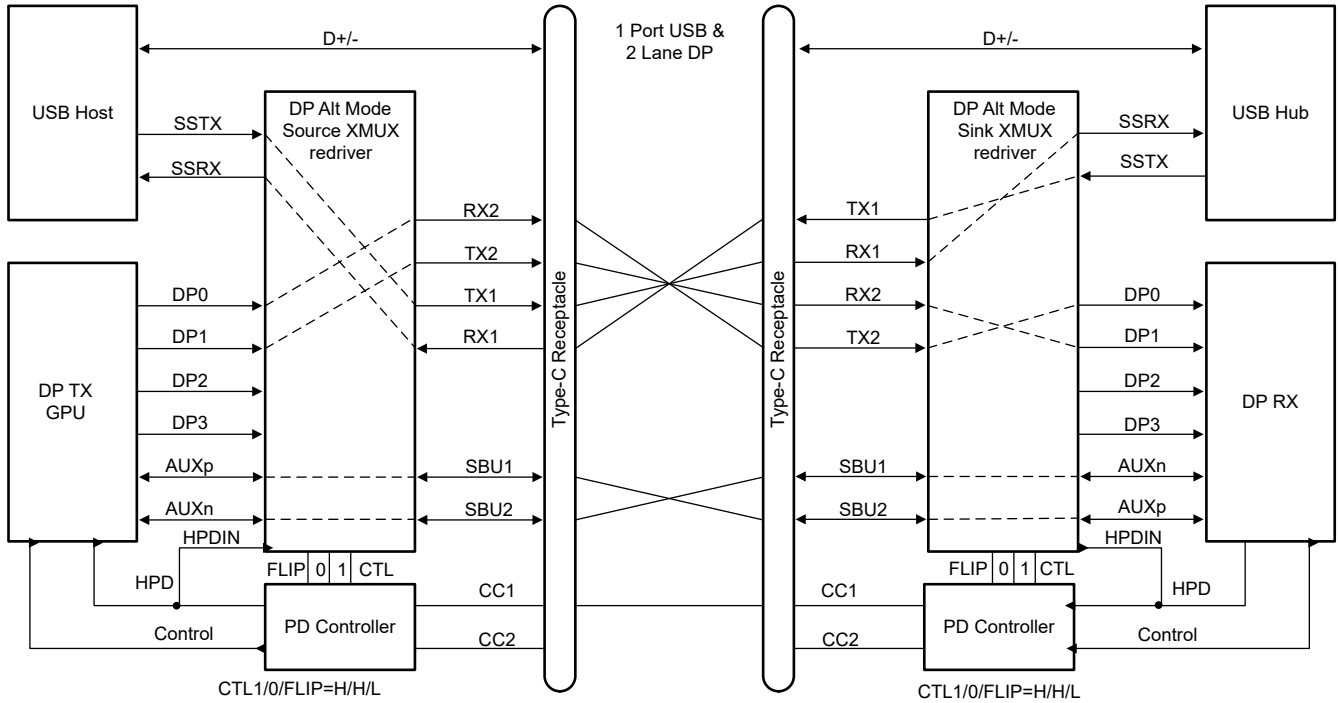


図 8-6. USB3.1 + 2 レーン DP -フリップ機能なし (CTL1 = H、CTL0 = H、FLIP = L)

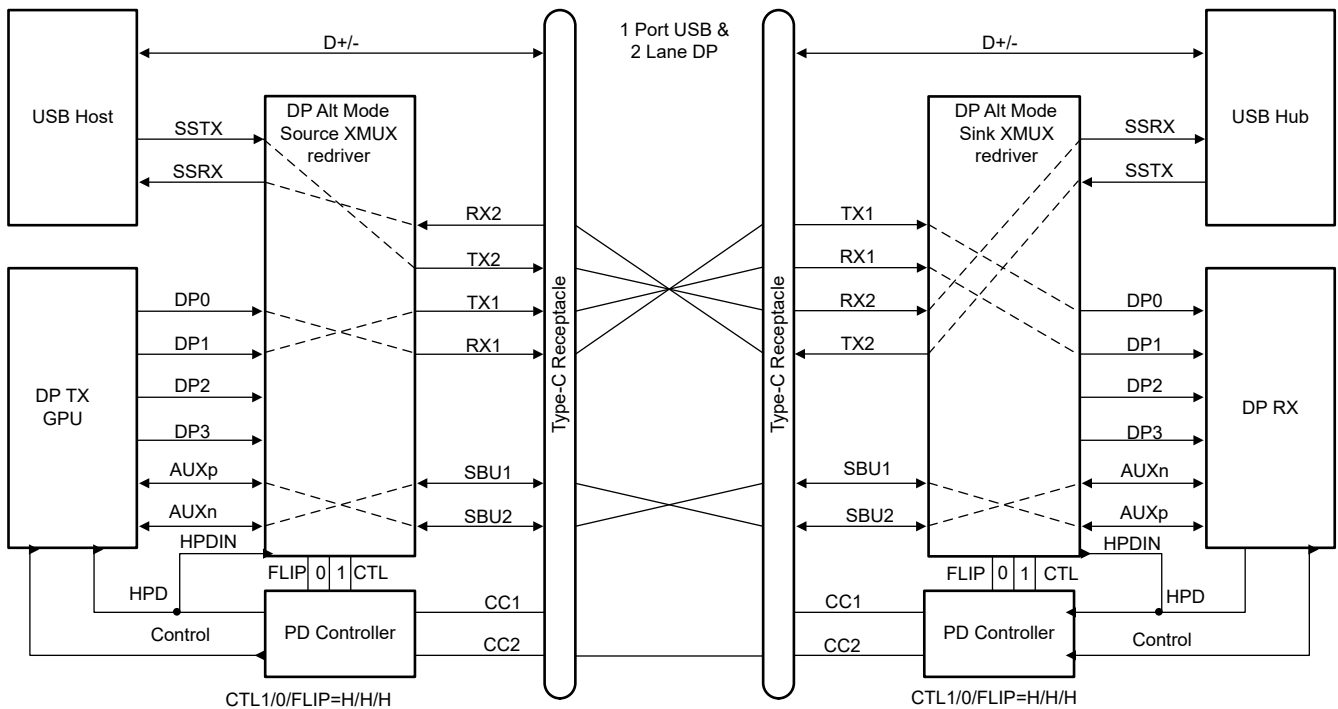


図 8-7. USB 3.1 + 2 レーン DP -フリップ機能あり (CTL1 = H、CTL0 = H、FLIP = H)

8.3.3 DisplayPort のみ

TUSB1146-Q1 は、CTL1 ピンが HIGH で CTL0 ピンが Low のとき、4 レーンの DisplayPort 専用モードで動作します。

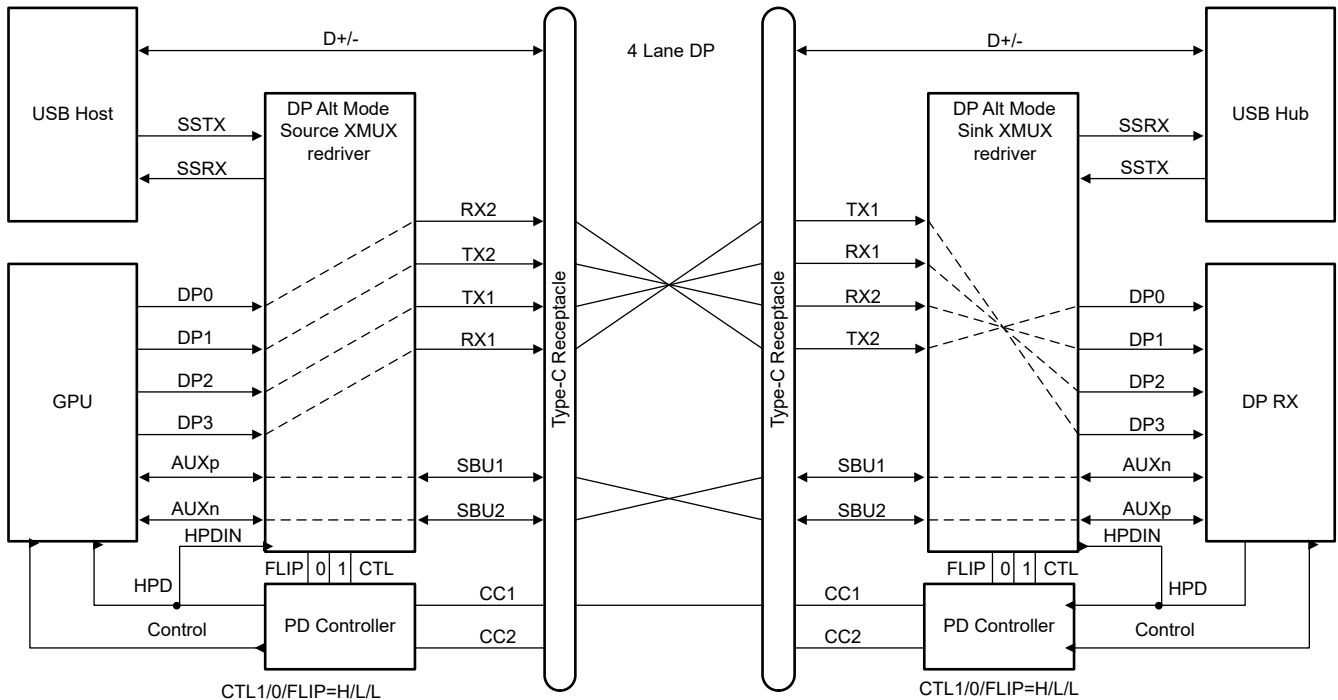


図 8-8.4 レーン DP - フリップ機能なし (CTL1 = H, CTL0 = L, FLIP = L)

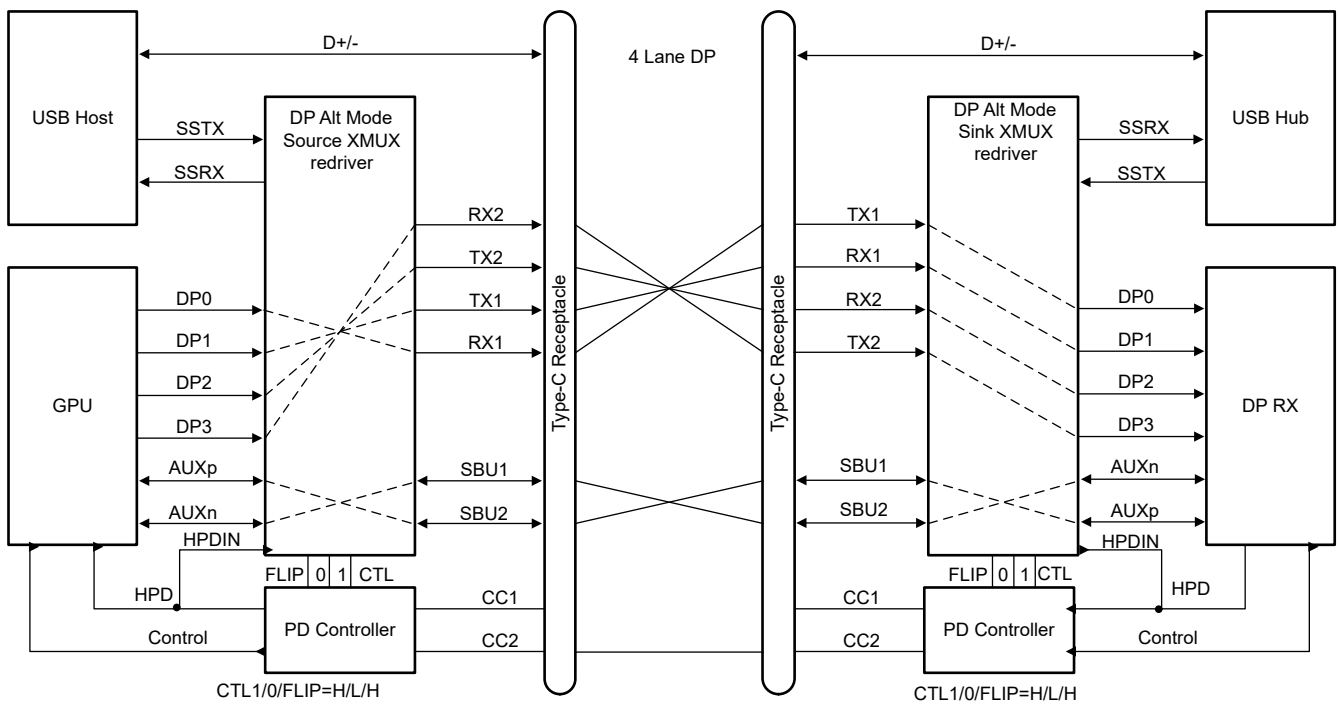


図 8-9.4 レーン DP - フリップ機能あり (CTL1 = H, CTL0 = L, FLIP = H)

8.4 電源に関する推奨事項

TUSB1146-Q1 は、3.3V 電源で動作するように設計されています。絶対最大定格表に記載されたすべての制限値を必ず満たすようにしてください。高い電圧のシステム電源を使用する場合、電圧レギュレータを使用して 3.3V に降圧することができます。ノイズを低減し、電源の整合性を向上させるためにデカップリング コンデンサを使用します。各電源ピンに 0.1 μ F コンデンサを使用します。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

1. SSTXP/N、SSRXP/N、RX1P/N、RX2P/N、TX1P/N、TX2P/N の各ペアは、 $\pm 10\%$ の許容範囲で制御された 90 Ω の差動インピーダンスで配線します。
2. DP[3:0]P/N ペアについて、90 Ω ($\pm 10\%$) の差動インピーダンスで制御された配線を行います。
3. SSTXP/N と SSRXP/N の間には、ペア間の長さ合わせ要件はありません。
4. GPU から TUSB1146-Q1 を経由して USB-C レセプタクルに至るまでの DP レーン (DP[3:0]) 間の長さのずれは、100 mil 未満に保ってください。
5. その他の高速信号から遠ざけます。
6. ペア内配線 (P と N の間) は 5 mil 未満にします。
7. 配線長を一致させるための調整は、配線長の不一致が発生している場所の近くで行います。
8. 各ペアは、信号配線幅の 3 倍以上離す必要があります。
9. 差動配線での曲げの使用は最小限に抑えます。曲げを使用する場合、左右の曲げの数は可能な限り等しくし、曲げの角度は 135 度以上とします。こうすることで、曲げに起因する長さの不一致が最小限に抑えられ、その結果、曲げが EMI に及ぼす影響が最小限に抑えられます。
10. すべての差動ペアは同じ層に配線します。
11. ビアの数をも最小限に抑えます。TI はビアの数を 2 以下にすることを推奨しています。
12. グランド プレーンに隣接する層に配線を配置します。
13. 差動ペアは、プレーンの割れ目の上には配線しないようにします。
14. なお、テストポイントを追加することは、インピーダンスの非連続性をもたらすため、信号性能に悪影響を及ぼします。テストポイントを使用する場合、テストポイントを連続的かつ対称的に配置します。差動ペアに枝分かれが発生するような方法でテストポイントを配置しないでください。
15. TI は、USB-C レセプタクルの SuperSpeed ピンの下にリファレンスプレーンの開口部を設けることを強く推奨します。これにより、レセプタクルの容量効果を最小限に抑えることができます。
16. TI は、AC 結合コンデンサの下にリファレンス プレーンの開口部を設けることを強く推奨します。

8.5.2 レイアウト例

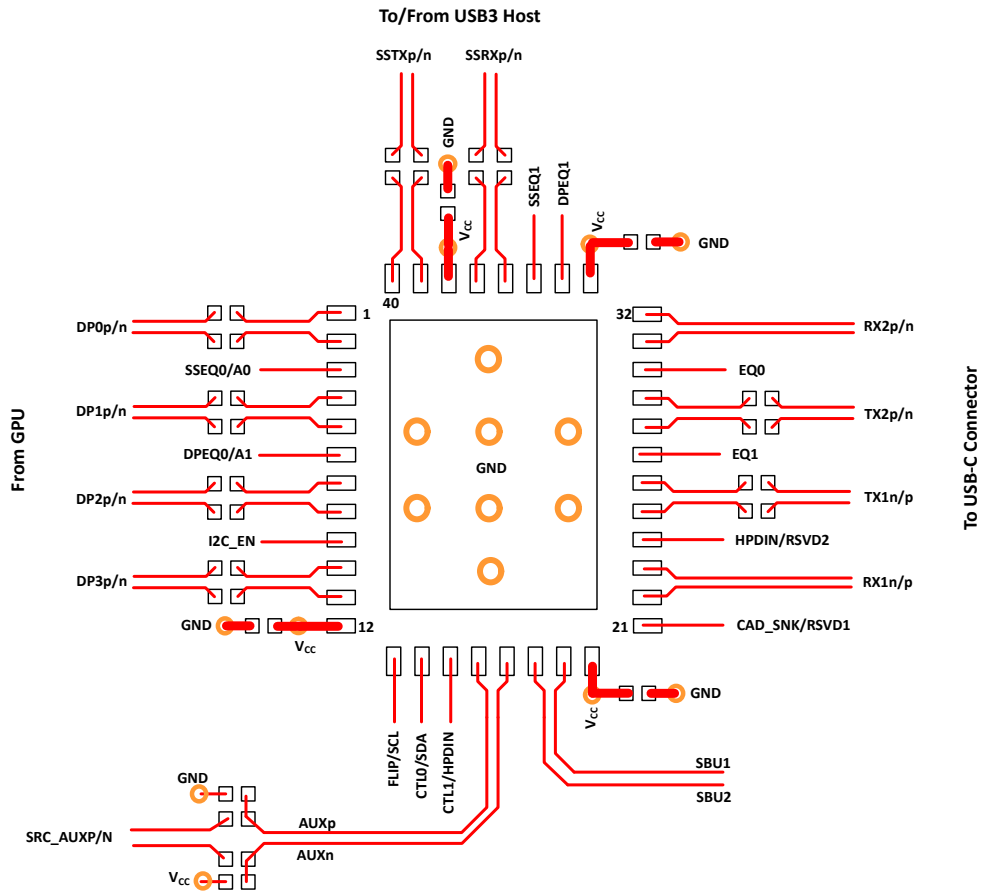


図 8-10. レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 商標

DisplayPort™ is a trademark of VESA.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

USB Type-C® is a registered trademark of USB Implementers Forum.

VESA® is a registered trademark of Video Electronics Standards Association.

HDMI® is a registered trademark of HDMI Licensing LLC.

すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

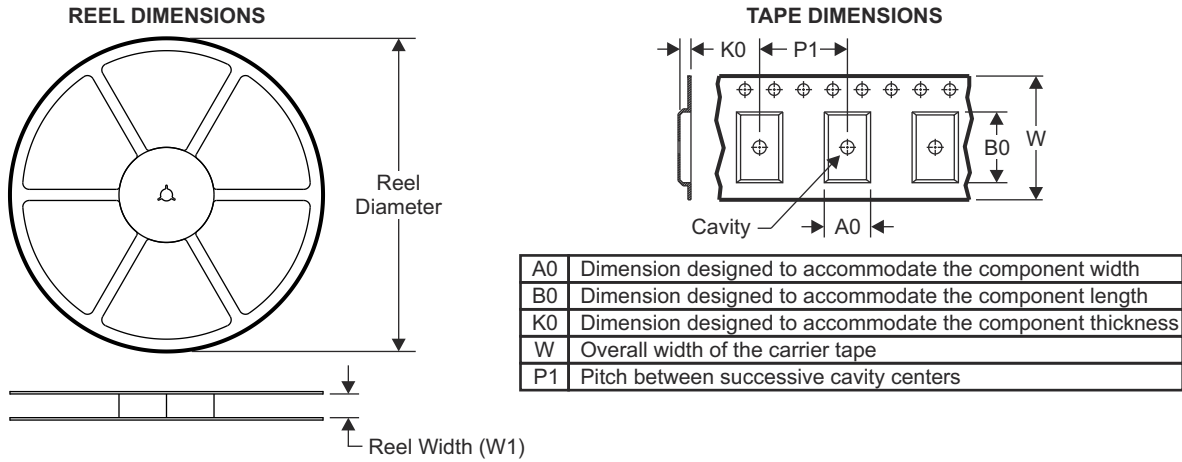
10 改訂履歴

日付	改訂	注
February 2025	*	初版

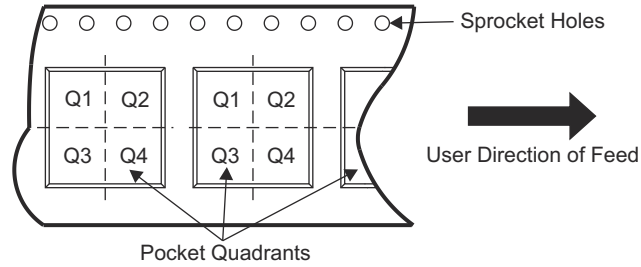
11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

11.1 テープおよびリール情報

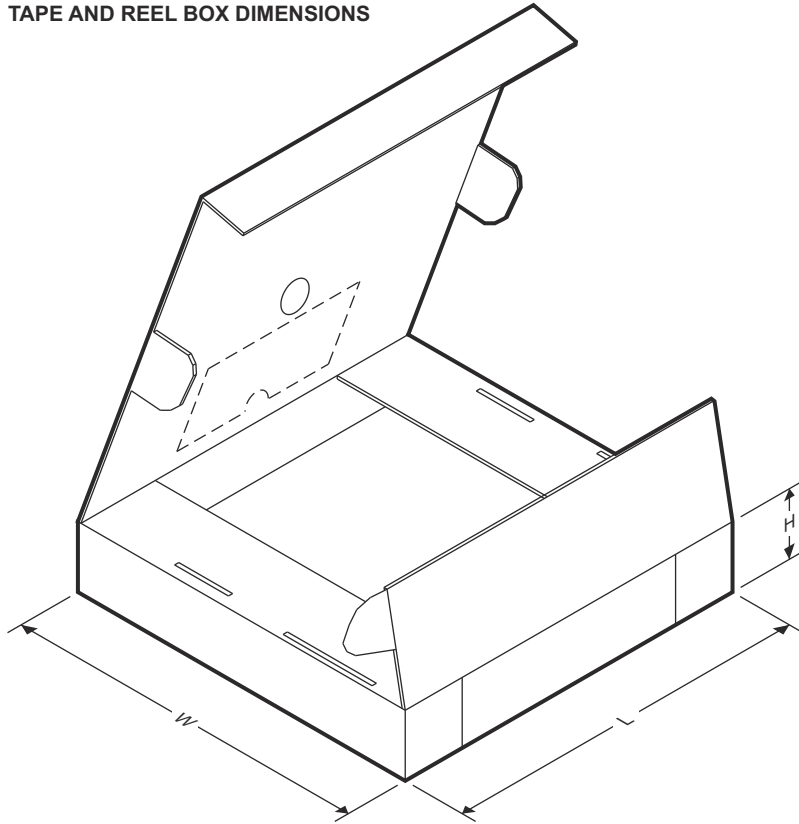


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



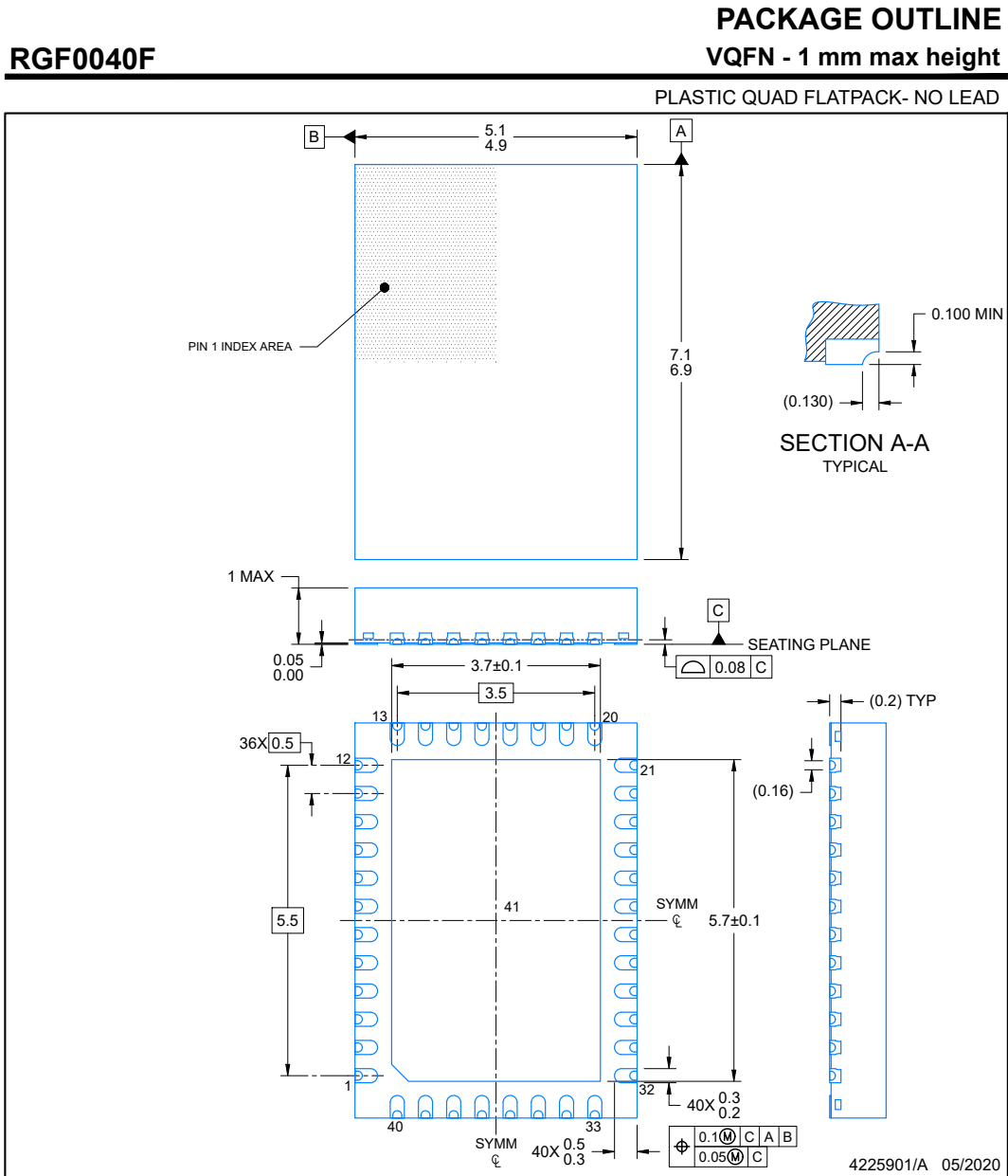
デバイス	パッケージ タイプ	パッケージ 図	ピン数	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン1の 象限
PTUSB1146RGFQ1	VQFN	RGF	40	3000	330.0	16.4	5.25	7.25	1.45	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン数	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
PTUSB1146RGFQ1	VQFN	RGF	40	3000	367.0	367.0	35.0

11.2 メカニカル データ



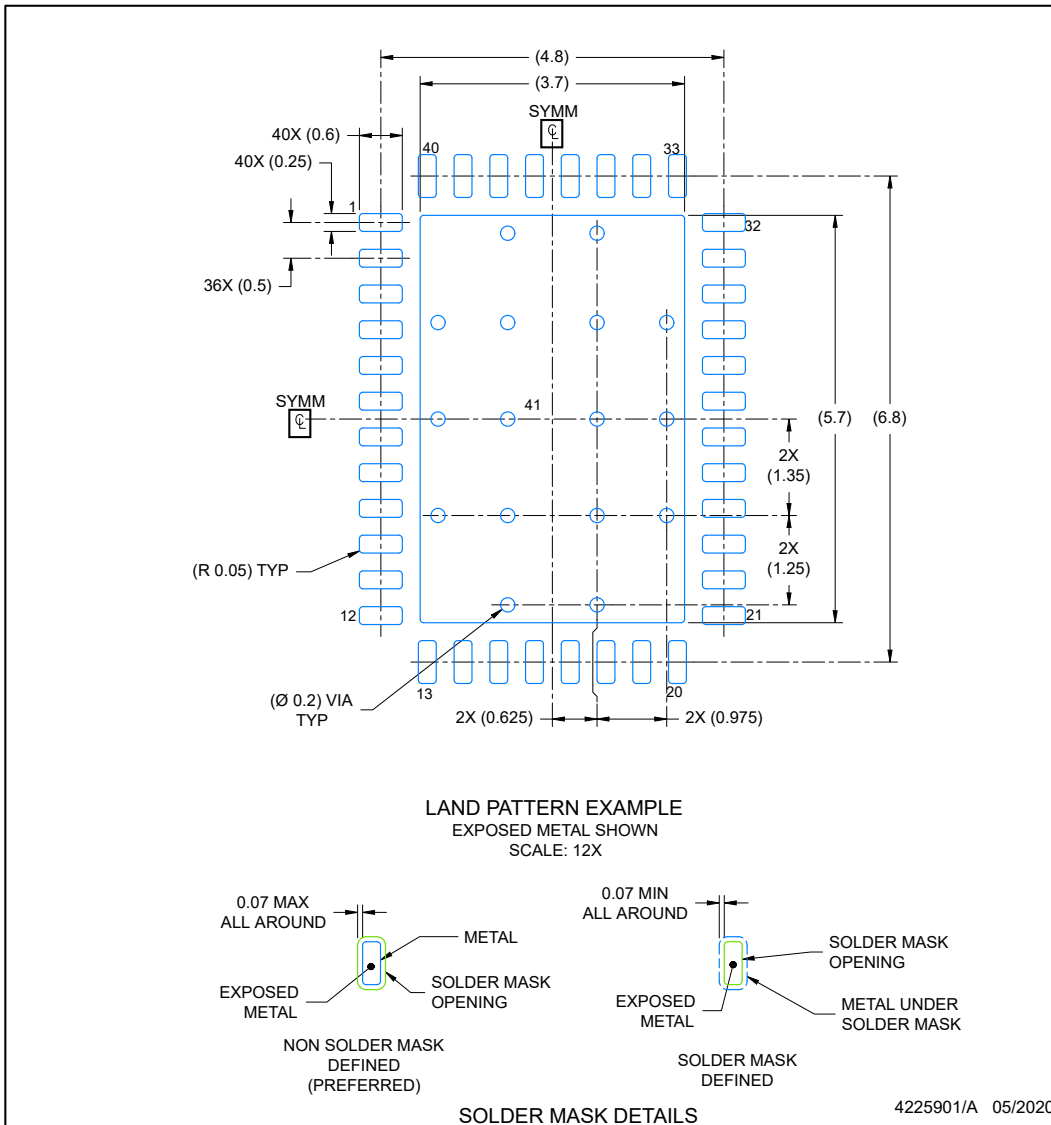
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT
VQFN - 1 mm max height

RGF0040F

PLASTIC QUAD FLATPACK- NO LEAD



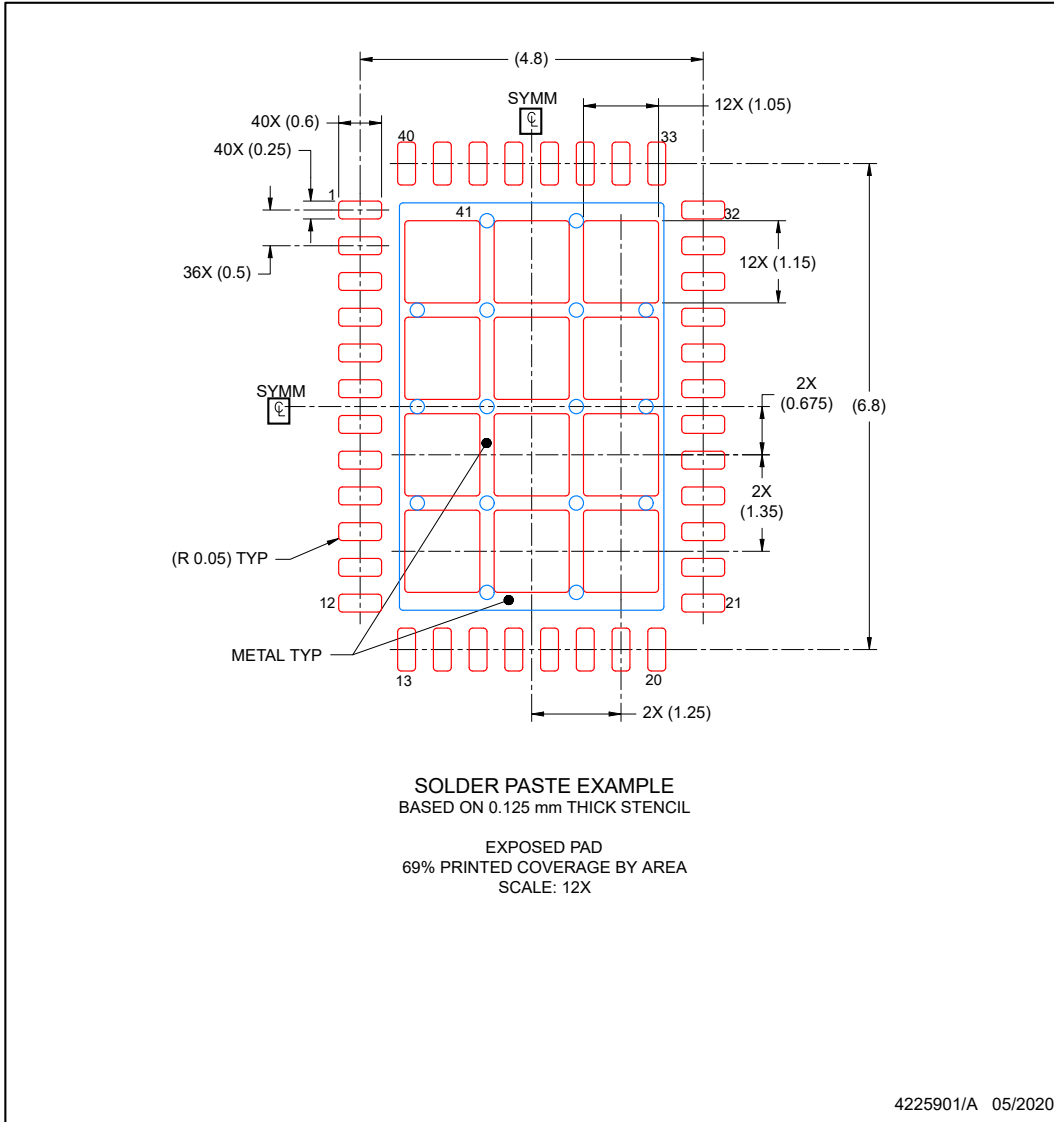
NOTES: (continued)

- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN
VQFN - 1 mm max height

RGF0040F

PLASTIC QUAD FLATPACK- NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TUSB1146RGFRQ1	Active	Production	VQFN (RGF) 40	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-	TDB461
TUSB1146RGFTQ1	Active	Production	VQFN (RGF) 40	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-	TDB461

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TUSB1146-Q1 :

- Catalog : [TUSB1146](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TUSB1146RGFRQ1	VQFN	RGF	40	3000	330.0	16.4	5.25	7.25	1.45	8.0	16.0	Q1
TUSB1146RGFTQ1	VQFN	RGF	40	250	180.0	16.4	5.25	7.25	1.45	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TUSB1146RGFRQ1	VQFN	RGF	40	3000	367.0	367.0	35.0
TUSB1146RGFTQ1	VQFN	RGF	40	250	210.0	185.0	35.0

GENERIC PACKAGE VIEW

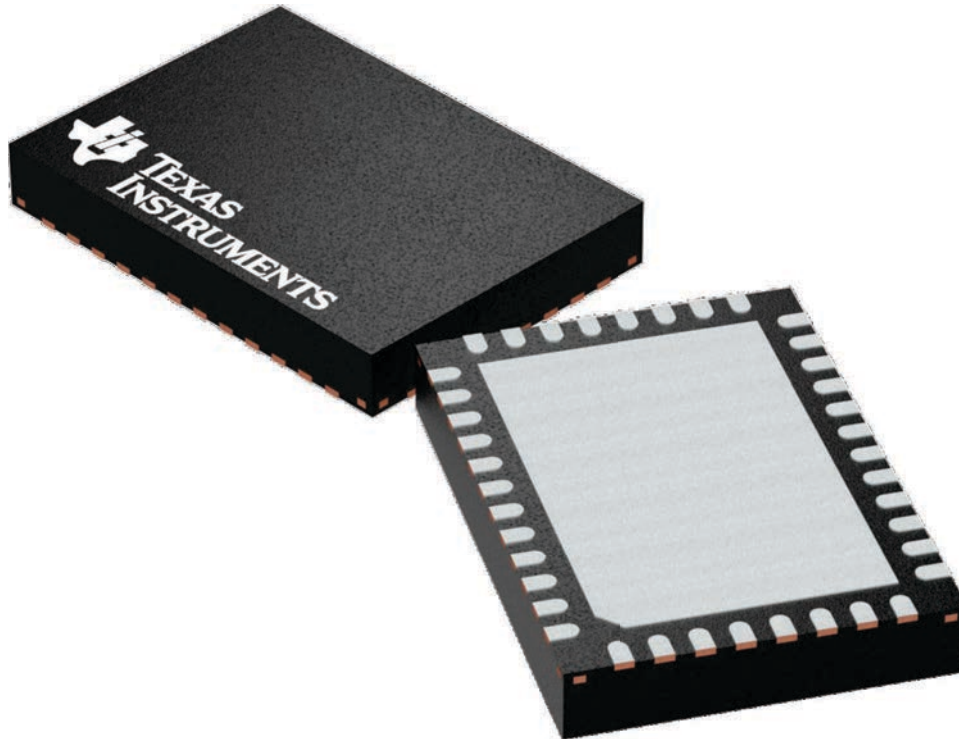
RGF 40

VQFN - 1 mm max height

5 x 7, 0.5 mm pitch

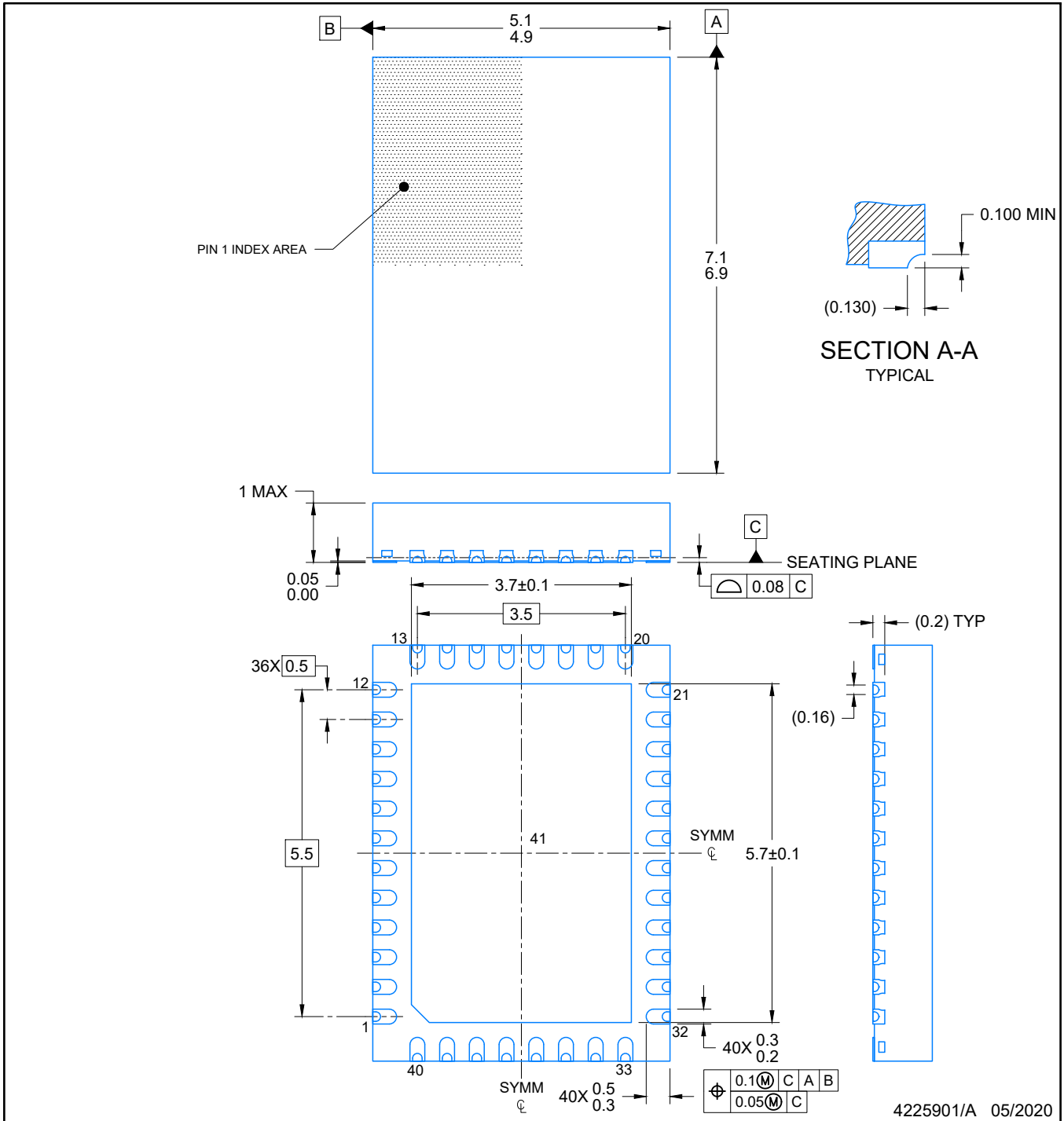
PLASTIC QUAD FLAT PACK- NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225115/A

PLASTIC QUAD FLATPACK- NO LEAD



4225901/A 05/2020

NOTES:

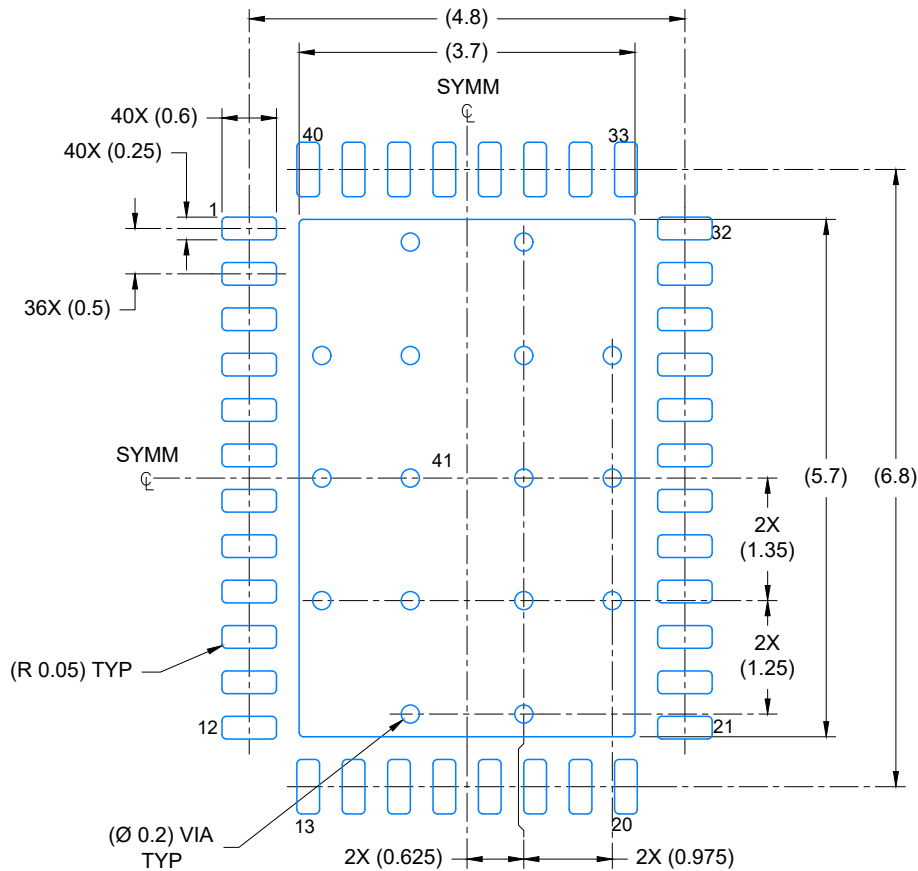
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

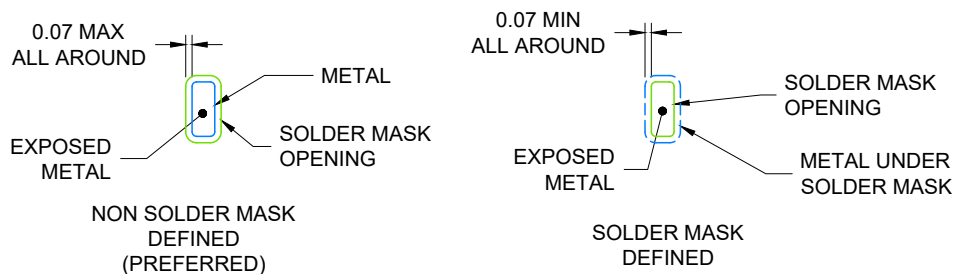
VQFN - 1 mm max height

RGF0040F

PLASTIC QUAD FLATPACK- NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 12X



SOLDER MASK DETAILS

4225901/A 05/2020

NOTES: (continued)

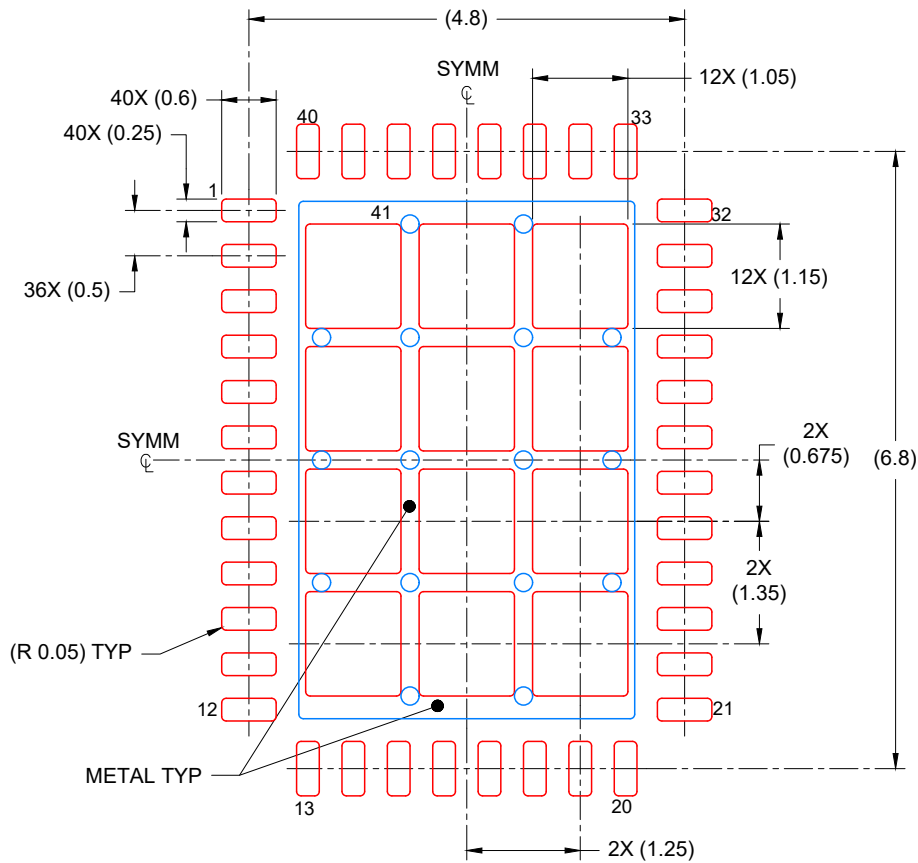
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGF0040F

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK- NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
69% PRINTED COVERAGE BY AREA
SCALE: 12X

4225901/A 05/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、ます。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated