

2N7002L-Q1、6V N チャネル MOSFET

1 特長

- 低オン抵抗
- 低ゲート スレッショルド電圧
- 低入力容量
- 高速スイッチング速度
- 動作接合部温度および保存温度:
– $-65^{\circ}\text{C} \sim +150^{\circ}\text{C}$
- 2kV ゲート - ソース ESD レーティング

2 アプリケーション

- パーソナル エレクトロニクス
- ビル オートメーション
- 産業用オートメーション

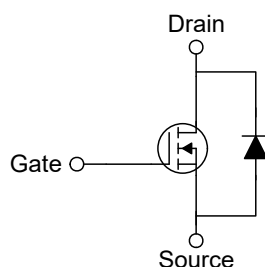
3 説明

このデバイスは、プラスチック パッケージに収められた N チャネル 電界効果トランジスタです。オン抵抗を最小化しつつ、高速スイッチング性能を維持するように設計されています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	本体サイズ (公称)
2N7002L-Q1	DBZ (SOT-23)	2.92mm × 2.37mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



概略ブロック図



目次

1 特長.....	1	7.2 代表的なアプリケーション.....	7
2 アプリケーション.....	1	8 電源に関する推奨事項.....	8
3 説明.....	1	9 レイアウト.....	8
4 ピン構成および機能.....	3	9.1 レイアウトのガイドライン.....	8
5 仕様.....	4	9.2 レイアウト例.....	8
5.1 絶対最大定格.....	4	10 デバイスおよびドキュメントのサポート.....	9
5.2 電気的特性.....	4	10.1 ドキュメントのサポート.....	9
6 詳細説明.....	6	10.2 ドキュメントの更新通知を受け取る方法.....	9
6.1 概要.....	6	10.3 サポート・リソース.....	9
6.2 機能ブロック図.....	6	10.4 商標.....	9
6.3 機能説明.....	6	10.5 静電気放電に関する注意事項.....	9
6.4 デバイスの機能モード.....	6	10.6 用語集.....	9
7 アプリケーションと実装.....	7	11 改訂履歴.....	9
7.1 アプリケーション情報.....	7	12 メカニカル、パッケージ、および注文情報.....	9

4 ピン構成および機能

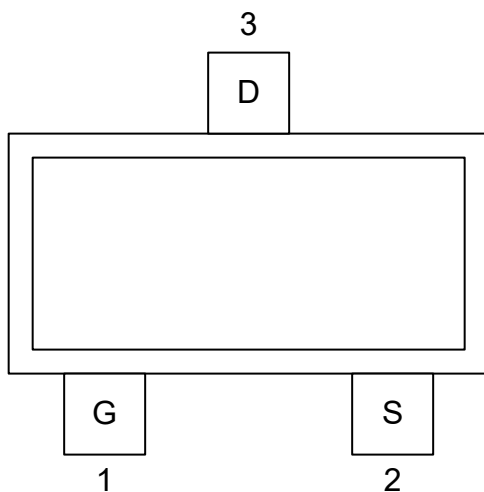


図 4-1. DBZ パッケージ 3 ピン SOT-23 上面図

表 4-1. ピンの機能

ピン		説明
名称	DBZ	
G	1	ゲート
S	2	ソース
D	3	ドレイン

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V_{DS}	ドレイン - ソース間電圧		6	V
V_{GS}	ゲート - ソース間電圧		7	V
I_D	ドレイン電流 ($T_A = 25^\circ\text{C}$)		1.4	A
I_D	ドレイン電流 ($T_A = 85^\circ\text{C}$)		437	mA
I_{DM}	パルスドレイン電流 ($t_p = 1\text{s}$)		1.43	A
T_J, T_{STG}	動作時の接合部温度、保存温度	-65	150	$^\circ\text{C}$
I_S	ソース電流		1.4	A
T_L	半田付け目的のリード温度		260	$^\circ\text{C}$
ESD	ゲート - ソース / ゲート - ドレイン ESD レーティング		2000	V

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

	パラメータ		テスト条件	最小値	標準値	最大値	単位
オフ特性	V _{(BR)DSS}	ドレイン - ソース間ブレイク ダウン電圧	V _{GS} = 0V、I _D = 1μA	9.7	11.7	13.7	V
	V _{(BR)DSS} / T _J	ドレイン - ソース間ブレイク ダウン電圧の温度係数		4			mV/°C
	I _{DSS}	ゼロ ゲート電圧ドレイン電 流	V _{GS} = 0V、V _{DS} = 6V、T _J = 25°C	2.5			nA
	I _{DSS}	ゼロ ゲート電圧ドレイン電 流	V _{GS} = 0V、V _{DS} = 6V、T _J = 125°C	0.26			μA
	I _{GSS}	ゲート - ソース間リーク電流	V _{DS} = 0V、V _{GS} = +7.0V	384			nA
オン特性	V _{GS}	ゲート スレッシュホルド電圧	V _{GS} = V _{DS} 、I _D = 250μA	0.4	0.7	0.95	V
	V _{GS(TH)}	負のスレッシュホルド温度係 数		-1.4			mV/°C
	R _{DS(ON)}	ドレイン - ソース間オン抵 抗	V _{GS} = 5V、I _D = 64mA	1.2	3		Ω
	R _{DS(ON)}	ドレイン - ソース間オン抵 抗	V _{GS} = 3.3V、I _D = 64mA	1.6	4.5		Ω
	G _{FS}	順方向相互コンダクタンス	V _{DS} = 5V、I _D = 64mA	57	181		mS

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

	パラメータ		テスト条件	最小値	標準値	最大値	単位
電荷と静電容量	C_{ISS}	入力容量	$V_{GS} = 0V, f = 1MHz, V_{DS} = 6V$		4.8	5	pF
	C_{OSS}	出力容量			7.4	8.5	
	C_{RSS}	帰還転送容量			5	5.5	
	$Q_{G(TOT)}$	合計ゲート電荷	$V_{GS} = 0 \sim 5V, V_{DS} = 6V$ (図を参照)		0.034		nC
	$Q_{G(TH)}$	スレッショルド ゲート電荷	$V_{GS} = 0 \sim 5V, V_{DS} = 6V$ (図を参照)		0.007		
	Q_{GS}	ゲート - ソース間電荷	$V_{GS} = 0 \sim 5V, V_{DS} = 6V$ (図を参照)		0.019		
	Q_{GD}	ゲート - ドレイン間電荷	$V_{GS} = 0 \sim 5V, V_{DS} = 6V$ (図を参照)		0.17		
スイッチング特性	$t_{d(ON)}$	ターンオン遅延時間	$V_{GS} = 5V, V_{DD} = 6V, R_G = 25\Omega, R_D = 2.49k\Omega$			1.4	nS
	t_r	立ち上がり時間				1.1	
	$t_{d(OFF)}$	ターンオフ遅延時間				7.0	
	t_f	立ち下がり時間				55	
ドレイン - ソース間ダイオード特性	V_{SD}	順方向ダイオード電圧	$V_{GS} = 0V, I_S = 20mA, T_J = 25^\circ C$			0.97	V
			$V_{GS} = 0V, I_S = 20mA, T_J = 85^\circ C$			0.93	

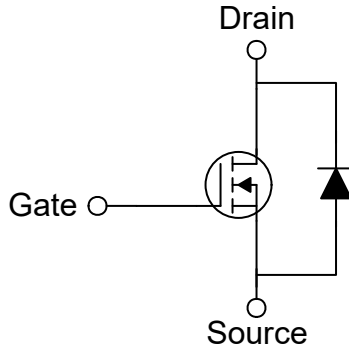
(1) 標準値はすべて、 $T_A = 25^\circ C$ における値です。

6 詳細説明

6.1 概要

2N7002L-Q1 は、低電圧、低電流アプリケーションの汎用スイッチング向けに設計された N チャネル拡張モード MOSFET です。標準的なローサイド構成では、ソースをグランドに接続し、ゲートをロジックレベル信号で駆動します。ゲート電圧がスレッシュホールド電圧を超えると、MOSFET がオンになり、ドレインとソース間に低オン抵抗のパスを提供します。

6.2 機能ブロック図



6.3 機能説明

6.4 デバイスの機能モード

表 6-1 に、デバイスの機能モードを示します。

表 6-1. 機能表

モード	説明
OFF	$V_{GS} < \text{スレッシュホールド電圧}$ 、デバイスは導通しない
オン	$V_{GS} > \text{スレッシュホールド電圧}$ 、デバイスは導通する

7 アプリケーションと実装

注

以下のアプリケーション セクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

2N7002L-Q1 デバイスは、異なるインターフェイス電圧で動作するデバイスや、システム間を接続するレベル シフト アプリケーションに使用できます。下の例では、システム コントローラが 2N7002L のゲートを駆動します。コントローラがロジック レベル High を出力すると、MOSFET がオンになり、システム デバイスの EN ピンが Low に引き込まれます。コントローラ出力が Low のとき、MOSFET はオフになり、プルアップ抵抗によって EN ピンが 5V に High へ引き上げられます。これにより、レベル シフトや、コントローラのロジックドメインより高い電圧でイネーブル信号を駆動するためのオープンドレイン型インターフェイスが形成されます。

7.2 代表的なアプリケーション

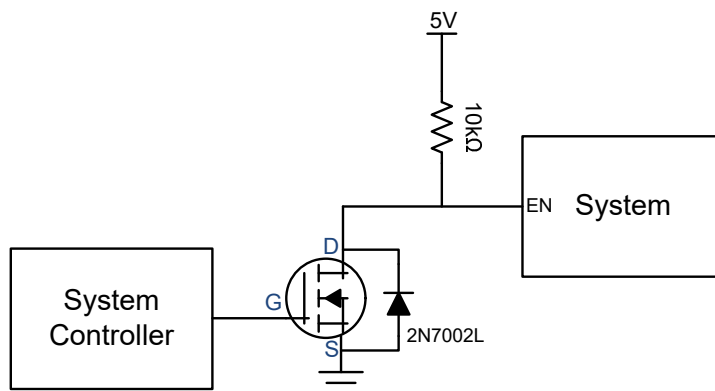


図 7-1. 2N7002L-Q1 を用いた代表的なアプリケーション

7.2.1 設計要件

2N7002L を適切に動作させるには、「絶対最大定格」および「電気的特性」の表に定義されている制限内に収めて設計する必要があります。

7.2.2 詳細な設計手順

2N7002L を使用して設計するには、ゲートドライブ、負荷電流、スイッチング動作の適切な動作条件を選択し、すべてのパラメータが「絶対最大定格」および「電気的特性」の表に定義された制限内に収まることを確認してください。

1. 動作 V_{DS} を選択: ドレインに印加される電源電圧が絶対最大定格を超えないようにしてください。
2. 有効な V_{GS} を選択: V_{GS} の推奨制限値内に収まるロジックレベルのゲート電圧を使用してください。
3. 負荷電流特性を確認: ドレイン電流がデバイスの連続電流および熱特性の範囲内にあることを確認してください。
4. スwitching特性を確認: ゲートドライブの強度とスイッチング周波数が、デバイスのゲート電荷および容量と整合していることを確認してください。

8 電源に関する推奨事項

2N7002L-Q1 は、「絶対最大定格」および「電気的特性」の表で定義された制限内で動作させます。5V のドレイン電源を使用し、過渡事象を含めて V_{DS} が 6V を超えないようにしてください。ロジック レール (1.8V、3.3V、または 5V) からゲートを駆動し、どのような条件下でも V_{GS} が 7V を超えないことを確認してください。スイッチングに伴う電圧スパイクを低減するため、デカップリング コンデンサをデバイスまたは負荷の近くに配置します。

9 レイアウト

9.1 レイアウトのガイドライン

ドレイン、ソース、およびゲート接続のパターン長を最小限に抑えて、寄生インダクタンスとスイッチング ノイズを低減します。

- カップリングを防止するため、ゲートドライブ信号をノイズの多いスイッチング ノードから離して配線します。
- 放熱のため、ソース パッドまたはドレイン パッドに適切な銅の面積を確保します。
- 小型の誘導性負荷をスイッチングする場合、過渡ストレスを最小限に抑えるため、フライバックまたはクランプ素子をデバイスの近くに配置します。

9.2 レイアウト例

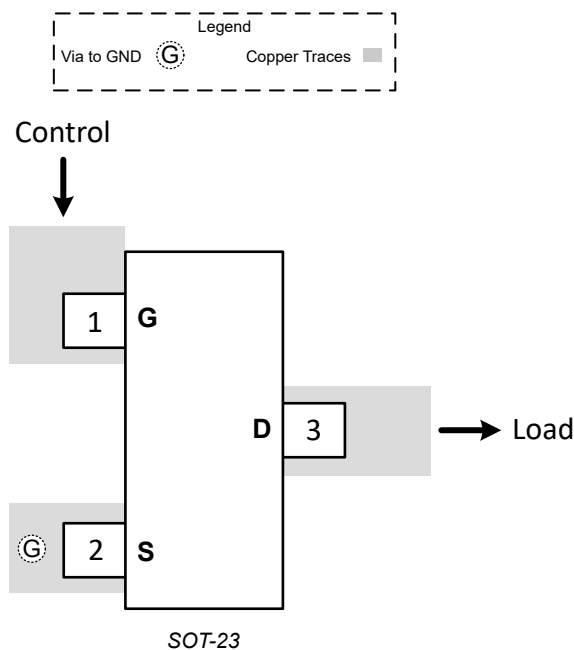


図 9-1. SOT-23 パッケージのレイアウト例

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[低速またはフローティング CMOS 入力の影響](#)』SCBA004
- テキサス・インスツルメンツ、『[TI の X2SON パッケージによる設計と製造](#)』アプリケーション ノート

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[ti.com](#) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ [E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
December 2025	*	初版リリース

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
P2N7002LDBZRQ1	Active	Preproduction	SOT-23 (DBZ) 3	3000 LARGE T&R	-	Call TI	Call TI	-	

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF 2N7002L-Q1 :

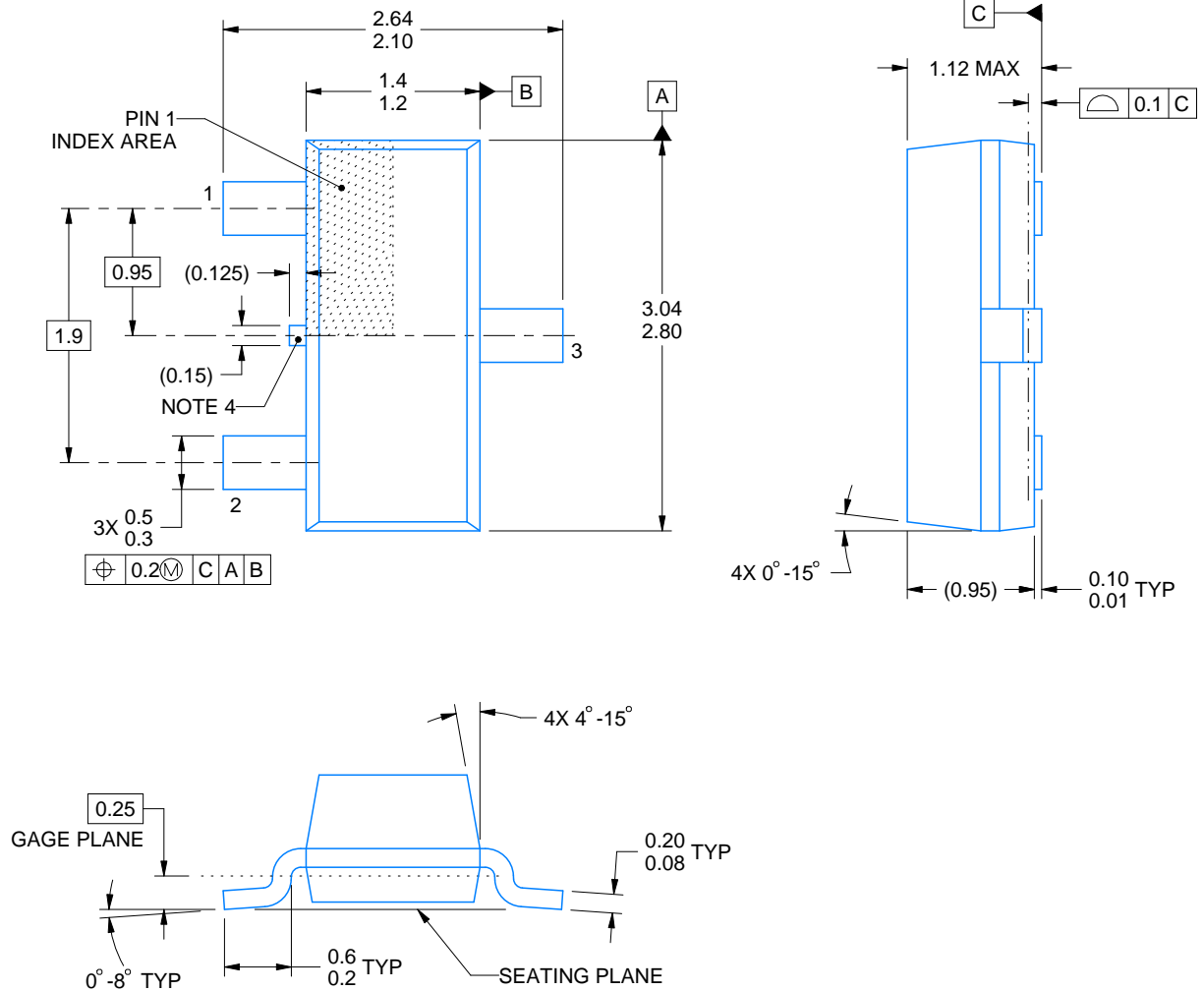
- Catalog : [2N7002L](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

DBZ0003A**PACKAGE OUTLINE****SOT-23 - 1.12 mm max height**

SMALL OUTLINE TRANSISTOR



4214838/F 08/2024

NOTES:

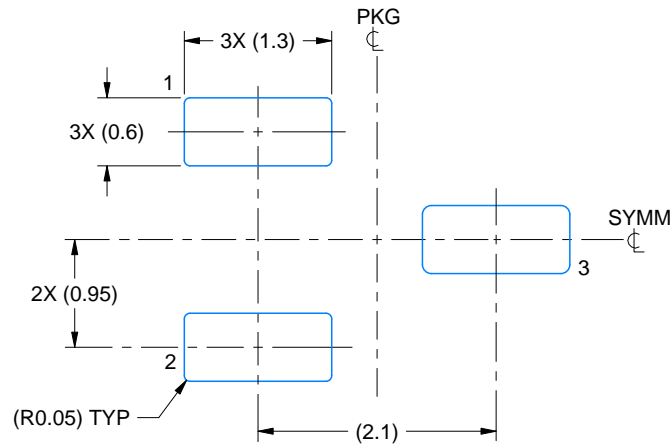
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration TO-236, except minimum foot length.
4. Support pin may differ or may not be present.
5. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side

EXAMPLE BOARD LAYOUT

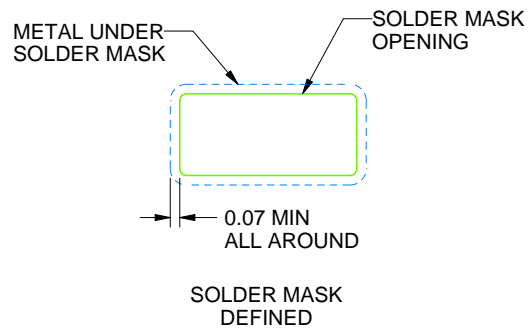
DBZ0003A

SOT-23 - 1.12 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
SCALE:15X



SOLDER MASK DETAILS

4214838/F 08/2024

NOTES: (continued)

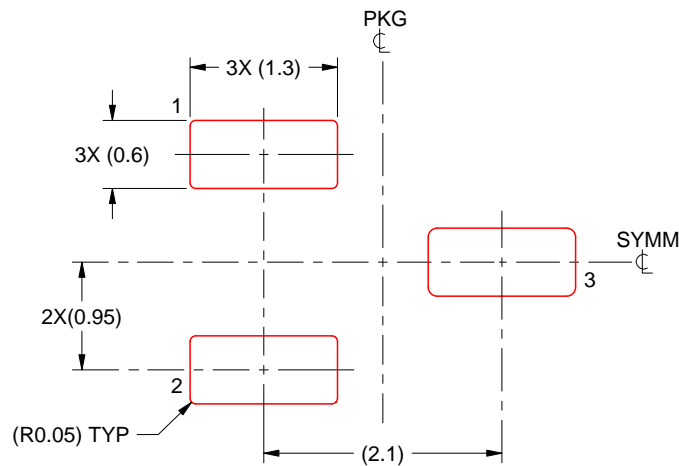
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBZ0003A

SOT-23 - 1.12 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:15X

4214838/F 08/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月