ADC12DJ3200QML-SP 6.4GSPS シングル チャネルまたは 3.2GSPS デュアル チャネル、12 ビット、RF サンプリング A/D コンバータ (ADC)

1 特長

- ADC コア:
  - 12 ビット分解能
  - シングル チャネル モードで最大 6.4GSPS
  - デュアル チャネル モードで最大 3.2GSPS
- ノイズ フロア (信号なし、V_{FS} = 1$V_{PP-DIFF}$):
  - デュアル チャネル モード: –149.5dBFS/Hz
  - シングル チャネルモード: –152.4dBFS/Hz
- ピーク ノイズ・パワー比 (NPR):45.4 dB
- バッファ付きアナログ入力、V_{CMI} = 0V:
  - アナログ入力帯域幅 (-3dB):7 GHz
  - 使用可能な入力周波数範囲:10GHz 超
  - フルスケール入力電圧 (V_{FS}、デフォルト):0.8V_{PP}
- ノイズなしのアパーチャ遅延 (t_{AD}) 調整:
  - 高精度サンプリング制御:19fs ステップ サイズ
  - 遅延は温度および電圧に対して不変
- 使いやすい同期機能
  - SYSREF タイミングの自動較正
  - サンプル マーキング用のタイムスタンプ
- JESD204B サブクラス-1 準拠のインターフェイス:
  - 最大レーン速度:12.8Gbps
  - 最大 16 レーンを使用してレーン速度を低減可能
- デュアル チャネル モードのデジタル ダウン コンバータ
  - 実数出力:DDC バイパスまたは 2x 間引き
  - 複素数出力:4x、8x、または 16x 間引き
- 耐放射線性能:
  - 吸収線量 (TID):300krad (Si)
  - シングル イベント ラッチアップ (SEL):120MeV-cm^2/mg
  - シングル イベント アップセット(SEU)耐性レジスタ
- 消費電力:3W

2 アプリケーション

- 衛星通信 (SATCOM)
- 位相アレイ レーダー、SIGINT、ELINT
- 合成開口レーダー (SAR)
- タイム オブ フライト (ToF) および LIDAR 距離測定
- RF サンプリングのソフトウェア無線 (SDR)
- 分光分析

3 説明

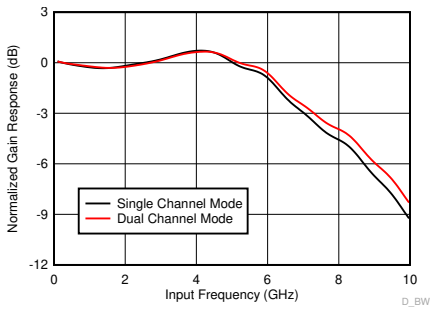
ADC12DJ3200QML-SP デバイスは RF サンプリング、ギガ サンプルの A/D コンバータ(ADC)で、DC から 10GHz 超までの入力周波数を直接サンプリングできます。デュアル チャネル モードでは、ADC12DJ3200QML-SP は最大 3200MSPS をサンプリングできます。シングル チャネル モードでは、このデバイスは最大 6400MSPS をサンプリングできます。チャネル数(デュアル チャネル モード)とナイキスト帯域幅(シングル チャネル モード)のトレードオフをプログラム可能なため、多くのチャネル数を必要とするアプリケーション、または広い瞬間的な信号帯域幅を必要とするアプリケーションのどちらの要求にも対応できる、柔軟なハードウェアを開発できます。フルパワー入力帯域幅 (–3dB) は 7GHz で、使用可能な周波数はデュアル チャネルとシングル チャネル モードの両方で –3dB のポイントを超えて拡大されるため、L バンド、S バンド、C バンド、X バンドを直接 RF サンプリングでき、周波数の機動性が高いシステムを実現できます。

ADC12DJ3200QML-SP は、高速の JESD204B 出力インターフェイスを使用し、最大 16 の直列化されたレーンを持ち、決定論的レイテンシとマルチデバイス同期についてサブクラス-1 に準拠しています。シリアル出力レーンは最高 12.8Gbps をサポートし、ビット レートとレーン数のトレードオフを設定可能です。革新的な同期機能として、ノイズなしのアパーチャ遅延 (t_{AD}) 調整、SYSREF のウィンドウ処理などがあり、合成開口レーダー (SAR) や位相アレイ MIMO 通信のシステム設計を簡素化できます。デュアル チャネル モードではオプションのデジタル ダウン コンバータ(DDC)により、インターフェイス速度(実数および複素数間引きモード)の低減と、信号のデジタル ミキシング(複素数間引きモードのみ)が可能です。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
ADC12DJ3200QML-SP	CLGA (196) CCGA (196) フリップ チップ	15mm × 15mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



ADC12DJ3200QML-SP で測定された入力帯域幅

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....10
5.1 絶対最大定格.....10
5.2 ESD 定格.....10
5.3 推奨動作条件.....11
5.4 熱に関する情報.....11
5.5 電気的特性:DC の仕様.....12
5.6 電気的特性:消費電力.....14
5.7 電気的特性:AC 仕様 (デュアル チャネル モード).....15
5.8 電気的特性:AC 仕様 (シングル チャネル モード).....18
5.9 タイミング要件.....21
5.10 スイッチング特性.....22
5.11 タイミング図.....25
5.12 代表的特性.....27
6 詳細説明.....40
6.1 概要.....40
6.2 機能ブロック図.....41
6.3 機能説明.....42
6.4 デバイスの機能モード.....67
6.5 プログラミング.....87
6.6 レジスタマップ.....89
7 アプリケーション情報に関する免責事項.....140
7.1 アプリケーション情報.....140
7.2 代表的なアプリケーション.....143
7.3 初期化セットアップ.....148
7.4 レイアウト.....150
8 デバイスおよびドキュメントのサポート.....154
8.1 デバイス サポート.....154
8.2 ドキュメントのサポート.....154
8.3 サード・パーティ製品に関する免責事項.....154
8.4 ドキュメントの更新通知を受け取る方法.....154
8.5 サポート・リソース.....154
8.6 商標.....154
8.7 静電気放電に関する注意事項.....155
8.8 用語集.....155
9 改訂履歴.....155
10 メカニカル、パッケージ、および注文情報.....155

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

	1	2	3	4	5	6	7	8	9	10	11	12	13	14
A	AGND	BG	AGND	INA+	INA-	AGND	NCOA0	ORA0	CALTRIG	DA3+	DA3-	DA2+	DA2-	DGND
B	AGND	$\overline{\text{SYNCSE}}$	AGND	AGND	AGND	AGND	NCOA1	ORA1	CALSTAT	DA7+	DA7-	DA6+	DA6-	DGND
C	TMSTP+	VA19	VA19	VA19	VA19	AGND	AGND	DGND	DGND	VD11	VD11	VD11	DA5+	DA1+
D	TMSTP-	VA19	VA11	AGND	AGND	AGND	AGND	DGND	DGND	DGND	DGND	VD11	DA5-	DA1-
E	VA19	VA19	VA11	AGND	AGND	AGND	AGND	DGND	DGND	DGND	DGND	VD11	DA4+	DA0+
F	AGND	VA11	VA11	AGND	AGND	AGND	AGND	DGND	DGND	DGND	DGND	VD11	DA4-	DA0-
G	CLK+	AGND	VA11	AGND	AGND	AGND	AGND	DGND	DGND	DGND	DGND	VD11	$\overline{\text{SCS}}$	SCLK
H	CLK-	AGND	VA11	AGND	AGND	AGND	AGND	DGND	DGND	DGND	DGND	VD11	SDI	SDO
J	AGND	VA11	VA11	AGND	AGND	AGND	AGND	DGND	DGND	DGND	DGND	VD11	DB4-	DB0-
K	VA19	VA19	VA11	AGND	AGND	AGND	AGND	DGND	DGND	DGND	DGND	VD11	DB4+	DB0+
L	SYSREF+	VA19	VA11	AGND	AGND	AGND	AGND	DGND	DGND	DGND	DGND	VD11	DB5-	DB1-
M	SYSREF-	VA19	VA19	VA19	VA19	AGND	AGND	DGND	DGND	VD11	VD11	VD11	DB5+	DB1+
N	AGND	TDIODE+	AGND	AGND	AGND	AGND	NCOB1	ORB1	DGND	DB7+	DB7-	DB6+	DB6-	DGND
P	AGND	TDIODE-	AGND	INB+	INB-	AGND	NCOB0	ORB0	PD	DB3+	DB3-	DB2+	DB2-	DGND

図 4-1. ZMX (CGLA) および NWE (CCGA) パッケージ
196 パッド フリップ チップ セラミック LGA (上面図)

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
AGND[1]	A1、A3、A6、B1、B3、B4、B6、B6、C6、C7、D4、D5、D6、D7、E4、E5、E6、E7、F1、F4、F5、F6、F7、G2、G4、G5、G6、G7、H2、H4、H5、H6、H7、J1、J4、J5、J6、J7、K4、K5、K6、K7、L4、L5、L6、L7、M6、M7、N1、N3、N4、N5、N6、P1、P3、P6	—	アナログ電源の接地。AGND および DGND は基板に直接接続する必要があります。
BG	A2	O	バンドギャップ電圧出力。このピンは 100µA をソースでき、最大 80pF の負荷を駆動できます。詳細については、「*アナログ リファレンス電圧*」セクションを参照してください。このピンは、使用しない場合は接続解除できます。
CALSTAT	B9	O	フォアグラウンド キャリブレーション ステータス出力またはデバイス アラーム出力。機能は CAL_STATUS_SEL によってプログラムされます。このピンは、使用しない場合は接続解除できます。
CALTRIG	A9	I	フォアグラウンド キャリブレーション トリガ入力。このピンは、CAL_TRIG_EN でハードウェア キャリブレーション トリガが選択されている場合にのみ使用されます。それ以外の場合は、CAL_SOFT_TRIG を使用してソフトウェア トリガが実行されます。このピンを使用しない場合は GND に接続してください。
CLK+	G1	I	デバイス (サンプリング) クロックの正の入力。クロック信号は、この入力に AC 結合する必要があります。シングル チャネル モードでは、立ち上がりエッジと立ち下がりエッジの両方でアナログ入力信号がサンプリングされます。デュアル チャネル モードでは、立ち上がりエッジでアナログ信号がサンプリングされます。この差動入力は 100Ω の差動終端を内蔵し、最適な入力同相電圧に自己バイアスされます。
CLK–	H1	I	デバイス (サンプリング) クロックの負の入力。AC 結合が必要です。
DA0+	E14	O	チャネル A、レーン 0、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND（0V）と VD11（1.1V）の間の任意の電圧レベルに接続できます。
DA0–	F14	O	チャネル A、レーン 0、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DA1+	C14	O	チャネル A、レーン 1、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND（0V）と VD11（1.1V）の間の任意の電圧レベルに接続できます。
DA1–	D14	O	チャネル A、レーン 1、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DA2+	A12	O	チャネル A、レーン 2、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
DA2–	A13	O	チャネル A、レーン 2、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DA3+	A10	O	チャネル A、レーン 3、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DA3–	A11	O	チャネル A、レーン 3、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DA4+	E13	O	チャネル A、レーン 4、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DA4–	F13	O	チャネル A、レーン 4、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DA5+	C13	O	チャネル A、レーン 5、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DA5–	D13	O	チャネル A、レーン 5、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DA6+	B12	O	チャネル A、レーン 6、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DA6–	B13	O	チャネル A、レーン 6、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DA7+	B10	O	チャネル A、レーン 7、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DA7–	B11	O	チャネル A、レーン 7、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB0+	K14	O	チャネル B、レーン 0、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB0–	J14	O	チャネル B、レーン 0、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB1+	M14	O	チャネル B、レーン 1、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB1–	L14	O	チャネル B、レーン 1、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
DB2+	P12	O	チャネル B、レーン 2、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB2–	P13	O	チャネル B、レーン 2、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB3+	P10	O	チャネル B、レーン 3、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB3–	P11	O	チャネル B、レーン 3、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB4+	K13	O	チャネル B、レーン 4、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB4–	J13	O	チャネル B、レーン 4、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB5+	M13	O	チャネル B、レーン 5、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB5–	L13	O	チャネル B、レーン 5、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB6+	N12	O	チャネル B、レーン 6、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB6–	N13	O	チャネル B、レーン 6、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB7+	N10	O	チャネル B、レーン 7、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB7–	N11	O	チャネル B、レーン 7、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
DGND	A14、B14、C8、C9、D8、D9、D10、D11、E8、E9、E10、E11、F8、F9、F10、F11、G8、G9、G10、G11、H8、H9、H10、H11、J8、J9、J10、J11、K8、K9、K10、K11、L8、L9、L10、L11、M8、M9、N9、N14、P14	—	デジタル電源の接地。AGND および DGND は基板に直接接続する必要があります。
INA+	A4	I	チャネル A アナログ入力の正接続。差動フルスケール入力範囲は、フルスケール電圧調整レジスタによって決定されます。入力同相電圧は、AGND に設定する必要があります。この入力は、50Ω の終端抵抗を経由してグランドに終端されます。性能が最適化されているため、シングル チャネル モードには INA の使用を推奨します。このピンは、使用しない場合は接続解除できます。
INA–	A5	I	チャネル A アナログ入力の負接続。この入力は、50Ω の終端抵抗を経由してグランドに終端されます。性能が最適化されているため、シングル チャネル モードには INA の使用を推奨します。このピンは、使用しない場合は接続解除できます。
INB+	P4	I	チャネル B アナログ入力の正接続。差動フルスケール入力範囲は、フルスケール電圧調整レジスタによって決定されます。入力同相電圧は、AGND に設定する必要があります。この入力は、50Ω の終端抵抗を経由してグランドに終端されます。このピンは、使用しない場合は接続解除できます。
INB–	P5	I	チャネル B アナログ入力の負接続。この入力は、50Ω の終端抵抗を経由してグランドに終端されます。このピンは、使用しない場合は接続解除できます。
NCOA0	A7	I	NCO アキュムレータ選択は DDC A の LSB を制御します。NCOA0 および NCOA1 は、可能な 4 つの NCO のうち、デジタル ミキシングに使用される NCO を選択します。残りの未選択の NCO は、位相コヒーレントを維持するため引き続き動作し、NCOA0 と NCOA1 の値を変更することで交換できます。これは非同期入力です。このピンを使用しない場合は GND に接続してください。
NCOA1	B7	I	NCO アキュムレータ選択は DDC A の MSB を制御します。このピンを使用しない場合は GND に接続してください。
NCOB0	P7	I	NCO アキュムレータ選択は DDC B の LSB を制御します。NCOB0 および NCOB1 は、可能な 4 つの NCO のうち、デジタル ミキシングに使用される NCO を選択します。残りの未選択の NCO は、位相コヒーレントを維持するため引き続き動作し、NCOB0 と NCOB1 の値を変更することで交換できます。これは非同期入力です。このピンを使用しない場合は GND に接続してください。
NCOB1	N7	I	NCO アキュムレータ選択は DDC B の MSB を制御します。このピンを使用しない場合は GND に接続してください。
ORA0	A8	O	T0 スレッショルドのチャネル A の高速オーバーレンジ検出ステータス。アナログ入力が OVR_T0 にプログラムされたスレッショルドを超えると、このステータスが High になります。最小パルス幅は OVR_N によって設定されます。このピンは、使用しない場合は接続解除できます。
ORA1	B8	O	T1 スレッショルドのチャネル A の高速オーバーレンジ検出ステータス。アナログ入力が OVR_T1 にプログラムされたスレッショルドを超えると、このステータスが High になります。最小パルス幅は OVR_N によって設定されます。このピンは、使用しない場合は接続解除できます。
ORB0	P8	O	T0 スレッショルドのチャネル B の高速オーバーレンジ検出ステータス。アナログ入力が OVR_T0 にプログラムされたスレッショルドを超えると、このステータスが High になります。最小パルス幅は OVR_N によって設定されます。このピンは、使用しない場合は接続解除できます。
ORB1	N8	O	T1 スレッショルドのチャネル B の高速オーバーレンジ検出ステータス。アナログ入力が OVR_T1 にプログラムされたスレッショルドを超えると、このステータスが High になります。最小パルス幅は OVR_N によって設定されます。このピンは、使用しない場合は接続解除できます。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
PD	P9	I	このピンは、温度ダイオード キャリブレーション専用に High に設定すると、すべてのアナログ回路およびシリアライザ出力を無効化します。電力を節約するため、このピンをデバイスのパワーダウンに使用しないでください。通常動作時はこのピンを GND に接続してください。信頼性の高いシリアライザ動作の詳細については、「*パワーダウン モード*」セクションを参照してください。
SCLK	G14	I	シリアル インターフェイス クロック。このピンはシリアル プログラミング データの入出力をクロックするシリアル インターフェイス クロック入力として機能します。「*シリアル インターフェイスの使い方*」では、シリアル インターフェイスについて詳しく説明しています。このピンは 1.1V ～ 1.9V の CMOS レベルをサポートしています。
$\overline{\text{SCS}}$	G13	I	シリアル インターフェイスのチップ セレクトのアクティブ Low 入力。「*シリアル インターフェイスの使い方*」では、シリアル インターフェイスについて詳しく説明しています。このピンは 1.1V ～ 1.9V の CMOS レベルをサポートしています。このピンには、VD11 への 82kΩ のプルアップ抵抗が搭載されています。
SDI	H13	I	シリアル インターフェイスのデータ入力。「*シリアル インターフェイスの使い方*」では、シリアル インターフェイスについて詳しく説明しています。このピンは 1.1V ～ 1.9V の CMOS レベルをサポートしています。
SDO	H14	O	シリアル インターフェイス データ出力。「*シリアル インターフェイスの使い方*」では、シリアル インターフェイスについて詳しく説明しています。このピンは、デバイス通常動作中はハイインピーダンスになります。このピンは、シリアルインターフェイスの読み取り動作時に 1.9V CMOS レベルを出力します。このピンは、使用しない場合は接続解除できます。
$\overline{\text{SYNCSE}}$	B2	I	JESD204B 同期信号のシングルエンド アクティブ Low 入力。このピンは、JESD204B に必要な同期要求入力を提供します。この入力にロジック Low を印加すると、コード グループの同期と初期レーン整列シーケンスが開始されます。SYNC_SEL をプログラミングすることで、シングルエンドまたは差動 $\overline{\text{SYNC}}$ (TMSTP+ および TMSTP- ピンを使用) の選択を選べます。差動 $\overline{\text{SYNC}}$ (TMSTP±) を JESD204B 同期信号として使用する場合、このピンを GND に接続する必要があります。
SYSREF+	L1	I	SYSREF の正入力は、JESD204B インターフェイス全体で同期と決定論的レイテンシを実現するために使用されます。この差動入力 (SYSREF+ ～ SYSREF–) には、100Ω の差動終端が内蔵されています。AC 結合時に入力は自己バイアスされます (SYSREF_LVPECL_EN を 0 に設定する必要があります) が、SYSREF_LVPECL_EN を 1 に設定することで DC 結合することができ、内部終端は各 SYSREF+ および SYSREF- 入力のグランドに対して 50Ω のシングルエンド終端に変化します。DC 結合のときは、同相電圧を推奨範囲内にする必要があります。
SYSREF–	M1	I	SYSREF 負入力。
TDIODE+	N2	I	温度ダイオードの正 (アノード) 接続。デバイスの接合部温度を監視するため、外部温度センサを TDIODE+ および TDIODE– に接続できます。このピンは、使用しない場合は接続解除できます。
TDIODE–	P2	I	温度ダイオードの負 (カソード) 接続。このピンは、使用しない場合は接続解除できます。
TMSTP+	C1	I	タイムスタンプ入力の正接続または差動 JESD204B $\overline{\text{SYNC}}$ の正接続。SYNC_SEL が JESD204B 同期信号として $\overline{\text{SYNCSE}}$ を使用するように設定されている場合、この入力はタイムスタンプ入力として使用されます。SYNC_SEL が JESD204B 同期信号として TMSTP+ および TMSTP– を使用するように設定されている場合、この入力は JESD204B 同期信号として使用されます。タイムスタンプ入力としての使用法の詳細については、「*タイムスタンプ*」セクションを参照してください。$\overline{\text{SYNCSE}}$ を使用し、タイムスタンプが不要な場合、このピンを接続解除できます。
TMSTP–	D1	I	タイムスタンプ入力の正接続または差動 JESD204B $\overline{\text{SYNC}}$ の負接続。$\overline{\text{SYNCSE}}$ を使用し、タイムスタンプが不要な場合、このピンを接続解除できます。
VA11	D3、E3、F2、F3、G3、H3、J2、J3、K3、L3	I	1.1V アナログ電源。
VA19	C2、C3、C4、C5、D2、E1、E2、K1、K2、L2、M2、M3、M4、M5	I	1.9V アナログ電源。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
VD11	C10、C11、C12、D12、E12、F12、G12、H12、J12、K12、L12、M10、M11、M12	I	1.1V デジタル電源。

(1) デバイス リッドは AGND に接続されています。

5 仕様

5.1 絶対最大定格

動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{DD}	電源電圧範囲	VA19(2)	-0.3	2.35	V
		VA11(2)	-0.3	1.32	
		VD11(3)	-0.3	1.32	
		VD11 と VA11 の間の電圧	-1.32	1.32	
V_{GND}	AGND と DGND の間の電圧		-0.1	0.1	V
V_{PIN}	ピン電圧範囲	DA[7:0]+、DA[7:0]–、DB[7:0]+、DB[7:0]–、TMSTP+、TMSTP–(3)	-0.5	VD11 + 0.5(5)	V
		CLK+、CLK-、SYSREF+、SYSREF–(2)	-0.5	VA11 + 0.5(4)	
		BG、TDIODE+、TDIODE–(2)	-0.5	VA19 + 0.5(6)	
		INA+、INA–、INB+、INB–(2)	-1	1	
		CALSTAT、CALTRIG、NCOA0、NCOA1、NCOB0、NCOB1、$\overline{ORA0}$、ORA1、ORB0、$\overline{ORB1}$、PD、SCLK、$\overline{SCS}$、SDI、SDO、$\overline{SYNCSE}$ (2)	-0.5	VA19 + 0.5(6)	
$I_{MAX(ANY)}$	ピーク入力電流 (INA+、INA–、INB+、INB– を除く任意の入力)		-25	25	mA
$I_{MAX(INx)}$	ピーク入力電流 (INA+、INA–、INB+、INB–)		-50	50	mA
$P_{MAX(INx)}$	ピーク RF 入力電力 (INA+、INA–、INB+、INB–)	Z_{S-SE} = 50 Ω のシングルエンド		16.4	dBm
$I_{MAX(ALL)}$	ピーク合計入力電流 (電源電流を含まない、強制的に流入または流出するすべての電流の絶対値の合計)			100	mA
T_j	接合部温度			150	℃
T_{stg}	保存温度		-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレス定格に限られたものであり、「*推奨動作条件*」に示されている条件を超える当該の条件またはその他のいかなる条件も、このデバイスが正常に動作することを黙示するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) AGND に対して測定。
(3) DGND に対して測定。
(4) 最大電圧が VA11 の絶対最大定格を超えてはいけません。
(5) 最大電圧が VD11 の絶対最大定格を超えてはいけません。
(6) 最大電圧が VA19 の絶対最大定格を超えてはいけません。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2500	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

Copyright © 2025 Texas Instruments Incorporated

5.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{DD}	電源電圧範囲	VA19、アナログ 1.9V 電源(2)	1.8	1.9	2	V
		VA11、アナログ 1.1V 電源(2)	1.05	1.1	1.15	
		VD11, デジタル 1.1V 電源(3)	1.05	1.1	1.15	
V_{CMI}	入力同相電圧	INA+、INA–、INB+、INB–(2)	-50	0	100	mV
		CLK+、CLK-、SYSREF+、SYSREF-(2) (4)	0	0.3	0.55	V
		TMSTP+、TMSTP-(3) (5)	0	0.3	0.55	
V_{ID}	入力電圧、ピーク ツー ピーク差動	CLK+から CLK-へ、SYSREF+から SYSREF-へ、TMSTP+から TMSTP-へ	0.4	1.0	2.0	$V_{PP-DIFF}$
		INA+ から INA– へ、INB+ から INB– へ			1(6)	
V_{IH}	High レベル入力電圧	CALTRIG、NCOA0、NCOA1、NCOB0、NCOB1、PD、SCLK、$\overline{SCS}$、SDI、$\overline{SYNCSE}$ (2)	0.7			V
V_{IL}	Low レベル入力電圧	CALTRIG、NCOA0、NCOA1、NCOB0、NCOB1、PD、SCLK、$\overline{SCS}$、SDI、$\overline{SYNCSE}$ (2)			0.45	V
I_{C_TD}	温度ダイオード入力電流	TDIODE+ から TDIODE– へ		100		µA
C_L	BG 最大負荷容量				100	pF
I_O	BG 最大出力電流				100	µA
DC	入力クロック デューティ サイクル		30%	50%	70%	
T_A	自由空気での動作温度		-55			℃
T_j	動作時接合部温度				125(1)	℃

(1) ダイは、T_J = 150°C での動作および T_J = 125°C での最大 150,000 POH 連続動作のデバイスおよびダイ メタライゼーション劣化を想定して設計されています。
(2) AGND に対して測定。
(3) DGND に対して測定。
(4) 最高の性能を得るために、CLK± を最適な入力同相電圧に自己バイアスできるように、DEVCLK_LVPECL_EN を 0 に設定して CLK± を AC 結合することを TI は強く推奨します。DC 結合が必要な場合を除き、SYSREF± の AC 結合を TI は推奨します。この場合、LVPECL 入力モードを使用する (SYSREF_LVPECL_EN = 1) 必要があります。
(5) TMSTP± には内部バイアスがないため、AC 結合で TMSTP_LVPECL_EN = 0、DC 結合で TMSTP_LVPECL_EN = 1 のいずれであっても、TMSTP± を外部バイアスする必要があります。
(6) INA± または INB± の V_{ID} が、INA± の場合は FS_RANGE_A、INB± の場合は FS_RANGE_B で設定されたプログラムされたフルスケール電圧 (V_{FS}) を超えると、ADC 出力コードが飽和します。

5.4 熱に関する情報

熱評価基準(1)		ADC12DJ3200QML-SP ZMX (CLGA) NWE (CCGA) 196 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	24.9	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	1.9(3)	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	11.4	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.7(3)	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	11.4	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	6.5(2)	℃/W

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション レポートを参照してください。spra953
(2) ケースの底面温度は、温度が固定された PCB 上の半田列の底部で測定されました。このパラメータは、半田列がデバイスに取り付けられている場合にのみ適用されます。
(3) 改善された熱パラメータは、日付コードが 2023 以降のユニットに適用されます。日付コードが 2022 およびそれより前のユニットでは $R_{\theta JC(top)}$ は 16.5°C/W、Ψ_{JT} は 7.5°C/W です。

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性：DC の仕様

代表値は、T_A = 25°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングル チャネル モードで INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件	サブグループ(1)	最小値	標準値	最大値	単位
DC 精度							
	分解能	ミッシング コードなしの分解能			12		ビット
DNL	微分非直線性	理想的なステップ サイズからの正の最大変位			0.4		LSB
		理想的なステップ サイズからの負の最大変位			-0.3		LSB
INL	積分非直線性	理想的な伝達関数からの正の最大変位			3		LSB
		理想的な伝達関数からの負の最大変位			-2		LSB
アナログ入力 (INA+、INA-、INB+、INB–)							
V_{OFF}	オフセット エラー	CAL_OS = 0			±2.0		mV
		CAL_OS = 1			±0.5		mV
V_{OFF_ADJ}	入力オフセット電圧の調整範囲	利用可能なオフセット補正範囲 (CAL_CFG0 レジスタまたは OADJ_A_FG0_VINA レジスタの CAL_OS ビットを参照)			±55		mV
V_{OFF_DRIFT}	オフセットのドリフト	公称温度のみでのフォアグラウンド キャリブレーション			23		µV/°C
		各温度でのフォアグラウンド キャリブレーション			0		
V_{IN_FSR}	アナログ差動入力フルスケール レンジ	デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)	[1, 2, 3]	750	810	850	mV_{PP}
		最大フルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xFFFF)			1050		
		最小フルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0x2000)			490		
$V_{IN_FSR_DRIFT}$	アナログ差動入力フルスケール レンジ ドリフト	デフォルトの FS_RANGE_A および FS_RANGE_B 設定、公称温度のみでのフォアグラウンド キャリブレーション、50Ω ソースで駆動される入力、R_{IN} ドリフトの影響を含む			-0.01		%/°C
		デフォルトの FS_RANGE_A および FS_RANGE_B 設定、各温度でのフォアグラウンド キャリブレーション、50Ω ソースで駆動される入力、R_{IN} ドリフトの影響を含む			-0.022		
$V_{IN_FSR_MATCH}$	アナログ差動入力フルスケール レンジ マッチング	INA± と INB± とのマッチング、デフォルト設定、デュアル チャネル モード			1%		
R_{IN}	AGND へのシングル エンド入力抵抗	各入力ピンは AGND に終端、T_A = 25°C で測定	[1]	48	50	52	Ω
R_{IN_TEMPCO}	入力終端の線形温度係数				14.7		mΩ/°C
C_{IN}	シングルエンド入力容量	DC のシングル チャネル モード			0.4		pF
		DC のデュアル チャネル モード			0.4		

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性：DC の仕様 (続き)

代表値は、T_A = 25°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングル チャネル モードで INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件	サブグループ(1)	最小値	標準値	最大値	単位
温度ダイオードの特性 (TDIODE+、TDIODE–)							
ΔV_{BE}	温度ダイオードの電圧スロープ	100µA の強制順方向電流。オフセット電圧 (0°C で約 0.792V) はプロセスによって変化し、デバイスごとに測定する必要があります。デバイスに電源が供給されていない状態で、または PD ピンをアサートしてデバイスの自己発熱を最小限に抑え、オフセット測定を行います。十分な時間だけ PD ピンをアサートしてオフセット測定を行います。			-1.6		mV/°C
バンドギャップ電圧出力 (BG)							
V_{BG}	リファレンス出力電圧	$I_L \le$ 100µA			1.1		V
V_{BG_DRIFT}	リファレンス出力の温度ドリフト	$I_L \le$ 100µA			-102		µV/°C
クロック入力 (CLK+、CLK–、SYSREF+、SYSREF–、TMSTP+、TMSTP–)							
Z_T	内部終端	DEVCLK_LVPECL_EN = 0、SYSREF_LVPECL_EN = 0、TMSTP_LVPECL_EN = 0 による差動終端			100		Ω
		DEVCLK_LVPECL_EN = 0、SYSREF_LVPECL_EN = 0、TMSTP_LVPECL_EN = 0 での GND へのシングルエンド終端 (ピンごと)			50		
V_{CM}	入力同相電圧、自己バイアス	AC 結合されている場合の CLK± の自己バイアス同相電圧 (DEVCLK_LVPECL_EN を 0 に設定する必要があります)			0.3		V
		AC 結合されており (SYSREF_LVPECL_EN を 0 に設定する必要があります)、レシーバがイネーブル (SYSREF_RECV_EN = 1) の場合における SYSREF± の自己バイアス同相電圧			0.3		
		AC 結合されている場合 (SYSREF_LVPECL_EN を 0 に設定する必要があります)、レシーバがディセーブル (SYSREF_RECV_EN = 0) のとき)、SYSREF±の自己バイアス同相電圧			VA11		
C_{L_DIFF}	差動入力容量	正と負の差動入力ピン間に接続されています			0.1		pF
C_{L_SE}	シングルエンド入力容量	各入力からグランドへ			0.5		pF
SerDes 出力 (DA[7:0]+, DA[7:0]–, DB[7:0]+, DB[7:0]–)							
V_{OD}	差動出力電圧、ピーク ツー ピーク	100-Ω の負荷	[1, 2, 3]	550	600	650	$mV_{PP-DIFF}$
V_{CM}	出力同相電圧	AC 結合			VD11 / 2		V
Z_{DIFF}	差動出力インピーダンス				100		Ω

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性：DC の仕様 (続き)

代表値は、T_A = 25°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングル チャネル モードで INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件	サブグループ(1)	最小値	標準値	最大値	単位
CMOS インターフェイス (SCLK、SDI、SDO、$\overline{SCS}$、PD、NCOA0、NCOA1、NCOB0、NCOB1、CALSTAT、CALTRIG、ORA0、ORA1、ORB0、ORB1、$\overline{SYNCSE}$)							
I_{IH}	High レベル入力電流		[1, 2, 3]			40	µA
I_{IL}	Low レベル入力電流		[1, 2, 3]	-40			µA
C_I	入力容量				2		pF
V_{OH}	高レベル出力電圧	I_{LOAD} = -400µA	[1, 2, 3]	1.65			V
V_{OL}	Low レベル出力電圧	I_{LOAD} = 400µA	[1, 2, 3]			150	mV

(1) サブグループの定義については、表 5-1 を参照してください。

5.6 電気的特性：消費電力

代表値は、T_A = 25°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングル チャネル モードで INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件	サブグループ(1)	最小値	標準値	最大値	単位
I_{VA19}	1.9V アナログ電源電流	パワー モード 1:シングル チャネル モード、JMODE 1 (16 レーン、DDC バイパス)、フォアグラウンド キャリブレーション			890		mA
I_{VA11}	1.1V アナログ電源電流				500		mA
I_{VD11}	1.1V デジタル電源電流				542		mA
P_{DIS}	消費電力				2.8		W
I_{VA19}	1.9V アナログ電源電流	パワー モード 2:シングル チャネル モード、JMODE 0 (8 レーン、DDC バイパス)、フォアグラウンド キャリブレーション	[1, 2, 3]		890	1000	mA
I_{VA11}	1.1V アナログ電源電流		[1, 2, 3]		500	650	mA
I_{VD11}	1.1V デジタル電源電流		[1, 2, 3]		595	850	mA
P_{DIS}	消費電力		[1, 2, 3]		2.9	3.5	W
I_{VA19}	1.9V アナログ電源電流	パワー モード 3:シングル チャネル モード、JMODE 1 (16 レーン、DDC バイパス)、バックグラウンド キャリブレーション			1172		mA
I_{VA11}	1.1V アナログ電源電流				600		mA
I_{VD11}	1.1V デジタル電源電流				561		mA
P_{DIS}	消費電力				3.5		W
I_{VA19}	1.9V アナログ電源電流	パワー モード 4:デュアル チャネル モード、JMODE 3 (16 レーン、DDC バイパス)、バックグラウンド キャリブレーション			1254		mA
I_{VA11}	1.1V アナログ電源電流				600		mA
I_{VD11}	1.1V デジタル電源電流				573		mA
P_{DIS}	消費電力				3.7		W
I_{VA19}	1.9V アナログ電源電流	パワー モード 5:デュアル チャネル モード、JMODE 11 (8 レーン、4 倍デシメーション)、フォアグラウンド キャリブレーション			971		mA
I_{VA11}	1.1V アナログ電源電流				500		mA
I_{VD11}	1.1V デジタル電源電流				1033		mA
P_{DIS}	消費電力				3.6		W

(1) サブグループの定義については、表 5-1 を参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.7 電気的特性：AC 仕様 (デュアル チャネル モード)

代表値は、T_A = 25°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件	サブグループ(1)	最小値	標準値	最大値	単位
FPBW	最大出力入力帯域幅 (–3dB)(2)	フォアグラウンド キャリブレーション			7.3		GHz
		バックグラウンド キャリブレーション			7.3		
XTALK	チャネル間クロストーク	デュアル チャネル モード、アグレッサ = 400MHz、–1dBFS			-88		dB
		デュアル チャネル モード、アグレッサ = 3GHz、–1dBFS			-56		
		デュアル チャネル モード、アグレッサ = 6GHz、–1dBFS			-57		
CER	コード エラー レート	SerDes ビット エラー レート (BER) は含まれていません。			10^{-18}		エラー / サンプル
$NOISE_{DC}$	DC 入力ノイズの標準偏差	入力なし、フォアグラウンド キャリブレーション。DC オフセットを除く。固定のインターリーブ スプリアス ($f_S/2$ スプリアス) を含む			2.5		LSB
NSD	ノイズ スペクトル密度、入力信号なし。固定インターリーブ スプリアス ($f_S/2$ スプリアス) を除く	最大フルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xFFFF) の設定、フォアグラウンド キャリブレーション			-149.5		dBFS/Hz
		デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000) 設定、フォアグラウンド キャリブレーション			-147.5		
NF	ノイズ指数、入力なし、Z_S = 100Ω	最大フルスケール電圧 (FS_RANGE_A = 0xFFFF) の設定、フォアグラウンド キャリブレーション			23.5		dB
		デフォルトのフルスケール電圧 (FS_RANGE_A = 0xA000) 設定、フォアグラウンド キャリブレーション			25.5		
SNR	信号対雑音比、大信号。DC、HD2 ～ HD9、およびインターリーブ スプリアスを除く	f_{IN} = 347MHz、A_{IN} = –1dBFS			55.7		dBFS
		f_{IN} = 347MHz、A_{IN} = –1dBFS、最大 FS_RANGE_A および FS_RANGE_B 設定、フォアグラウンド キャリブレーション			57.2		
		f_{IN} = 997MHz、A_{IN} = –1dBFS			55.5		
		f_{IN} = 2482MHz、A_{IN} = –1dBFS	[4, 5, 6]	51.0	55.0		
		f_{IN} = 2482MHz、A_{IN} = –1dBFS、最大 FS_RANGE_A および FS_RANGE_B 設定、フォアグラウンド キャリブレーション			56.0		
		f_{IN} = 4997MHz、A_{IN} = –1dBFS			53.0		
		f_{IN} = 6397MHz、A_{IN} = –1dBFS			51.8		
		f_{IN} = 8197MHz、A_{IN} = –1dBFS			50.4		
SNR	信号対雑音比、小信号。DC、HD2 ～ HD9、およびインターリーブ スプリアスを除く	f_{IN} = 347MHz、A_{IN} = –16dBFS			56.4		dBFS
		f_{IN} = 997MHz、A_{IN} = –16dBFS			56.6		
		f_{IN} = 2482MHz、A_{IN} = –16dBFS			56.5		
		f_{IN} = 4997MHz、A_{IN} = –16dBFS			56.3		
		f_{IN} = 6397MHz、A_{IN} = –16dBFS			56.5		
		f_{IN} = 8197MHz、A_{IN} = –16dBFS			56.0		

Copyright © 2025 Texas Instruments Incorporated

5.7 電気的特性：AC 仕様 (デュアル チャネル モード) (続き)

代表値は、T_A = 25°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件	サブグループ(1)	最小値	標準値	最大値	単位
SINAD	信号対雑音比および歪み比、大信号。DC および $f_S/2$ 固定スプリアスを除く	f_{IN} = 347MHz、A_{IN} = –1dBFS			55.3		dBFS
		f_{IN} = 997MHz、A_{IN} = –1dBFS			54.9		
		f_{IN} = 2482MHz、A_{IN} = –1dBFS	[4, 5, 6]	50.0	54.4		
		f_{IN} = 4997MHz、A_{IN} = –1dBFS			51.3		
		f_{IN} = 6397MHz、A_{IN} = –1dBFS			49.9		
		f_{IN} = 8197MHz、A_{IN} = –1dBFS			48.1		
ENOB	有効ビット数、大信号。DC および $f_S/2$ 固定スプリアスを除く	f_{IN} = 347MHz、A_{IN} = –1dBFS			8.9		ビット
		f_{IN} = 997MHz、A_{IN} = –1dBFS			8.8		
		f_{IN} = 2482MHz、A_{IN} = –1dBFS	[4, 5, 6]	8.0	8.7		
		f_{IN} = 4997MHz、A_{IN} = –1dBFS			8.2		
		f_{IN} = 6397MHz、A_{IN} = –1dBFS			8.0		
		f_{IN} = 8197MHz、A_{IN} = –1dBFS			7.7		
SFDR	スプリアス フリー ダイナミック レンジ、大信号。DC、$f_S/2$ の固定スプリアスを除く	f_{IN} = 347MHz、A_{IN} = –1dBFS			69		dBFS
		f_{IN} = 347MHz、A_{IN} = –1dBFS、最大 FS_RANGE_A および FS_RANGE_B 設定、フォアグラウンド キャリブレーション			70		
		f_{IN} = 997MHz、A_{IN} = –1dBFS			68		
		f_{IN} = 2482MHz、A_{IN} = –1dBFS	[4, 5, 6]	58	67		
		f_{IN} = 2482MHz、A_{IN} = –1dBFS、最大 FS_RANGE_A および FS_RANGE_B 設定、フォアグラウンド キャリブレーション			62		
		f_{IN} = 4997MHz、A_{IN} = –1dBFS			59		
		f_{IN} = 6397MHz、A_{IN} = –1dBFS			56		
		f_{IN} = 8197MHz、A_{IN} = –1dBFS			53		
SFDR	スプリアス フリー ダイナミック レンジ、小信号。DC、$f_S/2$ の固定スプリアスを除く	f_{IN} = 347MHz、A_{IN} = –16dBFS			74		dBFS
		f_{IN} = 997MHz、A_{IN} = –16dBFS			75		
		f_{IN} = 2482MHz、A_{IN} = –16dBFS			74		
		f_{IN} = 4997MHz、A_{IN} = –16dBFS			75		
		f_{IN} = 6397MHz、A_{IN} = –16dBFS			74		
		f_{IN} = 8197MHz、A_{IN} = –16dBFS			76		
$f_S/2$	$f_S/2$ 固定インターリーブ スプリアス、入力信号から独立	入力なし	[4, 5, 6]		-77	-50	dBFS
HD2	2 次高調波歪み	f_{IN} = 347MHz、A_{IN} = –1dBFS			-75		dBFS
		f_{IN} = 347MHz、A_{IN} = –1dBFS、最大 FS_RANGE_A および FS_RANGE_B 設定、フォアグラウンド キャリブレーション			-75		
		f_{IN} = 997MHz、A_{IN} = –1dBFS			-74		
		f_{IN} = 2482MHz、A_{IN} = –1dBFS	[4, 5, 6]		-75	-58	
		f_{IN} = 2482MHz、A_{IN} = –1dBFS、最大 FS_RANGE_A および FS_RANGE_B 設定、フォアグラウンド キャリブレーション			-74		
		f_{IN} = 4997MHz、A_{IN} = –1dBFS			-61		
		f_{IN} = 6397MHz、A_{IN} = –1dBFS			-61		
		f_{IN} = 8197MHz、A_{IN} = –1dBFS			-64		

Copyright © 2025 Texas Instruments Incorporated

5.7 電気的特性：AC 仕様 (デュアル チャネル モード) (続き)

代表値は、T_A = 25°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件	サブグループ(1)	最小値	標準値	最大値	単位
HD3	3 次高調波歪み	f_{IN} = 347MHz、A_{IN} = –1dBFS			-72		dBFS
		f_{IN} = 347MHz、A_{IN} = –1dBFS、最大 FS_RANGE_A および FS_RANGE_B 設定、フォアグラウンド キャリブレーション			-70		
		f_{IN} = 997MHz、A_{IN} = –1dBFS			-74		
		f_{IN} = 2482MHz、A_{IN} = –1dBFS	[4, 5, 6]		-67	-58	
		f_{IN} = 2482MHz、A_{IN} = –1dBFS、最大 FS_RANGE_A および FS_RANGE_B 設定、フォアグラウンド キャリブレーション			-62		
		f_{IN} = 4997MHz、A_{IN} = –1dBFS			-59		
		f_{IN} = 6397MHz、A_{IN} = –1dBFS			-56		
		f_{IN} = 8197MHz、A_{IN} = –1dBFS			-53		
$f_S/2 - f_{IN}$	$f_S/2 - f_{IN}$ インターリーブ スプリアス、信号に依存	f_{IN} = 347MHz、A_{IN} = –1dBFS			-76		dBFS
		f_{IN} = 997MHz、A_{IN} = –1dBFS			-72		
		f_{IN} = 2482MHz、A_{IN} = –1dBFS	[4, 5, 6]		-73	-58	
		f_{IN} = 4997MHz、A_{IN} = –1dBFS			-71		
		f_{IN} = 6397MHz、A_{IN} = –1dBFS			-68		
		f_{IN} = 8197MHz、A_{IN} = –1dBFS			-66		
SPUR	ワースト高調波、4 次歪みまたはそれ以上	f_{IN} = 347MHz、A_{IN} = –1dBFS			-76		dBFS
		f_{IN} = 997MHz、A_{IN} = –1dBFS			-74		
		f_{IN} = 2482MHz、A_{IN} = –1dBFS	[4, 5, 6]		-74	-60	
		f_{IN} = 4997MHz、A_{IN} = –1dBFS			-72		
		f_{IN} = 6397MHz、A_{IN} = –1dBFS			-69		
		f_{IN} = 8197MHz、A_{IN} = –1dBFS			-68		
IMD3	3 次相互変調歪	f_{IN} = 347MHz ± 5MHz、A_{IN} = –7dBFS / トーン			-86		dBFS
		f_{IN} = 997MHz ± 5MHz、A_{IN} = –7dBFS / トーン			-82		
		f_{IN} = 2482MHz ± 5MHz、A_{IN} = –7dBFS / トーン			-73		
		f_{IN} = 4997MHz ± 5MHz、A_{IN} = –7dBFS / トーン			-65		
		f_{IN} = 6397MHz ± 5MHz、A_{IN} = –7dBFS / トーン			-60		
		f_{IN} = 8197MHz ± 5MHz、A_{IN} = –7dBFS / トーン			-52		

(1) サブグループの定義については、表 5-1 を参照してください。
(2) 最大出力入力帯域幅 (FPBW) は、ADC の再構築された出力が、低い入力周波数において、フルスケール入力信号の電力より 3dB 下に低下した入力周波数として定義されます。有効帯域幅は、–3dB の最大出力入力帯域幅を超えることがあります。

Copyright © 2025 Texas Instruments Incorporated

5.8 電気的特性：AC 仕様 (シングル チャネル モード)

代表値は、T_A = 25°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件	サブグループ(1)	最小値	標準値	最大値	単位
FPBW	最大出力入力帯域幅 (–3dB)(2)	フォアグラウンド キャリブレーション			7.1		GHz
		バックグラウンド キャリブレーション			7.1		
CER	コード エラー レート	SerDes ビット エラー レート (BER) は含まれていません。			10^{-18}		エラー / サンプル
$NOISE_{DC}$	DC 入力ノイズの標準偏差	入力なし、フォアグラウンド キャリブレーション。DC オフセットを除く。固定のインターリーブ スプリアス (f_S / 2 および f_S / 4 スプリアス) を含む			2.8		LSB
NSD	ノイズ スペクトル密度、入力信号なし。固定インターリーブ スプリアス (f_S / 2 および f_S / 4 スプリアス) を除く	最大フルスケール電圧 (FS_RANGE_A = 0xFFFF) の設定、フォアグラウンド キャリブレーション			-152.4		dBFS/Hz
		デフォルトのフルスケール電圧 (FS_RANGE_A = 0xA000) 設定、フォアグラウンド キャリブレーション			-150.0		
NF	ノイズ指数、入力なし、Z_S = 100Ω	最大フルスケール電圧 (FS_RANGE_A = 0xFFFF) の設定、フォアグラウンド キャリブレーション			20.6		dB
		デフォルトのフルスケール電圧 (FS_RANGE_A = 0xA000) 設定、フォアグラウンド キャリブレーション			23.1		
SNR	信号対雑音比、大信号。DC、HD2 ～ HD9、およびインターリーブ スプリアスを除く	f_{IN} = 347MHz、A_{IN} = –1dBFS			55.8		dBFS
		f_{IN} = 347MHz、A_{IN} = –1dBFS、最大 FS_RANGE_A 設定、フォアグラウンド キャリブレーション			57.1		
		f_{IN} = 997MHz、A_{IN} = –1dBFS			55.5		
		f_{IN} = 2482MHz、A_{IN} = –1dBFS	[4, 5, 6]	51.0	54.9		
		f_{IN} = 2482MHz、A_{IN} = –1dBFS、最大 FS_RANGE_A 設定、フォアグラウンド キャリブレーション			56.1		
		f_{IN} = 4997MHz、A_{IN} = –1dBFS			53.1		
		f_{IN} = 6397MHz、A_{IN} = –1dBFS			51.9		
		f_{IN} = 8197MHz、A_{IN} = –1dBFS			50.6		
SNR	信号対雑音比、小信号。DC、HD2 ～ HD9、およびインターリーブ スプリアスを除く	f_{IN} = 347MHz、A_{IN} = –16dBFS			56.5		dBFS
		f_{IN} = 997MHz、A_{IN} = –16dBFS			56.6		
		f_{IN} = 2482MHz、A_{IN} = –16dBFS			56.5		
		f_{IN} = 4997MHz、A_{IN} = –16dBFS			56.5		
		f_{IN} = 6397MHz、A_{IN} = –16dBFS			56.5		
		f_{IN} = 8197MHz、A_{IN} = –16dBFS			56.2		
SINAD	信号対雑音比および歪み比、大信号。DC および f_S / 2 固定スプリアスを除く	f_{IN} = 347MHz、A_{IN} = –1dBFS			54.6		dBFS
		f_{IN} = 997MHz、A_{IN} = –1dBFS			53.6		
		f_{IN} = 2482MHz、A_{IN} = –1dBFS	[4, 5, 6]	43.9	51.3		
		f_{IN} = 4997MHz、A_{IN} = –1dBFS			50.8		
		f_{IN} = 6397MHz、A_{IN} = –1dBFS			49.6		
		f_{IN} = 8197MHz、A_{IN} = –1dBFS			47.2		

Copyright © 2025 Texas Instruments Incorporated

5.8 電気的特性：AC 仕様 (シングル チャネル モード) (続き)

代表値は、T_A = 25°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件	サブグループ(1)	最小値	標準値	最大値	単位
ENOB	有効ビット数、大信号。DC および f_S / 2 固定スプリアスを除く	f_{IN} = 347MHz、A_{IN} = –1dBFS			8.8		ビット
		f_{IN} = 997MHz、A_{IN} = –1dBFS			8.6		
		f_{IN} = 2482MHz、A_{IN} = –1dBFS	[4, 5, 6]	7.0	8.2		
		f_{IN} = 4997MHz、A_{IN} = –1dBFS			8.1		
		f_{IN} = 6397MHz、A_{IN} = –1dBFS			7.9		
		f_{IN} = 8197MHz、A_{IN} = –1dBFS			7.5		
SFDR	スプリアス フリー ダイナミック レンジ、大信号。DC、f_S / 4、および f_S / 2 の固定スプリアスを除く	f_{IN} = 347MHz、A_{IN} = –1dBFS			66		dBFS
		f_{IN} = 347MHz、A_{IN} = –1dBFS、最大 FS_RANGE_A 設定、フォアグラウンド キャリブレーション			67		
		f_{IN} = 997MHz、A_{IN} = –1dBFS			60		
		f_{IN} = 2482MHz、A_{IN} = –1dBFS	[4, 5, 6]	45	56		
		f_{IN} = 2482MHz、A_{IN} = –1dBFS、最大 FS_RANGE_A 設定、フォアグラウンド キャリブレーション			52		
		f_{IN} = 4997MHz、A_{IN} = –1dBFS			58		
		f_{IN} = 6397MHz、A_{IN} = –1dBFS			57		
		f_{IN} = 8197MHz、A_{IN} = –1dBFS			52		
SFDR	スプリアス フリー ダイナミック レンジ、小信号。DC、f_S / 4、および f_S / 2 の固定スプリアスを除く	f_{IN} = 347MHz、A_{IN} = –16dBFS			70		dBFS
		f_{IN} = 997MHz、A_{IN} = –16dBFS			66		
		f_{IN} = 2482MHz、A_{IN} = –16dBFS			66		
		f_{IN} = 4997MHz、A_{IN} = –16dBFS			67		
		f_{IN} = 6397MHz、A_{IN} = –16dBFS			68		
		f_{IN} = 8197MHz、A_{IN} = –16dBFS			65		
f_S / 2	f_S / 2 固定インターリーブ スプリアス、入力信号から独立	入力がない場合、OS_CAL はディスエーブル、OS_CAL を実行するとスプリアスを改善可能			-64		dBFS
f_S / 4	f_S / 4 固定インターリーブ スプリアス、入力信号から独立	入力なし	[4, 5, 6]		-70	-50	dBFS
HD2	2 次高調波歪み	f_{IN} = 347MHz、A_{IN} = –1dBFS			-72		dBFS
		f_{IN} = 347MHz、A_{IN} = –1dBFS、最大 FS_RANGE_A 設定、フォアグラウンド キャリブレーション			-69		
		f_{IN} = 997MHz、A_{IN} = –1dBFS			-70		
		f_{IN} = 2482MHz、A_{IN} = –1dBFS	[4, 5, 6]		-71	-58	
		f_{IN} = 2482MHz、A_{IN} = –1dBFS、最大 FS_RANGE_A 設定、フォアグラウンド キャリブレーション			-73		
		f_{IN} = 4997MHz、A_{IN} = –1dBFS			-66		
		f_{IN} = 6397MHz、A_{IN} = –1dBFS			-65		
		f_{IN} = 8197MHz、A_{IN} = –1dBFS			-67		

Copyright © 2025 Texas Instruments Incorporated

5.8 電気的特性：AC 仕様 (シングル チャネル モード) (続き)

代表値は、T_A = 25°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件	サブグループ(1)	最小値	標準値	最大値	単位
HD3	3 次高調波歪み	f_{IN} = 347MHz、A_{IN} = –1dBFS			-71		dBFS
		f_{IN} = 347MHz、A_{IN} = –1dBFS、最大 FS_RANGE_A 設定、フォアグラウンド キャリブレーション			-67		
		f_{IN} = 997MHz、A_{IN} = –1dBFS			-70		
		f_{IN} = 2482MHz、A_{IN} = –1dBFS	[4, 5, 6]		-67	-58	
		f_{IN} = 2482MHz、A_{IN} = –1dBFS、最大 FS_RANGE_A 設定、フォアグラウンド キャリブレーション			-62		
		f_{IN} = 4997MHz、A_{IN} = –1dBFS			-61		
		f_{IN} = 6397MHz、A_{IN} = –1dBFS			-59		
		f_{IN} = 8197MHz、A_{IN} = –1dBFS			-56		
$f_S / 2 – f_{IN}$	$f_S / 2 – f_{IN}$ インターリーブ スプリアス、信号に依存	f_{IN} = 347MHz、A_{IN} = –1dBFS			-68		dBFS
		f_{IN} = 997MHz、A_{IN} = –1dBFS			-63		
		f_{IN} = 2482MHz、A_{IN} = –1dBFS	[4, 5, 6]		-56	-45	
		f_{IN} = 4997MHz、A_{IN} = –1dBFS			-58		
		f_{IN} = 6397MHz、A_{IN} = –1dBFS			-57		
		f_{IN} = 8197MHz、A_{IN} = –1dBFS			-56		
$f_S / 4 ± f_{IN}$	$f_S / 4 ± f_{IN}$ インターリーブ スプリアス、信号に依存	f_{IN} = 347MHz、A_{IN} = –1dBFS			-76		dBFS
		f_{IN} = 997MHz、A_{IN} = –1dBFS			-74		
		f_{IN} = 2482MHz、A_{IN} = –1dBFS	[4, 5, 6]		-75	-58	
		f_{IN} = 4997MHz、A_{IN} = –1dBFS			-73		
		f_{IN} = 6397MHz、A_{IN} = –1dBFS			-69		
		f_{IN} = 8197MHz、A_{IN} = –1dBFS			-70		
SPUR	ワーストの高調波の 4 次歪みまたはそれ以上	f_{IN} = 347MHz、A_{IN} = –1dBFS			-74		dBFS
		f_{IN} = 997MHz、A_{IN} = –1dBFS			-75		
		f_{IN} = 2482MHz、A_{IN} = –1dBFS	[4, 5, 6]		-74	-60	
		f_{IN} = 4997MHz、A_{IN} = –1dBFS			-70		
		f_{IN} = 6397MHz、A_{IN} = –1dBFS			-70		
		f_{IN} = 8197MHz、A_{IN} = –1dBFS			-66		
IMD3	3 次相互変調歪	f_{IN} = 347MHz ± 5MHz、A_{IN} = –7dBFS / トーン			-89		dBFS
		f_{IN} = 997MHz ± 5MHz、A_{IN} = –7dBFS / トーン			-79		
		f_{IN} = 2482MHz ± 5MHz、A_{IN} = –7dBFS / トーン			-73		
		f_{IN} = 4997MHz ± 5MHz、A_{IN} = –7dBFS / トーン			-65		
		f_{IN} = 6397MHz ± 5MHz、A_{IN} = –7dBFS / トーン			-61		
		f_{IN} = 8197MHz ± 5MHz、A_{IN} = –7dBFS / トーン			-54		

(1) サブグループの定義については、表 5-1 を参照してください。
(2) 最大出力入力帯域幅 (FPBW) は、ADC の再構築された出力が、低い入力周波数において、フルスケール入力信号の電力より 3dB 下に低下した入力周波数として定義されます。有効帯域幅は、–3dB の最大出力入力帯域幅を超えることがあります。

Copyright © 2025 Texas Instruments Incorporated

5.9 タイミング要件

			サブグループ(1)	最小値	公称値	最大値	単位
デバイス (サンプリング) クロック (CLK+、CLK–)							
f_{CLK}	入力クロック周波数 (CLK+、CLK–)、シングル チャネルおよびデュアル チャネルの両方のモード(2)	最大入力クロック周波数	[4, 5, 6]	3200			MHz
		最小入力クロック周波数			800		MHz
SYSREF (SYSREF+, SYSREF–)							
t_{CLK}	入力クロック周期 (CLK+、CLK–)、シングル チャネルおよびデュアル チャネルの両方のモードの(2)	最大入力クロック周波数	[4, 5, 6]	312.5			ps
		最小入力クロック周波数			1250		ps
$t_{INV(SYSREF)}$	SYSREF_POS ステータス レジスタで測定された、セットアップ時間またはホールド時間の違反を示す CLK± 周期の無効な SYSREF キャプチャ領域の持続時間(3)				48		ps
$t_{INV(TEMP)}$	温度範囲全体にわたる無効な SYSREF キャプチャ領域のドリフト、正の数値は SYSREF_POS レジスタの MSB へのシフトを示す				0		ps/°C
$t_{INV(VA11)}$	VA11 電源電圧に対する無効な SYSREF キャプチャ領域のドリフト、正の数値は SYSREF_POS レジスタの MSB へのシフトを示す				0.36		ps/mV
$t_{STEP(SP)}$	SYSREF_POS LSB の遅延	SYSREF_ZOOM = 0			77		ps
		SYSREF_ZOOM = 1			24		
$t_{(PH_SYS)}$	SYSREF± 立ち上がりエッジ イベント後の SYSREF± の最小アサート期間				4		ns
$t_{(PL_SYS)}$	SYSREF± 立ち下がりエッジ イベント後の SYSREF± の最小デアサート期間				4		ns
JESD204B の同期タイミング ($\overline{SYNCSE}$ または TMSTP±)							
$t_{H(\overline{SYNCSE})}$	NCO 同期 (NCO _SYNC_ILA = 1) のマルチフレーム境界 (SYSREF の立ち上がりエッジが High をキャプチャ) から JESD204B SYNC 信号 (SYNC_SEL = 0 の場合は $\overline{SYNCSE}$、SYNC_SEL = 1 の場合は TMSTP±) のデアサートまでの最短ホールド時間	JMODE = 0、2、4、6、10、13、または 15			21		t_{CLK} サイクル
		JMODE = 1、3、5、7、9、11、14、または 16			17		
		JMODE = 12、17、または 18			9		
$t_{SU(\overline{SYNCSE})}$	NCO 同期 (NCO _SYNC_ILA = 1) の JESD204B SYNC 信号 (SYNC_SEL = 0 の場合は $\overline{SYNCSE}$、SYNC_SEL = 1 の場合は TMSTP±) のデアサートからマルチフレーム境界 (SYSREF の立ち上がりエッジが High をキャプチャ) までの最短セットアップ時間	JMODE = 0、2、4、6、10、13、または 15			-2		t_{CLK} サイクル
		JMODE = 1、3、5、7、9、11、14、または 16			2		
		JMODE = 12、17、または 18			10		
$t_{(\overline{SYNCSE})}$	$\overline{SYNCSE}$ リンク再同期化をトリガするための最短アサート時間				4		フレーム
シリアル プログラミング インターフェイス (SCLK、SDI、$\overline{SCS}$)							
$f_{CLK(SCLK)}$	シリアル クロック周波数		[4, 5, 6]	0.0		15.625	MHz
$t_{(PH)}$	シリアル クロックの High 値パルスの幅		[4, 5, 6]	32			ns
$t_{(PL)}$	シリアル クロックの Low 値のパルス幅		[4, 5, 6]	32			ns
$t_{SU(\overline{SCS})}$	$\overline{SCS}$ から SCLK 立ち上がりエッジまでのセットアップ時間		[4, 5, 6]	25			ns
$t_{H(\overline{SCS})}$	SCLK 立ち上がりエッジから $\overline{SCS}$ までのホールド時間		[4, 5, 6]	3			ns
$t_{SU(SDI)}$	SDI から SCLK 立ち上がりエッジまでのセットアップ時間		[4, 5, 6]	25			ns
$t_{H(SDI)}$	SCLK 立ち上がりエッジから SDI までのホールド時間		[4, 5, 6]	3			ns

(1) サブグループの定義については、表 5-1 を参照してください。
(2) プログラムされた JMODE に基づく 表 6-18 より小さい範囲に機能的に制限されている場合を除きます。
(3) SYSREF_POS を使用して、SYSREF キャプチャの最適な SYSREF_SEL 値を選択できます。SYSREF ウィンドウ処理の詳細については、「SYSREF 位置検出器およびサンプリング位置の選択 (SYSREF ウィンドウ処理)」を参照してください。$t_{INV(SYSREF)}$ で指定される無効領域は、SYSREF_SEL で測定された CLK± 周期 (t_{CLK}) の部分を示し、セットアップおよびホールド違反の原因となる可能性があります。公称条件 (最適な SYSREF_SEL を見つけるために使用) からシステム動作条件全体にわたり、SYSREF± と CLK± とのタイミング スキューが、SYSREF_POS で選択された SYSREF_SEL 位置で無効な領域を生じないことを確認します。無効な領域が発生する場合、CLK± と SYSREF± との間のスキューを追跡するために、温度に依存する SYSREF_SEL 選択が必要になることがあります。

Copyright © 2025 Texas Instruments Incorporated

5.10 スイッチング特性

代表値は、T_A = 25°C、公称電源電圧、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングル チャネル モードで INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件	サブグループ(1)	最小値	標準値	最大値	単位
デバイス (サンプリング) クロック (CLK+、CLK–)							
t_{AD}	CLK± 立ち上がりエッジ (デュアル チャネル モード) または立ち上がりおよび立ち下がりエッジ (シングル チャネル モード) からサンプリングの瞬間までの、サンプリング (アパーチャ) 遅延	TAD_COARSE = 0x00、TAD_FINE = 0x00、TAD_INV = 0			350		ps
$t_{AD(MAX)}$	最大 t_{AD} は、クロック反転 (TAD_INV = 0) を含まないプログラマブル遅延を調整	粗調整 (TAD_COARSE = 0xFF)			289		ps
		微調整 (TAD_FINE = 0xFF)			4.9		
$t_{AD(STEP)}$	t_{AD} は、プログラマブル遅延ステップ サイズを調整	粗調整 (TAD_COARSE)			1.13		ps
		微調整 (TAD_FINE)			19		
t_{AJ}	アパーチャ ジッタ、rms	最小 t_{AD} は、粗設定を調整 (TAD_COARSE = 0x00、TAD_INV = 0)			56		fs
		最大 t_{AD} は、TAD_INV (TAD_INV = 0) を除く粗設定 (TAD_COARSE = 0xFF) を調整			68(4)		
シリアル データ出力 (DA[7:0]+、DA[7:0]–、DB[7:0]+、DB[7:0]–)							
f_{SERDES}	シリアル化出力ビット レート	最大出力ビット レート	[9, 10, 11]	12.8			Gbps
		最小出力ビット レート			1		Gbps
UI	シリアル化出力ユニット間隔	最小出力ユニット間隔	[9, 10, 11]			78.125	ps
		最大出力ユニット間隔			1000		ps
t_{TLH}	Low から High への遷移時間 (差動)	20% ～ 80%、PRBS-7 テスト パターン、12.8Gbps、SER_PE = 0x04			27		ps
t_{THL}	High から Low への遷移時間 (差動)	20% ～ 80%、PRBS-7 テスト パターン、12.8Gbps、SER_PE = 0x04			27		ps
DDJ	データ依存ジッタ、ピーク ツー ピーク	PRBS-7 テスト パターン、12.8Gbps、SER_PE = 0x04、JMODE = 2			11.7		ps
RJ	ランダム ジッタ、RMS	PRBS-7 テスト パターン、12.8Gbps、SER_PE = 0x04、JMODE = 2			0.8		ps

Copyright © 2025 Texas Instruments Incorporated

5.10 スイッチング特性 (続き)

代表値は、T_A = 25°C、公称電源電圧、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングル チャネル モードで INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件	サブグループ(1)	最小値	標準値	最大値	単位
TJ	総ジッタ、ピーク ツー ピーク、BER = 1e-15 に対して定義された ガウス分布部分 (Q=7.94)	PRBS-7 テスト パターン、12.8Gbps、SER_PE = 0x04、JMODE = 0、2			24		ps
		PRBS-7 テスト パターン、6.4Gbps、SER_PE = 0x04、JMODE = 1、3			20		
		PRBS-7 テスト パターン、8Gbps、SER_PE = 0x04、JMODE = 4、5、6、7			31		
		PRBS-7 テスト パターン、8Gbps、SER_PE = 0x04、JMODE = 9			32		
		PRBS-7 テスト パターン、8Gbps、SER_PE = 0x04、JMODE = 10、11			35		
		PRBS-7 テスト パターン、3.2Gbps、SER_PE = 0x04、JMODE = 12			24		
		PRBS-7 テスト パターン、8Gbps、SER_PE = 0x04、JMODE = 13、14			35		
		PRBS-7 テスト パターン、8Gbps、SER_PE = 0x04、JMODE = 15、16			31		
ADC コアのレイテンシ							
t_{ADC}	基準サンプルをサンプリングする CLK± エッジから、SYSREF を High にサンプリングする CLK± エッジまでの決定論的な遅延(2)	JMODE = 0			-8.5		t_{CLK} サイクル
		JMODE = 1			-20.5		
		JMODE = 2			-9		
		JMODE = 3			-21		
		JMODE = 4			-4.5		
		JMODE = 5			-24.5		
		JMODE = 6			-5		
		JMODE = 7			-25		
		JMODE = 9			60		
		JMODE = 10			140		
		JMODE = 11			136		
		JMODE = 12			120		
		JMODE = 13			232		
		JMODE = 14			232		
		JMODE = 15			446		
		JMODE = 16			430		
		JMODE = 17			-48.5		
		JMODE = 18			-49		

Copyright © 2025 Texas Instruments Incorporated

5.10 スイッチング特性 (続き)

代表値は、T_A = 25°C、公称電源電圧、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングル チャネル モードで INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件	サブグループ(1)	最小値	標準値	最大値	単位
JESD204B およびシリアライザのレイテンシ							
t_{TX}	SYSREF High をサンプリングする CLK± 立ち上がりエッジから、t_{ADC} の (3)リファレンス サンプルに対応する JESD204B シリアル出力レーン上のマルチフレームの最初のビットまでの遅延	JMODE = 0		72(5)		84(5)	t_{CLK} サイクル
		JMODE = 1		119(5)		132(5)	
		JMODE = 2		72(5)		84(5)	
		JMODE = 3		119(5)		132(5)	
		JMODE = 4		67(5)		80(5)	
		JMODE = 5		106(5)		119(5)	
		JMODE = 6		67(5)		80(5)	
		JMODE = 7		106(5)		119(5)	
		JMODE = 9		106(5)		119(5)	
		JMODE = 10		67(5)		80(5)	
		JMODE = 11		106(5)		119(5)	
		JMODE = 12		213(5)		225(5)	
		JMODE = 13		67(5)		80(5)	
		JMODE = 14		106(5)		119(5)	
		JMODE = 15		67(5)		80(5)	
		JMODE = 16		106(5)		119(5)	
		JMODE = 17		195(5)		208(5)	
		JMODE = 18		195(5)		208(5)	
シリアル プログラミング インターフェイス (SDO)							
$t_{(OZD)}$	SDO がトライ ステートから有効なデータに遷移するための読み出し動作中の、第 16 SCLK サイクルの立ち下がりエッジからの遅延			1(5)			ns
$t_{(ODZ)}$	SDO がトライステートから有効なデータに遷移するための $\overline{SCS}$ 立ち上がりエッジからの遅延					10(5)	ns
$t_{(OD)}$	読み出し動作中の SCLK の立ち下がりエッジから有効な SDO までの遅延		[4, 5, 6]	1		10	ns

(1) サブグループの定義については、表 5-1 を参照してください。
(2) t_{ADC} は、正確で丸みを持たない、確定的な遅延です。SYSREF High キャプチャ ポイントの後にリファレンス サンプルがサンプリングされる場合、遅延は負の値になります。この場合、合計レイテンシは t_{TX} で与えられる遅延よりも小さくなります。
(3) t_{TX} に与えられる値には、確定的な遅延と非確定的な遅延が含まれます。遅延は、プロセス、温度、および電圧に応じて変化します。JESD204B は、サブクラス 1 モードで動作時のこれらの変動を考慮することで、確定的なレイテンシを実現します。ローカル マルチフレーム クロック (LMFC) サイクルの無効な領域内で弾性バッファの解放ポイントが発生しないように、適切なレシーバ RBD 値を選択する必要があります。
(4) 内部クロック パスがさらに減衰するため、t_{AJ} が増加します。
(5) このパラメータは設計で規定される値であり、実製品のテストは行っていません。

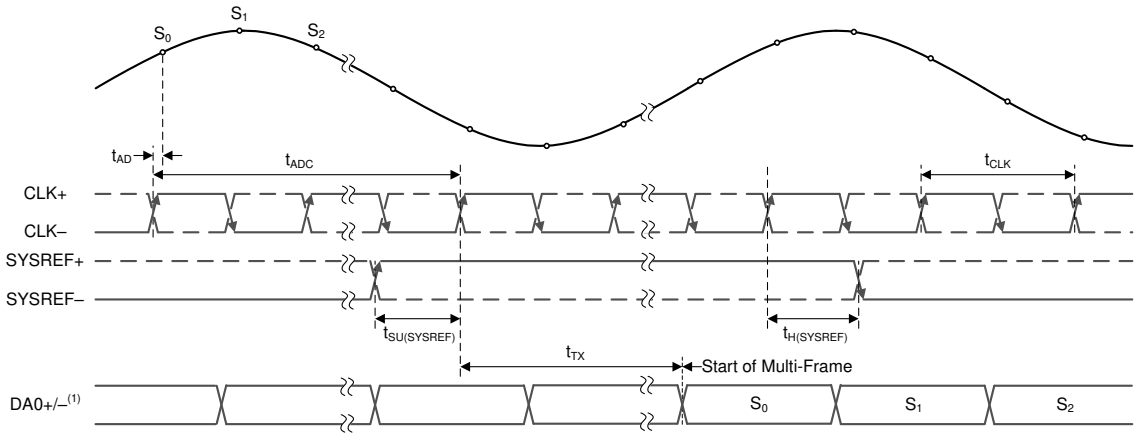
Copyright © 2025 Texas Instruments Incorporated

5.11 タイミング図

表 5-1. 品質適合検査 (1)

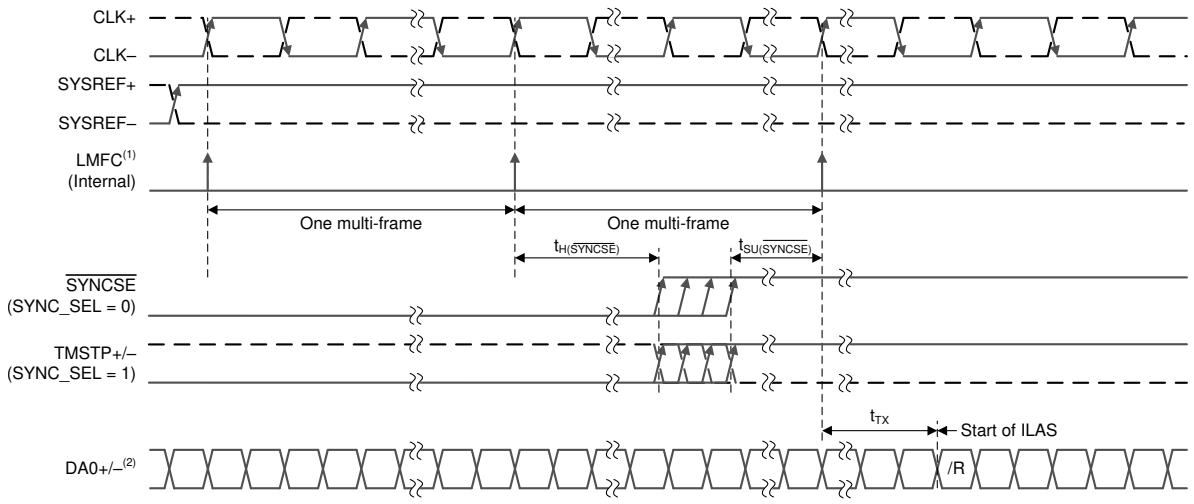
サブグループ	説明	温度 (℃)
1	静的テスト	25
2	静的テスト	125
3	静的テスト	-55
4	動的テスト	25
5	動的テスト	125
6	動的テスト	-55
7	機能テスト	25
8A	機能テスト	125
8B	機能テスト	-55
9	スイッチング テスト	25
10	スイッチング テスト	125
11	スイッチング テスト	-55

(1) MIL-STD-883、方法 5005 - グループ A



A. SerDes レーン DA0± のみが表示されていますが、DA0± はすべてのレーンを代表しています。使用される出力レーンの数とビットパッキング形式は、プログラムされた JMODE 値によって異なります。

図 5-1. ADC タイミング図



A. 内部 LMFC は、SYSREF± の High 値をキャプチャする CLK± の立ち上がりエッジと整合していると想定されます。

B. SerDes レーン DA0± のみが表示されていますが、DA0± はすべてのレーンを代表しています。すべてのレーンはほぼ同じ時点で /R を出力します。レーン数は、プログラムされた JMODE 値によって異なります。

図 5-2. NCO 同期の SYNCSE および TMSTP± のタイミング図

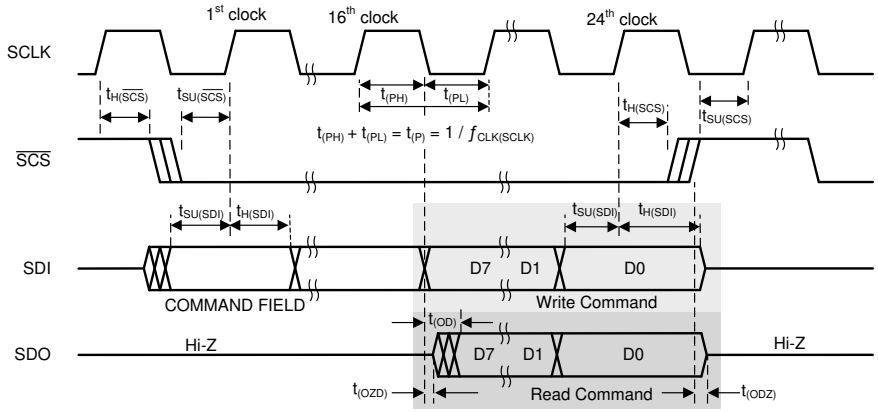
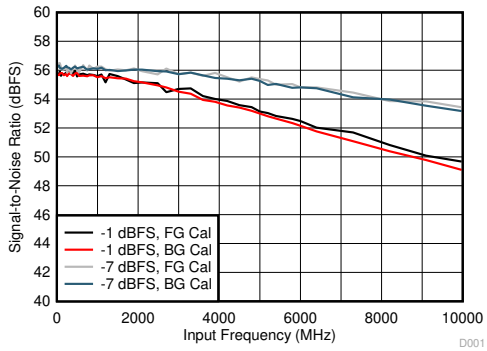


図 5-3. シリアル インターフェイスのタイミング

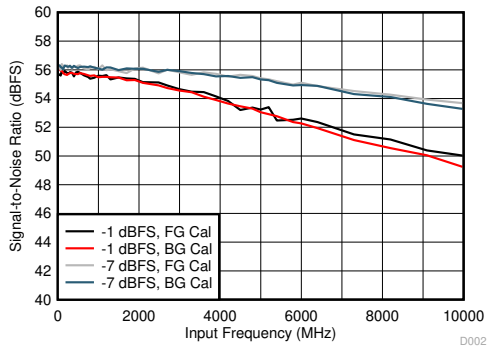
Copyright © 2025 Texas Instruments Incorporated

5.12 代表的特性

代表値は、T_A = 25°C、公称電源電圧、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングル チャネル モードで INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。信号対雑音比の結果は、DC、HD2 ～ HD9、インターリービング スプリアスを除く。SINAD および ENOB の結果は、DC および f_S/2 固定スプリアスを除く。SFDR の結果は、DC および信号に依存しないインターリービング スプリアス (f_S / 4 および f_S / 2 スプリアス) を除く。



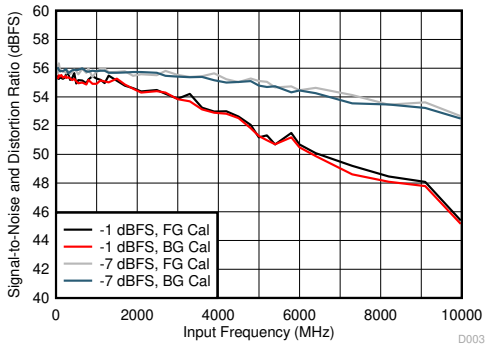
JMODE 3、f_S = 3200MHz、フォアグラウンド (FG) およびバックグラウンド (BG) キャリブレーション



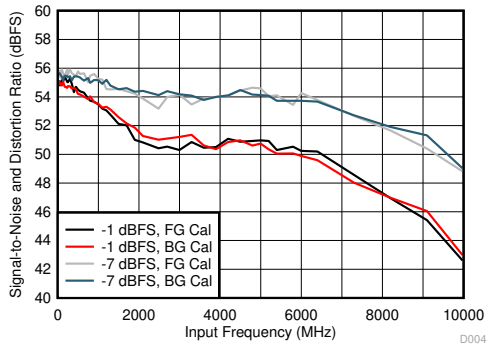
JMODE 1、f_S = 6400MHz、FG および BG キャリブレーション

図 5-4. 信号対雑音比と入力周波数との関係

図 5-5. 信号対雑音比と入力周波数との関係



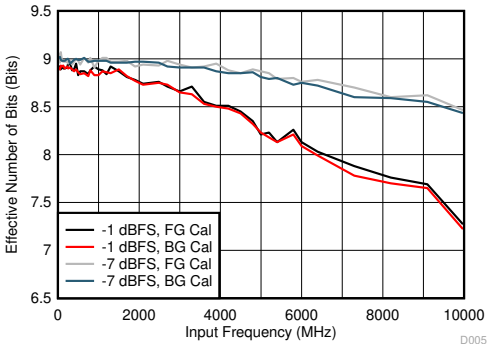
JMODE 3、f_S = 3200MHz、FG および BG キャリブレーション



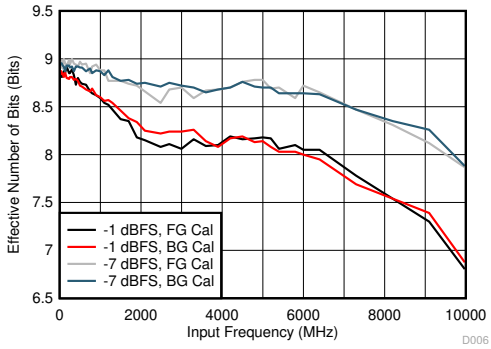
JMODE 1、f_S = 6400MHz、FG および BG キャリブレーション

図 5-6. SINAD と入力周波数との関係

図 5-7. SINAD と入力周波数との関係



JMODE 3、f_S = 3200MHz、FG および BG キャリブレーション



JMODE 1、f_S = 6400MHz、FG および BG キャリブレーション

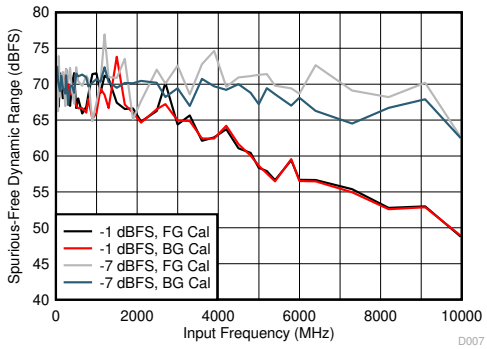
図 5-8. ENOB と入力周波数との関係

図 5-9. ENOB と入力周波数との関係

Copyright © 2025 Texas Instruments Incorporated

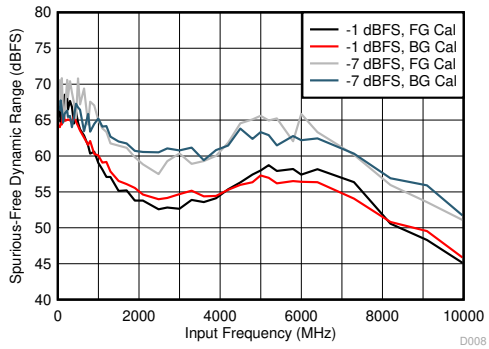
5.12 代表的特性 (続き)

代表値は、T_A = 25°C、公称電源電圧、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングル チャネル モードで INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。信号対雑音比の結果は、DC、HD2 ～ HD9、インターリービング スプリアスを除く。SINAD および ENOB の結果は、DC および $f_S/2$ 固定スプリアスを除く。SFDR の結果は、DC および信号に依存しないインターリービング スプリアス (f_S / 4 および f_S / 2 スプリアス) を除く。



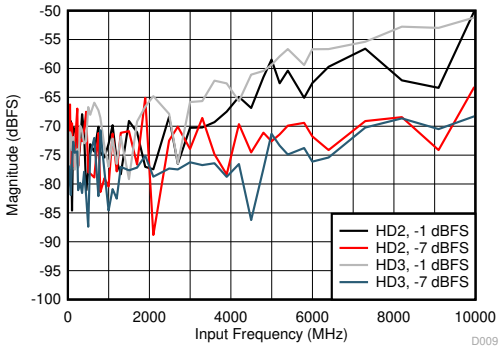
JMODE 3、f_S = 3200MHz、FG および BG キャリブレーション

図 5-10. SFDR と入力周波数との関係



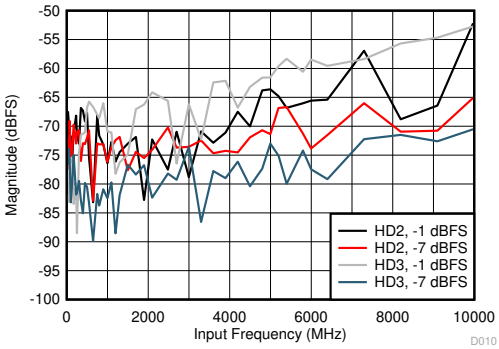
JMODE 1、f_S = 6400MHz、FG および BG キャリブレーション

図 5-11. SFDR と入力周波数との関係



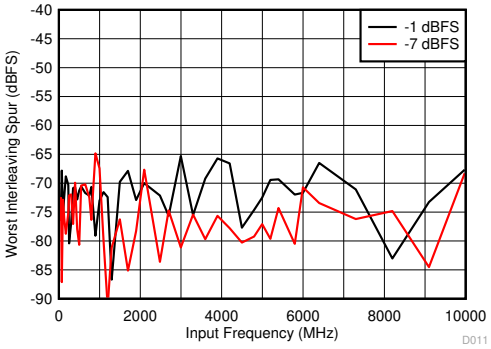
JMODE 3、f_S = 3200MHz、FG キャリブレーション

図 5-12. HD2/HD3 と入力周波数との関係



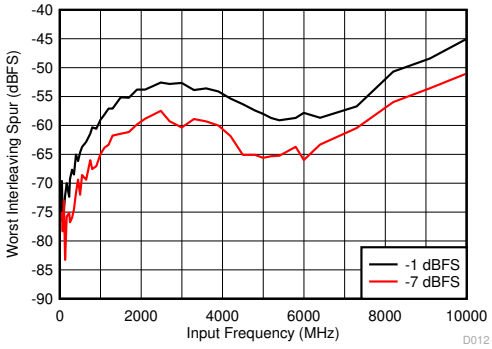
JMODE 1、f_S = 6400MHz、FG キャリブレーション

図 5-13. HD2/HD3 と入力周波数との関係



JMODE 3、f_S = 3200MHz、FG キャリブレーション (f_S / 2 – f_{IN} スプリアスのみを含む)

図 5-14. ワースト インターリーブ スプリアスと入力周波数との関係



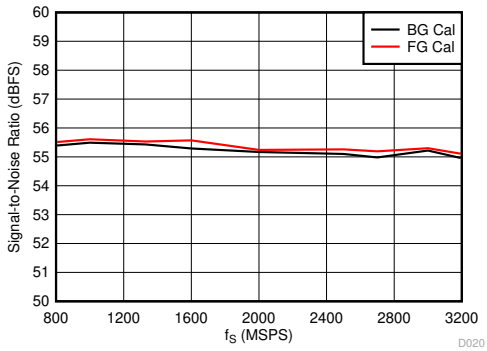
JMODE 1、f_S = 6400MHz、FG キャリブレーション (f_S / 2 – f_{IN} および f_S /4 ± f_{IN} スプリアスのみを含む)

図 5-15. ワースト インターリーブ スプリアスと入力周波数との関係

Copyright © 2025 Texas Instruments Incorporated

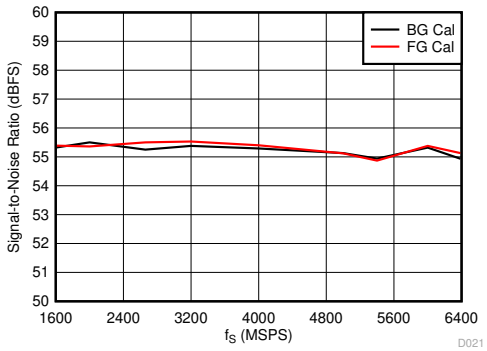
5.12 代表的特性 (続き)

代表値は、T_A = 25°C、公称電源電圧、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングル チャネル モードで INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。信号対雑音比の結果は、DC、HD2 ～ HD9、インターリービング スプリアスを除く。SINAD および ENOB の結果は、DC および $f_S/2$ 固定スプリアスを除く。SFDR の結果は、DC および信号に依存しないインターリービング スプリアス (f_S / 4 および f_S / 2 スプリアス) を除く。



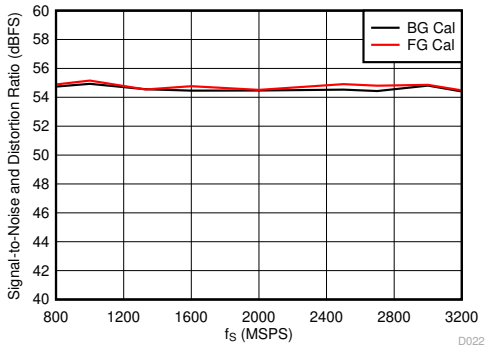
JMODE 3、FG および BG キャリブレーション、f_{IN} = 2482MHz、A_{IN} = –1dBFS

図 5-16. 信号対雑音比とサンプリング レートとの関係



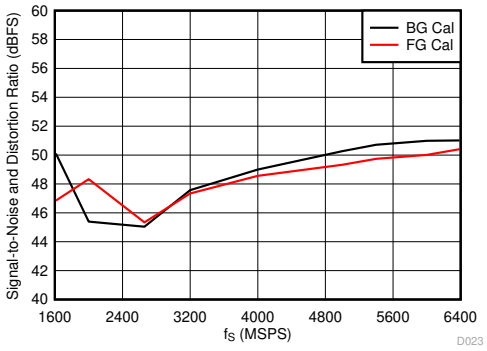
JMODE 1、FG および BG キャリブレーション、f_{IN} = 2482MHz、A_{IN} = –1dBFS

図 5-17. 信号対雑音比とサンプリング レートとの関係



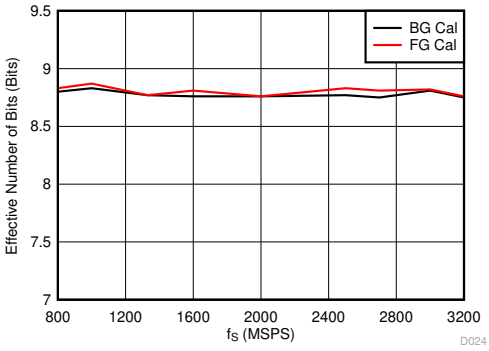
JMODE 3、FG および BG キャリブレーション、f_{IN} = 2482MHz、A_{IN} = –1dBFS

図 5-18. SINAD とサンプリング レートとの関係



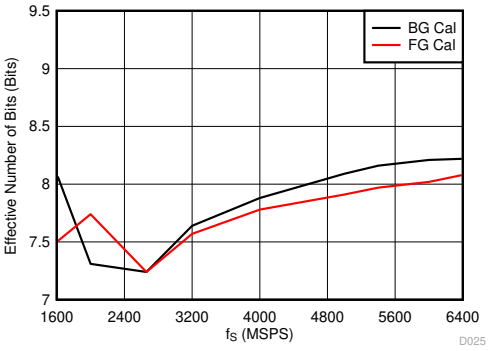
JMODE 1、FG および BG キャリブレーション、f_{IN} = 2482MHz、A_{IN} = –1dBFS

図 5-19. SINAD とサンプリング レートとの関係



JMODE 3、FG および BG キャリブレーション、f_{IN} = 2482MHz、A_{IN} = –1dBFS

図 5-20. ENOB とサンプリング レートとの関係



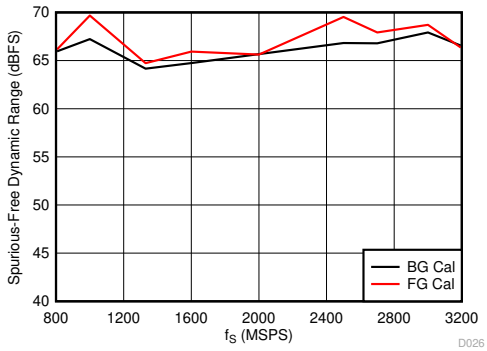
JMODE 1、FG および BG キャリブレーション、f_{IN} = 2482MHz、A_{IN} = –1dBFS

図 5-21. ENOB とサンプリング レートとの関係

Copyright © 2025 Texas Instruments Incorporated

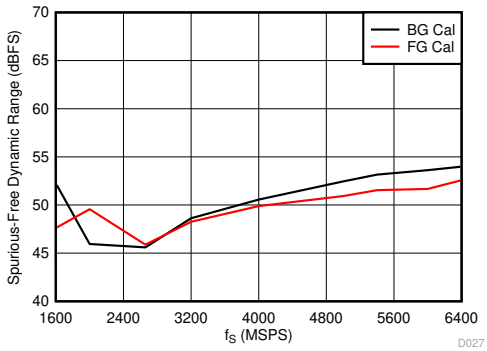
5.12 代表的特性 (続き)

代表値は、T_A = 25°C、公称電源電圧、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングル チャネル モードで INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。信号対雑音比の結果は、DC、HD2 ～ HD9、インターリービング スプリアスを除く。SINAD および ENOB の結果は、DC および $f_S/2$ 固定スプリアスを除く。SFDR の結果は、DC および信号に依存しないインターリービング スプリアス (f_S / 4 および f_S / 2 スプリアス) を除く。



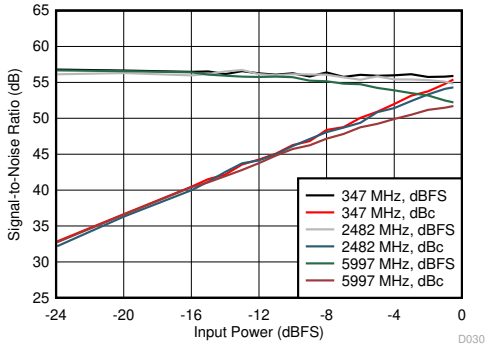
JMODE 3、FG および BG キャリブレーション、f_{IN} = 2482MHz、A_{IN} = –1dBFS

図 5-22. SFDR とサンプリング レートとの関係



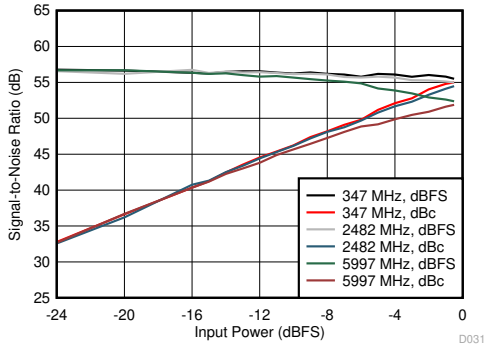
JMODE 1、FG および BG キャリブレーション、f_{IN} = 2482MHz、A_{IN} = –1dBFS

図 5-23. SFDR とサンプリング レートとの関係



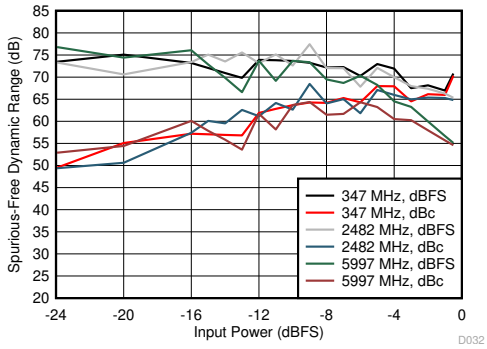
JMODE 3、FG キャリブレーション、f_S = 3200MSPS

図 5-24. 信号対雑音比と入力電力との関係



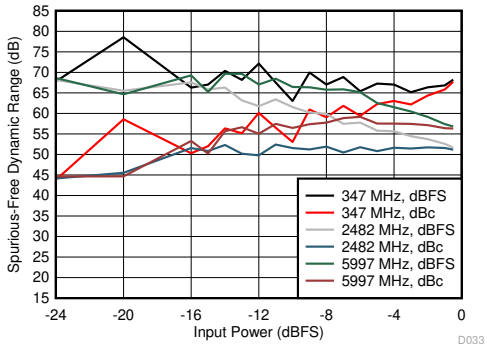
JMODE 1、FG キャリブレーション、f_S = 6400MSPS

図 5-25. 信号対雑音比と入力電力との関係



JMODE 3、FG キャリブレーション、f_S = 3200MSPS

図 5-26. SFDR と入力電力との関係



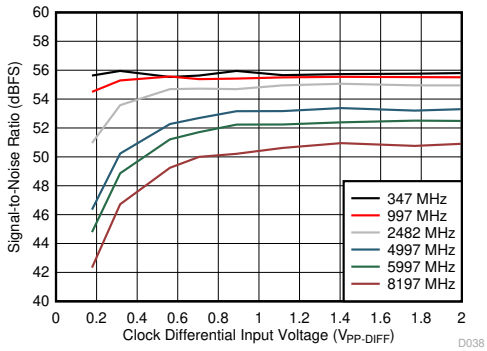
JMODE 1、FG キャリブレーション、f_S = 6400MSPS

図 5-27. SFDR と入力電力との関係

Copyright © 2025 Texas Instruments Incorporated

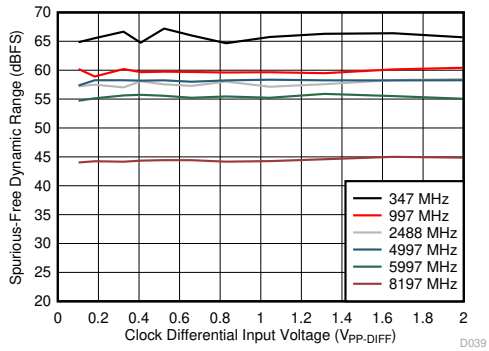
5.12 代表的特性 (続き)

代表値は、T_A = 25°C、公称電源電圧、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングル チャネル モードで INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。信号対雑音比の結果は、DC、HD2 ～ HD9、インターリービング スプリアスを除く。SINAD および ENOB の結果は、DC および f_S/2 固定スプリアスを除く。SFDR の結果は、DC および信号に依存しないインターリービング スプリアス (f_S / 4 および f_S / 2 スプリアス) を除く。



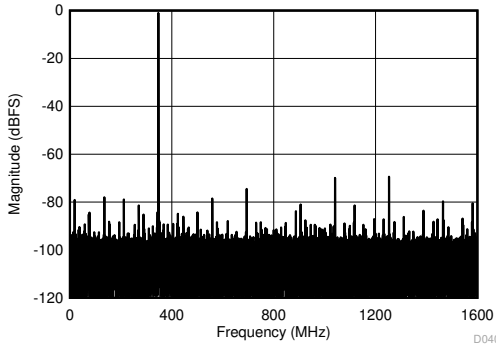
JMODE 1、FG キャリブレーション、f_S = 6400MSPS、A_{IN} = –1dBFS

図 5-28. SNR とクロック振幅との関係



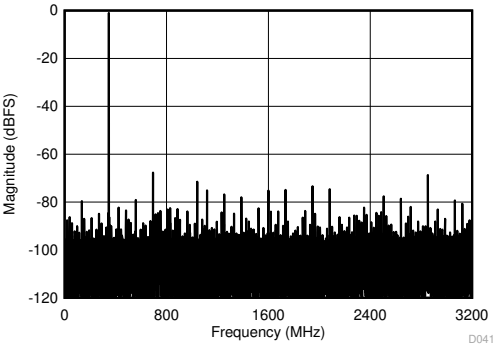
JMODE 1、FG キャリブレーション、f_S = 6400MSPS、A_{IN} = –1dBFS

図 5-29. SFDR とクロック振幅との関係



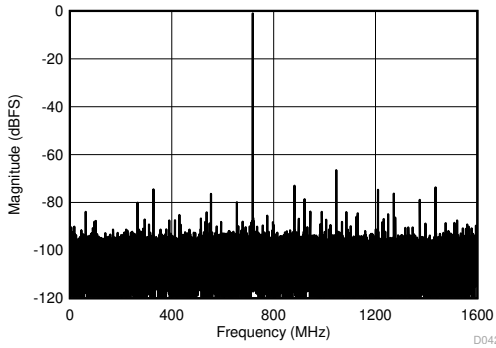
JMODE 3、FG キャリブレーション、f_S = 3200MSPS、信号対雑音比 = 56.3dBFS、SFDR = 69dBFS、ENOB = 9.0 ビット

図 5-30. f_{IN} = 347MHz、A_{IN} = –1dBFS でのシングル トーン FFT



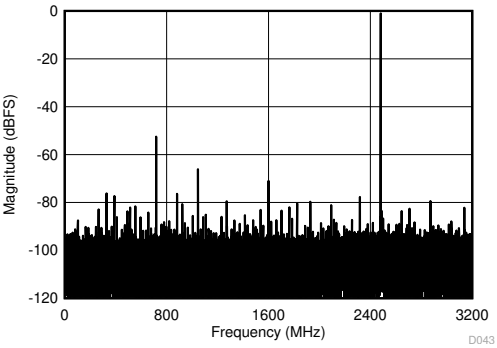
JMODE 1、FG キャリブレーション、f_S = 6400MSPS、信号対雑音比 = 55.9dBFS、SFDR = 68dBFS、ENOB = 8.9 ビット

図 5-31. f_{IN} = 347MHz、A_{IN} = –1dBFS でのシングル トーン FFT



JMODE 3、FG キャリブレーション、f_S = 3200MSPS、信号対雑音比 = 55.3dBFS、SFDR = 66dBFS、ENOB = 8.8 ビット

図 5-32. f_{IN} = 2482MHz、A_{IN} = –1dBFS でのシングル トーン FFT



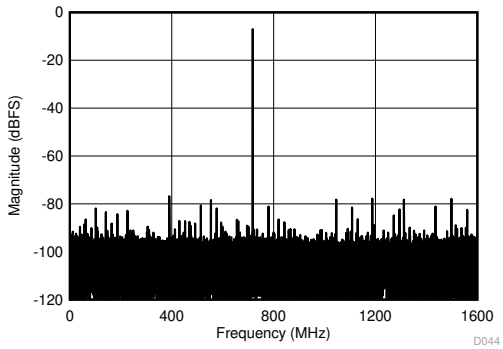
JMODE 1、FG キャリブレーション、f_S = 6400MSPS、信号対雑音比 = 55.5dBFS、SFDR = 52dBFS、ENOB = 8.1 ビット

図 5-33. f_{IN} = 2482MHz、A_{IN} = –1dBFS でのシングル トーン FFT

Copyright © 2025 Texas Instruments Incorporated

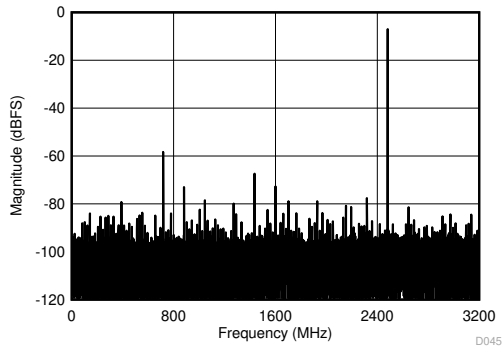
5.12 代表的特性 (続き)

代表値は、T_A = 25°C、公称電源電圧、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングル チャネル モードで INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。信号対雑音比の結果は、DC、HD2 ～ HD9、インターリービング スプリアスを除く。SINAD および ENOB の結果は、DC および $f_S/2$ 固定スプリアスを除く。SFDR の結果は、DC および信号に依存しないインターリービング スプリアス (f_S / 4 および f_S / 2 スプリアス) を除く。



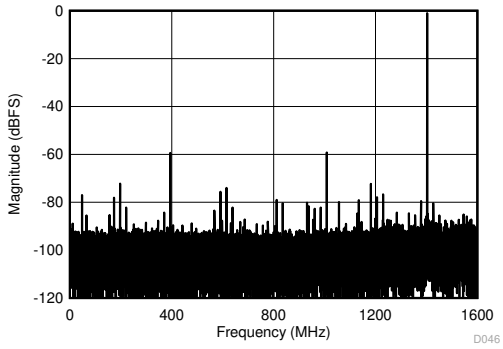
JMODE 3、FG キャリブレーション、f_S = 3200MSPS、信号対雑音比 = 56.2dBFS、SFDR = 77dBFS、ENOB = 9.0 ビット

図 5-34. f_{IN} = 2482MHz、A_{IN} = –7dBFS でのシングル トーン FFT



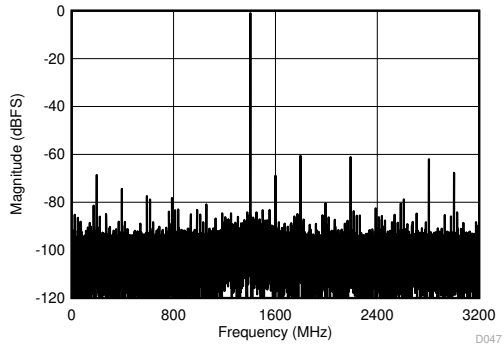
JMODE 1、FG キャリブレーション、f_S = 6400MSPS、信号対雑音比 = 56.1dBFS、SFDR = 58dBFS、ENOB = 8.6 ビット

図 5-35. f_{IN} = 2482MHz、A_{IN} = –7dBFS でのシングル トーン FFT



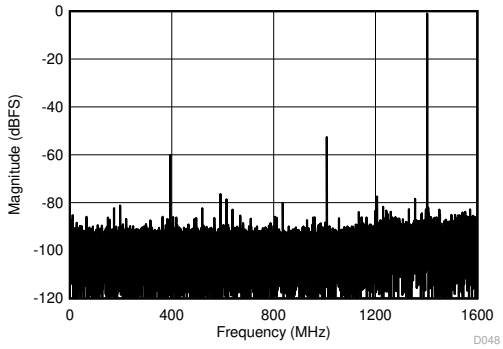
JMODE 3、FG キャリブレーション、f_S = 3200MSPS、信号対雑音比 = 53dBFS、SFDR = 59dBFS、ENOB = 8.2 ビット

図 5-36. f_{IN} = 4997MHz、A_{IN} = –1dBFS でのシングル トーン FFT



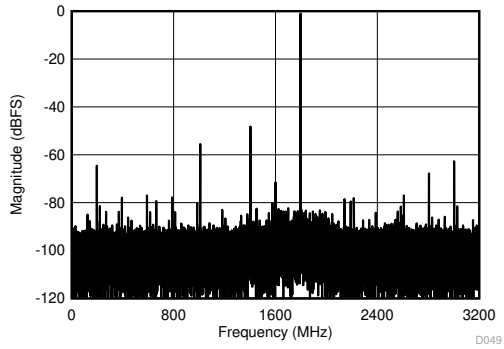
JMODE 1、FG キャリブレーション、f_S = 6400MSPS、信号対雑音比 = 53.5dBFS、SFDR = 61dBFS、ENOB = 8.2 ビット

図 5-37. f_{IN} = 4997MHz、A_{IN} = –1dBFS でのシングル トーン FFT



JMODE 3、FG キャリブレーション、f_S = 3200MSPS、信号対雑音比 = 51.1dBFS、SFDR = 53dBFS、ENOB = 7.8 ビット

図 5-38. f_{IN} = 8197MHz、A_{IN} = –1dBFS でのシングル トーン FFT



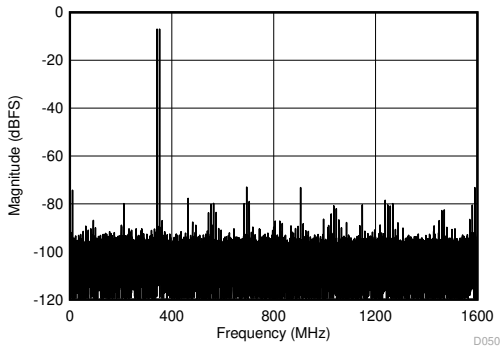
JMODE 1、FG キャリブレーション、f_S = 6400MSPS、信号対雑音比 = 51.4dBFS、SFDR = 48dBFS、ENOB = 7.3 ビット

図 5-39. f_{IN} = 8197MHz、A_{IN} = –1dBFS でのシングル トーン FFT

Copyright © 2025 Texas Instruments Incorporated

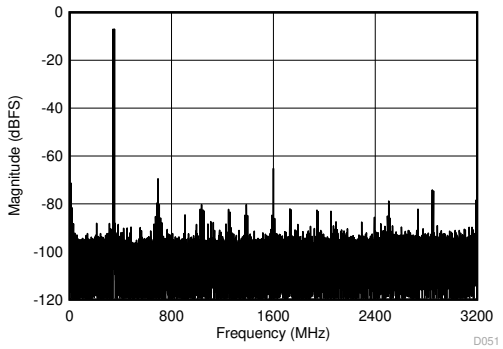
5.12 代表的特性 (続き)

代表値は、T_A = 25°C、公称電源電圧、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングル チャネル モードで INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。信号対雑音比の結果は、DC、HD2 ～ HD9、インターリービング スプリアスを除く。SINAD および ENOB の結果は、DC および $f_S/2$ 固定スプリアスを除く。SFDR の結果は、DC および信号に依存しないインターリービング スプリアス (f_S / 4 および f_S / 2 スプリアス) を除く。



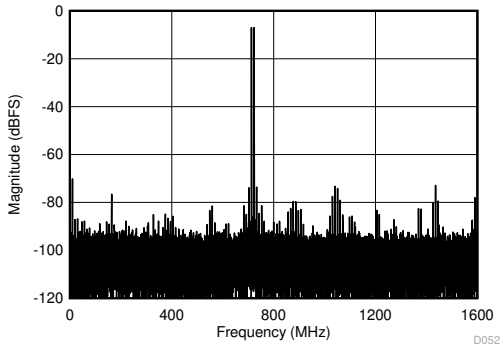
JMODE 3、FG キャリブレーション、f_S = 3200MSPS、f_1 = 342MHz、f_2 = 352MHz、A_{IN} = –7dBFS / トーン、SFDR = –73dBFS、IMD3 = –87dBFS、IMD2 = –74dBFS

図 5-40. f_{IN} = 347MHz、A_{IN} = –1dBFS での 2 つのトーン FFT



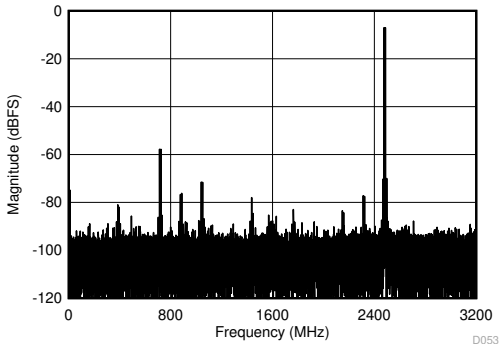
JMODE 1、FG キャリブレーション、f_S = 6400MSPS、f_1 = 342MHz、f_2 = 352MHz、A_{IN} = –7dBFS / トーン、SFDR = –70dBFS、IMD3 = –91dBFS、IMD2 = –71dBFS

図 5-41. f_{IN} = 347MHz、A_{IN} = –1dBFS での 2 つのトーン FFT



JMODE 3、FG キャリブレーション、f_S = 3200MSPS、f_1 = 2477MHz、f_2 = 2487MHz、A_{IN} = –7dBFS / トーン、SFDR = –70dBFS、IMD3 = –74dBFS、IMD2 = –70dBFS

図 5-42. f_{IN} = 2482MHz、A_{IN} = –1dBFS での 2 つのトーン FFT



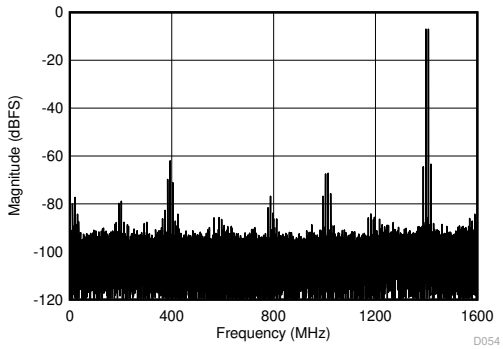
JMODE 1、FG キャリブレーション、f_S = 6400MSPS、f_1 = 2477MHz、f_2 = 2487MHz、A_{IN} = –7dBFS / トーン、SFDR = –58dBFS、IMD3 = –70dBFS、IMD2 = –75dBFS

図 5-43. f_{IN} = 2482MHz、A_{IN} = –1dBFS での 2 つのトーン FFT

Copyright © 2025 Texas Instruments Incorporated

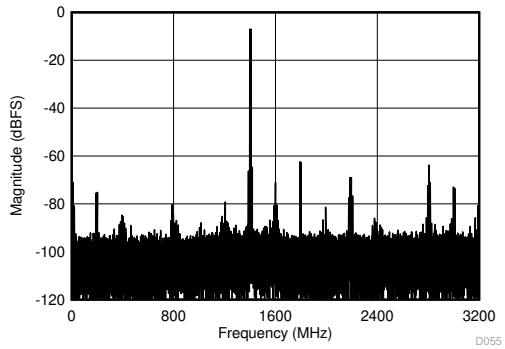
5.12 代表的特性 (続き)

代表値は、T_A = 25°C、公称電源電圧、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングル チャネル モードで INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。信号対雑音比の結果は、DC、HD2 ～ HD9、インターリービング スプリアスを除く。SINAD および ENOB の結果は、DC および $f_S/2$ 固定スプリアスを除く。SFDR の結果は、DC および信号に依存しないインターリービング スプリアス (f_S / 4 および f_S / 2 スプリアス) を除く。



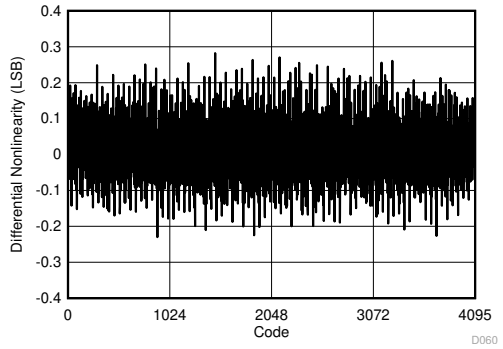
JMODE 3、FG キャリブレーション、f_S = 3200MSPS、f_1 = 4992MHz、f_2 = 5002MHz、A_{IN} = –7dBFS / トーン、SFDR = –62dBFS、IMD3 = –63dBFS、IMD2 = –80dBFS

図 5-44. f_{IN} = 4997MHz、A_{IN} = –1dBFS での 2 つのトーン FFT



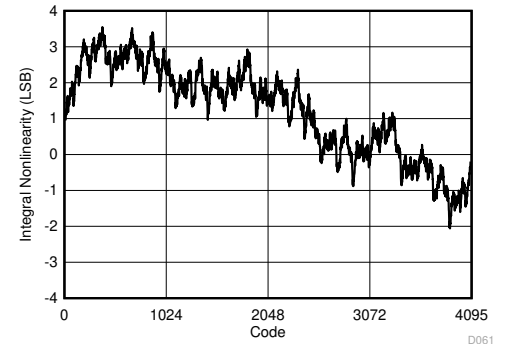
JMODE 1、FG キャリブレーション、f_S = 6400MSPS、f_1 = 4992MHz、f_2 = 5002MHz、A_{IN} = –7dBFS / トーン、SFDR = –62dBFS、IMD3 = –65dBFS、IMD2 = –71dBFS

図 5-45. f_{IN} = 4997MHz、A_{IN} = –1dBFS での 2 つのトーン FFT



JMODE 1、FG キャリブレーション、f_S = 6400MSPS、f_{IN} = 99.97MHz

図 5-46. DNL とコードとの関係



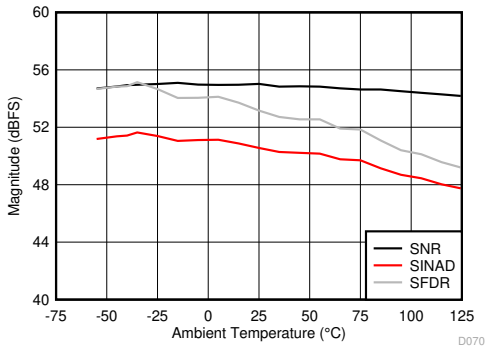
JMODE 1、FG キャリブレーション、f_S = 6400MSPS、f_{IN} = 99.97MHz

図 5-47. INL とコードとの関係

Copyright © 2025 Texas Instruments Incorporated

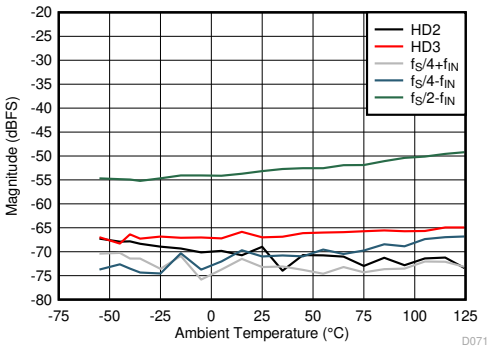
5.12 代表的特性 (続き)

代表値は、T_A = 25°C、公称電源電圧、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングル チャネル モードで INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。信号対雑音比の結果は、DC、HD2 ～ HD9、インターリービング スプリアスを除く。SINAD および ENOB の結果は、DC および $f_S/2$ 固定スプリアスを除く。SFDR の結果は、DC および信号に依存しないインターリービング スプリアス (f_S / 4 および f_S / 2 スプリアス) を除く。



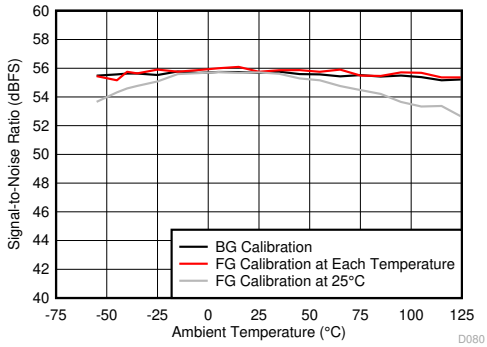
JMODE 1、BG キャリブレーション、f_S = 6400MSPS、f_{IN} = 2482MHz、A_{IN} = –1dBFS

図 5-48. 性能と温度との関係



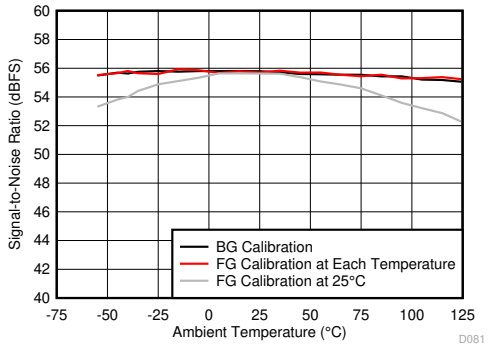
JMODE 1、FG キャリブレーション、f_S = 6400MSPS、f_{IN} = 2482MHz、A_{IN} = –1dBFS

図 5-49. 性能と温度との関係



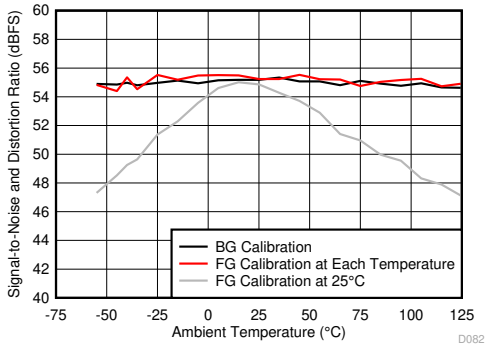
JMODE 3、f_S = 3200MSPS、f_{IN} = 347MHz、A_{IN} = –1dBFS

図 5-50. 信号対雑音比と温度との関係およびキャリブレーション モード



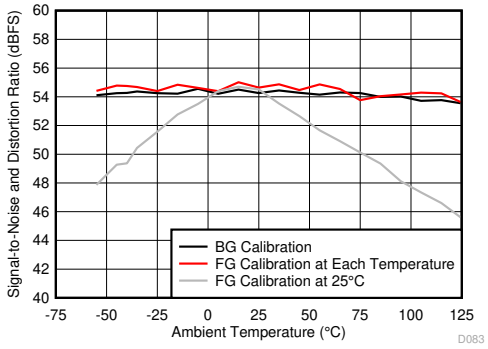
JMODE 1、f_S = 6400MSPS、f_{IN} = 347MHz、A_{IN} = –1dBFS

図 5-51. 信号対雑音比と温度との関係およびキャリブレーション モード



JMODE 3、f_S = 3200MSPS、f_{IN} = 347MHz、A_{IN} = –1dBFS

図 5-52. SINAD と温度との関係およびキャリブレーション モード



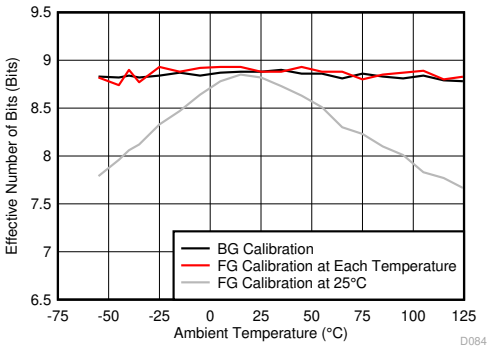
JMODE 1、f_S = 6400MSPS、f_{IN} = 347MHz、A_{IN} = –1dBFS

図 5-53. SINAD と温度との関係およびキャリブレーション モード

Copyright © 2025 Texas Instruments Incorporated

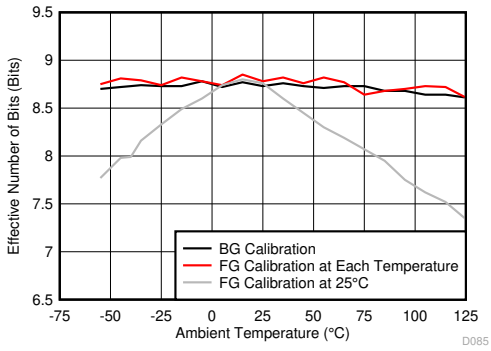
5.12 代表的特性 (続き)

代表値は、T_A = 25°C、公称電源電圧、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングル チャネル モードで INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。信号対雑音比の結果は、DC、HD2 ～ HD9、インターリービング スプリアスを除く。SINAD および ENOB の結果は、DC および $f_S/2$ 固定スプリアスを除く。SFDR の結果は、DC および信号に依存しないインターリービング スプリアス (f_S / 4 および f_S / 2 スプリアス) を除く。



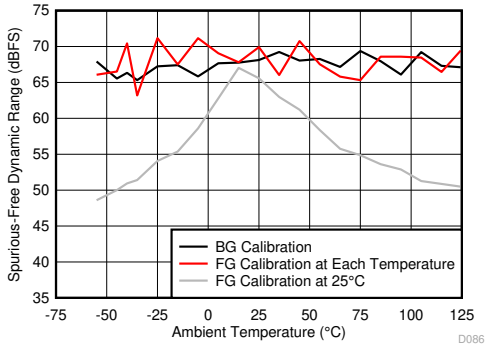
JMODE 3、f_S = 3200MSPS、f_{IN} = 347MHz、A_{IN} = –1dBFS

図 5-54. ENOB と温度との関係およびキャリブレーション モード



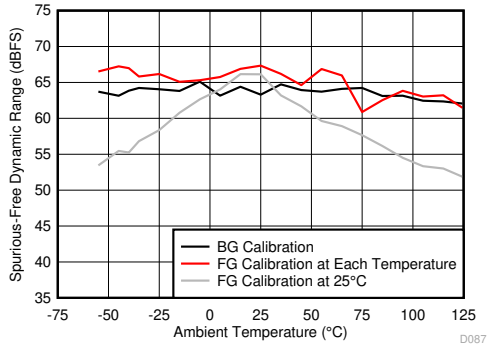
JMODE 1、f_S = 6400MSPS、f_{IN} = 347MHz、A_{IN} = –1dBFS

図 5-55. ENOB と温度との関係およびキャリブレーション モード



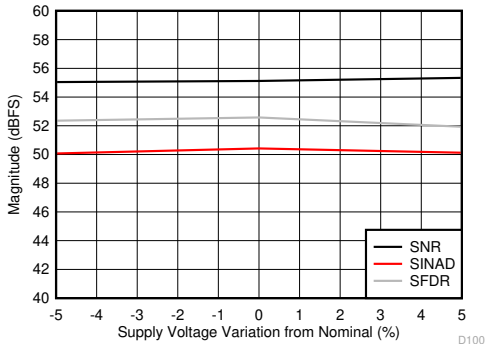
JMODE 3、f_S = 3200MSPS、f_{IN} = 347MHz、A_{IN} = –1dBFS

図 5-56. SFDR と温度との関係およびキャリブレーション モード



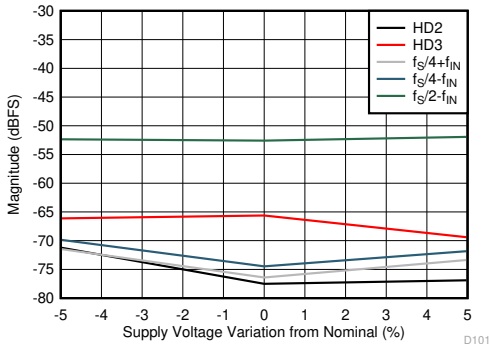
JMODE 1、f_S = 6400MSPS、f_{IN} = 347MHz、A_{IN} = –1dBFS

図 5-57. SFDR と温度との関係およびキャリブレーション モード



JMODE 1、FG キャリブレーション、f_S = 6400MSPS、f_{IN} = 2482MHz、A_{IN} = –1dBFS

図 5-58. 性能と電源電圧との関係



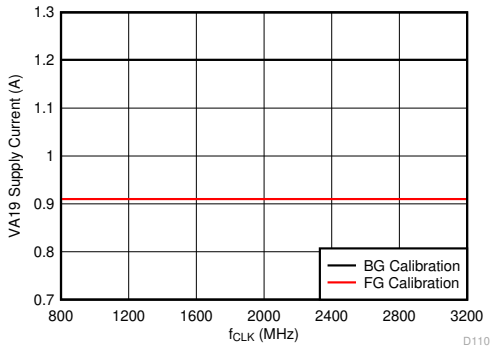
JMODE 1、FG キャリブレーション、f_S = 6400MSPS、f_{IN} = 2482MHz、A_{IN} = –1dBFS

図 5-59. 性能と電源電圧との関係

Copyright © 2025 Texas Instruments Incorporated

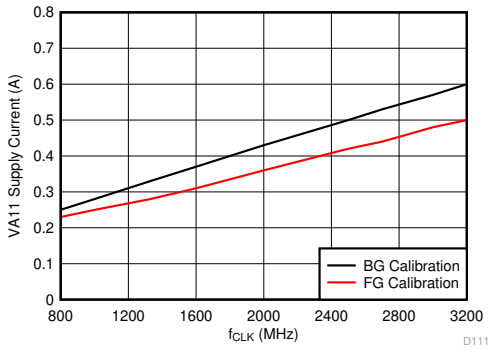
5.12 代表的特性 (続き)

代表値は、T_A = 25°C、公称電源電圧、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングル チャネル モードで INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。信号対雑音比の結果は、DC、HD2 ～ HD9、インターリービング スプリアスを除く。SINAD および ENOB の結果は、DC および f_S/2 固定スプリアスを除く。SFDR の結果は、DC および信号に依存しないインターリービング スプリアス (f_S / 4 および f_S / 2 スプリアス) を除く。



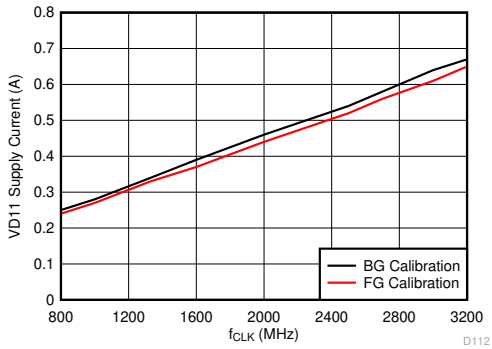
JMODE 1、f_{IN} = 2482MHz、A_{IN} = –1dBFS

図 5-60. VA19 消費電流とクロック レートとの関係



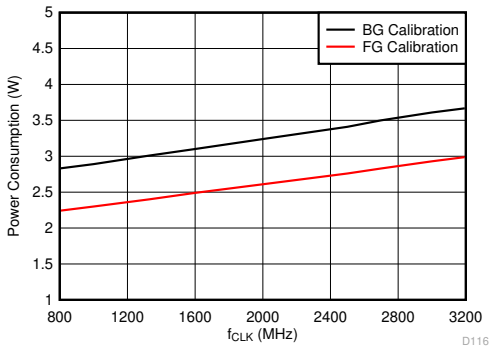
JMODE 1、f_{IN} = 2482MHz、A_{IN} = –1dBFS

図 5-61. VA11 消費電流とクロック レートとの関係



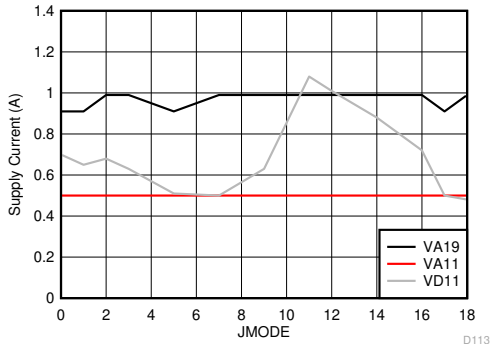
JMODE 1、f_{IN} = 2482MHz、A_{IN} = –1dBFS

図 5-62. VD11 消費電流とクロック レートとの関係



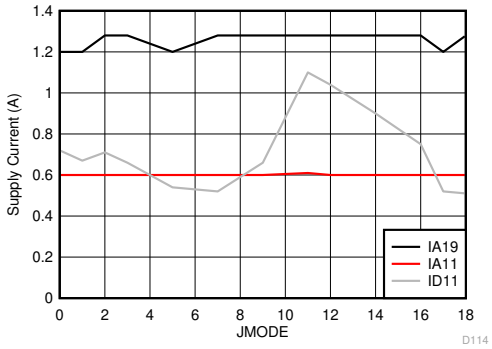
JMODE 1、f_{IN} = 2482MHz、A_{IN} = –1dBFS

図 5-63. 消費電力とクロック レートとの関係



f_{CLK} = 3200MHz、FG キャリブレーション、f_{IN} = 2482MHz、A_{IN} = –1dBFS

図 5-64. 電源電流と JMODE との関係



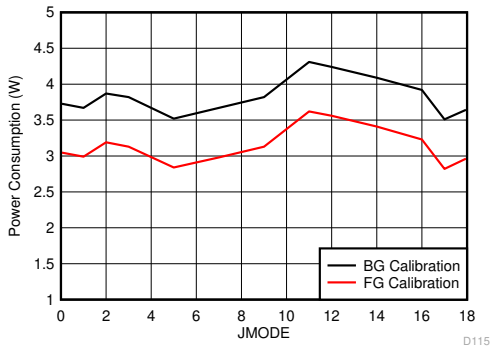
f_{CLK} = 3200MHz、BG キャリブレーション、f_{IN} = 2482MHz、A_{IN} = –1dBFS

図 5-65. 電源電流と JMODE との関係

Copyright © 2025 Texas Instruments Incorporated

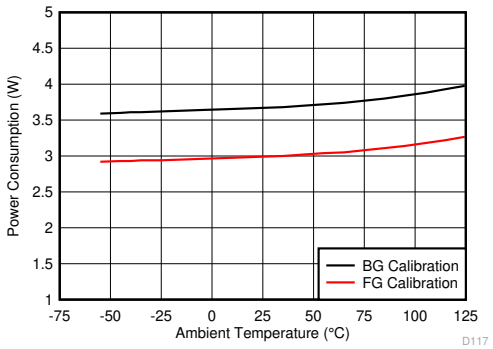
5.12 代表的特性 (続き)

代表値は、T_A = 25°C、公称電源電圧、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングル チャネル モードで INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。信号対雑音比の結果は、DC、HD2 ～ HD9、インターリービング スプリアスを除く。SINAD および ENOB の結果は、DC および $f_S/2$ 固定スプリアスを除く。SFDR の結果は、DC および信号に依存しないインターリービング スプリアス (f_S / 4 および f_S / 2 スプリアス) を除く。



f_{CLK} = 3200MHz、f_{IN} = 2482MHz、A_{IN} = –1dBFS

図 5-66. 消費電力と JMODE との関係



JMODE 1、f_S = 6400MSPS、f_{IN} = 2482MHz、A_{IN} = –1dBFS

図 5-67. 消費電力と温度との関係

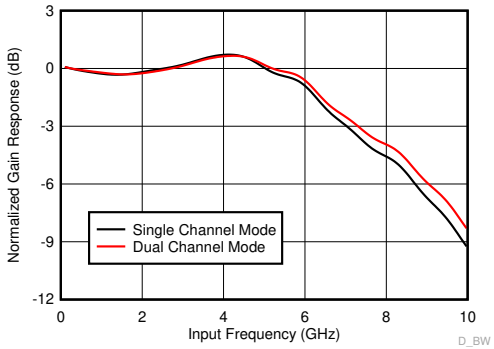
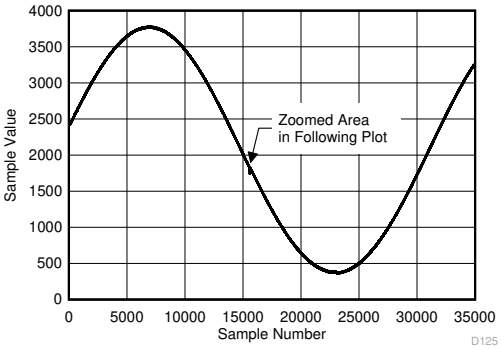
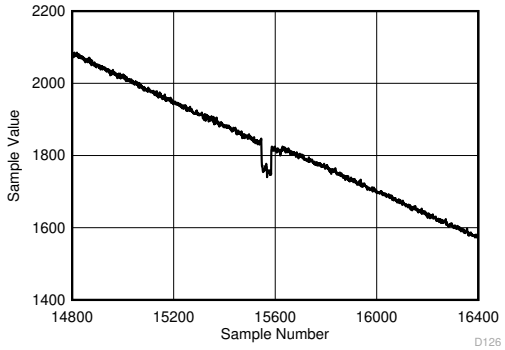


図 5-68. ゲイン応答と入力周波数との関係



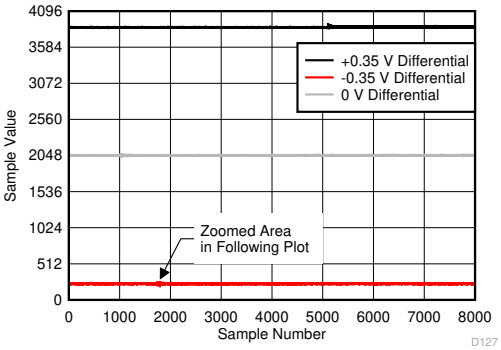
JMODE 1、f_S = 6400MSPS、f_{IN} = 3199.9MHz

図 5-69. バックグラウンド キャリブレーション コアの遷移 (AC 信号)



JMODE 1、f_S = 6400MSPS、f_{IN} = 3199.9MHz

図 5-70. バックグラウンド キャリブレーション コアの遷移 (AC 信号の拡大)



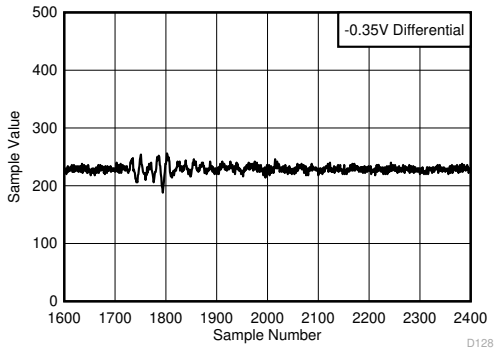
JMODE 1、f_S = 6400MSPS、DC 入力

図 5-71. バックグラウンド キャリブレーション コアの遷移 (DC 信号)

Copyright © 2025 Texas Instruments Incorporated

5.12 代表的特性 (続き)

代表値は、T_A = 25°C、公称電源電圧、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングル チャネル モードで INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理された $1V_{PP}$ 正弦波クロック、JMODE = 1、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。信号対雑音比の結果は、DC、HD2 ～ HD9、インターリービング スプリアスを除く。SINAD および ENOB の結果は、DC および f_S/2 固定スプリアスを除く。SFDR の結果は、DC および信号に依存しないインターリービング スプリアス (f_S / 4 および f_S / 2 スプリアス) を除く。



JMODE 1、f_S = 6400MSPS、DC 入力

図 5-72. バックグラウンド キャリブレーション コアの遷移 (DC 信号の拡大)

6 詳細説明

6.1 概要

ADC12DJ3200QML-SP デバイスは RF サンプリング、ギガ サンプルの A/D コンバータ (ADC)で、DC から 10GHz 超までの入力周波数を直接サンプリングできます。ADC12DJ3200QML-SP は、デュアル チャネル モードで最大 3200MSPS、シングル チャネル モードで最大 6400MSPS をサンプリングできます。チャネル数(デュアル チャネル モード)とナイキスト帯域幅(シングル チャネル モード)のトレードオフをプログラム可能なため、多くのチャネル数を必要とするアプリケーション、または広い瞬間的な信号帯域幅を必要とするアプリケーションのどちらの要求にも対応できる、柔軟なハードウェアを開発できます。フルパワー入力帯域幅 (–3dB) は 7GHz で、使用可能な周波数はデュアル チャネルとシングル チャネル モードの両方で –3dB のポイントを超えて拡大されるため、L バンド、S バンド、C バンド、X バンドを直接 RF サンプリングでき、周波数の機動性が高いシステムを実現できます。

ADC12DJ3200QML-SP は、最大 16 個のシリアル化されたレーンを備えた、高速な JESD204B 出力インターフェイスを使用しています。シリアル出力レーンは最高 12.8Gbps をサポートし、ビット レートとレーン数のトレードオフを設定可能です。JESD204B ブロックは、サブクラス 1 方式をサポートしており、SYSREF を使用した決定論的レイテンシと複数デバイスとの同期を実現します。ノイズなしのアパーチャ遅延 (t_{AD}) 調整や、SYSREF ウィンドウ処理などの多数の革新的な同期機能により、マルチ チャネル アプリケーションのシステム設計を簡素化できます。アパーチャ遅延調整を使用して、SYSREF キャプチャの簡素化、複数の ADC 間でのサンプリング インスタンスの調整、フロント エンドのトラック / ホールド (T&H) アンプ出力の最適な位置のサンプリングが可能です。SYSREF のウィンドウ処理を使うと、デバイス クロックを基準とした SYSREF の無効タイミング領域を簡単に測定し、最適なサンプリング位置を選択できます。デュアル エッジ サンプリング (DES) はシングル チャネル モードで実装されており、ADC に適用される最大クロック レートを低減して幅広いクロック ソースをサポートし、SYSREF キャプチャのセットアップ / ホールド タイミングを緩和することができます。

オプションのデジタル ダウン コンバータ (DDC) は、デュアル チャネル モードで使用できます。DDC ブロックには、幅広いデシメーション設定があり、デバイスは超広帯域、広帯域、より狭帯域の受信システムで動作できます。デシメーションにより、インターフェイス レートや、ロジック デバイスにデータを転送するのに必要なレーン数が削減されます。さらに、(デュアル チャネル モードの) 単一の ADC チャネルからのデータを、マルチバンド受信アプリケーション用に、または冗長化ロジック デバイスに対応するために、個別の DDC ブロックに送信できます。

ADC12DJ3200QML-SP には、ゲイン、オフセット、静的直線性誤差に対するフォアグラウンドおよびバックグラウンド キャリブレーション オプションがあります。フォアグラウンド キャリブレーションは、システムの起動時、または ADC がオフラインでロジック デバイスにデータを送信しない指定された時間に実行されます。バックグラウンド キャリブレーションにより、コアがバックグラウンドで較正されている間も ADC を連続的に動作させることができるため、システムのダウンタイムが発生しません。また、較正ルーチンは sub-ADC コア間のゲインとオフセットをマッチングするためにも使用され、時間のインターリーブによるスプリアス アーチファクトを最小限に抑えます。

ADC12DJ3200QML-SP は、放射線に敏感なアプリケーション向けに、120MeV-cm^2/mg までの単一イベント ラッチアップ耐性と、300krad (Si) までのトータル ドーズ効果 (TID) を備えています。シリアル プログラミング インターフェイスとプログラミング レジスタは放射線アップセットから保護されていますが、他の主要回路はアラームで監視されているため、アップセットを迅速に検出できます。

Copyright © 2025 Texas Instruments Incorporated

6.2 機能ブロック図

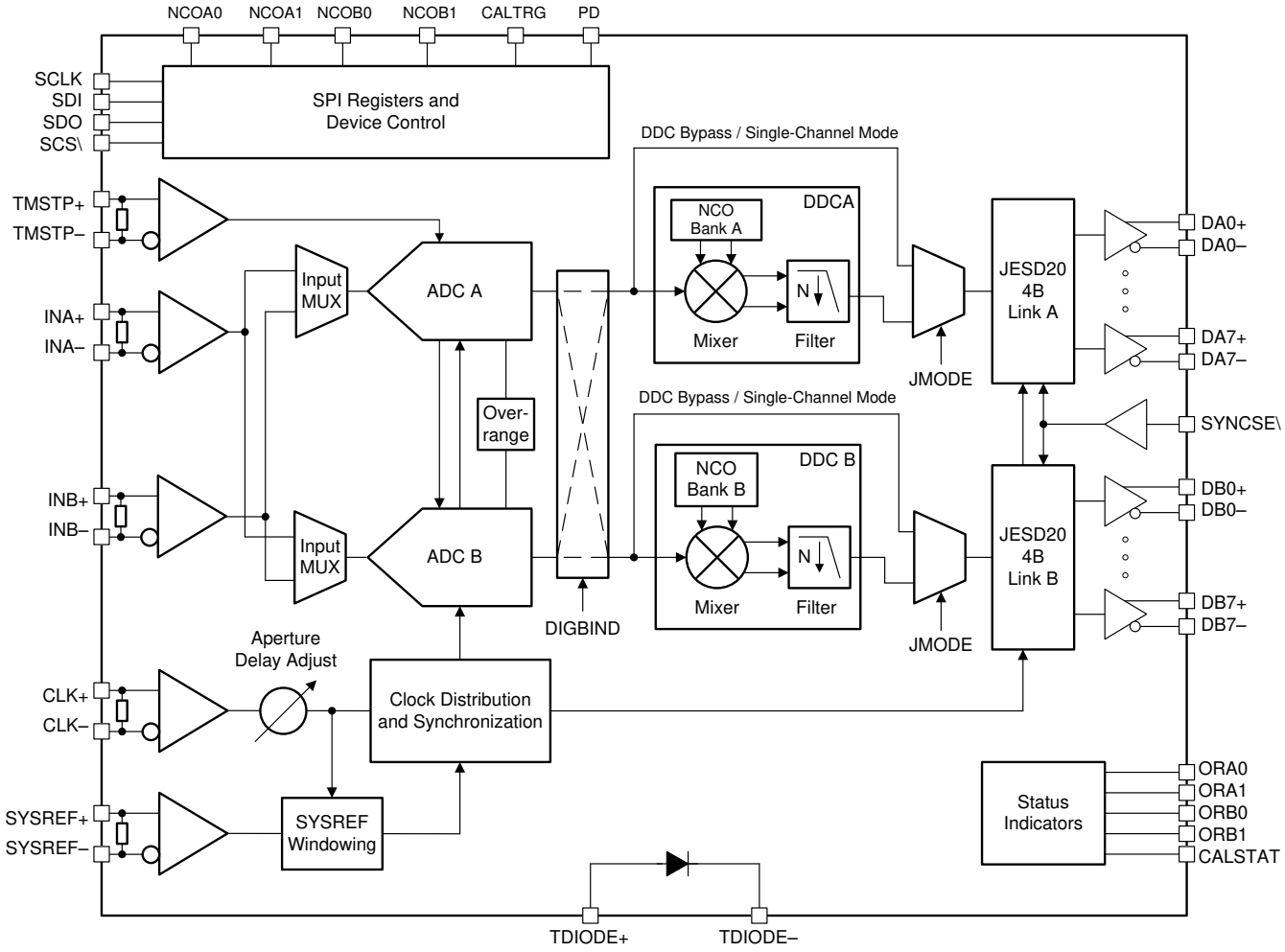


図 6-1. 機能ブロック図

6.3 機能説明

6.3.1 アナログ入力

ADC12DJ3200QML-SP のアナログ入力には、高い入力帯域幅を可能にし、入力回路からサンプリング コンデンサ グリッチ ノイズを絶縁するための内部バッファが搭載されています。シングルエンド信号で動作すると性能が低下するため、アナログ入力は差動で駆動する必要があります。アナログ入力の AC 結合と DC 結合の両方がサポートされています。アナログ入力は、0V の入力同相電圧 (V_{CMI}) に対して設計されており、この電圧はシングルエンドの 50Ω 抵抗を介して各入力ピンのグランド (GND) に対して内部で終端されています。DC 結合入力信号の同相電圧は、*推奨動作条件* 表で V_{CMI} として規定されているデバイス入力同相モード要件を満たす必要があります。0V の入力同相電圧により、分割電源の完全差動アンプや各種トランスやバランへの接続が簡単になります。ADC12DJ3200QML-SP には、過電圧入力状態で ADC 入力を保護するため、内部アナログ入力保護機能が搭載されています。「*アナログ入力保護*」セクションを参照してください。図 6-2 に、簡略化されたアナログ入力モデルを示します。

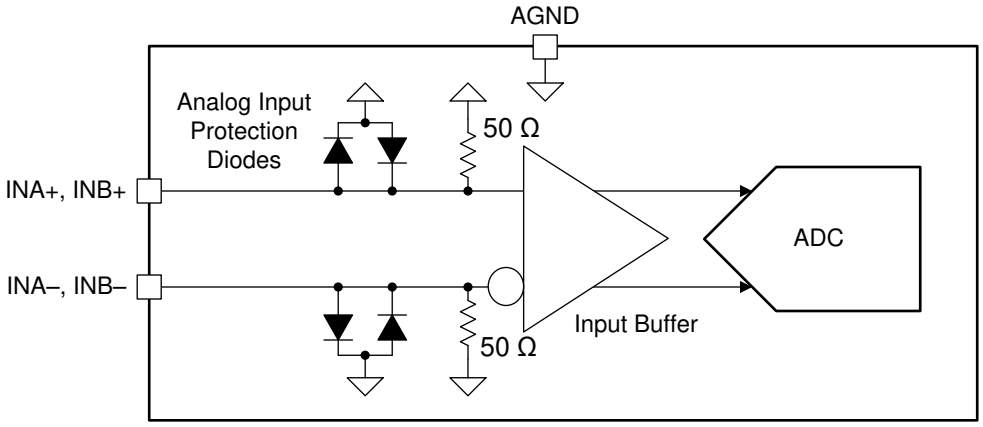


図 6-2. ADC12DJ3200QML-SP アナログ入力内部終端および保護図

シングル チャネル モードとデュアル チャネル モードを使用する場合、アナログ入力帯域幅の劣化は最小限です。シングル チャネル モードでは、ADC の性能が INA± に最適化されているため、ADC への入力として INA± を使用することを強く推奨します。しかし、アナログ入力 (INA+ と INA-、または INB+ と INB-) のどちらかを使用できます。カスタム トリム ルーチンを使用して各デバイスの INB± の性能を最適化しない限り、INB± を使用すると性能が低下します。目的の入力は、入力マルチプレクサ制御レジスタ の SINGLE_INPUT を使って選択できます。

注

性能を最適化するため、シングル チャネル モードで ADC への入力として INA± を使用することを強く推奨します。

6.3.1.1 アナログ入力保護

アナログ入力は、オーバードライブ状態に対して保護され、範囲外の状態において入力電流をソースまたはシンクできる内部クランプ ダイオードによって行われます。*絶対最大定格* 表の電圧および電流制限を参照してください。範囲外保護は、周波数に依存しない *絶対最大定格* 表のピーク RF 入力電力に対しても定義されます。*推奨動作条件* 表に記載されている最大条件を超えると、FIT (故障率) が上昇するため、システムでオーバードライブ状態をできるだけ早く修正する必要があります。図 6-2 に、アナログ入力保護ダイオードを示します。

6.3.1.2 フルスケール電圧 (V_{FS}) の調整

入力フルスケール電圧 (V_{FS}) の調整は、各アナログ入力について、FS_RANGE_A レジスタ設定 (「INA フルスケール レンジ調整レジスタ」を参照) と FS_RANGE_B レジスタ設定 (「INB フルスケール レンジ調整レジスタ」を参照) により、それぞれ INA± と INB± について詳細にインクリメントして利用できます。利用可能な調整範囲は、*電気的特性 に規定されています。「DC 仕様」*表を参照。フルスケール電圧が大きいほど、信号対雑音比とノイズフロア (dBFS/Hz) 性能が向上し

Copyright © 2025 Texas Instruments Incorporated

ますが、高調波歪みが劣化する可能性があります。フルスケール電圧調整は、マルチコンバータ システムを開発する場合、または複数の ADC12DJ3200QML-SP を外部インターリーブしてより高いサンプリング レートを実現する場合に、複数の ADC のフルスケール レンジを一致させるのに役立ちます。

6.3.1.3 アナログ入力オフセットの調整

各入力の入力オフセット電圧は、OADJ_x_INy レジスタ (レジスタ 0x08A および 0x095) により調整できます。ここで、x は ADC コア (A、B、C) を表し、y はアナログ入力 (INA± または INB±) を表します。調整範囲は、約 28mV ~ –28mV の差動です。詳細については、*キャリブレーション・モードとトリミング* セクションを参照してください。

6.3.2 ADC コア

ADC12DJ3200QML-SP は、合計 6 つの ADC コアで構成されています。これらのコアは高いサンプリング レートを実現するためにインターリーブされており、動作モードの要件に応じてキャリブレーションのためにオンザフライで切り替えられます。このセクションでは、ADC コアの理論と主な特長について説明します。

6.3.2.1 ADC の動作原理

アナログ入力の差動電圧は、デュアル チャネル モードでは CLK± の立ち上がりエッジ、またはシングル チャネル モードでは CLK± の立ち上がりおよび立ち下がりエッジによってキャプチャされます。入力信号をキャプチャしてから、ADC は電圧を内部リファレンス電圧と比較することで、アナログ電圧をデジタル値に変換します。INA– または INB– の電圧が、それぞれ INA+ または INB+ の電圧よりも高い場合、デジタル出力は負の 2 の補数値になります。INA+ または INB+ の電圧が、それぞれ INA– または INB– の電圧よりも高い場合、デジタル出力は正の 2 の補数値になります。式 1 では、デジタル出力から入力ピンの差動電圧を計算できます。

$$V_{IN} = \frac{Code}{2^N} V_{FS} \quad (1)$$

ここで、

- コードは符号付き 10 進の出力コードです (例:–2048 ～ +2047)。
- N は ADC の分解能です
- また、V_{FS} は、*セクション 5.3* の表に規定されている ADC のフルスケール入力電圧で、FS_RANGE_A または FS_RANGE_B をプログラムして実行される調整も含まれます

6.3.2.2 ADC コアのキャリブレーション

ADC コアのアナログ性能を最適化するには、ADC コアのキャリブレーションが必要です。最適な性能を維持するには、動作条件、すなわち温度が大幅に変化したときにキャリブレーションを繰り返す必要があります。ADC12DJ3200QML-SP にはキャリブレーション ルーチンが組み込まれており、フォアグラウンド動作またはバックグラウンド動作として実行できます。フォアグランド操作では、ADC が入力信号のサンプリングを停止するダウンタイムが必要となり、処理が完了します。バックグラウンド較正を使用して、この制限を克服し、ADC を一定に動作させることができます。各モードの詳細については、*キャリブレーション・モードとトリミング* セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.3.2.3 ADC のオーバーレンジ検出

システムのゲイン管理が可能な限り迅速に応答できるように、低レイテンシで構成可能なオーバーレンジ機能が搭載されています。オーバーレンジ機能は、ADC で変換された 12 ビット サンプルを監視して、ADC が飽和状態に近いか、すでにオーバーレンジ状態にあるかを迅速に検出することで機能します。ADC データの上位 8 ビットの絶対値は、2 つのプログラマブルなスレッショルド OVR_T0 および OVR_T1 と比較してチェックされます。これらのスレッショルドは、デュアル チャネル モードのチャネル A とチャネル B の両方に適用されます。ADC サンプルを絶対値に変換してスレッショルドを比較する方法を、表 6-1 に示します。

表 6-1. オーバーレンジ比較用の ADC サンプルの変換

ADC サンプル (オフセットバイナリ)	ADC サンプル (2 の補数)	絶対値	比較のため上位 8 ビットを使用します
1111 1111 1111 (4095)	0111 1111 1111 (+2047)	111 1111 1111 (2047)	1111 1111 (255)
1111 1111 0000 (4080)	0111 1111 0000 (+2032)	111 1111 0000 (2032)	1111 1110 (254)
1000 0000 0000 (2048)	0000 0000 0000 (0)	000 0000 0000 (0)	0000 0000 (0)
0000 0001 0000 (16)	1000 0001 0000 (–2032)	111 1111 0000 (2032)	1111 1110 (254)
0000 0000 0000 (0)	1000 0000 0000 (–2048)	111 1111 1111 (2047)	1111 1111 (255)

監視期間中に絶対値の上位 8 ビットが OVR_T0 または OVR_T1 のスレッショルド以上になると、スレッショルドに対応するオーバーレンジ ビットは 1 に設定され、それ以外の場合、オーバーレンジ ビットは 0 になります。デュアル チャネル モードでは、オーバーレンジ ステータスはチャネル A の ORA0 および ORA1 ピン、チャネル B の ORB0 および ORB1 ピンで監視できます。ここで、ORx0 は OVR_T0 スレッショルド、ORx1 は OVR_T1 スレッショルドに対応します。シングル チャネル モードでは、OVR_T0 スレッショルドのオーバーレンジ ステータスは ORA0 と ORB0 の両方の出力を監視することによって決定され、OVR_T1 スレッショルドは ORA1 と ORB1 の両方の出力を監視することによって決定されます。シングル チャネル モードでは、オーバーレンジ状態が発生したかどうかを判定するために、各スレッショルドの 2 つの出力を互いに OR 接続する必要があります。OVR_N は、最後のオーバーレンジ イベントからの出力パルス幅を設定するために使用できます。表 6-2 に、各種 OVR_N 設定のオーバーレンジ パルス長を示します (オーバーレンジ構成レジスタ を参照)。デシメーション モード (表 6-18 で $\overline{CS}$ = 1 のとき、JMODE のみ) では、オーバーレンジ ステータスも出力データ サンプルに組み込まれます。複素数のデシメーション モードでは、OVR_T0 スレッショルド ステータスは LSB として、すべての複合 I サンプルの上位 15 ビットとともに組み込まれ、OVR_T1 スレッショルド ステータスは LSB として、すべての複合 Q サンプルの上位 15 ビットとともに組み込まれます。実数のデシメーション モードの場合、OVR_T0 スレッショルド ステータスは偶数番号のサンプルすべての LSB として組み込まれ、OVR_T1 スレッショルド ステータスは奇数番号のサンプルすべての LSB として組み込まれます。表 6-3 に、出力、関連データ サンプル、スレッショルド設定、監視期間の式を示します。OVR_N で設定された監視期間内に関連するチャネルが対応するオーバーレンジ スレッショルドを超えると、組込みオーバーレンジ ビットが High になります。監視期間を計算するには、表 6-3 を使用します。

表 6-2. ORA0、ORA1、ORB0、ORB1 出力のオーバーレンジ監視期間

OVR_N	最後のオーバーレンジ イベントからのオーバーレンジ パルス長 (DEVCLK サイクル)
0	8
1	16
2	32
3	64
4	128
5	256
6	512
7	1024

Copyright © 2025 Texas Instruments Incorporated

表 6-3. デュアル チャネル デシメーション モードの組込みオーバーレンジ インジケータのスレッショルドおよび監視期間

オーバーレンジ インジケータ	関連スレッショルド	デシメーション タイプ	オーバーレンジ ステータスの埋込み先	監視期間 (ADC サンプル)
ORA0	OVR_T0	実数のデシメーション (JMODE 9)	チャネル A の偶数番号のサンプル	2^{OVR_N+1} (1)
		複素数のダウンコンバージョン (JMODE 10 ～ 16、JMODE 12 を除く)	チャネル A の同相 (I) サンプル	2^{OVR_N} (1)
ORA1	OVR_T1	実数のデシメーション (JMODE 9)	チャネル A の奇数番号のサンプル	2^{OVR_N+1} (1)
		複素数のダウンコンバージョン (JMODE 10 ～ 16、JMODE 12 を除く)	チャネル A の直交 (Q) サンプル	2^{OVR_N} (1)
ORB0	OVR_T0	実数のデシメーション (JMODE 9)	チャネル B の偶数番号のサンプル	2^{OVR_N+1} (1)
		複素数のダウンコンバージョン (JMODE 10 ～ 16、JMODE 12 を除く)	チャネル B の同相 (I) サンプル	2^{OVR_N} (1)
ORB1	OVR_T1	実数のデシメーション (JMODE 9)	チャネル B の奇数番号のサンプル	2^{OVR_N+1} (1)
		複素数のダウンコンバージョン (JMODE 10 ～ 16、JMODE 12 を除く)	チャネル B の直交 (Q) サンプル	2^{OVR_N} (1)

(1) OVR_N は監視周期レジスタ設定です。

通常、OVR_T0 スレッショルドはフルスケール値 (たとえば 228) の近くに設定されます。スレッショルドがトリガされると、一般的なシステムはシステム ゲインを停止して、クリッピングを防止できます。OVR_T1 スレッショルドは、これよりかなり低く設定できます。たとえば、OVR_T1 スレッショルドは 64 (ピーク入力電圧 −12dBFS) に設定できます。入力信号が強い場合、OVR_T1 スレッショルドが時々トリップされます。入力がかなり弱い場合、スレッショルドはトリップされません。ダウンストリーム ロジック デバイスは OVR_T1 ビットを監視します。OVR_T1 が長時間 Low のまま維持された場合は、スレッショルドが時々トリップされる (信号のピーク レベルが −12dBFS を上回る) まで、システムのゲインを上げることができます。

6.3.2.4 コード エラー レート (CER)

ADC コアは、サンプル内でビット誤差を生成できます。これは多くの場合 *コード エラー (CER)* または *スパークル コード* と呼ばれ、理想的でないコンパレータ制限によって引き起こされるメタ安定性が原因です。ADC12DJ3200QML-SP は独自の ADC アーキテクチャを採用しており、従来のパイプライン方式のフラッシュや逐次比較型 (SAR) ADC からコード誤差率を大幅に向上できます。ADC12DJ3200QML-SP のコード誤差レートは、同等サンプリング レートでは他のアーキテクチャで実現できるものと比べて数桁優れているため、信号の信頼性を大幅に向上できます。

6.3.3 タイムスタンプ

TMSTP+および TMSTP–差動入力をタイム・スタンプ入力として使用し、サンプリングされた信号に対する外部トリガ・イベントのタイミングに基づいて、特定のサンプルをマークできます。タイムスタンプ機能を使用してタイムスタンプ データを出力するには、TIMESTAMP_EN (LSB 制御ビット出力レジスタ を参照) を設定する必要があります。イネーブルにすると、12 ビット ADC デジタル出力の LSB は TMSTP± 入力のステータスを報告します。実質的に、12 ビット出力サンプルは 12 ビット コンバータの上位 11 ビットで構成され、12 ビット出力サンプルの LSB は、ADC コアと同じレイテンシでパラレル 1 ビットコンバータ (TMSTP±) の出力です。8 ビット動作モードでは、8 ビット出力サンプルの LSB が使用され、タイムスタンプ ステータスが出力されます。このトリガは、差動 TMSTP+ および TMSTP– 入力に適用される必要があります。このトリガは、ADC サンプリング クロックに非同期に設定でき、アナログ入力とほぼ同時にサンプリングされます。デシメーション付き JMODE が選択されている場合、タイムスタンプを使用できません。代わりに SYSREF を使用して決定論的レイテンシを実現するには、JESD204B サブクラス 1 方式による同期を実現する必要があります。

Copyright © 2025 Texas Instruments Incorporated

6.3.4 クロック供給

ADC12DJ3200QML-SP のクロック供給サブシステムには、デバイス クロック (CLK+、CLK–) と SYSREF (SYSREF+、SYSREF–) の 2 つの入力信号があります。クロック供給サブシステム内には、ノイズのないアパーチャ遅延調整 (t_{AD} 調整)、クロック デューティ サイクル コレクタ、および SYSREF キャプチャ ブロックがあります。図 6-3 に、クロック入力システムを示します。

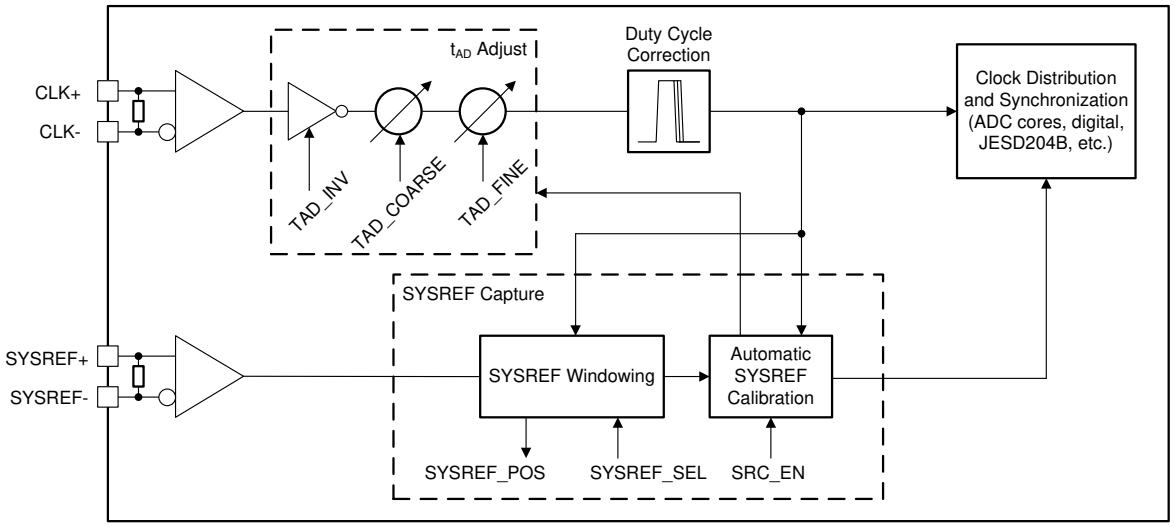


図 6-3. ADC12DJ3200QML-SP のクロック供給サブシステム

このデバイス クロックは、ADC コアのサンプリング クロックとして使用されるほか、デジタル処理とシリアライザ出力のクロック供給にも使用されます。低ノイズ (低ジッタ) のデバイス クロックを使用して、ADC 内で高い信号対雑音比 (SNR) を維持します。デュアル チャネル モードにおいて、各入力のアナログ入力信号はデバイス クロックの立ち上がりエッジでサンプリングされます。シングル チャネル モードでは、デバイス クロックの立ち上がりエッジと立ち下がりエッジの両方を使用してアナログ信号をキャプチャし、ADC に必要な最大クロック レートを低減します。ノイズなしのアパーチャ遅延調整 (t_{AD} 調整) を使用すると、ユーザーは ADC のサンプリング インスタンスを細かいステップでシフトし、複数の ADC12DJ3200QML-SP を同期したり、システムのレイテンシを微調整したりできます。ADC12DJ3200QML-SP にはデューティ サイクル補正が実装されており、外部デバイス クロックの要件を緩和すると同時に、高性能を維持できます。表 6-4 に、デュアル チャネル モードおよびシングル チャネル モードでのデバイスのクロック インターフェイスを示します。

表 6-4. デバイス クロックと動作モードとの関係

動作モード	サンプリング レートと f_{CLK} との関係	即時のサンプリング
デュアル チャネル モード	1 x f_{CLK}	立ち上がりエッジ
シングル チャネル モード	2 x f_{CLK}	立ち上がりエッジと立ち下がりエッジ

SYSREF は、JESD204B Subclass-1 の実装に使用される決定論的レイテンシのシステム・タイミング・リファレンスです。SYSREF は決定論的レイテンシを実現し、マルチデバイスの同期を行うために使用されます。再現可能なレイテンシと同期を実現するには、正しいデバイス・クロック・エッジによって SYSREF をキャプチャする必要があります。ADC12DJ3200QML-SP は SYSREF ウィンドウ処理機能と SYSREF 自動較正を備えているため、外部クロック回路の要件が容易になり、同期プロセスを簡素化できます。SYSREF は、シングルパルスまたは周期クロックとして実装できます。定期的な実装では、SYSREF はローカル マルチフレーム クロック周波数と等しくするか、または整数分周する必要があります。有効な SYSREF 周波数を計算するには、式 2 を使用します。

$$f_{SYSREF} = \frac{R \times f_{CLK}}{10 \times F \times K \times n} \quad (2)$$

Copyright © 2025 Texas Instruments Incorporated

ここで、

- R と F は、JMODE 設定によって設定されます（表 6-18 を参照）
- f_{CLK} はデバイス・クロック周波数（CLK±）です
- K はプログラムされたマルチフレーム長です（有効な K 設定については、表 6-18 を参照）。
- n は任意の正の整数です

6.3.4.1 ノイズなしのアパーチャ遅延調整 (t_{AD} 調整)

ADC12DJ3200QML-SP には、t_{AD} 調整と呼ばれるデバイス クロック (サンプリング クロック) 入力パスの遅延調整が含まれており、複数のデバイス間でサンプリング インスタンスを揃えるため、または複数の ADC12DJ3200QML-SP の外部インターリーブを行うために、デバイス内のサンプリング インスタンスをシフトするために使用できます。さらに、t_{AD} 調整を使用して SYSREF 自動較正を行うと、同期が簡素化されます。「*SYSREF 自動較正*」セクションを参照してください。アパーチャ遅延調整は、クロック パスにノイズが追加されることはないように実装されていますが、TAD_COARSE の値が大きい場合、内部クロック パスの減衰に起因して、アパーチャ ジッタ (t_{AJ}) がわずかに劣化する可能性があります。アパーチャ ジッタの劣化により、高い入力周波数で信号対雑音比が多少低下します（「*スイッチング特性*」表の t_{AJ} を参照）。この機能は、DEVCLK タイミング調整ランプ制御レジスタ の TAD_INV、TAD_COARSE、TAD_FINE を使ってプログラムされます。TAD_INV を設定すると入力クロックが反転し、クロック周期の半分に等しい遅延が発生します。表 6-5 に、TAD_COARSE および TAD_FINE 可変アナログ遅延のステップ サイズと範囲を示します。3 つの遅延オプションはすべて独立しており、組み合わせて使用できます。デバイス内のすべてのクロックは、プログラムされた t_{AD} 調整量によってシフトされるため、JESD204B シリアル出力のタイミングがシフトし、SYSREF のキャプチャに影響を及ぼします。

表 6-5. t_{AD} 調整の調整範囲

調整パラメータ	調整ステップ	遅延設定	最大遅延
TAD_INV	1 / (f_{CLK} × 2)	1	1 / (f_{CLK} × 2)
TAD_COARSE	「*スイッチング特性*」表の $t_{TAD(STEP)}$ を参照してください	256	「*スイッチング特性*」表の $t_{TAD(MAX)}$ を参照してください
TAD_FINE	「*スイッチング特性*」表の $t_{TAD(STEP)}$ を参照してください	256	「*スイッチング特性*」表の $t_{TAD(MAX)}$ を参照してください

コンバータ間のタイミング調整を維持するには、安定した電源電圧とデバイス温度のマッチングを行う必要があります。

通常動作中にアパーチャ遅延の調整は即座に変更できますが、JESD204B データ リンクに短時間のアップセットが発生する場合があります。TAD_RAMP を使用して、JESD204B リンクが同期を失う可能性を低減します。「*アパーチャ遅延ランプ制御 (TAD_RAMP)*」セクションを参照してください。

6.3.4.2 アパーチャ遅延ランプ制御 (TAD_RAMP)

ADC12DJ3200QML-SP には、t_{AD} 調整設定を、新しく書き込まれた TAD_COARSE 値に向かって徐々に調整する機能が含まれています。この機能により、最小の内部クロック回路グリッチを使って t_{AD} 調整設定を調整できます。TAD_RAMP_RATE パラメータを使用すると、低速 (256 t_{CLK} サイクルごとに 1 つの TAD_COARSE LSB) または高速なランプ (256 t_{CLK} サイクルごとに 4 つの TAD_COARSE LSB) のどちらかを選択できます。TAD_RAMP_EN パラメータは、ランプ機能を有効にし、それ以降の TAD_COARSE への任意の書き込みによって、新しいランプが開始されます。

6.3.4.3 SYSREF キャプチャによるマルチ デバイス同期および決定論的レイテンシ

クロック処理サブシステムは、マルチデバイスの同期と確定的レイテンシを実現するために大きな役割を果たしています。ADC12DJ3200QML-SP は JESD204B サブクラス 1 方式を使用して、決定論的なレイテンシと同期を実現します。サブクラス 1 では、システムの各電源オン時およびシステムの各デバイスで、SYSREF 信号を決定論的デバイス クロック (CLK±) エッジでキャプチャする必要があります。この要件には、CLK±に対する SYSREF のセットアップとホールドの制約が必要であり、この制約はシステムのあらゆる動作条件にわたってギガサンプル・クロック・レートで満たすのが困難な場合があります。ADC12DJ3200QML-SP は以下に示すように、この同期プロセスを簡素化し、システム タイミングの制約を緩和するための多数の機能を備えています：

Copyright © 2025 Texas Instruments Incorporated

- ADC12DJ3200QML-SP は、シングル チャネル モードでデュアル エッジ サンプリング (DES) を使用し、CLK± 入力周波数を半分に低減し、SYSREF のタイミング ウィンドウを 2 倍にします (表 6-4 を参照)。
- SYSREF 位置検出器 (CLK± を基準とします) と、選択可能な SYSREF サンプリング位置により、あらゆる条件についてセットアップ時間とホールド時間を満たすことができます。「*SYSREF 位置検出器およびサンプリング位置の選択 (SYSREF ウィンドウ処理)*」セクションを参照してください
- 使いやすい SYSREF 自動較正では、アパーチャ タイミング調整ブロック (t_{AD} 調整) を使用して、(ADC サンプリング インスタンスの位相に基づいて SYSREF を調整するのではなく) SYSREF の位相に基づいて ADC サンプリング インスタンスをシフトします。「*SYSREF 自動較正*」セクションを参照してください

6.3.4.3.1 SYSREF 位置検出器およびサンプリング位置選択 (SYSREF ウィンドウ処理)

SYSREF ウィンドウ化ブロックは、最初に CLK± の立ち上がりエッジに対する SYSREF の位置を検出してから、目的の SYSREF サンプリング インスタンス (CLK± の遅延版) を選択するために使用され、セットアップおよびホールドのタイミング マージンを最大化します。多くの場合、すべてのシステム (デバイス間のばらつき) と条件 (温度および電圧の変化) のタイミングを満たすには、単一の SYSREF サンプリング位置 (SYSREF_SEL) で十分です。ただし、この機能を使用して、動作条件の変化に応じた SYSREF の移動を追跡してタイミング ウィンドウを拡大することや、システムごとに公称条件で独自の最適値を見つけることで製造テスト時のシステム間の変動を排除することもできます。

このセクションでは、SYSREF ウィンドウ処理ブロックの適切な使用方法について説明します。最初に、デバイス クロックと SYSREF をデバイスに印加します。デバイス クロック サイクルに対する SYSREF の位置が決定され、SYSREF キャプチャ位置レジスタ の SYSREF_POS ビットに保存されます。SYSREF_POS が有効になる前に、SYSREF± 入力に少なくとも 3 つの立ち上がりエッジを印加する必要があります。SYSREF_POS の各ビットは、SYSREF サンプリング位置の可能性を表します。SYSREF_POS のビットが 1 に設定されている場合、対応する SYSREF サンプリング位置にはセットアップまたはホールド違反の可能性があります。有効な SYSREF サンプリング位置 (0 に設定される SYSREF_POS の位置) を決定するときは、その SYSREF_POS の位置に対応する値に クロック制御レジスタ 0 の SYSREF_SEL を設定することで、目的のサンプリング位置を選択できます。2 つのセットアップ インスタンスとホールド インスタンスの中間サンプリング位置が選択されます。理想的には、SYSREF_POS および SYSREF_SEL は、システムの公称動作条件 (温度および電源電圧) で実行され、動作条件変動に対して最大のマージンを確保します。このプロセスは最終テストで実行でき、最適な SYSREF_SEL 設定を保存して、システム電源投入時に使用できます。さらに、SYSREF_POS を使用して、システムの温度と電源電圧をスイープすることで、システムの動作条件全体にわたって CLK± と SYSREF± との間のスキューの特性を決定できます。CLK± から SYSREF± の間のスキューに大きな変動があるシステムでは、この特性評価を使用することで、システムの動作条件が変化したときの最適な SYSREF サンプリング位置を追跡できます。CLK± と SYSREF± が単一のクロックデバイスから供給される場合など、システムが適切にマッチしている場合、すべての条件を満たすタイミング値を 1 つ見つけることができます。

注

SYSREF 自動較正を使用する場合は、SYSREF_SEL を 0 に設定する必要があります。「*SYSREF 自動較正*」セクションを参照してください。

各 SYSREF_POS のサンプリング位置の間のステップ サイズは、SYSREF_ZOOM を使用して調整できます。SYSREF_ZOOM が 0 に設定されている場合、遅延ステップは粗くなります。SYSREF_ZOOM が 1 に設定されている場合は、遅延ステップは細かくなります。SYSREF_ZOOM が有効な場合と無効な場合の遅延ステップ サイズについては、「*スイッチング要件*」 表を参照してください。一般に、遷移領域 (SYSREF_POS で 1 で定義) が観測されない場合を除き、常に SYSREF_ZOOM を使用する (SYSREF_ZOOM = 1) ことを推奨しますが、これは低クロック レートの場合に起こり得ます。SYSREF_POS のビット 0 および 23 は、これらの設定がタイミング違反に近いかどうかを判定する十分な情報がないため、常に 1 に設定されます。ただし、実際の有効なウィンドウはこれらのサンプリング位置を超えて拡張できます。SYSREF_SEL にプログラムされる値は、SYSREF_POS の目的のビット位置を表す 10 進数です。表 6-6 に、SYSREF_POS の読み取り値の例と、最適な SYSREF_SEL 設定を示します。SYSREF_POS ステータス レジスタでは 24 のサンプリング位置が指定されますが、SYSREF_SEL では最初の 16 のサンプリング位置のみが選択可能であり、SYSREF_POS のビット 0 から 15 に対応しています。追加の SYSREF_POS ステータス ビットは、SYSREF 有効ウィン

Copyright © 2025 Texas Instruments Incorporated

ドウについての追加情報を提供することのみを目的としています。電源電圧による遅延変動のため、SYSREF_SEL の値をより小さい値に選択しますが、4 番目の例では値 15 を使用するとマージンが追加され、代わりに選択できます。

表 6-6. SYSREF_POS 読み取り値と SYSREF_SEL の選択例

SYSREF_POS[23:0]			SYSREF_SEL の最適な設定
0x02E[7:0] (最大遅延)	0x02D[7:0](1)	0x02C[7:0](1) (最小遅延)	
b10000000	b0110000 0	b00011001	8 または 9
b10011000	b00000000	b00110001	12
b10000000	b01100000	b0 0000001	6 または 7
b10000000	b00000011	b00000001	4 または 15
b10001100	b01100011	b00011001	6

(1) 赤色の着色は、表の最後の列に示されているように、選択されたビットを示しています。

6.3.4.3.2 SYSREF 自動較正

ADC12DJ3200QML-SP には SYSREF 自動較正機能があり、ギガ サンプルのデータ コンバータの SYSREF をキャプチャする場合に関連する、多くの場合で困難なセットアップ時間やホールド時間を軽減できます。SYSREF 自動較正は、t_{AD} 調整機能を使用してデバイス クロックをシフトし、SYSREF のセットアップおよびホールド時間を最大化するか、SYSREF の立ち上がりエッジに基づいてサンプリング インスタンスを整列させます。

ADC12DJ3200QML-SP は、適切なデバイス クロックが印加され、通常動作用にプログラムされてから、SYSREF 自動較正を開始する必要があります。SYSREF 自動較正開始の準備完了時に、連続的な SYSREF 信号を印加する必要があります。SYSREF 自動較正を使用する場合、SYSREF は連続 (周期的) 信号である必要があります。SRC_CFG レジスタを使用して SYSREF 自動較正を構成した後、SYSREF 較正イネーブル レジスタ の SRC_EN を High に設定して、較正プロセスを開始します。SRC_EN を High に設定すると、デバイス クロックの立ち下がりエッジが SYSREF 立ち上がりエッジに内部的に整列するまで、ADC12DJ3200QML-SP は最適な t_{AD} 調整設定を検索します。SYSREF 較正ステータス レジスタの TAD_DONE を監視することで、SYSREF 較正が完了したことを確認できます。デバイス クロックの立ち下がりエッジを SYSREF の立ち上がりエッジに合わせることで、SYSREF 自動較正により、デバイス クロックに対する内部 SYSREF セットアップ時間とホールド時間が最大化され、SYSREF の立ち上がりエッジに基づいてサンプリング インスタントも設定されます。SYSREF 自動較正が完了したら、残りの起動手順を実行してシステムの起動を完了できます。

マルチデバイス同期の場合、SYSREF の立ち上がりエッジ タイミングをすべてのデバイスで一致させる必要があります。したがって、共通の SYSREF ソースから各 ADC12DJ3200QML-SP までのパターン長を一致させる必要があります。各デバイスの SYSREF 立ち上がりエッジ間にスキューがあると、デバイス間のサンプリング インスタンスでさらなる誤差が発生しますが、システムの起動から各デバイスを経由する起動まで、繰り返し可能な決定論的レイテンシを達成する必要があります。JESD2048 レシーバ内で適切な弾性バッファのリリース ポイントが選択されている場合、マルチデバイスの同期を実現するために、他の設計要件は必要ありません。

図 6-4 に、SYSREF 較正手順のタイミング図を示します。最適化されたセットアップ時間とホールド時間は、それぞれ $t_{SU(OPT)}$ と $t_{H(OPT)}$ として表示されます。この図では、内部信号の位相がデバイス内で揃っており、デバイス クロックまたは SYSREF の外部 (印加された) 位相とは揃っていないため、デバイス クロックおよび SYSREF を *内部* と呼びます。

Copyright © 2025 Texas Instruments Incorporated

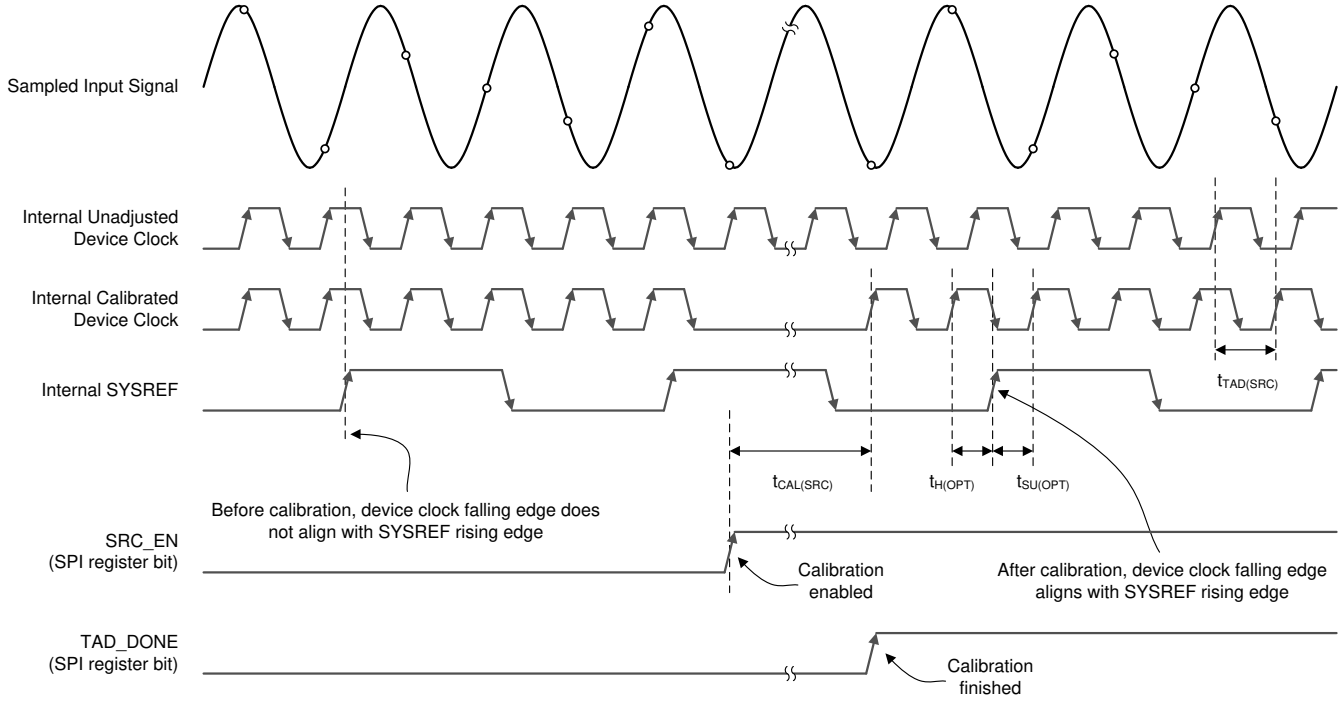


図 6-4. SYSREF 較正のタイミング図

完了すると、SYSREF 自動較正で検出される t_{AD} 調整設定を SYSREF 較正ステータス レジスタ の SRC_TAD から読み出すことができます。較正後、システムはパワーダウンまで、較正済み t_{AD} 調整設定を引き続き使用します。ただし、必要に応じて SYSREF 較正を無効化し、システムの要求に応じて t_{AD} 調整設定を微調整することもできます。また、SYSREF 自動較正は、各システムに最適な t_{AD} 調整設定の製品テスト (または定期的な再較正) 時にも実行できます。システム起動時に TAD レジスタ (TAD_INV、TAD_COARSE、TAD_FINE) にこの値を保存および書き込みできます。

ADC 較正 (フォアグランドまたはバックグラウンド) が実行されているときは、SYSREF 較正を実行しないでください。バックグラウンド キャリブレーションが目的の使用事例である場合、SYSREF 較正の使用時にバックグラウンド キャリブレーションを無効化し、TAD_DONE が High になった後でバックグラウンド キャリブレーションを再有効化してください。SYSREF 較正を使用する場合、クロック制御レジスタ 0 の SYSREF_SEL を 0 に設定する必要があります。

SYSREF 較正は、非反転型 (TAD_INV = 0) と反転クロック極性 (TAD_INV = 1) の両方を使用して TAD_COARSE 遅延を検索し、必要な TAD_COARSE 設定を最小化することで、クロック パスでの損失を最小限に抑えてアパーチャ ジッタ (t_{AJ}) を低減します。

6.3.5 デジタル ダウン コンバータ (デュアル チャネル モードのみ)

アナログ電圧をデジタル値に変換した後、デジタル化されたサンプルを JESD204B インターフェイス ブロック (DDC バイパス) に直接送信するか、周波数変換とデシメーションの目的でデジタル ダウンコンバージョン (DDC) ブロックに送信します (デュアル チャネル モードのみ)。周波数変換とデシメーションを行うと、特定の周波数帯域を選択してデジタル データ ストリームで出力すると同時に、実効データ レートとインターフェイスの速度または幅を低減できます。DDC は、デジタル処理によって ADC のノイズ スペクトル密度 (NSD) 性能が低下しないように設計されています。図 6-5 に、ADC12DJ3200QML-SP のチャネル A のデジタル ダウン コンバータを示します。チャネル B は、DIG_BIND_B で選択された入力データと同じ構造を持ち、NCO 選択マルチプレクサはピン NCOB[1:0] または CSELB[1:0] で制御されます。

Copyright © 2025 Texas Instruments Incorporated

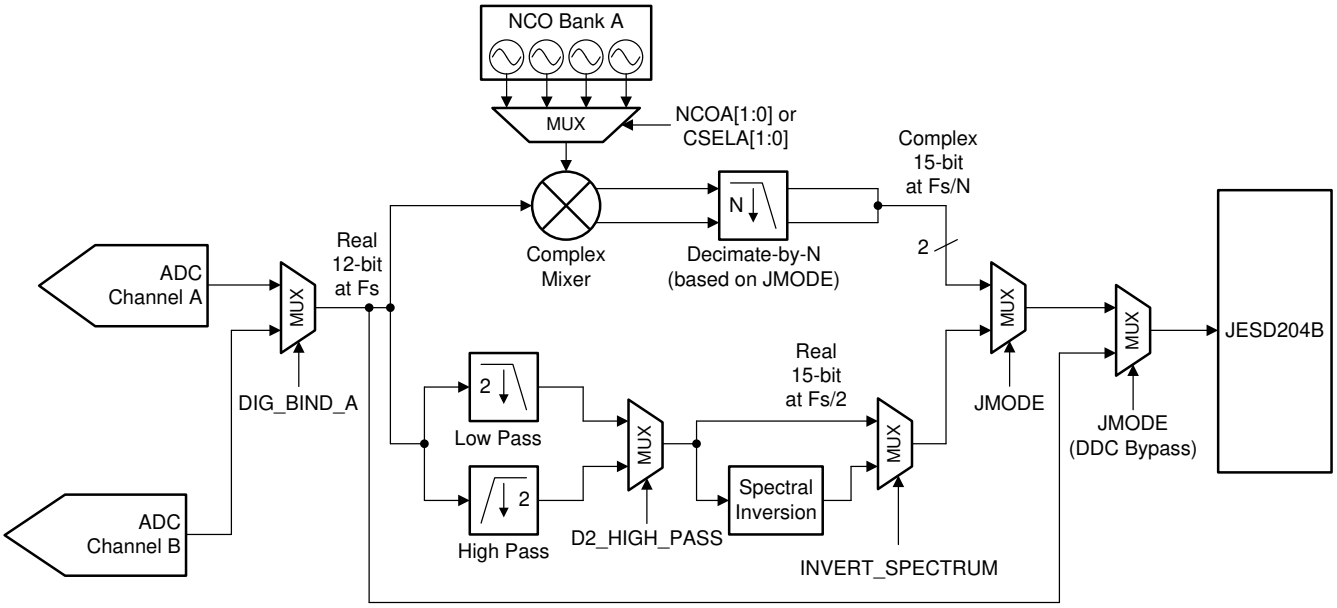


図 6-5. チャネル A デジタル ダウンコンバージョン ブロック (デュアル チャネル モードのみ)

6.3.5.1 数値制御オシレータと複素ミキサ

DDC は、複素数値制御発振器 (NCO) と複素ミキサを内蔵しています。発振器によって生成される複素指数シーケンスを 式 3 に示します。

$$x[n] = e^{j\omega n} \quad (3)$$

周波数 (ω) は 32 ビット レジスタ設定により指定されます。複素指数シーケンスに、ADC からの実数入力を乗算し、目的のキャリアを $f_{IN} + f_{NCO}$ に等しい周波数にミックスします。ここで、f_{IN} は (アンダーサンプリング システムの場合) エイリアシング後のアナログ入力周波数であり、f_{NCO} はプログラムされた NCO 周波数です。

6.3.5.1.1 NCO 高速周波数ホッピング (FFH)

高速周波数ホッピング (FFH) は、各 DDC が DDC A の NCOA0 および NCOA1 ピンと、DDC B の NCOB0 および NCOB1 ピンにより制御可能な 4 つの独立した NCO を持つことで可能となります。それぞれの NCO には個別に設定できる独立した周波数設定 (「*基本 NCO 周波数設定モード*」セクションを参照) と初期位相設定 (「*NCO 位相オフセット設定*」セクションを参照) があります。さらに、すべての NCO には、特定の NCO が選択されていないときも動作を続ける独立した位相アキュムレータがあります。これにより、NCO は選択間の位相を維持でき、たとえばダウンストリーム処理で各ホップの後にキャリア リカバリを実行する必要がなくなります。

NCO ホッピングは、NCO GPIO ピンの状態が変化したときに発生します。ピンは非同期で制御されるため、同期スイッチングはできません。関連するレイテンシを 図 6-6 に示します。ここで、t_{TX} と t_{ADC} は「*スイッチング特性*」表に記載されています。表 6-7 のすべてのレイテンシは近似値にすぎません。

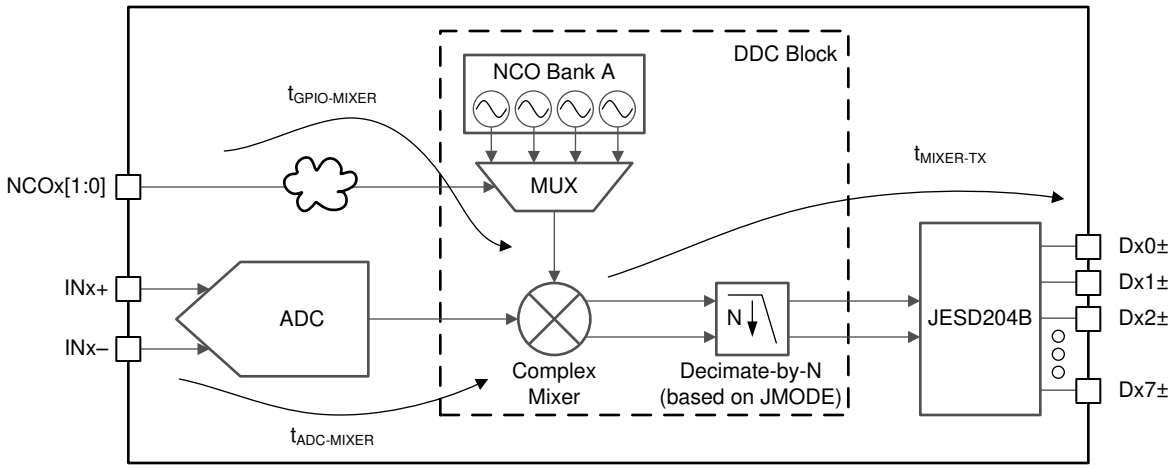


図 6-6. NCO 高速周波数ホッピングのレイテンシ図

表 6-7. NCO 高速周波数ホッピングのレイテンシの定義

レイテンシ パラメータ	値または計算値	単位
$t_{GPIO-MIXER}$	~36 ～ ~40	t_{CLK} サイクル
$t_{ADC-MIXER}$	≒36	t_{CLK} サイクル
$t_{MIXER-TX}$	$(t_{TX} + t_{ADC}) - t_{ADC-MIXER}$	t_{CLK} サイクル

Copyright © 2025 Texas Instruments Incorporated

6.3.5.1.2 NCO の選択

各チャネルの DDC では、4 種類の周波数および位相設定を使用できます。4 つの設定はそれぞれ、NCO 内で異なる位相アキュムレータを使用します。4 つの位相アキュムレータはすべて独立しており連続的に動作するため、異なる NCO 周波数間の迅速な切り替えが可能なため、位相コヒーレントな周波数ホッピングが可能です。

各チャネルに使用される固有の周波数位相ペアは、CMODE が 1 に設定されている場合、NCOA[1:0] または NCOB[1:0] 入力ピンにより選択されます。または、CMODE を 0 (デフォルト) に設定することで、DDC A 用の CSELA と DDC B 用の CSELB で SPI を介して選択された NCO を選択することもできます。GPIO と SPI の両方の選択オプションに対する NCO 選択の論理表を表 6-8 に示します。

表 6-8. GPIO または SPI を使用した NCO 選択の論理表

NCO の選択	CMODE	NCOx1	NCOx0	CSELx[1]	CSELx[0]
GPIO を使用する NCO 0	1	0	0	X	X
GPIO を使用する NCO 1	1	0	1	X	X
GPIO を使用する NCO 2	1	1	0	X	X
GPIO を使用する NCO 3	1	1	1	X	X
SPI を使用する NCO 0	0	X	X	0	0
SPI を使用する NCO 1	0	X	X	0	1
SPI を使用する NCO 2	0	X	X	1	0
SPI を使用する NCO 3	0	X	X	1	1

各位相アキュムレータの周波数は、FREQAx、FREQBx (x = 0 ～ 3)、およびオプションで NCO_RDIV レジスタ設定によって個別にプログラムされます。各アキュムレータの位相オフセットは、PHASEAx および PHASEBx (x = 0 ～ 3) レジスタ設定によって個別にプログラムされます。

6.3.5.1.3 基本 NCO 周波数設定モード

基本 NCO 周波数設定モード (NCO _RDIV = 0x0000) では、NCO 周波数設定は 32 ビットのレジスタ値 FREQAx と FREQBx (x = 0 ～ 3) によって設定されます。DDC A の NCO 周波数は、式 4 を使用して計算できます。ここで、FREQAx を FREQBx に置き換えると、DDC B の NCO 周波数を計算できます。

$$f_{(NCO)} = FREQAx \times 2^{-32} \times f_{(DEVCLK)} \ (x = 0 – 3) \quad (4)$$

注

動作中に FREQAx および FREQBx レジスタ設定を変更すると、非決定論的な NCO 位相になります。決定論的位相が必要な場合、NCO を再同期する必要があります。「*NCO 位相同期*」セクションを参照してください。

6.3.5.1.4 有理 NCO 周波数設定モード

基本的な NCO 周波数モードでは、周波数ステップ サイズが非常に小さく、多くの周波数を合成できますが、アプリケーションでは 2 つの周波数ステップの間に収まる非常に特殊な周波数が必要な場合があります。たとえば、f_S が 2457.6MHz に等しく、目的の $f_{(NCO)}$ が 5.02MHz に等しい場合、FREQAx の値は 8773085.867 です。分数部分を切り捨てると、$f_{(NCO)}$ が 5.0199995MHz に等しくなり、これは目的の周波数ではありません。

目的の周波数を生成するために、NCO_RDIV パラメータを使用して、位相アキュムレータを誤差なしで特定の周波数に到達させるように強制します。まず、必要な NCO 周波数ステップに適した周波数ステップ サイズ ($f_{(STEP)}$) を選択します。$V_{(STEP)}$ の標準値は 10kHz です。次に、式 5 を使用して NCO_RDIV の値をプログラムします。

Copyright © 2025 Texas Instruments Incorporated

$$NCO_RDIV = \frac{(f_{DEVCLK} / f_{STEP})}{64} \quad (5)$$

式 5 の結果は整数値でなければなりません。値が整数でない場合は、結果が整数値になるまでいずれかのパラメータを調整します。

たとえば、NCO_RDIV に対して 1920 を選択します。

注

8192 を超える NCO_RDIV 値は、NCO SFDR 性能が低下する可能性があるため、推奨されません。

ここで、式 6 を使用して FREQAx レジスタ値を計算します。

$$FREQAx = round\left(2^{32} \times f_{NCO} / f_{DEVCLK}\right) \quad (6)$$

または、次の式を使用できます。

$$N = \frac{f_{(NCO)}}{f_{(STEP)}} \quad (7)$$

$$FREQAx = round\left(2^{26} \times N / NCO_RDIV\right) \quad (8)$$

表 6-9 に、10kHz 周波数ステップにおける NCO_RDIV の一般的な値を示します。

表 6-9. 一般的な NCO_RDIV 値 (10kHz 周波数ステップの場合)

f_{CLK} (MHz)	NCO_RDIV
3200	5000
3072	4800
2949.12	4608
2457.6	3840
1966.08	3072
1600	2500
1474.56	2304
1228.8	1920

6.3.5.1.5 NCO 位相オフセット設定

各 NCO の NCO 位相オフセット設定は、16 ビットのレジスタ値 PHASEAx および PHASEBx によって設定されます (ここで、x = 0 ～ 3)。値は左揃えで 32 ビット フィールドに入力され、位相アキュムレータに追加されます。

位相オフセットをラジアン単位で計算するには、式 9 を使用します。

$$\Phi(rad) = PHASEA/Bx \times 2^{-16} \times 2 \times \pi \ (x=0 \text{ to } 3) \quad (9)$$

6.3.5.1.6 NCO 位相同期

FREQAx または FREQBx の値を設定または変更した後、NCO を同期させる必要があります。NCO 同期は、JESD204B リンクが初期化されたとき、または SYSREF によって、NCO _SYNC_ILA および NCO _SYNC_NEXT の設定に基づいて実行されます。JESD204B の初期化手順と、DC 結合および AC 結合の両方の SYSREF 信号についての手順は、次のとおりです。

JESD204B 同期信号を使用した NCO 同期 ($\overline{SYNCSE}$ または TMSTP±):

Copyright © 2025 Texas Instruments Incorporated

1. 通常動作用にデバイスをプログラムする必要があります
2. NCO_SYNC_ILA を 1 に設定します
3. JESD_EN を 0 に設定します
4. FREQAx、FREQBx、PHASEAx、PHASEBx を目的の設定にプログラムします
5. JESD204B レシーバ (ロジック デバイス) では、$\overline{\text{SYNC}}$ を High に設定することで、$\overline{\text{SYNC}}$ 信号をデアサートします
6. JESD_EN を 1 に設定します
7. JESD204B レシーバで $\overline{\text{SYNC}}$ を Low に設定することで、$\overline{\text{SYNC}}$ 信号をアサートし、コード グループ同期 (CGS) プロセスを開始します
8. CGS を達成した後、すべての ADC が同期するように同時に $\overline{\text{SYNC}}$ を High に設定することで $\overline{\text{SYNC}}$ 信号をデアサートし、(*セクション 5.9* 表に規定されているように) 同期のセットアップ時間とホールド時間が満たされていることを確認します

SYSREF (DC 結合) を使用した NCO 同期:

1. 通常動作用にデバイスをプログラムする必要があります
2. JESD_EN を 1 に設定して、JESD204B リンクを開始します (CGS プロセス中、SYNC 信号は通常どおり応答できます)。
3. FREQAx、FREQBx、PHASEAx、PHASEBx を目的の設定にプログラムします
4. SYSREF がディスエーブル (Low に保持) になっていることを確認します
5. NCO 同期を実行するために NCO_SYNC_NEXT を 1 に設定します
6. SYSREF シングル パルスをすべての ADC に発行し、すべてのデバイス内で NCO を同期します

SYSREF (AC 結合) を使用した NCO 同期:

1. 通常動作用にデバイスをプログラムする必要があります
2. JESD_EN を 1 に設定して、JESD204B リンクを開始します (CGS プロセス中、SYNC 信号は通常どおり応答できます)。
3. FREQAx、FREQBx、PHASEAx、PHASEBx を目的の設定にプログラムします
4. SYSREF を連続的に実行します
5. SPI 書き込みの終了時に最後のデータ ビット (LSB) の SCLK の立ち上がりエッジをタイミングすることで、すべての ADC で NCO_SYNC_NEXT を同時に 1 に設定して NCO 同期を実施します。これにより、SCLK の立ち上がりエッジが SYSREF の立ち上がりエッジの後、次の SYSREF の立ち上りエッジの十分前に発生するため、次の SYSREF の立ち上りエッジの前にトリガが作動するようになります (長い SYSREF 周期を推奨)
6. すべての ADC の NCO は、次の SYSREF 立ち上がりエッジによって同期されます

6.3.5.2 デシメーション フィルタ

デシメーション フィルタは、全体で 2、4、8、または 16 のプログラマブルなデシメーションを実現するように構成されています。すべてのフィルタ出力の分解能は 15 ビットです。2 倍デシメーション フィルタは実数出力、4 倍デシメーション、8 倍デシメーション、16 倍デシメーション フィルタは複素数出力を備えています。表 6-10 に、各デシメーション モードの実効出力サンプル レート、使用可能な信号帯域幅、出力形式、ストップバンド減衰を示します。I/Q データと複素数信号伝達の性質上、複素数出力モードで使用できる帯域幅は、等価実数デシメーション モードの 2 倍です。この帯域幅の拡大により、2 倍デシメーション (実数)、または 4 倍デシメーション (複素数) モードでは、有効な出力帯域幅はほぼ同じになります。

表 6-10. 出力サンプル レートと信号帯域幅

デシメーション設定	$f_{(DEVCLK)}$				OUTPUT FORMAT
	出力レート (MSPS)	エイリアス保護された最大信号帯域幅 (MHz)	ストップ バンド減衰	パス バンド リップル	
デシメーションなし	$f_{(DEVCLK)}$	$f_{(DEVCLK)}$ / 2	—	< ±0.001dB	実数信号、12 ビット データ
2 倍のデシメーション	$f_{(DEVCLK)}$ / 2	0.4 × $f_{(DEVCLK)}$ / 2	> 89dB	< ±0.001dB	実数信号、15 ビット データ

Copyright © 2025 Texas Instruments Incorporated

表 6-10. 出力サンプル レートと信号帯域幅 (続き)

デシメーション設定	$f_{(DEVCLK)}$				OUTPUT FORMAT
	出力レート (MSPS)	エイリアス保護された最大信号帯域幅 (MHz)	ストップ バンド減衰	パス バンド リップル	
4 倍デシメーション (D4_AP87 = 0)	$f_{(DEVCLK)}$ / 4	0.8 × $f_{(DEVCLK)}$ / 4	> 90dB	< ±0.001dB	複素数信号、15 ビット データ
4 倍デシメーション (D4_AP87 = 1)	$f_{(DEVCLK)}$ / 4	0.875 × $f_{(DEVCLK)}$ / 4	> 66dB	< ±0.005dB	複素数信号、15 ビット データ
8 倍のデシメーション	$f_{(DEVCLK)}$ / 8	0.8 × $f_{(DEVCLK)}$ / 8	> 90dB	< ±0.001dB	複素数信号、15 ビット データ
16 倍のデシメーション	$f_{(DEVCLK)}$ / 16	0.8 × $f_{(DEVCLK)}$ / 16	> 90dB	< ±0.001dB	複素数信号、15 ビット データ

図 6-7 から 図 6-18 は、コンポジット デシメーション フィルタ応答を提供します。パス バンド セクション (黒のパターン) は、応答のエイリアス保護領域を示します。遷移帯域 (赤のパターン) は、応答の遷移領域、またはエイリアスが遷移領域にある領域を示します。これはエイリアス保護されていないため、必要な信号がこの帯域内に存在してはなりません。エイリアシング バンド (青のパターン) は、デシメーション後にパス バンドへ折り返される周波数帯域に対して適用される減衰を示し、望ましくない信号がパス バンド内に現れないよう十分に低く抑えられています。アナログ入力フィルタを使用して、エイリアシング バンドをさらに減衰させるか、高調波、インターリーブ スプリアス、またはその他の望ましくないスプリアス信号が、デシメーション フィルタ前に目的の信号帯域に折り返されることを防止します。

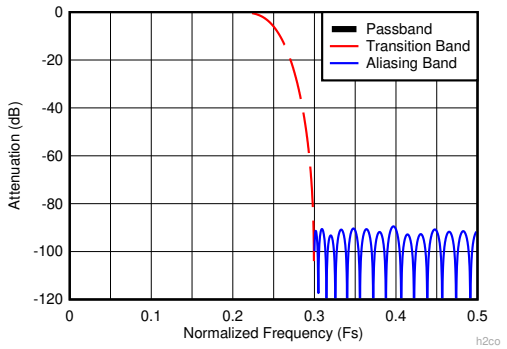


図 6-7. 2 倍デシメーション時の複合応答 (D2_HIGH_PASS = 0)

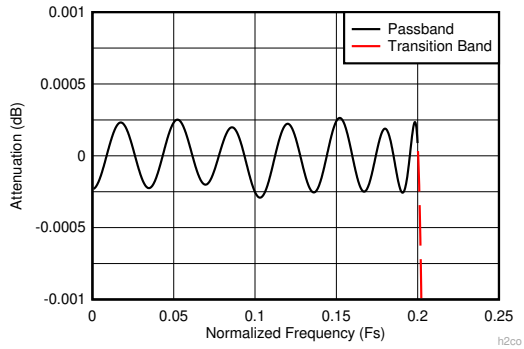


図 6-8. 2 倍デシメーション時の複合拡大パス バンド応答 (D2_HIGH_PASS = 0)

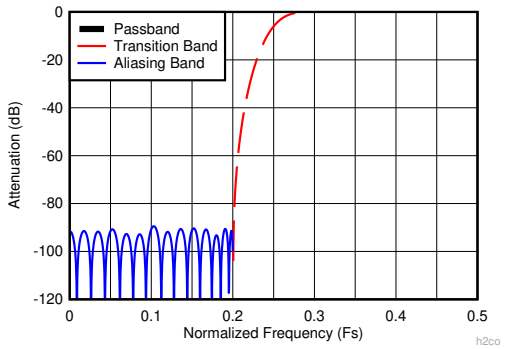


図 6-9. 2 倍デシメーション時の複合応答 (D2_HIGH_PASS = 1)

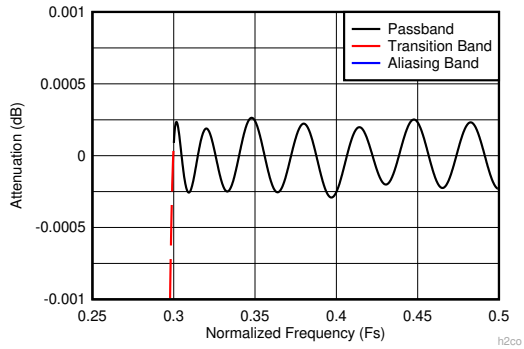


図 6-10. 2 倍デシメーション時の複合拡大パス バンド応答 (D2_HIGH_PASS = 1)

Copyright © 2025 Texas Instruments Incorporated

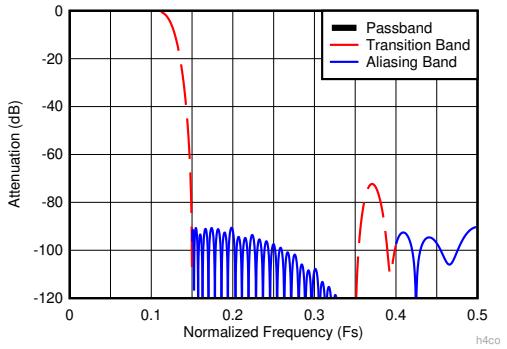


図 6-11. 4 倍デシメーション時の複合応答 (D4_AP87 = 0)

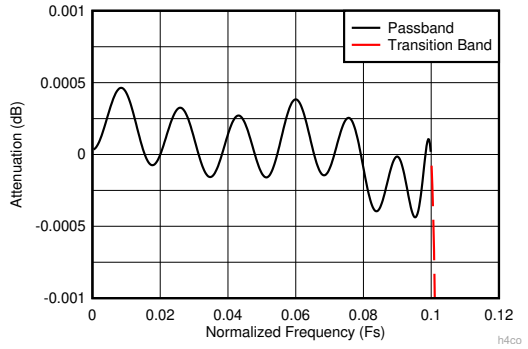


図 6-12. 4 倍デシメーション時の複合拡大パス バンド応答 (D4_AP87 = 0)

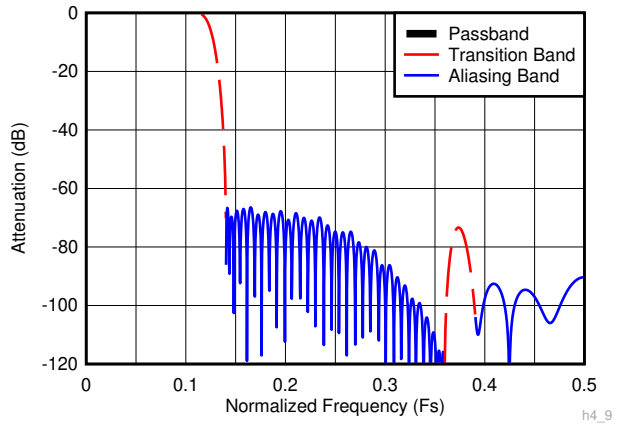


図 6-13. 4 倍デシメーション時の複合応答 (D4_AP87 = 1)

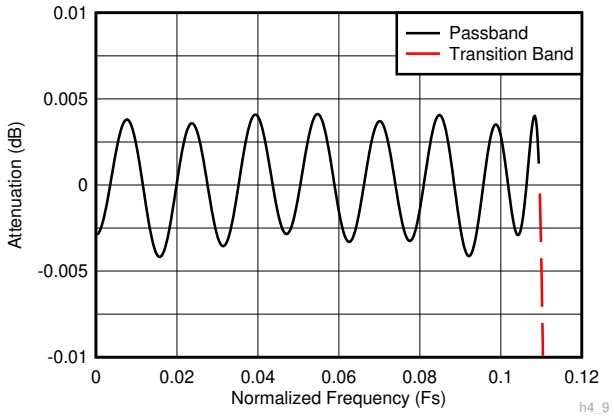


図 6-14. 4 倍デシメーション時の複合拡大パス バンド応答 (D4_AP87 = 1)

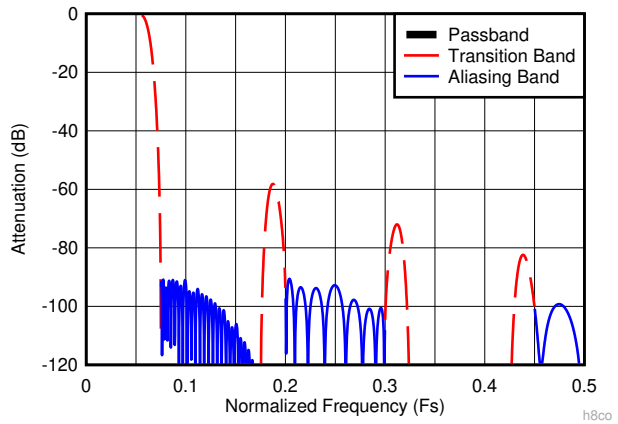


図 6-15. 8 倍デシメーション時の複合応答

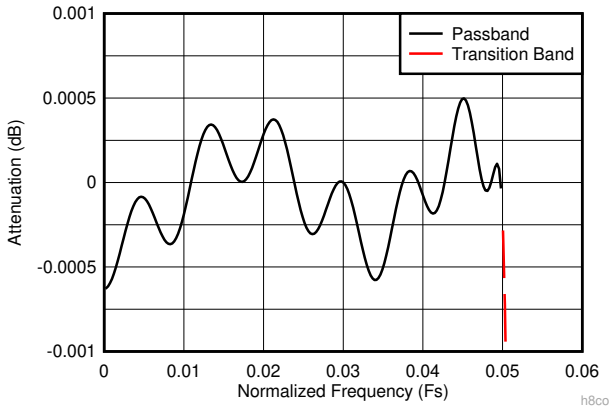


図 6-16. 8 倍デシメーション時の複合拡大パス バンド応答

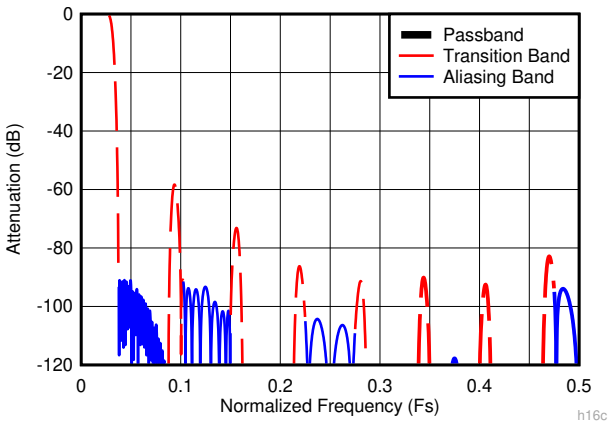


図 6-17. 16 倍デシメーション時の複合応答

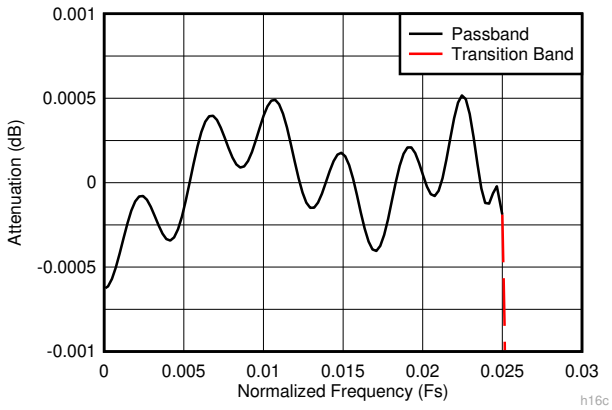


図 6-18. 16 倍デシメーション時の複合拡大パス バンド応答

効率を最大化するため、各デシメーション設定に使用される特定のブロックを使用して、高速フィルタ ブロックのグループを実装し、図 6-7 から 図 6-18 に示す複合応答を実現します。表 6-11 に各デシメーション設定に使用されるフィルタ ブロックの組み合わせを示し、表 6-12 に各フィルタ ブロックの係数の詳細とデシメーション係数を示します。係数は対称型で、センター タップが太字で示されます。

表 6-11. デシメーション モード フィルタの使用

デシメーション設定	使用されるフィルタ ブロック
2	CS80
4 (D4_AP87 = 0)	CS45、CS80
4 (D4_AP87 = 1)	CS45、CS87
8	CS20、CS40、CS80
16	CS10、CS20、CS40、CS80

表 6-12. フィルタ係数の詳細

フィルタ係数の設定 (フィルタのデシメーション係数)											
CS10 (2)		CS20 (2)		CS40 (2)		CS45 (2)		CS80 (2)		CS87 (2)	
-65	-65	109	109	-327	-327	56	56	-37	-37	-15	-15
0	0	0	0	0	0	0	0	0	0	0	0
577	577	-837	-837	2231	2231	-401	-401	118	118	23	23
1024		0	0	0	0	0	0	0	0	0	0
		4824	4824	-8881	-8881	1596	1596	-291	-291	-40	-40
		8192		0	0	0	0	0	0	0	0
				39742	39742	-4979	-4979	612	612	64	64
				65536		0	0	0	0	0	0
						20113	20113	-1159	-1159	-97	-97
						32768		0	0	0	0
								2031	2031	142	142
								0	0	0	0
								-3356	-3356	-201	-201
								0	0	0	0
								5308	5308	279	279
								0	0	0	0
								-8140	-8140	-380	-380
								0	0	0	0
								12284	12284	513	513
								0	0	0	0
								-18628	-18628	-690	-690

Copyright © 2025 Texas Instruments Incorporated

表 6-12. フィルタ係数の詳細 (続き)

フィルタ係数の設定 (フィルタのデシメーション係数)											
CS10 (2)		CS20 (2)		CS40 (2)		CS45 (2)		CS80 (2)		CS87 (2)	
								0	0	0	0
								29455	29455	939	939
								0	0	0	0
								-53191	-53191	-1313	-1313
								0	0	0	0
								166059	166059	1956	1956
								262144		0	0
										-3398	-3398
										0	0
										10404	10404
										16384	

6.3.5.3 出力データ フォーマット

DDC 出力データは、選択した JMODE によって異なります。実数 2 倍デシメーション モード (JMODE 9) は、15 ビットの実数出力データで構成されています。複素数デシメーションモード (JMODE 10 ～ 16) は、JMODE 12 を除くと、15 ビットの複素数データと、2 つのオーバーレンジ スレッショルド検出制御ビットで構成されています。JMODE 12 の出力データは 12 ビットの複素数データで構成されますが、代わりに ORA0、ORA1 および ORB0、ORB1 の出力ピンを使用して監視する必要がある 2 つのオーバーレンジ スレッショルド検出制御ビットは含まれていません。表 6-13 に JMODE 9 のデータ フォーマットを示し、表 6-14 に JMODE 12 を除くすべての JMODE のデータ フォーマットを示します。

表 6-13. 実数デシメーション (JMODE 9) 出力サンプル形式

DDC チャネル	奇数、偶数サンプル	16 ビット出力ワード															
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
A	偶数	DDC 偶数番号のサンプル、15 ビットの出力データ															OVR_T0
A	奇数	DDC 奇数番号のサンプル、15 ビットの出力データ															OVR_T1
B	偶数	DDC B 偶数番号のサンプル、15 ビットの出力データ															OVR_T0
B	奇数	DDC B 奇数番号のサンプル、15 ビットの出力データ															OVR_T1

表 6-14. 複素数デシメーション出力サンプル形式 (JMODE 12 を除く)

I/Q サンプル	16 ビット出力ワード															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I	DDC 同相 (I) 15 ビットの出力データ															OVR_T0
Q	DDC 直交 (Q) 15 ビットの出力データ															OVR_T1

6.3.5.4 デシメーション設定

6.3.5.4.1 デシメーション係数

デシメーション設定は以下の設定で調整可能で、JMODE パラメータにより設定されます。使用可能な JMODE 値と、対応するデシメーション設定については、表 6-18 を参照してください。

- DDC バイパス: デシメーションなし、実数出力
- 2 倍のデシメーション: 実数出力 (JMODE 9)
- 4 倍のデシメーション: 複素数出力 (JMODE 10 ～ 12)
- 8 倍のデシメーション: 複素数出力 (JMODE 13 ～ 14)
- 16 倍のデシメーション: 複素数出力 (JMODE 15 ～ 16)

6.3.5.4.2 DDC ゲイン ブースト

DDC ゲイン ブースト (DDC 構成レジスタ を参照) により、DDC ブロックを介して追加のゲインが得られます。ブーストを 1 に設定すると、デシメーション フィルタ チェーンの合計ゲインは 6.02dB に設定されます。0 に設定すると、合計デシメーション フィルタ チェーンのゲインは 0dB です。この設定は、入力信号の負のイメージがデシメーション フィルタによってフィルタ除去される場合にのみ使用してください。そうしないと、クリッピングが発生する可能性があります。ゲイン ブーストをイネーブルまたはディスエーブルしてもアナログ性能は低下しませんが、適切な性能計算を行うには、リファレンスの出力電力を理解するよう注意する必要があります。

Copyright © 2025 Texas Instruments Incorporated

6.3.6 JESD204B インターフェイス

ADC12DJ3200QML-SP は、データ コンバータ用に JESD204B 高速シリアル インターフェイスを使用して、ADC から受信ロジック デバイスにデータを転送します。ADC12DJ3200QML-SP のシリアル化レーンは、JESD204B の最大レーン速度をわずかに上回る最大 12.8Gbps で動作できます。速度が制限されたロジック デバイスとのインターフェイスには、最大 16 レーンを使用してレーン速度を低減できます。図 6-19 に、JESD204B インターフェイス プロトコルの簡略化したブロック図を示します。

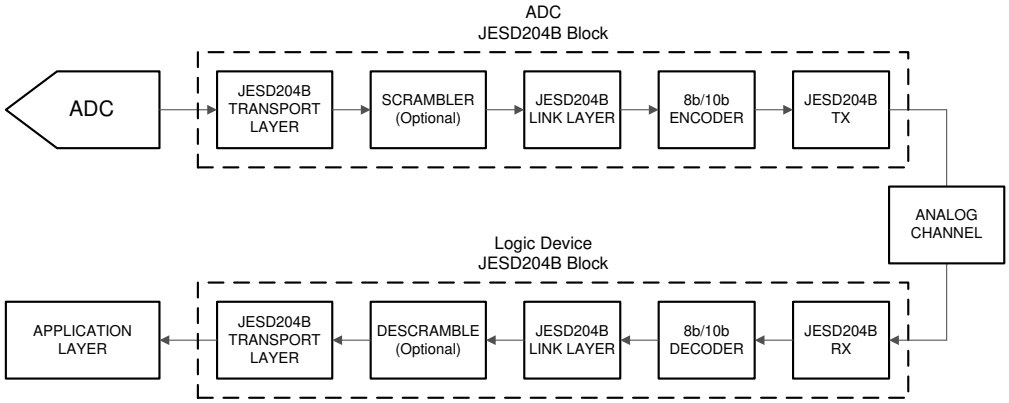


図 6-19. 簡略化した JESD204B インターフェイスの図

JESD204B インターフェイスで使用される各種の信号および関連する ADC12DJ3200QML-SP ピン名を、表 6-15 に参照用に簡単にまとめました。

表 6-15. JESD204B 信号の概要

信号名	ADC12DJ3200QML-SP のピン名	説明
データ	DA0+...DA7+、DA0–...DA7–、DB0+...DB7+、DB0–...DB7–	8b、10b エンコード後の高速シリアル化データ
$\overline{\text{SYNC}}$	$\overline{\text{SYNCSE}}$、TMSTP+、TMSTP–	リンク初期化信号 (ハンドシェイク)。Low に切り替えて、コード グループ同期 (CGS) プロセスを開始します
デバイス クロック	CLK+、CLK–	ADC サンプリング クロック。デジタル ロジックや出力シリアライザのクロック供給にも使用します
SYSREF	SYSREF+、SYSREF–	各 JESD204B デバイスの内部ローカル マルチフレーム カウンタを確定的にリセットするために使用されるシステム タイミング基準

6.3.6.1 トランスポート層

トランスポート層は、ADC 出力 (デシメーション バイパス モード) または DDC 出力からサンプルを取得し、サンプルをオクテット、フレーム、マルチフレーム、レーンにマッピングします。サンプルのマッピングは、JESD204B モードで定義されます。このモードは、L、M、F、S、N、N'、CF などのパラメータで定義されます。ADC12DJ3200QML-SP には、表 6-18 で定義されている多数の事前定義済みトランスポート層モードがあります。ADC12DJ3200QML-SP のトランスポート層の概略構成パラメータを 表 6-16 に示します。単純化するために、トランスポート層モードは JMODE パラメータと目的の K 値を設定するだけで選択されます。参考までに、JESD204B のさまざまな構成パラメータを 表 6-17 に定義します。

6.3.6.2 スクランブル機能

オプションのデータ スクランブル機能を使用して、チャネルを介して転送する前にオクテットをスクランブルできます。送信データのスペクトル ピークの可能性を除去するために、スクランブルをお勧めします。JESD204B レシーバは、デスクラン

Copyright © 2025 Texas Instruments Incorporated

ブラを受信スクランブル化データストリームと自動的に同期させます。初期レーン アライメント シーケンス (ILA) はスクランブルされません。スクランブルは、(JESD204B 制御レジスタ の) SCR を設定することで有効にできます。

6.3.6.3 リンク層

JESD204B ではリンク層が複数の役割を果たします。たとえば、コード境界の確立 (*コード グループ同期 (CGS)* のセクションを参照)、リンクの初期化 (*初期レーン整列シーケンス (ILAS)* のセクションを参照)、データのエンコード (*8b、10b エンコード* のセクションを参照)、リンクの健全性の監視 (*フレームおよびマルチフレーム監視* のセクションを参照) などです。

6.3.6.3.1 コード グループ同期 (CGS)

SYSREF の処理後に JESD204B リンクを初期化する最初のステップは、コード グループ同期を実現することです。リンクを初期化する準備ができたとき、レシーバは最初に同期信号をアサートします。トランスミッタは K28.5 文字のストリームを送信することで要求に応答します。次に、レシーバはその文字クロックを K28.5 文字シーケンスに揃えます。4 つの K28.5 文字が正常に受信されると、コード グループの同期が行われます。レシーバは、CGS に達した後、次のローカル マルチフレーム クロック (LMFC) エッジで同期をデアサートし、トランスミッタが初期レーン アライメント シーケンスを開始するまで待機します。

6.3.6.3.2 初期レーン整列シーケンス (ILAS)

トランスミッタが 同期信号のデアサートを検出した後、トランスミッタは次の LMFC エッジまで待機して、初期レーン整列シーケンスの送信を開始します。ILAS は 4 つのマルチフレームから構成され、それぞれにあらかじめ決められたシーケンスが含まれています。レシーバは ILAS の開始位置を探し、フレームとマルチフレームの境界を決定します。ILAS が各レーンのレシーバに到達すると、レーンはすべてのレシーバが ILAS を受信するまでデータのバッファを開始し、以後のレーンを揃えるためにすべてのレーンから同時に ILAS を解放します。ILAS の 2 番目のマルチフレームには JESD204B 用の構成パラメータが含まれており、これをレシーバが使用してトランスミッタとレシーバの構成が一致していることを確認できます。

6.3.6.3.3 8b/10b エンコーディング

データリンク層は、トランスポート層からの 8 ビット オクテットを 10 ビット文字に変換し、8b/10b エンコーディングを使用してリンクを転送します。8b/10b エンコーディングにより、SerDes リンクの AC カップリングに対する DC バランスと、レシーバがデータクロックを確実に回復するための十分な数のエッジ遷移を実現します。また、8b/10b では、文字のシングル ビット エラーが 8b/10b デコーダ ルックアップ テーブルの 10 ビット文字を見つけることができないか、間違った文字の不一致をもたらす可能性がある場合に、いくつかのエラー検出も提供します。

6.3.6.3.4 フレームおよびマルチフレーム監視

ADC12DJ3200QML-SP は、フレームおよびマルチフレーム監視をサポートしており、JESD204B リンクの健全性を検証します。フレームの最後のオクテットが前のフレームの最後のオクテットと一致する場合、2 番目のフレームの最後のオクテットは /F/ (/K28.7/) 文字に置き換えられます。2 番目のフレームがマルチフレームの最後のフレームである場合は、代わりに /A/ (/K28.3/) 文字が使用されます。スクランブルが有効な場合、フレームの最後のオクテットが 0xFC であれば、トランスミッタはオクテットを /F/ (/K28.7/) 文字に置き換えます。スクランブルでは、マルチフレームの最後のオクテットが 0x7C である場合、トランスミッタはオクテットを /A/ (/K28.3/) 文字に置き換えます。レシーバが /F/ または /A/ 文字を検出すると、レシーバはその文字がフレームまたはマルチフレームの末尾にあるかどうかをチェックし、そのオクテットを適切なデータ文字に置き換えます。誤った位置に整列文字が発生し、リンクの再整列をトリガする場合は、レシーバがエラーを報告できます。

6.3.6.4 物理層

JESD204B 物理層は、電流モードロジック（CML）出力ドライバとレシーバで構成されています。レシーバは、クロック検出 / 回復 (CDR) ユニットを備え、シリアル化されたデータ ストリームからデータ クロックを抽出します。また、物理的転送チャネルのローパス応答を修正するため、イコライザを内蔵できます。同様に、トランスミッタにプリイコライゼーションを含めることで、チャネル全体での周波数依存損失を考慮できます。SerDes リンクの合計到達範囲は、データ・レート、基板材質、コネクタ、イコライゼーション、ノイズとジッタ、必要なビット・エラー性能によって異なります。SerDes レーンは長さを

Copyright © 2025 Texas Instruments Incorporated

一致させる必要はありません。これは、レシーバが最初のレーン・アライメント・シーケンスの間にレーンを整列するためです。

6.3.6.4.1 SerDes プリエンファシス

ADC12DJ3200QML-SP 高速出力ドライバは、転送チャネルのローパス応答を補償するために、プリエンファシスを使用して送信データ ストリームをプリイコライゼーションできます。構成可能なプリエンファシス設定を利用すると、出力駆動波形を、PCB のさまざまな材質と信号伝送距離に合わせて最適化できます。プリエンファシス設定は、シリアライザのプリエンファシス設定 SER_PE (シリアライザのプリエンファシス制御レジスタ 内) により調整されます。値が大きいほどプリエンファシスが大きくなり、損失の多い PCB 材料を補償できます。この調整は、レシーバのアイダイアグラム分析機能と組み合わせて使用するのが最適です。特定のハードウェア構成や必要なラインレートに合わせてアイオープニングを最適化するために、プリエンファシス設定を調整します。

6.3.6.5 JESD204B 対応

JESD204B インターフェイスは、その他の JESD204B パラメータのいずれかを変更しながら、(JESD204B イネーブル レジスタ 内の) JESD_EN を介して無効化する必要があります。JESD_EN が 0 に設定されると、ブロックはリセット状態に保持され、シリアライザはパワーダウンされます。さらに消費電力を節約するため、このセクションのクロックもオフにします。パラメータを必要に応じて設定したときは、JESD204B ブロックを有効にすることができます (JESD_EN を 1 に設定)。

6.3.6.6 複数デバイスの同期と決定論的レイテンシ

JESD204B サブクラス 1 では、シリアル リンク全体で決定論的なレイテンシを実現する方法の概要を説明します。2 つのデバイスが同一の決定論的レイテンシを達成している場合、それらは同期していると判断できます。決定論的であるためには、このレイテンシはシステムの起動からデバイスの起動までに達成される必要があります。決定論的レイテンシを実現するには、2 つの重要な要件があります。1 つ目は SYSREF の適切なキャプチャであり、ADC12DJ3200QML-SP はギガサンプルのクロックレートでこの要件を簡素化するための各種機能を備えています (詳細については、「*複数デバイス同期の SYSREF キャプチャと決定論的レイテンシ*」セクションを参照)。

2 つ目の要件は、レシーバ内で適切な弾性バッファのリリース ポイントを選択することです。ADC12DJ3200QML-SP は ADC であるため、ADC12DJ3200QML-SP は JESD204B リンクのトランスミッタ (TX)、ロジック デバイスはレシーバ (RX) です。弾性バッファは、決定論的レイテンシを実現するための重要なブロックであり、データがトランスミッタからレシーバに伝達されるときにシリアル化されたデータの伝搬遅延の変動を吸収することで遅延を実現します。適切なリリース ポイントとは、遅延変動に対して十分なマージンを確保できるものです。リリース ポイントが適切でない場合、1 つの LMFC 周期のレイテンシ変動が発生します。適切なリリース ポイントを選択するには、LMFC エッジを参照する弾性バッファへのデータの平均到着時間と、すべてのデバイスの予測される遅延変動の合計を知る必要があります。この情報を使用して、LMFC 周期内の無効なリリース ポイントの領域を定義できます。この領域は、すべてのレーンの最小遅延から最大遅延まで延びます。基本的に、リリース ポイントが発生する前に、すべてのレーンのデータがすべてのデバイスに到着することを設計者は確認する必要があります。

この要件を示すタイミング図を、図 6-20 に示します。この図では、2 つの ADC のデータを示しています。2 つ目の ADC は配線距離 (t_{PCB}) が長く、その結果、リンク遅延も長くなります。まず、LMFC 周期の無効領域は、すべてのデバイスのデータ到着時間によって決定されるとおりにマーク オフされます。次に、リリース バッファ遅延 (RBD) パラメータを使用して、リリース ポイントを LMFC エッジから適切な数のフレーム クロックにシフトし、LMFC サイクルの有効な領域内でリリース ポイントが発生するようにします。図 6-20 の場合、有効領域の各側に十分なマージンがあるので、LMFC エッジ (RBD = 0) がリリース ポイントに適した選択肢です。

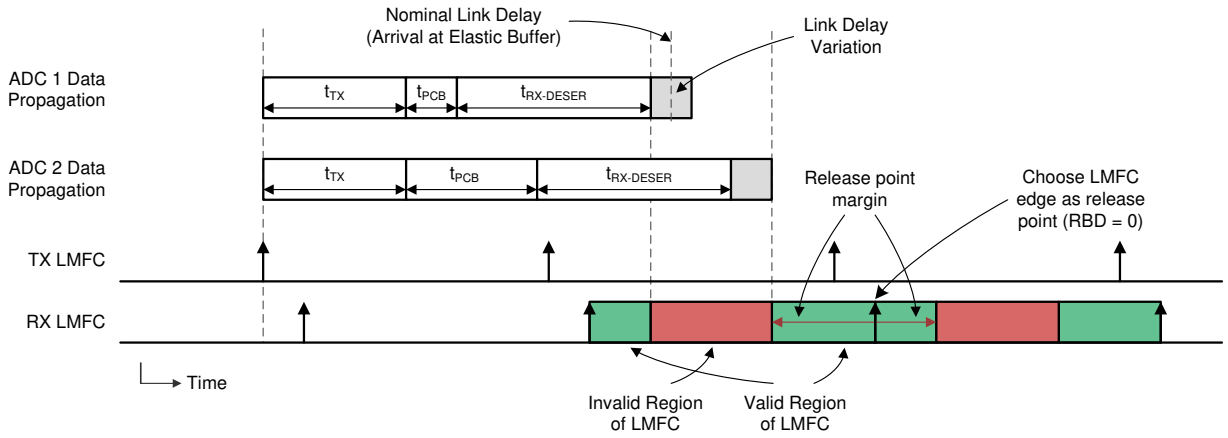


図 6-20. 弾性バッファのリリース ポイント選択における LMFC の有効領域の定義

TX および RX LMFC は必ずしも位相が揃っている必要はありませんが、弾性バッファのリリース ポイントを適切に選択するには、それらの位相を把握することが重要です。また、弾性バッファのリリース ポイントは各 LMFC サイクル内で発生しますが、バッファはすべてのレーンが到着したときにのみ解放されます。このため、合計リンク遅延が単一の LMFC 周期を超える可能性があります。「*JESD204B 複数デバイスの同期:」を参照してください。詳細情報は「要件を分解」テクニカル ブリーフ*を参照してください。

6.3.6.7 Subclass 0 システムでの動作

マルチ ADC の同期と決定論的レイテンシが不要な場合、ADC12DJ3200QML-SP はサブクラス 0 との互換性で動作できます。これらの制限により、このデバイスは SYSREF をアプリケーションしなくても動作できます。内部ローカル マルチフレーム クロックは、タイミングが不明な場合に自動的に自己生成されます。同期は、CGS と ILA を開始するために通常どおり使用されます。

6.3.7 アラームの監視

内部イベントを監視するための組み込みアラームがいくつか用意されています。この機能では、さまざまな種類のアラームとアップセットが検出されます:

1. シリアライザの PLL はロックされていません
2. JESD204B リンクはデータを送信していません(データ送信状態ではありません)
3. SYSREF により、内部クロックが再調整されます
4. 内部クロックに影響を及ぼすアップセット

アラームが発生すると、特定のアラームごとに 1 ビットが ALM_STATUS に設定されます。各アラームビットは、ホストシステムが 1 を書き込んでアラームをクリアするまで設定されたまま維持されます。アラーム タイプがマスクされていない場合(アラーム マスク レジスタを参照)、ALARM レジスタでもアラームが示されます。CALSTAT 出力ピンは、アラームが発生すると High になるアラーム出力として構成できます。較正ピン構成レジスタの CAL_STATUS_SEL ビットを参照してください。

6.3.7.1 NCO エラー検出

NCO_ALM レジスタ ビットは、チャネル A または B の NCO がアップセットされているかどうかを示します。チャネル A の NCO 位相アキュムレータは、チャネル B と連続的に比較されます。アキュムレータが 1 クロック サイクルでも異なる場合、NCO_ALM レジスタ ビットが設定され、ホスト システムが 1 を書き込んでクリアされるまで設定されたままになります。この機能を使用するには、DDC A (PHASEAx、FREQAx) の各 NCO アキュムレータの位相ワードと周波数ワードを、DDC B (PHASEBx、FREQBx) の NCO アキュムレータと同じ値に設定する必要があります。たとえば、PHASEA0 は PHASEB0 と同じであり、FREQA0 は FREQB0 と同じである必要がありますが、PHASEA1 は PHASEA0 とは異なる値に設定できます。この要件により、最終的には DDC ごとに位相コヒーレント周波数ホッピングに使用可能な NCO 周波数の数を 4 個から 2 個に削減できます。DDC B は、NCOB[1:0] ピンを NCOA[1:0] とは異なる値に設定することで、DDC

Copyright © 2025 Texas Instruments Incorporated

A とは異なる NCO 周波数を使用できます。この検出は、NCO が SYSREF または ILA シーケンスの開始によって同期された後 (NCO 同期レジスタ で決定される場合) にのみ有効です。NCO アップセット検出を正しく機能させるには、次の手順を実行します。

1. JESD_EN = 0 をプログラムします
2. デバイスが両方のチャネル (PD_ACH = 0、PD_BCH = 0) を使用するように設定されていることを確認します
3. NCO を使用する JMODE を選択します
4. チャネル A と B のすべての NCO 周波数と位相を同じにプログラムします (例：FREQA0 = FREQB0、FREQA1 = FREQB1、FREQA2 = FREQB2、FREQA3 = FREQB3)
5. 必要に応じて、CMODE レジスタと CSEL レジスタ、または NCOA[1:0] ピンと NCOB[1:0] ピンを使用して、チャネル A とチャネル B の固有の周波数を選択します
6. JESD_EN = 1 をプログラムします
7. NCO を同期させます (ILA を使用、または SYSREF を使用)。「NCO 位相同期」を参照してください
8. NCO_ALM レジスタ・ビットに 1 を書き込むとクリアされます
9. CAL_STATUS_SEL が適切に構成されている場合は、NCO_ALM ステータス ビットまたは CALSTAT 出力ピンを監視します
10. NCO がイネーブル中に周波数レジスタまたは位相レジスタが変更されると、NCO は同期を復帰させることができます
11. ステップ 7 ～ 9 を繰り返します
12. デバイスがグローバル パワーダウンに移行してから終了する場合は、ステップ 7 ～ 9 を繰り返します

Copyright © 2025 Texas Instruments Incorporated

6.3.7.2 クロック エラー検出

CLK_ALM レジスタ ビットは、内部クロックがアップセットされているかどうかを示します。チャネル A のクロックは、チャネル B と連続的に比較されます。クロックが 1 DEVCLK / 2 サイクルでも異なる場合、CLK_ALM レジスタ ビットが設定され、ホスト システムが 1 を書き込んでクリアされるまで設定されたままになります。CLK_ALM レジスタ・ビットを正常に機能させるには、以下の手順に従います:

1. JESD_EN = 0 をプログラムします
2. 部品が両方のチャネル (PD_ACH = 0、PD_BCH = 0) を使用するように設定されていることを確認します。
3. JESD_EN = 1 をプログラムします
4. CLK_ALM = 1 を書き込んで CLK_ALM をクリアします
5. CAL_STATUS_SEL が適切に構成されている場合は、CLK_ALM ステータス ビットまたは CALSTAT 出力ピンを監視します
6. グローバル パワーダウンを終了するとき (MODE または PD ピンを使用)、CLK_ALM ステータス ビットを設定して、CLK_ALM に 1 を書き込むことでクリアする必要があります

6.3.8 温度監視ダイオード

TDIODE+ピンと TDIODE–ピンでは、温度監視ダイオードを内蔵しています。このダイオードは、より高い周囲温度環境でのデバイスの温度監視と特性評価を容易にします。オンチップ ダイオードはあまり特性評価されませんが、既知の周囲温度または基板温度でベースライン測定 (オフセット) を実行し、*電気的特性* に示されるダイオード電圧スロープで線形式を作成することで、ダイオードを効果的に使用できます。「*DC 仕様*」表を参照。デバイスの電源がオフのとき、または PD ピンがアサートされた状態でオフセット測定を実行し、デバイスの自己発熱を最小限に抑えます。PD ピンは、オフセット測定を行うのに十分な時間だけアサートします。推奨モニタリング・デバイスには、テキサス・インスツルメンツの LM95233 デバイスと類似のリモート・ダイオード温度監視製品があります。

6.3.9 アナログ基準電圧

ADC12DJ3200QML-SP のリファレンス電圧は、内部のバンドギャップ基準電圧から導かれます。ユーザーの利便性を高めるために、BG ピンではリファレンス電圧のバッファ付きバージョンを利用できます。この出力は±100µA の出力電流能力を持っています。さらに多くの電流が必要な場合は、BG 出力をバッファする必要があります。外部リファレンス電圧を使用する方法はありませんが、フルスケール入力電圧はフルスケール・レンジ・レジスタの設定により調整できます。独自の方法では、VA11 電源電圧は BG_BYPASS を設定することで、リファレンス電圧として機能できます (内部リファレンス バイパス レジスタ を参照)。

Copyright © 2025 Texas Instruments Incorporated

6.4 デバイスの機能モード

ADC12DJ3200QML-SP は、さまざまな機能モードで動作するように設定できます。これらのモードについては、このセクションで説明します。

6.4.1 デュアル チャネル モード

ADC12DJ3200QML-SP は、CLK+ ピンと CLK– ピンで供給されるクロック周波数 ($f_S = f_{CLK}$) に等しいサンプリング レートのデュアル チャネル ADC として使用できます。このモードでは、2 つの入力 AIN± および BIN± が各チャネルのそれぞれの入力として機能します。このモードは、表 6-18 で説明されているように、目的の構成に適した設定に JMODE を設定するだけで選択されます。DUAL_INPUT を設定することでアナログ入力を交換できます (入力マルチプレクサ制御レジスタ を参照)。

6.4.2 シングル チャネル モード (DES モード)

ADC12DJ3200QML-SP は、CLK+ ピンと CLK– ピンで供給されるクロック周波数 ($f_S = 2 \times f_{CLK}$) の 2 倍に等しいサンプリング レートのシングル チャネル ADC としても使用できます。このモードでは、2 つの ADC チャネルが実質的にインターリーブされ、サンプリング速度が 2 倍のシングル チャネル ADC を形成します。このモードは、表 6-18 で説明されているように、目的の構成に適した設定に JMODE を設定するだけで選択されます。アナログ入力 (INA± または INB± のいずれか) が ADC への入力になりますが、最高の性能を実現するには、INA± を推奨します。アナログ入力は、SINGLE_INPUT を使用して選択できます (入力マルチプレクサ制御レジスタ を参照)。デジタル ダウンコンバータは、シングル チャネル モードでは使用できません。

注

シングル チャネル モードで性能を最適化するには、ADC への入力として INA± を使用します。

6.4.3 JESD204B モード

ADC12DJ3200QML-SP は、シングル チャネルまたはデュアル チャネルの ADC としてプログラムでき、デシメーションあり / なしで、多数の JESD204B 出力形式をサポートします。表 6-16 に、基本的な動作モード設定パラメータと、それらがユーザ設定か派生かをまとめます。

注意

高速データ出力のパワーダウン (DA0±...DA7±、DB0±...DB7±) のパワーダウンが長時間継続すると、特にデータ レートが高い場合に出力シリアライザが損傷する可能性があります。信頼性の高いシリアライザ動作の詳細については、「*パワーダウン モード*」セクションを参照してください。

表 6-16. ADC12DJ3200QML-SP 動作モードの構成パラメータ

パラメータ	説明	ユーザーが設定または求めます	値
JMODE	JESD204B 動作モードでは、シングル チャネルまたはデュアル チャネル モード、およびデシメーション係数の残りの JESD204B パラメータを自動的に導出します	ユーザーが設定済み	JMODE によって設定されます (「JESD204B モード レジスタ」を参照)
D	デシメーション係数	誘導	表 6-18 を参照
DES	1 = シングル チャネル モード、0 = デュアル チャネル モード	誘導	表 6-18 を参照
R	DEVCLK サイクルあたりのレーンあたり送信されるビット数。JESD204B ライン レートは、DEVCLK 周波数 × R です。このパラメータは SerDes PLL の乗算係数を設定するか、SerDes PLL のバイパスを制御します。	誘導	表 6-18 を参照
リンク	使用されている JESD204B リンクの数	誘導	表 6-18 を参照

Copyright © 2025 Texas Instruments Incorporated

表 6-16. ADC12DJ3200QML-SP 動作モードの構成パラメータ (続き)

パラメータ	説明	ユーザーが設定または求めます	値
K	マルチフレームあたりのフレーム数	ユーザーが設定済み	KM1 で設定します (「JESD204B K パラメータ レジスタ」を参照)。表 6-18 で許容される値を参照してください

JESD204B フォーマットを定義するには多くのパラメータが必要です。これらはすべて、初期レーン整列シーケンス中にリンクを介して送信されます。ADC12DJ3200QML-SP では、ほとんどのパラメータは選択した JMODE に基づいて自動的に導出されますが、ユーザが設定したパラメータもいくつかあります。表 6-17 に、これらのパラメータを示します。

表 6-17. JESD204B 初期レーン整列シーケンスパラメータ

パラメータ	説明	ユーザーが設定または求めます	値
ADJCNT	LMFC の調整額 (該当なし)	誘導	常に 0 です
ADJDIR	LMFC の調整方向 (該当なし)	誘導	常に 0 です
BID	Bank ID	誘導	常に 0 です
CF	フレームあたりの制御ワード数	誘導	常に 0 です
CS	サンプルあたりの制御ビット	誘導	ILAS では常に 0 に設定します。実際の使用方法については、表 6-18 を参照してください
DID	リンクの識別に使用されるデバイス識別子	ユーザーが設定済み	DID によって設定されます (「JESD204B DID パラメータ レジスタ」を参照)。表 6-19 を参照してください
F	1 フレームあたりのオクテット (バイト) 数 (レーンあたり)	誘導	表 6-18 を参照
HD	高密度形式 (サンプルをレーンに分割)	誘導	常に 0 です
JESDV	JESD204 標準リビジョン	誘導	常に 1 です
K	マルチフレームあたりのフレーム数	ユーザーが設定済み	KM1 レジスタで設定します。「JESD204B K パラメータ レジスタ」を参照してください
L	リンクごとのシリアル出力レーン数	誘導	表 6-18 を参照
LID	各レーンのレーン ID	誘導	表 6-19 を参照
M	レーンのビットパッキングの決定に使用されるコンバータの数。デバイスの ADC チャネル数と一致しない場合があります	誘導	表 6-18 を参照
N	サンプル分解能 (コントロール ビットとテール ビットを追加する前)	誘導	表 6-18 を参照
N'	コントロール ビットとテール ビットを追加した後のサンプルあたりのビット数	誘導	表 6-18 を参照
S	コンバータ (M)、フレームあたりのサンプル数	誘導	表 6-18 を参照
SCR	スクランブラが有効	ユーザーが設定済み	JESD204B 制御レジスタ で設定します
SUBCLASSV	デバイス サブクラス バージョン	誘導	常に 1 です
RES1	予約済みフィールド 1	誘導	常に 0 です
RES2	予約済みフィールド 2	誘導	常に 0 です
CHKSUM	ILAS チェックのチェックサム (256 をモジュロとした上記すべてのパラメータの合計)	誘導	この表のパラメータに基づいて計算されます

JMODE と呼ばれる単一の構成パラメータを使用することで、ADC12DJ3200QML-SP の構成を簡単に行うことができます (「JESD204B モード レジスタ」を参照)。表 6-18 を使用すると、目的の動作モードに適した JMODE 値を見つけることができます。表 6-18 に示すモードは、使用可能な唯一の動作モードです。この表は、フレーム数のマルチフレーム長を

Copyright © 2025 Texas Instruments Incorporated

設定する K パラメータ (KM1 で設定、「JESD204B K パラメータ レジスタ」を参照) の範囲と許容ステップ サイズも示しています。

表 6-18. ADC12DJ3200QML-SP の動作モード

ADC12DJ3200QML-SP の動作モード	ユーザー指定のパラメータ		派生パラメータ											入力クロック範囲 (MHz)
	JMODE	K [最小:ステップ:最大]	D	DES	リンク	N	CS	N'	L (リンクごと)	M (リンクごと)	F	S	R (Fbit/Fclk)	
12 ビット、シングル チャネル、8 レーン	0	3:1:32	1	1	2	12	0	12	4	4(1)	8	5	4	800-3200
12 ビット、シングル チャネル、16 レーン	1	3:1:32	1	1	2	12	0	12	8	8(1)	8	5	2	800-3200
12 ビット、デュアル チャネル、8 レーン	2	3:1:32	1	0	2	12	0	12	4	4(1)	8	5	4	800-3200
12 ビット、デュアル チャネル、16 レーン	3	3:1:32	1	0	2	12	0	12	8	8(1)	8	5	2	800-3200
8 ビット、シングル チャネル、4 レーン	4	18:2:32	1	1	2	8	0	8	2	1	1	2	5	800-2560
8 ビット、シングル チャネル、8 レーン	5	18:2:32	1	1	2	8	0	8	4	1	1	4	2.5	800-3200
8 ビット、デュアル チャネル、4 レーン	6	18:2:32	1	0	2	8	0	8	2	1	1	2	5	800-2560
8 ビット、デュアル チャネル、8 レーン	7	18:2:32	1	0	2	8	0	8	4	1	1	4	2.5	800-3200
予約済み	8	—	—	—	—	—	—	—	—	—	—	—	—	—
15 ビット、実数データ、2 倍デシメーション、8 レーン	9	9:1:32	2	0	2	15	1(2)	16	4	1	2	4	2.5	800-3200
15 ビット、4 倍デシメーション、4 レーン	10	9:1:32	4	0	2	15	1(2)	16	2	2	2	1	5	800-2560
15 ビット、4 倍デシメーション、8 レーン	11	9:1:32	4	0	2	15	1(2)	16	4	2	2	2	2.5	800-3200
12 ビット、4 倍デシメーション、16 レーン	12	3:1:32	4	0	2	12	0	12	8	8(1)	8	5	1	1000-3200
15 ビット、8 倍デシメーション、2 レーン	13	5:1:32	8	0	2	15	1(2)	16	1	2	4	1	5	800-2560
15 ビット、8 倍デシメーション、4 レーン	14	9:1:32	8	0	2	15	1(2)	16	2	2	2	1	2.5	800-3200
15 ビット、16 倍デシメーション、1 レーン	15	3:1:32	16	0	1	15	1(2)	16	1	4	8	1	5	800-2560
15 ビット、16 倍デシメーション、2 レーン	16	5:1:32	16	0	2	15	1(2)	16	1	2	4	1	2.5	800-3200
8 ビット、シングル チャネル、16 レーン	17	18:2:32	1	1	2	8	0	8	8	1	1	8	1.25	800-3200
8 ビット、デュアル チャネル、16 レーン	18	18:2:32	1	0	2	8	0	8	8	1	1	8	1.25	800-3200

(1) これらのモードでは、M は L に等しく、サンプルを L レーンで時間順に送信することができます。M パラメータは、コンバータの実際の数を表すものではありません。レシーバの各リンクから M サンプル ストリームをインターリーブして、正しいサンプル データを生成します。詳細については、表 6-20 ～ 表 6-37 を参照してください。

(2) ADC12DJ3200QML-SP の初期レーン整列シーケンス (ILAS) では、$\overline{CS}$ は常に 0 として報告されます。

ADC12DJ3200QML-SP には、合計 16 の高速出力ドライバがあり、これらは 2 つの 8 レーン JESD204B リンクにグループ化されています。ほとんどの動作モードでは、リンクごとに最大 8 レーンの 2 つのリンクを使用します。レーンおよびそれらから派生する構成パラメータについては、表 6-19 で説明します。指定された JMODE の場合、各リンクのインデックス付きの最小のレーンが使用され、各リンクのインデックス付きの大きいレーンは自動的に電源がオフになります。最も小さいインデックス付きレーンは常にロジック デバイスに配線します。

表 6-19. ADC12DJ3200QML-SP のレーン割り当てとパラメータ

デバイスのピン指定	LINK	DID (ユーザー設定)	LID (誘導)
DA0±	A	DID で設定 (「JESD204B DID パラメータ レジスタ」を参照) すると、有効な DID は DID レジスタ設定 (DID) と等しくなります。	0
DA1±			1
DA2±			2
DA3±			3
DA4±			4
DA5±			5
DA6±			6
DA7±			7
DB0±	B	DID で設定 (「JESD204B DID パラメータ レジスタ」を参照) すると、有効な DID は DID レジスタ設定に 1 を加えた値 (DID+1) と等しくなります。	0
DB1±			1
DB2±			2
DB3±			3
DB4±			4
DB5±			5
DB6±			6
DB7±			7

6.4.3.1 JESD204B 出力データ フォーマット

出力データは、JMODE 設定ごとに最適化された方法でフォーマットされます。DDC を使用しない場合 (デシメーション = 1)、12 ビットのオフセット バイナリ値がオクテットにマップされます。DDC モードでは、16 ビット値 (15 ビットの複素数データ + 1 のオーバーレンジ ビット) がオクテットにマップされます。次の表に、シングル フレームに固有のマッピング形式を示します。すべてのマッピングにおいて、テールビット (T) は 0 (ゼロ) です。表 6-20 から 表 6-37 にて、シングル チャネル フォーマットのサンプルは Sn と定義されます。ここで、n はフレーム内のサンプル番号です。デュアルチャネル実数出力形式 (DDC バイパスと 2 倍デシメーション) では、サンプルは An および Bn として定義されます。ここで、An はチャネル A のサンプル、Bn はチャネル B のサンプルです。複素数出力形式 (4 倍デシメーション、8 倍デシメーション、16 倍デシメーション) では、サンプルは AIn、AQn、BIn、BQn として定義されます。ここで、AIn と AQn はチャネル A の同相サンプルと直交位相サンプル、BIn と BQn はチャネル B の同相サンプルと直交位相サンプルです。すべてのサンプルは、MSB が最初で LSB が最後というフォーマットになっています。

Copyright © 2025 Texas Instruments Incorporated

表 6-20. JMODE 0 (12 ビット、1 倍デシメーション、シングル チャネル、8 レーン)

オクテット	0		1		2		3		4		5		6		7	
NIBBLE	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DA0	S0			S8			S16			S24			S32			T
DA1	S2			S10			S18			S26			S34			T
DA2	S4			S12			S20			S28			S36			T
DA3	S6			S14			S22			S30			S38			T
DB0	S1			S9			S17			S25			S33			T
DB1	S3			S11			S19			S27			S35			T
DB2	S5			S13			S21			S29			S37			T
DB3	S7			S15			S23			S31			S39			T

表 6-21. JMODE 1 (12 ビット、1 倍デシメーション、シングル チャネル、16 レーン)

オクテット	0		1		2		3		4		5		6		7	
NIBBLE	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DA0	S0			S16			S32			S48			S64			T
DA1	S2			S18			S34			S50			S66			T
DA2	S4			S20			S36			S52			S68			T
DA3	S6			S22			S38			S54			S70			T
DA4	S8			S24			S40			S56			S72			T
DA5	S10			S26			S42			S58			S74			T
DA6	S12			S28			S44			S60			S76			T
DA7	S14			S30			S46			S62			S78			T
DB0	S1			S17			S33			S49			S65			T
DB1	S3			S19			S35			S51			S67			T
DB2	S5			S21			S37			S53			S69			T
DB3	S7			S23			S39			S55			S71			T
DB4	S9			S25			S41			S57			S73			T
DB5	S11			S27			S43			S59			S75			T
DB6	S13			S29			S45			S61			S77			T
DB7	S15			S31			S47			S63			S79			T

表 6-22. JMODE 2 (12 ビット、1 倍デシメーション、デュアル チャネル、8 レーン)

オクテット	0		1		2		3		4		5		6		7	
NIBBLE	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DA0	A0			A4			A8			A12			A16			T
DA1	A1			A5			A9			A13			A17			T
DA2	A2			A6			A10			A14			A18			T
DA3	A3			A7			A11			A15			A19			T
DB0	B0			B4			B8			B12			B16			T
DB1	B1			B5			B9			B13			B17			T
DB2	B2			B6			B10			B14			B18			T
DB3	B3			B7			B11			B15			B19			T

Copyright © 2025 Texas Instruments Incorporated

表 6-23. JMODE 3 (12 ビット、1 倍デシメーション、デュアル チャネル、16 レーン)

オクテット	0		1		2		3		4		5		6		7	
NIBBLE	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DA0	A0		A8		A16		A24		A32		T					
DA1	A1		A9		A17		A25		A33		T					
DA2	A2		A10		A18		A26		A34		T					
DA3	A3		A11		A19		A27		A35		T					
DA4	A4		A12		A20		A28		A36		T					
DA5	A5		A13		A21		A29		A37		T					
DA6	A6		A14		A22		A30		A38		T					
DA7	A7		A15		A23		A31		A39		T					
DB0	B0		B8		B16		B24		B32		T					
DB1	B1		B9		B17		B25		B33		T					
DB2	B2		B10		B18		B26		B34		T					
DB3	B3		B11		B19		B27		B35		T					
DB4	B4		B12		B20		B28		B36		T					
DB5	B5		B13		B21		B29		B37		T					
DB6	B6		B14		B22		B30		B38		T					
DB7	B7		B15		B23		B31		B39		T					

表 6-24. JMODE 4 (8 ビット、1 倍デシメーション、シングル チャネル、4 レーン)

オクテット	0	
NIBBLE	0	1
DA0	S0	
DA1	S2	
DB0	S1	
DB1	S3	

表 6-25. JMODE 5 (8 ビット、1 倍デシメーション、シングル チャネル、8 レーン)

オクテット	0	
NIBBLE	0	1
DA0	S0	
DA1	S2	
DA2	S4	
DA3	S6	
DB0	S1	
DB1	S3	
DB2	S5	
DB3	S7	

表 6-26. JMODE 6 (8 ビット、1 倍デシメーション、デュアル チャネル、4 レーン)

オクテット	0	
NIBBLE	0	1
DA0	A0	
DA1	A1	
DB0	B0	
DB1	B1	

Copyright © 2025 Texas Instruments Incorporated

表 6-27. JMODE 7 (8 ビット、1 倍デシメーション、デュアル チャネル、8 レーン)

オクテット	0	
NIBBLE	**0**	**1**
DA0	A0	
DA1	A1	
DA2	A2	
DA3	A3	
DB0	B0	
DB1	B1	
DB2	B2	
DB3	B3	

表 6-28. JMODE 9 (15 ビット、2 倍デシメーション、デュアル チャネル、8 レーン)

オクテット	0		1	
NIBBLE	**0**	**1**	**2**	**3**
DA0	A0			
DA1	A1			
DA2	A2			
DA3	A3			
DB0	B0			
DB1	B1			
DB2	B2			
DB3	B3			

表 6-29. JMODE 10 (15 ビット、4 倍デシメーション、デュアル チャネル、4 レーン)

オクテット	0		1	
NIBBLE	**0**	**1**	**2**	**3**
DA0	AI0			
DA1	AQ0			
DB0	BI0			
DB1	BQ0			

表 6-30. JMODE 11 (15 ビット、8 倍デシメーション、デュアル チャネル、4 レーン)

オクテット	0		1	
NIBBLE	**0**	**1**	**2**	**3**
DA0	AI0			
DA1	AI1			
DA2	AQ0			
DA3	AQ1			
DB0	BI0			
DB1	BI1			
DB2	BQ0			
DB3	BQ1			

Copyright © 2025 Texas Instruments Incorporated

表 6-31. JMODE 12 (12 ビット、16 倍デシメーション、デュアル チャネル、4 レーン)

オクテット	0		1		2		3		4		5		6		7	
NIBBLE	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DA0	AI0		AI4		AI8		AI12		AI16						T	
DA1	AQ0		AQ4		AQ8		AQ12		AQ16						T	
DA2	AI1		AI5		AI9		AI13		AI17						T	
DA3	AQ1		AQ5		AQ9		AQ13		AQ17						T	
DA4	AI2		AI6		AI10		AI14		AI18						T	
DA5	AQ2		AQ6		AQ10		AQ14		AQ218						T	
DA6	AI3		AI7		AI11		AI15		AI19						T	
DA7	AQ3		AQ7		AQ11		AQ15		AQ19						T	
DB0	BI0		BI4		BI8		BI12		BI16						T	
DB1	BQ0		BQ4		BQ8		BQ12		BQ16						T	
DB2	BI1		BI5		BI9		BI13		BI17						T	
DB3	BQ1		BQ5		BQ9		BQ13		BQ17						T	
DB4	BI2		BI6		BI10		BI14		BI18						T	
DB5	BQ2		BQ6		BQ10		BQ14		BQ218						T	
DB6	BI3		BI7		BI11		BI15		BI19						T	
DB7	BQ3		BQ7		BQ11		BQ15		BQ19						T	

表 6-32. JMODE 13 (15 ビット、8 倍デシメーション、デュアル チャネル、2 レーン)

オクテット	0		1		2		3	
NIBBLE	0	1	2	3	4	5	6	7
DA0	AI0				AQ0			
DB0	BI0				BQ0			

表 6-33. JMODE 14 (15 ビット、8 倍デシメーション、デュアル チャネル、4 レーン)

オクテット	0		1	
NIBBLE	0	1	2	3
DA0	AI0			
DA1	AQ0			
DB0	BI0			
DB1	BQ0			

表 6-34. JMODE 15 (15 ビット、16 倍デシメーション、デュアル チャネル、1 レーン)

オクテット	0		1		2		3		4		5		6		7	
NIBBLE	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DA0	AI0				AQ0				BI0				BQ0			

表 6-35. JMODE 16 (15 ビット、16 倍デシメーション、デュアル チャネル、2 レーン)

オクテット	0		1		2		3	
NIBBLE	0	1	2	3	4	5	6	7
DA0	AI0				AQ0			
DB0	BI0				BQ0			

Copyright © 2025 Texas Instruments Incorporated

表 6-36. JMODE 17 (8 ビット、1 倍デシメーション、シングル チャネル、16 レーン)

オクテット	0	
NIBBLE	**0**	**1**
DA0	S0	
DA1	S2	
DA2	S4	
DA3	S6	
DA4	S8	
DA5	S10	
DA6	S12	
DA7	S14	
DB0	S1	
DB1	S3	
DB2	S5	
DB3	S7	
DB4	S9	
DB5	S11	
DB6	S13	
DB7	S15	

表 6-37. JMODE 18 (8 ビット、1 倍デシメーション、デュアル チャネル、16 レーン)

オクテット	0	
NIBBLE	**0**	**1**
DA0	A0	
DA1	A1	
DA2	A2	
DA3	A3	
DA4	A4	
DA5	A5	
DA6	A6	
DA7	A7	
DB0	B0	
DB1	B1	
DB2	B2	
DB3	B3	
DB4	B4	
DB5	B5	
DB6	B6	
DB7	B7	

Copyright © 2025 Texas Instruments Incorporated

6.4.3.2 デュアル DDC および冗長データ モード

デュアル チャネル モードで動作している場合、DIG_BIND_A または DIG_BIND_B (「デジタル チャネル バインディング レジスタ」を参照) を使用して、1 つのチャネルのデータを両方のデジタル ダウンコンバータ ブロックにルーティングできます。この機能により、1 つの ADC チャネルから 2 つの独立したキャプチャ帯域をダウンコンバージョンできます。このモードでは、PD_ACH または PD_BCH を設定することで 2 番目の ADC をパワーダウンできます (「デバイス構成レジスタ」を参照)。

また、DIG_BIND_A または DIG_BIND_B を使用すると、1 つの ADC チャネルから両方の JESD204B リンクにデータをルーティングすることで、デジタル プロセッサから分離するための冗長データを実現できます。冗長データ モードは、シングル チャネル モードを除くすべての JMODE モードで使用できます。図 6-21 に、デュアル DDC モードと冗長データ モードの両方を示します。この例では、ADC チャネル A のデータを両方の DDC にルーティングし、次に、(冗長性の目的で) シングル プロセッサまたは 2 個のプロセッサに送信します。

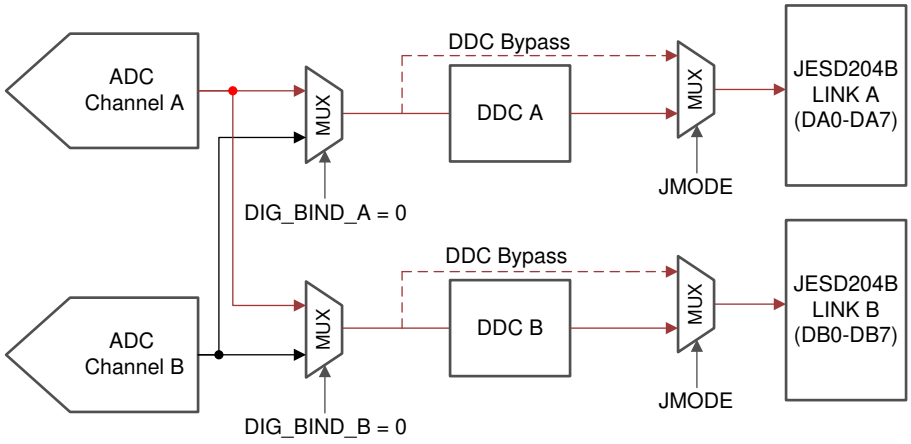


図 6-21. チャネル A のデュアル DDC モードまたは冗長データ モード

Copyright © 2025 Texas Instruments Incorporated

6.4.4 パワーダウン モード

PD 入力ピンにより、ADC12DJ3200QML-SP デバイス全体をパワーダウンすることができます。パワーダウンは、MODE によって制御することもできます (「デバイス構成レジスタ」を参照)。PD が HIGH の場合、シリアル データ出力ドライバは無効化されます。デバイスが通常の動作に復帰したら、JESD204 リンクを再確立する必要があります。また、ADC のパイプラインとデシメーション フィルタには意味のない情報が含まれているため、データがフラッシュされるまで十分な時間待機する必要があります。省電力のためにパワーダウンが必要な場合は、PD 入力または MODE 設定を使用するのではなく、VA19、VA11、VD11 の電源電圧レギュレータをパワーダウンする必要があります。

注意

高速データ出力 (DA0± ...DA7±、DB0± ...DB7±) のパワーダウンが長時間継続すると、特にデータ レートが高い場合に出力シリアライザが損傷する可能性があります。シリアライザのパワーダウンは、PD ピンが HIGH に保持されている場合、MODE レジスタが 0x00 または 0x01 以外の値にプログラムされている場合、PD_ACH または PD_BCH レジスタ設定が 1 にプログラムされている場合、または JMODE レジスタ設定が、デバイスで許容される総レーン数である 16 未満を使用するモードにプログラムされている場合に発生します。たとえば、JMODE 0 は合計 8 つのレーンを使用するため、各 JESD204B リンクのインデックス番号の高いレーン 4 つ (DA4±...DA7±、DB4± ...DB7±) がこのモードでパワーダウンされます。PD ピンが HIGH に保持されるか、MODE レジスタが 0x00 または 0x01 以外の値にプログラムされると、すべての出力シリアライザがパワーダウンされます。PD_ACH または PD_BCH レジスタ設定が 1 にプログラムされると、関連する ADC チャネルおよびレーンがパワーダウンされます。信頼性の低い動作を回避するために、PD ピンおよび MODE レジスタは温度ダイオードのオフセットを測定するために短期間のみ使用し、長期的な省電力のためには使用しないでください。さらに、16 レーン未満を使用する JMODE を使用すると、未使用のレーンでの動作の信頼性が低下します。デバイスの寿命内に未使用のレーンをシステムが一度も使用しない場合、未使用のレーンは問題の原因にならず、パワーダウンすることができます。システムが後から未使用のレーンを使用する可能性がある場合は、JEXTRA_A および JEXTRA_B を有効にすることで、シリアライザ出力の動作の信頼性を維持できます。この結果、VD11 の消費電力が増加し、出力シリアライザがトグルされます。

Copyright © 2025 Texas Instruments Incorporated

6.4.5 テスト モード

多くのデバイス・テスト・モードを利用できます。これらのモードでは、デバイスのデータパスに既知の情報パターンを挿入し、システムのデバッグ、開発、特性評価を支援します。

6.4.5.1 シリアライザのテスト モードの詳細

テスト モードを有効化するには、JTEST (JESD204B テスト パターン制御レジスタ を参照) を目的のテスト モードに設定します。各テストモードについては、以下のセクションで詳しく説明します。テストモードにかかわらず、シリアライザの出力は、JMODE に基づいて起動されます。テスト・モードを有効にするのは、JESD204B リンクがディスエーブルのときのみです。図 6-22 に、各種テスト・モードの挿入ポイントを示す図を示します。

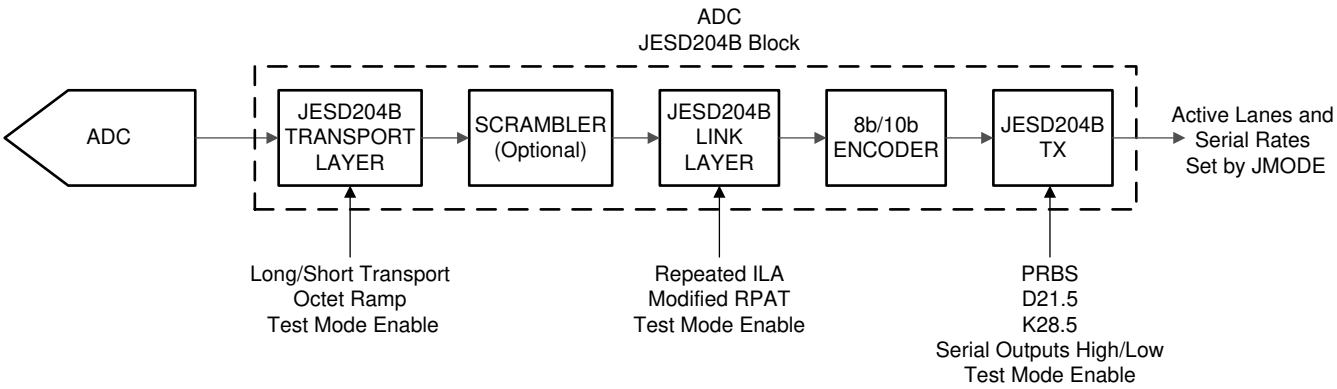


図 6-22. テスト・モードの挿入ポイント

6.4.5.2 PRBS テスト モード

PRBS テスト モードは、8b/10b エンコーダをバイパスします。これらのテスト モードでは、ITU-T O.150 仕様に準拠した擬似ランダム ビット ストリームが生成されます。これらのビット ストリームは、ビット パターンに自己同期できるラボ試験装置で使用されるため、パターンの初期位相は定義されません。

シーケンスは再帰方程式によって定義されます。たとえば、式 10 は PRBS7 シーケンスを定義します。

$$y[n] = y[n - 6] \oplus y[n - 7] \quad (10)$$

ここで、

- ビット n は、先に送信されるビット [n–6] およびビット [n–7] の XOR です。

表 6-38 に、使用可能な PRBS テスト モードの式とシーケンス長を示します。パターンの初期位相は、各レーンで一意です。

表 6-38. PBRS モードの式

PRBS テスト モード	シーケンス	シーケンス長 (ビット)
PRBS7	y[n] = y[n – 6]⊕y[n – 7]	127
PRBS15	y[n] = y[n – 14]⊕y[n – 15]	32767
PRBS23	y[n] = y[n – 18]⊕y[n – 23]	8388607

6.4.5.3 ランプ テスト モード

ランプ テスト モードでは、JESD204B リンク レイヤは正常に動作しますが、トランスポート レイヤはディスエーブルで、フォーマッタからの入力は無視されます。ILA シーケンスの後、各レーンは 0x00 から 0xFF までインクリメントして繰り返される同一のオクテット ストリームを送信します。

Copyright © 2025 Texas Instruments Incorporated

6.4.5.4 ショートおよびロング トランスポート テスト モード

JESD204B では、ショートおよびロングトランスポートテストモードを定義しており、トランスミッタとレシーバのトランスポート層が正しく動作していることを検証します。ADC12DJ3200QML-SP には、指定された JMODE の N' 値に応じて 3 種類のトランスポート層テスト パターンがあります (表 6-18 を参照)。

6.4.5.4.1 ショート トランスポート テスト パターン

ショートトランスポートテストパターンは、フレームごとに繰り返される事前定義済みのオクテット形式を送信します。ADC12DJ3200QML-SP では、N' 値が 8 または 12 のすべての JMODE 構成で、ショートトランスポート テスト パターンを使用します。表 6-39 および 表 6-40 で、8 および 12 の N' 値のショートトランスポート テスト パターンを定義します。適用可能なレーンをすべて示していますが、設定された JMODE に対して有効なレーン (最小インデックス) のみが使用されます。

表 6-39. N'= 8 モードのショート トランスポート テスト パターン (長さ= 2 フレーム)

フレーム	0	1
DA0	0x00	0xFF
DA1	0x01	0xFE
DA2	0x02	0xFD
DA3	0x03	0xFC
DB0	0x00	0xFF
DB1	0x01	0xFE
DB2	0x02	0xFD
DB3	0x03	0xFC

表 6-40. N'= 12 モードのショート トランスポート テスト パターン (長さ= 1 フレーム)

オクテット	0		1		2		3		4		5		6		7	
NIBBLE	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DA0	0xF01		0xF02		0xF03		0xF04		0xF05							T
DA1	0xE11		0xE12		0xE13		0xE14		0xE15							T
DA2	0xD21		0xD22		0xD23		0xD24		0xD25							T
DA3	0xC31		0xC32		0xC33		0xC34		0xC35							T
DA4	0xB41		0xB42		0xB43		0xB44		0xB45							T
DA5	0xA51		0xA52		0xA53		0xA54		0xA55							T
DA6	0x961		0x962		0x963		0x964		0x965							T
DA7	0x871		0x872		0x873		0x874		0x875							T
DB0	0xF01		0xF02		0xF03		0xF04		0xF05							T
DB1	0xE11		0xE12		0xE13		0xE14		0xE15							T
DB2	0xD21		0xD22		0xD23		0xD24		0xD25							T
DB3	0xC31		0xC32		0xC33		0xC34		0xC35							T
DB4	0xB41		0xB42		0xB43		0xB44		0xB45							T
DB5	0xA51		0xA52		0xA53		0xA54		0xA55							T
DB6	0x961		0x962		0x963		0x964		0x965							T
DB7	0x871		0x872		0x873		0x874		0x875							T

Copyright © 2025 Texas Instruments Incorporated

6.4.5.4.2 ロング トランスポート テスト パターン

ロング トランスポート テスト モードは、N' が 16 に等しいすべての JMODE モードで使用されます。パターンは JESD204B 規格に準拠して生成され、表 6-18 で定義されている出力フォーマットごとに異なります。パターンのルールは以下に定義されています。式 11 にテスト パターンの長さを示します。ロング トランスポート テスト パターンは、リンク A とリンク B で同じです。ここで、DAx レーンはリンク A に属し、DBx レーンはリンク B に属します。

$$\text{Long Test Pattern Length (Frames)} = K \times \text{ceil}[(M \times S + 2) / K] \quad (11)$$

- サンプル データ:
  - フレーム 0:各サンプルは N ビットを含み、すべてのサンプルはコンバータ ID (CID) に 1 を加えた値 (CID + 1) に設定されています。CID は、リンク内のコンバータ番号に基づいて定義されます。つまり、JMODE 15 を除くすべてのモードで 2 つのリンクが使用されます。リンク内では、コンバータにはチャネル (A または B)、同相 (I)、直交位相 (Q) ごとに番号が付けられ、リンク間でリセットされます。たとえば、JMODE 10 では、2 つのリンクが使用されるため、チャネル A と B のデータは別々のリンクに分割され、各チャネルの同相成分は CID = 0 で、直交位相成分は CID = 1 です。JMODE 15 では、1 つのリンクが使用されるため、チャネル A とチャネル B は同じリンク内にあり、AI は CID = 0、AQ は CID = 1、BI は CID = 2、BQ は CID = 3 です。
  - フレーム 1:各サンプルは N ビットを含み、(各コンバータの) 各サンプルは、フレーム + 1 (SID+1) 内の個別のサンプル ID (SID) として設定されます。
  - フレーム 2 +:各サンプルは N ビットを含み、すべてのサンプルについてデータは 2^{N-1} に設定されます (たとえば、N が 15 の場合、2^{N-1} = 16384)。
- 制御ビット ($\overline{CS}$ > 0 の場合):
  - フレーム 0 ～ M × S – 1:コンバータ フロア (i, S) のサンプル mod (i, S) に属する制御ビットは 1 に設定され、その他すべては 0 に設定されます。ここで、i はフレーム インデックス (i = 0 はパターンの最初のフレーム) です。基本的には、制御ビットは最もインデックスの小さいサンプルから最もインデックスの大きいサンプルへ、また最もインデックスの小さいコンバータから最もインデックスの大きいコンバータへと、フレームごとに位置を変えながら *移動* します。
  - フレーム M × S +:すべての制御ビットは 0 に設定されます

表 6-41 に、JMODE = 10、K = 10 の場合のロング トランスポート テスト パターンの例を示します。

表 6-41. ロング トランスポート テスト パターンの例 (JMODE = 10、K = 10)

時間→																				パターン繰り返し→	
オクテット番号	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21
DA0	0x0003		0x0002		0x8000		0x8000		0x8000		0x8000		0x8000		0x8000		0x8000		0x8000		0x0003	
DA1	0x0004		0x0003		0x8000		0x8000		0x8000		0x8000		0x8000		0x8000		0x8000		0x8000		0x0004	
DB0	0x0003		0x0002		0x8000		0x8000		0x8000		0x8000		0x8000		0x8000		0x8000		0x8000		0x0003	
DB1	0x0004		0x0003		0x8000		0x8000		0x8000		0x8000		0x8000		0x8000		0x8000		0x8000		0x0004	
	フレーム n		フレーム n + 1		フレーム n + 2		フレーム n + 3		フレーム n + 4		フレーム n + 5		フレーム n + 6		フレーム n + 7		フレーム n + 8		フレーム n + 9		フレーム n + 10	

このパターンは、最初のレーン アライメント シーケンス (ILAS) の終了時に開始され、リンクが実行されている間は無期限に繰り返されます。詳細については、JESD204B 仕様のセクション 5.1.6.3 を参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.4.5.5 D21.5 テスト モード

このテスト モードでは、コントローラは D21.5 文字の連続ストリームを送信します (0 と 1 を交互に入力)。

6.4.5.6 K28.5 テスト モード

このテストモードでは、コントローラは K28.5 文字の連続ストリームを送信します。

6.4.5.7 反復 ILA テスト モード

このテストモードでは、JESD204B リンク層は通常動作しますが、ILA シーケンス(ILAS)はデータフェーズを開始するのではなく無期限に繰り返されます。レシーバが同期要求を発行するたびに、トランスミッタはコードグループ同期を開始します。コードグループの同期が完了すると、送信機は ILA シーケンスを繰り返し送信します。

6.4.5.8 修正 RPAT テスト モード

12 オクテットの繰り返しパターンは、INCITS TR-35-2004 で定義されています。このパターンの目的は、JESD204B に準拠し、ジッタ・テストのためにホワイト・スペクトル・コンテンツを生成することです。表 6-42 に、8b/10b エンコードの前後のパターンを示します。

表 6-42. RPAT パターンの値を変更

オクテット番号	Dx.y 表記	8b/10b エンコーダへの 8 ビット入力	8b/10b エンコーダの 20b 出力 (2 文字)
0	D30.5	0xBE	0x86BA6
1	D23.6	0xD7	
2	D3.1	0x23	0xC6475
3	D7.2	0x47	
4	D11.3	0x6B	0xD0E8D
5	D15.4	0x8F	
6	D19.5	0xB3	0xCA8B4
7	D20.0	0x14	
8	D30.2	0x5E	0x7949E
9	D27.7	0xFB	
10	D21.1	0x35	0xAA665
11	D25.2	0x59	

Copyright © 2025 Texas Instruments Incorporated

6.4.6 キャリブレーション モードとトリミング

ADC12DJ3200QML-SP には、フォアグラウンド キャリブレーションとバックグラウンド キャリブレーションの 2 つのキャリブレーション モードがあります。フォアグラウンド キャリブレーションが開始されると、ADC は自動的にオフラインになり、キャリブレーションの実行中、出力データはミッドコード (0x000、2 の補数) になります。バックグラウンド キャリブレーションでは、ADC コアがバックグラウンドでキャリブレーションされている間、ADC は別の ADC コアを交換してその代わりに通常動作を続行できます。フォアグラウンドおよびバックグラウンド キャリブレーション モードでは、追加のオフセット キャリブレーション機能が使用できます。さらに、ユーザー システムで性能を最適化するために、多数の ADC パラメータをトリミングできます。

ADC12DJ3200QML-SP は合計 6 つの sub-ADC で構成され、それぞれが *バンク*と呼ばれ、2 つのバンクが ADC コアを形成しています。バンクは位相差をサンプリングし、各 ADC コアが双方向でインターリーブされるようにします。6 つのバンクは 3 つの ADC コアを形成します。これらを ADC A、ADC B、ADC C とします。フォアグラウンド キャリブレーション モードで、ADC A は INA± と ADC B をサンプリングし、デュアル チャネル モードでは INB± をサンプリングし、シングル チャネル モードでは ADC A と ADC B サンプルの両方が INA± (または INB±) をサンプリングします。バックグラウンド キャリブレーション モードでは、3 番目の ADC コア ADC C が定期的に ADC A と ADC B と交換されることで、動作を中断せずにキャリブレーションを実行できます。図 6-23 に、各 ADC コアを構成するバンクのラベル付けを含むキャリブレーション システムの図を示します。キャリブレーションが実行されると、各バンクの直線性、ゲイン、オフセット電圧は、内部で生成されるキャリブレーション信号に較正されます。アナログ入力はキャリブレーション中にフォアグランドとバックグラウンドの両方で駆動できます。ただし、オフセット キャリブレーション (OS_CAL または BGOS_CAL) を使用する場合、オフセットを適切に推定するため、DC 付近に信号 (またはエイリアス信号) が存在しない必要があります (*オフセット キャリブレーション* のセクションを参照)。

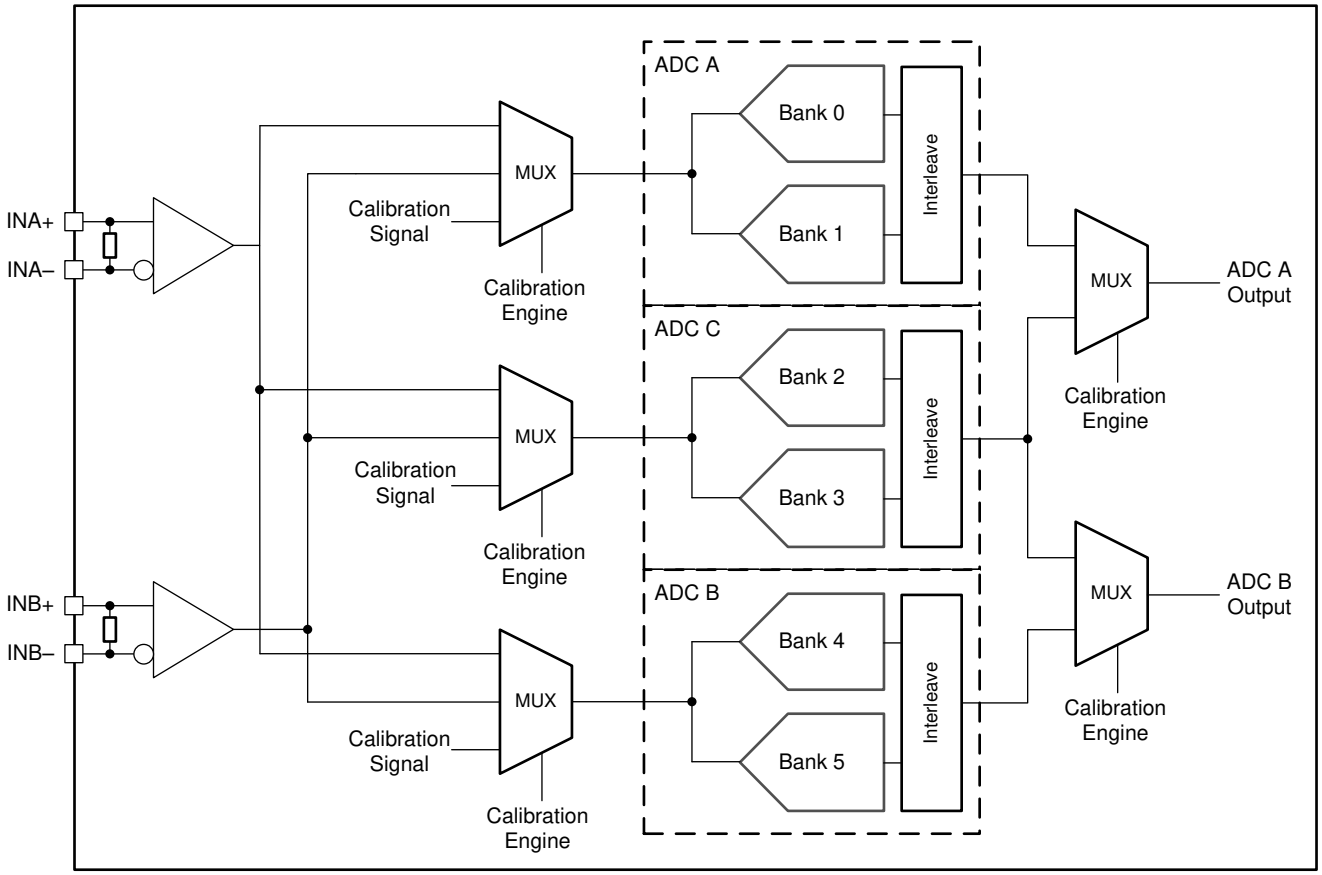


図 6-23. ADC12DJ3200QML-SP キャリブレーション システム ブロック図

Copyright © 2025 Texas Instruments Incorporated

キャリブレーションに加えて、多数の ADC パラメータをユーザーが制御して、最適な性能を達成できるようにトリミングを行うことも可能です。これらのパラメータには、入力オフセット電圧、ADC ゲイン、インターリーブ タイミング、入力終端抵抗が含まれます。デフォルトのトリム値は工場出荷時に、テスト システムの動作条件で最適と判断される各デバイスに対して固有の値にプログラムされます。ユーザーは、工場出荷時にプログラムされた値をトリム レジスタから読み出し、必要に応じて調整できます。トリミングを制御するレジスタ フィールドは、サンプリングされる入力 (INA± または INB±)、トリミングされるバンク、またはトリミングされている ADC コアに従ってラベル付けされます。動作条件が変化してもトリム値を変更する必要はありませんが、変更することで最適な性能を得ることができます。プロセスのバラツキがあるため、カスタム トリミングはデバイスごとに行う必要があります。つまり、すべての部品に対して網羅的な最適設定はありません。利用可能なトリムパラメータと関連するレジスタの詳細については、*トリミング* セクションを参照してください。

6.4.6.1 フォアグラウンド キャリブレーション モード

フォアグラウンドキャリブレーションでは、手順中に ADC がアナログ入力信号の変換を停止する必要があります。フォアグラウンド キャリブレーションは常に電源オン時に実行され、ユーザーはデバイスをプログラムして、キャリブレーションが完了していることを確認する前に十分な時間、待つ必要があります。フォアグラウンドキャリブレーションは、キャリブレーションエンジンをトリガすることで開始できます。トリガ ソースは、CAL_TRIG ピンと CAL_SOFT_TRIG のどちらかにでき (キャリブレーション ソフトウェア トリガ レジスタ を参照)、CAL_TRIG_EN を設定することによって選択されます (キャリブレーション ピン構成レジスタ を参照)。

6.4.6.2 バックグラウンド キャリブレーション モード

バックグラウンド キャリブレーション モードでは、データの中断なしに ADC を連続動作させることができます。この連続動作は、キャリブレーションされた後、以前にアクティブだった他の ADC コアのいずれかの動作を引き継ぐ追加の ADC コアをアクティブにすることにより実現されます。その ADC コアがオフラインになると、その ADC はキャリブレーションされ、動作を引き継ぎ、次の ADC のキャリブレーションが行われます。このプロセスは連続的に動作し、システムの動作条件の変化に関係なく、ADC コアは常に最適な性能を提供します。アクティブ ADC コアが追加されているため、バックグラウンド キャリブレーション モードでは、フォアグラウンド キャリブレーション モードに比べて消費電力が増加しています。ローパワーバックグラウンドキャリブレーション (LPBG) モードセクションで説明する *低消費電力のバックグラウンドキャリブレーション (LPBG)* モードを使うと、標準のバックグラウンドキャリブレーションモードに比べて平均消費電力を低減できます。バックグラウンド キャリブレーションは、CAL_BG を設定することで有効化できます (キャリブレーション構成 0 レジスタ を参照)。CAL_TRIG_EN を 0 に、CAL_SOFT_TRIG を 1 に設定する必要があります。

コアのスイッチングプロセスが発生する際、変換データへの影響を最小限に抑えるよう細心の注意が払われていますが、コアが入れ替わっているため、コンバータのデータで小さなグリッチが依然として発生する可能性があります。

6.4.6.3 低消費電力バックグラウンド キャリブレーション (LPBG) モード

低消費電力バックグラウンド キャリブレーション (LPBG) モードにより、追加の ADC コアを有効にするときの電力オーバーヘッドを低減できます。オフライン コアは、キャリブレーションの準備完了までパワーダウンし、オンラインに移行します。LP_EN = 1 に設定して、ローパワーのバックグラウンド キャリブレーション機能を有効にします。LP_SLEEP_DLY は、キャリブレーションのためにウェークアップする前に ADC がスリープ状態になる時間を調整するために使われます (LP_EN = 1 および LP_TRIG = 0 の場合)。LP_WAKE_DLY は、キャリブレーションとオンライン移行前にコアが安定するのに許容される時間を設定します。LP_TRIG は、自動 スイッチング プロセス、または CAL_SOFT_TRIG または CAL_TRIG によってユーザーが制御するプロセスのいずれかを選択するために使用されます。このモードでは、ADC コアのキャリブレーション中に消費電力が増加します。消費電力は、予備 ADC コアがスリープしているときに、予備 ADC がキャリブレーションされているときにフォアグラウンドキャリブレーションの消費電力とバックグラウンドキャリブレーションの消費電力とがほぼ交互に発生します。このモードの過渡電力要件を満たすように、電源ネットワークを設計します。

Copyright © 2025 Texas Instruments Incorporated

6.4.7 オフセット キャリブレーション

フォアグラウンド キャリブレーション モードとバックグラウンド キャリブレーション モードは本質的に ADC コアのオフセットを較正しますが、入力バッファはキャリブレーション ループの外にあるため、それらのオフセットは標準的なキャリブレーション プロセスでは較正されません。デュアル チャネル モードとシングル チャネル モードのどちらでも、キャリブレーションされていない入力バッファのオフセットは、中間コード出力 (dc オフセット) を入力せずにシフトします。さらに、シングル チャネル モードでは、キャリブレーションされていない入力バッファ オフセットが原因で、f_S / 2 で固定スプリアスが発生する可能性があります。入力バッファ オフセットを補正するために、別途キャリブレーションが実行されます。

オフセットを適切にキャリブレーションするためには、dc や dc 付近の信号、または dc や dc 付近のエイリアス信号が存在しないようにする必要があります。これらの入力信号は通常動作中は存在しないようにしてください。または、キャリブレーション中、入力信号をミュートするようにシステムを設計する必要があります。フォアグラウンド オフセット キャリブレーションは CAL_OS によって有効化され、フォアグラウンド キャリブレーション手順の一環として 1 回だけキャリブレーションを行います。バックグラウンド オフセット キャリブレーションは CAL_BGOS によって有効化され、動作条件の変化に対応するため、バックグラウンド キャリブレーション ルーチンの一部としてオフセットを補正し続けます。CAL_BGOS を設定する場合、システムは、通常動作時に dc や dc 付近の信号、または dc や dc 付近のエイリアス信号、または dc や dc 付近で降下するエイリアス信号が存在しないことを確認する必要があります。CAL_EN を設定する前に CAL_OS を 1 に設定することで、バックグラウンド キャリブレーションを使用する場合、オフセット キャリブレーションをフォアグラウンド動作として実行できますが、動作条件の変化による変動に対しては補正しません。

オフセット キャリブレーション補正では、入力オフセット電圧調整レジスタ (表 6-43 を参照) を使用してオフセットを補正するため、オフセット キャリブレーションの使用時にユーザーが書き込むことはできません。ユーザーは、OADJ_x_VINy レジスタを読み出すことで、キャリブレーション完了後に較正された値を読み取ることができます。ここで、x は ADC コア、y は入力 (INA± または INB±) です。フォアグラウンド オフセット キャリブレーション (CAL_OS = 1) を使用している場合にのみ、FG_DONE を 1 として読み取って、バックグラウンド オフセット キャリブレーション (CAL_BGOS = 1) を使用しても値は読み取られません。

Copyright © 2025 Texas Instruments Incorporated

6.4.8 トリミング

表 6-43 に、トリム可能なパラメータおよび関連するレジスタを示します。

表 6-43. レジスタの説明

TRIM パラメータ	TRIM レジスタ	注
バンドギャップリファレンス	BG_TRIM	BG 出力ピンでの測定値。
入力終端抵抗	RTRIM_x。 ここで、x = A (INA± の場合) または B (INB± の場合)。	このデバイスの電源は、クロックを印加してオンにする必要があります。
入力オフセット電圧	OADJ_x_VINy。 ここで、x = ADC コア (A、B、または C)、y = A (INA± の場合) または B (INB± の場合)。	各 ADC コア (A、B、または C) で異なるトリム値を使用できるため、バックグラウンド キャリブレーション モードでより一貫性のあるオフセット性能を実現できます。
INA± および INB± ゲイン	GAIN_TRIM_x。 ここで、x = A (INA± の場合) または B (INB± の場合)。	入力をトリミングする前に、FS_RANGE_A と FS_RANGE_B をデフォルト値に設定します。フルスケール入力電圧を調整するには、FS_RANGE_A と FS_RANGE_B を使用します。
INA± および INB± フルスケール入力電圧	FS_RANGE_x。 ここで、x = A (INA± の場合) または B (INB± の場合)。	各入力のフルスケール入力電圧調整。デフォルト値は GAIN_TRIM_x (x = A または B) の影響を受けます。FS_RANGE_x をデフォルト値に設定して GAIN_TRIM_x をトリムします。その後で FS_RANGE_x を使用してフルスケール入力電圧を調整できます。
ADC コア間タイミング (バンク タイミング)	Bx_TIME_y。 ここで、x はバンク番号 (0 ～ 5)、y = 0° または –90° クロック位相。	2 つのクロック位相 (0° または –90°) に対する ADC コアの 2 つのバンク (ADC A、B、または C) 間のタイミングをトリムします。–90° のクロック位相は、シングル チャネル モードでのみ使用されます。
ADC コア間タイミング (デュアル チャネル モード)	TADJ_A、TADJ_B、TADJ_CA、TADJ_CB	接尾辞 (A、B、CA、または CB) は、トリミング中の ADC コアを示します。CA は ADC A に対して待機している場合の ADC C のバックグラウンド キャリブレーション モードのタイミング トリムを示し、CB は ADC B に対して待機している場合の ADC C のタイミング トリムを示します。
ADC コア間タイミング (シングル チャネル モード)	TADJ_A_FG90、TADJ_B_FG0、TADJ_A_BG90、TADJ_C_BG0、TADJ_C_BG90、TADJ_B_BG0	中央の文字 (A、B、または C) は、トリミング中の ADC コアを示します。FG はフォアグラウンド キャリブレーションのトリムを示し、BG はバックグラウンド キャリブレーションを示します。接尾辞 0 または 90 は、ADC コアに適用されるクロック位相を示します。0 は 0°のクロックを示し、クロック入力に対して位相差でサンプリングしています。90 は 90° のクロックを示すため、クロック入力と逆位相のサンプリングとなります。シングル チャネル モードで INB± を使用する場合、最適な性能を得るため、これらのタイミングをトリミングする必要があります。これらのタイミングは、工場で INA± 用にトリミングされます。

6.4.9 オフセット フィルタリング

ADC12DJ3200QML-SP には、f_S / 2 および f_S / 4 のオフセット関連のインターリーブ スプリアスを低減するために有効にできる追加機能があります (シングル入力モードのみ)。オフセット フィルタリングは、CAL_OSFILT によって有効にされます。OSFILT_BW と OSFILT_SOAK パラメータは、オフセット スプリアスの低減と、処理されるミッション モード信号に含まれる情報への潜在的な影響をトレードオフするように調整できます。ほとんどの場合、これら 2 つのパラメータを同じ

Copyright © 2025 Texas Instruments Incorporated

値に設定します。DC_RESTORE 設定は、信号内のすべての DC 関連コンテンツを保持またはフィルタリングするために使用します。

Copyright © 2025 Texas Instruments Incorporated

6.5 プログラミング

6.5.1 シリアル インターフェイスの使い方

シリアル インターフェイスには、シリアル クロック (SCLK)、シリアル データ入力 (SDI)、シリアルデータ出力 (SDO)、シリアル インターフェイス チップセレクト ($\overline{SCS}$) の 4 つのピンを使用してアクセスします。レジスタ・アクセスは、$\overline{SCS}$ ピンによって有効にされます。

6.5.1.1 $\overline{SCS}$

シリアルインターフェイス経由でレジスタにアクセスするには、この信号を Low にアサートする必要があります。SCLK に対するセットアップ時間とホールド時間を確認する必要があります。

6.5.1.2 SCLK

シリアル・データ入力は、この信号の立ち上がりエッジで受け付けられます。SCLK には最小周波数要件はありません。

6.5.1.3 SDI

各レジスタアクセスには、この入力で仕様の 24 ビットパターンが必要です。このパターンは、読み取り/書き込み (R/W) ビット、レジスタ・アドレス、レジスタ値で構成されます。データは、MSB ファースト・レジスタとマルチ・バイト・レジスタでシフトされ、常にリトルエンディアン形式です (最小桁バイトが最下位アドレスに格納されます)。SCLK に対するセットアップ時間とホールド時間は、遵守する必要があります (*タイミング要件* 表を参照)。

6.5.1.4 SDO

SDO 信号は、読み取りコマンドで要求される出力データを提供します。この出力は、書き込みバス・サイクル中、および読み取りバス・サイクルの読み出しビットおよびレジスタ・アドレス部分においてハイインピーダンスになります。

図 6-24 に示すように、各レジスタ アクセスは 24 ビットで構成されています。最初のビットは、読み取りの場合は High、書き込みの場合は Low です。

次の 15 ビットは、書き込み先のレジスタのアドレスです。書き込み動作中、最後の 8 ビットは、アドレス指定されたレジスタに書き込まれるデータです。読み取り動作中、SDI の最後の 8 ビットは無視され、この期間中 SDO がアドレス指定されたレジスタからデータを出力します。図 6-24 に、シリアル プロトコルの詳細を示します。

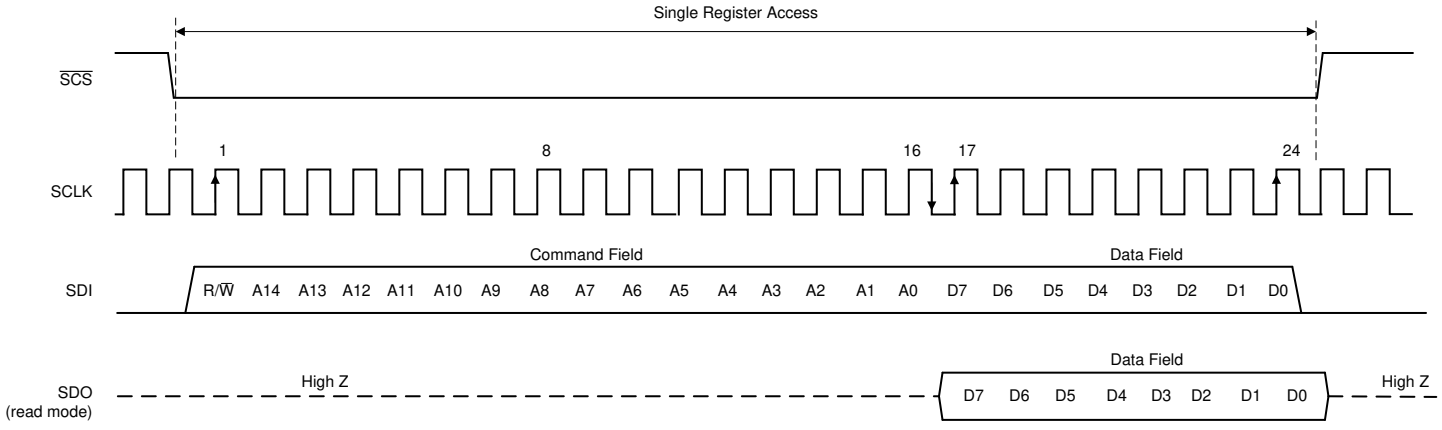


図 6-24. シリアル インターフェイス プロトコル : 単一読み取り / 書き込み

6.5.1.5 ストリーミング モード

シリアルインターフェイスは、ストリーミング読み取りおよび書き込みをサポートしています。このモードでは、トランザクションの初期 24 ビットによりアクセスタイプ、レジスタアドレス、データ値が通常どおりに指定されます。$\overline{SCS}$ 入力がアサート（ロジック Low）状態に維持されている限り、書き込みデータまたは読み取りデータの追加クロックサイクルは直ちに転送されます。レジスタアドレスは、ストリーミングトランザクションの後続の 8 ビット転送ごとに自動インクリメント（デフォルト）またはデクリメントします。ADDR_ASC ビット (レジスタ 000h、ビット 5 および 2) は、アドレス値を昇順 (インクリメント) または降順 (デクリメント) にするかを制御します。ストリーミング モードは、ADDR_HOLD ビットを設定することで無効化できます (「ユーザー SPI 構成レジスタ」を参照)。ストリーミング・モードのトランザクションの詳細を、図 6-25 に示します。

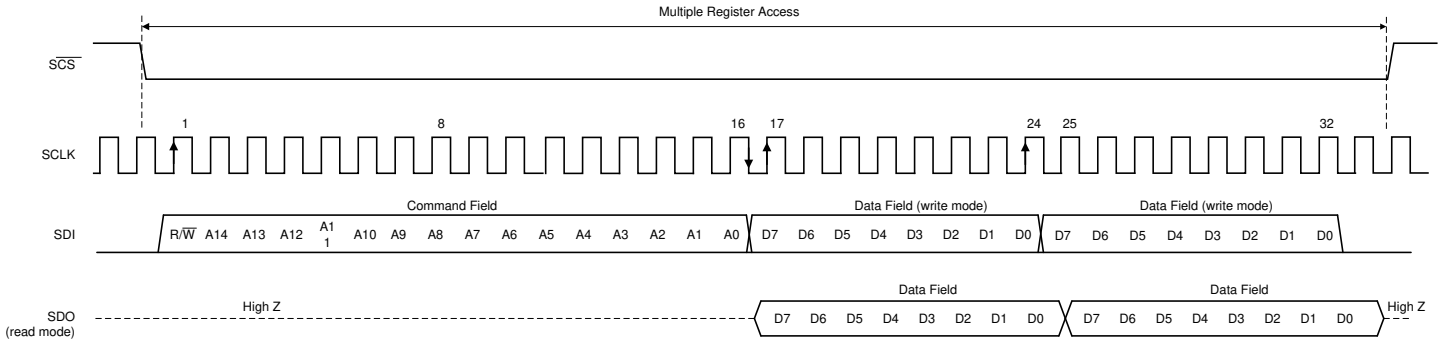


図 6-25. シリアル インターフェイス プロトコル：ストリーミング読み取りおよび書き込み

レジスタの詳細については、「*セクション 6.6*」セクションを参照してください。

注

ADC のキャリブレーション中は、シリアルインターフェイスにアクセスしないでください。この間にシリアル・インターフェイスにアクセスすると、デバイスが正しくキャリブレーションされるまでデバイスの性能が低下します。シリアル レジスタの書き込みや読み出しも、レジスタのアクセス時間の間、ADC の動的性能を低下させます。

Copyright © 2025 Texas Instruments Incorporated

6.6 レジスタマップ

メモリ マップ に、ADC12DJ3200QML-SP のすべてのレジスタを示します。

表 6-44.

アドレス	リセット	略称	タイプ	レジスタ名
標準 SPI-3.0 (0x000 ～ 0x00F)				
0x000	0x30	CONFIG_A	R/W	構成 A レジスタ
0x001	未定義	予約済み	R	予約済み
0x002	0x00	DEVICE_CONFIG	R/W	デバイス設定レジスタ
0x003	0x03	CHIP_TYPE	R	チップ タイプ レジスタ
0x004-0x005	0x0020	CHIP_ID	R	チップ ID レジスタ
0x006	0x0A	CHIP_VERSION	R	チップ バージョン レジスタ
0x007-0x00B	未定義	予約済み	R	予約済み
0x00C-0x00D	0x0451	VENDOR_ID	R	ベンダ識別レジスタ
0x00E-0x00F	未定義	予約済み	R	予約済み
ユーザー SPI 構成 (0x010 ～ 0x01F)				
0x010	0x00	USR0	R/W	ユーザー SPI 構成レジスタ
0x011-0x01F	未定義	予約済み	R	予約済み
その他のアナログ レジスタ (0x020 ～ 0x047)				
0x020-0x028	未定義	予約済み	R	予約済み
0x029	0x00	CLK_CTRL0	R/W	クロック制御レジスタ 0
0x02A	0x20	CLK_CTRL1	R/W	クロック制御レジスタ 1
0x02B	未定義	予約済み	R	予約済み
0x02C-0x02E	未定義	SYSREF_POS	R	SYSREF キャプチャ位置レジスタ
0x02F	未定義	予約済み	R	予約済み
0x030-0x031	0xA000	FS_RANGE_A	R/W	INA フルスケール レンジ調整レジスタ
0x032-0x033	0xA000	FS_RANGE_B	R/W	INB フルスケール レンジ調整レジスタ
0x034-0x037	未定義	予約済み	R	予約済み
0x038	0x00	BG_BYPASS	R/W	内部リファレンス バイパス レジスタ
0x039-0x03A	未定義	予約済み	R	予約済み
0x03B	0x00	TMSTP_CTRL	R/W	TMSTP± 制御レジスタ
0x03C-0x047	未定義	予約済み	R	予約済み
シリアライザ レジスタ (0x048 ～ 0x05F)				
0x048	0x00	SER_PE	R/W	シリアライザのプリエンファシス制御レジスタ
0x049-0x05F	未定義	予約済み	R	予約済み
較正レジスタ (0x060 ～ 0x0FF)				
0x060	0x01	INPUT_MUX	R/W	入力マルチプレクサ制御レジスタ
0x061	0x01	CAL_EN	R/W	較正イネーブル レジスタ
0x062	0x01	CAL_CFG0	R/W	キャリブレーション構成 0 レジスタ
0x063-0x069	未定義	予約済み	R	予約済み
0x06A	未定義	CAL_STATUS	R	較正ステータス レジスタ
0x06B	0x00	CAL_PIN_CFG	R/W	較正ピン構成レジスタ
0x06C	0x01	CAL_SOFT_TRIG	R/W	較正ソフトウェア トリガ レジスタ
0x06D	未定義	予約済み	R	予約済み
0x06E	0x88	CAL_LP	R/W	低消費電力バックグラウンド較正レジスタ

Copyright © 2025 Texas Instruments Incorporated

表 6-44. (続き)

アドレス	リセット	略称	タイプ	レジスタ名
0x06F	未定義	予約済み	R	予約済み
0x070	0x00	CAL_DATA_EN	R/W	較正データ イネーブル レジスタ
0x071	未定義	CAL_DATA	R/W	較正データ レジスタ
0x072-0x079	未定義	予約済み	R	予約済み
0x07A	未定義	GAIN_TRIM_A	R/W	チャネル A ゲイン トリム レジスタ
0x07B	未定義	GAIN_TRIM_B	R/W	チャネル B ゲイン トリム レジスタ
0x07C	未定義	BG_TRIM	R/W	バンドギャップ リファレンス トリム レジスタ
0x07D	未定義	予約済み	R	予約済み
0x07E	未定義	RTRIM_A	R/W	VINA 入力抵抗トリム レジスタ
0x07F	未定義	RTRIM_B	R/W	VINB 入力抵抗トリム レジスタ
0x080	未定義	TADJ_A_FG90	R/W	A-ADC のタイミング調整、シングル チャネル モード、フォアグラウンド キャリブレーション レジスタ
0x081	未定義	TADJ_B_FG0	R/W	B-ADC のタイミング調整、シングル チャネル モード、フォアグラウンド キャリブレーション レジスタ
0x082	未定義	TADJ_A_BG90	R/W	A-ADC のタイミング調整、シングル チャネル モード、バックグラウンド キャリブレーション レジスタ
0x083	未定義	TADJ_C_BG0	R/W	C-ADC のタイミング調整、シングル チャネル モード、バックグラウンド キャリブレーション レジスタ
0x084	未定義	TADJ_C_BG90	R/W	C-ADC のタイミング調整、シングル チャネル モード、バックグラウンド キャリブレーション レジスタ
0x085	未定義	TADJ_B_BG0	R/W	B-ADC のタイミング調整、シングル チャネル モード、バックグラウンド キャリブレーション レジスタ
0x086	未定義	TADJ_A	R/W	A-ADC のタイミング調整、デュアル チャネル モード レジスタ
0x087	未定義	TADJ_CA	R/W	A-ADC 用に動作する C-ADC のタイミング調整、デュアル チャネル モード レジスタ
0x088	未定義	TADJ_CB	R/W	B-ADC 用に動作する C-ADC のタイミング調整、デュアル チャネル モード レジスタ
0x089	未定義	TADJ_B	R/W	B-ADC のタイミング調整、デュアル チャネル モード レジスタ
0x08A-0x08B	未定義	OADJ_A_INA	R/W	A-ADC および INA のオフセット調整レジスタ
0x08C-0x08D	未定義	OADJ_A_INB	R/W	A-ADC および INB のオフセット調整レジスタ
0x08E-0x08F	未定義	OADJ_C_INA	R/W	C-ADC および INA のオフセット調整レジスタ
0x090-0x091	未定義	OADJ_C_INB	R/W	C-ADC および INB のオフセット調整レジスタ
0x092-0x093	未定義	OADJ_B_INA	R/W	B-ADC および INA のオフセット調整レジスタ
0x094-0x095	未定義	OADJ_B_INB	R/W	B-ADC および INB のオフセット調整レジスタ
0x096	未定義	予約済み	R	予約済み
0x097	0x00	OSFILT0	R/W	オフセット フィルタリング制御 0
0x098	0x33	OSFILT1	R/W	オフセット フィルタリング制御 1
0x099-0x0FF	未定義	予約済み	R	予約済み
ADC バンク レジスタ (0x100 ～ 0x15F)				
0x100-0x101	未定義	予約済み	R	予約済み
0x102	未定義	B0_TIME_0	R/W	バンク 0 (0° クロック) のタイミング調整レジスタ
0x103	未定義	B0_TIME_90	R/W	バンク 0 (–90° クロック) のタイミング調整レジスタ
0x104-0x111	未定義	予約済み	R	予約済み
0x112	未定義	B1_TIME_0	R/W	バンク 1 (0° クロック) のタイミング調整レジスタ
0x113	未定義	B1_TIME_90	R/W	バンク 1 (–90° クロック) のタイミング調整レジスタ

Copyright © 2025 Texas Instruments Incorporated

表 6-44. (続き)

アドレス	リセット	略称	タイプ	レジスタ名
0x114-0x121	未定義	予約済み	R	予約済み
0x122	未定義	B2_TIME_0	R/W	バンク 2 (0° クロック) のタイミング調整レジスタ
0x123	未定義	B2_TIME_90	R/W	バンク 2 (–90° クロック) のタイミング調整レジスタ
0x124-0x131	未定義	予約済み	R	予約済み
0x132	未定義	B3_TIME_0	R/W	バンク 3 (0° クロック) のタイミング調整レジスタ
0x133	未定義	B3_TIME_90	R/W	バンク 3 (–90° クロック) のタイミング調整レジスタ
0x134-0x141	未定義	予約済み	R	予約済み
0x142	未定義	B4_TIME_0	R/W	バンク 4 (0° クロック) のタイミング調整レジスタ
0x143	未定義	B4_TIME_90	R/W	バンク 4 (–90° クロック) のタイミング調整レジスタ
0x144-0x151	未定義	予約済み	R	予約済み
0x152	未定義	B5_TIME_0	R/W	バンク 5 (0° クロック) のタイミング調整レジスタ
0x153	未定義	B5_TIME_90	R/W	バンク 5 (–90° クロック) のタイミング調整レジスタ
0x154-0x15F	未定義	予約済み	R	予約済み
LSB 制御レジスタ (0x160 ～ 0x1FF)				
0x160	0x00	ENC_LSB	R/W	LSB 制御ビット出力レジスタ
0x161-0x1FF	未定義	予約済み	R	予約済み
JESD204B レジスタ (0x200 ～ 0x20F)				
0x200	0x01	JESD_EN	R/W	JESD204B イネーブル レジスタ
0x201	0x02	JMODE	R/W	JESD204B モード (JMODE) レジスタ
0x202	0x1F	KM1	R/W	JESD204B K パラメータ レジスタ
0x203	0x01	JSYNC_N	R/W	JESD204B 手動同期要求レジスタ
0x204	0x02	JCTRL	R/W	JESD204B 制御レジスタ
0x205	0x00	JTEST	R/W	JESD204B テスト パターン制御レジスタ
0x206	0x00	DID	R/W	JESD204B DID パラメータ レジスタ
0x207	0x00	FCHAR	R/W	JESD204B フレーム文字レジスタ
0x208	未定義	JESD_STATUS	R/W	JESD204B、システム ステータス レジスタ
0x209	0x00	PD_CH	R/W	JESD204B チャネル パワーダウン
0x20A	0x00	JEXTRA_A	R/W	JESD204B 追加レーン イネーブル (リンク A)
0x20B	0x00	JEXTRA_B	R/W	JESD204B 追加レーン イネーブル (リンク B)
0x20C-0x20F	未定義	予約済み	R	予約済み
デジタル ダウン コンバータ レジスタ (0x210 ～ 0x2AF)				
0x210	0x00	DDC_CFG	R/W	DDC 構成レジスタ
0x211	0xF2	OVR_T0	R/W	オーバーレンジ スレッショルド 0 レジスタ
0x212	0xAB	OVR_T1	R/W	オーバーレンジ スレッショルド 1 レジスタ
0x213	0x07	OVR_CFG	R/W	オーバーレンジ構成レジスタ
0x214	0x00	CMODE	R/W	DDC 構成プリセット モード レジスタ
0x215	0x00	CSEL	R/W	DDC 構成プリセット選択レジスタ
0x216	0x02	DIG_BIND	R/W	デジタル チャネル バインディング レジスタ
0x217-0x218	0x0000	NCO_RDIV	R/W	有理 NCO リファレンス分周レジスタ
0x219	0x02	NCO_SYNC	R/W	NCO 同期レジスタ
0x21A-0x21F	未定義	予約済み	R	予約済み
0x220-0x223	0xC0000000	FREQA0	R/W	NCO 周波数 (DDC A プリセット 0)
0x224-0x225	0x0000	PHASEA0	R/W	NCO 位相 (DDC A プリセット 0)

Copyright © 2025 Texas Instruments Incorporated

表 6-44. (続き)

アドレス	リセット	略称	タイプ	レジスタ名
0x226-0x227	未定義	予約済み	R	予約済み
0x228-0x22B	0xC0000000	FREQA1	R/W	NCO 周波数 (DDC A プリセット 1)
0x22C-0x22D	0x0000	PHASEA1	R/W	NCO 位相 (DDC A プリセット 1)
0x22E-0x22F	未定義	予約済み	R	予約済み
0x230-0x233	0xC0000000	FREQA2	R/W	NCO 周波数 (DDC A プリセット 2)
0x234-0x235	0x0000	PHASEA2	R/W	NCO 位相 (DDC A プリセット 2)
0x236-0x237	未定義	予約済み	R	予約済み
0x238-0x23B	0xC0000000	FREQA3	R/W	NCO 周波数 (DDC A プリセット 3)
0x23C-0x23D	0x0000	PHASEA3	R/W	NCO 位相 (DDC A プリセット 3)
0x23E-0x23F	未定義	予約済み	R	予約済み
0x240-0x243	0xC0000000	FREQB0	R/W	NCO 周波数 (DDC B プリセット 0)
0x244-0x245	0x0000	PHASEB0	R/W	NCO 位相 (DDC B プリセット 0)
0x246-0x247	未定義	予約済み	R	予約済み
0x248-0x24B	0xC0000000	FREQB1	R/W	NCO 周波数 (DDC B プリセット 1)
0x24C-0x24D	0x0000	PHASEB1	R/W	NCO 位相 (DDC B プリセット 1)
0x24E-0x24F	未定義	予約済み	R	予約済み
0x250-0x253	0xC0000000	FREQB2	R/W	NCO 周波数 (DDC B プリセット 2)
0x254-0x255	0x0000	PHASEB2	R/W	NCO 位相 (DDC B プリセット 2)
0x256-0x257	未定義	予約済み	R	予約済み
0x258-0x25B	0xC0000000	FREQB3	R/W	NCO 周波数 (DDC B プリセット 3)
0x25C-0x25D	0x0000	PHASEB3	R/W	NCO 位相 (DDC B プリセット 3)
0x25E-0x296	未定義	予約済み	R	予約済み
0x297	未定義	SPIN_ID	R	スピン識別値
0x298-0x2AF	未定義	予約済み	R	予約済み
SYSREF 較正レジスタ (0x2B0 ～ 0x2BF)				
0x2B0	0x00	SRC_EN	R/W	SYSREF 較正イネーブル レジスタ
0x2B1	0x05	SRC_CFG	R/W	SYSREF 較正構成レジスタ
0x2B2-0x2B4	未定義	SRC_STATUS	R	SYSREF 較正ステータス
0x2B5-0x2B7	0x00	TAD	R/W	DEVCLK アパーチャ遅延調整レジスタ
0x2B8	0x00	TAD_RAMP	R/W	DEVCLK タイミング調整ランプ制御レジスタ
0x2B9-0x2BF	未定義	予約済み	R	予約済み
アラーム レジスタ (0x2C0 ～ 0x2C2)				
0x2C0	未定義	ALARM	R	アラーム割り込みステータス レジスタ
0x2C1	0x1F	ALM_STATUS	R/W	アラーム ステータス レジスタ
0x2C2	0x1F	ALM_MASK	R/W	アラーム マスク レジスタ

Copyright © 2025 Texas Instruments Incorporated

6.6.1 レジスタの説明

6.6.1.1 標準 SPI-3.0 (0x000 ～ 0x00F)

表 6-45. 標準 SPI-3.0 レジスタ

アドレス	リセット	略称	レジスタ名	セクション
0x000	0x30	CONFIG_A	構成 A レジスタ	セクション 6.6.1.2
0x001	未定義	予約済み	予約済み	—
0x002	0x00	DEVICE_CONFIG	デバイス設定レジスタ	セクション 6.6.1.3
0x003	0x03	CHIP_TYPE	チップ タイプ レジスタ	セクション 6.6.1.4
0x004-0x005	0x0020	CHIP_ID	チップ ID レジスタ	セクション 6.6.1.5
0x006	0x0A	CHIP_VERSION	チップ バージョン レジスタ	セクション 6.6.1.6
0x007-0x00B	未定義	予約済み	予約済み	—
0x00C-0x00D	0x0451	VENDOR_ID	ベンダ識別レジスタ	セクション 6.6.1.7
0x00E-0x00F	未定義	予約済み	予約済み	—

6.6.1.2 構成 A レジスタ (アドレス = 0x000) [リセット = 0x30]

図 6-26. 構成 A レジスタ (CONFIG_A)

7	6	5	4	3	2	1	0
SOFT_RESET	予約済み	ADDR_ASC	SDO_ACTIVE	予約済み			
R/W-0	R-0	R/W-1	R-1	R-0000			

表 6-46. CONFIG_A のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SOFT_RESET	R/W	0	このビットを設定すると、デバイスが完全にリセットされます。このビットは自動でクリアされます。このビットを書き込んだ後、デバイスがリセットするのに最大 750ns を要することがあります。この期間中は、SPI トランザクションを実行しないでください。
6	予約済み	R	0	予約済み
5	ADDR_ASC	R/W	1	0:降順 – ストリーミング読み取り / 書き込み中にアドレスをデクリメント 1:昇順 – ストリーミング読み取り / 書き込み中にアドレスをインクリメント (デフォルト)
4	SDO_ACTIVE	R	1	常に 1 を返します。これは、デバイスが常に 4 線式 SPI モードを使用していることを示します。
3-0	予約済み	R	0000	予約済み

Copyright © 2025 Texas Instruments Incorporated

6.6.1.3 デバイス構成レジスタ (アドレス = 0x002) [リセット = 0x00]

図 6-27. デバイス構成レジスタ (DEVICE_CONFIG)

7	6	5	4	3	2	1	0
予約済み						モード	
R-0000 00						R/W-00	

表 6-47. DEVICE_CONFIG のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0000 00	予約済み
1-0	モード	R/W	00	SPI 3.0 仕様では、1 を低消費電力の機能モード、2 を低消費電力の高速再開、3 をパワーダウンとして記載しています。このデバイスはこれらのモードをサポートしていません。 0 : 通常動作 – 全出力と全性能 (デフォルト) 1 : 通常動作 – 全出力と全性能 2 : パワーダウン - すべてをパワーダウンします。この設定は、オンチップの温度ダイオード測定の較正に短時間だけ使用してください。詳細については、「*推奨動作条件*」の表を参照してください。 3 : パワーダウン - すべてをパワーダウンします。この設定は、オンチップの温度ダイオード測定の較正に短時間だけ使用してください。詳細については、「*推奨動作条件*」の表を参照してください。

6.6.1.4 チップ タイプ レジスタ (アドレス = 0x003) [リセット = 0x03]

図 6-28. チップ タイプ レジスタ (CHIP_TYPE)

7	6	5	4	3	2	1	0
予約済み				CHIP_TYPE			
R-0000				R-0011			

表 6-48. CHIP_TYPE のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0000	予約済み
3-0	CHIP_TYPE	R	0011	常に 0x3 を返します。これは、デバイスが高速 ADC であることを示します。

6.6.1.5 チップ ID レジスタ (アドレス= 0x004 ～ 0x005) [リセット = 0x0020]

図 6-29. チップ ID レジスタ (CHIP_ID)

15	14	13	12	11	10	9	8
CHIP_ID[15:8]							
R-0x00h							
7	6	5	4	3	2	1	0
CHIP_ID[7:0]							
R-0x20h							

表 6-49. CHIP_ID のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	CHIP_ID	R	0x0020h	常に 0x0020 を返します。これは、このデバイスが ADC12DJ3200QML-SP デバイスであることを示します。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.6 チップ バージョン レジスタ (アドレス = 0x006) [リセット = 0x01]

図 6-30. チップ バージョン レジスタ (CHIP_VERSION)

7	6	5	4	3	2	1	0
CHIP_VERSION							
R-0000 1010							

表 6-50. CHIP_VERSION のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CHIP_VERSION	R	0000 1010	チップバージョンで、0x0A を返します。

6.6.1.7 ベンダ識別レジスタ (アドレス = 0x00C ～ 0x00D) [リセット = 0x0451]

図 6-31. ベンダ識別レジスタ (VENDOR_ID)

15	14	13	12	11	10	9	8
VENDOR_ID[15:8]							
R-0x04h							
7	6	5	4	3	2	1	0
VENDOR_ID[7:0]							
R-0x51h							

表 6-51. VENDOR_ID のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	VENDOR_ID	R	0x0451h	常に 0x0451 (TI のベンダ ID) が返されます。

6.6.1.8 ユーザー SPI 構成 (0x010 ～ 0x01F)

表 6-52. ユーザー SPI 構成レジスタ

アドレス	リセット	略称	レジスタ名	セクション
0x010	0x00	USR0	ユーザー SPI 構成レジスタ	セクション 6.6.1.9
0x011-0x01F	未定義	予約済み	予約済み	—

6.6.1.9 ユーザー SPI 構成レジスタ (アドレス = 0x010) [リセット = 0x00]

図 6-32. ユーザー SPI 構成レジスタ (USR0)

7	6	5	4	3	2	1	0
予約済み							ADDR_HOLD
R-0000 000							R/W-0

表 6-53. USR0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	0000 000	予約済み
0	ADDR_HOLD	R/W	0	0:ADDR_ASC ビットを使用して、ストリーミング時のアドレスの処理を定義 (デフォルト) 1:アドレスはストリーミング動作中を通して常に固定されます。この設定は、CAL_DATA レジスタでの較正ベクタ情報の読み書きに便利です

Copyright © 2025 Texas Instruments Incorporated

6.6.1.10 その他のアナログ レジスタ (0x020 ～ 0x047)

表 6-54. その他のアナログ レジスタ

アドレス	リセット	略称	レジスタ名	セクション
0x020-0x028	未定義	予約済み	予約済み	—
0x029	0x00	CLK_CTRL0	クロック制御レジスタ 0	セクション 6.6.1.11
0x02A	0x20	CLK_CTRL1	クロック制御レジスタ 1	セクション 6.6.1.12
0x02B	未定義	予約済み	予約済み	—
0x02C-0x02E	未定義	SYSREF_POS	SYSREF キャプチャ位置レジスタ	セクション 6.6.1.13
0x02F	未定義	予約済み	予約済み	—
0x030-0x031	0xA000	FS_RANGE_A	INA フルスケール レンジ調整レジスタ	セクション 6.6.1.14
0x032-0x033	0xA000	FS_RANGE_B	INB フルスケール レンジ調整レジスタ	セクション 6.6.1.15
0x034-0x037	未定義	予約済み	予約済み	—
0x038	0x00	BG_BYPASS	内部リファレンス バイパス レジスタ	セクション 6.6.1.16
0x039-0x03A	未定義	予約済み	予約済み	—
0x03B	0x00	SYNC_CTRL	TMSTP± 制御レジスタ	セクション 6.6.1.17
0x03C-0x047	未定義	予約済み	予約済み	—

6.6.1.11 クロック制御レジスタ (アドレス = 0x029) [リセット = 0x00]

図 6-33. クロック制御レジスタ 0 (CLK_CTRL0)

7	6	5	4	3	2	1	0
予約済み	SYSREF_PROC_EN	SYSREF_RECV_EN	SYSREF_ZOOM	SYSREF_SEL			
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0000			

表 6-55. CLK_CTRL0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0	予約済み
6	SYSREF_PROC_EN	R/W	0	このビットは、SYSREF プロセッサを有効にします。デバイスが SYSREF イベントを処理できるように、このビットを設定する必要があります。SYSREF_PROC_EN を設定する前に SYSREF_RECV_EN を設定する必要があります。
5	SYSREF_RECV_EN	R/W	0	このビットを設定すると、SYSREF レシーバ回路が有効になります。
4	SYSREF_ZOOM	R/W	0	このビットを設定すると、SYSREF ストローブ ステータスを *拡大* できます (SYSREF_POS に影響)。
3-0	SYSREF_SEL	R/W	0000	使用する SYSREF 遅延を選択するには、このフィールドを設定します。SYSREF_POS から返された結果に基づいて、このフィールドを設定します。SYSREF 較正を使用するには、このフィールドを 0 に設定します。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.12 クロック制御レジスタ 1 (アドレス = 0x02A) [リセット = 0x00]

図 6-34. クロック制御レジスタ 1 (CLK_CTRL1)

7	6	5	4	3	2	1	0
予約済み					DEVCLK_LVPECL_EN	SYSREF_LVPECL_EN	SYSREF_INVERTED
R/W-0010 0					R/W-0	R/W-0	R/W-0

表 6-56. CLK_CTRL1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R/W	0010 0	予約済み
2	DEVCLK_LVPECL_EN	R/W	0	DEVCLK の低電圧 PECL モードを有効にします。
1	SYSREF_LVPECL_EN	R/W	0	SYSREF の低電圧 PECL モードを有効にします。
0	SYSREF_INVERTED	R/W	0	アライメントに使用される SYSREF 信号を反転します。

6.6.1.13 SYSREF キャプチャ位置レジスタ (アドレス = 0x02C ～ 0x02E) [リセット = 未定義]

図 6-35. SYSREF キャプチャ位置レジスタ (SYSREF_POS)

23	22	21	20	19	18	17	16
SYSREF_POS[23:16]							
R - 未定義							
15	14	13	12	11	10	9	8
SYSREF_POS[15:8]							
R - 未定義							
7	6	5	4	3	2	1	0
SYSREF_POS[7:0]							
R - 未定義							

表 6-57. SYSREF_POS のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	SYSREF_POS	R	未定義	このフィールドは、DEVCLK を基準とした SYSREF エッジの位置を示す 24 ビットのステータス値を返します。このフィールドを使用して、SYSREF_SEL をプログラムします。

6.6.1.14 INA フルスケール レンジ調整レジスタ (アドレス = 0x030 ～ 0x031) [リセット = 0xA000]

図 6-36. INA フルスケール レンジ調整レジスタ (FS_RANGE_A)

15	14	13	12	11	10	9	8
FS_RANGE_A[15:8]							
R/W-0xA0h							
7	6	5	4	3	2	1	0
FS_RANGE_A[7:0]							
R/W-0x00h							

Copyright © 2025 Texas Instruments Incorporated

表 6-58. FS_RANGE_A のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	FS_RANGE_A	R/W	0xA000h	このフィールドにより、INA のアナログ フルスケール レンジの調整を有効化できます。 0x0000:0X2000 以下の設定ではデバイスのパフォーマンスが低下する可能性があります。 0x2000:500mV_{PP} - 推奨最小設定 0xA000:800mV_{PP} (デフォルト) 0xFFFF:1000mV_{PP}

6.6.1.15 INB フルスケール レンジ調整レジスタ (アドレス = 0x032 ～ 0x033) [リセット = 0xA000]

図 6-37. INB フルスケール レンジ調整レジスタ (FS_RANGE_B)

15	14	13	12	11	10	9	8
FS_RANGE_B[15:8]							
R/W-0xA0							
7	6	5	4	3	2	1	0
FS_RANGE_B[7:0]							
R/W-0x00							

表 6-59. FS_RANGE_B のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	FS_RANGE_B	R/W	0xA000h	このフィールドにより、INB のアナログ フルスケール レンジの調整を有効化できます。 0x0000:0X2000 以下の設定ではデバイスのパフォーマンスが低下する可能性があります 0x2000:500mV_{PP} - 推奨最小設定 0xA000:800mV_{PP} (デフォルト) 0xFFFF:1000mV_{PP}

6.6.1.16 内部リファレンス バイパス レジスタ (アドレス = 0x038) [リセット = 0x00]

図 6-38. 内部リファレンス バイパス レジスタ (BG_BYPASS)

7	6	5	4	3	2	1	0
予約済み							BG_BYPASS
R/W-0000 000							R/W-0

表 6-60. BG_BYPASS のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	0000 000	予約済み
0	BG_BYPASS	R/W	0	設定すると、VA11 が内部リファレンスではなく電圧リファレンスとして使用されます。

6.6.1.17 TMSTP± 制御レジスタ (アドレス = 0x03B) [リセット = 0x00]

図 6-39. TMSTP± 制御レジスタ (TMSTP_CTRL)

7	6	5	4	3	2	1	0
予約済み						TMSTP_LVPECL_EN	TMSTP_RECV_EN
R/W-0000 00						R/W-0	R/W-0

Copyright © 2025 Texas Instruments Incorporated

表 6-61. TMSTP_CTRL のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R/W	0000 00	予約済み
1	TMSTP_LVPECL_EN	R/W	0	設定すると、このビットは差動 TMSTP± 入力の低電圧 PECL モードを有効にします。
0	TMSTP_RECV_EN	R/W	0	このビットは、差動 TMSTP± 入力を有効にします。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.18 シリアライザ レジスタ (0x048 ～ 0x05F)

表 6-62. シリアライザ レジスタ

アドレス	リセット	略称	レジスタ名	セクション
0x048	0x00	SER_PE	シリアライザのプリエンファシス制御レジスタ	セクション 6.6.1.19
0x049-0x05F	未定義	予約済み	予約済み	—

6.6.1.19 シリアライザのプリエンファシス制御レジスタ (アドレス = 0x048) [リセット = 0x00]

図 6-40. シリアライザのプリエンファシス制御レジスタ (SER_PE)

7	6	5	4	3	2	1	0
予約済み				SER_PE			
R/W-0000				R/W-0000			

表 6-63. SER_PE のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0000	予約済み
3-0	SER_PE	R/W	0000	このフィールドは、シリアル レーンのプリエンファシスを設定して、PCB パターンのローパス応答を補償します。この設定は、16 レーンすべてに影響を及ぼすグローバル設定です。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.20 較正レジスタ (0x060 ～ 0x0FF)

表 6-64. 較正レジスタ

アドレス	リセット	略称	レジスタ名	セクション
0x060	0x01	INPUT_MUX	入力マルチプレクサ制御レジスタ	セクション 6.6.1.21
0x061	0x01	CAL_EN	較正イネーブル レジスタ	セクション 6.6.1.22
0x062	0x01	CAL_CFG0	キャリブレーション構成 0 レジスタ	セクション 6.6.1.23
0x063-0x069	未定義	予約済み	予約済み	—
0x06A	未定義	CAL_STATUS	較正ステータス レジスタ	セクション 6.6.1.24
0x06B	0x00	CAL_PIN_CFG	較正ピン構成レジスタ	セクション 6.6.1.25
0x06C	0x01	CAL_SOFT_TRIG	較正ソフトウェア トリガ レジスタ	セクション 6.6.1.26
0x06D	未定義	予約済み	予約済み	—
0x06E	0x88	CAL_LP	低消費電力バックグラウンド較正レジスタ	セクション 6.6.1.27
0x06F	未定義	予約済み	予約済み	—
0x070	0x00	CAL_DATA_EN	較正データ イネーブル レジスタ	セクション 6.6.1.28
0x071	未定義	CAL_DATA	較正データ レジスタ	セクション 6.6.1.29
0x072-0x079	未定義	予約済み	予約済み	—
0x07A	未定義	GAIN_TRIM_A	チャネル A ゲイン トリム レジスタ	セクション 6.6.1.30
0x07B	未定義	GAIN_TRIM_B	チャネル B ゲイン トリム レジスタ	セクション 6.6.1.31
0x07C	未定義	BG_TRIM	バンドギャップ リファレンス トリム レジスタ	セクション 6.6.1.32
0x07D	未定義	予約済み	予約済み	—
0x07E	未定義	RTRIM_A	VINA 入力抵抗トリム レジスタ	セクション 6.6.1.33
0x07F	未定義	RTRIM_B	VINB 入力抵抗トリム レジスタ	セクション 6.6.1.34
0x080	未定義	TADJ_A_FG90	A-ADC のタイミング調整、シングル チャネル モード、フォアグラウンド キャリブレーション レジスタ	セクション 6.6.1.35
0x081	未定義	TADJ_B_FG0	B-ADC のタイミング調整、シングル チャネル モード、フォアグラウンド キャリブレーション レジスタ	セクション 6.6.1.36
0x082	未定義	TADJ_A_BG90	A-ADC のタイミング調整、シングル チャネル モード、バックグラウンド キャリブレーション レジスタ	セクション 6.6.1.37
0x083	未定義	TADJ_C_BG0	C-ADC のタイミング調整、シングル チャネル モード、バックグラウンド キャリブレーション レジスタ	セクション 6.6.1.39
0x084	未定義	TADJ_C_BG90	C-ADC のタイミング調整、シングル チャネル モード、バックグラウンド キャリブレーション レジスタ	セクション 6.6.1.39
0x085	未定義	TADJ_B_BG0	B-ADC のタイミング調整、シングル チャネル モード、バックグラウンド キャリブレーション レジスタ	セクション 6.6.1.40
0x086	未定義	TADJ_A	A-ADC のタイミング調整、デュアル チャネル モード レジスタ	セクション 6.6.1.41
0x087	未定義	TADJ_CA	A-ADC 用に動作する C-ADC のタイミング調整、デュアル チャネル モード レジスタ	セクション 6.6.1.42
0x088	未定義	TADJ_CB	B-ADC 用に動作する C-ADC のタイミング調整、デュアル チャネル モード レジスタ	セクション 6.6.1.43
0x089	未定義	TADJ_B	B-ADC のタイミング調整、デュアル チャネル モード レジスタ	セクション 6.6.1.44
0x08A-0x08B	未定義	OADJ_A_INA	A-ADC および INA のオフセット調整レジスタ	セクション 6.6.1.45
0x08C-0x08D	未定義	OADJ_A_INB	A-ADC および INB のオフセット調整レジスタ	セクション 6.6.1.46
0x08E-0x08F	未定義	OADJ_C_INA	C-ADC および INA のオフセット調整レジスタ	セクション 6.6.1.47

Copyright © 2025 Texas Instruments Incorporated

表 6-64. 較正レジスタ (続き)

アドレス	リセット	略称	レジスタ名	セクション
0x090-0x091	未定義	OADJ_C_INB	C-ADC および INB のオフセット調整レジスタ	セクション 6.6.1.48
0x092-0x093	未定義	OADJ_B_INA	B-ADC および INA のオフセット調整レジスタ	セクション 6.6.1.49
0x094-0x095	未定義	OADJ_B_INB	B-ADC および INB のオフセット調整レジスタ	セクション 6.6.1.50
0x096	未定義	予約済み	予約済み	—
0x097	0x00	0SFILT0	オフセット フィルタリング制御 0	セクション 6.6.1.51
0x098	0x33	OSFILT1	オフセット フィルタリング制御 1	セクション 6.6.1.52
0x099-0x0FF	未定義	予約済み	予約済み	—

6.6.1.21 入力マルチプレクサ制御レジスタ (アドレス = 0x060) [リセット = 0x01]

図 6-41. 入力マルチプレクサ制御レジスタ (INPUT_MUX)

7	6	5	4	3	2	1	0
予約済み			DUAL_INPUT	予約済み		SINGLE_INPUT	
R/W-000			R/W-0	R/W-00		R/W-01	

表 6-65. INPUT_MUX のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	000	予約済み
4	DUAL_INPUT	R/W	0	このビットは、デュアル チャネル モードの入力を選択します。 JMODE がシングル チャネル モードを選択している場合、このレジスタは無効です。 0:A チャネルは INA をサンプリング、B チャネルは INB をサンプリング (スワップなし、デフォルト) 1:A チャネルは INB をサンプリング、B チャネルは INA をサンプリング (スワップ)
3-2	予約済み	R/W	00	予約済み
1-0	SINGLE_INPUT	R/W	01	このフィールドは、シングル チャネル モードでサンプリングされる入力を定義します。JMODE がシングル チャネル モードを選択していない場合、このレジスタは無効です。 0:予約済み 1:INA を使用 (デフォルト) 2:INB を使用 3:予約済み

Copyright © 2025 Texas Instruments Incorporated

6.6.1.22 較正イネーブル レジスタ (アドレス = 0x061) [リセット = 0x01]

図 6-42. 較正イネーブル レジスタ (CAL_EN)

7	6	5	4	3	2	1	0
予約済み							CAL_EN
R/W-0000 000							R/W-1

表 6-66. CAL_EN のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	0000 000	予約済み
0	CAL_EN	R/W	1	較正を有効にします。較正を実行するには、このビットを High に設定します。このビットを Low に設定すると、較正がリセット状態に保持され、新しい較正設定をプログラムできます。CAL_EN をクリアすると、デジタル ブロックと JESD204B インターフェイスにクロックを供給するクロック分周器もリセットされます。 一部の較正レジスタでは、変更を加える前に CAL_EN をクリアする必要があります。この要件を持つすべてのレジスタには、それぞれの説明に注が含まれています。レジスタを変更した後、CAL_EN を設定して、新しい設定で較正を再実行します。 JESD_EN を設定する前に、必ず CAL_EN を設定します。CAL_EN をクリアする前に、必ず JESD_EN をクリアしてください。

6.6.1.23 キャリブレーション構成 0 レジスタ (アドレス = 0x062) [リセット = 0x01]

CAL_EN が 0 の場合のみ、このレジスタを変更します。

図 6-43. キャリブレーション構成 0 レジスタ (CAL_CFG0)

7	6	5	4	3	2	1	0
予約済み			CAL_OSFILT	CAL_BGOS	CAL_OS	CAL_BG	CAL_FG
R/W-000			R/W-0	R/W-0	R/W-0	R/W-0	R/W-1

表 6-67. CAL_CFG0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	0000	予約済み
4	CAL_OSFILT	R/W	0	このビットを High に設定することで、オフセット フィルタリングを有効にします。
3	CAL_BGOS	R/W	0	0:バックグラウンド オフセット較正を無効化します (デフォルト) 1:バックグラウンド オフセット較正を有効化します (CAL_BG を設定する必要があります)。
2	CAL_OS	R/W	0	0:フォアグラウンド オフセット較正を無効化します (デフォルト) 1:フォアグラウンド オフセット較正を有効化します (CAL_FG を設定する必要があります)
1	CAL_BG	R/W	0	0:バックグラウンド較正を無効化します (デフォルト) 1:バックグラウンド較正を有効化します
0	CAL_FG	R/W	1	0:較正値をリセットし、フォアグラウンド較正をスキップします 1:較正値をリセットし、フォアグラウンド較正を実行します (デフォルト)

6.6.1.24 較正ステータス レジスタ (アドレス = 0x06A) [リセット = 未定義]

図 6-44. 較正ステータス レジスタ (CAL_STATUS)

7	6	5	4	3	2	1	0
予約済み						CAL_STOPPED	FG_DONE
R						R	R

表 6-68. CAL_STATUS のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R		予約済み
1	CAL_STOPPED	R		要求された位相でバックグラウンド較正が正常に停止されると、このビットは 1 を返します。較正が再開されると、このビットは 0 を返します。バックグラウンド較正が無効化された場合、このビットはフォアグラウンド較正が完了したとき、またはスキップされたときに設定されます。
0	FG_DONE	R		フォアグラウンド較正が完了すると、このビットは High に設定されます。

6.6.1.25 較正ピン構成レジスタ (アドレス = 0x06B) [リセット = 0x00]

図 6-45. 較正ピン構成レジスタ (CAL_PIN_CFG)

7	6	5	4	3	2	1	0
予約済み					CAL_STATUS_SEL		CAL_TRIG_EN
R/W-0000 0					R/W-00		R/W-0

表 6-69. CAL_PIN_CFG のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R/W	0000 0	予約済み
2-1	CAL_STATUS_SEL	R/W	00	0:CALSTAT 出力ピンは FG_DONE と一致します 1:予約済み 2:CALSTAT 出力ピンは ALARM と一致します 3:CALSTAT 出力ピンは常に Low です
0	CAL_TRIG_EN	R/W	0	このビットを持つハードウェアまたはソフトウェアのトリガ ソースを選択します。 0:較正トリガに CAL_SOFT_TRIG レジスタを使用します。CAL_TRIG 入力は無効化 (無視) されます 1:較正トリガに CAL_TRIG 入力を使用します。CAL_SOFT_TRIG レジスタは無視されます

6.6.1.26 較正ソフトウェア トリガ レジスタ (アドレス = 0x06C) [リセット = 0x01]

図 6-46. 較正ソフトウェア トリガ レジスタ (CAL_SOFT_TRIG)

7	6	5	4	3	2	1	0
予約済み							CAL_SOFT_TRIG
R/W-0000 000							R/W-1

表 6-70. CAL_SOFT_TRIG のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	0000 000	予約済み
0	CAL_SOFT_TRIG	R/W	1	CAL_SOFT_TRIG は、CAL_TRIG 入力の機能を提供するソフトウェア ビットです。較正トリガに CAL_SOFT_TRIG を使用するように、CAL_TRIG_EN = 0 をプログラミングします。較正トリガが必要ない場合は、CAL_TRIG_EN = 0 および CAL_SOFT_TRIG = 1 (トリガを High に設定) のままにします。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.27 低消費電力バックグラウンド較正レジスタ（アドレス= 0x06E）[リセット= 0x88]

図 6-47. 低消費電力バックグラウンド較正レジスタ (CAL_LP)

7	6	5	4	3	2	1	0
LP_SLEEP_DLY			LP_WAKE_DLY		予約済み	LP_TRIG	LP_EN
R/W-010			R/W-01		R/W-0	R/W-0	R/W-0

表 6-71. CAL_LP のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	LP_SLEEP_DLY	R/W	010	較正のためにウェークアップする前に ADC がスリープ状態になる時間を調整します (LP_EN = 1 および LP_TRIG = 0 のときのみ適用されます)。全体的な消費電力削減の利点が限られているため、4 未満の値はお勧めしません。 0:スリープ遅延 = (2^3 + 1) × 256 × t_{DEVCLK} 1:スリープ遅延 = (2^{15} + 1) × 256 × t_{DEVCLK} 2:スリープ遅延 = (2^{18} + 1) × 256 × t_{DEVCLK} 3:スリープ遅延 = (2^{21} + 1) × 256 × t_{DEVCLK} 4:スリープ遅延 = (2^{24} + 1) × 256 × t_{DEVCLK}:デフォルトは 3.2GHz クロックで約 1338ms 5:スリープ遅延 = (2^{27} + 1) × 256 × t_{DEVCLK} 6:スリープ遅延 = (2^{30} + 1) × 256 × t_{DEVCLK} 7:スリープ遅延 = (2^{33} + 1) × 256 × t_{DEVCLK}
4-3	LP_WAKE_DLY	R/W	01	ウェークアップ後に ADC を較正する前のセトリングに必要な時間を調整します (LP_EN = 1 の場合のみ適用されます)。較正を開始する前にコアが安定するのに十分な時間がないため、1 より小さい値はお勧めしません。 0:ウェーク遅延 = (2^3 + 1) × 256 × t_{DEVCLK} 1:ウェーク遅延 = (2^{18} + 1) × 256 × t_{DEVCLK}:デフォルトは 3.2GHz クロックで約 21ms 2:ウェーク遅延 = (2^{21} + 1) × 256 × t_{DEVCLK} 3:ウェーク遅延 = (2^{24} + 1) × 256 × t_{DEVCLK}
2	予約済み	R/W	0	予約済み
1	LP_TRIG	R/W	0	0:ADC スリープ期間は、LP_SLEEP_DLY (自律モード) によって設定されます。 1:ADC は、トリガによってウェークアップされるまでスリープし、較正トリガ (CAL_SOFT_TRIG ビットまたは CAL_TRIG 入力) が Low のときに ADC がウェークアップします
0	LP_EN	R/W	0	0:低消費電力のバックグラウンド較正を無効化します (デフォルト) 1:低消費電力のバックグラウンド較正を有効化します (CAL_BG = 1 の場合のみ適用)

6.6.1.28 較正データ イネーブル レジスタ (アドレス = 0x070) [リセット = 0x00]

図 6-48. 較正データ イネーブル レジスタ (CAL_DATA_EN)

7	6	5	4	3	2	1	0
予約済み							CAL_DATA_EN
R/W-0000 000							R/W-0

表 6-72. CAL_DATA_EN のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	0000 000	予約済み
0	CAL_DATA_EN	R/W	0	このビットを設定すると、CAL_DATA レジスタが有効になり、較正データの読み書きが有効になります。詳細については、「較正データ レジスタ」を参照してください。

6.6.1.29 較正データ レジスタ (アドレス=0x071) [リセット = 未定義]

図 6-49. 較正データ レジスタ (CAL_DATA)

7	6	5	4	3	2	1	0
CAL_DATA							
R/W							

表 6-73. CAL_DATA のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CAL_DATA	R/W	未定義	CAL_DATA_EN を設定した後、このレジスタを繰り返し読み取ると、ADC のすべての較正値が返されます。このレジスタを繰り返し書き込むと、ADC のすべての較正値が入力されます。較正データを読み取るには、レジスタを 673 回読み取ります。ベクタを書き込むには、あらかじめ保存された較正データでレジスタを 673 回書き込みます。読み取り / 書き込み動作を高速化するには、ADDR_HOLD = 1 を設定し、ストリーミング読み取りまたは書き込みプロセスを使用します。CAL_STOPPED = 0 のときに CAL_DATA レジスタにアクセスすると、較正データが破損します。また、673 回の読み取りまたは書き込み前のプロセスを停止すると、較正データが無効な状態のままになります。

6.6.1.30 チャネル A ゲイン トリム レジスタ (アドレス=0x07A) [リセット = 未定義]

図 6-50. チャネル A ゲイン トリム レジスタ (GAIN_TRIM_A)

7	6	5	4	3	2	1	0
GAIN_TRIM_A							
R/W							

表 6-74. GAIN_TRIM_A のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	GAIN_TRIM_A	R/W	未定義	このレジスタによりチャネル A のゲイン トリムが有効になります。リセット後は、必要に応じて出荷時にトリムされた値を読み取りおよび調整できます。

6.6.1.31 チャネル B ゲイン トリム レジスタ (アドレス=0x07B) [リセット = 未定義]

図 6-51. チャネル B ゲイン トリム レジスタ (GAIN_TRIM_B)

7	6	5	4	3	2	1	0
GAIN_TRIM_B							
R/W							

表 6-75. GAIN_TRIM_B のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	GAIN_TRIM_B	R/W	未定義	このレジスタによりチャネル B のゲイン トリムが有効になります。リセット後は、必要に応じて出荷時にトリムされた値を読み取りおよび調整できます。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.32 バンドギャップ リファレンス トリム レジスタ (アドレス=0x07C) [リセット = 未定義]

図 6-52. バンドギャップ リファレンス トリム レジスタ (BG_TRIM)

7	6	5	4	3	2	1	0
予約済み				BG_TRIM			
R/W-0000				R/W			

表 6-76. BG_TRIM のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0000	予約済み
3-0	BG_TRIM	R/W	未定義	このレジスタは、内部バンドギャップ リファレンスのトリミングを可能にします。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

6.6.1.33 VINA 入力抵抗トリム レジスタ (アドレス=0x07E) [リセット = 未定義]

図 6-53. VINA 入力抵抗トリム レジスタ (RTRIM_A)

7	6	5	4	3	2	1	0
RTRIM							
R/W							

表 6-77. RTRIM_A のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	RTRIM_A	R/W	未定義	このレジスタは、VINA ADC 入力終端トリムを制御します。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

6.6.1.34 VINB 入力抵抗トリム レジスタ (アドレス=0x07F) [リセット = 未定義]

図 6-54. VINB 入力抵抗トリム レジスタ (RTRIM_B)

7	6	5	4	3	2	1	0
RTRIM							
R/W							

表 6-78. RTRIM_B のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	RTRIM_B	R/W	未定義	このレジスタは、VINB ADC 入力終端トリムを制御します。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.35 A-ADC のタイミング調整、シングル チャネル モード、フォアグラウンド キャリブレーション レジスタ (アドレス = 0x080) [リセット = 未定義]

図 6-55. レジスタ (TADJ_A_FG90)

7	6	5	4	3	2	1	0
TADJ_A_FG90							
R/W							

表 6-79. TADJ_A_FG90 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-0	TADJ_A_FG90	R/W	未定義	このレジスタ (とそれに続く他の TADJ* レジスタ) を使用して、各 ADC コアのサンプリングの瞬間を調整します。バックグラウンド キャリブレーションのモードや位相によって、異なる TADJ レジスタが各 ADC に適用されます。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

6.6.1.36 B-ADC のタイミング調整、シングル チャネル モード、フォアグラウンド キャリブレーション レジスタ (アドレス = 0x081) [リセット = 未定義]

図 6-56. レジスタ (TADJ_B_FG0)

7	6	5	4	3	2	1	0
TADJ_B_FG0							
R/W							

表 6-80. TADJ_B_FG0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-0	TADJ_B_FG0	R/W	未定義	このレジスタ (とそれに続く他の TADJ* レジスタ) を使用して、各 ADC コアのサンプリングの瞬間を調整します。バックグラウンド キャリブレーションのモードや位相によって、異なる TADJ レジスタが各 ADC に適用されます。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

6.6.1.37 A-ADC のタイミング調整、シングル チャネル モード、バックグラウンド キャリブレーション レジスタ (アドレス = 0x082) [リセット = 未定義]

図 6-57. レジスタ (TADJ_A_BG90)

7	6	5	4	3	2	1	0
TADJ_A_BG90							
R/W							

表 6-81. TADJ_B_FG0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-0	TADJ_A_BG90	R/W	未定義	このレジスタ (とそれに続く他の TADJ* レジスタ) を使用して、各 ADC コアのサンプリングの瞬間を調整します。バックグラウンド キャリブレーションのモードや位相によって、異なる TADJ レジスタが各 ADC に適用されます。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.38 C-ADC のタイミング調整、シングル チャネル モード、バックグラウンド キャリブレーション レジスタ (アドレス = 0x083) [リセット = 未定義]

図 6-58. C-ADC のタイミング調整、シングル チャネル モード、バックグラウンド キャリブレーション レジスタ (TADJ_C_BG0)

7	6	5	4	3	2	1	0
TADJ_C_BG0							
R/W							

表 6-82. TADJ_B_FG0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-0	TADJ_C_BG0	R/W	未定義	このレジスタ (とそれに続く他の TADJ* レジスタ) を使用して、各 ADC コアのサンプリングの瞬間を調整します。バックグラウンド キャリブレーションのモードや位相によって、異なる TADJ レジスタが各 ADC に適用されます。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

6.6.1.39 C-ADC のタイミング調整、シングル チャネル モード、バックグラウンド キャリブレーション レジスタ (アドレス = 0x084) [リセット = 未定義]

図 6-59. C-ADC のタイミング調整、シングル チャネル モード、バックグラウンド キャリブレーション レジスタ (TADJ_C_BG90)

7	6	5	4	3	2	1	0
TADJ_C_BG90							
R/W							

表 6-83. TADJ_B_FG0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-0	TADJ_C_BG90	R/W	未定義	このレジスタ (とそれに続く他の TADJ* レジスタ) を使用して、各 ADC コアのサンプリングの瞬間を調整します。バックグラウンド キャリブレーションのモードや位相によって、異なる TADJ レジスタが各 ADC に適用されます。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

6.6.1.40 B-ADC のタイミング調整、シングル チャネル モード、バックグラウンド キャリブレーション レジスタ (アドレス = 0x085) [リセット = 未定義]

図 6-60. B-ADC のタイミング調整、シングル チャネル モード、バックグラウンド キャリブレーション レジスタ (TADJ_B_BG0)

7	6	5	4	3	2	1	0
TADJ_B_BG0							
R/W							

表 6-84. TADJ_B_FG0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-0	TADJ_B_BG0	R/W	未定義	このレジスタ (とそれに続く他の TADJ* レジスタ) を使用して、各 ADC コアのサンプリングの瞬間を調整します。バックグラウンド キャリブレーションのモードや位相によって、異なる TADJ レジスタが各 ADC に適用されます。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.41 A-ADC のタイミング調整、デュアル チャネル モード レジスタ (アドレス = 0x086) [リセット = 未定義]

図 6-61. A-ADC のタイミング調整、デュアル チャネル モード レジスタ (TADJ_A)

7	6	5	4	3	2	1	0
TADJ_A							
R/W							

表 6-85. TADJ_A のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	TADJ_A	R/W	未定義	このレジスタ (とそれに続く他の TADJ* レジスタ) を使用して、各 ADC コアのサンプリングの瞬間を調整します。バックグラウンド キャリブレーションのモードや位相によって、異なる TADJ レジスタが各 ADC に適用されます。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

6.6.1.42 A-ADC 用に動作する C-ADC のタイミング調整、デュアル チャネル モード レジスタ (アドレス = 0x087) [リセット = 未定義]

図 6-62. A-ADC 用に動作する C-ADC のタイミング調整、デュアル チャネル モード レジスタ (TADJ_CA)

7	6	5	4	3	2	1	0
TADJ_CA							
R/W							

表 6-86. TADJ_CA のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	TADJ_CA	R/W	未定義	このレジスタ (とそれに続く他の TADJ* レジスタ) を使用して、各 ADC コアのサンプリングの瞬間を調整します。バックグラウンド キャリブレーションのモードや位相によって、異なる TADJ レジスタが各 ADC に適用されます。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

6.6.1.43 B-ADC 用に動作する C-ADC のタイミング調整、デュアル チャネル モード レジスタ (アドレス = 0x088) [リセット = 未定義]

図 6-63. B-ADC 用に動作する C-ADC のタイミング調整、デュアル チャネル モード レジスタ (TADJ_CB)

7	6	5	4	3	2	1	0
TADJ_CB							
R/W							

表 6-87. TADJ_CB のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	TADJ_CB	R/W	未定義	このレジスタ (とそれに続く他の TADJ* レジスタ) を使用して、各 ADC コアのサンプリングの瞬間を調整します。バックグラウンド キャリブレーションのモードや位相によって、異なる TADJ レジスタが各 ADC に適用されます。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.44 B-ADC のタイミング調整、デュアル チャネル モード レジスタ (アドレス = 0x089) [リセット = 未定義]

図 6-64. B-ADC のタイミング調整、デュアル チャネル モード レジスタ (TADJ_B)

7	6	5	4	3	2	1	0
TADJ_B							
R/W							

表 6-88. TADJ_B のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	TADJ_B	R/W	未定義	このレジスタ (とそれに続く他の TADJ* レジスタ) を使用して、各 ADC コアのサンプリングの瞬間を調整します。バックグラウンド キャリブレーションのモードや位相によって、異なる TADJ レジスタが各 ADC に適用されます。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

6.6.1.45 A-ADC および INA のオフセット調整レジスタ (アドレス = 0x08A ～ 0x08B) [リセット = 未定義]

図 6-65. A-ADC および INA のオフセット調整レジスタ (OADJ_A_INA)

15	14	13	12	11	10	9	8
予約済み				OADJ_A_INA[11:8]			
R/W-0000				R/W			
7	6	5	4	3	2	1	0
OADJ_A_INA[7:0]							
R/W							

表 6-89. OADJ_A_INA のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R/W	0000	予約済み
11-0	OADJ_A_INA	R/W	未定義	ADC0 が INA をサンプリングする場合に適用される ADC0 (A-ADC) のオフセット調整値。形式は符号なし。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。 重要な注意事項: • フォアグラウンド キャリブレーションの実行中は、OADJ*レジスタに書き込まないでください • CAL_BG と CAL_BGOS が設定されている場合は、OADJ* レジスタに書き込まないでください • CAL_OS = 1 かつ CAL_BGOS = 0 の場合、FG_DONE = 1 のときのみ、OADJ* レジスタを読み取ることができます • CAL_BG = 1 かつ CAL_BGOS = 1 の場合、CAL_STOPPED = 1 のときのみ、OADJ* レジスタを読み取ることができます

Copyright © 2025 Texas Instruments Incorporated

6.6.1.46 A-ADC および INB のオフセット調整レジスタ (アドレス = 0x08C ～ 0x08D) [リセット = 未定義]

図 6-66. A-ADC および INB のオフセット調整レジスタ (OADJ_A_INB)

15	14	13	12	11	10	9	8
予約済み				OADJ_A_INB[11:8]			
R/W-0000				R/W			
7	6	5	4	3	2	1	0
OADJ_A_INB[7:0]							
R/W							

表 6-90. OADJ_A_INB のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R/W	0000	予約済み
11-0	OADJ_A_INB	R/W	未定義	ADC0 が INB をサンプリングする場合に適用される ADC0 (A-ADC) のオフセット調整値。形式は符号なし。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。 重要な注意事項: • フォアグラウンド キャリブレーションの実行中は、OADJ*レジスタに書き込まないでください • CAL_BG と CAL_BGOS が設定されている場合は、OADJ* レジスタに書き込まないでください • CAL_OS = 1 かつ CAL_BGOS = 0 の場合、FG_DONE = 1 のときのみ、OADJ* レジスタを読み取ることができます • CAL_BG = 1 かつ CAL_BGOS = 1 の場合、CAL_STOPPED = 1 のときのみ、OADJ* レジスタを読み取ることができます

6.6.1.47 C-ADC および INA のオフセット調整レジスタ (アドレス = 0x08E ～ 0x08F) [リセット = 未定義]

図 6-67. C-ADC および INA のオフセット調整レジスタ (OADJ_C_INA)

15	14	13	12	11	10	9	8
予約済み				OADJ_C_INA[11:8]			
R/W-0000				R/W			
7	6	5	4	3	2	1	0
OADJ_C_INA[7:0]							
R/W							

表 6-91. OADJ_C_INA のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R/W	0000	予約済み
11-0	OADJ_C_INA	R/W	未定義	ADC1 が INA をサンプリングする場合に適用される ADC1 (A-ADC) のオフセット調整値。形式は符号なし。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。 重要な注意事項: • フォアグラウンド キャリブレーションの実行中は、OADJ*レジスタに書き込まないでください • CAL_BG と CAL_BGOS が設定されている場合は、OADJ* レジスタに書き込まないでください • CAL_OS = 1 かつ CAL_BGOS = 0 の場合、FG_DONE = 1 のときのみ、OADJ* レジスタを読み取ることができます • CAL_BG = 1 かつ CAL_BGOS = 1 の場合、CAL_STOPPED = 1 のときのみ、OADJ* レジスタを読み取ることができます

Copyright © 2025 Texas Instruments Incorporated

6.6.1.48 C-ADC および INB のオフセット調整レジスタ (アドレス = 0x090 ～ 0x091) [リセット = 未定義]

図 6-68. C-ADC および INB のオフセット調整レジスタ (OADJ_C_INB)

15	14	13	12	11	10	9	8
予約済み				OADJ_C_INB[11:8]			
R/W-0000				R/W			
7	6	5	4	3	2	1	0
OADJ_C_INB[7:0]							
R/W							

表 6-92. OADJ_C_INB のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R/W	0000	予約済み
11-0	OADJ_C_INB	R/W	未定義	ADC1 が INB をサンプリングする場合に適用される ADC1 (A-ADC) のオフセット調整値。形式は符号なし。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。 重要な注意事項: • フォアグラウンド キャリブレーションの実行中は、OADJ*レジスタに書き込まないでください • CAL_BG と CAL_BGOS が設定されている場合は、OADJ* レジスタに書き込まないでください • CAL_OS = 1 かつ CAL_BGOS = 0 の場合、FG_DONE = 1 のときのみ、OADJ* レジスタを読み取ることができます • CAL_BG = 1 かつ CAL_BGOS = 1 の場合、CAL_STOPPED = 1 のときのみ、OADJ* レジスタを読み取ることができます

6.6.1.49 B-ADC および INA のオフセット調整レジスタ (アドレス = 0x092 ～ 0x093) [リセット = 未定義]

図 6-69. B-ADC および INA のオフセット調整レジスタ (OADJ_B_INA)

15	14	13	12	11	10	9	8
予約済み				OADJ_B_INA[11:8]			
R/W-0000				R/W			
7	6	5	4	3	2	1	0
OADJ_B_INA[7:0]							
R/W							

表 6-93. OADJ_B_INA のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R/W	0000	予約済み
11-0	OADJ_B_INA	R/W	未定義	ADC2 が INA をサンプリングする場合に適用される ADC2 (B-ADC) のオフセット調整値。形式は符号なし。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。 重要な注意事項: • フォアグラウンド キャリブレーションの実行中は、OADJ*レジスタに書き込まないでください • CAL_BG と CAL_BGOS が設定されている場合は、OADJ* レジスタに書き込まないでください • CAL_OS = 1 かつ CAL_BGOS = 0 の場合、FG_DONE = 1 のときのみ、OADJ* レジスタを読み取ることができます • CAL_BG = 1 かつ CAL_BGOS = 1 の場合、CAL_STOPPED = 1 のときのみ、OADJ* レジスタを読み取ることができます

Copyright © 2025 Texas Instruments Incorporated

6.6.1.50 B-ADC および INB のオフセット調整レジスタ (アドレス = 0x094 ～ 0x095) [リセット = 未定義]

図 6-70. B-ADC および INB のオフセット調整レジスタ (OADJ_B_INB)

15	14	13	12	11	10	9	8
予約済み				OADJ_B_INB[11:8]			
R/W-0000				R/W			
7	6	5	4	3	2	1	0
OADJ_B_INB[7:0]							
R/W							

表 6-94. OADJ_B_INB のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R/W	0000	予約済み
11-0	OADJ_B_INB	R/W	未定義	ADC2 が INB をサンプリングする場合に適用される ADC2 (B-ADC) のオフセット調整値。形式は符号なし。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。 重要な注意事項: • フォアグラウンド キャリブレーションの実行中は、OADJ*レジスタに書き込まないでください • CAL_BG と CAL_BGOS が設定されている場合は、OADJ* レジスタに書き込まないでください • CAL_OS = 1 かつ CAL_BGOS = 0 の場合、FG_DONE = 1 のときのみ、OADJ* レジスタを読み取ることができます • CAL_BG = 1 かつ CAL_BGOS = 1 の場合、CAL_STOPPED = 1 のときのみ、OADJ* レジスタを読み取ることができます

6.6.1.51 オフセットフィルタ制御 0 レジスタ (アドレス = 0x097) [リセット = 0x00]

図 6-71. オフセットフィルタ制御 0 レジスタ（OSFILT0）

7	6	5	4	3	2	1	0
予約済み							DC_RESTORE
R/W-0000 000							R/W

表 6-95. OSFILT0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	0000 000	予約済み
0	DC_RESTORE	R/W	0	設定されている場合、オフセット フィルタリング機能 (CAL_OSFILT で有効化) は ADC バンク間のオフセット不整合のみをフィルタリングし、DC 付近の周波数成分を除去しません。クリアすると、この機能はすべてのバンクからのすべてのオフセットをフィルタリングし、信号内のすべての DC コンテンツをフィルタリングします。「*オフセット フィルタリング*」セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.52 オフセットフィルタ制御 1 レジスタ (アドレス = 0x098) [リセット = 0x33]

図 6-72. オフセットフィルタ制御 1 レジスタ（OSFILT1）

7	6	5	4	3	2	1	0
OSFILT_BW				OSFILT_SOAK			
R/W-0011				R/W-0011			

表 6-96. OSFILT1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-4	OSFILT_BW	R/W	0011	このフィールドは、オフセット フィルタリング機能 (CAL_OSFILT で有効化) の IIR フィルタ帯域幅を調整します。帯域幅が広いほど、ADC からのフリッカー ノイズが抑制され、オフセット スプリアスが低減されます。帯域幅を小さくすると、ミッション モード信号に対するフィルタの影響を最小限に抑えられます。 OSFILT_BW:IIR 係数:–3dB 帯域幅 (シングル サイド) 0:予約済み 1:2^{-10}:609e - 9 × F_{DEVCLK} 2:2^{-11}:305e - 9 × F_{DEVCLK} 3:2^{-12}:152e - 9 × F_{DEVCLK} 4:2^{-13}:76e - 9 × F_{DEVCLK} 5:2^{-14}:38e - 9 × F_{DEVCLK} 6-15:予約済み
3-0	OSFILT_SOAK	R/W	0011	このフィールドは、オフセット フィルタリング機能の IIR ソーク時間を調整します。このフィールドは、オフセット フィルタリングとバックグラウンド キャリブレーションの両方が有効になっている場合に適用されます。このフィールドは、ADC のキャリブレーション後に初めて ADC に接続された際に、IIR フィルタが安定するまでに許容される時間を決定します。ソーク時間が完了すると、ADC は IIR フィルタを使用してオンライン状態に移行します。OSFILT_SOAK = OSFILT_BW を設定します。

6.6.1.53 ADC バンク レジスタ (0x100 ～ 0x15F)

表 6-97. ADC バンク レジスタ

アドレス	リセット	略称	レジスタ名	セクション
0x100-0x101	未定義	予約済み	予約済み	—
0x102	未定義	B0_TIME_0	バンク 0 (0° クロック) のタイミング調整レジスタ	セクション 6.6.1.54
0x103	未定義	B0_TIME_90	バンク 0 (–90° クロック) のタイミング調整レジスタ	セクション 6.6.1.55
0x104-0x111	未定義	予約済み	予約済み	—
0x112	未定義	B1_TIME_0	バンク 1 (0° クロック) のタイミング調整レジスタ	セクション 6.6.1.56
0x113	未定義	B1_TIME_90	バンク 1 (–90° クロック) のタイミング調整レジスタ	セクション 6.6.1.57
0x114-0x121	未定義	予約済み	予約済み	—
0x122	未定義	B2_TIME_0	バンク 2 (0° クロック) のタイミング調整レジスタ	セクション 6.6.1.58
0x123	未定義	B2_TIME_90	バンク 2 (–90° クロック) のタイミング調整レジスタ	セクション 6.6.1.59
0x124-0x131	未定義	予約済み	予約済み	—
0x132	未定義	B3_TIME_0	バンク 3 (0° クロック) のタイミング調整レジスタ	セクション 6.6.1.60
0x133	未定義	B3_TIME_90	バンク 3 (–90° クロック) のタイミング調整レジスタ	セクション 6.6.1.61
0x134-0x141	未定義	予約済み	予約済み	—
0x142	未定義	B4_TIME_0	バンク 4 (0° クロック) のタイミング調整レジスタ	セクション 6.6.1.62
0x143	未定義	B4_TIME_90	バンク 4 (–90° クロック) のタイミング調整レジスタ	セクション 6.6.1.63
0x144-0x151	未定義	予約済み	予約済み	—
0x152	未定義	B5_TIME_0	バンク 5 (0° クロック) のタイミング調整レジスタ	セクション 6.6.1.64
0x153	未定義	B5_TIME_90	バンク 5 (–90° クロック) のタイミング調整レジスタ	セクション 6.6.1.65
0x154-0x15F	未定義	予約済み	予約済み	—

6.6.1.54 バンク 0 (0° クロック) のタイミング調整レジスタ (アドレス = 0x102) [リセット = 未定義]

図 6-73. バンク 0 (0° クロック) のタイミング調整レジスタ (B0_TIME_0)

7	6	5	4	3	2	1	0
B0_TIME_0							
R/W							

表 6-98. B0_TIME_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-0	B0_TIME_0	R/W	未定義	バンク 0 の時間調整 (ADC が 0° クロック位相に構成されている場合に適用)。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.55 バンク 0 (–90° クロック) のタイミング調整レジスタ (アドレス = 0x103) [リセット = 未定義]

図 6-74. バンク 0 (–90° クロック) のタイミング調整レジスタ (B0_TIME_90)

7	6	5	4	3	2	1	0
B0_TIME_90							
R/W							

表 6-99. B0_TIME_90 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-0	B0_TIME_90	R/W	未定義	バンク 0 の時間調整 (ADC が –90° クロック位相に構成されている場合に適用)。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

6.6.1.56 バンク 1 (0° クロック) のタイミング調整レジスタ (アドレス = 0x112) [リセット = 未定義]

図 6-75. バンク 1 (0° クロック) のタイミング調整レジスタ (B1_TIME_0)

7	6	5	4	3	2	1	0
B1_TIME_0							
R/W							

表 6-100. B1_TIME_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-0	B1_TIME_0	R/W	未定義	バンク 1 の時間調整 (ADC が 0° クロック位相に構成されている場合に適用)。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

6.6.1.57 バンク 1 (–90° クロック) のタイミング調整レジスタ (アドレス = 0x113) [リセット = 未定義]

図 6-76. バンク 1 (–90° クロック) のタイミング調整レジスタ (B1_TIME_90)

7	6	5	4	3	2	1	0
B1_TIME_90							
R/W							

表 6-101. B1_TIME_90 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-0	B1_TIME_90	R/W	未定義	バンク 1 の時間調整 (ADC が –90° クロック位相に構成されている場合に適用)。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

6.6.1.58 バンク 2 (0° クロック) のタイミング調整レジスタ (アドレス = 0x122) [リセット = 未定義]

図 6-77. バンク 2 (0° クロック) のタイミング調整レジスタ (B2_TIME_0)

7	6	5	4	3	2	1	0
B2_TIME_0							
R/W							

表 6-102. B2_TIME_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-0	B2_TIME_0	R/W	未定義	バンク 2 の時間調整 (ADC が 0° クロック位相に構成されている場合に適用)。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.59 バンク 2 (–90° クロック) のタイミング調整レジスタ (アドレス = 0x123) [リセット = 未定義]

図 6-78. バンク 2 (–90° クロック) のタイミング調整レジスタ (B2_TIME_90)

7	6	5	4	3	2	1	0
B2_TIME_90							
R/W							

表 6-103. B2_TIME_90 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-0	B2_TIME_90	R/W	未定義	バンク 2 の時間調整 (ADC が -90° クロック位相に構成されている場合に適用)。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

6.6.1.60 バンク 3 (0° クロック) のタイミング調整レジスタ (アドレス = 0x132) [リセット = 未定義]

図 6-79. バンク 3 (0° クロック) のタイミング調整レジスタ (B3_TIME_0)

7	6	5	4	3	2	1	0
B3_TIME_0							
R/W							

表 6-104. B3_TIME_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-0	B3_TIME_0	R/W	未定義	バンク 3 の時間調整 (ADC が 0° クロック位相に構成されている場合に適用)。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

6.6.1.61 バンク 3 (–90° クロック) のタイミング調整レジスタ (アドレス = 0x133) [リセット = 未定義]

図 6-80. バンク 3 (–90° クロック) のタイミング調整レジスタ (B3_TIME_90)

7	6	5	4	3	2	1	0
B3_TIME_90							
R/W							

表 6-105. B3_TIME_90 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-0	B3_TIME_90	R/W	未定義	バンク 3 の時間調整 (ADC が –90° クロック位相に構成されている場合に適用)。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

6.6.1.62 バンク 4 (0° クロック) のタイミング調整レジスタ (アドレス = 0x142) [リセット = 未定義]

図 6-81. バンク 4 (0° クロック) のタイミング調整レジスタ (B4_TIME_0)

7	6	5	4	3	2	1	0
B4_TIME_0							
R/W							

表 6-106. B4_TIME_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-0	B4_TIME_0	R/W	未定義	バンク 4 の時間調整 (ADC が 0° クロック位相に構成されている場合に適用)。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.63 バンク 4 (–90° クロック) のタイミング調整レジスタ (アドレス = 0x143) [リセット = 未定義]

図 6-82. バンク 4 (–90° クロック) のタイミング調整レジスタ (B4_TIME_90)

7	6	5	4	3	2	1	0
B4_TIME_90							
R/W							

表 6-107. B4_TIME_90 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-0	B4_TIME_90	R/W	未定義	バンク 4 の時間調整 (ADC が –90° クロック位相に構成されている場合に適用)。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

6.6.1.64 バンク 5 (0° クロック) のタイミング調整レジスタ (アドレス = 0x152) [リセット = 未定義]

図 6-83. バンク 5 (0° クロック) のタイミング調整レジスタ (B5_TIME_0)

7	6	5	4	3	2	1	0
B5_TIME_0							
R/W							

表 6-108. B5_TIME_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-0	B5_TIME_0	R/W	未定義	バンク 5 の時間調整 (ADC が 0° クロック位相に構成されている場合に適用)。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

6.6.1.65 バンク 5 (–90° クロック) のタイミング調整レジスタ (アドレス = 0x153) [リセット = 未定義]

図 6-84. バンク 5 (–90° クロック) のタイミング調整レジスタ (B5_TIME_90)

7	6	5	4	3	2	1	0
B5_TIME_90							
R/W							

表 6-109. B5_TIME_90 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-0	B5_TIME_90	R/W	未定義	バンク 5 の時間調整 (ADC が –90° クロック位相に構成されている場合に適用)。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.66 LSB 制御レジスタ (0x160 ～ 0x1FF)

表 6-110. LSB の制御レジスタ

アドレス	リセット	略称	レジスタ名	セクション
0x160	0x00	ENC_LSB	LSB 制御ビット出力レジスタ	図 6-85
0x161-0x1FF	未定義	予約済み	予約済み	—

6.6.1.67 LSB 制御ビット出力レジスタ (アドレス = 0x160) [リセット = 0x00]

図 6-85. LSB 制御ビット出力レジスタ (ENC_LSB)

7	6	5	4	3	2	1	0
予約済み							TIMESTAMP_EN
R/W-0000 000							R/W-0

表 6-111. ENC_LSB のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	0000 000	予約済み
0	TIMESTAMP_EN	R/W	0	設定すると、トランスポート層は出力サンプルの LSB でタイムスタンプ信号を送信します。1 倍デシメーション (DDC バイパス) モードでのみサポートされています。TIMESTAMP_EN は CAL_STATE_EN よりも優先されます。タイムスタンプを使用する場合は、TMSTP_RECV_EN も High に設定しておく必要があります。(デバイス全体を通じた) タイムスタンプ信号のレイテンシは、アナログ ADC 入力のレイテンシと一致します。 8 ビット モードでは、制御ビットが 8 ビット サンプルの LSB に配置されます (7 ビットのサンプル データを残す)。デバイスが 12 ビット データ用に構成されている場合、制御ビットは 12 ビット データの LSB に配置されます (11 ビットのサンプル データを残す)。 このレジスタによってイネーブルされる制御ビットは、ILA ではアドバタイズされません (ILA では $\overline{CS}$ フィールド が 0)。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.68 JESD204B レジスタ (0x200 ～ 0x20F)

表 6-112. JESD204B のレジスタ

アドレス	リセット	略称	レジスタ名	セクション
0x200	0x01	JESD_EN	JESD204B イネーブル レジスタ	セクション 6.6.1.69
0x201	0x02	JMODE	JESD204B モード レジスタ	セクション 6.6.1.70
0x202	0x1F	KM1	JESD204B K パラメータ レジスタ	セクション 6.6.1.71
0x203	0x01	JSYNC_N	JESD204B 手動同期要求レジスタ	セクション 6.6.1.72
0x204	0x02	JCTRL	JESD204B 制御レジスタ	セクション 6.6.1.73
0x205	0x00	JTEST	JESD204B テスト パターン制御レジスタ	セクション 6.6.1.74
0x206	0x00	DID	JESD204B DID パラメータ レジスタ	セクション 6.6.1.75
0x207	0x00	FCHAR	JESD204B フレーム文字レジスタ	セクション 6.6.1.76
0x208	未定義	JESD_STATUS	JESD204B、システム ステータス レジスタ	セクション 6.6.1.77
0x209	0x00	PD_CH	JESD204B チャネル パワーダウン	セクション 6.6.1.78
0x20A	0x00	JEXTRA_A	JESD204B 追加レーン イネーブル (リンク A)	セクション 6.6.1.79
0x20B	0x00	JEXTRA_B	JESD204B 追加レーン イネーブル (リンク B)	セクション 6.6.1.80
0x20C-0x20F	未定義	予約済み	予約済み	—

6.6.1.69 JESD204B イネーブル レジスタ (アドレス = 0x200) [リセット = 0x01]

図 6-86. JESD204B イネーブル レジスタ (JESD_EN)

7	6	5	4	3	2	1	0
予約済み							JESD_EN
R/W-0000 000							R/W-1

表 6-113. JESD_EN のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	0000 000	予約済み
0	JESD_EN	R/W	1	0：JESD204B インターフェイスを無効化します 1：JESD204B インターフェイスを有効にします 他の JESD204B レジスタを変更する前に、JESD_EN をクリアする必要があります。JESD_EN が 0 の場合、ブロックはリセット状態に保持され、シリアライザの電源がオフになります。消費電力節約のため、クロックはゲート オフにされます。LMFC カウンタもリセット状態に保持されるため、SYSREF は LMFC と整合しません。 JESD_EN を設定する前に、必ず CAL_EN を設定します。 CAL_EN をクリアする前に、必ず JESD_EN をクリアしてください。

6.6.1.70 JESD204B モード レジスタ (アドレス = 0x201) [リセット = 0x02]

図 6-87. JESD204B モード レジスタ (JMODE)

7	6	5	4	3	2	1	0
予約済み			JMODE				
R/W-000			R/W-0001 0				

表 6-114. JMODE フィールド説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	000	予約済み
4-0	JMODE	R/W	0001 0	JESD204B 出力モードを指定します (DDC デシメーション係数を含む)。 JESD_EN = 0 および CAL_EN = 0 の場合のみ、このレジスタを変更します。

6.6.1.71 JESD204B K パラメータ レジスタ (アドレス = 0x202) [リセット = 0x1F]

図 6-88. JESD204B K パラメータ レジスタ (KM1)

7	6	5	4	3	2	1	0
予約済み			KM1				
R/W-000			R/W-1111 1				

表 6-115. KM1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	000	予約済み
4-0	KM1	R/W	1111 1	K はマルチ フレームあたりのフレーム数であり、このレジスタを K-1 にプログラミングする必要があります。JMODE の設定に応じて、K の有効値には制約があります。(デフォルト:KM1 = 31、K = 32)。 JESD_EN が 0 の場合のみ、このレジスタを変更します。

6.6.1.72 JESD204B 手動同期要求レジスタ (アドレス = 0x203) [リセット = 0x01]

図 6-89. JESD204B 手動同期要求レジスタ (JSYNC_N)

7	6	5	4	3	2	1	0
予約済み							JSYNC_N
R/W-0000 000							R/W-1

表 6-116. JSYNC_N のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	0000 000	予約済み
0	JSYNC_N	R/W	1	JESD204B 同期を要求するには、このビットを 0 に設定します (アサートされている $\overline{\text{SYNCSE}}$ ピンと同じ)。通常動作の場合は、このビットを 1 のままにします。 JSYNC_N レジスタは、SYNC_SEL レジスタに関係なく、同期要求を常に生成できます。ただし、選択された同期ピンが Low に固定されている場合は、SYNC_SEL = 2 がプログラムされない限り、同期要求をデアサートできません。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.73 JESD204B 制御レジスタ (アドレス = 0x204) [リセット = 0x02]

図 6-90. JESD204B 制御レジスタ (JCTRL)

7	6	5	4	3	2	1	0
予約済み				SYNC_SEL		SFORMAT	SCR
R/W-0000				R/W-00		R/W-1	R/W-0

表 6-117. JCTRL フィールド説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0000	予約済み
3-2	SYNC_SEL	R/W	00	0:SYNC～ 機能には $\overline{\text{SYNCSE}}$ 入力を使用します (デフォルト) 1:SYNC～ 機能には TMSTP± 差動入力を使用します。TMSTP_RECV_EN も 2 に設定する必要があります:同期入力信号は使用しないでください (JSYNC_N 経由でソフトウェア SYNC～ を使用)
1	SFORMAT	R/W	1	JESD204B サンプルの出力サンプル フォーマット。 0:オフセット バイナリ 1:符号付き 2 の補数 (デフォルト)
0	SCR	R/W	0	0:スクランブラがディスエーブル (デフォルト) 1:スクランブラがイネーブルの場合、JESD_EN が 0 の場合のみ、このレジスタを変更します。

6.6.1.74 JESD204B テスト パターン制御レジスタ (アドレス = 0x205) [リセット = 0x00]

図 6-91. JESD204B テスト パターン制御レジスタ (JTEST)

7	6	5	4	3	2	1	0
予約済み				JTEST			
R/W-0000				R/W-0000			

表 6-118. JTEST フィールド説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0000	予約済み
3-0	JTEST	R/W	0000	0:テストモードはディスエーブル、通常動作 (デフォルト) 1:PRBS7 テスト モード 2:PRBS15 テスト モード 3:PRBS23 テスト モード 4:ランプ テスト モード 5:トランスポート層テスト モード 6:D21.5 テスト モード 7:K28.5 テスト モード 8:反復 ILA テスト モード 9:修正 RPAT テスト モード 10:シリアル出力を Low に保持 11:シリアル出力を High に保持 12 ～ 15:予約済み JESD_EN が 0 の場合のみ、このレジスタを変更します。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.75 JESD204B DID パラメータ レジスタ (アドレス = 0x206) [リセット = 0x00]

図 6-92. JESD204B DID パラメータ レジスタ (DID)

7	6	5	4	3	2	1	0
DID							
R/W-0000 0000							

表 6-119. DID フィールド説明

ビット	フィールド	タイプ	リセット	説明
7-0	DID	R/W	0000 0000	JESD204B ILA の 2 番目のマルチフレーム中に送信されるデバイス ID (DID) 値を指定します。リンク A は DID を送信し、リンク B は DID+1 を送信します。ビット 0 は無視され、常に 0 を返します (奇数番号がプログラムされている場合、その数は偶数番号にデクリメントされます)。 JESD_EN が 0 の場合のみ、このレジスタを変更します。

6.6.1.76 JESD204B フレーム文字レジスタ (アドレス = 0x207) [リセット = 0x00]

図 6-93. JESD204B フレーム文字レジスタ (FCHAR)

7	6	5	4	3	2	1	0
予約済み						FCHAR	
R/W-0000 00						R/W-00	

表 6-120. FCHAR フィールド説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R/W	0000 00	予約済み
1-0	FCHAR	R/W	00	フレームの終わりを示すために使用するカンマ文字を指定します。この文字は、機動的に転送されます (「*セクション 6.3.6.3.4*」セクションを参照)。 0 : K28.7 を使用 (デフォルト、JESD204B 準拠) 1 : K28.1 を使用 (JESD204B に準拠していません) 2 : K28.5 を使用 (JESD204B に準拠していません) 3 : 予約済み JESD204B レシーバを使用するときは、常に FCHAR = 0 を使用します。汎用の 8b/10b レシーバーを使用している場合、K28.7 の文字が問題を引き起こすことがあります。K28.7 を特定のデータ文字と組み合わせると、誤った位置合わせのカンマ文字が発生し、一部のレシーバは偽のカンマに再整列する可能性があります。この状態を回避するには、FCHAR を 1 または 2 にプログラミングします。 JESD_EN が 0 の場合のみ、このレジスタを変更します。

6.6.1.77 JESD204B、システム ステータス レジスタ (アドレス = 0x208) [リセット = 未定義]

図 6-94. JESD204B、システム ステータス レジスタ (JESD_STATUS)

7	6	5	4	3	2	1	0
予約済み	LINK_UP	SYNC_STATUS	REALIGNED	ALIGNED	PLL_LOCKED	予約済み	
R	R	R	R/W	R/W	R	R	

表 6-121. JESD_STATUS のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	未定義	予約済み
6	LINK_UP	R	未定義	設定されている場合、このビットは JESD204B リンクがアップしていることを示します。

Copyright © 2025 Texas Instruments Incorporated

表 6-121. JESD_STATUS のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	SYNC_STATUS	R	未定義	JESD204B SYNC～ 信号の状態を返します。 0：SYNC～ アサート 1：SYNC～ デアサート
4	REALIGNED	R/W	未定義	High の場合、このビットは内部デジタル ブロック クロック、フレーム クロック、またはマルチフレーム (LMFC) クロック位相が SYSREF によって再調整されたことを示します。1 を書き込むと、このビットをクリアします。
3	ALIGNED	R/W	未定義	High の場合、このビットはマルチフレーム (LMFC) クロック位相が SYSREF によって確立されたことを示します。JESD204B エンコーダをイネーブルにした後の最初の SYSREF イベントによって、このビットが設定されます。1 を書き込むと、このビットをクリアします。
2	PLL_LOCKED	R	未定義	High の場合、このビットは PLL がロックされていることを示します。
1-0	予約済み	R	未定義	予約済み

6.6.1.78 JESD204B チャネル パワーダウン レジスタ (アドレス = 0x209) [リセット = 0x00]

図 6-95. JESD204B チャネル パワーダウン レジスタ (PD_CH)

7	6	5	4	3	2	1	0
予約済み						PD_BCH	PD_ACH
R/W-0000 00						R/W-0	R/W-0

表 6-122. PD_CH のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R/W	0000 00	予約済み
1	PD_BCH	R/W	0	設定すると、*B* ADC チャネルがパワーダウンします。*B* ADC チャネルに結合されたデジタル チャネルもパワーダウンします (「デジタル チャネル バインディング レジスタ」を参照)。 重要な注意事項: PD_CH を変更する前に、JESD_EN = 0 に設定します。 両方の ADC チャネルをパワーダウンするには、MODE を使用します。 両方のチャネルがパワーダウンした場合、JESD204B サブシステム全体 (PLL と LMFC を含む) がパワーダウンします。 選択した JESD204B モードがリンク A で A と B のデータを送信し、B デジタル チャネルが無効化される場合、リンク A は引き続き動作可能ですが、B チャネル サンプルはパワーダウンします。
0	PD_ACH	R/W	0	設定すると、*A* ADC チャネルがパワーダウンします。*A* ADC チャネルに結合されたデジタル チャネルもパワーダウンします (「デジタル チャネル バインディング レジスタ」を参照)。 重要な注意事項: PD_CH を変更する前に、JESD_EN = 0 に設定します。 両方の ADC チャネルをパワーダウンするには、MODE を使用します。 両方のチャネルがパワーダウンした場合、JESD204B サブシステム全体 (PLL と LMFC を含む) がパワーダウンします。 選択した JESD204B モードがリンク A で A と B のデータを送信し、B デジタル チャネルが無効化される場合、リンク A は引き続き動作可能ですが、B チャネル サンプルはパワーダウンします。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.79 JESD204B 追加レーン イネーブル (リンク A) レジスタ (アドレス = 0x20A) [リセット = 0x00]

図 6-96. JESD204B 追加レーン イネーブル (リンク A) レジスタ (JEXTRA_A)

7	6	5	4	3	2	1	0
EXTRA_LANE_A							EXTRA_SER_A
R/W-0000 000							R/W-0

表 6-123. JESD204B 追加レーン イネーブル (リンク A) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	EXTRA_LANE_A	R/W	0000 000	これらのレジスタ ビットをプログラムして追加のレーンを有効化できます (選択した JMODE ではレーンを有効化する必要がない場合でも)。EXTRA_LANE_A(n) は、An (n = 1 ～ 7) を有効にします。このレジスタは、影響を受けるレーンのリンク層クロックを有効にします。追加のシリアル化も有効にするには、EXTRA_SER_A = 1 を設定します。
0	EXTRA_SER_A	R/W	0	0 : 追加レーンのリンク層クロックのみが有効になります。 1 : 追加レーンのシリアライザも有効になります。このモードを使用して、追加レーンからデータを送信します。 重要な注意事項: JESD_EN = 0 の場合のみ、このレジスタを変更します。 追加レーンのビットレートとモードは、JMODE および JTEST パラメータで設定されます。 このレジスタは PD_CH レジスタをオーバーライドしないため、この機能を使用するためにリンクが有効になっていることを確認してください。 シリアライザ n を有効にするには、小さな番号のレーン 0 ～ n-1 も有効にする必要があります。そうしない場合、シリアライザ n がクロックを受信しません。

6.6.1.80 JESD204B 追加レーン イネーブル (リンク B) レジスタ (アドレス = 0x20B) [リセット = 0x00]

図 6-97. JESD204B 追加レーン イネーブル (リンク B) レジスタ (JEXTRA_B)

7	6	5	4	3	2	1	0
EXTRA_LANE_B							EXTRA_SER_B
R/W-0000 000							R/W-0

表 6-124. JESD204B 追加レーン イネーブル (リンク B) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	EXTRA_LANE_B	R/W	0000 000	これらのレジスタ ビットをプログラムして追加のレーンを有効化できます (選択した JMODE ではレーンを有効化する必要がない場合でも)。EXTRA_LANE_B(n) は、Bn (n = 1 ～ 7) を有効にします。このレジスタは、影響を受けるレーンのリンク層クロックを有効にします。追加のシリアル化も有効にするには、EXTRA_SER_B = 1 を設定します。
0	EXTRA_SER_B	R/W	0	0 : 追加レーンのリンク層クロックのみが有効になります。 1 : 追加レーンのシリアライザも有効になります。このモードを使用して、追加レーンからデータを送信します。 重要な注意事項: JESD_EN = 0 の場合のみ、このレジスタを変更します。 追加レーンのビットレートとモードは、JMODE および JTEST パラメータで設定されます。 このレジスタは PD_CH レジスタをオーバーライドしないため、この機能を使用するためにリンクが有効になっていることを確認してください。 シリアライザ n を有効にするには、小さな番号のレーン 0 ～ n-1 も有効にする必要があります。そうしない場合、シリアライザ n がクロックを受信しません。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.81 デジタル ダウン コンバータ レジスタ (0x210 ～ 0x2AF)

表 6-125. デジタル ダウン コンバータおよびオーバーレンジ レジスタ

アドレス	リセット	略称	レジスタ名	セクション
0x210	0x00	DDC_CFG	DDC 構成レジスタ	セクション 6.6.1.82
0x211	0xF2	OVR_T0	オーバーレンジ スレッショルド 0 レジスタ	セクション 6.6.1.83
0x212	0xAB	OVR_T1	オーバーレンジ スレッショルド 1 レジスタ	セクション 6.6.1.84
0x213	0x07	OVR_CFG	オーバーレンジ構成レジスタ	セクション 6.6.1.85
0x214	0x00	CMODE	DDC 構成プリセット モード レジスタ	セクション 6.6.1.86
0x215	0x00	CSEL	DDC 構成プリセット選択レジスタ	セクション 6.6.1.87
0x216	0x02	DIG_BIND	デジタル チャネル バインディング レジスタ	セクション 6.6.1.88
0x217-0x218	0x0000	NCO_RDIV	有理 NCO リファレンス分周レジスタ	セクション 6.6.1.89
0x219	0x02	NCO_SYNC	NCO 同期レジスタ	セクション 6.6.1.90
0x21A-0x21F	未定義	予約済み	予約済み	—
0x220-0x223	0xC0000000	FREQA0	NCO 周波数 (DDC A プリセット 0)	セクション 6.6.1.91
0x224-0x225	0x0000	PHASEA0	NCO 位相 (DDC A プリセット 0)	セクション 6.6.1.92
0x226-0x227	未定義	予約済み	予約済み	—
0x228-0x22B	0xC0000000	FREQA1	NCO 周波数 (DDC A プリセット 1)	セクション 6.6.1.91
0x22C-0x22D	0x0000	PHASEA1	NCO 位相 (DDC A プリセット 1)	セクション 6.6.1.92
0x22E-0x22F	未定義	予約済み	予約済み	—
0x230-0x233	0xC0000000	FREQA2	NCO 周波数 (DDC A プリセット 2)	セクション 6.6.1.91
0x234-0x235	0x0000	PHASEA2	NCO 位相 (DDC A プリセット 2)	セクション 6.6.1.92
0x236-0x237	未定義	予約済み	予約済み	—
0x238-0x23B	0xC0000000	FREQA3	NCO 周波数 (DDC A プリセット 3)	セクション 6.6.1.91
0x23C-0x23D	0x0000	PHASEA3	NCO 位相 (DDC A プリセット 3)	セクション 6.6.1.92
0x23E-0x23F	未定義	予約済み	予約済み	—
0x240-0x243	0xC0000000	FREQB0	NCO 周波数 (DDC B プリセット 0)	セクション 6.6.1.91
0x244-0x245	0x0000	PHASEB0	NCO 位相 (DDC B プリセット 0)	セクション 6.6.1.92
0x246-0x247	未定義	予約済み	予約済み	—
0x248-0x24B	0xC0000000	FREQB1	NCO 周波数 (DDC B プリセット 1)	セクション 6.6.1.91
0x24C-0x24D	0x0000	PHASEB1	NCO 位相 (DDC B プリセット 1)	セクション 6.6.1.92
0x24E-0x24F	未定義	予約済み	予約済み	—
0x250-0x253	0xC0000000	FREQB2	NCO 周波数 (DDC B プリセット 2)	セクション 6.6.1.91
0x254-0x255	0x0000	PHASEB2	NCO 位相 (DDC B プリセット 2)	セクション 6.6.1.92
0x256-0x257	未定義	予約済み	予約済み	—
0x258-0x25B	0xC0000000	FREQB3	NCO 周波数 (DDC B プリセット 3)	セクション 6.6.1.91
0x25C-0x25D	0x0000	PHASEB3	NCO 位相 (DDC B プリセット 3)	セクション 6.6.1.92
0x25E-0x296	未定義	予約済み	予約済み	—
0x297	未定義	SPIN_ID	スピン識別値	セクション 6.6.1.93
0x298-0x2AF	未定義	予約済み	予約済み	—

6.6.1.82 DDC 構成レジスタ (アドレス = 0x210) [リセット = 0x00]

図 6-98. DDC 構成レジスタ (DDC_CFG)

7	6	5	4	3	2	1	0
予約済み				D4_AP87	D2_HIGH_PASS	INVERT_SPECTRUM	昇圧
R/W-0000				R/W-0	R/W-0	R/W-0	R/W-0

表 6-126. DDC_CFG のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0000	予約済み
3	D4_AP87	R/W	0	0:4 倍デシメーション モードは、80% のエイリアス保護と 80dB を超える抑制を使用します 1:4 倍デシメーション モードは、87.5% のエイリアス保護と 60dB を超える抑制を使用します
2	D2_HIGH_PASS	R/W	0	0:2 倍デシメーション モードは、ローパス フィルタを使用します 1:2 倍デシメーション モードは、ハイパス フィルタを使用します。ハイパス信号をデシメーションすると、スペクトルが反転します。この反転は、INVERT_SPECTRUM を設定することで元に戻すことができます。
1	INVERT_SPECTRUM	R/W	0	0:出力スペクトラムに反転が適用されません 1:出力スペクトラムが反転します。 このレジスタは、DDC がイネーブルであり、実数出力を生成している (複素数ではない) 場合にのみ適用されます。信号を FSOUT/2 とミキシングすることで、スペクトルが反転します (たとえば、すべての奇数サンプルを反転させます)。
0	昇圧	R/W	0	DDC ゲイン制御。複素数デシメーションの DDC モードにのみ適用されます。 0:最終的なフィルタのゲインは 0dB (デフォルト) 1:最終的なフィルタのゲインは 6.02dB です。この設定は、入力信号の負のイメージが DDC によって確実にフィルタ除去される場合にのみ使用してください。そうしないと、デジタル クリッピングが発生する可能性があります。

6.6.1.83 オーバーレンジ スレッショルド 0 レジスタ (アドレス = 0x211) [リセット = 0xF2]

図 6-99. オーバーレンジ スレッショルド 0 レジスタ (OVR_T0)

7	6	5	4	3	2	1	0
OVR_T0							
R/W-1111 0010							

表 6-127. OVR_T0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-0	OVR_T0	R/W	1111 0010	オーバーレンジ スレッショルド 0。このパラメータは、制御ビット 0 を設定する絶対サンプル レベルを定義します。dBFS (peak) での検出レベルは次のとおりです: 20_{log10}(OVR_T0 / 256) デフォルト:0xF2 = 242 → –0.5dBFS。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.84 オーバーレンジ スレッショルド 1 レジスタ (アドレス = 0x212) [リセット = 0xAB]

図 6-100. オーバーレンジ スレッショルド 1 レジスタ (OVR_T1)

7	6	5	4	3	2	1	0
OVR_T1							
R/W-1010 1011							

表 6-128. OVR_T1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7-0	OVR_T1	R/W	1010 1011	オーバーレンジ スレッショルド 1。このパラメータは、制御ビット 1 を設定する絶対サンプル レベルを定義します。dBFS (peak) での検出レベルは次のとおりです: 20_{log10}(OVR_T1 / 256) デフォルト:0xAB = 171 → –3.5dBFS。

6.6.1.85 オーバーレンジ構成レジスタ (アドレス = 0x213) [リセット = 0x07]

図 6-101. オーバーレンジ構成レジスタ (OVR_CFG)

7	6	5	4	3	2	1	0
予約済み				OVR_EN	OVR_N		
R/W-0000				R/W-0	R/W-111		

表 6-129. OVR_CFG のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0000 0	予約済み
3	OVR_EN	R/W	0	High に設定すると、オーバーレンジ ステータス出力ピンが有効になります。OVR_EN が Low に設定されている場合、ORA0、ORA1、ORB0、ORB1 出力は Low に保持されます。このレジスタは、オーバーレンジ出力ピン (ORxx) にのみ影響し、データ サンプルに組込まれているオーバーレンジ ステータスには影響しません。
2-0	OVR_N(1)	R/W	111	このレジスタをプログラミングして、ORA0、ORA1、ORB0、ORB1 の各出力のパルス拡張を調整します。オーバーレンジ出力の最小パルス幅は、8 × 2^{OVR_N} DEVCLK サイクルです。このフィールドを増分すると、監視期間が 2 倍になります。

(1) JESD_EN = 1 の間に OVR_N 設定を変更すると、監視期間の位相が変化することがあります。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.86 DDC 構成プリセット モード レジスタ (アドレス = 0x214) [リセット = 0x00]

図 6-102. DDC 構成プリセット モード レジスタ (CMODE)

7	6	5	4	3	2	1	0
予約済み						CMODE	
R/W-0000 00						R/W-00	

表 6-130. CMODE フィールド説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R/W	0000 00	予約済み
1-0	CMODE	R/W	00	DDC A の NCO 周波数および位相は FREQAx および PHASEAx レジスタによって設定され、DDC B の NCO 周波数および位相は FREQBx および PHASEBx レジスタによって設定されます。ここで、*x* は構成プリセット (0 ～ 3) です。 0 : CSEL レジスタを使用して DDC A および DDC B のアクティブな NCO 構成プリセットを選択します 1 : NCOA[1:0] ピンを使用して DDC A 用のアクティブ NCO 構成プリセットを選択し、NCOB[1:0] ピンを使用して DDC B 2 用のアクティブ NCO 構成プリセットを選択します : NCOA[1:0] ピンを使用して DDC A と DDC B の両方に対してアクティブな NCO 構成プリセットを選択します 3 : 予約済み

6.6.1.87 DDC 構成プリセット選択レジスタ (アドレス = 0x215) [リセット = 0x00]

図 6-103. DDC 構成プリセット選択レジスタ (CSEL)

7	6	5	4	3	2	1	0
予約済み				CSELB		CSELA	
R/W-0000				R/W-00		R/W-00	

表 6-131. CSEL フィールド説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0000	予約済み
3-2	CSELB	R/W	00	CMODE = 0 の場合、このレジスタは、DDC B 用のアクティブな NCO 構成プリセットを選択するために使用されます。
1-0	CSELA	R/W	00	CMODE = 0 の場合、このレジスタは、DDC A 用のアクティブな NCO 構成プリセットを選択するために使用されます。 例 : CSELA = 0 の場合、FREQA0 と PHASEA0 がアクティブ設定になります。CSELA = 1 の場合、FREQA1 と PHASEA1 がアクティブ設定になります。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.88 デジタル チャネル バインディング レジスタ (アドレス = 0x216) [リセット = 0x02]

図 6-104. デジタル チャネル バインディング レジスタ (DIG_BIND)

7	6	5	4	3	2	1	0
予約済み						DIG_BIND_B	DIG_BIND_A
R/W-0000 00						R/W-1	R/W-0

表 6-132. DIG_BIND のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R/W	0000 00	予約済み
1	DIG_BIND_B	R/W	0	デジタルチャネル B 入力選択: 0:デジタル チャネル B が ADC チャネル A からデータを受信します 1:デジタル チャネル B が ADC チャネル B からデータを受信します (デフォルト)。
0	DIG_BIND_A	R/W	0	デジタル チャネル A 入力選択: 0:デジタル チャネル A が ADC チャネル A からデータを受信します (デフォルト) 1:デジタル チャネル A が ADC チャネル B からデータを受信します。 シングル チャネル モードを使用する場合、DIG_BIND には常にデフォルト設定を使用してください。そうしないと、デバイスが動作しません。 DIG_BIND を変更する前に、JESD_EN = 0、CAL_EN = 0 に設定します。 DIG_BIND 設定は、PD_ACH、PD_BCH と組み合わせて、デジタル チャネルがパワーダウンしたかどうかを判定します。各デジタル チャネル (およびリンク) は、それがバインディングされている ADC チャネルがパワーダウンされると (PD_ACH、PD_BCH によって) パワーダウンされます。

6.6.1.89 有理 NCO リファレンス分周レジスタ (アドレス = 0x217 ～ 0x218) [リセット = 0x0000]

図 6-105. 有理 NCO リファレンス分周レジスタ (NCO_RDIV)

15	14	13	12	11	10	9	8
NCO_RDIV[15:8]							
R/W-0000 0000							
7	6	5	4	3	2	1	0
NCO_RDIV[7:0]							
R/W-0000 0000							

表 6-133. NCO_RDIV のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	NCO_RDIV	R/W	0x0000h	32 ビット NCO 周波数ワードでは、目的の周波数ステップ サイズを生成できず、目的の周波数を近似するだけになる場合があります。この条件は、周波数誤差を引き起こします。このレジスタを使用して、周波数誤差を除去します。このレジスタは、すべての構成プリセットに使用されます。「*セクション 6.3.5.1.4*」セクションを参照してください。

6.6.1.90 NCO 同期レジスタ (アドレス = 0x219) [リセット = 0x02]

図 6-106. NCO 同期レジスタ (NCO_SYNC)

7	6	5	4	3	2	1	0
予約済み						NCO_SYNC_ILA	NCO_SYNC_NEXT
R/W-0000 00						R/W-1	R/W-0

表 6-134. NCO_SYNC のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R/W	0000 00	予約済み
1	NCO_SYNC_ILA	R/W	0	このビットが設定されている場合、NCO 位相は ILA シーケンスを開始する LMFC エッジによって初期化されます (デフォルト)。
0	NCO_SYNC_NEXT	R/W	0	このビットに 0、次に 1 を書き込むと、次の SYSREF の立ち上がりエッジで NCO 位相が初期化されます。SYSREF によって NCO 位相が初期化されると、このビットに 0 と 1 が再度書き込まれない限り、以降の SYSREF エッジで NCO が再初期化されることはありません。複数の部品で NCO を位置合わせするには、次の手順を実行します。 • デバイスの電源がオンであり、JESD_EN が設定されており、デバイス クロックが動作していることを確認します。 • SYSREF がディスエーブル (トグルなし) になっていることを確認します。 • すべてのデバイスで NCO_SYNC_ILA = 0 をプログラムします。 • すべてのデバイスで NCO_SYNC_NEXT = 0 を書き込みます。 • すべてのデバイスで NCO_SYNC_NEXT = 1 を書き込みます。NCO 同期が有効化されます。 • SYSREF ソースに、1 つ以上の SYSREF パルスを生成するよう指示します。 • すべてのデバイスは、最初の SYSREF 立ち上がりエッジを使用して NCO を初期化します。

6.6.1.91 NCO 周波数 (DDC A または DDC B およびプリセット x) レジスタ (アドレス = 表 6-125 を参照) [リセット = 表 6-125 を参照]

図 6-107. NCO 周波数 (DDC A または DDC B およびプリセット x) レジスタ (FREQAx または FREQBx)

31	30	29	28	27	26	25	24
FREQAx[31:24] または FREQBx[31:24]							
R/W-0xC0							
23	22	21	20	19	18	17	16
FREQAx[23:16] または FREQBx[23:16]							
R/W-0x00							
15	14	13	12	11	10	9	8
FREQAx[15:8] または FREQBx[15:8]							
R/W-0x00							
7	6	5	4	3	2	1	0
FREQAx[7:0] または FREQBx[7:0]							
R/W-0x00							

Copyright © 2025 Texas Instruments Incorporated

表 6-135. FREQAx または FREQBx のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FREQAx または FREQBx	R/W	表 6-125 を参照	JESD204B インターフェイスの実行後にこのレジスタを変更すると、非決定論的な NCO 位相になります。決定論的な位相が必要な場合、このレジスタを変更した後に JESD204B インターフェイスを再初期化する必要があります。このレジスタは、符号付きまたは符号なしと解釈できます。符号付き (2 の補数) と解釈される場合、NCO 周波数は $-f_S / 2$ から $f_S / 2$ までの範囲になります。符号なしとして解釈される場合、NCO 周波数は 0 ～ f_S の間です。

6.6.1.92 NCO 位相 (DDC A または DDC B およびプリセット x) レジスタ (アドレス = 表 6-125 を参照) [リセット = 表 6-125 を参照]

図 6-108. NCO 位相 (DDC A または DDC B およびプリセット x) レジスタ (PHASEAx または PHASEBx)

15	14	13	12	11	10	9	8
PHASEAx[15:8] または PHASEBx[15:8]							
R/W-0x00							
7	6	5	4	3	2	1	0
PHASEAx[7:0] または PHASEBx[7:0]							
R/W-0x00							

表 6-136. PHASEAx または PHASEBx のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PHASEAx または PHASEBx	R/W	表 6-125 を参照	この値は MSB 揃えで 32 ビット フィールドに入力され、位相アキュムレータに追加されます。このレジスタは、符号付きまたは符号なしと解釈できます。「*セクション 6.3.5.1.5*」セクションを参照してください。

6.6.1.93 スピン識別レジスタ (アドレス=0x297) [リセット = 未定義]

図 6-109. スピン識別レジスタ (SPIN_ID)

7	6	5	4	3	2	1	0
予約済み			SPIN_ID				
R-000			R				

表 6-137. SPIN_ID のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	000	予約済み
4-0	SPIN_ID	R	5	スピン識別値。 5 : ADC12DJ3200QML-SP

Copyright © 2025 Texas Instruments Incorporated

6.6.2 SYSREF 較正レジスタ (0x2B0 ～ 0x2BF)

表 6-138. SYSREF 較正レジスタ

アドレス	リセット	略称	レジスタ名	セクション
0x2B0	0x00	SRC_EN	SYSREF 較正イネーブル レジスタ	セクション 6.6.2.1
0x2B1	0x05	SRC_CFG	SYSREF 較正構成レジスタ	セクション 6.6.2.2
0x2B2-0x2B4	未定義	SRC_STATUS	SYSREF 較正ステータス	セクション 6.6.2.3
0x2B5-0x2B7	0x00	TAD	DEVCLK アパーチャ遅延調整レジスタ	セクション 6.6.2.4
0x2B8	0x00	TAD_RAMP	DEVCLK タイミング調整ランプ制御レジスタ	セクション 6.6.2.5
0x2B9-0x2BF	未定義	予約済み	予約済み	—

6.6.2.1 SYSREF 較正イネーブル レジスタ (アドレス = 0x2B0) [リセット = 0x00]

図 6-110. SYSREF 較正イネーブル レジスタ (SRC_EN)

7	6	5	4	3	2	1	0
予約済み							SRC_EN
R/W-0000 000							R/W-0

表 6-139. SRC_EN のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	0000 000	予約済み
0	SRC_EN	R/W	0	0：SYSREF 較正はディスエーブル。TAD レジスタを使用して TAD[16:0] 出力を手動で制御し、DEVCLK 遅延を調整します (デフォルト) 1：SYSREF 較正はイネーブル。DEVCLK 遅延は自動的に較正されます。TAD レジスタは無視されます。 SRC_EN での 0 から 1 への遷移により、SYSREF 較正シーケンスが開始されます。SRC_EN を設定する前に、SRC_CFG をプログラムします。SRC_EN を設定する前に、ADC のキャリブレーションが現在実行されていないことを確認してください。

6.6.2.2 SYSREF 較正構成レジスタ (アドレス = 0x2B1) [リセット = 0x05]

図 6-111. SYSREF 較正構成レジスタ (SRC_CFG)

7	6	5	4	3	2	1	0
予約済み				SRC_AVG		SRC_HDUR	
R/W-0000				R/W-01		R/W-01	

表 6-140. SRC_CFG のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0000 00	予約済み
3-2	SRC_AVG	R/W	01	SYSREF 較正に使用される平均化の量を指定します。値を大きくすると、較正時間が長くなり、較正値のばらつきが減少します。 0：4 回の平均 1：16 回の平均 2：64 回の平均 3：256 回の平均
1-0	SRC_HDUR	R/W	01	SYSREF 較正の各高速累積の期間を指定します。SYSREF 周期がサポートされている値を超えると、較正は失敗します。値が大きいと、較正時間が長くなり、SYSREF 周期が長くなります。特定の SYSREF 周期について、値が大きいと、較正値のばらつきも減少します。 0：累積あたり 4 サイクル、85 DEVCLK サイクルの最大 SYSREF 周期 1：累積あたり 16 サイクル、1100 DEVCLK サイクルの最大 SYSREF 周期 2：累積あたり 64 サイクル、5200 DEVCLK サイクルの最大 SYSREF 周期 3：累積あたり 256 サイクル、21580 DEVCLK サイクルの最大 SYSREF 周期 SYSREF 較正の最大期間は、次の式によって境界設定されます。 $T_{SYSREFCAL}$ (DEVCLK サイクルの場合) = 256 × 19 × $4^{(SRC_AVG + SRC_HDUR + 2)}$

6.6.2.3 SYSREF 較正ステータス レジスタ (アドレス = 0x2B2 ～ 0x2B4) [リセット = 未定義]

図 6-112. SYSREF 較正ステータス レジスタ (SRC_STATUS)

23	22	21	20	19	18	17	16
予約済み						SRC_DONE	SRC_TAD[16]
R						R	R
15	14	13	12	11	10	9	8
SRC_TAD[15:8]							
R							
7	6	5	4	3	2	1	0
SRC_TAD[7:0]							
R							

表 6-141. SRC_STATUS のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-18	予約済み	R	未定義	予約済み
17	SRC_DONE	R	未定義	このビットは、SRC_EN = 1 かつ SYSREF のキャリブレーションが完了すると 1 を返します。
16-0	SRC_TAD	R	未定義	このフィールドは、SYSREF 較正で計算される TAD[16:0] の値を返します。このフィールドは、SRC_DONE = 1 の場合にのみ有効です。

Copyright © 2025 Texas Instruments Incorporated

6.6.2.4 DEVCLK アパーチャ遅延調整レジスタ (アドレス = 0x2B5 ～ 0x2B7) [リセット = 0x000000]

図 6-113. DEVCLK アパーチャ遅延調整レジスタ (TAD)

23	22	21	20	19	18	17	16
予約済み							TAD_INV
R/W-0000 000							R/W-0
15	14	13	12	11	10	9	8
TAD_COARSE							
R/W-0000 0000							
7	6	5	4	3	2	1	0
TAD_FINE							
R/W-0000 0000							

表 6-142. TAD フィールド説明

ビット	フィールド	タイプ	リセット	説明
23-17	予約済み	R/W	0000 000	予約済み
16	TAD_INV	R/W	0	このビットを 1 に設定することで、DEVCLK を反転します。
15-8	TAD_COARSE	R/W	0000 0000	このレジスタは、SRC_EN = 0 のときの DEVCLK アパーチャ遅延調整を制御します。SYSREF 較正がディスエーブルのとき、このレジスタを使用して DEVCLK アパーチャ遅延を手動で制御します。ADC キャリブレーションまたは JESD204B が動作している場合、クロックのグリッチを回避するため、この値 (一度に 1 コード) を徐々に増減させることを TI は推奨します。TAD_COARSE の分解能については、「*セクション 5.10*」表を参照してください。
7-0	TAD_FINE	R/W	0000 0000	TAD_FINE の分解能については、「*セクション 5.10*」表を参照してください。

6.6.2.5 DEVCLK タイミング調整ランプ制御レジスタ (アドレス = 0x2B8) [リセット = 0x00]

図 6-114. DEVCLK タイミング調整ランプ制御レジスタ (TAD_RAMP)

7	6	5	4	3	2	1	0
予約済み						TAD_RAMP_RATE	TAD_RAMP_EN
R/W-0000 00						R/W-0	R/W-0

表 6-143. TAD_RAMP のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R/W	0000 00	予約済み
1	TAD_RAMP_RATE	R/W	0	TAD_RAMP_EN = 1 のときに TAD[15:8] レジスタに書き込まれる場合の TAD[15:8] 出力のランプ レートを指定します。 0 : TAD[15:8] は、256 DEVCLK サイクルごとに 1 コードずつ増加または減少します。 1 : TAD[15:8] は、256 DEVCLK サイクルごとに 4 コードずつ増加または減少します。
0	TAD_RAMP_EN	R/W	0	TAD ランプ イネーブル。急激に変化させるのではなく、徐々に増減させるために粗い TAD 調整が必要な場合は、このビットを設定します。 0 : TAD[15:8] レジスタに書き込んだ後、アパーチャ遅延は 1024 DEVCLK サイクル以内に更新されます 1 : TAD[15:8] レジスタに書き込んだ後、アパーチャ遅延は TAD[15:8] レジスタと一致するまで増加または減少します。

Copyright © 2025 Texas Instruments Incorporated

6.6.3 アラーム レジスタ (0x2C0 ～ 0x2C2)

表 6-144. アラーム レジスタ

アドレス	リセット	略称	レジスタ名	セクション
0x2C0	未定義	ALARM	アラーム割り込みステータス レジスタ	セクション 6.6.3.1
0x2C1	0x1F	ALM_STATUS	アラーム ステータス レジスタ	セクション 6.6.3.2
0x2C2	0x1F	ALM_MASK	アラーム マスク レジスタ	セクション 6.6.3.3

6.6.3.1 アラーム割り込みレジスタ (アドレス = 0x2C0) [リセット = 未定義]

図 6-115. アラーム割り込みレジスタ (ALARM)

7	6	5	4	3	2	1	0
予約済み							ALARM
R							R

表 6-145. ALARM フィールド説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	未定義	予約済み
0	ALARM	R	未定義	ALM_STATUS レジスタでマスクされていないアラームが発生すると、このビットは 1 を返します。ALM_MASK を使用して、個々のアラームをマスク (無効化) します。CAL_STATUS_SEL は、CALSTAT 出力ピンで ALARM ビットを駆動し、ハードウェア アラーム割り込み信号を供給するために使用できます。

6.6.3.2 アラーム ステータス レジスタ (アドレス = 0x2C1) [リセット = 0x1F]

図 6-116. アラーム ステータ スレジスタ (ALM_STATUS)

7	6	5	4	3	2	1	0
予約済み			PLL_ALM	LINK_ALM	REALIGNED_ALM	NCO_ALM	CLK_ALM
R/W-000			R/W-1	R/W-1	R/W-1	R/W-1	R/W-1

表 6-146. ALM_STATUS のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	000	予約済み
4	PLL_ALM	R/W	1	PLL ロック喪失アラーム。このビットは、PLL がロックされていないときに常に設定されます。1 を書き込むと、このビットをクリアします。
3	LINK_ALM	R/W	1	リンク アラーム。このビットは、JESD204B リンクが有効化されている一方で、DATA_ENC 状態にないときに常に設定されます。1 を書き込むと、このビットをクリアします。
2	REALIGNED_ALM	R/W	1	アラームを再調整しました。このビットは、SYSREF によって内部クロック (LMFC を含む) が再調整されるたびに設定されます。1 を書き込むと、このビットをクリアします。
1	NCO_ALM	R/W	1	NCO アラーム。このビットは、NCO 位相へのアップセットを検出するために使用できます。このビットは、以下のいずれかが発生すると設定されます。 • NCO が無効化される (JESD_EN = 0) • NCO が (意図的または意図せず) 同期される • チャネル A の位相アキュムレータがチャネル B と一致しない 1 を書き込むと、このビットをクリアします。

Copyright © 2025 Texas Instruments Incorporated

表 6-146. ALM_STATUS のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	CLK_ALM	R/W	1	クロック アラーム。このビットを使用して、デジタル ブロックと JESD204B クロックのアップセットを検出できます。このビットは、A および B チャネルの内部クロック分周器が一致しない場合に常に設定されます。1 を書き込むと、このビットをクリアします。

6.6.3.3 アラーム マスク レジスタ (アドレス = 0x2C2) [リセット = 0x1F]

図 6-117. アラーム マスク レジスタ (ALM_MASK)

7	6	5	4	3	2	1	0
予約済み			MASK_PLL_ALM	MASK_LINK_ALM	MASK_REALIGNED_ALM	MASK_NCO_ALM	MASK_CLK_ALM
R/W-000			R/W-1	R/W-1	R/W-1	R/W-1	R/W-1

表 6-147. ALM_MASK のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	000	予約済み
4	MASK_PLL_ALM	R/W	1	セットすると、PLL_ALM はマスクされ、ALARM レジスタ ビットには影響しません。
3	MASK_LINK_ALM	R/W	1	セットすると、LINK_ALM はマスクされ、ALARM レジスタ ビットには影響しません。
2	MASK_REALIGNED_ALM	R/W	1	セットすると、REALIGNED_ALM はマスクされ、ALARM レジスタ ビットには影響しません。
1	MASK_NCO_ALM	R/W	1	セットすると、NCO_ALM はマスクされ、ALARM レジスタ ビットには影響しません。
0	MASK_CLK_ALM	R/W	1	セットすると、CLK_ALM はマスクされ、ALARM レジスタ ビットには影響しません。

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーション情報に関する免責事項

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

ADC12DJ3200QML-SP は、広帯域衛星通信 (SATCOM) や合成開口レーダー (SAR) など、宇宙ベースの多様なアプリケーションで使用できます。入力帯域幅が広いため、最低 8GHz までの直接 RF サンプリングが可能で、高いサンプリング・レートにより、2GHz を超える信号帯域幅を実現できます。「*セクション 7.2*」セクションでは、これらの多様なアプリケーションのニーズを満たす 1 つの構成について説明し、次のセクションでは一般的なアプリケーション情報について説明します。

7.1.1 アナログ入力

ほとんどのアプリケーションは、DC 結合を必要とするアプリケーションと DC 結合を必要としないアプリケーションの 2 つに絞り込むことができます。各カテゴリのニーズとインターフェイスの推奨事項は異なります。ほとんどの場合、駆動回路は、信号源でシングルエンド信号から ADC12DJ3200QML-SP 入力の差動信号への変換を実行する必要があります。

DC 結合が必要なアプリケーションでは、DC 結合アンプを使用して ADC を駆動する必要があります。ドライバ アンプと ADC12DJ3200QML-SP との間に同相電圧 (V_{CM}) を整合させる必要があるため、多くの場合、DC 結合はより困難になります。ADC12DJ3200QML-SP を使用すると、0V の入力同相電圧 (V_{ICM}) により、多くのアプリケーションでこれが容易になります。0V V_{ICM} を使用すると、分割電源の差動アンプが V_{CM} シフトなしで ADC を直接駆動できます。これにより、アンプは通常、2 つの電源の中点と等しい出力同相電圧 (V_{OCM}) で最適な動作ポイントにて動作できます。差動アンプで V_{OCM} を設定するピンがある場合は、そのピンを GND に直接接続できます。ADC12DJ3200QML-SP を駆動できるアンプの例は LMH5401-SP です。この製品はシングルエンドから差動信号への変換が可能で、ADC12DJ3200QML-SP の帯域幅特性に適合する高ゲイン帯域幅積を実現しています。

2 つ目のカテゴリである DC 結合を必要としないアプリケーションでは、シングルエンド信号から差動信号に変換するためにトランスやバランを使用することで、最高の性能が得られることが多くあります。これらのトランスは、50Ω のシングルエンド ソースが ADC12DJ3200QML-SP 内の 100Ω の差動終端とよく一致するようなインピーダンス変換を実行することもできます。たとえば、インピーダンス比が 1:2 のトランスを使用すると、シングルエンドから差動への変換と、適切なインピーダンス整合の両方を実現できます。トランスの出力は、AC 結合することも、ADC 差動入力に直接接続することもできます。この入力は、50Ω の抵抗を経由して各入力ピンの GND に内部で終端されます。バランは、必要な周波数範囲をカバーし、インピーダンス比が 1:2 で、目的の周波数範囲全体にわたって許容可能なゲインと位相のバランスが得られるように選択する必要があります。ゲインおよび位相のバランスが悪い場合、2 次高調波歪み性能は低下します。さまざまな周波数範囲に対する推奨バランの数を 表 7-1 に示しますが、包括的ではありません。

表 7-1. 推奨バラン

部品番号	メーカー (1)	最小周波数 (MHz)	最大周波数 (MHz)
BAL-0009SMG	Marki Microwave	0.5	9000
BAL-0208SMG	Marki Microwave	2000	8000
TCM2-43X+	Mini-Circuits	10	4000
TCM2-33WX+	Mini-Circuits	10	3000
B0430J50100AHF	Anaren	400	3000

(1) 「*サード パーティー製品に関する免責事項*」セクションをご覧ください。

Copyright © 2025 Texas Instruments Incorporated

7.1.2 アナログ入力帯域幅

ADC12DJ3200QML-SP は、フルパワー入力帯域幅が非常に広いので、最大 10GHz の信号を直接サンプリングできます。多くの場合、フロントエンド シグナル チェーンのシングルエンド信号を、ADC12DJ3200QML-SP が必要とする差動信号に変換するために、トランスまたはバランを使用します。2:1 トランスはシングルエンドの 50Ω ソースから ADC に 100Ω の差動ソース インピーダンスを示しますが、出力のリターン損失が小さい (差動 100Ω インピーダンスに十分にマッチングしない) バランまたはトランスは、ADC12DJ3200QML-SP の周波数応答の周波数リップルにつながります。周波数リップルを改善するために、抵抗性アッテネータ (π 型または T 型) を使用して、ドライブ部品の出力リターン損失を改善し、前段のアンプ チェーンのゲインとドライブ能力を追加することで周波数応答リップルを減衰させることができます。通常、出力リターン損失の低下によって生じる周波数応答リップルを減衰させるには、3dB の減衰で十分です。より一般的に言えば、ADC12DJ3200QML-SP を使用して最大周波数応答平坦性を実現するには (図 5-68 を参照)、ADC12DJ3200QML-SP の前にあるデバイスまたは受動部品の出力インピーダンスを、100Ω の差動抵抗に適切に整合させる必要があります。インピーダンス整合を追加しても、通常、帯域幅は改善しません。

7.1.3 クロック供給

定格性能を実現するには、ADC12DJ3200QML-SP のクロック入力をこのデバイスに AC 結合する必要があります。定格性能を実現するには、クロック ソースのジッタ (積分位相ノイズ) を非常に小さくする必要があります。推奨クロック シンセサイザには、LMX2615-SP が含まれます。

JESD204B データ コンバータ システム (ADC と FPGA の組み合わせ) を使用するには、追加の SYSREF とデバイス クロックが必要です。LMK04832 デバイスは、これらのクロックを生成するのに最適です。ADC のクロック周波数とジッタ要件にもよりますが、システムで複数の ADC12DJ3200QML-SP デバイスを使用する場合、このデバイスをシステム クロック シンセサイザとして、またはデバイス クロックおよび SYSREF 分配デバイスとしても使用できます。

7.1.4 放射線環境に関する推奨事項

放射線環境で製品を使用する場合は、環境条件に十分配慮する必要があります。

7.1.4.1 シングル イベント ラッチアップ (SEL)

EIA/JEDEC 規格、EIA/JEDEC57 に従って、ワンタイム シングル イベント ラッチアップ (SEL) テストを実施しました。「特長」に示す線形エネルギー転送スレッショルド (LETth) は、LET でテストした最大値です。

7.1.4.2 シングル イベント機能割り込み (SEFI)

ADC12DJ3200QML-SP のレジスタ マップは、放射線イベント中に SEL テストに使用される最大 LET まで、プログラムされた値を保持するように設計されています。

Copyright © 2025 Texas Instruments Incorporated

7.1.4.3 シングル イベント アップセット (SEU)

DDC ブロックや JESD204B ブロックを含む ADC12DJ3200QML-SP の高速デジタル パスは、放射線イベントの影響を受けやすくなります。自動復帰を可能にし、アップセット後の ADC12DJ3200QML-SP における JESD204B インターフェイス ブロックの復帰時間を短縮するため、以下の推奨事項が記載されています。

- 内部クロックおよびカウンタを迅速に回復するため、常に連続的な周期的 SYSREF を使用してください。カップリングによるスプリアス性能の劣化の制限をできるだけ長く、しかしシステム要件内で回復するのに十分なだけ短く周期を設定します。SYSREF は、SEU の後にトランスミッタ (ADC12DJ3200QML-SP) とレシーバ (FPGA または ASIC) の両方を回復するのに役立ちます。SYSREF は、リンクがフレームまたはマルチフレームのずれを検出するまでに要する時間の上限を設定します。最小の要件として、レシーバが JESD204B $\overline{\text{SYNC}}$ 信号をアサートしたときに SYSREF を有効にする必要があります。
- レシーバ (FPGA または ASIC) は、フレームおよびマルチフレームの整列監視を実行する必要があります。監視には、フレーム終端文字やマルチフレーム終端文字の配置ミスや欠落の探索を含める必要があります。配置ミス文字とは、フレームまたはマルチフレームの誤ったスポットで発生する文字のことで、フレームまたはマルチフレームの最後の文字ではないことを意味します。欠落文字は、JESD204B の文字置換規則に基づいて、レシーバがフレームまたはマルチフレームの最後に含める必要があると判断した文字です。配置ミスや欠落文字が 2 つ以上見つかった場合 (正しい位置に何も受信していない)、$\overline{\text{SYNC}}$ をアサートしてリンクを再確立し、CGS と ILAS プロセスを再起動する必要があります。
- スクランブルを有効にして、ADC データとは無関係に整合性のある確率で整列文字が生成されるようにします。スクランブルを使用しないと、フレームまたはマルチフレームの整列がシフトした後の復帰時間が長くなる可能性があります。
- データ インターフェイスを介した再初期化のサポートを含め、レシーバ フレーム整列ステート マシンが JESD204B 規格に従って実装されていることを確認します。 トランスミッタ (ADC12DJ3200QML-SP) がリンクを再初期化すると (レシーバが $\overline{\text{SYNC}}$ 信号をアサートせずに K28.5 文字を送信することで示される)、レシーバは初期フレームおよびレーン整列状態に遷移する必要があります。
- 各フレームの末尾にある 4 つのテール ビットを監視することで、12 ビット DDC バイパス JMODE の堅牢性をさらに高めることができます。テール ビットの欠落または配置ミスは、フレーム整列ミス エラーと同じように扱うことができます。

DDC ブロックで使用される数値制御発振器 (NCO) のアキュムレータも、アップセットの影響を受ける可能性があります。NCO 位相のアップセットは、セクション 6.3.7.1 で説明されている NCO アップセット アラーム機能を使用して検出できます。アップセットが検出された後、複数の ADC12DJ3200QML-SP デバイス間の位相同期が必要な場合、NCO を再初期化する必要があります。NCO 周波数を SYSREF 周波数 (SYSREF 周波数に関連する整数) の高調波として選択し、NCO 位相同期 に記載されている SYSREF (AC 結合) を使用した NCO 同期を使用すると、より堅牢なソリューションを実現できます。これにより、SYSREF がアップセットした後に NCO 位相を自動的にリセットし、システム内のすべての ADC12DJ3200QML-SP デバイスを再同期する必要なしに、複数の ADC12DJ3200QML-SP デバイス間の位相同期を自動的に回復できます。$f_{NCO} = n \times f_{SYSREF}$ の場合、この条件が満たされます。

Copyright © 2025 Texas Instruments Incorporated

7.2 代表的なアプリケーション

ADC12DJ3200QML-SP の一般的な使用事例は、広帯域 RF サンプリング レシーバのデジタイザです。広帯域衛星通信や合成開口レーダー (SAR) などの多くのアプリケーションは、この共通構成に該当します。この場合、DC 結合は不要であり、シングルエンド アンプを ADC12DJ3200QML-SP の差動入力と接続するため、トランスまたはバランを使用します。

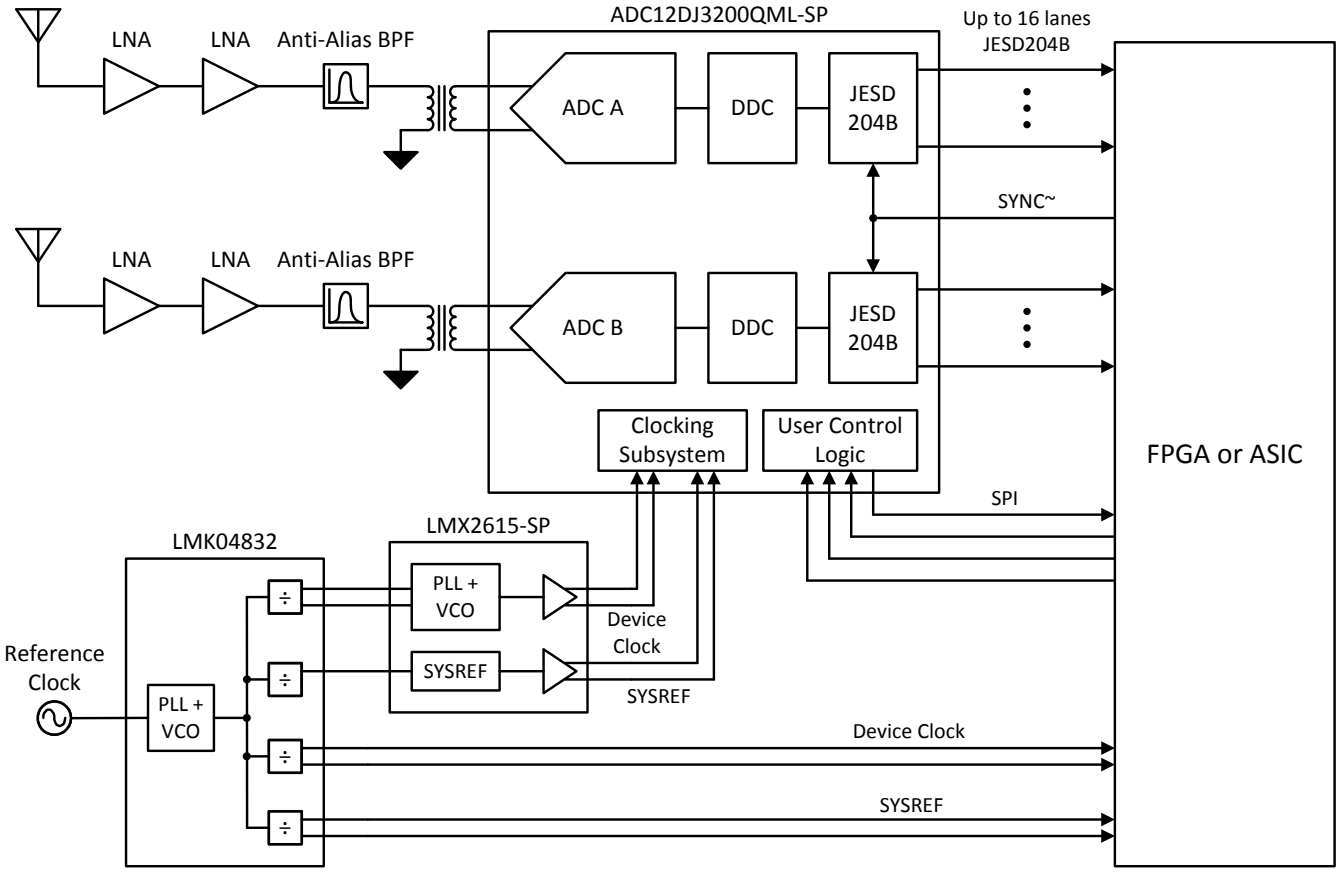


図 7-1. 広帯域 RF サンプリング レシーバの標準的な構成

7.2.1 設計要件

広帯域 RF サンプリング レシーバは、さまざまなモードで構成できます。たとえば、ADC12DJ3200QML-SP はデュアル チャネル モードで動作し、1 次、2 次、または 3 次ナイキスト ゾーンでサンプリングできます。ただし、この例では、ADC12DJ3200QML-SP がサンプリング レート 6.4GSPS のシングル チャネル モードで動作し、2 次ナイキスト ゾーンが使用されていると仮定します。6.4GSPS のシングル チャネル モードで動作している場合、入力信号は 3.2GHz ～ 6.4GHz の範囲内にあり、アンチエイリアス フィルタリングのマージンを減らします。RF 部品についてはここでは詳しく説明していませんが、代わりに一般的な事項については「*RF 入力信号パス*」セクションで説明しています。

表 7-2. 広帯域 RF サンプリング レシーバのシステム要件

システム要件	仕様	単位
サンプリング レート	6.4	GSPS
瞬間的な信号帯域幅	2.5	GHz
入力信号の中心周波数	4.8	GHz
ADC インターフェイス	JESD204B	—
最大 SerDes ライン レート	6.4	Gbps

Copyright © 2025 Texas Instruments Incorporated

7.2.2 詳細な設計手順

セクション 7.2.1 で説明したアプリケーションでの部品選択と ADC12DJ3200QML-SP の構成については、このセクションで説明します。広帯域 RF サンプリング レシーバの部品と選択理由を 表 7-3 に示します。

表 7-3. 広帯域 RF サンプリング レシーバの部品選択

部品	選択	REASON (理由)
ADC	テキサス インスツルメンツ ADC12DJ3200QML-SP	サンプリング レートの要件 (6.4GSPS) と高い入力周波数により、ADC12DJ3200QML-SP は自然な選択肢となります。
サンプリング クロック生成	テキサス インスツルメンツ LMX2615-SP	LMX2615-SP は低ジッタ (45fs) および高い出力スイングにより、高性能のサンプリング クロックを生成します。SYSREF 機能により、マルチデバイスの同期が簡単になります。
クロック分配	テキサス インスツルメンツ LMK04832	7 個の JESD204 ADC、DAC、またはロジック デバイス (FPGA または ASIC) と、シングル PLL モード、デュアル PLL モード、クロック分配モードなどの多数の動作モードをサポートします。
トランス / バラン	Marki Microwave 社の BAL-0208SMG(1)	小型サイズで広い周波数帯域をカバーし、必要な周波数帯域内で良好な性能を発揮します。

(1) 「*サード パーティー製品に関する免責事項*」セクションをご覧ください。

ADC12DJ3200QML-SP の構成および主要なパラメータを 表 7-4 に示します。各種パラメータの計算結果やソースについては、該当箇所に記載されています。

表 7-4. ADC12DJ3200QML-SP の構成および主要パラメータ

パラメータ	計算結果	設定または値	単位
JMODE	—	1	—
DDC モード	JMODE セレクションから選択	N/A (デュアル チャネル モードのみ)	—
ADC チャネル	JMODE セレクションから選択	1	—
使用するアナログ入力	INA± はシングル チャネル モードで最高の性能を実現	INA±	—
合計 SerDes レーン	JMODE セレクションから選択	16	レーン
R (f_{BIT} / f_{CLK})	JMODE セレクションから選択	2	Gbps / GHz
SerDes ライン レート	$f_{LINERATE} = f_{CLK} * R$	6.4	Gbps
リンク	JMODE セレクションから選択	2	リンク
L (リンクごと)	JMODE セレクションから選択	8	レーン/リンク
M (リンクごと)	JMODE セレクションから選択	8	コンバータ / リンク
F	JMODE セレクションから選択	8	フレーム / レーン
S	JMODE セレクションから選択	5	サンプル / フレーム
K	ceil (17/F) ≤ K ≤ min (32、floor(1024/F))	8 (その他可)	フレーム / マルチフレーム
CLK± 周波数	$f_{CLK} = f_S / 2$ (シングル チャネル モードの場合)	3.2	GHz
SYSREF 周波数	$f_{SYSREF} = f_{LINERATE}/(10 * F * K * n)$	10 / n	MHz
総クロック ジッタ	$\tau_T = sqrt(\tau_{CLK}^2 + \tau_{AJ}^2)$	83	fs

Copyright © 2025 Texas Instruments Incorporated

7.2.2.1 RF 入力信号路

ほとんどの RF サンプリング レシーバには、目的の信号レベルを上げるために、多数の低ノイズ アンプ (LNA) またはゲイン ブロックがアンテナの後に内蔵されます。LNA の後に適切な帯域制限フィルタを使用すると、不要な周波数を拒否することによって、信号をブロックすることによるレシーバ感度損失を低減できます。トランス経由で ADC12DJ3200QML-SP を駆動する最後のアンプは、ADC12DJ3200QML-SP のフルスケール入力電力レベルとトランスの挿入損失で高直線性 (IMD3、SFDR) を発揮するように選択する必要があります。前のゲイン段から十分なゲインが得られる限り、最終ドライバ アンプのノイズ指数性能は直線性よりも重要ではありません。オーバードライブ条件が発生した場合、最大出力電力は ADC12DJ3200QML-SP の絶対最大入力電力よりも小さい必要があります。アンプが ADC12DJ3200QML-SP の許容範囲を超える出力電力を駆動できる場合、ADC12DJ3200QML-SP 入力を保護するために外部クランプまたは制限回路を実装する必要があります。ADC12DJ3200QML-SP の累積的な損傷を防止するため、オーバードライブ条件を迅速に修正する必要があります。

7.2.2.2 AC カップリング コンデンサの値の計算

AC カップリング コンデンサは、入力 CLK± および JESD204B 出力データ ペアに使用します。コンデンサの値は、対象の最低周波数の信号に対応できる十分な大きさを必要とします。ただし、スタートアップのバイアス時間が過度に長い、または不要な寄生インダクタンスが発生するほど大きくないようにする必要があります。

コンデンサの最小値は、コンデンサを介して転送される最小周波数信号に基づいて計算できます。50Ω のシングルエンド クロックまたはデータ パスのインピーダンスについては、対象の最も低い周波数でコンデンサのインピーダンスを 1Ω 未満に設定することをお勧めします。この設定は、その周波数での信号レベルへの影響を最小限に抑えます。CLK± パスの場合、最小定格クロック周波数は 800MHz です。したがって、コンデンサの最小値は次の式で計算できます。

$$Z_C = 1/\left(2 \times \pi \times f_{CLK} \times C\right) \tag{12}$$

Z_c = 1Ω と設定して並べ替えると、以下が得られます。

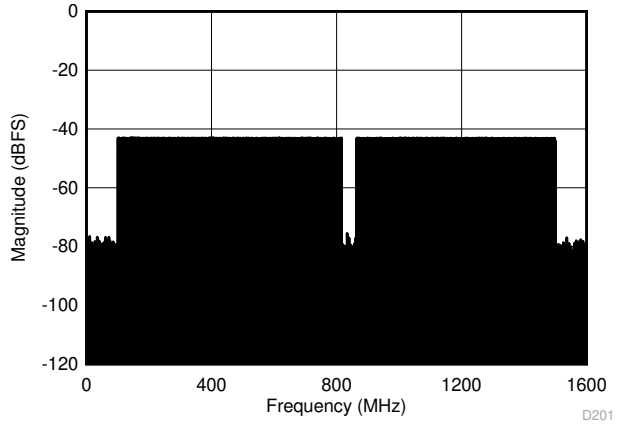
$$C = 1/\left(2 \times \pi \times 800\ \text{MHz} \times 1\ \Omega\right) = 199\ \text{pF} \tag{13}$$

したがって、CLK± パスの低周波数応答を実現するには、199pF 以上の容量値が必要です。最小クロック周波数が 800MHz よりも高い場合、その周波数についてこの計算をやり直すことができます。このインターフェイスの最小周波数に基づいて、JESD204B 出力データ コンデンサについても同様の計算を行えます。また、高周波数 (低インダクタンス) での優れた応答と、接続される高周波信号のパターンと一致する寸法が得られるように、コンデンサを選択する必要があります。多くの場合、0201 サイズのコンデンサはこれらのアプリケーションに最適です。

Copyright © 2025 Texas Instruments Incorporated

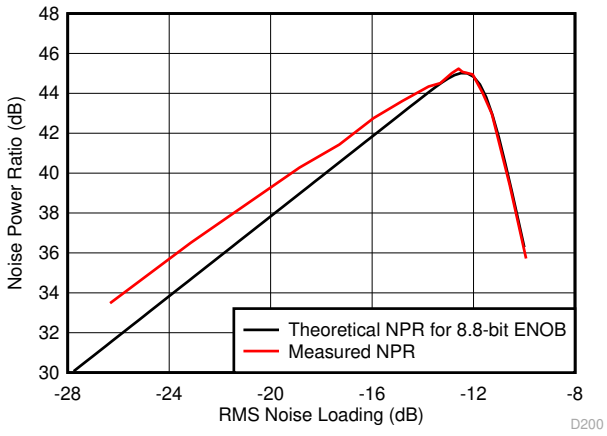
7.2.3 アプリケーション曲線

ADC12DJ3200QML-SP は、さまざまな動作モードで使用でき、複数のアプリケーションに対応できます。シングルトーンとツートーンのパフォーマンスについては、「セクション 5」セクションで詳しく説明します。ノイズ電力比 (NPR) は、広帯域マルチチャネル レシーバの性能を定量化するために多く使用されます。これらのシステムは、互いに相関しない、間隔が狭い多数の信号を受信します。これらの無相関信号の合計は、通常の (ガウス) 分散ノイズ源のように見える信号を形成し、NPR はこのタイプの信号の性能を定量化しようとします。NPR は、ノッチされた帯域のノイズ電力と、等しいサイズの帯域の信号電力との比を測定します。図 7-2 に、デュアル チャネル モードでの NPR 測定の例を示します。入力信号は 100MHz から 1.5GHz で、ノッチは周波数 839.7MHz を中心にした 45MHz 幅です。入力電力を掃引し、最適な RMS ノイズ負荷を特定します。これは、NPR が最大になる入力電力です。通常分散された入力信号を持つ広帯域マルチチャネル レシーバにとって、最適な入力電力負荷で発生するピーク NPR が望ましい動作ポイントになります。デュアル チャネル モードの入力電力掃引を 図 7-3 に示します。この図は、ADC のピーク (飽和) 入力電力に対して –12.6dB の最適負荷で発生するピーク NPR が 45.2dB であることを示しています。このピーク NPR はほぼ 8.8 ビット ADC の性能に対応しているため、有効ビット数 (ENOB) は 8.8 ビットです。シングル チャネル モードでの測定例を、図 7-4 と 図 7-5 に示します。シングル チャネル モード測定では、ADC 入力を飽和させるのに十分な出力電力を確保できるように、信号発生器の出力は 1.5GHz に制限されています。NPR 計算は、制限された信号帯域幅を補償します。



JMODE 3、f_S = 3200MSPS、信号帯域は 100MHz から 1500MHz、ノッチ中心周波数 = 839.7MHz、ノッチ帯域幅 = 45MHz

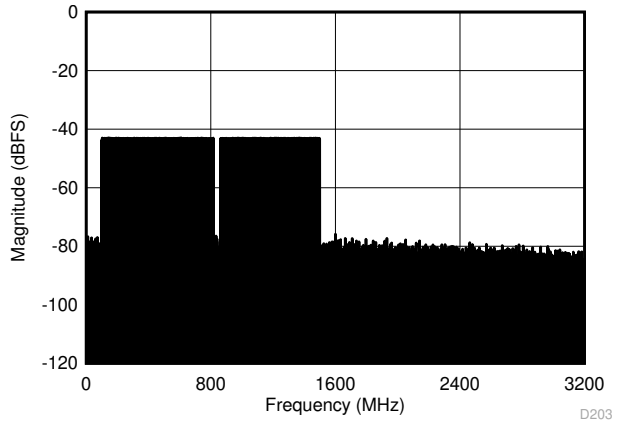
図 7-2. デュアル チャネル モードで ADC12DJ3200QML-SP を最適負荷で使用する NPR 測定の例



JMODE 3、f_S = 3200MSPS、信号帯域は 100MHz から 1500MHz、ノッチ中心周波数 = 839.7MHz、ノッチ帯域幅 = 45MHz、ピーク NPR = 45.2dB (ノイズ負荷 -12.6dB)

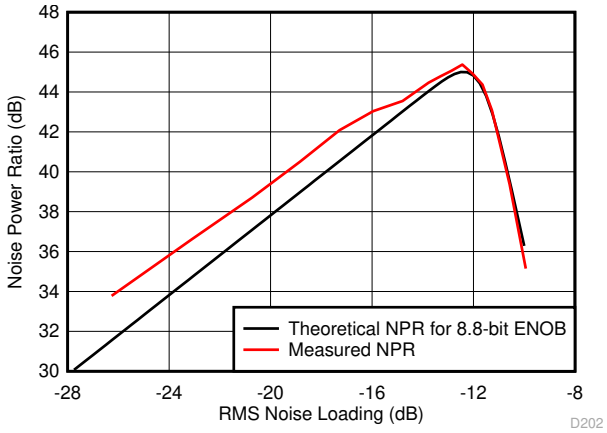
図 7-3. デュアル チャネル モードでの NPR と入力 RMS ノイズ負荷との関係

Copyright © 2025 Texas Instruments Incorporated



JMODE 1、f_S = 6400MSPS、信号帯域は 100MHz から 1500MHz、ノッチ中心周波数 = 839.7MHz、ノッチ帯域幅 = 45MHz

図 7-4. シングル チャネル モードで ADC12DJ3200QML-SP を最適負荷で使用する NPR 測定の例



JMODE 1、f_S = 6400MSPS、信号帯域は 100MHz から 1500MHz、ノッチ中心周波数 = 839.7MHz、ノッチ帯域幅 = 45MHz、ピーク NPR = 45.4dB (ノイズ負荷 -12.4dB)

図 7-5. シングル チャネル モードでの NPR と入力 RMS ノイズ負荷との関係

Copyright © 2025 Texas Instruments Incorporated

7.3 初期化セットアップ

デバイスと JESD204 インターフェイスには、特定の起動および整列シーケンスが必要です。このシーケンスの一般的な順序を以下の手順で示します。

1. デバイスをパワーアップするかリセットします。
2. 目的の周波数で安定したデバイス CLK 信号を印加します。
3. JESD_EN = 0 をプログラムすると、JESD204B ステート マシンを停止し、設定を変更できるようになります。
4. CAL_EN = 0 をプログラムすると、キャリブレーション ステート マシンを停止し、設定を変更できるようになります。
5. 目的の JMODE をプログラムします。
6. 目的の KM1 値をプログラムします。KM1 = K–1。
7. 必要に応じて SYNC_SEL をプログラムします。SYNCSE またはタイムスタンプ差動入力を選択します。
8. 必要に応じてデバイスのキャリブレーション設定を構成します。必要に応じて、フォアグラウンドまたはバックグラウンドのキャリブレーションモードとオフセットキャリブレーションを選択します。
9. キャリブレーション・ステートマシンを有効化するには、CAL_EN = 1 をプログラムします。
10. OVR_EN を使用したオーバーレンジを有効化し、必要に応じて設定を調整します。
11. SYSREF ソースでの連続 SYSREF 生成を有効にします。
12. SYSREF 自動較正を実行するか、SYSREF ウィンドウ処理を使用して、SYSREF が CLK± を基準とするセットアップおよびホールド時間を満たすことを確認します (詳細については、「複数デバイス同期の SYSREF キャプチャと決定論的レイテンシ」セクションを参照)。
13. JESD_EN = 1 をプログラムすると、JESD204B ステートマシンを再起動し、リンクを再起動できます。
14. JESD204B インターフェイスは、レシーバから印加された同期信号に応答して動作します。
15. CAL_SOFT_TRIG = 0 をプログラムします。
16. キャリブレーションを開始するため、CAL_SOFT_TRIG = 1 をプログラムします。

電源に関する推奨事項

デバイスには、2 つの異なる電源電圧が必要です。VA19 電源バスには 1.9V DC、VA11 および VD11 電源バスには 1.1V DC が必要です。電源電圧は低ノイズであり、デバイスの定格性能を達成するために必要な電流を供給する必要があります。

以下の 2 つの推奨される電源アーキテクチャがあります。

1. 高効率 DC/DC スイッチング コンバータを使用してシステム電圧を降圧し、その後、低ドロップアウト リニア レギュレータ (LDO) による低ノイズ レギュレーションの第 2 段に続きます。LDO は、スイッチング ノイズの低減、パッシブ フィルタリング要件の低減、ADC のローカル配置で電圧精度の向上を実現します。
2. 高効率 DC/DC スイッチング コンバータを使用して、システム電圧から最終的な ADC 電源電圧へ直接降圧します。この方法を使うと効率が最高になりますが、ADC の性能低下を防ぐため、スイッチング ノイズを最小限に抑えるよう注意する必要があります。最高の性能を実現するには追加のパッシブ フィルタリングが必要であり、直列部品で ADC の実際の電圧が低下する場合があります。

TI の WEBENCH® Power Designer を使用して、個別の電源素子を選択および設計できます。「WEBENCH® Power Designer」を参照してください。

初段の推奨 DC/DC スイッチング レギュレータは TPS50601A-SP ですが、他の類似のデバイスも使用できます。2 段目の推奨 LDO には、TPS7H1101A-SP、TPS7A4501-SP、その他の類似デバイスがあります。

スイッチャのみのアプローチでは、DC/DC コンバータのスイッチング周波数および高調波で十分なフィルタリングを行えるよう、リップル フィルタを設計する必要があります。WEBENCH® は、電源設計に使用するときにスイッチング周波数を報告します。アプリケーションごとに、電源電圧のノイズに対する許容誤差が異なるため、厳格なリップル要件はありません。図 7-6 および図 7-7 に、この 2 つのアプローチを示します。

Copyright © 2025 Texas Instruments Incorporated

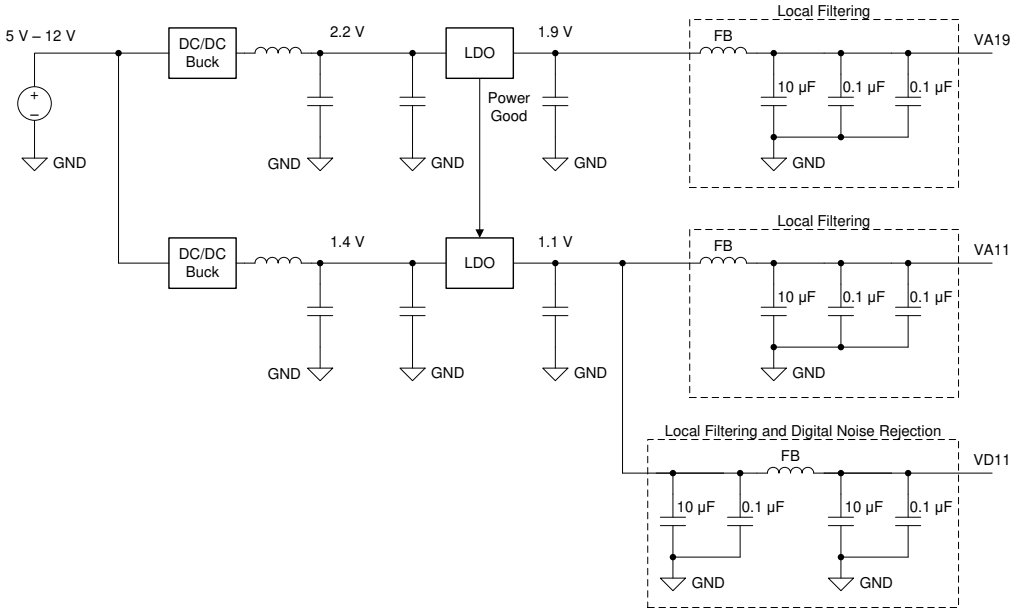


図 7-6. LDO リニア レギュレータの例

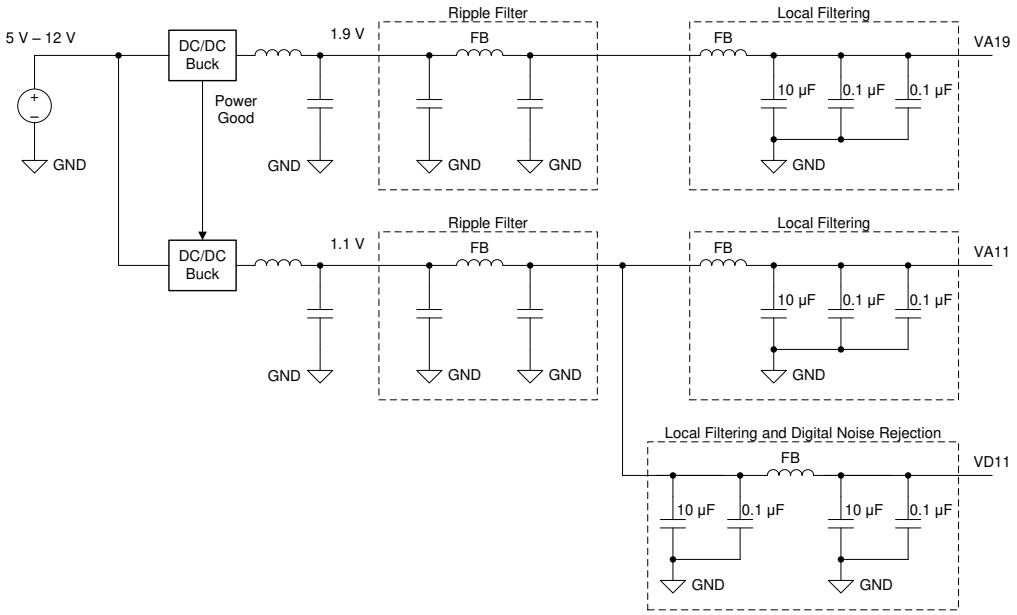


図 7-7. DC/DC スイッチング レギュレータの例

7.1 電源シーケンス

電圧レギュレータは、パワー グッド出力およびイネーブル入力を使用してシーケンシングし、VA19 の電源供給が十分になった後に Vx11 レギュレータがイネーブルになるようにする必要があります。同様に、パワーダウン時に VA19 電源がレギュレーション範囲外になるとすぐに、Vx11 レギュレータがディスエーブルになります。

ADC の一般的な要件は、パワーアップ時、動作時、パワーダウン時に VA19 ≥ Vx11 であることです。

また、VA11 および VD11 を一般的な 1.1V レギュレータから派生させることも TI はお勧めします。この推奨事項により、すべての 1.1V ブロックが同じ電圧になり、これらの電源間でシーケンシングの問題は発生しません。また、フェライト ビーズ フィルタを使用して、VA11 および VD11 バスのノイズが互いに影響しないように分離できます。

Copyright © 2025 Texas Instruments Incorporated

7.4 レイアウト

7.4.1 レイアウトのガイドライン

ボード設計には、特別な注意が必要な重要なシグナルが数多く存在します:

1. アナログ入力信号
2. CLK および SYSREF
3. JESD204B データ出力:
   a. DA[0:3] と DB[0:3] は最大 12.8Gbit/s で動作
   b. DA[4:7] と DB[4:7] は最大 6.4Gbit/s で動作
4. 電源接続
5. 接地接続

アナログ入力信号、クロック信号、JESD204B データ出力は、高周波数で優れた信号品質を実現するために配線する必要がありますが、互いに最大限の絶縁を行うために配線する必要があります。次の一般的な方法を使用します:

1. 可能な場合、緩やかに結合した 100Ω の差動トレースを使用するように配線します。この配線により、ペアのインピーダンスに対するコーナーや長さの一致する蛇行ピンの影響を最小限に抑えることができます。
2. 特に疎結合の差動配線では、クロストークを最小限に抑えるため、十分なペア間の間隔を設けてください。適切な間隔を確保できない場合は、密結合した差動パターンを使用して、自己放射ノイズを低減したり、隣接トレース ノイズ耐性を向上させたりできます。
3. 高速パターンとの結合を最小限に抑えるため、十分なグランド プレーン注入間隔を確保してください。グランド プレーンの注入には、基板のメイン グランド プレーンに十分なビア接続が必要です。フローティングまたは接続不良なグランド パターンを使用しないでください。
4. 滑らかな半径の角を使用してください。インピーダンスの不整合を低減するため、45° または 90° の曲げは避けます。
5. 部品のランディング パッドにはグランド プレーンの切り欠きを設け、これらの場所でインピーダンスの非連続性を回避します。1 つまたは複数のグランド プレーンでランディング パッドの下に切り取られた穴が開けられており、パッドのサイズやスタック アップの高さを実現し、必要な 50Ω のシングルエンド インピーダンスを達成できます。
6. 基準グランド プレーンの不規則な部分の近くにトレースを配線することは避けてください。不具合として、電源ビアと信号ビア、およびスルーホール部品のリードに関連するグランド プレーンまたはグランド プレーンの空間距離が不足していることがあります。
7. トレースが伝送する最大周波数 (<< $\lambda_{MIN}/8$) によって決定される適切な間隔で、すべての高速信号ビアに隣接する対称的に配置されたグランド接続ビアを用意します。
8. ビアを使用して高速信号を別の層に遷移する必要がある場合は、基板をできるだけ遠くまで遷移させて (上下に最適なケース)、ビアの上部または下部にあるビア スタブを最小限に抑えます。レイヤーの選択が柔軟でない場合は、バックドリルまたは埋め込みのブラインド ビアを使用してスタブを除去します。層間の遷移を行うときは、必ず信号ビアの近くにグランド ビアを配置して、グランド リターン パスの近くに配置します。

JESD204B のデータ出力配線とアナログ入力配線が結合する場合があり、特に注意を払ってください。JESD204B 出力からのスイッチング ノイズはアナログ入力パターンに結合し、ADC の入力帯域幅が広いため広帯域ノイズとして現れることがあります。ノイズ結合を防止するために、JESD204B データ出力を ADC 入力トレースから別の層に配線するのが理想的です (「*レイアウト例*」セクションに記載はありません)。また、ノイズ結合を低減するために、密結合したパターンを使用することもできます。

CLK± 入力ピンとクロックソース間のインピーダンスの不一致により、信号の反射または定常波により、ADC CLK± ピンのクロック信号の振幅が小さくなることがあります。特に高い入力周波数では、クロック振幅を小さくすると、ADC のノイズ性能が低下する可能性があります。したがって、クロック ソースを ADC の近くに配置するか (「*レイアウト例*」セクションを参照)、ADC CLK± 入力ピンにインピーダンス整合を実装します。

さらに、製造に確定する前に、TI は重要な信号トレースの信号品質シミュレーションを実行することをお勧めします。挿入損失、反射損失、時間領域反射率測定 (TDR) の評価を実施する必要があります。

Copyright © 2025 Texas Instruments Incorporated

本デバイスの電源および接地接続も非常に重要です。次の規則に従う必要があります:

1. 電源ピンおよび接地ピンのすべてに対して、低抵抗の接続パスとします。
2. すべてのピンにアクセスするために必要な場合は、複数の電力層を使用します。
3. 接続抵抗を増大させるような狭い孤立した経路は避けてください。
4. グランドと電源プレーン間の結合を最大化するために、プリント基板を、信号、グランド、または電源回路基板のスタックアップを使用します。

7.4.2 レイアウト例

図 7-8 から図 7-10 は、デバイス評価基板(EVM)上でルーティングされた重要なパターンの例を示します。

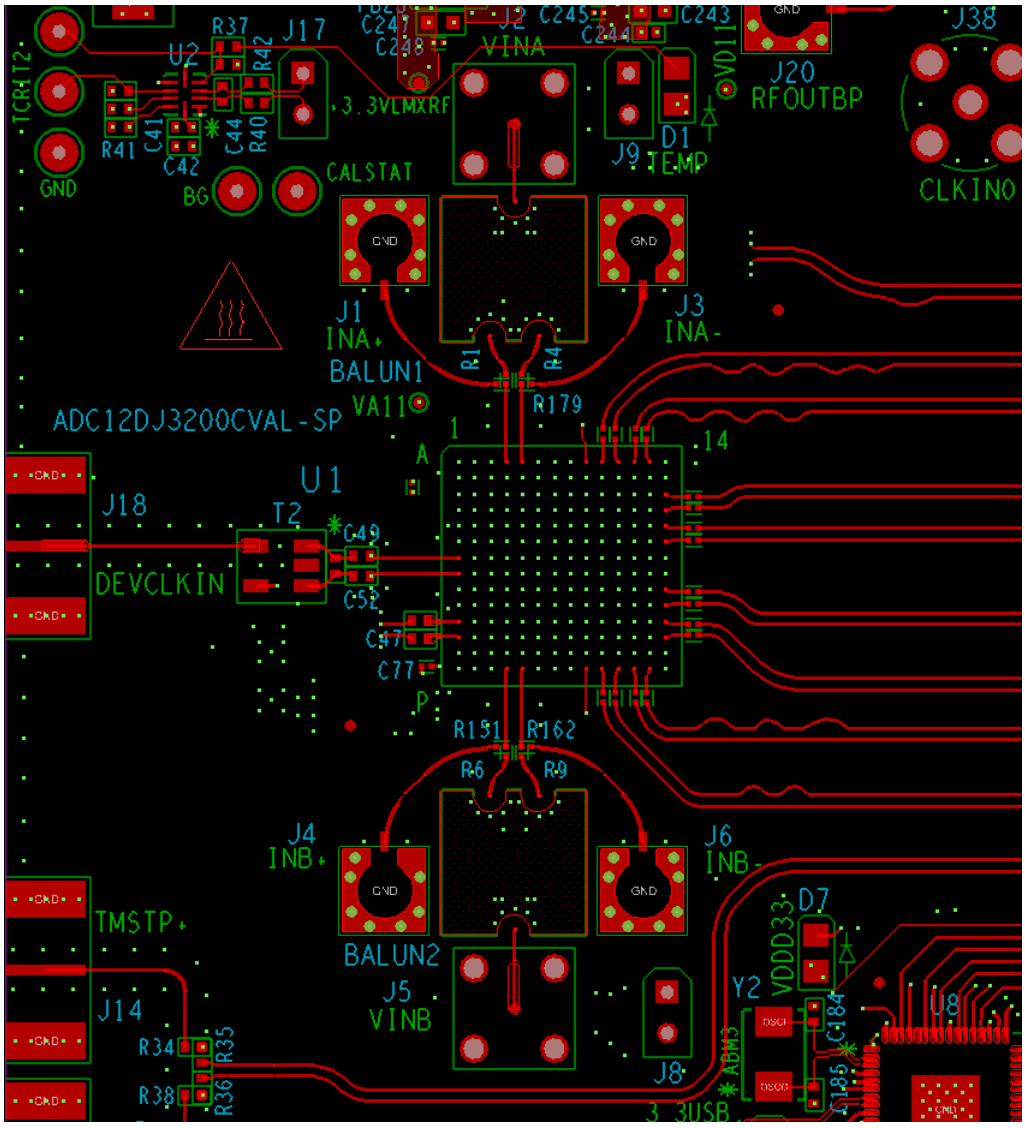


図 7-8. 最上層の配線：アナログ入力、CLK および SYSREF、DA0-3、DB0-3

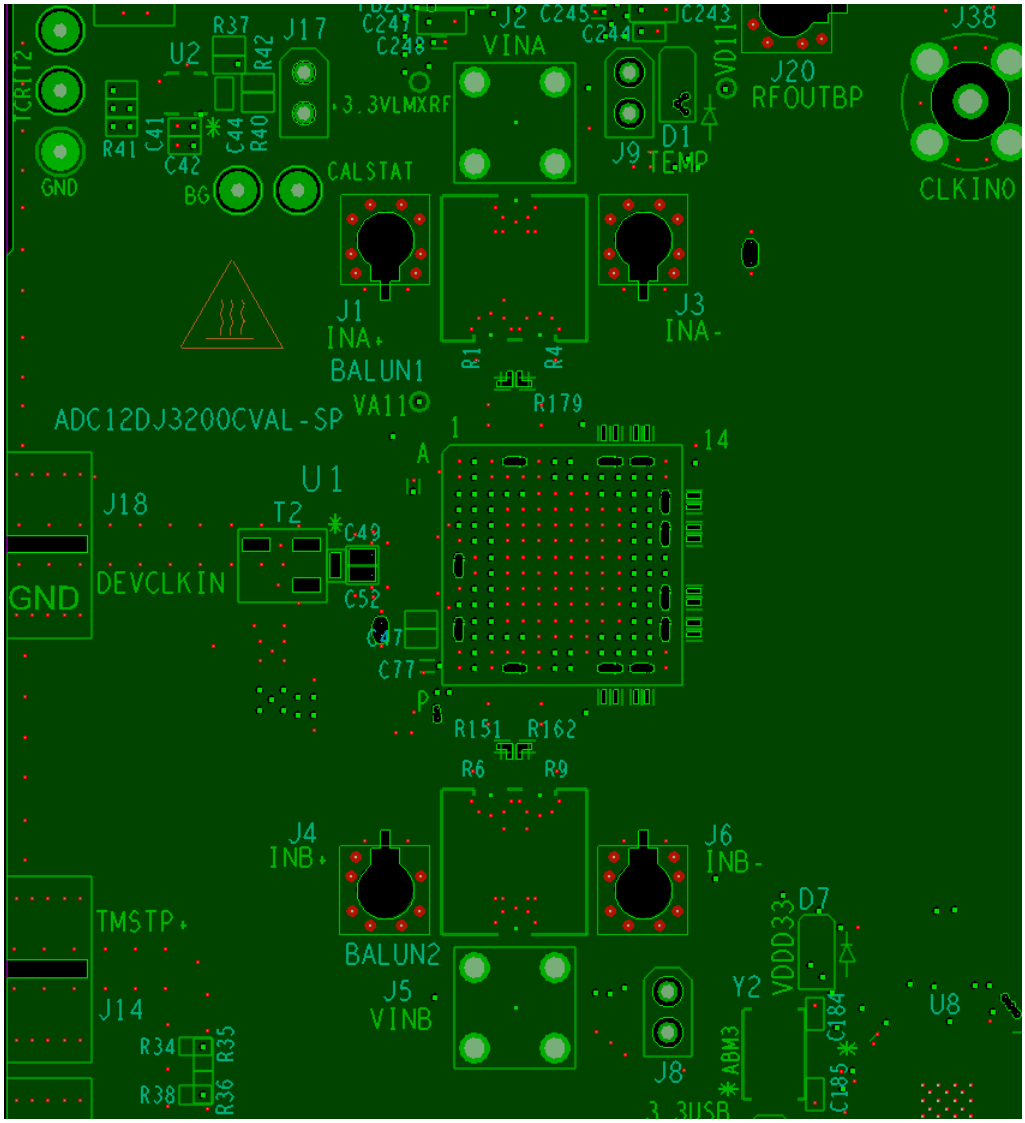


図 7-9. 部品パッドのインピーダンス最適化のための GND1 カットアウト

Copyright © 2025 Texas Instruments Incorporated

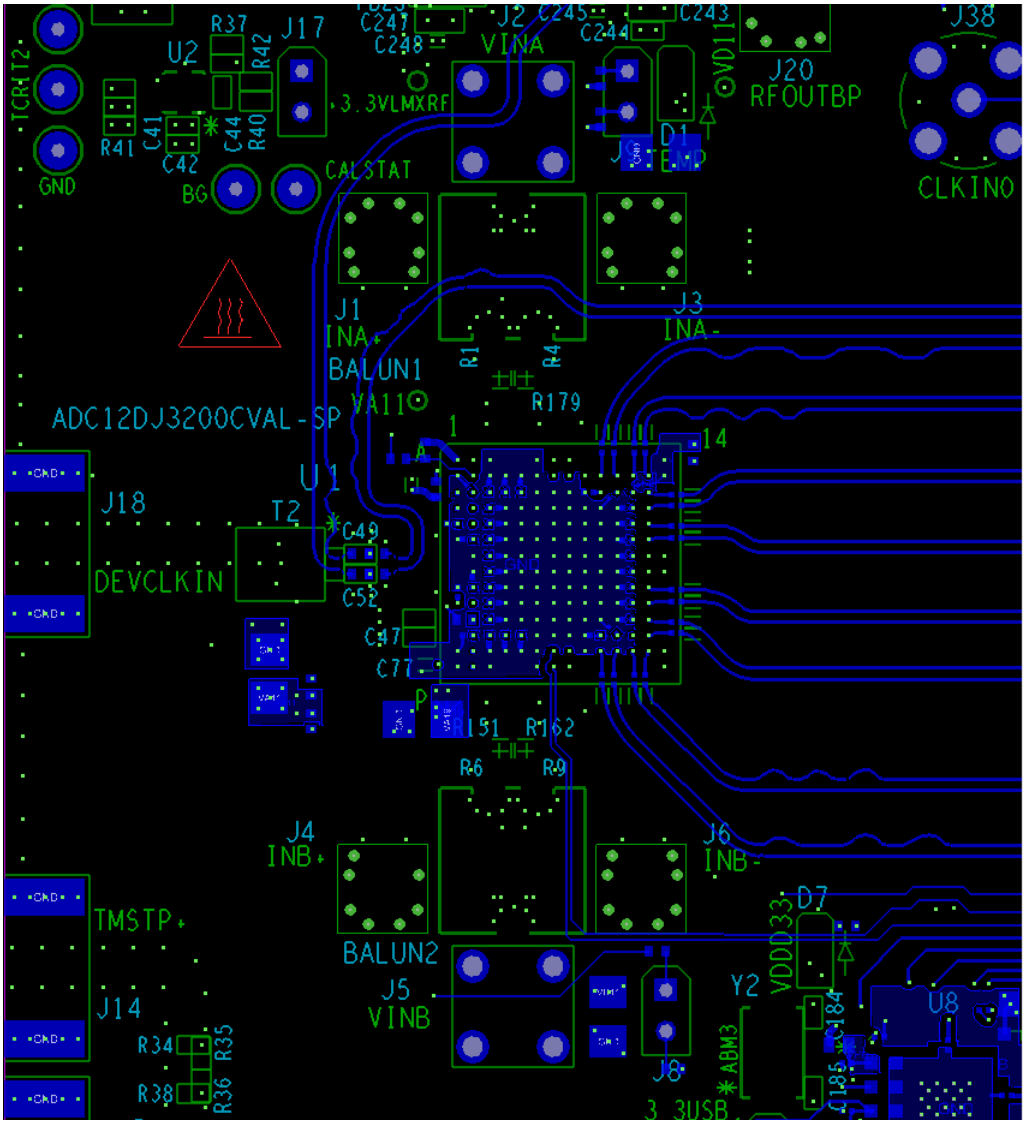


図 7-10. 最下層の配線：追加の CLK 配線、DA4-7、DB4-7

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

- WEBENCH® Power Designer
- ADC12DJ3200 を使用する L、S、C、X バンド用の直接 RF サンプリング レーダー レシーバのリファレンス デザイン
- DSO、レーダー、5G ワイヤレス テスト システム向けのフレキシブルな 3.2GSPS マルチチャネル AFE のリファレンス デザイン
- DSO、レーダー、5G ワイヤレス テスタに対するマルチチャネル JESD204B 15GHz クロック供給のリファレンス デザイン

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

-
- テキサス インスツルメンツ、『JESD204B のマルチデバイス同期:要件の分類』テクニカル ブリーフ
- テキサス インスツルメンツ、『LMX2615-SP 航空宇宙グレード 40MHz ～ 15GHz 広帯域シンセサイザ、位相同期 / JESD204B 対応』
- テキサス インスツルメンツ、『LMK04832 超低ノイズ、JESD204B 準拠クロック ジッタ クリーナ、デュアル ループ PLL 内蔵』
- テキサス インスツルメンツ、『LMH5401-SP 耐放射線特性 6.5GHz、低ノイズ、低消費電力、ゲインを変更可能な完全差動アンプ』
- テキサス インスツルメンツ、『TMP461-SP 耐放射線特性リモートおよびローカル デジタル温度センサ』
- テキサス インスツルメンツ、『LMT01-SP 耐放射線特性 2 ピン高精度デジタル出力温度センサ』
- テキサス インスツルメンツ、『MSP430FR5969-SP 耐放射線特性ミクスト シグナル マイコン』
- テキサス インスツルメンツ、『TPS50601A-SP 耐放射線特性、3V ～ 7V 入力、6A 同期整流降圧型コンバータ』
- テキサス インスツルメンツ、『TPS7H1101A-SP 1.5V ～ 7V 入力、3A、耐放射線特性 LDO レギュレータ』
- テキサス インスツルメンツ、『TPS7A4501-SP 低ドロップアウト電圧レギュレータ』
- テキサス インスツルメンツ、『ADC12DJ3200EVMCVAL 評価基板ユーザー ガイド』

8.3 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

8.4 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の [アラートを受け取る] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

8.5 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.6 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

Copyright © 2025 Texas Instruments Incorporated

WEBENCH® is a registered trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.7 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.8 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

Changes from Revision B (May 2021) to Revision C (March 2025) — **Page**

- 「*デバイス情報*」表を「*パッケージ情報*」表に変更 1
- 「*ピン機能*」表のすべての DAx+、DAx-、DBx+、DBx- ピンの説明を変更 3
- 「*ピン機能*」表に注 1 を追加 3
- 「*推奨動作条件*」の注 1 を更新 11
- 「*熱に関する情報*」の表の値を変更 11
- 「*熱に関する情報*」に注 3 を追加 11

Changes from Revision A (May 2019) to Revision B (March 2021) — **Page**

- 「*製品情報*」表に パッケージ CCGA (196) を追加 1
- 「*ピン構成および機能*」にパッケージ CCGA (196) を追加 3
- 「*熱に関する情報*」の表に CCGA (196) パッケージを追加 11

Changes from Revision * (November 2018) to Revision A (May 2019) — **Page**

- 「*特長*」に NPR を追加 1
- 「仕様」を量産データで更新。 10
- 「*代表的特性*」セクションを追加 27
- 有効な SYSREF ウィンドウ処理出力を受信するための、SYSREF± ピンで少なくとも 3 つの SYSREF 立ち上がりエッジの要件を追加 (「*SYSREF ウィンドウ処理*」セクションを参照) 48
- 「*アプリケーション情報*」セクションを更新。 140
- 「*代表的なアプリケーション*」セクションに NPR 測定データを追加 143
- 「*開発サポート*」セクションと「*関連資料*」セクションの関連コンテンツ一覧を更新 154

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962F1820901VYF	Active	Production	CCGA (NWE) | 196	119 | JEDEC TRAY (10+1)	ROHS Exempt	Call TI	N/A for Pkg Type	-55 to 125	F1820901VYF ADC12DJ32FM
5962F1820901VYF.A	Active	Production	CCGA (NWE) | 196	119 | JEDEC TRAY (10+1)	ROHS Exempt	Call TI	N/A for Pkg Type	-55 to 125	F1820901VYF ADC12DJ32FM
ADC12DJ3200NWE/EM	Active	Production	CCGA (NWE) | 196	119 | JEDEC TRAY (10+1)	ROHS Exempt	Call TI	N/A for Pkg Type	25 to 25	ADC12DJ32EM EVAL
ADC12DJ3200NWE/EM.A	Active	Production	CCGA (NWE) | 196	119 | JEDEC TRAY (10+1)	ROHS Exempt	Call TI	N/A for Pkg Type	25 to 25	ADC12DJ32EM EVAL

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

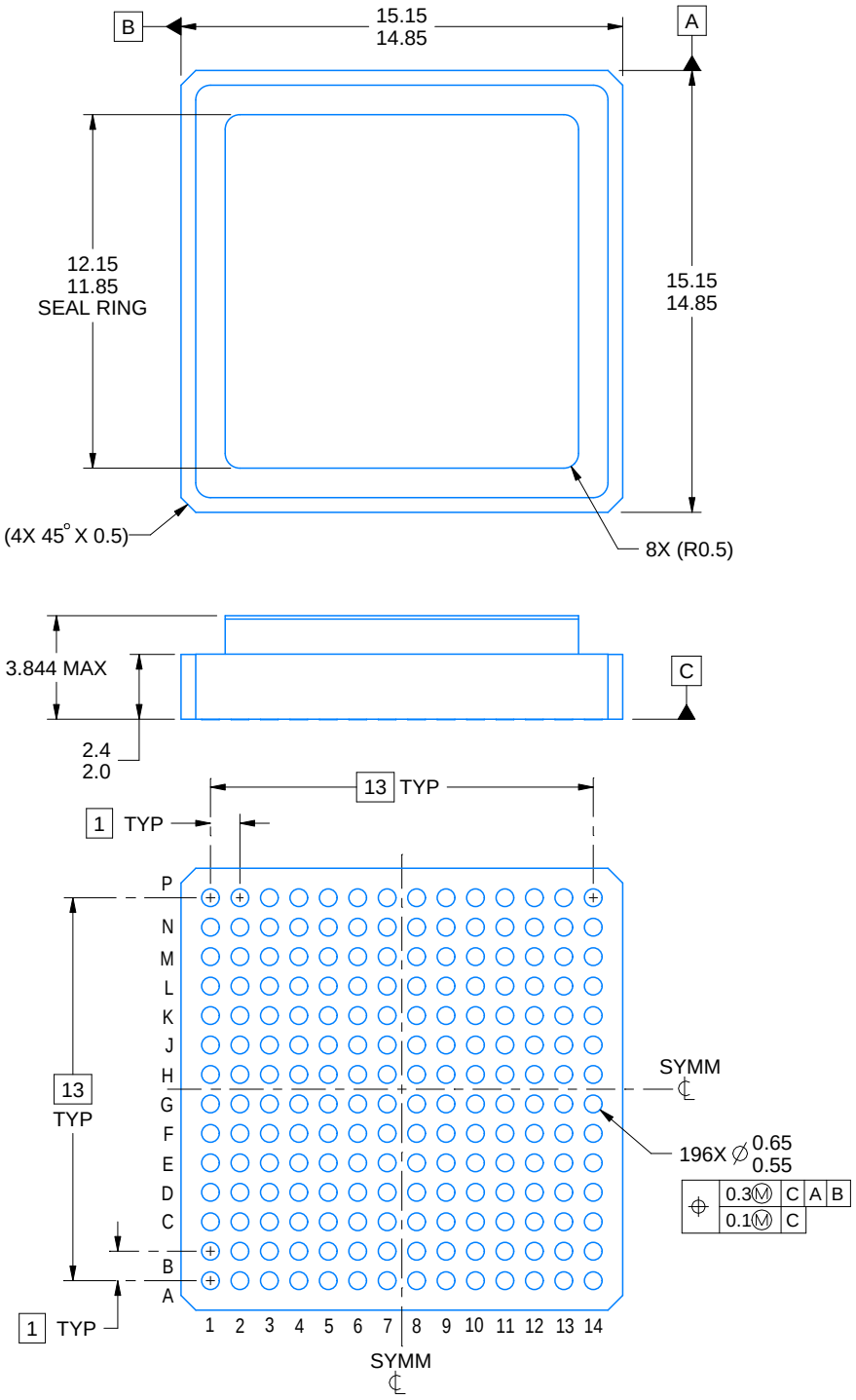
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PACKAGE OUTLINE

ZMX0196A

CLGA - 3.844 mm max height

Ceramic Land Grid Array



4222071/D 06/2018

NOTES:

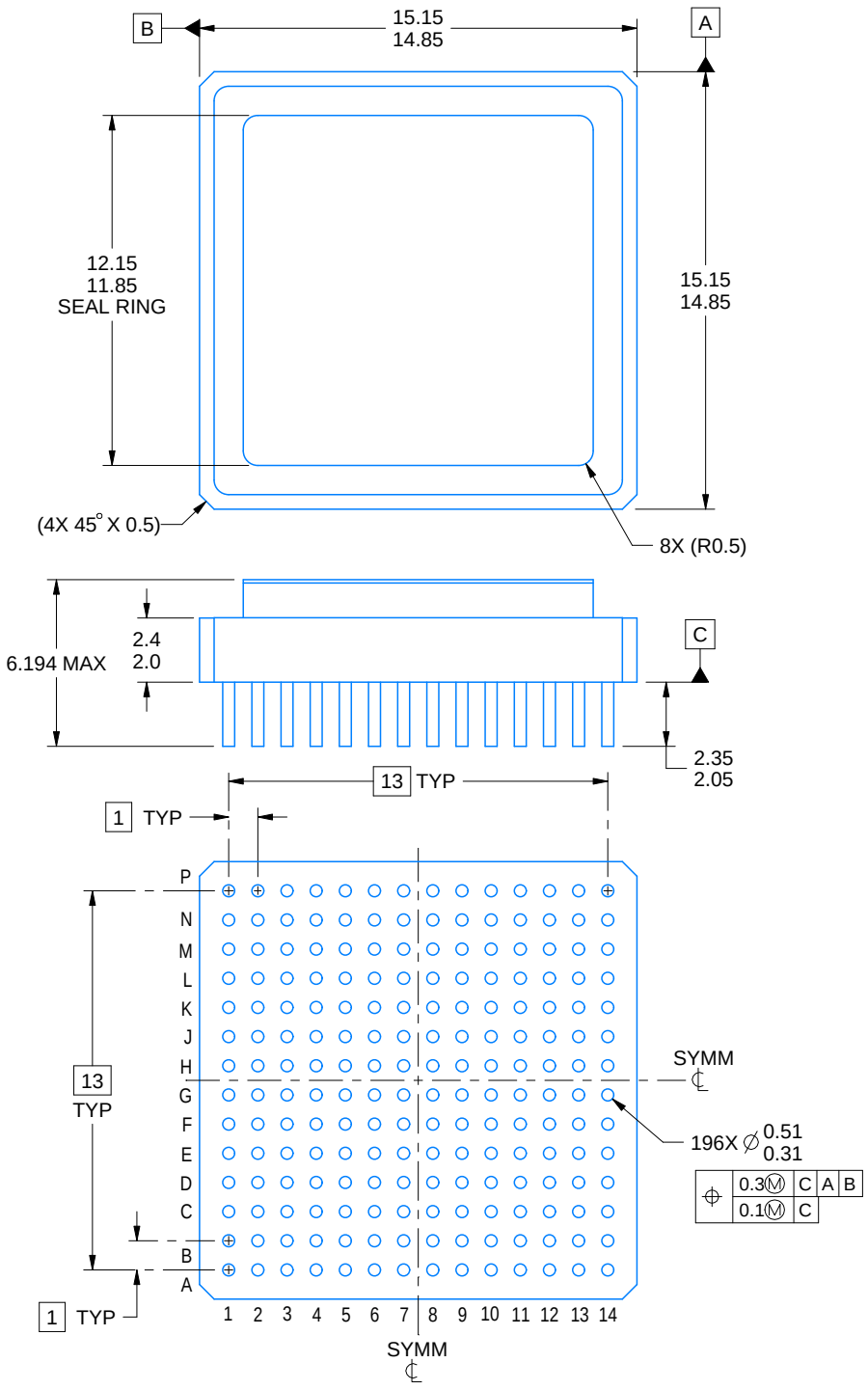
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

PACKAGE OUTLINE

NWE0196A

CCGA - 6.194 mm max height

CERAMIC COLUMN GRID ARRAY



4224655/B 12/2018

NOTES:

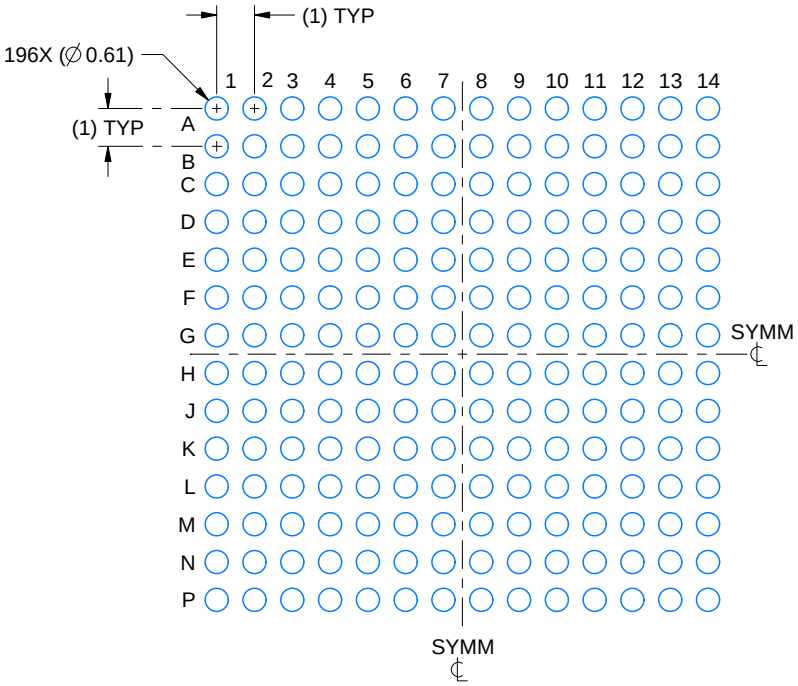
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

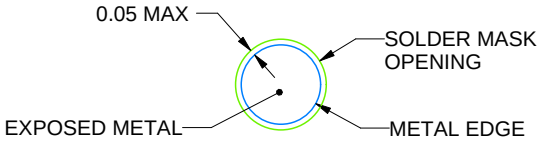
NWE0196A

CCGA - 6.194 mm max height

CERAMIC COLUMN GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 5X



NON-SOLDER MASK DEFINED

SOLDER MASK DETAIL
NOT TO SCALE

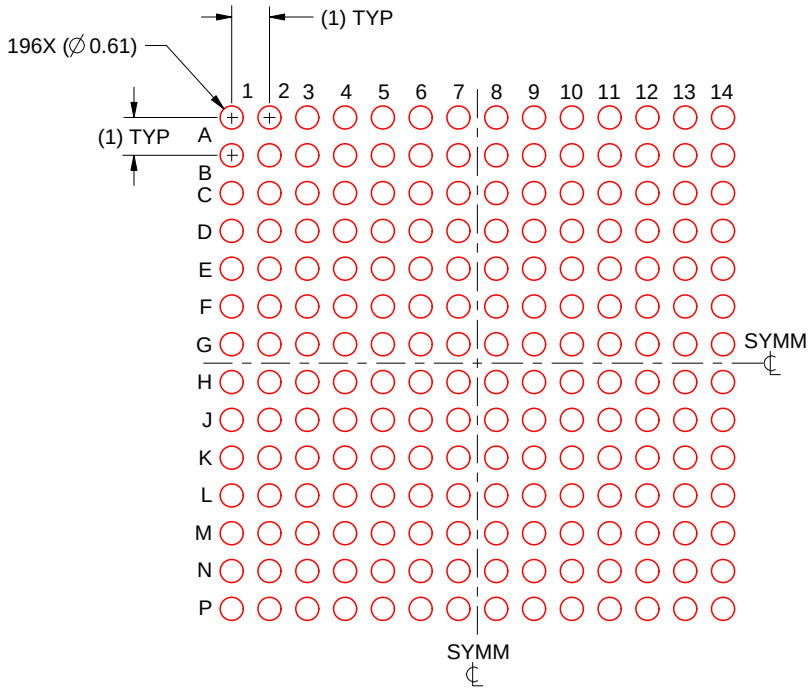
4224655/B 12/2018

EXAMPLE STENCIL DESIGN

NWE0196A

CCGA - 6.194 mm max height

CERAMIC COLUMN GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 5X

4224655/B 12/2018

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月