ADC12DJ5200-SP 10.4GSPS シングル チャネルまたは 5.2GSPS デュアル チャネル、12 ビット、RF サンプリング A/D コンバータ (ADC)

1 特長

- 耐放射線特性:
  - 吸収線量 (TID):300krad (Si)
  - シングル イベント ラッチアップ (SEL):120MeV-cm^2/mg
  - シングル イベント アップセット(SEU)耐性レジスタ
- ADC コア:
  - 12 ビット分解能
  - シングル チャネル モードで最大 10.4GSPS
  - デュアル チャネル モードで最大 5.2GSPS
- 性能仕様:
  - ノイズフロア (-20dBFS、V_{FS} = 1$V_{PP-DIFF}$):
    - デュアル チャネル モード:-151.8dBFS/Hz
    - シングル チャネル モード:-154.4dBFS/Hz
  - ENOB (デュアル チャネル、F_{IN} = 2.4GHz):8.6 ビット
- バッファ付きアナログ入力、V_{CMI} = 0V:
  - アナログ入力帯域幅 (-3dB):8GHz
  - 使用可能な入力周波数範囲:> 10GHz
  - フルスケール入力電圧 (V_{FS}、デフォルト):0.8V_{PP}
- ノイズなしのアパーチャ遅延 (t_{AD}) 調整:
  - 高精度サンプリング制御:19fs ステップ
  - 同期およびインターリーブ動作を簡素化
  - 遅延は温度および電圧に対して不変
- 使いやすい同期機能:
  - SYSREF タイミングの自動較正
  - サンプル マーキング用タイム スタンプ
- JESD204C シリアル データ インターフェイス
  - 最大レーン速度:17.16Gbps
  - 64b/66b および 8b/10b エンコードのサポート
  - 8b/10b モードは JESD204B 互換
- オプションのデジタル ダウン コンバータ (DDC):
  - 4x、8x、16x および 32x の複素数間引き
  - DDC ごとに 4 つの独立した 32 ビット NCO
- ピーク RF 入力電力 (差動):+26.5dBm (+27.5dBFS、560x フルスケール電力)
- 「イコライゼーション用のプログラム可能な FIR フィルタ」を追加
- 消費電力:4W
- 電源:1.1V、1.9V

2 アプリケーション

- 広帯域 デジタイザ
- 電子諜報活動 (SIGINT、ELINT)
- 衛星通信 (SATCOM)
- RF サンプリングのソフトウェア無線 (SDR)

3 説明

ADC12DJ5200-SP デバイスは、RF サンプリング、ギガサンプルの A/D コンバータ (ADC) で、DC から 10GHz 超までの入力周波数を直接サンプリングできます。ADC12DJ5200-SP はデュアル チャネル 5.2GSPS の ADC、またはシングル チャネル 10.4GSPS の ADC として構成できます。使用可能な入力周波数帯域が最高 10GHz であるため、L バンド、S バンド、C バンド、X バンドを直接 RF サンプリングでき、多様な周波数に対応したシステムを実現できます。

ADC12DJ5200-SP は、最大 17.16Gbps のライン速度をサポートする最大 16 個のシリアル化されたレーンを備えた、高速な JESD204C 出力インターフェイスを使っています。JESD204C subclass-1 により、決定論的レイテンシおよびマルチデバイス同期をサポートしています。JESD204C インターフェイスは、ライン速度とレーン数との間でトレードオフのバランスを取るように構成できます。8b/10b と 64b/66b の両方のデータ エンコードをサポートしています。64B/66B エンコードでは、前方エラー訂正 (FEC) によるビット エラー率の改善をサポートしています。このインターフェイスは、JESD204B レシーバと下位互換性があります。

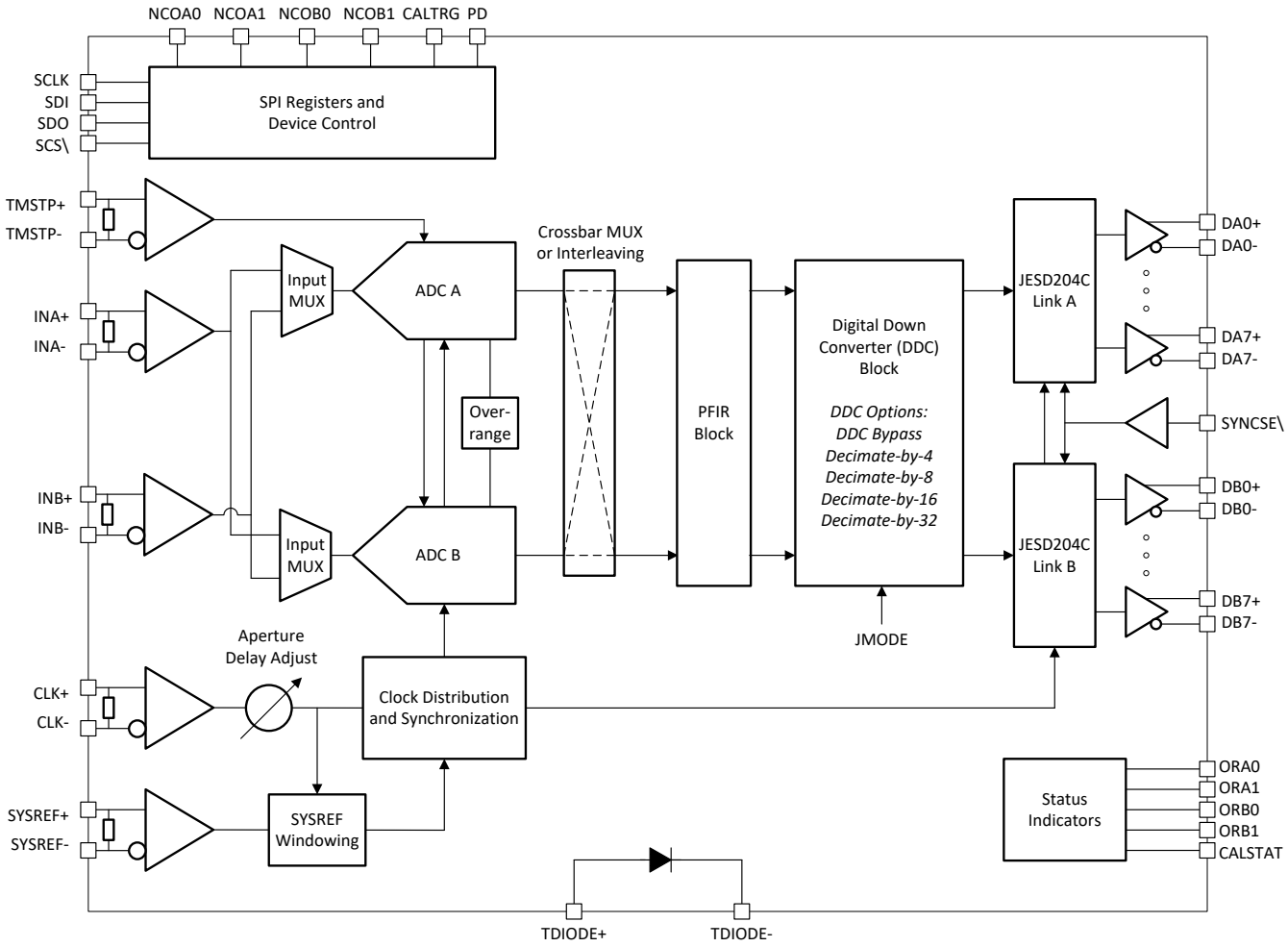
ノイズなしのアパーチャ遅延調整や、SYSREF ウィンドウ処理などの革新的な同期機能により、マルチ チャネル アプリケーションのシステム設計を簡素化できます。オプションのデジタル ダウン コンバータ (DDC) を使用すると、ベースバンドへのデジタル変換を実行でき、またインターフェイス速度を低減できます。プログラム可能な FIR フィルタにより、オンチップのイコライゼーションが可能です。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
ADC12DJ5200-SP	FCBGA (144)	10mm × 10mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



ADC12DJ5200-SP ブロック図

Copyright © 2025 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....4
5 仕様.....11
5.1 絶対最大定格.....11
5.2 ESD 定格.....11
5.3 推奨動作条件.....12
5.4 熱に関する情報.....12
5.5 電気的特性:DC の仕様.....13
5.6 電気的特性:消費電力.....15
5.7 電気的特性:AC 仕様 (デュアル チャネル モード).....16
5.8 電気的特性:AC 仕様 (シングル チャネル モード).....21
5.9 タイミング要件.....27
5.10 スイッチング特性.....29
5.11 代表的特性.....34
6 詳細説明.....67
6.1 概要.....67
6.2 機能ブロック図.....68
6.3 機能説明.....69
6.4 デバイスの機能モード.....101
6.5 プログラミング.....125
6.6 SPI レジスタ マップ.....127
7 アプリケーション情報に関する免責事項.....195
7.1 アプリケーション情報.....195
7.2 代表的なアプリケーション.....195
7.3 初期化セットアップ.....199
7.4 電源に関する推奨事項.....199
7.5 レイアウト.....201
8 デバイスおよびドキュメントのサポート.....206
8.1 デバイス サポート.....206
8.2 ドキュメントのサポート.....206
8.3 ドキュメントの更新通知を受け取る方法.....207
8.4 サポート リソース.....207
8.5 商標.....207
8.6 静電気放電に関する注意事項.....207
8.7 用語集.....207
9 改訂履歴.....207
10 メカニカル、パッケージ、および注文情報.....208

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

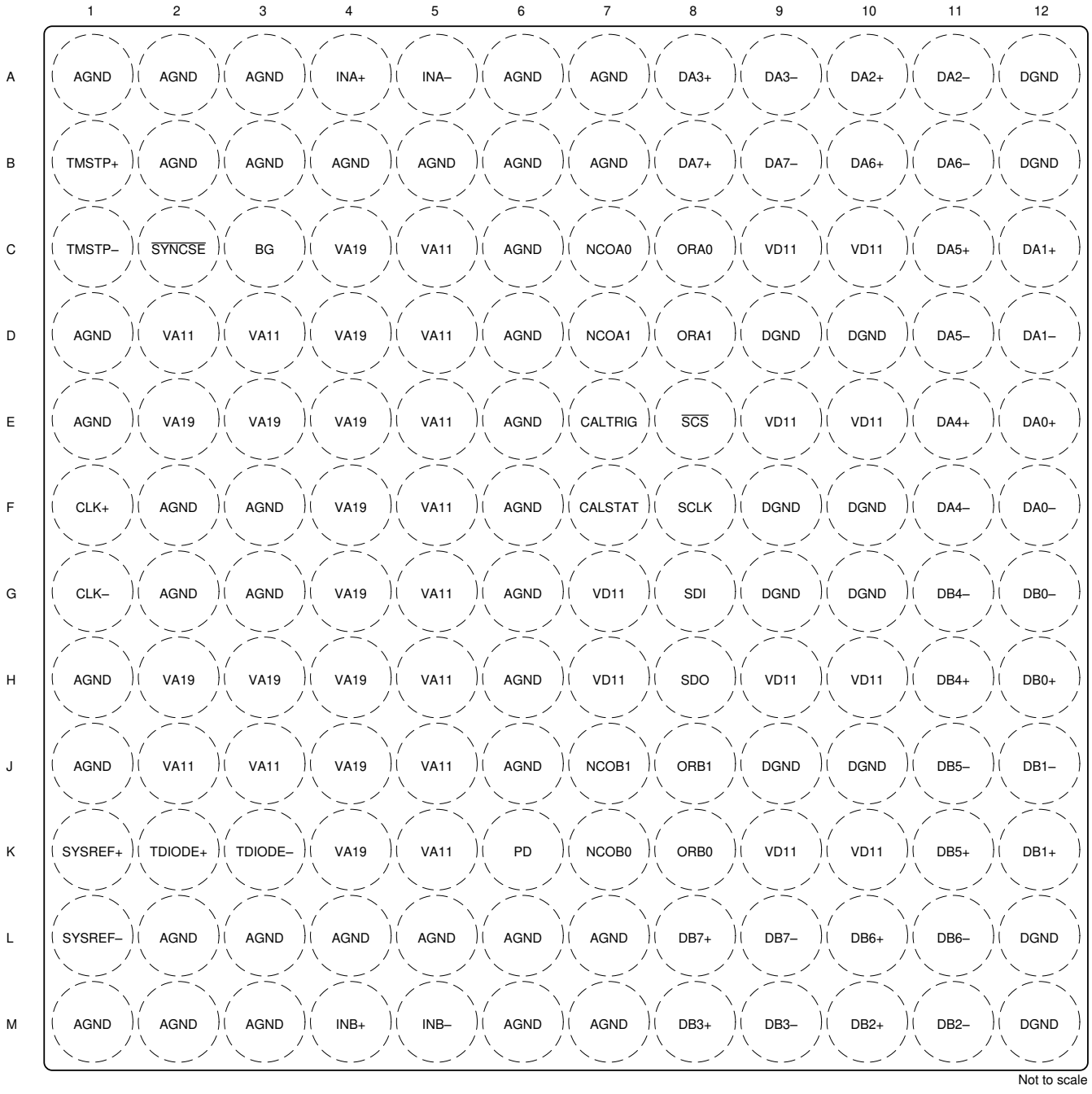


図 4-1. ALR パッケージ、144 ボール フリップ チップ BGA (上面図)

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
AGND	A1、A2、A3、A6、A7、B2、B3、B4、B5、B6、B7、C6、D1、D6、E1、E6、F2、F3、F6、G2、G3、G6、H1、H6、J1、J6、L2、L3、L4、L5、L6、L7、M1、M2、M3、M6、M7	—	アナログ電源の接地。AGND および DGND を回路基板の共通グランドプレーン (GND) に接続します。
BG	C3	O	バンドギャップ電圧出力。このピンは、*推奨動作条件*表に規定されているように、小さな電流のみを供給し、制限された容量性負荷を駆動できます。このピンは、使用しない場合は接続解除できます。
CALSTAT	F7	O	フォアグラウンド キャリブレーション ステータス出力またはデバイス アラーム出力。機能は CAL_STATUS_SEL によってプログラムされます。このピンは、使用しない場合は接続解除できます。
CALTRIG	E7	I	フォアグラウンド キャリブレーション トリガ入力。このピンは、CAL_TRIG_EN でハードウェア キャリブレーション トリガが選択されている場合にのみ使用されます。それ以外の場合は、CAL_SOFT_TRIG を使用してソフトウェア トリガが実行されます。使用しない場合は、このピンを GND に接続してください。
CLK+	F1	I	デバイス (サンプリング) クロックの正の入力。最高の性能を得るためには、この入力にクロック信号を AC 結合することを強く推奨します。シングル チャネル モードでは、立ち上がりエッジと立ち下がりエッジの両方でアナログ入力信号がサンプリングされます。デュアル チャネル モードでは、立ち上がりエッジでアナログ信号がサンプリングされます。この差動入力はトリムされない 100Ω の差動終端を内蔵し、DEVCLK_LVPECL_EN が 0 に設定されている限り、最適な入力同相電圧に自己バイアスされます。
CLK–	G1	I	デバイス (サンプリング) クロックの負の入力。TI では、最高の性能を得るために AC 結合を強く推奨します。
DA0+	E12	O	チャネル A、レーン 0、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DA0–	F12	O	チャネル A、レーン 0、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) 間の任意の電圧レベルに接続できます。
DA1+	C12	O	チャネル A、レーン 1、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DA1–	D12	O	チャネル A、レーン 1、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DA2+	A10	O	チャネル A、レーン 2、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DA2–	A11	O	チャネル A、レーン 2、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DA3+	A8	O	チャネル A、レーン 3、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
DA3–	A9	O	チャネル A、レーン 3、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DA4+	E11	O	チャネル A、レーン 4、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DA4–	F11	O	チャネル A、レーン 4、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DA5+	C11	O	チャネル A、レーン 5、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DA5–	D11	O	チャネル A、レーン 5、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DA6+	B10	O	チャネル A、レーン 6、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、常にレシーバで 100Ω の差動終端で終端するか、0Ω ～ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続する必要があります。このピンは、使用しない場合は接続解除できます。
DA6–	B11	O	チャネル A、レーン 6、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DA7+	B8	O	チャネル A、レーン 7、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DA7–	B9	O	チャネル A、レーン 7、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB0+	H12	O	チャネル B、レーン 0、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB0–	G12	O	チャネル B、レーン 0、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) 間の任意の電圧レベルに接続できます。
DB1+	K12	O	チャネル B、レーン 1、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンは、使用しない場合は接続解除できます。
DB1–	J12	O	チャネル B、レーン 1、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB2+	M10	O	チャネル B、レーン 2、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB2–	M11	O	チャネル B、レーン 2、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
DB3+	M8	O	チャネル B、レーン 3、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB3–	M9	O	チャネル B、レーン 3、負接続の高速シリアル化データ出力。このピンは、使用しない場合は接続解除できます。
DB4+	H11	O	チャネル B、レーン 4、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB4–	G11	O	チャネル B、レーン 4、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB5+	K11	O	チャネル B、レーン 5、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB5–	J11	O	チャネル B、レーン 5、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB6+	L10	O	チャネル B、レーン 6、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB6–	L11	O	チャネル B、レーン 6、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB7+	L8	O	チャネル B、レーン 7、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DB7–	L9	O	チャネル B、レーン 7、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
DGND	A12、B12、D9、D10、F9、F10、G9、G10、J9、J10、L12、M12	—	デジタル電源の接地。AGND および DGND を回路基板の共通グランドプレーン (GND) に接続します。
INA+	A4	I	チャネル A アナログ入力の正接続。最適な性能を得るためには、シングル チャネル モードで INA± を使用することを推奨します。差動フルスケール入力電圧は、FS_RANGE_A レジスタによって決定されます (「*フルスケール電圧 (V_{FS}) の調整*」セクション)。この入力は、50Ω の終端抵抗を経由してグランドに終端されます。入力同相電圧は通常 0V (GND) に設定され、「*推奨動作条件*」表の推奨事項に従う必要があります。このピンは、使用しない場合は接続解除できます。
INA–	A5	I	チャネル A アナログ入力の負接続。最適な性能を得るためには、シングル チャネル モードで INA± を使用することを推奨します。詳細については、INA+ (ピン A4) を参照してください。この入力は、50Ω の終端抵抗を経由してグランドに終端されます。このピンは、使用しない場合は接続解除できます。
INB+	M4	I	チャネル B アナログ入力の正接続。最適な性能を得るためには、シングル チャネル モードで INA± を使用することを推奨します。差動フルスケール入力電圧は、FS_RANGE_B レジスタによって決定されます (「*フルスケール電圧 (V_{FS}) の調整*」セクション)。この入力は、50Ω の終端抵抗を経由してグランドに終端されます。入力同相電圧は通常 0V (GND) に設定して、「*推奨動作条件*」表の推奨事項に従う必要があります。このピンは、使用しない場合は接続解除できます。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
INB–	M5	I	チャネル B アナログ入力の負接続。最適な性能を得るためには、シングル チャネル モードで INA± を使用することを推奨します。詳細については、INB+を参照してください。この入力は、50Ω の終端抵抗を経由してグランドに終端されます。このピンは、使用しない場合は接続解除できます。
NCOA0	C7	I	NCO の LSB の選択により DDC A が制御されます。JMODE を使用する際、NCOA0 および NCOA1 は、可能な 4 つの NCO のうち、デジタル ミキシングに使用される NCO を選択します。残りの未選択の NCO は、位相コヒーレントを維持するため引き続き動作し、NCOA0 と NCOA1 の値を変更することで交換できます (CMODE = 1 のとき)。このピンは非同期入力です。詳細については、「*NCO 高速周波数ホッピング (FFH)*」および「*NCO の選択*」セクションを参照してください。使用しない場合は、このピンを GND に接続してください。
NCOA1	D7	I	NCO の MSB の選択により DDC A が制御されます。使用しない場合、このピンを GND に接続します。
NCOB0	K7	I	NCO の LSB の選択により DDC B が制御されます。JMODE を使用する際、NCOB0 および NCOB1 は、可能な 4 つの NCO のうち、デジタル ミキシングに使用される NCO を選択します。残りの未選択の NCO は、位相コヒーレントを維持するため引き続き動作し、NCOB0 と NCOB1 の値を変更することで交換できます (CMODE = 1 のとき)。このピンは非同期入力です。詳細については、「*NCO 高速周波数ホッピング (FFH)*」および「*NCO の選択*」セクションを参照してください。使用しない場合は、このピンを GND に接続してください。
NCOB1	J7	I	NCO の MSB の選択により DDC B が制御されます。使用しない場合、このピンを GND に接続します。
ORA0	C8	O	OVR_T0 スレッショルドのチャネル A の高速オーバーレンジ検出ステータス。アナログ入力が OVR_T0 にプログラムされたスレッショルドを超えると、このステータス インジケータが High になります。最小パルス幅は OVR_N によって設定されます。詳細については、*ADC オーバーレンジ検出*セクションを参照してください。このピンは、使用しない場合は接続解除できます。
ORA1	D8	O	OVR_T1 スレッショルドのチャネル A の高速オーバーレンジ検出ステータス。アナログ入力が OVR_T1 にプログラムされたスレッショルドを超えると、このステータス インジケータが High になります。最小パルス幅は OVR_N によって設定されます。詳細については、*ADC オーバーレンジ検出*セクションを参照してください。このピンは、使用しない場合は接続解除できます。
ORB0	K8	O	OVR_T0 スレッショルドのチャネル B の高速オーバーレンジ検出ステータス。アナログ入力が OVR_T0 にプログラムされたスレッショルドを超えると、このステータス インジケータが High になります。最小パルス幅は OVR_N によって設定されます。詳細については、*ADC オーバーレンジ検出*セクションを参照してください。このピンは、使用しない場合は接続解除できます。
ORB1	J8	O	OVR_T1 スレッショルドのチャネル B の高速オーバーレンジ検出ステータス。アナログ入力が OVR_T1 にプログラムされたスレッショルドを超えると、このステータス インジケータが High になります。最小パルス幅は OVR_N によって設定されます。詳細については、*ADC オーバーレンジ検出*セクションを参照してください。このピンは、使用しない場合は接続解除できます。
PD	K6	I	このピンを Hight に設定すると、温度ダイオードのキャリブレーションのため、またはデバイスを使用していないときに消費電力を低減するため、すべてのアナログ回路とシリアライザ出力がディセーブルになります。使用しない場合は、このピンを GND に接続してください。
SCLK	F8	I	シリアル インターフェイス クロック。このピンはシリアル・プログラミング・データの入出力をクロックするシリアル・インターフェイス・クロック入力として機能します。*シリアルインターフェイスの使い方* セクションでは、シリアルインターフェイスについて詳しく説明しています。1.1V と 1.8V の CMOS レベルをサポート。
$\overline{SCS}$	E8	I	シリアル インターフェイスのチップ セレクトのアクティブ Low 入力。*シリアルインターフェイスの使い方* セクションでは、シリアルインターフェイスについて詳しく説明しています。1.1V と 1.8V の CMOS レベルをサポート。このピンには、VD11 への 82kΩ のプルアップ抵抗が搭載されています。
SDI	G8	I	シリアル インターフェイスのデータ入力。*シリアルインターフェイスの使い方* セクションでは、シリアルインターフェイスについて詳しく説明しています。1.1V と 1.8V の CMOS レベルをサポート。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
SDO	H8	O	シリアル インターフェイス データ出力。*シリアルインターフェイスの使い方* セクションでは、シリアルインターフェイスについて詳しく説明しています。このピンは、デバイス通常動作中はハイインピーダンスになります。このピンは、シリアルインターフェイスの読み取り動作時に 1.9V CMOS レベルを出力します。このピンは、使用しない場合は接続解除できます。
$\overline{\text{SYNCSE}}$	C2	I	シングルエンド JESD204C SYNC 信号。この入力はアクティブ Low 入力であり、SYNC_SEL が 0 に設定されているときに、8B/10B モードで JESD204C シリアルリンクを初期化するために使用されます。64B/66B モードでは初期化に SYNC 信号を使用しませんが、NCO 同期には使用できます。8B/10B モードで Low に切り替えると、この入力により、コード・グループ同期が開始されます (*コード・グループ同期 (CGS)* を参照)。コード・グループ同期後に、最初のレーン・アライメント・シーケンスを開始するには、この入力を High に切り替える必要があります (「*初期レーン・アライメント・シーケンス (ILAS)*」セクションを参照)。代わりに、SYNC_SEL を 1 に設定し、TMSTP± を差動 $\overline{\text{SYNC}}$ 入力として使用することで、差動 SYNC 信号を使用できます。差動 $\overline{\text{SYNC}}$ (TMSTP±) を JESD204C SYNC 信号として使用する場合は、このピンを GND に接続します。
SYSREF+	K1	I	SYSREF の正入力は、JESD204C インターフェイス全体で同期と決定論的レイテンシを実現するために使用されます。この差動入力 (SYSREF+ ～ SYSREF–) には、トリムされていない 100Ω 差動終端が内蔵されており、SYSREF_LVPECL_EN が 0 に設定されているときは AC 結合できます。SYSREF_LVPECL_EN が 0 に設定されると、この入力は自己バイアスされます。終端は、各入力ピン (SYSREF+と SYSREF–) のグランドに対して 50Ω に変化し、SYSREF_LVPECL_EN が 1 に設定されているときは DC 結合できます。SYSREF_LVPECL_EN が 1 に設定されている場合、この入力は自己バイアスではなく、*推奨動作条件*表に記載されている入力同相電圧範囲に外部でバイアスする必要があります。
SYSREF–	L1	I	SYSREF 負入力
TDIODE+	K2	I	温度ダイオードの正 (アノード) 接続。外部温度センサを TDIODE+および TDIODE–に接続して、デバイスの接合部温度を監視できます。このピンは、使用しない場合は接続解除できます。
TDIODE–	K3	I	温度ダイオードの負 (カソード) 接続。このピンは、使用しない場合は接続解除できます。
TMSTP+	B1	I	タイムスタンプ入力の正接続または差動 JESD204C $\overline{\text{SYNC}}$ の正接続。この入力はタイムスタンプ入力であり、TIMESTAMP_EN が 1 に設定されているときに、特定のサンプルをマークするために使用されます。SYNC_SEL が 1 にセットされている場合、この差動入力は JESD204C SYNC 信号入力として使用されます。この入力は、タイムスタンプと差動 SYNC 入力の両方として同時に使用でき、タイムスタンプ メカニズムを使用して SYNC 信号をフィードバックできます。JESD204C SYNC として使用する場合、TMSTP± はアクティブ Low 信号を使います。使用法の詳細については、*タイムスタンプ* セクションを参照してください。この入力を使用するには、TMSTP_RECV_EN を 1 に設定する必要があります。この差動入力 (TMSTP+ ～ TMSTP–) には、トリムされていない 100Ω 差動終端が内蔵されており、TMSTP_LVPECL_EN が 0 に設定されているときは AC 結合できます。終端は、各入力ピン (TMSTP+および TMSTP–) のグランドに対して 50Ω に変化し、TMSTP_LVPECL_EN が 1 に設定されているときは DC 結合も可能です。このピンは自己バイアスではないため、AC 結合および DC 結合の両方の構成では、外部バイアスを印加する必要があります。AC 結合と DC 結合の両方について、同相電圧は*推奨動作条件*表に記載されている範囲内である必要があります。$\overline{\text{SYNCSE}}$ を JESD204C SYNC に使用し、タイムスタンプが不要な場合、このピンを切断したままにして無効化 (TMSTP_RECV_EN = 0) できます。
TMSTP–	C1	I	タイムスタンプ入力の正接続または差動 JESD204C $\overline{\text{SYNC}}$ の負接続。$\overline{\text{SYNCSE}}$ を JESD204C SYNC に使用し、タイムスタンプが不要な場合、このピンを切断したままにして無効化 (TMSTP_RECV_EN = 0) できます。
VA11	C5、D2、D3、D5、E5、F5、G5、H5、J2、J3、J5、K5	I	1.1V アナログ電源
VA19	C4、D4、E2、E3、E4、F4、G4、H2、H3、H4、J4、K4	I	1.9V アナログ電源

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
VD11	C9、C10、E9、E10、G7、H7、H9、H10、K9、K10	I	1.1V デジタル電源

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{DD}	電源電圧範囲	VA19(2)	-0.3	2.35	V
		VA11(2)	-0.3	1.32	
		VD11(3)	-0.3	1.32	
		VD11 と VA11 の間の電圧	-1.32	1.32	
V_{GND}	AGND と DGND の間の電圧		-0.1	0.1	V
V_{PIN}	ピン電圧範囲	DA[7:0]+、DA[7:0]–、DB[7:0]+、DB[7:0]–、TMSTP+、TMSTP–(3)	-0.5	VD11 + 0.5(5)	V
		CLK+、CLK-、SYSREF+、SYSREF–(2)	-0.5	VA11 + 0.5(4)	
		BG、TDIODE+、TDIODE–(2)	-0.5	VA19 + 0.5(6)	
		INA+、INA–、INB+、INB–(2)	-1	1	
		CALSTAT、CALTRIG、NCOA0、NCOA1、NCOB0、NCOB1、$\overline{ORA0}$、ORA1、$\overline{ORB0}$、$\overline{ORB1}$、PD、SCLK、$\overline{SCS}$、SDI、SDO、$\overline{SYNCSE}$ (2)	-0.5	VA19 + 0.5(6)	
$I_{MAX(ANY)}$	ピーク入力電流 (INA+、INA–、INB+、INB– を除く任意の入力)		-25	25	mA
$I_{MAX(INx)}$	ピーク入力電流 (INA+、INA–、INB+、INB–)		-50	50	mA
$P_{MAX(INx)}$	ピーク RF 入力電力 (INA+、INA–、INB+、INB–)	Z_{S-DIFF} = 100 Ω での差動、最大 21 日(7)		26.5	dBm
		Z_{S-SE} = 50 Ω のシングルエンド		16.4	dBm
$I_{MAX(ALL)}$	ピーク合計入力電流 (電源電流を含まない、強制的に流入または流出するすべての電流の絶対値の合計)			100	mA
T_j	接合部温度			150	℃
T_{stg}	保存温度		-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。セクション 5.1 これらはストレス定格に限られたものであり、「推奨動作条件」に示されている条件を超える当該の条件またはその他のいかなる条件も、このデバイスが正常に動作することを黙示するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) AGND に対して測定。
(3) DGND に対して測定。
(4) 最大電圧が VA11 の絶対最大定格を超えてはいけません。
(5) 最大電圧が VD11 の絶対最大定格を超えてはいけません。
(6) 最大電圧が VA19 の絶対最大定格を超えてはいけません。
(7) 標準的なデバイスを使用し、F_{IN} = 1.2GHz で 21 日間連続テスト。テストの最後でも、デバイスは損傷していません。オーバードライブ中、ADC は入力信号を適切に変換していますが、入力フルスケールを超える電圧では飽和します。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

Copyright © 2025 Texas Instruments Incorporated

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{DD}	電源電圧範囲	VA19、アナログ 1.9V 電源(2)	1.8	1.9	2.0	V
		VA11、アナログ 1.1V 電源(2)	1.05	1.1	1.15	
		VD11, デジタル 1.1V 電源(3)	1.05	1.1	1.15	
V_{CMI}	入力同相電圧	INA+、INA–、INB+、INB–(2)	-50	0	100	mV
		CLK+、CLK-、SYSREF+、SYSREF-(2) (4)	0	0.3	0.55	V
		TMSTP+、TMSTP-(3) (5)	0	0.3	0.55	
V_{ID}	入力電圧、ピーク ツー ピーク差動	CLK+から CLK-へ、SYSREF+から SYSREF-へ、TMSTP+から TMSTP-へ	0.4	1.0	2.0	$V_{PP-DIFF}$
		INA+ から INA– へ、INB+ から INB– へ			0.8(6)	
I_{C_TD}	温度ダイオード入力電流	TDIODE+ から TDIODE– へ		100		µA
C_L	BG 最大負荷容量				50	pF
I_O	BG 最大出力電流				100	µA
DC	入力クロック デューティ サイクル		30	50	70	%
T_A	自由空気での動作温度		-55		125	℃
T_J	動作時接合部温度				150 (1)	℃

(1) ダイは、Tj = 150°C 動作と、Tj = 125°C でのデバイスおよびダイのメタライゼーション劣化で最大 150,000POH で連続動作するように設計されています。Tj = 105°C の接合部温度を超えて長時間使用すると、パッケージの FIT 率 (Failure-In-Time、故障率) が上昇する可能性があります。
(2) AGND に対して測定。
(3) DGND に対して測定。
(4) 最高の性能を得るために、CLK±を最適な入力同相電圧に自己バイアスできるように、DEVCLK_LVPECL_EN を 0 に設定して CLK±AC 結合することを強く推奨します。DC 結合が必要な場合を除き、SYSREF±の AC 結合を推奨します。この場合、LVPECL 入力モードを使用する (SYSREF_LVPECL_EN = 1) 必要があります。
(5) TMSTP±には内部バイアスがないため、AC 結合で TMSTP_LVPECL_EN = 0、DC 結合で TMSTP_LVPECL_EN = 1 のいずれであっても、TMSTP±を外部バイアスする必要があります。
(6) INA±または INB±の V_{ID}、INA±の場合は FS_RANGE_A で設定されたプログラムされたフルスケール電圧 (V_{FS}) を超えると、ADC 出力コードが飽和します。

5.4 熱に関する情報

熱評価基準(1)		10mm x 10mm FC-BGA 144 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	23.9	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	0.8	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	8.4	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.23	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	8.4	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性：DC の仕様

標準値は、T_J = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、フィルタ処理された 1-V_{PP} 正弦波クロック、JMODE = 1、デフォルト設定でディザー イネーブル、VA11、VD11 および VS11 ノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件	最小値	標準値	最大値	単位
DC 精度						
	分解能	ミッシング コードなしの分解能		12		ビット
DNL	微分非直線性	理想的なステップ サイズからの正の最大変位		0.14		LSB
		理想的なステップ サイズからの負の最大変位		-0.13		
INL	積分非直線性	理想的な伝達関数からの正の最大変位		2.0		LSB
		理想的な伝達関数からの負の最大変位		-2.4		LSB
アナログ入力 (INA+、INA-、INB+、INB–)						
V_{OFF}	オフセット エラー	CAL_OS = 0		±0.50		mV
		CAL_OS = 1		±0.15		mV
V_{OFF_ADJ}	入力オフセット電圧の調整範囲	利用可能なオフセット補正範囲 (OS_CAL または OADJ_x_INx を参照)		±50		mV
V_{OFF_DRIFT}	オフセットのドリフト	公称温度のみでのフォアグラウンド キャリブレーション		18		µV/°C
		各温度でのフォアグラウンド キャリブレーション		-5.5		
		各温度でのフォアグラウンドおよび FGOS キャリブレーション		0		
V_{FS}	アナログ差動入力フルスケール レンジ	デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)	750	825	910	mV_{PP}
		最大フルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xFFFF)	975	1060		
		最小フルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0x2000)		500	560	
V_{FS_DRIFT}	アナログ差動入力フルスケール レンジ ドリフト	デフォルトの FS_RANGE_A および FS_RANGE_B 設定、各温度でのフォアグラウンド キャリブレーション、50Ω ソースで駆動される入力、R_{IN} ドリフトの影響を含む		0.033		%/°C
V_{FS_MATCH}	アナログ差動入力フルスケール レンジ マッチング	INA± と INB± とのマッチング、デフォルト設定、デュアル チャネル モード		0.625%		
R_{IN}	AGND へのシングル エンド入力抵抗	各入力ピンは AGND に終端、T_A = 25°C で測定	48	50	52	Ω
R_{IN_TEMPCO}	入力終端の線形温度係数			14.7		mΩ/°C
C_{IN}	シングルエンド入力容量	DC で測定されたシングル チャネル モード		0.4		pF
		DC で測定されたデュアル チャネル モード		0.4		
温度ダイオードの特性 (TDIODE+、TDIODE–)						
ΔV_{BE}	温度ダイオードの電圧スロープ	100µA の強制順方向電流。オフセット電圧 (0°C で約 0.792V) はプロセスによって変化するため、各部品で測定する必要があります。デバイスの電源がオフのとき、または PD ピンがアサートされた状態でオフセット測定を実行し、デバイスの自己発熱を最小限に抑えます。		-1.65		mV/°C

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性：DC の仕様 (続き)

標準値は、T_J = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、フィルタ処理された 1-V_{PP} 正弦波クロック、JMODE = 1、デフォルト設定でディザー イネーブル、VA11、VD11 および VS11 ノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件		最小値	標準値	最大値	単位
バンドギャップ電圧出力 (BG)							
V_{BG}	リファレンス出力電圧	I_L ≤ 100µA			1.1		V
V_{BG_DRIFT}	リファレンス出力の温度ドリフト	I_L ≤ 100µA			-64		µV/°C
クロック入力 (CLK+、CLK–、SYSREF+、SYSREF–、TMSTP+、TMSTP–)							
Z_T	内部終端	DEVCLK_LVPECL_EN = 0、SYSREF_LVPECL_EN = 0、TMSTP_LVPECL_EN = 0 による差動終端			100		Ω
		DEVCLK_LVPECL_EN = 0、SYSREF_LVPECL_EN = 0、TMSTP_LVPECL_EN = 0 での GND へのシングルエンド終端 (ピンごと)			50		
V_{CM}	入力同相電圧、自己バイアス	AC 結合されている場合の CLK± の自己バイアス同相電圧 (DEVCLK_LVPECL_EN を 0 に設定する必要があります)			0.3		V
		AC 結合されており (SYSREF_LVPECL_EN を 0 に設定する必要があります)、レシーバがイネーブル (SYSREF_RECV_EN = 1) の場合における SYSREF± の自己バイアス同相電圧			0.28		
		AC 結合されている場合 (SYSREF_LVPECL_EN を 0 に設定する必要があります)、レシーバがディセーブル (SYSREF_RECV_EN = 0) のとき)、SYSREF±の自己バイアス同相電圧			0.28		
C_{L_DIFF}	差動入力容量	正と負の差動入力ピン間に接続されています			0.04		pF
C_{L_SE}	シングルエンド入力容量	各入力からグランドへ			0.5		pF
SERDES 出力 (DA[7:0]+, DA[7:0]–, DB[7:0]+, DB[7:0]–)							
V_{OD}	差動出力電圧、ピーク ツー ピーク	100-Ω の負荷		540	600	650	$mV_{PP-DIFF}$
V_{CM}	出力同相電圧	AC 結合			VD11 / 2		V
Z_{DIFF}	差動出力インピーダンス				100		Ω
CMOS インターフェイス:SCLK、SDI、SDO、$\overline{SCS}$、PD、NCOA0、NCOA1、NCOB0、NCOB1、CALSTAT、CALTRIG、ORA0、ORA1、ORB0、ORB1、$\overline{SYNCSE}$							
V_{IH}	High レベル入力電圧	必須入力電圧		0.7			V
V_{IL}	Low レベル入力電圧	必須入力電圧				0.45	V
I_{IH}	High レベル入力電流					40	µA
I_{IL}	Low レベル入力電流			-40			µA
C_I	入力容量				3.4		pF
V_{OH}	高レベル出力電圧	I_{LOAD} = -400µA		1.65			V
V_{OL}	Low レベル出力電圧	I_{LOAD} = 400µA				150	mV

Copyright © 2025 Texas Instruments Incorporated

5.6 電気的特性：消費電力

標準値は、T_J = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、フィルタ処理された 1-V_{PP} 正弦波クロック、JMODE = 1、デフォルト設定でディザー イネーブル、VA11、VD11 および VS11 ノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VA19}	1.9V アナログ電源電流	パワー モード 1：JMODE 1 (シングル チャネル モード、16 レーン、8B/10B エンコード、DDC バイパス)、フォアグラウンド キャリブレーション		934		mA
I_{VA11}	1.1V アナログ電源電流			845		mA
I_{VD11}	1.1V デジタル電源電流			1170		mA
P_{DIS}	消費電力			4.01		W
I_{VA19}	1.9V アナログ電源電流	パワー モード 2：JMODE 30 (シングル チャネル モード、8 レーン、64B/66B エンコード、DDC バイパス)、フォアグラウンド キャリブレーション		935	1050	mA
I_{VA11}	1.1V アナログ電源電流			850	1000	mA
I_{VD11}	1.1V デジタル電源電流			1195	1650	mA
P_{DIS}	消費電力			4.0	4.98	W
I_{VA19}	1.9V アナログ電源電流	パワー モード 3：JMODE 1 (シングル チャネル モード、16 レーン、8B/10B エンコード、DDC バイパス)、バックグラウンド キャリブレーション		1242		mA
I_{VA11}	1.1V アナログ電源電流			1030		mA
I_{VD11}	1.1V デジタル電源電流			1265		mA
P_{DIS}	消費電力			4.90		W
I_{VA19}	1.9V アナログ電源電流	パワー モード 4：JMODE 3 (デュアル チャネル モード、16 レーン、8B/10B エンコード、DDC バイパス)、バックグラウンド キャリブレーション		1320		mA
I_{VA11}	1.1V アナログ電源電流			1030		mA
I_{VD11}	1.1V デジタル電源電流			1250		mA
P_{DIS}	消費電力			5.03		W
I_{VA19}	1.9V アナログ電源電流	パワー モード 5：JMODE 22 (シングル チャネル モード、8 レーン、8B/10B エンコード、4 倍のデシメーション)、フォアグラウンド キャリブレーション		936		mA
I_{VA11}	1.1V アナログ電源電流			845		mA
I_{VD11}	1.1V デジタル電源電流			2350		mA
P_{DIS}	消費電力			5.3		W
I_{VA19}	1.9V アナログ電源電流	パワー モード 6：JMODE 11 (デュアル チャネル モード、8 レーン、8B/10B エンコード、4x デシメーション)、フォアグラウンド キャリブレーション		1014		mA
I_{VA11}	1.1V アナログ電源電流			845		mA
I_{VD11}	1.1V デジタル電源電流			2260		mA
P_{DIS}	消費電力			5.34		W
I_{VA19}	1.9V アナログ電源電流	パワー モード 7：PD ピンが High に保持され、クロックはディスエーブル		44		mA
I_{VA11}	1.1V アナログ電源電流			30		mA
I_{VD11}	1.1V デジタル電源電流			56		mA
P_{DIS}	消費電力			0.18		W

Copyright © 2025 Texas Instruments Incorporated

5.7 電気的特性：AC 仕様 (デュアル チャネル モード)

標準値は、T_J = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、フィルタ処理された 1-V_{PP} 正弦波クロック、JMODE = 3、デフォルト設定でディザー イネーブル、VA11、VD11 および VS11 ノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件		最小値	標準値	最大値	単位
FPBW	最大出力入力帯域幅 (–3dB) (1)	フォアグラウンド キャリブレーション			8.1		GHz
		バックグラウンド キャリブレーション			8.1		
XTALK	チャネル間クロストーク	アグレッサー = 1GHz、-1dBFS			-77		dB
		アグレッサー = 3GHz、-1dBFS			-71		
		アグレッサー = 6GHz、-1dBFS			-63		
CER	コード エラー レート	最大 CER、JESD204C インターフェイス BER は付属していません			10^{-18}		エラー / サンプル
$NOISE_{DC}$	DC 入力ノイズの標準偏差	入力なし、フォアグラウンド キャリブレーション。DC オフセットを除く。固定のインターリーブ スプリアス (f_S/2 スプリアス) を含む			2.3		LSB
NSD	ノイズ スペクトル密度、固定インターリーブ スプリアス (f_S / 2 スプリアス) を除く	最大フルスケール電圧 (V_{FS} = 1.0V_{PP})、A_{IN} = -20dBFS			-152.0		dBFS/ Hz
		デフォルトのフルスケール電圧 (V_{FS} = 0.8V_{PP})、A_{IN} = -20dBFS			-150.4		
NF	ノイズ指数、Z_S = 100Ω	最大フルスケール電圧 (V_{FS} = 1.0V_{PP})、A_{IN} = -20dBFS			23.0		dB
		デフォルトのフルスケール電圧 (V_{FS} = 0.8V_{PP})、A_{IN} = -20dBFS			22.6		
SNR	信号対雑音比、DC、HD2 ～ HD9、f_S / 2、f_S / 2 – f_{IN} を除く、	f_{IN} = 347MHz	A_{IN} = -1dBFS		55.6		dBFS
			A_{IN} = -3dBFS		55.9		
			A_{IN} = -12dBFS		56.3		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		57.2		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		55.4		
			A_{IN} = -3dBFS		55.8		
			A_{IN} = -12dBFS		56.3		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS, T_A = -55°C	48			
			A_{IN} = -1dBFS, T_A = 25°C	52	54.7		
			A_{IN} = -1dBFS, T_A = 125°C	51			
			A_{IN} = -3dBFS		55.2		
			A_{IN} = -12dBFS		56.2		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		56.3		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		53.0		
			A_{IN} = -3dBFS		54.0		
			A_{IN} = -12dBFS		56.0		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		51.4		
			A_{IN} = -3dBFS		52.6		
			A_{IN} = -12dBFS		55.6		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		49.6		
			A_{IN} = -3dBFS		51.1		
			A_{IN} = -12dBFS		55.2		

Copyright © 2025 Texas Instruments Incorporated

5.7 電気的特性：AC 仕様 (デュアル チャネル モード) (続き)

標準値は、T_J = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、フィルタ処理された 1-V_{PP} 正弦波クロック、JMODE = 3、デフォルト設定でディザー イネーブル、VA11、VD11 および VS11 ノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件		最小値	標準値	最大値	単位
SINAD	信号対雑音比および歪み比、DC および f_S / 2 固定スプリアスを除く	f_{IN} = 347MHz	A_{IN} = -1dBFS		54.5		dBFS
			A_{IN} = -3dBFS		55.3		
			A_{IN} = -12dBFS		56.1		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		56.3		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		54.4		
			A_{IN} = -3dBFS		55.3		
			A_{IN} = -12dBFS		56.1		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS, T_A = -55℃	46			
			A_{IN} = -1dBFS, T_A = 25℃	49	53.9		
			A_{IN} = -1dBFS, T_A = 125℃	48			
			A_{IN} = -3dBFS		54.7		
			A_{IN} = -12dBFS		56.1		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		55.7		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		51.5		
			A_{IN} = -3dBFS		53.2		
			A_{IN} = -12dBFS		55.8		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		48.8		
			A_{IN} = -3dBFS		51.5		
			A_{IN} = -12dBFS		55.5		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		46.2		
			A_{IN} = -3dBFS		49.2		
			A_{IN} = -12dBFS		55.0		
ENOB	有効ビット数、DC および f_S / 2 固定スプリアスを除く	f_{IN} = 347MHz	A_{IN} = -1dBFS		8.8		ビット
			A_{IN} = -3dBFS		8.9		
			A_{IN} = -12dBFS		9.0		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		9.1		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		8.7		
			A_{IN} = -3dBFS		8.9		
			A_{IN} = -12dBFS		9.0		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS, T_A = -55℃	7.35			
			A_{IN} = -1dBFS, T_A = 25℃	7.85	8.7		
			A_{IN} = -1dBFS, T_A = 125℃	7.7			
			A_{IN} = -3dBFS		8.8		
			A_{IN} = -12dBFS		9.0		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		9.0		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		8.3		
			A_{IN} = -3dBFS		8.5		
			A_{IN} = -12dBFS		9.0		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		7.8		
			A_{IN} = -3dBFS		8.3		
			A_{IN} = -12dBFS		8.9		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		7.4		
			A_{IN} = -3dBFS		7.9		
			A_{IN} = -12dBFS		8.8		

Copyright © 2025 Texas Instruments Incorporated

5.7 電気的特性：AC 仕様 (デュアル チャネル モード) (続き)

標準値は、T_J = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、フィルタ処理された 1-V_{PP} 正弦波クロック、JMODE = 3、デフォルト設定でディザー イネーブル、VA11、VD11 および VS11 ノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件		最小値	標準値	最大値	単位
SFDR	スプリアス フリー ダイナミック レンジ、DC および f_S / 2 の固定スプリアスを除く	f_{IN} = 347MHz	A_{IN} = -1dBFS		65		dBFS
			A_{IN} = -3dBFS		67		
			A_{IN} = -12dBFS		73		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		67		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		64		
			A_{IN} = -3dBFS		69		
			A_{IN} = -12dBFS		74		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS	52	65		
			A_{IN} = -3dBFS		67		
			A_{IN} = -12dBFS		73		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		68		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		59		
			A_{IN} = -3dBFS		64		
			A_{IN} = -12dBFS		73		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		54		
			A_{IN} = -3dBFS		61		
			A_{IN} = -12dBFS		75		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		50		
			A_{IN} = -3dBFS		56		
			A_{IN} = -12dBFS		71		
HD2	2 次高調波歪み	f_{IN} = 347MHz	AIN = –1dBFS		-74		dBFS
			A_{IN} = -3dBFS		-76		
			A_{IN} = -12dBFS		-84		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		-76		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		-78		
			A_{IN} = -3dBFS		-77		
			A_{IN} = -12dBFS		-81		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS		-72	-58	
			A_{IN} = -3dBFS		-72		
			A_{IN} = -12dBFS		-82		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		-73		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		-64		
			A_{IN} = -3dBFS		-69		
			A_{IN} = -12dBFS		-83		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		-65		
			A_{IN} = -3dBFS		-67		
			A_{IN} = -12dBFS		-79		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		-59		
			A_{IN} = -3dBFS		-63		
			A_{IN} = -12dBFS		-81		

Copyright © 2025 Texas Instruments Incorporated

5.7 電気的特性：AC 仕様 (デュアル チャネル モード) (続き)

標準値は、T_J = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、フィルタ処理された 1-V_{PP} 正弦波クロック、JMODE = 3、デフォルト設定でディザー イネーブル、VA11、VD11 および VS11 ノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件		最小値	標準値	最大値	単位
HD3	3 次高調波歪み	f_{IN} = 347MHz	AIN = –1dBFS		-65		dBFS
			A_{IN} = -3dBFS		-72		
			A_{IN} = -12dBFS		-81		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		-65		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		-65		
			A_{IN} = -3dBFS		-76		
			A_{IN} = -12dBFS		-81		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS		-67	-58	
			A_{IN} = -3dBFS		-74		
			A_{IN} = -12dBFS		-84		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		-71		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		-65		
			A_{IN} = -3dBFS		-66		
			A_{IN} = -12dBFS		-79		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		-55		
			A_{IN} = -3dBFS		-62		
			A_{IN} = -12dBFS		-82		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		-50		
			A_{IN} = -3dBFS		-56		
			A_{IN} = -12dBFS		-80		
f_S / 2 – f_{IN}	f_S / 2 – f_{IN} 入力信号依存のインターリーブ スプリアス	f_{IN} = 347MHz	AIN = –1dBFS		-69		dBFS
			A_{IN} = -3dBFS		-70		
			A_{IN} = -12dBFS		-76		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		-71		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		-67		
			A_{IN} = -3dBFS		-70		
			A_{IN} = -12dBFS		-77		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS		-68	-52	
			A_{IN} = -3dBFS		-68		
			A_{IN} = -12dBFS		-74		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		-70		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		-67		
			A_{IN} = -3dBFS		-68		
			A_{IN} = -12dBFS		-74		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		-68		
			A_{IN} = -3dBFS		-68		
			A_{IN} = -12dBFS		-77		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		-61		
			A_{IN} = -3dBFS		-63		
			A_{IN} = -12dBFS		-71		
f_S / 2	f_S / 2 固定インターリーブ スプリアス、入力信号から独立	A_{IN} = –20dBFS			-73	-55	dBFS

Copyright © 2025 Texas Instruments Incorporated

5.7 電気的特性：AC 仕様 (デュアル チャネル モード) (続き)

標準値は、T_J = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、フィルタ処理された 1-V_{PP} 正弦波クロック、JMODE = 3、デフォルト設定でディザー イネーブル、VA11、VD11 および VS11 ノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件		最小値	標準値	最大値	単位
SPUR	最悪のスプリアス、DC、HD2、HD3、f_S / 2 および f_S / 2 - f_{IN} スプリアスを除く	f_{IN} = 347MHz	AIN = –1dBFS		-74		dBFS
			A_{IN} = -3dBFS		-75		
			A_{IN} = -12dBFS		-80		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		-76		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		-73		
			A_{IN} = -3dBFS		-74		
			A_{IN} = -12dBFS		-79		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS		-74	-62	
			A_{IN} = -3dBFS		-75		
			A_{IN} = -12dBFS		-80		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		-76		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		-71		
			A_{IN} = -3dBFS		-74		
			A_{IN} = -12dBFS		-78		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		-68		
			A_{IN} = -3dBFS		-72		
			A_{IN} = -12dBFS		-79		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		-71		
			A_{IN} = -3dBFS		-73		
			A_{IN} = -12dBFS		-78		
IMD3	3 次相互変調歪	f_1= 343MHz、f_2 = 353MHz	A_{IN} = –7dBFS/トーン		-78		dBFS
			A_{IN} = -9dBFS /トーン		-82		
			A_{IN} = -18dBFS /トーン		-90		
			A_{IN} =- 9dBFS /トーン、V_{FS} = 1.0V_{PP}		-85		
		f_1= 993MHz、f_2 = 1003MHz	A_{IN} = –7dBFS/トーン		-82		
			A_{IN} = -9dBFS /トーン		-85		
			A_{IN} = -18dBFS /トーン		-86		
		f_1= 2393MHz、f_2 = 2403MHz	A_{IN} = –7dBFS/トーン		-78		
			A_{IN} = -9dBFS /トーン		-83		
			A_{IN} = -18dBFS /トーン		-92		
			A_{IN} =- 9dBFS /トーン、V_{FS} = 1.0V_{PP}		-81		
		f_1= 4193MHz、f_2 = 4203MHz	A_{IN} = –7dBFS/トーン		-70		
			A_{IN} = -9dBFS /トーン		-75		
			A_{IN} = -18dBFS /トーン		-85		
		f_1= 5993MHz、f_2 = 6003MHz	A_{IN} = –7dBFS/トーン		-56		
			A_{IN} = -9dBFS /トーン		-63		
			A_{IN} = -18dBFS /トーン		-91		
		f_1= 7993MHz、f_2 = 8003MHz	A_{IN} = –7dBFS/トーン		-48		
			A_{IN} = -9dBFS /トーン		-54		
			A_{IN} = -18dBFS /トーン		-83		

(1) 最大出力入力帯域幅 (FPBW) は、ADC の再構築された出力が、低い入力周波数において、フルスケール入力信号の電力より 3dB 下に低下した入力周波数として定義されます。有効帯域幅は、–3dB の最大出力入力帯域幅を超えることがあります。

Copyright © 2025 Texas Instruments Incorporated

5.8 電気的特性：AC 仕様 (シングル チャネル モード)

標準値は、T_A = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧、INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、フィルタ処理された 1-V_{PP} 正弦波クロック、JMODE = 1、デフォルト設定でディザー イネーブル、VA11、VD11 および VS11 ノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件		最小値	標準値	最大値	単位
FPBW	最大出力入力帯域幅 (–3dB) (1)	フォアグラウンド キャリブレーション			7.9		GHz
		バックグラウンド キャリブレーション			7.9		
CER	コード エラー レート	最大 CER、JESD204C インターフェイス BER は付属していません			10^{-18}		エラー / サンプル
$NOISE_{DC}$	DC 入力ノイズの標準偏差	入力なし、フォアグラウンド キャリブレーション。DC オフセットを除く、固定のインターリーブ スプリアス (f_S / 2 および f_S / 4 スプリアス) を含む、OS_CAL イネーブル			3.1		LSB
NSD	ノイズ スペクトル密度、固定インターリーブ スプリアス (f_S / 2 および f_S / 4 スプリアス) を除く	最大フルスケール電圧 (V_{FS} = 1.0V_{PP})、A_{IN} = -20dBFS			-154.2		dBFS/ Hz
		デフォルトのフルスケール電圧 (V_{FS} = 0.8V_{PP})、A_{IN} = -20dBFS			-152.9		
NF	ノイズ指数、Z_S = 100Ω	最大フルスケール電圧 (V_{FS} = 1.0V_{PP})、A_{IN} = -20dBFS			20.8		dB
		デフォルトのフルスケール電圧 (V_{FS} = 0.8V_{PP})、A_{IN} = -20dBFS			20.0		
SNR	信号対雑音比、DC、HD2 ～ HD9、f_S / 2、f_S / 4, f_S / 2 – f_{IN}, f_S / 4 ± f_{IN} を除く	f_{IN} = 347MHz	A_{IN} = -1dBFS		55.4		dBFS
			A_{IN} = -3dBFS		55.8		
			A_{IN} = -12dBFS		56.5		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		56.9		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		55.3		
			A_{IN} = -3dBFS		55.8		
			A_{IN} = -12dBFS		56.3		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS, T_A = -55°C	48			
			A_{IN} = -1dBFS, T_A = 25°C	52	54.6		
			A_{IN} = -1dBFS, T_A = 125°C	51			
			A_{IN} = -3dBFS		55.3		
			A_{IN} = -12dBFS		56.4		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		56.2		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		53.0		
			A_{IN} = -3dBFS		54.0		
			A_{IN} = -12dBFS		56.0		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		51.4		
			A_{IN} = -3dBFS		52.7		
			A_{IN} = -12dBFS		55.8		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		49.5		
			A_{IN} = -3dBFS		51.0		
			A_{IN} = -12dBFS		55.4		

Copyright © 2025 Texas Instruments Incorporated

5.8 電気的特性：AC 仕様 (シングル チャネル モード) (続き)

標準値は、T_A = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧、INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、フィルタ処理された 1-V_{PP} 正弦波クロック、JMODE = 1、デフォルト設定でディザーイネーブル、VA11、VD11 および VS11 ノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件		最小値	標準値	最大値	単位
SINAD	信号対雑音比および歪み比、DC および f_S / 2 固定スプリアスを除く	f_{IN} = 347MHz	A_{IN} = -1dBFS		53.5		dBFS
			A_{IN} = -3dBFS		54.4		
			A_{IN} = -12dBFS		55.7		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		55.4		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		53.0		
			A_{IN} = -3dBFS		54.1		
			A_{IN} = -12dBFS		55.4		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS		50.7		
			A_{IN} = -3dBFS		52.1		
			A_{IN} = -12dBFS		55.1		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		52.4		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		49.4		
			A_{IN} = -3dBFS		50.9		
			A_{IN} = -12dBFS		54.6		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		48.2		
			A_{IN} = -3dBFS		50.7		
			A_{IN} = -12dBFS		54.8		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		45.4		
			A_{IN} = -3dBFS		48.2		
			A_{IN} = -12dBFS		54.2		
ENOB	有効ビット数、DC および f_S / 2 固定スプリアスを除く	f_{IN} = 347MHz	A_{IN} = -1dBFS		8.6		ビット
			A_{IN} = -3dBFS		8.7		
			A_{IN} = -12dBFS		9.0		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		8.9		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		8.5		
			A_{IN} = -3dBFS		8.7		
			A_{IN} = -12dBFS		8.9		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS		8.1		
			A_{IN} = -3dBFS		8.4		
			A_{IN} = -12dBFS		8.9		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		8.4		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		7.9		
			A_{IN} = -3dBFS		8.2		
			A_{IN} = -12dBFS		8.8		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		7.7		
			A_{IN} = -3dBFS		8.1		
			A_{IN} = -12dBFS		8.8		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		7.3		
			A_{IN} = -3dBFS		7.7		
			A_{IN} = -12dBFS		8.7		

Copyright © 2025 Texas Instruments Incorporated

5.8 電気的特性：AC 仕様 (シングル チャネル モード) (続き)

標準値は、T_A = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧、INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、フィルタ処理された 1-V_{PP} 正弦波クロック、JMODE = 1、デフォルト設定でディザーイネーブル、VA11、VD11 および VS11 ノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件		最小値	標準値	最大値	単位
SFDR	スプリアス フリー ダイナミック レンジ、DC、f_S / 4、および f_S / 2 の固定スプリアスを除く	f_{IN} = 347MHz	A_{IN} = -1dBFS		63		dBFS
			A_{IN} = -3dBFS		67		
			A_{IN} = -12dBFS		73		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		65		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		61		
			A_{IN} = -3dBFS		64		
			A_{IN} = -12dBFS		72		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS		55		
			A_{IN} = -3dBFS		57		
			A_{IN} = -12dBFS		67		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		58		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		55		
			A_{IN} = -3dBFS		57		
			A_{IN} = -12dBFS		65		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		55		
			A_{IN} = -3dBFS		60		
			A_{IN} = -12dBFS		70		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		51		
			A_{IN} = -3dBFS		55		
			A_{IN} = -12dBFS		66		
HD2	2 次高調波歪み	f_{IN} = 347MHz	A_{IN} = -1dBFS		-74		dBFS
			A_{IN} = -3dBFS		-75		
			A_{IN} = -12dBFS		-88		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		-76		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		-78		
			A_{IN} = -3dBFS		-78		
			A_{IN} = -12dBFS		-88		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS		-76	-58	
			A_{IN} = -3dBFS		-81		
			A_{IN} = -12dBFS		-83		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		-77		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		-71		
			A_{IN} = -3dBFS		-74		
			A_{IN} = -12dBFS		-84		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		-59		
			A_{IN} = -3dBFS		-64		
			A_{IN} = -12dBFS		-80		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		-54		
			A_{IN} = -3dBFS		-57		
			A_{IN} = -12dBFS		-74		

Copyright © 2025 Texas Instruments Incorporated

5.8 電気的特性：AC 仕様 (シングル チャネル モード) (続き)

標準値は、T_A = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧、INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、フィルタ処理された 1-V_{PP} 正弦波クロック、JMODE = 1、デフォルト設定でディザーイネーブル、VA11、VD11 および VS11 ノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件		最小値	標準値	最大値	単位
HD3	3 次高調波歪み	f_{IN} = 347MHz	A_{IN} = -1dBFS		-63		dBFS
			A_{IN} = -3dBFS		-70		
			A_{IN} = -12dBFS		-82		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		-67		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		-65		
			A_{IN} = -3dBFS		-74		
			A_{IN} = -12dBFS		-83		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS		-65	-58	
			A_{IN} = -3dBFS		-71		
			A_{IN} = -12dBFS		-86		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		-68		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		-62		
			A_{IN} = -3dBFS		-68		
			A_{IN} = -12dBFS		-83		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		-55		
			A_{IN} = -3dBFS		-64		
			A_{IN} = -12dBFS		-83		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		-51		
			A_{IN} = -3dBFS		-57		
			A_{IN} = -12dBFS		-78		
f_S / 2 – f_{IN}	f_S / 2 – f_{IN} 入力信号依存のインターリーブ スプリアス	f_{IN} = 347MHz	A_{IN} = -1dBFS		-66		dBFS
			A_{IN} = -3dBFS		-70		
			A_{IN} = -12dBFS		-77		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		-70		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		-62		
			A_{IN} = -3dBFS		-65		
			A_{IN} = -12dBFS		-73		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS		-55		
			A_{IN} = -3dBFS		-56		
			A_{IN} = -12dBFS		-67		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		-57		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		-55		
			A_{IN} = -3dBFS		-57		
			A_{IN} = -12dBFS		-65		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		-59		
			A_{IN} = -3dBFS		-61		
			A_{IN} = -12dBFS		-71		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		-57		
			A_{IN} = -3dBFS		-58		
			A_{IN} = -12dBFS		-66		

Copyright © 2025 Texas Instruments Incorporated

5.8 電気的特性：AC 仕様 (シングル チャネル モード) (続き)

標準値は、T_A = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧、INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、フィルタ処理された 1-V_{PP} 正弦波クロック、JMODE = 1、デフォルト設定でディザーイネーブル、VA11、VD11 および VS11 ノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件		最小値	標準値	最大値	単位
f_S / 4 ± f_{IN}	f_S / 4 ± f_{IN} 入力信号依存のインターリーブ スプリアス	f_{IN} = 347MHz	A_{IN} = -1dBFS		-71		dBFS
			A_{IN} = -3dBFS		-73		
			A_{IN} = -12dBFS		-80		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		-71		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		-71		
			A_{IN} = -3dBFS		-70		
			A_{IN} = -12dBFS		-77		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS		-69	-52	
			A_{IN} = -3dBFS		-71		
			A_{IN} = -12dBFS		-78		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		-70		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		-67		
			A_{IN} = -3dBFS		-69		
			A_{IN} = -12dBFS		-75		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		-67		
			A_{IN} = -3dBFS		-69		
			A_{IN} = -12dBFS		-77		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		-67		
			A_{IN} = -3dBFS		-68		
			A_{IN} = -12dBFS		-77		
f_S / 2	f_S / 2 固定インターリーブ スプリアス、入力信号から独立	A_{IN} = –20dBFS、OS_CAL ディスエーブル			-64		dBFS
		A_{IN} = –20dBFS、OS_CAL イネーブル			-72		
f_S / 4	f_S / 4 固定インターリーブ スプリアス、入力信号から独立	A_{IN} = –20dBFS			-67	-55	dBFS
SPUR	最悪のスプリアス、DC、HD2、HD3、f_S / 2、f_S / 4、f_S / 2 - f_{IN}、および f_S / 4 ± f_{IN} を除く	f_{IN} = 347MHz	A_{IN} = -1dBFS		-76		dBFS
			A_{IN} = -3dBFS		-75		
			A_{IN} = -12dBFS		-80		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		-75		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		-73		
			A_{IN} = -3dBFS		-74		
			A_{IN} = -12dBFS		-79		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS		-74	-62	
			A_{IN} = -3dBFS		-77		
			A_{IN} = -12dBFS		-82		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		-78		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		-70		
			A_{IN} = -3dBFS		-73		
			A_{IN} = -12dBFS		-77		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		-70		
			A_{IN} = -3dBFS		-72		
			A_{IN} = -12dBFS		-78		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		-66		
			A_{IN} = -3dBFS		-70		
			A_{IN} = -12dBFS		-79		

Copyright © 2025 Texas Instruments Incorporated

5.8 電気的特性：AC 仕様 (シングル チャネル モード) (続き)

標準値は、T_A = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧、INA± に印加される入力信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、フィルタ処理された 1-V_{PP} 正弦波クロック、JMODE = 1、デフォルト設定でディザーイネーブル、VA11、VD11 および VS11 ノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件		最小値	標準値	最大値	単位
IMD3	3 次相互変調歪	f_1= 343MHz、f_2 = 353MHz	A_{IN} = –7dBFS/トーン		-77		dBFS
			A_{IN} = -9dBFS /トーン		-82		
			A_{IN} = -18dBFS /トーン		-92		
			A_{IN} =- 9dBFS /トーン、V_{FS} = 1.0V_{PP}		-82		
		f_1= 993MHz、f_2 = 1003MHz	A_{IN} = –7dBFS/トーン		-80		
			A_{IN} = -9dBFS /トーン		-83		
			A_{IN} = -18dBFS /トーン		-85		
		f_1= 2393MHz、f_2 = 2403MHz	A_{IN} = –7dBFS/トーン		-80		
			A_{IN} = -9dBFS /トーン		-86		
			A_{IN} = -18dBFS /トーン		-94		
			A_{IN} =- 9dBFS /トーン、V_{FS} = 1.0V_{PP}		-82		
		f_1= 4193MHz、f_2 = 4203MHz	A_{IN} = –7dBFS/トーン		-71		
			A_{IN} = -9dBFS /トーン		-76		
			A_{IN} = -18dBFS /トーン		-86		
		f_1= 5993MHz、f_2 = 6003MHz	A_{IN} = –7dBFS/トーン		-59		
			A_{IN} = -9dBFS /トーン		-66		
			A_{IN} = -18dBFS /トーン		-88		
		f_1= 7993MHz、f_2 = 8003MHz	A_{IN} = –7dBFS/トーン		-50		
			A_{IN} = -9dBFS /トーン		-57		
			A_{IN} = -18dBFS /トーン		-85		

(1) 最大出力入力帯域幅 (FPBW) は、ADC の再構築された出力が、低い入力周波数において、フルスケール入力信号の電力より 3dB 下に低下した入力周波数として定義されます。有効帯域幅は、–3dB の最大出力入力帯域幅を超えることがあります。

Copyright © 2025 Texas Instruments Incorporated

5.9 タイミング要件

標準値は、T_J = 25°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、フィルタ処理された 1-V_{PP} 正弦波クロック、JMODE = 1、デフォルト設定でディザー イネーブル、VA11、VD11 および VS11 ノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「推奨動作条件」表に記載された公称電源電圧および動作温度範囲での値。

			最小値	公称値	最大値	単位
デバイス (サンプリング) クロック (CLK+、CLK–)						
f_{CLK}	入力クロック周波数 (CLK±)、シングル チャネルおよびデュアル チャネルの両方のモード(1)		800		5200	MHz
t_{CLK}	入力クロック周期 (CLK±)、シングル チャネルおよびデュアル チャネルの両方のモードの(1)		192.3		1250	ps
SYSREF (SYSREF+, SYSREF–)						
$t_{INV(SYSREF)}$	SYSREF_POS ステータス レジスタで測定された、セットアップ時間またはホールド時間の違反を示す CLK± 周期の無効な SYSREF キャプチャ領域の幅、SYSREF_ZOOM = 1(3)			48		ps
$t_{INV(TEMP)}$	温度範囲全体にわたる無効な SYSREF キャプチャ領域のドリフト、正の数値は SYSREF_POS レジスタの MSB へのシフトを示す、SYSREF_ZOOM = 1			0.02		ps/°C
$t_{INV(VA11)}$	VA11 電源電圧に対する無効な SYSREF キャプチャ領域のドリフト、正の数値は SYSREF_POS レジスタの MSB へのシフトを示す、SYSREF_ZOOM = 1			-0.03		ps/mV
$t_{STEP(SP)}$	SYSREF_POS LSB の遅延(4)	SYSREF_ZOOM = 0		39		ps
		SYSREF_ZOOM = 1		24		
$t_{(PH_SYS)}$	SYSREF± 立ち上がりエッジ イベント後の SYSREF ウィンドウ処理による SYSREF± の最小アサート期間			$5*T_{CLK}+4.5$		ns
$t_{(PL_SYS)}$	SYSREF± 立ち下がりエッジ イベント後の SYSREF ウィンドウ処理による SYSREF± の最小デアサート期間			$5*T_{CLK}+4.5$		ns
JESD204B SYNC タイミング (SYNCSE または TMSTP±)						
$t_{H(\overline{SYNCSE})}$	NCO 同期 (NCO _SYNC_ILA = 1) のマルチフレームまたは拡張マルチブロック境界 (SYSREF の立ち上がりエッジが High をキャプチャ) から JESD204C SYNC 信号 (SYNC_SEL = 0 の場合は SYNCSE、SYNC_SEL = 1 の場合は TMSTP±) のデアサートまでの最短ホールド時間(2)	JMODE = 10、21、23		19		t_{CLK} サイクル
		JMODE = 11、14、22、24、61		10		
		JMODE = 12、15、16、25、26、27、56、57、58、62、63、66、67、69、70		18		
		JMODE = 13		23		
		JMODE = 36、37、38、52、53、54、55、59、60、65、68、71		17		
		JMODE = 39		21		
		JMODE = 46、47、48、49、64		9		
$t_{SU(\overline{SYNCSE})}$	NCO 同期 (NCO _SYNC_ILA = 1) の JESD204C SYNC 信号 (SYNC_SEL = 0 の場合は SYNCSE、SYNC_SEL = 1 の場合は TMSTP±) のデアサートからマルチフレームまたは拡張マルチブロック境界 (SYSREF の立ち上がりエッジが High をキャプチャ) までの最短セットアップ時間(2)	JMODE = 10、21、23		-2		t_{CLK} サイクル
		JMODE = 11、14、22、24、61		7		
		JMODE = 12、15、16、25、26、27、56、57、58、62、63、66、67、69、70		-1		
		JMODE = 13		-6		
		JMODE = 36、37、38、52、53、54、55、59、60、65、68、71		0		
		JMODE = 39		-4		
		JMODE = 46、47、48、49、64		8		
$t_{(\overline{SYNCSE})}$	SYNCSE リンク再同期化をトリガするための最短アサート時間			4		フレーム
シリアル プログラミング インターフェイス (SCLK、SDI、SCS)						
$f_{CLK(SCLK)}$	シリアル クロック周波数				15.625	MHz
$t_{(PH)}$	シリアル クロックの High 値パルスの幅		32			ns

Copyright © 2025 Texas Instruments Incorporated

5.9 タイミング要件 (続き)

標準値は、T_J = 25°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、フィルタ処理された 1-V_{PP} 正弦波クロック、JMODE = 1、デフォルト設定でディザー イネーブル、VA11、VD11 および VS11 ノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「推奨動作条件」表に記載された公称電源電圧および動作温度範囲での値。

		最小値	公称値	最大値	単位
$t_{(PL)}$	シリアル クロックの Low 値のパルス幅	32			ns
$t_{SU(\overline{SCS})}$	$\overline{SCS}$ から SCLK 立ち上がりエッジまでのセットアップ時間	30			ns
$t_{H(\overline{SCS})}$	SCLK 立ち上がりエッジから $\overline{SCS}$ までのホールド時間	30			ns
$t_{SU(SDI)}$	SDI から SCLK 立ち上がりエッジまでのセットアップ時間	25			ns
$t_{H(SDI)}$	SCLK 立ち上がりエッジから SDI までのホールド時間	3			ns

(1) プログラムされた JMODE に基づいて「*JESD204C モード*」の表の狭い範囲に機能的に制限される場合を除きます。
(2) このパラメータは、8B/10B エンコーディングを使用する JMODE 設定、または 64B/66B エンコーディングと 4x または 8x デシメーションを使用する設定にのみ適用されます。DDC ブロックと NCO を使用して同期が必要な場合を除き、64B/66B エンコーディング モードでは $\overline{SYNC}$ は使用されません。
(3) SYSREF_POS を使用して、SYSREF キャプチャの最適な SYSREF_SEL 値を選択できます。SYSREF ウィンドウ処理の詳細については、「*SYSREF 位置検出器およびサンプリング位置の選択 (SYSREF ウィンドウ処理)*」セクションを参照してください。$t_{INV(SYSREF)}$ で指定される無効領域は、SYSREF_SEL で測定された CLK± 周期 (t_{CLK}) の部分を示し、セットアップおよびホールド違反の原因となる可能性があります。公称条件 (最適な SYSREF_SEL を見つけるために使用) からシステム動作条件全体にわたり、SYSREF± と CLK± とのタイミング スキューが、SYSREF_POS で選択された SYSREF_SEL 位置で無効な領域を生じないことを確認します。無効な領域が発生する場合、CLK± と SYSREF± との間のスキューを追跡するために、温度に依存する SYSREF_SEL 選択が必要になることがあります。
(4) f_{CLK} = 3GHz 未満では SYSREF_ZOOM = 0、f_{CLK} = 3GHz 以上では SYSREF_ZOOM = 1 を使用することが推奨されます。

Copyright © 2025 Texas Instruments Incorporated

5.10 スイッチング特性

標準値は、T_J = 25°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、フィルタ処理された 1-V_{PP} 正弦波クロック、JMODE = 1、デフォルト設定でディザー イネーブル、VA11、VD11 および VS11 ノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件	最小値	標準値	最大値	単位
デバイス (サンプリング) クロック (CLK+、CLK–)						
t_{AD}	CLK± 立ち上がりエッジ (デュアル チャネル モード) または立ち上がりおよび立ち下がりエッジ (シングル チャネル モード) からサンプリングの瞬間までの、サンプリング (アパーチャ) 遅延	TAD_COARSE = 0x00、TAD_FINE = 0x00、TAD_INV = 0		360		ps
$t_{TAD(MAX)}$	最大 t_{AD} は、クロック反転 (TAD_INV = 0) を含まないプログラマブル遅延を調整	粗調整 (TAD_COARSE = 0xFF)		289		ps
		微調整 (TAD_FINE = 0xFF)		4.9		ps
$t_{TAD(STEP)}$	t_{AD} は、プログラマブル遅延ステップ サイズを調整	粗調整 (TAD_COARSE)		1.13		ps
		微調整 (TAD_FINE)		19		fs
t_{AJ}	アパーチャ ジッタ、rms	最小 t_{AD} は、粗設定を調整 (TAD_COARSE = 0x00、TAD_INV = 0)、ディザー ディスエーブル (ADC_DITH_EN = 0)		50		fs
		最小 t_{AD} は、粗設定を調整 (TAD_COARSE = 0x00、TAD_INV = 0)、ディザー ディスエーブル (ADC_DITH_EN = 1)		60		fs
		最大 t_{AD} は、TAD_INV (TAD_INV = 0) を除く粗設定を調整 (TAD_COARSE = 0xFF)、ディザー ディスエーブル (ADC_DITH_EN = 0)		65(3)		
		最大 t_{AD} は、TAD_INV (TAD_INV = 0) を除く粗設定を調整 (TAD_COARSE = 0xFF)、ディザー ディスエーブル (ADC_DITH_EN = 1)		74(3)		
シリアル データ出力 (DA[7:0]+、DA[7:0]–、DB[7:0]+、DB[7:0]–)						
f_{SERDES}	シリアル化出力ビット レート		1		17.16	Gbps
UI	シリアル化出力ユニット間隔		58.2		1000	ps
t_{TLH}	Low から High への遷移時間 (差動)	20% ～ 80%、8H8L テスト パターン、17.16Gbps		18.9		ps
t_{THL}	High から Low への遷移時間 (差動)	20% ～ 80%、8H8L テスト パターン、17.16Gbps		18.8		ps
DDJ	データ依存ジッタ、ピーク ツー ピーク	PRBS-7 テスト パターン、JMODE = 19、12.8Gbps		9.0		ps
		PRBS-9 テスト パターン、JMODE = 30、17.16Gbps		10.0		
DCD	偶数奇数ジッタ、ピーク ツー ピーク	PRBS-7 テスト パターン、JMODE = 19、12.8Gbps		.33		ps
		PRBS-9 テスト パターン、JMODE = 30、17.16Gbps		.6		
EBUJ	実効無相関ジッタ、ピーク ツー ピーク	PRBS-7 テスト パターン、JMODE = 19、12.8Gbps		1.7		ps
		PRBS-9 テスト パターン、JMODE = 30、17.16Gbps		1.93		
RJ	無制限のランダム ジッタ、RMS	8H8L テスト パターン、JMODE = 19、12.8Gbps		0.85		ps
		PRBS-9 テスト パターン、JMODE = 30、17.16Gbps		0.88		

Copyright © 2025 Texas Instruments Incorporated

5.10 スイッチング特性 (続き)

標準値は、T_J = 25°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、フィルタ処理された 1-V_{PP} 正弦波クロック、JMODE = 1、デフォルト設定でディザー イネーブル、VA11、VD11 および VS11 ノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件	最小値	標準値	最大値	単位
TJ	総ジッタ、ピーク ツー ピーク、BER = 1e-15 に対して定義された無制限のランダム ジッタ部分 (Q=7.94)	PRBS-7 テスト パターン、JMODE = 19、12.8Gbps		23.3		ps
		PRBS-9 テスト パターン、JMODE = 30、17.16Gbps		22.6		

Copyright © 2025 Texas Instruments Incorporated

5.10 スイッチング特性 (続き)

標準値は、T_J = 25°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、フィルタ処理された 1-V_{PP} 正弦波クロック、JMODE = 1、デフォルト設定でディザー イネーブル、VA11、VD11 および VS11 ノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件	最小値	標準値	最大値	単位
ADC コアのレイテンシ						
t_{ADC}	基準サンプルをサンプリングする CLK± エッジから、SYSREF を High にサンプリングする CLK± エッジまでの決定論的な遅延(1)	JMODE = 0、30、32		2.5		t_{CLK} サイクル
		JMODE = 1、5、19、40、42、44		-9.5		
		JMODE = 2、31、33		2		
		JMODE = 3、7、20		-10		
		JMODE = 6、50		-13.5		
		JMODE = 8、51		-14		
		JMODE = 10、37		183		
		JMODE = 11、47		171		
		JMODE = 12、53		167		
		JMODE = 13、39		372		
		JMODE = 14、15、49、55		364		
		JMODE = 16		356		
		JMODE = 21、36		148		
		JMODE = 22、46		142		
		JMODE = 23、38		223.5		
		JMODE = 24、48		219.5		
		JMODE = 25、52		138		
		JMODE = 26、54		211.5		
		JMODE = 27		207.5		
		JMODE = 34		6.5		
		JMODE = 35		6		
		JMODE = 41、43、45		-10.0		
		JMODE = 56、59		750		
		JMODE = 57、58、60		742		
		JMODE = 61、62、63、64、65		403.5		
		JMODE = 66、67、68		1514		
		JMODE = 69、70、71		777.5		

Copyright © 2025 Texas Instruments Incorporated

5.10 スイッチング特性 (続き)

標準値は、T_J = 25°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、フィルタ処理された 1-V_{PP} 正弦波クロック、JMODE = 1、デフォルト設定でディザー イネーブル、VA11、VD11 および VS11 ノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーションにおける値 (特に記述のない限り)。最小値および最大値は、「*推奨動作条件*」表に記載された公称電源電圧および動作温度範囲での値。

パラメータ		テスト条件	最小値	標準値	最大値	単位
JESD204C およびシリアライザのレイテンシ						
t_{TX}	SYSREF High をサンプリングする CLK± 立ち上がりエッジから、t_{ADC} の(2)リファレンス サンプルに対応する JESD204C シリアル出力レーン上のマルチフレーム (8B/10B エンコード) または拡張マルチブロック (64B/66B エンコード) の最初のビットまでの遅延	JMODE = 0	92		111	t_{CLK} サイクル
		JMODE = 1	159		182	
		JMODE = 2	93		111	
		JMODE = 3	159		188	
		JMODE = 5	143		168	
		JMODE = 6、8、12、15、25、26	191		215	
		JMODE = 7、11、22	143		168	
		JMODE = 10	85		103	
		JMODE = 13、21、23	85		102	
		JMODE = 14、24	143		166	
		JMODE = 16、27	280		305	
		JMODE = 19、20	143		165	
		JMODE = 30、31	114		134	
		JMODE = 32、34、36	102		119	
		JMODE = 33、35、37	103		119	
		JMODE = 38	102		118	
		JMODE = 39	103		118	
		JMODE = 40	205		229	
		JMODE = 41	206		229	
		JMODE = 42、43、48、49	179		200	
		JMODE = 44、45、46、47	179		202	
		JMODE = 50、52、54	267		291	
		JMODE = 51、53、55	268		291	
		JMODE = 56、61	143		165	
		JMODE = 57、62	191		213	
		JMODE = 58、63	280		305	
		JMODE = 59、64	179		199	
		JMODE = 60	268		289	
		JMODE = 65	267		289	
		JMODE = 66、69	191		212	
		JMODE = 67、70	280		304	
		JMODE = 68	268		288	
		JMODE = 71	267		288	
シリアル プログラミング インターフェイス (SDO)						
$t_{(OZD)}$	SDO がトライステートから有効なデータに遷移するための読み出し動作中の、16 番目の SCLK サイクルの立ち下がりエッジからの遅延		1			ns
$t_{(ODZ)}$	SDO がトライ ステートから有効なデータに遷移するための $\overline{SCS}$ 立ち上がりエッジからの遅延				10	ns
$t_{(OD)}$	読み出し動作中の SCLK の立ち下がりエッジから有効な SDO までの遅延		1		12	ns

(1) t_{ADC} は、正確で丸みを持たない、確定的な遅延です。SYSREF High キャプチャ ポイントの後にリファレンス サンプルがサンプリングされる場合、遅延は負の値になります。この場合、合計レイテンシは t_{TX} で与えられる遅延よりも小さくなります。

Copyright © 2025 Texas Instruments Incorporated

(2) t_{TX} に与えられる値には、確定的な遅延と非確定的な遅延が含まれます。プロセス、温度、および電圧によって、遅延時間は変化します。JESD204B は、サブクラス 1 モードで動作時のこれらの変動を考慮することで、確定的なレイテンシを実現します。ローカル マルチフレーム クロック (LMFC) サイクルの無効な領域内で弾性バッファの解放ポイントが発生しないように、適切なレシーバ RBD 値を選択する必要があります。

(3) 内部クロック パスがさらに減衰するため、t_{AJ} が増加します。

Copyright © 2025 Texas Instruments Incorporated

5.11 代表的特性

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、1V_{PP} 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外

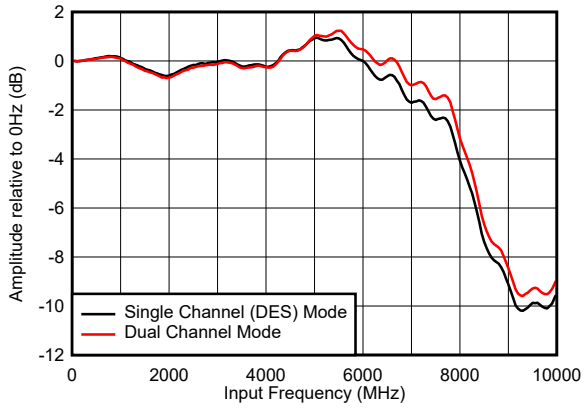
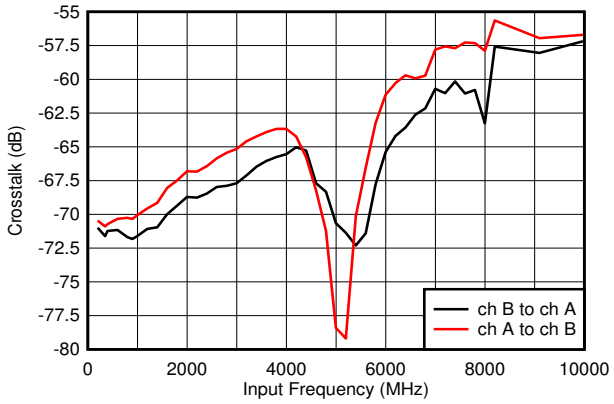


図 5-1. 入力振幅と入力周波数との関係



デュアル チャネル モード、JMODE 3

図 5-2. クロストークと入力周波数との関係

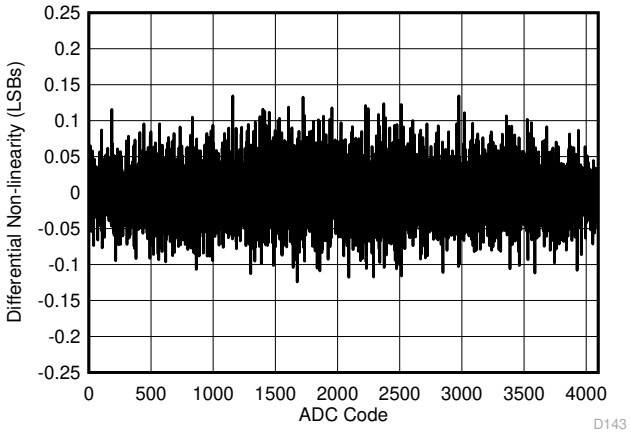


図 5-3. DNL と ADC コードとの関係

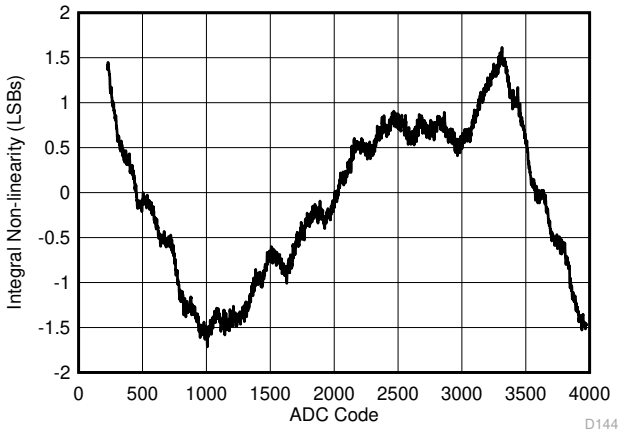


図 5-4. INL と ADC コードとの関係

Copyright © 2025 Texas Instruments Incorporated

5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、1V_{PP} 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外

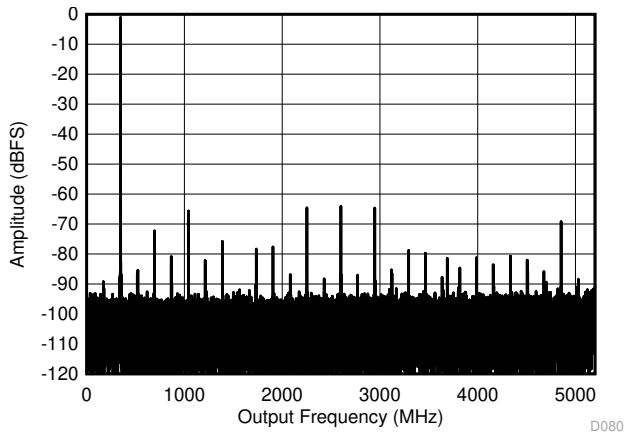


図 5-5. DES モード：347MHz でのシングル トーン FFT

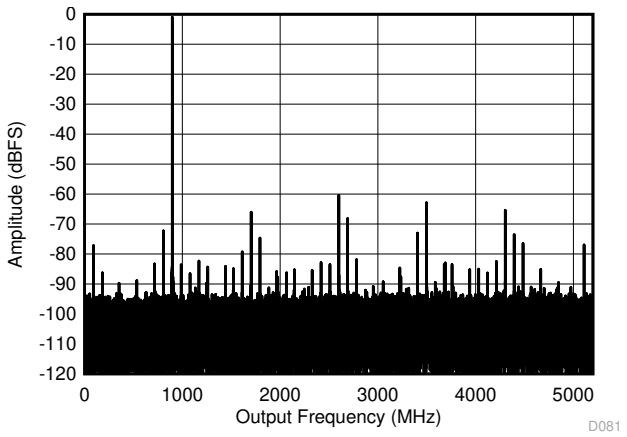


図 5-6. DES モード：897MHz でのシングル トーン FFT

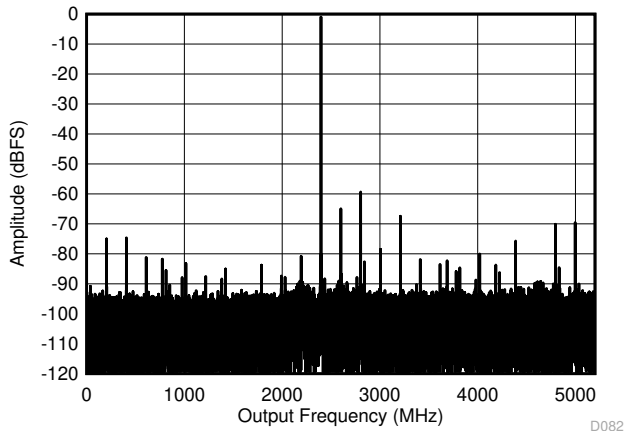


図 5-7. DES モード：2397MHz でのシングル トーン FFT

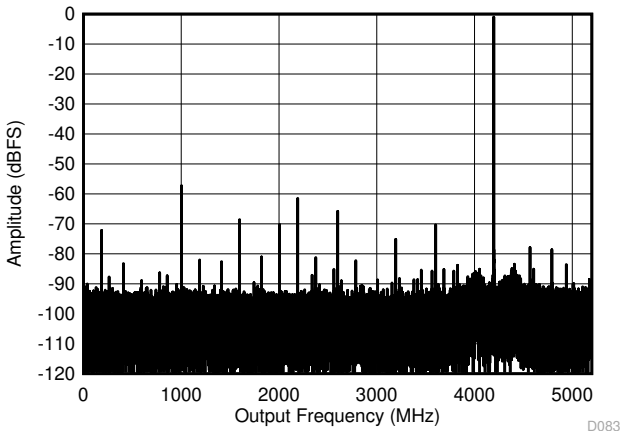


図 5-8. DES モード：4197MHz でのシングル トーン FFT

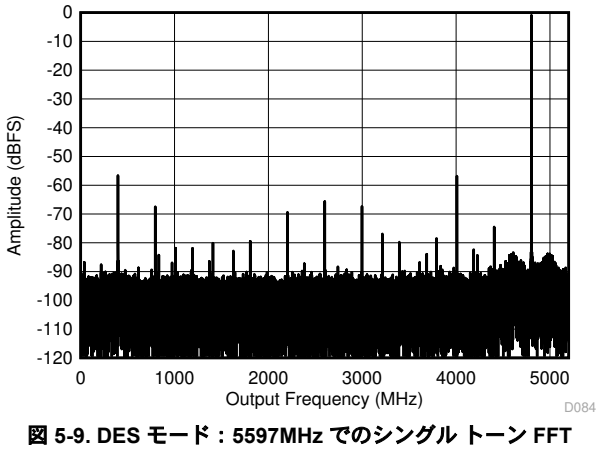


図 5-9. DES モード：5597MHz でのシングル トーン FFT

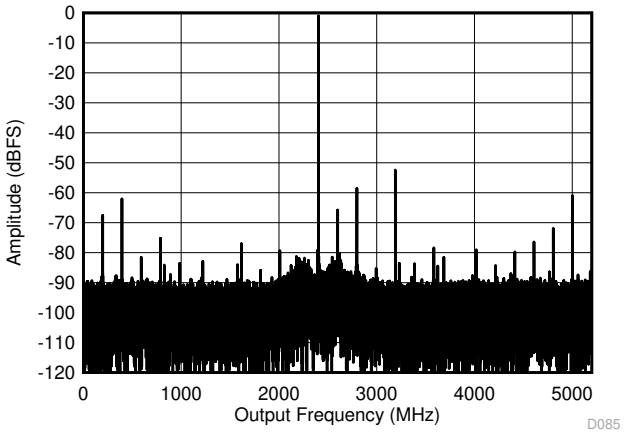
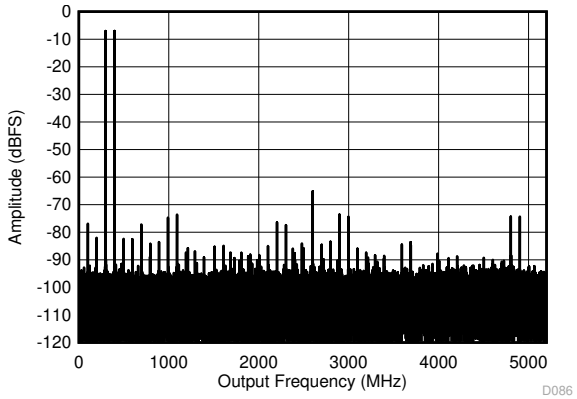


図 5-10. DES モード：7997MHz でのシングル トーン FFT

Copyright © 2025 Texas Instruments Incorporated

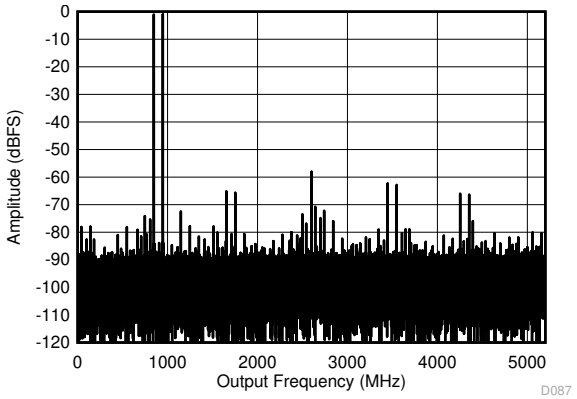
5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、1V_{PP} 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外



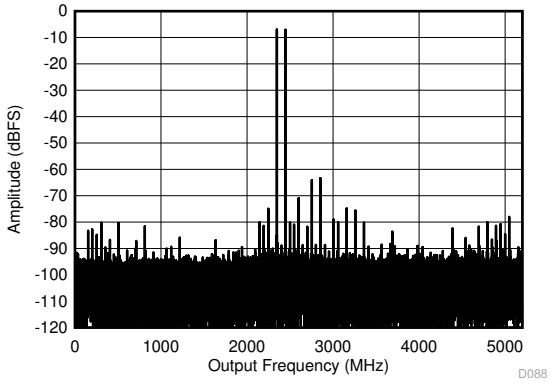
各トーンは -7dBFS で、100MHz トーン間隔

図 5-11. DES モード：347MHz での 2 トーン FFT



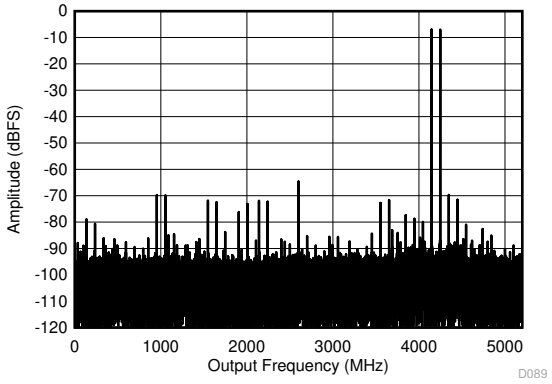
各トーンは -7dBFS で、100MHz トーン間隔

図 5-12. DES モード：897MHz での 2 トーン FFT



各トーンは -7dBFS で、100MHz トーン間隔

図 5-13. DES モード：2397MHz での 2 トーン FFT



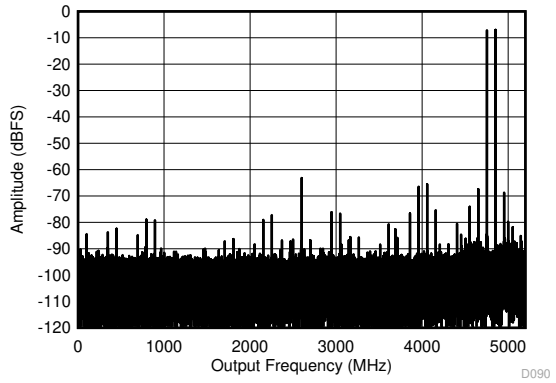
各トーンは -7dBFS で、100MHz トーン間隔

図 5-14. DES モード：4197MHz での 2 トーン FFT

Copyright © 2025 Texas Instruments Incorporated

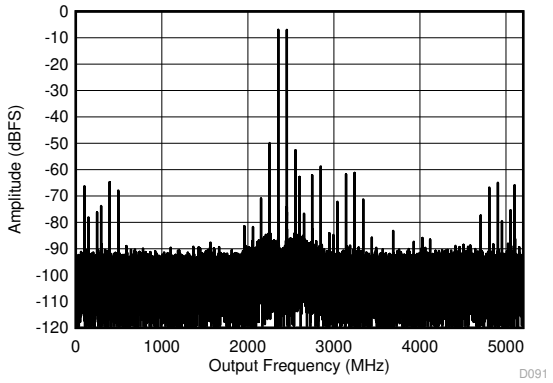
5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、1V_{PP} 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外



各トーンは -7dBFS で、100MHz トーン間隔

図 5-15. DES モード：5597MHz での 2 トーン FFT



各トーンは -7dBFS で、100MHz トーン間隔

図 5-16. DES モード：7997MHz での 2 トーン FFT

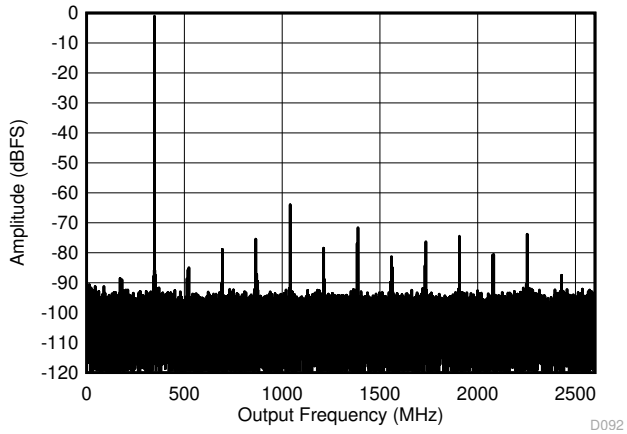


図 5-17. デュアル チャネル モード：347MHz でのシングル トーン FFT

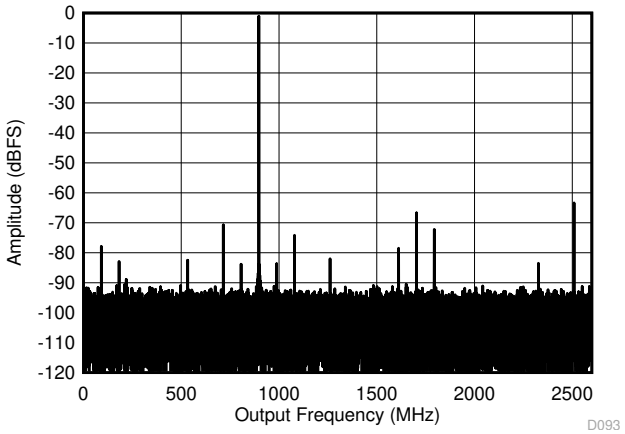


図 5-18. デュアル チャネル モード：897MHz でのシングル トーン FFT

Copyright © 2025 Texas Instruments Incorporated

5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、1V_{PP} 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外

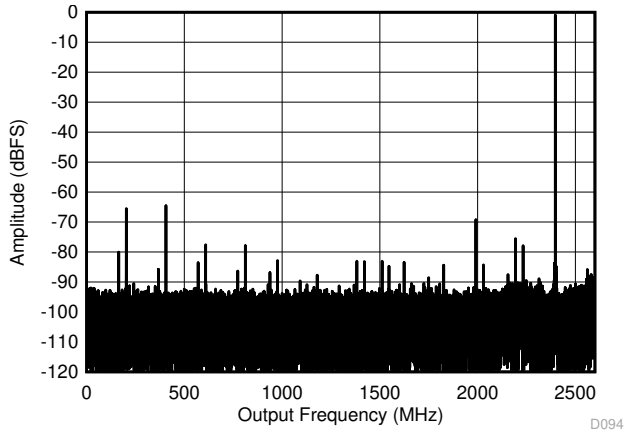


図 5-19. デュアル チャネル モード：2397MHz でのシングル トーン FFT

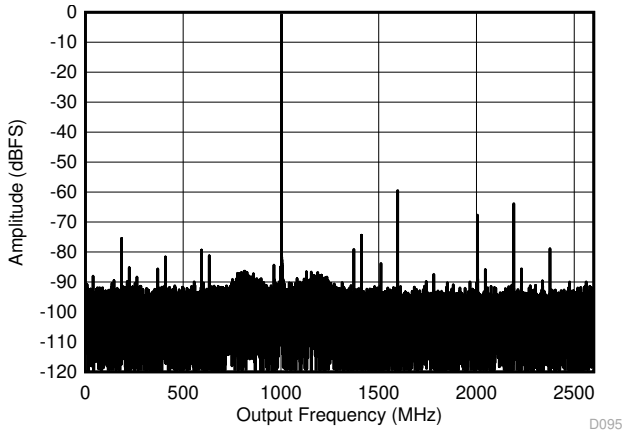


図 5-20. デュアル チャネル モード：4197MHz でのシングル トーン FFT

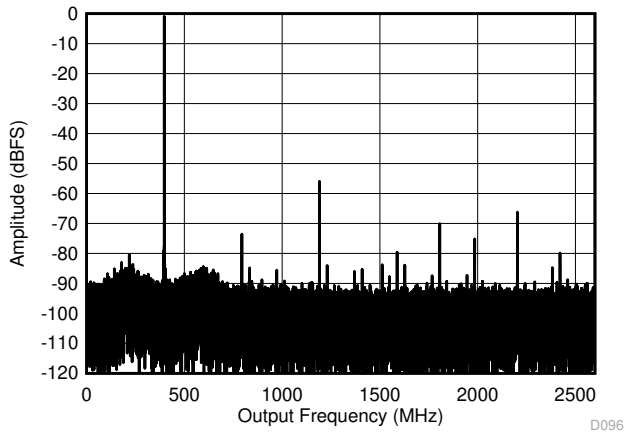


図 5-21. デュアル チャネル モード：5597MHz でのシングル トーン FFT

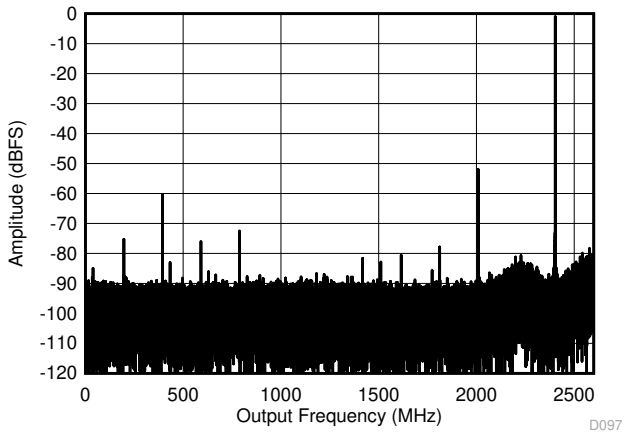
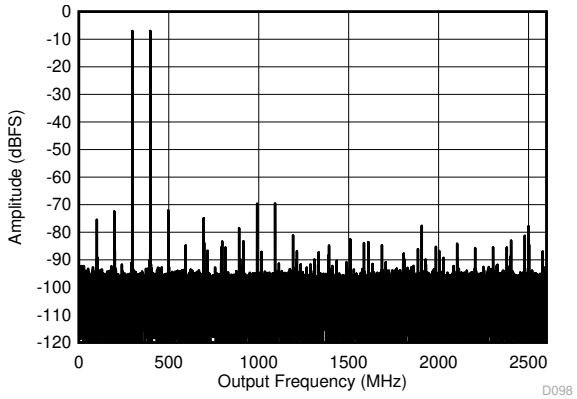


図 5-22. デュアル チャネル モード：7997MHz でのシングル トーン FFT

Copyright © 2025 Texas Instruments Incorporated

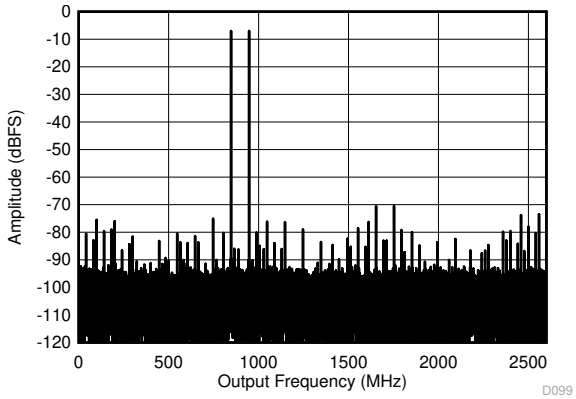
5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、1V_{PP} 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外



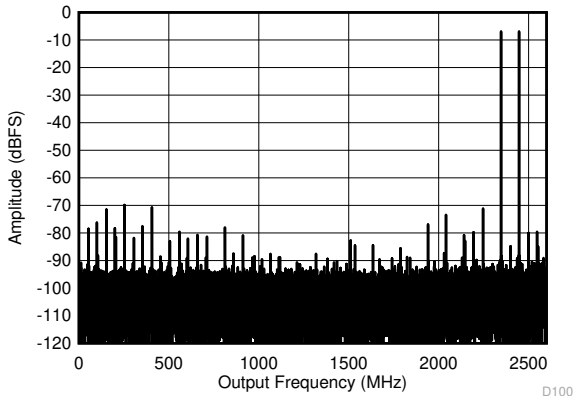
各トーンは -7dBFS で、100MHz トーン間隔

図 5-23. デュアル チャネル モード：347MHz での 2 トーン FFT



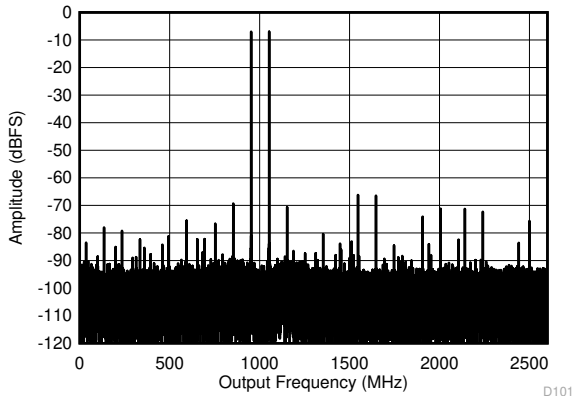
各トーンは -7dBFS で、100MHz トーン間隔

図 5-24. デュアル チャネル モード：897MHz での 2 トーン FFT



各トーンは -7dBFS で、100MHz トーン間隔

図 5-25. デュアル チャネル モード：2397MHz での 2 トーン FFT



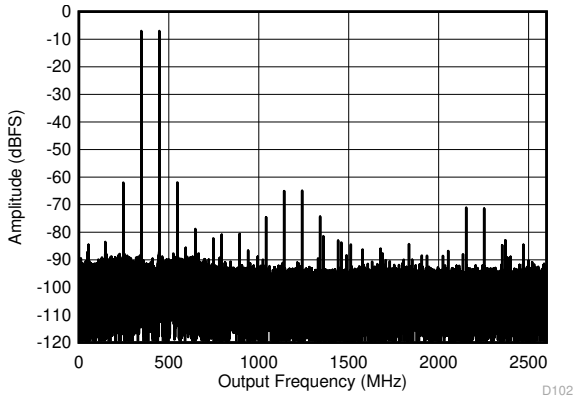
各トーンは -7dBFS で、100MHz トーン間隔

図 5-26. デュアル チャネル モード：4197MHz での 2 トーン FFT

Copyright © 2025 Texas Instruments Incorporated

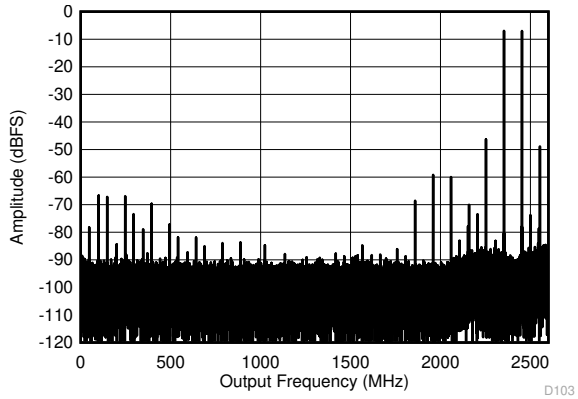
5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、$1V_{PP}$ 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外



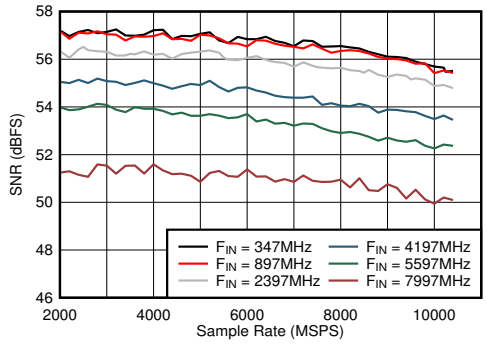
各トーンは -7dBFS で、100MHz トーン間隔

図 5-27. デュアル チャネル モード : 5597MHz での 2 トーン FFT



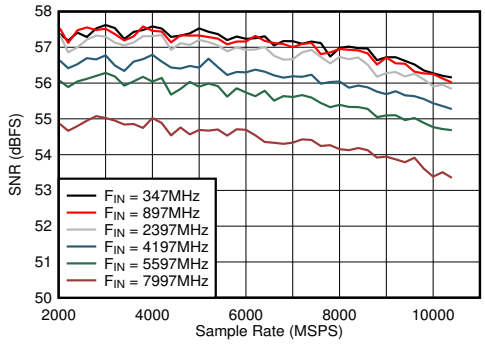
各トーンは -7dBFS で、100MHz トーン間隔

図 5-28. デュアル チャネル モード : 7997MHz での 2 トーン FFT



A_{IN} = –1dBFS

図 5-29. DES モード:SNR とサンプル レートおよび入力周波数との関係



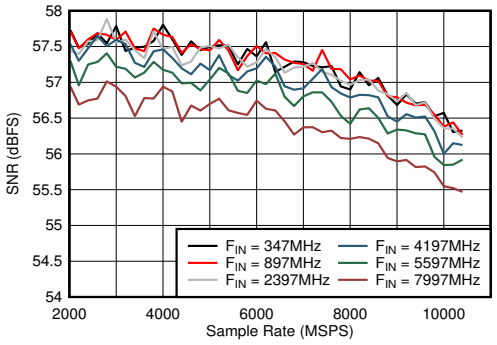
A_{IN} = –6dBFS

図 5-30. DES モード:SNR とサンプル レートおよび入力周波数との関係

Copyright © 2025 Texas Instruments Incorporated

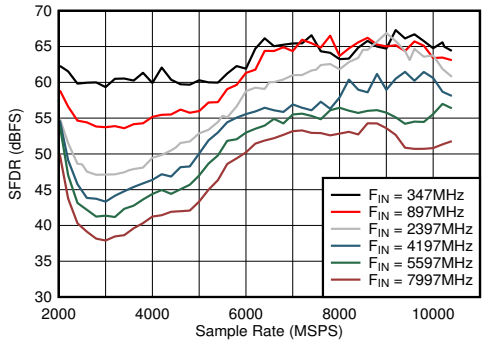
5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、1V_{PP} 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外



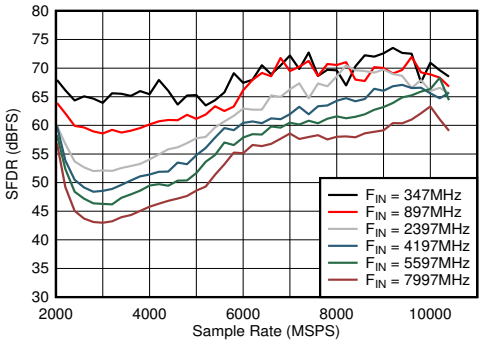
A_{IN} = –12dBFS

図 5-31. DES モード:SNR とサンプル レートおよび入力周波数との関係



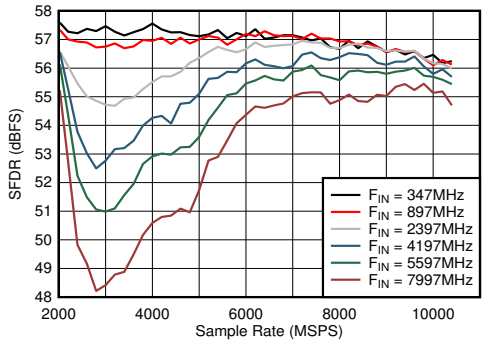
A_{IN} = –1dBFS

図 5-32. DES モード : SFDR とサンプル レートおよび入力周波数との関係



A_{IN} = –6dBFS

図 5-33. DES モード : SFDR とサンプル レートおよび入力周波数との関係



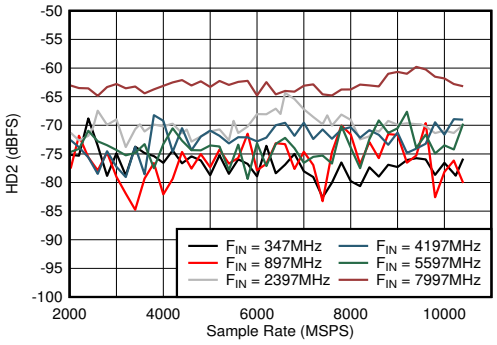
A_{IN} = –12dBFS

図 5-34. DES モード : SFDR とサンプル レートおよび入力周波数との関係

Copyright © 2025 Texas Instruments Incorporated

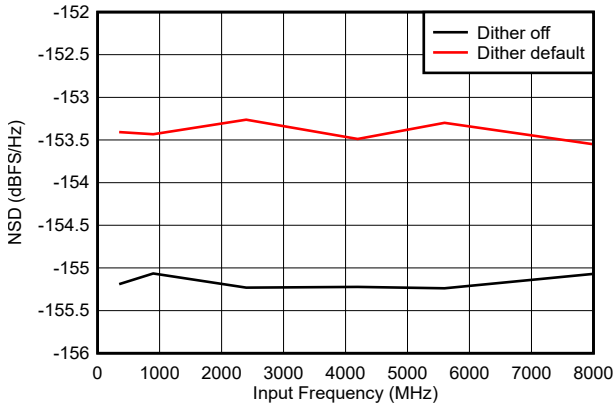
5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、1V_{PP} 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外



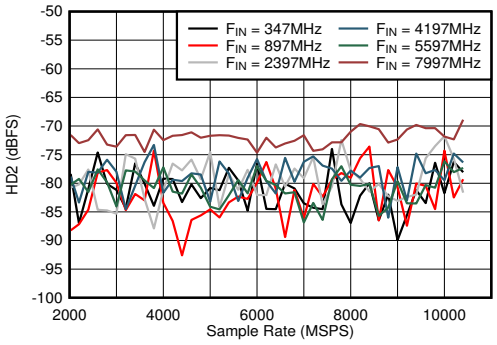
A_{IN} = –1dBFS

図 5-35. DES モード : HD2 とサンプル レートおよび入力周波数との関係



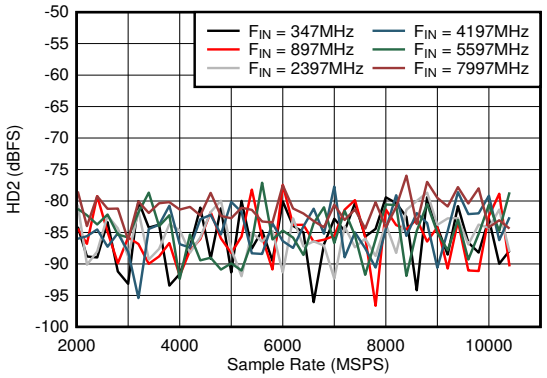
JMODE 1、A_{IN} = –80dBFS

図 5-36. DES モード : NSD と入力周波数との関係



A_{IN} = –6dBFS

図 5-37. DES モード : HD2 とサンプル レートおよび入力周波数との関係



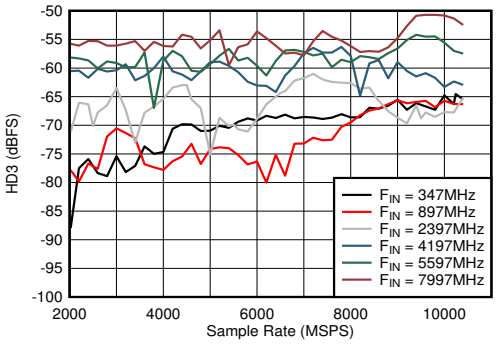
A_{IN} = –12dBFS

図 5-38. DES モード : HD2 とサンプル レートおよび入力周波数との関係

Copyright © 2025 Texas Instruments Incorporated

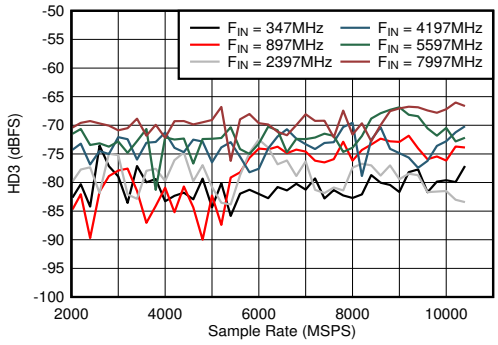
5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、1V_{PP} 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外



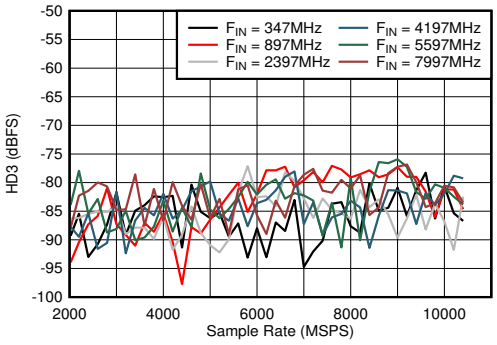
A_{IN} = –1dBFS

図 5-39. DES モード : HD3 とサンプル レートおよび入力周波数との関係



A_{IN} = –6dBFS

図 5-40. DES モード : HD3 とサンプル レートおよび入力周波数との関係



A_{IN} = –12dBFS

図 5-41. DES モード : HD3 とサンプル レートおよび入力周波数との関係

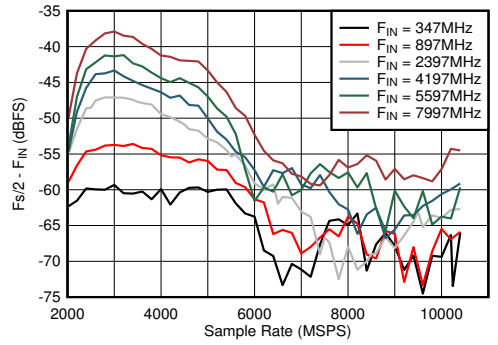


図 5-42. DES モード : Fs/2 - F_{IN} とサンプル レートおよび入力周波数との関係

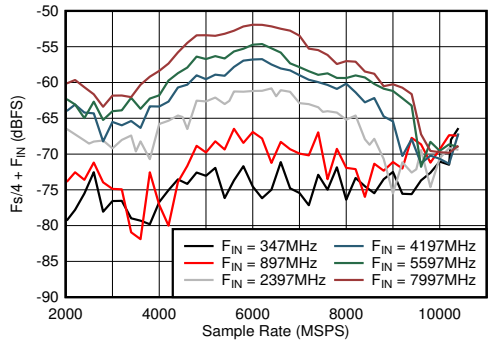


図 5-43. DES モード : Fs/4 + F_{IN} とサンプル レートおよび入力周波数との関係

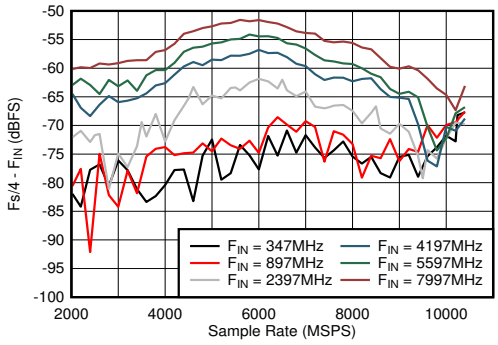
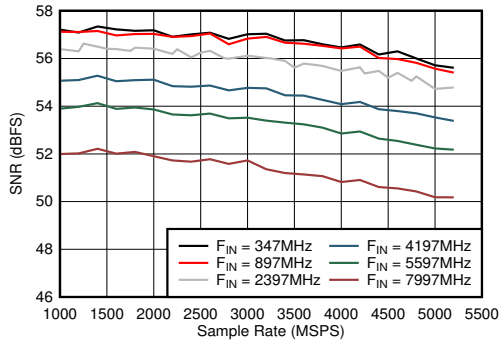


図 5-44. DES モード : Fs/4 - F_{IN} とサンプル レートおよび入力周波数との関係

Copyright © 2025 Texas Instruments Incorporated

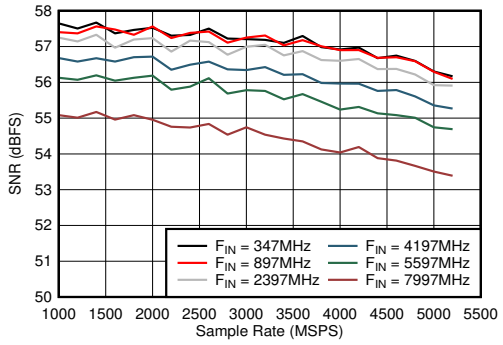
5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、1V_{PP} 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外



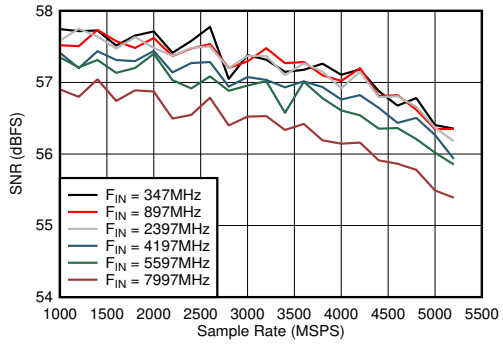
A_{IN} = –1dBFS

図 5-45. デュアル チャネル モード : SNR とサンプル レートおよび入力周波数との関係



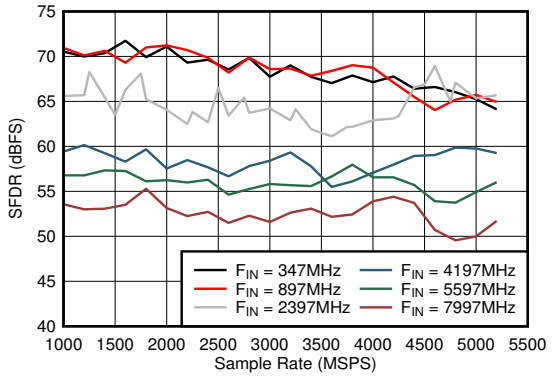
A_{IN} = –6dBFS

図 5-46. デュアル チャネル モード : SNR とサンプル レートおよび入力周波数との関係



A_{IN} = –12dBFS

図 5-47. デュアル チャネル モード : SNR とサンプル レートおよび入力周波数との関係



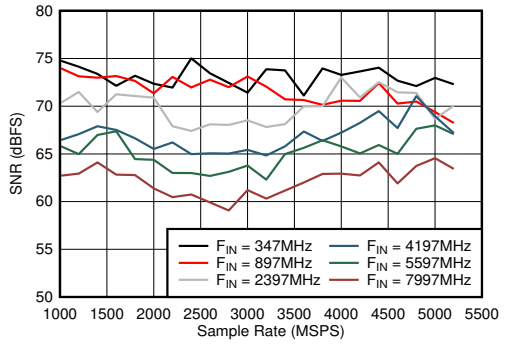
A_{IN} = –1dBFS

図 5-48. デュアル チャネル モード : SFDR とサンプル レートおよび入力周波数との関係

Copyright © 2025 Texas Instruments Incorporated

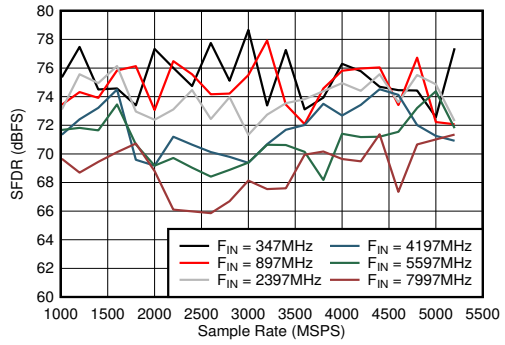
5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、1V_{PP} 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外



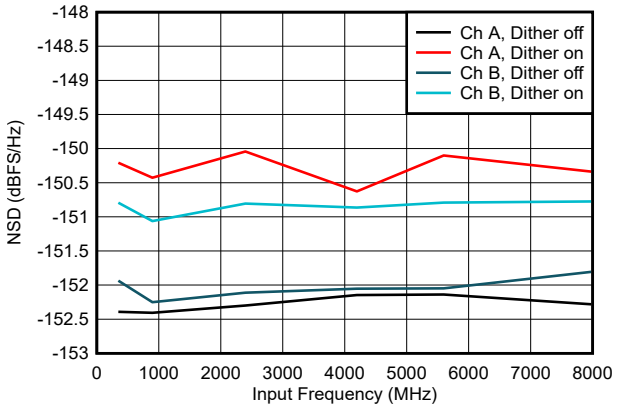
A_{IN} = –6dBFS

図 5-49. デュアル チャネル モード : SFDR とサンプル レートおよび入力周波数との関係



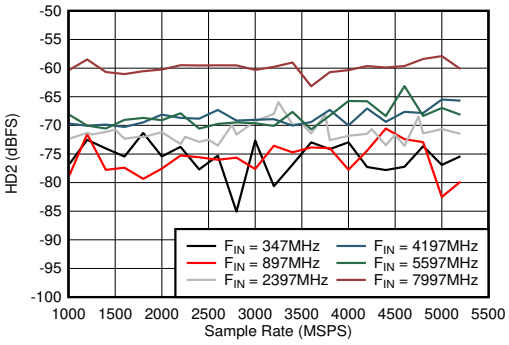
A_{IN} = –12dBFS

図 5-50. デュアル チャネル モード : SFDR とサンプル レートおよび入力周波数との関係



JMODE 3、A_{IN} = –80dBFS

図 5-51. デュアル チャネル モード : NSD と入力周波数

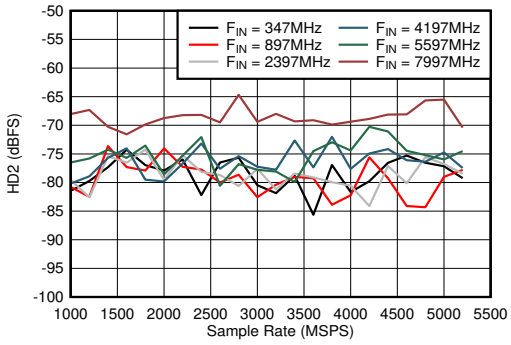


A_{IN} = –1dBFS

図 5-52. デュアル チャネル モード : HD2 とサンプル レートおよび入力周波数との関係

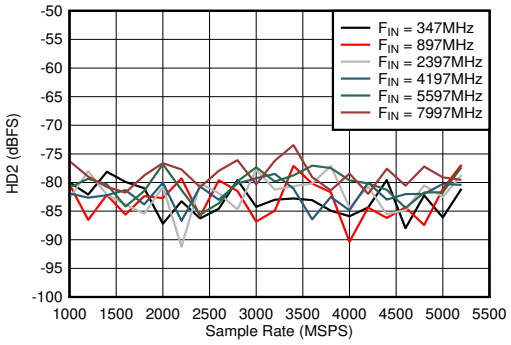
5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、1V_{PP} 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外



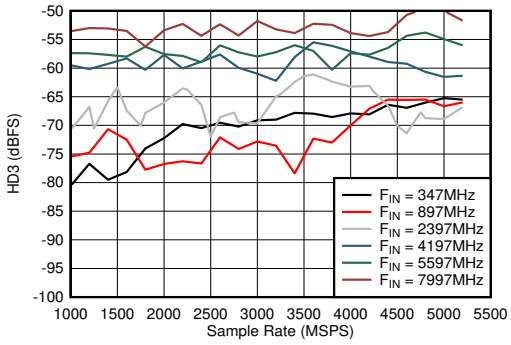
A_{IN} = –6dBFS

図 5-53. デュアル チャネル モード：HD2 とサンプル レートおよび入力周波数との関係



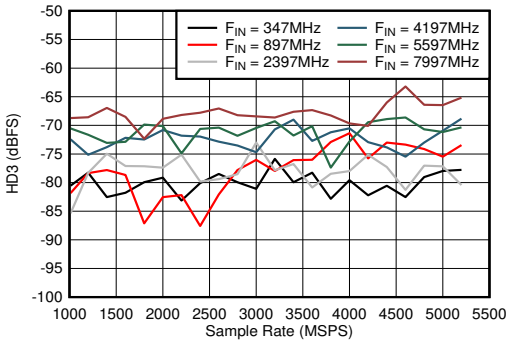
A_{IN} = –12dBFS

図 5-54. デュアル チャネル モード：HD2 とサンプル レートおよび入力周波数との関係



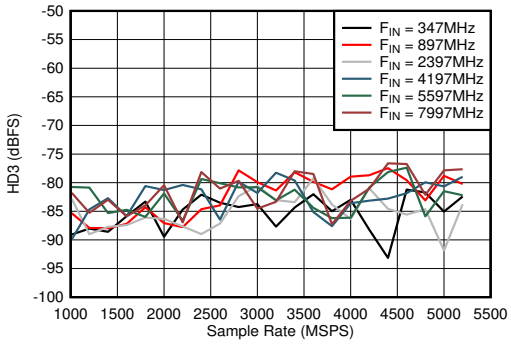
A_{IN} = –1dBFS

図 5-55. デュアル チャネル モード：HD3 とサンプル レートおよび入力周波数との関係



A_{IN} = –6dBFS

図 5-56. デュアル チャネル モード：HD3 とサンプル レートおよび入力周波数との関係



A_{IN} = –12dBFS

図 5-57. デュアル チャネル モード：HD3 とサンプル レートおよび入力周波数との関係

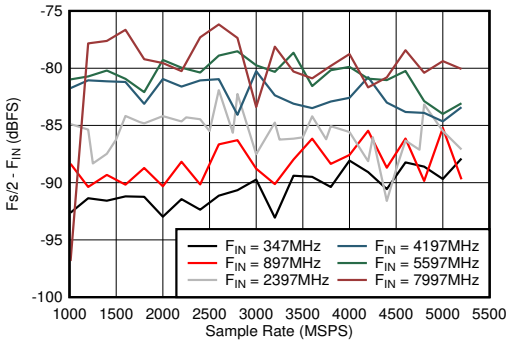


図 5-58. デュアル チャネル モード：Fs/2 - F_{IN} とサンプル レートおよび入力周波数との関係

Copyright © 2025 Texas Instruments Incorporated

5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、1V_{PP} 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外

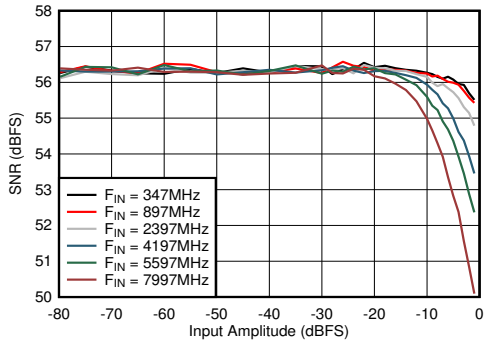


図 5-59. DES モード：SNR と入力振幅および周波数との関係

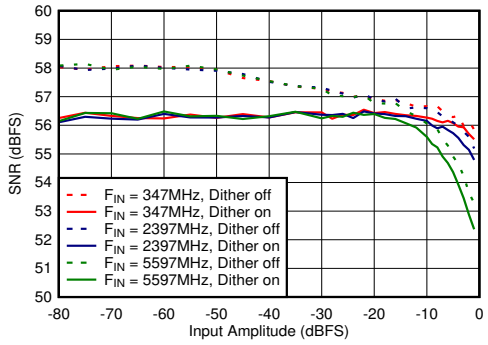


図 5-60. DES モード：SNR と入力振幅およびディザーとの関係

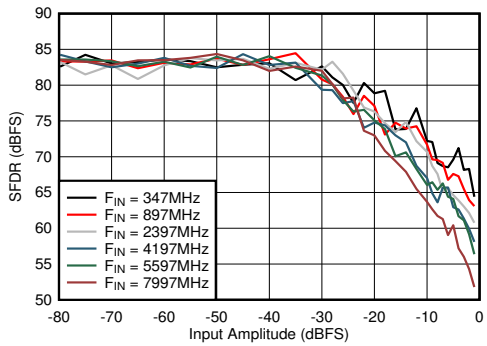


図 5-61. DES モード：SFDR と入力振幅および周波数との関係

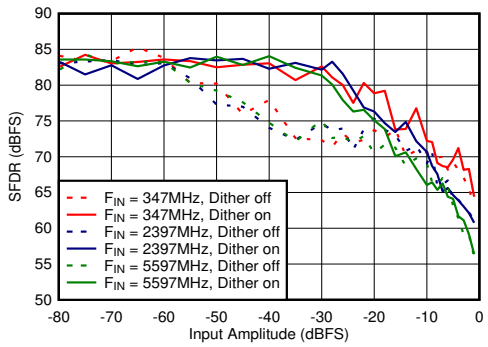


図 5-62. DES モード：SFDR と入力振幅およびディザーとの関係

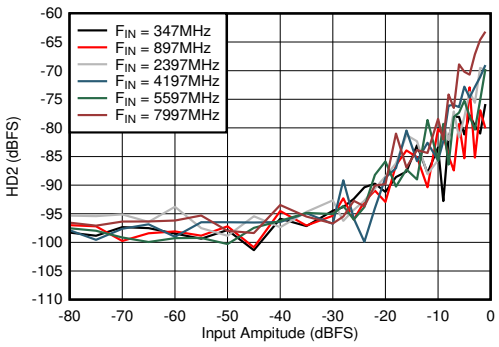


図 5-63. DES モード：HD2 と入力振幅および周波数との関係

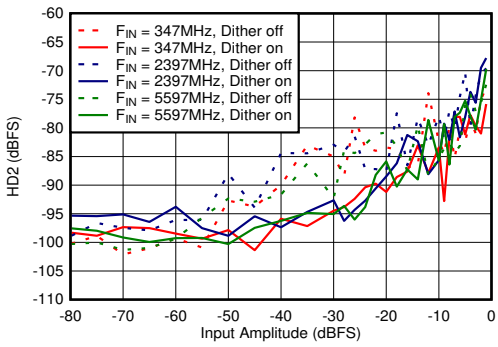


図 5-64. DES モード：HD2 と入力振幅およびディザーとの関係

Copyright © 2025 Texas Instruments Incorporated

5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、1V_{PP} 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外

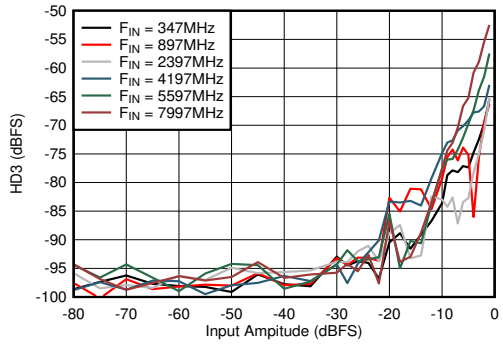


図 5-65. DES モード：HD3 と入力振幅および周波数との関係

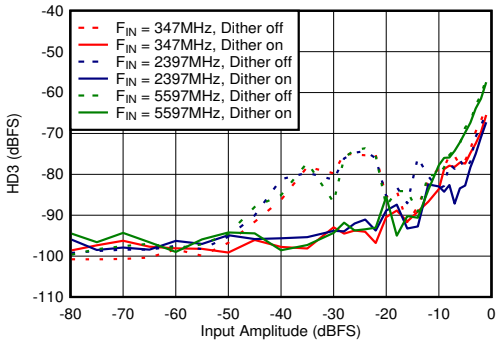


図 5-66. DES モード：HD3 と入力振幅およびディザーとの関係

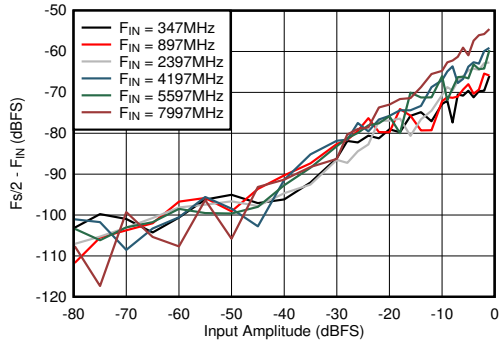


図 5-67. DES モード：Fs/2 - F_{IN} と入力振幅および周波数との関係

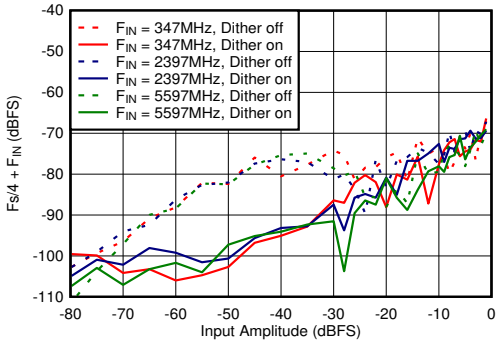


図 5-68. DES モード：Fs/2 - F_{IN} と入力振幅およびディザーとの関係

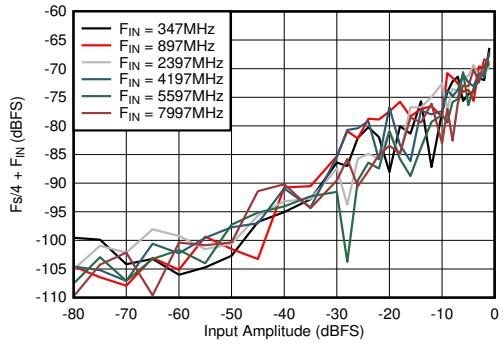


図 5-69. DES モード：Fs/4 + F_{IN} と入力振幅および周波数との関係

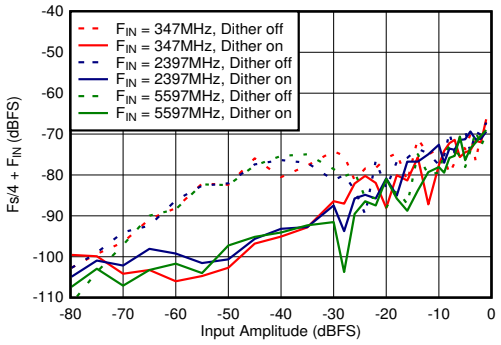


図 5-70. DES モード：Fs/4 + F_{IN} と入力振幅およびディザーとの関係

Copyright © 2025 Texas Instruments Incorporated

5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、1V_{PP} 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外

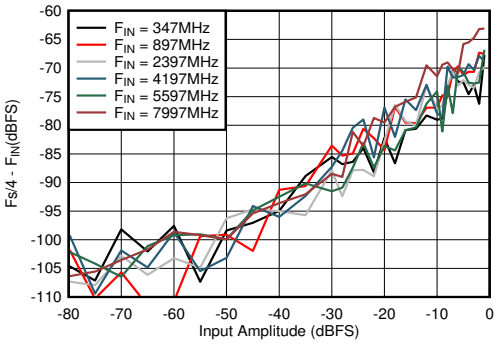


図 5-71. DES モード : Fs/4 - F_{IN} と入力振幅および周波数との関係

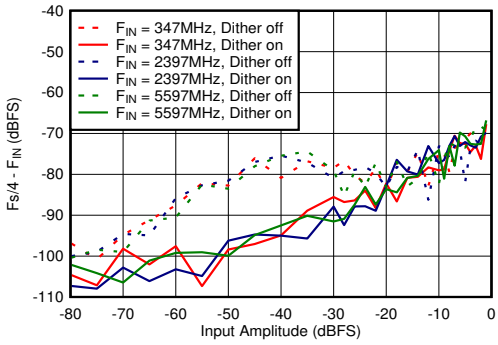


図 5-72. DES モード : Fs/4 - F_{IN} と入力振幅およびディザーとの関係

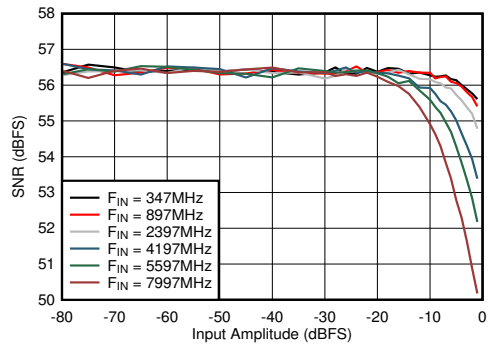


図 5-73. デュアル チャネル モード : SNR と入力振幅および周波数との関係

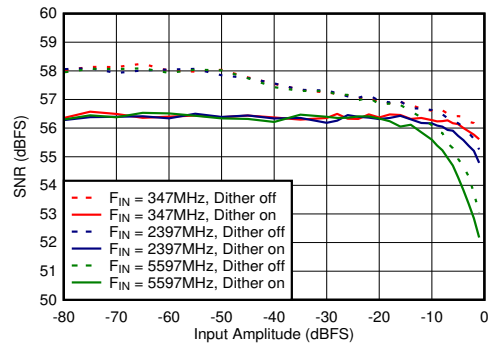


図 5-74. デュアル チャネル モード : SNR と入力振幅およびディザーとの関係

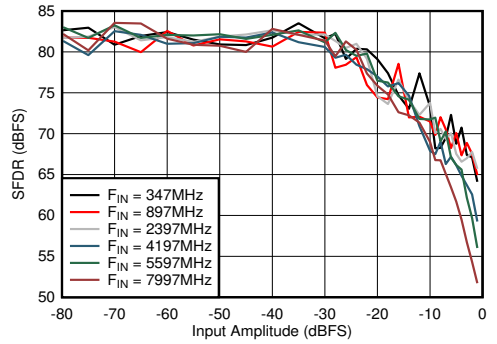


図 5-75. デュアル チャネル モード : SFDR と入力振幅および周波数との関係

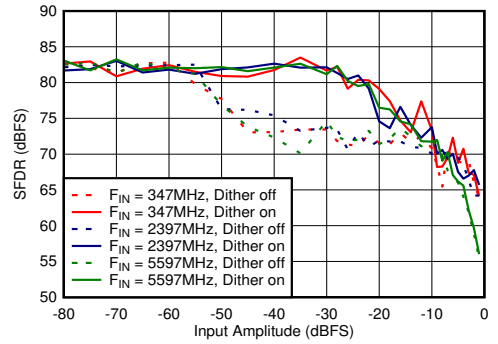


図 5-76. デュアル チャネル モード : SFDR と入力振幅およびディザーとの関係

Copyright © 2025 Texas Instruments Incorporated

5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、1V_{PP} 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外

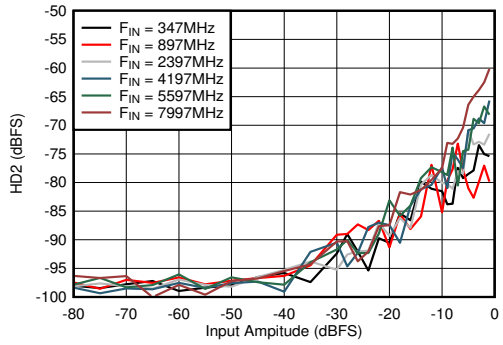


図 5-77. デュアル チャネル モード : HD2 と入力振幅および周波数との関係

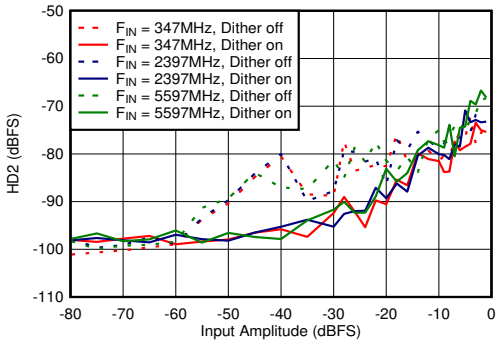


図 5-78. デュアル チャネル モード : HD2 と入力振幅およびディザーとの関係

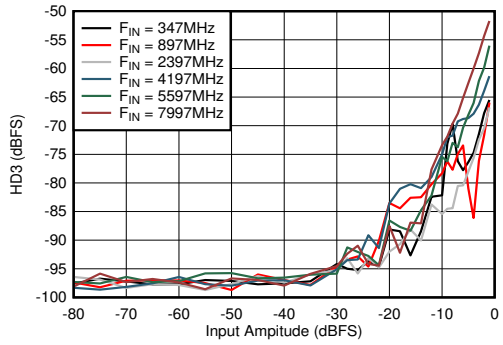


図 5-79. デュアル チャネル モード : HD3 と入力振幅および周波数との関係

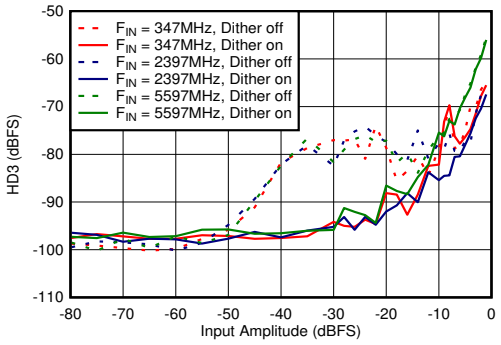


図 5-80. デュアル チャネル モード : HD3 と入力振幅およびディザーとの関係

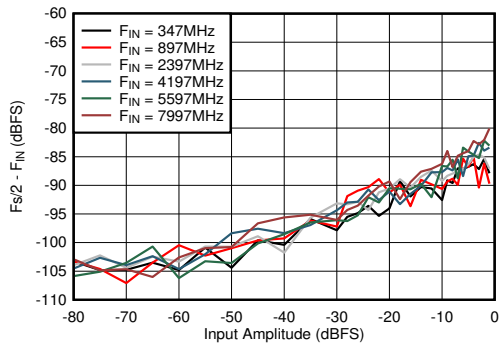


図 5-81. デュアル チャネル モード : Fs/2 - F_{IN} と入力振幅および周波数との関係

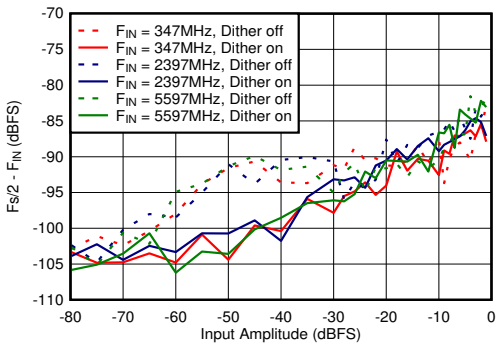


図 5-82. デュアル チャネル モード : Fs/2 - F_{IN} と入力振幅およびディザーとの関係

Copyright © 2025 Texas Instruments Incorporated

5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、$1V_{PP}$ 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外

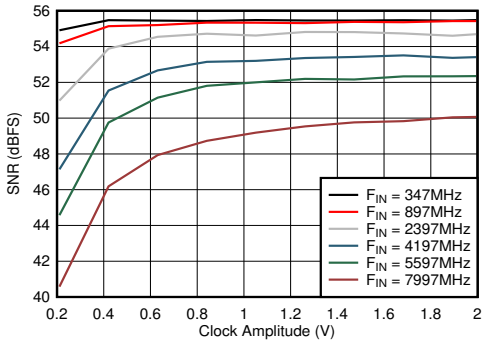


図 5-83. DES モード：SNR とクロック振幅との関係

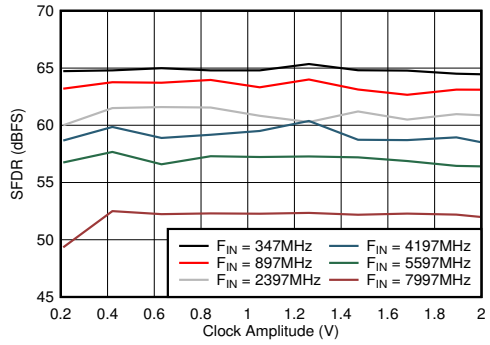


図 5-84. DES モード：SFDR とクロック振幅との関係

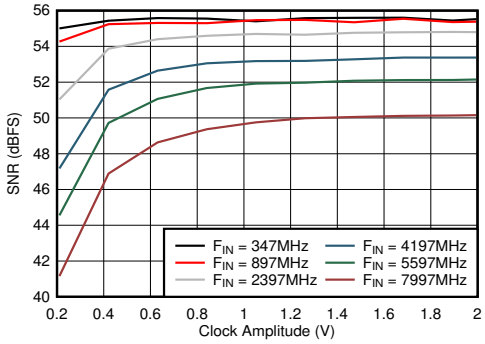


図 5-85. デュアル チャネル モード：SNR とクロック振幅との関係

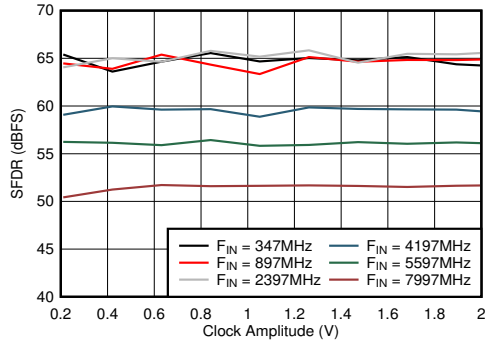
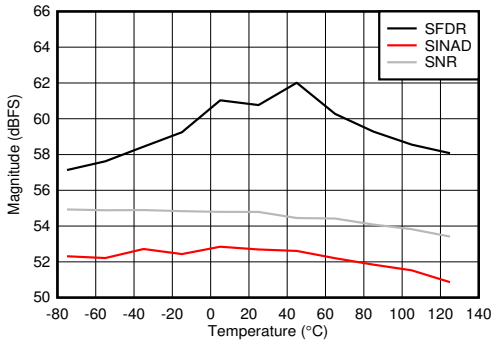
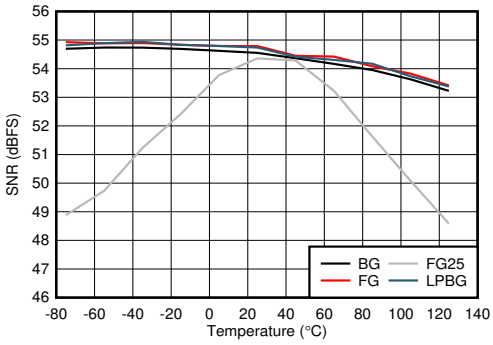


図 5-86. デュアル チャネル モード：SFDR とクロック振幅との関係



各温度での FG キャリブレーション

図 5-87. DES モード：SNR、SINAD、SFDR と温度との関係

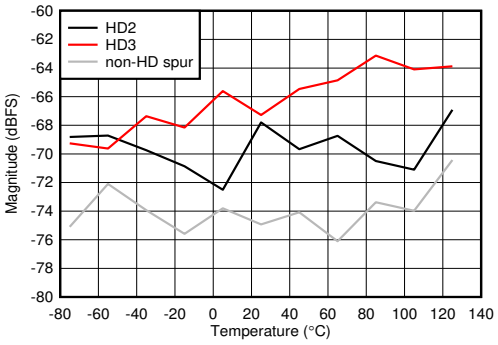


FG25 は 25°C で較正されて他の温度で保持され、他のモードは各温度で再キャリブレーションされます

図 5-88. DES モード：信号対雑音比と温度との関係およびキャリブレーション モード

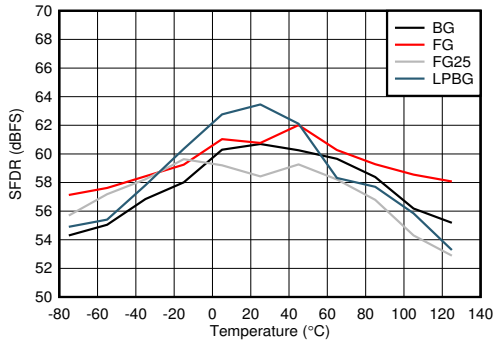
5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、1V_{PP} 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外



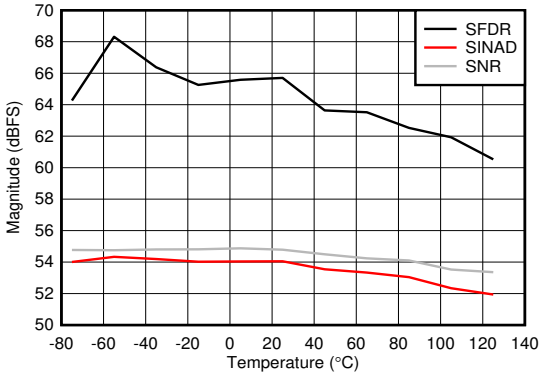
各温度での FG キャリブレーション

図 5-89. DES モード：HD2、HD3、および HD 以外の最悪スプリアスと温度との関係



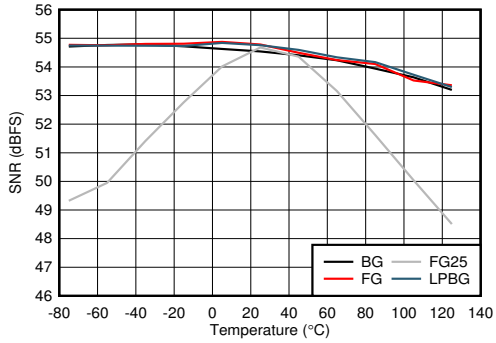
FG25 は 25°C で較正されて他の温度で保持され、他のモードは各温度で再キャリブレーションされます

図 5-90. DES モード：SFDR と温度との関係およびキャリブレーション モード



各温度での FG キャリブレーション

図 5-91. デュアル チャネル モード：SNR、SINAD、SFDR と温度との関係



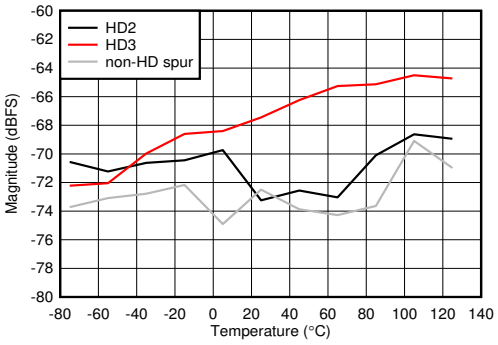
FG25 は 25°C で較正されて他の温度で保持され、他のモードは各温度で再キャリブレーションされます

図 5-92. デュアル チャネル モード：信号対雑音比と温度との関係およびキャリブレーション モード

Copyright © 2025 Texas Instruments Incorporated

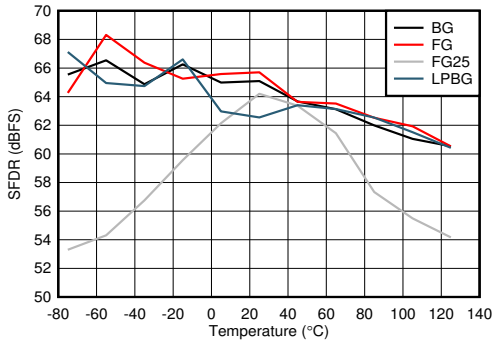
5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、1V_{PP} 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外



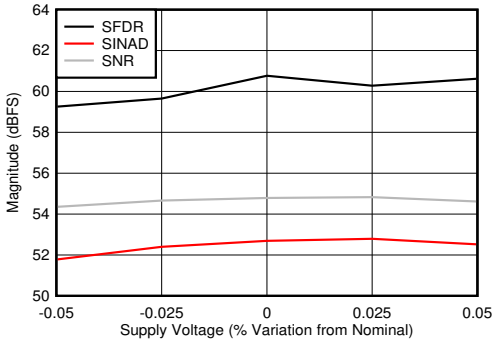
各温度での FG キャリブレーション

図 5-93. デュアル チャネル モード：HD2、HD3、および HD 以外の最悪スプリアスと温度との関係



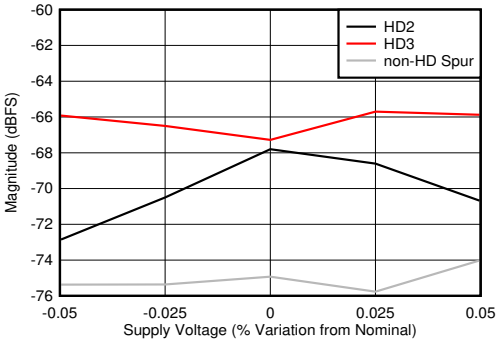
FG25 は 25°C で較正されて他の温度で保持され、他のモードは各温度で再キャリブレーションされます

図 5-94. デュアル チャネル モード：SFDR と温度との関係およびキャリブレーション モード



すべての供給が一緒に変化

図 5-95. DES モード：SNR、SINAD、SFDR と電源電圧との関係



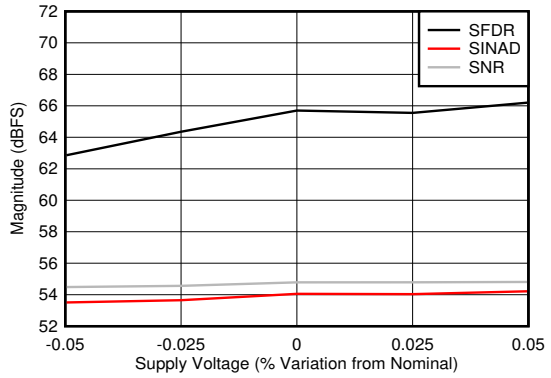
すべての供給が一緒に変化

図 5-96. DES モード：HD2、HD3、および HD 以外の最悪スプリアスと電源電圧との関係

Copyright © 2025 Texas Instruments Incorporated

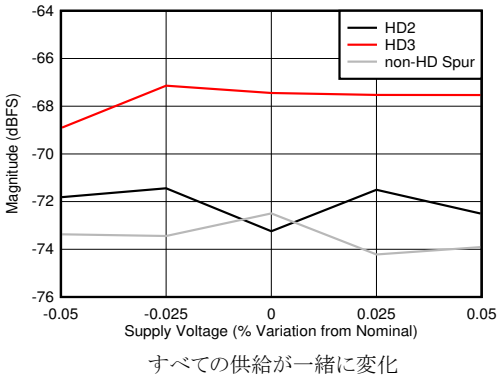
5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、1V_{PP} 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外



すべての供給が一緒に変化

図 5-97. デュアル チャネル モード：SNR、SINAD、SFDR と電源電圧との関係



すべての供給が一緒に変化

図 5-98. デュアル チャネル モード：HD2、HD3、および HD 以外の最悪スプリアスと電源電圧との関係

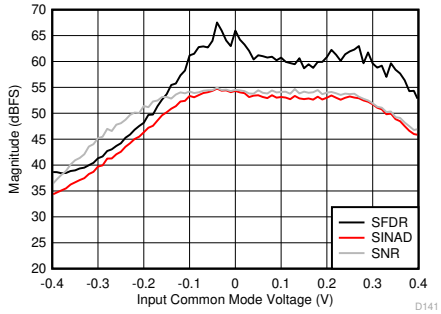


図 5-99. SNR、SFDR、SINAD と入力同相電圧との関係

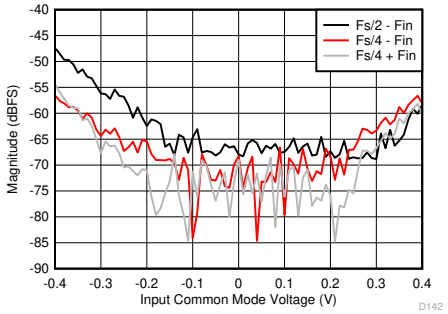
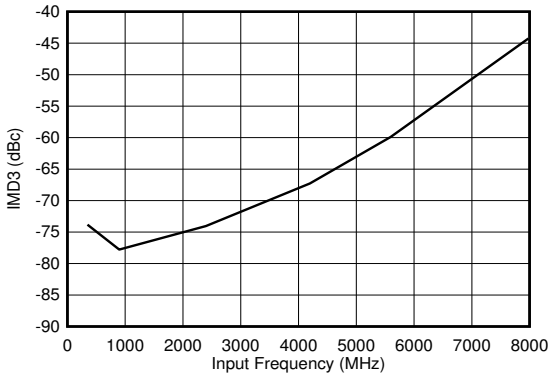


図 5-100. Fs/2 - F_{IN} および Fs/4 ± F_{IN} と入力同相電圧との関係



-7dBFS での各トーン

図 5-101. DES モード：IMD3 と入力周波数との関係

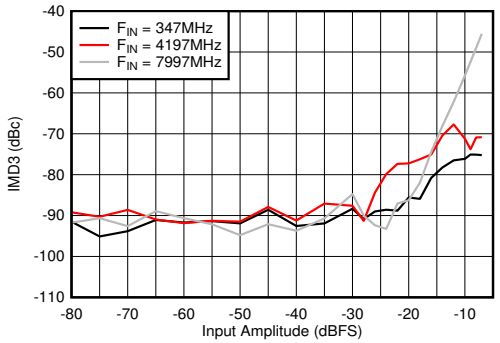
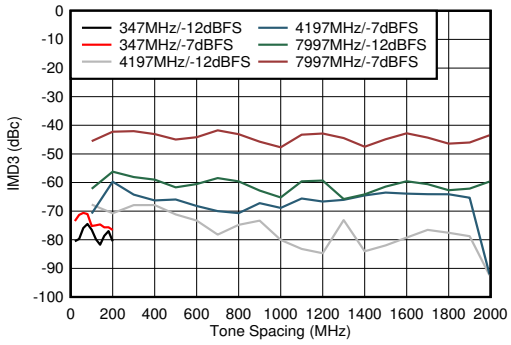


図 5-102. DES モード：IMD3 と入力振幅との関係

Copyright © 2025 Texas Instruments Incorporated

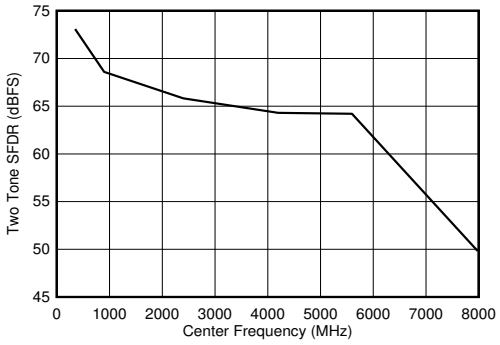
5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、1V_{PP} 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外



-7dBFS での各トーン

図 5-103. DES モード : IMD3 とトーン間隔との関係



-7dBFS での各トーン

図 5-104. DES モード : 2 トーン SFDR と入力周波数との関係

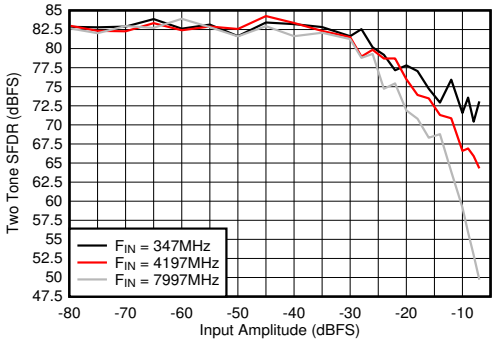
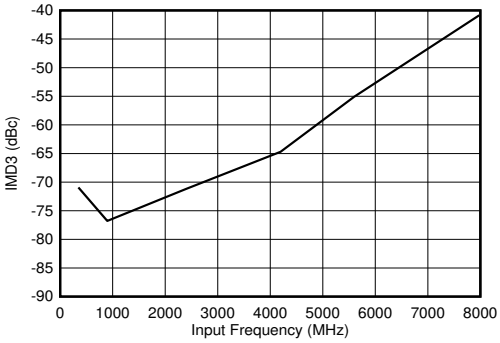


図 5-105. DES モード : 2 トーン SFDR と入力振幅との関係



-7dBFS での各トーン

図 5-106. デュアル チャネル モード : IMD3 と入力周波数との関係

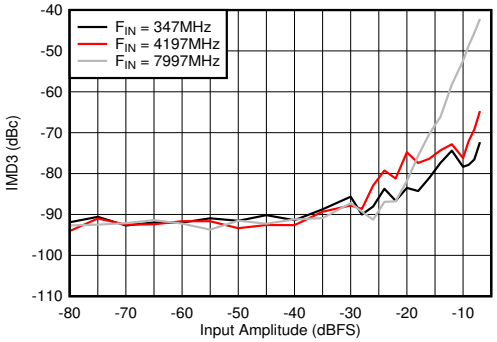


図 5-107. デュアル チャネル モード : IMD3 と入力振幅との関係

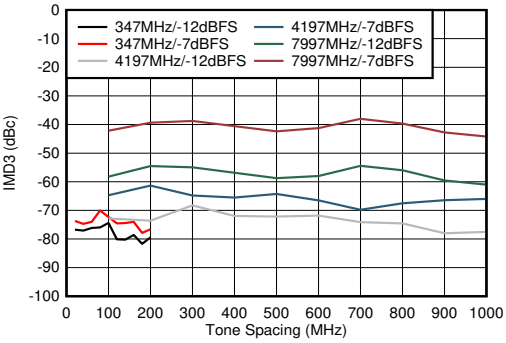


図 5-108. デュアル チャネル モード : IMD3 とトーン間隔との関係

Copyright © 2025 Texas Instruments Incorporated

5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、$1V_{PP}$ 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外

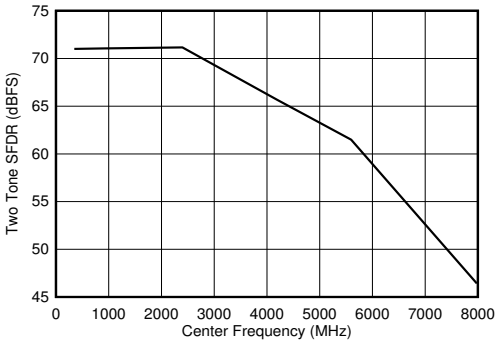


図 5-109. デュアル チャネル モード : 2 トーン SFDR と入力周波数との関係

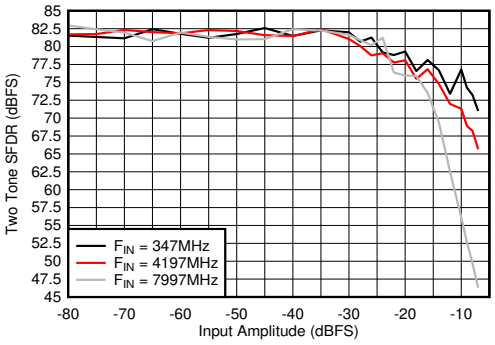
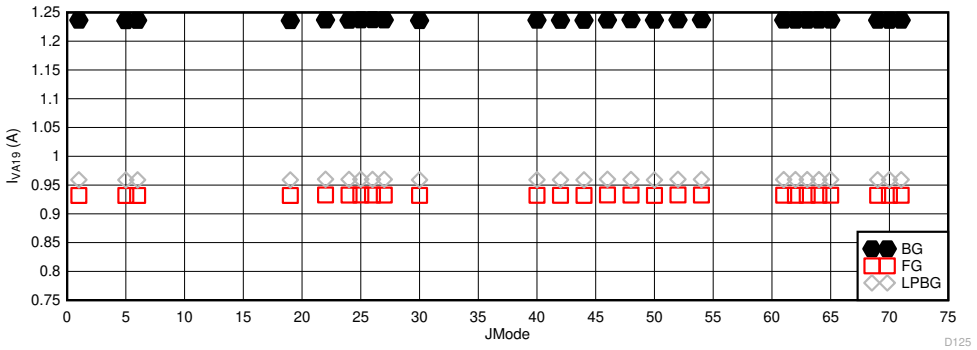
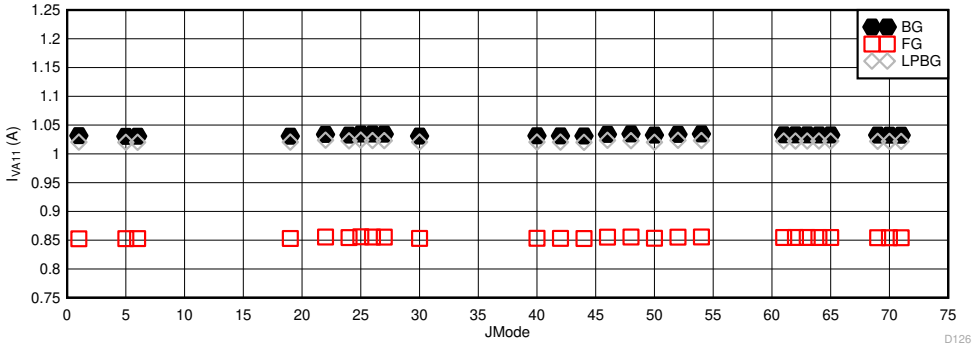


図 5-110. デュアル チャネル モード : 2 トーン SFDR と入力振幅との関係



すべてのモードで F_S = 10.4GSPS が可能

図 5-111. DES モード : I_{VA19} と JMODE (10.4GSPS) との関係



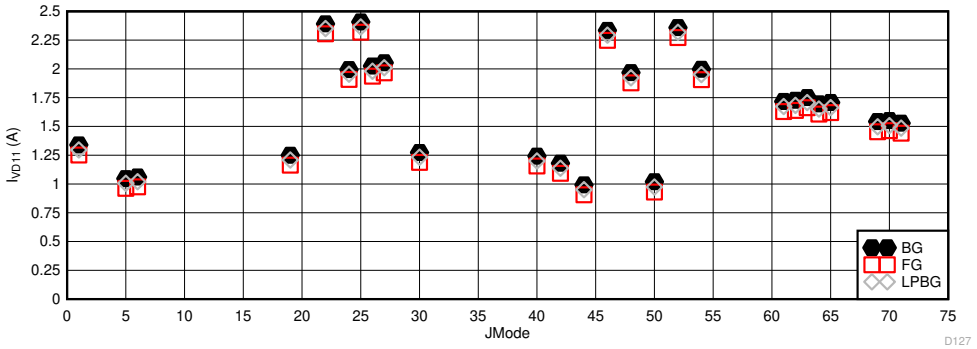
すべてのモードで F_S = 10.4GSPS が可能

図 5-112. DES モード : I_{VA11} と JMODE (10.4GSPS) との関係

Copyright © 2025 Texas Instruments Incorporated

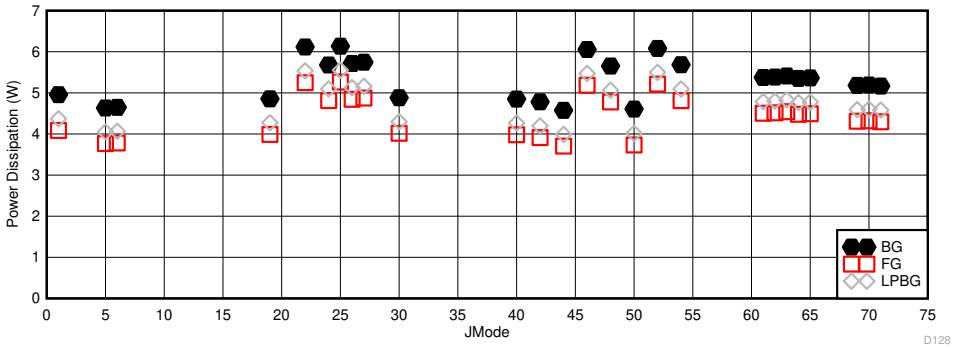
5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、$1V_{PP}$ 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外



すべてのモードで F_S = 10.4GSPS が可能

図 5-113. DES モード：I_{VD11} と JMODE (10.4GSPS) との関係

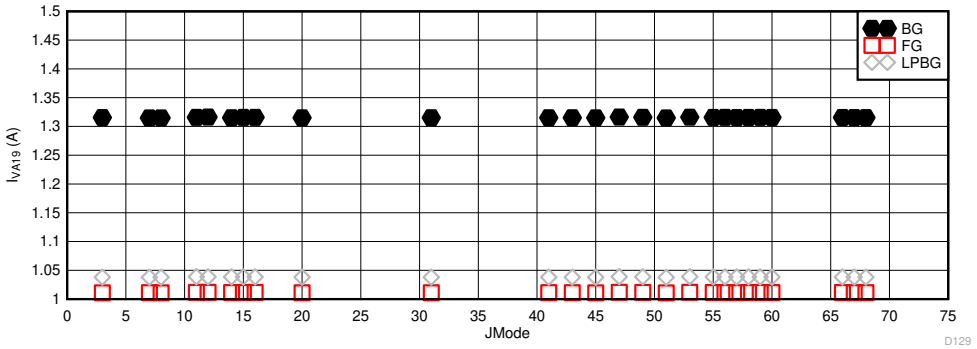


すべてのモードで F_S = 10.4GSPS が可能

図 5-114. DES モード：消費電力と JMODE (10.4GSPS) との関係

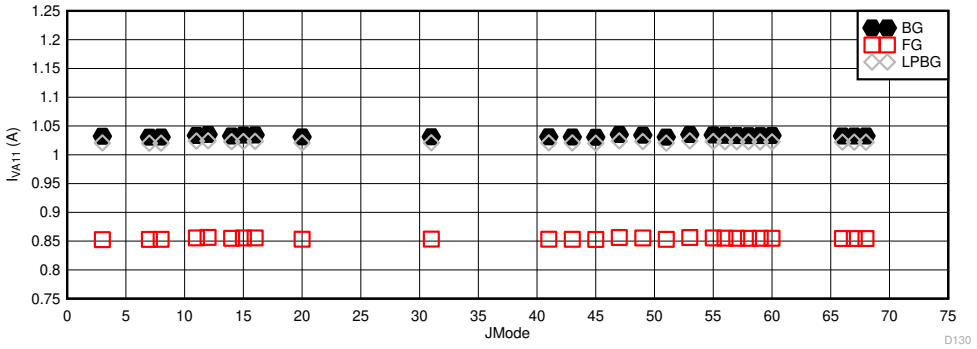
5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、$1V_{PP}$ 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外



すべてのモードで F_S = 5.2GSPS が可能

図 5-115. デュアル チャネル モード：I_{VA19} と JMODE (5.2GSPS) との関係



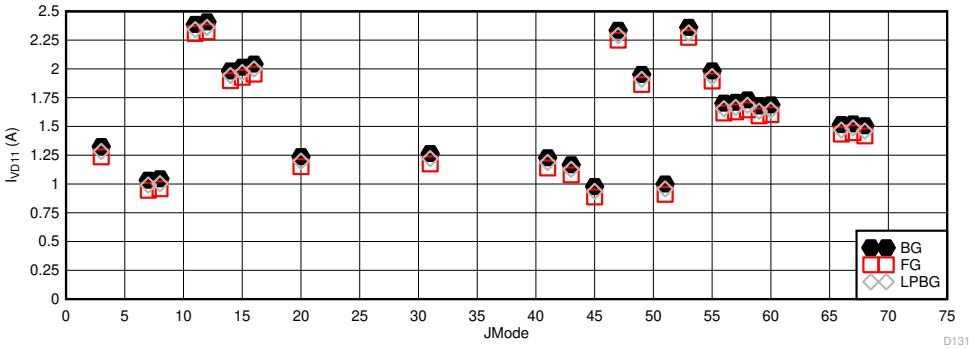
すべてのモードで F_S = 5.2GSPS が可能

図 5-116. デュアル チャネル モード：I_{VA11} と JMODE (5.2GSPS) との関係

Copyright © 2025 Texas Instruments Incorporated

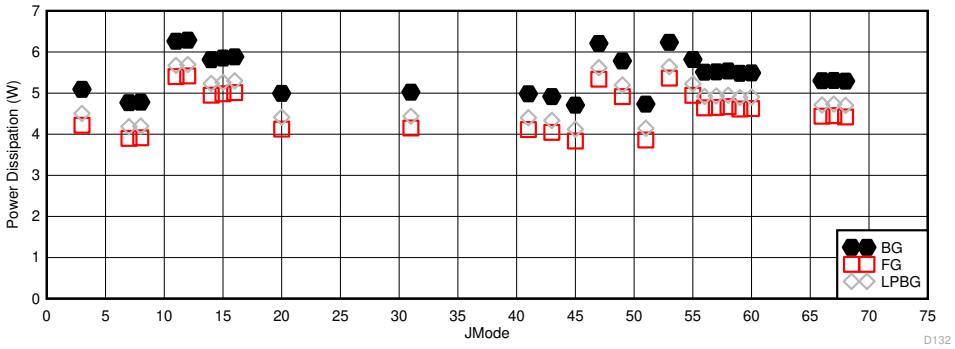
5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、1V_{PP} 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外



すべてのモードで F_S = 5.2GSPS が可能

図 5-117. デュアル チャネル モード：I_{VD11} と JMODE (5.2GSPS) との関係



すべてのモードで F_S = 5.2GSPS が可能

図 5-118. デュアル チャネル モード：消費電力と JMODE (5.2GSPS) との関係

Copyright © 2025 Texas Instruments Incorporated

5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、$1V_{PP}$ 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外

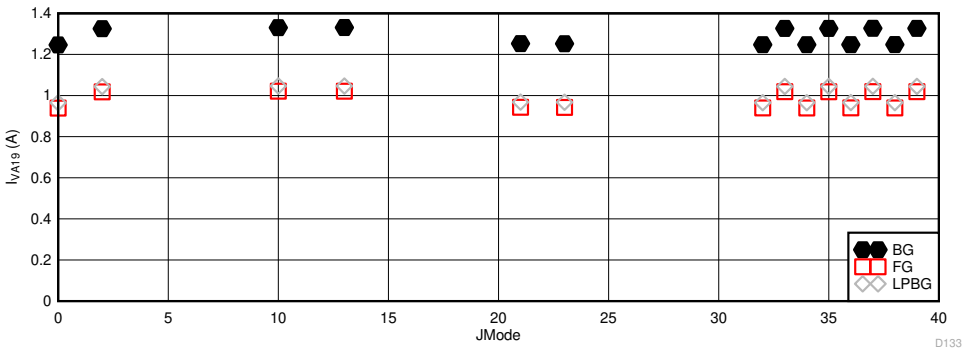


表 6-23 ごとに可能な最大サンプル レートによる

図 5-119. 最大 F_S が低いその他のモード：I_{VA19} と JMODE との関係

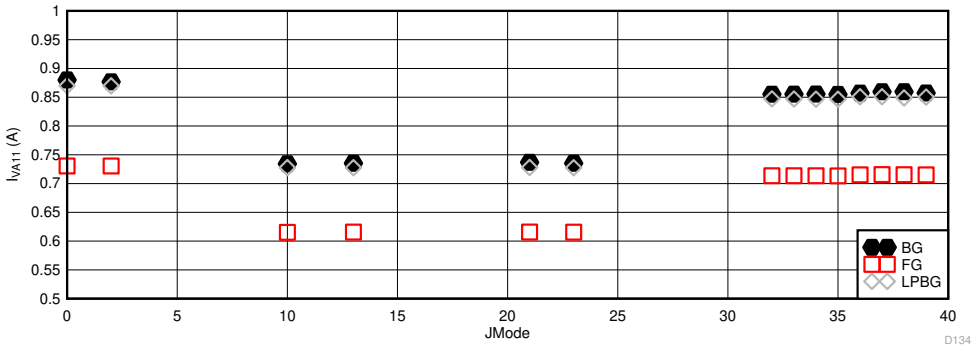


表 6-23 ごとに可能な最大サンプル レートによる

図 5-120. 最大 F_S が低いその他のモード：I_{VA11} と JMODE との関係

Copyright © 2025 Texas Instruments Incorporated

5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、$1V_{PP}$ 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外

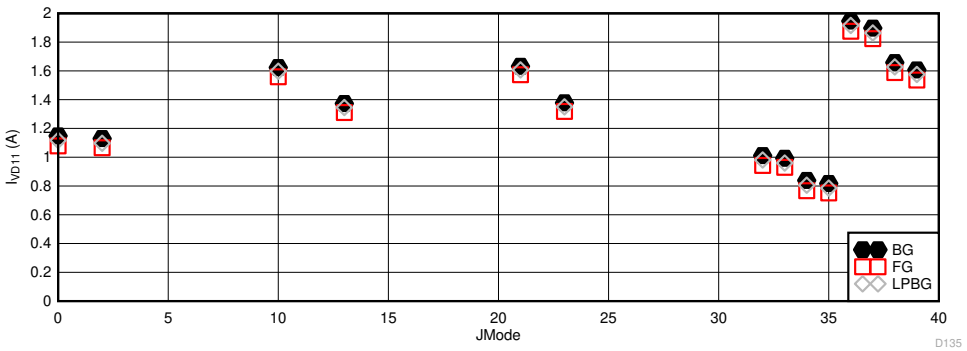


表 6-23 ごとに可能な最大サンプル レートによる

図 5-121. 最大 F_S が低いその他のモード：I_{VD11} と JMODE との関係

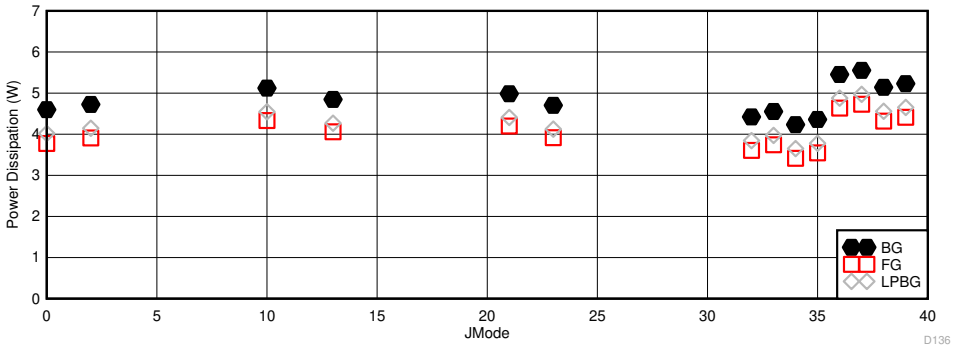
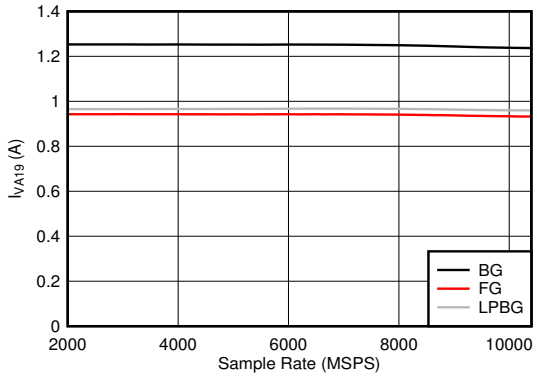


表 6-23 ごとに可能な最大サンプル レートによる

図 5-122. 最大 F_S が低いその他のモード：消費電力と JMODE との関係

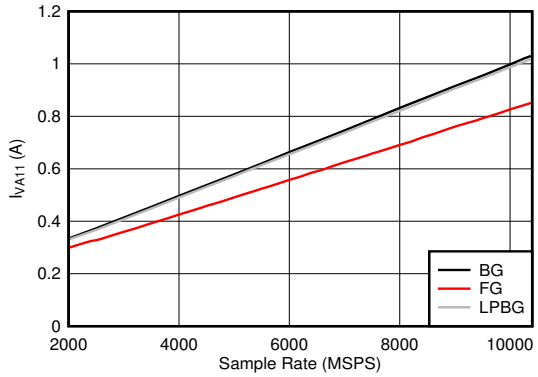
5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、$1V_{PP}$ 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外



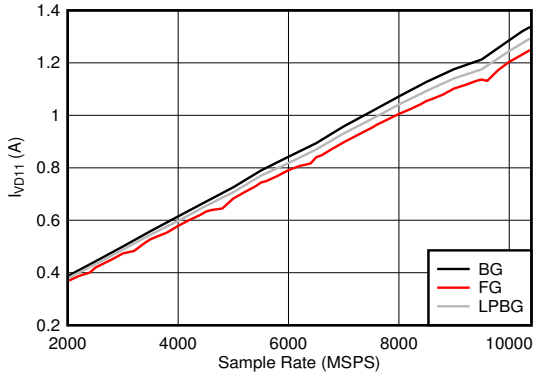
JMODE から独立

図 5-123. DES モード : I_{VA19} とサンプル レートとの関係



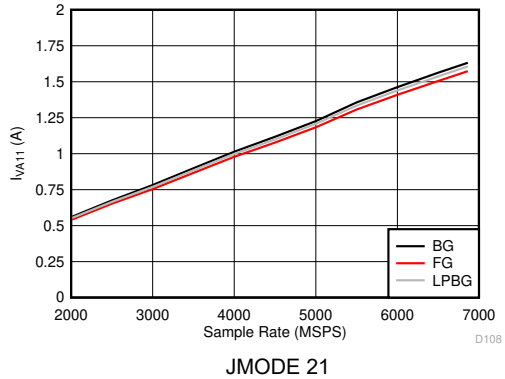
JMODE から独立

図 5-124. DES モード : I_{VA11} とサンプル レートとの関係



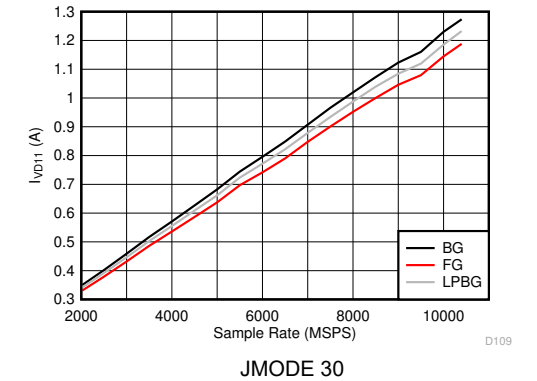
JMODE 1

図 5-125. DES モード : I_{VD11} とサンプル レートとの関係



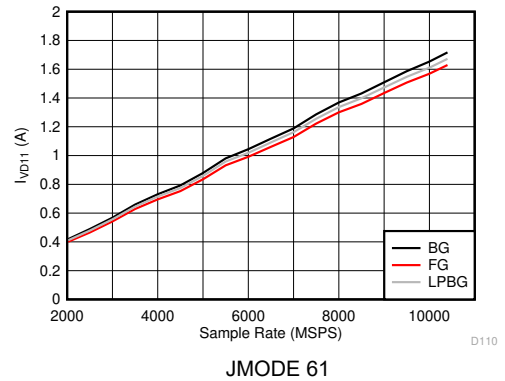
JMODE 21

図 5-126. DES モード : I_{VD11} とサンプル レートとの関係



JMODE 30

図 5-127. DES モード : I_{VD11} とサンプル レートとの関係



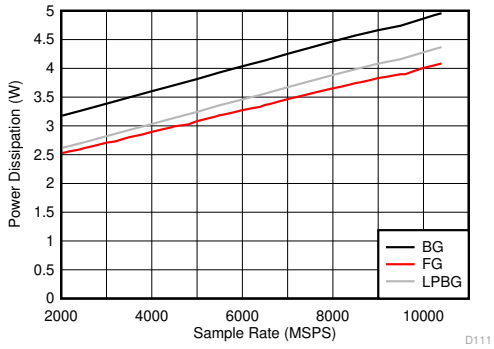
JMODE 61

図 5-128. DES モード : I_{VD11} とサンプル レートとの関係

Copyright © 2025 Texas Instruments Incorporated

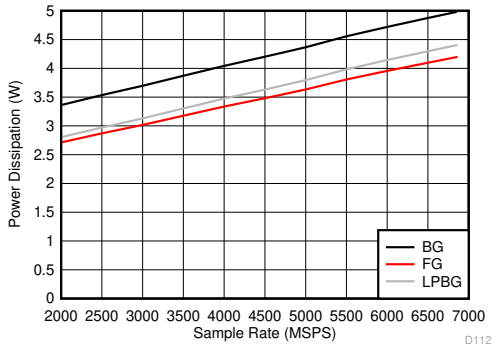
5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、$1V_{PP}$ 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外



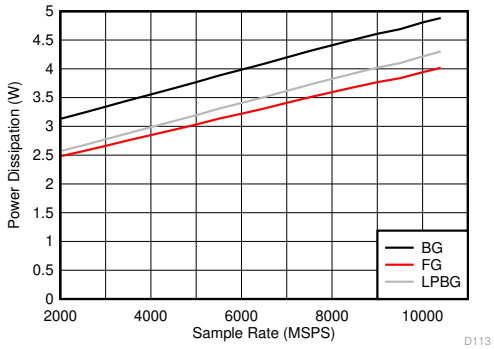
JMODE 1

図 5-129. DES モード : 消費電力とサンプル レートとの関係



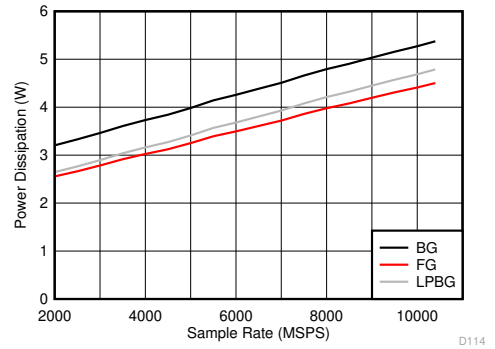
JMODE 21

図 5-130. DES モード : 消費電力とサンプル レートとの関係



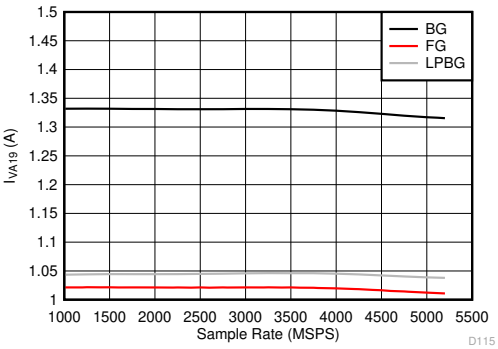
JMODE 30

図 5-131. DES モード : 消費電力とサンプル レートとの関係



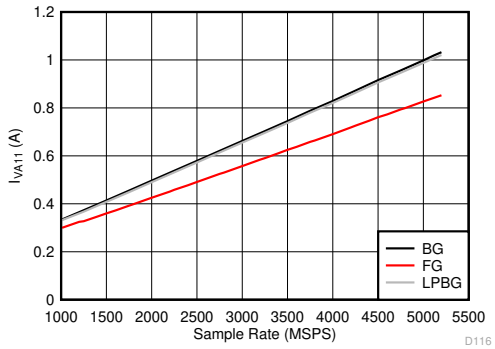
JMODE 61

図 5-132. DES モード : 消費電力とサンプル レートとの関係



JMODE から独立

図 5-133. デュアル チャネル モード : I_{VA19} とサンプル レートとの関係



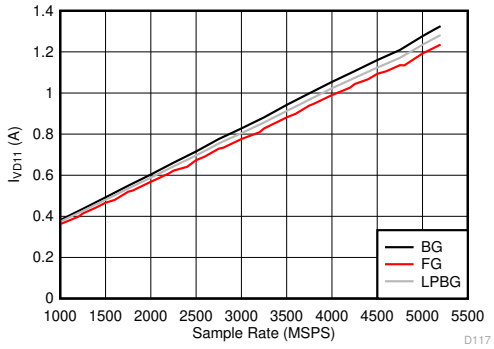
JMODE から独立

図 5-134. デュアル チャネル モード : I_{VA11} とサンプル レートとの関係

Copyright © 2025 Texas Instruments Incorporated

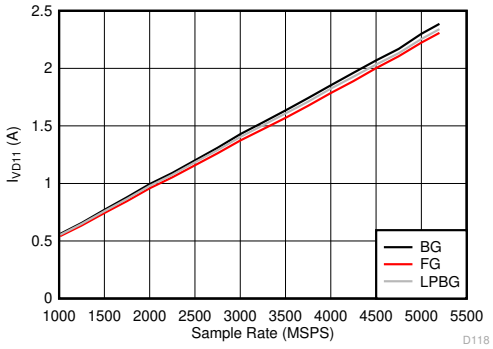
5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、$1V_{PP}$ 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外



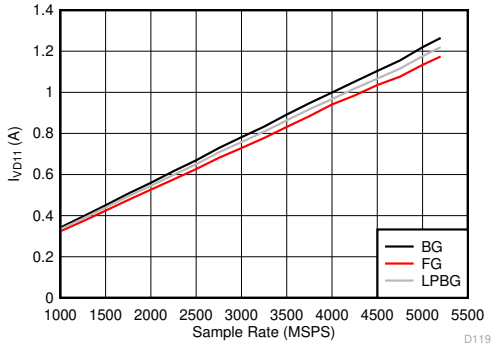
JMODE 3

図 5-135. デュアル チャネル モード : I_{VD11} とサンプル レートとの関係



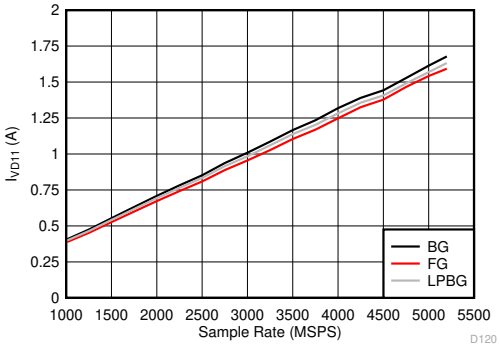
JMODE 11

図 5-136. デュアル チャネル モード : I_{VD11} とサンプル レートとの関係



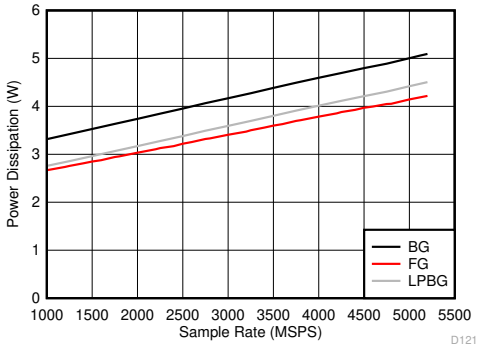
JMODE 31

図 5-137. デュアル チャネル モード : I_{VD11} とサンプル レートとの関係



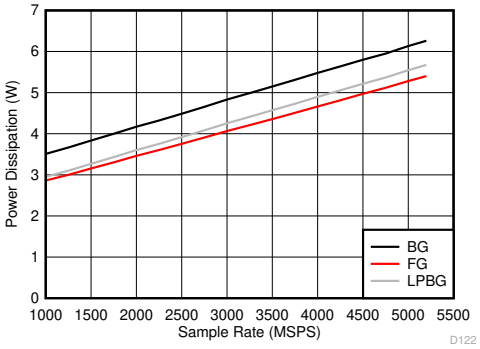
JMODE 59

図 5-138. デュアル チャネル モード : I_{VD11} とサンプル レートとの関係



JMODE 3

図 5-139. デュアル チャネル モード : 消費電力とサンプル レートとの関係



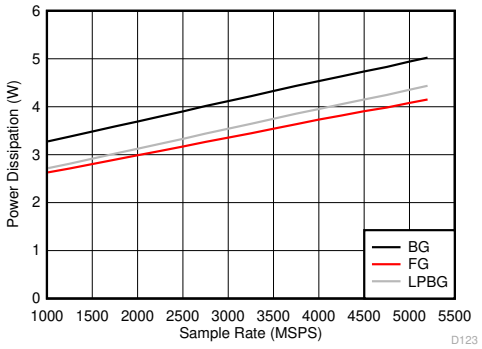
JMODE 11

図 5-140. デュアル チャネル モード : 消費電力とサンプル レートとの関係

Copyright © 2025 Texas Instruments Incorporated

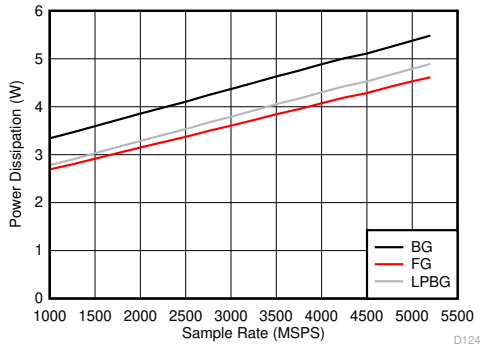
5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、$1V_{PP}$ 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外



JMODE 31

図 5-141. デュアル チャネル モード：消費電力とサンプル レートとの関係



JMODE 59

図 5-142. デュアル チャネル モード：消費電力とサンプル レートとの関係

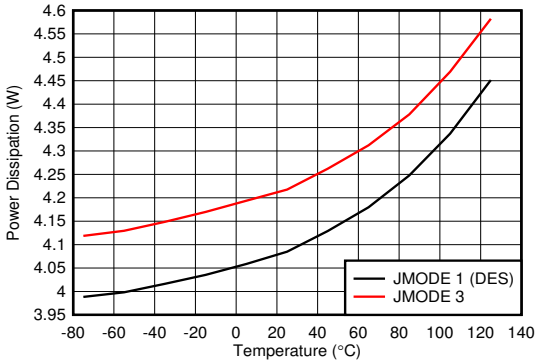


図 5-143. 消費電力と温度との関係

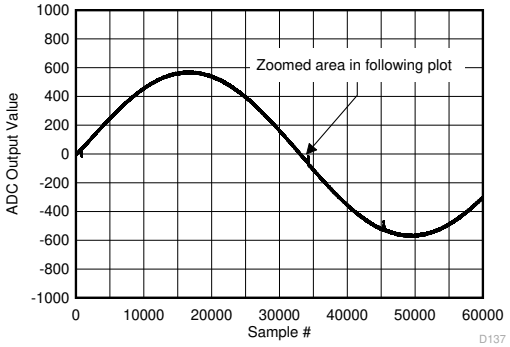


図 5-144. バックグラウンド キャリブレーション コアの遷移 (AC 信号)

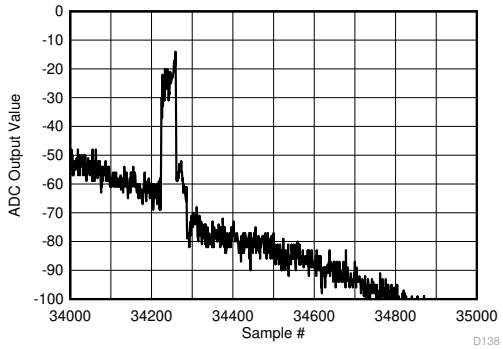


図 5-145. バックグラウンド キャリブレーション コアの遷移 (AC 信号 - 拡大)

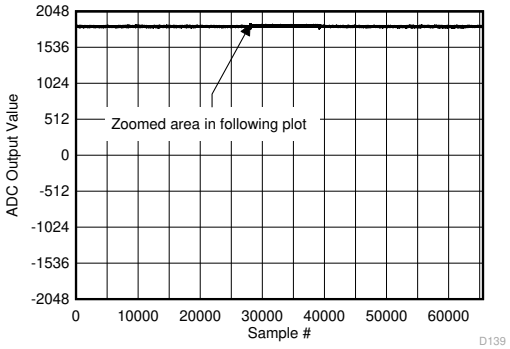


図 5-146. バックグラウンド キャリブレーション コアの遷移 (DC 信号)

Copyright © 2025 Texas Instruments Incorporated

5.11 代表的特性 (続き)

T_A = 25°C での標準値、VA19 = 1.9V、VA11 = VD11 = 1.1V、デフォルトのフルスケール電圧 (FS_RANGE_A = FS_RANGE_B = 0xA000)、シングルチャネル モードで 入力信号を INA± に印加、f_{IN} = 347MHz、A_{IN} =-1dBFS、f_{CLK} = 最大定格クロック周波数、フィルタ処理済み、1V_{PP} 正弦波クロック、JMODE = 1、ディザーがデフォルト設定でイネーブル、VA11、VD11、VS11 のノイズ抑制オン (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)、バックグラウンド キャリブレーション (記述のない限り)。SNR の結果は DC、HD2 ～ HD9 およびインターリーブ スプリアスを除外。SINAD、ENOB、SFDR の結果は DC および固定周波数のショート バージョンインターリーブ スプリアスを除外

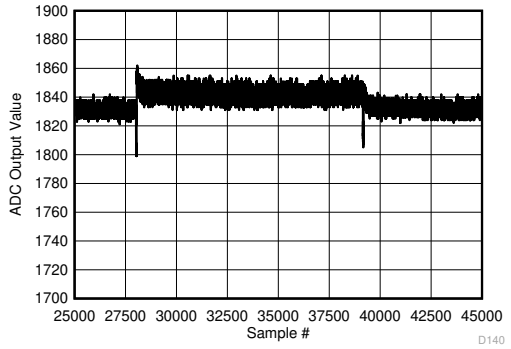


図 5-147. バックグラウンド キャリブレーション コアの遷移 (DC 信号 - 拡大)

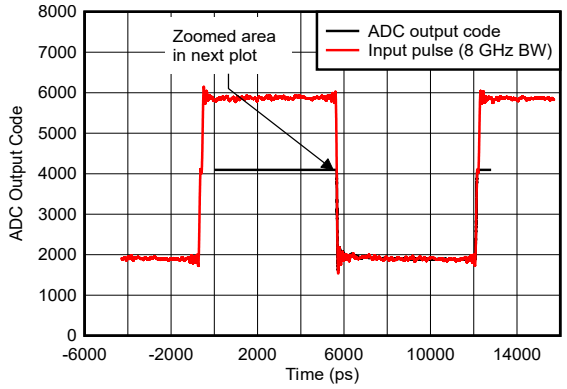


図 5-148. パルス オーバードライブ 回復

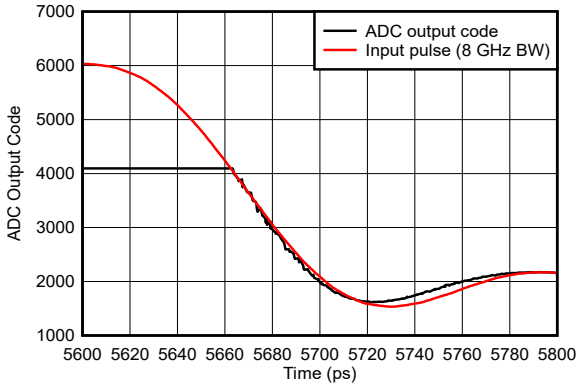


図 5-149. パルスオーバードライブ回復の拡大図

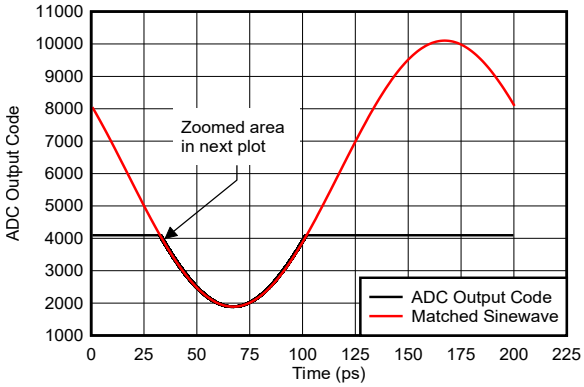


図 5-150. 正弦波オーバードライブ回復

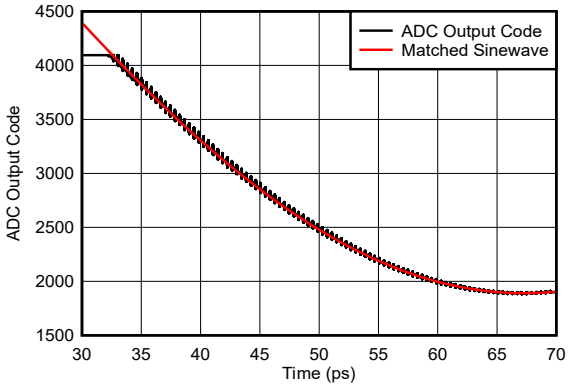


図 5-151. 正弦波オーバードライブ回復

Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

ADC12DJ5200-SP デバイスは、RF サンプリング、ギガ サンプルの A/D コンバータ (ADC) で、DC から 10GHz 超までの入力周波数を直接サンプリングできます。デバイスは、デュアル チャネル モードで最大 5.2GSPS、シングル チャネル モードで最大 10.4GSPS をサンプリングできます。チャネル数（デュアル チャネル モード）とナイキスト帯域幅（シングル チャネル モード）のトレードオフをプログラム可能なため、多くのチャネル数を必要とするアプリケーション、または広い瞬間的な信号帯域幅を必要とするアプリケーションのどちらの要求にも対応できる、柔軟なハードウェアを開発できます。フルパワー入力帯域幅 (–3dB) は 8GHz で、使用可能な周波数はデュアル チャネルとシングル チャネル モードの両方で –3dB のポイントを超えて拡大されるため、L バンド、S バンド、C バンド、X バンドを直接 RF サンプリングでき、周波数の機動性が高いシステムを実現できます。

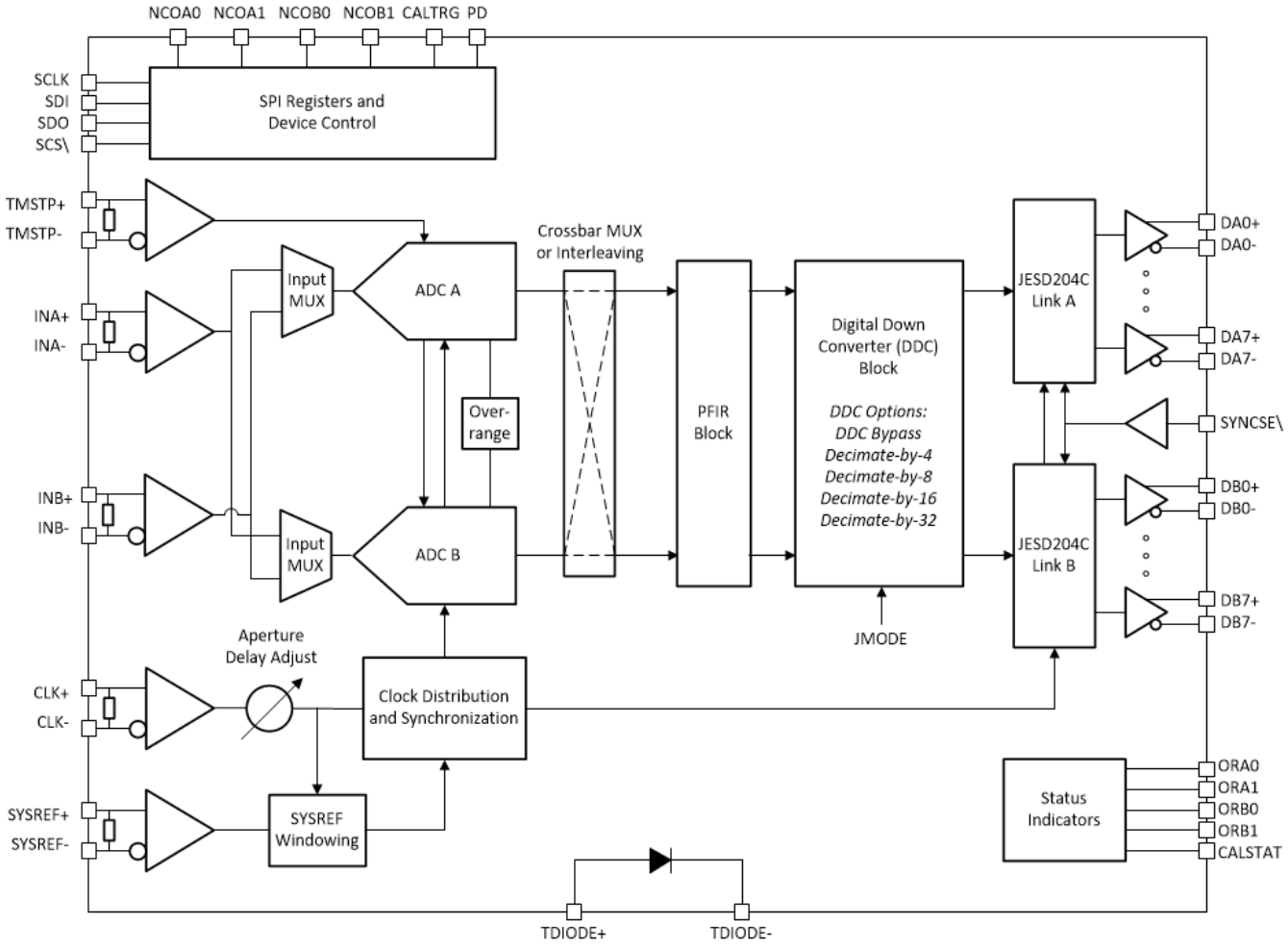
デバイスは、高速の JESD204C 出力インターフェイスを使用し、最大 16 の直列化されたレーンを持ち、決定論的レイテンシとマルチデバイス同期についてサブクラス-1 に準拠しています。シリアル出力レーンは最高 17.16Gbps をサポートし、ビット レートとレーン数のトレードオフを設定可能です。8B/10B と 64B/66B の両方のデータ エンコードをサポートしています。64B/66B エンコードでは、前方エラー訂正 (FEC) によるビットエラー率の改善をサポートしています。8B/10B エンコード モードを使用する場合、JESD204C インターフェイスは JESD204B レシーバと下位互換です。

ノイズなしのアパーチャ遅延 (t_{AD}) 調整や、SYSREF ウィンドウ処理などの多数の同期機能により、マルチ チャネル アプリケーションのシステム設計を簡素化できます。アパーチャ遅延調整を使用して、SYSREF キャプチャの簡素化、複数の ADC 間でのサンプリング インスタンスの調整、フロント エンドのトラック / ホールド (T&H) アンプ出力の適切な位置のサンプリングが可能です。SYSREF のウィンドウ処理を使うと、デバイス クロックを基準とした SYSREF の無効タイミング領域を簡単に測定し、最適なサンプリング位置を選択できます。デュアル エッジ サンプリング (DES) はシングル チャネル モードで実装されており、ADC に適用される最大クロック レートを低減して幅広いクロック ソースをサポートし、SYSREF キャプチャのセットアップ / ホールド タイミングを緩和することができます。

デバイスには、ゲイン、オフセット、静的直線性誤差に対するフォアグラウンドおよびバックグラウンド キャリブレーション オプションがあります。フォアグラウンド キャリブレーションは、システムの起動時、または ADC がオフラインでロジック デバイスにデータを送信しない指定された時間に実行されます。バックグラウンド キャリブレーションにより、コアがバックグラウンドで較正されている間も ADC を連続的に動作させることができるため、システムのダウンタイムが発生しません。また、較正ルーチンはサブ ADC コア間のゲインとオフセットをマッチングするためにも使用され、時間のインターリーブによるスプリアス アーチファクトを最小限に抑えます。

Copyright © 2025 Texas Instruments Incorporated

6.2 機能ブロック図



Copyright © 2025 Texas Instruments Incorporated

6.3 機能説明

6.3.1 デバイスの比較

表 6-1 に示すデバイスは、ピン対ピン互換の高速広帯域幅 ADC ファミリの一部です。このファミリは、さまざまな分解能、サンプリング レート、信号帯域幅に対してスケーラブルなデバイス ファミリを提供します。

表 6-1. デバイス ファミリの比較

部品番号	最大 サンプリング レート	分解能	デュアル チャネル デシメーション	シングルチャネル デシメーション	インターフェイス (最大ラインレート)
ADC12DJ5200RF ADC12DJ5200-EP ADC12DJ5200-SP	シングル 10.4GSPS デュアル 5.2GSPS	12 ビット	複素:4x、8x、16x、32x	複素:4x、8x、16x、32x	JESD204B / JESD204C (17.16Gbps)
ADC08DJ5200RF	シングル 10.4GSPS デュアル 5.2GSPS	8 ビット	なし	なし	JESD204B / JESD204C (17.16Gbps)
ADC12DJ4000RF	シングル 8GSPS デュアル 4GSPS	12 ビット	複素:4x、8x	複素:4x、8x	JESD204B / JESD204C (17.16Gbps)
ADC12DJ3200	シングル 6.4GSPS デュアル 3.2GSPS	12 ビット	実数:2x 複素:4x、8x、16x	なし	JESD204B (12.8Gbps)
ADC08DJ3200	シングル 6.4GSPS デュアル 3.2GSPS	8 ビット	なし	なし	JESD204B (12.8Gbps)
ADC12DJ2700	シングル 5.4GSPS デュアル 2.7GSPS	12 ビット	実数:2x 複素:4x、8x、16x	なし	JESD204B (12.8Gbps)

6.3.2 アナログ入力

デバイスのアナログ入力には、高い入力帯域幅を可能にし、入力回路からサンプリング コンデンサ グリッチ ノイズを絶縁するための内部バッファが搭載されています。シングルエンド信号で動作すると性能が低下するため、アナログ入力は差動で駆動する必要があります。アナログ入力の AC 結合と DC 結合の両方がサポートされています。アナログ入力は、0V の入力同相電圧 (V_{CMI}) に対して設計されており、この電圧はシングルエンドの 50Ω 抵抗を介して各入力ピンのグランド (GND) に対して内部で終端されています。DC 結合入力信号の同相電圧は 、*推奨動作条件* 表で V_{CMI} として規定されているデバイス入力同相要件を満たす必要があります。0V の入力同相電圧により、分割電源の完全差動アンプや各種トランスやバランへの接続が簡単になります。デバイスには、過電圧入力状態で ADC 入力を保護するため、内部アナログ入力保護機能が搭載されています。「*アナログ入力保護*」セクションを参照してください。図 6-1 に、アナログ入力モデルの簡略化を示します。

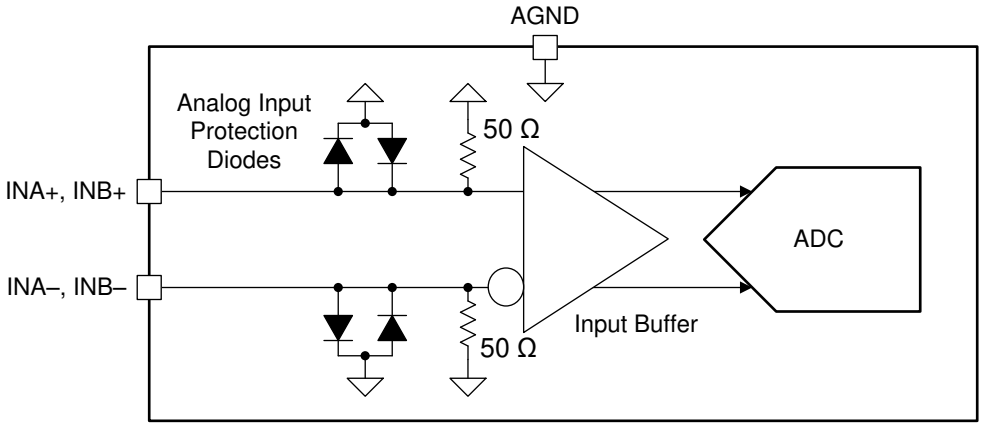


図 6-1. ADC12DJ5200-SP アナログ入力内部終端および保護図

Copyright © 2025 Texas Instruments Incorporated

シングル チャネル モードとデュアル チャネル モードを使用する場合、アナログ入力帯域幅の劣化は最小限です。アナログ入力 (INA+ と INA-、または INB+ と INB-) のどちらかをシングル チャネル モードで使用できます。目的の入力は、入力マルチプレクサ制御レジスタ の SINGLE_INPUT を使って選択できます。変更を有効にするには、入力マルチプレクサのスイッチング後にキャリブレーションを行う必要があります。さらに、2 つの入力をシングル チャネル モードで使用して、SINGLE_INPUT レジスタ設定を使用してインターリーブ ADC を個別に駆動できます。このモードを、デュアル入力シングル チャネル モードと呼びます。デュアル入力シングル チャネル モードはデュアル チャネル モードと等価ですが、ADC B は ADC A と位相差をサンプリングします (シングル チャネル モードのサンプル タイミング)。このモードは、シングル チャネル モード JMODE 設定が選択されているときに使用できます。

6.3.2.1 アナログ入力保護

アナログ入力は、オーバードライブ状態に対して保護され、範囲外の状態において入力電流をソースまたはシンクできる内部クランプ ダイオードによって行われます。*絶対最大定格*表の電圧および電流制限を参照してください。範囲外保護は、周波数に依存しない*絶対最大定格*表のピーク RF 入力電力に対しても定義されます。*推奨動作条件* 表に記載されている最大条件を超えると、FIT (故障率)が上昇するため、システムでオーバードライブ状態をできるだけ早く修正する必要があります。図 6-1 に、アナログ入力保護ダイオードを示します。

6.3.2.2 フルスケール電圧 (V_{FS}) の調整

入力フルスケール電圧 (V_{FS}) の調整は、各アナログ入力について、FS_RANGE_A レジスタ設定 (「INA フルスケール レンジ調整レジスタ」を参照) と FS_RANGE_B レジスタ設定 (「INB フルスケール レンジ調整レジスタ」を参照) により、それぞれ INA± と INB± について詳細にインクリメントして利用できます。利用可能な調整範囲は、「*電気的特性*」に*規定されています。「DC 仕様*」の表を参照してください。フルスケール電圧が大きいほど、信号対雑音比とノイズフロア (dBFS/Hz) 性能が向上しますが、高調波歪みが劣化する可能性があります。フルスケール電圧調整は、マルチコンバータ システムを開発する場合、または複数の ADC12DJ5200-SP を外部インターリーブしてより高いサンプリング レートを実現する場合に、複数の ADC のフルスケール レンジを一致させるのに役立ちます。

6.3.2.3 アナログ入力オフセットの調整

フォアグラウンド キャリブレーション モードでは、各入力と各 ADC コアの入力オフセット電圧は、SPI レジスタにより調整できます。OADJ_A_FG0_VINx および OADJ_A_FG90_VINx レジスタ (レジスタ 0x344 ～ 0x34A) は、アナログ入力 x (x は INA± の場合、または INB± の場合は B) をサンプリングするときの ADC コア A のオフセット電圧を調整するために使用されます。ここで、FG0 レジスタはデュアル チャネル モードに使用され、FG90 はシングル チャネル モードに使用されます。OADJ_B _FG0_VINx は、入力 x をサンプリングするときに ADC コア B のオフセット電圧を調整するために使用されます OADJ_B _FG0_VINx は、シングル チャネル モードとデュアル チャネル モードの両方に適用されます。デュアル チャネル モードでオフセット電圧を調整するには、目的の入力をサンプリングする ADC コアのオフセットを調整するだけです。シングル チャネル モードでは、ADC コア A のオフセットと ADC コア B のオフセットの両方を一緒に調整する必要があります。シングル チャネル モードでの 2 つのコアのオフセットの差から、入力に依存しない $f_S/2$ のスプリアスが発生します。これらのレジスタを使用して、シングル チャネル モードで $f_S/2$ スプリアスを補償することができます。詳細については、*キャリブレーション・モードとトリミング* セクションを参照してください。

6.3.3 ADC コア

ADC12DJ5200-SP は、合計 6 つの ADC コアで構成されています。これらのコアは高いサンプリング レートを実現するためにインターリーブされており、動作モードの要件に応じてキャリブレーションのためにオンザフライで切り替えられます。このセクションでは、ADC コアの理論と主な特長について説明します。

6.3.3.1 ADC の動作原理

アナログ入力の差動電圧は、デュアル チャネル モードでは CLK± の立ち上がりエッジ、またはシングル チャネル モードでは CLK± の立ち上がりおよび立ち下がりエッジによってキャプチャされます。入力信号をキャプチャしてから、ADC は電圧を内部リファレンス電圧と比較することで、アナログ電圧をデジタル値に変換します。INA– または INB– の電圧が、それぞれ INA+ または INB+ の電圧よりも高い場合、デジタル出力は負の 2 の補数値になります。INA+ または INB+ の電圧が、それぞれ INA– または INB– の電圧よりも高い場合、デジタル出力は正の 2 の補数値になります。式 1 では、デジタル出力から入力ピンの差動電圧を計算できます。

Copyright © 2025 Texas Instruments Incorporated

$$V_{IN} = \frac{Code}{2^N} V_{FS} \quad (1)$$

ここで、

- コードは符号付き 10 進の出力コードです（例：–2048 ~ +2047）。
- N は ADC の分解能です
- また、V_{FS} は、「*推奨動作条件*」の表に規定されている ADC のフルスケール入力電圧で、FS_RANGE_A または FS_RANGE_B をプログラムして実行される調整も含まれます

6.3.3.2 ADC コアのキャリブレーション

ADC コアのアナログ性能を最適化するには、ADC コアのキャリブレーションが必要です。最適な性能を維持するには、動作条件、すなわち温度が大幅に変化したときにキャリブレーションを繰り返す必要があります。このデバイスには較正ルーチンが組み込まれており、フォアグラウンド動作またはバックグラウンド動作として実行できます。フォアグランド操作では、ADC が入力信号のサンプリングを停止するダウンタイムが必要となり、処理が完了します。バックグラウンド較正を使用して、この制限を克服し、ADC を一定に動作させることができます。各モードの詳細については、*キャリブレーション・モードとトリミング* セクションを参照してください。

6.3.3.3 アナログ基準電圧

ADC12DJ5200-SP のリファレンス電圧は、内部のバンドギャップ基準電圧から導かれます。ユーザーの利便性を高めるために、BG ピンではリファレンス電圧のバッファ付きバージョンを利用できます。この出力は±100µA の出力電流能力を持っています。さらに多くの電流が必要な場合は、BG 出力をバッファする必要があります。外部リファレンス電圧を使用する方法はありませんが、フルスケール入力電圧はフルスケール・レンジ・レジスタの設定により調整できます。

6.3.3.4 ADC のオーバーレンジ検出

システムのゲイン管理が可能な限り迅速に応答できるように、低レイテンシで構成可能なオーバーレンジ機能が搭載されています。オーバーレンジ機能は、ADC で変換されたサンプルを監視して、ADC が飽和状態に近いか、すでにオーバーレンジ状態にあるかを迅速に検出することで機能します。ADC データの絶対値は、2 つのプログラマブル スレッショルド OVR_T0 および OVR_T1 と比較してチェックされます。これらのスレッショルドは、デュアル チャネル モードのチャネル A とチャネル B の両方に適用されます。ADC サンプルを絶対値に変換してスレッショルドを比較する方法を、表 6-2 に示します。

表 6-2. オーバーレンジ比較用の ADC サンプルの変換

ADC サンプル （オフセットバイナリ）	ADC サンプル （2 の補数）	絶対値
1111 1111 (255)	0111 1111(+127)	111 1111 (127)
1000 0000 (128)	0000 0000 (0)	0000 0000 (0)
0001 0000 (16)	1000 0001 0000 (–112)	111 0000 (112)
0000 0000 (0)	1000 0000 0000 (–128)	111 1111 (127)

監視期間中に絶対値が OVR_T0 または OVR_T1 のスレッショルド以上になると、スレッショルドに対応するオーバーレンジ ビットは 1 に設定され、それ以外の場合、オーバーレンジ ビットは 0 になります。デュアル チャネル モードでは、オーバーレンジ ステータスはチャネル A の ORA0 および ORA1 ピン、チャネル B の ORB0 および ORB1 ピンで監視できます。ここで、ORx0 は OVR_T0 スレッショルド、ORx1 は OVR_T1 スレッショルドに対応します。シングル チャネル モードでは、OVR_T0 スレッショルドのオーバーレンジ ステータスは ORA0 と ORB0 の両方の出力を監視することによって決定され、OVR_T1 スレッショルドは ORA1 と ORB1 の両方の出力を監視することによって決定されます。シングル チャネル モードでは、オーバーレンジ状態が発生したかどうかを判定するために、各スレッショルドの 2 つの出力を互いに OR 接続する必要があります。OVR_N は、最後のオーバーレンジ イベントからの出力パルス幅を設定するために使用できます。表 6-3 に、各種 OVR_N 設定の範囲外パルス長を示します。

Copyright © 2025 Texas Instruments Incorporated

表 6-3. ORA0、ORA1、ORB0、ORB1 出力のオーバーレンジ監視期間

OVR_N	最後のオーバーレンジ イベントからのオーバーレンジ パルス長 (DEVCLK サイクル)
0	8
1	16
2	32
3	64
4	128
5	256
6	512
7	1024

通常、OVR_T0 スレッショルドはフルスケール値 (たとえば 228) の近くに設定されます。スレッショルドがトリガされると、一般的なシステムはシステム ゲインを停止して、クリッピングを防止できます。OVR_T1 スレッショルドは、これよりかなり低く設定できます。たとえば、OVR_T1 スレッショルドは 64 (ピーク入力電圧 −12dBFS) に設定できます。入力信号が強い場合、OVR_T1 スレッショルドが時々トリップされます。入力がかなり弱い場合、スレッショルドはトリップされません。ダウンストリーム ロジック デバイスは OVR_T1 ビットを監視します。OVR_T1 が長時間 Low のまま維持された場合は、スレッショルドが時々トリップされる (信号のピーク レベルが −12dBFS を上回る) まで、システムのゲインを上げることができます。

6.3.3.5 コード エラー レート (CER)

ADC コアは、サンプル内でビット誤差を生成できます。これは多くの場合 *コード エラー (CER)* または *スパークル コード* と呼ばれ、理想的でないコンパレータ制限によって引き起こされるメタ安定性が原因です。このデバイスは独自の AD C アーキテクチャを採用しており、従来のパイプライン方式のフラッシュや逐次比較型 (SAR) ADC からコード誤差率を大幅に向上できます。デバイスのコード誤差レートは、同等サンプリング・レートでは他のアーキテクチャで実現できるものと比べて数桁優れているため、信号の信頼性を大幅に向上できます。

6.3.4 温度監視ダイオード

TDIODE+ピンと TDIODE–ピンでは、温度監視ダイオードを内蔵しています。このダイオードは、より高い周囲温度環境でのデバイスの温度監視と特性評価を容易にします。オンチップ ダイオードはあまり特性評価されませんが、既知の周囲温度または基板温度でベースライン測定 (オフセット) を実行し、「*電気的特性*」に示されるダイオード電圧スロープで線形式を作成することで、ダイオードを効果的に使用できます。「*DC 仕様*」の表を参照してください。デバイスの電源がオフのとき、または PD ピンがアサートされた状態でオフセット測定を実行し、デバイスの自己発熱を最小限に抑えます。推奨モニタリング・デバイスには、テキサス・インスツルメンツの LM95233 デバイスと類似のリモート・ダイオード温度監視製品があります。

6.3.5 タイムスタンプ

TMSTP+および TMSTP–差動入力をタイム・スタンプ入力として使用し、サンプリングされた信号に対する外部トリガ・イベントのタイミングに基づいて、特定のサンプルをマークできます。タイムスタンプ機能を使用してタイムスタンプ データを出力するには、TIMESTAMP_EN (LSB 制御ビット出力レジスタ を参照) を設定する必要があります。有効な場合、8 ビット出力サンプルの LSB が使用され、タイムスタンプ ステータスが出力されます。このトリガは、差動 TMSTP+ および TMSTP– 入力に適用される必要があります。このトリガは、ADC サンプリング クロックに非同期に設定でき、アナログ入力とほぼ同時にサンプリングされます。

6.3.6 クロック供給

デバイスのクロック供給サブシステムには、デバイス クロック (CLK+、CLK–) と SYSREF (SYSREF+、SYSREF–) の 2 つの入力信号があります。クロック供給サブシステム内には、ノイズのないアパーチャ遅延調整 (t_{AD} 調整)、クロック デューティ サイクル コレクタ、および SYSREF キャプチャ ブロックがあります。図 6-2 に、クロッキング サブシステムを示します。

Copyright © 2025 Texas Instruments Incorporated

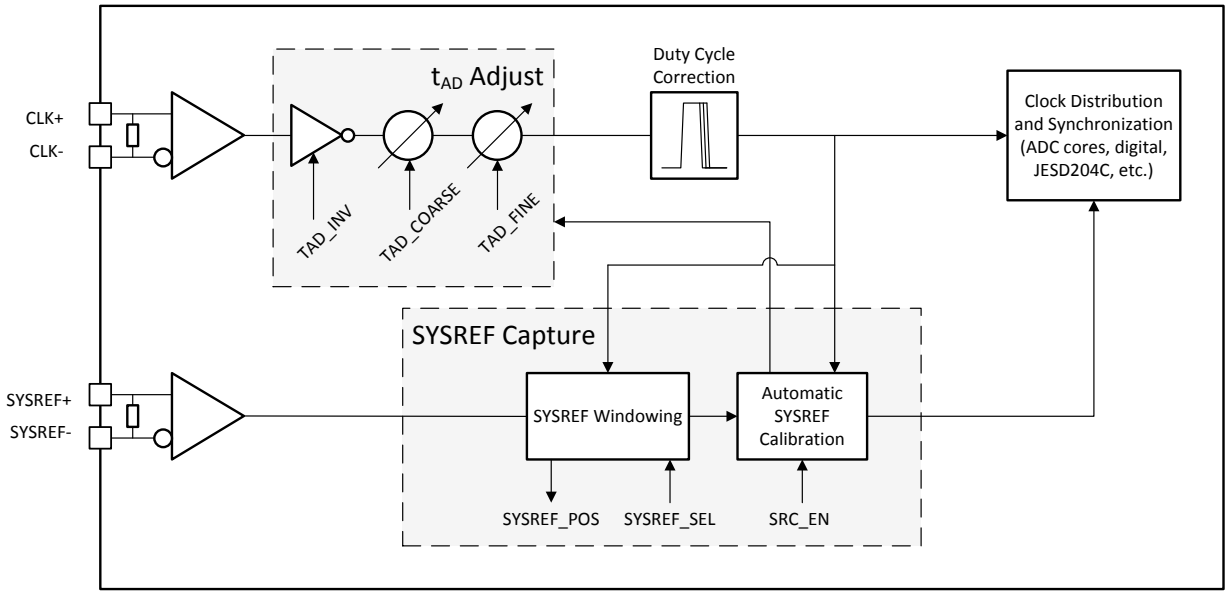


図 6-2. クロッキング サブシステム

このデバイス クロックは、ADC コアのサンプリング クロックとして使用されるほか、デジタル処理とシリアライザ出力のクロック供給にも使用されます。低ノイズ (低ジッタ) のデバイス クロックを使用して、ADC 内で高い信号対雑音比 (SNR) を維持します。デュアル チャネル モードにおいて、各入力のアナログ入力信号はデバイス クロックの立ち上がりエッジでサンプリングされます。シングル チャネル モードでは、デバイス クロックの立ち上がりエッジと立ち下がりエッジの両方を使用してアナログ信号をキャプチャし、ADC に必要な最大クロック レートを低減します。ノイズなしのアパーチャ遅延調整 (t_{AD} 調整) を使用すると、ユーザーは ADC のサンプリング インスタンスを細かいステップでシフトし、複数の ADC12DJ5200-SP を同期したり、システムのレイテンシを微調整したりできます。デバイスにはデューティ サイクル補正が実装されており、外部デバイス クロックの要件を緩和すると同時に、高性能を維持できます。表 6-4 に、デュアル チャネル モードおよびシングル チャネル モードでのデバイスのクロック インターフェイスを示します。

表 6-4. デバイス クロックと動作モードとの関係

動作モード	サンプリング レートと f_{CLK} との関係	即時のサンプリング
デュアル チャネル モード	1 x f_{CLK}	立ち上がりエッジ
シングル チャネル モード	2 x f_{CLK}	立ち上がりエッジと立ち下がりエッジ

SYSREF は、JESD204C Subclass-1 の実装に使用される決定論的レイテンシのシステム・タイミング・リファレンスです。SYSREF は決定論的レイテンシを実現し、マルチデバイスの同期を行うために使用されます。再現可能なレイテンシと同期を実現するには、正しいデバイス・クロック・エッジによって SYSREF をキャプチャする必要があります。ADC12DJ5200-SP は SYSREF ウィンドウ処理機能と SYSREF 自動較正を備えているため、外部クロック回路の要件が容易になり、同期プロセスを簡素化できます。SYSREF は、シングルパルスまたは周期クロックとして実装できます。周期的な実装では、SYSREF は 8B/10B エンコーディング モードのローカル マルチフレーム クロック周波数または 64B/66B エンコーディング モードのローカル拡張マルチブロック クロック周波数と等しいか整数除算する必要があります。式 2 は 8B/10B エンコード モードで有効な SYSREF 周波数を計算するために使用され、式 3 は 64B/66B エンコード モードで使用されます。

$$f_{SYSREF} = \frac{R \times f_{CLK}}{10 \times F \times K \times n} \quad (2)$$

$$f_{SYSREF} = \frac{R \times f_{CLK}}{66 \times 32 \times E \times n} \quad (3)$$

Copyright © 2025 Texas Instruments Incorporated

ここで、

- R と F は、JMODE 設定によって設定されます (動作モード を参照)
- f_{CLK} はデバイス・クロック周波数(CLK±)です
- K は、プログラムされたマルチフレーム長です (有効な K 設定については、動作モード を参照)
- e は、拡張マルチブロック内のマルチブロックの数です。
- n は、任意の正の整数です

6.3.6.1 ノイズなしのアパーチャ遅延調整 (t_{AD} 調整)

デバイスには、t_{AD} 調整と呼ばれるデバイス クロック (サンプリング クロック) 入力パスの遅延調整が含まれており、複数のデバイス間でサンプリング インスタンスを揃えるため、または複数のデバイスの外部インターリーブを行うために、デバイス内のサンプリング インスタンスをシフトするために使用できます。さらに、t_{AD} 調整を使用して SYSREF 自動較正を行うと、同期が簡素化されます。「*SYSREF 自動較正*」セクションを参照してください。アパーチャ遅延調整は、クロック パスにノイズが追加されることはないように実装されていますが、TAD_COARSE の値が大きい場合、内部クロック パスの減衰に起因して、アパーチャ ジッタ (t_{AJ}) がわずかに劣化する可能性があります。アパーチャ ジッタの劣化により、高い入力周波数で信号対雑音比が多少低下する可能性があります (「*スイッチング特性*」表の t_{AJ} を参照)。この機能は、DEVCLK タイミング調整ランプ制御レジスタ の TAD_INV、TAD_COARSE、TAD_FINE を使ってプログラムされます。TAD_INV を設定すると入力クロックが反転し、クロック周期の半分に等しい遅延が発生します。表 6-5 に、TAD_COARSE および TAD_FINE 可変アナログ遅延のステップ サイズと範囲を示します。3 つの遅延オプションはすべて独立しており、組み合わせて使用できます。デバイス内のすべてのクロックは、プログラムされた t_{AD} 調整量によってシフトされるため、JESD204C シリアル出力のタイミングがシフトし、SYSREF のキャプチャに影響を及ぼします。

表 6-5. t_{AD} 調整の調整範囲

調整パラメータ	調整ステップ	遅延設定	最大遅延
TAD_INV	1 / (f_{CLK} × 2)	1	1 / (f_{CLK} × 2)
TAD_COARSE	「*スイッチング特性*」表の $t_{TAD(STEP)}$ を参照してください	256	「*スイッチング特性*」表の $t_{TAD(MAX)}$ を参照してください
TAD_FINE	「*スイッチング特性*」表の $t_{TAD(STEP)}$ を参照してください	256	「*スイッチング特性*」表の $t_{TAD(MAX)}$ を参照してください

コンバータ間のタイミング調整を維持するには、安定した電源電圧とデバイス温度のマッチングを行う必要があります。

通常動作中にアパーチャ遅延の調整は即座に変更できますが、JESD204C データ リンクに短時間のアップセットが発生する場合があります。TAD_RAMP を使用して、JESD204C リンクが同期を失う可能性を低減します。「*アパーチャ遅延ランプ制御* 」セクションを参照してください。

6.3.6.2 アパーチャ遅延ランプ制御 (TAD_RAMP)

ADC12DJ5200-SP には、t_{AD} 調整設定を、新しく書き込まれた TAD_COARSE 値に向かって徐々に調整する機能が含まれています。この機能により、最小の内部クロック回路グリッチを使って t_{AD} 調整設定を調整できます。TAD_RAMP_RATE パラメータを使用すると、低速 (256 t_{CLK} サイクルごとに 1 つの TAD_COARSE LSB) または高速なランプ (384 t_{CLK} サイクルごとに 4 つの TAD_COARSE LSB) のどちらかを選択できます。TAD_RAMP_EN パラメータは、ランプ機能を有効にし、それ以降の TAD_COARSE への任意の書き込みによって、新しいクランプが開始されます。

6.3.6.3 SYSREF キャプチャによるマルチ デバイス同期および決定論的レイテンシ

クロック処理サブシステムは、マルチデバイスの同期と確定的レイテンシを実現するために大きな役割を果たしています。ADC12DJ5200-SP は、JESD204C Subclass-1 方式を使用して、決定論的なレイテンシと同期を実現します。サブクラス 1 では、システムの各電源オン時およびシステムの各デバイスで、SYSREF 信号を決定論的デバイス クロック (CLK±) エッジでキャプチャする必要があります。この要件には、CLK±に対する SYSREF のセットアップとホールドの制約が必要であり、この制約はシステムのあらゆる動作条件にわたってギガサンプル・クロック・レートで満たすのが困難な場合があります。このデバイスは、この同期プロセスを簡素化し、システム・タイミングの制約を緩和するための、以下のような、多数の機能を備えています:

Copyright © 2025 Texas Instruments Incorporated

- デバイスは、シングル チャネル モードでデュアル エッジ サンプリング (DES) を使用し、CLK± 入力周波数を半分に低減し、SYSREF のタイミング ウィンドウを 2 倍にします (表 6-4 を参照)。
- SYSREF 位置検出器 (CLK± を基準とします) と、選択可能な SYSREF サンプリング位置により、あらゆる条件についてセットアップ時間とホールド時間を満たすことができます。「*SYSREF 位置検出器*」セクションを参照してください
- 使いやすい SYSREF 自動較正では、アパーチャ タイミング調整ブロック (t_{AD} 調整) を使用して、(ADC サンプリング インスタンスの位相に基づいて SYSREF を調整するのではなく) SYSREF の位相に基づいて ADC サンプリング インスタンスをシフトします。「*SYSREF 自動較正*」セクションを参照してください

6.3.6.3.1 SYSREF 位置検出器およびサンプリング位置選択 (SYSREF ウィンドウ処理)

SYSREF ウィンドウ化ブロックは、最初に CLK± の立ち上がりエッジに対する SYSREF の位置を検出してから、目的の SYSREF サンプリング インスタンス (CLK± の遅延版) を選択するために使用され、セットアップおよびホールドのタイミング マージンを最大化します。多くの場合、すべてのシステム (デバイス間のばらつき) と条件 (温度および電圧の変化) のタイミングを満たすには、単一の SYSREF サンプリング位置 (SYSREF_SEL) で十分です。ただし、この機能を使用して、動作条件の変化に応じた SYSREF の移動を追跡してタイミング ウィンドウを拡大することや、システムごとに公称条件で独自の最適値を見つけることで製造テスト時のシステム間の変動を排除することもできます。

このセクションでは、SYSREF ウィンドウ処理ブロックの適切な使用方法について説明します。最初に、デバイス クロックと SYSREF をデバイスに印加します。デバイス クロック サイクルに対する SYSREF の位置が決定され、SYSREF キャプチャ位置レジスタ の SYSREF_POS ビットに保存されます。ADC12DJ5200-SP は、SYSREF_POS 出力が有効になる前に、SYSREF の少なくとも 3 つの立ち上がりエッジを参照する必要があります。SYSREF_POS の各ビットは、SYSREF サンプリング位置の可能性を表します。SYSREF_POS のビットが 1 に設定されている場合、対応する SYSREF サンプリング位置にはセットアップまたはホールド違反の可能性があります。有効な SYSREF サンプリング位置 (0 に設定される SYSREF_POS の位置) を決定するときは、その SYSREF_POS の位置に対応する値に クロック制御レジスタ 0 の SYSREF_SEL を設定することで、目的のサンプリング位置を選択できます。一般に、2 つのセットアップ インスタンスとホールドインスタンスの中間サンプリング位置が選択されます。理想的には、SYSREF_POS および SYSREF_SEL は、システムの公称動作条件 (温度および電源電圧) で実行され、動作条件変動に対して最大のマージンを確保します。このプロセスは最終テストで実行でき、最適な SYSREF_SEL 設定を保存して、システム電源投入時に使用できます。さらに、SYSREF_POS を使用して、システムの温度と電源電圧をスイープすることで、システムの動作条件全体にわたって CLK± と SYSREF± との間のスキューの特性を決定できます。CLK± から SYSREF± の間のスキューに大きな変動があるシステムでは、この特性評価を使用することで、システムの動作条件が変化したときの最適な SYSREF サンプリング位置を追跡できます。一般的に、CLK±と SYSREF±が単一のクロックデバイスから供給される場合など、システムが適切にマッチしている場合、すべての条件を満たすタイミング値を 1 つ見つけることができます。

注

SYSREF 自動較正を使用する場合は、SYSREF_SEL を 0 に設定する必要があります。「*SYSREF 自動較正*」セクションを参照してください。

各 SYSREF_POS のサンプリング位置の間のステップ サイズは、SYSREF_ZOOM を使用して調整できます。SYSREF_ZOOM が 0 に設定されている場合、遅延ステップは粗くなります。SYSREF_ZOOM が 1 に設定されている場合は、遅延ステップは細かくなります。SYSREF_ZOOM が有効な場合と無効な場合の遅延ステップ サイズについては、「*スイッチング要件*」の表を参照してください。一般に、f_{CLK} = 3GHz 以上は SYSREF_ZOOM = 1、f_{CLK} = 3GHz 未満は SYSREF_ZOOM = 0 を使用することが推奨されます。SYSREF_POS のビット 0 および 23 は、これらの設定がタイミング違反に近いかどうかを判定する十分な情報がないため、常に 1 に設定されます。ただし、実際の有効なウィンドウはこれらのサンプリング位置を超えて拡張できます。SYSREF_SEL にプログラムされる値は、SYSREF_POS の目的のビット位置を表す 10 進数です。表 6-6 に、SYSREF_POS の読み取り値の例と、最適な SYSREF_SEL 設定を示します。SYSREF_POS ステータス レジスタでは 24 のサンプリング位置が指定されますが、SYSREF_SEL では最初の 16 のサンプリング位置のみが選択可能であり、SYSREF_POS のビット 0 から 15 に対応しています。追加の SYSREF_POS ステータス ビットは、SYSREF 有効ウィンドウについての追加情報を提供することのみを目的としています。一般に、電源電圧による遅延変動のため、SYSREF_SEL の値をより小さい値に選択しますが、4 番目の例では値 15 を使用するとマージンが追加され、代わりに選択できます。

表 6-6. SYSREF_POS 読み取り値と SYSREF_SEL の選択例

SYSREF_POS[23:0]			OPTIMAL SYSREF_SEL SETTING
0x02E[7:0]（最大遅延）	0x02D[7:0](1)	0x02C[7:0](1)（最小遅延）	
b10000000	b0110000 0	b00011001	8 または 9
b10011000	b00000000	b00110001	12
b10000000	b01100000	b0 0000001	6 または 7
b10000000	b00000011	b00000001	4 または 15
b10001100	b01100011	b00011001	6

(1) 赤色の着色は、この表の最後の列に示されているように、選択されたビットを示しています。

6.3.6.3.2 SYSREF 自動較正

ADC12DJ5200-SP には SYSREF 自動較正機能があり、ギガ サンプルのデータ コンバータの SYSREF をキャプチャする場合に関連する、多くの場合で困難なセットアップ時間やホールド時間を軽減できます。SYSREF 自動較正は、t_{AD} 調整機能を使用してデバイス クロックをシフトし、SYSREF のセットアップおよびホールド時間を最大化するか、SYSREF の立ち上がりエッジに基づいてサンプリング インスタンスを整列させます。

デバイスは、適切なデバイス クロックが印加され、通常動作用にプログラムされてから、SYSREF 自動較正を開始する必要があります。SYSREF 自動較正開始の準備完了時に、連続的な SYSREF 信号を印加する必要があります。SYSREF 自動較正を使用する場合、SYSREF は連続 (周期的) 信号である必要があります。SRC_CFG レジスタを使用して SYSREF 自動較正を構成した後、SYSREF 較正イネーブル レジスタ の SRC_EN を High に設定して、較正プロセスを開始します。SRC_EN を High に設定すると、デバイス クロックの立ち下がりエッジが SYSREF 立ち上がりエッジに内部的に整列するまで、デバイスは最適な t_{AD} 調整設定を検索します。SYSREF 較正ステータス レジスタ の TAD_DONE を監視することで、SYSREF 較正が完了したことを確認できます。デバイス クロックの立ち下がりエッジを SYSREF の立ち上がりエッジに合わせることで、SYSREF 自動較正により、デバイス クロックに対する内部 SYSREF セットアップ時間とホールド時間が最大化され、SYSREF の立ち上がりエッジに基づいてサンプリング インスタントも設定されます。SYSREF 自動較正が完了したら、残りの起動手順を実行してシステムの起動を完了できます。

マルチデバイス同期の場合、SYSREF の立ち上がりエッジ タイミングをすべてのデバイスで一致させる必要があります。したがって、共通の SYSREF ソースから各 デバイスまでのパターン長を一致させる必要があります。各デバイスの SYSREF 立ち上がりエッジ間にスキューがあると、デバイス間のサンプリング インスタンスでさらなる誤差が発生しますが、システムの起動から各デバイスを経由する起動まで、繰り返し可能な決定論的レイテンシを達成する必要があります。JESD204C レシーバ内で適切な弾性バッファのリリース ポイントが選択されている場合、マルチデバイスの同期を実現するために、他の設計要件は必要ありません。

図 6-3 に、SYSREF 較正手順のタイミング図を示します。最適化されたセットアップ時間とホールド時間は、それぞれ $t_{SU(OPT)}$ と $t_{H(OPT)}$ として表示されます。この図では、内部信号の位相がデバイス内で揃っており、デバイス クロックまたは SYSREF の外部 (印加された) 位相とは揃っていないため、デバイス クロックおよび SYSREF を *内部* と呼びます。

Copyright © 2025 Texas Instruments Incorporated

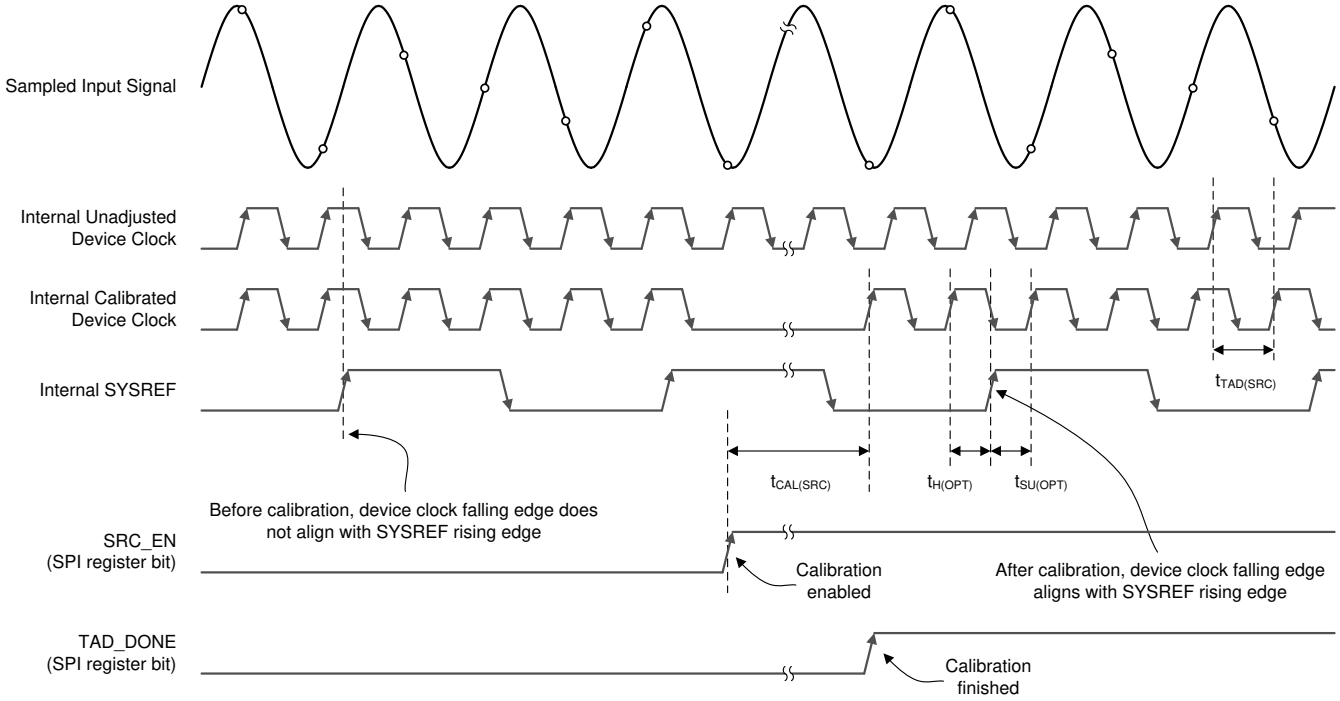


図 6-3. SYSREF 較正のタイミング図

完了すると、SYSREF 自動較正で検出される t_{AD} 調整設定を SYSREF 較正ステータス レジスタ の SRC_TAD から読み出すことができます。較正後、システムはパワーダウンまで、較正済み t_{AD} 調整設定を引き続き使用します。ただし、必要に応じて SYSREF 較正を無効化し、システムの要求に応じて t_{AD} 調整設定を微調整することもできます。また、SYSREF 自動較正は、各システムに最適な t_{AD} 調整設定の製品テスト (または定期的な再較正) 時にも実行できます。システム起動時に TAD レジスタ (TAD_INV、TAD_COARSE、TAD_FINE) にこの値を保存および書き込みできます。

ADC 較正 (フォアグランドまたはバックグラウンド) が実行されているときは、SYSREF 較正を実行しないでください。バックグラウンド キャリブレーションが目的の使用事例である場合、SYSREF 較正の使用時にバックグラウンド キャリブレーションを無効化し、TAD_DONE が High になった後でバックグラウンド キャリブレーションを再有効化してください。SYSREF 較正を使用する場合、クロック制御レジスタ 0 の SYSREF_SEL を 0 に設定する必要があります。

SYSREF 較正は、非反転型 (TAD_INV = 0) と反転クロック極性 (TAD_INV = 1) の両方を使用して TAD_COARSE 遅延を検索し、必要な TAD_COARSE 設定を最小化することで、クロック パスでの損失を最小限に抑えてアパーチャ ジッタ (t_{AJ}) を低減します。

6.3.7 プログラマブル FIR フィルタ (PFIR)

ADC の出力は、有限なプログラマブル インパルス応答 (PFIR) デジタル フィルタを通じて送信して、周波数応答をイコライゼーションできます。このフィルタはいくつかの動作モードで設定でき、デュアル チャネル モードでの各チャネルの独立したイコライゼーション、シングル チャネル モードでのイコライゼーション、またはデュアル チャネル モードでの時変フィルタ (I/Q 補正など) として設定できます。表 6-7 に、さまざまな PFIR の動作モードを示します。

表 6-7. PFIR の動作モード

PFIR モード	センター タップ分解能	センター タップ LSB 重み	非センター タップ分解能	非センター タップ LSB 重み	フィルタの係数
デュアル チャネル イコライゼーション	18 ビット	2^{-16}	12 ビット	2^{-10}、2^{-11}...2^{-16}	チャネルごとに 9
シングル チャネル イコライゼーション	18 ビット	2^{-16}	12 ビット	2^{-10}、2^{-11}...2^{-16}	9

Copyright © 2025 Texas Instruments Incorporated

表 6-7. PFIR の動作モード (続き)

PFIR モード	センター タップ分解能	センター タップ LSB 重み	非センター タップ分解能	非センター タップ LSB 重み	フィルタの係数
時間変動フィルタ	18 ビット	2^{-16}	12 ビット	2^{-10}、2^{-11}...2^{-16}	係数セットごとに 9、2 つの係数セット

表 6-8 に、各種 PFIR モードのプログラミング情報を示します。係数は、PFIR_Ax および PFIR_Bx レジスタにプログラムされます。

表 6-8. プログラマブル FIR フィルタ モードのプログラミング

PFIR モード	PFIR_MODE	PFIR_SHARE	PFIR_MERGE
PFIR ディセーブル	0	X	X
デュアル チャネル イコライゼーション	2	0	0
シングル チャネル イコライゼーション	2	1	1
時間変動フィルタ	2	0	1

6.3.7.1 デュアル チャネル イコライゼーション

ADC が (JMODE 設定に基づく)「*デュアル チャネル モード*」で動作しているときは、PFIR フィルタを「*デュアル チャネル イコライゼーション*」モードに設定できます。このモードでは、2 つの ADC チャネルの独立した周波数イコライゼーションが可能です。各チャネルのフィルタは 9 つの係数で構成されており、それぞれ個別に設定可能です。各フィルタのセンター タップの分解能は 18 ビット、LSB の重みは 2^{-16} です。非センター タップの分解能は 12 ビットで、LSB の重みは 2^{-10}、2^{-11}、2^{-12}、2^{-13}、2^{-14}、2^{-15}、2^{-16} のいずれかとなります。すべての非センター タップの LSB の重みは同じです。図 6-4 に、*デュアル チャンネル イコライゼーション* のブロック図を示します。

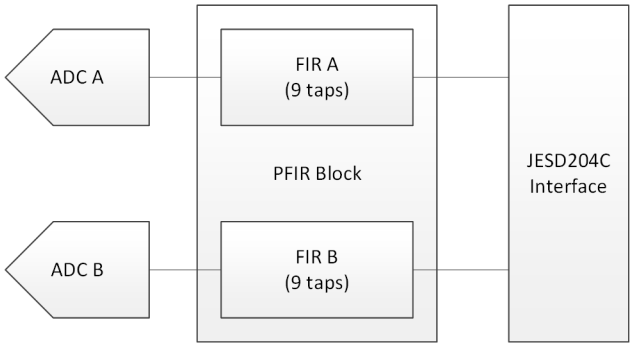


図 6-4. デュアル チャネル イコライゼーション PFIR のブロック図

6.3.7.2 シングル チャネル イコライゼーション

ADC が (JMODE 設定に基づく)「*シングル チャネル モード*」で動作しているときは、PFIR フィルタを「*シングル チャネル イコライゼーション モード*」に設定できます。このモードでは、ADC の周波数イコライゼーションが可能です。このフィルタは 9 つの係数で構成され、それぞれ個別に設定可能です。フィルタのセンター タップの分解能は 18 ビット、LSB の重みは 2^{-16} です。非センター タップの分解能は 12 ビットで、LSB の重みは 2^{-10}、2^{-11}、2^{-12}、2^{-13}、2^{-14}、2^{-15}、2^{-16} のいずれかとなります。すべての非センター タップの LSB の重みは同じです。図 6-5 に、*シングル チャネル イコライゼーション* のブロック図を示します。

Copyright © 2025 Texas Instruments Incorporated

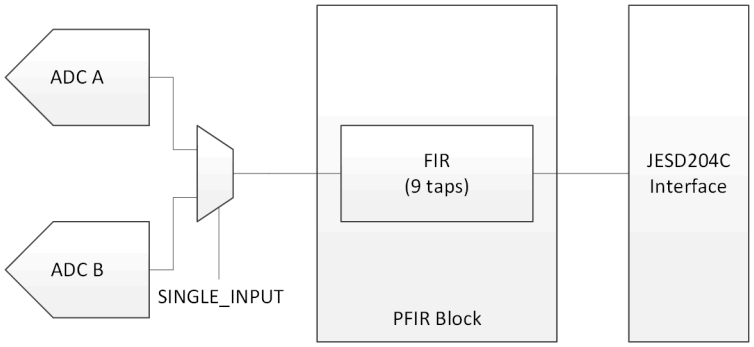


図 6-5. シングル チャネル イコライゼーション PFIR のブロック図

6.3.7.3 時間変動フィルタ

ADC が (JMODE 設定および SINGLE_INPUT 設定に基づく)「*デュアル入力シングル チャネル モード*」で動作しているときは、PFIR フィルタを「*時変*」フィルタ モードに設定できます。このモードは、サンプルごとに交互に行われる 2 つの係数セットを持つ時変フィルタを有効にします。各係数セットは、独立して設定できる 9 つの係数で構成されています。フィルタのセンター タップの分解能は 18 ビット、LSB の重みは 2^{-16} です。非センター タップの分解能は 12 ビットで、LSB の重みは 2^{-10}、2^{-11}、2^{-12}、2^{-13}、2^{-14}、2^{-15}、2^{-16} のいずれかとなります。すべての非センター タップの LSB の重みは同じです。図 6-6 に、「*時変フィルタ*」モードのブロック図を示します。図 6-7 に、I/Q 補正タイプのトポロジの等価フィルタが示されている代替ブロック図を示します。

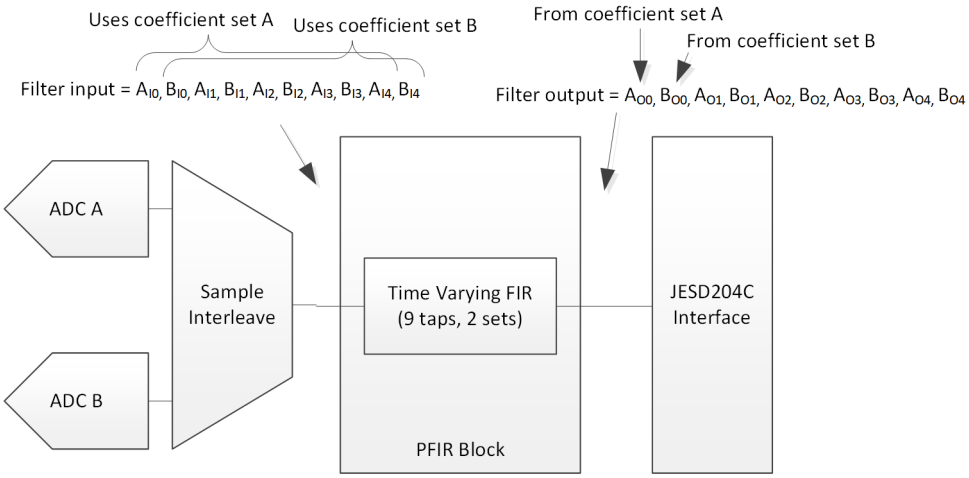


図 6-6. 時変フィルタ PFIR のブロック図

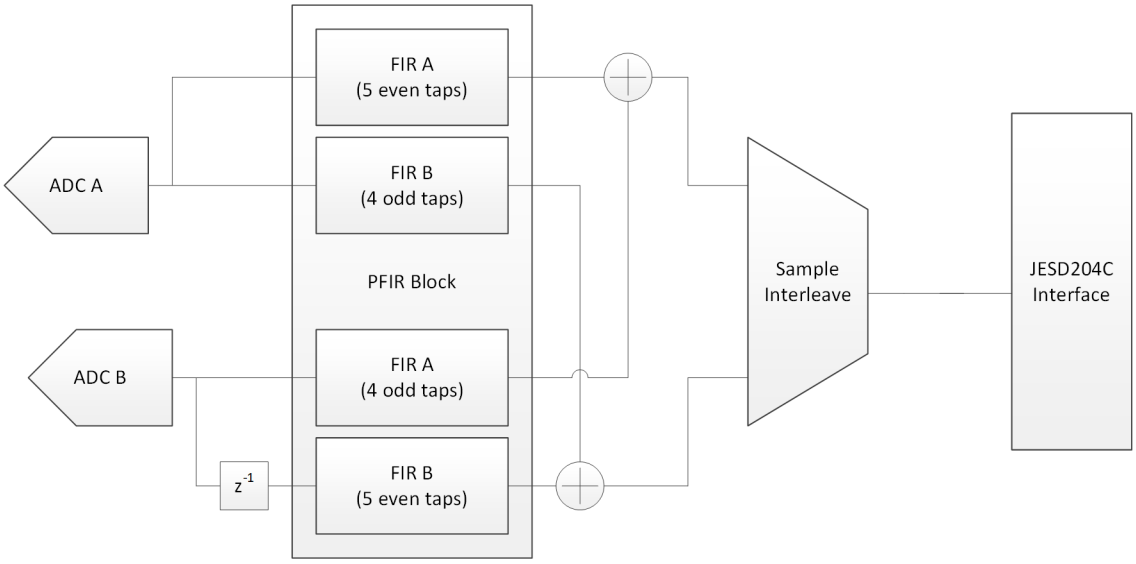


図 6-7. 代替 I/Q 補正タイプ フィルタのブロック図

6.3.8 デジタル ダウン コンバータ (DDC)

アナログ電圧をデジタル値に変換した後、デジタル化されたサンプルを JESD204C インターフェイス ブロック (DDC バイパス) に直接送信するか、周波数変換とデシメーションの目的でデジタル ダウン コンバータ (DDC) ブロックに送信します。DDC ブロックは、デュアル チャネル モードとシングル チャネル モードの両方で使用できます。周波数変換とデシメーションにより、特定の周波数帯域を選択でき、データ インターフェイス経由で送信されるデータの量を低減できます。DDC はまず、数値制御発振器 (NCO) を局部発振器 (LO) として使用して動作する複素ミキシングを実行することにより、目的の帯域を複素ベースバンド (0Hz) に混合します。次に DDC はベースバンド信号をフィルタ処理して、不要な周波数画像と、エイリアスとなる可能性のある信号を除去します。最後にデータをデシメーション (ダウン サンプル) して、データレートを下げます。フィルタリングとデシメーションの操作は、実際にはデバイスで 1 回の動作で実行されることに注意してください。DDC は、デジタル処理によって ADC のノイズ スペクトル密度 (NSD) 性能が低下しないように十分な精度で設計されています。図 6-8 にデュアル チャネル モードのデバイスの DDC ブロックを、図 6-9 にシングル チャネル モードのデバイスの DDC ブロックを示します。デュアル チャネル モードでは、DIG_BIND_x SPI レジスタを使用して、各 DDC の入力データを ADC チャネル A または ADC チャネル B から供給するように選択できます。チャネル B は、DIG_BIND_B で選択された入力データと同じ構造を持ち、NCO 選択マルチプレクサはピン NCOB[1:0] または CSELB[1:0] で制御されます。シングル チャネル モードでは、1 つの DDC のみを使用できます。

Copyright © 2025 Texas Instruments Incorporated

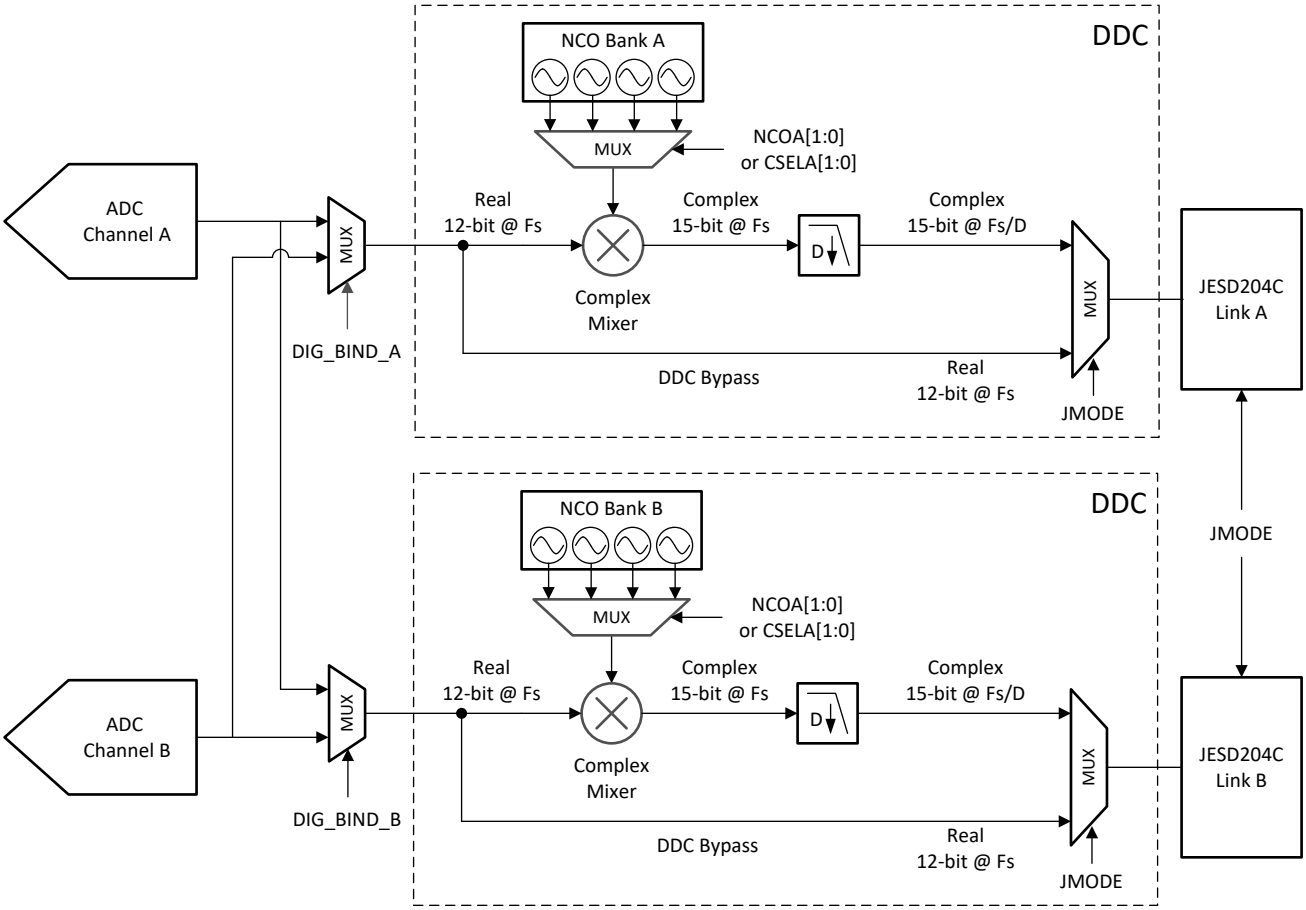


図 6-8. デュアル チャネル モードでのデジタル ダウン コンバージョン ブロック

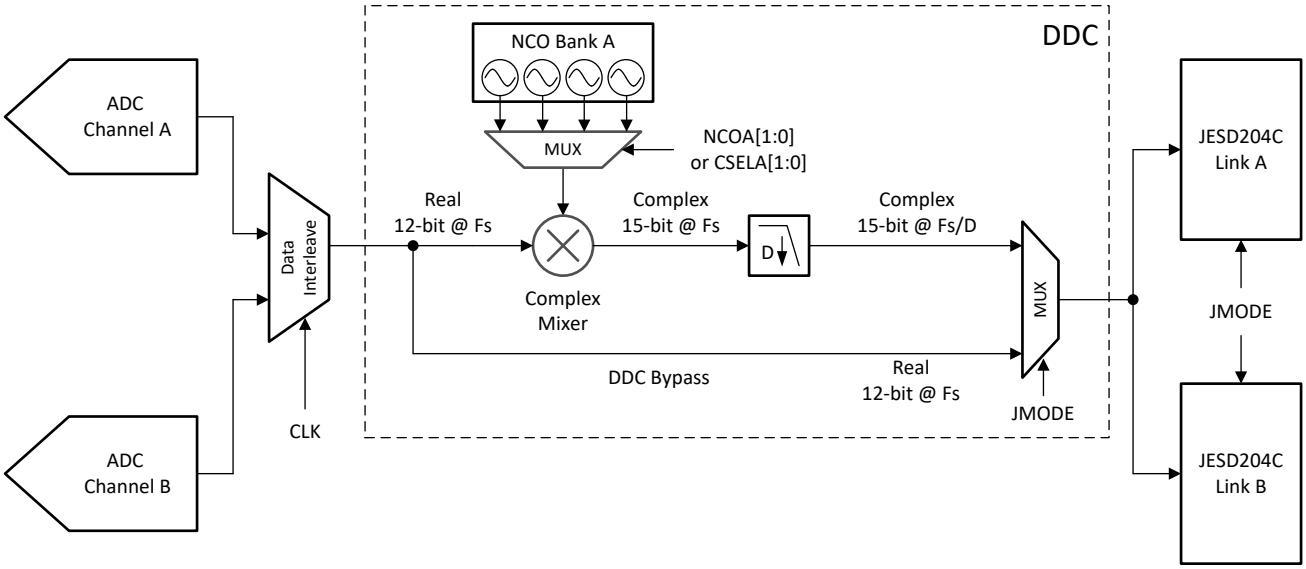


図 6-9. シングル チャネル モードでのデジタル ダウン コンバージョン ブロック

6.3.8.1 丸めおよび飽和

DDC 全体では、丸めおよび飽和が使用されます。サンプルは、最も近い出力コードに丸められます。サンプルが 2 つの出力コードの間にある場合、偶数出力コードに丸められます (収束丸め)。この方法では、丸められた結果にバイアスや統計的な DC オフセットは発生しません。

FIR フィルタでは、丸めはフィルタ出力で のみ 発生します。中間の丸めは行わないでください。

6.3.8.2 数値制御オシレータと複素ミキサ

DDC は、複素数値制御発振器 (NCO) と複素ミキサを内蔵しています。発振器によって生成される複素指数シーケンスを 式 4 に示します。

$$x[n] = e^{j\omega n} \quad (4)$$

周波数 (ω) は、32 ビット レジスタ設定で指定されます (「基本 NCO 周波数設定モード」および「有理 NCO 周波数設定モード」セクションを参照)。複素指数シーケンスに、ADC からの実数入力を乗算し、目的のキャリアを $f_{IN} + f_{NCO}$ に等しい周波数にミックスします。ここで、f_{IN} は (アンダーサンプリング システムの場合) エイリアシング後のアナログ入力周波数であり、f_{NCO} はプログラムされた NCO 周波数です。

6.3.8.2.1 NCO 高速周波数ホッピング (FFH)

高速周波数ホッピング (FFH) は、各 DDC が DDC A の NCOA0 および NCOA1 ピンと、DDC B の NCOB0 および NCOB1 ピンにより制御可能な 4 つの独立した NCO を持つことで可能となります。それぞれの NCO には個別に設定できる独立した周波数設定 (「*基本 NCO 周波数設定モード*」セクションを参照) と初期位相設定 (「*NCO 位相オフセット設定*」セクションを参照) があります。さらに、すべての NCO には、特定の NCO が選択されていないときも動作を続ける独立した位相アキュムレータがあります。これにより、NCO は選択間の位相を維持でき、たとえばダウンストリーム処理で各ホップの後にキャリア リカバリを実行する必要がなくなります。

NCO ホッピングは、NCO GPIO ピンの状態が変化したときに発生します。ピンは非同期で制御されるため、同期スイッチングはできません。関連するレイテンシを 図 6-10 に示します。ここで、t_{TX} と t_{ADC} は「*スイッチング特性*」表に記載されています。表 6-9 のすべてのレイテンシは近似値にすぎません。

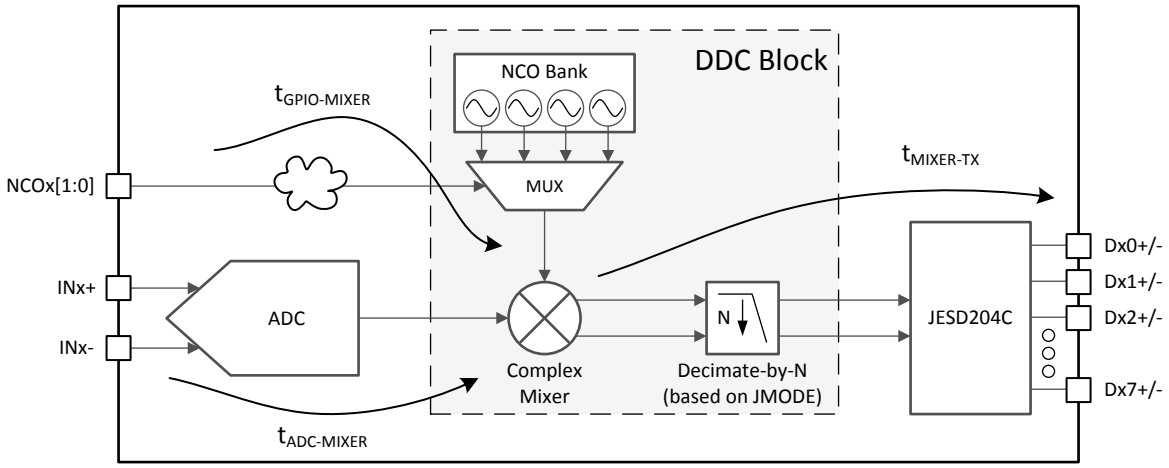


図 6-10. NCO 高速周波数ホッピングのレイテンシ図

表 6-9. NCO 高速周波数ホッピングのレイテンシの定義

レイテンシ パラメータ	値または計算値	単位
$t_{GPIO-MIXER}$	~45 ～ ~68	t_{CLK} サイクル
$t_{ADC-MIXER}$	≒37	t_{CLK} サイクル
$t_{MIXER-TX}$	$(t_{TX} + t_{ADC}) - t_{ADC-MIXER}$	t_{CLK} サイクル

Copyright © 2025 Texas Instruments Incorporated

6.3.8.2.2 NCO の選択

各チャネルの DDC では、4 種類の周波数および位相設定を使用できます。4 つの設定はそれぞれ、NCO 内で異なる位相アキュムレータを使用します。4 つの位相アキュムレータはすべて独立しており連続的に動作するため、異なる NCO 周波数間の迅速な切り替えが可能なため、位相コヒーレントな周波数ホッピングが可能です。

各チャネルに使用される固有の周波数位相ペアは、CMODE が 1 に設定されている場合、NCOA[1:0] または NCOB[1:0] 入力ピンにより選択されます。または、CMODE を 0 (デフォルト) に設定することで、DDC A 用の CSELA と DDC B 用の CSELB で SPI を介して選択された NCO を選択することもできます。GPIO と SPI の両方の選択オプションに対する NCO 選択の論理表を表 6-10 に示します。

表 6-10. GPIO または SPI を使用した NCO 選択の論理表

NCO の選択	CMODE	NCOx1	NCOx0	CSELx[1]	CSELx[0]
GPIO を使用する NCO 0	1	0	0	X	X
GPIO を使用する NCO 1	1	0	1	X	X
GPIO を使用する NCO 2	1	1	0	X	X
GPIO を使用する NCO 3	1	1	1	X	X
SPI を使用する NCO 0	0	X	X	0	0
SPI を使用する NCO 1	0	X	X	0	1
SPI を使用する NCO 2	0	X	X	1	0
SPI を使用する NCO 3	0	X	X	1	1

各位相アキュムレータの周波数は、FREQAx、FREQBx (x = 0 ～ 3)、およびオプションで NCO_RDIV レジスタ設定によって個別にプログラムされます。各アキュムレータの位相オフセットは、PHASEAx および PHASEBx (x = 0 ～ 3) レジスタ設定によって個別にプログラムされます。

6.3.8.2.3 基本 NCO 周波数設定モード

基本 NCO 周波数設定モード (NCO _RDIV = 0x0000) では、NCO 周波数設定は 32 ビットのレジスタ値 FREQAx と FREQBx (x = 0 ～ 3) によって設定されます。DDC A の NCO 周波数は、式 5 を使用して計算できます。FREQAx を FREQBx に置き換えると、DDC B の NCO 周波数が計算されます。FREQAx と FREQBx は、2 の補数 (–2147483648 ～ 2147483647) またはオフセット バイナリ値 (0 ～ 4294967295) のどちらかと見なすことができます。

$$f_{(NCO)} = FREQAx \times 2^{-32} \times f_{(DEVCLK)} \ (x = 0 – 3) \quad (5)$$

注

動作中に FREQAx および FREQBx レジスタ設定を変更すると、非決定論的な NCO 位相になります。決定論的位相が必要な場合、NCO を再同期する必要があります。「*NCO 位相同期*」セクションを参照してください。

6.3.8.2.4 有理 NCO 周波数設定モード

基本的な NCO 周波数モードでは、周波数ステップ サイズが小さく、多くの周波数を合成できますが、アプリケーションでは 2 つの周波数ステップの間に収まる特殊な周波数が必要な場合があります。たとえば、f_S が 2457.6MHz に等しく、目的の $f_{(NCO)}$ が 5.02MHz に等しい場合、FREQAx の値は 8773085.867 です。分数部分を切り捨てると、$f_{(NCO)}$ が 5.0199995MHz に等しくなり、これは目的の周波数ではありません。

Copyright © 2025 Texas Instruments Incorporated

目的の周波数を生成するために、NCO_RDIV パラメータを使用して、位相アキュムレータを誤差なしで特定の周波数に到達させるように強制します。まず、必要な NCO 周波数ステップに適した周波数ステップ サイズ ($f_{(STEP)}$) を選択します。$V_{(STEP)}$ の標準値は 10kHz です。次に、式 6 を使用して NCO_RDIV の値をプログラムします。

$$NCO_RDIV = \frac{\left(f_{DEVCLK} / f_{STEP}\right)}{64} \quad (6)$$

式 6 の結果は整数値でなければなりません。値が整数でない場合は、結果が整数値になるまでいずれかのパラメータを調整します。

たとえば、NCO_RDIV に対して 1920 を選択します。

注

8192 を超える NCO_RDIV 値は、NCO SFDR 性能が低下する可能性があるため、推奨されません。

ここで、式 7 を使用して FREQAx レジスタ値を計算します。

$$FREQAx = \text{round}\left(2^{32} \times f_{NCO} / f_{DEVCLK}\right) \quad (7)$$

または、次の式を使用できます。

$$N = \frac{f_{(NCO)}}{f_{(STEP)}} \quad (8)$$

$$FREQAx = \text{round}\left(2^{26} \times N / NCO_RDIV\right) \quad (9)$$

表 6-11 に、10kHz 周波数ステップにおける NCO_RDIV の一般的な値を示します。

表 6-11. 一般的な NCO_RDIV 値 (10kHz 周波数ステップの場合)

f_{CLK} (MHz)	NCO_RDIV
2457.6	3840
1966.08	3072
1600	2500
1474.56	2304
1228.8	1920

6.3.8.2.5 NCO 位相オフセット設定

各 NCO の NCO 位相オフセット設定は、16 ビットのレジスタ値 PHASEAx および PHASEBx によって設定されます (ここで、x = 0 ～ 3)。値は左揃えで 32 ビット フィールドに入力され、位相アキュムレータに追加されます。

位相オフセットをラジアン単位で計算するには、式 10 を使用します。

$$\Phi(\text{rad}) = \text{PHASEA/Bx} \times 2^{-16} \times 2 \times \pi \ (x = 0 \text{ to } 3) \quad (10)$$

6.3.8.2.6 NCO 位相同期

FREQAx または FREQBx の値を設定または変更した後、NCO を同期させる必要があります。NCO 同期は、JESD204C リンクが初期化されたとき、または SYSREF によって、NCO _SYNC_ILA および NCO _SYNC_NEXT の設定に基づいて実行されます。JESD204C の初期化手順と、DC 結合および AC 結合の両方の SYSREF 信号についての手順は、次のとおりです。

Copyright © 2025 Texas Instruments Incorporated

JESD204C SYNC 信号を使用した NCO 同期 (SYNCSE または TMSTP±)。64B/66B エンコード モードは SYNC 信号を使用して JESD204C リンクを初期化しませんが、次の方法で NCO 同期に使用できます。

1. 通常動作用にデバイスをプログラムする必要があります
2. NCO _SYNC_ILA を 1 に設定すると、SYNC 信号を使用して NCO 同期がイネーブルになります
3. JESD_EN を 0 に設定します
4. FREQAx、FREQBx、PHASEAx、PHASEBx を目的の設定にプログラムします
5. JESD204C レシーバ (ロジック デバイス) では、SYNC を High に設定することで、SYNC 信号をデアサートします
6. JESD_EN を 1 に設定します
7. JESD204 C レシーバの SYNC を Low に設定して、SYNC 信号をアサートします。これにより、8B/10B エンコード モードでコード グループ同期 (CGS) プロセスが開始され、64B/66B エンコード モードでトリガがアームされます。
8. CGS を達成した後 (または同期の準備ができた時点)、すべての ADC で SYNC を同時に High に設定して SYNC 信号をデアサートし、各 ADC の NCO を同期します。SYNC 信号は、必要なセットアップ時間とホールド時間を満たす必要があります (「*タイミング要件*」の表を参照)。

SYSREF (DC 結合) を使用した NCO 同期:

1. 通常動作用にデバイスをプログラムする必要があります
2. JESD_EN を 1 に設定して、JESD204C リンクを開始します (CGS プロセス中、SYNC 信号は通常どおり応答できます)。
3. FREQAx、FREQBx、PHASEAx、PHASEBx を目的の設定にプログラムします
4. SYSREF がディスエーブル (Low に保持) になっていることを確認します
5. NCO 同期を実行するために NCO_SYNC_NEXT を 1 に設定します
6. SYSREF シングル パルスをすべての ADC に発行し、すべてのデバイス内で NCO を同期します

SYSREF (AC 結合) を使用した NCO 同期:

1. 通常動作用にデバイスをプログラムする必要があります
2. JESD_EN を 1 に設定して、JESD204C リンクを開始します (CGS プロセス中、SYNC 信号は通常どおり応答できます)。
3. FREQAx、FREQBx、PHASEAx、PHASEBx を目的の設定にプログラムします
4. SYSREF を連続的に実行します
5. SPI 書き込みの終了時に最後のデータ ビット (LSB) の SCLK の立ち上がりエッジをタイミングすることで、すべての ADC で NCO_SYNC_NEXT を同時に 1 に設定して NCO 同期を実施します。これにより、SCLK の立ち上がりエッジが SYSREF の立ち上がりエッジの後、次の SYSREF の立ち上りエッジの十分前に発生するため、次の SYSREF の立ち上りエッジの前にトリガが作動するようになります (長い SYSREF 周期を推奨)
6. すべての ADC の NCO は、次の SYSREF 立ち上がりエッジによって同期されます

6.3.8.3 デシメーション フィルタ

デシメーション フィルタは、全体で 4 または 8 のプログラマブルなデシメーションを実現するように構成されています。すべてのデシメーション フィルタは (複素デジタル ミキサからの) 複素数データに対して動作し、出力の分解能は 15 ビットです。デシメーション フィルタは線形位相有限インパルス応答 (FIR) フィルタとして実装されます。表 6-12 に、各デシメーション モードの実効出力サンプル レート、使用可能な信号帯域幅、出力形式、ストップバンド減衰を示します。

表 6-12. 出力サンプル レートと信号帯域幅

デシメーション設定	$f_{(DEVCLK)}$				OUTPUT FORMAT
	出力レート (MSPS)	エイリアス保護された最大信号帯域幅 (MHz)	ストップ バンド減衰	パス バンド リップル	
デシメーションなし (DDC バイパス)	$f_{(DEVCLK)}$	$f_{(DEVCLK)}$ / 2	—	< ±0.001dB	実数信号、12 ビット データ
4 倍デシメーション	$f_{(DEVCLK)}$ / 4	0.8 × $f_{(DEVCLK)}$ / 4	> 90dB	< ±0.001dB	複素数信号、15 ビット データ
8 倍デシメーション	$f_{(DEVCLK)}$ / 8	0.8 × $f_{(DEVCLK)}$ / 8	> 90dB	< ±0.001dB	複素数信号、15 ビット データ
16 倍デシメーション	$f_{(DEVCLK)}$ / 16	0.8 × $f_{(DEVCLK)}$ / 16	> 90dB	< ±0.001dB	複素数信号、15 ビット データ
32 倍デシメーション	$f_{(DEVCLK)}$ / 32	0.8 × $f_{(DEVCLK)}$ / 32	> 90dB	< ±0.001dB	複素数信号、15 ビット データ

図 6-11 から 図 6-18 は、コンポジット デシメーション フィルタ応答を提供します。パターンの黒い部分は、応答のパス バンド領域、またはエイリアス保護された領域を示します。パターンの赤い部分は、応答の遷移領域と、遷移領域にエイリアスが生じる周波数領域を示します。遷移領域はエイリアス保護されていないため、必要な信号はフィルタ応答のパス バンド領域にのみ配置する必要があります。パターンの青い部分は、デシメーション後にパス バンドにエイリアスが発生し、周波数応答のストップ バンド領域を定義する周波数領域を示しています。ストップ バンド減衰は、不要な画像や信号を十分にフィルタ除去し、目的のパス バンドにエイリアシングが発生することを防ぐために定義します。アナログ入力 (INA± または INB±) の前にアナログ フィルタリングを使用して、この帯域内に入る信号をさらに減衰させるか、(複雑なミキシングおよ

Copyright © 2025 Texas Instruments Incorporated

びデシメーション操作の前に) 目的の信号帯域にエイリアスを発生させる、高調波、インターリーブ スプリアス、その他の不要なスプリアス信号を生成する可能性がある ADC 入力を十分に低減します。

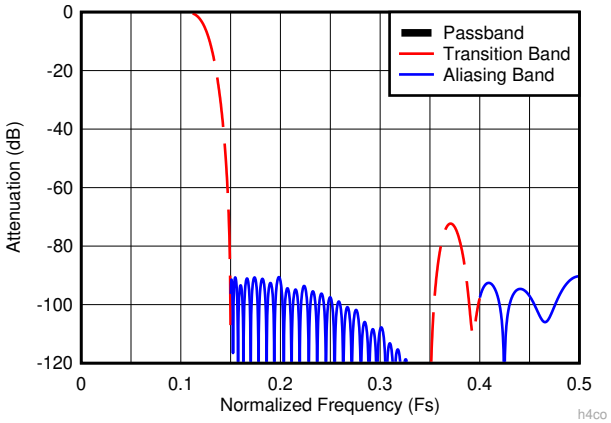


図 6-11. 4 倍デシメーション時の複合応答

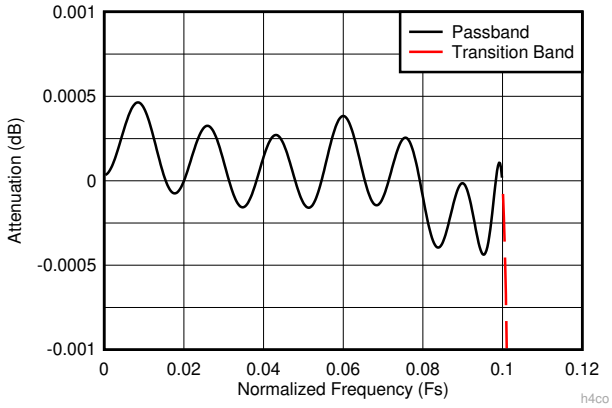


図 6-12. 4 倍デシメーション時の複合拡大パス バンド応答

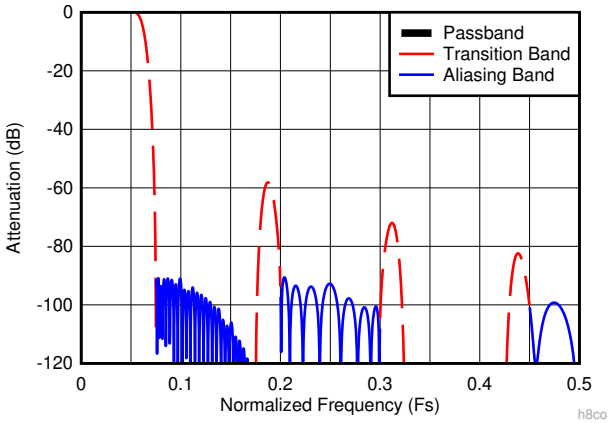


図 6-13. 8 倍デシメーション時の複合応答

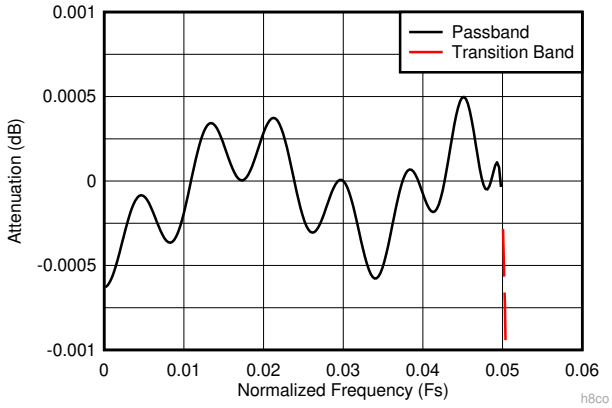


図 6-14. 8 倍デシメーション時の複合拡大パス バンド応答

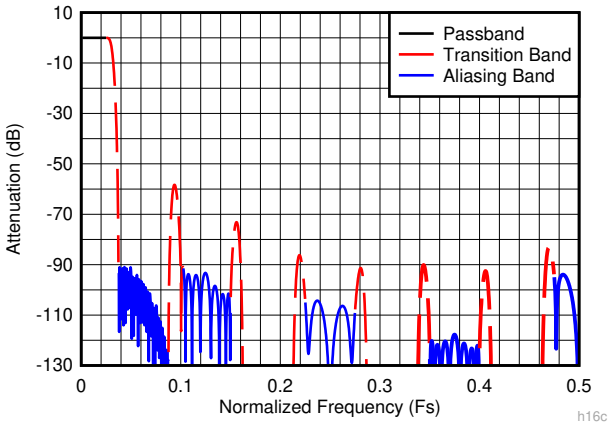


図 6-15. 16 倍デシメーション時の複合応答

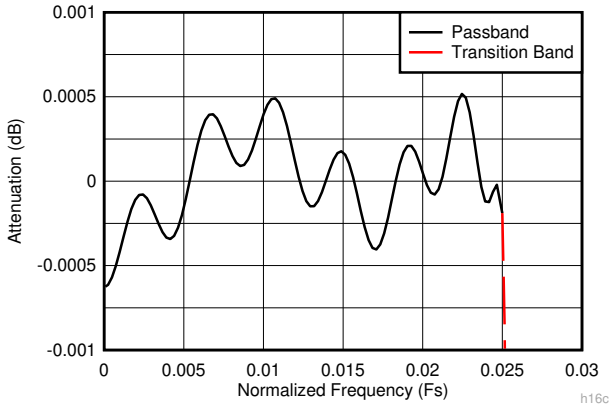


図 6-16. 16 倍デシメーション時の複合拡大パス バンド応答

Copyright © 2025 Texas Instruments Incorporated

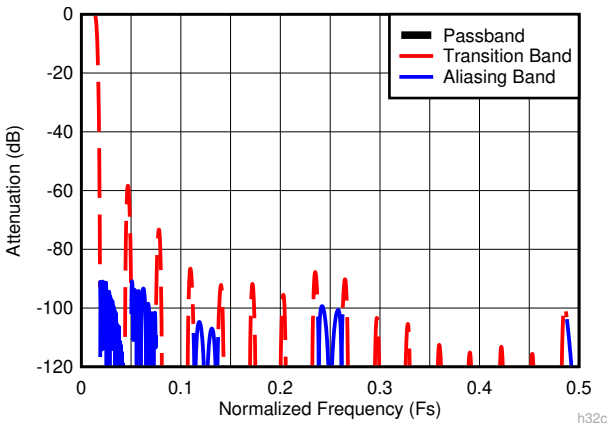


図 6-17. 32 倍デシメーション時の複合応答

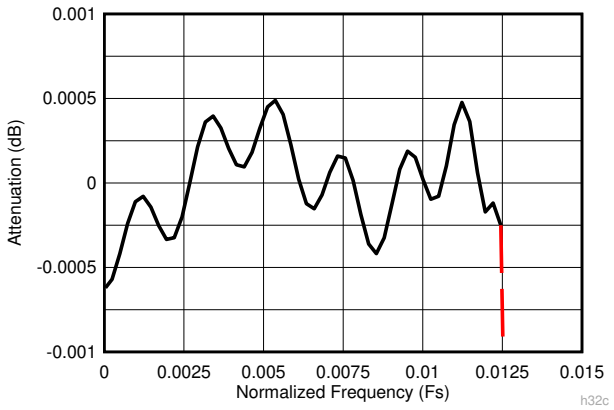


図 6-18. 32 倍デシメーション時の複合拡大パス バンド応答

効率を最大化するため、各デシメーション設定に使用される特定のブロックを使用して、高速フィルタ ブロックのグループを実装し、図 6-11 から 図 6-18 に示す複合応答を実現します。表 6-13 に各デシメーション設定に使用されるフィルタ ブロックの組み合わせを示し、表 6-14 に各フィルタ ブロックの係数の詳細とデシメーション係数を示します。係数は対称型で、センター タップが太字で示されます。

表 6-13. デシメーション モード フィルタの使用

デシメーション設定	使用するフィルタ ブロック (オペレーションの順序で表示)
4	CS40、CS80
8	CS20、CS40、CS80
16	CS10、CS20、CS40、CS80
32	CS5、CS10、CS20、CS40、CS80

Copyright © 2025 Texas Instruments Incorporated

表 6-14. フィルタ係数の詳細

フィルタ係数の設定 (フィルタのデシメーション係数、倍率)									
CS5 (2, 2^{-5})		CS10 (2, 2^{-11})		CS20 (2, 2^{-14})		CS40 (2, 2^{-17})		CS80 (2, 2^{-19})	
-1	-1	-65	-65	109	109	-327	-327	-37	-37
0	0	0	0	0	0	0	0	0	0
9	9	577	577	-837	-837	2231	2231	118	118
16		**1024**		0	0	0	0	0	0
				4824	4824	-8881	-8881	-291	-291
				8192		0	0	0	0
						39742	39742	612	612
						65536		0	0
								-1159	-1159
								0	0
								2031	2031
								0	0
								-3356	-3356
								0	0
								5308	5308
								0	0
								-8140	-8140
								0	0
								12284	12284
								0	0
								-18628	-18628
								0	0
								29455	29455
								0	0
								-53191	-53191
								0	0
								166059	166059
								262144	

6.3.8.4 出力データ フォーマット

DDC の出力データは、15 ビットの複素データと、2 つのオーバーレンジ スレッショルド検出制御ビットで構成されています。表 6-15 に、DDC モードのデータ出力形式を示します。

表 6-15. 複素数デシメーション出力サンプル形式

I/Q サンプル	16 ビット出力ワード															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I	DDC 同相 (I) 15 ビットの出力データ															OVR_T0
Q	DDC 直交 (Q) 15 ビットの出力データ															OVR_T1

6.3.8.5 デシメーション設定

6.3.8.5.1 デシメーション係数

デシメーション設定は以下の設定で調整可能で、JMODE パラメータにより設定されます。使用可能な JMODE 値と、対応するデシメーション設定については、動作モード を参照してください。

- DDC バイパス: デシメーションなし、実数出力
- 4 倍のデシメーション: 複素数出力
- 8 倍のデシメーション: 複素数出力
- 16 倍のデシメーション: 複素数出力
- 32 倍のデシメーション: 複素数出力

Copyright © 2025 Texas Instruments Incorporated

6.3.8.5.2 DDC ゲイン ブースト

DDC ゲイン ブースト (DDC 構成レジスタ を参照) により、DDC ブロックを介して追加のゲインが得られます。ブーストを 1 に設定すると、デシメーション フィルタ チェーンの合計ゲインは 6.02dB に設定されます。0 に設定すると、合計デシメーション フィルタ チェーンのゲインは 0dB です。この設定は、入力信号の負のイメージがデシメーション フィルタによってフィルタ除去される場合にのみ使用してください。そうしないと、クリッピングが発生する可能性があります。ゲイン ブーストをイネーブルまたはディスエーブルしてもアナログ性能は低下しませんが、適切な性能計算を行うには、リファレンスの出力電力を理解するよう注意する必要があります。

6.3.9 JESD204C インターフェイス

ADC12DJ5200-SP は、データコンバータ用に、JESD204C 高速シリアルインターフェイスを使用して、ADC から受信ロジックデバイスにデータを転送します。使用可能な JESD204C 出力フォーマットの多くは、ADC12DJ2700 や ADC12DJ3200 の多くの JESD204B モードなど、既存の JESD204B レシーバと下位互換性があります。このデバイスのシリアル化レーンは、8B/10B エンコードと、64B/66B エンコードの両方で動作できます。速度が制限されたロジック・デバイスとのインターフェイス用に、最大 16 レーンを使用できます。8B/10B と 64B/66B でエンコードされた JESD204C にはいくつかの違いがあります。これらについては、このセクションで説明します。図 6-19 に、8B/10B にエンコードされた JESD204C インターフェイスの概略ブロック図を示し、図 6-20 に 64B/66B にエンコードされた JESD204C インターフェイスの概略ブロック図を示します。

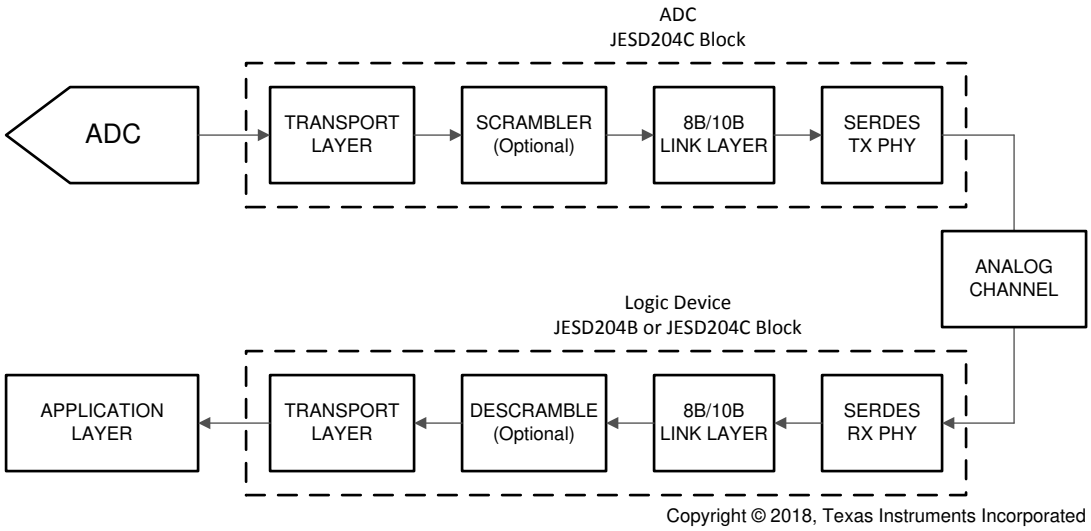


図 6-19. 8B/10B エンコードされた JESD204C インターフェイスのダイアグラム

Copyright © 2025 Texas Instruments Incorporated

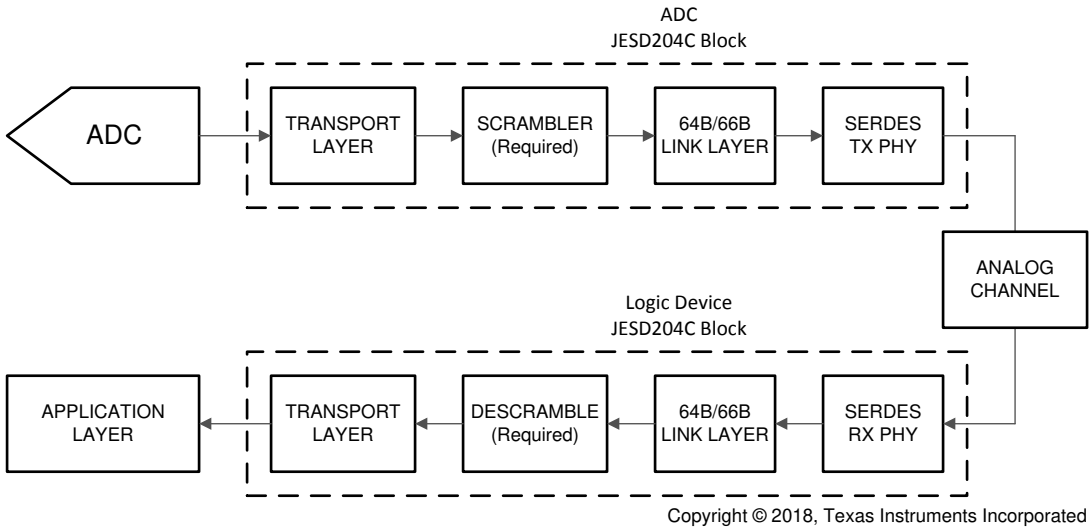


図 6-20. 64B/66B エンコードされた JESD204C インターフェイスのダイアグラム

JESD204C インターフェイスで使用される各種の信号および関連するデバイスのピン名を、表 6-16 に参照用として簡単にまとめました。8B/10B と 64B/66B でエンコードされた JESD204C の信号のほとんどは共通ですが、64B/66B エンコーディングではブロック同期を実現する必要がないため、$\overline{\text{SYNC}}$ は例外です。データストリームにエンコードされた同期ヘッダーは、$\overline{\text{SYNC}}$ 信号の代わりにブロック同期に使用されます。

表 6-16. JESD204C 信号の概要

信号名	ピン名	8B/10B	64B/66B	説明
データ	DA[7:0]+、DA[7:0]–、DB[7:0]+、DB[7:0]–)	あり	あり	8B/10B または 64B/66B エンコード後の高速シリアル化データ
$\overline{\text{SYNC}}$	$\overline{\text{SYNCSE}}$、TMSTP+、TMSTP–	あり	なし	リンク初期化信号（ハンドシェイク）。Low に切り替えて、コード・グループ同期（CGS）プロセスを開始します。NCO 同期目的で使用されない限り、64B/66B エンコーディングモードでは使用されません。
デバイス クロック	CLK+、CLK–	あり	あり	ADC サンプリング クロック。デジタル ロジックや出力シリアライザのクロック供給にも使用します
SYSREF	SYSREF+、SYSREF–	あり	あり	各 JESD204C デバイスの内部ローカルマルチフレームクロック（LMFC）またはローカル拡張マルチブロッククロック（LEMC）カウンタを確定的にリセットするために使用されるシステムタイミング基準

デバイスでは、JESD204C のすべてのオプション機能がサポートされているわけではありません。サポートされている機能とサポートされていない機能のリストについては、表 6-17 を参照してください。

表 6-17. サポートされている JESD204C 機能の宣言

文字識別子	参照条項	機能	ADC12DJ5200-SP でサポート
a	第 8 項	8B/10B リンク層	対応
b	第 7 項	64B/66B リンク層	対応
c	第 7 項	64B/80B リンク層	非対応

Copyright © 2025 Texas Instruments Incorporated

表 6-17. サポートされている JESD204C 機能の宣言 (続き)

文字識別子	参照条項	機能	ADC12DJ5200-SP でサポート
d	第 7 項	64B/66B または 64B/80B リンク層を使用する場合のコマンドチャネル	非対応
e	第 7 項	64B/66B または 64B/80B リンク層を使用する場合の前方誤り訂正(FEC)	対応
f	第 7 項	64B/66B または 64B/80B リンク・レイヤを使用する場合の CRC3	非対応
g	第 8 項	8B/10B リンク層を使用するときの物理 $\overline{\text{SYNC}}$ ピン	対応
h	第 7 項、第 8 項	サブクラス 0	サポートされていませんが、サブクラス 1 トランスミッタはサブクラス 0 レシーバと互換性があります
i	第 7 項、第 8 項	サブクラス 1	対応
j	第 8 項	サブクラス 2	非対応
k	第 7 項、第 8 項	単一リンク内のレーン整列	対応
l	第 7 項、第 8 項	MULTIREF 信号によるマルチポイントリンクでのレーン整列をサポートするサブクラス 1	非対応
m	第 8 項	$\overline{\text{SYNC}}$ インターフェイスのタイミングは、JESD204A に対応しています	対応
n	第 8 項	$\overline{\text{SYNC}}$ インターフェイスのタイミングは、JESD204B に対応しています	対応

6.3.9.1 トランスポート層

トランスポート層は ADC 出力からサンプルを取得し、サンプルをフレーム内のオクテットにマッピングします。トランスポート層は、8B/10B と 64B/66B の両方のエンコード モードで共通です。これらのフレームは、使用可能なレーンにマッピングされます。オクテットをフレームに、フレームをレーンにマッピングする方法は、L、M、F、S、N、N'などのトランスポート層の設定によって定義されます。オクテットは 8 ビット（8B/10B または 64B/66B エンコーディングより前）であり、フレームは F オクテットで構成され、フレームは L レーンにマッピングされます。サンプルは N ビットですが、リンク経由で N'ビットとして送信されます。サンプルは M コンバータから供給されフレーム・サイクルごとに S サンプルが表示されます。M は、より望ましいマッピングを得るために人工的に増加することがあります。たとえば、長いフレームの M 値を大きくすると、遅延を低減できます。

デバイスには、「 動作モード 」で定義されている多数の事前定義済みトランスポート層モードがあります。デバイスのトランスポート層の高レベル構成パラメータについては、表 6-21 を参照してください。トランスポート層モードは、JMODE レジスタ設定を単純に設定することで選択されます。参考までに、JESD204C のさまざまな構成パラメータを 表 6-22 に定義します。

64B/66B エンコーディングを使用する場合、8B/10B エンコーディングまたはブロック、マルチブロック、および拡張マルチブロックを使用すると、リンク層はフレームをさらにマルチフレームにマッピングします。

6.3.9.2 スクランブル機能

チャネルを経由して転送する前にデータをスクランブルするには、データ・スクランブラを使用できます。スクランブルは、反復データストリームによる送信データのスペクトルピークの可能性を除くために使用されます。8B/10B エンコード モードでは、スクランブラはオプションですが、クロック リカバリとアダプティブ イコライゼーションに十分なスペクトル コンテンツを確保するため、および DC バランスを維持することでトランスミッタからレシーバへの AC 結合を可能にするために、64B/66B エンコード モードでは必須です。8B/10B のスクランブラは、10 ビットエンコーディングの前に 8 ビットのオクテットをスクランブルし、64B/66B のスクランブラは、同期ヘッダー挿入 (66 ビット エンコーディング) の前に 64 ビットのブロックをスクランブルします。JESD204C レシーバは、デスクランブラを受信スクランブル化データストリームと自動的に同期させます。8B/10B エンコーディングでは、初期レーン・アライメント・シーケンス(ILA)はスクランブルされません。スクランブルは、8B または 10B エンコード モードに SCR (JESD204C 制御レジスタ 内) を設定することで有効にできますが、

Copyright © 2025 Texas Instruments Incorporated

64B/66B モードでは自動的に有効になります。スクランブル多項式は、JESD204C 規格で定義されている 8B/10B エンコーディングと 64B/66B エンコーディング方式とは異なります。

6.3.9.3 リンク層

JESD204C では、8B/10B と 64B/66B の両方のエンコード方式に対応するため、リンク層は複数の目的を果たしますが、それぞれのエンコード方式での実装にはいくつか違いがあります。一般に、リンク層の役割には、データのスクランブル処理 (スクランブル処理 を参照)、コード (8B/10B) またはブロック (64B/66B) 境界の確立、マルチフレーム (8B/10B) またはマルチブロック (64B/66B) 境界の確立、リンクの初期化、データのエンコード、リンクの健全性の監視が含まれます。このセクションは、各エンコード方式の具体的な実装をカバーするために、8B/10B セクション (8B/10B リンク層) と 64B/66B セクション (64B/66B リンク層) に分割されています。

6.3.9.4 8B/10B リンク層

このセクションでは、文字、フレームおよびマルチフレーム境界の初期化、レーンの整列、8B/10B エンコード、フレームのモニタリング、および動作中のマルチフレーム整列など、8B/10B エンコード動作モードのリンク層について説明します。

6.3.9.4.1 データ エンコード (8B/10B)

データリンク層は、トランスポート層からの 8 ビットオクテットを 10 ビット文字に変換し、8B/10B エンコーディングを使用してリンクを伝送します。8B/10B エンコーディングにより DC バランスが指定され、SerDes トランスミッタとレシーバ間の AC カップリングを使用し、レシーバがデータ クロックを確実に回復するための十分な数のエッジ遷移を維持します。8B/10B エンコーディングでは、文字のシングルビットエラーが 8B/10B デコーダ ルックアップ テーブルの 10 ビット文字を見つけることができないか、間違った文字の不一致をもたらす可能性があるため、いくつかのエラー検出も提供します。

6.3.9.4.2 マルチフレームおよびローカル マルチフレーム クロック (LMFC)

トランスポート層からのフレームはマルチフレームに結合され、サブクラス 1 の実装で決定論的レイテンシーを達成するプロセスで使用されます。マルチフレームの長さは、マルチフレーム内のフレーム数を定義する K パラメータによって設定されます。JESD204C は、JESD204B のマルチフレームあたりの最大許容フレーム数 (K) を 32 個から JESD204C の 256 個に増やします。その結果、より長いマルチフレームを実現し、確定的なレイテンシ要件を緩和することができます。K の合計許容範囲は、不等式 ceil（17/F）≤K≤min（256, floor（1024/F））によって定義されます。ここで、ceil（）と floor（）はそれぞれ天井関数と床関数です。ローカルマルチフレームクロック（LMFC）は、確定的なレイテンシおよびデータ同期の目的で、マルチフレームの開始と終了を追跡します。LMFC は、決定論的レイテンシのタイミング基準として機能するために、SYSREF 信号によってトランスミッタとレシーバの両方の決定論的位相にリセットされます。LMFC のクロック周波数は 式 11 で指定されます。ここで、f_{BIT} は SerDes インターフェイスのシリアル化ビット レート (ライン レート) であり、F と K は上記のように定義されます。SYSREF が連続信号の場合、8B/10B エンコード・モードを使用する場合、SYSREF の周波数は f_{LMFC} の整数分周と同じか、または整数分周となる必要があります。

$$f_{LMFC} = f_{BIT} / (10 \times F \times K) \quad (11)$$

6.3.9.4.3 コード グループ同期 (CGS)

LMFC が SYSREF によって確定的にリセットされた後で、JESD204C リンクを初期化する最初のステップは、レシーバが各 SerDes レーンに送信される符号化された 10 ビット文字の境界を見つけることです。このプロセスをコードグループ同期（CGS）と呼びます。リンクを初期化する準備ができたとき、レシーバは最初に同期信号（ロジック 0 に設定）をアサートします。送信機は K28.5 カンマ文字のストリームを送信することで要求に応答します。受信機は K28.5 文字シーケンスに文字クロックを調整し、4 つの連続する K28.5 文字を受信した後に CGS を達成します。レシーバは、CGS に達した後、次の LMFC エッジで同期（ロジック「1」に設定）をデアサートし、トランスミッタが初期レーン・アライメント・シーケンス（ILAS）を開始するまで待機します。

6.3.9.4.4 初期レーン整列シーケンス (ILAS)

トランスミッタが 同期 信号のデアサート（ロジック「0」からロジック「1」遷移）を検出した後、トランスミッタは次の LMFC エッジまで待機して、初期レーン整列シーケンス（ILAS）の送信を開始します。ILAS は 4 つのマルチフレームから構成され、それぞれにあらかじめ決められたシーケンスが含まれています。レシーバは ILAS の開始位置を探し、フレームとマルチ

フレームの境界を決定します。ILAS の各マルチフレームは、/R/ 文字 (K28.0) で始まって /A/ 文字 (K28.3) で終わり、いずれかを使用してマルチフレームの境界を検出できます。ILAS が各レーンのレシーバに到達すると、各レーンはすべてのレシーバが ILAS を受信するまで /R/ 文字で始まる弾性バッファ内のデータからバッファを開始し、以後のレーンを揃えるためにすべてのレーンから同時に ILAS を解放します。弾性バッファのリリース ポイントは、データ遅延の変動 (各レーンの受信機への ILAS の到着) によるデータ リリースのあいまいさを避けるために選択されます。ILAS の 2 番目のマルチフレームには JESD204C リンク構成用の構成パラメータが含まれており、これをレシーバが使用してトランスミッタとレシーバの構成が一致していることを確認できます。

6.3.9.4.5 フレームおよびマルチフレーム監視

ADC12DJ5200-SP は、フレームおよびマルチフレーム監視をサポートしており、8B/10B エンコードを使用するときに JESD204C リンクの健全性を検証します。スクランブルの使用に応じて方式が変わります。スクランブルがディスエーブルになっている場合の実装については、最初に説明します。現在のフレームの最後のオクテットが前のフレームの最後のオクテットと一致する場合、現在のフレームの最後のオクテットは/F/（K28.7）文字としてエンコードされます。現在のフレームがマルチフレームの最後のフレームでもある場合は、代わりに/A/（K28.3）文字が使用されます。整列監視のために送信機に置き換えられた場合を除き、通常のデータストリームでは/F/または/A/文字は発生しません。レシーバが通常のデータストリーム内で/F/または/A/文字を検出すると、レシーバはフレームまたはマルチフレームの終端と想定される場所で文字が発生しているかどうかを確認します。フレームまたはマルチフレームの終端以外の場所でキャラクタが発生した場合、トランスミッターまたはレシーバの位置がずれています。レシーバは、適切に整列された/F/または/A/文字を受信すると、整列文字を適切なデータ文字に置き換えます。適切なデータ文字は、以前に受信したフレームの最後のオクテットです。この方式は、スクランブルされていないデータストリームの整列文字の確率を高めます。

スクランブルを有効にした場合の実装は、オクテットがランダム化されているため、若干異なります。フレームの最後のオクテットが 0xFC（8B/10B エンコード前）の場合、送信機はオクテットを/F/（/K28.7/）文字としてエンコードします。マルチフレームの最後のオクテットが 0x7C（8B/10B エンコード前）である場合、トランスミッタはオクテットを/A/（/K28.3/）文字としてエンコードします。/A/および/F/文字の位置が監視され、フレームとマルチフレームの適切な整列が確認されます。レシーバは、/F/文字を 0xFC オクテットに、/a/文字を 0x7C オクテットに置き換えるだけで、整列文字を置き換えます。

誤った位置に複数の整列文字が発生した場合や、予期した場合にエラーが発生しない場合は、受信側でエラーが報告されることがあります。フレームまたはマルチフレームのずれが検出されると、レシーバは $\overline{\text{SYNC}}$ をアサートしてリンクの再整列をトリガする必要があります。また、リンクを再起動する前に、トランスミッタとレシーバの LMFC が適切に整列していることを確認するために、SYSREF を再発行する必要もあります。

6.3.9.5 64B/66B リンク層

このセクションでは、データのスクランブル、同期ヘッダーの追加 (64B/66B エンコーディング)、ブロックとマルチブロックの構造、同期ヘッダー、巡回冗長検査 (CRC)、前方誤り訂正 (FEC)、リンクアライメントなど、64B/66B エンコーディング動作モードのリンク整列について説明します。

6.3.9.5.1 64B/66B エンコード

トランスポート層によって形成されたフレームは、8 オクテット長ブロック（64 ビット）にパックされます。この 64 ビットブロックはスクランブルされ、2 ビットの同期ヘッダー（SH）が追加されて 66 ビットの送信ブロックが形成されます。同期ヘッダーは、ブロックの末尾にマーキングすることでブロック同期に使用され、巡回冗長検査（CRC）、前方誤り訂正（FEC）、またはコマンドチャネルを可能にします。表 6-18 に、ブロックの構造を示します。ここで、SH は追加された 2 ビット同期ヘッダーを表します。

表 6-18. 同期ヘッダーを備えた 64B/66B ブロックの構造

SH	OCTET0	OCTET1	OCTET2	OCTET3	OCTET4	OCTET5	OCTET6	OCTET7
[0:1]	[2:9]	[10:17]	[18:25]	[26:33]	[34:41]	[42:49]	[50:57]	[58:65]

6.3.9.5.2 マルチブロック、拡張マルチブロック、ローカル拡張マルチブロック クロック (LEMC)

マルチブロックは、32 ブロックの連結で構成される 32 ブロック コンテナです。拡張マルチブロックは、複数のマルチブロックを連結したもので、E は拡張マルチブロック内のマルチブロック数を定義します。フレームはブロックとマルチブロックに分割できますが、拡張マルチブロックには整数のフレーム数が必要です。拡張マルチブロックは、マルチブロックに整

Copyright © 2025 Texas Instruments Incorporated

数のフレーム数がない場合にのみ必要です。マルチブロックに整数個のフレームが含まれるために拡張マルチブロックが使用されない場合は、E パラメータは 1 になり、拡張マルチブロック内にマルチブロックが 1 つあることを示します。E の値が 1 より大きい場合は、ADC12DJ5200-SP ではサポートされません。

拡張マルチブロックは、8B/10B トランスポート層のマルチフレームに似ています。ローカル拡張マルチブロック クロック (LEMC) は、決定論的レイテンシおよびデータ同期の目的でマルチブロックの開始と終了を追跡します。LMFC は、8B/10B エンコーディングでマルチフレームの開始と終了を追跡するのと同じ方法で、マルチブロックの開始と終了を追跡します。LEMC は、決定論的レイテンシのタイミング基準として機能するために、SYSREF 信号によってトランスミッタとレシーバの両方の決定論的位相にリセットされます。LEMC のクロック周波数は、式 12 で定義されます。ここで、f_{BIT} は SerDes インターフェイスのシリアル化ビット レート (ライン レート) です。SYSREF が連続信号の場合、64B/66B エンコード・モードを使用する場合、SYSREF の周波数は f_{LMFC} の整数分周と同じか、または整数分周となる必要があります。

$$f_{LEMC} = f_{BIT} / (66 \times 32 \times E) \quad (12)$$

6.3.9.5.3 同期ヘッダを使用したブロック、マルチブロック、拡張マルチブロック整列

同期ヘッダーには、常に反対側の 2 つのビット (01 または 10) が含まれています。JESD204C レシーバは、常に 0 から 1 または 1 から 0 への遷移を含む 66 ビットの境界を探すことで、ブロック境界を見つけることができます。0 から 1 へ、1 から 0 への遷移はブロック内の他の場所で発生しますが、シーケンスが正しい同期ヘッダーの位置以外の固定位置に長時間連続して出現することは不可能です。SYNC ヘッダーはブロックの開始を示し、ブロックのアライメント監視に使用できます。ブロックの想定された同期ヘッダー位置で 00 または 11 ビットのシーケンスが見られると、ブロック アライメントが失われている可能性があります。誤った SYNC ヘッダー ビットが複数回発生すると、すべてのデバイスに SYSREF を送信して LEMC アライメントをリセットした後で、SYNC ヘッダーの検索をトリガする必要があります。

01 の SYNC ヘッダー ([0:1]) は 1 の送信に対応し、10 の SYNC ヘッダーは 0 の送信に対応します。マルチブロックの各ブロックの SYNC ヘッダーから送信されたビットは、同期ヘッダー ストリームと呼ばれる 32 ビットワードに結合されます。同期ヘッダー ストリームは、マルチブロックと拡張マルチブロックの境界をマーキングしてリンクを同期するために、ユーザー データと並行してデータを送信するために使用されます。さらに、SYNC ヘッダ ストリームは、CRC、FEC、またはコマンド チャネルのいずれかを提供します。デバイスは、CRC-12 および FEC をサポートしており、CRC-3 およびコマンド チャネルはサポートしていません。

32 ビットの同期ヘッダー ストリームは、常にマルチブロックの終了を示す EoMB (End-Of-Multiblock) 信号と呼ばれる 00001 ビット シーケンスで終了します。CRC およびコマンド チャネル モードの場合、00001 シーケンスが、同期ヘッダー ストリーム内の他の場所では発生しません。FEC モードでは、00001 シーケンスが同期ヘッダー ストリーム内の別の場所に表示される可能性がありますが、複数のマルチブロックのシーケンス内の同じ場所に 00001 シーケンスが表示されることはありません。したがって、FEC モードでは、マルチブロックの終了を見つけるのに複数のマルチブロックが必要になる場合があります。拡張マルチブロックの終了は、同期ヘッダー ストリームのビット 22 (EoEMB ビット) を監視することにより、すべてのモードで検出されます。EoEMB ビットは、1 に設定されている場合、拡張マルチブロックの終了を示します。EoMB (00001) と EoEMB 信号、および CRC とコマンド チャネル モードの同期ヘッダー ストリームの固定 1 は、同期ヘッダー ストリームのパイロット信号を形成します。

同期ヘッダー ストリームの各形式に定義されている形式を以下のセクションで定義します。

6.3.9.5.3.1 巡回冗長検査 (CRC) モード

巡回冗長検査 (CRC) モードを使用すると、送信中の潜在的なビットエラーを検出できます。JESD204C では 12 ビットワード CRC-12 モードをサポートする必要があり、3 ビット ワード CRC-3 モードはオプションです。デバイス は CRC-3 モードをサポートしていないため、このセクションは CRC-12 モードのみに特化したものです。トランスミッタは、マルチブロックの 32 ブロックのスクランブルされたデータ ビットから CRC-12 パリティ ビットを計算します。12 ビット CRC パリティワードが、次のマルチブロックの同期ヘッダー ストリームで送信されます。レシーバは、受信したマルチブロックの 12 ビット パリティワードを計算し、それを次のマルチブロックの受信した 12 ビット パリティワードと比較します。差異は、受信したデータ ビットまたは受信した 12 ビットのパリティワードに少なくとも 1 つのエラーがあることを示しています。マルチブロックの最初のデータ ビットでビットエラーを検出するための最小遅延は 46 ブロックです。

Copyright © 2025 Texas Instruments Incorporated

CRC-12 モードを使用するときの同期ヘッダーストリームのマッピングを、表 6-19 に示します。CRC[x] は 12 ビットの CRC ワードのビット x に対応します。CMD[x] は、7 ビットのコマンド ワードのビット x に対応し、デバイスでは常に 0 に設定されます。同期ヘッダー ストリームの最後の 00001 ビット シーケンスは、マルチブロックの終了を識別するために使用されるパイロット信号です。同期ヘッダー全体で 1 が発生すると、同期ヘッダーの最後にのみパイロット信号が表示され、1 つのマルチブロックを受信した後でマルチブロックのアライメントが可能になります。EoEMB は、拡張マルチブロックの最後のマルチブロックに対して 1 に設定される拡張マルチブロックの終了ビットです。

表 6-19. CRC-12 モードの同期ヘッダー ストリームのビット マッピング

ビット	機能	ビット	機能	ビット	機能	ビット	機能
0	CRC[11]	8	CRC[5]	16	Cmd[6]	24	Cmd[2]
1	CRC[10]	9	CRC[4]	17	Cmd[5]	25	Cmd[1]
2	CRC[9]	10	CRC[3]	18	Cmd[4]	26	Cmd[0]
3	1	11	1	19	1	27	0
4	CRC[8]	12	CRC[2]	20	Cmd[3]	28	0
5	CRC[7]	13	CRC[1]	21	1	29	0
6	CRC[6]	14	CRC[0]	22	EoEMB	30	0
7	1	15	1	23	1	31	1

CRC-12 エンコーダは、32 個のスクランブルされたブロック (2048 ビット) のマルチブロックを取り込み、式 13 で与えられるジェネレータ多項式を使用して 12 ビットのパリティワードを計算します。この多項式は、マルチブロック内のすべての 2 ビットエラーを検出するのに十分であり、距離を問わず、最大 12 ビットのバースト エラー シーケンスを検出することができます。マルチブロック内の任意の距離に 3 ビットエラーが検出されない確率は約 0.004% です。

$$0x987 == x^{12}+x^{9}+x^{8}+x^{3}+x^{2}+x+1 \quad (13)$$

図 6-21 に、CRC-12 の全パリティビット生成を示します。入力は 2048 ビット シーケンスで、マルチブロックの 32 個のスクランブル ブロックから構築されます (同期ヘッダーは含まれません)。12 ビットのパリティワード CRC[11:0] は、2048 ビットシーケンス全体を処理した後、S_x ブロックから取得されます。各マルチブロックを処理する前に、S_x ブロックは 0 で初期化されます。CRC-12 パリティワード生成の詳細については、JESD204C 規格を参照してください。

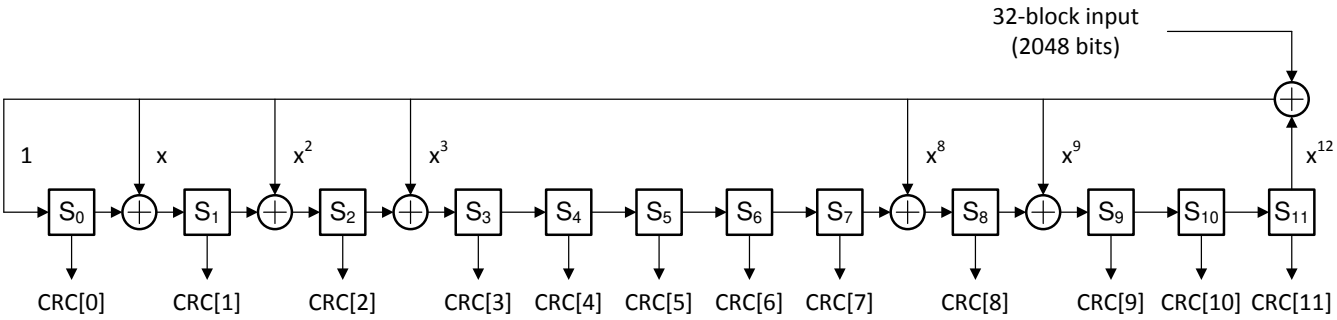


図 6-21. CRC-12 パリティ ビット ジェネレータ

6.3.9.5.3.2 前方誤り訂正 (FEC) モード

前方誤り訂正 (FEC) は JESD204C のオプション機能であり、デバイスでサポートされています。CRC-12 モードではリンク上のエラーしか検出できませんが、FEC ではエラーを検出して修正し、エラーに敏感なアプリケーションのビットエラーレート (BER) を改善できます。多くのアプリケーションではランダムなビットエラーを許容できますが、オシロスコープなど一部のアプリケーションでは、テスト対象デバイス (DUT) から特定の応答を検出するために、長いエラーフリー測定に依存しています。このようなアプリケーションでエラーが発生すると、応答の誤検出が生じる可能性があります。

32 ブロック (2048 ビット) のスクランブル マルチブロックが FEC パリティビット ジェネレータに入力され、26 ビットのパリティワードが生成されます。パリティワードは、次のマルチブロックの同期ヘッダー ストリームで送信されます。次に、レシー

Copyright © 2025 Texas Instruments Incorporated

バは独自の 26 ビットのパリティワードを計算し、ローカルで生成されたパリティ ワードと受信したパリティ ワードの差を受信ビットのシンドロームと呼びます。シンドロームが 0 なら、すべてのビットが正しく受信されたと想定され、0 以外の値はデータ ビットまたはパリティワードのいずれかに少なくとも 1 つのエラーを示します。シンドロームが 0 でない場合は、最も可能性の高いエラーを決定してからエラーを修正するために使用できます。マルチブロックの最初のビットにおけるビットエラーの検出および訂正までの最小レイテンシは 58 ブロックです。

FEC モード使用時の同期ヘッダーストリームのマッピングを、表 6-20 に示します。FEC[x] は 26 ビットの FEC ワードのビット x に対応します。同期ヘッダー ストリームの最後の 00001 ビット シーケンスは、マルチブロックの終了を識別するために使用されるパイロット信号です。00001 シーケンスが FEC モードで同期ヘッダー ストリーム内の別の場所に表示されることはありますが、複数のマルチブロックのシーケンス内の同じ場所に 00001 シーケンスが表示されることはありません。したがって、FEC モードでは、マルチブロックの終了を見つけるのに複数のマルチブロックが必要になる場合があります。EoEMB は、拡張マルチブロックの最後のマルチブロックに対して 1 に設定される拡張マルチブロックの終了ビットです。

表 6-20. FEC モードでの同期ヘッダー ストリームのビット マッピング

ビット	機能	ビット	機能	ビット	機能	ビット	機能
0	FEC[25]	8	FEC[17]	16	FEC[9]	24	FEC[2]
1	FEC[24]	9	FEC[16]	17	FEC[8]	25	FEC[1]
2	FEC[23]	10	FEC[15]	18	FEC[7]	26	FEC[0]
3	FEC[22]	11	FEC[14]	19	FEC[6]	27	0
4	FEC[21]	12	FEC[13]	20	FEC[5]	28	0
5	FEC[20]	13	FEC[12]	21	FEC[4]	29	0
6	FEC[19]	14	FEC[11]	22	EoEMB	30	0
7	FEC[18]	15	FEC[10]	23	FEC[3]	31	1

FEC エンコーダは、32 個のスクランブルされたブロック (2048 ビット) のマルチブロックを取り込み、式 14 で与えられるジェネレータ多項式を使用して 26 ビットのパリティワードを計算します。2048 のスクランブル入力ビットと 26 のパリティビットは、短縮された (2074、2048) バイナリ周期コードを形成します。バイナリ周期コード (2074、2048) は、周期ファイアコード (8687、8661) から短縮されました。この多項式は、マルチブロックごとに最大 9 ビットのバースト エラーを訂正できます。

$$g(x) = (x^{17}+1)(x^{9}+x^{4}+1) == x^{26}+x^{21}+x^{17}+x^{9}+x^{4}+1 \quad (14)$$

全 26 ビット FEC パリティワード生成を図 6-22 に示します。入力は 2048 ビット シーケンスで、マルチブロックの 32 個のスクランブル ブロックから構築されます (同期ヘッダーは含まれません)。26 ビットのパリティワード FEC[25:0] は、2048 ビットシーケンス全体を処理した後、S_x ブロックから取得されます。各マルチブロックを処理する前に、S_x ブロックは 0 で初期化されます。FEC パリティ ワード生成の詳細については、JESD204C 規格を参照してください。

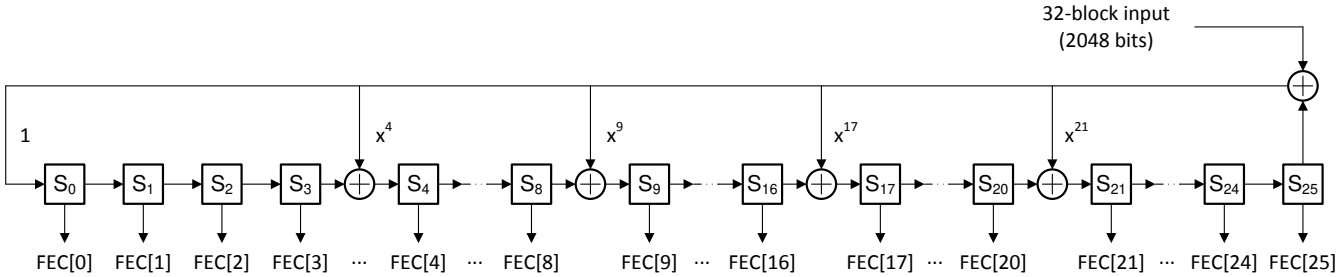


図 6-22. FEC パリティ ビット ジェネレータ

FEC デコードとエラー修正については、ここでは説明しません。FEC デコードとエラー訂正の詳細については、JESD204C 規格を参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.3.9.5.4 初期レーン整列

64B/66B リンク層は、8B/10B リンク層のような初期レーン整列シーケンス (ILAS) を使用しません。したがって、レシーバはエラスティックバッファを使用してレーンを調整するために異なる方式を使用する必要があります。8B/10B モードでは、ILAS はエラスティック バッファをトリガして各レーンのデータのバッファを開始します。すべてのレーンがデータのバッファを開始すると、各レーンの弾性バッファは、解放バッファ遅延(RBD)パラメータと LMFC の位相によって決定される解放点で解放されます。64B/66B モードでは、すべてのレーンがブロック、マルチブロック、拡張マルチブロック整列を達成することからプロセスが開始されます。すべてのレーンが整列を完了すると、レシーバは各レーンの次の拡張マルチブロックの開始時に弾性バッファ内のデータのバッファを開始できます。すべてのレーンが拡張マルチブロックの開始を確認し、データのバッファを開始すると、次のリリースポイントでデータが解放されます。リリースポイントは LEMC エッジとプログラムされた RBD 値に対して定義され、最も直感的に LEMC エッジ自体で解放されます。起動から起動までの各レーンでのデータ遅延の変動を含む LEMC の領域を避けるように、解放ポイントを選択する必要があります。

6.3.9.5.5 ブロック、マルチブロック、拡張マルチブロック整列監視

各ブロックの同期ヘッダーと同期ヘッダーストリームの EoMB および EoEMB ビットを監視することによる、ブロック、マルチブロック、および拡張マルチブロックの同期。ブロックは常に、0 から 1 または 1 から 0 への遷移 (同期ヘッダー) で始まります。ビットエラーが原因で、同期ヘッダーの欠落が 1 つ発生する可能性がありますが、設定されたブロック数内に同期ヘッダーエラーが多数発生した場合、ブロック同期が失われ、ブロック同期が再初期化されます。ブロックの同期は可能ですが、マルチブロックまたは拡張マルチブロックの同期は失われます。マルチブロック同期は、各マルチブロックの同期ヘッダーストリームの最後にある EoMB 信号 00001 を探すことによって監視されます。複数のブロック内で複数の EoMB 信号にエラーが発生した場合、マルチブロック同期は失われ、マルチブロック同期を再初期化する必要があります。拡張マルチブロックの終端ではないマルチブロックの 1、拡張マルチブロックの終端ではないマルチブロックの 0 など、多数の拡張マルチブロック内の複数の拡張マルチブロックに対して誤った EoEMB ビットが受信された場合、マルチブロック同期は失われ、拡張マルチブロック同期は再初期化されます。マルチブロックまたは拡張マルチブロック同期が失われた場合、同期プロセスが開始される前に LEMC を再確立するために、エラーのあるデバイスに SYSREF を適用する必要があります。

6.3.9.6 物理層

JESD204C 物理層は、電流モードロジック（CML）出力ドライバとレシーバで構成されています。レシーバは、クロック検出/回復（CDR）ユニットを備え、シリアル化されたデータ・ストリームからデータ・クロックを抽出します。また、物理的伝送チャネルのローパス応答を補正するため、連続時間リニア・イコライザ（CTLE）およびディスクリート帰還イコライザ（DFE）を内蔵できます。同様に、トランスミッタにプリイコライゼーションを含めることで、チャネル全体での周波数依存損失を考慮できます。SerDes リンクの合計到達範囲は、データ・レート、基板材質、コネクタ、イコライゼーション、ノイズとジッタ、必要なビット・エラー性能によって異なります。SerDes レーンは長さを一致させる必要はありません。これは、レシーバが最初のレーン・アライメント・シーケンスの間にレーンを整列するためです。

6.3.9.6.1 SerDes プリエンファシス

デバイス高速出力ドライバは、転送チャネルのローパス応答を補償するために、プリエンファシスを使用して送信データ ストリームをプリイコライゼーションできます。構成可能なプリエンファシス設定を利用すると、出力駆動波形を、PCB のさまざまな材質と信号伝送距離に合わせて最適化できます。プリエンファシス設定は、シリアライザのプリエンファシス設定 SER_PE (シリアライザのプリエンファシス制御レジスタ 内) により調整されます。値が大きいほどプリエンファシスが大きくなり、損失の多い PCB 材料を補償できます。この調整は、レシーバのアイダイアグラム分析機能と組み合わせて使用するのが最適です。特定のハードウェア構成や必要なラインレートに合わせてアイオープニングを最適化するために、プリエンファシス設定を調整します。

6.3.9.7 JESD204C 対応

JESD204C インターフェイスは、その他の JESD204C パラメータのいずれかを変更しながら、(JESD204C イネーブル レジスタ 内の) JESD_EN を介して無効化する必要があります。JESD_EN が 0 に設定されると、ブロックはリセット状態に保持され、シリアライザはパワーダウンされます。さらに消費電力を節約するため、このセクションのクロックもオフにします。パラメータを必要に応じて設定したときは、JESD204C ブロックを有効にすることができます（JESD_EN を 1 に設定）。

Copyright © 2025 Texas Instruments Incorporated

6.3.9.8 複数デバイスの同期と決定論的レイテンシ

JESD204C サブクラス 1 では、シリアル リンク全体で決定論的なレイテンシを実現する方法の概要を説明します。2 つのデバイスが同一の決定論的レイテンシを達成している場合、それらは同期していると判断できます。決定論的であるためには、このレイテンシはシステムの起動からデバイスの起動までに達成される必要があります。決定論的レイテンシを実現するには、2 つの重要な要件があります。1 つ目は SYSREF の適切なキャプチャであり、デバイスはギガサンプルのクロック レートでこの要件を簡素化するための各種機能を備えています (詳細については、「*SYSREF キャプチャ*」セクションを参照)。SYSREF は、8B/10B エンコード モードの LMFC、または LEMC が 64B/66B エンコード モードのいずれかをリセットします。LMFC および LEMC は 2 つのモード間で類似しており、現在では LMFC/LEMC と呼ばれています。

2 つ目の要件は、レシーバ内で適切な弾性バッファのリリース ポイントを選択することです。デバイスは ADC であるため、デバイスは JESD204C リンクのトランスミッタ (TX)、ロジック デバイスはレシーバ (RX) です。弾性バッファは、決定論的レイテンシを実現するための重要なブロックであり、データがトランスミッタからレシーバに伝達されるときにシリアル化されたデータの伝搬遅延の変動を吸収することで遅延を実現します。適切なリリース ポイントとは、遅延変動に対して十分なマージンを確保できるものです。リリース ポイントが適切でない場合、1 つの LMFC/LEMC 周期のレイテンシ変動が発生します。適切なリリース ポイントを選択するには、LMFC/LEMC エッジを参照する弾性バッファへのデータの平均到着時間と、すべてのデバイスの予測される遅延変動の合計を知る必要があります。この情報を使用して、LMFC/LEMC 周期内の無効なリリース ポイントの領域を定義できます。この領域は、すべてのレーンの最小遅延から最大遅延まで延びます。基本的に、前のリリース ポイントが発生してから次のリリース ポイントが発生するまでの間に、すべてのレーンのデータがすべてのデバイスに到着することを設計者は確認する必要があります。

この要件を示すタイミング図を、図 6-23 に示します。この図では、2 つの ADC のデータを示しています。2 つ目の ADC は配線距離 (t_{PCB}) が長く、その結果、リンク遅延も長くなります。まず、LMFC/LEMC 周期の無効領域は、すべてのデバイスのデータ到着時間によって決定されるとおりにマーク オフされます。次に、リリース バッファ遅延 (RBD) パラメータを使用して、リリース ポイントを LMFC/LEMC エッジから適切な数のフレーム クロックにシフトし、LMFC/LEMC サイクルの有効な領域内でリリース ポイントが発生するようにします。図 6-23 の場合、有効領域の各側に十分なマージンがあるので、LMFC/LEMC エッジ (RBD = 0) がリリース ポイントに適した選択肢です。

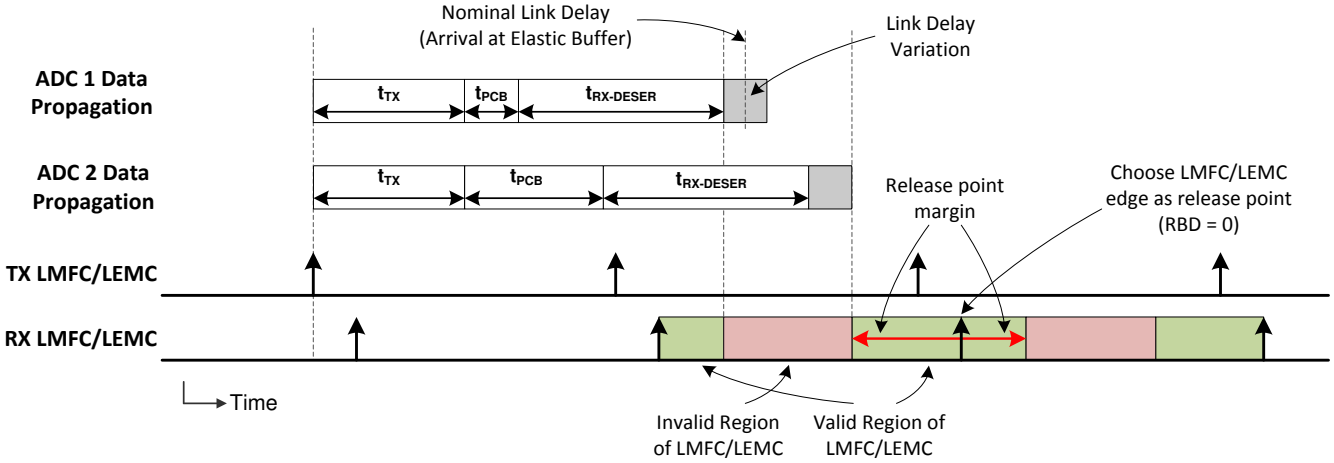


図 6-23. 弾性バッファのリリース ポイント選択における LMFC/LEMC の有効領域の定義

TX および RX LMFC/LEMC は必ずしも位相が揃っている必要はありませんが、弾性バッファのリリース ポイントを適切に選択するには、それらの位相を把握することが重要です。また、弾性バッファのリリース ポイントは各 LMFC/LEMC サイクル内で発生しますが、バッファはすべてのレーンが到着したときにのみ解放されます。このため、合計リンク遅延が単一の LMFC/LEMC 周期を超える可能性があります。「*JESD204B 複数デバイスの同期:」を参照してください 詳細情報は 要件を分解* を参照。

6.3.9.9 Subclass 0 システムでの動作

マルチ ADC の同期と決定論的レイテンシが不要な場合、ADC12DJ5200-SP はサブクラス 0 との互換性で動作できます。これらの制限により、このデバイスは SYSREF をアプリケーションしなくても動作できます。内部 LMFC/LEMC は、タ

Copyright © 2025 Texas Instruments Incorporated

イミングが不明な場合に自動的に自己生成されます。SYNC は、8B/10B モードで CGS と ILAS を開始するために通常どおり使用されます。

6.3.10 アラームの監視

内部イベントを監視するための組み込みアラームがいくつか用意されています。この機能では、さまざまな種類のアラームとアップセットが検出されます:

1. シリアライザ FIFO アラーム (FIFO オーバーフローまたはアンダーフロー)
2. シリアライザの PLL はロックされていません
3. JESD204C リンクは有効ですが、データを送信していません (データ送信状態ではありません)
4. SYSREF により、内部クロックが再調整されます
5. NCO 位相に影響を及ぼすアップセット
6. JESD204C クロックに影響を及ぼすアップセット

アラームが発生すると、特定のアラームごとに 1 ビットが ALM_STATUS に設定されます。各アラームビットは、ホストシステムが 1 を書き込んでアラームをクリアするまで設定されたまま維持されます。アラーム タイプがマスクされていない場合 (アラーム マスク レジスタ を参照)、ALARM レジスタでもアラームが示されます。CALSTAT 出力ピンは、アラームが発生すると High になるアラーム出力として構成できます。較正ピン構成レジスタの CAL_STATUS_SEL ビットを参照してください。

6.3.10.1 クロック エラー検出

CLK_ALM レジスタ ビットは、内部クロックがアップセットされているかどうかを示します。チャネル A のクロックは、チャネル B と連続的に比較されます。クロックが 1 DEVCLK / 2 サイクルでも異なる場合、CLK_ALM レジスタ ビットが設定され、ホスト システムが 1 を書き込んでクリアされるまで設定されたままになります。CLK_ALM レジスタ・ビットを正常に機能させるには、以下の手順に従います:

1. JESD_EN = 0 をプログラムします
2. 部品は両方のチャネル (PD_ACH = 0、PD_BCH = 0) を使用するように構成する必要があります
3. JESD_EN = 1 をプログラムします
4. CLK_ALM = 1 を書き込んで CLK_ALM をクリアします
5. CAL_STATUS_SEL が適切に構成されている場合は、CLK_ALM ステータス ビットまたは CALSTAT 出力ピンを監視します
6. グローバル パワーダウンを終了するとき (MODE または PD ピンを使用)、CLK_ALM ステータス ビットを設定して、CLK_ALM に 1 を書き込むことでクリアする必要があります

6.3.10.2 FIFO エラー検出

FIFO_ALM ビットは、デジタル ロジック ブロックとシリアライザ出力との間の同期 FIFO 内で、JESD204C シリアライザ レーンのいずれかでアンダーフロー状態またはオーバーフロー状態が発生したかどうかを示します。FIFO_LANE_ALM レジスタ ビットを使用して、どのレーンがアンダーフロー状態アラームまたはオーバーフロー状態アラームをトリガしたかを判定できます。望ましくないクロック シフトや他のシングル イベント、またはクロック周波数が正しくないために FIFO ポインタがアップセットされた場合、エラー レーンの FIFO_LANE_ALM ビットは 1 に設定されます。INIT_ON_FIFO_ALM ビットがセットされている場合、シリアライザ、FIFO、JESD204C ブロックは自動的に再初期化されます。

Copyright © 2025 Texas Instruments Incorporated

6.4 デバイスの機能モード

ADC12DJ5200-SP は、さまざまな機能モードで動作するように設定できます。これらのモードについては、このセクションで説明します。

6.4.1 デュアル チャネル モード

ADC12DJ5200-SP は、CLK+ ピンと CLK– ピンで供給されるクロック周波数 ($f_S = f_{CLK}$) に等しいサンプリング レートのデュアル チャネル ADC として使用できます。このモードでは、2 つの入力 AIN± および BIN± が各チャネルのそれぞれの入力として機能します。このモードは、「 動作モード 」で説明されているように、目的の構成に適した設定に JMODE を設定するだけで選択されます。DUAL_INPUT を設定することでアナログ入力を交換できます (「入力マルチプレクサ制御レジスタ」を参照)。1 つのチャネルをパワーダウンして、ADC12DJ5200-SP をデュアル チャネル モードの最大サンプリング レートでシングル チャネル モードとして動作させると、半分のレートで動作するシングル チャネル モードより消費電力を削減できます。

6.4.2 シングル チャネル モード (DES モード)

ADC12DJ5200-SP は、CLK+ ピンと CLK– ピンで供給されるクロック周波数 ($f_S = 2 \times f_{CLK}$) の 2 倍に等しいサンプリング レートのシングル チャネル ADC としても使用できます。このモードでは、2 つの ADC チャネルが実質的にインターリーブされ、サンプリング速度が 2 倍のシングル チャネル ADC を形成します。「動作モード」に示されているように、このモードは、目的の構成に適した設定に JMODE を設定するだけで選択されます。INA± と INB± のいずれかを ADC への入力として使用できますが、最高の性能を得るには INA± が推奨されます。アナログ入力は、SINGLE_INPUT を使用して選択できます (入力マルチプレクサ制御レジスタ を参照)。変更を有効にするには、入力マルチプレクサのスイッチング後にキャリブレーションを行う必要があります。

6.4.3 デュアル入力シングル チャネル モード (デュアル DES モード)

ADC12DJ5200-SP は、CLK+ ピンと CLK– ピンで供給されるクロック周波数 ($f_S = 2 \times f_{CLK}$) の 2 倍に等しいサンプリング レートのシングル チャネル ADC としても使用できます。このモードでは、2 つのチャネルが位相差でサンプリングされ、各チャネルが個別のアナログ入力 (INA± と INB±) をサンプリングします。実効サンプリング レートは、デバイス クロック入力 (CLK±) の 2 倍です。このモードは、インターリーブされたトラック / ホールド (T&H) アナログ フロント エンドの出力をサンプリングするのに便利です。「 動作モード 」に示されているように、このモードは、JMODE を「シングル チャネル モード」に設定し、INA± と INB± の両方を使用するように SINGLE_INPUT を設定することで選択されます (「入力マルチプレクサ制御レジスタ」を参照)。デジタル処理および JESD204C インターフェイスは、デバイスがシングル チャネル モードにあり、そのうち 1 つの入力のみをサンプリングするように動作します。

Copyright © 2025 Texas Instruments Incorporated

6.4.4 JESD204C モード

ADC12DJ5200-SP は、シングル チャネルまたはデュアル チャネルの ADC としてプログラムでき、多数の JESD204C 出力形式をサポートします。表 6-21 に、基本的な動作モード設定パラメータと、それらがユーザ設定か派生かをまとめます。

表 6-21. ADC12DJ5200-SP 動作モードの構成パラメータ

パラメータ	説明	ユーザーが設定または求めます	値
JMODE	JESD204C 動作モードでは、シングル チャネルまたはデュアル チャネル モード、および残りの JESD204C パラメータを自動的に導出します	ユーザーが設定済み	JMODE によって設定されます (「JESD204C モード レジスタ」を参照)
DES	1 = シングル チャネル モード、0 = デュアル チャネル モード	誘導	「*動作モード*」を参照
R	CLK± サイクルあたりのレーンあたり送信されるビット数。JESD204C ライン レートは、CLK± 周波数 × R です。このパラメータは SerDes PLL の乗算係数を設定するか、SerDes PLL のバイパスを制御します。	誘導	「*動作モード*」を参照
リンク	使用されている JESD204C リンクの数	誘導	「*動作モード*」を参照
K	マルチフレームあたりのフレーム数 (8B/10B モード)	ユーザーが設定済み	KM1 で設定します (「JESD204C K パラメータ レジスタ」を参照)。「*動作モード*」で許容される値を参照してください。64B/66B モードでは、このパラメータは無視されます。
E	拡張マルチブロックあたりのマルチブロック数 (64B/66B モード)	誘導	ADC12DJ5200-SP で、常に 1 に設定。8B/10B モードでは、このパラメータは無視されます。

JESD204C トランスポート層のフォーマットを定義するためには多くのパラメータが必要です。これらはすべて、8B/10B モードでの最初のレーンアライメントシーケンス中にリンクを介して送信されます。64B/66B モードでは ILAS を使用しませんが、トランスポート層では同じパラメータが使用されます。ADC12DJ5200-SP では、ほとんどのパラメータは選択した JMODE に基づいて自動的に導出されますが、ユーザーが設定したパラメータもいくつかあります。表 6-22 に、これらのパラメータを示します。

Copyright © 2025 Texas Instruments Incorporated

表 6-22. JESD204C 初期レーン整列シーケンスパラメータ

パラメータ	説明	ユーザーが設定または求めます	値
ADJCNT	LMFC の調整額 (該当なし)	誘導	常に 0
ADJDIR	LMFC の調整方向 (該当なし)	誘導	常に 0
BID	Bank ID	誘導	常に 0
CF	フレームあたりの制御ワード数	誘導	常に 0
CS	サンプルあたりの制御ビット	誘導	ILAS では常に 0 に設定します。実際の使用方法については、「*動作モード*」を参照してください
DID	リンクの識別に使用されるデバイス識別子	ユーザーが設定済み	DID によって設定されます (「JESD204C DID パラメータ レジスタ」を参照)。「レーン割り当て」を参照してください
F	1 フレームあたりのオクテット (バイト) 数 (レーンあたり)	誘導	「*動作モード*」を参照
HD	高密度形式 (サンプルをレーンに分割)	誘導	常に 0
JESDV	JESD204 標準リビジョン	誘導	常に 1
K	マルチフレームあたりのフレーム数	ユーザーが設定済み	KM1 レジスタで設定します。「JESD204C K パラメータ レジスタ」を参照してください
L	リンクごとのシリアル出力レーン数	誘導	「*動作モード*」を参照
LID	各レーンのレーン ID	誘導	「レーン割り当て」を参照
M	レーンのビットパッキングの決定に使用されるコンバータの数。デバイスの ADC チャネル数と一致しない場合があります	誘導	「*動作モード*」を参照
N	サンプル分解能 (コントロール ビットとテール ビットを追加する前)	誘導	「*動作モード*」を参照
N'	コントロール ビットとテール ビットを追加した後のサンプルあたりのビット数	誘導	「*動作モード*」を参照
S	コンバータ (M)、フレームあたりのサンプル数	誘導	「*動作モード*」を参照
SCR	スクランブラが有効	ユーザーが設定済み	JESD204C 制御レジスタ で設定します
SUBCLASSV	デバイス サブクラス バージョン	誘導	常に 1
RES1	予約済みフィールド 1	誘導	常に 0
RES2	予約済みフィールド 2	誘導	常に 0
CHKSUM	ILAS チェックのチェックサム (256 をモジュロとした上記すべてのパラメータの合計)	誘導	この表のパラメータに基づいて計算されます

Copyright © 2025 Texas Instruments Incorporated

6.4.4.1 JESD204C 動作モード表

表 6-23. ADC12DJ5200-SP 動作モード

ADC12DJ5200-SP 動作モード	ユーザー指定のパラメータ		派生パラメータ														入力クロック範囲 (MHz)
	JMODE	K [最小:ステップ:最大]	エンコード	D	DES	LINKS	N	CS	N'	L (リンクごと)	M (リンクごと)	F	S	HD	E	R (Fbit / Fclk)	
12 ビット、シングル チャネル、8 レーン	0	4:2:256	8b/10b	1	1	2	12	0	12	4	4(1)	8	5	0	—	4	800-4290
12 ビット、シングル チャネル、16 レーン	1	4:2:256	8b/10b	1	1	2	12	0	12	8	8(1)	8	5	0	—	2	800-5200
12 ビット、デュアル チャネル、8 レーン	2	4:2:256	8b/10b	1	0	2	12	0	12	4	4(1)	8	5	0	—	4	800-4290
12 ビット、デュアル チャネル、16 レーン	3	4:2:256	8b/10b	1	0	2	12	0	12	8	8(1)	8	5	0	—	2	800-5200
予約済み	4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
8 ビット、シングル チャネル、8 レーン	5	32:16:256	8b/10b	1	1	2	8	0	8	4	1	1	4	0	—	2.5	800-5200
8 ビット、シングル チャネル、16 レーン	6	32:16:256	8b/10b	1	1	2	8	0	8	8	1	1	8	0	—	1.25	800-5200
8 ビット、デュアル チャネル、8 レーン	7	32:16:256	8b/10b	1	0	2	8	0	8	4	1	1	4	0	—	2.5	800-5200
8 ビット、デュアル チャネル、16 レーン	8	32:16:256	8b/10b	1	0	2	8	0	8	8	1	1	8	0	—	1.25	800-5200
予約済み	9	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
4 倍デシメーション、デュアル チャネル、4 レーン	10	16:8:256	8b/10b	4	0	2	15	1	16	2	2	2	1	0	—	5	800-3432
4 倍デシメーション、デュアル チャネル、8 レーン	11	16:8:256	8b/10b	4	0	2	15	1	16	4	2	2	2	0	—	2.5	800-5200
4 倍デシメーション、デュアル チャネル、16 レーン	12	16:8:256	8b/10b	4	0	2	15	1	16	8	2	2	4	0	—	1.25	800-5200
8 倍デシメーション、デュアル チャネル、2 レーン	13	8:4:256	8b/10b	8	0	2	15	1	16	1	2	4	1	0	—	5	800-3432
8 倍デシメーション、デュアル チャネル、4 レーン	14	16:8:256	8b/10b	8	0	2	15	1	16	2	2	2	1	0	—	2.5	800-5200
8 倍デシメーション、デュアル チャネル、8 レーン	15	16:8:256	8b/10b	8	0	2	15	1	16	4	2	2	2	0	—	1.25	800-5200
8 倍デシメーション、デュアル チャネル、16 レーン	16	16:8:256	8b/10b	8	0	2	15	1	16	8	2	2	4	0	—	0.625	800-5200
予約済み	17-18	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
12 ビット、シングル チャネル、12 レーン	19	16:8:256	8b/10b	1	1	2	12	0	12	6	1	2	8	1	—	2.5	800-5200
12 ビット、デュアル チャネル、12 レーン	20	16:8:256	8b/10b	1	0	2	12	0	12	6	1	2	8	1	—	2.5	800-5200
4 倍デシメーション、シングル チャネル、4 レーン	21	16:8:256	8b/10b	4	1	2	15	1	16	2	1	2	2	0	—	5	800-3432
4 倍デシメーション、シングル チャネル、8 レーン	22	16:8:256	8b/10b	4	1	2	15	1	16	4	1	2	4	0	—	2.5	800-5200
8 倍デシメーション、シングル チャネル、2 レーン	23	16:8:256	8b/10b	8	1	2	15	1	16	1	1	2	1	0	—	5	800-3432
8 倍デシメーション、シングル チャネル、4 レーン	24	16:8:256	8b/10b	8	1	2	15	1	16	2	1	2	2	0	—	2.5	800-5200

Copyright © 2025 Texas Instruments Incorporated

表 6-23. ADC12DJ5200-SP 動作モード (続き)

ADC12DJ5200-SP 動作モード	ユーザー指定のパラメータ		派生パラメータ														入力クロック範囲 (MHz)
	JMODE	K [最小:ステップ:最大]	エンコード	D	DES	LINKS	N	CS	N'	L (リンクごと)	M (リンクごと)	F	S	HD	E	R (Fbit / Fclk)	
4 倍デシメーション、シングル チャネル、16 レーン	25	16:8:256	8b/10b	4	1	2	15	1	16	8	1	2	8	0	—	1.25	800-5200
8 倍デシメーション、シングル チャネル、8 レーン	26	16:8:256	8b/10b	8	1	2	15	1	16	4	1	2	4	0	—	1.25	800-5200
8 倍デシメーション、シングル チャネル、16 レーン	27	16:8:256	8b/10b	8	1	2	15	1	16	8	1	2	8	0	—	0.625	800-5200
予約済み	28-29	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
12 ビット、シングル チャネル、8 レーン	30	32(2)	64b/66b	1	1	2	12	0	12	4	4(1)	8	5	0	1	3.3	800-5200
12 ビット、デュアル チャネル、8 レーン	31	32(2)	64b/66b	1	0	2	12	0	12	4	4(1)	8	5	0	1	3.3	800-5200
12 ビット、シングル チャネル、6 レーン	32	128(2)	64b/66b	1	1	2	12	0	12	3	1	2	4	1	1	4.125	800-4160
12 ビット、デュアル チャネル、6 レーン	33	128(2)	64b/66b	1	0	2	12	0	12	3	1	2	4	1	1	4.125	800-4160
8 ビット、シングル チャネル、4 レーン	34	256(2)	64b/66b	1	1	2	8	0	8	2	1	1	2	0	1	4.125	800-4160
8 ビット、デュアル チャネル、4 レーン	35	256(2)	64b/66b	1	0	2	8	0	8	2	1	1	2	0	1	4.125	800-4160
4 倍デシメーション、シングル チャネル、4 レーン	36	128(2)	64b/66b	4	1	2	15	1	16	2	1	2	2	0	1	4.125	800-4160
4 倍デシメーション、デュアル チャネル、4 レーン	37	128(2)	64b/66b	4	0	2	15	1	16	2	2	2	1	0	1	4.125	800-4160
8 倍デシメーション、シングル チャネル、2 レーン	38	128(2)	64b/66b	8	1	2	15	1	16	1	1	2	1	0	1	4.125	800-4160
8 倍デシメーション、デュアル チャネル、2 レーン	39	64(2)	64b/66b	8	0	2	15	1	16	1	2	4	1	0	1	4.125	800-4160
12 ビット、シングル チャネル、16 レーン	40	32(2)	64b/66b	1	1	2	12	0	12	8	8(1)	8	5	0	1	1.65	800-5200
12 ビット、デュアル チャネル、16 レーン	41	32(2)	64b/66b	1	0	2	12	0	12	8	8(1)	8	5	0	1	1.65	800-5200
12 ビット、シングル チャネル、12 レーン	42	128(2)	64b/66b	1	1	2	12	0	12	6	1	2	8	1	1	2.0625	800-5200
12 ビット、デュアル チャネル、12 レーン	43	128(2)	64b/66b	1	0	2	12	0	12	6	1	2	8	1	1	2.0625	800-5200
8 ビット、シングル チャネル、8 レーン	44	256(2)	64b/66b	1	1	2	8	0	8	4	1	1	4	0	1	2.0625	800-5200
8 ビット、デュアル チャネル、8 レーン	45	256(2)	64b/66b	1	0	2	8	0	8	4	1	1	4	0	1	2.0625	800-5200
4 倍デシメーション、シングル チャネル、8 レーン	46	128(2)	64b/66b	4	1	2	15	1	16	4	1	2	4	0	1	2.0625	800-5200
4 倍デシメーション、デュアル チャネル、8 レーン	47	128(2)	64b/66b	4	0	2	15	1	16	4	2	2	2	0	1	2.0625	800-5200
8 倍デシメーション、シングル チャネル、4 レーン	48	128(2)	64b/66b	8	1	2	15	1	16	2	1	2	2	0	1	2.0625	800-5200
8 倍デシメーション、デュアル チャネル、4 レーン	49	128(2)	64b/66b	8	0	2	15	1	16	2	2	2	1	0	1	2.0625	800-5200
8 ビット、シングル チャネル、16 レーン	50	256(2)	64b/66b	1	1	2	8	0	8	8	1	1	8	0	1	1.03125	800-5200
8 ビット、デュアル チャネル、16 レーン	51	256(2)	64b/66b	1	0	2	8	0	8	8	1	1	8	0	1	1.03125	800-5200

Copyright © 2025 Texas Instruments Incorporated

表 6-23. ADC12DJ5200-SP 動作モード (続き)

ADC12DJ5200-SP 動作モード	ユーザー指定のパラメータ		派生パラメータ														入力クロック範囲 (MHz)
	JMODE	K [最小:ステップ:最大]	エンコード	D	DES	LINKS	N	CS	N'	L (リンクごと)	M (リンクごと)	F	S	HD	E	R (Fbit / Fclk)	
4 倍デシメーション、シングル チャネル、16 レーン	52	128[2]	64b/66b	4	1	2	15	1	16	8	1	2	8	0	1	1.03125	800-5200
4 倍デシメーション、デュアル チャネル、16 レーン	53	128[2]	64b/66b	4	0	2	15	1	16	8	2	2	4	0	1	1.03125	800-5200
8 倍デシメーション、シングル チャネル、8 レーン	54	128[2]	64b/66b	8	1	2	15	1	16	4	1	2	4	0	1	1.03125	800-5200
8 倍デシメーション、デュアル チャネル、8 レーン	55	128[2]	64b/66b	8	0	2	15	1	16	4	2	2	2	0	1	1.03125	800-5200
16 倍デシメーション、デュアル チャネル、2 レーン	56	8:4:256	8b/10b	16	0	2	15	1	16	1	2	4	1	0	—	2.5	800-5200
16 倍デシメーション、デュアル チャネル、4 レーン	57	16:8:256	8b/10b	16	0	2	15	1	16	2	2	2	1	0	—	1.25	800-5200
16 倍デシメーション、デュアル チャネル、8 レーン	58	16:8:256	8b/10b	16	0	2	15	1	16	4	2	2	2	0	—	0.625	800-5200
16 倍デシメーション、デュアル チャネル、2 レーン	59	64[2]	64b/66b	16	0	2	15	1	16	1	2	4	1	0	1	2.0625	800-5200
16 倍デシメーション、デュアル チャネル、4 レーン	60	128[2]	64b/66b	16	0	2	15	1	16	2	2	2	1	0	1	1.03125	800-5200
16 倍デシメーション、シングル チャネル、2 レーン	61	16:8:256	8b/10b	16	1	2	15	1	16	1	1	2	1	0	—	2.5	800-5200
16 倍デシメーション、シングル チャネル、4 レーン	62	16:8:256	8b/10b	16	1	2	15	1	16	2	1	2	2	0	—	1.25	800-5200
16 倍デシメーション、シングル チャネル、8 レーン	63	16:8:256	8b/10b	16	1	2	15	1	16	4	1	2	4	0	—	0.625	800-5200
16 倍デシメーション、シングル チャネル、2 レーン	64	128[2]	64b/66b	16	1	2	15	1	16	1	1	2	1	0	1	2.0625	800-5200
16 倍デシメーション、シングル チャネル、4 レーン	65	128[2]	64b/66b	16	1	2	15	1	16	2	1	2	2	0	1	1.03125	800-5200
32 倍デシメーション、デュアル チャネル、2 レーン	66	8:4:256	8b/10b	32	0	2	15	1	16	1	2	4	1	0	—	1.25	800-5200
32 倍デシメーション、デュアル チャネル、4 レーン	67	16:8:256	8b/10b	32	0	2	15	1	16	2	2	2	1	0	—	0.625	800-5200
32 倍デシメーション、デュアル チャネル、2 レーン	68	64[2]	64b/66b	32	0	2	15	1	16	1	2	4	1	0	1	1.03125	800-5200

Copyright © 2025 Texas Instruments Incorporated

表 6-23. ADC12DJ5200-SP 動作モード (続き)

ADC12DJ5200-SP 動作モード	ユーザー指定のパラメータ		派生パラメータ														入力クロック範囲 (MHz)
	JMODE	K [最小:ステップ:最大]	エンコード	D	DES	LINKS	N	CS	N'	L (リンクごと)	M (リンクごと)	F	S	HD	E	R (Fbit / Fclk)	
32 倍デシメーション、シングル チャネル、2 レーン	69	16:8:256	8b/10b	32	1	2	15	1	16	1	1	2	1	0	—	1.25	800-5200
32 倍デシメーション、シングル チャネル、4 レーン	70	16:8:256	8b/10b	32	1	2	15	1	16	2	1	2	2	0	—	0.625	800-5200
32 倍デシメーション、シングル チャネル、2 レーン	71	128(2)	64b/66b	32	1	2	15	1	16	1	1	2	1	0	1	1.03125	800-5200

(1) これらのモードでは、M は L に等しく、不要なバッファリングを発生させることなく、サンプルを L レーンで時間順に送信することができます。M パラメータは、コンバータの実際の数を表すものではありません。レシーバの各リンクから M サンプルストリームをインターリーブして、正しいサンプルデータを生成します。詳細については、モード図を参照してください。
(2) 64B/66B モードでは、K パラメータは直接プログラマブルではありません。K は E と F に K = 8 x 32 x E/F という式で関係します。K は 64B/66B リンク層の実際のパラメータではありません。

Copyright © 2025 Texas Instruments Incorporated

6.4.4.2 JESD204C モード (続き)

JMODE と呼ばれる単一の構成パラメータを使用することで、ADC12DJ5200-SP の構成を簡単に行うことができます (「JESD204C モード レジスタ」を参照)。「 *動作モード* 」を使用すると、目的の動作モードに適した JMODE 値を見つけることができます。「 *動作モード* 」に示すモードは、使用可能な唯一の動作モードです。この表は、フレーム数のマルチフレーム長を設定する K パラメータ (KM1 で設定、「JESD204C K パラメータ レジスタ」を参照) の範囲と許容ステップ サイズも示しています。

ADC12DJ5200-SP には、合計 16 の高速出力ドライバがあり、これらは 2 つの 8 レーン JESD204C リンクにグループ化されています。すべての動作モードでは、リンクごとに最大 8 レーンの 2 つのリンクを使用します。レーンとその派生構成パラメータについては、「レーン割り当てとパラメータ」の表を参照してください。指定された JMODE の場合、各リンクのインデックス付きの最小のレーンが使用され、各リンクのインデックス付きの大きいレーンは自動的に電源がオフになります。最も小さいインデックス付きレーンは常にロジック デバイスに配線します。

表 6-24. ADC12DJ5200-SP レーン割り当てとパラメータ

デバイスのピン指定	JESD204C LINK	DID (ユーザー設定)	LID (誘導)
DA0±	A	DID で設定 (「JESD204C DID パラメータ レジスタ」を参照) すると、有効な DID は DID レジスタ設定 (DID) と等しくなります。	0
DA1±			1
DA2±			2
DA3±			3
DA4±			4
DA5±			5
DA6±			6
DA7±			7
DB0±	B	DID で設定 (「JESD204C DID パラメータ レジスタ」を参照) すると、有効な DID は DID レジスタ設定に 1 を加えた値 (DID+1) と等しくなります。	0
DB1±			1
DB2±			2
DB3±			3
DB4±			4
DB5±			5
DB6±			6
DB7±			7

6.4.4.3 JESD204C トランスポート層のデータ形式

出力データは、その JMODE のトランスポート層設定に基づいて、各 JMODE 設定に対して特定の形式でフォーマットされます。DDC を使用しない場合 (デシメーション = 1)、12 ビットのオフセット バイナリ値がオクテットにマップされます。DDC モードでは、16 ビット値 (15 ビットの複素数データ + 1 のオーバーレンジ ビット) がオクテットにマップされます。次の表に、各 JMODE のシングルフレームに固有のマッピング形式を示します。JMODE テーブルで使用されるシンボル定義については、表 6-25 を参照してください。すべてのマッピングにおいて、テールビット (T) は 0 (ゼロ) です。すべてのサンプルは、MSB ファースト、LSB ラストとしてフォーマットされます。

表 6-25. JMODE テーブルシンボル定義

表記	モード	説明
S[n]	シングル チャネル、DDC バイパス	DDC がバイパスされると、シングル チャネル モードで ADC から n をサンプリングします
A[n]	デュアル チャネル、DDC バイパス	DDC がバイパスされると、デュアル チャネル モードでチャネル A から n をサンプリングします
B[n]	デュアル チャネル、DDC バイパス	DDC がバイパスされると、デュアル チャネル モードでチャネル A から n をサンプリングします
T	—	テールビット。常に 0 に設定されます
AI[n]、AQ[n]	デュアル チャネル、DDC イネーブル	デュアル チャネル モードで DDC A からの複素 I/Q サンプリング n

Copyright © 2025 Texas Instruments Incorporated

表 6-25. JMODE テーブルシンボル定義 (続き)

表記	モード	説明
BI[n]、BQ[n]	デュアル チャネル、DDC イネーブル	デュアル チャネル モードで DDC B からの複素 I/Q サンプリング n
ORA0[n]	デュアル チャネル、DDC イネーブル	チャネル A のオーバーレンジ フラグ、チャネル A のサンプル n がオーバーレンジ スレッショルド 0 (OVR_T0) を超えると High に設定
ORA1[n]	デュアル チャネル、DDC イネーブル	チャネル A のオーバーレンジ フラグ、チャネル A のサンプル n がオーバーレンジ スレッショルド 1 (OVR_T1) を超えると High に設定
ORB0[n]	デュアル チャネル、DDC イネーブル	チャネル B のオーバーレンジ フラグ、チャネル B サンプル n がオーバーレンジ スレッショルド 0 (OVR_T0) を超えると High に設定
ORB1[n]	デュアル チャネル、DDC イネーブル	チャネル B のオーバーレンジ フラグ、チャネル B サンプル n がオーバーレンジ スレッショルド 1 (OVR_T1) を超えると High に設定
I[n]、Q[n]	シングル チャネル、DDC イネーブル	シングル チャネル モードで DDC からの複素 I/Q サンプリング n
OR0[n]	シングル チャネル、DDC イネーブル	オーバーレンジ フラグ、サンプル n がオーバーレンジ スレッショルド 0 (OVR_T0) を超えると High に設定
OR1[n]	シングル チャネル、DDC イネーブル	オーバーレンジ フラグ、サンプル n がオーバーレンジ スレッショルド 1 (OVR_T1) を超えると High に設定

表 6-26. JMODES 0 および 30 (12 ビット、シングル チャネル、DDC バイパス、8 レーン)

オクテット	0		1		2		3		4		5		6		7	
NIBBLE	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DA0	S[0]			S[8]			S[16]			S[24]			S[32]			T
DA1	S[2]			S[10]			S[18]			S[26]			S[34]			T
DA2	S[4]			S[12]			S[20]			S[28]			S[36]			T
DA3	S[6]			S[14]			S[22]			S[30]			S[38]			T
DB0	S[1]			S[9]			S[17]			S[25]			S[33]			T
DB1	S[3]			S[11]			S[19]			S[27]			S[35]			T
DB2	S[5]			S[13]			S[21]			S[29]			S[37]			T
DB3	S[7]			S[15]			S[23]			S[31]			S[39]			T

表 6-27. JMODES 1 および 40 (12 ビット、シングル チャネル、DDC バイパス、16 レーン)

オクテット	0		1		2		3		4		5		6		7	
NIBBLE	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DA0	S[0]			S[16]			S[32]			S[48]			S[64]			T
DA1	S[2]			S[18]			S[34]			S[50]			S[66]			T
DA2	S[4]			S[20]			S[36]			S[52]			S[68]			T
DA3	S[6]			S[22]			S[38]			S[54]			S[70]			T
DA4	S[8]			S[24]			S[40]			S[56]			S[72]			T
DA5	S[10]			S[26]			S[42]			S[58]			S[74]			T
DA6	S[12]			S[28]			S[44]			S[60]			S[76]			T
DA7	S[14]			S[30]			S[46]			S[62]			S[78]			T
DB0	S[1]			S[17]			S[33]			S[49]			S[65]			T
DB1	S[3]			S[19]			S[35]			S[51]			S[67]			T
DB2	S[5]			S[21]			S[37]			S[53]			S[69]			T
DB3	S[7]			S[23]			S[39]			S[55]			S[71]			T
DB4	S[9]			S[25]			S[41]			S[57]			S[73]			T
DB5	S[11]			S[27]			S[43]			S[59]			S[75]			T
DB6	S[13]			S[29]			S[45]			S[61]			S[77]			T
DB7	S[15]			S[31]			S[47]			S[63]			S[79]			T

Copyright © 2025 Texas Instruments Incorporated

表 6-28. JMODES 2 および 31 (12 ビット、デュアル チャネル、DDC バイパス、8 レーン)

オクテット	0		1		2		3		4		5		6		7	
NIBBLE	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DA0	A[0]				A[4]		A[8]				A[12]			A[16]		T
DA1	A[1]				A[5]		A[9]				A[13]			A[17]		T
DA2	A[2]				A[6]		A[10]				A[14]			A[18]		T
DA3	A[3]				A[7]		A[11]				A[15]			A[19]		T
DB0	B[0]				B[4]		B[8]				B[12]			B[16]		T
DB1	B[1]				B[5]		B[9]				B[13]			B[17]		T
DB2	B[2]				B[6]		B[10]				B[14]			B[18]		T
DB3	B[3]				B[7]		B[11]				B[15]			B[19]		T

表 6-29. JMODES 3 および 41 (12 ビット、デュアル チャネル、DDC バイパス、16 レーン)

オクテット	0		1		2		3		4		5		6		7	
NIBBLE	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DA0	A[0]				A[8]		A[16]				A[24]			A[32]		T
DA1	A[1]				A[9]		A[17]				A[25]			A[33]		T
DA2	A[2]				A[10]		A[18]				A[26]			A[34]		T
DA3	A[3]				A[11]		A[19]				A[27]			A[35]		T
DA4	A[4]				A[12]		A[20]				A[28]			A[36]		T
DA5	A[5]				A[13]		A[21]				A[29]			A[37]		T
DA6	A[6]				A[14]		A[22]				A[30]			A[38]		T
DA7	A[7]				A[15]		A[23]				A[31]			A[39]		T
DB0	B[0]				B[8]		B[16]				B[24]			B[32]		T
DB1	B[1]				B[9]		B[17]				B[25]			B[33]		T
DB2	B[2]				B[10]		B[18]				B[26]			B[34]		T
DB3	B[3]				B[11]		B[19]				B[27]			B[35]		T
DB4	B[4]				B[12]		B[20]				B[28]			B[36]		T
DB5	B[5]				B[13]		B[21]				B[29]			B[37]		T
DB6	B[6]				B[14]		B[22]				B[30]			B[38]		T
DB7	B[7]				B[15]		B[23]				B[31]			B[39]		T

表 6-30. JMODES 5 および 44 (8 ビット、シングル チャネル、8 レーン)

オクテット	0	
NIBBLE	0	1
DA0	S[0]	
DA1	S[2]	
DA2	S[4]	
DA3	S[6]	
DB0	S[1]	
DB1	S[3]	
DB2	S[5]	
DB3	S[7]	

表 6-31. JMODES 6 および 50 (8 ビット、シングル チャネル、16 レーン)

オクテット	0	
NIBBLE	0	1
DA0	S[0]	
DA1	S[2]	

Copyright © 2025 Texas Instruments Incorporated

表 6-31. JMODES 6 および 50 (8 ビット、シングル チャネル、16 レーン) (続き)

オクテット	0	
NIBBLE	**0**	**1**
DA2	S[4]	
DA3	S[6]	
DA4	S[8]	
DA5	S[10]	
DA6	S[12]	
DA7	S[14]	
DB0	S[1]	
DB1	S[3]	
DB2	S[5]	
DB3	S[7]	
DB4	S[9]	
DB5	S[11]	
DB6	S[13]	
DB7	S[15]	

表 6-32. JMODES 7 および 45 (8 ビット、デュアル チャネル、8 レーン)

オクテット	0	
NIBBLE	**0**	**1**
DA0	A[0]	
DA1	A[1]	
DA2	A[2]	
DA3	A[3]	
DB0	B[0]	
DB1	B[1]	
DB2	B[2]	
DB3	B[3]	

表 6-33. JMODES 8 および 51 (8 ビット、デュアル チャネル、16 レーン)

オクテット	0	
NIBBLE	**0**	**1**
DA0	A[0]	
DA1	A[1]	
DA2	A[2]	
DA3	A[3]	
DA4	A[4]	
DA5	A[5]	
DA6	A[6]	
DA7	A[7]	
DB0	B[0]	
DB1	B[1]	
DB2	B[2]	
DB3	B[3]	
DB4	B[4]	
DB5	B[5]	

Copyright © 2025 Texas Instruments Incorporated

表 6-33. JMODES 8 および 51 (8 ビット、デュアル チャネル、16 レーン) (続き)

オクテット	0	
NIBBLE	**0**	**1**
DB6	B[6]	
DB7	B[7]	

表 6-34. JMODES 10 および 37 (15 ビット、デュアル チャネル、4 倍のデシメーション、4 レーン)

オクテット	0		1	
NIBBLE	**0**	**1**	**2**	**3**
DA0	AI[0]、ORA0[0]			
DA1	AQ[0]、ORA1[0]			
DB0	BI[0]、ORB0[0]			
DB1	BQ[0]、ORB1[0]			

表 6-35. JMODES 11 および 47 (15 ビット、デュアル チャネル、8 倍のデシメーション、4 レーン)

オクテット	0		1	
NIBBLE	**0**	**1**	**2**	**3**
DA0	AI[0]、ORA0[0]			
DA1	AI[1]、ORA0[1]			
DA2	AQ[0]、ORA1[0]			
DA3	AQ[1]、ORA1[1]			
DB0	BI[0]、ORB0[0]			
DB1	BI[1]、ORB0[1]			
DB2	BQ[0]、ORB1[0]			
DB3	BQ[1]、ORB1[1]			

表 6-36. JMODES 12 および 53 (15 ビット、デュアル チャネル、16 倍のデシメーション、4 レーン)

オクテット	0		1	
NIBBLE	**0**	**1**	**2**	**3**
DA0	AI[0]、ORA0[0]			
DA1	AI[1]、ORA0[1]			
DA2	AI[2]、ORA0[2]			
DA3	AI[3]、ORA0[3]			
DA4	AQ[0]、ORA1[0]			
DA5	AQ[1]、ORA1[1]			
DA6	AQ[2]、ORA1[2]			
DA7	AQ[3]、ORA1[3]			
DB0	BI[0]、ORB0[0]			
DB1	BI[1]、ORB0[1]			
DB2	BI[2]、ORB0[2]			
DB3	BI[3]、ORB0[3]			
DB4	BQ[0]、ORB1[0]			
DB5	BQ[1]、ORB1[1]			
DB6	BQ[2]、ORB1[2]			
DB7	BQ[3]、ORB1[3]			

Copyright © 2025 Texas Instruments Incorporated

表 6-37. JMODES 13、39、56、59、66、68 (15 ビット、デュアル チャネル、8 倍のデシメーション、2 レーン)

オクテット	0		1		2		3	
NIBBLE	0	1	2	3	4	5	6	7
DA0	AI[0]、ORA0[0]				AQ[0]、ORA1[0]			
DB0	BI[0]、ORB0[0]				BQ[0]、ORB1[0]			

表 6-38. JMODES 14、49、57、60、67 (15 ビット、デュアル チャネル、8 倍のデシメーション、4 レーン)

オクテット	0		1	
NIBBLE	0	1	2	3
DA0	AI[0]、ORA0[0]			
DA1	AQ[0]、ORA1[0]			
DB0	BI[0]、ORB0[0]			
DB1	BQ[0]、ORB1[0]			

表 6-39. JMODES 15、55、58 (15 ビット、デュアル チャネル、8 倍のデシメーション、8 レーン)

オクテット	0		1	
NIBBLE	0	1	2	3
DA0	AI[0]、ORA0[0]			
DA1	AI[1]、ORA0[1]			
DA2	AQ[0]、ORA1[0]			
DA3	AQ[1]、ORA1[1]			
DB0	BI[0]、ORB0[0]			
DB1	BI[1]、ORB0[1]			
DB2	BQ[0]、ORB1[0]			
DB3	BQ[1]、ORB1[1]			

表 6-40. JMODE 16 (15 ビット、デュアル チャネル、8 倍のデシメーション、16 レーン)

オクテット	0		1	
NIBBLE	0	1	2	3
DA0	AI[0]、ORA0[0]			
DA1	AI[1]、ORA0[1]			
DA2	AI[2]、ORA0[2]			
DA3	AI[3]、ORA0[3]			
DA4	AQ[0]、ORA1[0]			
DA5	AQ[1]、ORA1[1]			
DA6	AQ[2]、ORA1[2]			
DA7	AQ[3]、ORA1[3]			
DB0	BI[0]、ORB0[0]			
DB1	BI[1]、ORB0[1]			
DB2	BI[2]、ORB0[2]			
DB3	BI[3]、ORB0[3]			
DB4	BQ[0]、ORB1[0]			
DB5	BQ[1]、ORB1[1]			
DB6	BQ[2]、ORB1[2]			
DB7	BQ[3]、ORB1[3]			

表 6-41. JMODES 19 および 42 (12 ビット、シングル チャネル、DDC バイパス、12 レーン)

オクテット	0		1	
NIBBLE	0	1	2	3
DA0	S[0][11:0]			S[2][11:8]
DA1	S[2][7:0]		S[4][11:4]	
DA2	S[4][3:0]	S[6][11:0]		
DA3	S[8][11:0]			S[10][11:8]

Copyright © 2025 Texas Instruments Incorporated

表 6-41. JMODES 19 および 42 (12 ビット、シングル チャネル、DDC バイパス、12 レーン) (続き)

オクテット	0		1	
NIBBLE	**0**	**1**	**2**	**3**
DA4	S[10][7:0]		S[12][11:4]	
DA5	S[12][3:0]	S[14][11:0]		
DB0	S[1][11:0]			S[3][11:8]
DB1	S[3][7:0]		S[5][11:4]	
DB2	S[5][3:0]	S[7][11:0]		
DB3	S[9][11:0]			S[11][11:8]
DB4	S[11][7:0]		S[13][11:4]	
DB5	S[13][3:0]	S[15][11:0]		

表 6-42. JMODES 20 および 43 (12 ビット、デュアル チャネル、DDC バイパス、12 レーン)

オクテット	0		1	
NIBBLE	**0**	**1**	**2**	**3**
DA0	A[0][11:0]			A[1][11:8]
DA1	A[1][7:0]		A[2][11:4]	
DA2	A[2][3:0]	A[3][11:0]		
DA3	A[4][11:0]			A[5][11:8]
DA4	A[5][7:0]		A[6][11:4]	
DA5	A[6][3:0]	A[7][11:0]		
DB0	B[0][11:0]			B[1][11:8]
DB1	B[1][7:0]		B[2][11:4]	
DB2	B[2][3:0]	B[3][11:0]		
DB3	B[4][11:0]			B[5][11:8]
DB4	B[5][7:0]		B[6][11:4]	
DB5	B[6][3:0]	B[7][11:0]		

表 6-43. JMODES 21 および 36 (15 ビット、シングル チャネル、4 倍のデシメーション、4 レーン)

オクテット	0	
NIBBLE	**0**	**1**
DA0	I[0]、OR0[0]	
DA1	I[1]、OR0[1]	
DB0	Q[0]、OR1[0]	
DB1	Q[1]、OR1[1]	

表 6-44. JMODES 22 および 46 (15 ビット、シングル チャネル、8 倍のデシメーション、4 レーン)

オクテット	0	
NIBBLE	**0**	**1**
DA0	I[0]、OR0[0]	
DA1	I[1]、OR0[1]	
DA2	I[2]、OR0[2]	
DA3	I[3]、OR0[3]	
DB0	Q[0]、OR1[0]	
DB1	Q[1]、OR1[1]	
DB2	Q[2]、OR1[2]	
DB3	Q[3]、OR1[3]	

Copyright © 2025 Texas Instruments Incorporated

表 6-45. JMODES 23、38、61、64、69、71 (15 ビット、シングル チャネル、8 倍のデシメーション、2 レーン)

オクテット	0	
NIBBLE	0	1
DA0	I[0]、OR0[0]	
DB0	Q[0]、OR1[0]	

表 6-46. JMODES 24、48、62、65、70 (15 ビット、シングル チャネル、8 倍のデシメーション、4 レーン)

オクテット	0	
NIBBLE	0	1
DA0	I[0]、OR0[0]	
DA1	I[1]、OR0[1]	
DB0	Q[0]、OR1[0]	
DB1	Q[1]、OR1[1]	

表 6-47. JMODES 25 および 52 (15 ビット、シングル チャネル、16 倍のデシメーション、4 レーン)

オクテット	0		1	
NIBBLE	0	1	2	3
DA0	I[0]、OR0[0]			
DA1	I[1]、OR0[0]			
DA2	I[2]、OR0[1]			
DA3	I[3]、OR0[1]			
DA4	I[4]、OR0[2]			
DA5	I[5]、OR0[2]			
DA6	I[6]、OR0[3]			
DA7	I[7]、OR0[3]			
DB0	Q[0]、OR1[0]			
DB1	Q[1]、OR1[0]			
DB2	Q[2]、OR1[1]			
DB3	Q[3]、OR1[1]			
DB4	Q[4]、OR1[2]			
DB5	Q[5]、OR1[2]			
DB6	Q[6]、OR1[3]			
DB7	Q[7]、OR1[3]			

表 6-48. JMODES 26、54、63 (15 ビット、シングル チャネル、8 倍のデシメーション、8 レーン)

オクテット	0		1	
NIBBLE	0	1	2	3
DA0	I[0]、OR0[0]			
DA1	I[1]、OR0[1]			
DA2	I[2]、OR0[2]			
DA3	I[3]、OR0[3]			
DB0	Q[0]、OR1[0]			
DB1	Q[1]、OR1[1]			
DB2	Q[2]、OR1[2]			
DB3	Q[3]、OR1[3]			

表 6-49. JMODE 27 (15 ビット、シングル チャネル、8 倍のデシメーション、16 レーン)

オクテット	0		1	
NIBBLE	0	1	2	3
DA0	I[0]、OR0[0]			
DA1	I[1]、OR0[1]			

Copyright © 2025 Texas Instruments Incorporated

表 6-49. JMODE 27 (15 ビット、シングル チャネル、8 倍のデシメーション、16 レーン) (続き)

オクテット	0		1	
NIBBLE	0	1	2	3
DA2	I[2]、OR0[2]			
DA3	I[3]、OR0[3]			
DA4	I[4]、OR0[4]			
DA5	I[5]、OR0[5]			
DA6	I[6]、OR0[6]			
DA7	I[7]、OR0[7]			
DB0	Q[0]、OR1[0]			
DB1	Q[1]、OR1[1]			
DB2	Q[2]、OR1[2]			
DB3	Q[3]、OR1[3]			
DB4	Q[4]、OR1[4]			
DB5	Q[5]、OR1[5]			
DB6	Q[6]、OR1[6]			
DB7	Q[7]、OR1[7]			

表 6-50. JMODE 32 (12 ビット、シングル チャネル、DDC バイパス、6 レーン)

オクテット	0		1	
NIBBLE	0	1	2	3
DA0	S[0][11:0]			S[2][11:8]
DA1	S[2][7:0]		S[4][11:4]	
DA2	S[4][3:0]	S[6][11:0]		
DB0	S[1][11:0]			S[3][11:8]
DB1	S[3][7:0]		S[5][11:4]	
DB2	S[5][3:0]	S[7][11:0]		

表 6-51. JMODE 33 (12 ビット、デュアル チャネル、DDC バイパス、6 レーン)

オクテット	0		1	
NIBBLE	0	1	2	3
DA0	A[0][11:0]			A[1][11:8]
DA1	A[1][7:0]		A[2][11:4]	
DA2	A[2][3:0]	A[3][11:0]		
DB0	B[0][11:0]			B[1][11:8]
DB1	B[1][7:0]		B[2][11:4]	
DB2	B[2][3:0]	B[3][11:0]		

表 6-52. JMODE 34 (8 ビット、シングル チャネル、4 レーン)

オクテット	0	
NIBBLE	0	1
DA0	S[0]	
DA1	S[2]	
DB0	S[1]	
DB1	S[3]	

表 6-53. JMODE 35 (8 ビット、デュアル チャネル、4 レーン)

オクテット	0	
NIBBLE	0	1
DA0	A[0]	
DA1	A[1]	
DB0	B[0]	
DB1	B[1]	

Copyright © 2025 Texas Instruments Incorporated

表 6-54. JMODE 37 (15 ビット、デュアル チャネル、4 倍のデシメーション、4 レーン)

オクテット	0		1	
NIBBLE	0	1	2	3
DA0	AI[0]、ORA0[0]			
DA1	AQ[0]、ORA1[0]			
DB0	BI[0]、ORB0[0]			
DB1	BQ[0]、ORB1[0]			

表 6-55. JMODE 38 (15 ビット、シングル チャネル、8 倍のデシメーション、2 レーン)

オクテット	0	
NIBBLE	0	1
DA0	I[0]、OR0[0]	
DB0	Q[0]、OR1[0]	

表 6-56. JMODE 39 (15 ビット、デュアル チャネル、8 倍のデシメーション、2 レーン)

オクテット	0		1		2		3	
NIBBLE	0	1	2	3	4	5	6	7
DA0	AI[0]、ORA0[0]				AQ[0]、ORA1[0]			
DB0	BI[0]、ORB0[0]				BQ[0]、ORB1[0]			

表 6-57. JMODE 56 (15 ビット、デュアル チャネル、16 倍のデシメーション、2 レーン)

オクテット	0		1		2		3	
NIBBLE	0	1	2	3	4	5	6	7
DA0	AI[0]、ORA0[0]				AQ[0]、ORA1[0]			
DB0	BI[0]、ORB0[0]				BQ[0]、ORB1[0]			

6.4.4.4 64B/66B 同期ヘッダ ストリームの構成

同期ヘッダー ストリームを使用して、リンクのビットエラーを識別したり、ビットエラーを修正したりできます。デバイスには、2 つの動作モードがあります。巡回冗長検査 (CRC) を使用して、ビットエラーを識別できます。デバイスは 12 ビット CRC (CRC-12) のみをサポートし、JESD204C が記述するオプションの 3 ビット CRC-3 はサポートしていません。また、前方誤り訂正 (FEC) を使用してビットエラーを識別し、ビットエラーを訂正することもできます。CRC-12 の詳細については、巡回冗長検査 (CRC) モード を参照してください。FEC の詳細については、前方誤り訂正 (FEC) モード を参照してください。同期ヘッダー モード レジスタ を使用して、同期ヘッダー ストリームの構成を設定します。

6.4.5 パワーダウン モード

PD 入力ピンにより、デバイス全体をパワーダウンすることができます。パワーダウンは、MODE によって制御することもできます (「デバイス構成レジスタ」を参照)。デュアル チャネル モードで 1 つのチャネルのみをパワーダウンするには、チャネル パワーダウン レジスタを使用します。PD が HIGH の場合、シリアル データ出力ドライバは無効化されます。フォアグラウンド キャリブレーション モードで正常に動作させるには、CAL_CFG レジスタの ADC_OFF を 0x1 にプログラムする必要があります。デバイスが通常の動作に復帰したら、JESD204 リンクを再確立する必要があります。また、ADC のパイプラインには意味のない情報が含まれているため、データがフラッシュされるまで十分な時間待機する必要があります。

6.4.6 テスト モード

多くのデバイス・テスト・モードを利用できます。これらのモードでは、デバイスのデータパスに既知の情報パターンを挿入し、システムのデバッグ、開発、特性評価を支援します。

6.4.6.1 シリアライザのテスト モードの詳細

テスト モードを有効化するには、JTEST (JESD204C テスト パターン制御レジスタ を参照) を目的のテスト モードに設定します。各テストモードについては、以下のセクションで詳しく説明します。テストモードにかかわらず、シリアライザの出力

（レーン数、レート）は、JMODE に基づいて起動されます。テスト・モードを有効にするのは、JESD204C リンクがディスエーブルのときのみです。図 6-24 に、各種テスト・モードの挿入ポイントを示す図を示します。

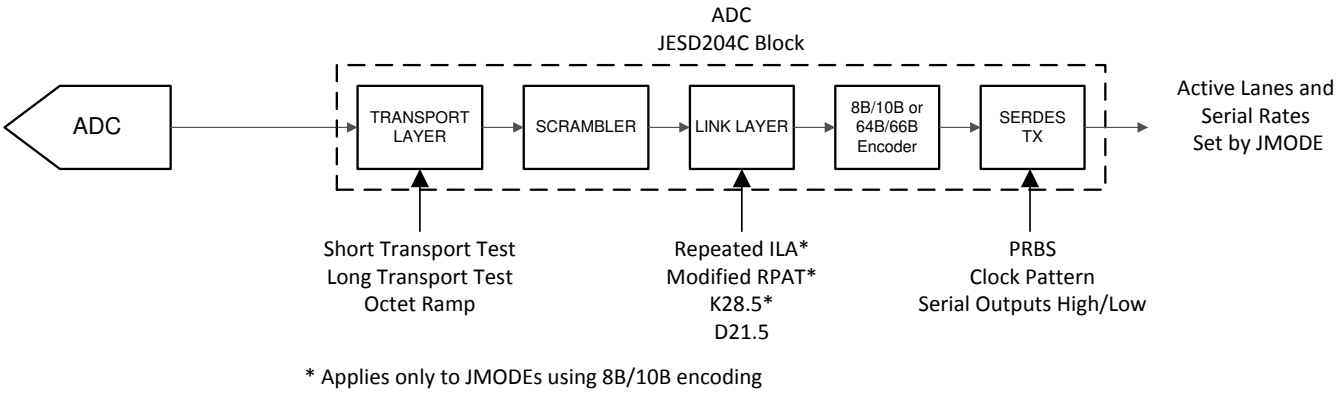


図 6-24. テスト・モードの挿入ポイント

6.4.6.2 PRBS テスト モード

PRBS テスト モードは JESD204C トランスポート層およびリンク層をバイパスするため、スクランブル処理もエンコードもされません。これらのテスト モードでは、ITU-T O.150 仕様に準拠した擬似ランダム ビット ストリームが生成されます。これらのビット ストリームは、ビット パターンに自己同期できるラボ用テスト機器またはロジック デバイスとともに使用されます。レシーバーが自己同期するため、パターンの初期位相は定義されません。

シーケンスは再帰方程式によって定義されます。たとえば、式 15 は PRBS7 シーケンスを定義します。

$$y[n] = y[n - 6] \oplus y[n - 7] \quad (15)$$

ここで、

- ビット n は、先に送信されるビット [n–6] およびビット [n–7] の XOR です。

表 6-58 に、使用可能な PRBS テスト モードの式とシーケンス長を示します。ここで、⊕ は XOR の動作、y[n] は PRBS シーケンスのビット n を表します。パターンの初期位相は、各レーンで一意です。

表 6-58. PBRS モードの式

PRBS テスト モード	シーケンス	シーケンス長 (ビット)
PRBS7	y[n] = y[n – 6]⊕y[n – 7]	127
PRBS9	y[n] = y[n – 5]⊕y[n – 9]	511
PRBS15	y[n] = y[n – 14]⊕y[n – 15]	32,767
PRBS23	y[n] = y[n – 18]⊕y[n – 23]	8,388,607
PRBS31	y[n] = y[n – 28]⊕y[n – 31]	2,147,483,647

6.4.6.3 クロック パターン モード

クロック パターン モードでは、JESD204C トランスポート層とリンク層はバイパスされるため、テスト シーケンスはスクランブルまたはエンコードされません。このパターンは、8 つの 1 と 8 つの 0 (1111 1111 0000 0000) からなる 16 ビット長のシーケンスで構成され、無期限に繰り返されます。

6.4.6.4 ランプ テスト モード

ランプ テスト モードでは、JESD204C リンク レイヤは正常に動作しますが、トランスポート レイヤはディスエーブルで、フォーマッタからの入力は無視されます。8B/10B モードでは、ILA シーケンスの完了後にパターンが開始します。64B/66B モードでは、シリアライザが初期化された後にパターンが開始されます。各レーンは、リンク層によってエンコードされスクランブルされた同一のオクテット ストリームを送信します。K < 256 の場合、オクテット ストリームは 0x00 から K-1 までイン

Copyright © 2025 Texas Instruments Incorporated

クリメントします。K > 256 の場合、オクテット ストリームは 0x00 から 0xFF までインクリメントし、0x00 からマルチフレームの終了まで繰り返されます。このモードは、8B/10B と 64B/66B の両方のモードで使用できます。

6.4.6.5 ショートおよびロング トランスポート テスト モード

JESD204C では、ショートおよびロングトランスポートテストモードを定義しており、トランスミッタとレシーバのトランスポート層が正しく動作していることを検証します。トランスポート層はリンク層から独立しているため、トランスポート層のテスト モードは 8B/10B モードと 64B/66B モードで同じになります。

8b/10b モードでは、トランスポート テスト パターンは ILA の完了後に開始され、リンクが DATA_ENC 状態である限り繰り返されます。64b/66b モードでは、シリアライザが初期化された後にパターンが開始されます。

6.4.6.5.1 ショート トランスポート テスト パターン

ショートトランスポートテストパターンは、フレームごとに繰り返される事前定義済みのオクテット形式を送信します。ADC12DJ5200-SP では、すべての JMODE 構成でショート トランスポート テスト パターンを使用します。

表 6-59 に、N' = 8 のショート トランスポート テスト パターンを示します。適用可能なレーンをすべて示していますが、設定された JMODE に対して有効なレーン (最小インデックス) のみが使用されます。

表 6-59. N'= 8 モードのショート トランスポート テスト パターン (長さ= 2 フレーム)

フレーム	0	1
DA0	0x00	0xFF
DA1	0x01	0xFE
DA2	0x02	0xFD
DA3	0x03	0xFC
DB0	0x00	0xFF
DB1	0x01	0xFE
DB2	0x02	0xFD
DB3	0x03	0xFC

に示されているように、N'=12 および F=8 の場合、ショート テスト パターンを使用します。16 レーンすべてが示されていますが、JMODE によっては一部のレーンが無効化される場合があります。

表 6-60. N' = 12 モードのショート トランスポート テスト パターン (F = 8)

Nibble:	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
オクテット:	0		1		2		3		4		5		6		7	
レーン 0 (A0)	0xF01		0xF02		0xF03		0xF04		0xF05		T					
レーン 1 (A1)	0xE11		0xE12		0xE13		0xE14		0xE15		T					
レーン 2 (A2)	0xD21		0xD22		0xD23		0xD24		0xD25		T					
レーン 3 (A3)	0xC31		0xC32		0xC33		0xC34		0xC35		T					
レーン 4 (A4)	0xB41		0xB42		0xB43		0xB44		0xB45		T					
レーン 5 (A5)	0xA51		0xA52		0xA53		0xA54		0xA55		T					
レーン 6 (A6)	0x961		0x962		0x963		0x964		0x965		T					
レーン 7 (A7)	0x871		0x872		0x873		0x874		0x875		T					
レーン 8 (B0)	0xF01		0xF02		0xF03		0xF04		0xF05		T					
レーン 9 (B1)	0xE11		0xE12		0xE13		0xE14		0xE15		T					
レーン 10 (B2)	0xD21		0xD22		0xD23		0xD24		0xD25		T					
レーン 11 (B3)	0xC31		0xC32		0xC33		0xC34		0xC35		T					
レーン 12 (B4)	0xB41		0xB42		0xB43		0xB44		0xB45		T					
レーン 13 (B5)	0xA51		0xA52		0xA53		0xA54		0xA55		T					

Copyright © 2025 Texas Instruments Incorporated

表 6-60. N' = 12 モードのショート トランスポート テスト パターン (F = 8) (続き)

Nibble:	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
オクテット:	0		1		2		3		4		5		6		7	
レーン 14 (B6)	0x961		0x962		0x963				0x964				0x965			T
レーン 15 (B7)	0x871		0x872		0x873				0x874				0x875			T

6.4.6.6 D21.5 テスト モード

このテスト モードでは、コントローラは D21.5 文字の連続ストリームを送信します (0 と 1 を交互に入力)。このモードは、8B/10B および 64B/66B モードに適用されます。

6.4.6.7 K28.5 テスト モード

このテストモードでは、コントローラは K28.5 文字の連続ストリームを送信します。このモードは 8B/10B モードにのみ適用されます。

6.4.6.8 反復 ILA テスト モード

このテストモードでは、JESD204C リンク層は通常動作しますが、ILA シーケンス(ILAS)はデータフェーズを開始するのではなく無期限に繰り返されます。レシーバが同期要求を発行するたびに、トランスミッタはコードグループ同期を開始します。コードグループの同期が完了すると、送信機は ILA シーケンスを繰り返し送信します。このモードは 8B/10B モードにのみ適用されます。

6.4.6.9 修正 RPAT テスト モード

12 オクテットの繰り返しパターンは、INCITS TR-35-2004 で定義されています。このパターンの目的は、JESD204C に準拠し、ジッタ・テストのためにホワイト・スペクトル・コンテンツを生成することです。表 6-61 は、8B/10B エンコードの前後のパターンをリストします。このモードは 8B/10B モードにのみ適用されます。

表 6-61. RPAT パターンの値を変更

オクテット番号	Dx.y 表記	8B/10B エンコーダへの 8 ビット入力	8B/10B エンコーダの 20b 出力 (2 文字)
0	D30.5	0xBE	0x86BA6
1	D23.6	0xD7	
2	D3.1	0x23	0xC6475
3	D7.2	0x47	
4	D11.3	0x6B	0xD0E8D
5	D15.4	0x8F	
6	D19.5	0xB3	0xCA8B4
7	D20.0	0x14	
8	D30.2	0x5E	0x7949E
9	D27.7	0xFB	
10	D21.1	0x35	0xAA665
11	D25.2	0x59	

Copyright © 2025 Texas Instruments Incorporated

6.4.7 キャリブレーション モードとトリミング

ADC12DJ5200-SP には、フォアグラウンド キャリブレーションとバックグラウンド キャリブレーションの 2 つのキャリブレーション モードがあります。フォアグラウンド キャリブレーションが開始されると、ADC は自動的にオフラインになり、キャリブレーションの実行中、出力データはミッドコード (0x000、2 の補数) になります。バックグラウンド キャリブレーションでは、ADC コアがバックグラウンドでキャリブレーションされている間、ADC は別の ADC コアを交換してその代わりに通常動作を続行できます。フォアグラウンドおよびバックグラウンド キャリブレーション モードでは、追加のオフセット キャリブレーション機能が使用できます。さらに、ユーザー システムで性能を最適化するために、多数の ADC パラメータをトリミングできます。

ADC12DJ5200-SP は合計 6 つの sub-ADC で構成され、それぞれが「*バンク*」と呼ばれ、2 つのバンクが *ADC コア*を形成しています。バンクは位相差をサンプリングし、各 ADC コアが双方向でインターリーブされるようにします。6 つのバンクは 3 つの *ADC コア*を形成します。これらを ADC A、ADC B、ADC C とします。フォアグラウンド キャリブレーション モードで、ADC A は INA± と ADC B をサンプリングし、デュアル チャネル モードでは INB± をサンプリングし、シングル チャネル モードでは ADC A と ADC B サンプルの両方が INA± (または INB±) をサンプリングします。バックグラウンド キャリブレーション モードでは、3 番目の ADC コア ADC C が、動作を中断せずに、キャリブレーションのために定期的に ADC A と ADC B と交換されます。図 6-25 に、各 ADC コアを構成するバンクのラベル付けを含むキャリブレーション システムの図を示します。キャリブレーションが実行されると、各バンクの直線性、ゲイン、オフセット電圧は、内部で生成されるキャリブレーション信号に較正されます。アナログ入力はキャリブレーション中にフォアグランドとバックグラウンド キャリブレーションの両方で駆動できます。ただし、オフセット キャリブレーション (OS_CAL または BGOS_CAL) を使用する場合、オフセットを適切に推定するため、DC 付近に信号 (またはエイリアス信号) が存在しない必要があります (「*オフセット キャリブレーション*」セクションを参照)。

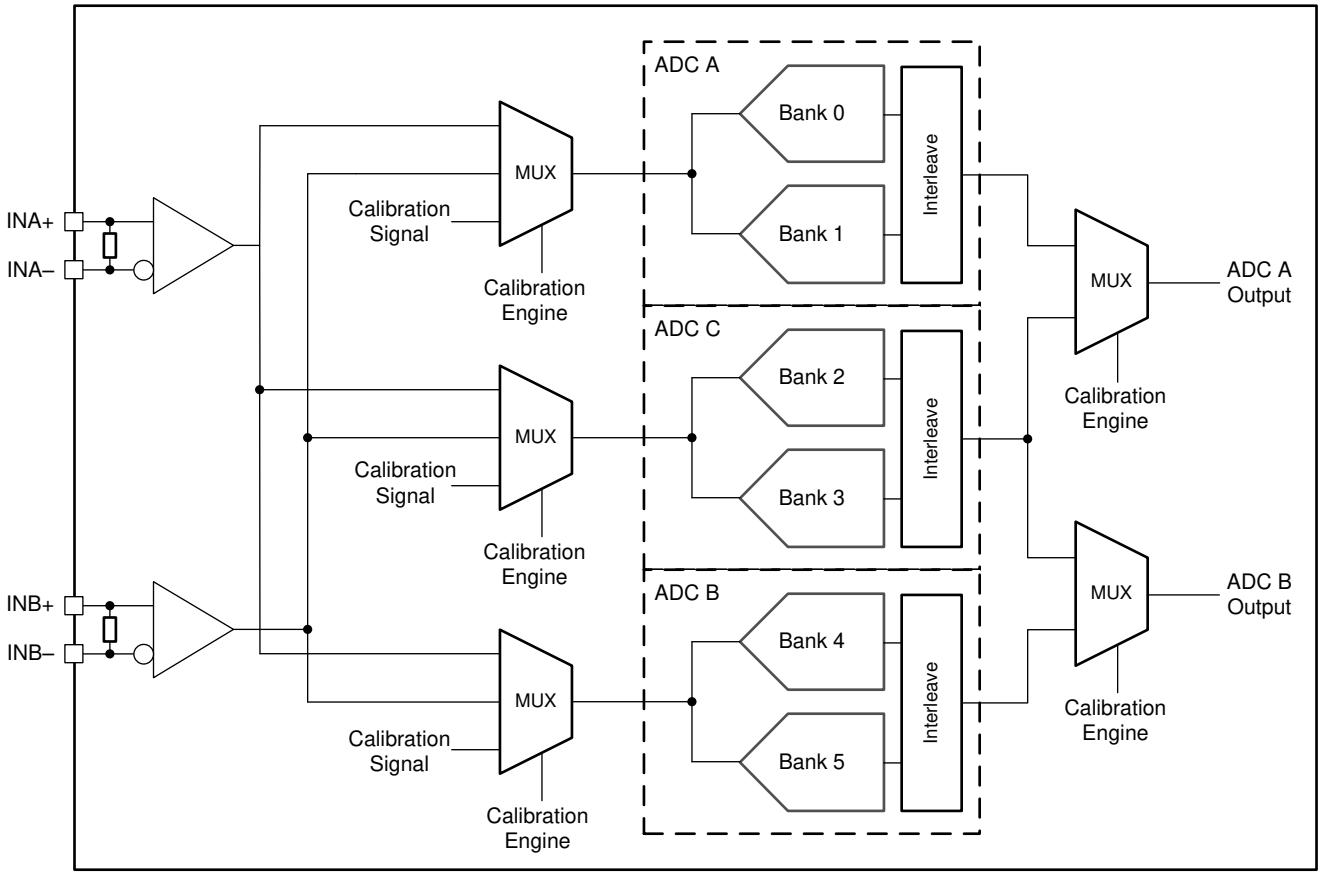


図 6-25. ADC12DJ5200-SP キャリブレーション システム ブロック図

キャリブレーションに加えて、多数の ADC パラメータをユーザーが制御して、最適な性能を達成できるようにトリミングを行うことも可能です。これらのパラメータには、入力オフセット電圧、ADC ゲイン、インターリーブ タイミング、入力終端抵抗が含まれます。デフォルトのトリム値は工場出荷時に、テスト システムの動作条件で最適と判断される各デバイスに対して固有の値にプログラムされます。ユーザーは、工場出荷時にプログラムされた値をトリム レジスタから読み出し、必要に応じて調整できます。トリミングを制御するレジスタ フィールドは、サンプリングされる入力 (INA± または INB±)、トリミングされるバンク、またはトリミングされている ADC コアに従ってラベル付けされます。動作条件が変化してもトリム値を変更する必要はありませんが、変更することで最適な性能を得ることができます。プロセスのバラツキがあるため、カスタム トリミングはデバイスごとに行う必要があります。つまり、すべての部品に対して網羅的な最適設定はありません。利用可能なトリムパラメータと関連するレジスタの詳細については、*トリミング* セクションを参照してください。

6.4.7.1 フォアグラウンド キャリブレーション モード

フォアグラウンドキャリブレーションでは、手順中に ADC がアナログ入力信号の変換を停止する必要があります。フォアグラウンドキャリブレーションは常に電源オン時に実行され、ユーザーはデバイスをプログラムして、キャリブレーションが完了していることを確認する前に十分な時間、待つ必要があります。フォアグラウンドキャリブレーションは、キャリブレーションエンジンをトリガすることで開始できます。トリガ ソースは、CAL_TRIG ピンと CAL_SOFT_TRIG のどちらかにでき (キャリブレーション ソフトウェア トリガ レジスタ を参照)、CAL_TRIG_EN を設定することによって選択されます (キャリブレーション ピン構成レジスタ を参照)。

6.4.7.2 バックグラウンド キャリブレーション モード

バックグラウンド キャリブレーション モードでは、データの中断なしに ADC を連続動作させることができます。この連続動作は、キャリブレーションされた後、以前にアクティブだった他の ADC コアのいずれかの動作を引き継ぐ追加の ADC コアをアクティブにすることにより実現されます。その ADC コアがオフラインになると、その ADC はキャリブレーションされ、動作を引き継ぎ、次の ADC のキャリブレーションが行われます。このプロセスは連続的に動作し、システムの動作条件の変化に関係なく、ADC コアは常に最適な性能を提供します。アクティブ ADC コアが追加されているため、バックグラウンド キャリブレーション モードでは、フォアグラウンド キャリブレーション モードに比べて消費電力が増加しています。ローパワーバックグラウンドキャリブレーション (LPBG) モードセクションで説明する *低消費電力のバックグラウンドキャリブレーション (LPBG)* モードを使うと、標準のバックグラウンドキャリブレーションモードに比べて平均消費電力を低減できます。バックグラウンド キャリブレーションは、CAL_BG を設定することで有効化できます (キャリブレーション構成 0 レジスタ を参照)。CAL_TRIG_EN を 0 に、CAL_SOFT_TRIG を 1 に設定する必要があります。

コアのスイッチングプロセスが発生する際、変換データへの影響を最小限に抑えるよう細心の注意が払われていますが、コアが入れ替わっているため、コンバータのデータで小さなグリッチが依然として発生する可能性があります。

6.4.7.3 低消費電力バックグラウンド キャリブレーション (LPBG) モード

低消費電力バックグラウンド キャリブレーション (LPBG) モードにより、追加の ADC コアを有効にするときの電力オーバーヘッドを低減できます。オフライン コアは、キャリブレーションの準備完了までパワーダウンし、オンラインに移行します。LP_EN = 1 に設定して、ローパワーのバックグラウンド キャリブレーション機能を有効にします。LP_SLEEP_DLY は、キャリブレーションのためにウェークアップする前に ADC がスリープ状態になる時間を調整するために使われます (LP_EN = 1 および LP_TRIG = 0 の場合)。LP_WAKE_DLY は、キャリブレーションとオンライン移行前にコアが安定するのに許容される時間を設定します。LP_TRIG は、自動 スイッチング プロセス、または CAL_SOFT_TRIG または CAL_TRIG によってユーザーが制御するプロセスのいずれかを選択するために使用されます。このモードでは、ADC コアのキャリブレーション中に消費電力が増加します。消費電力は、予備 ADC コアがスリープしているときに、予備 ADC がキャリブレーションされているときにフォアグラウンドキャリブレーションの消費電力とバックグラウンドキャリブレーションの消費電力とがほぼ交互に発生します。このモードの過渡電力要件を制御するように、電源ネットワークを設計します。LPBG 較正モードは、シングル チャネル動作モードでの使用はお勧めしません。

6.4.8 オフセット キャリブレーション

フォアグラウンド キャリブレーション モードとバックグラウンド キャリブレーション モードは本質的に ADC コアのオフセットを較正しますが、入力バッファはキャリブレーション ループの外側に位置します。したがって、それらのオフセットは標準キャリブレーション プロセスでは較正されません。デュアル チャネル モードとシングル チャネル モードのどちらでも、較正されていない入力バッファのオフセットは、中間コード出力 (DC オフセット) を入力せずにシフトします。さらに、シングル チ

Copyright © 2025 Texas Instruments Incorporated

ャネル モードでは、キャリブレーションされていない入力バッファ オフセットが原因で、f_S / 2 で固定スプリアスが発生する可能性があります。入力バッファ オフセットを補正するために、別途キャリブレーションが実行されます。

オフセットを適切にキャリブレーションするためには、DC や DC 付近の信号、または DC や DC 付近で降下するエイリアス信号が存在しないことを確認する必要があります。そのため、システムが通常動作時にこの条件を指定するか、またはシステムがキャリブレーション時に入力信号をミュートする機能を備えている必要があります。フォアグラウンド オフセット キャリブレーションは CAL_OS によってイネーブルされ、フォアグラウンド キャリブレーション手順の一環として 1 回だけキャリブレーションを行います。バックグラウンド オフセット キャリブレーションは CAL_BGOS によって有効化され、動作条件の変化に対応するため、バックグラウンド キャリブレーション ルーチンの一部としてオフセットを補正し続けます。CAL_BGOS を設定する場合、システムは、通常動作時に DC や DC 付近の信号、または DC や DC 付近のエイリアス信号、または DC や DC 付近で降下するエイリアス信号が存在しないことを確認する必要があります。バックグラウンド オフセット キャリブレーションを使用すると、帯域幅の差によって A/D 変換が中断されます。オフセット キャリブレーション エンジンは多くの平均化を必要とするため、キャリブレーション時間は比較的長くなります。オフセット キャリブレーションの望ましい方法は、不安なグリッチのタイミングを制御できるように、フォアグラウンド キャリブレーションを 1 回の動作として使用することです。CAL_EN を設定する前に、CAL_OS を 1 に設定することで、1 回のフォアグラウンド キャリブレーションを実行できます。しかし、動作条件が変化した場合の変動に基づきこれが補正されることはありません。

オフセット キャリブレーション補正では、入力オフセット電圧調整レジスタ (表 6-62 を参照) を使用してオフセットを補正するため、オフセット キャリブレーションの使用時にユーザーが書き込むことはできません。ユーザーは、OADJ_x_VINy レジスタを読み出すことで、キャリブレーション完了後に較正された値を読み取ることができます。ここで、x は AD C コア、y は入力 (INA± または INB±) です。フォアグラウンド オフセット キャリブレーション (CAL_OS = 1) を使用している場合にのみ、FG_DONE を 1 として読み取って、バックグラウンド オフセット キャリブレーション (CAL_BGOS = 1) を使用しても値は読み取られません。

6.4.9 トリミング

表 6-62 に、トリム可能なパラメータおよび関連するレジスタを示します。ユーザー トリミングは、フォアグラウンド (FG) キャリブレーション モードのみに限定されます。

表 6-62. レジスタの説明

TRIM パラメータ	TRIM レジスタ	注
バンドギャップリファレンス	BG_TRIM	BG 出力ピンでの測定値。
入力終端抵抗	RTRIM_x。 ここで x = A (INA± の場合) または B (INB± の場合)。	このデバイスの電源は、クロックを印加してオンにする必要があります。
入力オフセット電圧	OADJ_A_FG0_VINx、OADJ_A_FG90_VINx、および OADJ_B_FG0_VINx。 ここで、OADJ_A は ADC core A に適用され、OADJ_B は ADC コア B に適用され、FG0 は ADC コア A と B のデュアル チャネル モードおよび ADC コア B のシングル チャネル モードに適用され、FG90 はシングル チャネル モードの ADC コア A に適用されます。x = A (INA± の場合) または B (INB± の場合)。	デュアル チャネル モードでの入力オフセットの調整は、チャネル A の OADJ_A_FG0_VINA とチャネル B の OADJ_B_FG0_VINB を変化させます。シングル チャネル モードでは、入力オフセットを調整するために、OADJ_A_FG90_VINx と OADJ_B_FG0_VINx を一緒に調整するか、f_S/2 オフセット スプリアスを補償する必要があります。
INA± および INB± ゲイン	GAIN_xy_FGDUAL または GAIN_xy_FGDES。 ここで、x = ADC チャネル (A または B)、y = バンク番号 (0 または 1)	入力をトリミングする前に、FS_RANGE_A と FS_RANGE_B をデフォルト値に設定します。フルスケール入力電圧を調整するには、FS_RANGE_A と FS_RANGE_B を使用します。GAIN_xy_FGDUAL レジスタはデュアル チャネル モードに適用され、GAIN_xy_FGDES レジスタはシングル チャネル モードに適用されます。ADC コア A または B のゲインをトリムするには、GAIN_x0_FGDUAL と GAIN_x1_FGDUAL (または GAIN_x0_FGDES および GAIN_x1_FGDES) を一緒に同じ方向に変更します。ADC A または B 内の 2 つのバンクのゲインをトリムするには、GAIN_x0_FGDUAL および GAIN_x1_FGDUAL (または GAIN_x0_FGDES および GAIN_x1_FGDES) を逆方向に変更します。

Copyright © 2025 Texas Instruments Incorporated

表 6-62. レジスタの説明 (続き)

TRIM パラメータ	TRIM レジスタ	注
INA± および INB± フルスケール入力電圧	FS_RANGE_x。 ここで、x = A (INA± の場合) または B (INB± の場合)。	各入力のフルスケール入力電圧調整。デフォルト値は GAIN_Bx (x = 0、1、4、または 5) の影響を受けます。FS_RANGE_x をデフォルト値に設定して GAIN_Bx をトリムします。その後で FS_RANGE_x を使用してフルスケール入力電圧を調整できます。
ADC コア間タイミング (バンク タイミング)	Bx_TIME_y。 ここで、x はバンク番号 (0、1、4、または 5)、 y = 0° (0) または –90° (90) クロック位相。	ADC コアの 2 つのバンク (ADC A または B) 間のタイミングをトリムします。0° のクロック位相は、デュアル チャネル モードに、およびシングル チャネル モードの ADC B に使用されます。–90° クロック位相は、シングル チャネル モードの ADC A にのみ使用されます。ADC コアの 2 つのバンク間でタイミングが不一致の場合、デュアル チャネル モードでは $f_S/2-f_{IN}$ スプリアス、またはシングル チャネル モードでは $f_S/4±f_{IN}$ スプリアスが発生する可能性があります。
ADC コア間タイミング (デュアル チャネル モード)	TADJ_A、TADJ_B	接尾辞 (A または B) は、トリミング中の ADC コアを示します。TADJ_A または TADJ_B のいずれかを変更すると、デュアル チャネル モードでの ADC B に対して ADC A のサンプリング インスタンスが調整されます。
ADC コア間タイミング (シングル チャネル モード)	TADJ_A_FG90_VINx、TADJ_B_FG0_VINx。 ここで、x = アナログ入力 (INA± または INB±)	これらの調整レジスタは、シングル チャネル モードで ADC コア A のタイミングを ADC コア B に対して調整するために使用されます。タイミングの不一致により、$f_S/2-f_{IN}$ スプリアスが生じ、これは信号に依存します。TADJ_A_FG90_VINx または TADJ_B_FG0_VINx のいずれかを変更すると、シングル チャネル モードでの ADC コア B に対する ADC コア A の相対タイミングが変化します。

Copyright © 2025 Texas Instruments Incorporated

6.5 プログラミング

6.5.1 シリアル インターフェイスの使い方

シリアル インターフェイスには、シリアル クロック (SCLK)、シリアル データ入力 (SDI)、シリアルデータ出力 (SDO)、シリアル インターフェイス チップセレクト ($\overline{SCS}$) の 4 つのピンを使用してアクセスします。レジスタ・アクセスは、$\overline{SCS}$ ピンによって有効にされます。

6.5.1.1 $\overline{SCS}$

シリアルインターフェイス経由でレジスタにアクセスするには、この信号を Low にアサートする必要があります。SCLK に対するセットアップ時間とホールド時間を確認する必要があります。

6.5.1.2 SCLK

シリアル・データ入力は、この信号の立ち上がりエッジで受け付けられます。SCLK には最小周波数要件はありません。

6.5.1.3 SDI

各レジスタアクセスには、この入力で仕様の 24 ビットパターンが必要です。このパターンは、読み取り/書き込み (R/W) ビット、レジスタ・アドレス、レジスタ値で構成されます。データは、MSB ファースト・レジスタとマルチ・バイト・レジスタでシフトされ、常にリトルエンディアン形式です (最小桁バイトが最下位アドレスに格納されます)。SCLK に対するセットアップ時間とホールド時間は、遵守する必要があります (「*タイミング要件*」表を参照)。

6.5.1.4 SDO

SDO 信号は、読み取りコマンドで要求される出力データを提供します。この出力は、書き込みバス・サイクル中、および読み取りバス・サイクルの読み出しビットおよびレジスタ・アドレス部分においてハイインピーダンスになります。

図 6-26 に示すように、各レジスタ アクセスは 24 ビットで構成されています。最初のビットは、読み取りの場合は High、書き込みの場合は Low です。

次の 15 ビットは、書き込み先のレジスタのアドレスです。書き込み動作中、最後の 8 ビットは、アドレス指定されたレジスタに書き込まれるデータです。読み取り動作中、SDI の最後の 8 ビットは無視され、この期間中 SDO がアドレス指定されたレジスタからデータを出力します。図 6-26 に、シリアル プロトコルの詳細を示します。

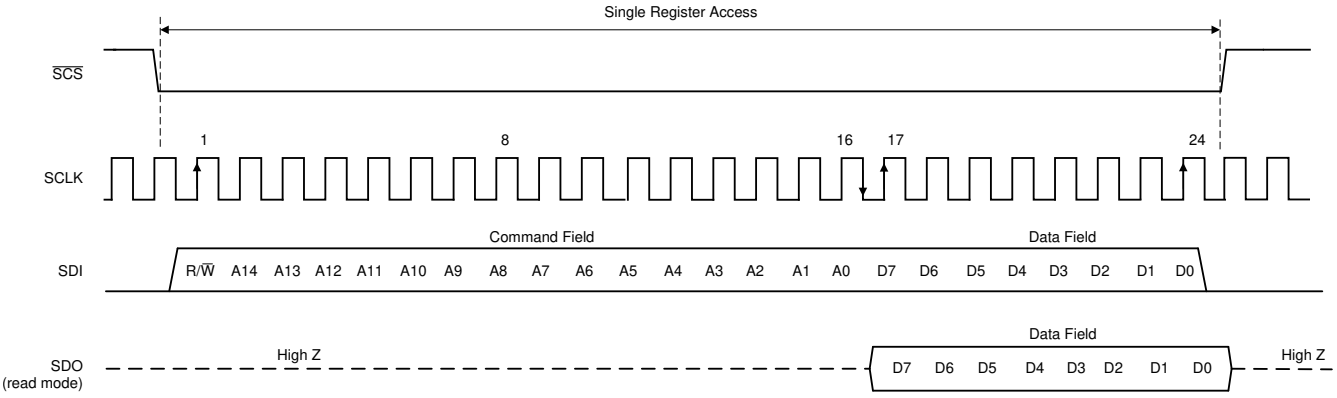


図 6-26. シリアル インターフェイス プロトコル : 単一読み取り / 書き込み

6.5.1.5 ストリーミング モード

シリアルインターフェイスは、ストリーミング読み取りおよび書き込みをサポートしています。このモードでは、トランザクションの初期 24 ビットによりアクセスタイプ、レジスタアドレス、データ値が通常どおりに指定されます。$\overline{SCS}$ 入力がアサート (ロジック Low) 状態に維持されている限り、書き込みデータまたは読み取りデータの追加クロックサイクルは直ちに転送されます。レジスタアドレスは、ストリーミングトランザクションの後続の 8 ビット転送ごとに自動インクリメント (デフォルト) またはデクリメントします。ADDR_ASC ビット (レジスタ 000h、ビット 5 および 2) は、アドレス値を昇順 (インクリメント) または降順 (デクリメント) にするかを制御します。ストリーミング モードは、ADDR_HOLD ビットを設定することで無効化できます (「ユーザー SPI 構成レジスタ」を参照)。ストリーミング・モードのトランザクションの詳細を、図 6-27 に示します。

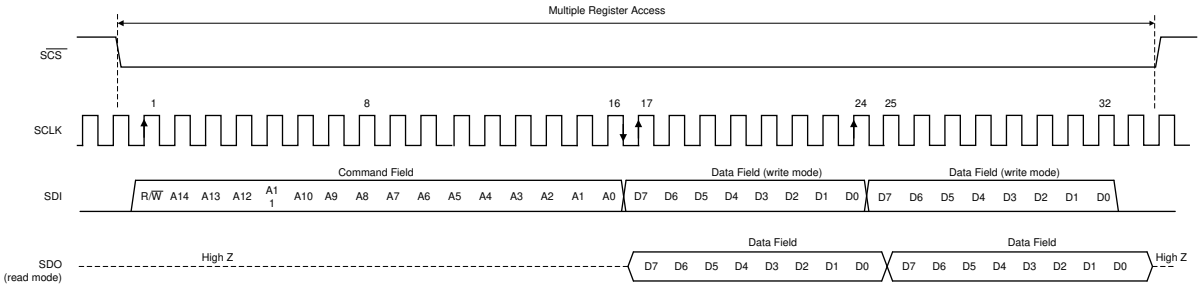


図 6-27. シリアル インターフェイス プロトコル：ストリーミング読み取り/書き込み

レジスタの詳細については、「*SPI レジスタ マップ*」セクションを参照してください

注

ADC のキャリブレーション中は、シリアルインターフェイスにアクセスしないでください。この間にシリアル・インターフェイスにアクセスすると、デバイスが正しくキャリブレーションされるまでデバイスの性能が低下します。シリアル レジスタの書き込みや読み出しも、レジスタのアクセス時間の間、ADC の動的性能を低下させます。

Copyright © 2025 Texas Instruments Incorporated

6.6 SPI レジスタ マップ

表 6-63 に、SPI_Register_Map レジスタの一覧を示します。表 6-63 にないレジスタ オフセット アドレスはすべて予約済みと見なすべきであり、レジスタ内容は変更しないでください。

表 6-63. SPI REGISTER MAP レジスタ

アドレス	略称	レジスタ名	セクション
0x0	CONFIG_A	設定 A（デフォルト：0x30）	表示
0x2	DEVICE_CONFIG	デバイス構成（デフォルト：0x00）	表示
0x3	CHIP_TYPE	チップ タイプ (デフォルト：0x03)	表示
0x4	CHIP_ID	チップ識別	表示
0xC	VENDOR_ID	ベンダ識別（デフォルト= 0x0451）	表示
0x10	USR0	ユーザー SPI 構成（デフォルト：0x00）	表示
0x29	CLK_CTRL0	クロック制御 0（デフォルト：0x00）	表示
0x2A	CLK_CTRL1	クロック制御 1（デフォルト：0x00）	表示
0x02B	CLK_CNTL2	クロック制御 2（デフォルト：0x11）	表示
0x2C	SYSREF_POS	SYSREF キャプチャ位置 (読み取り専用、デフォルト：未定義)	表示
0x30	FS_RANGE_A	FS_RANGE_A (デフォルト：0xA000)	表示
0x32	FS_RANGE_B	FS_RANGE_B (デフォルト：0xA000)	表示
0x38	BG_BYPASS	バンドギャップ バイパス (デフォルト：0x00)	表示
0x3B	TMSTP_CTRL	TMSTP 制御 (デフォルト：0x00)	表示
0x48	SER_PE	シリアライザのプリエンファシス制御（デフォルト：0x00）	表示
0x4F	PLL_CTRL3	PLL 制御 3 (デフォルト：0x13)	表示
0x60	INPUT_MUX	入力マルチプレクサ制御 (デフォルト：0x01)	表示
0x61	CAL_EN	較正の有効化（デフォルト：0x01）	表示
0x62	CAL_CFG0	較正の構成 0（デフォルト：0x01）	表示
0x64	CAL_CFG2	較正の構成 0（デフォルト：0x02）	表示
0x68	CAL_AVG	較正の平均化（デフォルト：0x61）	表示
0x6A	CAL_STATUS	較正のステータス（デフォルト：未定義）（読み取り専用）	表示
0x6B	CAL_PIN_CFG	較正ピン構成（デフォルト：0x00）	表示
0x6C	CAL_SOFT_TRIG	較正ソフトウェアトリガ（デフォルト：0x01）	表示
0x6E	CAL_LP	低消費電力バックグラウンド較正（デフォルト：0x88）	表示
0x70	CAL_DATA_EN	較正データ イネーブル (デフォルト：0x00)	表示
0x71	CAL_DATA	較正データ (デフォルト：未定義)	表示
0x7A	GAIN_TRIM_A	ゲイン DAC トリム A (デフォルトはヒューズ ROM から)	表示
0x7B	GAIN_TRIM_B	ゲイン DAC トリム B (デフォルトはヒューズ ROM から)	表示
0x7C	BG_TRIM	バンドギャップトリム（デフォルトはヒューズ ROM から）	表示
0x7E	RTRIM_A	VinA の抵抗トリム (デフォルトはヒューズ ROM から)	表示
0x7F	RTRIM_B	VinB の抵抗トリム (デフォルトはヒューズ ROM から)	表示
0x9D	ADC_DITH	ADC ディザリング制御（デフォルトはヒューズ ROM から）	表示
0x160	LSB_CTRL	LSB 制御ビット出力（デフォルト：0x00）	表示
0x200	JESD_EN	JESD204C サブシステム有効化（デフォルト：0x01）	表示
0x201	JMODE	JESD204C モード（デフォルト：0x02）	表示
0x202	KM1	JESD204C K パラメータ (デフォルト：0x1F)	表示
0x203	JSYNC_N	JESD204C 手動同期要求（デフォルト：0x01）	表示
0x204	JCTRL	JESD204C 制御（デフォルト：0x03）	表示

Copyright © 2025 Texas Instruments Incorporated

表 6-63. SPI REGISTER MAP レジスタ (続き)

アドレス	略称	レジスタ名	セクション
0x205	JTEST	JESD204C テスト制御(デフォルト:0x00)	表示
0x206	DID	JESD204C DID パラメータ(デフォルト:0x00)	表示
0x207	FCHAR	JESD204C フレーム文字(デフォルト:0x00)	表示
0x208	JESD_STATUS	JESD204C / システムステータスレジスタ	表示
0x209	PD_CH	JESD204C チャネル パワーダウン (デフォルト:0x00)	表示
0x20A	JEXTRA_A	JESD204C 追加レーン イネーブル (リンク A) (デフォルト:0x00)	表示
0x20B	JEXTRA_B	JESD204C 追加レーン イネーブル (リンク B) (デフォルト:0x00)	表示
0x20F	SHMODE	JESD204C 同期ワードモード(デフォルト:0x00)	表示
0x210	DDC_CFG	DDC 構成 (デフォルト:0x00)	表示
0x211	OVR_T0	オーバーレンジ スレッショルド 0 (デフォルト:0xF2)	表示
0x212	OVR_T1	オーバーレンジ スレッショルド 1 (デフォルト:0xAB)	表示
0x213	OVR_CFG	オーバーレンジ有効化/ホールド オフ(デフォルト:0x07)	表示
0x214	CMODE	DDC NCO 構成プリセット モード (デフォルト:0x00)	表示
0x215	CSEL	DDC NCO 構成プリセット選択 (デフォルト:0x00)	表示
0x216	DIG_BIND	デジタル チャネル バインディング (デフォルト:0x02)	表示
0x217	NCO_RDIV	NCO 参照除数 (デフォルト:0x0000)	表示
0x219	NCO_SYNC	NCO 同期 (デフォルト:0x02)	表示
0x220	FREQA0	NCO 周波数 (チャネル A、プリセット 0) (デフォルト:0xC0000000)	表示
0x224	PHASEA0	NCO 位相 (チャネル A、プリセット 0) (デフォルト:0x0000)	表示
0x228	FREQA1	NCO 周波数 (チャネル A、プリセット 1) (デフォルト:0xC0000000)	表示
0x22C	PHASEA1	NCO 位相 (チャネル A、プリセット 1) (デフォルト:0x0000)	表示
0x230	FREQA2	NCO 周波数 (チャネル A、プリセット 2) (デフォルト:0xC0000000)	表示
0x234	PHASEA2	NCO 位相 (チャネル A、プリセット 2) (デフォルト:0x0000)	表示
0x238	FREQA3	NCO 周波数 (チャネル A、プリセット 3) (デフォルト:0xC0000000)	表示
0x23C	PHASEA3	NCO 位相 (チャネル A、プリセット 3) (デフォルト:0x0000)	表示
0x240	FREQB0	NCO 周波数 (チャネル B、プリセット 0) (デフォルト:0xC0000000)	表示
0x244	PHASEB0	NCO 位相 (チャネル B、プリセット 0) (デフォルト:0x0000)	表示
0x248	FREQB1	NCO 周波数 (チャネル B、プリセット 1) (デフォルト:0xC0000000)	表示
0x24C	PHASEB1	NCO 位相 (チャネル B、プリセット 1) (デフォルト:0x0000)	表示
0x250	FREQB2	NCO 周波数 (チャネル B、プリセット 2) (デフォルト:0xC0000000)	表示
0x254	PHASEB2	NCO 位相 (チャネル B、プリセット 2) (デフォルト:0x0000)	表示
0x258	FREQB3	NCO 周波数 (チャネル B、プリセット 3) (デフォルト:0xC0000000)	表示
0x25C	PHASEB3	NCO 位相 (チャネル B、プリセット 3) (デフォルト:0x0000)	表示
0x270	INIT_STATUS	初期化ステータス(読み取り専用)	表示
0x297	SPIN_ID	チップ スピン識別子 (デフォルト:読み取り専用の説明を参照)	表示
0x2A2	TESTBUS	アナログ テスト バス制御 (デフォルト:0x00)	表示
0x2B0	SRC_EN	SYSREF 較正イネーブル (デフォルト:0x00)	表示
0x2B1	SRC_CFG	SYSREF 較正構成 (デフォルト:0x05)	表示
0x2B2	SRC_STATUS	SYSREF 較正ステータス (読み取り専用、デフォルト:未定義)	表示
0x2B5	TAD	DEVCLK タイミング調整 (デフォルト:0x00)	表示
0x2B8	TAD_RAMP	DEVCLK タイミング調整ランプ制御 (デフォルト:0x00)	表示
0x2C0	ALARM	アラーム割り込み(読み取り専用)	表示

Copyright © 2025 Texas Instruments Incorporated

表 6-63. SPI REGISTER MAP レジスタ (続き)

アドレス	略称	レジスタ名	セクション
0x2C1	ALM_STATUS	アラームステータス(デフォルト:0x3F、クリアへの書き込み)	表示
0x2C2	ALM_MASK	アラーム マスク レジスタ(デフォルト:0x3F)	表示
0x2C4	FIFO_LANE_ALM	FIFO オーバーフロー/アンダーフローアラーム(デフォルト:0xFFFF)	表示
0x310	TADJ_A	デュアル チャネル モードで動作する A-ADC のタイミング調整 (デフォルトはヒューズ ROM から)	表示
0x313	TADJ_B	デュアル チャネル モードで動作する B-ADC のタイミング調整 (デフォルトはヒューズ ROM から)	表示
0x314	TADJ_A_FG90_VINA	シングル チャネル モードで動作し、INA± をサンプリングする A-ADC のタイミング調整 (デフォルトはヒューズ ROM から)	表示
0x315	TADJ_B_FG0_VINA	シングル チャネル モードで動作し、INA± をサンプリングする B-ADC のタイミング調整 (デフォルトはヒューズ ROM から)	表示
0x31A	TADJ_A_FG90_VINB	シングル チャネル モードで動作し、INB± をサンプリングする A-ADC のタイミング調整 (デフォルトはヒューズ ROM から)	表示
0x31B	TADJ_B_FG0_VINB	シングル チャネル モードで動作し、INB± をサンプリングする B-ADC のタイミング調整 (デフォルトはヒューズ ROM から)	表示
0x344	OADJ_A_FG0_VINA	デュアル チャネル モードで動作し、INA± をサンプリングする A-ADC のオフセット調整 (デフォルトはヒューズ ROM から)	表示
0x346	OADJ_A_FG0_VINB	デュアル チャネル モードで動作し、INB± をサンプリングする A-ADC のオフセット調整 (デフォルトはヒューズ ROM から)	表示
0x348	OADJ_A_FG90_VINA	シングル チャネル モードで動作し、INA± をサンプリングする A-ADC のオフセット調整 (デフォルトはヒューズ ROM から)	表示
0x34A	OADJ_A_FG90_VINB	シングル チャネル モードで動作し、INB± をサンプリングする A-ADC のオフセット調整 (デフォルトはヒューズ ROM から)	表示
0x34C	OADJ_B_FG0_VINA	INA± をサンプリングする B-ADC のオフセット調整 (デフォルトはヒューズ ROM から)	表示
0x34E	OADJ_B_FG0_VINB	INB± をサンプリングする B-ADC のオフセット調整 (デフォルトはヒューズ ROM から)	表示
0x350	GAIN_A0_FGDUAL	デュアル チャネル モードでの ADC A バンク 0 のゲイン微調整 (デフォルトはヒューズ ROM から)	表示
0x351	GAIN_A1_FGDUAL	デュアル チャネル モードでの ADC A バンク 1 のゲイン微調整 (デフォルトはヒューズ ROM から)	表示
0x352	GAIN_B0_FGDUAL	デュアル チャネル モードでの ADC B バンク 0 のゲイン微調整 (デフォルトはヒューズ ROM から)	表示
0x353	GAIN_B1_FGDUAL	デュアル チャネル モードでの ADC B バンク 1 のゲイン微調整 (デフォルトはヒューズ ROM から)	表示
0x354	GAIN_A0_FGDES	シングル チャネル モードでの ADC A バンク 0 のゲイン微調整 (デフォルトはヒューズ ROM から)	表示
0x355	GAIN_A1_FGDES	シングル チャネル モードでの ADC A バンク 1 のゲイン微調整 (デフォルトはヒューズ ROM から)	表示
0x356	GAIN_B0_FGDES	シングル チャネル モードでの ADC B バンク 0 のゲイン微調整 (デフォルトはヒューズ ROM から)	表示
0x357	GAIN_B1_FGDES	シングル チャネル モードでの ADC B バンク 1 のゲイン微調整 (デフォルトはヒューズ ROM から)	表示
0x400	PFIR_CFG	プログラマブル FIR モード (デフォルト:0x00)	表示
0x418	PFIR_A0	PFIR 係数 A0	表示
0x41A	PFIR_A1	PFIR 係数 A1	表示
0x41C	PFIR_A2	PFIR 係数 A2	表示
0x41E	PFIR_A3	PFIR 係数 A3	表示
0x420	PFIR_A4	PFIR 係数 A4	表示
0x423	PFIR_A5	PFIR 係数 A5	表示

Copyright © 2025 Texas Instruments Incorporated

表 6-63. SPI REGISTER MAP レジスタ (続き)

アドレス	略称	レジスタ名	セクション
0x425	PFIR_A6	PFIR 係数 A6	表示
0x427	PFIR_A7	PFIR 係数 A7	表示
0x429	PFIR_A8	PFIR 係数 A8	表示
0x448	PFIR_B0	PFIR 係数 B0	表示
0x44A	PFIR_B1	PFIR 係数 B1	表示
0x44C	PFIR_B2	PFIR 係数 B2	表示
0x44E	PFIR_B3	PFIR 係数 B3	表示
0x450	PFIR_B4	PFIR 係数 B4	表示
0x453	PFIR_B5	PFIR 係数 B5	表示
0x455	PFIR_B6	PFIR 係数 B6	表示
0x457	PFIR_B7	PFIR 係数 B7	表示
0x459	PFIR_B8	PFIR 係数 B8	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 6-64 に、このセクションでアクセス タイプに使用しているコードを示します。

表 6-64. SPI_Register_Map のアクセスタイプコード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値
レジスタ アレイ変数		
i、j、k、l、m、n		これらの変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタが反復レジスタ グループの一部であるレジスタ アレイの値を示します。レジスタ グループは階層構造を形成し、アレイは式で表されます。
y		この変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタ アレイの値を示します。

6.6.1 CONFIG_A レジスタ（アドレス = 0x0）[リセット = 0x30]

図 6-28 に CONFIG_A を示し、表 6-65 でその説明を示します。

概略表に戻ります。

設定 A（デフォルト：0x30）

図 6-28. CONFIG_A レジスタ

7	6	5	4	3	2	1	0
SOFT_RESET	予約済み	ASCEND	SDO_ACTIVE	予約済み			
R/W-0x0	R/W-0x0	R/W-0x1	R-0x1	R/W-0x0			

Copyright © 2025 Texas Instruments Incorporated

表 6-65. CONFIG_A レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SOFT_RESET	R/W	0x0	このビットをセットすると、チップとすべての SPI レジスタ（CONFIG_A を含む）が完全にリセットされます。このビットは自動でクリアされます。このビットを書き込んだ後、パーツをリセットするのに最大 750ns を要する場合があります。この期間中は、SPI トランザクションを実行しません。
6	予約済み	R/W	0x0	
5	ASCEND	R/W	0x1	0：ストリーミングの読み取り/書き込み中にアドレスが減少します 1：ストリーミングお読み取り/書き込み中にアドレスが増加します（デフォルト）
4	SDO_ACTIVE	R	0x1	常に 1 を返します。SPI 読み出しには常に SDO を使用します。 SDIO モードはサポートされていません。
3:0	予約済み	R/W	0x0	

6.6.2 DEVICE_CONFIG レジスタ (アドレス = 0x2) [リセット = 0x00]

図 6-29 に DEVICE_CONFIG を示し、表 6-66 でその説明を示します。

概略表に戻ります。

デバイス構成（デフォルト：0x00）

図 6-29. DEVICE_CONFIG レジスタ

7	6	5	4	3	2	1	0
予約済み						モード	
R/W-0x0						R/W-0x0	

表 6-66. DEVICE_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	予約済み	R/W	0x0	
1:0	モード	R/W	0x0	0：通常動作 (デフォルト) 1：予約済み 2：予約済み 3：パワーダウン (最も低消費電力、より低速な再開)

6.6.3 CHIP_TYPE レジスタ (アドレス = 0x3) [リセット = 0x03]

図 6-30 に CHIP_TYPE を示し、表 6-67 でその説明を示します。

概略表に戻ります。

チップ タイプ (デフォルト：0x03)

図 6-30. CHIP_TYPE レジスタ

7	6	5	4	3	2	1	0
予約済み				CHIP_TYPE			
R/W-0x0				R-0x3			

表 6-67. CHIP_TYPE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R/W	0x0	

Copyright © 2025 Texas Instruments Incorporated

表 6-67. CHIP_TYPE レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3:0	CHIP_TYPE	R	0x3	常に 0x3 を返します。これは、部品が高速 ADC であることを示します。

6.6.4 CHIP_ID レジスタ (アドレス = 0x4) [リセット = 0x0]

図 6-31 に CHIP_ID を示し、表 6-68 でその説明を示します。

概略表に戻ります。

チップ識別

図 6-31. CHIP_ID レジスタ

15	14	13	12	11	10	9	8
CHIP_ID							
R-0x0							
7	6	5	4	3	2	1	0
CHIP_ID							
R-0x0							

表 6-68. CHIP_ID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	CHIP_ID	R	0x0	デバイスが ADCrrDJssssRF ファミリにあることを示す 0x0021 を返します。

6.6.5 VENDOR_ID レジスタ (アドレス = 0xC) [リセット = 0x0]

図 6-32 に VENDOR_ID を示し、表 6-69 でその説明を示します。

概略表に戻ります。

ベンダ識別（デフォルト= 0x0451）

図 6-32. VENDOR_ID レジスタ

15	14	13	12	11	10	9	8
VENDOR_ID							
R-0x0							
7	6	5	4	3	2	1	0
VENDOR_ID							
R-0x0							

表 6-69. VENDOR_ID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	VENDOR_ID	R	0x0	常に 0x0451（テキサス・インスツルメンツのベンダ ID）を返します

6.6.6 USR0 レジスタ (アドレス = 0x10) [リセット = 0x00]

図 6-33 に、USR0 レジスタを示し、表 6-70 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

ユーザー SPI 構成（デフォルト：0x00）

図 6-33. USR0 レジスタ

7	6	5	4	3	2	1	0
予約済み							ADDR_HOLD
R/W-0x0							R/W-0x0

表 6-70. USR0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R/W	0x0	
0	ADDR_HOLD	R/W	0x0	0：ASCEND レジスタを使用してアドレスの昇順/降順モードを選択します（デフォルト） 1：アドレスはストリーミング動作中常に一定に保たれ、CAL_DATA レジスタでの較正ベクタ情報の読み書きに便利です

6.6.7 CLK_CTRL0 レジスタ (アドレス = 0x29) [リセット = 0x00]

図 6-34 に、CLK_CTRL0 レジスタを示し、表 6-71 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

クロック制御 0（デフォルト：0x00）

図 6-34. CLK_CTRL0 レジスタ

7	6	5	4	3	2	1	0
予約済み	SYSREF_PROC_EN	SYSREF_RECV_EN	SYSREF_ZOOM	SYSREF_SEL			
R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0			

表 6-71. CLK_CTRL0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0x0	
6	SYSREF_PROC_EN	R/W	0x0	このビットにより、SYSREF プロセッサが有効化され、デバイスが SYSREF イベントを処理できるようになります（デフォルト：無効化）。SYSREF_PROC_EN を設定する前に SYSREF_RECV_EN を設定する必要があります。
5	SYSREF_RECV_EN	R/W	0x0	このビットを設定すると、SYSREF レシーバ回路が有効になります（デフォルト：無効化）
4	SYSREF_ZOOM	R/W	0x0	このビットを設定すると、SYSREF ウィンドウ処理のステータスおよび遅延を拡大縮小できます（SYSERF_POS および SYSREF_SEL に影響します u）。設定すると、SYSREF ウィンドウ処理機能（SYSREF_POS レジスタで報告）で使用される遅延が小さくなります。高いクロックレートを得るには、特に SYSREF_POS レジスタで複数の SYSREF 有効ウィンドウが発生した場合に、SYSREF_ZOOM を使用します。「SYSREF 位置検出器およびサンプリング位置の選択 (SYSREF ウィンドウ処理)」セクションを参照してください。

表 6-71. CLK_CTRL0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3:0	SYSREF_SEL	R/W	0x0	使用する SYSREF 遅延を選択するには、このフィールドを設定します。このフィールドは、SYSREF_POS から返された結果に基づいて設定します。「SYSREF 位置検出器およびサンプリング位置の選択 (SYSREF ウィンドウ処理)」の項を参照してください。SYSREF 較正を使用するには、これらのビットを 0 に設定する必要があります。「SYSREF 自動較正」セクションを参照してください。

6.6.8 CLK_CTRL1 レジスタ (アドレス = 0x2A) [リセット = 0x00]

図 6-35 に、CLK_CTRL1 レジスタを示し、表 6-72 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

クロック制御 1 (デフォルト:0x00)

図 6-35. CLK_CTRL1 レジスタ

7	6	5	4	3	2	1	0
予約済み				SYSREF_TIME_STAMP_EN	DEVCLK_LVPECL_EN	SYSREF_LVPECL_EN	SYSREF_INVERTED
R/W-0x0				R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0

表 6-72. CLK_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R/W	0x0	
3	SYSREF_TIME_STAMP_EN	R/W	0x0	SYSREF_TIMESTAMP_EN および TIME_STAMP_EN の両方が設定されているときは、SYSREF 信号を JESD204C 出力サンプルの LSB で観測できます。DDC バイパス モード (D = 1) でのみサポートされています。このビットにより、SYSREF± をタイムスタンプ入力として使用できます。
2	DEVCLK_LVPECL_EN	R/W	0x0	CLK± の DC 結合低電圧 PECL モードをアクティブ化します。「ピン機能」の表を参照してください。
1	SYSREF_LVPECL_EN	R/W	0x0	SYSREF± の DC 結合低電圧 PECL モードをアクティブ化します。「ピン機能」の表を参照してください。
0	SYSREF_INVERTED	R/W	0x0	このビットは、アライメントに使用される SYSREF 信号を反転します。

6.6.9 CLK_CTRL2 レジスタ (アドレス = 0x02B) [リセット = 0x11]

図 6-36 に CLK_CTRL2 を示し、表 6-73 でその説明を示します。

概略表に戻ります。

クロック制御 2 (デフォルト:0x11)

図 6-36. CLK_CTRL2 レジスタ

7	6	5	4	3	2	1	0
予約済み			C_CLK_FEEDBACK_GAIN	予約済み	EN_VA11_NOISE_SUPPR	CLKSAMP_DEL	
R/W-0x0			R/W-0x1	R/W-0x0	R/W-0x0	R/W-0x1	

Copyright © 2025 Texas Instruments Incorporated

表 6-73. CLK_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R/W	0x0	
4	C_CLK_FEEDBACK_GAIN	R/W	0x1	CMLtoCMOS コンバータの可変帰還ゲイン (高ゲイン:1)
3	予約済み	R/W	0x0	予約済み
2	EN_VA11_NOISE_SUPPR	R/W	0x0	設定すると、VA11 のノイズが抑制されます。デジタル回路からアナログ クロックへのノイズ結合は、消費電力のわずかな増加と引き換えに低減されるため、この設定を使用することが推奨されます。
1:0	CLKSAMP_DEL	R/W	0x1	サンプリング クロックの可変遅延 (ワンホット エンコード)

6.6.10 SYSREF_POS レジスタ (アドレス = 0x2C) [リセット = 0x0]

図 6-37 に SYSREF_POS を示し、表 6-74 でその説明を示します。

概略表に戻ります。

SYSREF キャプチャ位置 (読み取り専用、デフォルト:未定義)

図 6-37. SYSREF_POS レジスタ

23	22	21	20	19	18	17	16
SYSREF_POS							
R/W-0x0							
15	14	13	12	11	10	9	8
SYSREF_POS							
R/W-0x0							
7	6	5	4	3	2	1	0
SYSREF_POS							
R/W-0x0							

表 6-74. SYSREF_POS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
23:0	SYSREF_POS	R/W	0x0	CLK±を基準とした SYSREF エッジの位置を示す 24 ビットのステータス値を返します。SYSREF_SEL をプログラミングするには、これを使用します。

6.6.11 FS_RANGE_A レジスタ (アドレス = 0x30) [リセット = 0xA000]

図 6-38 に FS_RANGE_A を示し、表 6-75 でその説明を示します。

概略表に戻ります。

FS_RANGE_A (デフォルト:0xA000)

図 6-38. FS_RANGE_A レジスタ

15	14	13	12	11	10	9	8
FS_RANGE_A							
R/W-0xA000							
7	6	5	4	3	2	1	0
FS_RANGE_A							
R/W-0xA000							

Copyright © 2025 Texas Instruments Incorporated

図 6-38. FS_RANGE_A レジスタ (続き)

表 6-75. FS_RANGE_A レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	FS_RANGE_A	R/W	0xA000	これらのビットにより、INA± に対するアナログ フルスケール レンジの調整を有効化できます。 0x0000:0X2000 以下の設定ではパフォーマンスが低下します。 0x2000:500mVPP - 推奨最小設定 0xA000:800mVPP(デフォルト) 0xFFFF:1000mVPP - 最大設定

6.6.12 FS_RANGE_B レジスタ (アドレス = 0x32) [リセット = 0xA000]

図 6-39 に FS_RANGE_B を示し、表 6-76 でその説明を示します。

概略表に戻ります。

FS_RANGE_B (デフォルト:0xA000)

図 6-39. FS_RANGE_B レジスタ

15	14	13	12	11	10	9	8
FS_RANGE_B							
R/W-0xA000							
7	6	5	4	3	2	1	0
FS_RANGE_B							
R/W-0xA000							

表 6-76. FS_RANGE_B レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	FS_RANGE_B	R/W	0xA000	これらのビットにより、INB± に対するアナログ フルスケール レンジの調整を有効化できます。 0x0000:0X2000 以下の設定ではパフォーマンスが低下します。 0x2000:500mVPP - 推奨最小設定 0xA000:800mVPP(デフォルト) 0xFFFF:1000mVPP - 最大設定

6.6.13 BG_BYPASS レジスタ (アドレス = 0x38) [リセット = 0x00]

図 6-40 に BG_BYPASS を示し、表 6-77 でその説明を示します。

概略表に戻ります。

バンドギャップ バイパス (デフォルト:0x00)

図 6-40. BG_BYPASS レジスタ

7	6	5	4	3	2	1	0
予約済み							BG_BYPASS
R/W-0x0							R/W-0x0

表 6-77. BG_BYPASS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R/W	0x0	

Copyright © 2025 Texas Instruments Incorporated

表 6-77. BG_BYPASS レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	BG_BYPASS	R/W	0x0	設定すると、VA11 がバンドギャップ電圧ではなく電圧リファレンスとして使用されます。

6.6.14 TMSTP_CTRL レジスタ (アドレス = 0x3B) [リセット = 0x00]

図 6-41 に TMSTP_CTRL を示し、表 6-78 でその説明を示します。

概略表に戻ります。

TMSTP 制御 (デフォルト:0x00)

図 6-41. TMSTP_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み						TMSTP_LVPECL_EN	TMSTP_RECV_EN
R/W-0x0						R/W-0x0	R/W-0x0

表 6-78. TMSTP_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	予約済み	R/W	0x0	
1	TMSTP_LVPECL_EN	R/W	0x0	セットすると、差動 TMSTP±入力の低電圧 PECL モードを有効にします。
0	TMSTP_RECV_EN	R/W	0x0	差動 TMSTP± 入力を有効にします。

6.6.15 SER_PE レジスタ (アドレス = 0x48) [リセット = 0x00]

図 6-42 に SER_PE を示し、表 6-79 でその説明を示します。

概略表に戻ります。

シリアライザのプリエンファシス制御(デフォルト:0x00)

図 6-42. SER_PE レジスタ

7	6	5	4	3	2	1	0
予約済み				SER_PE_BOOST	SER_PE		
R/W-0x0				R/W-0x0	R/W-0x0		

表 6-79. SER_PE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R/W	0x0	
3	SER_PE_BOOST	R/W	0x0	プリエンファシスをわずかに増加させ、時間内に延長する追加のプリエンフェシス ブースト。
2:0	SER_PE	R/W	0x0	SerDes 出力レーンのプリエンファシスを設定します。プリエンファシスを使用して、PCB 配線の高周波損失を補償できます。これは、すべての 16 レーン (DA[7:0]±、DB[7:0]±) に影響を及ぼすグローバル設定です。

6.6.16 PLL_CTRL3 レジスタ (アドレス = 0x4F) [リセット = 0x13]

図 6-43 に、PLL_CTRL3 を示し、表 6-80 に、その説明を示します。

概略表に戻ります。

チップ識別

図 6-43. PLL_CTRL3 レジスタ

7	6	5	4	3	2	1	0
予約済み						PROP_CP_CUR	
R/W-0x1						R/W-0x3	

表 6-80. PLL_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:3	予約済み	R/W	0x1	予約済み
2:0	PROP_CP_CUR	R/W	0x3	PLL ループ帯域幅に合わせてチャージ ポンプ電流が調整されます。これは、安定性、入力トラッキング、VCO ノイズに影響を及ぼします。 0:電流が 70% 削減 1:電流が 50% 削減 2:電流が 25% 削減 3:公称電流 (調整なし) (デフォルト) 4:電流が 25% 増加 5:電流が 50% 増加 6:電流が 75% 増加 7:電流を 100% 増加 オーバーレンジ イベント時の Serdes 安定性を向上させるため、**PROP_CP_CUR** を 0x7 に設定します。

6.6.17 INPUT_MUX レジスタ (アドレス = 0x60) [リセット = 0x01]

図 6-44 に INPUT_MUX を示し、表 6-81 でその説明を示します。

概略表に戻ります。

入力マルチプレクサ制御 (デフォルト:0x01)

図 6-44. INPUT_MUX レジスタ

7	6	5	4	3	2	1	0
予約済み			DUAL_INPUT	予約済み		SINGLE_INPUT	
R/W-0x0			R/W-0x0	R/W-0x0		R/W-0x1	

表 6-81. INPUT_MUX レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R/W	0x0	
4	DUAL_INPUT	R/W	0x0	デュアル チャネル モードの入力を選択します。JMODE がシングル チャネル モードを選択している場合、このレジスタは無効です。 0:A チャネルは INA± をサンプリング、B チャネルは INB± をサンプリング (スワップなし、デフォルト) 1:A チャネルは INB± をサンプリング、B チャネルは INA± をサンプリング (スワップ)
3:2	予約済み	R/W	0x0	

Copyright © 2025 Texas Instruments Incorporated

表 6-81. INPUT_MUX レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1:0	SINGLE_INPUT	R/W	0x1	シングル チャネル モードでサンプリングされる入力を定義します。 JMODE がシングル チャネル モードを選択していない場合、このレジスタは無効です。 0:予約済み 1:INA± を使用 (デフォルト) 2:INB± を使用 3:ADC チャネル A は INA± をサンプリング、ADC チャネル B は INB± をサンプリングします (デュアル DES モード)変更を有効にするには、入力マルチプレクサのスイッチング後にキャリブレーションを行う必要があります。

6.6.18 CAL_EN レジスタ (アドレス = 0x61) [リセット = 0x01]

図 6-45 に CAL_EN を示し、表 6-82 でその説明を示します。

概略表に戻ります。

較正の有効化(デフォルト:0x01)

図 6-45. CAL_EN レジスタ

7	6	5	4	3	2	1	0
予約済み							CAL_EN
R/W-0x0							R/W-0x1

表 6-82. CAL_EN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R/W	0x0	
0	CAL_EN	R/W	0x1	較正有効化。較正を実行するには、高に設定します。新しい較正設定をプログラミングするには、低を設定して較正をリセットします。CAL_EN をクリアすると、デジタルブロックと JESD204C インターフェイスにクロックを供給するクロック分周器もリセットされます。 一部の較正レジスタでは、変更を加える前に CAL_EN をクリアする必要があります。この要件を持つすべてのレジスタには、それぞれの説明に注が含まれています。レジスタを変更した後、CAL_EN を設定して、新しい設定で較正を再実行します。JESD_EN を設定する前に、必ず CAL_EN を設定します。CAL_EN をクリアする前に、必ず JESD_EN をクリアしてください。

6.6.19 CAL_CFG0 レジスタ (アドレス = 0x62) [リセット = 0x01]

図 6-46 に、CAL_CFG0 レジスタを示し、表 6-83 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

較正の構成 0(デフォルト:0x01)

図 6-46. CAL_CFG0 レジスタ

7	6	5	4	3	2	1	0
予約済み				CAL_BGOS	CAL_OS	CAL_BG	CAL_FG
R/W-0x0				R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x1

表 6-83. CAL_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R/W	0x0	

Copyright © 2025 Texas Instruments Incorporated

表 6-83. CAL_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	CAL_BGOS	R/W	0x0	0:バックグラウンドオフセット較正を無効化します(デフォルト) 1:バックグラウンドオフセット較正を有効化します(CAL_BG を設定する必要があります)。
2	CAL_OS	R/W	0x0	0:フォアグラウンドオフセット較正を無効化します(デフォルト) 1:フォアグラウンドオフセット較正を有効化します(CAL_FG を設定する必要があります)。
1	CAL_BG	R/W	0x0	0:バックグラウンド較正を無効化します(デフォルト) 1:バックグラウンド較正を有効化します
0	CAL_FG	R/W	0x1	0:較正値をリセットし、フォアグラウンド較正をスキップします。 1:較正値をリセットし、フォアグラウンド較正を実行します(デフォルト)。

6.6.20 CAL_CFG2 レジスタ (アドレス = 0x64) [リセット = 0x02]

図 6-47 に CAL_CFG2 レジスタを示し、表 6-84 でその説明を示します。

概略表に戻ります。

較正の構成 2(デフォルト:0x02)

図 6-47. CAL_CFG2 レジスタ

7	6	5	4	3	2	1	0
予約済み						ADC_OFF	
R/W-0x00						R/W-0x10	

表 6-84. CAL_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	予約済み	R/W	0x00	予約済み
1:0	ADC_OFF	R/W	0x1	バックグラウンド キャリブレーションがディスエーブルの場合、ディスエーブルとキャリブレーションなしの ADC の種類が選択されます。JESD_EN が 0 の場合のみ、ADC_OFF を変更します。 0:ADC0 (ADC1 は ADC0 の待機位置) 1:ADC1 2:ADC2 (ADC1 は ADC2 の待機位置) 3:予約済み

6.6.21 CAL_AVG レジスタ (アドレス = 0x68) [リセット = 0x61]

図 6-48 に CAL_AVG を示し、表 6-85 でその説明を示します。

概略表に戻ります。

較正の平均化(デフォルト:0x61)

図 6-48. CAL_AVG レジスタ

7	6	5	4	3	2	1	0
予約済み	OS_AVG			予約済み	CAL_AVG		
R/W-0x0	R/W-0x6			R/W-0x0	R/W-0x1		

表 6-85. CAL_AVG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0x0	

Copyright © 2025 Texas Instruments Incorporated

表 6-85. CAL_AVG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6:4	OS_AVG	R/W	0x6	オフセット補正ルーチンに使用する平均化の量を選択します。数値が大きいほど、より多くの平均化に対応します。
3	予約済み	R/W	0x0	
2:0	CAL_AVG	R/W	0x1	直線性較正ルーチンに使用する平均化の量を選択します。数値が大きいほど、より多くの平均化に対応します。

6.6.22 CAL_STATUS レジスタ (アドレス = 0x6A) [リセット = 0x0]

図 6-49 に CAL_STATUS を示し、表 6-86 でその説明を示します。

概略表に戻ります。

較正のステータス(デフォルト:未定義)(読み取り専用)

図 6-49. CAL_STATUS レジスタ

7	6	5	4	3	2	1	0
予約済み			CAL_STAT			CAL_STOPPED	FG_DONE
R-0x0			R-0x0			R-0x0	R-0x0

表 6-86. CAL_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0x0	
4:2	CAL_STAT	R	0x0	較正ステータスコード
1	CAL_STOPPED	R	0x0	要求された位相でバックグラウンド較正が正常に停止されると、このビットは 1 を返します。較正が再開されると、このビットは 0 を返します。バックグラウンド較正が無効化された場合、このビットはフォアグラウンド較正が完了したとき、またはスキップされたときに設定されます。
0	FG_DONE	R	0x0	このビットは高であり、フォアグラウンド較正が完了した(またはスキップされた)ことを示します。

6.6.23 CAL_PIN_CFG レジスタ (アドレス = 0x6B) [リセット = 0x00]

図 6-50 に CAL_PIN_CFG を示し、表 6-87 でその説明を示します。

概略表に戻ります。

較正ピン構成(デフォルト:0x00)

図 6-50. CAL_PIN_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み					CAL_STATUS_SEL		CAL_TRIG_EN
R/W-0x0					R/W-0x0		R/W-0x0

表 6-87. CAL_PIN_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:3	予約済み	R/W	0x0	
2:1	CAL_STATUS_SEL	R/W	0x0	0:CALSTAT 出力は FG_DONE と一致します。 1:CALSTAT 出力は CAL_STOPPED と一致します。 2:CALSTAT 出力が ALARM と一致します。 3:CALSTAT 出力は常に低です。

Copyright © 2025 Texas Instruments Incorporated

表 6-87. CAL_PIN_CFG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	CAL_TRIG_EN	R/W	0x0	このビットは、ハードウェアまたはソフトウェアのトリガソースを選択します。 0:較正トリガには CAL_SOFT_TRIG レジスタを使用します。CALTRIG 入力は無効化(無視)されます。 1:較正トリガーには CALTRIG 入力を使用します。CAL_SOFT_TRIG レジスタは無視されます。

6.6.24 CAL_SOFT_TRIG レジスタ (アドレス = 0x6C) [リセット = 0x01]

図 6-51 に CAL_SOFT_TRIG を示し、表 6-88 でその説明を示します。

概略表に戻ります。

較正ソフトウェアトリガ(デフォルト:0x01)

図 6-51. CAL_SOFT_TRIG レジスタ

7	6	5	4	3	2	1	0
予約済み							CAL_SOFT_TRIG
R/W-0x0							R/W-0x1

表 6-88. CAL_SOFT_TRIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R/W	0x0	
0	CAL_SOFT_TRIG	R/W	0x1	CAL_SOFT_TRIG は、CALTRIG を駆動するハードウェアリソースがない場合に、CALTRIG 入力ピンの機能を提供するためのソフトウェアビットです。較正トリガに CAL_SOFT_TRIG を使用するように、CAL_TRIG_EN = 0 をプログラミングします。 注:較正トリガが必要ない場合は、CAL_TRIG_EN = 0 および CAL_SOFT_TRIG = 1(トリガを High に設定)のままにします。

6.6.25 CAL_LP レジスタ (アドレス = 0x6E) [リセット = 0x88]

図 6-52 に CAL_LP を示し、表 6-89 でその説明を示します。

概略表に戻ります。

低消費電力バックグラウンド較正(デフォルト:0x88)

図 6-52. CAL_LP レジスタ

7	6	5	4	3	2	1	0
LP_SLEEP_DLY			LP_WAKE_DLY		予約済み	LP_TRIG	LP_EN
R/W-0x4			R/W-0x1		R/W-0x0	R/W-0x0	R/W-0x0

Copyright © 2025 Texas Instruments Incorporated

表 6-89. CAL_LP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	LP_SLEEP_DLY	R/W	0x4	これらのビットは、較正のためにウェークアップする前に ADC がスリープ状態になる時間を調整します(LP_EN = 1 および LP_TRIG = 0 のときのみ適用されます)。全体的な消費電力削減の利点が限られているため、4 未満の値はお勧めしません。 0:スリープ遅延 = $(2^3 + 1) \times 256 \times t_{CLK}$ 1:スリープ遅延 = $(2^{15} + 1) \times 256 \times t_{CLK}$ 2:スリープ遅延 = $(2^{18} + 1) \times 256 \times t_{CLK}$ 3:スリープ遅延 = $(2^{21} + 1) \times 256 \times t_{CLK}$ 4:スリープ遅延 = $(2^{24} + 1) \times 256 \times t_{CLK}$ (デフォルト、3.2GHz クロックで約 1.338 秒) 5:スリープ遅延 = $(2^{27} + 1) \times 256 \times t_{CLK}$ 6:スリープ遅延 = $(2^{30} + 1) \times 256 \times t_{CLK}$ 7:スリープ遅延 = $(2^{33} + 1) \times 256 \times t_{CLK}$
4:3	LP_WAKE_DLY	R/W	0x1	これらのビットは、ADC ウェークアップ後に ADC を較正する前のセトリングに必要な時間を調整します(LP_EN = 1 の場合のみ適用されます)。較正を開始する前にコアが安定するのに十分な時間がないため、1 より小さい値はお勧めしません。 0:ウェーク遅延 = $(2^3 + 1) \times 256 \times t_{CLK}$ 1:ウェーク遅延 = $(2^{18} + 1) \times 256 \times t_{CLK}$ (デフォルト、3.2GHz クロックで約 21ms) 2:ウェーク遅延 = $(2^{21} + 1) \times 256 \times t_{CLK}$ 3:ウェーク遅延 = $(2^{24} + 1) \times 256 \times t_{CLK}$
2	予約済み	R/W	0x0	
1	LP_TRIG	R/W	0x0	0:ADC スリープ期間は、LP_SLEEP_DLY(自律モード)によって設定されます。 1:ADC は、トリガによってウェークアップされるまでスリープ状態になります。較正トリガが Low になると、ADC がウェイクアップされます。
0	LP_EN	R/W	0x0	0:低消費電力のバックグラウンド較正を無効化します(デフォルト) 1:低消費電力のバックグラウンド較正を有効化します(CAL_BG = 1 の場合のみ適用)。

6.6.26 CAL_DATA_EN レジスタ (アドレス = 0x70) [リセット = 0x00]

図 6-53 に CAL_DATA_EN を示し、表 6-90 でその説明を示します。

概略表に戻ります。

較正データ イネーブル (デフォルト:0x00)

図 6-53. CAL_DATA_EN レジスタ

7	6	5	4	3	2	1	0
予約済み							CAL_DATA_EN
R/W-0x0							R/W-0x0

表 6-90. CAL_DATA_EN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R/W	0x0	

表 6-90. CAL_DATA_EN レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	CAL_DATA_EN	R/W	0x0	このビットを設定すると、CAL_DATA レジスタが有効になり、較正データの読み書きが有効になります。詳細については、「CAL_DATA レジスタ」を参照してください。

6.6.27 CAL_DATA レジスタ (アドレス = 0x71) [リセット = 0x0]

図 6-54 に CAL_DATA を示し、表 6-91 でその説明を示します。

概略表に戻ります。

較正データ (デフォルト:未定義)

図 6-54. CAL_DATA レジスタ

7	6	5	4	3	2	1	0
CAL_DATA							
R/W-0x0							

表 6-91. CAL_DATA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CAL_DATA	R/W	0x0	CAL_DATA_EN を設定した後、このレジスタを繰り返し読み取ると、ADC のすべての較正値が返されます。このレジスタを繰り返し書き込むと、ADC のすべての較正値が入力されます。較正データを読み取るには、レジスタを 673 回読み取ります。ベクタを書き込むには、あらかじめ保存された較正データでレジスタを 673 回書き込みます。読み取りまたは書き込み動作を高速化するには、ADDR_HOLD = 1 を設定し、ストリーミング読み取りまたは書き込みプロセスを使用します。 重要:CAL_STOPPED = 0 のときに CAL_DATA レジスタにアクセスすると、較正データが破損します。また、673 回の読み取りまたは書き込み前のプロセスを停止すると、較正データが無効な状態のままになります。

6.6.28 GAIN_TRIM_A レジスタ (アドレス = 0x7A) [リセット = 0x0]

図 6-55 に GAIN_TRIM を示し、表 6-92 でその説明を示します。

概略表に戻ります。

ゲイン DAC トリム A (デフォルトはヒューズ ROM から)

図 6-55. GAIN_TRIM_A レジスタ

7	6	5	4	3	2	1	0
GAIN_TRIM_A							
R/W-0x0							

表 6-92. GAIN_TRIM_A レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	GAIN_TRIM_A	R/W	0x0	このレジスタにより、INA± のゲイン調整がイネーブルになります。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。 FS_RANGE_A を使用して、INA± のアナログ フルスケール電圧 (Vfs) を調整します。

Copyright © 2025 Texas Instruments Incorporated

6.6.29 GAIN_TRIM_B レジスタ (アドレス = 0x7B) [リセット = 0x0]

図 6-56 に GAIN_TRIM_B を示し、表 6-93 でその説明を示します。

概略表に戻ります。

ゲイン DAC トリム B (デフォルトはヒューズ ROM から)

図 6-56. GAIN_TRIM_B レジスタ

7	6	5	4	3	2	1	0
GAIN_TRIM_B							
R/W-0x0							

表 6-93. GAIN_TRIM_B レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	GAIN_TRIM_B	R/W	0x0	このレジスタにより、INB± のゲイン調整がイネーブルになります。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。FS_RANGE_B を使用して、INB± のアナログ フルスケール電圧 (Vfs) を調整します。

6.6.30 BG_TRIM レジスタ (アドレス = 0x7C) [リセット = 0x0]

図 6-57 に、BG_TRIM を示し、表 6-94 でその説明を示します。

概略表に戻ります。

バンドギャップトリム (デフォルトはヒューズ ROM から)

図 6-57. BG_TRIM レジスタ

7	6	5	4	3	2	1	0
予約済み				BG_TRIM			
R/W-0x0				R/W-0x0			

表 6-94. BG_TRIM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R/W	0x0	
3:0	BG_TRIM	R/W	0x0	このレジスタは、内部バンドギャップ・リファレンスのトリミングを可能にします。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

6.6.31 RTRIM_A レジスタ (アドレス = 0x7E) [リセット = 0x0]

図 6-58 に RTRIM_A を示し、表 6-95 でその説明を示します。

概略表に戻ります。

VinA の抵抗トリム (デフォルトはヒューズ ROM から)

図 6-58. RTRIM_A レジスタ

7	6	5	4	3	2	1	0
RTRIM_A							
R/W-0x0							

Copyright © 2025 Texas Instruments Incorporated

表 6-95. RTRIM_A レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	RTRIM_A	R/W	0x0	このレジスタは、INA± ADC 入力終端トリムを制御します。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

6.6.32 RTRIM_B レジスタ (アドレス = 0x7F) [リセット = 0x0]

図 6-59 に RTRIM_B を示し、表 6-96 でその説明を示します。

概略表に戻ります。

VinB の抵抗トリム (デフォルトはヒューズ ROM から)

図 6-59. RTRIM_B レジスタ

7	6	5	4	3	2	1	0
RTRIM_B							
R/W-0x0							

表 6-96. RTRIM_B レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	RTRIM_B	R/W	0x0	このレジスタは、INB± ADC 入力終端トリムを制御します。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

6.6.33 ADC_DITH レジスタ (アドレス = 0x9D) [リセット = 0x01]

図 6-60 に ADC_DITH を示し、表 6-97 でその説明を示します。

概略表に戻ります。

ADC ディザリング制御 (デフォルトはヒューズ ROM から)

図 6-60. ADC_DITH レジスタ

7	6	5	4	3	2	1	0
予約済み					ADC_DITH_ERR	ADC_DITH_AMP	ADC_DITH_EN
R/W-0x0					R/W-0x0	R/W-0x0	R/W-0x1

表 6-97. ADC_DITH レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:3	予約済み	R/W	0x0	
2	ADC_DITH_ERR	R/W	0x0	ディザー信号を減算すると、小さな丸め誤差が発生することがあります。誤差には、SNR を多少低下させるか、DC オフセットと FS /2 スプリアスをわずかに増加させるかのどちらかを選択できます。さらに、シングル・チャネル・モードでは、FS/4 スプリアスもわずかに増加します。 0 : 丸め誤差が SNR を低下させます 1 : 丸め誤差は、DC オフセット、FS/2 スプリアス、FS/4 スプリアスを低下させます
1	ADC_DITH_AMP	R/W	0x0	0 : 小さなディザリングによる SNR 向上 (デフォルト) 1 : スプリアス性能の向上に寄与する大きいディザリング機能

Copyright © 2025 Texas Instruments Incorporated

表 6-97. ADC_DITH レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	ADC_DITH_EN	R/W	0x1	このビットをセットすると、ADC ディザリング機能が有効になります。ディザリング機能を使用すると、スプリアス性能が改善されますが、SNR がわずかに低下します。ディザー振幅(ADC_DITH_AMP)を使用すると、SNR とスプリアス性能をさらにトレードオフできます。

6.6.34 LSB_CTRL レジスタ (アドレス = 0x160) [リセット = 0x00]

図 6-61 に LSB_CTRL を示し、表 6-98 でその説明を示します。

概略表に戻ります。

LSB 制御ビット出力(デフォルト:0x00)

図 6-61. LSB_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み							TIME_STAMP_EN
R/W-0x0							R/W-0x0

表 6-98. LSB_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R/W	0x0	
0	TIME_STAMP_EN	R/W	0x0	設定すると、タイムスタンプ信号が出力サンプルの LSB で送信されます。(チップ全体を通じた) タイムスタンプ信号のレイテンシは、アナログ ADC 入力のレイテンシと一致します。TIME_STAMP_EN を使用する場合は SYNC_RECV_EN も設定します。 注 1:8 ビット モードでは、制御ビットが 8 ビット サンプルの LSB に配置されます (7 ビットのサンプル データを残す)。部品が 12 ビット データ用に構成されている場合、制御ビットは 12 ビット データの LSB に配置されます (11 ビットのサンプル データを残す)。 注 2:このレジスタによってイネーブルされる制御ビットは、ILA ではアドバタイズされません(ILA では CS が 0)。

6.6.35 JESD_EN レジスタ (アドレス = 0x200) [リセット = 0x01]

図 6-62 に JESD_EN を示し、表 6-99 でその説明を示します。

概略表に戻ります。

JESD204C サブシステム有効化(デフォルト:0x01)

図 6-62. JESD_EN レジスタ

7	6	5	4	3	2	1	0
予約済み							JESD_EN
R/W-0x0							R/W-0x1

表 6-99. JESD_EN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R/W	0x0	

Copyright © 2025 Texas Instruments Incorporated

表 6-99. JESD_EN レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	JESD_EN	R/W	0x1	0:JESD204C インターフェイスを無効化します 1:JESD204C インターフェイスを有効化します 注:他の JESD204C レジスタを変更する前に、JESD_EN をクリアする必要があります。JESD_EN が 0 の場合、ブロックはリセット状態に保持され、シリアライザの電源がオフになります。消費電力節約のため、クロックはゲート オフにされます。LMFC/LEMC カウンタもリセット状態に保持されるため、SYSREF は LMFC/LEMC と整合しません。 注 2:JESD_EN を設定する前に、必ず CAL_EN を設定します。 注 3:CAL_EN をクリアする前に、必ず JESD_EN をクリアしてください。

6.6.36 JMODE レジスタ (アドレス = 0x201) [リセット = 0x02]

図 6-63 に JMODE を示し、表 6-100 でその説明を示します。

概略表に戻ります。

JESD204C モード(デフォルト:0x02)

図 6-63. JMODE レジスタ

7	6	5	4	3	2	1	0
RW							

表 6-100. JMODE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	JMODE	RW	0x02	JESD204C モード を指定します (DDC デシメーション係数を含む)。 注 1:このレジスタは、JESD_EN=0 および CAL_EN=0 のときにのみ変更できます。 注 2:許可されるモードは、MODE_LOCK レジスタによって決定されます。

6.6.37 KM1 レジスタ (アドレス = 0x202) [リセット = 0x1F]

図 6-64 に、KM1 レジスタを示し、表 6-101 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

JESD204C K パラメータ (デフォルト:0x1F)

図 6-64. KM1 レジスタ

7	6	5	4	3	2	1	0
KM1							
R/W-0x1F							

Copyright © 2025 Texas Instruments Incorporated

表 6-101. KM1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	KM1	R/W	0x1F	K はマルチ フレームあたりのフレーム数であり、このレジスタを K-1 にプログラミングする必要があります。JMODE の設定に応じて、K の有効値には制約があります (KR を参照)。 デフォルト値は KM1=31 で、K = 32 に対応します。 注:64b/66b リンク層を使用するモードでは、KM1 レジスタは無視され、K の値は JMODE から派生します。K の実効値は 256 * E/F です。 注:このレジスタは、JESD_EN が 0 のときのみ変更できます。

6.6.38 JSYNC_N レジスタ (アドレス = 0x203) [リセット = 0x01]

図 6-65 に JSYNC_N を示し、表 6-102 でその説明を示します。

概略表に戻ります。

JESD204C 手動同期要求(デフォルト:0x01)

図 6-65. JSYNC_N レジスタ

7	6	5	4	3	2	1	0
予約済み							JSYNC_N
R/W-0x0							R/W-0x1

表 6-102. JSYNC_N レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R/W	0x0	
0	JSYNC_N	R/W	0x1	JESD204C 同期を要求するには、このビットを 0 にセットします(アサートされている SYNC~信号と同じ)。通常動作の場合は、このビットを 1 のままにします。 注:JSYNC_N レジスタは、SYNC_SEL レジスタに関係なく、同期要求を常に生成できます。ただし、選択した同期ピンがローのままになっている場合は、SYNC_SEL=2 をプログラムしない限り、同期要求をデアサートすることはできません。

6.6.39 JCTRL レジスタ (アドレス = 0x204) [リセット = 0x03]

図 6-66 に JCTRL を示し、表 6-103 でその説明を示します。

概略表に戻ります。

JESD204C 制御(デフォルト:0x03)

図 6-66. JCTRL レジスタ

7	6	5	4	3	2	1	0
予約済み			ALT_LANES	SYNC_SEL		SFORMAT	SCR
R/W-0x0			R/W-0x0	R/W-0x0		R/W-0x1	R/W-0x1

表 6-103. JCTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R/W	0x0	

Copyright © 2025 Texas Instruments Incorporated

表 6-103. JCTRL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	ALT_LANES	R/W	0x0	0:通常のレーン マッピング (デフォルト)。リンク A はレーン DA0 ～ DA3、リンク B はレーン DB0 ～ DB3 を使用します。他のレーンはパワーダウンします。 1:交互レーン マッピング (上部レーンを使用)。リンク A はレーン DA4 ～ DA7、リンク B はレーン DB4 ～ DB7 を使用します。レーン DA0 ～ DA3 と DB0 ～ DB3 のパワーダウンします。 注:このオプションは、JMODE が 8 レーン以下を使用するモードを選択した場合にのみサポートされます。この要件を満たさないモードでは、動作は未定義です。
3:2	SYNC_SEL	R/W	0x0	0:SYNC~ 機能には SYNCSE 入力を使用します(デフォルト) 1:SYNC～ 機能には TMSTP± 入力を使用します。TMSTP_RECV_EN もセットする必要があります。 2:同期入力ピンは使用しないでください (JSYNC_N 経由でソフトウェア SYNC～ を使用)
1	SFORMAT	R/W	0x1	JESD204C サンプルの出力サンプルフォーマット 0:オフセット バイナリ 1:符号付き 2 の補数(デフォルト)
0	SCR	R/W	0x1	0:8B/10B スクランブラが無効化(8B/10B モードにのみ適用) 1:8b/10b スクランブラが有効化 (デフォルト) 注 1:64B/66B モードは常にスクランブルを使用します。このレジスタは 64B/66B モードには適用されません。 注 2:このレジスタは、JESD_EN が 0 のときのみ変更できます。

6.6.40 JTEST レジスタ (アドレス = 0x205) [リセット = 0x00]

図 6-67 に JTEST を示し、表 6-104 でその説明を示します。

概略表に戻ります。

JESD204C テスト制御(デフォルト:0x00)

図 6-67. JTEST レジスタ

7	6	5	4	3	2	1	0
予約済み			JTEST				
R/W-0x0			R/W-0x0				

表 6-104. JTEST レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R/W	0x0	

Copyright © 2025 Texas Instruments Incorporated

表 6-104. JTEST レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4:0	JTEST	R/W	0x0	0:テストモードは無効です。通常動作 (デフォルト) 1:PRBS7 テスト モード 2: PRBS15 テスト モード 3: PRBS23 テスト モード 4: ランプ テスト モード 5: トランスポート層テスト モード 6:D21.5 テスト モード 7: K28.5 = テスト モード* 8: 反復 ILA テスト モード* 9: 修正 RPAT テスト モード* 10: シリアル出力を低に保持 11: シリアル出力を高に保持 12:予約済み 13:PRBS9 = テスト モード 14: PRBS31 = テスト モード 15: クロック テスト パターン(0x00FF) 16:K28.7 = テスト モード* 17-31: 予約済み * これらのテストモードは、JMODE が 8b/10b エンコーディングを使用するモードを選択している場合にのみサポートされます。 注:このレジスタは、JESD_EN が 0 のときのみ変更できます。

6.6.41 DID レジスタ (アドレス = 0x206) [リセット = 0x00]

図 6-68 に DID を示し、表 6-105 でその説明を示します。

概略表に戻ります。

JESD204C DID パラメータ(デフォルト:0x00)

図 6-68. DID レジスタ

7	6	5	4	3	2	1	0
DID							
R/W-0x0							

表 6-105. DID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	DID	R/W	0x0	JESD204B ILA の 2 番目のマルチフレーム中に送信される DID (デバイス ID) 値を指定します。リンク A は DID を送信し、リンク B は DID+1 を送信します。ビット 0 は無視され、常に 0 を返します (奇数番号をプログラムすると、その数は偶数番号にデクリメントされます)。 このレジスタは、JESD_EN が 0 のときのみ変更できます。

6.6.42 FCHAR レジスタ (アドレス = 0x207) [リセット = 0x00]

図 6-69 に FCHAR を示し、表 6-106 でその説明を示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

JESD204C フレーム文字(デフォルト:0x00)

図 6-69. FCHAR レジスタ

7	6	5	4	3	2	1	0
予約済み						FCHAR	
R/W-0x0						R/W-0x0	

表 6-106. FCHAR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	予約済み	R/W	0x0	
1:0	FCHAR	R/W	0x0	フレームの終わりを示すために使用するカンマ文字を指定します。この文字は都合よく送信されます。これは、8B/10B エンコーディングを使用するモードにのみ適用されます。 0:K28.7(デフォルト)(JESD204C 準拠) 1:K28.1(JESD204C に準拠していません)2:K28.5(JESD204C に準拠していません)3:予約済み JESD204C レシーバを使用するときは、常に FCHAR = 0 を使用します。汎用 8B/10B レシーバーを使用する場合は、K28.7 キャラクタが問題を引き起こすことがあります。K28.7 を特定のデータ文字と組み合わせると、誤った位置合わせのカンマ文字が発生し、一部の受信者は偽のカンマに再整列します。これを回避するには、FCHAR を 1 または 2 にプログラミングします。 注:このレジスタは、JESD_EN が 0 のときのみ変更できます。

6.6.43 JESD_STATUS レジスタ (アドレス = 0x208) [リセット = 0x0]

図 6-70 に JESD_STATUS を示し、表 6-107 でその説明を示します。

概略表に戻ります。

JESD204C / システムステータスレジスタ

図 6-70. JESD_STATUS レジスタ

7	6	5	4	3	2	1	0
予約済み	LINK_UP	SYNC_STATUS	REALIGNED	ALIGNED	PLL_LOCKED	予約済み	
R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	

表 6-107. JESD_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0x0	
6	LINK_UP	R/W	0x0	設定されている場合、JESD204C リンクがアップしていることを示します。
5	SYNC_STATUS	R/W	0x0	JESD204C SYNC~ 信号の状態を返します。 0:SYNC~ アサート 1:SYNC~ アサート解除
4	REALIGNED	R/W	0x0	High の場合、デジタル ブロック クロック、フレーム クロック、またはマルチフレーム (LMFC) クロック位相が SYSREF によって再調整されたことを示します。このビットは 1 を書き込むとクリアされます。

Copyright © 2025 Texas Instruments Incorporated

表 6-107. JESD_STATUS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	ALIGNED	R/W	0x0	高の場合、マルチ フレーム(LMFC)クロック位相が SYSREF によって確立されたことを示します。JESD204B エンコーダをイネーブルにした後の最初の SYSREF イベントによって、このビットが設定されます。このビットは 1 を書き込むとクリアされます。
2	PLL_LOCKED	R/W	0x0	High のときは、シリアライザ PLL がロックされていることを示します。
1:0	予約済み	R/W	0x0	

6.6.44 PD_CH レジスタ (アドレス = 0x209) [リセット = 0x00]

図 6-71 に PD_CH を示し、表 6-108 でその説明を示します。

概略表に戻ります。

JESD204C チャネル パワーダウン (デフォルト:0x00)

図 6-71. PD_CH レジスタ

7	6	5	4	3	2	1	0
予約済み						PD_BCH	PD_ACH
R/W-0x0						R/W-0x0	R/W-0x0

表 6-108. PD_CH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	予約済み	R/W	0x0	
1	PD_BCH	R/W	0x0	設定すると、「B」ADC チャネルがパワーダウンします。「B」ADC チャネルに結合されたデジタル チャネルもパワーダウンします (「DIG_BIND」を参照)。 重要事項: 1.PD_CH を変更する前に、JESD_EN=0 に設定する必要があります。 2.両方の ADC チャネルをパワーダウンするには、MODE レジスタを使用します。 3.両方のチャネルがパワーダウンした場合、シリアライザ PLL および LMFC を含め、JESD204C サブシステム全体がパワーダウンします。 4.選択された JESD204C モードでリンク A に A と B データが送信され、B デジタル チャネルが無効化されている場合、リンク A は動作可能なままですが、B チャネル サンプルは未定義です。フォアグラウンド キャリブレーション モードで正常に動作させるには、CAL_CFG レジスタの ADC_OFF を 0x1 にプログラムする必要があります。

Copyright © 2025 Texas Instruments Incorporated

表 6-108. PD_CH レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	PD_ACH	R/W	0x0	設定すると、「A」ADC チャネルがパワーダウンします。「A」ADC チャネルに結合されたデジタル チャネルもパワーダウンします (「DIG_BIND」を参照)。 重要事項: 1.PD_CH を変更する前に、JESD_EN=0 に設定する必要があります。 2.両方の ADC チャネルをパワーダウンするには、MODE レジスタを使用します。 3.両方のチャネルがパワーダウンした場合、シリアライザ PLL および LMFC を含め、JESD204C サブシステム全体がパワーダウンします。 4.選択された JESD204C モードでリンク A に A と B データが送信され、B デジタル チャネルが無効化されている場合、リンク A は動作可能なままですが、B チャネル サンプルは未定義です。フォアグラウンド キャリブレーション モードで正常に動作させるには、CAL_CFG レジスタの ADC_OFF を 0x1 にプログラムする必要があります。

6.6.45 JEXTRA_A レジスタ (アドレス = 0x20A) [リセット = 0x00]

図 6-72 に JEXTRA_A を示し、表 6-109 でその説明を示します。

概略表に戻ります。

JESD204C 追加レーン イネーブル (リンク A) (デフォルト:0x00)

図 6-72. JEXTRA_A レジスタ

7	6	5	4	3	2	1	0
EXTRA_LANE_A							EXTRA_SER_A
R/W-0x0							R/W-0x0

表 6-109. JEXTRA_A レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	EXTRA_LANE_A	R/W	0x0	これらのレジスタ ビットをプログラムして追加のレーンを有効化できます (選択した JMODE ではレーンを有効化する必要がない場合でも)。EXTRA_LANE_A(n) は、An (n = 1 ～ 7) を有効にします。このレジスタは、影響を受けるレーンのリンク層クロックを有効にします。追加のシリアル化も有効にするには、EXTRA_SER_A = 1 を設定します。

Copyright © 2025 Texas Instruments Incorporated

表 6-109. JEXTRA_A レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	EXTRA_SER_A	R/W	0x0	0:追加レーンのリンク層クロックのみが有効になります。 1:追加レーンのシリアライザ (およびリンク層クロック) を有効化します。このモードを使用して、追加レーンからデータを送信できます。 重要事項: 1.このレジスタは、JESD_EN が 0 のときのみ変更できます。 2.追加レーンのビットレートとモードは、JMODE おおび JTEST で設定されます (下記の例外を参照)。 3.このレジスタによってレーンが有効化されており (および JMODE によって有効化されていなかった場合)、JTEST が 0 または 5 の場合、追加レーンはオクテット ランプを使用します (JTEST = 4 と同じ)。 4. このレジスタは PD_CH レジスタをオーバーライドしないため、この機能を使用するためにリンクが有効になっていることを確認してください。 5.シリアライザ n を有効にするには、小さな番号のレーン 0 ～ n-1 も有効にする必要があります。そうしない場合、シリアライザ n がクロックを受信しません。

6.6.46 JEXTRA_B レジスタ (アドレス = 0x20B) [リセット = 0x00]

図 6-73 に JEXTRA_B を示し、表 6-110 でその説明を示します。

概略表に戻ります。

JESD204C 追加レーン イネーブル (リンク B) (デフォルト:0x00)

図 6-73. JEXTRA_B レジスタ

7	6	5	4	3	2	1	0
EXTRA_LANE_B							EXTRA_SER_B
R/W-0x0							R/W-0x0

表 6-110. JEXTRA_B レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	EXTRA_LANE_B	R/W	0x0	これらのレジスタ ビットをプログラムして追加のレーンを有効化できます (選択した JMODE ではレーンを有効化する必要がない場合でも)。EXTRA_LANE_B(n) は、Bn (n = 1 ～ 7) を有効にします。このレジスタは、影響を受けるレーンのリンク層クロックを有効にします。追加のシリアル化も有効にするには、EXTRA_SER_B = 1 を設定します。

Copyright © 2025 Texas Instruments Incorporated

表 6-110. JEXTRA_B レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	EXTRA_SER_B	R/W	0x0	0:追加レーンのリンク層クロックのみが有効になります。 1:追加レーンのシリアライザ (およびリンク層クロック) を有効化します。このモードを使用して、追加レーンからデータを送信できます。 重要事項: 1.このレジスタは、JESD_EN が 0 のときのみ変更できます。 2.追加レーンのビットレートとモードは、JMODE おおび JTEST で設定されます (下記の例外を参照)。 3.このレジスタによってレーンが有効化されており (および JMODE によって有効化されていなかった場合)、JTEST が 0 または 5 の場合、追加レーンはオクテット ランプを使用します (JTEST = 4 と同じ)。 4.このレジスタは PD_CH レジスタをオーバーライドしないため、この機能を使用するためにリンクが有効になっていることを確認してください。 5.シリアライザ n を有効にするには、小さな番号のレーン 0 ～ n-1 も有効にする必要があります。そうしない場合、シリアライザ n がクロックを受信しません。

6.6.47 SHMODE レジスタ (アドレス = 0x20F) [リセット = 0x00]

図 6-74 に SHMODE を示し、表 6-111 でその説明を示します。

概略表に戻ります。

JESD204C 同期ワードモード(デフォルト:0x00)

図 6-74. SHMODE レジスタ

7	6	5	4	3	2	1	0
予約済み						SHMODE	
R/W-0x0						R/W-0x0	

表 6-111. SHMODE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	予約済み	R/W	0x0	
1:0	SHMODE	R/W	0x0	64b/66b 同期ワードのモードを選択します (マルチブロックごとに 32 ビットのデータ)。これは、JMODE が 64b/66b モードを選択している場合にのみ適用されます。 0:送信 CRC-12 信号(デフォルト設定) 1:予約済み 2:送信 FEC 信号 3:予約済み 注このデバイスは、JESD204C コマンド機能をサポートしていません。すべてのコマンドフィールドは 0(アイドルヘッダー)に設定されます。 注:このレジスタは、JESD_EN が 0 のときのみ変更できます。

6.6.48 DDC_CFG レジスタ (アドレス = 0x210) [リセット = 0x00]

図 6-75 に DDC_CFG を示し、表 6-112 で説明しています。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

DDC 構成 (デフォルト:0x00)

図 6-75. DDC_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み							昇圧
R/W-0x0							R/W-0x0

表 6-112. DDC_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R/W	0x0	
0	昇圧	R/W	0x0	DDC ゲイン制御。 0:DDC フィルタのゲインは 0dB (デフォルト) 1:DDC フィルタのゲインは 6.02dB です。この設定は、入力信号の負のイメージが DDC によって確実にフィルタ除去される場合にのみ使用してください。そうしないと、クリッピングが発生する可能性があります。

6.6.49 OVR_T0 レジスタ (アドレス = 0x211) [リセット = 0xF2]

図 6-76 に、OVR_T0 レジスタを示し、表 6-113 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

オーバーレンジ スレッショルド 0 (デフォルト:0xF2)

図 6-76. OVR_T0 レジスタ

7	6	5	4	3	2	1	0
OVR_T0							
R/W-0xF2							

表 6-113. OVR_T0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	OVR_T0	R/W	0xF2	このパラメータは、制御ビット 0 を設定する絶対サンプル レベルを定義します。制御ビット 0 は DDC I 出力サンプルに接続されています。dBFS (peak) の検出レベルは 20log10(OVR_T0/256) (デフォルト:0xF2 = 242-> -0.5dBFS) です

6.6.50 OVR_T1 レジスタ (アドレス = 0x212) [リセット = 0xAB]

図 6-77 に、OVR_T1 レジスタを示し、表 6-114 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

オーバーレンジ スレッショルド 1 (デフォルト:0xAB)

図 6-77. OVR_T1 レジスタ

7	6	5	4	3	2	1	0
OVR_T1							
R/W-0xAB							

Copyright © 2025 Texas Instruments Incorporated

表 6-114. OVR_T1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	OVR_T1	R/W	0xAB	このパラメータは、制御ビット 1 を設定する絶対サンプル レベルを定義します。制御ビット 1 は DDC Q 出力サンプルに接続されています。dBFS (peak) の検出レベルは 20log10(OVR_T1/256) (デフォルト: 0xAB = 171 -> -3.5dBFS)

6.6.51 OVR_CFG レジスタ (アドレス = 0x213) [リセット = 0x07]

図 6-78 に OVR_CFG を示し、表 6-115 でその説明を示します。

概略表に戻ります。

オーバーレンジ有効化/ホールド オフ(デフォルト:0x07)

図 6-78. OVR_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み				OVR_EN	OVR_N		
R/W-0x0				R/W-0x0	R/W-0x7		

表 6-115. OVR_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R/W	0x0	
3	OVR_EN	R/W	0x0	高に設定すると、オーバーレンジステータス出力ピンが有効になります。OVR_EN が Low に設定されている場合、ORA0、ORA1、ORB0、ORB1 出力は Low に保持されます。このレジスタは、オーバーレンジ出力ピン (ORxx) にのみ影響を及ぼします。オーバーレンジ ビットを送信する JESD204C モードは、このレジスタの影響を受けません。
2:0	OVR_N	R/W	0x7	このレジスタをプログラミングして、ORA0/1 および ORB0/1 出力のパルス拡張を調整します。オーバーレンジ出力の最小パルス幅は、$8 * 2^{OVR_N}$ DEVCLK サイクルです。このフィールドを増分すると、監視期間が 2 倍になります。

6.6.52 CMODE レジスタ (アドレス = 0x214) [リセット = 0x00]

図 6-79 に CMODE を示し、表 6-116 でその説明を示します。

概略表に戻ります。

DDC NCO 構成プリセット モード (デフォルト:0x00)

図 6-79. CMODE レジスタ

7	6	5	4	3	2	1	0
予約済み						CMODE	
R/W-0x0						R/W-0x0	

表 6-116. CMODE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	予約済み	R/W	0x0	

Copyright © 2025 Texas Instruments Incorporated

表 6-116. CMODE レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1:0	CMODE	R/W	0x0	このレジスタは、DDC ブロックで使用される NCO 周波数の選択モードを設定します。DDC A の NCO 周波数および位相は FREQAx および PHASEAx レジスタによって設定され、DDC B の NCO 周波数および位相は FREQBx および PHASEBx レジスタによって設定されます。ここで、x は構成プリセット (0 ～ 3) です。シングル チャネル モードでは、デュアル チャネル モードの DDC A の NCO 選択方法を使用して、シングル チャネル DDC の NCO を設定します。 0:CSEL レジスタを使用して DDC A および DDC B のアクティブな NCO 構成プリセットを選択します 1:NCOA[1:0] ピンを使用して DDC A 用のアクティブ NCO 構成プリセットを選択し、NCOB[1:0] ピンを使用して DDC B 用のアクティブ NCO 構成プリセットを選択します。 2:NCOA[1:0] ピンを使用して DDC A と DDC B の両方に対してアクティブな NCO 構成プリセットを選択します 3:予約済み

6.6.53 CSEL レジスタ (アドレス = 0x215) [リセット = 0x00]

図 6-80 に CSEL を示し、表 6-117 でその説明を示します。

概略表に戻ります。

DDC NCO 構成プリセット選択 (デフォルト:0x00)

図 6-80. CSEL レジスタ

7	6	5	4	3	2	1	0
予約済み				CSELB		CSELA	
R/W-0x0				R/W-0x0		R/W-0x0	

表 6-117. CSEL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R/W	0x0	
3:2	CSELB	R/W	0x0	CMODE = 0 の場合、このレジスタは、DDC B のアクティブ NCO 構成プリセットを選択するために使用されます。シングル チャネル モードでは、このレジスタは無視され、代わりに CSELA を使用する必要があります。
1:0	CSELA	R/W	0x0	CMODE = 0 の場合、このレジスタは、DDC A 用のアクティブな NCO 構成プリセットを選択するために使用されます。例:CSELA = 0 の場合、FREQA0 と PHASEA0 がアクティブ設定になります。CSELA = 1 の場合、FREQA1 と PHASEA1 がアクティブ設定です。 シングル チャネル モードでは、CSELA は DDC の NCO 周波数を選択します。

6.6.54 DIG_BIND レジスタ (アドレス = 0x216) [リセット = 0x02]

図 6-81 に DIG_BIND を示し、表 6-118 でその説明を示します。

概略表に戻ります。

デジタル チャネル バインディング (デフォルト:0x02)

Copyright © 2025 Texas Instruments Incorporated

図 6-81. DIG_BIND レジスタ

7	6	5	4	3	2	1	0
予約済み						DIG_BIND[1]	DIG_BIND[0]
R/W-0x0						R/W-0x1	R/W-0x0

表 6-118. DIG_BIND レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	予約済み	R/W	0x0	
1	DIG_BIND[1]	R/W	0x1	デジタル チャネル B 入力選択: 0:デジタル チャネル B が ADC チャネル A からデータを受信します 1:デジタル チャネル B が ADC チャネル B からデータを受信します (デフォルト)。
0	DIG_BIND[0]	R/W	0x0	デジタル チャネル A 入力選択: 0:デジタル チャネル A が ADC チャネル A からデータを受信します (デフォルト) 1:デジタル チャネル A が ADC チャネル B からデータを受信します 注 1:シングル チャネル モードを使用する場合は、常に DIG_BIND のデフォルト設定を使用する必要があります。そうしないと、デバイスは動作しません。 注 2:DIG_BIND を変更する前に、JESD_EN=0 および CAL_EN=0 を設定する必要があります。 注 3:DIG_BIND 設定は、PD_ACH/PD_BCH と組み合わせて、デジタル チャネルがパワーダウンしたかどうかを判定します。各デジタル チャネル (およびリンク) は、それがバインディングされている ADC チャネルがパワーダウンされると (PD_ACH/PD_BCH によって) パワーダウンされます。

6.6.55 NCO_RDIV レジスタ (アドレス = 0x217) [リセット = 0x0000]

図 6-82 に NCO_RDIV を示し、表 6-119 でその説明を示します。

概略表に戻ります。

NCO 参照除数 (デフォルト:0x0000)

図 6-82. NCO_RDIV レジスタ

15	14	13	12	11	10	9	8
NCO_RDIV							
R/W-0x0							
7	6	5	4	3	2	1	0
NCO_RDIV							
R/W-0x0							

Copyright © 2025 Texas Instruments Incorporated

表 6-119. NCO_RDIV レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	NCO_RDIV	R/W	0x0	32 ビット NCO 周波数ワードでは、目的の周波数ステップ サイズを生成できず、目的の周波数を近似するだけになる場合があります。これは、周波数誤差を引き起こします。このレジスタを使用して、周波数誤差を除去します。 デフォルト値の 0 は基準除数を無効にし、NCO は従来の 32 ビット NCO として動作します。 NCO_RDIV に分数が生じる FS と FSTEP の組み合わせは、サポートされていません。NCO_RDIV の値が 8192 より大きいと、NCO の SFDR 性能が低下する可能性があるため、推奨されません。このレジスタは、すべての NCO 構成プリセットに使用されます。

6.6.56 NCO_SYNC レジスタ (アドレス = 0x219) [リセット = 0x02]

図 6-83 に NCO_SYNC を示し、表 6-120 でその説明を示します。

概略表に戻ります。

NCO 同期 (デフォルト:0x02)

図 6-83. NCO_SYNC レジスタ

7	6	5	4	3	2	1	0
予約済み						NCO_SYNC_ILA	NCO_SYNC_NEXT
R/W-0x0						R/W-0x1	R/W-0x0

表 6-120. NCO_SYNC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	予約済み	R/W	0x0	
1	NCO_SYNC_ILA	R/W	0x1	このビットが設定されている場合、SYNC～ 信号の立ち上がりエッジの直後に、LMFC/LEMC 境界で NCO 位相が初期化されます (デフォルト)。この機能は、8B/10B および 64B/66B モードで動作します。この機能は、いくつかの ADC で NCO 位相を正確に揃えるために使用できます。 64B/66B モードでは、SYNC～ はこの目的のためにのみ使用され、リンク動作には影響しません。

Copyright © 2025 Texas Instruments Incorporated

表 6-120. NCO_SYNC レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	NCO_SYNC_NEXT	R/W	0x0	このビットに「0」、次に「1」を書き込むと、次の SYSREF の立ち上がりエッジで NCO 位相が初期化されます。SYSREF によって NCO 位相が初期化されると、「0」と「1」がこのビットに再度書き込まれない限り、NCO は将来の SYSREF エッジで再初期化されません。 これを使用して、NCO を複数のパーツに整列します (JESD リンクを再起動する必要はありません)。 1.部品の電源がオンであり、JESD_EN が設定されており、デバイス クロックが動作していることを確認します。 2.SYSREF がディスエーブル (トグルなし) になっていることを確認します。 3.すべての部品で NCO_SYNC_ILA = 0 をプログラムします。 4.すべての部品で NCO_SYNC_NEXT = 0 を書き込みます。 5.すべての部品で NCO_SYNC_NEXT = 1 を書き込みます。NCO 同期が有効化されます。 6.SYSREF ソースに、1 つ以上の SYSREF パルスを生成するよう指示します。 7.すべての部品は、最初の SYSREF 立ち上がりエッジを使用して NCO を初期化します。

6.6.57 FREQA0 レジスタ (アドレス = 0x220) [リセット = 0xC0000000]

図 6-84 に、FREQA0 レジスタを示し、表 6-121 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

NCO 周波数 (チャネル A、プリセット 0) (デフォルト:0xC0000000)

図 6-84. FREQA0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FREQA0																															
R/W-0xC0000000																															

Copyright © 2025 Texas Instruments Incorporated

表 6-121. FREQA0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31:0	FREQA0	R/W	0xC0000000	以下の説明は、FREQA0 から FREQA3 まで、および FREQB0 から FREQB3 までに適用されます。 NCO 周波数 (F_{NCO}) は次の式で表されます。 $F_{NCO} = (FREQA0 * 2^{-32}) * F_{ADC}$ F_{ADC} は、ADC のサンプリング周波数です。FREQA0 はこのレジスタの整数値です。このレジスタは、符号付きまたは符号なしと解釈できます (どちらの解釈も有効です)。 以下の式を使用して、プログラムする値を決定します: $FREQA0 = 2^{32} * F_{NCO} / F_S$ 式に整数値が得られない場合、代替周波数ステップ (FSTEP) を選択し、NCO_RDIV レジスタをプログラムする必要があります。次に、以下の式のいずれかを使用して FREQA0 を計算します。 $FREQA0 = round(2^{32} * F_{NCO}/F_S)$ $FREQA0 = round(2^{25} * F_{NCO}/F_{STEP}/NCO_RDIV)$ NCO が同期されて実行された後にこのレジスタを変更すると、NCO 位相が非決定的になります。決定論的な位相が必要な場合は、このレジスタを変更した後に NCO を再同期する必要があります。

6.6.58 PHASEA0 レジスタ (アドレス = 0x224) [リセット = 0x0000]

図 6-85 に、PHASEA0 レジスタを示し、表 6-122 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

NCO 位相 (チャネル A、プリセット 0) (デフォルト:0x0000)

図 6-85. PHASEA0 レジスタ

15	14	13	12	11	10	9	8
PHASEA0							
R/W-0x0							
7	6	5	4	3	2	1	0
PHASEA0							
R/W-0x0							

表 6-122. PHASEA0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	PHASEA0	R/W	0x0	構成プリセット 0 の NCO 位相。この値は左揃えで 32 ビット フィールドに入力され、位相アキュムレータに追加されます。位相 (ラジアン単位) は $PHASEA0 * 2^{-16} * 2\pi$ です。このレジスタは、符号付きまたは符号なしと解釈できます。

6.6.59 FREQA1 レジスタ (アドレス = 0x228) [リセット = 0xC0000000]

図 6-86 に、FREQA1 レジスタを示し、表 6-123 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

NCO 周波数 (チャネル A、プリセット 1) (デフォルト:0xC0000000)

Copyright © 2025 Texas Instruments Incorporated

図 6-86. FREQA1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FREQA1																															
R/W-0xC0000000																															

表 6-123. FREQA1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31:0	FREQA1	R/W	0xC0000000	チャネル A の NCO 周波数、NCO プリセット 1

6.6.60 PHASEA1 レジスタ (アドレス = 0x22C) [リセット = 0x0000]

図 6-87 に、PHASEA1 レジスタを示し、表 6-124 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

NCO 位相 (チャネル A、プリセット 1) (デフォルト:0x0000)

図 6-87. PHASEA1 レジスタ

15	14	13	12	11	10	9	8
PHASEA1							
R/W-0x0							
7	6	5	4	3	2	1	0
PHASEA1							
R/W-0x0							

表 6-124. PHASEA1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	PHASEA1	R/W	0x0	チャネル A の NCO 位相、プリセット 1

6.6.61 FREQA2 レジスタ (アドレス = 0x230) [リセット = 0xC0000000]

図 6-88 に、FREQA2 レジスタを示し、表 6-125 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

NCO 周波数 (チャネル A、プリセット 2) (デフォルト:0xC0000000)

図 6-88. FREQA2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FREQA2																															
R/W-0xC0000000																															

表 6-125. FREQA2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31:0	FREQA2	R/W	0xC0000000	チャネル A の NCO 周波数、NCO プリセット 2

6.6.62 PHASEA2 レジスタ (アドレス = 0x234) [リセット = 0x0000]

図 6-89 に、PHASEA2 レジスタを示し、表 6-126 にこのレジスタのフィールドの説明を示します。

Copyright © 2025 Texas Instruments Incorporated

概略表に戻ります。

NCO 位相 (チャネル A、プリセット 2) (デフォルト:0x0000)

図 6-89. PHASEA2 レジスタ

15	14	13	12	11	10	9	8
PHASEA2							
R/W-0x0							
7	6	5	4	3	2	1	0
PHASEA2							
R/W-0x0							

表 6-126. PHASEA2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	PHASEA2	R/W	0x0	チャネル A の NCO 位相、プリセット 2

6.6.63 FREQA3 レジスタ (アドレス = 0x238) [リセット = 0xC0000000]

図 6-90 に、FREQA3 レジスタを示し、表 6-127 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

NCO 周波数 (チャネル A、プリセット 3) (デフォルト:0xC0000000)

図 6-90. FREQA3 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FREQA3																															
R/W-0xC0000000																															

表 6-127. FREQA3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31:0	FREQA3	R/W	0xC0000000	チャネル A の NCO 周波数、NCO プリセット 3

6.6.64 PHASEA3 レジスタ (アドレス = 0x23C) [リセット = 0x0000]

図 6-91 に、PHASEA3 レジスタを示し、表 6-128 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

NCO 位相 (チャネル A、プリセット 3) (デフォルト:0x0000)

図 6-91. PHASEA3 レジスタ

15	14	13	12	11	10	9	8
PHASEA3							
R/W-0x0							
7	6	5	4	3	2	1	0
PHASEA3							
R/W-0x0							

Copyright © 2025 Texas Instruments Incorporated

表 6-128. PHASEA3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	PHASEA3	R/W	0x0	チャネル A の NCO 位相、プリセット 3

6.6.65 FREQB0 レジスタ (アドレス = 0x240) [リセット = 0xC0000000]

図 6-92 に、FREQB0 レジスタを示し、表 6-129 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

NCO 周波数 (チャネル B、プリセット 0) (デフォルト:0xC0000000)

図 6-92. FREQB0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FREQB0																															
R/W-0xC0000000																															

表 6-129. FREQB0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31:0	FREQB0	R/W	0xC0000000	チャネル B の NCO 周波数、NCO プリセット 0。 注:ADC が DES モードの場合、チャネル B の NCO 周波数および位相設定は無視されます。NCO 周波数レジスタおよび位相レジスタは、チャネル A にのみ使用します。

6.6.66 PHASEB0 レジスタ (アドレス = 0x244) [リセット = 0x0000]

図 6-93 に、PHASEB0 レジスタを示し、表 6-130 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

NCO 位相 (チャネル B、プリセット 0) (デフォルト:0x0000)

図 6-93. PHASEB0 レジスタ

15	14	13	12	11	10	9	8
PHASEB0							
R/W-0x0							
7	6	5	4	3	2	1	0
PHASEB0							
R/W-0x0							

表 6-130. PHASEB0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	PHASEB0	R/W	0x0	チャネル B の NCO 位相、プリセット 0

6.6.67 FREQB1 レジスタ (アドレス = 0x248) [リセット = 0xC0000000]

図 6-94 に、FREQB1 レジスタを示し、表 6-131 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

NCO 周波数 (チャネル B、プリセット 1) (デフォルト:0xC0000000)

Copyright © 2025 Texas Instruments Incorporated

図 6-94. FREQB1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FREQB1																															
R/W-0xC0000000																															

表 6-131. FREQB1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31:0	FREQB1	R/W	0xC0000000	チャネル B の NCO 周波数、NCO プリセット 1

6.6.68 PHASEB1 レジスタ (アドレス = 0x24C) [リセット = 0x0000]

図 6-95 に、PHASEB1 レジスタを示し、表 6-132 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

NCO 位相 (チャネル B、プリセット 1) (デフォルト:0x0000)

図 6-95. PHASEB1 レジスタ

15	14	13	12	11	10	9	8
PHASEB1							
R/W-0x0							
7	6	5	4	3	2	1	0
PHASEB1							
R/W-0x0							

表 6-132. PHASEB1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	PHASEB1	R/W	0x0	チャネル B の NCO 位相、プリセット 1

6.6.69 FREQB2 レジスタ (アドレス = 0x250) [リセット = 0xC0000000]

図 6-96 に、FREQB2 レジスタを示し、表 6-133 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

NCO 周波数 (チャネル B、プリセット 2) (デフォルト:0xC0000000)

図 6-96. FREQB2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FREQB2																															
R/W-0xC0000000																															

表 6-133. FREQB2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31:0	FREQB2	R/W	0xC0000000	チャネル B の NCO 周波数、NCO プリセット 2

6.6.70 PHASEB2 レジスタ (アドレス = 0x254) [リセット = 0x0000]

図 6-97 に、PHASEB2 レジスタを示し、表 6-134 にこのレジスタのフィールドの説明を示します。

Copyright © 2025 Texas Instruments Incorporated

概略表に戻ります。

NCO 位相 (チャネル B、プリセット 2) (デフォルト:0x0000)

図 6-97. PHASEB2 レジスタ

15	14	13	12	11	10	9	8
PHASEB2							
R/W-0x0							
7	6	5	4	3	2	1	0
PHASEB2							
R/W-0x0							

表 6-134. PHASEB2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	PHASEB2	R/W	0x0	チャネル B の NCO 位相、プリセット 2

6.6.71 FREQB3 レジスタ (アドレス = 0x258) [リセット = 0xC0000000]

図 6-98 に、FREQB3 レジスタを示し、表 6-135 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

NCO 周波数 (チャネル B、プリセット 3) (デフォルト:0xC0000000)

図 6-98. FREQB3 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FREQB3																															
R/W-0xC0000000																															

表 6-135. FREQB3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31:0	FREQB3	R/W	0xC0000000	チャネル B の NCO 周波数、NCO プリセット 3

6.6.72 PHASEB3 レジスタ (アドレス = 0x25C) [リセット = 0x0000]

図 6-99 に、PHASEB3 レジスタを示し、表 6-136 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

NCO 位相 (チャネル B、プリセット 3) (デフォルト:0x0000)

図 6-99. PHASEB3 レジスタ

15	14	13	12	11	10	9	8
PHASEB3							
R/W-0x0							
7	6	5	4	3	2	1	0
PHASEB3							
R/W-0x0							

Copyright © 2025 Texas Instruments Incorporated

表 6-136. PHASEB3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	PHASEB3	R/W	0x0	チャネル B の NCO 位相、プリセット 3

6.6.73 INIT_STATUS レジスタ (アドレス = 0x270) [リセット = 未定義]

図 6-100 に INIT_STATUS を示し、表 6-137 でその説明を示します。

概略表に戻ります。

チップ スピン識別子 (デフォルト:読み取り専用の説明を参照)

図 6-100. INIT_STATUS レジスタ

7	6	5	4	3	2	1	0
予約済み							INIT_STATUS
R - 未定義							R - 未定義

表 6-137. INIT_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R	未定義	予約済み
0	INIT_DONE	R	未定義	初期化ロジックがデバイスの初期化を完了すると 1 を返します。これは、スタートアップを実行しても安全であることを示しています。INIT_DONE が 1 を返す前に、SPI トランザクションを実行しないでください (SOFT_RESET を除く)。

6.6.74 SPIN_ID レジスタ (アドレス = 0x297) [リセット = 0x00]

図 6-101 に SPIN_ID を示し、表 6-138 でその説明を示します。

概略表に戻ります。

チップ スピン識別子 (デフォルト:読み取り専用の説明を参照)

図 6-101. SPIN_ID レジスタ

7	6	5	4	3	2	1	0
予約済み			SPIN_ID				
R/W-0x0			R/W-0x00				

表 6-138. SPIN_ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R/W	0x0	
4:0	SPIN_ID	R/W	0x0	スピン識別値: 0:ADC12DJ5200RF 1:ADC12DJ5200-EP 2:ADC12DJ4000RF 3:ADC12DJ5200SE 4:ADC12DJ5200RF (ZEG パッケージ) 6:ADC12DJ4000 RF (ZEG パッケージ) 7:ADC12DJ5200-SP 10:ADC08DJ5200RF

Copyright © 2025 Texas Instruments Incorporated

6.6.75 TESTBUS レジスタ (アドレス = 0x2A2) [リセット = 0x0]

図 6-102 に TESTBUS を示し、表 6-139 でその説明を示します。

概略表に戻ります。

TESTBUS レジスタ (デフォルト:0x0)

図 6-102. TESTBUS レジスタ

7	6	5	4	3	2	1	0
予約済み		EN_VD11_NOISE_SUPPR	EN_VS11_NOISE_SUPPR	予約済み			
R/W-0x0		R/W-0x0	R/W-0x0	R/W-0x0			

表 6-139. TESTBUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R/W	0x0	予約済み
5	EN_VD11_NOISE_SUPPR	R/W	0x0	設定すると、VD11 のノイズが抑制されます。デジタル回路からアナログ クロックへのノイズ結合は、消費電力のわずかな増加と引き換えに低減されるため、この設定を使用することが推奨されます。
4	EN_VS11_NOISE_SUPPR	R/W		設定すると、VS11 のノイズが抑制されます。デジタル回路からアナログ クロックへのノイズ結合は、消費電力のわずかな増加と引き換えに低減されるため、この設定を使用することが推奨されます。
3:0	予約済み	R/W	R/W	予約済み

6.6.76 SRC_EN レジスタ (アドレス = 0x2B0) [リセット = 0x00]

図 6-103 に SRC_EN を示し、表 6-140 でその説明を示します。

概略表に戻ります。

SYSREF 較正イネーブル (デフォルト:0x00)

図 6-103. SRC_EN レジスタ

7	6	5	4	3	2	1	0
予約済み							SRC_EN
R/W-0x0							R/W-0x0

表 6-140. SRC_EN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R/W	0x0	
0	SRC_EN	R/W	0x0	0:SYSREF 較正ディスエーブル。TAD レジスタを使用して tad[16:0] 出力を手動で制御し、DEVCLK 遅延を調整します。(デフォルト) 1:SYSREF 較正イネーブル。DEVCLK 遅延は自動的に較正されます。TAD レジスタは無視されます。 SRC_EN で 0 から 1 への遷移が発生すると、SYSREF 較正シーケンスが開始されます。SRC_EN を設定する前に、SRC_CFG をプログラムします。SRC_EN を設定する前に、ADC のキャリブレーションが現在実行されていないことを確認してください。

Copyright © 2025 Texas Instruments Incorporated

6.6.77 SRC_CFG レジスタ (アドレス = 0x2B1) [リセット = 0x05]

図 6-104 に SRC_CFG を示し、表 6-141 でその説明を示します。

概略表に戻ります。

SYSREF 較正構成 (デフォルト:0x05)

図 6-104. SRC_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み				SRC_AVG		SRC_HDUR	
R/W-0x0				R/W-0x1		R/W-0x1	

表 6-141. SRC_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R/W	0x0	
3:2	SRC_AVG	R/W	0x1	SYSREF 較正に使用される平均化の量を指定します。値を大きくすると、較正時間が長くなり、較正値のばらつきが減少します。 0:4 回の平均 1:16 回の平均 2:64 回の平均 3:256 回の平均
1:0	SRC_HDUR	R/W	0x1	SYSREF 較正の各高速累積の期間を指定します。SYSREF 周期がサポートされている値を超えると、較正は失敗します。値が大きいと、較正時間が長くなり、SYSREF 周期が長くなります。特定の SYSREF 周期について、値が大きいと、較正値のばらつきも減少します。 0:累積あたり 4 サイクル、128 DEVCLK サイクルの最大 SYSREF 周期 1:累積あたり 16 サイクル、1664 DEVCLK サイクルの最大 SYSREF 周期 2:累積あたり 64 サイクル、7808 DEVCLK サイクルの最大 SYSREF 周期 3:累積あたり 256 サイクル、32384 DEVCLK サイクルの最大 SYSREF 周期 SYSREF 較正の最大期間は、次の式によって境界設定されます。 TSYSREFCAL (DEVCLK サイクルの場合) = 384 * 19 * 4^(SRC_AVG + SRC_HDUR + 2)

6.6.78 SRC_STATUS レジスタ (アドレス = 0x2B2) [リセット = 0x0]

図 6-105 に SRC_STATUS 示し、表 6-142 でその説明を示します。

概略表に戻ります。

SYSREF 較正ステータス (読み取り専用、デフォルト:未定義)

図 6-105. SRC_STATUS レジスタ

23	22	21	20	19	18	17	16
予約済み						SRC_DONE	SRC_TAD
R/W-0x0						R/W-0x0	R/W-0x0
15	14	13	12	11	10	9	8
SRC_TAD							
R/W-0x0							

Copyright © 2025 Texas Instruments Incorporated

図 6-105. SRC_STATUS レジスタ (続き)

7	6	5	4	3	2	1	0
SRC_TAD							
R/W-0x0							

表 6-142. SRC_STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23:18	予約済み	R/W	0x0	
17	SRC_DONE	R/W	0x0	このビットは、SRC_EN = 1 かつ SYSREF のキャリブレーションが完了すると 1 を返します。
16:0	SRC_TAD	R/W	0x0	このフィールドは、SYSREF 較正で計算される TAD[16:0] の値を返します。これは、SRC_DONE = 1 の場合にのみ有効です。 SRC_TAD[16] は、DEVCLK が反転しているかどうかを示します。 SRC_TAD[15:8] は、粗遅延の調整を示します。 SRC_TAD[7:0] は、遅延の微調整を示します。

6.6.79 TAD レジスタ (アドレス = 0x2B5) [リセット = 0x00]

図 6-106 に TAD を示し、表 6-143 でその説明を示します。

概略表に戻ります。

DEVCLK タイミング調整 (デフォルト:0x00)

図 6-106. TAD レジスタ

23	22	21	20	19	18	17	16
予約済み							TAD_INV
R/W-0x0							R/W-0x0
15	14	13	12	11	10	9	8
TAD_COARSE							
R/W-0x0							
7	6	5	4	3	2	1	0
TAD_FINE							
R-0x0							

表 6-143. TAD レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
23:17	予約済み	R/W	0x0	
16	TAD_INV	R/W	0x0	設定時にサンプリング クロックを反転します。

Copyright © 2025 Texas Instruments Incorporated

表 6-143. TAD レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
15:8	TAD_COARSE	R/W	0x0	このレジスタは、SRC_EN = 0 の場合にサンプリング アパーチャ 遅延調整の粗分解能を制御します。SYSREF 較正がディスエーブルのとき、このレジスタを使用して DEVCLK アパーチャ遅延を手動で制御します。ADC キャリブレーションまたは JESD204B が動作している場合、クロック グリッチを回避するために、この値を徐々に (一度に 1 コードずつ) 増減させることが推奨されます。TAD_COARSE 分解能については、「スイッチング特性」を参照してください。 ADC キャリブレーションがイネーブル (CAL_EN = 1)、または JESD204C リンクがイネーブル (JESD_EN = 1) の場合、クロック グリッチと予測不能な動作を防止するため、以下のルールに従う必要があります。 1.TAD_INV を変更しないでください。TAD_INV を変更する前に、CAL_EN = 0 および JESD_EN = 0 をプログラムする必要があります。 2.TAD_COARSE は徐々に増減させる必要があります (一度に 4 つのコードを超えないようにします)。このルールは、SPI 書き込みを行うか、TAD_RAMP_EN を設定することで手動で従うことができます。
7:0	TAD_FINE	R/W	0x0	このレジスタは、SRC_EN = 0 の場合に、サンプリング アパーチャ遅延調整の細かい分解能を制御します。SYSREF 較正がディスエーブルのとき、このレジスタを使用して DEVCLK アパーチャ遅延を手動で制御します。TAD_FINE の分解能については、「スイッチング特性」を参照してください。TAD_FINE は、いつでも任意の値に変更できます (その調整は微々であるため、クロック グリッチが発生しません)。

6.6.80 TAD_RAMP レジスタ (アドレス = 0x2B8) [リセット = 0x00]

図 6-107 に TAD_RAMP を示し、表 6-144 でその説明を示します。

概略表に戻ります。

DEVCLK タイミング調整ランプ制御 (デフォルト:0x00)

図 6-107. TAD_RAMP レジスタ

7	6	5	4	3	2	1	0
予約済み						TAD_RAMP_RATE	TAD_RAMP_EN
R/W-0x0						R/W-0x0	R/W-0x0

表 6-144. TAD_RAMP レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	予約済み	R/W	0x0	
1	TAD_RAMP_RATE	R/W	0x0	TAD_RAMP_EN = 1 の間に TAD_COARSE レジスタが書き込まれるときの TAD_COARSE のランプ レートを指定します。 0:TAD_COARSE は、384 サンプリング クロック サイクルごとに 1 コードずつ増加または減少します。 1:TAD_COARSE は、384 サンプリング クロック サイクルごとに 4 コードずつ増加または減少します。

Copyright © 2025 Texas Instruments Incorporated

表 6-144. TAD_RAMP レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	TAD_RAMP_EN	R/W	0x0	TAD ランプ イネーブル。急激に変化させるのではなく、徐々に増減させるために TAD 粗調整 (TAD_COARSE) が必要な場合は、このビットを設定します。 0:TAD_COARSE レジスタに書き込んだ後、適用される TAD_COARSE 設定は、1536 CLK サイクル以内に更新されます (ランプ機能がディスエーブル)。 1:TAD_COARSE レジスタに書き込んだ後、適用される TAD_COARSE 設定は TAD_COARSE レジスタと一致するまで、徐々に増減します。

6.6.81 ALARM レジスタ (アドレス = 0x2C0) [リセット = 0x0]

図 6-108 に ALARM を示し、表 6-145 でその説明を示します。

概略表に戻ります。

アラーム割り込み(読み取り専用)

図 6-108. ALARM レジスタ

7	6	5	4	3	2	1	0
予約済み							ALARM
R-0x0							R-0x0

表 6-145. ALARM レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R	0x0	
0	ALARM	R	0x0	ALM_STATUS レジスタでマスクされていないアラームが発生すると、このビットは「1」を返します。ALM_MASK を使用して、個々のアラームをマスク(無効)します。CAL_STATUS_SEL は、CALSTAT 出力ピンで ALARM ビットを駆動し、ハードウェア アラーム割り込み信号を供給するために使用できます。

6.6.82 ALM_STATUS レジスタ (アドレス = 0x2C1) [リセット = 0x3F]

図 6-109 に ALM_STATUS を示し、表 6-146 でその説明を示します。

概略表に戻ります。

アラームステータス(デフォルト:0x3F、クリアへの書き込み)

図 6-109. ALM_STATUS レジスタ

7	6	5	4	3	2	1	0
予約済み		FIFO_ALM	PLL_ALM	LINK_ALM	REALIGNED_ALM	NCO_ALM	CLK_ALM
R/W-0x0		R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1

表 6-146. ALM_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R/W	0x0	

Copyright © 2025 Texas Instruments Incorporated

表 6-146. ALM_STATUS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	FIFO_ALM	R/W	0x1	FIFO オーバーフロー/アンダーフローアラーム:このビットは、アクティブな JESD204C レーン FIFO にアンダーフローまたはオーバーフロー状態が発生するとセットされます。「1」を書き込むと、このビットがクリアされます。どのレーンがアラームを生成したかを調べるには、FIFO_LANE_ALM を読み出します。
4	PLL_ALM	R/W	0x1	PLL ロック喪失アラーム:このビットは、PLL がロックされていないときに常に設定されます。「1」を書き込むと、このビットがクリアされます。
3	LINK_ALM	R/W	0x1	リンクアラーム:このビットは、JESD204C リンクが有効化されているがデータ エンコーダ状態 (8B/10B モードの場合) にないとき常にセットされます。64B/66B モードでは、データ エンコーダ状態が存在しないため、このアラームはリンクが最初に起動したときに設定され、何らかのイベントによって FIFO/シリアライザの再アライメントが発生した場合にも設定されます。「1」を書き込むと、このビットがクリアされます。
2	REALIGNED_ALM	R/W	0x1	アラームの再調整:このビットは、SYSREF によって内部クロック(LMFC/LEMC を含む)が再整列したときに設定されます。「1」を書き込むと、このビットがクリアされます。
1	NCO_ALM	R/W	0x1	NCO アラーム:このビットは、NCO 位相へのアップセットを検出するために使用できます。このビットは、以下のいずれかが発生したときにセットされます。 - NCO がディスエーブル (JESD_EN = 0) - NCO が (意図的または意図せずに) 同期される - チャネル A の位相アキュムレータがチャネル B と一致しない。 このビットをクリアするには、「1」を書き込みます。このレジスタの適切な使用方法については、「アラーム」セクションを参照してください。
0	CLK_ALM	R/W	0x1	クロック アラーム:このビットは、内部 DDC/JESD204C クロックへのアップセットを検出するために使用できます。このビットは、A および B チャネルの内部クロック分周器が一致しない場合に常に設定されます。「1」を書き込むと、このビットがクリアされます。このレジスタの適切な使用方法については、「alarm」の項を参照してください。 注:パワーオンリセットまたはソフト・リセットの後、すべてのアラームビットが「1」に設定されます 注:JESD_EN=0 のとき、すべてのアラーム (CLK_ALM を除く) は未定義です。JESD_EN=1 を設定した後、アラームをクリアすることをお勧めします。

6.6.83 ALM_MASK レジスタ (アドレス = 0x2C2) [リセット = 0x3F]

図 6-110 に ALM_MASK を示し、表 6-147 でその説明を示します。

概略表に戻ります。

アラーム マスク レジスタ(デフォルト:0x3F)

図 6-110. ALM_MASK レジスタ

7	6	5	4	3	2	1	0
予約済み		MASK_FIFO_ALM	MASK_PLL_ALM	MASK_LINK_ALM	MASK_REALIGNED_ALM	MASK_NCO_ALM	MASK_CLK_ALM
R/W-0x0		R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1

表 6-147. ALM_MASK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R/W	0x0	

Copyright © 2025 Texas Instruments Incorporated

表 6-147. ALM_MASK レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	MASK_FIFO_ALM	R/W	0x1	セットすると、FIFO_ALM はマスクされ、ALARM レジスタビットには影響を及ぼしません。
4	MASK_PLL_ALM	R/W	0x1	セットすると、PLL_ALM はマスクされ、ALARM レジスタビットには影響を及ぼしません。
3	MASK_LINK_ALM	R/W	0x1	セットすると、LINK_ALM はマスクされ、ALARM レジスタビットには影響を及ぼしません。
2	MASK_REALIGNED_ALM	R/W	0x1	セットされている場合、REALIGNED_ALM はマスクされ、ALARM レジスタビットには影響を及ぼしません。
1	MASK_NCO_ALM	R/W	0x1	設定すると、NCO_ALM はマスクされ、ALARM レジスタ ビットには影響しません。
0	MASK_CLK_ALM	R/W	0x1	セットすると、CLK_ALM はマスクされ、ALARM レジスタビットには影響を及ぼしません。

6.6.84 FIFO_LANE_ALM レジスタ (アドレス = 0x2C4) [リセット = 0xFFFF]

図 6-111 に FIFO_LANE_ALM を示し、表 6-148 でその説明を示します。

概略表に戻ります。

FIFO オーバーフロー/アンダーフローアラーム(デフォルト:0xFFFF)

図 6-111. FIFO_LANE_ALM レジスタ

15	14	13	12	11	10	9	8
FIFO_LANE_ALM							
R/W-0xFFFF							
7	6	5	4	3	2	1	0
FIFO_LANE_ALM							
R/W-0xFFFF							

表 6-148. FIFO_LANE_ALM レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	FIFO_LANE_ALM	R/W	0xFFFF	レーン i の FIFO がオーバーフローまたはアンダーフローになった場合、FIFO_LANE_ALM[i] がセットされます。このレジスタを使用して、アラームを生成したレーンを決定します。このレジスタのいずれかのビットに 1 を書き込むと、アラームがクリアされます(オーバーフロー/アンダーフロー状態が持続する場合、アラームは再度直ちにトリップされる場合があります)。ALM_STATUS レジスタの FIFO_ALM ビットに「1」を書き込むと、このレジスタのすべてのビットがクリアされます。

6.6.85 TADJ_A レジスタ (アドレス = 0x310) [リセット = 0x0]

図 6-112 に TADJ_A を示し、表 6-149 でその説明を示します。

概略表に戻ります。

デュアル チャネル モードで動作する A-ADC のタイミング調整 (デフォルトはヒューズ ROM から)

図 6-112. TADJ_A レジスタ

7	6	5	4	3	2	1	0

Copyright © 2025 Texas Instruments Incorporated

図 6-112. TADJ_A レジスタ (続き)

TADJ_A
R/W-0x0

表 6-149. TADJ_A レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	TADJ_A	R/W	0x0	このレジスタ (とそれに続く他の TADJ* レジスタ) を使用して、各 ADC コアのサンプリングの瞬間を調整します。異なるモードの異なる ADC に異なる TADJ レジスタが適用されます。すべての TADJ* レジスタのデフォルト値は、工場出荷時にプログラムされた値です。必要に応じて、出荷時にトリムされた値を読み取り調整できます。

6.6.86 TADJ_B レジスタ (アドレス = 0x313) [リセット = 0x0]

図 6-113 に TADJ_B を示し、表 6-150 でその説明を示します。

概略表に戻ります。

デュアル チャネル モードで動作する B-ADC のタイミング調整 (デフォルトはヒューズ ROM から)

図 6-113. TADJ_B レジスタ

7	6	5	4	3	2	1	0
TADJ_B							
R/W-0x0							

表 6-150. TADJ_B レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	TADJ_B	R/W	0x0	説明については、TADJ_A レジスタを参照してください。フォアグラウンド キャリブレーションがイネーブルの状態で、デュアル チャネル モードで B-ADC のタイミングを調整します。

6.6.87 TADJ_A_FG90_VINA レジスタ (アドレス = 0x314) [リセット = 0x0]

図 6-114 に、TADJ_A_FG90_VINA レジスタを示し、表 6-151 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

シングル チャネル モードで動作し、INA± をサンプリングする A-ADC のタイミング調整 (デフォルトはヒューズ ROM から)

図 6-114. TADJ_A_FG90_VINA レジスタ

7	6	5	4	3	2	1	0
TADJ_A_FG90_VINA							
R/W-0x0							

表 6-151. TADJ_A_FG90_VINA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	TADJ_A_FG90_VINA	R/W	0x0	説明については、TADJ_A レジスタを参照してください。フォアグラウンド キャリブレーションがイネーブルの状態で、シングル チャネル モードで A-ADC のタイミングを調整し、INA± のサンプリングを行います。

Copyright © 2025 Texas Instruments Incorporated

6.6.88 TADJ_B_FG0_VINA レジスタ (アドレス = 0x315) [リセット = 0x0]

図 6-115 に、TADJ_B_FG0_VINA レジスタを示し、表 6-152 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

シングル チャネル モードで動作し、INA± をサンプリングする B-ADC のタイミング調整 (デフォルトはヒューズ ROM から)

図 6-115. TADJ_B_FG0_VINA レジスタ

7	6	5	4	3	2	1	0
TADJ_B_FG0_VINA							
R/W-0x0							

表 6-152. TADJ_B_FG0_VINA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	TADJ_B_FG0_VINA	R/W	0x0	説明については、TADJ_A レジスタを参照してください。フォアグラウンド キャリブレーションがイネーブルの状態で、シングル チャネル モードで B-ADC のタイミングを調整し、INA± のサンプリングを行います。

6.6.89 TADJ_A_FG90_VINB レジスタ (アドレス = 0x31A) [リセット = 0x0]

図 6-116 に、TADJ_A_FG90_VINB レジスタを示し、表 6-153 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

シングル チャネル モードで動作し、INB± をサンプリングする A-ADC のタイミング調整 (デフォルトはヒューズ ROM から)

図 6-116. TADJ_A_FG90_VINB レジスタ

7	6	5	4	3	2	1	0
TADJ_A_FG90_VINB							
R/W-0x0							

表 6-153. TADJ_A_FG90_VINB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	TADJ_A_FG90_VINB	R/W	0x0	説明については、TADJ_A レジスタを参照してください。フォアグラウンド キャリブレーションがイネーブルの状態で、シングル チャネル モードで A-ADC のタイミングを調整し、INB± のサンプリングを行います。

6.6.90 TADJ_B_FG0_VINB レジスタ (アドレス = 0x31B) [リセット = 0x0]

図 6-117 に、TADJ_B_FG0_VINB レジスタを示し、表 6-154 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

シングル チャネル モードで動作し、INB± をサンプリングする B-ADC のタイミング調整 (デフォルトはヒューズ ROM から)

図 6-117. TADJ_B_FG0_VINB レジスタ

7	6	5	4	3	2	1	0
TADJ_B_FG0_VINB							
R/W-0x0							

Copyright © 2025 Texas Instruments Incorporated

表 6-154. TADJ_B_FG0_VINB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	TADJ_B_FG0_VINB	R/W	0x0	説明については、TADJ_A レジスタを参照してください。フォアグラウンド キャリブレーションがイネーブルの状態で、シングル チャネル モードで B-ADC のタイミングを調整し、INB± のサンプリングを行います。

6.6.91 OADJ_A_FG0_VINA レジスタ (アドレス = 0x344) [リセット = 0x0]

図 6-118 に、OADJ_A_FG0_VINA レジスタを示し、表 6-155 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

デュアル チャネル モードで動作し、INA± をサンプリングする A-ADC のオフセット調整 (デフォルトはヒューズ ROM から)

図 6-118. OADJ_A_FG0_VINA レジスタ

15	14	13	12	11	10	9	8
予約済み				OADJ_A_FG0_VINA			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OADJ_A_FG0_VINA							
R/W-0x0							

表 6-155. OADJ_A_FG0_VINA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0x0	
11:0	OADJ_A_FG0_VINA	R/W	0x0	デュアル チャネル モードで INA± をサンプリングし、フォアグラウンド キャリブレーションがイネーブルのときに、オフセット調整値が A-ADC に適用されます。

6.6.92 OADJ_A_FG0_VINB レジスタ (アドレス = 0x346) [リセット = 0x0]

図 6-119 に、OADJ_A_FG0_VINB レジスタを示し、表 6-156 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

デュアル チャネル モードで動作し、INB± をサンプリングする A-ADC のオフセット調整 (デフォルトはヒューズ ROM から)

図 6-119. OADJ_A_FG0_VINB レジスタ

15	14	13	12	11	10	9	8
予約済み				OADJ_A_FG_VINB			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OADJ_A_FG_VINB							
R/W-0x0							

表 6-156. OADJ_A_FG0_VINB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0x0	

Copyright © 2025 Texas Instruments Incorporated

表 6-156. OADJ_A_FG0_VINB レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11:0	OADJ_A_FG_VINB	R/W	0x0	デュアル チャネル モードで INB± をサンプリングし、フォアグラウンド キャリブレーションがイネーブルのときに、オフセット調整値が A-ADC に適用されます。

6.6.93 OADJ_A_FG90_VINA レジスタ (アドレス = 0x348) [リセット = 0x0]

図 6-120 に、OADJ_A_FG90_VINA レジスタを示し、表 6-157 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

シングル チャネル モードで動作し、INA± をサンプリングする A-ADC のオフセット調整 (デフォルトはヒューズ ROM から)

図 6-120. OADJ_A_FG90_VINA レジスタ

15	14	13	12	11	10	9	8
予約済み				OADJ_A_FG90_VINA			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OADJ_A_FG90_VINA							
R/W-0x0							

表 6-157. OADJ_A_FG90_VINA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0x0	
11:0	OADJ_A_FG90_VINA	R/W	0x0	シングル チャネル モードで INA± をサンプリングし、フォアグラウンド キャリブレーションがイネーブルのときに、オフセット調整値が A-ADC に適用されます。

6.6.94 OADJ_A_FG90_VINB レジスタ (アドレス = 0x34A) [リセット = 0x0]

図 6-121 に、OADJ_A_FG90_VINB レジスタを示し、表 6-158 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

シングル チャネル モードで動作し、INB± をサンプリングする A-ADC のオフセット調整 (デフォルトはヒューズ ROM から)

図 6-121. OADJ_A_FG90_VINB レジスタ

15	14	13	12	11	10	9	8
予約済み				OADJ_A_FG90_VINB			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OADJ_A_FG90_VINB							
R/W-0x0							

表 6-158. OADJ_A_FG90_VINB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0x0	

Copyright © 2025 Texas Instruments Incorporated

表 6-158. OADJ_A_FG90_VINB レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11:0	OADJ_A_FG90_VINB	R/W	0x0	90°のクロック位相を使用して INB± をサンプリングし、フォアグラウンド キャリブレーションがイネーブルのときに、オフセット調整値が A-ADC に適用されます。

6.6.95 OADJ_B_FG0_VINA レジスタ (アドレス = 0x34C) [リセット = 0x0]

図 6-122 に、OADJ_B_FG0_VINA レジスタを示し、表 6-159 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

INA± をサンプリングする B-ADC のオフセット調整 (デフォルトはヒューズ ROM から)

図 6-122. OADJ_B_FG0_VINA レジスタ

15	14	13	12	11	10	9	8
予約済み				OADJ_B_FG0_VINA			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OADJ_B_FG0_VINA							
R/W-0x0							

表 6-159. OADJ_B_FG0_VINA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0x0	
11:0	OADJ_B_FG0_VINA	R/W	0x0	INA± をサンプリングし、フォアグラウンド キャリブレーションがイネーブルのときに、オフセット調整値が B-ADC に適用されます。デュアル チャネル モードとシングル チャネル モードの両方に適用されます。

6.6.96 OADJ_B_FG0_VINB レジスタ (アドレス = 0x34E) [リセット = 0x0]

図 6-123 に、OADJ_B_FG0_VINB レジスタを示し、表 6-160 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

INB± をサンプリングする B-ADC のオフセット調整 (デフォルトはヒューズ ROM から)

図 6-123. OADJ_B_FG0_VINB レジスタ

15	14	13	12	11	10	9	8
予約済み				OADJ_B_FG0_VINB			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OADJ_B_FG0_VINB							
R/W-0x0							

表 6-160. OADJ_B_FG0_VINB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0x0	

Copyright © 2025 Texas Instruments Incorporated

表 6-160. OADJ_B_FG0_VINB レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11:0	OADJ_B_FG0_VINB	R/W	0x0	INB± をサンプリングし、フォアグラウンド キャリブレーションがイネーブルのときに、オフセット調整値が B-ADC に適用されます。デュアル チャネル モードとシングル チャネル モードの両方に適用されます。

6.6.97 GAIN_A0_FGDUAL レジスタ (アドレス = 0x350) [リセット = 0x0]

図 6-124 に、GAIN_A0_FGDUAL レジスタを示し、表 6-161 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

デュアル チャネル モードでの ADC A バンク 0 のゲイン微調整 (デフォルトはヒューズ ROM から)

図 6-124. GAIN_A0_FGDUAL レジスタ

7	6	5	4	3	2	1	0
予約済み			GAIN_A0_FGDUAL				
R/W-0x0			R/W-0x0				

表 6-161. GAIN_A0_FGDUAL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R/W	0x0	
4:0	GAIN_A0_FGDUAL	R/W	0x0	ADC A バンク 0 のゲイン微調整。

6.6.98 GAIN_A1_FGDUAL レジスタ (アドレス = 0x351) [リセット = 0x0]

図 6-125 に、GAIN_A1_FGDUAL レジスタを示し、表 6-162 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

デュアル チャネル モードでの ADC A バンク 1 のゲイン微調整 (デフォルトはヒューズ ROM から)

図 6-125. GAIN_A1_FGDUAL レジスタ

7	6	5	4	3	2	1	0
予約済み			GAIN_A1_FGDUAL				
R/W-0x0			R/W-0x0				

表 6-162. GAIN_A1_FGDUAL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R/W	0x0	
4:0	GAIN_A1_FGDUAL	R/W	0x0	ADC A バンク 1 のゲイン微調整。

6.6.99 GAIN_B0_FGDUAL レジスタ (アドレス = 0x352) [リセット = 0x0]

図 6-126 に、GAIN_B0_FGDUAL レジスタを示し、表 6-163 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

デュアル チャネル モードでの ADC B バンク 0 のゲイン微調整 (デフォルトはヒューズ ROM から)

図 6-126. GAIN_B0_FGDUAL レジスタ

7	6	5	4	3	2	1	0

Copyright © 2025 Texas Instruments Incorporated

図 6-126. GAIN_B0_FGDUAL レジスタ (続き)

予約済み	GAIN_A0_FGDUAL
R/W-0x0	R/W-0x0

表 6-163. GAIN_B0_FGDUAL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R/W	0x0	
4:0	GAIN_A0_FGDUAL	R/W	0x0	ADC B バンク 0 のゲイン微調整。

6.6.100 GAIN_B1_FGDUAL レジスタ (アドレス = 0x353) [リセット = 0x0]

図 6-127 に、GAIN_B1_FGDUAL レジスタを示し、表 6-164 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

デュアル チャネル モードでの ADC B バンク 1 のゲイン微調整 (デフォルトはヒューズ ROM から)

図 6-127. GAIN_B1_FGDUAL レジスタ

7	6	5	4	3	2	1	0
予約済み				GAIN_B1_FGDUAL			
R/W-0x0				R/W-0x0			

表 6-164. GAIN_B1_FGDUAL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R/W	0x0	
4:0	GAIN_B1_FGDUAL	R/W	0x0	ADC B バンク 1 のゲイン微調整。

6.6.101 GAIN_A0_FGDES レジスタ (アドレス = 0x354) [リセット = 0x0]

図 6-128 に、GAIN_A0_FGDES レジスタを示し、表 6-165 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

シングル チャネル モードでの ADC A バンク 0 のゲイン微調整 (デフォルトはヒューズ ROM から)

図 6-128. GAIN_A0_FGDES レジスタ

7	6	5	4	3	2	1	0
予約済み				GAIN_A0_FGDUAL			
R/W-0x0				R/W-0x0			

表 6-165. GAIN_A0_FGDES レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R/W	0x0	
4:0	GAIN_A0_FGDUAL	R/W	0x0	ADC A バンク 0 のゲイン微調整。

6.6.102 GAIN_A1_FGDES レジスタ (アドレス = 0x355) [リセット = 0x0]

図 6-129 に、GAIN_A1_FGDES レジスタを示し、表 6-166 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

シングル チャネル モードでの ADC A バンク 1 のゲイン微調整 (デフォルトはヒューズ ROM から)

図 6-129. GAIN_A1_FGDES レジスタ

7	6	5	4	3	2	1	0
予約済み			GAIN_A1_FGDUAL				
R/W-0x0			R/W-0x0				

表 6-166. GAIN_A1_FGDES レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R/W	0x0	
4:0	GAIN_A1_FGDUAL	R/W	0x0	ADC A バンク 1 のゲイン微調整。

6.6.103 GAIN_B0_FGDES レジスタ (アドレス = 0x356) [リセット = 0x0]

図 6-130 に、GAIN_B0_FGDES レジスタを示し、表 6-167 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

シングル チャネル モードでの ADC B バンク 0 のゲイン微調整 (デフォルトはヒューズ ROM から)

図 6-130. GAIN_B0_FGDES レジスタ

7	6	5	4	3	2	1	0
予約済み			GAIN_A0_FGDUAL				
R/W-0x0			R/W-0x0				

表 6-167. GAIN_B0_FGDES レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R/W	0x0	
4:0	GAIN_A0_FGDUAL	R/W	0x0	ADC B バンク 0 のゲイン微調整。

6.6.104 GAIN_B1_FGDES レジスタ (アドレス = 0x357) [リセット = 0x0]

図 6-131 に、GAIN_B1_FGDES レジスタを示し、表 6-168 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

シングル チャネル モードでの ADC B バンク 1 のゲイン微調整 (デフォルトはヒューズ ROM から)

図 6-131. GAIN_B1_FGDES レジスタ

7	6	5	4	3	2	1	0
予約済み			GAIN_B1_FGDUAL				
R/W-0x0			R/W-0x0				

表 6-168. GAIN_B1_FGDES レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R/W	0x0	
4:0	GAIN_B1_FGDUAL	R/W	0x0	ADC B バンク 1 のゲイン微調整。

Copyright © 2025 Texas Instruments Incorporated

6.6.105 PFIR_CFG レジスタ (アドレス = 0x400) [リセット = 0x00]

図 6-132 に PFIR_CFG を示し、表 6-169 でその説明を示します。

概略表に戻ります。

プログラマブル FIR モード (デフォルト:0x00)

図 6-132. PFIR_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み	PFIR_SHARE	PFIR_MERGE	PFIR_SCW			PFIR_MODE	
R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0			R/W-0x0	

表 6-169. PFIR_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0x0	
6	PFIR_SHARE	R/W	0x0	設定すると、B チャネルの PFIR は、A チャネルの PFIR と同じ係数を使用します。PFIR_SHARE = 0 の場合、B チャネル フィルタは独自の係数セットを使用します (チャネル A から固有)。使用方法の詳細については、「プログラマブル FIR フィルタ (PFIR)」セクションを参照してください。
5	PFIR_MERGE	R/W	0x0	設定すると、PFIR フィルタは単一のロジック フィルタにマージされます。このモードでは、ADC データ サンプルが単一のサンプル ストリームに属するかのように処理されます。ADC がシングル チャネル モードで設定されているときは、常に PFIR_MERGE = 1 に設定します。
4:2	PFIR_SCW	R/W	0x0	PFIR の側係数の重み。このフィールドは、係数の重みを決定します (中心係数を除く)。係数の重みを増やすと、精度が低下しますが、係数の範囲が増加します。LSB の重みは 2^{PFIR_SCW-16} であり、PFIR_SCW の重みは 0 ～ 6 の範囲でプログラムできます。デフォルトは 0 で、LSB の重みは 2^{-16} です。
1:0	PFIR_MODE	R/W	0x0	0:PFIR ブロックがディスエーブル (デフォルト) 1:予約済み 2:PFIR ブロックを有効化 3:予約済み 注 PFIR を使用するときは、フィルタ係数もプログラムする必要があります。 注:すべての PFIR_* レジスタは、JESD_EN=0 のときのみ変更する必要があります。

6.6.106 PFIR_A0 レジスタ (アドレス = 0x418) [リセット = 0x0]

図 6-133 に、PFIR_A0 レジスタを示し、表 6-170 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

PFIR 係数 A0

図 6-133. PFIR_A0 レジスタ

15	14	13	12	11	10	9	8
予約済み				PFIR_A0			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_A0							

Copyright © 2025 Texas Instruments Incorporated

図 6-133. PFIR_A0 レジスタ (続き)

R/W-0x0

表 6-170. PFIR_A0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0x0	
11:0	PFIR_A0	R(1)/W	0x0	PFIR フィルタの符号付き 2 の相補係数。これは、デュアル チャネル モードでの ADC A プログラマブル FIR フィルタの最初のタップ、またはシングル チャネル モードでのプログラマブル FIR フィルタの最初のタップです。

(1) 読み出し機能は MSB 値を正しく返しません。読み戻しの MSB 値は常に 0 です。

6.6.107 PFIR_A1 レジスタ (アドレス = 0x41A) [リセット = 0x0]

図 6-134 に、PFIR_A1 レジスタを示し、表 6-171 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

PFIR 係数 A1

図 6-134. PFIR_A1 レジスタ

15	14	13	12	11	10	9	8
予約済み				PFIR_A1			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_A1							
R/W-0x0							

表 6-171. PFIR_A1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0x0	
11:0	PFIR_A1	R(1)/W	0x0	PFIR フィルタの符号付き 2 の相補係数。これは、デュアル チャネル モードでの ADC A プログラマブル FIR フィルタの 2 番目のタップ、またはシングル チャネル モードでのプログラマブル FIR フィルタの 2 番目のタップです。

(1) 読み出し機能は MSB 値を正しく返しません。読み戻しの MSB 値は常に 0 です。

6.6.108 PFIR_A2 レジスタ (アドレス = 0x41C) [リセット = 0x0]

図 6-135 に、PFIR_A2 レジスタを示し、表 6-172 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

PFIR 係数 A2

図 6-135. PFIR_A2 レジスタ

15	14	13	12	11	10	9	8
予約済み				PFIR_A2			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_A2							

Copyright © 2025 Texas Instruments Incorporated

図 6-135. PFIR_A2 レジスタ (続き)

R/W-0x0

表 6-172. PFIR_A2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0x0	
11:0	PFIR_A2	R(1)/W	0x0	PFIR フィルタの符号付き 2 の相補係数。これは、デュアル チャネル モードでの ADC A プログラマブル FIR フィルタの 3 番目のタップ、またはシングル チャネル モードでのプログラマブル FIR フィルタの 3 番目のタップです。

(1) 読み出し機能は MSB 値を正しく返しません。読み戻しの MSB 値は常に 0 です。

6.6.109 PFIR_A3 レジスタ (アドレス = 0x41E) [リセット = 0x0]

図 6-136 に、PFIR_A3 レジスタを示し、表 6-173 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

PFIR 係数 A3

図 6-136. PFIR_A3 レジスタ

15	14	13	12	11	10	9	8
予約済み				PFIR_A3			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_A3							
R/W-0x0							

表 6-173. PFIR_A3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0x0	
11:0	PFIR_A3	R(1)/W	0x0	PFIR フィルタの符号付き 2 の相補係数。これは、デュアル チャネル モードでの ADC A プログラマブル FIR フィルタの 4 番目のタップ、またはシングル チャネル モードでのプログラマブル FIR フィルタの 4 番目のタップです。

(1) 読み出し機能は MSB 値を正しく返しません。読み戻しの MSB 値は常に 0 です。

6.6.110 PFIR_A4 レジスタ (アドレス = 0x420) [リセット = 0x0]

図 6-137 に、PFIR_A4 レジスタを示し、表 6-174 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

PFIR 係数 A4

図 6-137. PFIR_A4 レジスタ

23	22	21	20	19	18	17	16
予約済み						PFIR_A4	
R/W-0x0						R/W-0x0	
15	14	13	12	11	10	9	8
PFIR_A4							

図 6-137. PFIR_A4 レジスタ (続き)

R/W-0x0							
7	6	5	4	3	2	1	0
PFIR_A4							
R/W-0x0							

表 6-174. PFIR_A4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23:18	予約済み	R/W	0x0	
17:0	PFIR_A4	R(1)/W	0x0	PFIR フィルタの符号付き 2 の相補係数。これは、デュアル チャネル モードでの ADC A プログラマブル FIR フィルタの 5 番目のタップ、またはシングル チャネル モードでのプログラマブル FIR フィルタの 5 番目のタップです。これは、9 タップ フィルタのセンター タップであるため、分解能は 18 ビットです。

(1) 読み出し機能は MSB 値を正しく返しません。読み戻しの MSB 値は常に 0 です。

6.6.111 PFIR_A5 レジスタ (アドレス = 0x423) [リセット = 0x0]

図 6-138 に、PFIR_A5 レジスタを示し、表 6-175 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

PFIR 係数 A5

図 6-138. PFIR_A5 レジスタ

15	14	13	12	11	10	9	8
予約済み				PFIR_A5			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_A5							
R/W-0x0							

表 6-175. PFIR_A5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0x0	
11:0	PFIR_A5	R(1)/W	0x0	PFIR フィルタの符号付き 2 の相補係数。これは、デュアル チャネル モードでの ADC A プログラマブル FIR フィルタの 6 番目のタップ、またはシングル チャネル モードでのプログラマブル FIR フィルタの 6 番目のタップです。

(1) 読み出し機能は MSB 値を正しく返しません。読み戻しの MSB 値は常に 0 です。

6.6.112 PFIR_A6 レジスタ (アドレス = 0x425) [リセット = 0x0]

図 6-139 に、PFIR_A6 レジスタを示し、表 6-176 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

PFIR 係数 A6

図 6-139. PFIR_A6 レジスタ

15	14	13	12	11	10	9	8

Copyright © 2025 Texas Instruments Incorporated

図 6-139. PFIR_A6 レジスタ (続き)

予約済み				PFIR_A6			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_A6							
R/W-0x0							

表 6-176. PFIR_A6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0x0	
11:0	PFIR_A6	R(1)/W	0x0	PFIR フィルタの符号付き 2 の相補係数。これは、デュアル チャネル モードでの ADC A プログラマブル FIR フィルタの 7 番目のタップ、またはシングル チャネル モードでのプログラマブル FIR フィルタの 7 番目のタップです。

(1) 読み出し機能は MSB 値を正しく返しません。読み戻しの MSB 値は常に 0 です。

6.6.113 PFIR_A7 レジスタ (アドレス = 0x427) [リセット = 0x0]

図 6-140 に、PFIR_A7 レジスタを示し、表 6-177 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

PFIR 係数 A7

図 6-140. PFIR_A7 レジスタ

15	14	13	12	11	10	9	8
予約済み				PFIR_A7			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_A7							
R/W-0x0							

表 6-177. PFIR_A7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0x0	
11:0	PFIR_A7	R(1)/W	0x0	PFIR フィルタの符号付き 2 の相補係数。これは、デュアル チャネル モードでの ADC A プログラマブル FIR フィルタの 8 番目のタップ、またはシングル チャネル モードでのプログラマブル FIR フィルタの 8 番目のタップです。

(1) 読み出し機能は MSB 値を正しく返しません。読み戻しの MSB 値は常に 0 です。

6.6.114 PFIR_A8 レジスタ (アドレス = 0x429) [リセット = 0x0]

図 6-141 に、PFIR_A8 レジスタを示し、表 6-178 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

PFIR 係数 A8

図 6-141. PFIR_A8 レジスタ

15	14	13	12	11	10	9	8

Copyright © 2025 Texas Instruments Incorporated

図 6-141. PFIR_A8 レジスタ (続き)

予約済み							PFIR_A8
R/W-0x0							R/W-0x0
7	6	5	4	3	2	1	0
PFIR_A8							
R/W-0x0							

表 6-178. PFIR_A8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0x0	
11:0	PFIR_A8	R(1)/W	0x0	PFIR フィルタの符号付き 2 の相補係数。これは、デュアル チャネル モードでの ADC A プログラマブル FIR フィルタの 9 番目のタップ、またはシングル チャネル モードでのプログラマブル FIR フィルタの 9 番目のタップです。

(1) 読み出し機能は MSB 値を正しく返しません。読み戻しの MSB 値は常に 0 です。

6.6.115 PFIR_B0 レジスタ (アドレス = 0x448) [リセット = 0x0]

図 6-142 に、PFIR_B0 レジスタを示し、表 6-179 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

PFIR 係数 B0

図 6-142. PFIR_B0 レジスタ

15	14	13	12	11	10	9	8
予約済み				PFIR_B0			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_B0							
R/W-0x0							

表 6-179. PFIR_B0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0x0	
11:0	PFIR_B0	R(1)/W	0x0	PFIR フィルタの符号付き 2 の相補係数。これは、デュアル チャネル モードでの ADC B プログラマブル FIR フィルタの最初のタップです。

(1) 読み出し機能は MSB 値を正しく返しません。読み戻しの MSB 値は常に 0 です。

6.6.116 PFIR_B1 レジスタ (アドレス = 0x44A) [リセット = 0x0]

図 6-143 に、PFIR_B1 レジスタを示し、表 6-180 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

PFIR 係数 B1

図 6-143. PFIR_B1 レジスタ

15	14	13	12	11	10	9	8
予約済み				PFIR_B1			

Copyright © 2025 Texas Instruments Incorporated

図 6-143. PFIR_B1 レジスタ (続き)

R/W-0x0							R/W-0x0
7	6	5	4	3	2	1	0
PFIR_B1							
R/W-0x0							

表 6-180. PFIR_B1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0x0	
11:0	PFIR_B1	R(1)/W	0x0	PFIR フィルタの符号付き 2 の相補係数。これは、デュアル チャネル モードでの ADC B プログラマブル FIR フィルタの 2 番目のタップです。

(1) 読み出し機能は MSB 値を正しく返しません。読み戻しの MSB 値は常に 0 です。

6.6.117 PFIR_B2 レジスタ (アドレス = 0x44C) [リセット = 0x0]

図 6-144 に、PFIR_B2 レジスタを示し、表 6-181 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

PFIR 係数 B2

図 6-144. PFIR_B2 レジスタ

15	14	13	12	11	10	9	8
予約済み				PFIR_B2			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_B2							
R/W-0x0							

表 6-181. PFIR_B2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0x0	
11:0	PFIR_B2	R(1)/W	0x0	PFIR フィルタの符号付き 2 の相補係数。これは、デュアル チャネル モードでの ADC B プログラマブル FIR フィルタの 3 番目のタップです。

(1) 読み出し機能は MSB 値を正しく返しません。読み戻しの MSB 値は常に 0 です。

6.6.118 PFIR_B3 レジスタ (アドレス = 0x44E) [リセット = 0x0]

図 6-145 に、PFIR_B3 レジスタを示し、表 6-182 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

PFIR 係数 B3

図 6-145. PFIR_B3 レジスタ

15	14	13	12	11	10	9	8
予約済み				PFIR_B3			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_B3							

Copyright © 2025 Texas Instruments Incorporated

図 6-145. PFIR_B3 レジスタ (続き)

R/W-0x0

表 6-182. PFIR_B3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0x0	
11:0	PFIR_B3	R(1)/W	0x0	PFIR フィルタの符号付き 2 の相補係数。これは、デュアル チャネル モードでの ADC B プログラマブル FIR フィルタの 4 番目のタップです。

(1) 読み出し機能は MSB 値を正しく返しません。読み戻しの MSB 値は常に 0 です。

6.6.119 PFIR_B4 レジスタ (アドレス = 0x450) [リセット = 0x0]

図 6-146 に、PFIR_B4 レジスタを示し、表 6-183 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

PFIR 係数 B4

図 6-146. PFIR_B4 レジスタ

23	22	21	20	19	18	17	16
予約済み						PFIR_B4	
R/W-0x0						R/W-0x0	
15	14	13	12	11	10	9	8
PFIR_B4							
R/W-0x0							
7	6	5	4	3	2	1	0
PFIR_B4							
R/W-0x0							

表 6-183. PFIR_B4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23:18	予約済み	R/W	0x0	
17:0	PFIR_B4	R(1)/W	0x0	PFIR フィルタの符号付き 2 の相補係数。これは、デュアル チャネル モードでの ADC B プログラマブル FIR フィルタの 5 番目のタップです。これは、9 タップ フィルタのセンター タップであるため、分解能は 18 ビットです。

(1) 読み出し機能は MSB 値を正しく返しません。読み戻しの MSB 値は常に 0 です。

6.6.120 PFIR_B5 レジスタ (アドレス = 0x453) [リセット = 0x0]

図 6-147 に、PFIR_B5 レジスタを示し、表 6-184 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

PFIR 係数 B5

図 6-147. PFIR_B5 レジスタ

15	14	13	12	11	10	9	8
予約済み				PFIR_B5			
R/W-0x0				R/W-0x0			

Copyright © 2025 Texas Instruments Incorporated

図 6-147. PFIR_B5 レジスタ (続き)

7	6	5	4	3	2	1	0
PFIR_B5							
R/W-0x0							

表 6-184. PFIR_B5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0x0	
11:0	PFIR_B5	R(1)/W	0x0	PFIR フィルタの符号付き 2 の相補係数。これは、デュアル チャネル モードでの ADC B プログラマブル FIR フィルタの 6 番目のタップです。

(1) 読み出し機能は MSB 値を正しく返しません。読み戻しの MSB 値は常に 0 です。

6.6.121 PFIR_B6 レジスタ (アドレス = 0x455) [リセット = 0x0]

図 6-148 に、PFIR_B6 レジスタを示し、表 6-185 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

PFIR 係数 B6

図 6-148. PFIR_B6 レジスタ

15	14	13	12	11	10	9	8
予約済み				PFIR_B6			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_B6							
R/W-0x0							

表 6-185. PFIR_B6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0x0	
11:0	PFIR_B6	R(1)/W	0x0	PFIR フィルタの符号付き 2 の相補係数。これは、デュアル チャネル モードでの ADC B プログラマブル FIR フィルタの 7 番目のタップです。

(1) 読み出し機能は MSB 値を正しく返しません。読み戻しの MSB 値は常に 0 です。

6.6.122 PFIR_B7 レジスタ (アドレス = 0x457) [リセット = 0x0]

図 6-149 に、PFIR_B7 レジスタを示し、表 6-186 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

PFIR 係数 B7

図 6-149. PFIR_B7 レジスタ

15	14	13	12	11	10	9	8
予約済み				PFIR_B7			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_B7							
R/W-0x0							

Copyright © 2025 Texas Instruments Incorporated

図 6-149. PFIR_B7 レジスタ (続き)

表 6-186. PFIR_B7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0x0	
11:0	PFIR_B7	R(1)/W	0x0	PFIR フィルタの符号付き 2 の相補係数。これは、デュアル チャネル モードでの ADC B プログラマブル FIR フィルタの 8 番目のタップです。

(1) 読み出し機能は MSB 値を正しく返しません。読み戻しの MSB 値は常に 0 です。

6.6.123 PFIR_B8 レジスタ (アドレス = 0x459) [リセット = 0x0]

図 6-150 に、PFIR_B8 レジスタを示し、表 6-187 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

PFIR 係数 B8

図 6-150. PFIR_B8 レジスタ

15	14	13	12	11	10	9	8
予約済み				PFIR_B8			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_B8							
R/W-0x0							

表 6-187. PFIR_B8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0x0	
11:0	PFIR_B8	R(1)/W	0x0	PFIR フィルタの符号付き 2 の相補係数。これは、デュアル チャネル モードでの ADC B プログラマブル FIR フィルタの 9 番目のタップです。

(1) 読み出し機能は MSB 値を正しく返しません。読み戻しの MSB 値は常に 0 です。

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーション情報に関する免責事項

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

ADC12DJ5200-SP は、レーダー、衛星通信、ハンドヘルド・テスト機器 (通信テスタおよびオシロスコープ)、ソフトウェア無線 (SDR) など、広範なアプリケーションに使用できます。入力帯域幅が広いため、最低 10GHz までの直接 RF サンプリングが可能で、高いサンプリング・レートにより、5GHz を超える信号帯域幅を実現できます。ADC12DJ5200-SP は、オシロスコープまたは広帯域デジタイザのニーズを満たすために DC 結合も可能です。「*代表的なアプリケーション*」セクションでは、これらの各種アプリケーションの要求を満たす 2 つの構成について説明します。

7.2 代表的なアプリケーション

7.2.1 広帯域 RF サンプリング レシーバ

このセクションでは、ADC12DJ5200-SP を広帯域 RF サンプリング レシーバとして使用する方法を示します。このソリューションには柔軟性があり、2 チャネル レシーバ (ダイバーシティ レシーバなど) としても、または 2 倍の信号帯域幅を実現するシングル チャネル レシーバとしても使用できます。ADC はシングルエンド RF アンプで駆動され、トランス (バラン) により差動信号への変換が行われます。このデバイスには、シングル チャネルおよびデュアル チャネル モードの両方にデジタル ダウン コンバータ (DDC) が含まれており、目的の周波数帯域をベースバンドに混合してデータをダウンサンプリングし、インターフェイス レートを低減します。広帯域 RF サンプリング レシーバのブロック図 図 7-1 において、このデバイスは最大信号帯域幅を実現するようにシングル チャネル モードに構成されています。

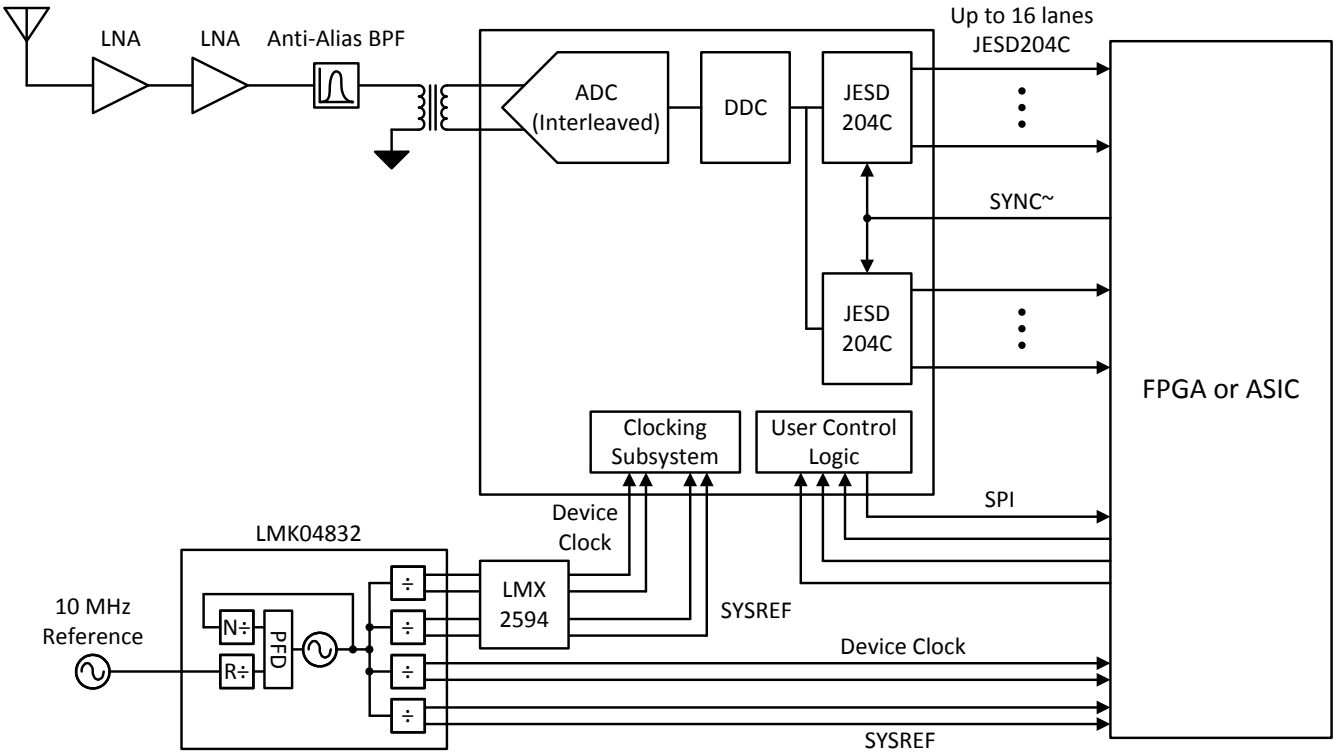


図 7-1. 広帯域 RF サンプリングの標準的な構成

7.2.1.1 設計要件

7.2.1.1.1 入力信号パス

受信信号パスで不要な周波数を除去するには、適切な帯域制限フィルタを使用します。

ADC への入力のために、50Ω のシングルエンド信号を 100Ω の差動信号に変換するには、1:2 のバラン トランスが必要です。バランの出力は、AC 結合することも、ADC 差動入力に直接接続することもできます。この入力は GND に内部で終端されます。

ドライバは、必要な信号ゲインを供給し、必要な帯域幅性能を持つように選択する必要があります。

一般的にバランは、必要な周波数範囲をカバーし、インピーダンス比が 1:2 で、目的の周波数範囲全体にわたって許容可能なゲインと位相のバランスが得られるように選択する必要があります。差動出力のリターン損失が小さいバランをできるだけ ADC 入力に近い位置に取り付け、高い入力周波数での周波数応答のリップルを回避します。抵抗性減衰器 (π 型または T 型) は、リターン損失が不十分な場合に発生するリップルを減衰するのにも役立ちます。さまざまな周波数範囲に対する推奨バランの数を 表 7-1 に示します。

表 7-1. 推奨バラン

部品番号	メーカー (1)	最小周波数 (MHz)	最大周波数 (MHz)
BAL-0009SMG	Marki Microwave	0.5	9000
BAL-0208SMG	Marki Microwave	2000	8000
TCM2-43X+	Mini-Circuits	10	4000
TCM2-33WX+	Mini-Circuits	10	3000
B0430J50100AHF	Anaren	400	3000

(1) 「*サード パーティー製品に関する免責事項*」セクションをご覧ください。

7.2.1.1.2 クロック供給

定格性能を実現するには、ADC12DJ5200-SP のクロック入力をこのデバイスに AC 結合する必要があります。定格性能を実現するには、クロック ソースのジッタ (積分位相ノイズ) を非常に小さくする必要があります。推奨クロック シンセサイザには LMX2594 と LMX2572 があります。

JESD204C データ コンバータ システム (ADC と論理デバイスの組み合わせ) を使用するには、追加の SYSREF とデバイス クロックが必要です。LMK04832、LMK04828、LMK04826、LMK04821 の各デバイスは、これらのクロックの生成に適しています。ADC のクロック周波数とジッタ要件にもよりますが、システムで複数の ADC12DJ5200-SP デバイスを使用する場合、このデバイスをシステム クロック シンセサイザとして、またはデバイス クロックおよび SYSREF 分配デバイスとしても使用できます。3.2GHz を上回るクロック周波数である場合、図 7-1 に示すように LMX2594 と LMX2572 は 1 つのデバイスからデバイス クロックと SYSREF の両方を供給できます。

7.2.1.2 詳細な設計手順

デバイスと組み合わせて使用する特定の成分値は、システム パラメータに基づいて計算する必要があります。これらの項目について、このセクションで説明します。

Copyright © 2025 Texas Instruments Incorporated

7.2.1.2.1 AC カップリング コンデンサの値の計算

AC カップリング コンデンサは、入力 CLK± および JESD204C 出力データ ペアに使用します。コンデンサの値は、対象の最低周波数の信号に対応できる十分な大きさを必要とします。ただし、スタートアップのバイアス時間が過度に長い、または不要な寄生インダクタンスが発生するほど大きくないようにする必要があります。

コンデンサの最小値は、コンデンサを介して転送される最小周波数信号に基づいて計算できます。50Ω のシングルエンド クロックまたはデータ パスのインピーダンスについては、対象の最も低い周波数でコンデンサのインピーダンスを 1Ω 未満に設定することをお勧めします。この設定は、その周波数での信号レベルへの影響を最小限に抑えます。CLK± パスの場合、最小定格クロック周波数は 800MHz です。したがって、コンデンサの最小値は次の式で計算できます。

$$Z_C = 1/\left(2 \times \pi \times f_{CLK} \times C\right) \tag{16}$$

Z_c = 1Ω と設定して並べ替えると、以下が得られます。

$$C = 1/\left(2 \times \pi \times 800\ \text{MHz} \times 1\ \Omega\right) = 199\ \text{pF} \tag{17}$$

したがって、CLK± パスの低周波数応答を実現するには、199pF 以上の容量値が必要です。最小クロック周波数が 800MHz よりも高い場合、その周波数についてこの計算をやり直すことができます。このインターフェイスの最小周波数に基づいて、JESD204C 出力データ コンデンサについても同様の計算を行えます。また、高周波数での優れた応答と、コンデンサが接続される高周波信号のパターンと一致する寸法が得られるように、コンデンサを選択する必要があります。多くの場合、0201 サイズのコンデンサはこれらのアプリケーションに最適です。

7.2.2 再構成可能デュアル チャネル 5GSPS またはシングル チャネル 10GSPS オシロスコープ

このセクションでは、再構成可能なオシロスコープでのデバイスの使用方法を示します。このデバイスはオシロスコープ アプリケーションに最適です。チャネル数とサンプリング速度をトレードオフできるため、設計者は複数のニーズを満たす柔軟なハードウェアを構築できます。この柔軟性により開発期間とコストを削減でき、さまざまなプロジェクトでハードウェアを再利用できるほか、ソフトウェア アップグレード パスを利用して機能を追加できます。このセクションでは、5GSPS で実行されるデュアル チャネル オシロスコープとして動作するオシロスコープ、または SPI プログラミング経由でシングル チャネルの 10GSPS オシロスコープとして再構成可能なオシロスコープについて説明します。再構成可能なセットアップを使用すると、ユーザーはハードウェアを変更せずに、必要に応じてオシロスコープのチャネル数とサンプリング レートをトレードオフできます。アンチ エイリアス ローパス フィルタを使用して、入力帯域幅を目的の最大信号帯域幅に設定します。その後、デジタル フィルタリングを使用して、必要に応じてアナログ帯域幅を再構成できます。たとえば、パルス過渡検出時に使用する最大帯域幅を 2GHz に設定してから、デジタル フィルタリングにより 100MHz に再構成して、低ノイズの電源リップルを観測することができます。図 7-2 に、アプリケーションブロック図を示します。

Copyright © 2025 Texas Instruments Incorporated

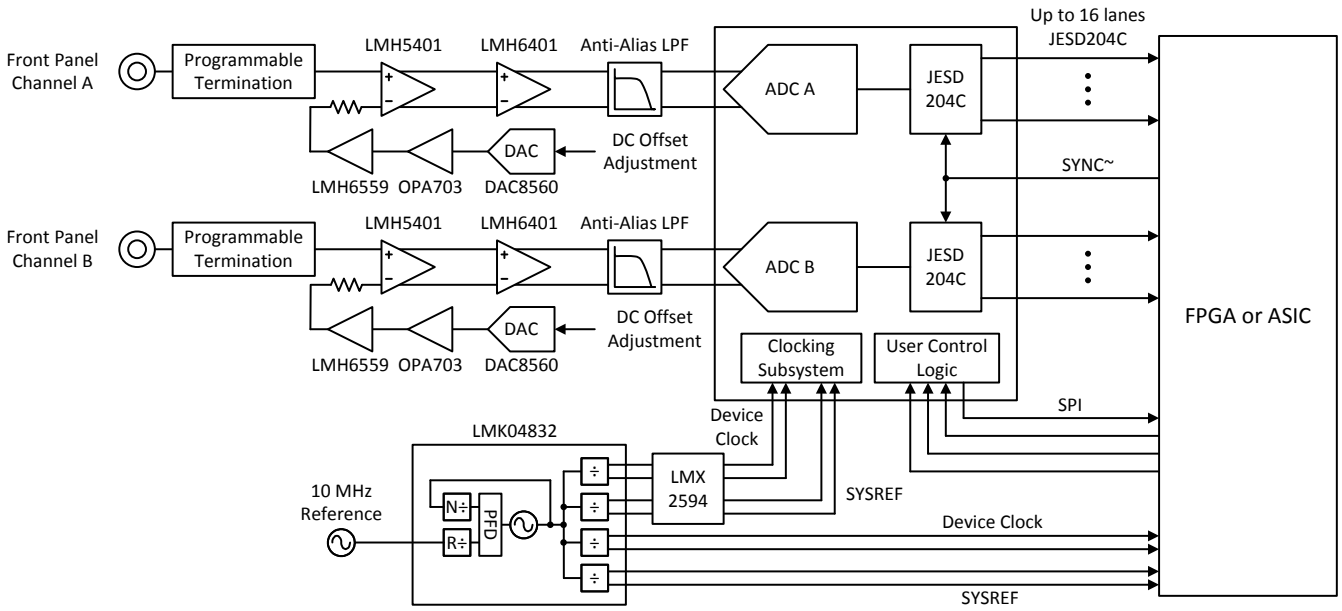


図 7-2. 再構成可能オシロスコープの標準構成

7.2.2.1 設計要件

7.2.2.1.1 入力信号パス

大半のオシロスコープは、DC 信号または低周波信号を監視するために DC 結合する必要があります。この要件により、設計では DC 結合された完全差動アンプを使用して、フロント パネルのシングルエンド信号から ADC の差動信号に変換する必要があります。この設計では 2 つの差動アンプを使用しています図 7-2 に示す最初のアンプはシングルエンドから差動信号に変換する LMH5401 です。LMH5401 はプログラマブルな終端回路を介してフロント パネルと接続し、オフセット調整入力を備えています。このアンプは、1GHz の帯域幅のオシロスコープをサポートするのに十分な 8GHz のゲイン帯域幅積を備えています。2 番目のアンプ LMH6401 は LMH5401 の後に搭載されており、オシロスコープのデジタル プログラマブル ゲイン制御を実現します LMH6401 は、-6dB ～ 26dB の 1dB ステップのゲイン範囲をサポートしています。ゲイン制御が不要な場合や、信号チェーン内の別の場所で制御が実行される場合は、このアンプを 2 番目の LMH5401 に置き換えて固定ゲインを追加するか、完全に省略できます。

ここでは詳細を説明しませんが、オシロスコープの入力にはプログラマブル終端ブロックが含まれています。このブロックを使用すると、フロントパネルの入力終端をプログラムできます。たとえば、多くのオシロスコープでは、さまざまなアプリケーションのニーズを満たすため、終端を 50Ω または 1MΩ のいずれかにプログラムできます。ケーブル インフラの使用事例に対応するには 75Ω 終端も必要です。このブロックには、外部信号の DC 成分を除去して AC 信号のみを通過させる DC ブロッキングのオプションを含めることもできます。

高精度 DAC を使用してオシロスコープのフロント エンドのオフセットを構成し、大きな DC オフセットを含む入力信号のアナログ信号チェーンが飽和するのを防止します。図 7-2 には、DAC8560 がシグナル コンディショニング アンプ OPA703 および LMH6559 と一緒に示されています。最初の差動アンプ LMH5401 は、一方の入力のフロント パネルの入力回路ともう一方の入力の DC オフセット バイアスによって駆動されますこれらの駆動信号のインピーダンスは、シングルエンドから差動への変換動作で良好な偶数次高調波性能を得るため、DC および全周波数帯域で一致させる必要があります。LMH6559 は帯域幅が広いため、広い周波数範囲で低インピーダンスを維持できます。

アンチ エイリアスのローパス フィルタは、ADC への入力信号の帯域幅を制限するため、ADC の入力に配置します。また、このアンプはフロントエンド ノイズの帯域を制限し、エイリアス ノイズによってシステム全体の信号対雑音比が低下することを防止します。このフィルタは、オシロスコープで指定される最大入力信号帯域幅に合わせて設計します。FPGA または ASIC のデジタル フィルタを使用して入力帯域幅を再構成して、オシロスコープの入力帯域幅を最大帯域幅未満に制限できます。

Copyright © 2025 Texas Instruments Incorporated

7.2.2.1.2 クロック供給

定格性能のためには、ADC12DJ5200-SP のクロック入力をこのデバイスに AC 結合する必要があります。定格性能を実現するには、クロック ソースのジッタ (積分位相ノイズ) を非常に小さくする必要があります。推奨クロック シンセサイザには LMX2594 と LMX2572 があります。

JESD204C データ コンバータ システム (ADC と論理デバイスの組み合わせ) を使用するには、追加の SYSREF とデバイス クロックが必要です。LMK04832、LMK04828、LMK04826、LMK04821 の各デバイスは、これらのクロックの生成に適しています。ADC のクロック周波数とジッタ要件にもよりますが、システムで複数の ADC12DJ5200-SP デバイスを使用する場合、このデバイスをシステム クロック シンセサイザとして、またはデバイス クロックおよび SYSREF 分配デバイスとしても使用できます。3.2GHz を上回るクロック周波数である場合、図 7-1 に示すように LMX2594 と LMX2572 は 1 つのデバイスからデバイス クロックと SYSREF の両方を供給できます。

7.2.2.1.3 ADC12DJ5200-SP オシロスコープ アプリケーション

ADC12DJ5200-SP にはデバイスをオシロスコープ アプリケーションに合わせるための多くの機能が用意されています。コード エラー率 (CER) が低いため、望ましくない時間ドメインのグリッチやスパークル コードに関する懸念を解消できます。このデバイスは CER が低いため、長時間の過渡検出測定に最適で、誤トリガの可能性を低下させます。入力同相電圧を 0V にすると、駆動アンプは、0V におけるアンプの出力同相電圧を中央に配置する当分割電源を使用でき、ADC 入力の前に同相電圧をシフトする必要がなくなります。デバイスの入力帯域幅が広いため、駆動アンプ回路およびアンチエイリアス ローパス フィルタの設計が簡素化されます。シングル チャネル モードでデュアル エッジ サンプリング (DES) を使用すると、デュアル チャネル モードとシングル チャネル モードを切り替えるときにクロック周波数を変更する必要がなくなり、SYSREF のセットアップとホールドのタイミング要件が緩和され、同期を簡素化できます。t_{AD} 調整回路を使用すると、複数の ADC12DJ5200-SP デバイスのサンプリング インスタンスのタイミングを合わせたり、フロントエンド トラック アンド ホールド (T&H) アンプの理想的なサンプリング ポイントを設定したりできます。

7.3 初期化セットアップ

デバイスと JESD204C インターフェイスには、特定の起動および整列シーケンスが必要です。このシーケンスの順序を以下の手順で示します。

1. デバイスをパワーアップするかリセットします。
2. 目的の周波数で安定したデバイス CLK 信号を印加します。
3. SOFT_RESET を 1 に切り替えてソフトウェア リセットを実行します。続行する前に、少なくとも 1µs 待機してください。
4. JESD_EN = 0 をプログラムすると、JESD204C ステート マシンを停止し、設定を変更できるようになります。
5. CAL_EN = 0 をプログラムすると、キャリブレーション ステート マシンを停止し、設定を変更できるようになります。
6. 目的の JMODE をプログラムします。
7. 目的の KM1 値をプログラムします。KM1 = K–1。
8. 必要に応じて SYNC_SEL をプログラムします。SYNCSE またはタイムスタンプ差動入力を選択します。
9. 必要に応じてデバイスのキャリブレーション設定を構成します。必要に応じて、フォアグラウンドまたはバックグラウンドのキャリブレーションモードとオフセットキャリブレーションを選択します。
10. キャリブレーション・ステートマシンを有効化するには、CAL_EN = 1 をプログラムします。
11. OVR_EN を使用したオーバーレンジを有効化し、必要に応じて設定を調整します。
12. JESD_EN = 1 をプログラムすると、JESD204C ステートマシンを再起動し、リンクを再起動できます。
13. JESD204C インターフェイスは、レシーバから印加された同期信号に応答して動作します。
14. CAL_SOFT_TRIG = 0 をプログラムします。
15. キャリブレーションを開始するため、CAL_SOFT_TRIG = 1 をプログラムします。

7.4 電源に関する推奨事項

デバイスには、2 つの異なる電源電圧が必要です。VA19 電源バスには 1.9V DC、VA11 および VD11 電源バスには 1.1V DC が必要です。

電源電圧は低ノイズであり、デバイスの定格性能を達成するために必要な電流を供給する必要があります。

Copyright © 2025 Texas Instruments Incorporated

以下の 2 つの推奨される電源アーキテクチャがあります。

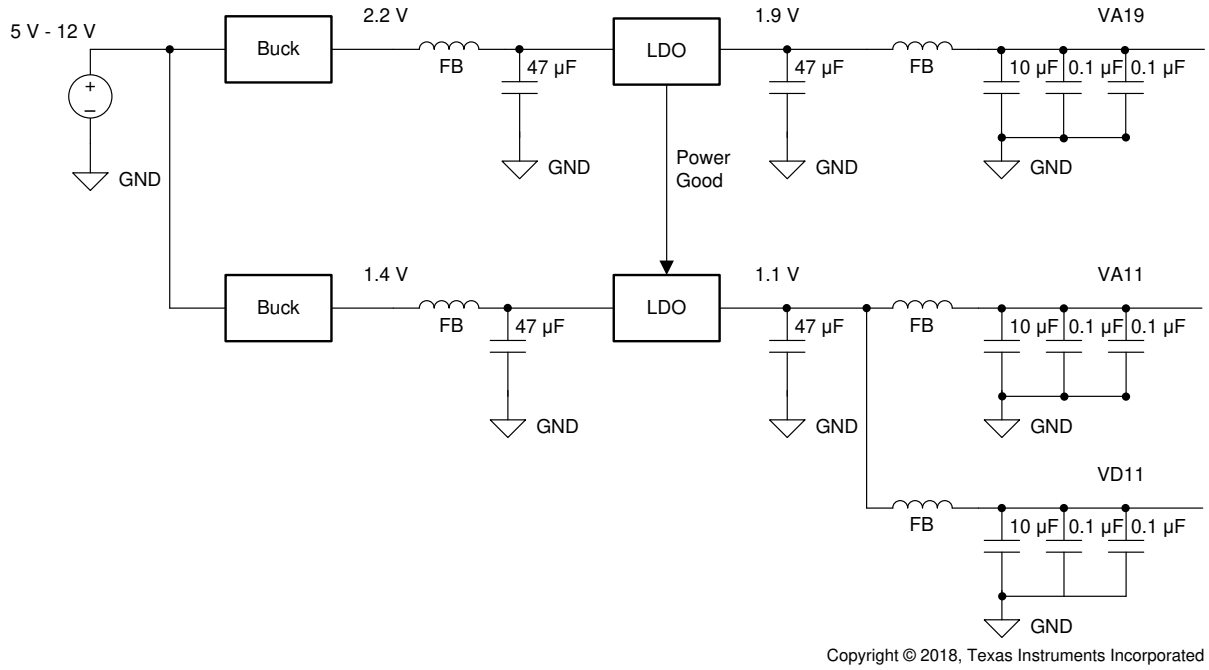
1. 高効率スイッチング コンバータを使用した降圧、その後段のレギュレーションの 2 段目は、スイッチング ノイズの低減と電圧精度の向上を行います。
2. 高効率スイッチングコンバータを使用して最終的な ADC 電源電圧を直接降圧します。この方法を使うと効率が最高になりますが、ADC の性能低下を防ぐため、スイッチング ノイズを最小限に抑えるよう注意する必要があります。

TI の WEBENCH® Power Designer を使用して、個別の電源素子を選択および設計できます。「WEBENCH® Power Designer」を参照してください。

推奨されるスイッチング・レギュレータは、TPS7H4002-SP、TPS7H4011-SP、TPS7H4001-SP、および類似のデバイスです。

推奨する低ドロップアウト (LDO) リニア レギュレータとしては、TPS7A4501-SP、TPS7H1121-SP、TPS7H1111-SP および類似のデバイスがあります。

スイッチャのみのアプローチでは、DC/DC コンバータのスイッチング周波数およびスイッチング周波数の高調波で十分なフィルタリングを行えるよう、リップル フィルタを設計する必要があります。WEBENCH® から報告されるスイッチング周波数を書き留め、必要に応じてノッチ周波数を中心にするように EMI フィルタとコンデンサの組み合わせを設計します。アプリケーションごとに、電源電圧のノイズに対する許容誤差が異なるため、厳格なリップル要件はありません。図 7-3 と 図 7-4 に、この 2 つのアプローチを示します。

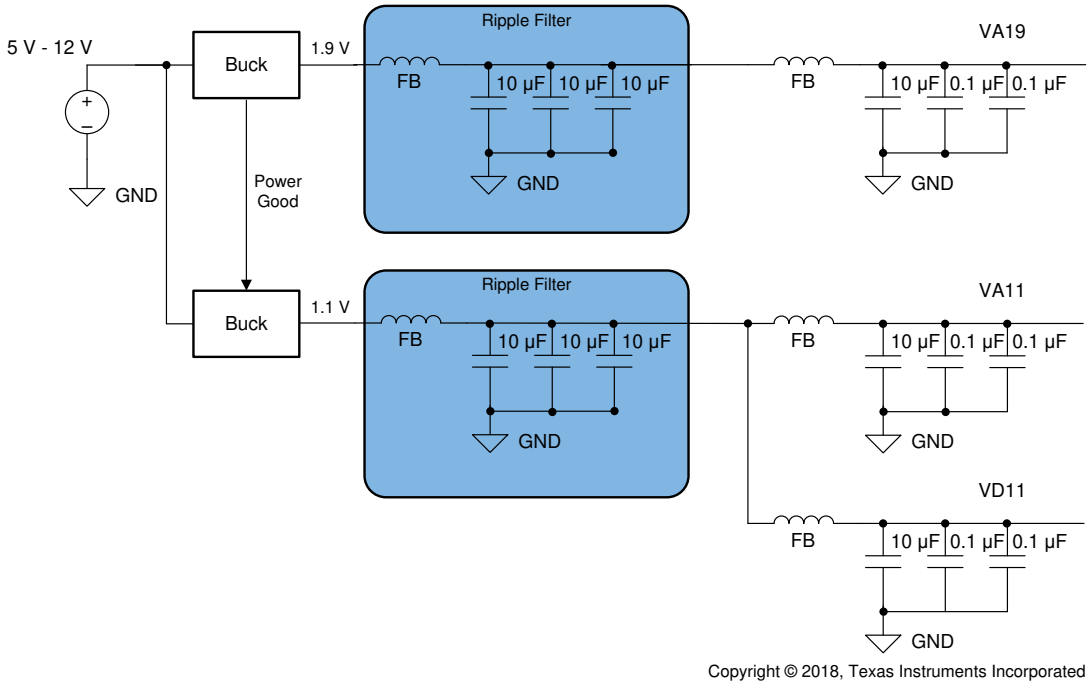


Copyright © 2018, Texas Instruments Incorporated

FB = フェライト ビーズ フィルタ。

図 7-3. LDO リニア レギュレータ アプローチの例

Copyright © 2025 Texas Instruments Incorporated



降圧コンバータの fs に一致するリップル フィルタのノッチ周波数。
FB = フェライト ビーズ フィルタ。

図 7-4. スイッチャのみのアプローチ例

7.4.1 電源シーケンス

電圧レギュレータは、パワー グッド出力およびイネーブル入力を使用してシーケンシングし、VA19 の電源供給が十分になった後に Vx11 レギュレータがイネーブルになるようにする必要があります。同様に、パワーダウン時に VA19 電源がレギュレーション範囲外になるとすぐに、Vx11 レギュレータがディスエーブルになります。

ADC の一般的な要件は、パワーアップ時、動作時、パワーダウン時に VA19 ≥ Vx11 であることです。

また、TI では VA11 および VD11 を一般的な 1.1V レギュレータから派生させることを推奨しています。この推奨事項により、すべての 1.1V ブロックが同じ電圧になり、これらの電源間でシーケンシングの問題は発生しません。また、フェライト ビーズ フィルタを使用して、VA11 および VD11 バスのノイズが互いに影響しないように分離できます。

7.5 レイアウト

7.5.1 レイアウトのガイドライン

ボード設計には、特別な注意が必要な重要なシグナルが数多く存在します:

1. アナログ入力信号
2. CLK および SYSREF
3. JESD204C データ出力
4. 電源接続
5. 接地接続

アナログ入力信号、クロック信号、JESD204C データ出力は、高周波数で優れた信号品質を実現するために配線する必要がありますが、互いに最大限の絶縁を行うために配線する必要があります。次の一般的な方法を使用します:

1. 可能な場合、緩やかに結合した 100Ω の差動トレースを使用するように配線します。この配線により、ペアのインピーダンスに対するコーナーや長さの一致する蛇行ピンの影響を最小限に抑えることができます。

2. 特に疎結合の差動配線では、クロストークを最小限に抑えるため、十分なペア間の間隔を設けてください。適切な間隔を確保できない場合は、密結合した差動パターンを使用して、自己放射ノイズを低減したり、隣接トレース ノイズ耐性を向上させたりできます。
3. 高速パターンとの結合を最小限に抑えるため、十分なグランド プレーン注入間隔を確保してください。グランド プレーンの注入には、基板のメイン グランド プレーンに十分なビア接続が必要です。フローティングまたは接続不良なグランド パターンを使用しないでください。
4. 滑らかな半径の角を使用してください。インピーダンスの不整合を低減するため、45° または 90° の曲げは避けます。
5. 部品のランディング パッドにはグランド プレーンの切り欠きを設け、これらの場所でインピーダンスの非連続性を回避します。1 つまたは複数のグランド プレーンでランディング パッドの下に切り取られた穴が開けられており、パッドのサイズやスタックアップの高さを実現し、必要な 50Ω のシングルエンド インピーダンスを達成できます。
6. 基準グランド プレーンの不規則な部分の近くにトレースを配線することは避けてください。不具合として、電源ビアと信号ビア、およびスルーホール部品のリードに関連するグランド プレーンまたはグランド プレーンの空間距離が不足していることがあります。
7. トレースが伝送する最大周波数 (<< $\lambda_{MIN}/8$) によって決定される適切な間隔で、すべての高速信号ビアに隣接する対称的に配置されたグランド接続ビアを用意します。
8. ビアを使用して高速信号を別の層に遷移する必要がある場合は、基板をできるだけ遠くまで遷移させて (上下に最適なケース)、ビアの上部または下部にあるビア スタブを最小限に抑えます。レイヤーの選択が柔軟でない場合は、バックドリルまたは埋め込みのブラインド ビアを使用してスタブを除去します。層間の遷移を行うときは、必ず信号ビアの近くにグランド ビアを配置して、グランド リターン パスの近くに配置します。

JESD204C のデータ出力配線とアナログ入力配線が結合する場合があり、特に注意を払ってください。JESD204C 出力からのスイッチング ノイズはアナログ入力パターンに結合し、ADC の入力帯域幅が広いため広帯域ノイズとして現れることがあります。ノイズ結合を防止するために、JESD204C データ出力を ADC 入力トレースから別の層に配線するのが理想的です (*「レイアウト例」* セクションには記載ありません)。また、ノイズ結合を低減するために、密結合したパターンを使用することもできます。

CLK± 入力ピンとクロックソース間のインピーダンスの不一致により、信号の反射または定常波により、ADC CLK± ピンのクロック信号の振幅が小さくなることがあります。特に高い入力周波数では、クロック振幅を小さくすると、ADC のノイズ性能が低下する可能性があります。これを回避するには、クロックソースを ADC の近くに配置するか (*「レイアウト例」* セクションを参照)、ADC CLK±入力ピンにインピーダンス整合を実装します。

さらに、製造に確定する前に、TI は重要な信号トレースの信号品質シミュレーションを実行することをお勧めします。挿入損失、反射損失、時間領域反射率測定 (TDR) の評価を実施する必要があります。

本デバイスの電源および接地接続も非常に重要です。次の規則に従う必要があります:

1. 電源ピンおよび接地ピンのすべてに対して、低抵抗の接続パスとします。
2. すべてのピンにアクセスするために必要な場合は、複数の電力層を使用します。
3. 接続抵抗を増大させるような狭い孤立した経路は避けてください。
4. グランドと電源プレーン間の結合を最大化するために、プリント基板を、信号、グランド、または電源回路基板のスタックアップを使用します。

Copyright © 2025 Texas Instruments Incorporated

7.5.2 レイアウト例

図 7-5 から図 7-7 は、デバイス評価基板（EVM）上でルーティングされた重要なパターンの例を示します。

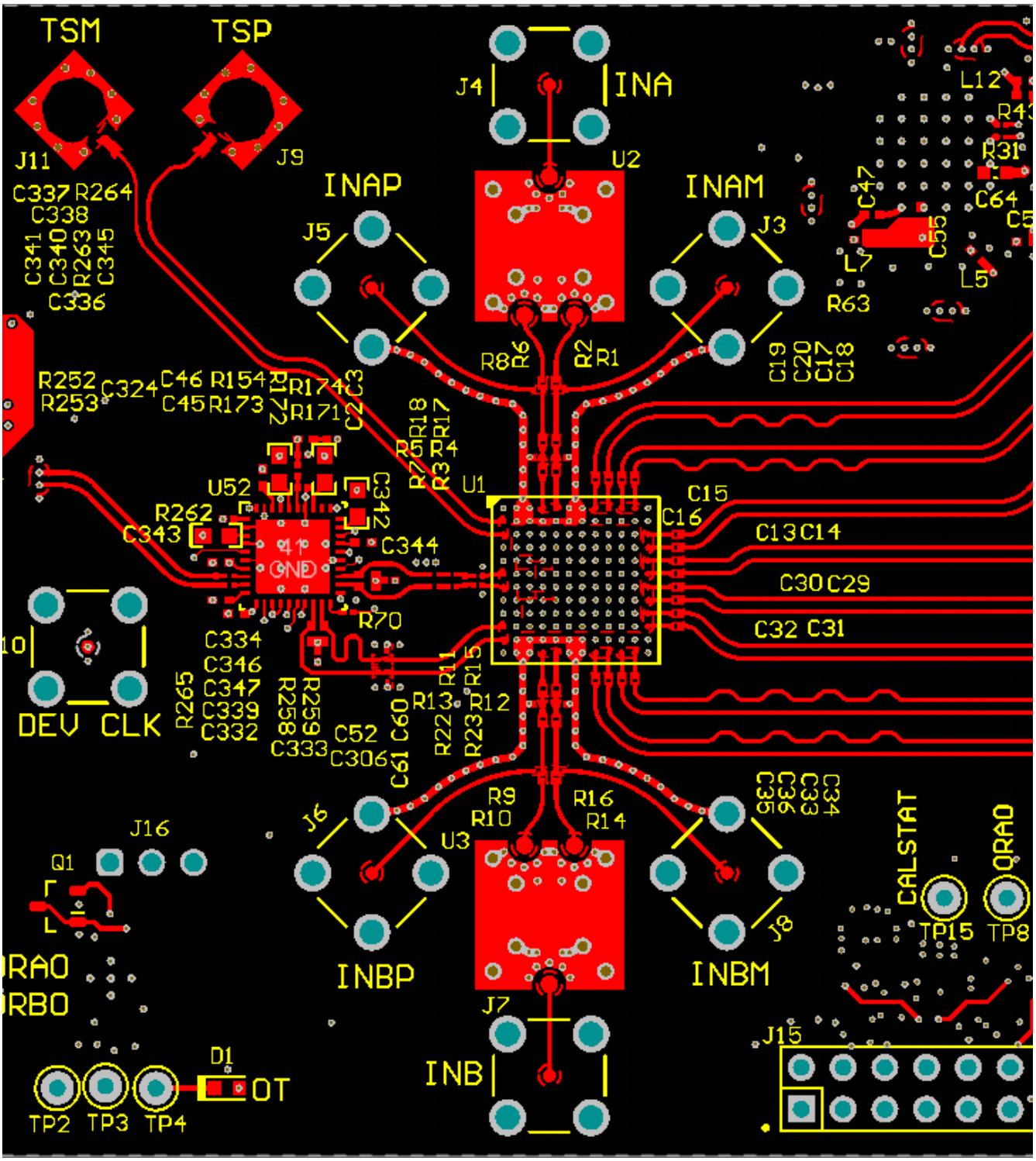


図 7-5. 最上層の配線：アナログ入力、CLK および SYSREF、DA0-3、DB0-3

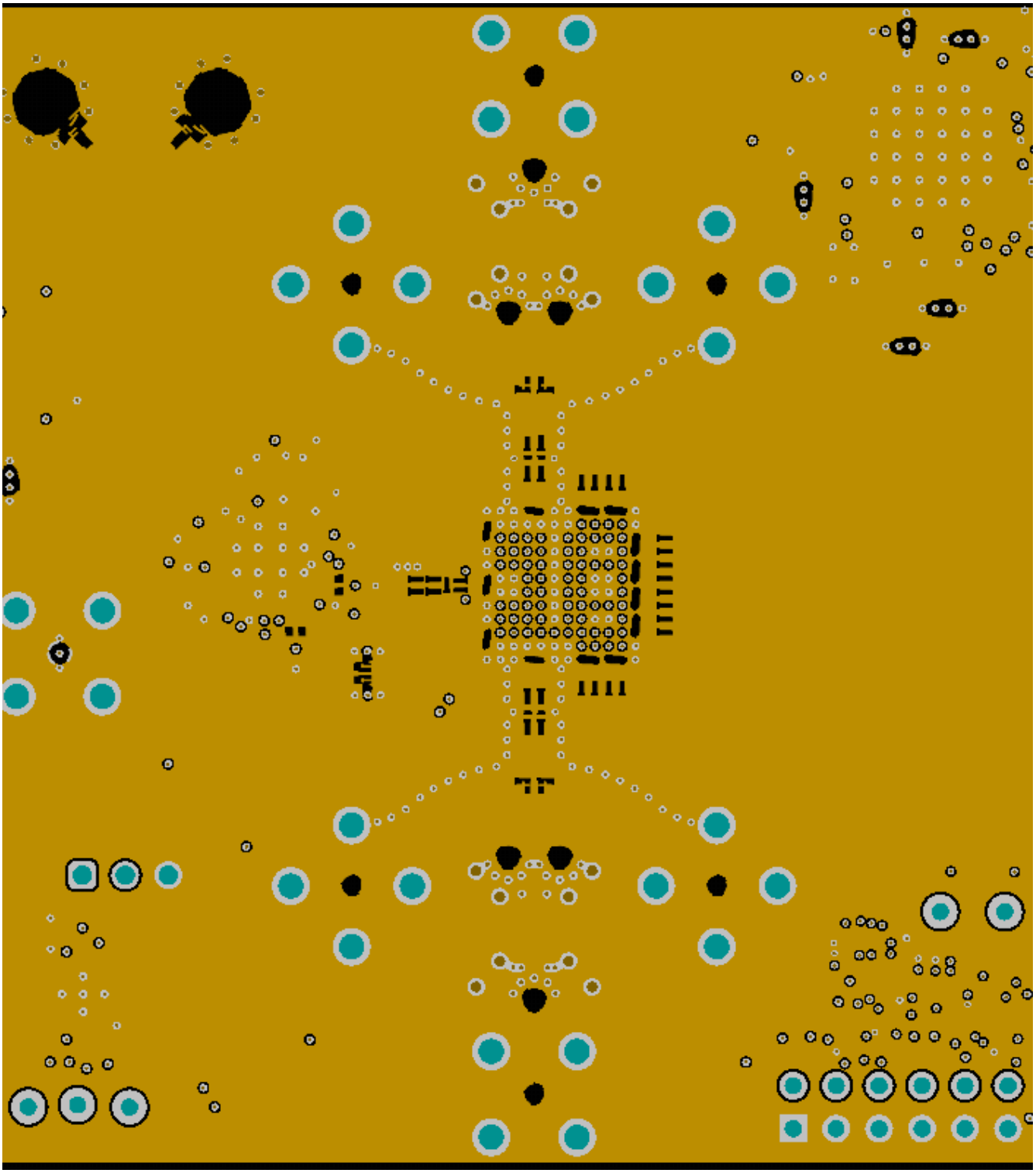


図 7-6. 部品パッドのインピーダンス最適化のための GND1 カットアウト

Copyright © 2025 Texas Instruments Incorporated

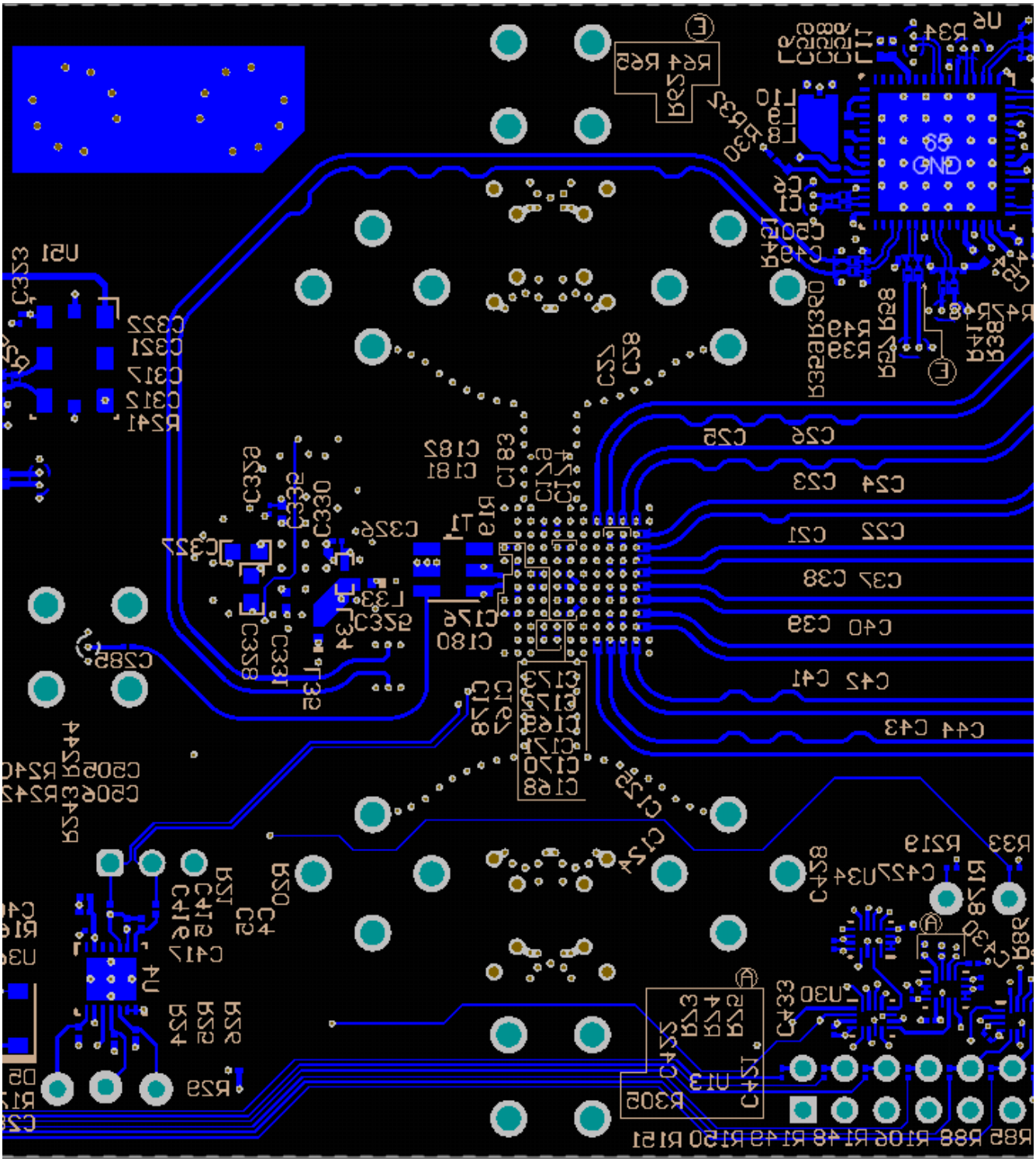


図 7-7. 最下層の配線：追加の CLK 配線、DA4-7、DB4-7

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

WEBENCH® Power Designer

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- 『ADC12DJ5200RF 評価基板 ユーザー ガイド』
- JESD204B マルチデバイス同期：要件の詳細
- 高速 12 ビット デジタイザに最適な、スケーラブル 20.8GSPS のリファレンス デザイン
- RF システム用のマルチ チャネル データ コンバータの DDC および NCO 機能の同期のリファレンス デザイン
- DSO、レーダー、5G ワイヤレス テスタに対するマルチチャネル JESD204B 15GHz クロック供給のリファレンス デザイン
- DSO、レーダー、5G ワイヤレス テスト システム向けのフレキシブルな 3.2GSPS マルチチャネル AFE のリファレンス デザイン
- 12.8GSPS データ アクイジション システムの性能を最大化する低ノイズ電源のリファレンス デザイン
- 高速オシロスコープおよび広帯域デジタイザ向けの 12.8GSPS アナログ フロント エンドのリファレンス デザイン
- ADC12DJ3200 を使用する L、S、C、X バンド用の直接 RF サンプリング レーダー レシーバのリファレンス デザイン
- LMX2594 複数 PLL のリファレンス デザイン
- 15GHz 広帯域 PLLatinum™ RF シンセサイザ、LMX2594 位相同期および JESD204B 搭載
- LMX2572 6.4GHz 低消費電力広帯域 RF シンセサイザ、位相同期および JESD204B 搭載
- LMK04832 超低ノイズ、JESD204B 準拠のクロック ジッタ クリーナ、デュアル ループ PLL 搭載
- LMK0482x 超低ノイズ、JESD204B 準拠のクロック ジッタ クリーナ、デュアル ループ PLL 搭載
- LMK61E2 EEPROM 内蔵、超低ジッタ プログラマブル発振器
- LMH5401 8GHz、低ノイズ、低消費電力完全差動アンプ
- LMH6401 DC から 4.5GHz、完全差動のデジタル可変ゲイン アンプ
- TPSM84424 4.5V ～ 17V 入力、0.6V ～ 10V 出力、4A パワー モジュール
- TPS7A470x 36V、1A、4μVRMS の RF LDO 電圧レギュレータ
- TPS7A83A 2A、高精度 (0.75%)、低ノイズ (4.4μVRMS) LDO レギュレータ
- TPS7A84 大電流 (3A)、高精度 (1%)、低ノイズ (4.4μVRMS) LDO 電圧
- DAC8560 16 ビット、超低グリッチ、電圧出力、2.5V、2ppm/℃ の基準搭載の D/A コンバータ
- LM95233 SMBus インターフェイスおよび TruTherm™ を搭載したデュアル リモート ダイオードおよびローカル温度センサ
- TMP461 高精度リモート/ローカル温度センサー、ピン プログラマブル型バス アドレス付

Copyright © 2025 Texas Instruments Incorporated

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の [アラートを受け取る] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート リソース

8.5 商標

WEBENCH® is a registered trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from MARCH 24, 2023 to APRIL 3, 2025 (from Revision B (March 2023) to Revision C (July 2024)) **Page**

- 「*JESD204C トランスポート層のデータ形式*」セクションを変更し、クロスリファレンスを使用する代わりに、該当する追加の JMODES を形式の表に追加。 108
- PLL_CTRL3 レジスタを追加 127
- レジスタの説明に含まれている FREQA0 の式の指数を「+32」から「-32」に変更 127
- 「*電源に関する推奨事項*」の、推奨のスイッチング レギュレータと、推奨の低ドロップアウト (LDO) リニア レギュレータ デバイスを変更 199

Changes from JULY 26, 2022 to MARCH 23, 2023 (from Revision A (July 2022) to Revision B (March 2023)) **Page**

- ドキュメントを「*事前情報*」から「*量産データ*」に変更 1
- ランプ テスト モード で、ランプ テスト パターンがマルチフレームの終わりまたはフレームに 256 オクテット以上ある場合は 0xFF で停止するように変更 118
- ランプ テスト モード を変更し、さらに明確化 118
- 「ショートおよびロング トランスポート テスト モード」にトランスポート テスト モードの出力の開始時間を追加 119
- 「ショート トランスポート テスト パターン 」に N' = 12 のショート テスト パターンを追加 119
- CAL_LP レジスタの説明の表の上付き文字を変更。たとえば、「223」が「2^{23}」に変更されています。 127
- SPIN_ID レジスタの SPIN_ID の値を変更 127

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision * (June 2022) to Revision A (July 2022)	Page
• *「機能ブロック図」*を変更	68

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADC12DJ5200ALRSHP	Active	Production	FCCSP (ALR) | 144	184 | JEDEC TRAY (5+1)	No	SNPB	Level-3-235C-168 HR	-55 to 125	ADC12DJ52 SHP
ADC12DJ5200ALRSHP.A	Active	Production	FCCSP (ALR) | 144	184 | JEDEC TRAY (5+1)	No	SNPB	Level-3-235C-168 HR	-55 to 125	ADC12DJ52 SHP
SN0144ALR-DC	Active	Production	FCCSP (ALR) | 144	184 | JEDEC TRAY (5+1)	-	Call TI	Call TI	25 to 25	
SN0144ALR-DC.A	Active	Production	FCCSP (ALR) | 144	184 | JEDEC TRAY (5+1)	-	Call TI	Call TI	25 to 25	
V62/22611-03XF	Active	Production	FCCSP (ALR) | 144	184 | JEDEC TRAY (5+1)	No	Call TI	Call TI	-55 to 125	ADC12DJ52 SHP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

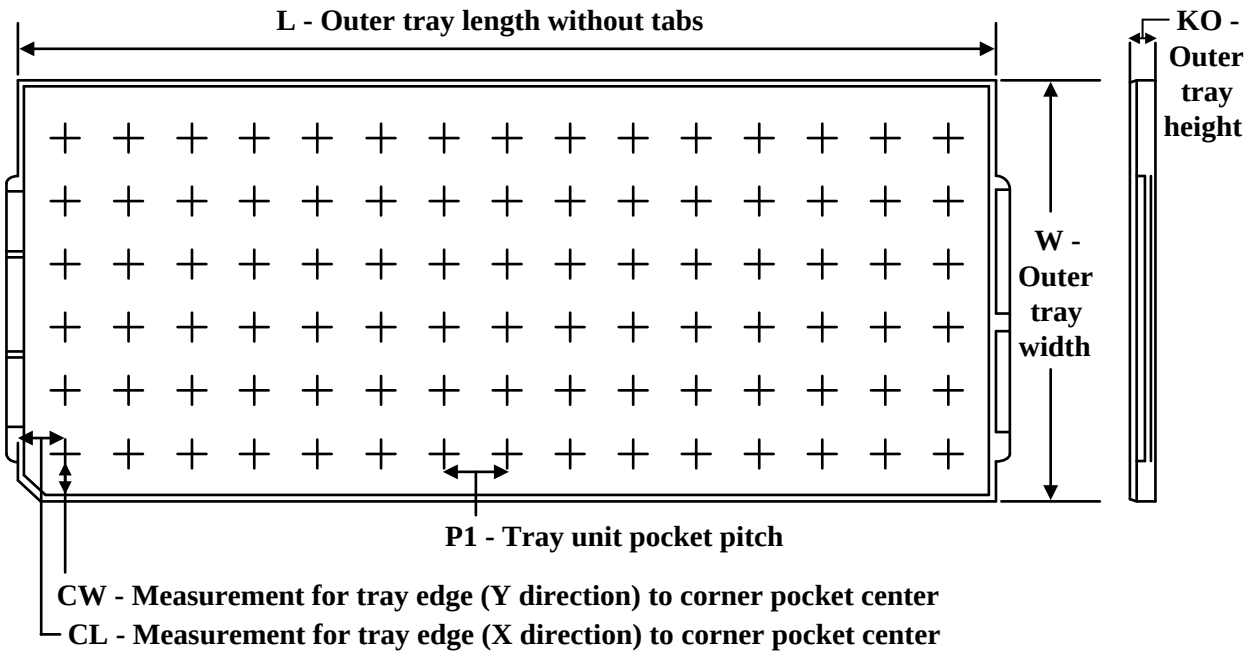
OTHER QUALIFIED VERSIONS OF ADC12DJ5200-SP :

- Catalog : ADC12DJ5200-SEP
- Enhanced Product : ADC12DJ5200-EP

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

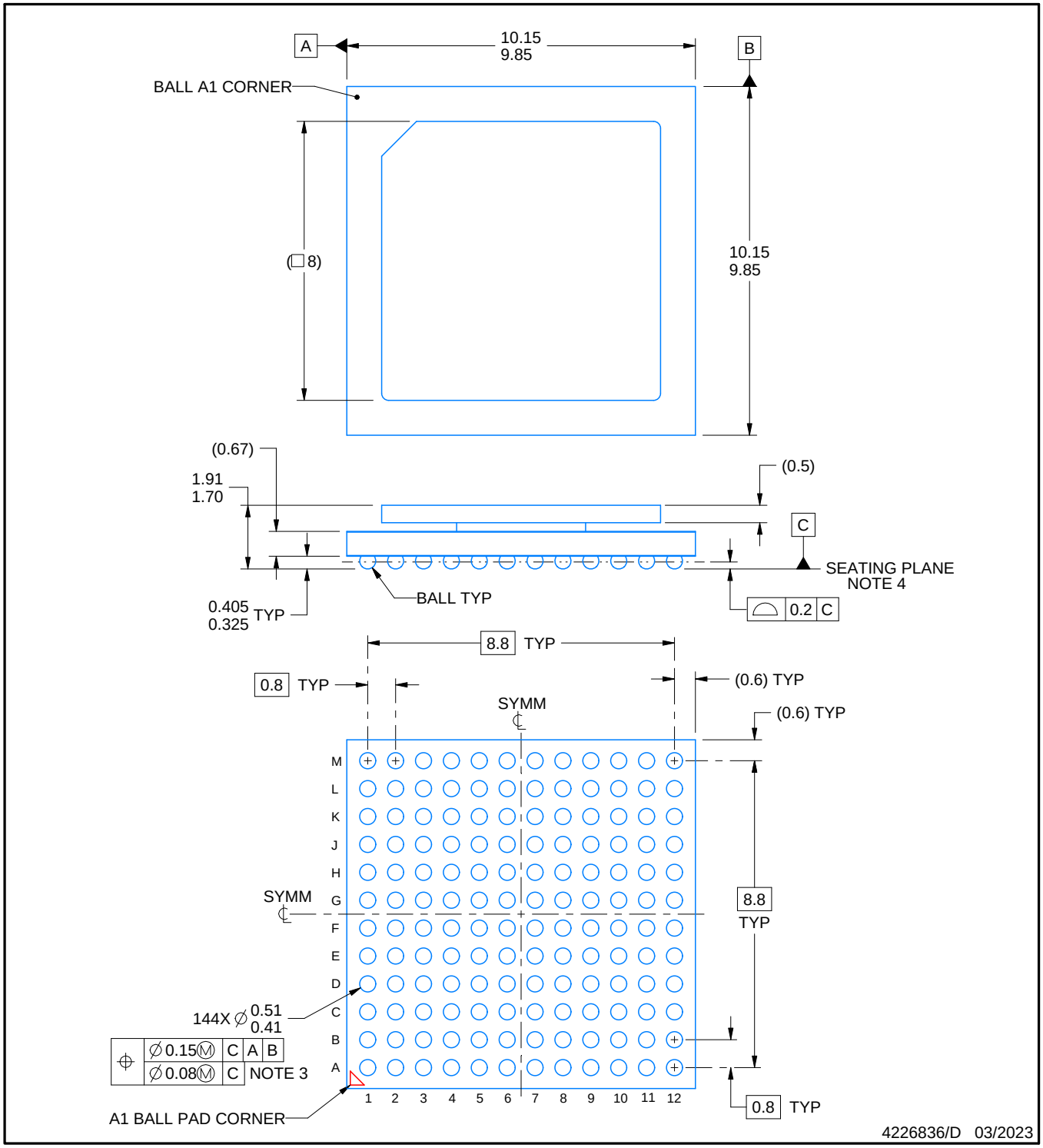
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
ADC12DJ5200ALRSHP	ALR	CFCBGA	144	184	8 x 23	150	315	135.9	7620	13.4	10.1	19.65
ADC12DJ5200ALRSHP.A	ALR	CFCBGA	144	184	8 x 23	150	315	135.9	7620	13.4	10.1	19.65
V62/22611-03XF	ALR	CFCBGA	144	184	8 x 23	150	315	135.9	7620	13.4	10.1	19.65

PACKAGE OUTLINE

ALR0144A

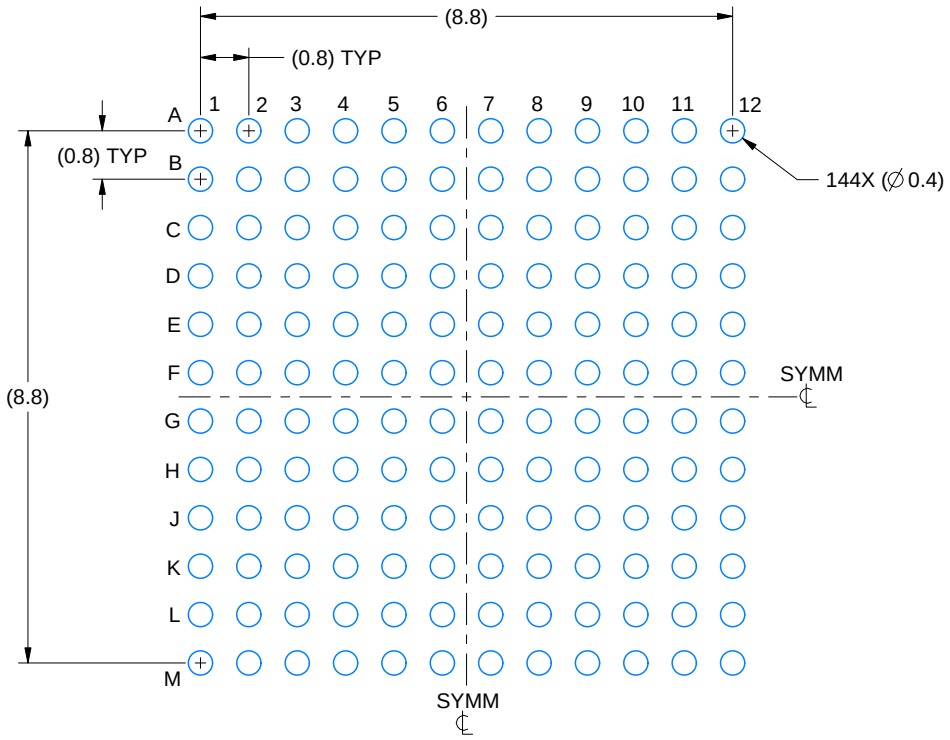
FCBGA - 1.91 mm max height

BALL GRID ARRAY

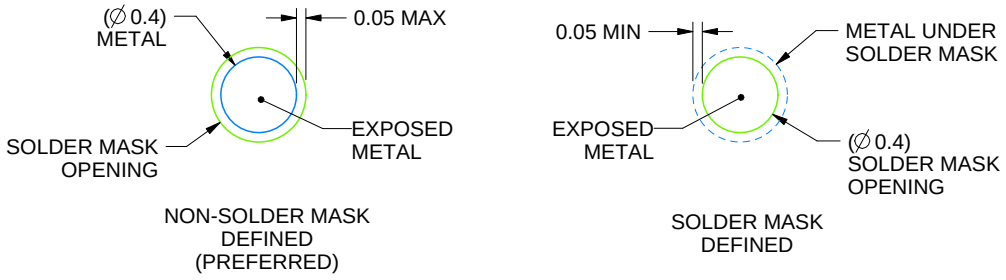


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Dimension is measured at the maximum solder ball diameter, parallel to primary datum C.
4. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.
5. The lids are electrically floating (e.g. not tied to GND).



LAND PATTERN EXAMPLE
EXPOSED METALSHOWN
SCALE:8X

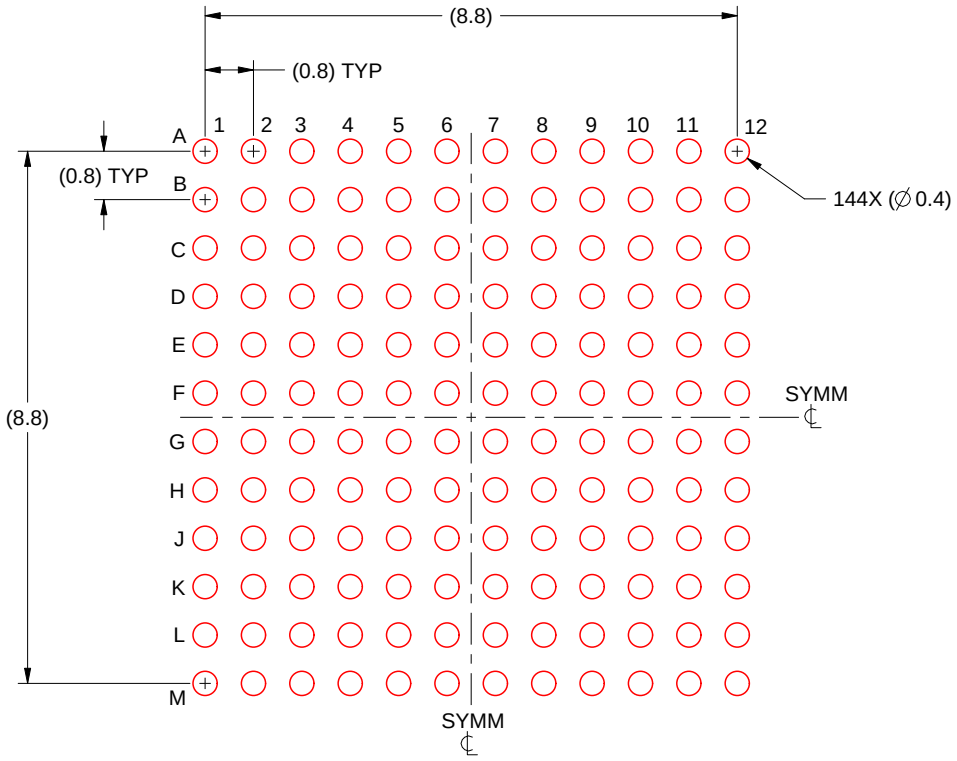


SOLDER MASK DETAILS
NOT TO SCALE

4226836/D 03/2023

NOTES: (continued)

6. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE:8X

4226836/D 03/2023

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月