ADC12QJ1600-SP クワッド チャネル、1.6GSPS、12 ビット、JESD204C インターフェイス搭載 A/D コンバータ (ADC)

1 特長

- 耐放射線特性:
  - 吸収線量 (TID):300krad (Si)
  - シングル イベント ラッチアップ (SEL):120MeV-cm2/mg
  - シングル イベント アップセット(SEU)耐性レジスタ
- ADC コア:
  - 分解能:12 ビット
  - 最大サンプリング レート:1.6GSPS
  - インターリーブなしのアーキテクチャ
  - 内部ディザリングにより高次高調波を低減
- パフォーマンス仕様 (–1dBFS):
  - SNR (100MHz):57.4dBFS
  - ENOB (100MHz):9.1 ビット
  - SFDR (100MHz):64dBc
  - ノイズ フロア (–20dBFS):–147dBFS
- フルスケール入力電圧:800$mV_{PP-DIFF}$
- フルパワー入力帯域幅:6GHz
- JESD204C シリアル データ インターフェイス
  - 合計 2～ 8 の SerDes レーンをサポート
  - 最大ボー レート:17.16Gbps
  - 64B/66B と 8B/10B のエンコード モード
  - Subclass-1 サポートによる決定論的レイテンシ
  - JESD204B レシーバと互換
- 内部サンプリング クロック生成のオプション
  - PLL および VCO (7.2～8.2GHz) 内蔵
- SYSREF ウィンドウ処理により同期が簡単
- 4 つのクロック出力によりシステム クロック供給を簡素化
  - FPGA または隣接 ADC 用のリファレンス クロック
  - SerDes トランシーバ用のリファレンス クロック
- パルス式システム用のタイムスタンプ入力および出力
- 消費電力 (1GSPS):1.9W
- 電源:1.1V、1.9V

2 アプリケーション

- 電子諜報活動 (SIGINT、ELINT)
- 衛星通信 (SATCOM)

3 概要

ADC12QJ1600-SP は、クワッド チャネル、12 ビット、1.6GSPS の A/D コンバータ (ADC) です。このデバイスは、低消費電力、高いサンプリング レート、12 ビットの分解能により、各種マルチチャネル通信システムに理想的です。

6GHz のフルパワー入力帯域幅 (-3dB) により、L バンドと S バンドの直接 RF サンプリングが可能です。

システムのハードウェア要件を緩和するため、いくつかのクロック供給機能が内蔵されています (例:サンプリング クロックを生成するための電圧制御発振器 (VCO) を内蔵した内部フェーズ ロック ループ (PLL))。FPGA または ASIC のロジックと SerDes にクロックを供給するために 4 つのクロック出力を備えています。パルス式システムのためにタイムスタンプ入力および出力を備えています。

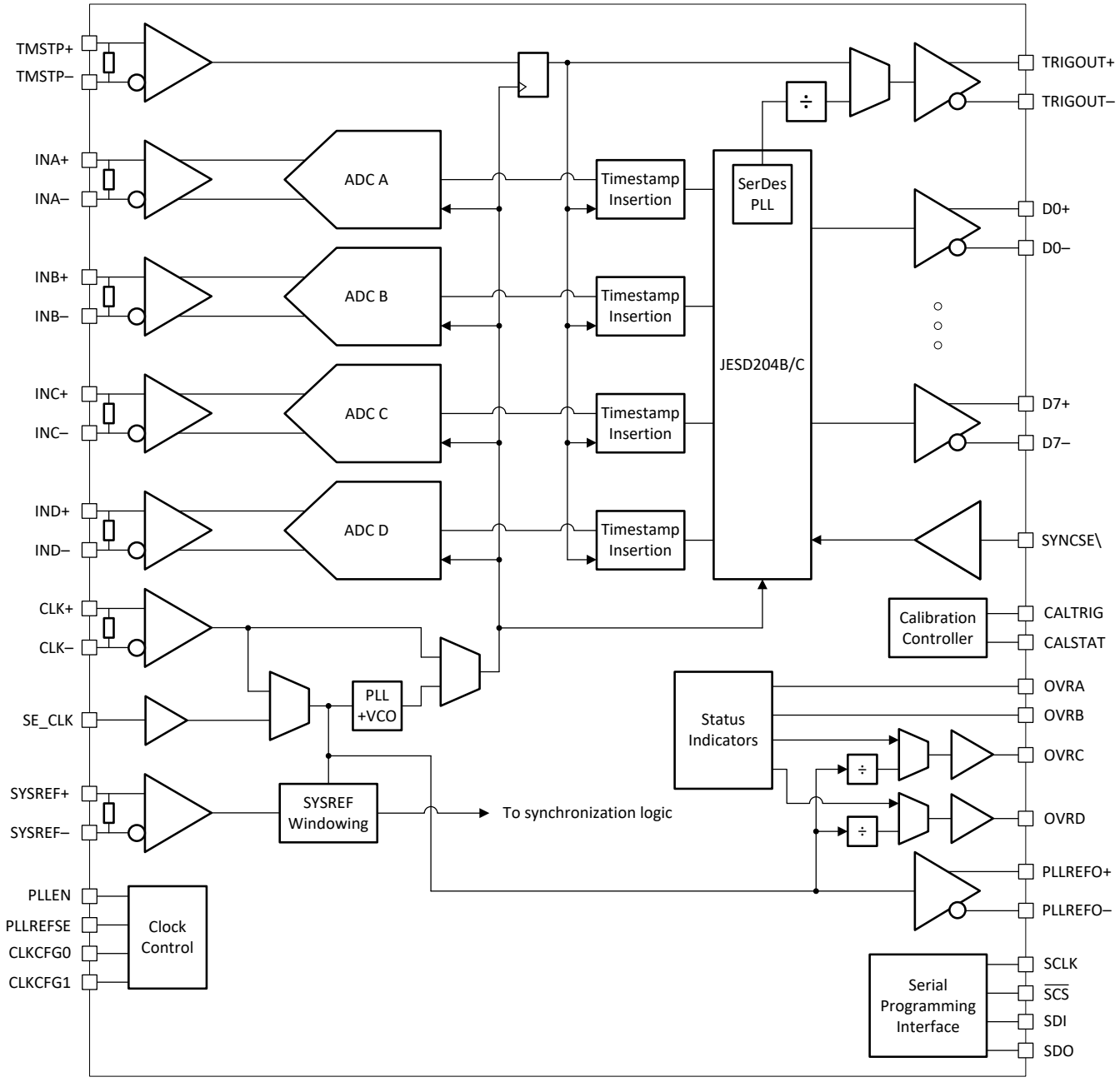
JESD204C シリアル インターフェイスにより、プリント基板 (PCB) の配線の量を減らすことで、システムを小型化できます。インターフェイス モードは、2～8 レーン (デュアル チャネルとクワッド チャネルのデバイスの場合)、または 1～4 レーン (シングル チャネル デバイスの場合) を最大 17.16Gbps の SerDes ボーレートでサポートしているため、各アプリケーションに最適な構成を実現できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
ADC12QJ1600-SP	FCBGA (144)	10mm × 10mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



クワッド チャネルのブロック図

Copyright © 2025 Texas Instruments Incorporated

目次

1 特長 1
2 アプリケーション 1
3 概要 1
4 ピン構成および機能 4
5 仕様 9
5.1 絶対最大定格 9
5.2 ESD 定格 10
5.3 推奨動作条件 10
5.4 熱に関する情報 10
5.5 電気的特性：DC の仕様 12
5.6 電気的特性：消費電力 14
5.7 電気的特性：AC の仕様 16
5.8 スイッチング特性 21
5.9 タイミング要件 24
5.10 代表的特性 25
6 詳細説明 55
6.1 概要 55
6.2 機能ブロック図 56
6.3 機能説明 57
6.4 デバイスの機能モード 78
6.5 プログラミング 98
7 アプリケーションと実装 140
7.1 アプリケーション情報 140
7.2 代表的なアプリケーション 140
7.3 初期化セットアップ 145
7.4 電源に関する推奨事項 146
7.5 レイアウト 148
8 デバイスおよびドキュメントのサポート 153
8.1 デバイス サポート 153
8.2 ドキュメントの更新通知を受け取る方法 153
8.3 サポート・リソース 153
8.4 商標 153
8.5 静電気放電に関する注意事項 153
8.6 用語集 153
9 改訂履歴 153
10 メカニカル、パッケージ、および注文情報 154

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

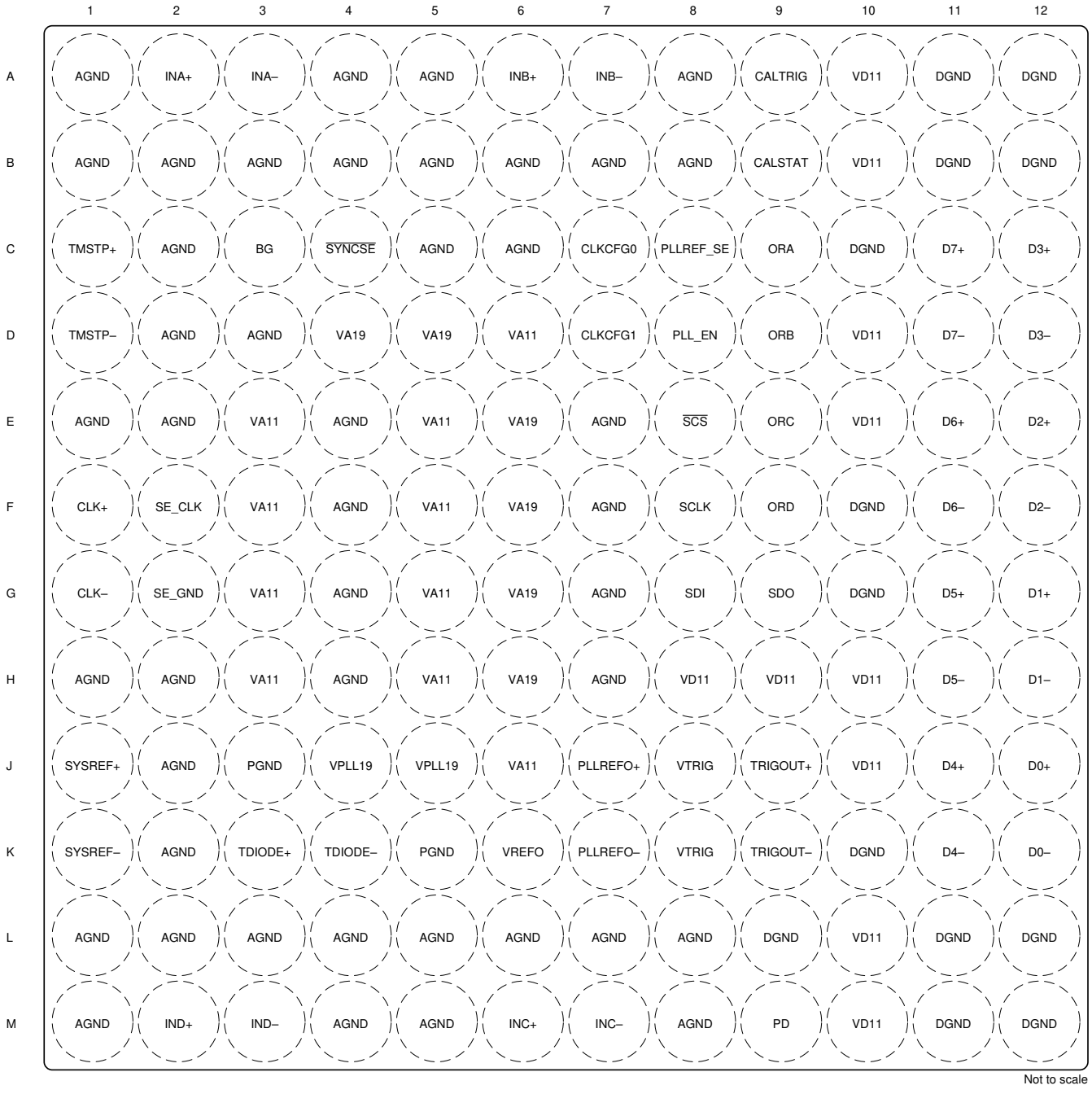


図 4-1. クワッド・チャネル ALR パッケージ、144 ボール・フリップ・チップ BGA（上面図）

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能

ピン		タイプ	説明
番号	名称		
A1, A4, A5, A8, B1, B2, B3, B4, B5, B6, B7, B8, C2, C5, C6, D2, D3, E1, E2, E4, E7, F4, F7, G4, G7, H1, H2, H4, H7, J2, K2, L1, L2, L3, L4, L5, L6, L7, L8, M1, M4, M5, M8	AGND	—	アナログ電源の接地。AGND、PGND、SE_GND、および DGND を回路基板の共通グランドプレーン（GND）に接続します。
C3	BG	O	バンドギャップ電圧出力。このピンは、推奨動作条件 表に規定されているように、小さな電流のみを供給し、制限された容量性負荷を駆動できます。このピンは、使用しない場合は接続解除できます。
B9	CALSTAT	O	フォアグラウンドキャリブレーションステータス出力またはデバイスアラーム出力。機能は CAL_STATUS_SEL によってプログラムされます。このピンは、使用しない場合は接続解除できます。
A9	CALTRIG	I	フォアグラウンドキャリブレーション・トリガ入力。このピンは、CAL_TRIG_EN でハードウェアキャリブレーショントリガが選択されている場合にのみ使用されます。それ以外の場合は、CAL_SOFT_TRIG を使用してソフトウェアトリガが実行されます。使用しない場合は、このピンを GND に接続してください。
G1	CLK–	I	デバイス（サンプリング）クロックの負入力または差動 PLL 基準クロックの負入力。TI では、最高の性能を得るために AC 結合を強く推奨します。SE_CLK を使用して基準クロックの印加を行う場合、このピンを接続解除できます。
F1	CLK+	I	デバイス（サンプリング）クロックの正入力または差動 PLL 基準クロックの負入力。最高の性能を得るためには、この入力にクロック信号を AC 結合することを強く推奨します。この差動入力は 100Ω の差動終端を内蔵し、DEVCLK_LVPECL_EN が 0 に設定されている限り、最適な入力同相電圧に自己バイアスされます。PLL 使用時に SE_CLK を使用して基準クロックを印加する場合、このピンを接続解除できます。
C7	CLKCFG0	I	C-PLL を使用するとき（PLL_EN が High に設定されている）、CLKCFG0 および CLKCFG1 を使用して、ORC および ORD で追加のクロック出力を有効にできます。使用しない場合は、このピンを接地に接続してください。
D7	CLKCFG1	I	C-PLL を使用するとき（PLL_EN が High に設定されている）、CLKCFG0 および CLKCFG1 を使用して、ORC および ORD で追加のクロック出力を有効にできます。使用しない場合は、このピンを接地に接続してください。
K12	D0–	O	レーン 0、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除にするか、0Ω ~ 1MΩ の抵抗を使用して GND（0V）と VD11（1.1V）の間の任意の電圧レベルに接続できます。
J12	D0+	O	レーン 0、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND（0V）と VD11（1.1V）の間の任意の電圧レベルに接続できます。
H12	D1–	O	レーン 1、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND（0V）と VD11（1.1V）の間の任意の電圧レベルに接続できます。
G12	D1+	O	レーン 1、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND（0V）と VD11（1.1V）の間の任意の電圧レベルに接続できます。
F12	D2–	O	レーン 2、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND（0V）と VD11（1.1V）の間の任意の電圧レベルに接続できます。
E12	D2+	O	レーン 2、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND（0V）と VD11（1.1V）の間の任意の電圧レベルに接続できます。
D12	D3–	O	レーン 3、負接続の高速シリアル化データ出力。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND（0V）と VD11（1.1V）の間の任意の電圧レベルに接続できます。
C12	D3+	O	レーン 3、正接続の高速シリアル化データ出力。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND（0V）と VD11（1.1V）間の任意の電圧レベルに接続できます。
K11	D4-	O	レーン 4、負接続の高速シリアル化データ出力。シングルチャネルデバイスでは使用されません。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND（0V）と VD11（1.1V）の間の任意の電圧レベルに接続できます。
J11	D4+	O	レーン 4、正接続の高速シリアル化データ出力。シングルチャネルデバイスでは使用されません。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND（0V）と VD11（1.1V）間の任意の電圧レベルに接続できます。
H11	D5-	O	レーン 5、負接続の高速シリアル化データ出力。シングルチャネルデバイスでは使用されません。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND（0V）と VD11（1.1V）の間の任意の電圧レベルに接続できます。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
番号	名称		
G11	D5+	O	レーン 5、正接続の高速シリアル化データ出力。シングルチャネルデバイスでは使用されません。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
F11	D6-	O	レーン 6、負接続の高速シリアル化データ出力。シングルチャネルデバイスでは使用されません。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
E11	D6+	O	レーン 6、正接続の高速シリアル化データ出力。シングルチャネルデバイスでは使用されません。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
D11	D7-	O	レーン 7、負接続の高速シリアル化データ出力。シングルチャネルデバイスでは使用されません。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
C11	D7+	O	レーン 7、正接続の高速シリアル化データ出力。シングルチャネルデバイスでは使用されません。この差動出力は AC 結合する必要があり、レシーバに接続された 100Ω の差動終端で常に終端する必要があります。このピンを使用しない場合は接続解除するか、0Ω ~ 1MΩ の抵抗を使用して GND (0V) と VD11 (1.1V) の間の任意の電圧レベルに接続できます。
A11、A12、B11、B12、C10、F10、G10、K10、L9、L11、L12、M11、M12	DGND	—	デジタル電源の接地。AGND、PGND、SE_GND、および DGND を回路基板の共通グランドプレーン (GND) に接続します。
A3	INA–	I	クワッドチャネル、デュアルチャネル、シングルチャネルのデバイスの場合、チャネル A アナログ入力負接続。詳細については、INA+を参照してください。この入力は、50Ω の終端抵抗を経由して VA11 に終端されます。このピンは、使用しない場合は接続解除できます。
A2	INA+	I	クワッド、デュアル、シングルチャネルの各デバイスの場合、チャネル A アナログ入力の正接続。差動フルスケール入力電圧は、FS_RANGE レジスタによって決定されます (「*フルスケール電圧 (VFS) の調整*」セクションを参照)。この入力は、50Ω の終端抵抗を経由して VA11 に終端されます。入力同相電圧は、内部的に VA11 (公称 1.1V) に自己バイアスされ、「推奨動作条件」表の推奨事項に従う必要があります。DC 信号が不要な場合、この入力を電力源に AC 結合できます。DC 信号が必要な場合は、DC 結合完全差動駆動アンプを使用し、出力同相電圧を VA11 電源電圧に設定する必要があります。このピンは、使用しない場合は接続解除できます。
A7	INB–	I	クワッド・チャネルとデュアル・チャネルのデバイスでは、チャネル B のアナログ入力負の接続。シングルチャネルデバイスでは接続しないでください。詳細については、INB+を参照してください。この入力は、50Ω の終端抵抗を経由して VA11 に終端されます。このピンは、使用しない場合は接続解除できます。
A6	INB+	I	クワッド・チャネルとデュアル・チャネルのデバイスのチャネル B アナログ入力正接続。シングルチャネルデバイスでは接続しないでください。差動フルスケール入力電圧は、FS_RANGE レジスタによって決定されます (「*フルスケール電圧 (VFS) の調整*」セクションを参照)。この入力は、50Ω の終端抵抗を経由して VA11 に終端されます。入力同相電圧は、内部的に VA11 (公称 1.1V) に自己バイアスされ、「推奨動作条件」表の推奨事項に従う必要があります。DC 信号が不要な場合、この入力を電力源に AC 結合できます。DC 信号が必要な場合は、DC 結合完全差動駆動アンプを使用し、出力同相電圧を VA11 電源電圧に設定する必要があります。このピンは、使用しない場合は接続解除できます。
M7	INC–	I	チャネル C、クワッド・チャネル・デバイスのアナログ入力の負接続。シングルチャネルデバイスとデュアルチャネルデバイスの場合は接続しないでください。詳細については、INC+を参照してください。この入力は、50Ω の終端抵抗を経由して VA11 に終端されます。このピンは、使用しない場合は接続解除できます。
M6	INC+	I	チャネル C、クワッド・チャネル・デバイスの場合、アナログ入力の正接続。シングルチャネルデバイスとデュアルチャネルデバイスの場合は接続しないでください。差動フルスケール入力電圧は、FS_RANGE レジスタによって決定されます (「*フルスケール電圧 (VFS) の調整*」セクションを参照)。この入力は、50Ω の終端抵抗を経由して VA11 に終端されます。入力同相電圧は、内部的に VA11 (公称 1.1V) に自己バイアスされ、「推奨動作条件」表の推奨事項に従う必要があります。DC 信号が不要な場合、この入力を電力源に AC 結合できます。DC 信号が必要な場合は、DC 結合完全差動駆動アンプを使用し、出力同相電圧を VA11 電源電圧に設定する必要があります。このピンは、使用しない場合は接続解除できます。
M3	IND–	I	クワッド・チャネル・デバイスのチャネル D アナログ入力の負接続。シングルチャネルデバイスとデュアルチャネルデバイスの場合は接続しないでください。詳細については、IND+を参照してください。この入力は、50Ω の終端抵抗を経由して VA11 に終端されます。このピンは、使用しない場合は接続解除できます。
M2	IND+	I	クワッド・チャネル・デバイスのチャネル D アナログ入力の正接続。シングルチャネルデバイスとデュアルチャネルデバイスの場合は接続しないでください。差動フルスケール入力電圧は、FS_RANGE レジスタによって決定されます (「*フルスケール電圧 (VFS) の調整*」セクションを参照)。この入力は、50Ω の終端抵抗を経由して VA11 に終端されます。入力同相電圧は、内部的に VA11 (公称 1.1V) に自己バイアスされ、「推奨動作条件」表の推奨事項に従う必要があります。DC 信号が不要な場合、この入力を電力源に AC 結合できます。DC 信号が必要な場合は、DC 結合完全差動駆動アンプを使用し、出力同相電圧を VA11 電源電圧に設定する必要があります。このピンは、使用しない場合は接続解除できます。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
番号	名称		
C9	ORA	O	チャネル A の高速オーバー・レンジ検出ステータス出力。チャネル A のアナログ入力が OVR_T にプログラムされたスレッショルドを超えると、このステータス・インジケータが HIGH になります。最小パルス幅は OVR_N によって設定されます。詳細については、*ADC オーバーレンジ検出*セクションを参照してください。このピンは、使用しない場合は接続解除できます。
D9	ORB	O	チャネル B の高速過範囲検出ステータス出力。クワッド・チャネルとデュアル・チャネル・デバイスにのみ使用されます。シングルチャネルデバイスでは接続しないでください。チャネル B のアナログ入力が OVR_T にプログラムされたスレッショルドを超えると、このステータス・インジケータが HIGH になります。最小パルス幅は OVR_N によって設定されます。詳細については、*ADC オーバーレンジ検出* セクションを参照してください。このピンは、使用しない場合は接続解除できます。
E9	ORC	O	チャネル C または追加のクロック出力の高速オーバーレンジ検出ステータス出力。高速なオーバーレンジ検出機能は、クワッド・チャネル・デバイスにのみ使用できます。チャネル C のアナログ入力が OVR_T にプログラムされたスレッショルドを超えると、このステータス・インジケータが HIGH になります。最小パルス幅は OVR_N によって設定されます。詳細については、*ADC オーバーレンジ検出* セクションを参照してください。また、CLKCFG[1:0]または SPI レジスタ構成でイネーブルになった場合や PLL_EN が High の場合に、このピンを追加クロック出力（DIVREF_C）としても使用できます。CLKCFG0 と CLKCFG1 の両方を Low に設定（または SPI でディセーブル）すると、ORC 出力を 使用して ADC チャネル C の範囲外信号を出力します。ORC は、PLLREFO のコピー（CLKCFG[1:0] = 0x1）として、または 2 分周（CLKCFG[1:0] = 0x2）または 4 分周（CLKCFG[1:0] = 0x3）PLLREFO のコピーとしてプログラムできます。PLL_EN が High に設定され、PD が Low に設定され、CLKCFG[1:0]が適切に設定されている場合、デバイス電源投入時に ORC のクロックが利用可能です。このピンは、使用しない場合は接続解除できます。
F9	ORD	O	チャネル D または追加のクロック出力の高速オーバーレンジ検出ステータス出力。高速なオーバーレンジ検出機能は、クワッド・チャネル・デバイスにのみ使用できます。チャネル D のアナログ入力が OVR_T にプログラムされたスレッショルドを超えると、このステータス・インジケータが HIGH になります。最小パルス幅は OVR_N によって設定されます。詳細については、*ADC オーバーレンジ検出* セクションを参照してください。また、CLKCFG[1:0]または SPI レジスタ構成でイネーブルになっている場合や PLL_EN が High の場合に、このピンを追加クロック出力（DIVREF_D）としても使用できます。CLKCFG0 と CLKCFG1 の両方が Low に設定されている場合（または SPI でディセーブルに設定されている場合）、ORD 出力を使用して ADC チャネル D の範囲外信号を出力します。ORD は、PLL_EN がハイに設定され、PD がローに保持されている場合、起動時に利用可能となる CLKCFG[1:0]のいずれかまたは両方が設定されている場合、PLLREFO のコピーとしてプログラムすることができます。ORD は、SPI レジスタでオーバーライドされた場合、2 分周または 4 分周の PLLREFO コピーに設定できます。ORD からのクロックアウトは、ORC からもクロックが出力される場合にのみ使用できます。必要なクロックが 1 つだけの場合は、ORC を使用します。このピンは、使用しない場合は接続解除できます。
M9	PD	I	CMOS 入力により、デバイスをパワーダウンして省電力、または温度ダイオードのキャリブレーションを実行します。PD を High に設定すると、PLLREFO および ORC および ORD クロック出力が無効になるため、これらのクロックがシステム動作に重要である場合は、このピンを使用しないでください。使用しない場合は、このピンを GND に接続してください。
J3、K5	PGND	—	PLL 電源の接地。AGND、PGND、SE_GND、および DGND を回路基板の共通グランドプレーン（GND）に接続します。
D8	PLL_EN	I	CMOS 入力を HIGH に設定すると内部 PLL のサンプリング・クロック生成が有効になり、LOW に設定すると PLL をディセーブルおよびバイパスします。PLL を使用しない場合は、このピンを GND に接続してください。
C8	PLLREF_SE	I	High に設定する場合はシングルエンド PLL 基準クロック入力（SE_CLK）を、Low に設定する場合は差動クロック入力（CLK±）を選択する CMOS 入力。PLL がディセーブルの場合、サンプリング・クロックには CLK±のみを使用できます。PLL を使用しない場合、または CLK±を基準クロック入力として使用する場合は、このピンを GND に接続します。
K7	PLLREFO–	O	負の LVDS PLL 基準クロック出力。このクロックは、選択された PLL 基準クロック入力（CLK±または SE_CLK）から繰り返されます。PLL_EN が High に設定されかつ PD が Low に保持されている場合、このピンはデバイスの電源投入時に他のデバイスにクロックを供給して利用可能です。このピンは、使用しない場合は接続解除できます。
J7	PLLREFO+	O	正の LVDS PLL 基準クロック出力。このクロックは、選択された PLL 基準クロック入力（CLK±または SE_CLK）から繰り返されます。PLL_EN が High に設定されかつ PD が Low に保持されている場合、このピンはデバイスの電源投入時に他のデバイスにクロックを供給して利用可能です。このピンは、使用しない場合は接続解除できます。
F8	SCLK	I	シリアル インターフェイス クロック。このピンはシリアル・プログラミング・データの入出力をクロックするシリアル・インターフェイス・クロック入力として機能します。*シリアルインターフェイスの使い方* セクションでは、シリアルインターフェイスについて詳しく説明しています。1.1V ~ 1.9V の CMOS レベルをサポート。
E8	$\overline{SCS}$	I	シリアル・インターフェイスのチップ・セレクトのアクティブ Low 入力。*シリアルインターフェイスの使い方* セクションでは、シリアルインターフェイスについて詳しく説明しています。1.1V ~ 1.9V の CMOS レベルをサポート。このピンには、VD11 への 82kΩ のプルアップ抵抗が搭載されています。
G8	SDI	I	シリアルインターフェースのデータ入力。*シリアルインターフェイスの使い方* セクションでは、シリアルインターフェイスについて詳しく説明しています。1.1V ~ 1.9V の CMOS レベルをサポート。
G9	SDO	O	シリアル インターフェイス データ出力。*シリアルインターフェイスの使い方* セクションでは、シリアルインターフェイスについて詳しく説明しています。このピンは、デバイス通常動作中はハイインピーダンスになります。このピンは、シリアルインターフェイスの読み取り動作時に 1.9V CMOS レベルを出力します。このピンは、使用しない場合は接続解除できます。
F2	SE_CLK	I	シングルエンド PLL リファレンスクロック入力。この入力は、PLL_EN が High に保持され、PLLREF_SE が High に保持されているときに選択されます。PLLREF_SE を Low に設定すると、CLK±が差動 PLL リファレンス入力として使用されます。このピンは使用しない場合は GND に接続してください。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
番号	名称		
G2	SE_GND	—	シングルエンド PLL 基準クロック入力のグランド基準。AGND、PGND、SE_GND、および DGND を回路基板の共通グランドプレーン(GND)に接続します。
C4	$\overline{\text{SYNCSE}}$	I	シングルエンド JESD204C SYNC 信号。この入力はアクティブ Low 入力であり、SYNC_SEL が 0 に設定されているときに、8B/10B モードで JESD204C シリアルリンクを初期化するために使用されます。64B/66B モードでは、同期信号は使用されません。8B/10B モードで Low に切り替えると、この入力により、コード・グループ同期が開始されます(*コード・グループ同期 (CGS)* を参照)。コード・グループ同期後に、最初のレーン・アライメント・シーケンスを開始するには、この入力を High に切り替える必要があります(「*初期レーン・アライメント・シーケンス (ILAS)*」セクションを参照)。TMSTP±または JSYNC_N を JESD204C 同期信号として使用する場合、または 64B/66B エンコード JESD204C モードに使用する場合、このピンをグランドに接続します。
K1	SYSREF–	I	SYSREF 負入力。このピンを使用しない場合は接続解除し、SYSREF_RECV_EN を使用して SYSREF±レシーバの電源をオフにします。
J1	SYSREF+	I	SYSREF の正入力は、JESD204C インターフェイス全体で同期と決定論的レイテンシを実現するために使用されます。この差動入力(SYSREF+ ~ SYSREF–)には、トリムされていない 100Ω 差動終端が内蔵されており、SYSREF_LVPECL_EN が 0 に設定されているときは AC 結合できます。SYSREF_LVPECL_EN が 0 に設定されると、この入力は自己バイアスされます。終端は、各入力ピン(SYSREF+と SYSREF–)のグランドに対して 50Ω に変化し、SYSREF_LVPECL_EN が 1 に設定されているときは DC 結合できます。SYSREF_LVPECL_EN が 1 に設定されている場合、この入力は自己バイアスではなく、推奨動作条件 表に記載されている入力同相電圧範囲に外部でバイアスする必要があります。このピンを使用しない場合は接続解除し、SYSREF_RECV_EN を使用して SYSREF±レシーバの電源をオフにします。
K4	TDIODE–	I	温度ダイオードの負(カソード)接続。このピンは、使用しない場合は接続解除できます。
K3	TDIODE+	I	温度ダイオードの正(アノード)接続。外部温度センサを TDIODE+および TDIODE–に接続して、デバイスの接合部温度を監視できます。このピンは、使用しない場合は接続解除できます。
D1	TMSTP–	I	タイムスタンプ入力の負の接続。タイムスタンプが不要な場合は、このピンを接続解除して、TMSTP レシーバをパワーダウン(TMSTP_RECV_EN = 0)することもできます。
C1	TMSTP+	I	タイムスタンプ入力の正の接続。この入力はタイムスタンプ入力であり、TIME_STAMP_EN が 1 に設定されているときに、特定のサンプルをマークするために使用されます。使用法の詳細については、*タイムスタンプ* セクションを参照してください。この入力を使用するには、TMSTP_RECV_EN を 1 に設定する必要があります。この差動入力(TMSTP+から TMSTP–)には、トリムされていない 100Ω 差動終端が内蔵されており、TMSTP_LVPECL_EN が 0 に設定されているときは AC 結合可能です。終端は、各入力ピン(TMSTP+および TMSTP–)のグランドに対して 50Ω に変化し、TMSTP_LVPECL_EN が 1 に設定されているときは DC 結合も可能です。このピンは自己バイアスではないため、AC 結合および DC 結合の両方の構成では、外部バイアスを印加する必要があります。AC 結合と DC 結合の両方について、同相電圧は推奨動作条件 表に記載されている範囲内である必要があります。8b/10b エンコードを使用する JESD204C インターフェイス向けの差動 $\overline{\text{SYNC}}$ 入力としても使用できます。タイムスタンプが不要な場合は、このピンを接続解除して、TMSTP レシーバをパワーダウン(TMSTP_RECV_EN = 0)することもできます。
K9	TRIGOUT–	O	TMSTP±から繰り返されるトリガ用の負の LVDS 出力、または SerDes PLL から生成されたクロック出力。この出力は、TRIGOUT_EN を 1 に設定することでイネーブルし、TRIGOUT_MODE で設定できます。PD ピンを High に設定すると、この出力がディスエーブルになります。このピンは、使用しない場合は接続解除できます。
J9	TRIGOUT+	O	TMSTP±から繰り返されるトリガの正の LVDS 出力、または SerDes PLL で生成されたクロック出力。この出力は、TRIGOUT_EN を 1 に設定することでイネーブルし、TRIGOUT_MODE で設定できます。PD ピンを High に設定すると、この出力がディスエーブルになります。このピンは、使用しない場合は接続解除できます。
D6、E3、E5、F3、F5、G3、G5、H3、H5、J6	VA11	—	1.1V アナログ電源
D4、D5、E6、F6、G6、H6	VA19	—	1.9V アナログ電源
A10、B10、D10、E10、H8、H9、H10、J10、L10、M10	VD11	—	1.1V デジタル電源
J4、J5	VPLL19	—	内部 PLL および VCO 用 1.9V 電源
K6	VREFO	—	PLLREFO±出力ドライバと PLL チャージ・ポンプ用の 1.9V 電源
J8、K8	VTRIG	—	TRIGOUT±出力ドライバ用の 1.1V ~ 1.9V 電源

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電源電圧範囲	VA19(2)	-0.3	2.35	V
	VPLL19(3)	-0.3	2.35	
	VREFO(2)	-0.3	2.35	
	VTRIG(5)	-0.3	2.35	
	VA11(2)	-0.3	1.32(11)	
	VD11(5)	-0.3	1.32(11)	
	1.9V 電源間の電圧差(VA19、VPLL19、VREFO)	-0.5	0.5	
AGND、DGND、PGND、SE_GND の間の電圧		-0.1	0.1	V
ピン電圧範囲	D[7:0]+、D[7:0]–、TMSTP+、TMSTP–(5)	-0.5	VD11 + 0.5(7)	V
	CLK+、CLK-、SYSREF+、SYSREF–(2)	-0.5	VA11 + 0.5(6)	
	SE_CLK(4)	-0.5	VA19 + 0.5(8)	
	PLLREFO+、PLLREFO–(2)	-0.5	VREFO + 0.5(9)	
	TRIGOUT+、TRIGOUT–(5)	-0.5	VTRIG + 0.5(10)	
	BG、TDIODE+、TDIODE–(2)	-0.5	VA19 + 0.5(8)	
	INA+、INA-、INB+、INB-、 INC+、INC-、IND+、IND–(2)	VA11 – 1.0	VA11 + 1.0	
	CALSTAT、CALTRIG、CLKCFG0、CLKCFG1、PLL_EN、PLLREF_SE、ORA、ORB、ORC、ORD、PD、SCLK、$\overline{SCS}$、SDI、SDO、$\overline{SYNCSE}$ (2)	-0.5	VA19 + 0.5(8)	
ピーク入力電流(INA+、INA-、INB+、INB–、INC+、 INC–、IND+、IND–を除く任意の入力)		-25	25	mA
ピーク入力電流(INA+、INA-、INB+、INB-、INC+ 、INC-、IND+、IND-)		-50	50	mA
ピーク RF 入力電力(INA+、INA-、INB+、INB-、 INC+、INC-、IND+、IND–)	Z_{S-SE} = 50 Ω のシングルエンド		16.4	dBm
ピーク合計入力電流(電源電流を含まない、強制的に流入または流出するすべての電流の絶対値の合計)			100	mA
動作時の接合部温度、T_j		-40	150	℃
保管温度、T_{stg}		-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本デバイスが正常に動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) AGND に対して測定。
(3) PGND に対して測定。
(4) SE_GND に対して測定。
(5) DGND に対して測定。
(6) 最大電圧が VA11 の絶対最大定格を超えてはいけません。
(7) 最大電圧が VD11 の絶対最大定格を超えてはいけません。
(8) 最大電圧が VA19 の絶対最大定格を超えてはいけません。
(9) 最大電圧が VREFO の絶対最大定格を超えないようにしてください。
(10) 最大電圧が VTRIG の絶対最大定格を超えないようにしてください。
(11) 1.1V 電源(VA11、VD11)は、パワーアップ、通常動作、またはパワーダウン時に、いずれかの 1.9V 電源(VA19、VPLL19、VREFO)または VTRIG(1.1V または 1.9V)よりも 0.5V 以上高い電圧にしてはなりません。電源シーケンス セクションを参照。

Copyright © 2025 Texas Instruments Incorporated

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 (1)	4000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	750	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{DD}	電源電圧範囲	VA19、アナログ 1.9V 電源(2)	1.8	1.9	2.0	V
		VPLL19 PLL 電源(3)	1.8	1.9	2.0	
		VREFO、PLLREFO±、および PLL チャージ・ポンプ電源(2)	1.8	1.9	2.0	
		VTRIG、TRIGOUT±電源(4)	1.05	1.1 または 1.9	2.0	
		VA11、アナログ 1.1V 電源(2)	1.05	1.1	1.15	
		VD11, デジタル 1.1V 電源(4)	1.05	1.1	1.15	
V_{CMI}	入力同相電圧	INA+、INA-、INB+、INB-、 INC+、INC-、IND+、IND–(2)	1.05	1.1	1.15	V
		CLK+、CLK-、SYSREF+、SYSREF-(2) (5)	0	0.3	0.55	
		TMSTP+、TMSTP-(4) (6)	0	0.3	0.55	
$V_{ID(DIFF)}$	入力電圧 ピーク ツー ピークの差動	CLK+から CLK-へ、SYSREF+から SYSREF-へ、TMSTP+から TMSTP-へ	0.4	1.0	2.0	$V_{PP-DIFF}$
		INA+, INA–, INB+, INB–, INC+, INC–, IND+, IND–			1.0(7)	
V_{IH}	High レベル入力電圧	SE_CLK	0.9	1.8		V
V_{IL}	Low レベル入力電圧	SE_CLK		0	0.3	V
I_{C_TD}	温度ダイオード入力電流	TDIODE+から TDIODE–へ		100		µA
C_L	BG 最大負荷容量				50	pF
I_O	BG 最大出力電流	公称電圧から-2%降下した電流		140		µA
T_A	自由空気での動作温度		-55		125(1)	℃
Tj	動作時接合部温度				150 (1)	℃

(1) ダイは、Tj = 150°C 動作と、Tj = 125°C でのデバイスおよびダイのメタライゼーション劣化で最大 150,000POH で連続動作するように設計されています。Tj = 105°C の接合部温度を超えて長時間使用すると、パッケージの FIT 率 (Failure-In-Time、故障率) が上昇する可能性があります。
(2) AGND に対して測定。
(3) PGND に対して測定。
(4) DGND に対して測定。
(5) 最高の性能を得るために、CLK±を最適な入力同相電圧に自己バイアスできるように、DEVCLK_LVPECL_EN を 0 に設定して CLK±AC 結合することを強く推奨します。DC 結合が必要な場合を除き、SYSREF±の AC 結合を推奨します。この場合、LVPECL 入力モードを使用する (SYSREF_LVPECL_EN = 1) 必要があります。
(6) TMSTP±には内部バイアスがないため、AC 結合で TMSTP_LVPECL_EN = 0、DC 結合で TMSTP_LVPECL_EN = 1 のいずれであっても、TMSTP±を外部バイアスする必要があります。
(7) INA±または INB±の V_{ID}、INA±の場合は FS_RANGE_A で設定されたプログラムされたフルスケール電圧 (V_{FS}) を超えると、ADC 出力コードが飽和します。

5.4 熱に関する情報

熱評価基準(1)		10mm x 10mm FC-BGA 144 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	20.9	℃/W

Copyright © 2025 Texas Instruments Incorporated

熱評価基準(1)		10mm x 10mm FC-BGA	単位
		144 ピン	
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	1.0	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	6.54	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.21	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	6.52	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性：DC の仕様

典型的な値（T_J = 50°C、VA19 = 1.9V、VPLL19 = 1.9V、VREFO = 1.9V、VTRIG = 1.1V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧（V_{FS} = 0.8V_{PP}）、f_{IN} = 97MHz, A_{IN} = –1dBFS, f_{CLK} = 1.6GHz、フィルタリングされた 1V_{PP} の正弦波クロックが CLK±に適用、PLL 無効、JMODE = 0、高パフォーマンスモードおよび前景キャリブレーション（特に記載がない場合）；最小値および最大値は、標準供給電圧および動作結合温度範囲内で、*推奨される動作条件* テーブルに基づいています。

パラメータ		テスト条件	最小値	標準値	最大値	単位
DC 精度						
	分解能	ノー ミッシング コードの分解能		12		ビット
DNL	微分非線形性	理想的なステップサイズからの最大正の変位		0.2		LSB
		理想的なステップサイズからの最大負の変位		-0.19		
INL	積分非直線性	理想的な伝達関数からの最大正変位		1.95		LSB
		理想的な伝達関数からの最大負の変位		-1.5		
アナログ入力（INA+、INA-、INB+、INB– 、 INC+、INC–、IND+、IND–）						
V_{OFF}	オフセット エラー	CAL_OS = 0		±0.6		mV
		CAL_OS = 1		±0.6		mV
V_{OFF_ADJ}	入力オフセット電圧の調整範囲	利用可能なオフセット補正範囲（OFSx または OFSxCh レジスタを参照）		±33		mV
V_{OFF_DRIFT}	オフセットのドリフト	公称温度でのみのフォアグラウンドキャリブレーション、CAL_OS = 1		-1.2		µV/°C
		各温度でのフォアグラウンドキャリブレーション、CAL_OS = 1		0.25		
V_{FS}	アナログ差動入力フルスケール・レンジ	デフォルトのフルスケール電圧（FS_RANGE = 0xA000）、DC で測定	750	800	850	mV_{PP}
		最大フルスケール電圧（FS_RANGE = 0xFFFF）、DC で測定	980	1040		
		最小フルスケール電圧（FS_RANGE = 0x2000）、DC で測定		480	500	
V_{FS_DRIFT}	アナログ差動入力フルスケール・レンジ・ドリフト	デフォルトの FS_RANGE 設定、公称温度でのフォアグラウンドキャリブレーションのみ、50 Ω ソースで駆動される入力、R_{IN} ドリフトの影響を含む		-0.0015		%/°C
		デフォルトの FS_RANGE 設定、各温度でのフォアグラウンドキャリブレーション、50 Ω ソースで駆動される入力、R_{IN} ドリフトの影響を含む		-.000018		
V_{FS_MATCH}	アナログ差動入力フルスケール・レンジ・マッチング	任意の 2 つのチャネル間のマッチング（INA±と INB±など）、デフォルトのフルスケール電圧、DC で測定		1%		
R_{IN}	差動入力抵抗	差動抵抗の中心、V_{CM} で終端、T_A = 25°C で測定	92	100	108	Ω
R_{IN_TEMPCO}	入力の終端線形温度係数			38		mΩ/°C
C_{IN}	シングルエンド入力容量	DC で測定		0.6		pF
温度ダイオードの特性（TDIODE+、TDIODE–）						
ΔV_{BE}	温度ダイオードの電圧スロープ	100µA の強制順方向電流。オフセット電圧（0°C で約 0.792V）はプロセスによって変化するため、各部品で測定する必要があります。デバイスの自己発熱を最小限に抑えるため、デバイスの電源をオフにするか、PD ピンをアサートしてオフセット測定を行う必要があります。		-1.6		mV/°C
バンドギャップ電圧出力（BG）						
V_{BG}	内部バンドギャップリファレンスおよび V_{CM} リファレンス出力電圧	I_L ≤ 100µA		1.1		V
V_{BG_DRIFT}	V_{BG} 出力温度ドリフト	I_L ≤ 100µA		-117		µV/°C
差動クロックおよびタイムスタンプ入力（CLK+、CLK–、SYSREF+、SYSREF–、TMSTP+、TMSTP–）						
Z_T	内部終端	DEVCLK_LVPECL_EN = 0、SYSREF_LVPECL_EN = 0、TMSTP_LVPECL_EN = 0 による差動終端		100		Ω
		DEVCLK_LVPECL_EN = 0、SYSREF_LVPECL_EN = 0、TMSTP_LVPECL_EN = 0 での GND へのシングルエンド終端（ピンごと）		50		

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性：DC の仕様 (続き)

典型的な値（T_J = 50°C、VA19 = 1.9V、VPLL19 = 1.9V、VREFO = 1.9V、VTRIG = 1.1V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧（V_{FS} = 0.8V_{PP}）、f_{IN} = 97MHz, A_{IN} = –1dBFS, f_{CLK} = 1.6GHz、フィルタリングされた 1V_{PP} の正弦波クロックが CLK±に適用、PLL 無効、JMODE = 0、高パフォーマンスモードおよび前景キャリブレーション（特に記載がない場合）；最小値および最大値は、標準供給電圧および動作結合温度範囲内で、*推奨される動作条件* テーブルに基づいています。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{CM}	自己バイアス、同相電圧を入力	AC 結合の場合、CLK±の自己バイアス同相電圧（DEVCLK_LVPECL_EN を 0 に設定する必要あり）		0.3		V
		AC 結合されている場合（SYSREF_LVPECL_EN を 0 に設定する必要があります）、レシーバが有効のとき（SYSREF_RECV_EN = 1）、SYSREF±の自己バイアス同相電圧		0.3		
		AC 結合されている場合（SYSREF_LVPECL_EN を 0 に設定する必要があります）、レシーバがディセーブル（SYSREF_RECV_EN = 0）のとき）、SYSREF±の自己バイアス同相電圧		VA11		
C_{L_DIFF}	差動入力容量	正の差動入力ピンと負の差動入力ピン間		0.1		pF
C_{L_SE}	シングルエンド入力容量	各入力から接地へ		0.5		pF
クロックおよびトリガ出力（PLLREFO+、PLLREFO-、TRIGOUT+、TRIGOUT–）						
V_{DIFF}	差動出力電圧、ピークツーピーク、DC 測定	100-Ω の負荷	400	720	900	$mV_{PP-DIFF}$
$V_{CM(PLLREFO)}$	PLLREFO±出力同相電圧			1.31(1)		V
$V_{CM(TRIGOUT)}$	TRIGOUT±出力同相電圧、VTRIG で追従	VTRIG = 1.9		1.31(2)		V
		VTRIG = 1.1		0.5(2)		
Z_{DIFF}	差動出力インピーダンス	DC で測定		300		Ω
SerDes 出力（D[7:0]+、D[7:0]–）						
V_{OD}	差動出力電圧、ピークツーピーク	100-Ω の負荷		600		$mV_{PP-DIFF}$
V_{CM}	出力同相電圧	AC 結合		0.54		V
Z_{DIFF}	差動出力インピーダンス			100		Ω
CMOS インターフェイス（SCLK、SDI、SDO、$\overline{SCS}$、PD、CALSTAT、CALTRIG、CLKCFG0、CLKCFG1、PLL_EN、PLLREF_SE、ORA、ORB、ORC、ORD、$\overline{SYNCSE}$）						
V_{IH}	High レベル入力電圧		0.7			V
V_{IL}	Low レベル入力電圧				0.45	V
I_{IH}	High レベル入力電流				40	µA
I_{IL}	Low レベル入力電流		-40			µA
C_I	入力容量			2		pF
V_{OH}	High レベル出力電圧	I_{LOAD} = -400µA	1.65			V
V_{OL}	Low レベル出力電圧	I_{LOAD} = 400µA			150	mV

(1) TI は、PLLREFO±が有効になっている場合、負荷デバイスに AC 結合を推奨します。
(2) TI は、TRIGOUT±が有効化され、クロック出力（S-PLL からの）として使用される場合、負荷デバイスに AC-couping TRIGOUT±を推奨します。TRIGOUT±をトリガ出力（TMSTP±からの）として使用する場合、TRIGOUT±を負荷装置に DC 結合することができます。

Copyright © 2025 Texas Instruments Incorporated

5.6 電気的特性：消費電力

典型的な値 T_J = 50°C、VA19 = 1.9 V、VPLL19 = 1.9 V、VREFO = 1.9 V、VTRIG = 1.1V、VA11 = 1.1 V、VD11 = 1.1 V、デフォルトのフルスケール電圧（V_{FS} = 0.8 V_{PP}）、f_{IN} = 97 MHz, A_{IN} = –1 dBFS, f_{CLK} = 1.6 GHz、フィルタリングされた 1V_{PP} の正弦波クロックが CLK±に適用、PLL 無効、JMODE = 0、高パフォーマンスモードおよび前景キャリブレーション（特に記載がない場合）；最小値および最大値は、標準供給電圧および動作結合温度範囲内で、*推奨される動作条件テーブル* に基づいています

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VA19}	1.9-V アナログ電源電流	電力モード 1：クワッド・チャネル、JMODE 0（12 ビット、8 レーン、8B/10B エンコード）、FG キャリブレーション、PLL_EN = 0、f_S = 1.6GSPS、高性能モード		645		mA
I_{VPLL19}	PLL アナログ電源電流			0		mA
I_{VREFO}	PLLREFO± アナログ電源電流			0		mA
I_{VTRIG}	TRIGOUT± アナログ供給電流			0		mA
I_{VA11}	1.1-V アナログ電源電流			628		mA
I_{VD11}	1.1-V デジタル供給電流			760		mA
P_{DIS}	消費電力			2.76		W
I_{VA19}	1.9-V アナログ電源電流	電力モード 2：クワッド・チャネル、JMODE 8（12 ビット、4 レーン、64B/66B エンコード）、LPBG キャリブレーション、PLL_EN = 0、f_S = 1.0GSPS、低消費電力モード		558		mA
I_{VPLL19}	PLL アナログ電源電流			0		mA
I_{VREFO}	PLLREFO± アナログ電源電流			0		mA
I_{VTRIG}	TRIGOUT± アナログ供給電流			0		mA
I_{VA11}	1.1-V アナログ電源電流			394		mA
I_{VD11}	1.1-V デジタル供給電流			384		mA
P_{DIS}	消費電力			1.91(1)		W
I_{VA19}	1.9-V アナログ電源電流	電力モード 3：クワッド・チャネル、JMODE 8（12 ビット、4 レーン、64B/66B エンコード）、LPBG キャリブレーション、PLL_EN = 1、PLLREF_SE = 1、f_{REF}= 50 MHz、TRIGOUT±有効、f_S = 1.0GSPS、低消費電力モード		558		mA
I_{VPLL19}	PLL アナログ電源電流			60		mA
I_{VREFO}	PLLREFO± アナログ電源電流			13		mA
I_{VTRIG}	TRIGOUT± アナログ供給電流			5.4		mA
I_{VA11}	1.1-V アナログ電源電流			367		mA
I_{VD11}	1.1-V デジタル供給電流			384		mA
P_{DIS}	消費電力			2.03(1)		W
I_{VA19}	1.9-V アナログ電源電流	電力モード 4：クワッド・チャネル、JMODE 7（8 ビット、4 レーン、64B/66B エンコード）、FG キャリブレーション、PLL_EN = 0、f_S = 1.0GSPS、低消費電力モード		533		mA
I_{VPLL19}	PLL アナログ電源電流			0		mA
I_{VREFO}	PLLREFO± アナログ電源電流			0		mA
I_{VTRIG}	TRIGOUT± アナログ供給電流			0		mA
I_{VA11}	1.1-V アナログ電源電流			364		mA
I_{VD11}	1.1-V デジタル供給電流			301		mA
P_{DIS}	消費電力			1.74		W
I_{VA19}	1.9-V アナログ電源電流	電力モード 5：クワッド・チャネル、JMODE 0（12 ビット、8 レーン、8B/10B エンコード）、BG キャリブレーション、PLL_EN = 1、PLLREF_SE = 0、f_{REF}= 50 MHz、TRIGOUT±有効化、f_S = 1.6GSPS、高性能モード		788		mA
I_{VPLL19}	PLL アナログ電源電流			60		mA
I_{VREFO}	PLLREFO± アナログ電源電流			13		mA
I_{VTRIG}	TRIGOUT± アナログ供給電流			5.4		mA
I_{VA11}	1.1-V アナログ電源電流			702		mA
I_{VD11}	1.1-V デジタル供給電流			734		mA
P_{DIS}	消費電力			3.22		W

Copyright © 2025 Texas Instruments Incorporated

5.6 電気的特性：消費電力 (続き)

典型的な値 T_J = 50°C、VA19 = 1.9 V、VPLL19 = 1.9 V、VREFO = 1.9 V、VTRIG = 1.1V、VA11 = 1.1 V、VD11 = 1.1 V、デフォルトのフルスケール電圧（V_{FS} = 0.8 V_{PP}）、f_{IN} = 97 MHz, A_{IN} = –1 dBFS, f_{CLK} = 1.6 GHz、フィルタリングされた 1V_{PP} の正弦波クロックが CLK±に適用、PLL 無効、JMODE = 0、高パフォーマンスモードおよび前景キャリブレーション（特に記載がない場合）；最小値および最大値は、標準供給電圧および動作結合温度範囲内で、*推奨される動作条件テーブル* に基づいています

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VA19}	1.9-V アナログ電源電流	電力モード 6：パワーダウン有効（PD = 1）		47		mA
I_{VPLL19}	PLL アナログ電源電流			0		mA
I_{VREFO}	PLLREFO± アナログ電源電流			0		mA
I_{VTRIG}	TRIGOUT± アナログ供給電流			0		mA
I_{VA11}	1.1-V アナログ電源電流			30		mA
I_{VD11}	1.1-V デジタル供給電流			17		mA
P_{DIS}	消費電力			0.14		W

(1) 低消費電力バックグラウンド（LPBG）キャリブレーションの消費電流と消費電力の数値はキャリブレーションのスリープ状態です。このモードでの消費電力は、キャリブレーション状態でバックグラウンド（BG）キャリブレーションの消費電力まで増加します。スリープ期間はユーザーが制御できますが、長いスリープ期間を使用すると、キャリブレーション状態での消費電力の寄与が平均されます。

Copyright © 2025 Texas Instruments Incorporated

5.7 電気的特性：AC の仕様

典型的な値（T_J = 50°C、VA19 = 1.9V、VPLL19 = 1.9V、VREFO = 1.9V、VTRIG = 1.1V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧（V_{FS} = 0.8 V_{PP}）、f_{IN} = 97MHz, A_{IN} = -1dBFS, f_{CLK} = 1.6GHz、フィルタリングされた 1V_{PP} の正弦波クロックが CLK±に適用、PLL 無効、JMODE = 0、高パフォーマンスモードおよび前景キャリブレーション（特に記載がない場合）；最小値および最大値は、標準供給電圧および動作結合温度範囲内で、*推奨される動作条件* テーブルに基づいています。

パラメータ		テスト条件		最小値	標準値	最大値	単位
FPBW	フルパワー入力帯域幅 (-3dB)(1)	フォアグラウンドキャリブレーション			6		GHz
		バックグラウンドキャリブレーション			6		
XTALK	チャネル間クロストーク	アグレッサー = 400MHz、-1dBFS			-73		dB
		アグレッサー = 1GHz、-1dBFS			-65		
		アグレッサー = 3GHz、-1dBFS			-59		
CER	コード エラー レート	最大 CER、JESD204C インターフェース BER は含みません			10^{-18}		エラー / サンプル
t_{ORR}	オーバーレンジ復帰時間	±1.2V $_{PP-DIFF}$ オーバードライブ入力が 0V $_{PP-DIFF}$ に変化した後の、オーバードライブ入力から正確な変換までの時間。			1		t_{CLK} サイクル
ノイズ $_{DC}$	DC 入力ノイズの標準偏差	入力なし、フォアグラウンド・キャリブレーション、DC オフセットは含まれません			1.8		LSB
NSD	ノイズ スペクトル密度	最大フルスケール電圧（V_{FS} = 1.0V_{PP}）、A_{IN} = -20dBFS			-148		dBFS/Hz
		デフォルトのフルスケール電圧（V_{FS} = 0.8V_{PP}）、A_{IN} = -20dBFS			-147		
NF	ノイズ指数、Z_S = 100Ω	最大フルスケール電圧（V_{FS} = 1.0V_{PP}）、A_{IN} = -20dBFS			26.2		dB
		デフォルトのフルスケール電圧（V_{FS} = 0.8V_{PP}）、A_{IN} = -20dBFS			25.8		
SNR	信号対雑音比（DC、HD2、HD9 を除く）	f_{IN} = 97MHz	A_{IN} = -1dBFS		57.4		dBFS
			A_{IN} = -3dBFS		57.6		
			A_{IN} = -12dBFS		57.8		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		58.7		
		f_{IN} = 497MHz	A_{IN} = -1dBFS		57.2		
			A_{IN} = -3dBFS		57.5		
			A_{IN} = -12dBFS		57.5		
		f_{IN} = 997MHz	A_{IN} = -1dBFS, T_A = -55°C	46			
			A_{IN} = -1dBFS, T_A = 25°C	54	56.8		
			A_{IN} = -1dBFS, T_A = 125°C	54			
			A_{IN} = -3dBFS		57.3		
			A_{IN} = -12dBFS		57.8		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		57.9		
		f_{IN} = 1797MHz	A_{IN} = -1dBFS		56.7		
			A_{IN} = -3dBFS		57.2		
			A_{IN} = -12dBFS		57.8		
		f_{IN} = 2697MHz	A_{IN} = -1dBFS		55.9		
			A_{IN} = -3dBFS		56.7		
			A_{IN} = -12dBFS		57.7		
		f_{IN} = 3497MHz	A_{IN} = -1dBFS		55.3		
			A_{IN} = -3dBFS		56.1		
			A_{IN} = -12dBFS		57.6		

Copyright © 2025 Texas Instruments Incorporated

5.7 電気的特性：AC の仕様 (続き)

典型的な値（T_J = 50°C、VA19 = 1.9V、VPLL19 = 1.9V、VREFO = 1.9V、VTRIG = 1.1V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧（V_{FS} = 0.8 V_{PP}）、f_{IN} = 97MHz, A_{IN} = -1dBFS, f_{CLK} = 1.6GHz、フィルタリングされた 1V_{PP} の正弦波クロックが CLK±に適用、PLL 無効、JMODE = 0、高パフォーマンスモードおよび前景キャリブレーション（特に記載がない場合）；最小値および最大値は、標準供給電圧および動作結合温度範囲内で、*推奨される動作条件* テーブルに基づいています。

パラメータ		テスト条件		最小値	標準値	最大値	単位
SINAD	信号対雑音比と歪み比（DC オフセットを除く）	f_{IN} = 97MHz	A_{IN} = -1dBFS		55.8		dBFS
			A_{IN} = -3dBFS		56.7		
			A_{IN} = -12dBFS		57.7		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		57.4		
		f_{IN} = 497MHz	A_{IN} = -1dBFS		55.8		
			A_{IN} = -3dBFS		56.7		
			A_{IN} = -12dBFS		57.9		
		f_{IN} = 997MHz	A_{IN} = -1dBFS, T_A = -55℃	45			
			A_{IN} = -1dBFS, T_A = 25℃	53	56		
			A_{IN} = -1dBFS, T_A = 125℃	53			
			A_{IN} = -3dBFS		56.8		
			A_{IN} = -12dBFS		57.7		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		57.5		
		f_{IN} = 1797MHz	A_{IN} = -1dBFS		54.6		
			A_{IN} = -3dBFS		56		
			A_{IN} = -12dBFS		57.8		
		f_{IN} = 2697MHz	A_{IN} = -1dBFS		51.3		
			A_{IN} = -3dBFS		54.6		
			A_{IN} = -12dBFS		57.6		
		f_{IN} = 3497MHz	A_{IN} = -1dBFS		48.3		
			A_{IN} = -3dBFS		52.7		
			A_{IN} = -12dBFS		57.5		
ENOB	有効ビット数（DC オフセットは除く）	f_{IN} = 97MHz	A_{IN} = -1dBFS		9		ビット
			A_{IN} = -3dBFS		9.1		
			A_{IN} = -12dBFS		9.3		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		9.2		
		f_{IN} = 497MHz	A_{IN} = -1dBFS		9		
			A_{IN} = -3dBFS		9.1		
			A_{IN} = -12dBFS		9.3		
		f_{IN} = 997MHz	A_{IN} = -1dBFS, T_A = -55℃	7.2			
			A_{IN} = -1dBFS, T_A = 25℃	8.5	9		
			A_{IN} = -1dBFS, T_A = 125℃	8.5			
			A_{IN} = -3dBFS		9.1		
			A_{IN} = -12dBFS		9.3		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		9.3		
		f_{IN} = 1797MHz	A_{IN} = -1dBFS		8.8		
			A_{IN} = -3dBFS		9		
			A_{IN} = -12dBFS		9.3		
		f_{IN} = 2697MHz	A_{IN} = -1dBFS		8.2		
			A_{IN} = -3dBFS		8.8		
			A_{IN} = -12dBFS		9.3		
		f_{IN} = 3497MHz	A_{IN} = -1dBFS		7.7		
			A_{IN} = -3dBFS		8.5		
			A_{IN} = -12dBFS		9.3		

Copyright © 2025 Texas Instruments Incorporated

5.7 電気的特性：AC の仕様 (続き)

典型的な値（T_J = 50°C、VA19 = 1.9V、VPLL19 = 1.9V、VREFO = 1.9V、VTRIG = 1.1V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧（V_{FS} = 0.8 V_{PP}）、f_{IN} = 97MHz, A_{IN} = -1dBFS, f_{CLK} = 1.6GHz、フィルタリングされた 1V_{PP} の正弦波クロックが CLK±に適用、PLL 無効、JMODE = 0、高パフォーマンスモードおよび前景キャリブレーション（特に記載がない場合）；最小値および最大値は、標準供給電圧および動作結合温度範囲内で、*推奨される動作条件* テーブルに基づいています。

パラメータ		テスト条件		最小値	標準値	最大値	単位
SFDR	スプリアスフリー ダイナミックレンジ	f_{IN} = 97MHz	A_{IN} = -1dBFS		64		dBFS
			A_{IN} = -3dBFS		66		
			A_{IN} = -12dBFS		77		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		66		
		f_{IN} = 497MHz	A_{IN} = -1dBFS		64		
			A_{IN} = -3dBFS		66		
			A_{IN} = -12dBFS		79		
		f_{IN} = 997MHz	A_{IN} = -1dBFS, T_A = -55℃	55			
			A_{IN} = -1dBFS, T_A = 25℃	58	66		
			A_{IN} = -1dBFS, T_A = 125℃	58			
			A_{IN} = -3dBFS		67		
			A_{IN} = -12dBFS		77		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		68		
		f_{IN} = 1797MHz	A_{IN} = -1dBFS		61		
			A_{IN} = -3dBFS		65		
			A_{IN} = -12dBFS		76		
		f_{IN} = 2697MHz	A_{IN} = -1dBFS		54		
			A_{IN} = -3dBFS		61		
			A_{IN} = -12dBFS		75		
		f_{IN} = 3497MHz	A_{IN} = -1dBFS		51		
			A_{IN} = -3dBFS		57		
			A_{IN} = -12dBFS		76		
HD2	2 次高調波歪み	f_{IN} = 97MHz	AIN =- 1dBFS		-64		dBFS
			A_{IN} = -3dBFS		-66		
			A_{IN} = -12dBFS		-77		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		-66		
		f_{IN} = 497MHz	A_{IN} = -1dBFS		-65		
			A_{IN} = -3dBFS		-66		
			A_{IN} = -12dBFS		-83		
		f_{IN} = 997MHz	A_{IN} = -1dBFS, T_A = -55℃			-55	
			A_{IN} = -1dBFS, T_A = 25℃		-66	-58	
			A_{IN} = -1dBFS, T_A = 125℃			-58	
			A_{IN} = -3dBFS		-67		
			A_{IN} = -12dBFS		-79		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		-68		
		f_{IN} = 1797MHz	A_{IN} = -1dBFS		-64		
			A_{IN} = -3dBFS		-66		
			A_{IN} = -12dBFS		-76		
		f_{IN} = 2697MHz	A_{IN} = -1dBFS		-61		
			A_{IN} = -3dBFS		-64		
			A_{IN} = -12dBFS		-78		
		f_{IN} = 3497MHz	A_{IN} = -1dBFS		-55		
			A_{IN} = -3dBFS		-60		
			A_{IN} = -12dBFS		-76		

Copyright © 2025 Texas Instruments Incorporated

5.7 電気的特性：AC の仕様 (続き)

典型的な値（T_J = 50°C、VA19 = 1.9V、VPLL19 = 1.9V、VREFO = 1.9V、VTRIG = 1.1V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧（V_{FS} = 0.8 V_{PP}）、f_{IN} = 97MHz, A_{IN} = -1dBFS, f_{CLK} = 1.6GHz、フィルタリングされた 1V_{PP} の正弦波クロックが CLK±に適用、PLL 無効、JMODE = 0、高パフォーマンスモードおよび前景キャリブレーション（特に記載がない場合）；最小値および最大値は、標準供給電圧および動作結合温度範囲内で、*推奨される動作条件* テーブルに基づいています。

パラメータ		テスト条件		最小値	標準値	最大値	単位
HD3	3 次高調波歪み	f_{IN} = 97MHz	A_{IN} = -1dBFS		-67		dBFS
			A_{IN} = -3dBFS		-73		
			A_{IN} = -12dBFS		-85		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		-68		
		f_{IN} = 497MHz	A_{IN} = -1dBFS		-67		
			A_{IN} = -3dBFS		-76		
			A_{IN} = -12dBFS		-81		
		f_{IN} = 997MHz	A_{IN} = -1dBFS, T_A = -55℃			-55	
			A_{IN} = -1dBFS, T_A = 25℃		-70	-58	
			A_{IN} = -1dBFS, T_A = 125℃			-58	
			A_{IN} = -3dBFS		-80		
			A_{IN} = -12dBFS		-80		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		-76		
		f_{IN} = 1797MHz	A_{IN} = -1dBFS		-61		
			A_{IN} = -3dBFS		-67		
			A_{IN} = -12dBFS		-84		
		f_{IN} = 2697MHz	A_{IN} = -1dBFS		-54		
			A_{IN} = -3dBFS		-61		
			A_{IN} = -12dBFS		-77		
		f_{IN} = 3497MHz	A_{IN} = -1dBFS		-51		
			A_{IN} = -3dBFS		-57		
			A_{IN} = -12dBFS		-85		
SPUR	DC、HD2、HD3 を除く最悪のスパー	f_{IN} = 97MHz	AIN =- 1dBFS		-77		dBFS
			A_{IN} = -3dBFS		-79		
			A_{IN} = -12dBFS		-84		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		-79		
		f_{IN} = 497MHz	A_{IN} = -1dBFS		-73		
			A_{IN} = -3dBFS		-75		
			A_{IN} = -12dBFS		-82		
		f_{IN} = 997MHz	A_{IN} = -1dBFS, T_A = -55℃			-60	
			A_{IN} = -1dBFS, T_A = 25℃		-74	-65	
			A_{IN} = -1dBFS, T_A = 125℃			-65	
			A_{IN} = -3dBFS		-77		
			A_{IN} = -12dBFS		-83		
			A_{IN} = -3dBFS, V_{FS} = 1.V_{PP}		-77		
		f_{IN} = 1797MHz	A_{IN} = -1dBFS		-74		
			A_{IN} = -3dBFS		-78		
			A_{IN} = -12dBFS		-84		
		f_{IN} = 2697MHz	A_{IN} = -1dBFS		-71		
			A_{IN} = -3dBFS		-76		
			A_{IN} = -12dBFS		-84		
		f_{IN} = 3497MHz	A_{IN} = -1dBFS		-75		
			A_{IN} = -3dBFS		-77		
			A_{IN} = -12dBFS		-83		

Copyright © 2025 Texas Instruments Incorporated

5.7 電気的特性：AC の仕様 (続き)

典型的な値（T_J = 50°C、VA19 = 1.9V、VPLL19 = 1.9V、VREFO = 1.9V、VTRIG = 1.1V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧（V_{FS} = 0.8 V_{PP}）、f_{IN} = 97MHz, A_{IN} = -1dBFS, f_{CLK} = 1.6GHz、フィルタリングされた 1V_{PP} の正弦波クロックが CLK±に適用、PLL 無効、JMODE = 0、高パフォーマンスモードおよび前景キャリブレーション（特に記載がない場合）；最小値および最大値は、標準供給電圧および動作結合温度範囲内で、*推奨される動作条件* テーブルに基づいています。

パラメータ		テスト条件		最小値	標準値	最大値	単位
IMD3	3 次相互変調歪	f_1= 93MHz、f_2 = 103MHz	A_{IN} =- 7dBFS /トーン		-80		dBFS
			A_{IN} = -9dBFS /トーン		-87		
			A_{IN} = -18dBFS /トーン		-91		
			A_{IN} =- 9dBFS /トーン、V_{FS} = 1.0V_{PP}		-86		
		f_1= 493MHz、f_2 = 503MHz	A_{IN} =- 7dBFS /トーン		-84		
			A_{IN} = -9dBFS /トーン		-84		
			A_{IN} = -18dBFS /トーン		-88		
		f_1= 993MHz、f_2 = 1003MHz	A_{IN} =- 7dBFS /トーン		-77		
			A_{IN} = -9dBFS /トーン		-80		
			A_{IN} = -18dBFS /トーン		-85		
			A_{IN} =- 9dBFS /トーン、V_{FS} = 1.0V_{PP}		-78		
		f_1= 1793MHz、f_2 = 1803MHz	A_{IN} =- 7dBFS /トーン		-68		
			A_{IN} = -9dBFS /トーン		-73		
			A_{IN} = -18dBFS /トーン		-91		
		f_1= 2693MHz、f_2 = 2703MHz	A_{IN} =- 7dBFS /トーン		-56		
			A_{IN} = -9dBFS /トーン		-63		
			A_{IN} = -18dBFS /トーン		-83		
		f_1= 3493MHz、f_2= 3503MHz	A_{IN} =- 7dBFS /トーン		-52		
			A_{IN} = -9dBFS /トーン		-57		
			A_{IN} = -18dBFS /トーン		-90		

(1) フルパワー入力帯域幅（FPBW）は、ADC の再構築された出力が、低い入力周波数において、フルスケール入力信号の電力より 3dB 下に低下した入力周波数として定義されます。使用可能な帯域幅は、-3dB のフルパワー入力帯域幅を超える場合があります。

Copyright © 2025 Texas Instruments Incorporated

5.8 スイッチング特性

以下における標準値：T_J = 25°C、VA19 = 1.9V、VPLL19 = 1.9V、VREFO = 1.9V、VTRIG = 1.1V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧 (V_{FS} = 0.8V_{PP})、f_{IN} = 97MHz、A_{IN} = –1dBFS、f_{CLK} = 1.6GHz、フィルタ処理された 1V_{PP} 正弦波クロックが CLK± に印加される場合、PLL ディスエーブル、JMODE = 0、高性能モードおよびフォアグラウンド キャリブレーション、SER_PE = 4 (特に断りのない限り)。VA11Q と VCLK11 のノイズ抑制は CPLL オン時。最小値と最大値は、公称電源電圧および*推奨動作条件*表に記載された動作接合部温度範囲での値。

パラメータ		テスト条件	最小値	標準値	最大値	単位
ADC サンプリング クロック						
t_{AD}	クロックの立ち下がりエッジからサンプリングの瞬間までのサンプリング (アパーチャ) 遅延	PLL ディスエーブル、CLK±		305		ps
		PLL イネーブル、CLK±		314		ps
		PLL イネーブル、SE_CLK		332		ps
t_{AJ}	アパーチャ ジッタ、rms	ディザリング ディスエーブル (ADC_DITH_EN = 0)		50		fs
		ディザリング イネーブル (ADC_DITH_EN = 1)		60		fs
$t_{J(PLL)}$	PLL 付加ジッタ、rms	PLL イネーブル (PLL_EN = 1)、f_{PLLREF} = 50MHz		358		fs
$t_{J(PLL)}$	PLL 付加ジッタ、rms	PLL イネーブル (PLL_EN = 1)、f_{PLLREF} = 200MHz		340		fs
クロックおよびトリガ出力 (PLLREFO±、TRIGOUT±、ORC、ORD)						
$f_{PLLREFO}$	PLLREFO±周波数範囲	PLL イネーブル、PLLREFO± イネーブル	50		500	MHz
$f_{DIVREFO}$	分周された PLL 基準クロックを出力するようプログラムされた場合の、ORC および ORD の周波数範囲	PLL イネーブル、DIVREF_C_MODE > 0、DIVREF_D_MODE > 0	12.5		100	MHz
$t_{PW(TRIGOUT)}$	最小 TRIGOUT± パルス幅	TRIGOUT_SRC = 0 (TMSTP±)		1		t_{CLK}
$f_{TRIGOUT}$	TRIGOUT±周波数範囲	TRIGOUT_SRC = 1 (S-PLL)			800	MHz
$t_{PD(REF)}$	PLLREFO± への入力クロック伝搬遅延	PLLREF_SE = 0 (CLK± 使用)、公称電源電圧、T_A = 25°C	280	359	440	ps
		PLLREF_SE = 1 (SE_CLK 使用)、公称電源電圧、T_A = 25°C	380	469	560	
$t_{PD-TEMPCO}$	PLLREFO± への入力クロック伝搬遅延温度係数	PLLREF_SE = 0 (CLK± 使用)、公称電源電圧	250	330	420	fs/°C
		PLLREF_SE = 1 (SE_CLK 使用)、公称電源電圧	280	365	450	
$t_{PD-VOLTCO}$	PLLREFO± への入力クロック伝搬遅延電源電圧係数	PLLREF_SE = 0 (CLK± 使用)、T_A = 25°C	-533	-397	-186	fs/mV
		PLLREF_SE = 1 (SE_CLK 使用)、T_A = 25°C	-480	-372	-180	
シリアル データ出力 (D[7:0]+, D[7:0]–)						
f_{SERDES}	シリアル化出力ビット レート		2.5		17.16	Gbps
UI	シリアル化出力ユニット間隔		58.3		400	ps
t_{TLH}	Low から High への遷移時間 (差動)	20% ～ 80%、8H8L テスト パターン、16.5Gbps		28		ps
t_{THL}	High から Low への遷移時間 (差動)	20% ～ 80%、8H8L テスト パターン、16.5Gbps		28		ps
DDJ	データ依存ジッタ、ピーク ツー ピーク	PRBS-7 テスト パターン、JMODE = 0、12.8Gbps		8.56		ps
		PRBS-9 テスト パターン、JMODE = 4、16.5Gbps		6.9		
		PRBS-9 テスト パターン、JMODE = 8、17.16Gbps		9.28		
DCD	偶数奇数ジッタ、ピーク ツー ピーク	PRBS-7 テスト パターン、JMODE = 0、12.8Gbps		0.2		ps
		PRBS-9 テスト パターン、JMODE = 4、16.5Gbps		0.01		
		PRBS-9 テスト パターン、JMODE = 8、17.16Gbps		0.05		
EBUJ	実効無相関ジッタ、ピーク ツー ピーク	PRBS-7 テスト パターン、JMODE = 0、12.8Gbps		1.63		ps
		PRBS-9 テスト パターン、JMODE = 4、16.5Gbps		0.85		
		PRBS-9 テスト パターン、JMODE = 8、17.16Gbps		3.12		
RJ	無制限のランダム ジッタ、RMS	8H8L テスト パターン、JMODE = 0、12.8Gbps		0.88		ps
		8H8L テスト パターン、JMODE = 4、16.5Gbps		0.72		
		8H8L テスト パターン、JMODE = 8、17.16Gbps		1		
TJ	総ジッタ、ピーク ツー ピーク、BER = 1e-15 に対して定義された無制限のランダム ジッタ部分 (Q=7.94)	PRBS-7 テスト パターン、JMODE = 0、12.8Gbps		21.35		ps
		PRBS-9 テスト パターン、JMODE = 4、16.5Gbps		18.01		
		PRBS-9 テスト パターン、JMODE = 8、17.16Gbps		23.78		

Copyright © 2025 Texas Instruments Incorporated

5.8 スイッチング特性 (続き)

以下における標準値:T_J = 25°C、VA19 = 1.9V、VPLL19 = 1.9V、VREFO = 1.9V、VTRIG = 1.1V、VA11 = 1.1V、VD11 = 1.1V、デフォルトのフルスケール電圧 (V_{FS} = 0.8V_{PP})、f_{IN} = 97MHz、A_{IN} = –1dBFS、f_{CLK} = 1.6GHz、フィルタ処理された 1V_{PP} 正弦波クロックが CLK± に印加される場合、PLL ディスエーブル、JMODE = 0、高性能モードおよびフォアグラウンド キャリブレーション、SER_PE = 4 (特に断りのない限り)。VA11Q と VCLK11 のノイズ抑制は CPLL オン時。最小値と最大値は、公称電源電圧および*推奨動作条件*表に記載された動作接合部温度範囲での値。

パラメータ		テスト条件	最小値	標準値	最大値	単位
ADC コアのレイテンシ						
t_{ADC}	基準サンプルをサンプリングする CLK± エッジから、SYSREF を High にサンプリングする CLK± エッジまでの決定論的な遅延(1)	JMODE = 0		-2		t_{CLK} サイクル
		JMODE = 1		1		
		JMODE = 2		-1		
		JMODE = 3		-1		
		JMODE = 4		-1		
		JMODE = 5		-1		
		JMODE = 6		1		
		JMODE = 7		-1		
		JMODE = 8		-1		
		JMODE = 9		-1		
		JMODE = 10		-2		
		JMODE = 11		-2		
		JMODE = 12		-1		
		JMODE = 13		2		
		JMODE = 14		-2		
		JMODE = 15		-2		
JESD204C およびシリアライザのレイテンシ						
t_{TX}	SYSREF High をサンプリングする CLK± 立ち上がりエッジから、t_{ADC} の(2)リファレンス サンプルに対応する JESD204C シリアル出力レーン上のマルチフレーム (8B/10B エンコード) または拡張マルチブロック (64B/66B エンコード) の最初のビットまでの遅延	JMODE = 0	49.8		56.6	t_{CLK} サイクル
		JMODE = 1	45.5		52.8	
		JMODE = 2	45.5		52.8	
		JMODE = 3	44.3		50.5	
		JMODE = 4	42.1		48	
		JMODE = 5	42.1		48	
		JMODE = 6	53.3		60.2	
		JMODE = 7	53.3		60.2	
		JMODE = 8	47.1		54.2	
		JMODE = 9	58.4		65	
		JMODE = 10	56.2		63.1	
		JMODE = 11	66.3		74.5	
		JMODE = 12	87.2		94.8	
		JMODE = 13	72.9		83.9	
		JMODE = 14	61.7		68.1	
		JMODE = 15	94		103.3	
シリアル プログラミング インターフェイス (SDO)						
$t_{(OZD)}$	SDO がトライステートから有効なデータに遷移するための読み出し動作中の、16 番目の SCLK サイクルの立ち下がりエッジからの遅延		1			ns
$t_{(ODZ)}$	SDO がトライ ステートから有効なデータに遷移するための $\overline{SCS}$ 立ち上がりエッジからの遅延				10	ns
$t_{(OD)}$	読み出し動作中の SCLK の立ち下がりエッジから有効な SDO までの遅延		1		10	ns

(1) t_{ADC} は、正確で丸みを持たない、確定的な遅延です。SYSREF High キャプチャ ポイントの後にリファレンス サンプルがサンプリングされる場合、遅延は負の値になります。この場合、合計レイテンシは t_{TX} で与えられる遅延よりも小さくなります。

Copyright © 2025 Texas Instruments Incorporated

(2) t_{TX} に与えられる値には、確定的な遅延と非確定的な遅延が含まれます。プロセス、温度、および電圧によって、遅延時間は変化します。JESD204B は、サブクラス 1 モードで動作時のこれらの変動を考慮することで、確定的なレイテンシを実現します。ローカル マルチフレーム クロック (LMFC) サイクルの無効な領域内で弾性バッファの解放ポイントが発生しないように、適切なレシーバ RBD 値を選択する必要があります。

Copyright © 2025 Texas Instruments Incorporated

5.9 タイミング要件

			最小値	公称値	最大値	単位
ADC サンプリング クロック						
f_S	ADC コア サンプリング クロック周波数	高性能モード	500(1)		1600(1)	MHz
		低電力モード			1000(1)	
	ADC コアの最小サンプリング クロック周波数	低電力モード		500(1)		
t_S	ADC コア サンプリング クロック周期	高性能モード	625(1)		2000(1)	ps
		低電力モード	1000(1)			ps
	ADC コアの最大サンプリング クロック周期	低電力モード		2000(1)		ps
クロック入力 (CLK+、CLK–、SE_CLK)						
f_{CLK}	CLK± 入力周波数	PLL ディセーブル	500		1600	MHz
		PLL イネーブル、PLLREF_SE = 0	50		500	
f_{SE_CLK}	SE_CLK 入力周波数	PLL イネーブル、PLLREF_SE = 1	50		500	MHz
$DC_{(CLKMIN)}$	最小入力クロック デューティ サイクル (CLK± および SE_CLK)	入力クロック デューティ サイクル (CLK± および SE_CLK)		40%		
$DC_{(CLKMAX)}$	最大入力クロック デューティ サイクル (CLK± および SE_CLK)			60%		
フェーズ ロック ループ (PLL) と電圧制御発振器 (VCO)						
f_{PLLPFD}	PLL 位相周波数検出器 (PFD) 周波数	PLL イネーブル	50		500	MHz
f_{VCO}	閉ループ電圧制御発振器 (VCO) 周波数	PLL イネーブル	7200		8200	MHz
SYSREF (SYSREF+, SYSREF–)						
$t_{INV(SYSREF)}$	SYSREF_POS ステータス レジスタで測定された、セットアップ時間またはホールド時間の違反を示す CLK± 周期の無効な SYSREF キャプチャ領域の幅(2)			250		ps
$t_{INV(TEMP)}$	温度範囲全体にわたる無効な SYSREF キャプチャ領域のドリフト、正の数値は SYSREF_POS レジスタの MSB へのシフトを示す			0.05		ps/°C
$t_{INV(VA11)}$	VA11 電源電圧に対する無効な SYSREF キャプチャ領域のドリフト、正の数値は SYSREF_POS レジスタの MSB へのシフトを示す			-0.17		ps/mV
$t_{STEP(SP)}$	SYSREF_POS LSB の遅延	SYSREF_ZOOM = 0		125		ps
		SYSREF_ZOOM = 1		69		
$DC_{(SYSREF)}$	周期的な SYSREF 信号を使用する場合の SYSREF デューティ サイクル (アサート)			50%	55%	
$t_{(PH_SYS)}$	SYSREF± 立ち上がりエッジ イベント後の SYSREF± の最小アサート期間			4		ns
JESD204C 同期タイミング ($\overline{SYNCSE}$)						
シリアル プログラミング インターフェイス (SCLK、SDI、$\overline{SCS}$)						
$f_{CLK(SCLK)}$	シリアル クロック周波数		0		15.625	MHz
$t_{(PH)}$	シリアル クロックの High 値パルスの幅			32		ns
$t_{(PL)}$	シリアル クロックの Low 値のパルス幅			32		ns
$t_{SU(\overline{SCS})}$	$\overline{SCS}$ から SCLK 立ち上がりエッジまでのセットアップ時間			25		ns
$t_{H(\overline{SCS})}$	SCLK 立ち上がりエッジから $\overline{SCS}$ までのホールド時間			3		ns
$t_{SU(SDI)}$	SDI から SCLK 立ち上がりエッジまでのセットアップ時間			25		ns
$t_{H(SDI)}$	SCLK 立ち上がりエッジから SDI までのホールド時間			3		ns

(1) 表の中で、機能上、より小さな範囲に制限される場合を除く、プログラムされた JMODE に基づくクワッド チャネル デバイスの動作モード。

(2) SYSREF_POS を使用して、SYSREF キャプチャの最適な SYSREF_SEL 値を選択できます。SYSREF ウィンドウ処理の詳細については、「SYSREF ウィンドウ処理」セクションを参照してください。$t_{INV(SYSREF)}$ で指定される無効領域は、SYSREF_SEL で測定された CLK± 周期 (t_{CLK}) の部分を示し、セットアップおよびホールド違反の原因となる可能性があります。公称条件 (最適な SYSREF_SEL を見つけるために使用) からシステム動作条件全体にわたり、SYSREF± と CLK± とのタイミング スキューが、SYSREF_POS で選択された SYSREF_SEL 位置で無効な領域を生じないことを確認します。無効な領域が発生する場合、CLK± と SYSREF± との間のスキューを追跡するために、温度に依存する SYSREF_SEL 選択が必要になることがあります。

Copyright © 2025 Texas Instruments Incorporated

5.10 代表的特性

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL_{REF} = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。

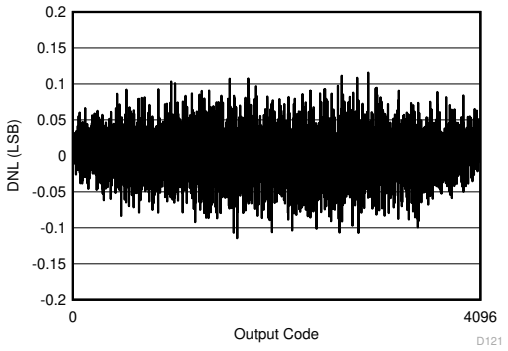


図 5-1. DNL とコードとの関係

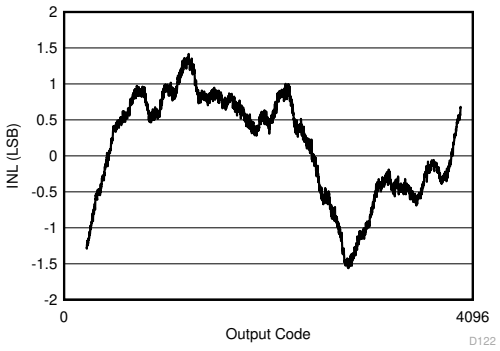
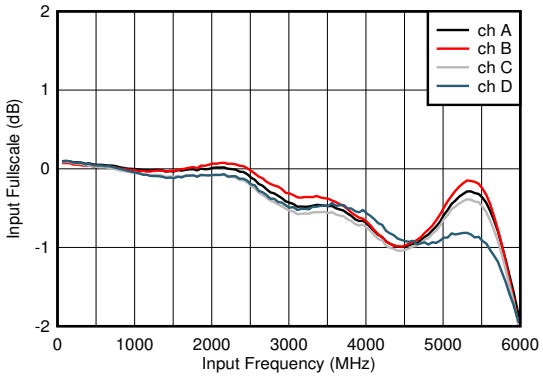
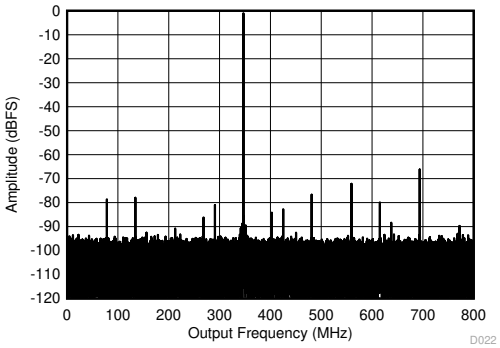


図 5-2. INL とコードとの関係



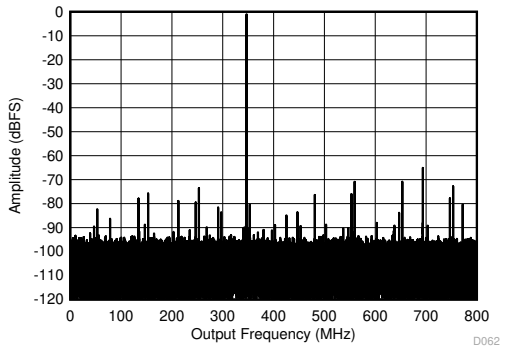
0Hz を基準とします

図 5-3. 入力フルスケールと周波数の関係



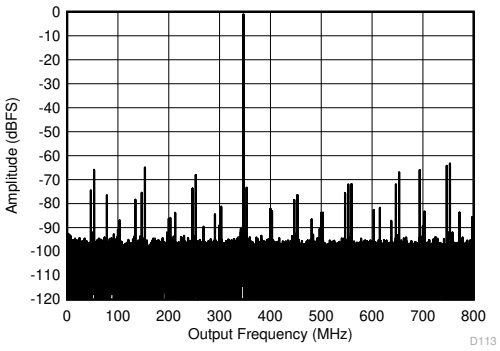
ハイパワー モード

図 5-4. 347MHz、-1dBFS でのシングルトーン FFT



ハイパワーモード、C-PLL オン

図 5-5. 347MHz、-1dBFS でのシングルトーン FFT



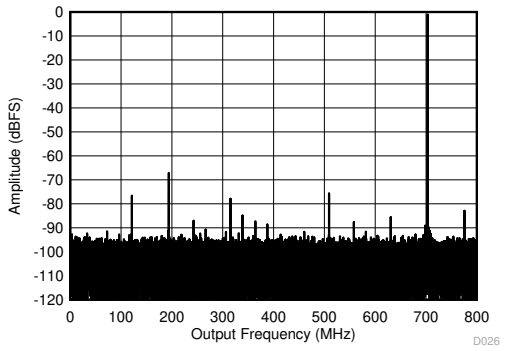
ハイパワーモード、C-PLL オン、ノイズ抑制オフ

図 5-6. 347MHz、-1dBFS でのシングルトーン FFT

Copyright © 2025 Texas Instruments Incorporated

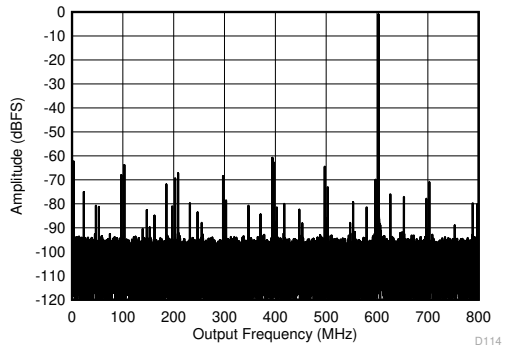
5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL$_{REF}$ = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。



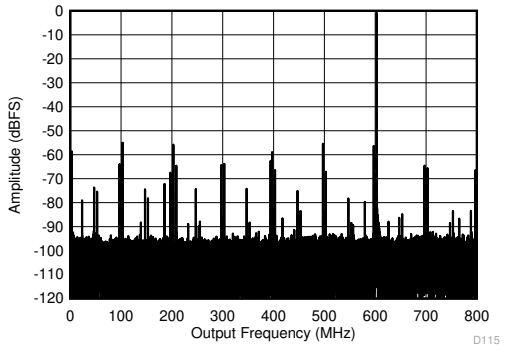
ハイパワー モード

図 5-7. 847MHz、-1dBFS でのシングルトーン FFT



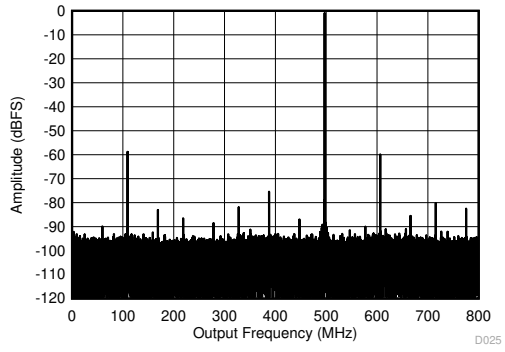
ハイパワーモード、C-PLL オン

図 5-8. 997MHz、-1dBFS でのシングルトーン FFT



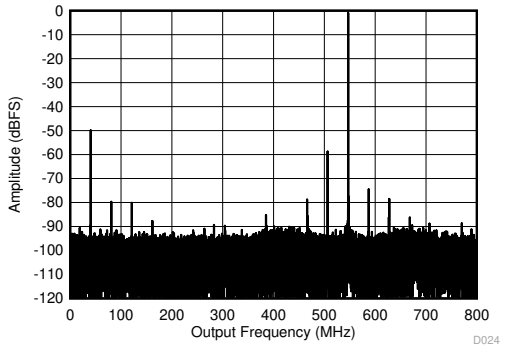
ハイパワーモード、C-PLL オン、ノイズ抑制オフ

図 5-9. 997MHz、-1dBFS でのシングルトーン FFT



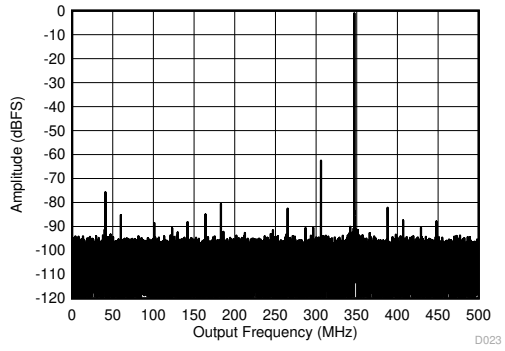
ハイパワー モード

図 5-10. 1797MHz、-1dBFS でのシングルトーン FFT



ハイパワー モード

図 5-11. 3797MHz、-1dBFS でのシングルトーン FFT



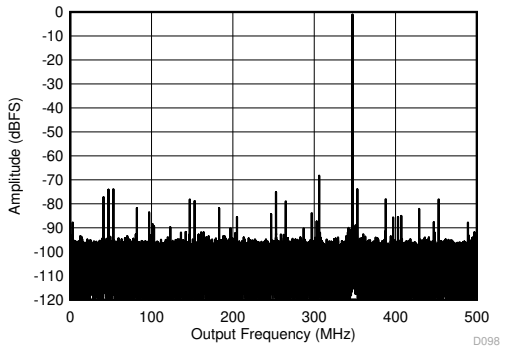
低消費電力モード、F_S = 1000MSPS

図 5-12. 347MHz、-1dBFS でのシングルトーン FFT

Copyright © 2025 Texas Instruments Incorporated

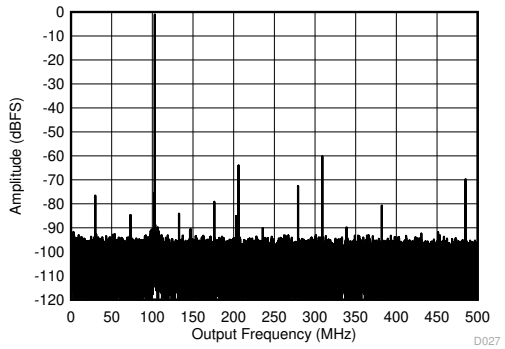
5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL$_{REF}$ = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。



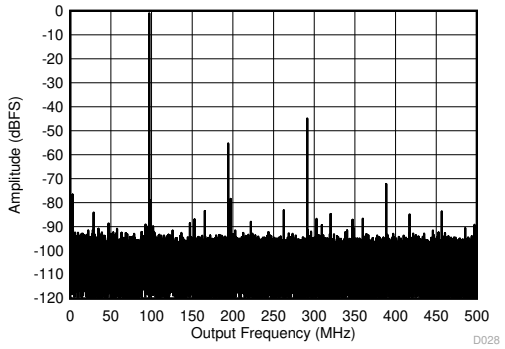
C-PLL オン、低消費電力モード、F $_S$ = 1000MSPS

図 5-13. 347MHz、-1dBFS でのシングルトーン FFT



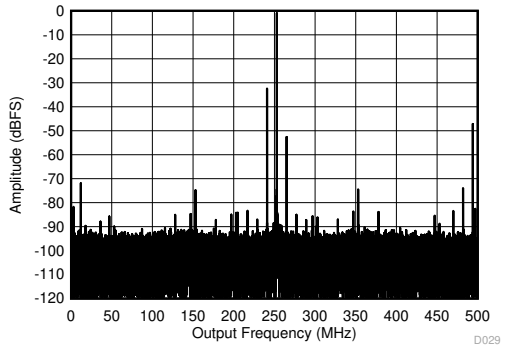
低消費電力モード、F $_S$ = 1000MSPS

図 5-14. 897MHz、-1dBFS でのシングルトーン FFT



低消費電力モード、F $_S$ = 1000MSPS

図 5-15. 2097MHz、-1dBFS でのシングルトーン FFT



低消費電力モード、F $_S$ = 1000MSPS

図 5-16. 3797MHz、-1dBFS でのシングルトーン FFT

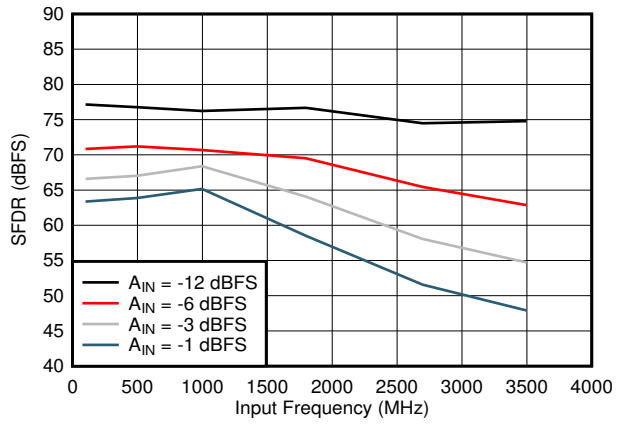


図 5-17. SFDR と入力周波数との関係

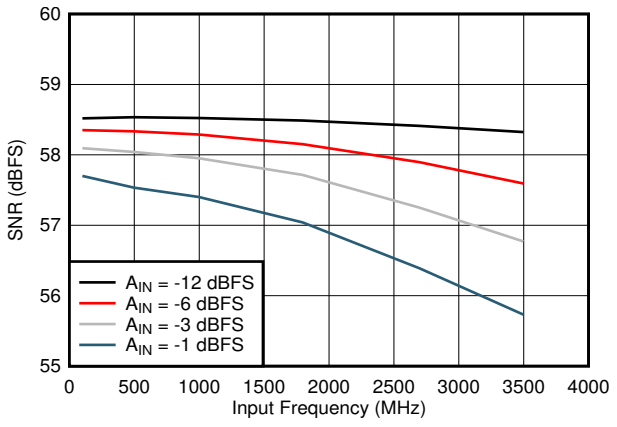


図 5-18. SNR と入力周波数との関係

5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL_{REF} = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。

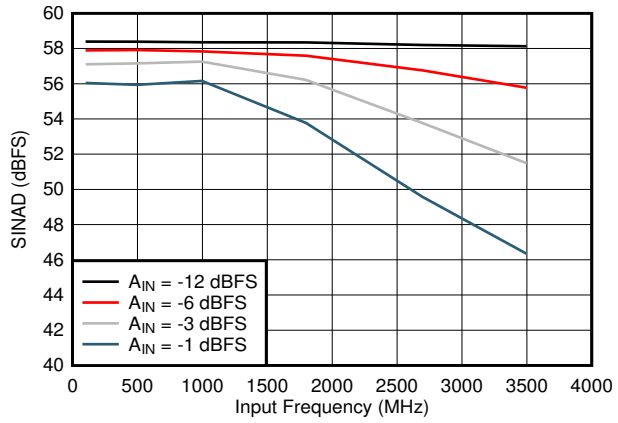


図 5-19. SINAD と入力周波数との関係

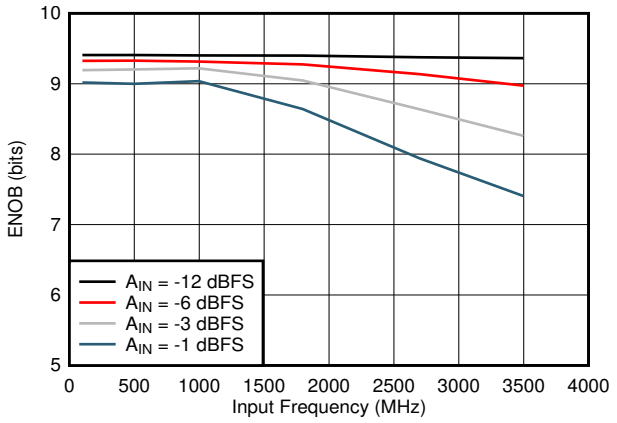


図 5-20. ENOB と入力周波数との関係

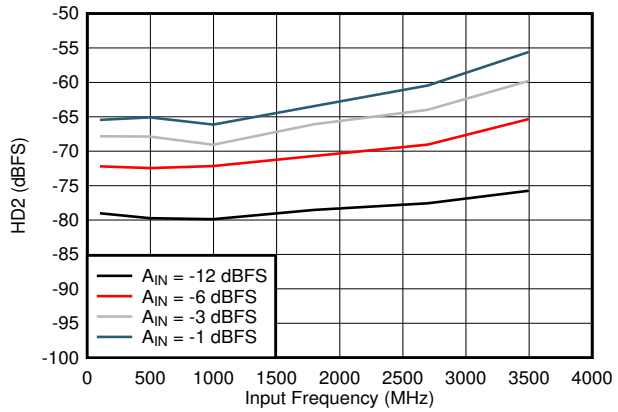


図 5-21. HD2 と入力周波数との関係

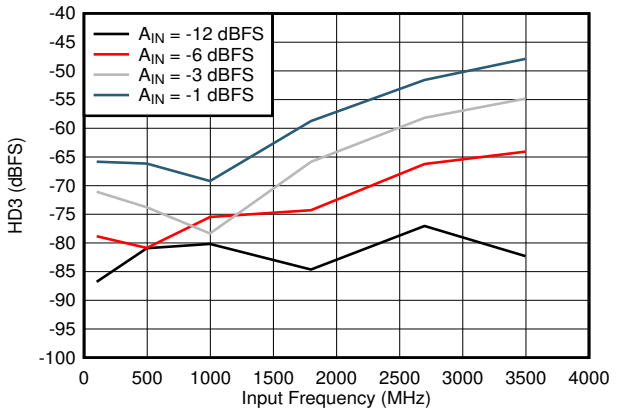


図 5-22. HD3 と入力周波数との関係

Copyright © 2025 Texas Instruments Incorporated

5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL_{REF} = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。

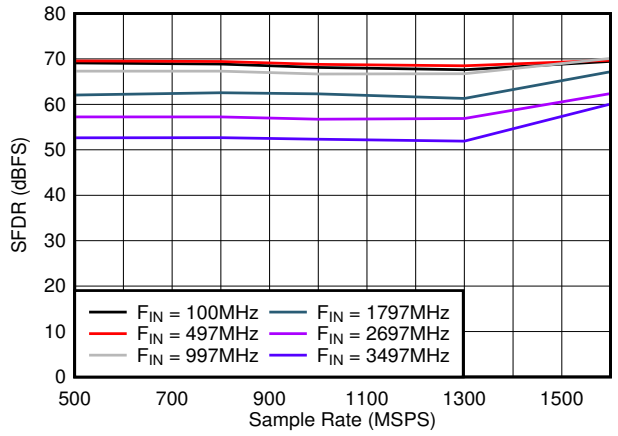


図 5-23. SFDR とサンプリング レートとの関係

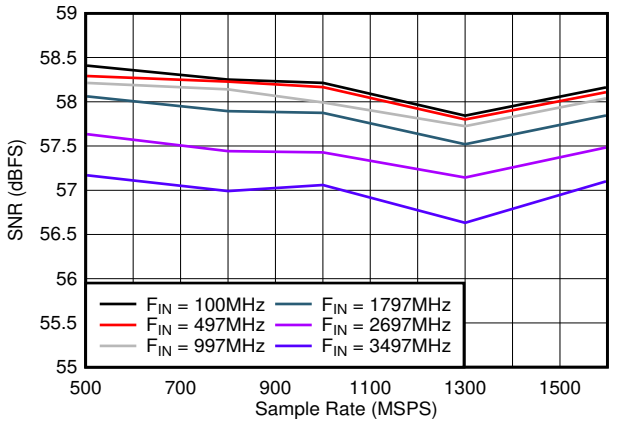


図 5-24. SNR とサンプリング レートとの関係

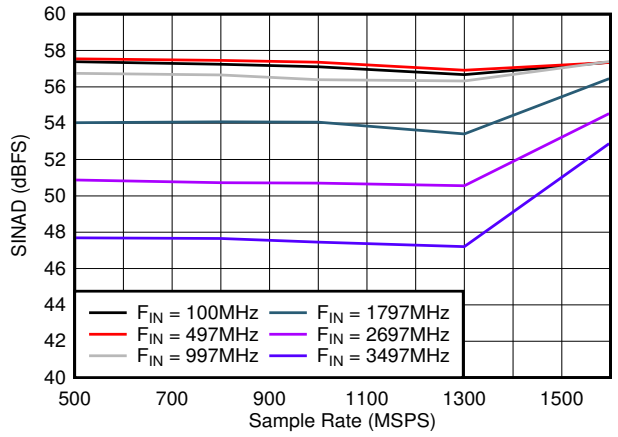


図 5-25. SINAD とサンプリング レートとの関係

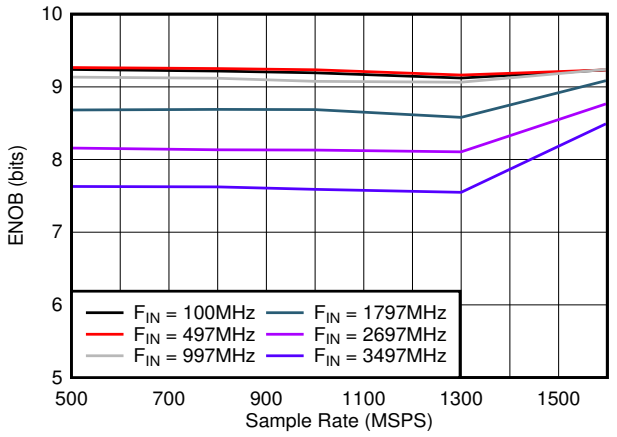
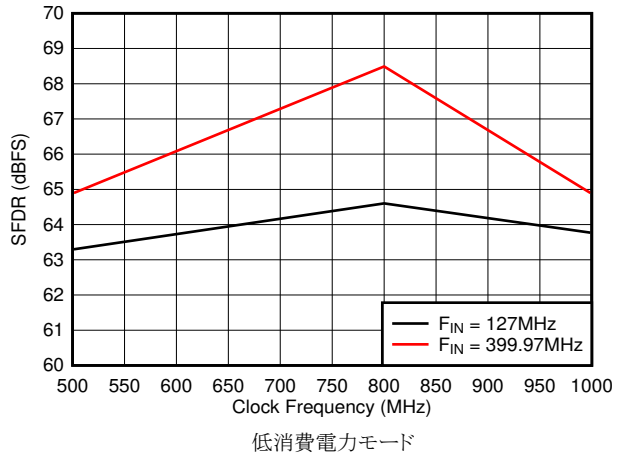


図 5-26. ENOB とサンプリング レートとの関係

Copyright © 2025 Texas Instruments Incorporated

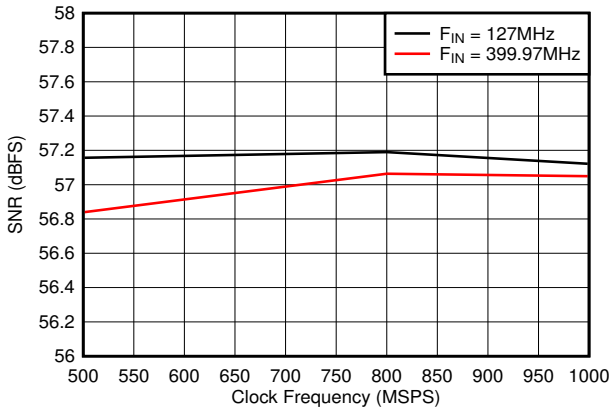
5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL_{REF} = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。



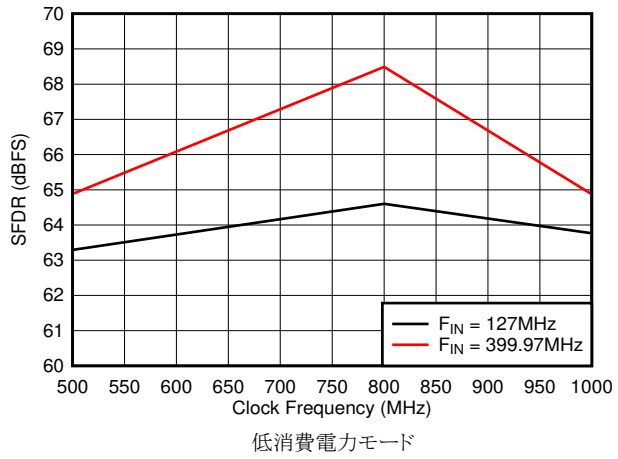
低消費電力モード

図 5-27. SFDR とサンプリング レートとの関係



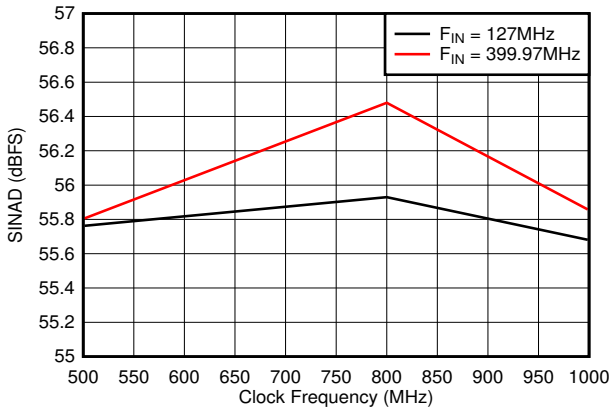
低消費電力モード

図 5-28. SNR とサンプリング レートとの関係



低消費電力モード

図 5-29. SFDR とサンプリング レートとの関係



低消費電力モード

図 5-30. SINAD とサンプリング レートとの関係

Copyright © 2025 Texas Instruments Incorporated

5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL$_{REF}$ = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。

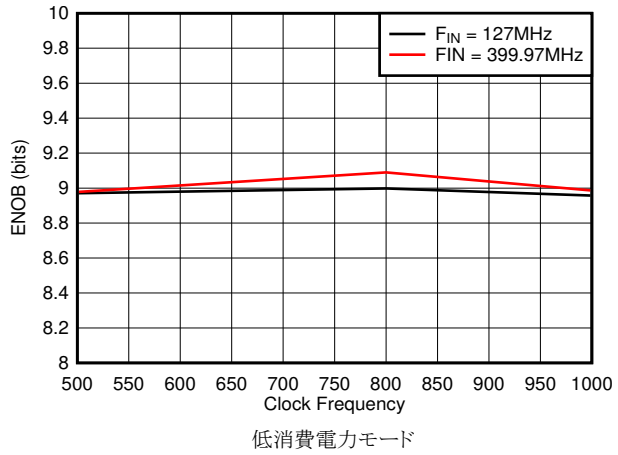


図 5-31. ENOB とサンプリング レートとの関係

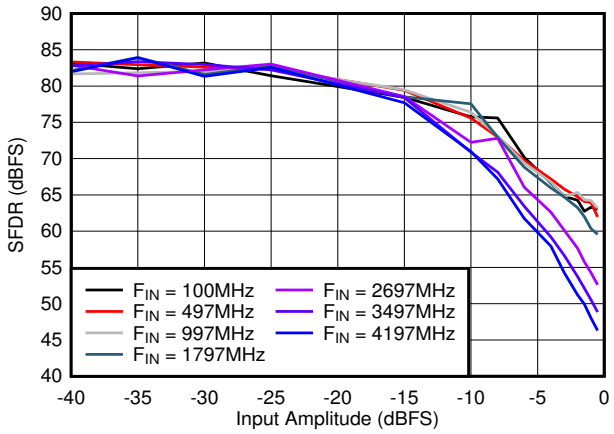


図 5-32. SFDR と A_{IN} との関係

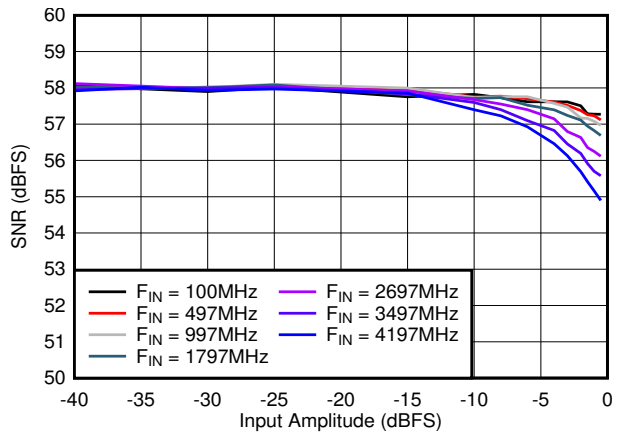


図 5-33. SNR と A_{IN} との関係

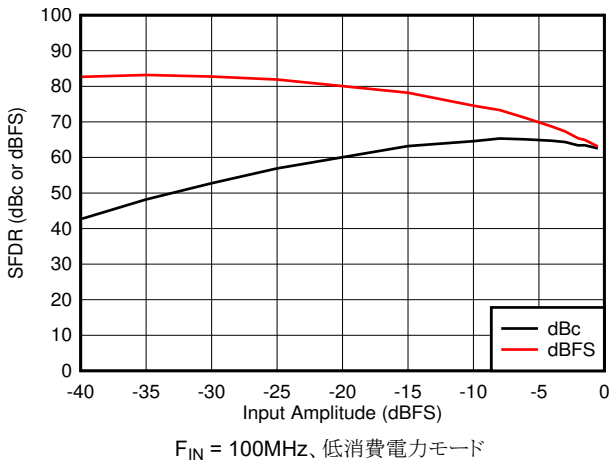
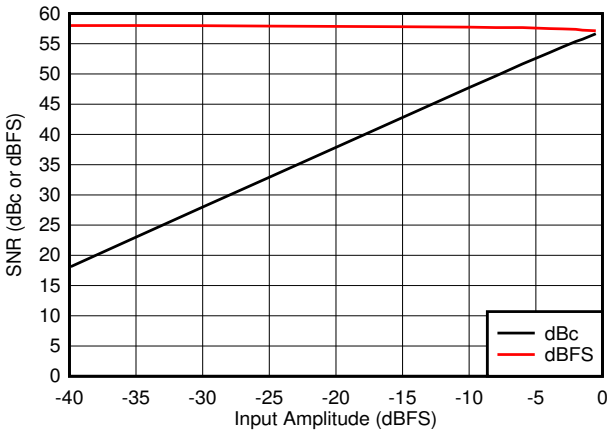


図 5-34. SFDR と A_{IN} との関係

5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL_{REF} = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。



F_{IN} = 100MHz、低消費電力モード

図 5-35. SNR と A_{IN} との関係

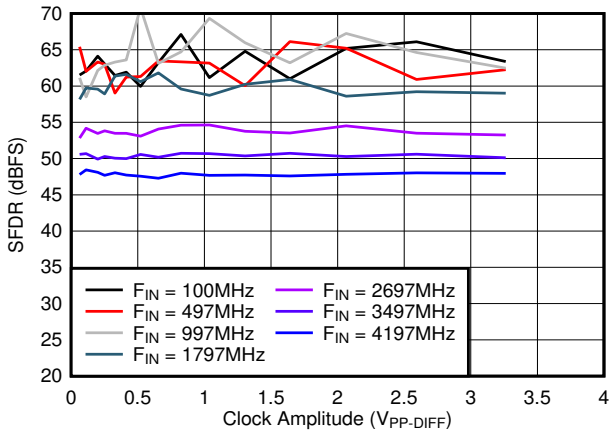


図 5-36. SFDR と A_{CLK} との関係

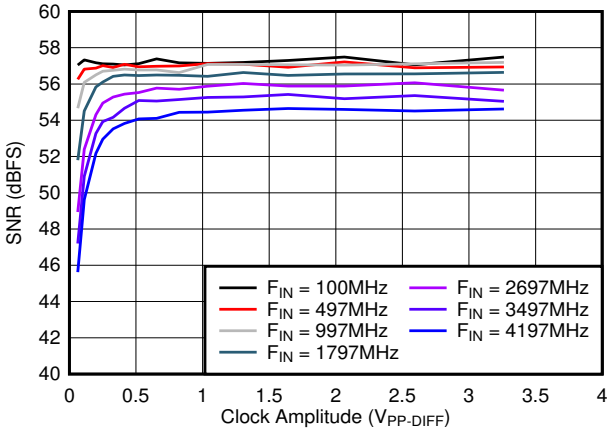
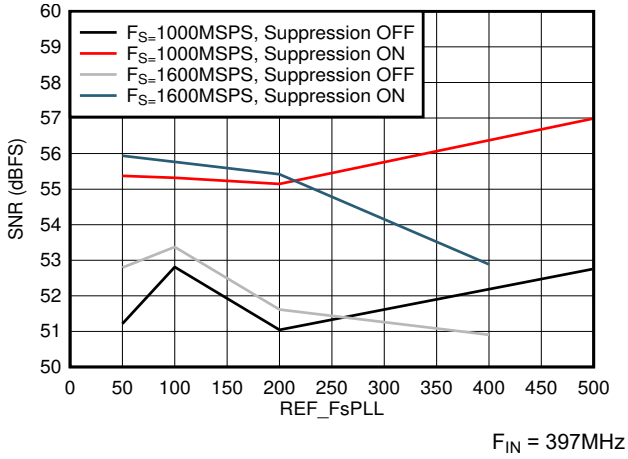


図 5-37. SNR と A_{CLK} との関係



F_{IN} = 397MHz

図 5-38. SNR と F_{REF} および抑制との関係

Copyright © 2025 Texas Instruments Incorporated

5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL_{REF} = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。

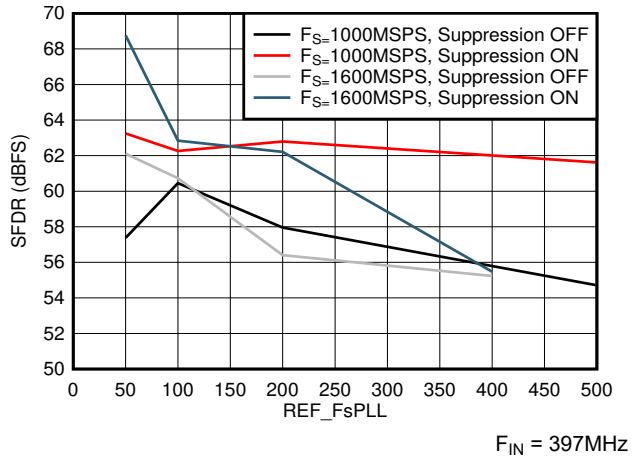


図 5-39. SFDR と F_{REF} および抑制との関係

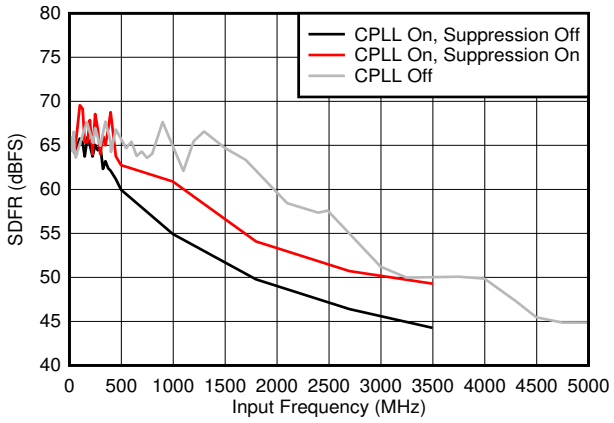


図 5-40. SFDR と F_{IN} および C-PLL モード

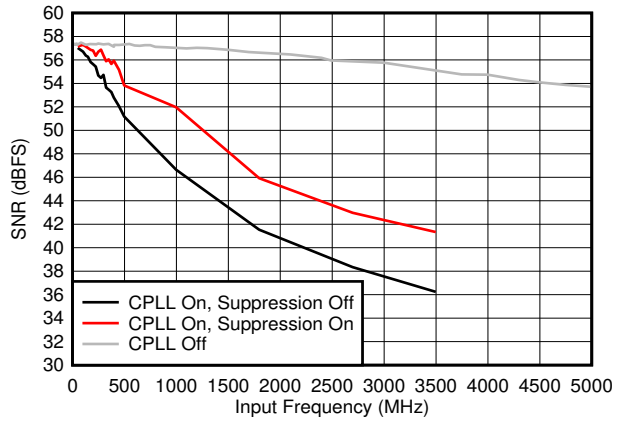


図 5-41. SNR と F_{IN} および C-PLL モード

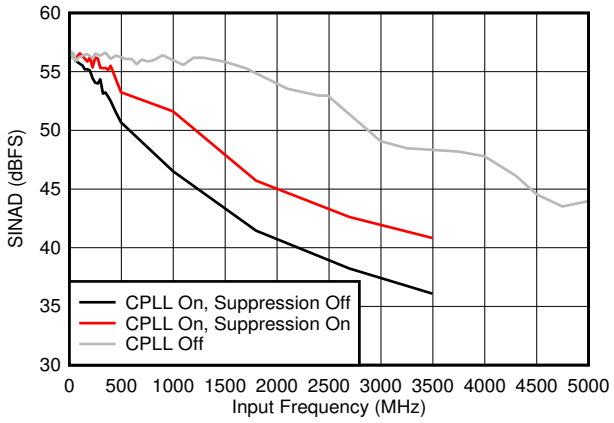


図 5-42. SINAD と F_{IN} および C-PLL モード

5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL_{REF} = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。

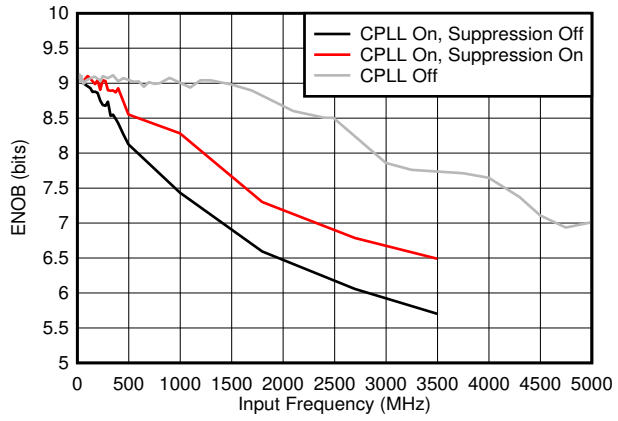


図 5-43. ENOB と F_{IN} および C-PLL モード

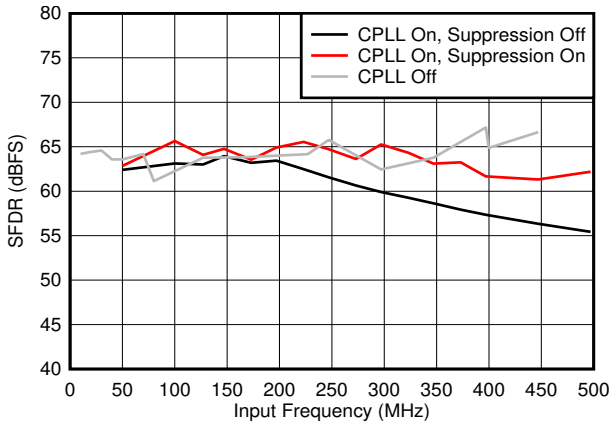


図 5-44. SFDR と F_{IN} および C-PLL モード

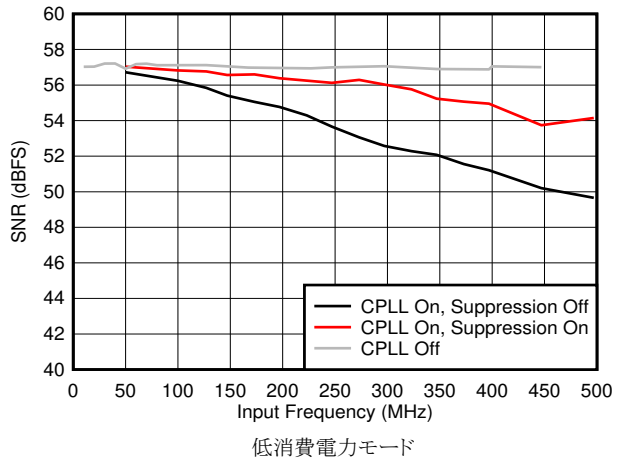


図 5-45. SNR と F_{IN} および C-PLL モード

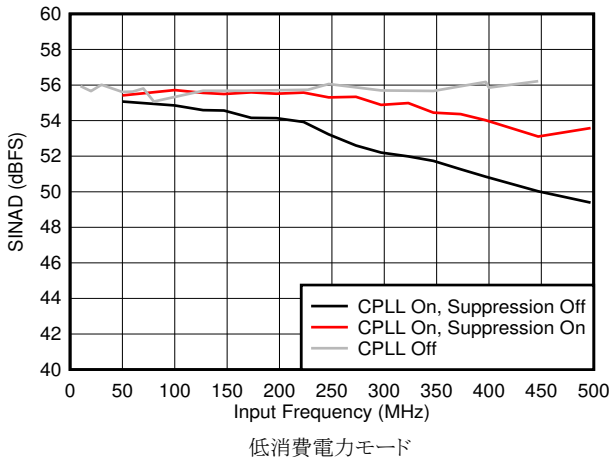


図 5-46. SINAD と F_{IN} および C-PLL モード

Copyright © 2025 Texas Instruments Incorporated

5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL$_{REF}$ = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。

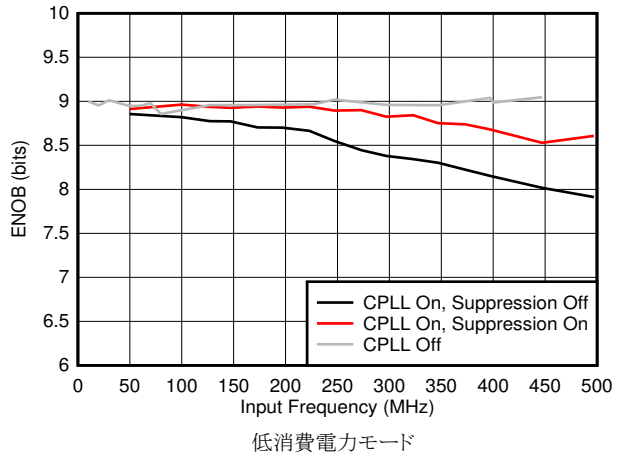


図 5-47. ENOB と F_{IN} および C-PLL モード

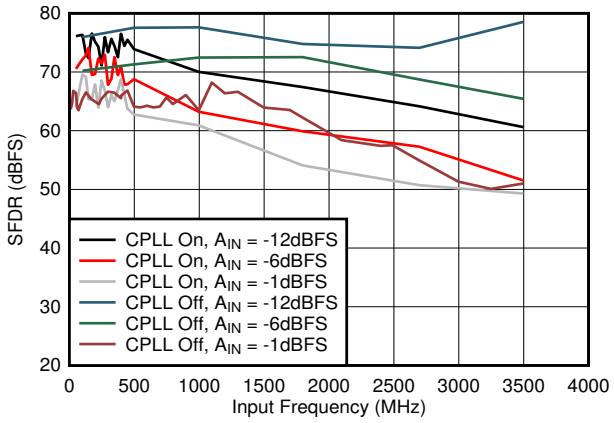


図 5-48. SFDR と A_{IN} および C-PLL の関係

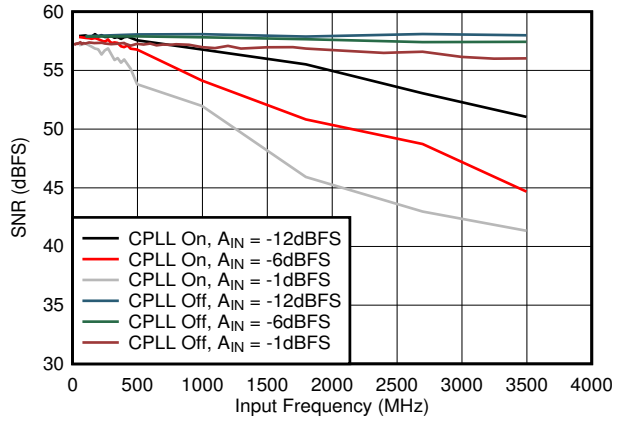


図 5-49. SNR と A_{IN} および C-PLL の関係

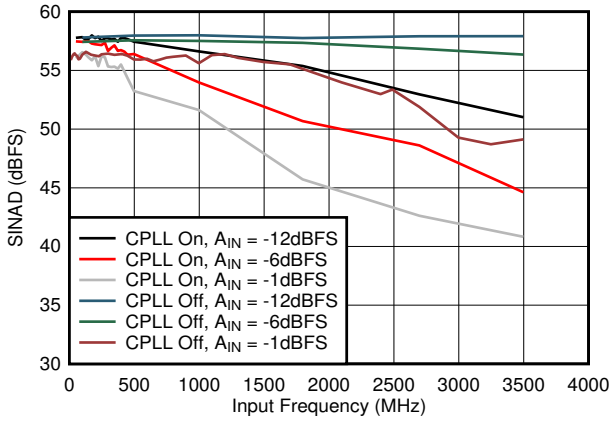


図 5-50. SINAD と A_{IN} および C-PLL の関係

5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL_{REF} = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。

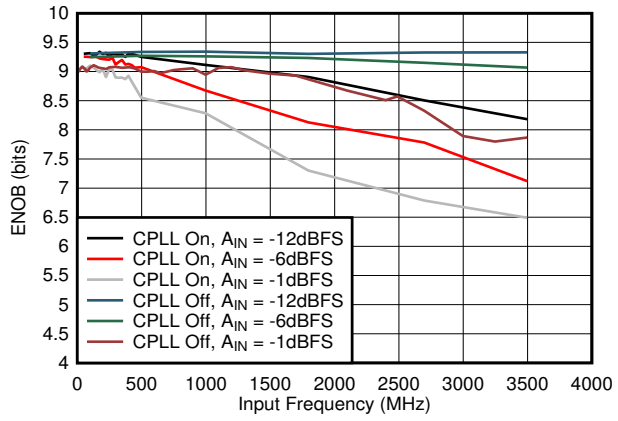


図 5-51. ENOB と A_{IN} および C-PLL との関係

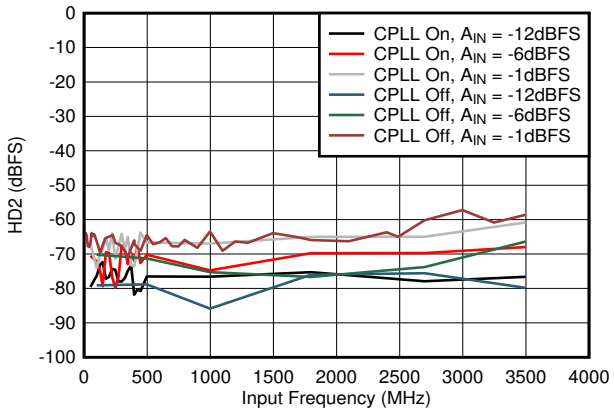


図 5-52. HD2 と A_{IN} および C-PLL の比較

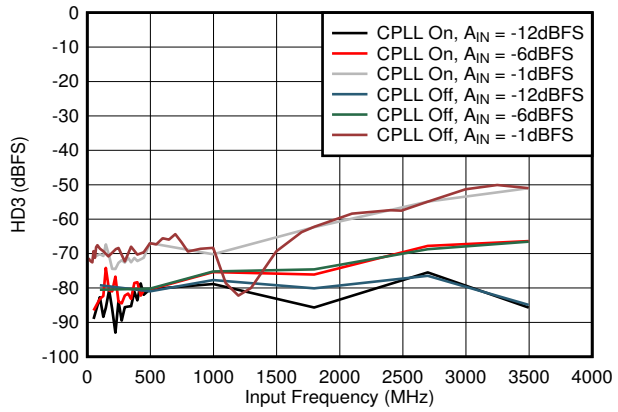


図 5-53. HD3 と A_{IN} および C-PLL の比較

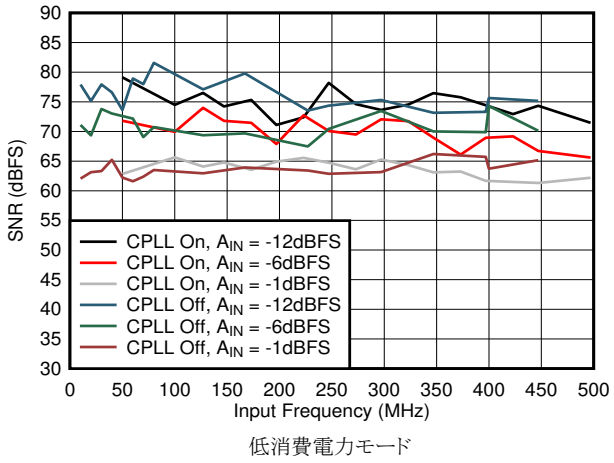


図 5-54. SFDR と A_{IN} および C-PLL の関係

Copyright © 2025 Texas Instruments Incorporated

5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL_{REF} = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。

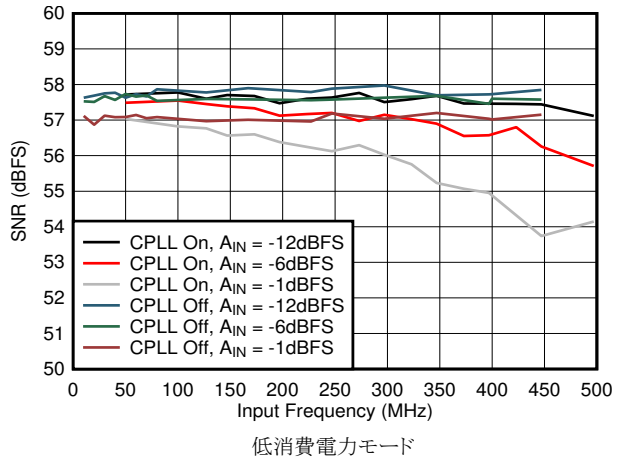


図 5-55. SNR と A_{IN} および C-PLL の関係

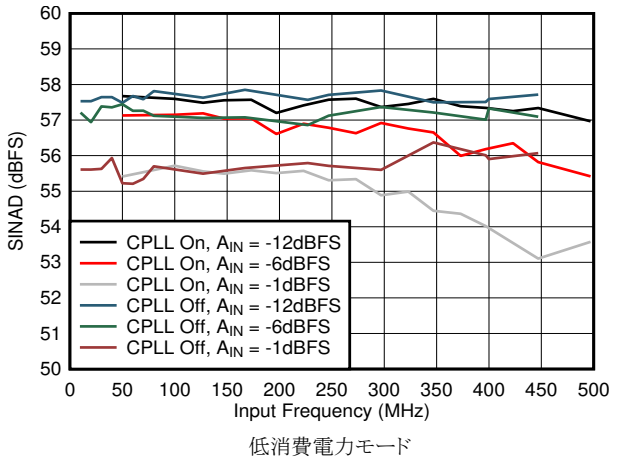


図 5-56. SINAD と A_{IN} および C-PLL の関係

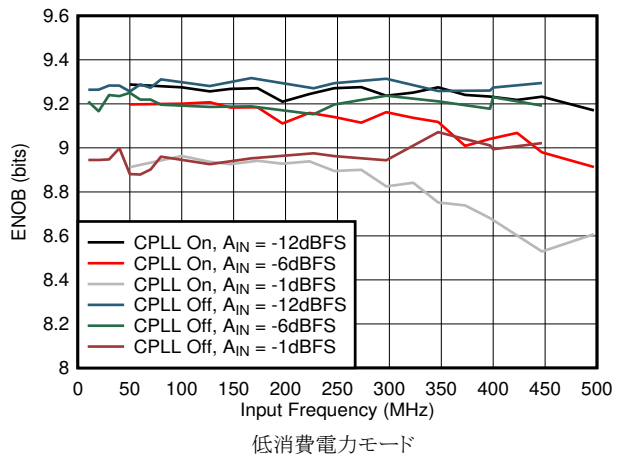


図 5-57. ENOB と A_{IN} および C-PLL との関係

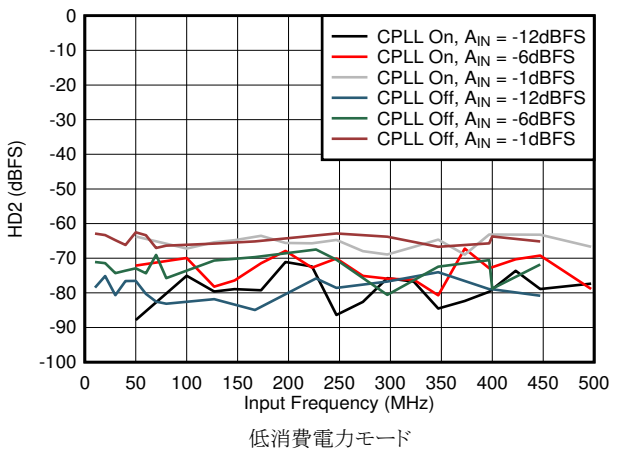
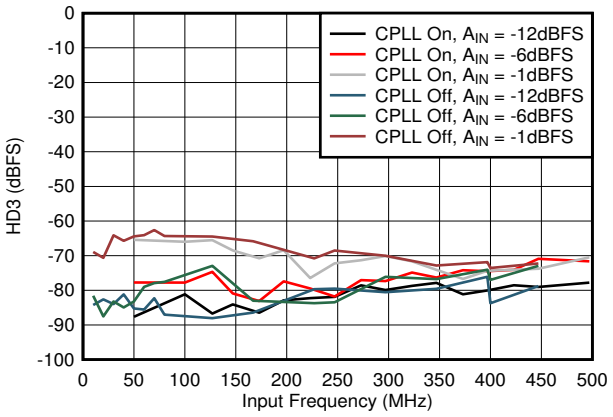


図 5-58. HD2 と A_{IN} および C-PLL の比較

Copyright © 2025 Texas Instruments Incorporated

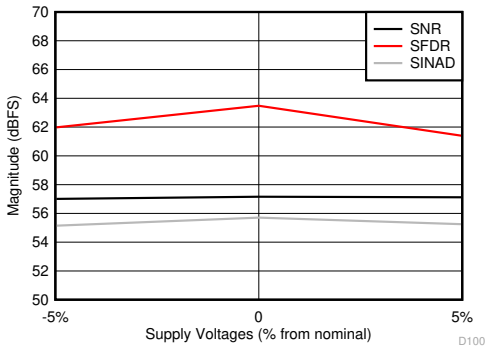
5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL_{REF} = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。



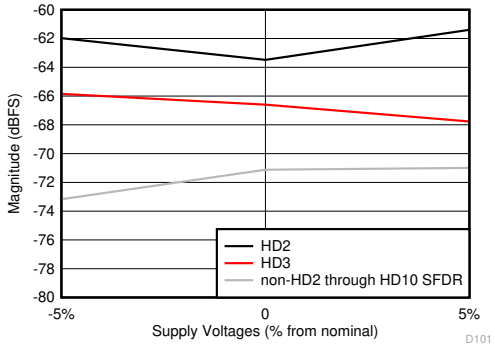
低消費電力モード

図 5-59. HD3 と A_{IN} および C-PLL の比較



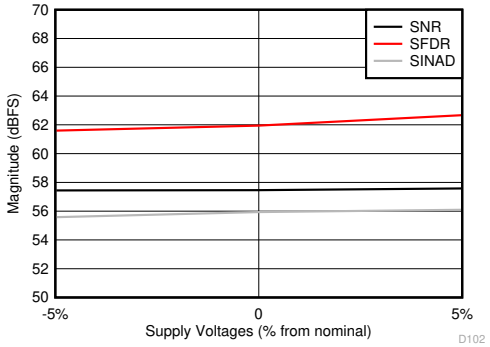
すべての電源が一緒に変更された高電力モード

図 5-60. SNR、SFDR、SINAD と電源電圧との関係



すべての電源が一緒に変更された高電力モード

図 5-61. HD2、HD3、およびワーストケースの非 HD スプリアスと電源電圧との関係



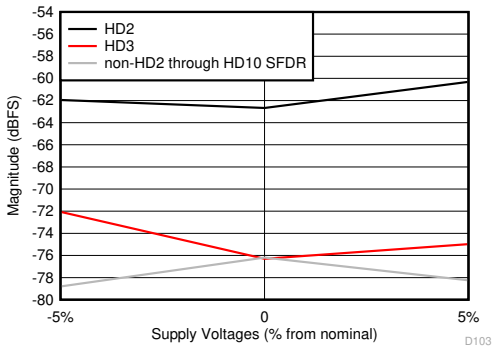
すべての電源を一緒に変更、低消費電力モード、F_S = 1000MSPS

図 5-62. SNR、SFDR、SINAD と電源電圧との関係

Copyright © 2025 Texas Instruments Incorporated

5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL_{REF} = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。



すべての電源を一緒に変更、低消費電力モード、F_S = 1000MSPS

図 5-63. HD2、HD3、およびワーストケースの非 HD スプリアスと電源電圧との関係

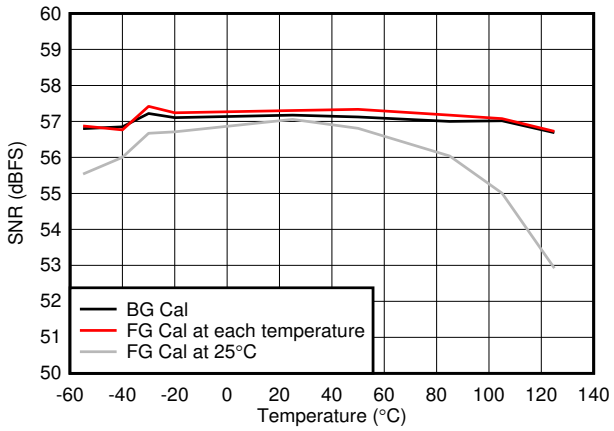


図 5-64. SNR と温度との関係

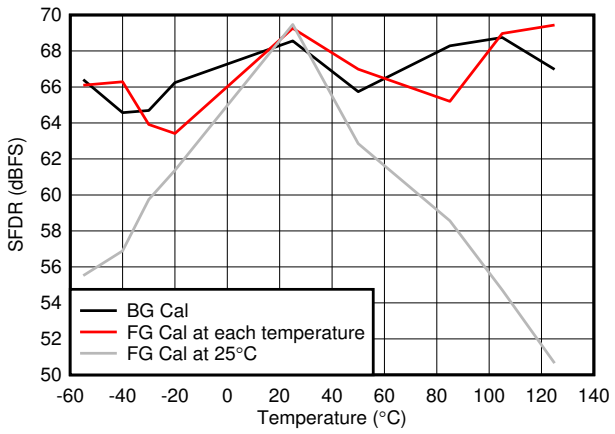


図 5-65. SFDR と温度との関係

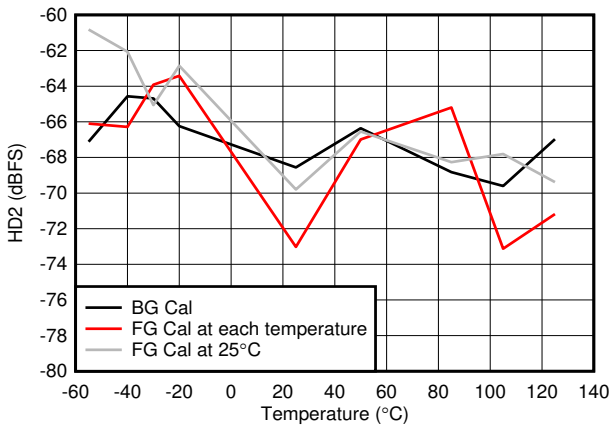


図 5-66. HD2 と温度との関係

5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL_{REF} = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。

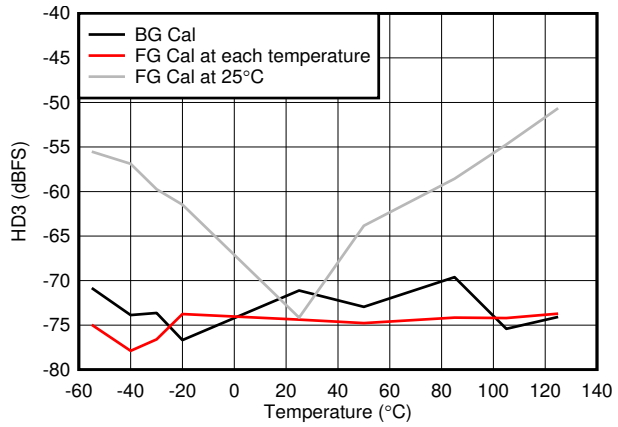
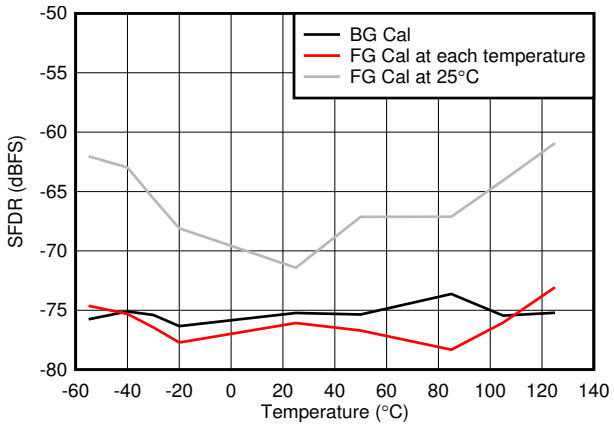
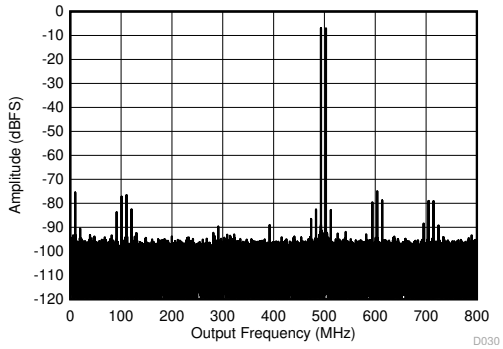


図 5-67. HD3 と温度との関係



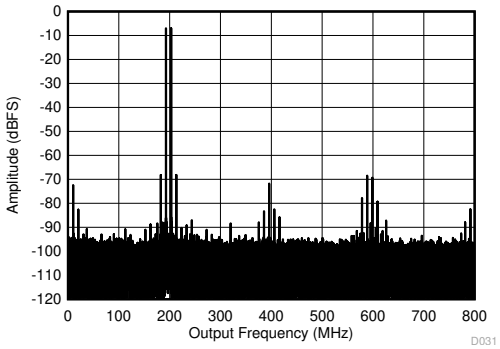
ワースト・スプリアスは非 HD2 ですが、HD10:SDFR です

図 5-68. ワースト・スプリアスと温度との関係



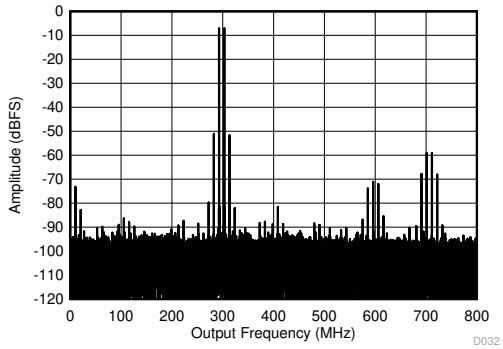
10MHz のトーン間隔

図 5-69. 2 トーン FFT（498MHz で）



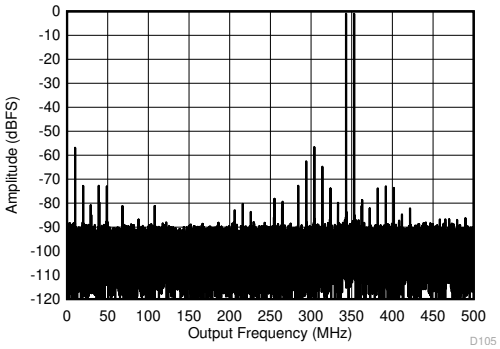
10MHz のトーン間隔

図 5-70. 2 トーン FFT（1798MHz で）



10MHz のトーン間隔

図 5-71. 2 トーン FFT（3498MHz で）



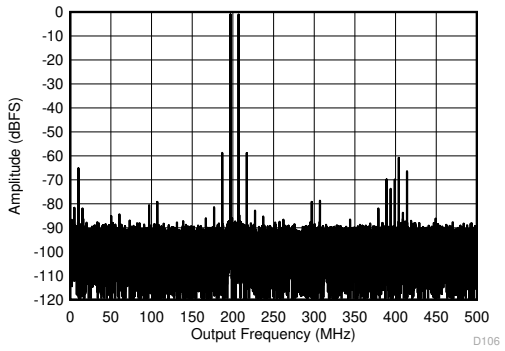
10MHz トーン間隔、トーンあたり-7dBFS、低消費電力モード、1000MSPS

図 5-72. 2 トーン FFT（348MHz で）

Copyright © 2025 Texas Instruments Incorporated

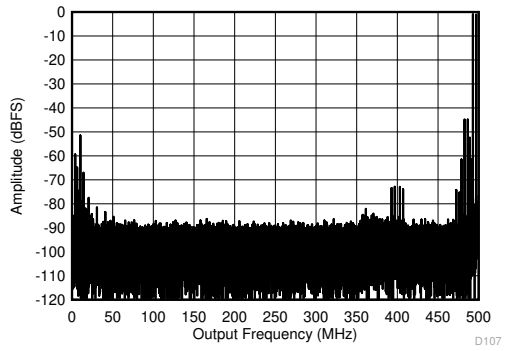
5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL$_{REF}$ = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。



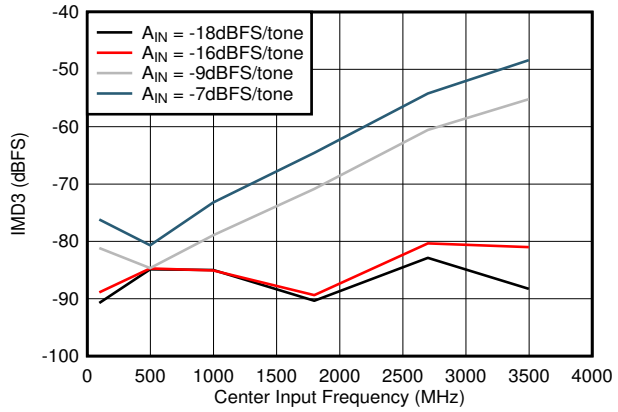
10MHz トーン間隔、トーンあたり-7dBFS、低消費電力モード、1000MSPS

図 5-73. 2 トーン FFT（1798MHz で）



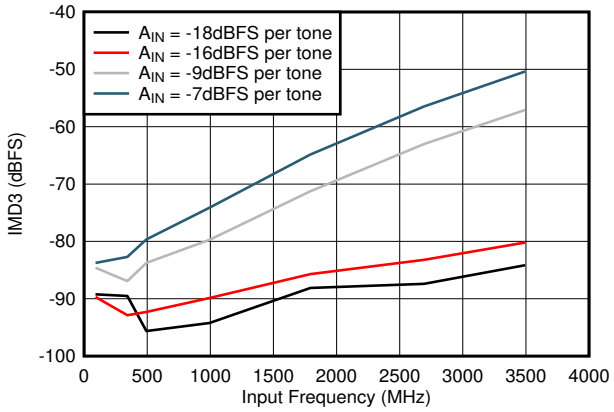
10MHz トーン間隔、トーンあたり-7dBFS、低消費電力モード、1000MSPS

図 5-74. 2 トーン FFT（3498MHz で）



10MHz のトーン間隔

図 5-75. IMD3 と F_{IN} との関係



10MHz トーン間隔、低消費電力モード、1000MSPS

図 5-76. IMD3 と F_{IN} との関係

5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL_{REF} = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。

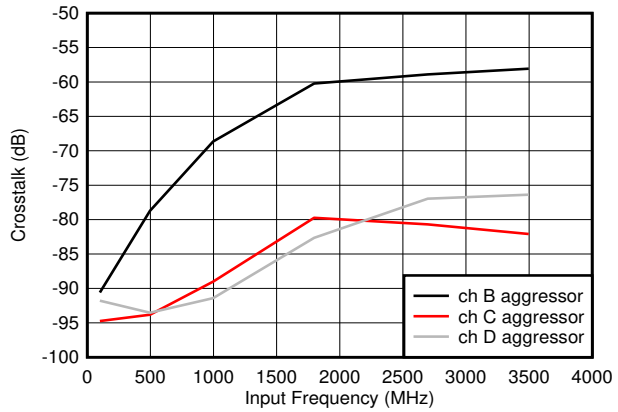


図 5-77. チャネル A と F_{IN} へのクロストーク

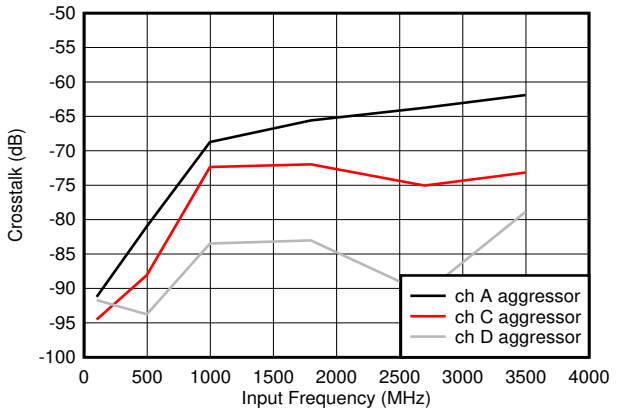


図 5-78. チャネル B へのクロストークと F_{IN} との関係

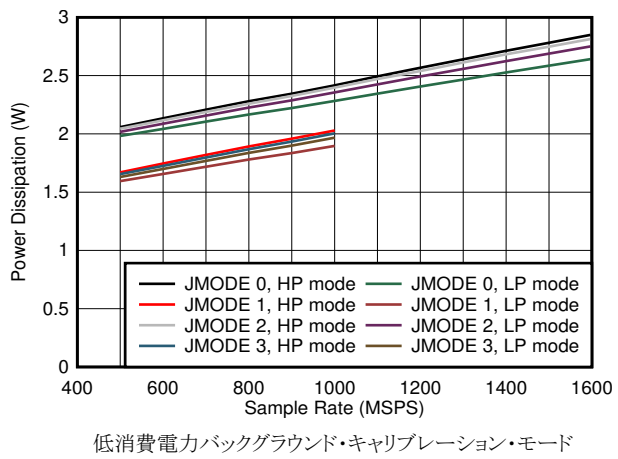


図 5-79. クワッドチャネル、消費電力と F_S および JMODES 0~3 との関係

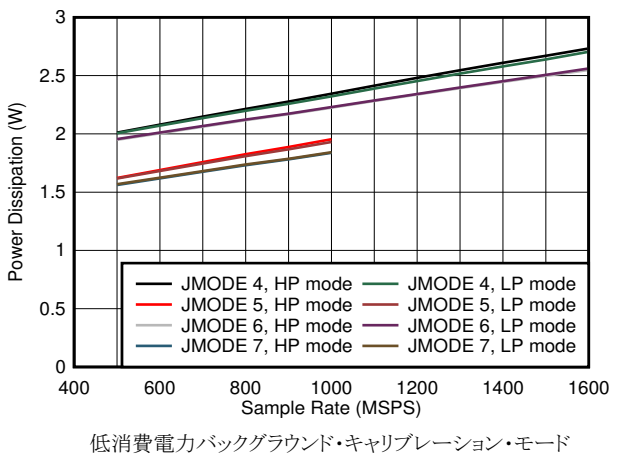
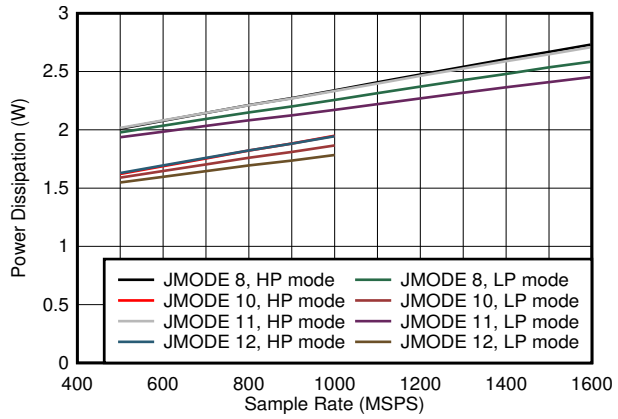


図 5-80. クワッドチャネル、消費電力と F_S および JMODE 4~7 との関係

Copyright © 2025 Texas Instruments Incorporated

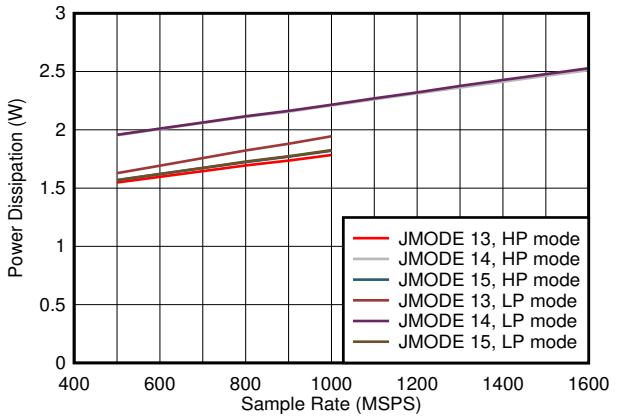
5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL_{REF} = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。



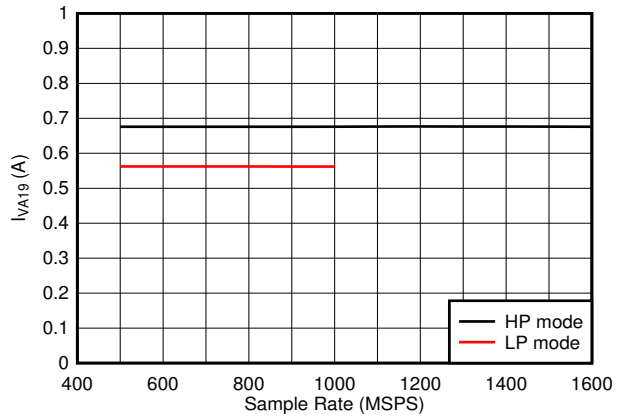
低消費電力バックグラウンド・キャリブレーション・モード

図 5-81. クワッドチャネル、消費電力と F_S および JMODE 8~12 との関係



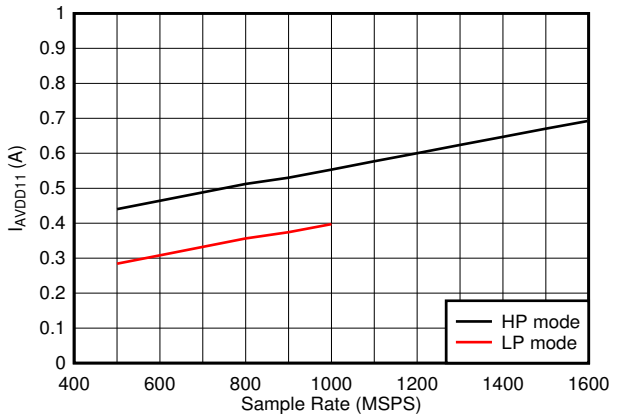
低消費電力バックグラウンド・キャリブレーション・モード

図 5-82. クワッドチャネル、消費電力と F_S および JMODE 13~15 との関係



JMODE とは独立した、低消費電力バックグラウンド・キャリブレーション・モード

図 5-83. クワッド・チャネル、I_{VA19} と F_S との関係



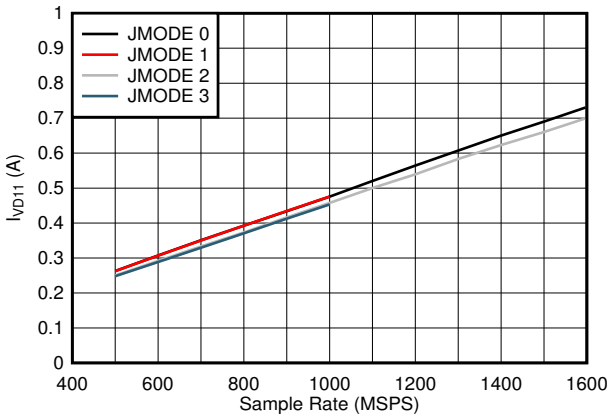
JMODE とは独立した、低消費電力バックグラウンド・キャリブレーション・モード

図 5-84. クワッド・チャネル、I_{VA11} と F_S との関係

Copyright © 2025 Texas Instruments Incorporated

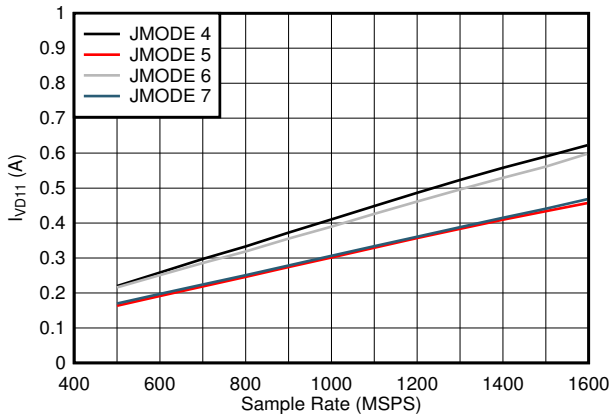
5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL_{REF} = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。



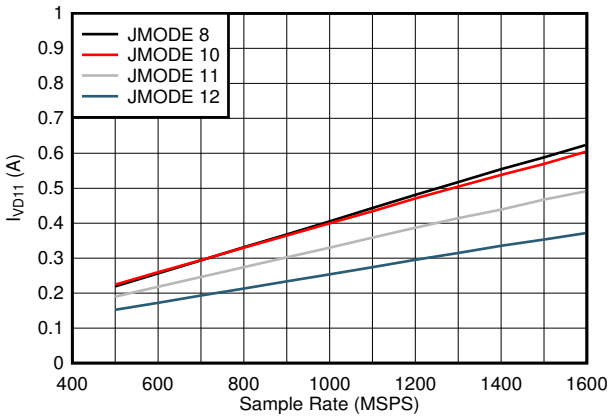
電力モードに関係なく、低消費電力のバックグラウンド・キャリブレーション・モード

図 5-85. クワッド・チャネル、I_{VD11} と F_S および JMODE0~3 との関係



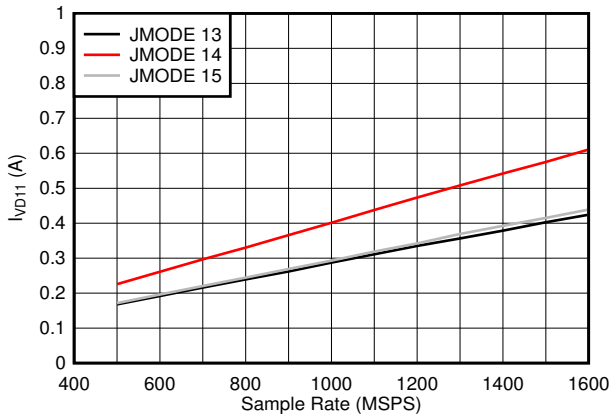
電力モードに関係なく、低消費電力のバックグラウンド・キャリブレーション・モード

図 5-86. クワッド・チャネル、I_{VD11} と F_S および JMODE4~7 との関係



電力モードに関係なく、低消費電力のバックグラウンド・キャリブレーション・モード

図 5-87. クワッド・チャネル、I_{VD11} と F_S および JMODE8~12 との関係



電力モードに関係なく、低消費電力のバックグラウンド・キャリブレーション・モード

図 5-88. クワッド・チャネル、I_{VD11} と F_S および JMODE13~15 との関係

Copyright © 2025 Texas Instruments Incorporated

5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL_{REF} = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。

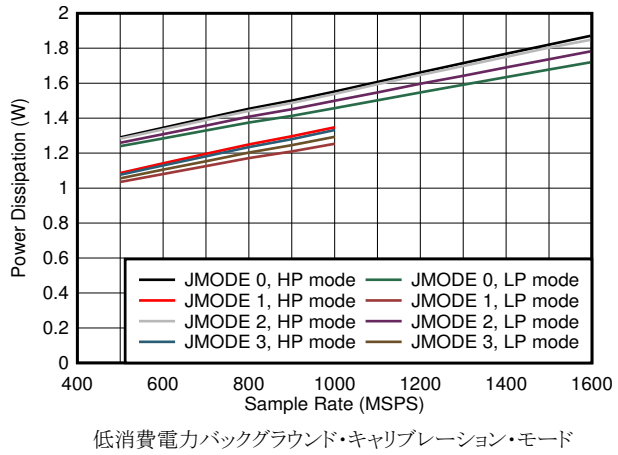


図 5-89. デュアル・チャネル、消費電力と F_S および JMODE 0-3 との関係

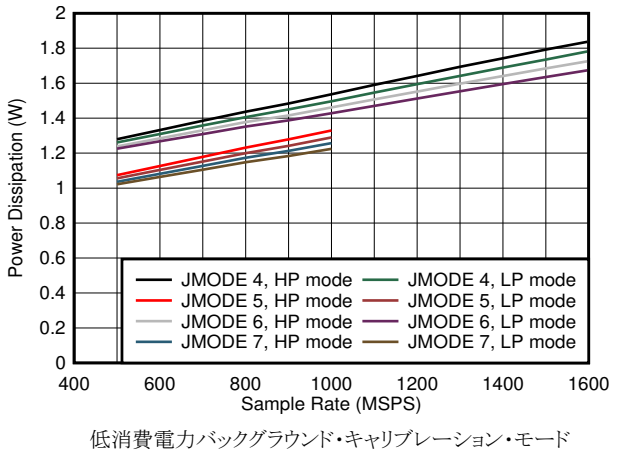


図 5-90. デュアル・チャネル、消費電力と F_S および JMODE 4-7 との関係

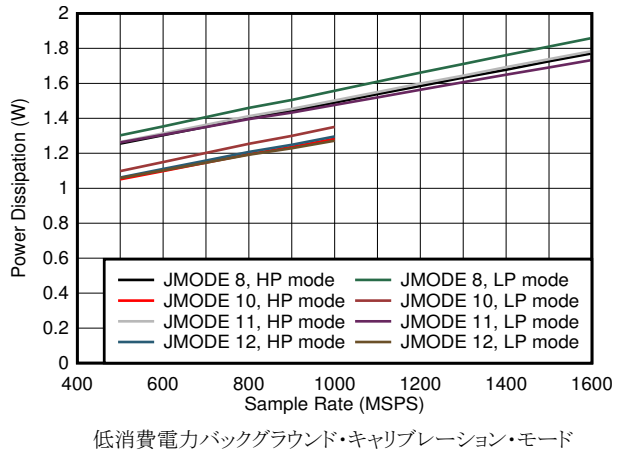


図 5-91. デュアル・チャネル、消費電力と F_S および JMODE 8-12 との関係

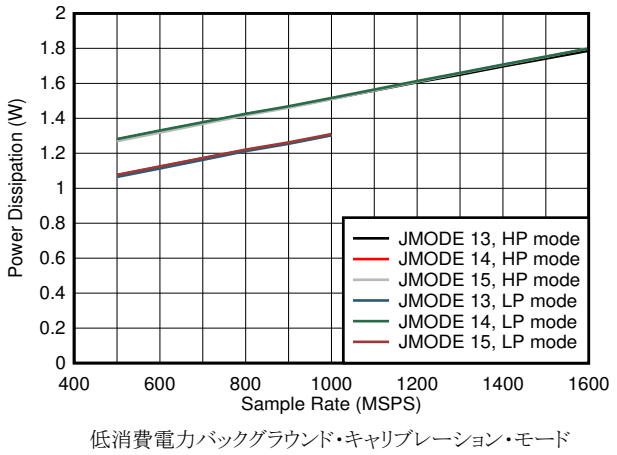
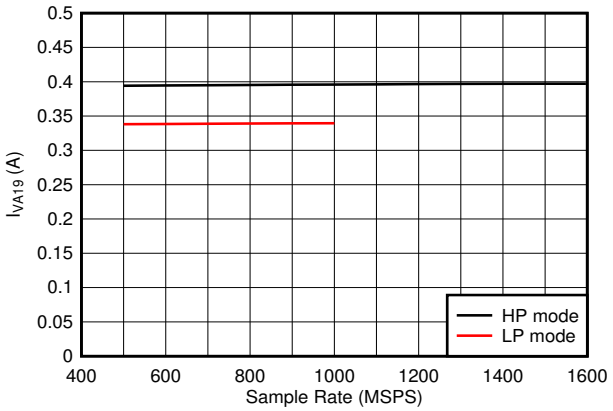


図 5-92. デュアル・チャネル、消費電力と F_S および JMODE 13-15 との関係

Copyright © 2025 Texas Instruments Incorporated

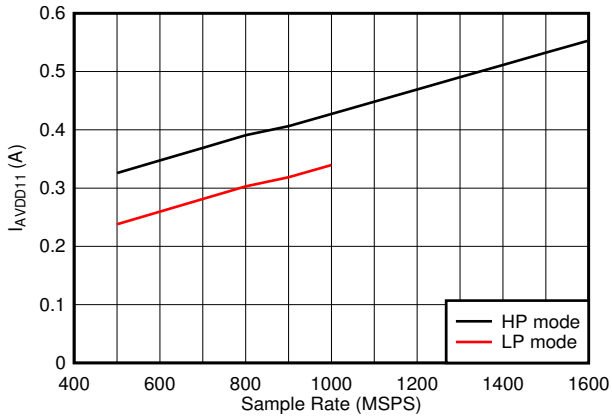
5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL_{REF} = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。



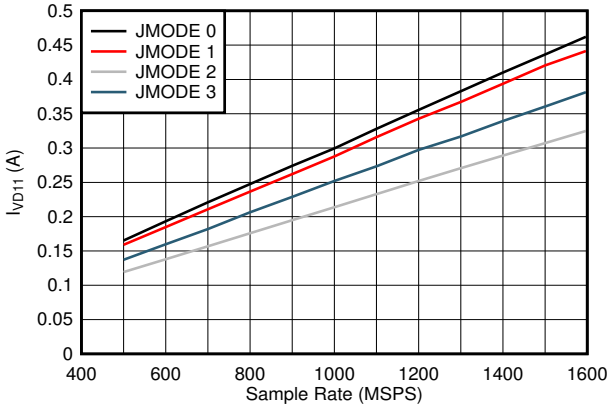
JMODE とは独立した、低消費電力バックグラウンド・キャリブレーション・モード

図 5-93. デュアル・チャネル、I_{VA19} と F_S との関係



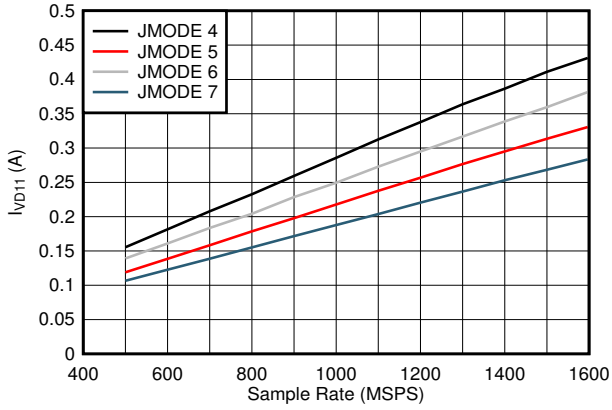
JMODE とは独立した、低消費電力バックグラウンド・キャリブレーション・モード

図 5-94. デュアル・チャネル、I_{VA11} と F_S との関係



電力モードに関係なく、低消費電力のバックグラウンド・キャリブレーション・モード

図 5-95. デュアル・チャネル、消費電力と F_S および JMODE 0-3 との関係



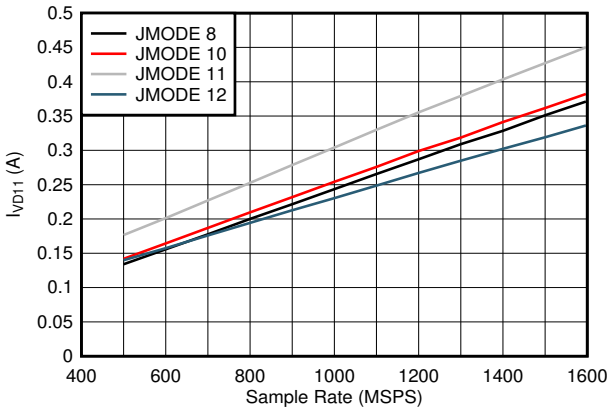
電力モードに関係なく、低消費電力のバックグラウンド・キャリブレーション・モード

図 5-96. デュアル・チャネル、消費電力と F_S および JMODE 4-7 との関係

Copyright © 2025 Texas Instruments Incorporated

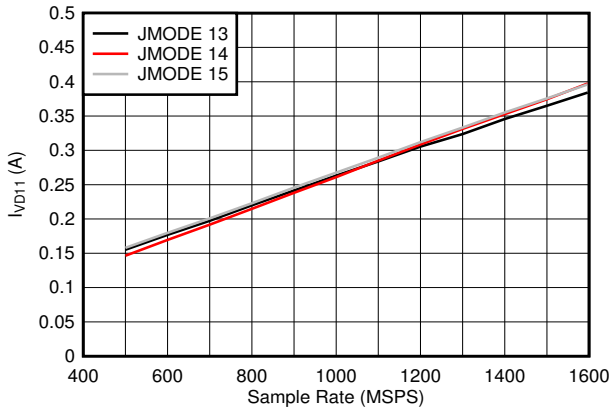
5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL_{REF} = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。



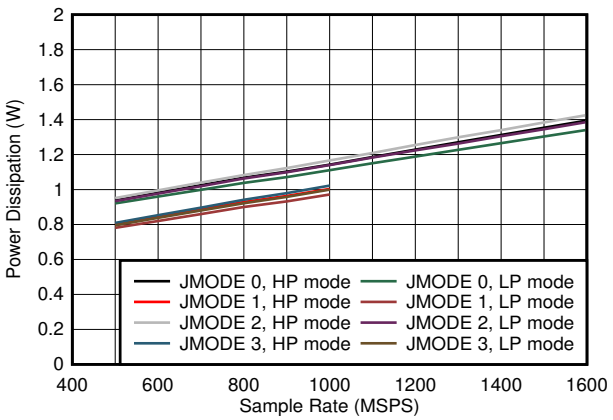
電力モードに関係なく、低消費電力のバックグラウンド・キャリブレーション・モード

図 5-97. デュアル・チャネル、消費電力と F_S および JMODE 8-12 との関係



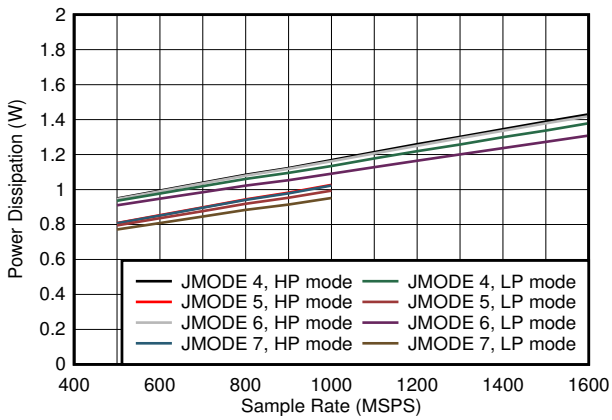
電力モードに関係なく、低消費電力のバックグラウンド・キャリブレーション・モード

図 5-98. デュアル・チャネル、消費電力と F_S および JMODE 13-15 との関係



低消費電力バックグラウンド・キャリブレーション・モード

図 5-99. シングル・チャネル、消費電力と F_S および JMODE 0-3 との関係



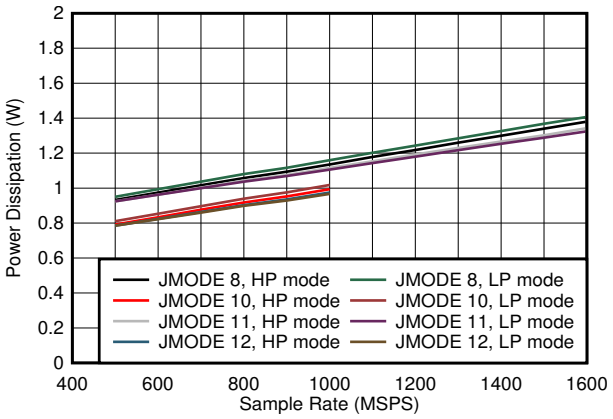
低消費電力バックグラウンド・キャリブレーション・モード

図 5-100. シングル・チャネル、消費電力と F_S および JMODE 4-7 との関係

Copyright © 2025 Texas Instruments Incorporated

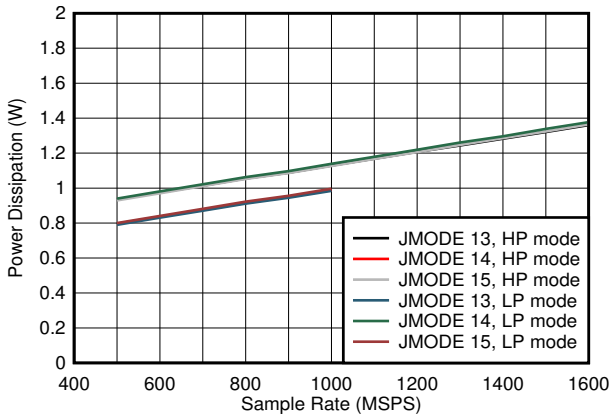
5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL_{REF} = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。



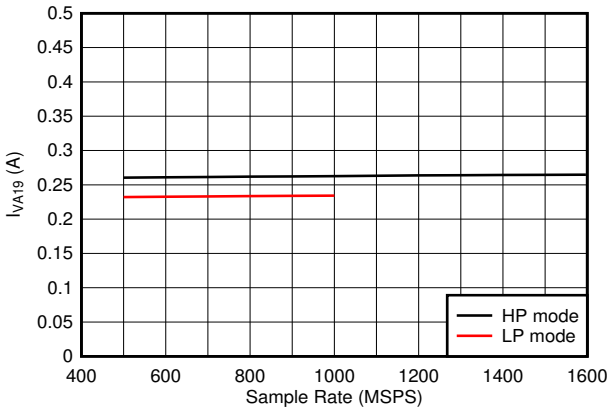
低消費電力バックグラウンド・キャリブレーション・モード

図 5-101. シングル・チャネル、消費電力と F_S および JMODE 8-12 との関係



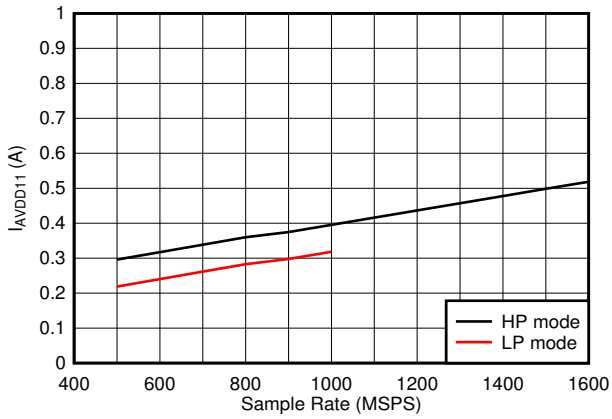
低消費電力バックグラウンド・キャリブレーション・モード

図 5-102. シングル・チャネル、消費電力と F_S および JMODE 13-15 との関係



JMODE とは独立した、低消費電力バックグラウンド・キャリブレーション・モード

図 5-103. シングル・チャネル、I_{VA19} と F_S との関係



JMODE とは独立した、低消費電力バックグラウンド・キャリブレーション・モード

図 5-104. シングル・チャネル、I_{VA11} と F_S との関係

Copyright © 2025 Texas Instruments Incorporated

5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL_{REF} = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。

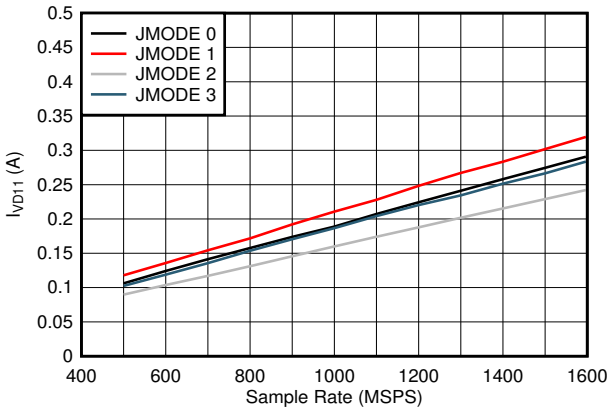


図 5-105. シングル・チャネル、I_{VD11} と F_S および JMODE 0~3 との関係

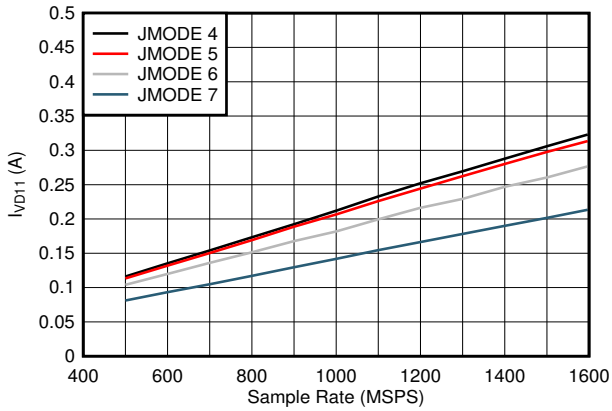


図 5-106. シングル・チャネル、I_{VD11} と F_S および JMODE 4~7 との関係

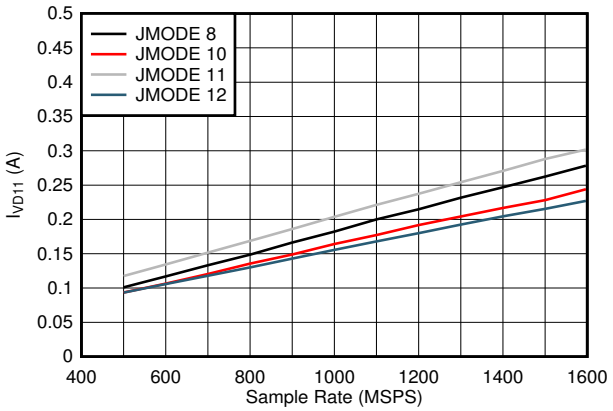


図 5-107. シングル・チャネル、I_{VD11} と F_S および JMODE 8~12 との関係

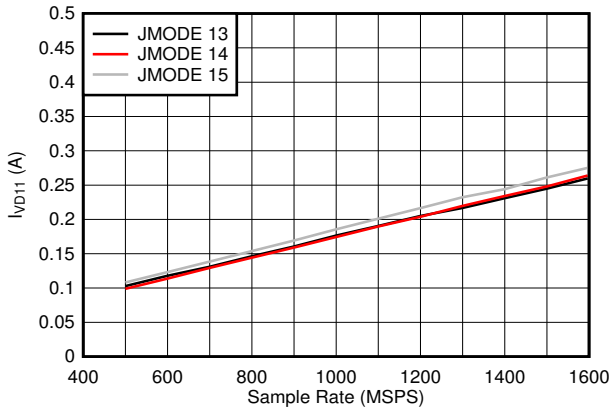
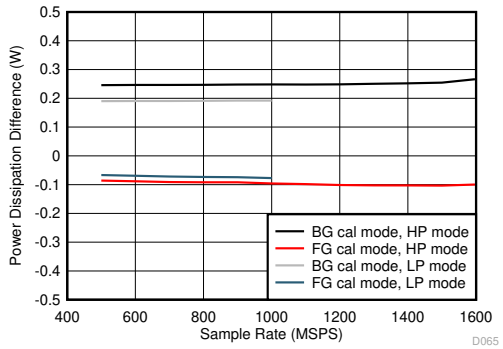


図 5-108. シングル・チャネル、I_{VD11} と F_S および JMODE 13~15 との関係

Copyright © 2025 Texas Instruments Incorporated

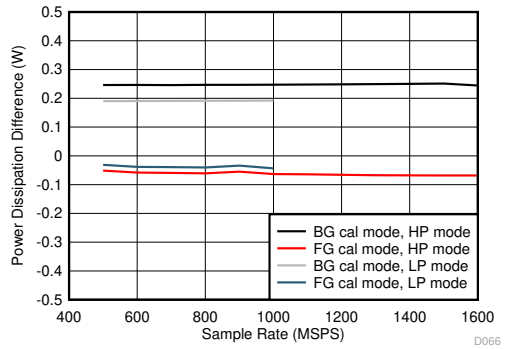
5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL_{REF} = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。



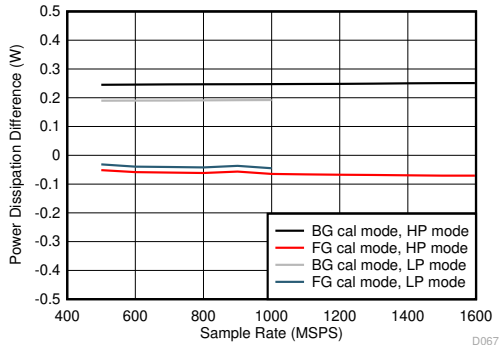
低消費電力のバックグラウンド・キャリブレーションとの違い、JMODE は独立です

図 5-109. クワッド・チャネル、キャリブレーション・モード付き消費電力変更



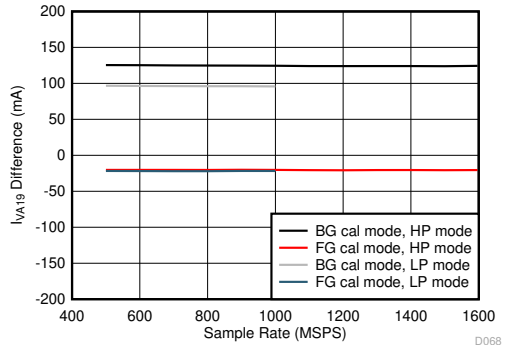
低消費電力のバックグラウンド・キャリブレーションとの違い、JMODE は独立です

図 5-110. デュアル・チャネル、キャリブレーション・モードによる消費電力変動



低消費電力のバックグラウンド・キャリブレーションとの違い、JMODE は独立です

図 5-111. シングル・チャネル、キャリブレーション・モード付き消費電力変更



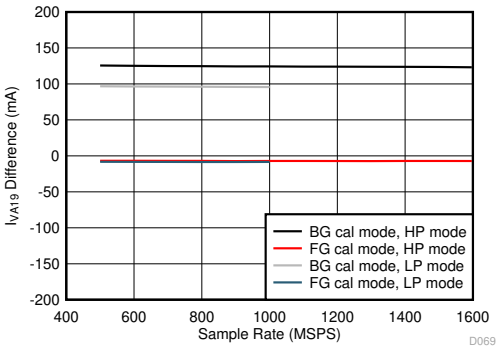
低消費電力のバックグラウンド・キャリブレーションとの違い、JMODE は独立です

図 5-112. クワッド・チャネル、I_{VA19} 変更、キャリブレーションモード付き

Copyright © 2025 Texas Instruments Incorporated

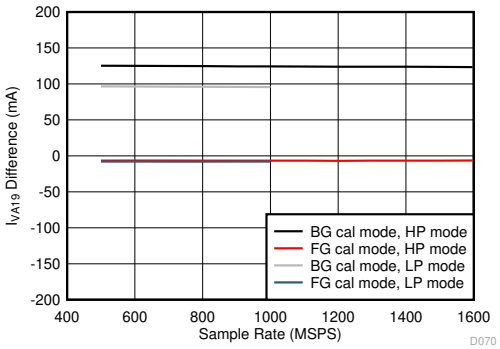
5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL$_{REF}$ = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。



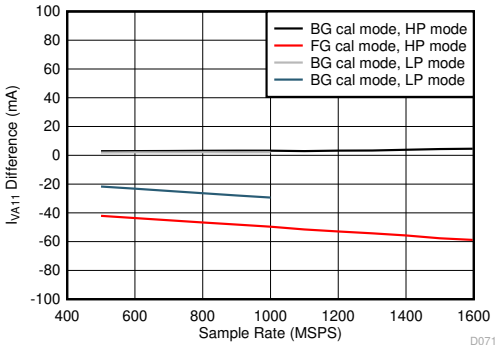
低消費電力のバックグラウンド・キャリブレーションとの違い、JMODE は独立です

図 5-113. デュアル・チャネル、I_{VA19} 変更、キャリブレーション・モード付き



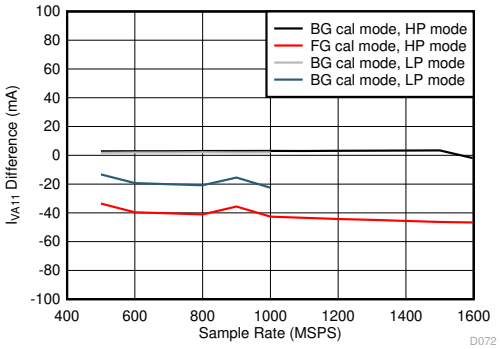
低消費電力のバックグラウンド・キャリブレーションとの違い、JMODE は独立です

図 5-114. シングル・チャネル、I_{VA19} 変更、キャリブレーション・モード付き



低消費電力のバックグラウンド・キャリブレーションとの違い、JMODE は独立です

図 5-115. クワッド・チャネル、I_{VA11} 変更、キャリブレーションモード付き



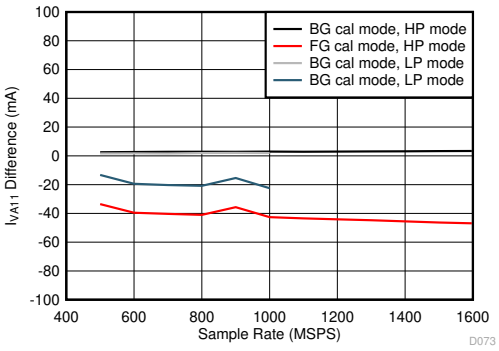
低消費電力のバックグラウンド・キャリブレーションとの違い、JMODE は独立です

図 5-116. デュアル・チャネル、I_{VA11} 変更、キャリブレーション・モード付き

Copyright © 2025 Texas Instruments Incorporated

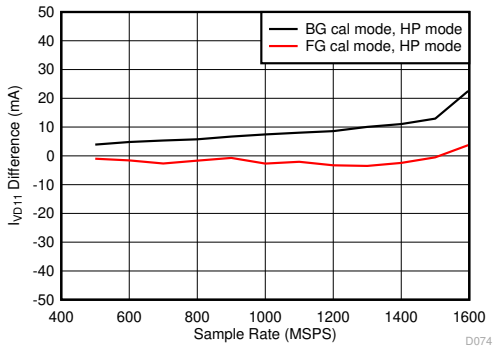
5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL$_{REF}$ = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。



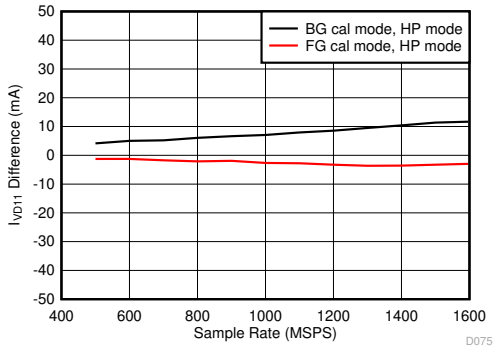
低消費電力のバックグラウンド・キャリブレーションとの違い、JMODE は独立です

図 5-117. シングル・チャネル、I_{VA11} 変更、キャリブレーション・モード付き



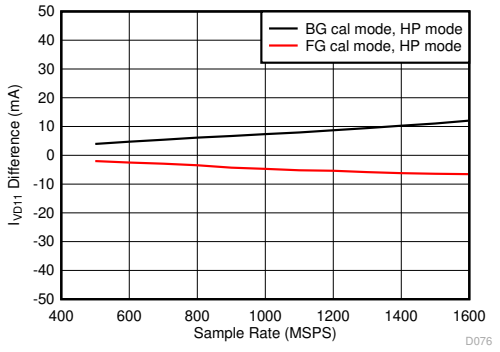
低消費電力のバックグラウンド・キャリブレーションとの違い、JMODE は独立です

図 5-118. クワッド・チャネル、I_{VD11} 変更、キャリブレーションモード付き



低消費電力のバックグラウンド・キャリブレーションとの違い、JMODE は独立です

図 5-119. デュアル・チャネル、I_{VD11} 変更、キャリブレーション・モード付き



低消費電力のバックグラウンド・キャリブレーションとの違い、JMODE は独立です

図 5-120. シングル・チャネル、I_{VD11} 変更、キャリブレーション・モード付き

Copyright © 2025 Texas Instruments Incorporated

5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL_{REF} = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。

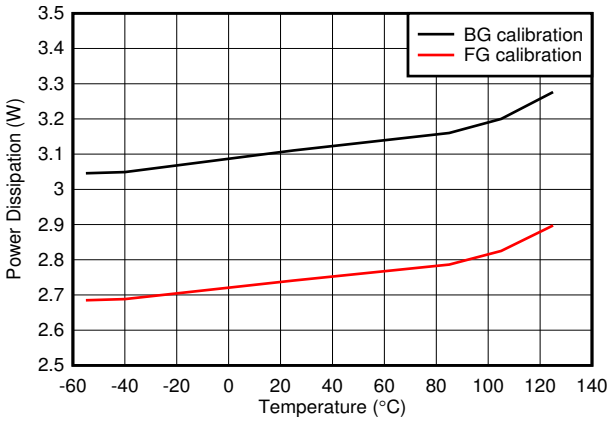


図 5-121. クワッド・チャネル、消費電力と温度との関係

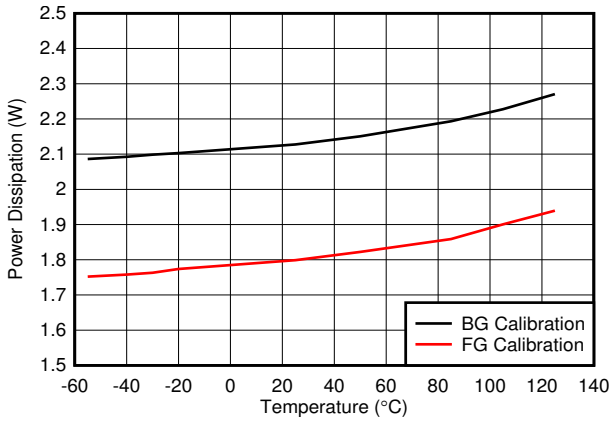


図 5-122. デュアル・チャネル、消費電力と温度との関係

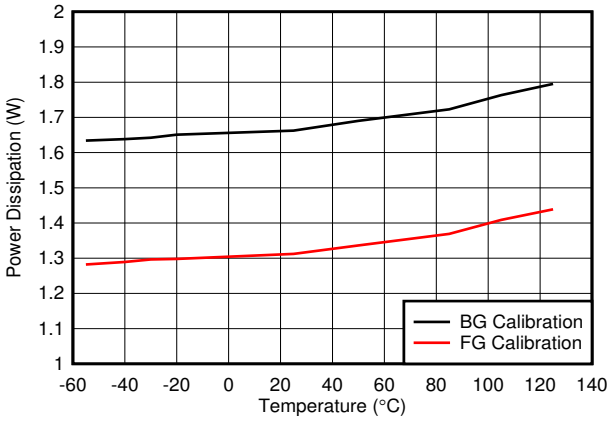
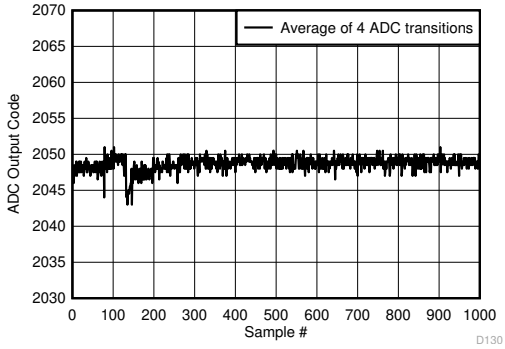


図 5-123. シングル・チャネル、消費電力と温度との関係

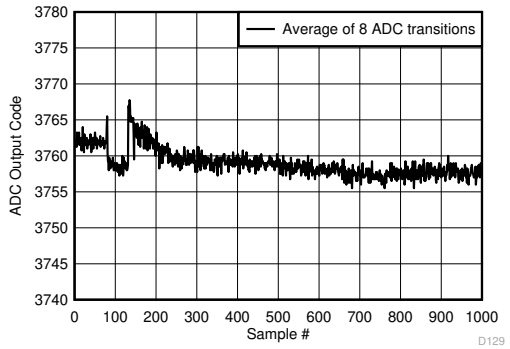


BG キャリブレーション、ミッドスケール入力電圧、ADC_SRC_DLY = 31、MUX_DLY = 30

図 5-124. バックグラウンドキャリブレーションコア遷移（中間スケール電圧）

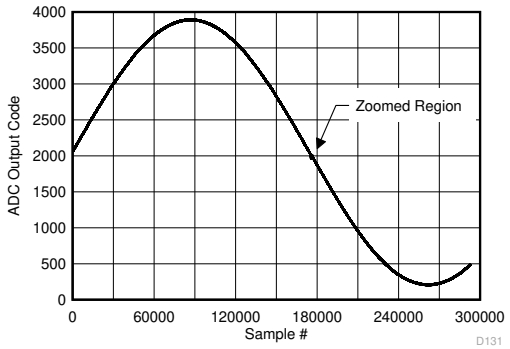
5.10 代表的特性 (続き)

25°C における典型的な値、A_{IN} = -1dBFS、F_{IN} = 347MHz、F_S = 1600MSPS、高出力モード、FG キャリブレーション、JMODE 0、C-PLL オフ、C-PLL_{REF} = 50MHz、および C-PLL がオンの際に VA11Q および VCLK11 ノイズ抑制がオン、クアッドチャンネル動作、標準供給電圧、特に記載がない場合。SNR の結果には、DC と HD2 から HD9 までは含まれません。SINAD、ENOB、SFDR の結果には DC は含まれません。



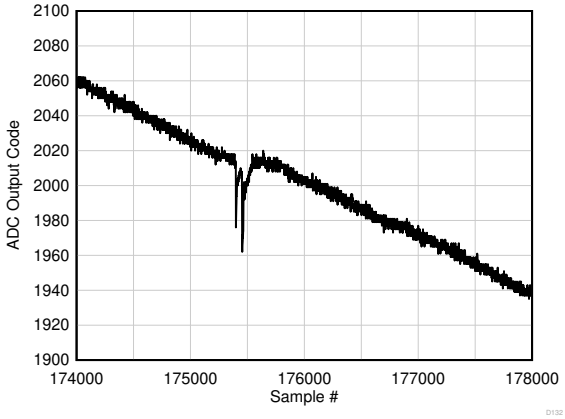
BG キャリブレーション、入力電圧オフセットがフルスケールの約 90%、ADC_SRC_DLY = 31、MUX_DLY = 30

図 5-125. バックグラウンドキャリブレーションコアの遷移（オフセット電圧）



BG キャリブレーション、ADC_SRC_DLY = 31、MUX_DLY = 30、次のプロットに示す拡大領域

図 5-126. バックグラウンドキャリブレーションコア遷移（AC 信号）



BG キャリブレーション、ADC_SRC_DLY = 31、MUX_DLY = 30、前のプロットに示すズームされていない領域

図 5-127. バックグラウンドキャリブレーションコアの遷移（AC 信号の拡大）

Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

ADC12QJ1600-SP はクワッド チャネル、12 ビット、1.6GSPS のアナログ / デジタル コンバータ (ADC) です。このデバイスは、高速サンプリングレートと高性能を維持しながら、低消費電力を実現するよう最適化されています。このデバイスは、消費電力、サンプリング レート、12 ビットの分解能の組み合わせにより、光検出および距離測定 (LiDAR) システムに理想的です。また、チャネル密度が高く、入力帯域幅が広いため、このデバイスはマルチチャネルのオシロスコープやデジタイザ、小型フォーム ファクタの電子戦システムにも理想的です。

このデバイスは、6GHz のフルパワー入力帯域幅 (-3dB) を備えたバッファ付き入力を備えています。このデバイスは、最高 4GHz の電子戦システムや衛星通信機器用に、L バンド (1～2GHz) と S バンド (2～4GHz) の直接 RF サンプリングが可能です。

システムのタイミング要件を緩和し、システム アーキテクチャを簡素化するために、多くのクロック供給機能が内蔵されています。このデバイスには、電圧制御発振器 (VCO) が内蔵されたフェーズ ロック ループ (PLL) が内蔵されており、低周波数のリファレンスからサンプリング クロックを生成できるため、外付けの高周波クロック ジェネレータは不要です。また、低周波数 PLL リファレンスは、SYSREF タイミング リファレンスのタイミングを緩和し、確定的なレイテンシとマルチデバイスの同期を実現します。内部 PLL をバイパスし、高周波数サンプリング クロックをデバイスに直接送信することで、最高の性能を実現できます。SYSREF ウィンドウ処理機能により、外部のタイミング要件を満たす必要なく、デバイス内で SYSREF 遅延を直接測定および調整することにより、SYSREF のセットアップおよびホールド要件を緩和できます。PLL リファレンス クロックをデバイスから出力して、デジタル ロジック FPGA または ASIC、または隣接デバイスにクロックを供給できるため、外付けのクロック バッファおよび分配デバイスは不要です。2 つの追加 CMOS 出力は、PLL リファレンス クロックのコピーまたは分周コピーを送信して、システム内の追加デバイスにクロックを供給できます。4 番目のクロック出力は、FPGA または ASIC のトランシーバ ブロックに SerDes リファレンス クロックを出力できるため、包括的なシステム クロック ソリューションを実現できます。タイムスタンプ入力は、外部トリガを使用して特定のサンプルをマーキングするために使用できます。タイムスタンプは、JESD204C インターフェイス経由で出力され、FPGA または ASIC 内のサンプルにマーキングします。オプションで、SerDes リファレンス クロックではなくデバイスからタイムスタンプ信号を出力して、リタイミングされたトリガをレーザー ダイオードのパルス ドライバなど他のデバイスに複製できます。

JESD204C シリアル インターフェイスにより、レーンごとの SerDes ビットレートが増加し、必要なレーン数が減少することでプリント基板 (PCB) の配線量が減少するため、システムのサイズを低減できます。JESD204C インターフェイス モードは、2～8 レーンと最大 17.16Gbps の SerDes ボーレートをサポートしており、各アプリケーションに最適な構成を選択できます。8B/10B と 64B/66B の両方のデータ エンコード オプションが利用可能です。8B/10B エンコード モードは JESD204B レシーバと下位互換性があり、64B/66B エンコード・モードはリンクのオーバーヘッドを低減して高い効率を実現します。

Copyright © 2025 Texas Instruments Incorporated

6.2 機能ブロック図

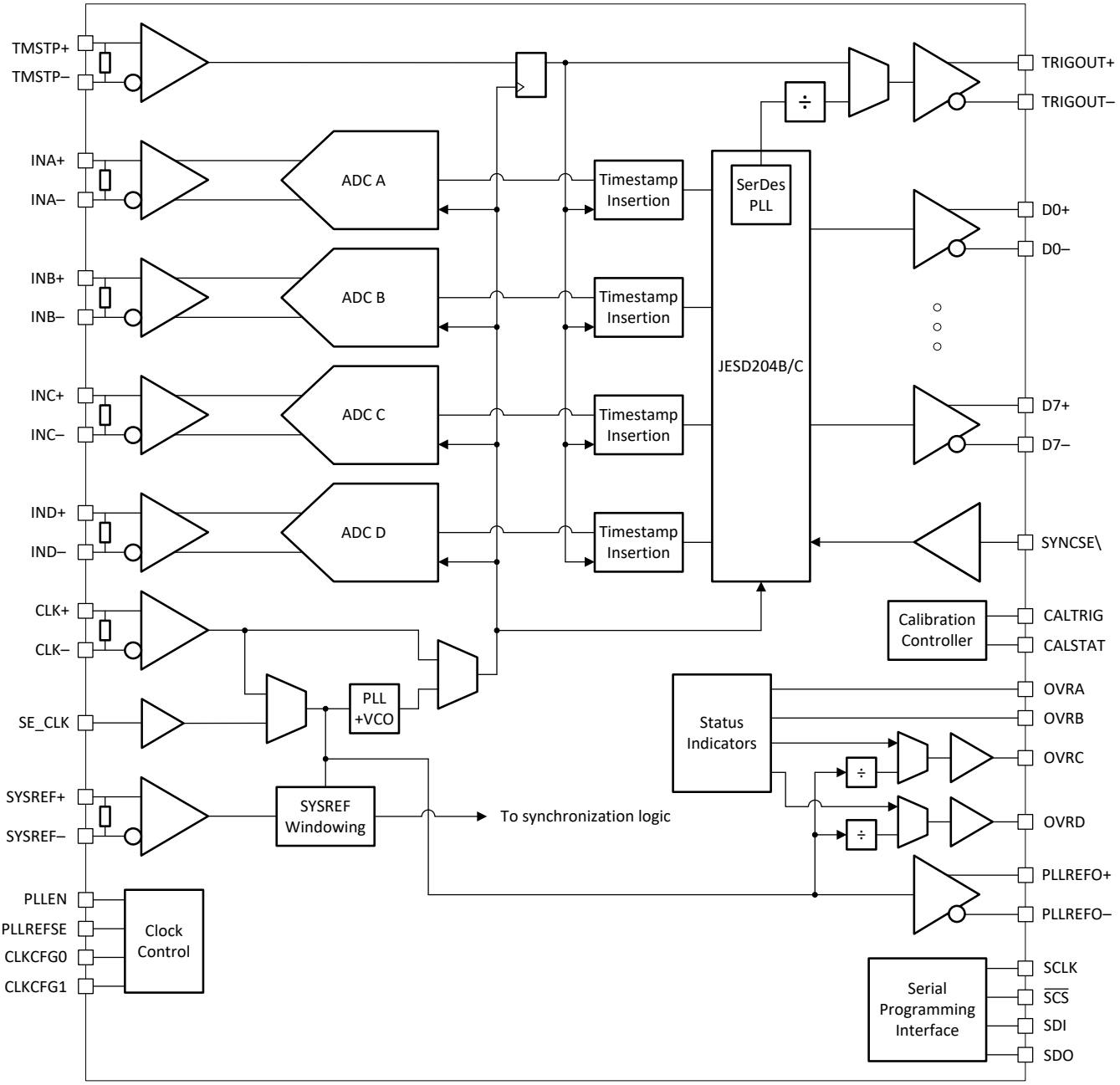


図 6-1. クワッドチャンネル機能ブロック図

Copyright © 2025 Texas Instruments Incorporated

6.3 機能説明

6.3.1 アナログ入力

デバイスのアナログ入力には、高い入力帯域幅を可能にし、入力回路からサンプリングコンデンサグリッチノイズを絶縁するための内部バッファが搭載されています。シングルエンド信号で動作すると性能が低下するため、アナログ入力は差動で駆動する必要があります。アナログ入力の AC 結合と DC 結合の両方がサポートされています。アナログ入力は、1.1V の入力同相電圧（$V_{V\ CMI}$）が想定されて設計されており、この電圧はシングルエンドの 50Ω 抵抗を介して各入力ピンの VA11 電源に対して内部で終端されています。DC 結合入力信号の同相電圧は 、推奨動作条件 表で V_{CMI} として規定されているデバイス入力同相要件を満たす必要があります。このデバイスには、過電圧入力状態で ADC 入力を保護するため、内部アナログ入力保護機能が搭載されています。*アナログ入力保護* セクションを参照してください。図 6-2 に、アナログ入力モデルの簡略化を示します。

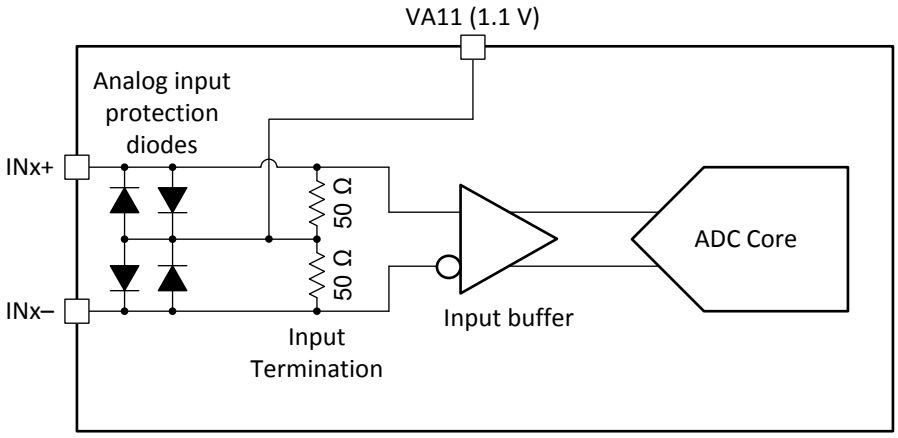


図 6-2. アナログ入力内部終端および保護図

6.3.1.1 アナログ入力保護

アナログ入力は、オーバードライブ状態に対して保護され、範囲外の状態において入力電流をソースまたはシンクできる内部クランプダイオードによって行われます。絶対最大定格 表の電圧および電流制限を参照してください。範囲外保護は、周波数に依存しない 絶対最大定格 表のピーク RF 入力電力に対しても定義されます。推奨動作条件 表に記載されている最大条件を超えると、FIT (故障率)が上昇するため、システムでオーバードライブ状態をできるだけ早く修正する必要があります。図 6-2 に、アナログ入力保護ダイオードを示します。

6.3.1.2 フルスケール電圧 (V_{FS}) の調整

入力フルスケール電圧（V_{FS}）は、FS_RANGE で細かいインクリメントで利用可能です。すべての入力は、同じフルスケール電圧設定に設定されています。利用可能な調整範囲は、DC 仕様表に記載されています。フルスケール電圧が大きいほど、SNR とノイズフロア（dBFS/Hz）性能が向上します。

6.3.1.3 アナログ入力オフセットの調整

クワッド・チャネル・デバイスの各アナログ入力の入力オフセット電圧は、OFSxy レジスタで調整できます。x は ADC コア（0、1、2、3、4、または 5）を表し、y は ADC コア 2（A または B）およびコア 3（C または D）のアナログ入力を表します。ADC コア 0、1、4、5 では y パラメータは省略されます。これらのコアは常に同じアナログ入力をサンプリングするためです。ADC コア 0 および 1 では y パラメータは省略されます。これらのコアは常に同じアナログ入力をサンプリングするためです。シングル・チャネル・デバイスでは、x は ADC コア（0 または 2）を表し、ADC コア 0 の場合は y パラメータは省略されます。このコアは常に同じアナログ入力をサンプリングするためです。調整範囲は、約 33mV ~ –33mV の差動です。詳細については、*キャリブレーション・モードとトリミング* セクションを参照してください。

6.3.1.4 ADC コア

このデバイスは、 で構成されています。動作モードでの要求に応じて、コアはオンザフライで交換され、キャリブレーションが行われます。このセクションでは、ADC コアの理論と主な特長について説明します。

Copyright © 2025 Texas Instruments Incorporated

6.3.1.4.1 ADC の動作原理

アナログ入力での差動電圧は、CLK±の立ち上がりエッジによってキャプチャされます。入力信号をキャプチャしてから、ADC は電圧を内部リファレンス電圧と比較することで、アナログ電圧をデジタル値に変換します。負入力（INA-）の電圧が正入力（すなわち INA+）の電圧よりも高い場合、デジタル出力は負の 2 の補数値になります。正入力の電圧が負入力の電圧よりも高い場合、デジタル出力は正の 2 の補数値になります。式 1 では、デジタル出力から入力ピンの差動電圧を計算できます。

$$V_{IN} = \frac{Code}{2^N} V_{FS} \quad (1)$$

ここで、

- コードは符号付き 10 進の出力コードです（例：–2048 ~ +2047）。
- N は ADC の分解能です
- また V_{FS} は、DC 仕様 の表に規定されている ADC のフルスケール入力電圧で、FS_RANGE をプログラムして実行される調整も含まれます

6.3.1.4.2 ADC コアのキャリブレーション

ADC コアのアナログ性能を最適化するには、ADC コアのキャリブレーションが必要です。最適な性能を維持するには、動作条件、すなわち温度が大幅に変化したときにキャリブレーションを繰り返す必要があります。このデバイスには較正ルーチンが組み込まれており、フォアグラウンド動作またはバックグラウンド動作として実行できます。フォアグランド操作では、ADC が入力信号のサンプリングを停止するダウンタイムが必要となり、処理が完了します。バックグラウンド較正を使用して、この制限を克服し、ADC を一定に動作させることができます。各モードの詳細については、*キャリブレーション・モードとトリミング* セクションを参照してください。

6.3.1.4.3 アナログ基準電圧

デバイスのリファレンス電圧は、内部のバンドギャップ基準電圧から導かれます。ユーザーの利便性を高めるために、BG ピンではリファレンス電圧のバッファ付きバージョンを利用できます。この出力は±100µA の出力電流能力を持っています。さらに多くの電流が必要な場合は、BG 出力をバッファする必要があります。外部リファレンス電圧を使用する方法はありませんが、フルスケール入力電圧はフルスケール・レンジ・レジスタの設定により調整できます。VA11 の電源電圧は、フロントエンド完全差動アンプの出力同相電圧を設定するために使用する必要があり、BG 出力はこの目的では使用しないでください。

6.3.1.4.4 ADC のオーバーレンジ検出

システムのゲイン管理によって応答時間を短縮できるように、低レイテンシの構成可能なオーバーレンジ機能が含まれています。オーバーレンジ機能は、ADC で変換された 12 ビット・サンプルを監視して、ADC が飽和状態に近いか、すでにオーバーレンジ状態にあるかを迅速に検出することで機能します。ADC データの上位 8 ビットの絶対値は、プログラマブルなスレッショルド OVR_TH と比較してチェックされます。OVR_TH にプログラムされたスレッショルドは、すべてのアナログ入力に使用されます。 表 6-1 は、ADC サンプルがスレッショルドの比較のために絶対値に変換される方法を示します。

表 6-1. オーバーレンジ比較用の ADC サンプルの変換

ADC サンプル（オフセットバイナリ）	ADC サンプル（2 の補数）	絶対値	比較のため上位 8 ビットを使用します
1111 1111 1111 (4095)	0111 1111 1111 (+2047)	111 1111 1111 (2047)	1111 1111 (255)
1111 1111 0000 (4080)	0111 1111 0000 (+2032)	111 1111 0000 (2032)	1111 1110 (254)
1000 0000 0000 (2048)	0000 0000 0000 (0)	000 0000 0000 (0)	0000 0000 (0)
0000 0001 0000 (16)	1000 0001 0000 (–2032)	111 1111 0000 (2032)	1111 1110 (254)
0000 0000 0000 (0)	1000 0000 0000 (–2048)	111 1111 1111 (2047)	1111 1111 (255)

Copyright © 2025 Texas Instruments Incorporated

範囲外検出は、OVR_EN を 1 に設定することで有効にされます。監視期間中に絶対値の上位 8 ビットが OVR_TH スレッショルド以上になると、範囲外 ADC チャネルに対応する範囲超過ビットは 1 に設定され、それ以外の場合、範囲外ビットは 0 になります。クワッド・チャネル・デバイスの場合、ADC チャネル A、B、C、D のそれぞれの ORA、ORB、ORC、または ORD 出力ピンでオーバーレンジ状態を監視できます。OVR_N は、最後のオーバーレンジ・イベントからの出力パルス幅を設定するために使用できます。表 6-2 に、各種 OVR_N 設定の範囲外パルス長を示します。

表 6-2. オーバーレンジ監視期間

OVR_N	最後のオーバーレンジイベントからのオーバーレンジパルス長 (DEVCLK サイクル)
0	8
1	16
2	32
3	64
4	128
5	256
6	512
7	1024

通常、OVR_TH スレッショルドは 8 ビットのフルスケール値（たとえば 228）の近くに設定されます。スレッショルドがトリガされると、一般的なシステムはシステム・ゲインを停止して、クリッピングを防止します。次に、ダウンストリームのロジック・デバイスは出力サンプルを監視して、オーバーレンジ状況が解消したかどうかを判定し、必要に応じてシステムのゲインを上昇させます。

6.3.1.4.5 コード エラー レート (CER)

ADC コアは、サンプル内でビット誤差を生成できます。これは多くの場合 *コード・エラー (CER)* または *スパークル・コード* と呼ばれ、理想的でないコンパレータ制限によって引き起こされるメタ安定性が原因です。このデバイスは独自の ADC アーキテクチャを採用しており、従来のパイプライン方式のフラッシュや逐次比較型（SAR）ADC からコード誤差率を大幅に向上できます。デバイスのコード誤差レートは、同等サンプリング・レートでは他のアーキテクチャで実現できるものと比べて数桁優れているため、信号の信頼性を大幅に向上できます。

6.3.2 温度監視ダイオード

TDIODE+ピンと TDIODE–ピンでは、温度監視ダイオードを内蔵しています。このダイオードは、より高い周囲温度環境でのデバイスの温度監視と特性評価を容易にします。オンチップダイオードはあまり特性評価されませんが、既知の周囲温度または基板温度でベースライン測定（オフセット）を実行し、DC 仕様 表に示されるダイオード電圧スロープで線形式を作成することで、ダイオードを効果的に使用できます。デバイスの電源がオフのとき、または PD ピンがアサートされた状態でオフセット測定を実行し、デバイスの自己発熱を最小限に抑えます。PD ピンは、オフセット測定を行うのに十分な時間だけアサートします。推奨モニタリング・デバイスには、テキサス・インスツルメンツの LM95233 デバイスと類似のリモート・ダイオード温度監視製品があります。

6.3.3 タイムスタンプ

TMSTP+および TMSTP–差動入力をタイム・スタンプ入力として使用し、サンプリングされた信号に対する外部トリガ・イベントのタイミングに基づいて、特定のサンプルをマークできます。TMSTP±入力は内部サンプリング・クロックにリタイミングされ、TRIGOUT_EN が 1 に設定されて TRIGOUT±出力をイネーブルし、TRIGOUT_MODE が 3 に設定されている場合、TRIGOUT±出力を繰り返して外部デバイス（レーザー・ドライバなど）をトリガできます。また、TMSTP±入力を JESD204C インターフェイス経由で送信して、特定の ADC サンプルにマークを付けることもできます。タイムスタンプデータを出力するには、TIME_STAMP_EN を設定する必要があります。有効にすると、（表 6-15 の N'パラメータに基づいて）JESD204C モードのサンプルサイズの LSB の代わりに、タイムスタンプ信号が JESD204C インターフェイス経由で送信されます。たとえば、JMODE 0 の JESD204C サンプルサイズ（N'）は 12 であるため、タイムスタンプ情報は LSB（[0]）ビット位置で送信され、12 ビットサンプル（11 ビットに切り捨てられます）は[11 : 1]ビット位置で送信されます。TMSTP±に印加される入力は、ADC サンプリング・クロックに非同期に設定でき、アナログ入力とほぼ同時にサンプリング

Copyright © 2025 Texas Instruments Incorporated

されます。実質的に、TMSTP の±入力は、ADC コアと並列にサンプリングされた 1 ビット ADC として動作し、どちらもデバイス全体でレイテンシが一致しています。タイムスタンプ機能を使用するには、TMSTP± 入力を有効（TMSTP_RECV_EN）にする必要があります。

6.3.4 クロック供給

デバイスのクロック入力サブシステムへの入力には、2 つのクロック入力（CLK±および SE_CLK）と 1 つの同期信号（SYSREF±）が含まれます。PLL_EN ピンを High に設定することで、内部のフェーズ・ロック・ループ（PLL）と電圧制御発振器（VCO）をオプションで使用して、低周波数リファレンスから ADC サンプリング・クロックを生成できます。サンプリングクロック PLL はコンバータ PLL（C-PLL）と呼ばれます。C-PLL 基準電圧は、CLK±差動入力と SE_CLK シングルエンド入力のどちらかに入力できます。シングルエンドの C-PLL リファレンス入力は、PLLREF_SE ピンを High に設定することで選択します。最高の性能を実現するため、PLL_EN と PLLREF_SE が Low に保持されているときに、内部 C-PLL をバイパスして、CLK±入力にサンプリング・クロックを直接入力できます。C-PLL がディスエーブルの場合、SE_CLK は使用できないことに注意してください。C-PLL リファレンスクロックは、PLL が有効のときに、FPGA または ASIC のいずれか、または PLLREFO±LVDS 出力を介して隣接デバイスに送信できます。CLKCFG[1:0]ピンまたは SPI で有効にすると、PLLREFO の 2 つの追加コピーまたは分周コピーを ORC および ORD に出力できます。CMOS 制御ピン（PLL_EN、CLKCFG0、CLKCFG1）が適切に設定されており、PD が Low に保持されている場合、デバイスの電源投入時に PLLREFO と ORC および ORD クロック出力が利用可能です。PD を High に切り替えて、デバイスの電源をオフにします。また、クロック出力もパワーダウンします。

さらに、SerDes ブロックには S-PLL と呼ばれる PLL が含まれており、ADC サンプリングクロックから SerDes 出力クロックを生成します。S-PLL で生成されたクロックは、TRIGOUT±LVDS 出力から分周して出力し、FPGA または ASIC に送信して SerDes レシーバにクロックを入力できます。SYSREF 信号は、選択したクロック入力（CLK±または SE_CLK）によってキャプチャされます。SYSREF ウィンドウ・ブロックは、選択したクロック入力に対する SYSREF 信号のセットアップおよびホールド・タイミングの測定と最適化に使用されます。SYSREF ウィンドウ処理により、外部信号のタイミング要件が緩和されます。図 6-3 に、クロック入力システムを示します。

Copyright © 2025 Texas Instruments Incorporated

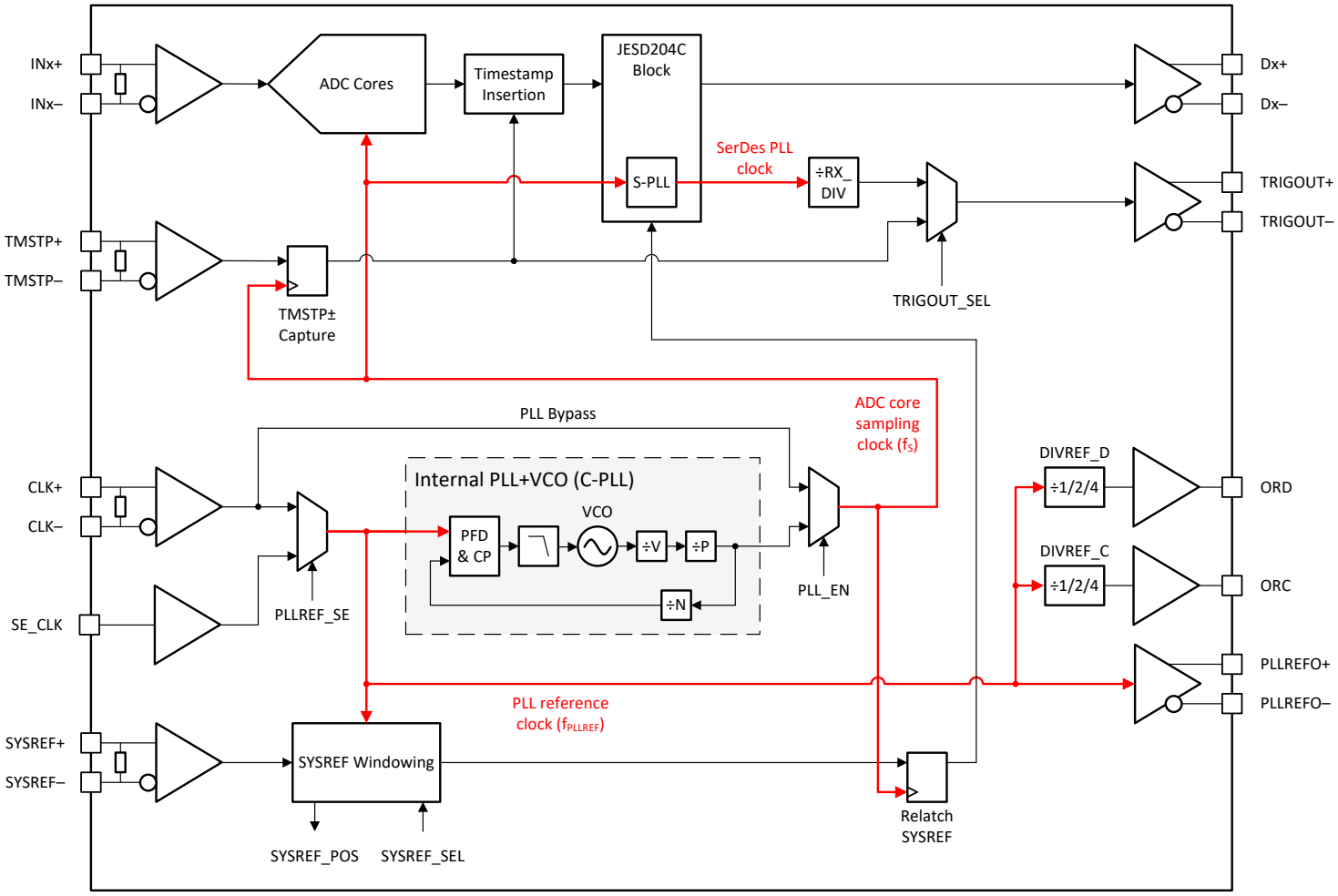


図 6-3. クロッキング サブシステム

PLL が有効のときに C-PLL によって生成されるクロック、または PLL がディセーブルのときに CLK±に入力されるクロックは、ADC コアのサンプリングクロック、およびデジタル信号処理とシリアライザ S-PLL のクロックとして使用されます。PLL が有効かディスエーブルのどちらでも、低ノイズ（低ジッタ）のクロック入力を使用して、ADC 内で高い信号対雑音比（SNR）を維持します。

6.3.4.1 コンバータ PLL (C-PLL) によるサンプリング クロック生成

低周波の基準信号から高速サンプリング・クロックを生成するために、コンバータ PLL（C-PLL）と呼ばれる VCO を内蔵した内蔵 PLL を使用できます。これにより、システム・クロッキング・アーキテクチャが簡素化され、回路基板周辺で高速クロックが配線されるのを回避できます。図 6-4 に、C-PLL アーキテクチャを示します。PLL_EN ピンを High に設定すると、PLL が有効になります。

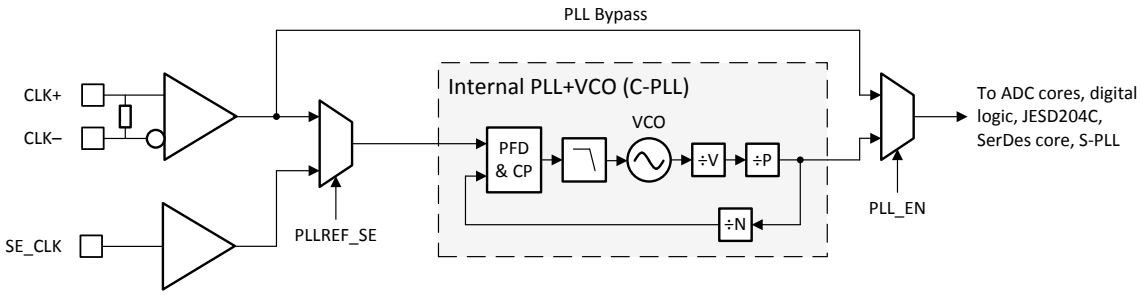


図 6-4. コンバータ PLL（C-PLL）アーキテクチャ

PLLREF_SE ピンが Low に設定されている場合は PLL は CLK±ピンから低周波数の基準クロックを、PLLREF_SE ピンが High に設定されている場合は SE_CLK ピンから低周波数の基準クロックを受け取ります。基準クロックは、位相周波数検出器（PFD）に直接印加されます。PFD は、基準クロックの位相を、VCO から分周されたクロックの位相と比較します。そのため、VCO 周波数（f_{VCO}）をパス内のすべての分周器（V、P、N）で除算すると、基準クロック周波数（f_{REF}）と等しくなる必要があります。サンプリング周波数（f_S）は、基準周波数と N 分周器、または VCO 周波数を V および P 分周器で除算したものです。PLL の動作を決定する式は、式 2 と 式 3 で与えられます。

$$f_S = f_{VCO} \div (V \times P) \quad (2)$$

ここで、

- f_S は ADC コアのサンプリングレートです
- f_{VCO} はスイッチング周波数です
- V は VCO デバイダです
- P は VCO プリスケーラです

$$f_{REF} \times N = f_S \quad (3)$$

ここで、

- f_{REF} は PLL の基準周波数です
- N は PLL 帰還分周器です

式 4 は、V 分周器と P 分周器の積（V×P）を計算するために使用できます。単に V と P を、その積が計算積と等しいように選択するだけです。式 5 を使用して、目的のサンプリング・レートと基準周波数に基づいて N デバイダを計算することができます。

$$V \times P = f_{VCO} \div f_S \quad (4)$$

$$N = f_S \div f_{REF} \quad (5)$$

デバイスの VCO のチューニング範囲は制限されており、PLL により生成できる ADC サンプリング・レートは制限されます。利用可能な VCO の分周比（P と V の積）、および結果のサンプリング・レートは、表 6-3 に示されています。PLL がイネーブルのとき、このデバイスでは、表 6-3 のサンプリング・レートのみが使用可能です。PLL が目的のサンプリング・レートをサポートしていない場合は、PLL をディセーブルし、CLK±ピンに目的のサンプリング・クロックを供給する必要があります。

表 6-3. 利用可能な VCO ディバイダと、実現可能な ADC サンプリングレート

VCO 分周器（P×V）	最小 ADC コア・サンプリング・レート	最大 ADC コアサンプリングレート
5	1440 MSPS	1600 MSPS
6	1200 MSPS	1367 MSPS
8	900 MSPS	1025 MSPS
10	720 MSPS	820 MSPS

Copyright © 2025 Texas Instruments Incorporated

表 6-3. 利用可能な VCO ディバイダと、実現可能な ADC サンプリングレート (続き)

VCO 分周器(P×V)	最小 ADC コア・サンプリング・レート	最大 ADC コアサンプリングレート
12	600 MSPS	683 MSPS
16	500 MSPS	513 MSPS

C-PLL は、レジスタ CPLL_RESET を 1(アドレス= 0x5C CPLL_RESET)にセットして、いずれかの C-PLL 設定を変更する前に、リセット状態に保持する必要があります。C-PLL デバイダは、レジスタ PLL_P_DIV(アドレス= 0x3D PLL_P_DIV)、PLL_V_DIV(アドレス= 0x03D PLL_V_DIV)、PLL_N_DIV(アドレス= 0x3E PLL_N_DIV)を使ってプログラムできます。分周器をプログラミングした後、最初にレジスタ VCO_CAL_EN を 1 に設定(アドレス= 0x5D VCO_CAL_EN)することで VCO キャリブレーションを実行する必要があります。レジスタ CPLL_RESET(アドレス= 0x5C CPLL_RESET)が 0 に設定されているときに、VCO キャリブレーションが実行され、C-PLL がリセットから復帰します。レジスタ VCO_CAL_DONE(アドレス= 0x5E VCO_CAL_DONE)が 1 を返し、レジスタ CPLL_LOCKED(アドレス= 0x208 CPLL_LOCKED)が 1 のとき、キャリブレーションは完了し、C-PLL がロックされます。

C-PLL には VA11Q および VCLK11 のノイズ抑制オプションが搭載されており、サンプリング・ジッタとリファレンス・クロックの入力スプリアスを低減しますが、それぞれの電流は約 20mA を犠牲にしています。制御ビットは CLK_CTRL2 レジスタ(アドレス= 0x2B CLK_CTRL2)にあります。

6.3.4.2 LVDS クロック出力 (PLLREFO±、TRIGOUT±)

システム・クロッキング・アーキテクチャを簡素化するために、2 つの LVDS クロック出力が備わっています。図 6-3 に、これらの出力を示します。最初の LVDS クロック出力は PLLREFO±です。PLLREFO は、PLLREF_SE によって決定されるように、選択された基準クロック入力(CLK±または SE_CLK)から PLL 基準クロックを直接繰り返します。PLLREFO±出力は、C-PLL が有効になると自動的に有効になりますが、PLLREFO_EN を 0 に設定することでディスエーブルにできます。この出力は、PLL_EN ピンが High に設定されており、PD が Low に設定されているときのみ利用できます。PD を High に設定すると、この出力はディスエーブルになるため、システムの動作に PLLREFO±が必要な場合は PD を使用しないでください。PLLREFO±の使用例には、FPGA または ASIC のデジタル・コア・ファブリックの駆動が含まれます。または、追加のデバイスの CLK±入力ピンにデイジーチェーン接続して、2 番目のデバイスの PLL リファレンス・クロックを供給することもできます。PLLREFO±出力は、システムで必要とされる数だけ、ADC12QJ1600-SP デバイスの CLK±入力にデイジーチェーン接続することができます。決定論的なレイテンシと同期を実現するには、SYSREF を個別のクロック・ソース(クロック・チップ、FPGA、ASIC など)から供給する必要があり、リファレンス・クロック入力に対して各デバイスでセットアップおよびホールド時間が満たされる必要があることに注意してください。

2 番目の LVDS クロック出力は TRIGOUT±です。この出力は、TMSTP±入力(タイムスタンプまたはトリガ出力として)または JESD204C SerDes PLL(S-PLL)から供給されます。このクロック出力はデバイスの起動時には利用できないため、SPI インターフェイス経由で有効にする必要があります。S-PLL は RX_DIV デバイダで分周し、TRIGOUT±ピンからの出力を、FPGA または ASIC トランシーバー・ブロック用の基準クロックとして使用できます。TRIGOUT±出力を有効にし、TRIGOUT_CTRL レジスタを介して TRIGOUT±動作モード(RX_DIV デバイダを含む)を設定します。S-PLL を TRIGOUT±source として選択すると、TRIGOUT±クロック出力周波数は 式 6 で計算できます。

$$f_{TRIGOUT} = f_{LINERATE} \div RX_DIV \quad (6)$$

ここで、

- $f_{TRIGOUT}$ は TRIGOUT±出力クロック周波数(MHz)
- $f_{LINERATE}$ は SerDes ラインレート(Mbps)
- RX_DIV は、S-PLL 出力分周器です

6.3.4.3 オプションの CMOS クロック出力 (ORC、ORD)

CLKCFG[1:0]または SPI で構成した場合、ORC および ORD で追加の CMOS PLL リファレンスクロック出力が利用できます。CLKCFG[1:0]を使ってクロック出力を有効にしている場合、および PD が Low に保持されている場合、デバイスの電源投入時にクロック出力が利用可能です。PD ピンを High に設定すると、これらの出力がディスエーブルになるため、システム動作にこれらのクロックが必要な場合は PD ピンを使用しないでください。SPI レジスタのオーバーライドは、

Copyright © 2025 Texas Instruments Incorporated

DIVREF_C_MODE および DIVREF_D_MODE SPI レジスタ設定により、CLKCFG[1 : 0]ピンで利用できます。CLKCFG[1:0]は、ORC と ORD の有効またはディスエーブル、および ORC の出力分周器の設定に使用できますが、ORD の出力分周器の設定(有効またはディスエーブルのみ)はできないことに注意してください。表 6-4 と表 6-5 に示すように、DIVREF_C および DIVREF_D 機能はオーバーレンジよりも優先されます。これらの出力をクロック出力として使用すると、ADC の出力スペクトルに、出力周波数および出力周波数の高調波のスプリアスが発生します。ノイズの影響を制限するため、これらの出力への容量性負荷は 10pF 未満に制限してください。

注

DIVREF_D 機能は、DIVREF_C も有効(DIVREF_C_MODE > 0)の場合にのみ使用できます。必要なクロック出力が 1 つしかない場合は、外部デバイスを ORC に接続し、DIVREF_C 機能を有効にします。

表 6-4. ORC 機能の設定

CPLL_OVR_EN	CLKCFG1	CLKCFG0	DIVREF_C_MODE	OVR_EN	ORC の機能
0	0	0	X	0	ディセーブル
0	0	0	X	1	チャネル C
0	0	1	X	X	PLL リファレンス
0	1	0	X	X	PLL リファレンス/2
0	1	1	X	X	PLL リファレンス/4
1	X	X	0x0	0	ディセーブル
1	X	X	0x0	1	チャネル C
1	X	X	0x1	X	PLL リファレンス
1	X	X	0x2	X	PLL リファレンス/2
1	X	X	0x3	X	PLL リファレンス/4

表 6-5. ORD 機能の設定

CPLL_OVR_EN	CLKCFG1	CLKCFG0	DIVREF_D_MODE	OVR_EN	ORD の機能
0	0	0	X	0	ディセーブル
0	0	0	X	1	チャネル D
0	0	1	X	X	PLL リファレンス
0	1	0	X	X	PLL リファレンス
0	1	1	X	X	PLL リファレンス
0	0	0	0x0	0	ディセーブル
1	X	X	0x0	1	チャネル D
1	X	X	0x1	X	PLL リファレンス
1	X	X	0x2	X	PLL リファレンス/2
1	X	X	0x3	X	PLL リファレンス/4

6.3.4.4 SYSREF による JESD204C Subclass-1 決定論的レイテンシ

SYSREF は、JESD204C Subclass-1 の実装に使用される決定論的レイテンシのシステム・タイミング・リファレンスです。SYSREF は決定論的レイテンシを実現し、マルチデバイスの同期を行うために使用されます。再現可能なレイテンシと同期を実現するには、正しいデバイス・クロック・エッジによって SYSREF をキャプチャする必要があります。SYSREF ウィンドウ処理機能を備えているため、外部クロック回路の要件が容易になり、同期プロセスを簡素化できます。SYSREF ウィンドウ処理を使用すると、従来のセットアップおよびホールド時間が不要になり、SYSREF ウィンドウ処理が不要になります。SYSREF は、シングルパルスまたは周期クロックとして実装できます。周期的な実装では、SYSREF は 8B/10B エンコーディング・モードのローカルマルチフレーム・クロック周波数または 64B または 66B エンコーディング・モードのローカル拡張マルチブロック・クロック周波数と等しいか整数除算する必要があります。式 7 を使用して、8B/10B エンコード・モード

Copyright © 2025 Texas Instruments Incorporated

で有効な SYSREF 周波数を計算します。64B または 66B モードでは、分母は 66×32 × E×n に変わります。ここで E は拡張マルチブロック内のマルチブロック数です。

$$f_{SYSREF} = \frac{R \times f_{CLK}}{10 \times F \times K \times n} \quad (7)$$

ここで、

- R と F は、JMODE 設定によって設定されます（表 6-15 を参照）
- f_{CLK} はデバイス・クロック周波数（CLK±）です
- K はプログラムされたマルチフレーム長です（有効な K 設定については、表 6-15 を参照）。
- n は任意の正の整数です

6.3.4.4.1 SYSREF キャプチャによるマルチ デバイス同期および決定論的レイテンシ

クロック処理サブシステムは、マルチデバイスの同期と確定的レイテンシを実現するために大きな役割を果たしています。このデバイスは JESD204C Subclass-1 方式を使用して、決定論的なレイテンシと同期を実現します。サブクラス 1 では、システムの各電源オン時およびシステムの各デバイスで、SYSREF 信号を決定論的クロック（CLK±または SE_CLK）エッジでキャプチャする必要があります。この要件には、CLK±に対する SYSREF のセットアップとホールドの制約が必要であり、この制約はシステムのあらゆる動作条件にわたってギガサンプル・クロック・レートで満たすのが困難な場合があります。このデバイスは、この同期プロセスを簡素化し、システム・タイミングの制約を緩和するための、以下のような、多数の機能を備えています:

- このデバイスには、高周波サンプリング・クロックを生成するための PLL と VCO が内蔵されており、低周波数の基準クロックを基準としたタイミングのみを満たす必要があるため、タイミング要件を緩和します。
- SYSREF 位置検出器（CLK±または SE_CLK を基準とします）と、選択可能な SYSREF サンプリング位置により、あらゆる条件についてセットアップ時間とホールド時間を満たすことができます。*SYSREF 位置検出器およびサンプリング位置の選択 (SYSREF ウィンドウ処理)*セクションを参照してください

6.3.4.4.2 SYSREF 位置検出器およびサンプリング位置選択 (SYSREF ウィンドウ処理)

SYSREF ウィンドウ化ブロックは、最初に入力クロック（CLK±または SE_CLK）の立ち上がりエッジに対する SYSREF の位置を検出してから、目的の SYSREF サンプリング・インスタンス（入力クロックの遅延版）を選択するために使用され、セットアップおよびホールドのタイミング・マージンを最大化します。多くの場合、すべてのシステム（デバイス間のばらつき）と条件（温度および電圧の変化）のタイミングを満たすには、単一の SYSREF サンプリング位置（SYSREF_SEL）で十分です。ただし、この機能を使用して、動作条件の変化に応じた SYSREF の移動を追跡してタイミング・ウィンドウを拡大することや、システムごとに公称条件で独自の最適値を見つけることで製造テスト時のシステム間の変動を排除することもできます。

このセクションでは、SYSREF ウィンドウ処理ブロックの適切な使用方法について説明します。最初に、デバイス・クロックと SYSREF をデバイスに印加します。デバイスクロックサイクルに対する SYSREF の位置が決定され、SYSREF_POS フィールドに保存されます。SYSREF_POS の各ビットは、SYSREF サンプリング位置の可能性を表します。SYSREF_POS のビットが 1 に設定されている場合、対応する SYSREF サンプリング位置にはセットアップまたはホールド違反の可能性があります。有効な SYSREF サンプリング位置（0 に設定される SYSREF_POS の位置）を決定するときは、その SYSREF_POS の位置に対応する値に SYSREF_SEL を設定することで、目的のサンプリング位置を選択できます。一般に、2 つのセットアップインスタンスとホールドインスタンスの中間サンプリング位置が選択されます。理想的には、SYSREF_POS および SYSREF_SEL は、システムの公称動作条件（温度および電源電圧）で実行され、動作条件変動に対して最大のマージンを確保します。このプロセスは最終テストで実行でき、最適な SYSREF_SEL 設定を保存して、システム電源投入時に使用できます。さらに、SYSREF_POS を使用して、システムの温度と電源電圧をスイープすることで、システムの動作条件全体にわたって CLK±と SYSREF±との間のスキューの特性を決定できます。CLK±から SYSREF±の間のスキューに大きな変動があるシステムでは、この特性評価を使用することで、システムの動作条件が変化したときの最適な SYSREF サンプリング位置を追跡できます。一般的に、CLK±と SYSREF±が単一のクロックデバイスから供給される場合など、システムが適切にマッチしている場合、すべての条件を満たすタイミング値を 1 つ見つけることができます。

Copyright © 2025 Texas Instruments Incorporated

各 SYSREF_POS のサンプリング位置の間のステップサイズは、SYSREF_ZOOM を使用して調整できます。SYSREF_ZOOM が 0 に設定されている場合、遅延ステップは粗くなります。SYSREF_ZOOM が 1 に設定されている場合は、遅延ステップは細かくなります。SYSREF_ZOOM が有効およびディスエーブルの場合の遅延ステップサイズについては、タイミング要件 表を参照してください。一般に、遷移領域（SYSREF_POS で 1 で定義）が観測されない場合を除き、常に SYSREF_ZOOM を使用する（SYSREF_ZOOM = 1）ことを推奨しますが、これは低クロック・レートの場合に起こり得ます。SYSREF_POS のビット 0 および 23 は、これらの設定がタイミング違反に近いかどうかを判定する十分な情報がないため、常に 1 に設定されます。ただし、実際の有効なウィンドウはこれらのサンプリング位置を超えて拡張できます。SYSREF_SEL にプログラムされる値は、SYSREF_POS の目的のビット位置を表す 10 進数です。表 6-6 に、SYSREF_POS の読み取り値の例と、最適な SYSREF_SEL 設定を示します。SYSREF_POS ステータス・レジスタでは 24 のサンプリング位置が指定されますが、SYSREF_SEL では最初の 16 のサンプリング位置のみが選択可能であり、SYSREF_POS のビット 0 から 15 に対応しています。追加の SYSREF_POS ステータス・ビットは、SYSREF 有効ウィンドウについての追加情報を提供することのみを目的としています。一般に、電源電圧による遅延変動のため、SYSREF_SEL の値をより小さい値に選択しますが、4 番目の例では値 15 を使用するとマージンが追加され、代わりに選択できます。

表 6-6. SYSREF_POS 読み取り値と SYSREF_SEL の選択例

SYSREF_POS[23:0]			SYSREF_SEL の最適な設定
0x02E[7:0]（最大遅延）	0x02D[7:0](1)	0x02C[7:0](1)（最小遅延）	
b10000000	b01100000	b00011001	8 または 9
b10011000	b00000000	b00110001	12
b10000000	b01100000	b00000001	6 または 7
b10000000	b00000011	b00000001	4 または 15
b10001100	b01100011	b00011001	6

(1) 赤色の着色は、この表の最後の列に示されているように、選択されたビットを示しています。

6.3.5 JESD204C インターフェイス

このデバイスは、データコンバータ用に、JESD204C 高速シリアルインターフェイスを使用して、ADC から受信ロジックデバイスにデータを転送します。このデバイスのシリアル化レーンは、8B/10B エンコードと、64B または 66B エンコードの両方で動作できます。8B または 10B エンコードを使用する JESD204C 出力形式は、既存の JESD204B レシーバと下位互換性があります。速度が制限されたロジック・デバイスとのインターフェイス用に、最大 8 レーンを使用できます。8B または 10B と 64B または 66B でエンコードされた JESD204C にはいくつかの違いがあります。これらについては、このセクションで説明します。図 6-5 に、8B または 10B にエンコードされた JESD204C インターフェイスの概略ブロック図を示し、図 6-6 に 64B または 66B にエンコードされた JESD204C インターフェイスの概略ブロック図を示します。

Copyright © 2025 Texas Instruments Incorporated

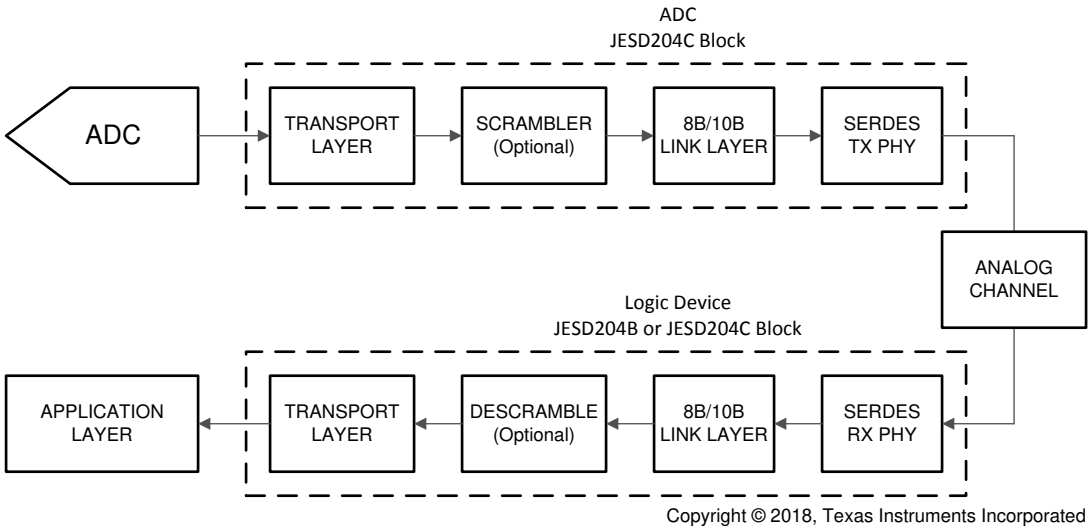


図 6-5. 8B/10B エンコードされた JESD204C インターフェイスのダイアグラム

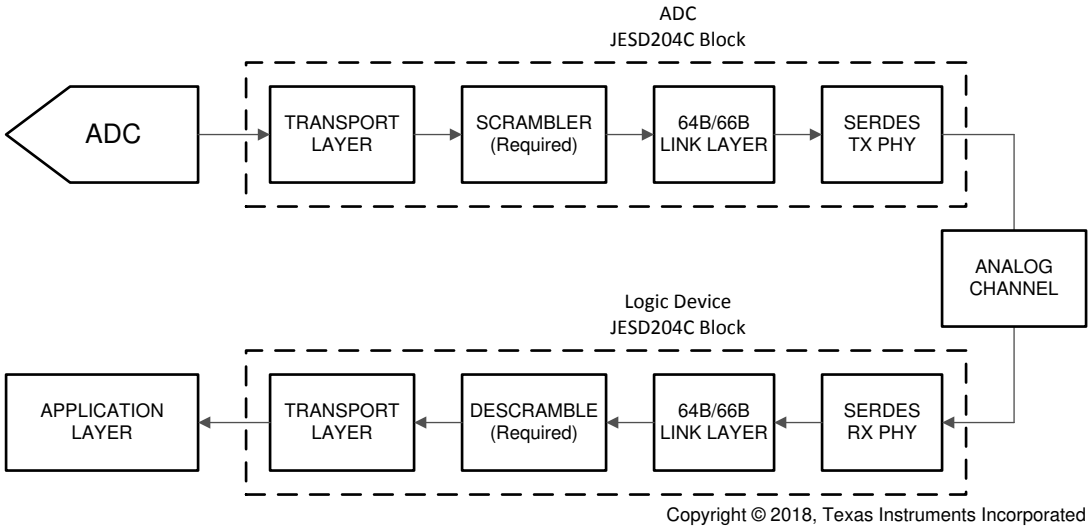


図 6-6. 64B/66B エンコードされた JESD204C インターフェイスのダイアグラム

JESD204C インターフェイスで使用される各種の信号および関連する ADC12QJ1600-SP ピン名を、表 6-7 に参照用に簡単にまとめました。8B または 10B と 64B または 66B でエンコードされた JESD204C の信号のほとんどは共通ですが、64B または 66B エンコーディングではブロック同期を実現する必要がないため、$\overline{\text{SYNC}}$ は例外です。データストリームにエンコードされた同期ヘッダーは、$\overline{\text{SYNC}}$ 信号の代わりにブロック同期に使用されます。

表 6-7. JESD204C 信号の概要

信号名	ピン名	8B/10B	64B/66B	説明
データ	D[7:0]+、D[7:0]–	あり	あり	8B/10B または 64B/66B エンコード後の高速シリアル化データ
$\overline{\text{SYNC}}$	$\overline{\text{SYNCSE}}$	あり	なし	リンク初期化信号（ハンドシェイク）。Low に切り替えて、コード・グループ同期（CGS）プロセスを開始します。NCO 同期目的で使用されない限り、64B/66B エンコーディングモードでは使用されません。

Copyright © 2025 Texas Instruments Incorporated

表 6-7. JESD204C 信号の概要 (続き)

信号名	ピン名	8B/10B	64B/66B	説明
デバイス クロック	CLK+、CLK–、または SE_CLK	あり	あり	ADC サンプリング・クロックまたは PLL リファレンス・クロック、デジタル・ロジックや出力シリアライザのクロック供給にも使用します
SYSREF	SYSREF+、SYSREF–	あり	あり	各 JESD204C デバイスの内部ローカルマルチフレームクロック(LMFC)またはローカル拡張マルチブロッククロック(LEMC)カウンタを確定的にリセットするために使用されるシステムタイミング基準

ADC12QJ1600-SP には、JESD204C のすべてのオプション機能がサポートされているわけではありません。サポートされている機能とサポートされていない機能のリストについては、表 6-8 を参照してください。

表 6-8. サポートされている JESD204C 機能の宣言

文字識別子	参照条項	機能	ADC12QJ1600-SP でサポート
a	第 8 項	8B/10B リンク層	対応
b	第 7 項	64B/66B リンク層	対応
c	第 7 項	64B/80B リンク層	非対応
d	第 7 項	64B/66B または 64B/80B リンク層を使用する場合のコマンドチャネル	非対応
e	第 7 項	64B/66B または 64B/80B リンク層を使用する場合の前方誤り訂正(FEC)	対応
f	第 7 項	64B/66B または 64B/80B リンク・レイヤを使用する場合の CRC3	非対応
g	第 8 項	8B/10B リンク層を使用するときの物理 $\overline{\text{SYNC}}$ ピン	対応
h	第 7 項、第 8 項	サブクラス 0	サポートされていませんが、サブクラス 1 トランスミッタはサブクラス 0 レシーバと互換性があります
i	第 7 項、第 8 項	サブクラス 1	対応
j	第 8 項	サブクラス 2	非対応
k	第 7 項、第 8 項	単一リンク内のレーン整列	対応
l	第 7 項、第 8 項	MULTIREF 信号によるマルチポイントリンクでのレーン整列をサポートするサブクラス 1	非対応
m	第 8 項	$\overline{\text{SYNC}}$ インターフェイスのタイミングは、JESD204A に対応しています	対応
n	第 8 項	$\overline{\text{SYNC}}$ インターフェイスのタイミングは、JESD204B に対応しています	対応

6.3.5.1 トランスポート層

トランスポート層は ADC 出力からサンプルを取得し、サンプルをフレーム内のオクテットにマッピングします。これらのフレームは、使用可能なレーンにマッピングされます。オクテットをフレームに、フレームをレーンにマッピングする方法は、L、M、F、S、N、N'などのトランスポート層の設定によって定義されます。オクテットは 8 ビット(8B/10B または 64B/66B エンコーディングより前)であり、フレームは F オクテットで構成され、フレームは L レーンにマッピングされます。サンプルは N ビットですが、リンク経由で N'ビットとして送信されます。サンプルは M コンバータから供給されフレーム・サイクルごとに S サンプルが表示されます。M は、より望ましいマッピングを得るために人工的に増加することがあります。たとえば、長いフレームの M 値を大きくすると、遅延を低減できます。

Copyright © 2025 Texas Instruments Incorporated

デバイスには、表 6-15 で定義されている多数の事前定義済みトランスポートレイヤモードがあります。デバイスのトランスポート層の高レベル構成パラメータについては、表 6-13 を参照してください。トランスポートレイヤモードは、JMODE レジスタ設定を単純に設定することで選択されます。参考までに、JESD204C のさまざまな構成パラメータを 表 6-14 に定義します。

64B/66B エンコーディングを使用する場合、8B/10B エンコーディングまたはブロック、マルチブロック、および拡張マルチブロックを使用すると、リンク層はフレームをさらにマルチフレームにマッピングします。

6.3.5.2 スクランブル機能

チャネルを経由して転送する前にデータをスクランブルするには、データ・スクランブラを使用できます。スクランブルは、反復データストリームによる送信データのスペクトルピークの可能性を除くために使用されます。8B または 10B エンコード・モードでは、スクランブラはオプションですが、クロック・リカバリとアダプティブ・イコライゼーションに十分なスペクトル・コンテンツを確保するために、64B または 66B エンコード・モードでは必須です。8B または 10B のスクランブラは、10 ビットエンコーディングの前に 8 ビットのオクテットをスクランブルし、64B または 66B のスクランブラは、同期ヘッダー挿入（66 ビットエンコーディング）の前に 64 ビットのブロックをスクランブルします。JESD204C レシーバは、デスクランブラを受信スクランブル化データストリームと自動的に同期させます。8B/10B エンコーディングでは、初期レーン・アライメント・シーケンス(ILA)はスクランブルされません。スクランブルは、8B または 10B エンコードモードに SCR を設定することで有効にできますが、64B/66B モードでは自動的に有効になります。スクランブル多項式は、JESD204C 規格で定義されている 8B または 10B の符号化と 64B または 66B の符号化方式とは異なります。

6.3.5.3 リンク層

JESD204C では、8B または 10B と 64B または 66B の両方のエンコード方式に対応するため、リンクレイヤは複数の目的を果たしますが、それぞれのエンコード方式での実装にはいくつか違いがあります。一般に、リンク層の役割には、データのスクランブル処理（*スクランブル処理* を参照）、コード（8B または 10B）またはブロック（64B または 66B）境界の確立、マルチフレーム（8B または 10B）またはマルチブロック（64B または 66B）境界の確立、リンクの初期化、データのエンコード、リンクの健全性の監視が含まれます。このセクションは、各エンコード方式の具体的な実装をカバーするために、8B または 10B セクション（*8B または 10B リンク層*）と 64B または 66B セクション（*64B または 66B リンク層*）に分割されています。

6.3.5.4 8B/10B リンク層

このセクションでは、文字、フレームおよびマルチフレーム境界の初期化、レーンの整列、8B または 10B エンコード、フレームのモニタリング、および動作中のマルチフレーム整列など、8B または 10B エンコード動作モードのリンクレイヤについて説明します。

6.3.5.4.1 データ エンコード (8B または 10B)

データリンク層は、トランスポート層からの 8 ビットオクテットを 10 ビット文字に変換し、8B または 10B エンコーディングを使用してリンクを伝送します。8B または 10B エンコーディングにより DC バランスが保証され、SerDes トランスミッタとレシーバ間の AC カップリングを使用し、レシーバがデータクロックを確実に回復するための十分な数のエッジ遷移を指定します。8B/10B エンコーディングでは、文字のシングルビットエラーが 8B または 10B デコーダルックアップテーブルの 10 ビット文字を見つけることができないか、間違った文字の不一致をもたらす可能性があるため、いくつかのエラー検出も提供します。

6.3.5.4.2 マルチフレームおよびローカル マルチフレーム クロック (LMFC)

トランスポート層からのフレームはマルチフレームに結合され、サブクラス 1 の実装で決定論的レイテンシーを達成するプロセスで使用されます。マルチフレームの長さは、マルチフレーム内のフレーム数を定義する K パラメータによって設定されます。JESD204C は、JESD204B のマルチフレームあたりの最大許容フレーム数（K）を 32 個から JESD204C の 256 個に増やします。その結果、より長いマルチフレームを実現し、確定的なレイテンシ要件を緩和することができます。K の合計許容範囲は、不等式 ceil（17/F）≤K≤min（256, floor（1024/F））によって定義されます。ここで、ceil（）と floor（）はそれぞれ天井関数と床関数です。ローカルマルチフレームクロック（LMFC）は、確定的なレイテンシおよびデータ同期の目的で、マルチフレームの開始と終了を追跡します。LMFC は、決定論的レイテンシのタイミング基準として機能するために、SYSREF 信号によってトランスミッタとレシーバの両方の決定論的位相にリセットされます。LMFC のクロック周波数

Copyright © 2025 Texas Instruments Incorporated

は 式 8 で与えられます。ここで、f_{BIT} は SerDes インターフェイスのシリアル化ビット・レート（ライン・レート）であり、F と K は上記のように定義されます。SYSREF が連続信号の場合、8B/10B エンコード・モードを使用する場合、SYSREF の周波数は f_{LMFC} の整数分周と同じか、または整数分周となる必要があります。

$$f_{LMFC} = f_{BIT} / (10 \times F \times K) \quad (8)$$

6.3.5.4.3 コード グループ同期 (CGS)

LMFC が SYSREF によって確定的にリセットされた後で、JESD204C リンクを初期化する最初のステップは、レシーバが各 SerDes レーンに送信される符号化された 10 ビット文字の境界を見つけることです。このプロセスをコードグループ同期（CGS）と呼びます。リンクを初期化する準備ができたとき、レシーバは最初に同期信号（ロジック 0 に設定）をアサートします。送信機は K28.5 カンマ文字のストリームを送信することで要求に応答します。受信機は K28.5 文字シーケンスに文字クロックを調整し、4 つの連続する K28.5 文字を受信した後に CGS を達成します。レシーバは、CGS に達した後、次の LMFC エッジで同期（ロジック「1」に設定）をデアサートし、トランスミッタが初期レーン・アライメント・シーケンス（ILAS）を開始するまで待機します。

6.3.5.4.4 初期レーン整列シーケンス (ILAS)

トランスミッタが 同期 信号のデアサート（ロジック「0」からロジック「1」遷移）を検出した後、トランスミッタは次の LMFC エッジまで待機して、初期レーン整列シーケンス（ILAS）の送信を開始します。ILAS は 4 つのマルチフレームから構成され、それぞれにあらかじめ決められた配列が含まれています。レシーバは ILAS の開始位置を探し、フレームとマルチフレームの境界を決定します。ILAS の各マルチフレームは、a/R/キャラクタ(K28.0)で始まり、a/A/キャラクタ(K28.3)で終わる。どちらかを使用してマルチフレームの境界を検出することができます。各レーンは、ILAS がレシーバに到達すると、/R/文字から始まる弾性バッファー内のデータのバッファを開始し、すべてのレシーバが ILAS を受信した後、レーンを揃えるためにすべてのレーンから同時に ILAS を解放します。弾性バッファ解放点は、データ遅延の変動(各レーンのレシーバへの ILAS の到着)によるデータの解放のあいまいさを避けるために選択されます。ILAS の 2 番目のマルチフレームには、JESD204C リンク設定用の構成パラメータが含まれており、これをレシーバが使用して、トランスミッターとレシーバの構成が一致していることを確認できます。

6.3.5.4.5 フレームおよびマルチフレーム監視

このデバイスは、フレームおよびマルチフレーム監視をサポートしており、8B/10B エンコードを使用するときに JESD204C リンクの健全性を検証します。スクランブルの使用に応じて方式が変わります。スクランブルがディスエーブルになっている場合の実装については、最初に説明します。現在のフレームの最後のオクテットが前のフレームの最後のオクテットと一致する場合、現在のフレームの最後のオクテットは/F/（K28.7）文字としてエンコードされます。現在のフレームがマルチフレームの最後のフレームでもある場合は、代わりに/A/（K28.3）文字が使用されます。整列監視のために送信機に置き換えられた場合を除き、通常のデータストリームでは/F/または/A/文字は発生しません。レシーバが通常のデータストリーム内で/F/または/A/文字を検出すると、レシーバはフレームまたはマルチフレームの終端と想定される場所で文字が発生しているかどうかを確認します。フレームまたはマルチフレームの終端以外の場所でキャラクタが発生した場合、トランスミッターまたはレシーバの位置がずれています。レシーバは、適切に整列された/F/または/A/文字を受信すると、整列文字を適切なデータ文字に置き換えます。適切なデータ文字は、以前に受信したフレームの最後のオクテットです。この方式は、スクランブルされていないデータストリームの整列文字の確率を高めます。

スクランブルを有効にした場合の実装は、オクテットがランダム化されているため、若干異なります。フレームの最後のオクテットが 0xFC（8B/10B エンコード前）の場合、送信機はオクテットを/F/（/K28.7/）文字としてエンコードします。マルチフレームの最後のオクテットが 0x7C（8B/10B エンコード前）である場合、トランスミッタはオクテットを/A/（/K28.3/）文字としてエンコードします。/A/および/F/文字の位置が監視され、フレームとマルチフレームの適切な整列が確認されます。レシーバは、/F/文字を 0xFC オクテットに、/a/文字を 0x7C オクテットに置き換えるだけで、整列文字を置き換えます。

誤った位置に複数の整列文字が発生した場合や、予期した場合にエラーが発生しない場合は、受信側でエラーが報告されることがあります。フレームまたはマルチフレームのずれが検出されると、レシーバは SYNC をアサートしてリンクの再整列をトリガする必要があります。また、リンクを再起動する前に、トランスミッタとレシーバの LMFC が適切に整列していることを確認するために、SYSREF を再発行する必要もあります。

Copyright © 2025 Texas Instruments Incorporated

6.3.5.5 64B/66B リンク層

このセクションでは、データのスクランブル、同期ヘッダーの追加（64B または 6B エンコーディング）、ブロックとマルチブロックの構造、同期ヘッダー、巡回冗長検査（CRC）、前方誤り訂正（FEC）、リンクアライメントなど、64B または 66B エンコーディング動作モードのリンク整列について説明します。

6.3.5.5.1 64B または 66B エンコード

トランスポート層によって形成されたフレームは、8 オクテット長ブロック（64 ビット）にパックされます。この 64 ビットブロックはスクランブルされ、2 ビットの同期ヘッダー（SH）が追加されて 66 ビットの送信ブロックが形成されます。同期ヘッダーは、ブロックの末尾にマーキングすることでブロック同期に使用され、巡回冗長検査（CRC）、前方誤り訂正（FEC）、またはコマンドチャネルを可能にします。表 6-9 に、ブロックの構造を示します。ここで、SH は追加された 2 ビット同期ヘッダーを表します。

表 6-9. 同期ヘッダーを備えた 64B または 66B ブロックの構造

SH	OCTET0	OCTET1	OCTET2	OCTET3	OCTET4	OCTET5	OCTET6	OCTET7
[0:1]	[2:9]	[10:17]	[18:25]	[26:33]	[34:41]	[42:49]	[50:57]	[58:65]

6.3.5.5.2 マルチブロック、拡張マルチブロック、ローカル拡張マルチブロック クロック (LEMC)

マルチブロックは、32 ブロックの連結で構成される 32 ブロックコンテナです。拡張マルチブロックは、複数のマルチブロックを連結したもので、E は拡張マルチブロック内のマルチブロック数を定義します。フレームはブロックとマルチブロックに分割できますが、拡張マルチブロックには整数のフレーム数が必要です。拡張マルチブロックは、マルチブロックに整数のフレーム数がない場合にのみ必要です。マルチブロックにフレーム数が整数であるため、拡張マルチブロックが使用されない場合、E パラメータは 1 になり、拡張マルチブロックにマルチブロックが 1 つあることを示します。

拡張マルチブロックは、8B または 10B トランスポート層のマルチフレームに似ています。ローカル拡張マルチブロッククロック（LEMC）は、マルチブロックの開始と終了を決定論的レイテンシとデータ同期の目的で追跡します。LMFC は、8B または 10B エンコーディングでマルチフレームの開始と終了を追跡するのと同じ方法で、マルチブロックの開始と終了を追跡します。LEMC は、決定論的レイテンシのタイミング基準として機能するために、SYSREF 信号によってトランスミッタとレシーバの両方の決定論的位相にリセットされます。LEMC のクロック周波数は、式 9 で定義されます。ここで、f_{BIT} は SerDes インターフェイスのシリアル化ビット・レート（ライン・レート）です。SYSREF が連続信号の場合、64B または 66B エンコード・モードを使用する場合、SYSREF の周波数は f_{LMFC} の整数分周と同じか、または整数分周となる必要があります。

$$f_{LEMC} = f_{BIT} / (66 \times 32 \times E) \quad (9)$$

6.3.5.5.2.1 同期ヘッダを使用したブロック、マルチブロック、拡張マルチブロック整列

同期ヘッダーには、常に反対側の 2 つのビット（01 または 10）が含まれています。JESD204C レシーバは、常に 0 から 1 または 1 から 0 への遷移を含む 66 ビットの境界を探すことで、ブロック境界を見つけることができます。0 から 1 へ、1 から 0 への遷移はブロック内の他の場所で発生しますが、シーケンスが正しい同期ヘッダー位置以外の固定位置に長時間連続して出現することは不可能です。同期ヘッダーはブロックの開始を示し、ブロックのアライメント監視に使用できます。ブロックの想定された同期ヘッダー位置で 00 または 11 ビットのシーケンスが見られると、ブロック整列が失われている可能性があります。誤った同期ヘッダービットが複数回発生すると、すべてのデバイスに SYSREF を送信して LEMC 整列をリセットした後で、同期ヘッダーの検索をトリガする必要があります。

01 の同期ヘッダー（[0:1]）は 1 の送信に対応し、10 の同期ヘッダーは 0 の送信に対応します。マルチブロックの各ブロックの同期ヘッダーから送信されたビットは、同期ヘッダーストリームと呼ばれる 32 ビットワードに結合されます。同期ヘッダーストリームは、マルチブロックと拡張マルチブロックの境界をマーキングしてリンクを同期するために、ユーザーデータと並行してデータを送信するために使用されます。さらに、同期ヘッダストリームは、CRC、FEC、またはコマンドチャネルのいずれかを提供します。ADC12QJ1600-SP は、CRC-12 および FEC をサポートしており、CRC-3 およびコマンドチャネルはサポートしていません。

32 ビットの同期ヘッダーストリームは、常にマルチブロックの終了を示す EoMB（End-Of-Multiblock）信号と呼ばれる 00001 ビットシーケンスで終了します。CRC およびコマンドチャネルモードの場合、同期ヘッダーストリーム内の他の場所

Copyright © 2025 Texas Instruments Incorporated

で 00001 シーケンスが発生することはありません。FEC モードでは、00001 シーケンスが同期ヘッダーストリーム内の別の場所に表示される可能性がありますが、複数のマルチブロックのシーケンス内の同じ場所に 00001 シーケンスが表示されることはありません。したがって、FEC モードでは、マルチブロックの終了を見つけるのに複数のマルチブロックが必要になる場合があります。拡張マルチブロックの終了は、同期ヘッダーストリームのビット 22（EoEMB ビット）を監視することにより、すべてのモードで検出されます。EoEMB ビットは、1 に設定されている場合、拡張マルチブロックの終了を示します。EoMB（00001）および EoEMB 信号、および CRC およびコマンドチャネルモードの同期ヘッダーストリームの固定 1 は、同期ヘッダーストリームのパイロット信号を形成します。

同期ヘッダーストリームの各形式に定義されている形式について、以降のセクションで定義します。

6.3.5.5.2.1.1 巡回冗長検査 (CRC) モード

巡回冗長性検査（CRC）モードを使用すると、転送中の電位ビットエラーを検出できます。JESD204C では 12 ビットワード CRC-12 モードをサポートする必要があり、3 ビットワード CRC-3 モードはオプションです。デバイスは CRC-3 モードをサポートしていないため、このセクションは CRC-12 モードのみに特化したものです。トランスミッタは、マルチブロックの 32 ブロックのスクランブルされたデータビットから CRC-12 パリティビットを計算します。12 ビット CRC パリティワードが、次のマルチブロックの同期ヘッダストリームで送信されます。レシーバは、受信したマルチブロックの 12 ビットパリティワードを計算し、それを次のマルチブロックの受信した 12 ビットパリティワードと比較します。差異は、受信したデータビットまたは受信した 12 ビットのパリティワードに少なくとも 1 つのエラーがあることを示しています。マルチブロックの最初のデータビットでビットエラーを検出するための最小レイテンシは 46 ブロックです。SHMODE を 0 に設定して、CRC-12 モードを有効にします。

CRC-12 モードを使用するときの同期ヘッダーストリームのマッピングを、表 6-10 に示します。CRC[x]は 12 ビットの CRC ワードのビット x に対応します。CMD[x]は 7 ビットのコマンドワードのビット x に対応し、デバイスでは常に 0s に設定されます。同期ヘッダーストリームの最後の 00001 ビットシーケンスは、マルチブロックの終了を識別するために使用されるパイロット信号です。同期ヘッダー全体で発生する 1 は、同期ヘッダーの末尾でのみパイロット信号を確認できるようにし、マルチブロックを 1 つ受信した後でマルチブロックの整列を可能にします。EoEMB は、拡張マルチブロックの最後のマルチブロックに対して 1 に設定される拡張マルチブロックの終了ビットです。

表 6-10. CRC-12 モードの同期ヘッダー・ストリームのビット・マッピング

ビット	機能	ビット	機能	ビット	機能	ビット	機能
0	CRC[11]	8	CRC[5]	16	Cmd[6]	24	Cmd[2]
1	CRC[10]	9	CRC[4]	17	Cmd[5]	25	Cmd[1]
2	CRC[9]	10	CRC[3]	18	Cmd[4]	26	Cmd[0]
3	1	11	1	19	1	27	0
4	CRC[8]	12	CRC[2]	20	Cmd[3]	28	0
5	CRC[7]	13	CRC[1]	21	1	29	0
6	CRC[6]	14	CRC[0]	22	EoEMB	30	0
7	1	15	1	23	1	31	1

CRC-12 エンコーダは、32 個のスクランブルされたブロック（2048 ビット）のマルチブロックを取り込み、式 10 で与えられるジェネレータ多項式を使用して 12 ビットのパリティ・ワードを計算します。この多項式は、マルチブロック内のすべての 2 ビットエラーを検出するのに十分であり、距離を問わず、最大 12 ビットのバーストエラーシーケンスを検出することができます。マルチブロック内の任意の距離に 3 ビットのエラーが検出されない確率は約 0.004%です。

$$0x987 == x^{12}+x^{9}+x^{8}+x^{3}+x^{2}+x+1 \quad (10)$$

図 6-7 に、CRC-12 の全パリティビット生成を示します。入力は 2048 ビットシーケンスで、マルチブロックの 32 個のスクランブルブロックから構築されます（同期ヘッダーは含まれません）。12 ビットのパリティワード CRC[11:0]は、2048 ビットシーケンス全体を処理した後、S_x ブロックから取得されます。各マルチブロックを処理する前に、S_x ブロックは 0 で初期化されます。CRC-12 パリティワード生成の詳細については、JESD204C 規格を参照してください。

Copyright © 2025 Texas Instruments Incorporated

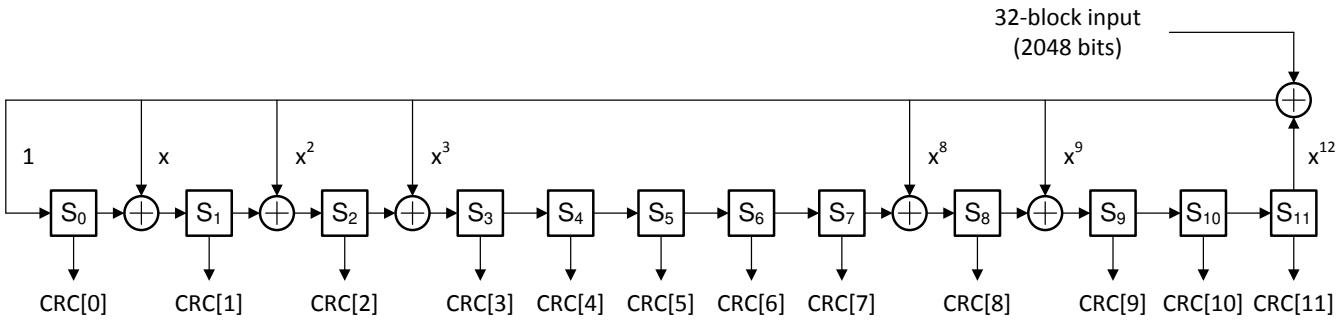


図 6-7. CRC-12 パリティ ビット ジェネレータ

6.3.5.5.2.1.2 前方誤り訂正 (FEC) モード

前方誤り訂正（FEC）は JESD204C のオプション機能であり、ADC12QJ1600-SP でサポートされています。CRC-12 モードではリンク上のエラーしか検出できませんが、FEC ではエラーを検出して修正し、エラーに敏感なアプリケーションのビットエラーレート（BER）を改善できます。多くのアプリケーションではランダムなビット誤差を許容できますが、オシロスコープなど一部のアプリケーションでは、テスト対象デバイス（DUT）から特定の応答を検出するために、長いエラーフリー測定に依存しています。このようなアプリケーションでエラーが発生すると、応答の誤った正検出が生じる可能性があります。SHMODE を 2 に設定して、FEC モードを有効にします。

32 ブロック（2048 ビット）のスクランブル・マルチブロックが FEC パリティ・ビット・ジェネレータに入力され、26 ビットのパリティ・ワードが生成されます。パリティワードは、次のマルチブロックの同期ヘッダーストリームで送信されます。次に、レシーバは独自の 26 ビットのパリティ・ワードを計算し、ローカルで生成されたパリティ・ワードと受信したパリティ・ワードの差を受信ビットのシンドロームと呼びます。症候群が 0 なら、すべてのビットが正しく受信されたと想定され、0 以外の値はデータビットまたはパリティワードのいずれかに少なくとも 1 つのエラーを示します。症候群がゼロでない場合は、最も可能性の高いエラーを決定してからエラーを修正するために使用できます。マルチブロックの最初のビットにおけるビットエラーの検出および訂正までの最小レイテンシは 58 ブロックです。

FEC モード使用時の同期ヘッダーストリームのマッピングを、表 6-11 に示します。FEC[x]は 26 ビットの FEC ワードのビット x に対応します。同期ヘッダーストリームの最後の 00001 ビットシーケンスは、マルチブロックの終了を識別するために使用されるパイロット信号です。00001 シーケンスが FEC モードで同期ヘッダーストリーム内の別の場所に表示されることはありますが、複数のマルチブロックのシーケンス内の同じ場所に 00001 シーケンスが表示されることはありません。したがって、FEC モードでは、マルチブロックの終了を見つけるのに複数のマルチブロックが必要になる場合があります。EoEMB は、拡張マルチブロックの最後のマルチブロックに対して 1 に設定される拡張マルチブロックの終了ビットです。

表 6-11. FEC モードでの同期ヘッダー・ストリームのビット・マッピング

ビット	機能	ビット	機能	ビット	機能	ビット	機能
0	FEC[25]	8	FEC[17]	16	FEC[9]	24	FEC[2]
1	FEC[24]	9	FEC[16]	17	FEC[8]	25	FEC[1]
2	FEC[23]	10	FEC[15]	18	FEC[7]	26	FEC[0]
3	FEC[22]	11	FEC[14]	19	FEC[6]	27	0
4	FEC[21]	12	FEC[13]	20	FEC[5]	28	0
5	FEC[20]	13	FEC[12]	21	FEC[4]	29	0
6	FEC[19]	14	FEC[11]	22	EoEMB	30	0
7	FEC[18]	15	FEC[10]	23	FEC[3]	31	1

FEC エンコーダは、32 個のスクランブルブロック（2048 ビット）のマルチブロックを取り込み、式 11 で与えられるジェネレータ多項式を使用して 26 ビットのパリティワードを計算します。2048 のスクランブル入力ビットと 26 のパリティビットは、短縮された（2074、2048）バイナリサイクリックコードを形成します。バイナリ周期コード（2074、2048）は、周期ファイアコード（8687、8661）から短縮されました。この多項式は、マルチブロックごとに最大 9 ビットのバースト・エラーを修正できます。

Copyright © 2025 Texas Instruments Incorporated

$$g(x) = (x^{17}+1)(x^9+x^4+1) == x^{26}+x^{21}+x^{17}+x^9+x^4+1 \quad (11)$$

全 26 ビット FEC パリティワード生成を図 6-8 に示します。入力は 2048 ビットシーケンスで、マルチブロックの 32 個のスクランブルブロックから構築されます（同期ヘッダーは含まれません）。26 ビットのパリティワード FEC[25:0]は、2048 ビットシーケンス全体を処理した後、S_x ブロックから取得されます。各マルチブロックを処理する前に、S_x ブロックは 0 で初期化されます。FEC パリティ・ワード生成の詳細については、JESD204C 規格を参照してください。

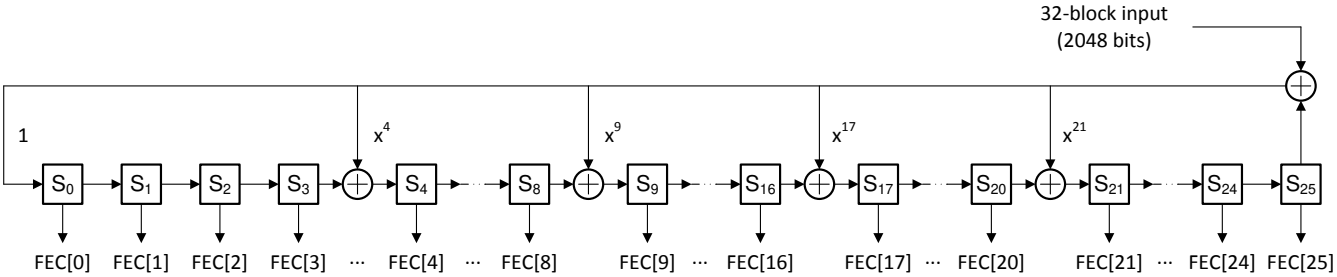


図 6-8. FEC パリティビットジェネレータ

FEC デコードと誤り訂正については、ここでは説明しません。FEC デコードと誤り訂正の詳細については、JESD204C 規格を参照してください。

6.3.5.5.3 初期レーン整列

64B または 66B リンク層は、8B/10B リンク層のような初期レーン整列シーケンス（ILAS）を使用しません。したがって、レシーバはエラスティックバッファを使用してレーンを調整するために異なる方式を使用する必要があります。8B または 10B モードでは、ILAS はエラスティックバッファをトリガして各レーンのデータのバッファを開始します。すべてのレーンがデータのバッファを開始すると、各レーンの弾性バッファは、解放バッファ遅延(RBD)パラメータと LMFC の位相によって決定される解放点で解放されます。64B/66B モードでは、すべてのレーンがブロック、マルチブロック、拡張マルチブロック整列を達成することからプロセスが開始されます。すべてのレーンが整列を完了すると、レシーバは各レーンの次の拡張マルチブロックの開始時に弾性バッファ内のデータのバッファを開始できます。すべてのレーンが拡張マルチブロックの開始を確認し、データのバッファを開始すると、次のリリースポイントでデータが解放されます。リリースポイントは LEMC エッジとプログラムされた RBD 値に対して定義され、最も直感的に LEMC エッジ自体で解放されます。起動から起動までの各レーンでのデータ遅延の変動を含む LEMC の領域を避けるように、解放ポイントを選択する必要があります。

6.3.5.5.4 ブロック、マルチブロック、拡張マルチブロック整列監視

各ブロックの同期ヘッダーと同期ヘッダーストリームの EoMB および EoEMB ビットを監視することによる、ブロック、マルチブロック、および拡張マルチブロックの同期。ブロックは常に、0 から 1 または 1 から 0 への遷移（同期ヘッダー）で始まります。ビットエラーが原因で、同期ヘッダーの欠落が 1 つ発生する可能性がありますが、設定されたブロック数内に同期ヘッダーエラーが多数発生した場合、ブロック同期が失われ、ブロック同期が再初期化されます。ブロックの同期は可能ですが、マルチブロックまたは拡張マルチブロックの同期は失われます。マルチブロック同期は、各マルチブロックの同期ヘッダーストリームの最後にある EoMB 信号 00001 を探すことによって監視されます。複数のブロック内で複数の EoMB 信号にエラーが発生した場合、マルチブロック同期は失われ、マルチブロック同期を再初期化する必要があります。拡張マルチブロックの終端ではないマルチブロックの 1、拡張マルチブロックの終端ではないマルチブロックの 0 など、多数の拡張マルチブロック内の複数の拡張マルチブロックに対して誤った EoEMB ビットが受信された場合、マルチブロック同期は失われ、拡張マルチブロック同期は再初期化されます。マルチブロックまたは拡張マルチブロック同期が失われた場合、同期プロセスが開始される前に LEMC を再確立するために、エラーのあるデバイスに SYSREF を適用する必要があります。

6.3.5.6 物理層

JESD204C 物理層は、電流モードロジック（CML）出力ドライバとレシーバで構成されています。レシーバは、クロック検出/回復（CDR）ユニットを備え、シリアル化されたデータ・ストリームからデータ・クロックを抽出します。また、物理的伝送チャネルのローパス応答を補正するため、連続時間リニア・イコライザ（CTLE）およびディスクリート帰還イコライザ（DFE）を内蔵できます。同様に、トランスミッタにプリイコライゼーションを含めることで、チャネル全体での周波数依存損失を考慮

Copyright © 2025 Texas Instruments Incorporated

できます。SerDes リンクの合計到達範囲は、データ・レート、基板材質、コネクタ、イコライゼーション、ノイズとジッタ、必要なビット・エラー性能によって異なります。SerDes レーンは長さを一致させる必要はありません。これは、レシーバが最初のレーン・アライメント・シーケンスの間にレーンを整列するためです。

6.3.5.6.1 SerDes プリエンファシス

ADC12QJ1600-SP 高速出力ドライバは、伝送チャネルのローパス応答を補償するために、プリエンファシスを使用して送信データ・ストリームをプリイコライゼーションできます。構成可能なプリエンファシス設定を利用すると、出力駆動波形を、PCB のさまざまな材質と信号伝送距離に合わせて最適化できます。プリエンファシス設定は、シリアライザのプリエンファシス設定 SER_PE により調整されます。値が大きいほどプリエンファシスが大きくなり、損失の多い PCB 材料を補償できます。この調整は、レシーバのアイダイアグラム分析機能と組み合わせて使用するのが最適です。特定のハードウェア構成や必要なラインレートに合わせてアイオープニングを最適化するために、プリエンファシス設定を調整します。

6.3.5.7 JESD204C 対応

JESD204C インターフェイスは、その他の JESD204C パラメータのいずれかを変更しながら、JESD_EN を介して無効化する必要があります。JESD_EN が 0 に設定されると、ブロックはリセット状態に保持され、シリアライザはパワーダウンされます。さらに消費電力を節約するため、このセクションのクロックもオフにします。パラメータを必要に応じて設定したときは、JESD204C ブロックを有効にすることができます（JESD_EN を 1 に設定）。

6.3.5.8 複数デバイスの同期と決定論的レイテンシ

JESD204C サブクラス 1 では、シリアルリンク全体で決定論的なレイテンシを実現する方法の概要を示します。2 つのデバイスが同じ確定的レイテンシを達成している場合、それらが同期していると考えることができます。このレイテンシは、システムの起動から起動まで、確定的である必要があります。確定的なレイテンシを実現するには、2 つの重要な要件があります。1 つ目は SYSREF の適切なキャプチャであり、デバイスはギガサンプルのクロックレートでこの要件を簡素化するための各種機能を備えています（詳細については、*マルチデバイス同期の SYSREF キャプチャと決定論的レイテンシ* セクションを参照）。SYSREF は、8B/10B エンコード・モードの LMFC、または LEMC が 64B/66B エンコード・モードのいずれかをリセットします。LMFC および LEMC は 2 つのモードに類似しており、現在では LMFC/LEMC と呼ばれています。

2 番目の要件は、レシーバ内の適切な弾性バッファーリリースポイントを選択することです。デバイスは ADC なので、デバイスは JESD204C リンクのトランスミッタ（TX）で、ロジックデバイスはレシーバ（RX）です。弾性バッファは、決定論的なレイテンシを実現するための重要なブロックであり、データがトランスミッタからレシーバに伝達されるときにシリアル化されたデータの伝搬遅延の変動を吸収することで遅延を実現します。適切なリリースポイントは、遅延変動に対して十分なマージンを確保することです。リリースポイントが正しくないと、1 つの LMFC/LEMC 周期のレイテンシ変動が生じます。適切なリリースポイントを選択するには、LMFC/LEMC エッジを参照する弾性バッファでのデータの平均到着時間と、すべてのデバイスの予想遅延変動の合計を把握する必要があります。この情報を使用して、LMFC/LEMC 期間内の無効なリリースポイントの領域を定義できます。これは、すべてのレーンの遅延の最小値から最大値まで延びます。基本的に、前のリリース・ポイントが発生した後、次のリリース・ポイントが発生する前に、すべてのレーンのデータがすべてのデバイスに到着することを設計者は確認する必要があります。

この要件を示すタイミング図を、図 6-9 に示します。この図では、2 つの ADC のデータを示しています。第 2 の ADC は配線距離（t_{PCB}）がより長く、その結果、リンク遅延が長くなります。まず、LMFC/LEMC 期間の無効な領域は、すべてのデバイスのデータ到着時間によって決定されるとおりにマークオフされます。次に、リリース・バッファ遅延（RBD）パラメータを使用してリリース・ポイントを設定し、LMFC/LEMC サイクルの有効な領域内でリリース・ポイントが発生するように、LMFC/LEMC エッジからの適切な数のフレーム・クロックをリリース・ポイントにシフトします。図 6-9 で、有効領域の各側に十分なマージンがあるので、LMFC/LEMC エッジ（RBD = 0）がリリースポイントに適した選択肢です。

Copyright © 2025 Texas Instruments Incorporated

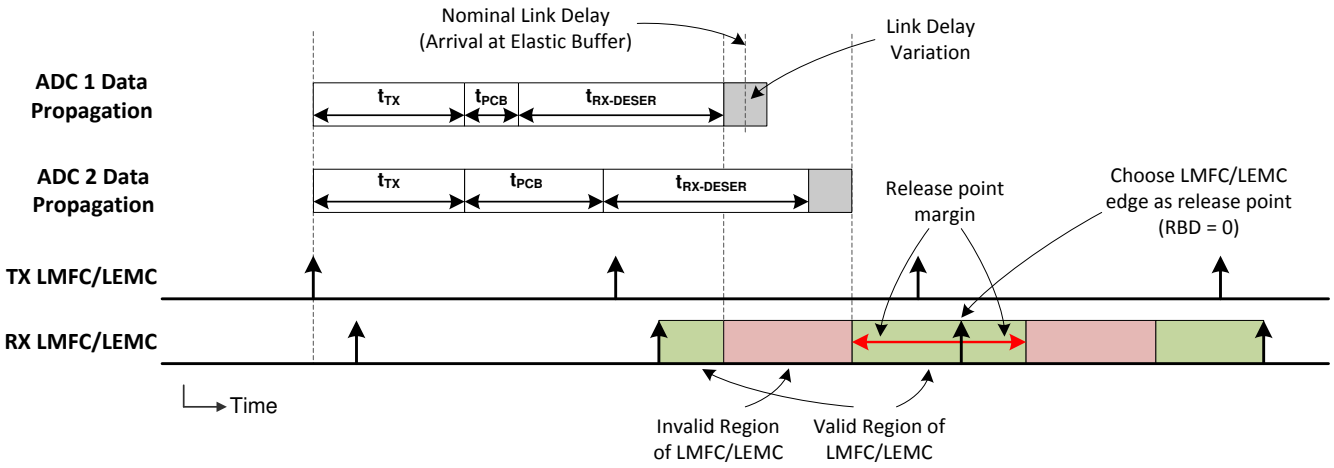


図 6-9. 弾性バッファリリースポイント選択のための LMFC/LEMC 有効領域定義

TX および RX LMFC/LEMC は必ずしも位相を揃える必要はありませんが、弾性バッファのリリースポイントを適切に選択するには、それらの位相を把握できることが重要です。また、弾性バッファのリリース点は、LMFC/LEMC サイクルごとに発生しますが、バッファはすべてのレーンが到着したときにのみリリースされます。このため、合計リンク遅延が単一の LMFC/LEMC 周期を超える可能性があります。*JESD204B マルチデバイス同期：詳細情報は 要件を分解* を参照。

6.3.5.9 Subclass 0 システムでの動作

マルチ ADC の同期と決定論的レイテンシが不要な場合、デバイスはサブクラス 0 との互換性で動作できます。これらの制限により、このデバイスは SYSREF をアプリケーションしなくても動作できます。内部 LMFC/LEMC は、タイミングが不明な場合に自動的に自己生成されます。同期は、8B/10B モードで CGS と ILAS を開始するために通常どおり使用されます。

6.3.5.10 アラームの監視

内部イベントを監視するための組み込みアラームがいくつか用意されています。この機能では、さまざまな種類のアラームとアップセットが検出されます：

1. C-PLL はロックされていません
2. S-PLL はロックされていません
3. JESD204C リンクはデータを送信していません（データ送信状態ではありません）
4. SYSREF により、内部クロックが再調整されます
5. 内部クロックに影響を及ぼすアップセット
6. デジタルからシリアライザへの同期 FIFO によって生成される読み取りまたは書き込みエラー

アラームが発生すると、特定のアラームごとに 1 ビットが ALM_STATUS に設定されます。各アラームビットは、ホストシステムが 1 を書き込んでアラームをクリアするまで設定されたまま維持されます。アラームタイプがマスクされていない場合（ALM_MASK レジスタを参照）、アラームレジスタでもアラームが示されます。CALSTAT 出力ピンは、アラームが発生したときにハイになるアラーム出力として構成できます。CAL_STATUS_SEL を参照してください。

6.3.5.10.1 クロック エラー検出

CLK_ALM レジスタ・ビットは、内部クロックがアップセットされているかどうかを示します。チャネル A のクロックは、チャネル B と連続的に比較されます。クロックが 1 DEVCLK/2 サイクルでも異なる場合、CLK_ALM レジスタ・ビットはセットされ、ホスト・システムによって 1 を書き込むことによってクリアされるまでセットされたまま維持されます。CLK_ALM レジスタ・ビットを正常に機能させるには、以下の手順に従います：

1. JESD_EN = 0 をプログラムします
2. 本デバイスが両方のチャネル（PD_ACH = 0、PD_BCH = 0）を使用するように設定されていることを確認します
3. JESD_EN = 1 をプログラムします

Copyright © 2025 Texas Instruments Incorporated

4. CLK_ALM をクリアするため、CLK_ALM = 1 を書き込みます
5. CAL_STATUS_SEL が適切に構成されている場合は、CLK_ALM ステータス・ビットまたは CALSTAT 出力ピンを監視します
6. グローバル・パワーダウンを終了するとき（MODE または PD ピンを使用）、CLK_ALM ステータス・ビットをセットして、CLK_ALM に 1 を書き込むことでクリアする必要があります

6.3.5.10.2 FIFO エラー検出

FIFO_LANE_ALM レジスタ・ビットは、デジタル・ロジック・ブロックとシリアライザ出力間の同期 FIFO にエラーが発生したかどうかを示します。望ましくないクロック・シフトや他のシングル・イベント、またはクロック周波数が正しくないために FIFO ポインタがアップセットされた場合、エラー・レーンの FIFO_LANE_ALM ビットは 1 に設定されます。JESD_EN を 0、次に 1 に切り替えると、FIFO ロジックがリセットされます。

Copyright © 2025 Texas Instruments Incorporated

6.4 デバイスの機能モード

この装置は、さまざまな機能モードで動作するように設定できます。これらのモードについては、このセクションで説明します。

6.4.1 低消費電力モードと高性能モード

デバイスを低消費電力モードにプログラムすることにより、性能とのトレードオフの間にデバイスの消費電力を低減できます。このモードは 1GSPS 以下での動作時にのみ利用でき、1 次ナイキスト・ゾーン・アプリケーションのみに使用することをお勧めします。デフォルトの動作モードは高性能モードであり、デフォルトのレジスタ値によって有効になっています。表 6-12 に、低消費電力モードと高性能モードの最小消費電力構成を切り替えるためのレジスタ書き込みを示します。これらの書き込みは、CAL_EN が 0 に設定され、JESD_EN が 0 に設定されている場合にのみ実行する必要があります。

表 6-12. 低消費電力モードレジスタの書き込み

レジスタ名 (アドレス)	低消費電力モード値	高性能モード値（デフォルトモード）
LOW_POWER1 (0x037)	0x46	0x4B
LOW_POWER2 (0x29A)	0x06	0x0F
LOW_POWER3 (0x29B)	0x00	0x04
LOW_POWER4 (0x29C)	0x14	0x1B

バックグラウンド・キャリブレーション時と低消費電力バックグラウンド・キャリブレーション時の ADC コア間の遷移中のグリッチの大きさは、LOW_POWER3 レジスタ設定（アドレス = 0x29B）の設定に影響されます。消費電力が小さい場合は、グリッチ振幅の大きい場合とのトレードオフが可能です。低消費電力モードでの ADC コア間の遷移中の ADC 出力を 図 6-10 に、消費電力の変化と LOW_POWER3 の設定との関係を 図 6-11 に示します。4 に設定すると、グリッチが高性能モードと同じ大きさに減少します。

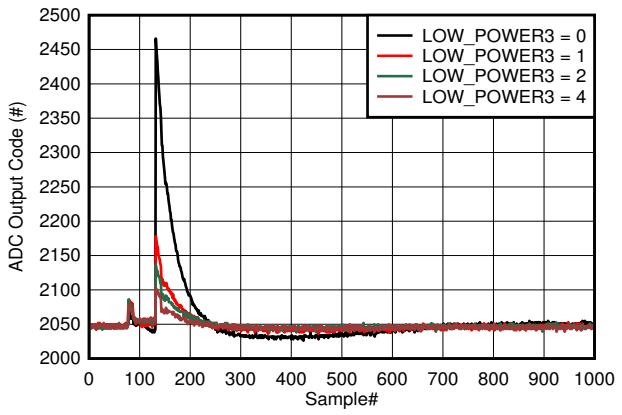


図 6-10. 低消費電力モードでのバックグラウンドキャリブレーションコアの遷移

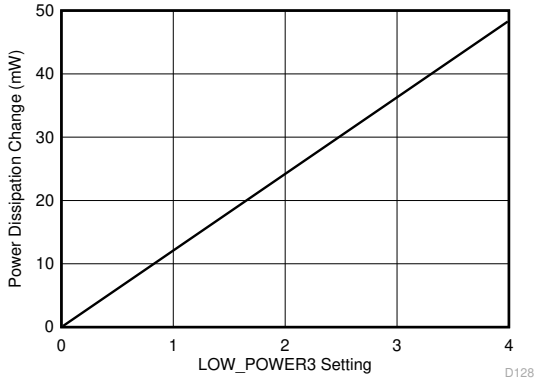


図 6-11. 消費電力の変更と LOW_POWER3 レジスタ設定との関係

低消費電力バックグラウンド・キャリブレーション・モードでは、レジスタ LP_TRIG = 1 を設定することで ADC 遷移のタイミングを制御できます。ADC 遷移は、CALTRIG ボールまたは CAL_SOFT_TRIG レジスタ（アドレス= 0x6C）への SPI 書き込みによってトリガされた後、500 ~ 1000 ADC サンプルクロックの間の ADC 出力データで発生します。

フォアグラウンド・キャリブレーション・モードには、ADC コアの遷移やグリッチはありません。

Copyright © 2025 Texas Instruments Incorporated

6.4.2 JESD204C モード

このデバイスは、番号 JESD204C 出力形式に設定できます。表 6-13 に、基本的な動作モード設定パラメータと、それらがユーザ設定か派生かをまとめます。

表 6-13. ADC12QJ1600-SP 動作モードの構成パラメータ

パラメータ	説明	ユーザーが設定または求めます	値
JMODE	JESD204C 動作モードで、残りの JESD204C パラメータを自動的に生成します	ユーザーが設定済み	JMODE によって設定
R	ADC コアのサンプリングクロックサイクルあたりのレーンあたり送信されるビット数。JESD204C ラインレートは、サンプリングクロック周波数（f_S）×R です。このパラメータは SerDes PLL 乗算係数を設定します。	誘導	表 6-15 を参照
K	マルチフレームあたりのフレーム数（8B/10B モード）	ユーザーが設定済み	KM1 で設定します。表 6-15 の許容値を参照してください。64B/66B モードでは、このパラメータは無視されます。
E	拡張マルチブロックあたりのマルチブロック数（64B/66B モード）	誘導	ADC12QJ1600-SP で、常に 1 に設定。8B/10B モードでは、このパラメータは無視されます。

JESD204C トランスポート層のフォーマットを定義するためには多くのパラメータが必要です。これらはすべて、8B/10B モードでの最初のレーンアライメントシーケンス中にリンクを介して送信されます。64B/66B モードでは ILAS を使用しませんが、トランスポート層では同じパラメータが使用されます。デバイスでは、ほとんどのパラメータは選択した JMODE に基づいて自動的に導出されますが、ユーザが設定したパラメータもいくつかあります。表 6-14 に、これらのパラメータを示します。

Copyright © 2025 Texas Instruments Incorporated

表 6-14. JESD204C 初期レーン整列シーケンスパラメータ

パラメータ	説明	ユーザーが設定または求めます	値
ADJCNT	LMFC の調整額(該当なし)	誘導	常に 0 です
ADJDIR	LMFC の調整方向(該当なし)	誘導	常に 0 です
BID	Bank ID	誘導	常に 0 です
CF	フレームあたりの制御ワード数	誘導	常に 0 です
CS	サンプルあたりの制御ビット	誘導	ILAS では常に 0 に設定します。実際の使用方法については、表 6-15 を参照してください
DID	リンクの識別に使用されるデバイス識別子	ユーザーが設定済み	DID で設定します。表 6-16 を参照してください
F	フレームあたりのオクテット(バイト)数(レーンあたり)	誘導	表 6-15 を参照
HD	高密度形式(サンプルをレーンに分割)	誘導	常に 0 です
JESDV	JESD204 標準リビジョン	誘導	常に 1 です
K	マルチフレームあたりのフレーム数	ユーザーが設定済み	KM1 レジスタで設定します
L	リンクごとのシリアル出力レーン数	誘導	表 6-15 を参照
LID	各レーンのレーン ID	誘導	表 6-16 を参照
M	レーンのビットパッキングの決定に使用されるコンバータの数。デバイスの ADC チャネル数と一致しない場合があります	誘導	表 6-15 を参照
N	サンプル分解能(コントロールビットとテールビットを追加する前)	誘導	表 6-15 を参照
N'	コントロールビットとテールビットを追加した後のサンプルあたりのビット数	誘導	表 6-15 を参照
S	コンバータ(M)、フレームあたりのサンプル数。	誘導	表 6-15 を参照
SCR	スクランブラが有効	ユーザーが設定済み	SCR によって設定
SUBCLASSV	デバイスサブクラスバージョン	誘導	常に 1 です
RES1	予約済みフィールド 1	誘導	常に 0 です
RES2	予約済みフィールド 2	誘導	常に 0 です
CHKSUM	ILAS チェックのチェックサム(256 をモジュロとした上記すべてのパラメータの合計)	誘導	この表のパラメータに基づいて計算されます

Copyright © 2025 Texas Instruments Incorporated

JMODE と呼ばれる単一の構成パラメータを使用することで、本デバイスの構成を簡単に行うことができます。表 6-15 を使用すると、目的の動作モードに適した JMODE 値を見つけることができます。リストされているモードは、使用可能な唯一のオペレーティングモードです。この表には、フレーム数でマルチフレーム長を設定する K パラメータ（KM1 で設定）の範囲と許容ステップサイズも示されています。

表 6-15. クワッド・チャネル・モード（クワッド・チャネル・デバイスによりサポート）

動作モード	ユーザー指定のパラメータ		派生パラメータ												入力クロック範囲 (MHz)
	JMODE	K [最小:ステップ:最大]	エンコード	N	CS	N'	CF	L	M	F	S	HD	E	R (Fbit / Fclk)	
12 ビット、8B/10B、8 レーン	0	4:4:256	8B/10B	12	0	12	0	8	8(1)	8	5	0	—	8	500-1600
12 ビット、8B/10B、6 レーン	1	16:16:256	8B/10B	12	0	12	0	6	4	2	2	1	—	10	500-1600
8 ビット、8B/10B、4 レーン	2	32:32:256	8B/10B	8	0	8	0	4	4	1	1	0	—	10	500-1600
10 ビット、8B/10B、4 レーン	3	32:32:256	8B/10B	10	0	10	0	4	4	5	4	0	—	12.5	500-1372.8
12 ビット、64B/66B、3 レーン	4	128(2)	64B/66B	12	0	12	0	3	4	2	1	1	1	16.5	500-1040
8 ビット、64B/66B、2 レーン	5	128(2)	64B/66B	8	0	8	0	2	4	2	1	0	1	16.5	500-1040
12 ビット、64B/66B、6 レーン	6	128(2)	64B/66B	12	0	12	0	6	4	2	2	1	1	8.25	500-1600
8 ビット、64B/66B、4 レーン	7	256(2)	64B/66B	8	0	8	0	4	4	1	1	0	1	8.25	500-1600
12 ビット、64B/66B、4 レーン	8	256(2)	64B/66B	12	0	12	0	4	4	3	2	0	3	12.375	500-1386.7
8 ビット、8B/10B、8 レーン	9	32:32:256	8B/10B	8	0	8	0	8	4	1	2	0	—	5	500-1600
10 ビット、8B/10B、8 レーン	10	32:32:256	8B/10B	10	0	10	0	8	8(1)	5	4	0	—	6.25	500-1600
2 チャネル、12 ビット、8B/10B、8 レーン	11	4:4:256	8B/10B	12	0	12	0	8	8(1)	8	5	0	—	4	500-1600
2 チャネル、8 ビット、8B/10B、8 レーン	12	32:32:256	8B/10B	8	0	8	0	8	2	1	4	0	—	2.5	500-1600
2 チャネル、10 ビット、8B/10B、8 レーン	13	32:32:256	8B/10B	10	0	10	0	8	8(1)	5	4	0	—	3.125	500-1600
12 ビット、64B/66B、8 レーン	14	256(2)	64B/66B	12	0	12	0	8	8(1)	3	2	0	3	6.1875	500-1600
2 チャネル、12 ビット、64B/66B、8 レーン	15	256(2)	64B/66B	12	0	12	0	8	8(1)	3	2	2	3	3.09375	500-1600

(1) これらのモードでは、M は L に等しく、不要なバッファリングを発生させることなく、サンプルを L レーンで時間順に送信することができます。M パラメータは、コンバータの実際の数を表すものではありません。レシーバの各リンクから M サンプルストリームをインターリーブして、正しいサンプルデータを生成します。詳細については、モード図を参照してください。

(2) 64B/66B モードでは、K パラメータは直接プログラマブルではありません。K は E と F に K = 8 x 32 x E/F という式で関係します。K は 64B/66B リンク層の実際のパラメータではありません。

Copyright © 2025 Texas Instruments Incorporated

本デバイスは、合計 8 つの高速出力ドライバを備えています。レーンおよびそれらから派生する構成パラメータについては、表 6-16 で説明します。指定された JMODE の場合、インデックス付きの最小のレーンが使用され、インデックス付きの大きいレーンは自動的に電源がオフになります。最も小さいインデックス付きレーンは常にロジックデバイスに配線します。

表 6-16. ADC12QJ1600-SP レーン割り当てとパラメータ

デバイスのピン指定	DID（ユーザー設定）	LID（誘導）
D0±	DID によって設定	0
D1±	DID によって設定	1
D2±	DID によって設定	2
D3±	DID によって設定	3
D4±	DID によって設定	4
D5±	DID によって設定	5
D6±	DID によって設定	6
D7±	DID によって設定	7

6.4.2.1 JESD204C トランスポート層のデータ形式

ADC コア出力サンプルは、その JMODE のトランスポート層設定に基づいて、各 JMODE 設定に対して特定の形式でフォーマットされます。次の表に、各 JMODE のシングルフレームに固有のマッピング形式を示します。JMODE テーブルで使用されるシンボル定義については、表 6-17 を参照してください。すべてのマッピングにおいて、テールビット（T）は 0（ゼロ）です。すべてのサンプルは、MSB ファースト、LSB ラストとしてフォーマットされます。

表 6-17. JMODE テーブルシンボル定義

表記	説明
A_n	チャネル A から n をサンプリングします
B_n	チャネル B から n をサンプリングします
C_n	チャネル C から n をサンプリングします
D_n	チャネル D から n をサンプリングします
T	テールビット。常に 0 に設定されます

Copyright © 2025 Texas Instruments Incorporated

表 6-18. JMODE 0（12 ビット、8/4/2 レーン、8B/10B）

オクテット	0		1		2		3		4		5		6		7	
NIBBLE	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
D0	A_0			A_2			A_4			A_6			A_8			T
D1	A_1			A_3			A_5			A_7			A_9			T
D2	B_0			B_2			B_4			B_6			B_8			T
D3	B_1			B_3			B_5			B_7			B_9			T
D4（クワッドのみ）	C_0			C_2			C_4			C_6			C_8			T
D5（クワッドのみ）	C_1			C_3			C_5			C_7			C_9			T
D6（クワッドのみ）	D_0			D_2			D_4			D_6			D_8			T
D7（クワッドのみ）	D_1			D_3			D_5			D_7			D_9			T

表 6-19. JMODE 1（12 ビット、6/3/2 レーン、8B/10B）

オクテット	0		1	
NIBBLE	0	1	2	3
D0	A_0[11:0]			A_1[11:8]
D1	A_1[7:0]		B_0[11:4]	
D2	B_0[3:0]		B_1[11:0]	
D3	C_0[11:0]			C_1[11:8]
D4	C_1[7:0]		D_0[11:4]	
D5	D_0[3:0]		D_1[11:0]	

表 6-20. JMODE 2（8 ビット、4/2/1 レーン、8B/10B）

オクテット	0	
NIBBLE	0	1
D0	A_0	
D1	B_0	
D2	C_0	
D3	D_0	

表 6-21. JMODE 3（10 ビット、4/2/1 レーン、8B/10B）

オクテット	0		1		2		3		4	
NIBBLE	0	1	2	3	4	5	6	7	8	9
D0	A_0		A_1		A_2		A_3			
D1	B_0		B_1		B_2		B_3			
D2	C_0		C_1		C_2		C_3			
D3	D_0		D_1		D_2		D_3			

表 6-22. JMODE 4（12 ビット、3/2/1 レーン、64B/66B）

オクテット	0		1	
NIBBLE	0	1	2	3
D0	A_0[11:0]			B_0[11:8]
D1	B_0[7:0]		C_0[11:4]	
D2	C_0[3:0]		D_0[11:0]	

Copyright © 2025 Texas Instruments Incorporated

表 6-23. JMODE 5（8 ビット、2/1/1 レーン、64B/66B）

オクテット	0		1	
NIBBLE	0	1	2	3
D0	A_0		B_0	
D1	C_0		D_0	

表 6-24. JMODE 6（12 ビット、6/3/2 レーン、64B/66B）

オクテット	0		1	
NIBBLE	0	1	2	3
D0	A_0[11:0]			A_1[11:8]
D1	A_1[7:0]		B_0[11:4]	
D2	B_0[3:0]	B_1[11:0]		
D3	C_0[11:0]			C_1[11:8]
D4	C_1[7:0]		D_0[11:4]	
D5	D_0[3:0]	D_1[11:0]		

表 6-25. JMODE 7（8 ビット、4/2/1 レーン、64B/66B）

オクテット	0	
NIBBLE	0	1
D0	A_0	
D1	B_0	
D2	C_0	
D3	D_0	

表 6-26. JMODE 8（12 ビット、4/2/1 レーン、64B/66B）

オクテット	0		1		2	
NIBBLE	0	1	2	3	4	5
D0	A_0		A_1			
D1	B_0		B_1			
D2	C_0		C_1			
D3	D_0		D_1			

表 6-27. JMODE 9（8 ビット、8/4/2 レーン、8B/10B）

オクテット	0	
NIBBLE	0	1
D0	A_0	
D1	A_1	
D2	B_0	
D3	B_1	
D4	C_0	
D5	C_1	
D6	D_0	
D7	D_1	

表 6-28. JMODE 10（10 ビット、8/4/2 レーン、8B/10B）

オクテット	0		1		2		3		4	
NIBBLE	0	1	2	3	4	5	6	7	8	9
D0	A_0		A_2		A_4		A_6			
D1	A_1		A_3		A_5		A_7			

Copyright © 2025 Texas Instruments Incorporated

表 6-28. JMODE 10（10 ビット、8/4/2 レーン、8B/10B） (続き)

オクテット	0		1		2		3		4	
NIBBLE	0	1	2	3	4	5	6	7	8	9
D2	B_0		B_2		B_4		B_6			
D3	B_1		B_3		B_5		B_7			
D4	C_0		C_2		C_4		C_6			
D5	C_1		C_3		C_5		C_7			
D6	D_0		D_2		D_4		D_6			
D7	D_1		D_3		D_5		D_7			

表 6-29. JMODE 11（12 ビット、デュアル/シングル・チャネルのみ、8/4 レーン、8B/10B）

オクテット	0		1		2		3		4		5		6		7	
NIBBLE	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
D0	A_0		A_4		A_8		A_{12}		A_{16}				T			
D1	A_1		A_5		A_9		A_{13}		A_{17}				T			
D2	A_2		A_6		A_{10}		A_{14}		A_{18}				T			
D3	A_3		A_7		A_{11}		A_{15}		A_{19}				T			
D4	B_0		B_4		B_8		B_{12}		B_{16}				T			
D5	B_1		B_5		B_9		B_{13}		B_{17}				T			
D6	B_2		B_6		B_{10}		B_{14}		B_{18}				T			
D7	B_3		B_7		B_{11}		B_{15}		B_{19}				T			

表 6-30. JMODE 12（8 ビット、デュアル/シングル・チャネルのみ、8/4 レーン、64B/66B）

オクテット	0	
NIBBLE	0	1
D0	A_0	
D1	A_1	
D2	A_2	
D3	A_3	
D4	B_0	
D5	B_1	
D6	B_2	
D7	B_3	

表 6-31. JMODE 13（10 ビット、デュアル/シングル・チャネルのみ、8/4 レーン、8B/10B）

オクテット	0		1		2		3		4	
NIBBLE	0	1	2	3	4	5	6	7	8	9
D0	A_0		A_4		A_8		A_{12}			
D1	A_1		A_5		A_9		A_{13}			
D2	A_2		A_6		A_{10}		A_{14}			
D3	A_3		A_7		A_{11}		A_{15}			
D4	B_0		B_4		B_8		B_{12}			
D5	B_1		B_5		B_9		B_{13}			
D6	B_2		B_6		B_{10}		B_{14}			
D7	B_3		B_7		B_{11}		B_{15}			

Copyright © 2025 Texas Instruments Incorporated

表 6-32. JMODE 14（12 ビット、8/4/2 レーン、64B/66B）

オクテット	0		1		2	
NIBBLE	0	1	2	3	4	5
D0	A_0			A_2		
D1	A_1			A_3		
D2	B_0			B_2		
D3	B_1			B_3		
D4	C_0			C_2		
D5	C_1			C_3		
D6	D_0			D_2		
D7	D_1			D_3		

表 6-33. JMODE 15（12 ビット、デュアル/シングル・チャネルのみ、8/4 レーン、64B/66B）

オクテット	0		1		2	
NIBBLE	0	1	2	3	4	5
D0	A_0			A_4		
D1	A_1			A_5		
D2	A_2			A_6		
D3	A_3			A_7		
D4	B_0			B_4		
D5	B_1			B_5		
D6	B_2			B_6		
D7	B_3			B_7		

6.4.2.2 64B/66B 同期ヘッダ ストリームの構成

同期ヘッダー・ストリームを使用して、リンクのビット・エラーを識別したり、ビット・エラーを修正したりできます。ADC12QJ1600-SP には、2 つの動作モードがあります。巡回冗長検査（CRC）を使用して、ビットエラーを識別できます。ADC12QJ1600-SP 12 ビット CRC（CRC-12）のみをサポートし、JESD204C が記述するオプションの 3 ビット CRC-3 はサポートしていません。また、前方誤り訂正（FEC）を使用してビットエラーを識別し、ビットエラーを修正することもできます。CRC-12 の詳細については、巡回冗長性検査（CRC）モードを参照してください。FEC の詳細については、前方誤り訂正（FEC）モード を参照してください。

6.4.2.3 冗長データ モード (代替レーン)

4 つ以下のレーンを使用する JMODE により、JESD204C 出力で冗長性を使用できます。たとえば、システムの信頼性の弱点が FPGA または ASIC であると判断された場合、シングルのデバイスに 2 つの FPGA または ASIC が接続されている場合があります。この例のシステムでは、デフォルトの FPGA または ASIC で障害が検出された場合にのみ、冗長 FPGA または ASIC が有効になり、同時に動作するのは 1 つの FPGA または ASIC だけです。このモードを使用するには、下側 4 つの SerDes レーン（D3-D0）を単一の FPGA または ASIC に配線し、上位 4 つの SerDes レーン（D7-D4）を冗長 FPGA または ASIC に配線する必要があります。下の 4 レーンは「デフォルト」レーンであり、上の 4 レーンは「代替」レーンです。目的のレーンは、デフォルトのレーンでは ALT_LANES パラメータを 0 に、代替レーンでは 1 に設定することで選択されます。一度に動作できる SerDes 出力は 1 組のみです。

6.4.3 パワーダウン モード

PD 入力ピンにより、デバイス全体の電源をオフにできます。パワーダウンは モード により制御することもできます。PD が High のとき、シリアル・データ出力ドライバはディスエーブルになります。デバイスが通常動作に復帰した後、JESD204 リンクを再確立する必要があります。また、ADC パイプラインには意味のない情報が格納されているので、システムはデータがフラッシュされるまで十分な時間待つ必要があります。レジスタの構成およびキャリブレーションデータは、パワーダウン中に保持されます。パワーダウン中に温度が大幅に変化する場合、最適な性能に戻るために、キャリブレーション・サイクル（フォアグラウンドまたはバックグラウンド・キャリブレーション）が必要になることがあります。CH_EN レジスタを使用し

Copyright © 2025 Texas Instruments Incorporated

て、チャネルのペアの電源をオフにすることもできます。CH_EN を使用して 4 つのチャネルすべてをパワーダウンしないでください。代わりに MODE または PD ピンを使用します。

6.4.4 テスト モード

多くのデバイス・テスト・モードを利用できます。これらのモードでは、デバイスのデータパスに既知の情報パターンを挿入し、システムのデバッグ、開発、特性評価を支援します。

6.4.4.1 シリアライザのテスト モードの詳細

テスト・モードは、JTEST を目的のテスト・モードに設定することで有効になります。各テストモードについては、以下のセクションで詳しく説明します。テストモードにかかわらず、シリアライザの出力（レーン数、レート）は、JMODE に基づいて起動されます。テスト・モードを有効にするのは、JESD204C リンクがディスエーブルのときのみです。図 6-12 に、各種テスト・モードの挿入ポイントを示す図を示します。

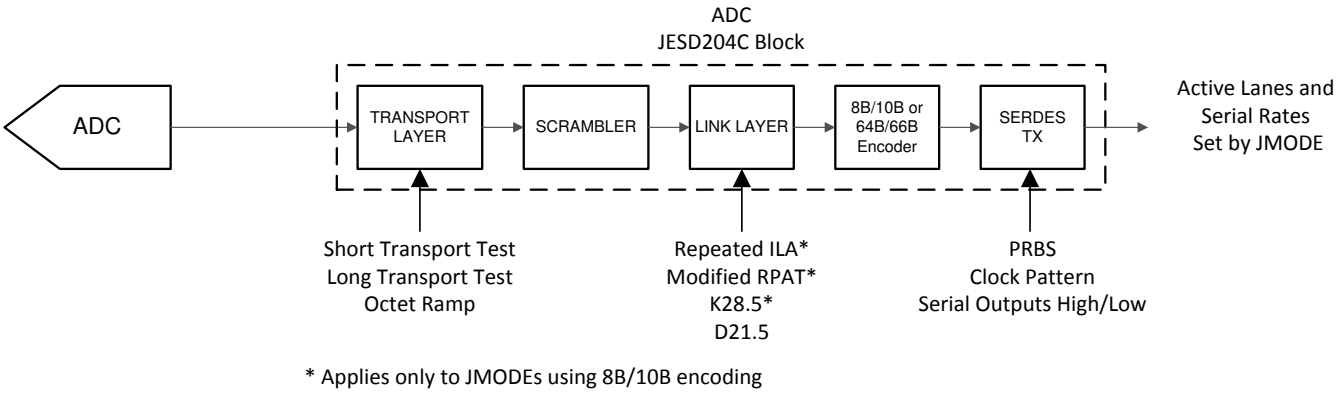


図 6-12. テスト・モードの挿入ポイント

6.4.4.2 PRBS テスト モード

PRBS テスト・モードは JESD204C トランスポート層およびリンク層をバイパスするため、スクランブル処理もエンコードもされません。これらのテストモードでは、ITU-T O.150 仕様に準拠した擬似ランダムなビットストリームが生成されます。これらのビット・ストリームは、ビット・パターンに自己同期できるラボ用試験装置またはロジック・デバイスとともに使用されます。レシーバが自己同期するため、パターンの初期位相は定義されません。

列は再帰方程式によって定義されます。たとえば、式 12 は PRBS7 シーケンスを定義します。

$$y[n] = y[n - 6] \oplus y[n - 7] \quad (12)$$

ここで、

- ビット n は、以前に送信されるビット[n–6]およびビット[n–7]の XOR です

表 6-34 に、使用可能な PRBS テスト・モードの式とシーケンス長を示します。ここで、⊕は XOR の動作、y[n]は PRBS シーケンスのビット n を表します。パターンの初期位相は、各レーンで一意です。

表 6-34. PBRS モードの式

PRBS テスト モー	シーケンス	シーケンス長（ビット）
PRBS7	Y[n]= y[n–6]⊕y[n–7]	127
PRBS9	y[n] = y[n – 5]⊕y[n – 9]	511
PRBS15	y[n] = y[n – 14]⊕y[n – 15]	32,767
PRBS23	y[n] = y[n – 18]⊕y[n – 23]	8,388,607
PRBS31	y[n] = y[n – 28]⊕y[n – 31]	2,147,483,647

Copyright © 2025 Texas Instruments Incorporated

6.4.4.3 クロック パターン モード

クロックパターンモードでは、JESD204C トランスポートレイヤとリンクレイヤはバイパスされるため、テストシーケンスはスクランブルまたはエンコードされません。このパターンは、8 つの 1 と 8 つのゼロ（1111 1111 0000 0000）からなる 16 ビット長シーケンスで構成され、無制限にに繰り返されます。

6.4.4.4 ランプ テスト モード

ランプテストモードでは、JESD204C リンクレイヤは通常動作しますが、トランスポート層は無効化されます。各レーンは、増分オクテット値の同一ストリームをエンコードします。オクテット値は、各マルチフレーム（または拡張マルチブロック）の先頭で 0x00 です。値は、以後ののオクテットごとに 1 ずつ増加します。マルチフレーム（または拡張マルチブロック）に 256 オクテットを超える場合、値は 0xFF に達した後に 0x00 にロールバックされます。8b/10b モードでは、ILAS が完了するまでランプパターンは開始されません。64b/66b モードでは、シリアライザが初期化された後にランプパターンが開始されます。

6.4.4.5 ショートおよびロング トランスポート テスト モード

JESD204C では、ショートおよびロングトランスポートテストモードを定義しており、トランスミッタとレシーバのトランスポート層が正しく動作していることを検証します。本デバイスが使用するショート・トランスポート・テスト・パターンは JMODE に依存し、*ショート・トランスポート・テスト・パターン*で提供されます。このデバイスは、長い転送テスト・モードをサポートしていません。

6.4.4.5.1 ショート トランスポート テスト パターン

ショートトランスポートテストパターンは、フレームごとに繰り返される事前定義済みのオクテット形式を送信します。このセクションでは、各 JMODE のショートトランスポートテストパターンを定義します。

表 6-35. JMODE 0 のショート・トランスポート・テスト・パターン

オクテット	0		1		2		3		4		5		6		7	
NIBBLE	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
D0	0xF01		0xF02		0xF03		0xF04		0xF05							T
D1	0xE11		0xE12		0xE13		0xE14		0xE15							T
D2（デュアルまたはクワッドのみ）	0xD21		0xD22		0xD23		0xD24		0xD25							T
D3（デュアルまたはクワッドのみ）	0xC31		0xC32		0xC33		0xC34		0xC35							T
D4（クワッドのみ）	0xB41		0xB42		0xB43		0xB44		0xB45							T
D5（クワッドのみ）	0xA51		0xA52		0xA53		0xA54		0xA55							T
D6（クワッドのみ）	0x961		0x962		0x963		0x964		0x965							T
D7（クワッドのみ）	0x871		0x872		0x873		0x874		0x875							T

表 6-36. JMODE 1 のショート・トランスポート・テスト・パターン

オクテット	0		1	
NIBBLE	0	1	2	3
D0	0xF01			0xF
D1	0x02		0xE1	
D2（デュアルまたはクワッドのみ）	0x1	0xE12		
D3（クワッドのみ）	0xD21			0xD
D4（クワッドのみ）	0x22		0xC3	

Copyright © 2025 Texas Instruments Incorporated

表 6-36. JMODE 1 のショート・トランスポート・テスト・パターン (続き)

オクテット	0		1	
NIBBLE	0	1	2	3
D5 (クワッドのみ)	0x1	0xC32		

表 6-37. JMODE 2 のショート・トランスポート・テスト・パターン

オクテット	0	
NIBBLE	0	1
D0	0x01	
D1 (デュアルまたはクワッドのみ)	0x11	
D2 (クワッドのみ)	0x21	
D3 (クワッドのみ)	0x31	

表 6-38. JMODE 3 のショート・トランスポート・テスト・パターン

オクテット	0		1		2		3		4	
NIBBLE	0	1	2	3	4	5	6	7	8	9
D0	0x301		0x302		0x303		0x304			
D1 (デュアルまたはクワッドのみ)	0x211		0x212		0x213		0x214			
D2 (クワッドのみ)	0x121		0x122		0x123		0x124			
D3 (クワッドのみ)	0x031		0x032		0x033		0x034			

表 6-39. JMODE 4 のショート・トランスポート・テスト・パターン

オクテット	0		1	
NIBBLE	0	1	2	3
D0	0xF01			0xE
D1 (デュアルまたはクワッドのみ)	0x11		0xD2	
D2 (クワッドのみ)	0x1	0xC31		

表 6-40. JMODE 5 のショート・トランスポート・テスト・パターン

オクテット	0		1	
NIBBLE	0	1	2	3
D0	0x01		0x11	
D1 (クワッドのみ)	0x21		0x31	

表 6-41. JMODE 6 のショート・トランスポート・テスト・パターン

オクテット	0		1	
NIBBLE	0	1	2	3
D0	0xF01			0xF
D1	0x02		0xE1	
D2 (デュアルまたはクワッドのみ)	0x1	0xE12		
D3 (クワッドのみ)	0xD21			0xD
D4 (クワッドのみ)	0x22		0xC3	
D5 (クワッドのみ)	0x1	0xC32		

表 6-42. JMODE 7 のショート・トランスポート・テスト・パターン

オクテット	0	
NIBBLE	0	1
D0	0x01	

Copyright © 2025 Texas Instruments Incorporated

表 6-42. JMODE 7 のショート・トランスポート・テスト・パターン (続き)

オクテット	0	
NIBBLE	0	1
D1 (デュアルまたはクワッドのみ)	0x11	
D2 (クワッドのみ)	0x21	
D3 (クワッドのみ)	0x31	

表 6-43. JMODE 8 のショート・トランスポート・テスト・パターン

オクテット	0		1		2	
NIBBLE	0	1	2	3	4	5
D0	0xF01		0xF02			
D1 (デュアルまたはクワッドのみ)	0xE11		0xE12			
D2 (クワッドのみ)	0xD21		0xD22			
D3 (クワッドのみ)	0xC31		0xC32			

表 6-44. JMODE 9 のショート・トランスポート・テスト・パターン

オクテット	0	
NIBBLE	0	1
D0	0x01	
D1	0x02	
D2 (デュアルまたはクワッドのみ)	0x11	
D3 (デュアルまたはクワッドのみ)	0x12	
D4 (クワッドのみ)	0x21	
D5 (クワッドのみ)	0x22	
D6 (クワッドのみ)	0x31	
D7 (クワッドのみ)	0x32	

表 6-45. JMODE 10 のショート・トランスポート・テスト・パターン

オクテット	0		1		2		3		4	
NIBBLE	0	1	2	3	4	5	6	7	8	9
D0	0x301		0x302		0x303		0x304			
D1	0x211		0x212		0x213		0x214			
D2 (デュアルまたはクワッドのみ)	0x121		0x122		0x123		0x124			
D3 (デュアルまたはクワッドのみ)	0x031		0x032		0x033		0x034			
D4 (クワッドのみ)	0x341		0x342		0x343		0x344			
D5 (クワッドのみ)	0x251		0x252		0x253		0x254			
D6 (クワッドのみ)	0x161		0x162		0x163		0x164			
D7 (クワッドのみ)	0x071		0x072		0x073		0x074			

表 6-46. JMODE 11 のショート・トランスポート・テスト・パターン

オクテット	0		1		2		3		4		5		6		7	
NIBBLE	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
D0	0xF01		0xF02		0xF03		0xF04		0xF05							T
D1	0xE11		0xE12		0xE13		0xE14		0xE15							T
D2	0xD21		0xD22		0xD23		0xD24		0xD25							T
D3	0xC31		0xC32		0xC33		0xC34		0xC35							T

Copyright © 2025 Texas Instruments Incorporated

表 6-46. JMODE 11 のショート・トランスポート・テスト・パターン (続き)

オクテット	0		1		2		3		4		5		6		7	
NIBBLE	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
D4 (デュアル専用)	0xB41		0xB42		0xB43		0xB44		0xB45						T	
D5 (デュアル専用)	0xA51		0xA52		0xA53		0xA54		0xA55						T	
D6 (デュアル専用)	0x961		0x962		0x963		0x964		0x965						T	
D7 (デュアル専用)	0x871		0x872		0x873		0x874		0x875						T	

表 6-47. JMODE 12 のショート・トランスポート・テスト・パターン

オクテット	0	
NIBBLE	0	1
D0	0x01	
D1	0x02	
D2	0x03	
D3	0x04	
D4 (デュアル専用)	0x11	
D5 (デュアル専用)	0x12	
D6 (デュアル専用)	0x13	
D7 (デュアル専用)	0x14	

表 6-48. JMODE 13 のショート・トランスポート・テスト・パターン

オクテット	0		1		2		3		4	
NIBBLE	0	1	2	3	4	5	6	7	8	9
D0	0x301		0x302		0x303		0x304			
D1	0x211		0x212		0x213		0x214			
D2	0x121		0x122		0x123		0x124			
D3	0x031		0x032		0x033		0x034			
D4 (デュアル専用)	0x341		0x342		0x343		0x344			
D5 (デュアル専用)	0x251		0x252		0x253		0x254			
D6 (デュアル専用)	0x161		0x162		0x163		0x164			
D7 (デュアル専用)	0x071		0x072		0x073		0x074			

表 6-49. JMODE 14 のショート・トランスポート・テスト・パターン

オクテット	0		1		2	
NIBBLE	0	1	2	3	4	5
D0	0xF01		0xF02			
D1	0xE11		0xE12			
D2 (デュアルまたはクワッドのみ)	0xD21		0xD22			
D3 (デュアルまたはクワッドのみ)	0xC31		0xC32			
D4 (クワッドのみ)	0xB41		0xB42			
D5 (クワッドのみ)	0xA51		0xA52			
D6 (クワッドのみ)	0x961		0x962			
D7 (クワッドのみ)	0x871		0x872			

Copyright © 2025 Texas Instruments Incorporated

表 6-50. JMODE 15 のショート・トランスポート・テスト・パターン

オクテット	0		1		2	
NIBBLE	0	1	2	3	4	5
D0	0xF01		0xF02			
D1	0xE11		0xE12			
D2	0xD21		0xD22			
D3	0xC31		0xC32			
D4（デュアル専用）	0xB41		0xB42			
D5（デュアル専用）	0xA51		0xA52			
D6（デュアル専用）	0x961		0x962			
D7（デュアル専用）	0x871		0x872			

6.4.4.6 D21.5 テスト モード

このテストモードでは、コントローラは D21.5 文字の連続ストリームを送信します（0 と 1 を交互に入力）。このモードは、8B/10B および 64B/66B モードに適用されます。

6.4.4.7 K28.5 テスト モード

このテストモードでは、コントローラは K28.5 文字の連続ストリームを送信します。このモードは 8B/10B モードにのみ適用されます。

6.4.4.8 反復 ILA テスト モード

このテストモードでは、JESD204C リンク層は通常動作しますが、ILA シーケンス(ILAS)はデータフェーズを開始するのではなく無期限に繰り返されます。レシーバが同期要求を発行するたびに、トランスミッタはコードグループ同期を開始します。コードグループの同期が完了すると、送信機は ILA シーケンスを繰り返し送信します。このモードは 8B/10B モードにのみ適用されます。

6.4.4.9 修正 RPAT テスト モード

12 オクテットの繰り返しパターンは、INCITS TR-35-2004 で定義されています。このパターンの目的は、JESD204C に準拠し、ジッタ・テストのためにホワイト・スペクトル・コンテンツを生成することです。表 6-51 は、8B/10B エンコードの前後のパターンをリストします。このモードは 8B/10B モードにのみ適用されます。

表 6-51. RPAT パターンの値を変更

オクテット番号	Dx.y 表記	8B/10B エンコーダへの 8 ビット入力	8B/10B エンコーダの 20b 出力（2 文字）
0	D30.5	0xBE	0x86BA6
1	D23.6	0xD7	
2	D3.1	0x23	0xC6475
3	D7.2	0x47	
4	D11.3	0x6B	0xD0E8D
5	D15.4	0x8F	
6	D19.5	0xB3	0xCA8B4
7	D20.0	0x14	
8	D30.2	0x5E	0x7949E
9	D27.7	0xFB	
10	D21.1	0x35	0xAA665
11	D25.2	0x59	

6.4.5 キャリブレーション モードとトリミング

このデバイスには、フォアグラウンド・キャリブレーションとバックグラウンド・キャリブレーションの 2 つのキャリブレーションモードがあります。フォアグラウンドキャリブレーションが開始されると、ADC はオフラインになり、キャリブレーションが完了す

Copyright © 2025 Texas Instruments Incorporated

るまで出力データは中間コード（0x000、2 の補数）になります。バックグラウンドキャリブレーションでは、ADC コアがバックグラウンドでキャリブレーションされている間、ADC は別の ADC コアを交換してその代わりに通常動作を続行できます。フォアグラウンドおよびバックグラウンドキャリブレーションモードでは、追加のオフセットキャリブレーション機能が使用できます。さらに、ユーザーシステムで性能を最適化するために、多数の ADC パラメータを調整することができます。

このデバイスは、合計 6 つの ADC コアで構成されています。フォアグラウンドキャリブレーションモードでは、ADC 0 は INA±、ADC 1 は INB±、ADC 4 は INC±、ADC 5 は IND±をサンプリングします。バックグラウンド・キャリブレーション・モードでは、ADC 0 と ADC 1 の場合は ADC コア 2 が定期的に交換され、ADC 4 と 5 の場合は ADC コア 3 が定期的に交換され、動作を中断することなくキャリブレーションできます。図 6-13 から図 6-15 に、ADC コアのラベルを含めたキャリブレーション・システムの図を示します。キャリブレーションが実行されると、各バンクの直線性、ゲイン、オフセット電圧は、内部で生成されるキャリブレーション信号にキャリブレーションされます。アナログ入力はキャリブレーション中にフォアグランドとバックグラウンドの両方で駆動できます。ただし、オフセット・キャリブレーション（OS_CAL または BGOS_CAL）を使用する場合、オフセットを適切に推定するため、DC 付近に信号（またはエイリアスされた信号）が存在しない必要があります（*オフセット・キャリブレーション* のセクションを参照）。

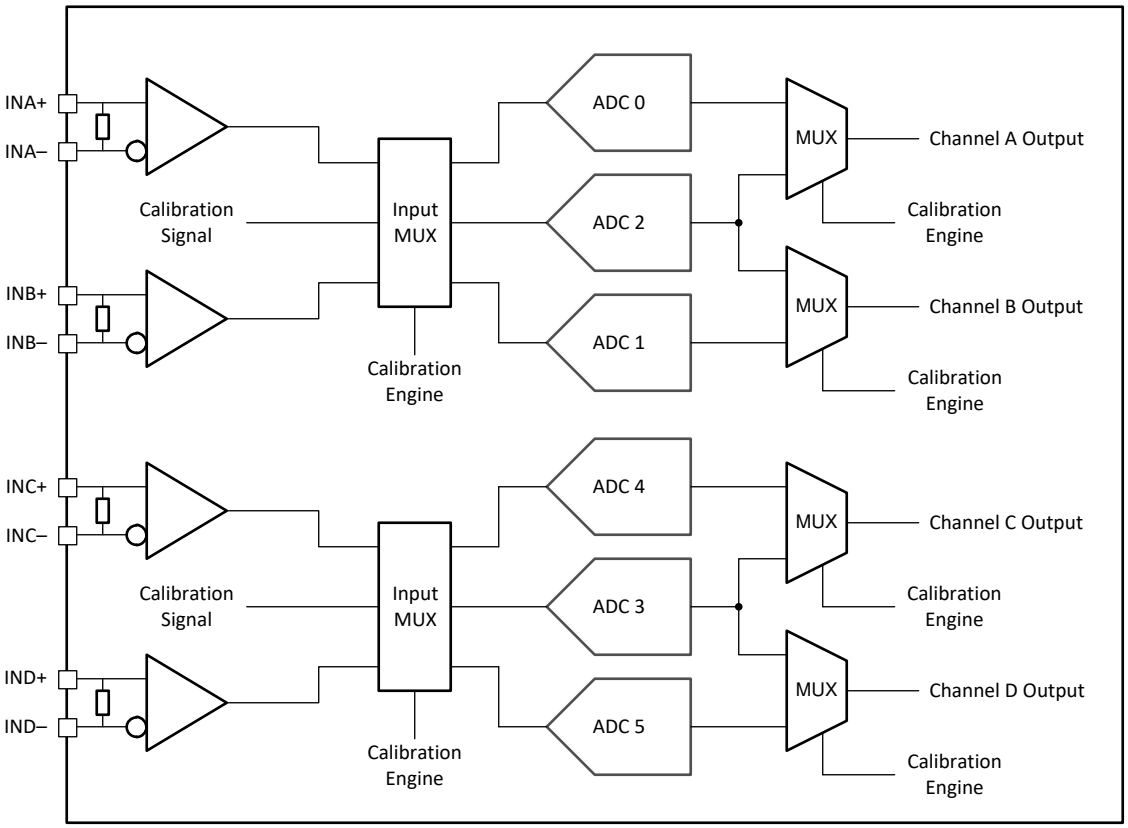


図 6-13. クワッド・チャネルキャリブレーションのシステム・ブロック図

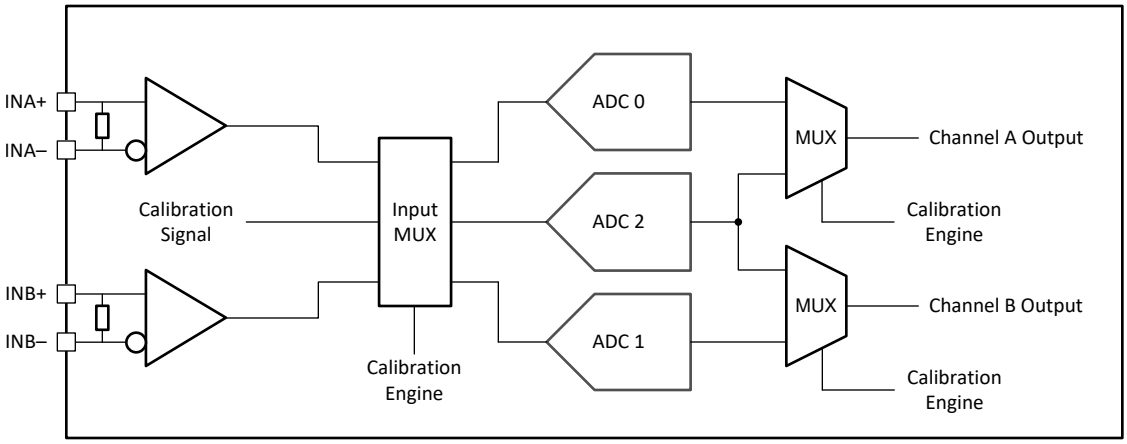


図 6-14. デュアルチャネルキャリブレーションシステムのブロック図

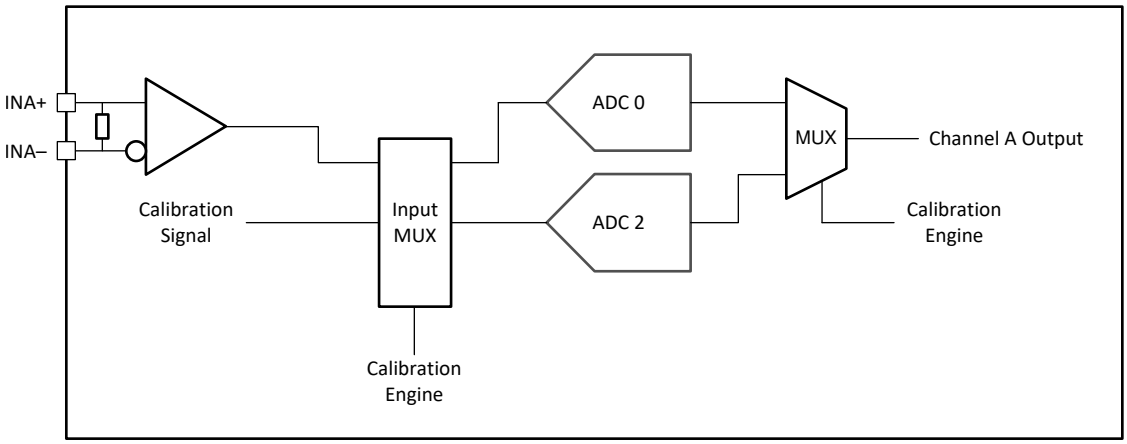


図 6-15. シングルチャネルキャリブレーションシステムのブロック図

キャリブレーションに加えて、多数の ADC パラメータをユーザーが制御して、最適な性能を達成できるようにトリミングを行うことも可能です。これらのパラメータには、入力オフセット電圧、ADC ゲイン、入力終端抵抗が含まれています。デフォルトのトリム値は、工場出荷時に各デバイスに対して固有の値にプログラムされます。これらの値は、テストシステムの動作条件で最適と判断されます。ユーザーは、工場出荷時にプログラムされた値をトリムレジスタから読み出し、必要に応じて調整できます。トリミングを制御するレジスタ・フィールドは、サンプリングされる入力（INA±、INB±、INC±または IND±）と、トリムされている ADC コアに従ってラベル付けされます。動作条件が変化してもトリム値を変更することは想定されませんが、必要に応じて値を変更することはできます。プロセスのばらつきがあるため、カスタムトリミングはデバイスごとに行う必要があります。つまり、すべてのパーツにグローバルな最適設定がありません。利用可能なトリムパラメータと関連するレジスタの詳細については、*トリミング* セクションを参照してください。

6.4.5.1 フォアグラウンド キャリブレーション モード

フォアグラウンドキャリブレーションでは、手順中に ADC がアナログ入力信号の変換を停止する必要があります。フォアグラウンドキャリブレーションは常に電源オン時に実行され、ユーザーはデバイスをプログラムして、キャリブレーションが完了していることを確認する前に十分な時間、待つ必要があります。フォアグラウンドキャリブレーションは、キャリブレーションエンジンをトリガすることで開始できます。トリガソースは CALTRIG ピンまたは CAL_SOFT_TRIG のいずれかにでき、CAL_TRIG_EN を設定することで選択されます。

6.4.5.2 バックグラウンド キャリブレーション モード

バックグラウンド キャリブレーション モードでは、データの中断なしに ADC を連続動作させることができます。この連続動作は、以前にアクティブだった他の ADC コアのいずれかの動作を引き継ぐようにキャリブレーションされた追加の ADC コ

Copyright © 2025 Texas Instruments Incorporated

アをアクティブにすることにより実現されます。クワッド・チャネル・デバイスの場合、ADC コア 0 と 1 は 1 つの追加 ADC コア（ADC コア 2）を共有し、ADC コア 4 と 5 は他の追加の ADC コア（ADC コア 3）を共有します。ADC コアがオフラインになると ADC でキャリブレーションが引き継がれ、次の ADC のキャリブレーションが行われます。このプロセスは連続的に動作し、システムの動作条件の変化に関係なく、ADC コアは常に最適な性能を提供します。一度に消費電力を低減するためにキャリブレーションされるのはそのうちの 1 つのコアのみですが、追加のアクティブ ADC コアにより、フォアグラウンド較正モードに比べて消費電力が増加します。ローパワーバックグラウンドキャリブレーション（LPBG）モードセクションで説明する*低消費電力のバックグラウンドキャリブレーション (LPBG)*モードを使うと、標準のバックグラウンドキャリブレーションモードに比べて平均消費電力を低減できます。バックグラウンド・キャリブレーションは、CAL_BG を設定することで有効化できます。CAL_TRIG_EN を 0 に、CAL_SOFT_TRIG を 1 に設定する必要があります。

コアのスイッチングプロセスが発生する際、変換データへの影響を最小限に抑えるよう細心の注意が払われていますが、コアが入れ替わっているため、コンバータのデータで小さなグリッチが依然として発生する可能性があります。レジスタ ADC_SRC_DLY（アドレス= 0x9A）を 0x1F に、MUX_SEL_DLY（アドレス= 0x9B）を 0x1E に設定することを推奨します。

正弦波および DC 信号で発生する可能性のあるグリッチの例については、*代表的特性*を参照してください。

6.4.5.3 低消費電力バックグラウンド キャリブレーション (LPBG) モード

低消費電力のバックグラウンド・キャリブレーション（LPBG）モードでは、追加の ADC コアを有効にする際の電力オーバーヘッドを低減しながら、ADC コアのバックグラウンド・キャリブレーションによって動作条件が変化したときに最適な性能を維持できます。LPBG キャリブレーションでは、予備 ADC コアをキャリブレーションの準備完了までパワーダウンすることで、バックグラウンドキャリブレーション手順が変更されます。LP_EN = 1 に設定して、ローパワーのバックグラウンド・キャリブレーション機能を有効にします。ADC コアのキャリブレーションと交換は、デバイスで自動的に制御することも、LP_TRIG を適切に設定することでシステムから手動で制御することもできます。手動制御（LP_TRIG=1）を使用すると、システムはキャリブレーション・サイクル数を制限して、不要なコア・スワップを回避したり、消費電力を最小限に抑えたりするために、キャリブレーションをトリガできます。たとえば、ユーザーはシステム温度が何らかの固定温度に変化した場合にのみキャリブレーションを実行します。手動制御が必要ない場合は、自動キャリブレーション制御を有効（LP_TRIG=0）にして、固定時間間隔でキャリブレーションを行うことができます。

自動キャリブレーション有効モード（LP_TRIG=0）では、予備の ADC コアのスリープ時間は LP_SLEEP_DLY レジスタ設定で制御できます。LP_SLEEP_DLY は、キャリブレーションのためにウェークアップする前に ADC がスリープ状態になる時間を調整するために使われます（LP_EN=1 および LP_TRIG = 0 のとき）。LP_WAKE_DLY は、キャリブレーションが開始する前にウェイクアップした後、コアが安定するのに許容される時間を設定します。自動キャリブレーション制御モードでは、キャリブレーションが完了するとすぐに、キャリブレーションされたばかりのコアがアクティブコアに交換され、新しいスペアコアはスリープ期間の間パワーダウンになり、その後、ウェークアップおよびキャリブレーションが行われます。

手動キャリブレーション制御は、キャリブレーション・トリガ（CAL_SOFT_TRIG または CALTRIG）を使用してキャリブレーションとコア・スワップをトリガするために、LP_TRIG を High に設定することで有効になります。手動制御が有効（LP_TRIG=1）の場合、キャリブレーショントリガが High の間、予備 ADC はスリープモードに保持されます。キャリブレーション有効トリガを Low に設定すると、予備の ADC コアがウェークアップし、指定されたウェイク遅延（LP_WAKE_DLY）を待った後でキャリブレーション有効ルーチンを開始します。キャリブレーションが完了し、キャリブレーション・トリガが再び High に設定されると、予備の ADC コアはアクティブ・コアに交換されます。キャリブレーショントリガが Low に保持されている場合、予備の ADC コアがキャリブレーションを行い、キャリブレーショントリガが High になるまで電力を消費します。ADC12QJ1600-SP は、CAL_STOPPED 信号を出力するように CALSTAT ピンを設定することで、予備 ADC が CALSTAT 出力ピンのキャリブレーションを完了したときに報告できます（CAL_STATUS_SEL = 1）。消費電力を最小限に抑えるには、キャリブレーションが完了する前にキャリブレーショントリガを High に設定し、キャリブレーションが完了するとすぐに予備の ADC をアクティブな ADC コアに対して交換できます。それ以外の場合は、キャリブレーショントリガを目的の時点に High に設定することにより、ADC コアスワップを手動でタイミングを変更して、スワップ手順により生じる電位グリッチのシステムへの影響を最小限に抑えることができます。

LPBG モードでは、ADC コアのキャリブレーション中に消費電力が増加します。予備の ADC を長く保持すると、平均消費電力は低くなりますが、スリープ・サイクル中の動作条件が大きく変化すると、アクティブな ADC コアに対して最適化されていないキャリブレーションデータのため、ADC 性能が低下する可能性があります。消費電力は、予備 ADC コアがスリ

Copyright © 2025 Texas Instruments Incorporated

ープしているときに、予備 ADC がキャリブレーションされているときにフォアグラウンドキャリブレーションの消費電力とバックグラウンドキャリブレーションの消費電力とがほぼ交互に発生します。このモードの過渡電力要件を制御するように電源ネットワークを設計します。これには、電源過渡時に電源電圧を制御するのに役立つ、各種電源フィルタリングネットワークの後段に配置するバルク静電容量も含まれます。

6.4.6 オフセット キャリブレーション

フォアグラウンドキャリブレーションモードとバックグラウンドキャリブレーションモードは本質的に ADC コアのオフセットをキャリブレーションしますが、入力バッファはキャリブレーションループの外にあるため、それらのオフセットは標準的なキャリブレーションプロセスではキャリブレーションされません。入力バッファ・オフセットを補正するために、別途キャリブレーションが実行されます。

オフセットを適切にキャリブレーションするために、DC 信号または DC 信号付近に降下する信号またはエイリアスされた信号が存在しないようにする必要があります。このため、通常動作時に状態を確保する必要があります。または、キャリブレーション中に入力信号をミュートする機能も備えている必要があります。フォアグラウンドオフセットキャリブレーションは CAL_OS によってイネーブルされ、フォアグラウンドキャリブレーション手順の一環として 1 回だけキャリブレーションを行います。バックグラウンドオフセットキャリブレーションは CAL_BGOS によって有効化され、動作条件の変化に対応するため、バックグラウンドキャリブレーションルーチンの一部としてオフセットを補正し続けます。CAL_BGOS を設定する場合、システムは、通常動作時に DC 信号または DC 付近、または DC 付近に降下する信号、またはエイリアス信号が確実に DC 信号またはその付近に存在しないことを確認する必要があります。CAL_EN を設定する前に CAL_OS を 1 に設定することで、バックグラウンド・キャリブレーションを使用する場合、オフセット・キャリブレーションをフォアグラウンド動作として実行できますが、動作条件が変化するにつれて変動するは補正しません。

オフセットキャリブレーション補正では、入力オフセット電圧調整レジスタ（OFS0 ~ OFS5 を参照）を使用してオフセットを補正するため、オフセットキャリブレーションの使用時にユーザーが書き込むことはできません。キャリブレーション完了後にオフセットトリムレジスタを読み取って、キャリブレーションされた値をユーザーが読み取って、将来これらの値を使って出荷時のトリム値を上書きできます。フォアグラウンドオフセットキャリブレーション（CAL_OS = 1）を使用している場合にのみ、FG_DONE を 1 として読み取って、バックグラウンドオフセットキャリブレーション（CAL_BGOS = 1）を使用しても値は読み取られません。CAL_OS を 1 に、CAL_BG を 1 に設定すると、フォアグラウンド・キャリブレーション・プロセス中に 6 つのすべてのコアのオフセット・キャリブレーションが実行されます。

パルス入力システムなど一部のシステムでは、単極信号のダイナミック・レンジを最大化するために、意図的に大きな外部 DC オフセットをアナログ入力に適用する場合があります。印加される DC オフセットのため、これらのシステムでは標準オフセットキャリブレーションは使用できません。これらのシステムでは代わりに、予備の ADC をオフセットリファレンスとして使用するように OSREF を設定し、予備のオフセットに合わせてメイン ADC コアをキャリブレーションします。これにより、バックグラウンド・キャリブレーションのスワッピング中のシームレスなオフセット遷移が可能になります。

Copyright © 2025 Texas Instruments Incorporated

6.4.7 トリミング

表 6-52 に、トリム可能なパラメータおよび関連するレジスタを示します。

表 6-52. レジスタの説明

TRIM パラメータ	TRIM レジスタ	注
バンドギャップリファレンス	BG_TRIM	BG 出力ピンでの測定値。
入力終端抵抗	RTRIM_x 。x = A（INA±の場合）、B（INB±の場合）など。	このデバイスの電源は、クロックを印加してオンにする必要があります。
入力オフセット電圧	OFSxy、 ここで、x = ADC コア（0、1、2、3、4、5） 、y = A（INA±の場合）、B（INB±の場合）など、または省略（ADC コア 0、1、4、5 の場合）	各 ADC コア（0、1、2、3、4、5）で異なるトリム値を使用できるため、バックグラウンドキャリブレーションモードでより一貫性のあるオフセット性能を実現できます。これらのレジスタからトリム値を取得するには、CAL_OS を CAL_BG = 1 として使用します。
アナログ入力ゲイン	GAINxy、 ここで、x = ADC コア（0、1、2、3、4、5）、 y = A（INA±の場合）、B（INB±の場合）など、または省略（ADC コア 0、1、4、5 の場合）	このトリムを使用して、各 ADC コアのゲインを一致させます。これらのレジスタは、キャリブレーションプロセスの影響を受けません。
フルスケール入力電圧	FS_RANGE	すべての入力に適用されるフルスケール入力電圧調整。各入力のゲインを一致させるには GAINxy を使用します。

6.5 プログラミング

6.5.1 シリアル インターフェイスの使い方

シリアルインターフェイスには、シリアルクロック（SCLK）、シリアルデータ入力（SDI）、シリアルデータ出力（SDO）、シリアルインターフェイスチップセレクト（$\overline{\text{SCS}}$）の 4 つのピンを使用してアクセスします。レジスタ・アクセスは、$\overline{\text{SCS}}$ ピンによって有効にされます。

6.5.2 $\overline{\text{SCS}}$

シリアルインターフェイス経由でレジスタにアクセスするには、この信号を Low にアサートする必要があります。SCLK に対するセットアップ時間とホールド時間を確認する必要があります。

6.5.3 SCLK

シリアル・データ入力は、この信号の立ち上がりエッジで受け付けられます。SCLK には最小周波数要件はありません。

6.5.4 SDI

各レジスタアクセスには、この入力で仕様の 24 ビットパターンが必要です。このパターンは、読み取り/書き込み（R/W）ビット、レジスタ・アドレス、レジスタ値で構成されます。データは、MSB ファースト・レジスタとマルチ・バイト・レジスタでシフトされ、常にリトルエンディアン形式です（最小桁バイトが最下位アドレスに格納されます）。SCLK に対するセットアップ時間とホールド時間は、遵守する必要があります（タイミング要件 表を参照）。

6.5.5 SDO

SDO 信号は、読み出しコマンドで要求される出力データを提供します。この出力は、書き込みバス・サイクル中、および読み取りバス・サイクルの読み出しビットおよびレジスタ・アドレス部分においてハイインピーダンスになります。

シリアルインターフェイスプロトコル に示すように：シングル読み取り/書き込み、各レジスタ・アクセスは 24 ビットで構成されます。最初のビットは、読み取りの場合は High、書き込みの場合は Low です。

次の 15 ビットは、書き込み先のレジスタのアドレスです。書き込み動作中、最後の 8 ビットは、アドレス指定されたレジスタに書き込まれるデータです。読み取り動作中、SDI の最後の 8 ビットは無視され、この期間中 SDO がアドレス指定されたレジスタからデータを出力します。シリアル インターフェイス プロトコル：シングル読み取り/書き込み に、シリアルプロトコルの詳細を示します。

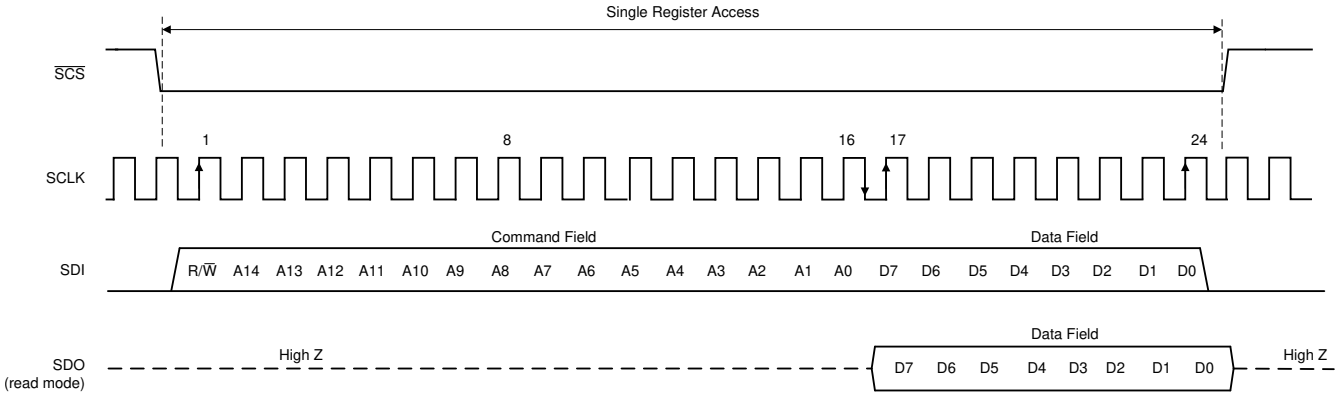


図 6-16. シリアル インターフェイス プロトコル：シングル読み取り / 書き込み

Copyright © 2025 Texas Instruments Incorporated

6.5.6 ストリーミング モード

シリアルインターフェイスは、ストリーミング読み取りおよび書き込みをサポートしています。このモードでは、トランザクションの初期 24 ビットによりアクセスタイプ、レジスタアドレス、データ値が通常どおりに指定されます。$\overline{SCS}$ 入力がアサート（ロジック Low）状態に維持されている限り、書き込みデータまたは読み取りデータの追加クロックサイクルは直ちに転送されます。レジスタアドレスは、ストリーミングトランザクションの後続の 8 ビット転送ごとに自動インクリメント（デフォルト）またはデクリメントします。ASCEND は、アドレス値を昇順(増減)または降順(減)にするかを制御します。ADDR_HOLD ビットをセットすることで、ストリーミング・モードを無効化できます。ストリーミング・モードのトランザクションの詳細を、図 6-17 に示します。

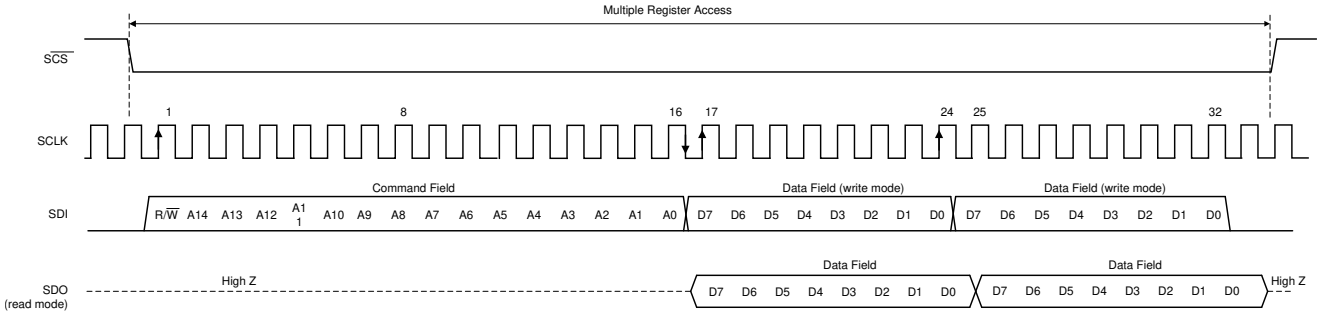


図 6-17. シリアル インターフェイス プロトコル：ストリーミング読み取り/書き込み

レジスタの詳細については、「SPI_Register_Map レジスタ」セクションを参照してください

注

ADC のキャリブレーション中は、シリアルインターフェイスにアクセスしないでください。この間にシリアル・インターフェイスにアクセスすると、デバイスが正しくキャリブレーションされるまでデバイスの性能が低下します。シリアル・レジスタの書き込みや読み出しも、レジスタのアクセス時間の間、ADC の動的性能を低下させます。

Copyright © 2025 Texas Instruments Incorporated

6.5.7 SPI_Register_Map レジスタ

表 6-53 に、SPI_Register_Map レジスタの一覧を示します。表 6-53 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 6-53. SPI_REGISTER_MAP レジスタ

アドレス	略称	レジスタ名	セクション
0x0	CONFIG_A	設定 A（デフォルト：0x30）	表示
0x2	DEVICE_CONFIG	デバイス構成（デフォルト：0x00）	表示
0xC	VENDOR_ID	ベンダ識別（デフォルト= 0x0451）	表示
0x10	USR0	ユーザー SPI 構成（デフォルト：0x00）	表示
0x29	CLK_CTRL0	クロック制御 0（デフォルト：0x80）	表示
0x2A	CLK_CTRL1	クロック制御 1（デフォルト：0x00）	表示
0x2B	CLK_CTRL2	クロック制御 2（デフォルト：0x10）	表示
0x2C	SYSREF_POS	SYSREF キャプチャの位置（読み取り専用ステータス）	表示
0x30	FS_RANGE	FS_RANGE（デフォルト：0xA000）	表示
0x37	LOW_POWER1	低消費電力モード 1（デフォルト：0x4B）	表示
0x3B	TMSTP_CTRL	TIMESTAMP（TMSTP）制御（デフォルト：0x00）	表示
0x3C	PLLREFO_CTRL	PLL 基準出力制御（デフォルト：0x01）	表示
0x3D	CPLL_FBDIV1	C-PLL 帰還分周器 V および P（デフォルト：0x00）	表示
0x3E	CPLL_FBDIV2	C-PLL 帰還分周器 N（デフォルト：0x20）	表示
0x3F	CPLL_VCOCTRL1	C-PLL 帰還分周器 N（デフォルト：0x4F）	表示
0x48	SER_PE	シリアライザのプリエンファシス制御（デフォルト：0x00）	表示
0x57	TRIGOUT_CTRL	TRIGOUT 出力制御（デフォルト：0x00）	表示
0x58	CPLL_OVR	C-PLL ピンのオーバーライド（デフォルト：0x00）	表示
0x59	VCO_FREQ_TRIM	C-PLL VCO 周波数トリム（デフォルト：未定義）	表示
0x5C	CPLL_RESET	C-PLL/VCO 較正リセット（デフォルト：0x00）	表示
0x5D	VCO_CAL_CTRL	VCO 較正制御（デフォルト：0x40）	表示
0x5E	VCO_CAL_STATUS	VCO 較正ステータス（読み取り専用）（デフォルト：未定義）	表示
0x61	CAL_EN	較正の有効化（デフォルト：0x01）	表示
0x62	CAL_CFG0	較正の構成 0（デフォルト：0x01）	表示
0x65	CAL_CFG1	較正の構成 1（デフォルト：0x01）	表示
0x68	CAL_AVG	較正の平均化（デフォルト：0x61）	表示
0x6A	CAL_STATUS	較正のステータス（デフォルト：未定義）（読み取り専用）	表示
0x6B	CAL_PIN_CFG	較正ピン構成（デフォルト：0x00）	表示
0x6C	CAL_SOFT_TRIG	較正ソフトウェアトリガ（デフォルト：0x01）	表示
0x6E	CAL_LP	低消費電力バックグラウンド較正（デフォルト：0x88）	表示
0x7A	GAIN_TRIM	ゲイン DAC トリム（デフォルトはヒューズ ROM から）	表示
0x7C	BG_TRIM	バンドギャップトリム（デフォルトはヒューズ ROM から）	表示
0x7E	RTRIM_A	INA の抵抗トリム（ヒューズ ROM からのデフォルト）	表示
0x7F	RTRIM_B	INB の抵抗トリム（ヒューズ ROM からのデフォルト）	表示
0x80	RTRIM_C	INC の抵抗トリム（ヒューズ ROM からのデフォルト）	表示
0x81	RTRIM_D	IND の抵抗トリム（ヒューズ ROM からのデフォルト）	表示
0x9A	ADC_SRC_DLY	較正の ADC ソース遅延	セクション 6.5.7.37
0x9B	MUX_SEL_DLY	較正の MUX 選択遅延	セクション 6.5.7.38
0x9D	ADC_DITH	ADC ディザリング制御（デフォルトはヒューズ ROM から）	表示

Copyright © 2025 Texas Instruments Incorporated

表 6-53. SPI_REGISTER_MAP レジスタ (続き)

アドレス	略称	レジスタ名	セクション
0x160	LSB_CTRL	LSB 制御ビット出力(デフォルト:0x00)	表示
0x200	JESD_EN	JESD204C サブシステム有効化(デフォルト:0x01)	表示
0x201	JMODE	JESD204C モード(デフォルト:0x00)	表示
0x202	KM1	JESD204C K パラメータ(-1)(デフォルト:0x1F)	表示
0x203	JSYNC_N	JESD204C 手動同期要求(デフォルト:0x01)	表示
0x204	JCTRL	JESD204C 制御(デフォルト:0x03)	表示
0x205	JTEST	JESD204C テスト制御(デフォルト:0x00)	表示
0x206	DID	JESD204C DID パラメータ(デフォルト:0x00)	表示
0x207	FCHAR	JESD204C フレーム文字(デフォルト:0x00)	表示
0x208	JESD_STATUS	JESD204C / システムステータスレジスタ	表示
0x209	CH_EN	JESD204C チャネル無効化(デフォルト:0x03)	表示
0x20F	SHMODE	JESD204C 同期ワードモード(デフォルト:0x00)	表示
0x210	SYNC_THRESH	JESD204C SYNC~スレッショルド(デフォルト:0x03)	表示
0x211	OVR_TH	オーバーレンジスレッショルド(デフォルト:0xF2)	表示
0x213	OVR_CFG	オーバーレンジ有効化/ホールド オフ(デフォルト:0x07)	表示
0x270	INIT_STATUS	初期化ステータス(読み取り専用)	表示
0x29A	LOW_POWER2	低消費電力モード 2(デフォルト:0x0F)	表示
0x29B	LOW_POWER3	低消費電力モード 3(デフォルト:0x04)	表示
0x29C	LOW_POWER4	低消費電力モード 4(デフォルト:0x1B)	表示
0x2C0	ALARM	アラーム割り込み(読み取り専用)	表示
0x2C1	ALM_STATUS	アラームステータス(デフォルト:0x3F、クリアへの書き込み)	表示
0x2C2	ALM_MASK	アラーム マスク レジスタ(デフォルト:0x3F)	表示
0x2C4	FIFO_LANE_ALM	FIFO オーバーフロー/アンダーフローアラーム(デフォルト:0xFF)	表示
0x330	OFS0	ADC0 のオフセット調整(デフォルトはヒューズ ROM から)	表示
0x332	OFS1	ADC1 のオフセット調整(デフォルトはヒューズ ROM から)	表示
0x334	OFS2A	ADC2 のオフセット調整(INA±)(ヒューズ ROM からのデフォルト)	表示
0x336	OFS2B	ADC2 のオフセット調整(INB±)(ヒューズ ROM からのデフォルト)	表示
0x338	OFS3C	ADC3 のオフセット調整(INC±)(ヒューズ ROM からのデフォルト)	表示
0x33A	OFS3D	ADC3 のオフセット調整(IND±)(ヒューズ ROM からのデフォルト)	表示
0x33C	OFS4	ADC4 のオフセット調整(デフォルトはヒューズ ROM から)	表示
0x33E	OFS5	ADC5 のオフセット調整(デフォルトはヒューズ ROM から)	表示
0x360	GAIN0	ADC0 の微ゲイン調整(デフォルトはヒューズ ROM から)	表示
0x361	GAIN1	ADC1 の微ゲイン調整(デフォルトはヒューズ ROM から)	表示
0x362	GAIN2A	ADC2 の微ゲイン調整(INA±)(デフォルトはヒューズ ROM から)	表示
0x363	GAIN2B	ADC2 の微ゲイン調整(INB±)(デフォルトはヒューズ ROM から)	表示
0x364	GAIN3C	ADC3 の微ゲイン調整(INC±)(デフォルトはヒューズ ROM から)	表示
0x365	GAIN3D	ADC3 の微ゲイン調整(IND±)(デフォルトはヒューズ ROM から)	表示
0x366	GAIN4	ADC4 の微ゲイン調整(デフォルトはヒューズ ROM から)	表示
0x367	GAIN5	ADC5 の微ゲイン調整(デフォルトはヒューズ ROM から)	表示

Copyright © 2025 Texas Instruments Incorporated

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 6-54 に、このセクションでアクセス タイプに使用しているコードを示します。

表 6-54. SPI_Register_Map のアクセスタイプコード

アクセス タイプ	表記	概要
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値
レジスタ アレイ変数		
i、j、k、l、m、n		これらの変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタが反復レジスタ グループの一部であるレジスタ アレイの値を示します。レジスタ グループは階層構造を形成し、アレイは式で表されます。
y		この変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタ アレイの値を示します。

6.5.7.1 CONFIG_A レジスタ（アドレス = 0x0）[リセット = 0x30]

CONFIG_A を 図 6-18 に示し、表 6-55 で説明しています。

概略表に戻ります。

設定 A（デフォルト：0x30）

図 6-18. CONFIG_A レジスタ

7	6	5	4	3	2	1	0
SOFT_RESET	RESERVED	ASCEND	SDO_ACTIVE	RESERVED			
R/W-0x0	R/W-0x0	R/W-0x1	R-0x1	R/W-0x0			

表 6-55. CONFIG_A レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	SOFT_RESET	R/W	0x0	このビットをセットすると、チップとすべての SPI レジスタ（CONFIG_A を含む）が完全にリセットされます。このビットは自動でクリアされます。このビットを書き込んだ後、パーツをリセットするのに最大 750ns を要する場合があります。この期間中は、SPI トランザクションを実行しません。
6	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
5	ASCEND	R/W	0x1	0：ストリーミングの読み取り/書き込み中にアドレスが減少します 1：ストリーミングお読み取り/書き込み中にアドレスが増加します（デフォルト）
4	SDO_ACTIVE	R	0x1	常に 1 を返します。SPI 読み出しには常に SDO を使用します。 SDIO モードはサポートされていません。
3:0	RESERVED	R/W	0x0	

Copyright © 2025 Texas Instruments Incorporated

6.5.7.2 DEVICE_CONFIG レジスタ (アドレス = 0x2) [リセット = 0x00]

DEVICE_CONFIG を 図 6-19 に示し、表 6-56 で説明しています。

概略表に戻ります。

デバイス構成(デフォルト:0x00)

図 6-19. DEVICE_CONFIG レジスタ

7	6	5	4	3	2	1	0
RESERVED						モード	
R/W-0x0						R/W-0x0	

表 6-56. DEVICE_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:2	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
1:0	モード	R/W	0x0	0 : 通常動作 (デフォルト) 1:予約済み 2:予約済み 3:パワーダウン(フルデバイス)

6.5.7.3 VENDOR_ID レジスタ (アドレス = 0xC) [リセット = 0x0]

VENDOR_ID を 図 6-20 に示し、表 6-57 で説明しています。

概略表に戻ります。

ベンダ識別(デフォルト= 0x0451)

図 6-20. VENDOR_ID レジスタ

15	14	13	12	11	10	9	8
VENDOR_ID							
R-0x0							
7	6	5	4	3	2	1	0
VENDOR_ID							
R-0x0							

表 6-57. VENDOR_ID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:0	VENDOR_ID	R	0x0	常に 0x0451(テキサス・インスツルメンツのベンダ ID)を返します

6.5.7.4 USR0 レジスタ (アドレス = 0x10) [リセット = 0x00]

図 6-21 に、USR0 を示し、表 6-58 に、その説明を示します。

概略表に戻ります。

ユーザー SPI 構成(デフォルト:0x00)

図 6-21. USR0 レジスタ

7	6	5	4	3	2	1	0
RESERVED							ADDR_HOLD
R/W-0x0							R/W-0x0

Copyright © 2025 Texas Instruments Incorporated

表 6-58. USR0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:1	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
0	ADDR_HOLD	R/W	0x0	0 : ASCEND レジスタを使用してアドレスの昇順/降順モードを選択します（デフォルト） 1 : アドレスはストリーミング動作中常に一定に保たれ、CAL_DATA レジスタでの較正ベクタ情報の読み書きに便利です

6.5.7.5 CLK_CTRL0 レジスタ (アドレス = 0x29) [リセット = 0x80]

図 6-22 に、CLK_CTRL0 を示し、表 6-59 に、その説明を示します。

概略表に戻ります。

クロック制御 0（デフォルト：0x80）

図 6-22. CLK_CTRL0 レジスタ

7	6	5	4	3	2	1	0
RESERVED	SYSREF_PROC_EN	SYSREF_RECV_EN	SYSREF_ZOOM	SYSREF_SEL			
R/W-0x1	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0			

表 6-59. CLK_CTRL0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	RESERVED	R/W	0x1	デフォルト値を書き込む必要があります。
6	SYSREF_PROC_EN	R/W	0x0	このビットにより、SYSREF プロセッサが有効化され、デバイスが SYSREF イベントを処理できるようになります（デフォルト：無効化）。SYSREF_PROC_EN を設定する前に SYSREF_RECV_EN を設定する必要があります。
5	SYSREF_RECV_EN	R/W	0x0	このビットを設定すると、SYSREF レシーバ回路が有効になります（デフォルト：無効化）
4	SYSREF_ZOOM	R/W	0x0	このビットを設定すると、SYSREF ウィンドウ処理のステータスおよび遅延を拡大縮小できます（SYSERF_POS および SYSREF_SEL に影響します u）。設定すると、SYSREF ウィンドウ処理機能（SYSREF_POS レジスタで報告）で使用される遅延が小さくなります。高いクロックレートを得るには、特に SYSREF_POS レジスタで複数の SYSREF 有効ウィンドウが発生した場合に、SYSREF_ZOOM を使用します。「SYSREF 位置検出器およびサンプリング位置の選択（SYSREF ウィンドウ処理）」の項を参照してください。
3:0	SYSREF_SEL	R/W	0x0	使用する SYSREF 遅延を選択するには、このフィールドを設定します。このフィールドは、SYSREF_POS から返された結果に基づいて設定します。「SYSREF 位置検出器およびサンプリング位置の選択（SYSREF ウィンドウ処理）」の項を参照してください。

6.5.7.6 CLK_CTRL1 レジスタ (アドレス = 0x2A) [リセット = 0x00]

図 6-23 に、CLK_CTRL1 を示し、表 6-60 に、その説明を示します。

概略表に戻ります。

クロック制御 1（デフォルト：0x00）

図 6-23. CLK_CTRL1 レジスタ

7	6	5	4	3	2	1	0
RESERVED					DEVCLK_LVPECL_EN	SYSREF_LVPECL_EN	SYSREF_INVERTED

Copyright © 2025 Texas Instruments Incorporated

図 6-23. CLK_CTRL1 レジスタ (続き)

R/W-0x0					R/W-0x0	R/W-0x0	R/W-0x0

表 6-60. CLK_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:3	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
2	DEVCLK_LVPECL_EN	R/W	0x0	DEVCLK の低電圧 PECL モードを有効にします。各入力ピン (CLK+ および CLK-) の内部終端は、グランドに対して 50Ω の抵抗になります。DEVCLK_LVPECL_EN が 1 に設定されている場合、CLK±に対する入力同相自己バイアスはありません。
1	SYSREF_LVPECL_EN	R/W	0x0	SYSREF の低電圧 PECL モードを有効にします。各入力ピン (SYSREF+ および SYSREF-) の内部終端は、グランドに対して 50Ω の抵抗になります。SYSREF_LVPECL_EN が 1 に設定されている場合、SYSREF±に対して入力同相自己バイアスは行われません。
0	SYSREF_INVERTED	R/W	0x0	このビットは、アライメントに使用される SYSREF 信号を反転します。

6.5.7.7 CLK_CTRL2 レジスタ (アドレス = 0x2B) [リセット = 0x10]

図 6-24 に、CLK_CTRL2 を示し、表 6-61 に、その説明を示します。

概略表に戻ります。

クロック制御 1 (デフォルト:0x10)

図 6-24. CLK_CTRL2 レジスタ

7	6	5	4	3	2	1	0
RESERVED					VA11Q_NOISESUPPR_EN	RESERVED	VCLK11_NOISESUPPR_EN
R/W-0x1					R/W-0x0	R/W-0x0	R/W-0x0

表 6-61. CLK_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:3	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
2	VA11Q_NOISESUPPR_EN	R/W	0x0	設定すると、VA11Q のノイズが抑制され、20mA までの電流が流れます。これにより、サンプリング・ジッタが低減され、C-PLL モードおよび SYSREF スプリアスのリファレンス・クロック・スプリアスが低減されます。
1	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
0	VCLK11_NOISESUPPR_EN	R/W	0x0	設定すると、VCLK11 のノイズが抑制され、20mA までの電流が流れます。これにより、サンプリング・ジッタが低減され、C-PLL モードおよび SYSREF スプリアスのリファレンス・クロック・スプリアスが低減されます。

6.5.7.8 SYSREF_POS レジスタ (アドレス = 0x2C) [リセット = 0x0]

SYSREF_POS を 図 6-25 に示し、表 6-62 で説明しています。

概略表に戻ります。

SYSREF キャプチャの位置 (読み取り専用ステータス)

図 6-25. SYSREF_POS レジスタ

23	22	21	20	19	18	17	16
SYSREF_POS							
R-0x0							

Copyright © 2025 Texas Instruments Incorporated

図 6-25. SYSREF_POS レジスタ (続き)

15	14	13	12	11	10	9	8
SYSREF_POS							
R-0x0							
7	6	5	4	3	2	1	0
SYSREF_POS							
R-0x0							

表 6-62. SYSREF_POS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
23:0	SYSREF_POS	R	0x0	CLK±を基準とした SYSREF エッジの位置を示す 24 ビットのステータス値を返します。SYSREF_SEL をプログラミングするには、これを使用します。

6.5.7.9 FS_RANGE レジスタ (アドレス = 0x30) [リセット = 0xA000]

FS_RANGE を 図 6-26 に示し、表 6-63 で説明しています。

概略表に戻ります。

FS_RANGE (デフォルト:0xA000)

図 6-26. FS_RANGE レジスタ

15	14	13	12	11	10	9	8
FS_RANGE							
R/W-0xA000							
7	6	5	4	3	2	1	0
FS_RANGE							
R/W-0xA000							

表 6-63. FS_RANGE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:0	FS_RANGE	R/W	0xA000	これらのビットにより、すべてのチャネルに対するアナログフルスケールレンジの調整を有効化できます。 0x0000:0X2000 以下の設定ではパフォーマンスが低下します。 0x2000:500mVPP - 推奨最小設定 0xA000:800mVPP (デフォルト) 0xFFFF:1000mVPP - 最大設定、最高 SNR

6.5.7.10 LOW_POWER1 レジスタ (アドレス = 0x37) [リセット = 0x4B]

図 6-27 に、LOW_POWER1 を示し、表 6-64 に、その説明を示します。

概略表に戻ります。

低消費電力モード 1 (デフォルト:0x4B)

図 6-27. LOW_POWER1 レジスタ

7	6	5	4	3	2	1	0
LOW_POW_MODE1							
R/W-0x4B							

Copyright © 2025 Texas Instruments Incorporated

表 6-64. LOW_POWER1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	LOW_POW_MODE1	R/W	0x4B	このレジスタを LOW_POWER2、LOW_POWER3、LOW_POWER4 と合わせて設定すると、低消費電力モードが有効になります。すべてのレジスタを一緒に設定する必要があります。較正は、オペレーティングモードを変更した後に実行する必要があります。 0x46：低消費電力モード（サンプリングレートが 1 GSPS 以下の場合のみ有効） 0x4B：高性能モード（デフォルト） その他のすべての値は予約済み 注：このレジスタを変更する前に、CAL_EN を 0 に、JESD_EN を 0 に設定する必要があります。

6.5.7.11 TMSTP_CTRL レジスタ (アドレス = 0x3B) [リセット = 0x00]

TMSTP_CTRL を 図 6-28 に示し、表 6-65 で説明しています。

概略表に戻ります。

TIMESTAMP（TMSTP）制御（デフォルト：0x00）

図 6-28. TMSTP_CTRL レジスタ

7	6	5	4	3	2	1	0
RESERVED						TMSTP_LVPECL_EN	TMSTP_RECV_EN
R/W-0x0						R/W-0x0	R/W-0x0

表 6-65. TMSTP_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:2	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
1	TMSTP_LVPECL_EN	R/W	0x0	セットすると、差動 TMSTP±入力の低電圧 PECL モードを有効にします。各入力ピン（TMSTP+ および TMSTP-）の内部終端は、グランドに対して 50Ω の抵抗になります。TMSTP_LVPECL_EN が 1 に設定されている場合、TMSTP±に対して入力同相自己バイアスは行われません。
0	TMSTP_RECV_EN	R/W	0x0	差動 TMSTP± 入力を有効にします。

6.5.7.12 PLLREFO_CTRL レジスタ (アドレス = 0x3C) [リセット = 0x01]

PLLREFO_CTRL を 図 6-29 に示し、表 6-66 で説明しています。

概略表に戻ります。

PLL 基準出力制御（デフォルト：0x01）

図 6-29. PLLREFO_CTRL レジスタ

7	6	5	4	3	2	1	0
RESERVED							PLLREFO_EN
R/W-0x0							R/W-0x1

表 6-66. PLLREFO_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:1	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。

表 6-66. PLLREFO_CTRL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
0	PLLREFO_EN	R/W	0x1	設定すると、PLL が有効化(PLL_EN = 1)されるたびに基準クロック出力(PLLREFO±)が有効になります。このビットはデフォルトで 1 に設定されているため、PLLREFO± を使用して SPI クロックを派生させることができることから、SPI 書き込みなしで PLLREFO± が自動的に有効になります。

6.5.7.13 CPLL_FBDIV1 レジスタ (アドレス = 0x3D) [リセット = 0x00]

図 6-30 に、CPLL_FBDIV1 を示し、表 6-67 に、その説明を示します。

概略表に戻ります。

C-PLL 帰還分周器 V および P(デフォルト:0x00)

図 6-30. CPLL_FBDIV1 レジスタ

7	6	5	4	3	2	1	0
RESERVED				PLL_P_DIV		PLL_V_DIV	
R/W-0x0				R/W-0x0		R/W-0x0	

表 6-67. CPLL_FBDIV1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:4	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
3:2	PLL_P_DIV	R/W	0x0	C-PLL の 2 番目のフィードバック分周器を制御します。この分周器の出力はサンプリング・クロックです。PLL_P_DIV を変更する前に、CPLL_RESET=1 に設定します。 0 : 1 分周(デフォルト) 1 : 2 分周 2:4 分周 3:RESERVED
1:0	PLL_V_DIV	R/W	0x0	C-PLL の最初のフィードバック分周器を制御します。この分周器の出力は、P 分周器に電力を供給します。PLL_V_DIV を変更する前に、CPLL_RESET= 1 に設定します。 0 : 5 分周(デフォルト) 1 : 4 分周 2 : 3 分周 3:RESERVED

6.5.7.14 CPLL_FBDIV2 レジスタ (アドレス = 0x3E) [リセット = 0x20]

図 6-31 に、CPLL_FBDIV2 を示し、表 6-68 に、その説明を示します。

概略表に戻ります。

C-PLL 帰還分周器 N(デフォルト:0x20)

図 6-31. CPLL_FBDIV2 レジスタ

7	6	5	4	3	2	1	0
RESERVED		PLL_N_DIV					
R/W-0x0		R/W-0x20					

表 6-68. CPLL_FBDIV2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:6	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。

Copyright © 2025 Texas Instruments Incorporated

表 6-68. CPLL_FBDIV2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
5:0	PLL_N_DIV	R/W	0x20	C-PLL の 3 番目の帰還分周器を制御します(デフォルトは 32 分周)。この分周器はサンプリング・クロックを分周して、PFD フィードバック・クロックを生成します。PLL_N_DIV の値は分周値です。1 ～ 63 の値がサポートされています。PLL_N_DIV を変更する前に、CPLL_RESET = 1 に設定します。

6.5.7.15 CPLL_VCOCTRL1 レジスタ (アドレス = 0x3F) [リセット = 0x4F、0x4A 推奨]

図 6-32 に、CPLL_VCOCTRL1 を示し、表 6-69 に、その説明を示します。

概略表に戻ります。

C-PLL 帰還分周器 N(デフォルト:0x4F)

図 6-32. CPLL_VCOCTRL1 レジスタ

7	6	5	4	3	2	1	0
RESERVED	VCO_BIAS						
R/W-0x0	R/W-0x4F						

表 6-69. CPLL_VCOCTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
6:0	VCO_BIAS	R/W	0x4F	C-PLL VCO のバイアスレベルを設定します。C-PLL を使用する場合は、このフィールドに 0x4A を書き込みます。デフォルト値の 0x4F は使用しないでください。

6.5.7.16 SER_PE レジスタ (アドレス = 0x48) [リセット = 0x00]

SER_PE を 図 6-33 に示し、表 6-70 で説明しています。

概略表に戻ります。

シリアライザのプリエンファシス制御(デフォルト:0x00)

図 6-33. SER_PE レジスタ

7	6	5	4	3	2	1	0
RESERVED				SER_PE			
R/W-0x0				R/W-0x0			

表 6-70. SER_PE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:4	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
3:0	SER_PE	R/W	0x0	SerDes 出力レーンのプリエンファシスを設定します。プリエンファシスを使用して、PCB 配線の高周波損失を補償できます。これは、すべてのレーン(D[7:0]±)に影響を及ぼすグローバル設定です。

6.5.7.17 TRIGOUT_CTRL レジスタ (アドレス = 0x57) [リセット = 0x00]

TRIGOUT_CTRL を 図 6-34 に示し、表 6-71 で説明しています。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

TRIGOUT 出力制御(デフォルト:0x00)

図 6-34. TRIGOUT_CTRL レジスタ

7	6	5	4	3	2	1	0
TRIGOUT_EN	RESERVED					TRIGOUT	
R/W-0x0	R/W-0x0					R/W-0x0	

表 6-71. TRIGOUT_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	TRIGOUT_EN	R/W	0x0	0 : TRIGOUT±出力バッファ/分周器は無効化されます。 1:TRIGOUT±出力バッファ/分周器が有効化されます。 RXCLK 出力は、JESD204C レシーバに基準クロックを供給するために使用できます。TRIGOUT_MODE フィールドを使用して、出力モードを調整します。
6:3	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
2:0	TRIGOUT	R/W	0x0	TRIGOUT± 出力のモードを設定します。 0 : 16 UI クロック(RX_DIV = 16) 1:32 UI クロック(RX_DIV = 32) 2:64 UI クロック(RX_DIV = 64) 3:TMSTP からの再サンプリングされたタイムスタンプ± 4-7:予約 済み注 1:TRIGOUT_EN = 0 の場合のみ TRIGOUT_MODE を変更します。 注 2:TRIGOUT_MODE が 2 以下の場合、TRIGOUT± は SerDes ブロックから生成されます。その結果、シリアライザが再初期化されると、TRIGOUT± 出力が短時間中断されます。

6.5.7.18 CPLL_OVR レジスタ (アドレス = 0x58) [リセット = 0x00]

CPLL_OVR を 図 6-35 に示し、表 6-72 で説明しています。

概略表に戻ります。

C-PLL ピンのオーバーライド(デフォルト:0x00)

図 6-35. CPLL_OVR レジスタ

7	6	5	4	3	2	1	0
CPLL_OVR_EN	RESERVED	DIVREF_D_MODE		DIVREF_C_MODE		CPLLREF_SE_OVR_VALUE	CPLL_EN_OVR_VALUE
R/W-0x0	R/W-0x0	R/W-0x0		R/W-0x0		R/W-0x0	R/W-0x0

表 6-72. CPLL_OVR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	CPLL_OVR_EN	R/W	0x0	このビットを設定すると、C-PLL 構成ピンが無視され、代わりに SPI レジスタを使用します。 0:ピン モード:C-PLL はチップ・ピン(PLL_EN、PLLREF_SE、CLKCFG0、CLKCFG1)によって制御され ます。1:SPI モード:C-PLL は SPI レジスタ (CPLLREF_SE_OVR_VALUE、CPLL_EN_OVR_VALUE、DIVREF_C_MODE、DIVREF_D_MODE)によって制御されます
6	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。

Copyright © 2025 Texas Instruments Incorporated

表 6-72. CPLL_OVR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
5:4	DIVREF_D_MODE	R/W	0x0	CPLL_OVR_EN=1 の場合、このフィールドは ORD 出力機能を設定します。CPLL_OVR_EN=0 の場合、このフィールドは何の影響も及ぼしません(CLKCFG0 および CLKCFG1 が ORD 機能を制御します)。 0:分周基準出力は無効化されます 1:ORD で 1 分周された出力 C-PLL 基準クロック。 2:ORD で 2 分周された出力 C-PLL 基準クロック。 3:ORD で 4 分周された出力 C-PLL 基準クロック。 **重要な注意事項:ORC がクロックを生成していない限り、ORD はクロックを生成できません)。
3:2	DIVREF_C_MODE	R/W	0x0	CPLL_OVR_EN=1 の場合、このフィールドは ORC 出力機能を設定します。CPLL_OVR_EN=0 の場合、このフィールドは何の影響も及ぼしません(CLKCFG0 および CLKCFG1 が ORC 機能を制御します)。 0:分周基準出力は無効化されます 1:ORC で 1 分周された出力 C-PLL 基準クロック。 2:ORC で 2 分周された出力 C-PLL 基準クロック。 3:ORC で 4 分周された出力 C-PLL 基準クロック。
1	CPLLREF_SE_OVR_VALUE	R/W	0x0	CPLL_OVR_EN=1 の場合、このビットを使うと、PLLREF_SE ピンではなく 1 に設定すると、シングルエンド C-PLL 基準クロック入力(SE_CLK)が有効になります。
0	CPLL_EN_OVR_VALUE	R/W	0x0	CPLL_OVR_EN=1 の場合、このビットを 1 に設定すると PLL_EN ピンではなく C-PLL が有効になります。

6.5.7.19 VCO_FREQ_TRIM レジスタ (アドレス = 0x59) [リセット = 0x0]

VCO_FREQ_TRIM を 図 6-36 に示し、表 6-73 で説明しています。

概略表に戻ります。

C-PLL VCO 周波数トリム(デフォルト:未定義)

図 6-36. VCO_FREQ_TRIM レジスタ

7	6	5	4	3	2	1	0
RESERVED	VCO_FREQ_TRIM						
R/W-0x0	R/W-0x0						

表 6-73. VCO_FREQ_TRIM レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
6:0	VCO_FREQ_TRIM	R/W	0x0	C-PLL VCO 周波数を調整します。このフィールドは、VCO 較正ルーチンによって自動的に設定できます(VCO_CAL_EN を参照)。VCO の較正を実行した後、このフィールドから値を読み取って、将来の電源オン・サイクル後に再プログラムできます。 VCO 較正が実行されている場合(VCO_CAL_EN=1 かつ VCO_CAL_DONE=0)、このレジスタを読み書きしないでください。これは、較正・プロセスに干渉するためです。

6.5.7.20 CPLL_RESET レジスタ (アドレス = 0x5C) [リセット = 0x00]

CPLL_RESET は 図 6-37 に示し、表 6-74 に、その説明を示します。

概略表に戻ります。

C-PLL/VCO 較正リセット(デフォルト:0x00)

Copyright © 2025 Texas Instruments Incorporated

図 6-37. CPLL_RESET レジスタ

7	6	5	4	3	2	1	0
RESERVED							CPLL_RESET
R/W-0x0							R/W-0x0

表 6-74. CPLL_RESET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:1	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
0	CPLL_RESET	R/W	0x0	C-PLL/VCO 較正リセット。C-PLL（PLL_P_DIV、PLL_V_DIV、PLL_N_DIV、VCO_BIAS、VCO_CAL_CTRL）をプログラミングする前に、CPLL_RESET = 1 をプログラミングします。プログラムの完了後に CPLL_RESET=0 をプログラミングします。

6.5.7.21 VCO_CAL_CTRL レジスタ (アドレス = 0x5D) [リセット = 0x40]

VCO_CAL_CTRL を 図 6-38 に示し、表 6-75 で説明しています。

概略表に戻ります。

VCO 較正制御（デフォルト：0x40）

図 6-38. VCO_CAL_CTRL レジスタ

7	6	5	4	3	2	1	0
RESERVED	VCO_CAL_STL			RESERVED			VCO_CAL_EN
R/W-0x0	R/W-0x4			R/W-0x0			R/W-0x0

表 6-75. VCO_CAL_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
6:4	VCO_CAL_STL	R/W	0x4	このフィールドは、VCO 周波数トリム（VCO_FREQ_TRIM）が変化するたびに VCO 較正エンジンが C-PLL に与える整定時間を調整するようにプログラミングします。数値が大きいほど、整定時間が長くなります。
3:1	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
0	VCO_CAL_EN	R/W	0x0	このビットを設定すると、VCO 較正エンジンが有効になります。 CPLL_RESET が 0 にプログラミングされると、較正が開始されます。較正は、基準周波数と PLL 構成に基づいて、VCO 周波数が中心になるように VCO_FREQ_TRIM を自動的に調整します。 注：VCO_CAL_CTRL レジスタは、CPLL_RESET=1 のときのみ変更する必要があります。

6.5.7.22 VCO_CAL_STATUS レジスタ (アドレス = 0x5E) [リセット = 0x0]

VCO_CAL_STATUS を図 6-39 に示し、表 6-76 で説明しています。

概略表に戻ります。

VCO 較正ステータス（読み取り専用）（デフォルト：未定義）

図 6-39. VCO_CAL_STATUS レジスタ

7	6	5	4	3	2	1	0
RESERVED							VCO_CAL_DONE
R-0x0							R-0x0

Copyright © 2025 Texas Instruments Incorporated

表 6-76. VCO_CAL_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:1	RESERVED	R	0x0	
0	VCO_CAL_DONE	R	0x0	VCO 較正・エンジンが較正を完了すると（または VCO_CAL_EN=0 のため較正がスキップされた）、このビットは「1」を返します。較正が完了したら、VCO_FREQ_TRIM レジスタの読み取りまたは書き込みを安全に実行できます（較正中は VCO_FREQ_TRIM に書き込みません）。

6.5.7.23 CAL_EN レジスタ (アドレス = 0x61) [リセット = 0x01]

CAL_EN を 図 6-40 に示し、表 6-77 で説明しています。

概略表に戻ります。

較正の有効化（デフォルト：0x01）

図 6-40. CAL_EN レジスタ

7	6	5	4	3	2	1	0
RESERVED							CAL_EN
R/W-0x0							R/W-0x1

表 6-77. CAL_EN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:1	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
0	CAL_EN	R/W	0x1	較正有効化。較正を実行するには、高に設定します。新しい較正設定をプログラミングするには、低を設定して較正をリセットします。CAL_EN をクリアすると、デジタルブロックと JESD204C インターフェイスにクロックを供給するクロック分周器もリセットされます。 一部の較正レジスタでは、変更を加える前に CAL_EN をクリアする必要があります。この要件を持つすべてのレジスタには、それぞれの説明に注が含まれています。レジスタを変更した後、CAL_EN を設定して、新しい設定で較正を再実行します。JESD_EN を設定する前に、必ず CAL_EN を設定します。CAL_EN をクリアする前に、必ず JESD_EN をクリアしてください。

6.5.7.24 CAL_CFG0 レジスタ (アドレス = 0x62) [リセット = 0x01]

図 6-41 に、CAL_CFG0 を示し、表 6-78 に、その説明を示します。

概略表に戻ります。

較正の構成 0（デフォルト：0x01）

図 6-41. CAL_CFG0 レジスタ

7	6	5	4	3	2	1	0
RESERVED				CAL_BGOS	CAL_OS	CAL_BG	CAL_FG
R/W-0x0				R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x1

表 6-78. CAL_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:4	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
3	CAL_BGOS	R/W	0x0	0：バックグラウンドオフセット較正を無効化します（デフォルト） 1：バックグラウンドオフセット較正を有効化します（CAL_BG を設定する必要があります）。

Copyright © 2025 Texas Instruments Incorporated

表 6-78. CAL_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
2	CAL_OS	R/W	0x0	0 : フォアグラウンドオフセット較正を無効化します (デフォルト) 1 : フォアグラウンドオフセット較正を有効化します (CAL_FG を設定する必要があります)。
1	CAL_BG	R/W	0x0	0 : バックグラウンド較正を無効化します (デフォルト) 1 : バックグラウンド較正を有効化します
0	CAL_FG	R/W	0x1	0 : 較正値をリセットし、フォアグラウンド較正をスキップします。 1 : 較正値をリセットし、フォアグラウンド較正を実行します (デフォルト)。

6.5.7.25 CAL_CFG1 レジスタ (アドレス = 0x65) [リセット = 0x01]

図 6-42 に、CAL_CFG1 を示し、表 6-79 に、その説明を示します。

概略表に戻ります。

較正の構成 1 (デフォルト : 0x01)

図 6-42. CAL_CFG1 レジスタ

7	6	5	4	3	2	1	0
RESERVED					OSREF	RESERVED	
R/W-0x0					R/W-0x0	R/W-0x1	

表 6-79. CAL_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:3	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
2	OSREF	R/W	0x0	オフセット較正に使用する基準を定義します。 0 : 中間コードを基準として使用します (ゼロオフセットに較正します)。オフセット較正中は、アナログ入力信号にオフセットがない必要があります (通常は AC 結合の場合に真)。 1 : 予備の ADC 出力サンプルを基準として使用します (これにより、予備の ADC がそれらを代替するように、主 ADC のオフセットが調整されます)。アナログ入力信号にはオフセット (例 : DC 結合) が存在する場合があります。このモードは CAL_BG=1 の場合のみ使用します。CAL_BG=0 のときに OSREF=1 を設定すると、未定義の結果が得られます。
1:0	RESERVED	R/W	0x1	デフォルト値を書き込む必要があります。

6.5.7.26 CAL_AVG レジスタ (アドレス = 0x68) [リセット = 0x61]

CAL_AVG を、図 6-43 に示し、表 6-80 で説明しています。

概略表に戻ります。

較正の平均化 (デフォルト : 0x61)

図 6-43. CAL_AVG レジスタ

7	6	5	4	3	2	1	0
RESERVED	OS_AVG			RESERVED	CAL_AVG		
R/W-0x0	R/W-0x6			R/W-0x0	R/W-0x1		

表 6-80. CAL_AVG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。

Copyright © 2025 Texas Instruments Incorporated

表 6-80. CAL_AVG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
6:4	OS_AVG	R/W	0x6	オフセット補正ルーチンに使用する平均化の量を選択します。数値が大きいほど、より多くの平均化に対応します。
3	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
2:0	CAL_AVG	R/W	0x1	直線性較正ルーチンに使用する平均化の量を選択します。数値が大きいほど、より多くの平均化に対応します。

6.5.7.27 CAL_STATUS レジスタ (アドレス = 0x6A) [リセット = 0x0]

CAL_STATUS を 図 6-44 に示し、表 6-81 で説明しています。

概略表に戻ります。

較正のステータス(デフォルト:未定義)(読み取り専用)

図 6-44. CAL_STATUS レジスタ

7	6	5	4	3	2	1	0
RESERVED			CAL_STAT			CAL_STOPPED	FG_DONE
R-0x0			R-0x0			R-0x0	R-0x0

表 6-81. CAL_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:5	RESERVED	R	0x0	
4:2	CAL_STAT	R	0x0	較正ステータスコード
1	CAL_STOPPED	R	0x0	要求された位相でバックグラウンド較正が正常に停止されると、このビットは 1 を返します。較正が再開されると、このビットは 0 を返します。バックグラウンド較正が無効化された場合、このビットはフォアグラウンド較正が完了したとき、またはスキップされたときにセットされます。
0	FG_DONE	R	0x0	このビットは高であり、フォアグラウンド較正が完了した(またはスキップされた)ことを示します。

6.5.7.28 CAL_PIN_CFG レジスタ (アドレス = 0x6B) [リセット = 0x00]

CAL_PIN_CFG を 図 6-45 に示し、表 6-82 で説明しています。

概略表に戻ります。

較正ピン構成(デフォルト:0x00)

図 6-45. CAL_PIN_CFG レジスタ

7	6	5	4	3	2	1	0
RESERVED					CAL_STATUS_SEL		CAL_TRIG_EN
R/W-0x0					R/W-0x0		R/W-0x0

表 6-82. CAL_PIN_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:3	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
2:1	CAL_STATUS_SEL	R/W	0x0	0 : CALSTAT 出力は FG_DONE と一致します。 1:CALSTAT 出力は CAL_STOPPED と一致します。 2:CALSTAT 出力が ALARM と一致します。 3:CALSTAT 出力は常に低です。

Copyright © 2025 Texas Instruments Incorporated

表 6-82. CAL_PIN_CFG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
0	CAL_TRIG_EN	R/W	0x0	このビットは、ハードウェアまたはソフトウェアのトリガソースを選択します。 0:較正トリガには CAL_SOFT_TRIG レジスタを使用します。CALTRIG 入力は無効化(無視)されます。 1:較正トリガーには CALTRIG 入力を使用します。CAL_SOFT_TRIG レジスタは無視されます。

6.5.7.29 CAL_SOFT_TRIG レジスタ (アドレス = 0x6C) [リセット = 0x01]

CAL_SOFT_TRIG を 図 6-46 に示し、表 6-83 で説明しています。

概略表に戻ります。

較正ソフトウェアトリガ(デフォルト:0x01)

図 6-46. CAL_SOFT_TRIG レジスタ

7	6	5	4	3	2	1	0
RESERVED							CAL_SOFT_TRIG
R/W-0x0							R/W-0x1

表 6-83. CAL_SOFT_TRIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:1	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
0	CAL_SOFT_TRIG	R/W	0x1	CAL_SOFT_TRIG は、CALTRIG を駆動するハードウェアリソースがない場合に、CALTRIG 入力ピンの機能を提供するためのソフトウェアビットです。較正トリガに CAL_SOFT_TRIG を使用するように、CAL_TRIG_EN = 0 をプログラミングします。 注:較正トリガが必要ない場合は、CAL_TRIG_EN = 0 および CAL_SOFT_TRIG = 1(トリガを High に設定)のままにします。

6.5.7.30 CAL_LP レジスタ (アドレス = 0x6E) [リセット = 0x88]

CAL_LP を図 6-47 に示し、表 6-84 で説明しています。

概略表に戻ります。

低消費電力バックグラウンド較正(デフォルト:0x88)

図 6-47. CAL_LP レジスタ

7	6	5	4	3	2	1	0
LP_SLEEP_DLY			LP_WAKE_DLY		RESERVED	LP_TRIG	LP_EN
R/W-0x4			R/W-0x1		R/W-0x0	R/W-0x0	R/W-0x0

Copyright © 2025 Texas Instruments Incorporated

表 6-84. CAL_LP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:5	LP_SLEEP_DLY	R/W	0x4	これらのビットは、較正のためにウェークアップする前に ADC がスリープ状態になる時間を調整します（LP_EN = 1 および LP_TRIG = 0 のときのみ適用されます）。全体的な消費電力削減の利点が限られているため、4 未満の値はお勧めしません。 0: スリープ遅延 = 1,152 × tCLK 1: スリープ遅延 = 4,194,432 × tCLK 2: スリープ遅延 = 33,554,560 × tCLK 3: スリープ遅延 = 268,435,584×tCLK 4：スリープ遅延 = 2,147,483,776×tCLK（デフォルト、1.0GHz クロックで約 2.15 秒） 5：スリープ遅延 = 17,179,869,312× tCLK 6: スリープ遅延 = 137,438,953,600 × tCLK 7: スリープ遅延 = 1,099,511,627,904 × tCLK
4:3	LP_WAKE_DLY	R/W	0x1	これらのビットは、ADC ウェークアップ後に ADC を較正する前のセトリングに必要な時間を調整します（LP_EN = 1 の場合のみ適用されます）。較正を開始する前にコアが安定するのに十分な時間がないため、1 より小さい値はお勧めしません。 0: ウェークアップ遅延= 1,152×tCLK 1：ウェークアップ遅延 = 33,554,560×tCLK（デフォルト、1.0GHz クロックで約 34ms） 2：ウェークアップ遅延= 268,435,584×tCLK 3：ウェークアップ遅延 = 2,147,483,776×tCLK
2	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
1	LP_TRIG	R/W	0x0	0 : ADC スリープ期間は、LP_SLEEP_DLY（自律モード）によって設定されます。 1：ADC は、トリガによってウェークアップされるまでスリープ状態になります。較正トリガが Low になると、ADC がウェイクアップされます。較正トリガが High のとき、オフライン ADC はスリープ状態になります。
0	LP_EN	R/W	0x0	0 : 低消費電力のバックグラウンド較正を無効化します（デフォルト） 1：低消費電力のバックグラウンド較正を有効化します（CAL_BG = 1 の場合のみ適用）。

6.5.7.31 GAIN_TRIM レジスタ (アドレス = 0x7A) [リセット = 0x0]

GAIN_TRIM を 図 6-48 に示し、表 6-85 で説明しています。

概略表に戻ります。

ゲイン DAC トリム（デフォルトはヒューズ ROM から）

図 6-48. GAIN_TRIM レジスタ

7	6	5	4	3	2	1	0
GAIN_TRIM							
R/W-0x0							

表 6-85. GAIN_TRIM レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	GAIN_TRIM	R/W	0x0	このレジスタは、すべての ADC コアのゲインをトリムします。GAIN_TRIM ではなく、フルスケール範囲調整に FS_RANGE を使用します。

6.5.7.32 BG_TRIM レジスタ (アドレス = 0x7C) [リセット = 0x0]

図 6-49 に、BG_TRIM を示し、表 6-86 に、その説明を示します。

Copyright © 2025 Texas Instruments Incorporated

概略表に戻ります。

バンドギャップトリム（デフォルトはヒューズ ROM から）

図 6-49. BG_TRIM レジスタ

7	6	5	4	3	2	1	0
RESERVED				BG_TRIM			
R/W-0x0				R/W-0x0			

表 6-86. BG_TRIM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:4	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
3:0	BG_TRIM	R/W	0x0	このレジスタは、内部バンドギャップ・リファレンスのトリミングを可能にします。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

6.5.7.33 RTRIM_A レジスタ (アドレス = 0x7E) [リセット = 0x0]

RTRIM_A を 図 6-50 に示し、表 6-87 で説明しています。

概略表に戻ります。

INA の抵抗トリム（ヒューズ ROM からのデフォルト）

図 6-50. RTRIM_A レジスタ

7	6	5	4	3	2	1	0
RTRIM_A							
R/W-0x0							

表 6-87. RTRIM_A レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	RTRIM_A	R/W	0x0	このレジスタは、INA± ADC 入力終端トリムを制御します。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

6.5.7.34 RTRIM_B レジスタ (アドレス = 0x7F) [リセット = 0x0]

RTRIM_B を 図 6-51 に示し、表 6-88 で説明しています。

概略表に戻ります。

INB の抵抗トリム（ヒューズ ROM からのデフォルト）

図 6-51. RTRIM_B レジスタ

7	6	5	4	3	2	1	0
RTRIM_B							
R/W-0x0							

表 6-88. RTRIM_B レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	RTRIM_B	R/W	0x0	このレジスタは、INB± ADC 入力終端トリムを制御します。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

Copyright © 2025 Texas Instruments Incorporated

6.5.7.35 RTRIM_C レジスタ (アドレス = 0x80) [リセット = 0x0]

RTRIM_C を 図 6-52 に示し、表 6-89 で説明しています。

概略表に戻ります。

INC の抵抗トリム(ヒューズ ROM からのデフォルト)

図 6-52. RTRIM_C レジスタ

7	6	5	4	3	2	1	0
RTRIM_C							
R/W-0x0							

表 6-89. RTRIM_C レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	RTRIM_C	R/W	0x0	このレジスタは、INC± ADC 入力終端トリムを制御します。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

6.5.7.36 RTRIM_D レジスタ (アドレス = 0x81) [リセット = 0x0]

RTRIM_D を 図 6-53 に示し、表 6-90 で説明しています。

概略表に戻ります。

IND の抵抗トリム(ヒューズ ROM からのデフォルト)

図 6-53. RTRIM_D レジスタ

7	6	5	4	3	2	1	0
RTRIM_D							
R/W-0x0							

表 6-90. RTRIM_D レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	RTRIM_D	R/W	0x0	このレジスタは、IND± ADC 入力終端トリムを制御します。リセット後、必要に応じて出荷時にトリムされた値を読み取り調整できます。

6.5.7.37 ADC ソース制御遅延 (アドレス = 0x9A) [リセット = 0x08]

ADC_SRC_DLY を AC_SRC_DLY レジスタに示し、ADC_SRC_DLY レジスタのフィールドの説明で説明しています。CAL_EN が 0 の場合のみ、このレジスタを変更します。

概略表に戻ります。

ADC ディザリング制御(デフォルトはヒューズ ROM から)

図 6-54. ADC_SRC_DLY レジスタ

7	6	5	4	3	2	1	0
RESERVED							
R/W-0x0				R/W-0x08			

表 6-91. ADC_SRC_DLY レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:5	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。

Copyright © 2025 Texas Instruments Incorporated

表 6-91. ADC_SRC_DLY レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
4:0	ADC_SRC_DLY	R/W	0x08	バックグラウンド ADC スワップ時に同じクロック位相で 2 つの ADC が同じ入力をサンプリングする時間を調整します。 デフォルト値は、すべての ADCCLK 周波数に適切です。ADCCLK 周波数を下げると、高速なバックグラウンド ADC スワップ中のグリッチ持続時間を短縮するため、ADC_SRC_DLY を 7 に設定できますが、グリッチ振幅が大きくなるリスクが高くなります。 2 つの ADC は、4 + 2 * ADC_SRC_DLY ADCCLK サイクルで同じ入力をサンプリングします。 ADC_SRC_DLY は、0 ～ 31 の範囲でプログラミングできます。

6.5.7.38 MUX 選択遅延レジスタ (アドレス = 0x9B) [リセット = 0x07]

MUX_SEL_DLY を MUX_SEL_DLY レジスタに示し、MUX_SEL_DLY レジスタのフィールドの説明で説明しています。

概略表に戻ります。

図 6-55. MUX_SEL_DLY レジスタ

7	6	5	4	3	2	1	0
RESERVED			MUX_SEL_DLY				
R/W-0x0			R/W-0x07				

表 6-92. MUX_SEL_DLY レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:5	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
4:0	MUX_SEL_DLY	R/W	0x07	内部多重化選択信号に追加される遅延を調整します。この信号は、ADC コア出力データをエンコーダに送るマルチプレクサを制御します。この遅延は、バックグラウンド ADC スワップ時にのみ適用されます。この遅延は、両方のサンプル・ストリームが有効である短い時間枠内にサンプル・ストリーム間で交換するように調整する必要があります。 MUX_SEL_DLY は 0～31 の範囲でプログラミングできます。

6.5.7.39 ADC_DITH レジスタ (アドレス = 0x9D) [リセット = 0x0]

ADC_DITH を 図 6-56 に示し、表 6-93 で説明しています。

概略表に戻ります。

ADC ディザリング制御（デフォルトはヒューズ ROM から）

図 6-56. ADC_DITH レジスタ

7	6	5	4	3	2	1	0
RESERVED					ADC_DITH_ERR	ADC_DITH_AMP	ADC_DITH_EN
R/W-0x0					R/W-0x0	R/W-0x0	R/W-0x0

表 6-93. ADC_DITH レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:3	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。

Copyright © 2025 Texas Instruments Incorporated

表 6-93. ADC_DITH レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
2	ADC_DITH_ERR	R/W	0x0	ディザー信号を減算すると、小さな丸め誤差が発生することがあります。誤差には、SNR を多少低下させるか、DC オフセットと FS /2 スプリアスをわずかに増加させるかのどちらかを選択できます。さらに、シングル・チャネル・モードでは、FS/4 スプリアスもわずかに増加します。 0 : 丸め誤差が SNR を低下させます 1 : 丸め誤差は、DC オフセット、FS/2 スプリアス、FS/4 スプリアスを低下させます
1	ADC_DITH_AMP	R/W	0x0	0 : 小さなディザリングによる SNR 向上 (デフォルト) 1 : スプリアス性能の向上に寄与する大きいディザリング機能
0	ADC_DITH_EN	R/W	0x0	このビットをセットすると、ADC ディザリング機能が有効になります。ディザリング機能を使用すると、スプリアス性能が改善されますが、SNR がわずかに低下します。ディザー振幅 (ADC_DITH_AMP) を使用すると、SNR とスプリアス性能をさらにトレードオフできます。

6.5.7.40 LSB_CTRL レジスタ (アドレス = 0x160) [リセット = 0x00]

LSB_CTRL を 図 6-57 に示し、表 6-94 で説明しています。

概略表に戻ります。

LSB 制御ビット出力 (デフォルト : 0x00)

図 6-57. LSB_CTRL レジスタ

7	6	5	4	3	2	1	0
RESERVED							TIME_STAMP_EN
R/W-0x0							R/W-0x0

表 6-94. LSB_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:1	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
0	TIME_STAMP_EN	R/W	0x0	設定すると、トランスポート層は出力サンプルの LSB でタイムスタンプ信号を送信します。(チップ全体を通じた) タイムスタンプ信号のレイテンシは、アナログ ADC 入力のレイテンシと一致している必要があります。TIME_STAMP_EN を使用する場合は TMSTP_RECV_EN も設定してください。 注 1 : 制御ビットは、JESD204C サンプルの LSB に配置されます。一部のケースでは、JESD204C のサンプル幅 (N) が ADC のサンプル幅よりも大きくなっています。このような場合、制御ビットは N ビットフィールドの LSB に配置されるため、ADC サンプルの LSB に置き換わるものではありません。 注 2 : このレジスタによってイネーブルされる制御ビットは、ILA ではアドバタイズされません (ILA では CS が 0)。

6.5.7.41 JESD_EN レジスタ (アドレス = 0x200) [リセット = 0x01]

JESD_EN を 図 6-58 に示し、表 6-95 で説明しています。

概略表に戻ります。

JESD204C サブシステム有効化 (デフォルト : 0x01)

図 6-58. JESD_EN レジスタ

7	6	5	4	3	2	1	0

Copyright © 2025 Texas Instruments Incorporated

図 6-58. JESD_EN レジスタ (続き)

RESERVED	JESD_EN
R/W-0x0	R/W-0x1

表 6-95. JESD_EN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:1	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
0	JESD_EN	R/W	0x1	0 : JESD204C インターフェイスを無効化します 1 : JESD204C インターフェイスを有効化します 注 : 他の JESD204C レジスタを変更する前に、JESD_EN をクリアする必要があります。JESD_EN が 0 の場合、ブロックはリセット状態に保持され、シリアライザの電源がオフになります。消費電力節ため、クロックはゲート・オフにされます。LMFC/LEMC カウンタもリセット状態に保持されるため、SYSREF は LMFC/LEMC と整合しません。 注 : JESD_EN を設定する前に、必ず CAL_EN を設定します。 注 : CAL_EN をクリアする前に、必ず JESD_EN をクリアしてください。

6.5.7.42 JMODE レジスタ (アドレス = 0x201) [リセット = 0x00]

図 6-59 に、JMODE を示し、表 6-96 に、その説明を示します。

概略表に戻ります。

JESD204C モード (デフォルト : 0x00)

図 6-59. JMODE レジスタ

7	6	5	4	3	2	1	0
RESERVED				JMODE			
R/W-0x0				R/W-0x0			

表 6-96. JMODE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:6	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
5:0	JMODE	R/W	0x0	JESD204C 出力モードを指定します。JESD204C モード表を参照してください。 注 : このレジスタは、JESD_EN=0 かつ CAL_EN=0 のときにのみ変更できます。

6.5.7.43 KM1 レジスタ (アドレス = 0x202) [リセット = 0x1F]

図 6-60 に、KM1 を示し、表 6-97 に、その説明を示します。

概略表に戻ります。

JESD204C K パラメータ (-1) (デフォルト : 0x1F)

図 6-60. KM1 レジスタ

7	6	5	4	3	2	1	0
KM1							
R/W-0x1F							

Copyright © 2025 Texas Instruments Incorporated

表 6-97. KM1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	KM1	R/W	0x1F	K はマルチ フレームあたりのフレーム数であり、このレジスタを K-1 にプログラミングする必要があります。JMODE の設定に応じて、K の有効値には制約があります（JESD204C モードの表の K パラメータを参照）。デフォルト値は KM1=31 で、K = 32 に対応します。 注：64B/66B リンク層を使用するモードでは、KM1 レジスタは無視され、K の値は E と F（JMODE から派生）から決定されます。K の実効値は 256 * E/F です。 注：このレジスタは、JESD_EN が 0 のときのみ変更できます。

6.5.7.44 JSYNC_N レジスタ (アドレス = 0x203) [リセット = 0x01]

JSYNC_N を 図 6-61 に示し、表 6-98 で説明しています。

概略表に戻ります。

JESD204C 手動同期要求（デフォルト：0x01）

図 6-61. JSYNC_N レジスタ

7	6	5	4	3	2	1	0
RESERVED							JSYNC_N
R/W-0x0							R/W-0x1

表 6-98. JSYNC_N レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:1	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
0	JSYNC_N	R/W	0x1	JESD204C 同期を要求するには、このビットを 0 にセットします（アサートされている SYNC~信号と同じ）。通常動作の場合は、このビットを 1 のままにします。 注：JSYNC_N レジスタは、SYNC_SEL レジスタに関係なく、同期要求を常に生成できます。ただし、選択した同期ピンがローのままになっている場合は、SYNC_SEL=2 をプログラムしない限り、同期要求をデアサートすることはできません。

6.5.7.45 JCTRL レジスタ (アドレス = 0x204) [リセット = 0x03]

図 6-62 に、JCTRL を示し、表 6-99 に、その説明を示します。

概略表に戻ります。

JESD204C 制御（デフォルト：0x03）

図 6-62. JCTRL レジスタ

7	6	5	4	3	2	1	0
RESERVED			ALT_LANES	SYNC_SEL		SFORMAT	SCR
R/W-0x0			R/W-0x0	R/W-0x0		R/W-0x1	R/W-0x1

表 6-99. JCTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:5	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。

Copyright © 2025 Texas Instruments Incorporated

表 6-99. JCTRL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
4	ALT_LANES	R/W	0x0	0 : JESD204C の出力モードセクションに示すように、通常のレーンマッピング(デフォルト)です。 レーン 0～L-1 が使用されます。 1:交互レーンマッピング(上部レーンを使用)です。 レーン 4～4+L-1 が使用されます。レーン 0 ～ 3 は使用されません。このオプションは、JMODE がリンクごとに 4 レーン以下を使用するモード(L <= 4)を選択した場合にのみサポートされます。4 レーンを超えるモードでの動作は未定義です。
3:2	SYNC_SEL	R/W	0x0	0 : SYNC~ 機能には SYNCSE 入力を使用します(デフォルト) 1:SYNC~ 機能には TMSTP± 入力を使用します。TMSTP_RECV_EN もセットする必要があります。 2:SYNC~入力ピンは使用しないでください(ソフトウェア SYNC~ として JSYNC_N を使用してください)
1	SFORMAT	R/W	0x1	JESD204C サンプルの出力サンプルフォーマット 0:オフセット バイナリ 1:符号付き 2 の補数(デフォルト)
0	SCR	R/W	0x1	0 : 8B/10B スクランブラが無効化(8B/10B モードにのみ適用) 1:8B/10B スクランブラが有効化(デフォルト) 注 1:スプリアスノイズを改善し、特定のサンプルペイロードが JESD204C レシーバが誤ったコードグループやレーンアライメントを検出できないようにするため、8b/10b スクランブラを推奨します。64B/66B モードは常にスクランブルを使用します。このレジスタは 64B/66B モードには適用されません。 注:このレジスタは、JESD_EN が 0 のときのみ変更できます。

6.5.7.46 JTEST レジスタ (アドレス = 0x205) [リセット = 0x00]

図 6-63 に、JTEST を示し、表 6-100 に、その説明を示します。

概略表に戻ります。

JESD204C テスト制御(デフォルト:0x00)

図 6-63. JTEST レジスタ

7	6	5	4	3	2	1	0
RESERVED				JTEST			
R/W-0x0				R/W-0x0			

表 6-100. JTEST レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:5	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。

Copyright © 2025 Texas Instruments Incorporated

表 6-100. JTEST レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
4:0	JTEST	R/W	0x0	0 : テストモードは無効です。通常動作 (デフォルト) 1 : PRBS7 テスト モード 2: PRBS15 テスト モード 3: PRBS23 テスト モード 4: ランプ テスト モード 5: トランスポート層テスト モード 6 : D21.5 テスト モード 7: K28.5 = テスト モード* 8: 反復 ILA テスト モード* 9: 修正 RPAT テスト モード* 10: シリアル出力を低に保持 11: シリアル出力を高に保持 12 : 予約済み 13 : PRBS9 = テスト モード 14: PRBS31 = テスト モード 15: クロック テスト パターン (0x00FF) 16 : K28.7 = テスト モード* 17-31: 予約 済み* これらのテストモードは、JMODE が 8B/10B エンコーディングを使用するモードを選択している場合にのみサポートされます。 注 : このレジスタは、JESD_EN が 0 のときのみ変更できます。

6.5.7.47 DID レジスタ (アドレス = 0x206) [リセット = 0x00]

図 6-64 に、DID を示し、表 6-101 に、その説明を示します。

概略表に戻ります。

JESD204C DID パラメータ (デフォルト : 0x00)

図 6-64. DID レジスタ

7	6	5	4	3	2	1	0
DID							
R/W-0x0							

表 6-101. DID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	DID	R/W	0x0	JESD204B ILA の 2 番目のマルチ フレーム中に送信される DID (デバイス ID) 値を指定します。 注 : このレジスタは、JESD_EN が 0 のときのみ変更できます。

6.5.7.48 FCHAR レジスタ (アドレス = 0x207) [リセット = 0x00]

図 6-65 に、FCHAR を示し、表 6-102 に、その説明を示します。

概略表に戻ります。

JESD204C フレーム文字 (デフォルト : 0x00)

図 6-65. FCHAR レジスタ

7	6	5	4	3	2	1	0
RESERVED						FCHAR	
R/W-0x0						R/W-0x0	

Copyright © 2025 Texas Instruments Incorporated

表 6-102. FCHAR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:2	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
1:0	FCHAR	R/W	0x0	フレームの終わりを示すために使用するカンマ文字を指定します。この文字は都合よく送信されます。これは、8B/10B エンコーディングを使用するモードにのみ適用されます。 0:K28.7(デフォルト)(JESD204C 準拠) 1:K28.1(JESD204C に準拠していません)2:K28.5(JESD204C に準拠していません)3:JESD204C レシーバを使用するときは予約済みです 。常に FCHAR = 0 を使用します。汎用の 8B/10B レシーバーを使用している場合、K28.7 キャラクタが問題を引き起こすことがあります。K28.7 を特定のデータ文字と組み合わせると、誤った位置合わせのカンマ文字が発生し、一部の受信者は偽のカンマに再整列します。これを回避するには、FCHAR を 1 または 2 にプログラミングします。 注:このレジスタは、JESD_EN が 0 のときのみ変更できます。

6.5.7.49 JESD_STATUS レジスタ (アドレス = 0x208) [リセット = 0x0]

JESD_STATUS を 図 6-66 に示し、表 6-103 で説明しています。

概略表に戻ります。

JESD204C / システムステータスレジスタ

図 6-66. JESD_STATUS レジスタ

7	6	5	4	3	2	1	0
RESERVED	LINK_UP	SYNC_STATUS	REALIGNED	ALIGNED	SPLL_LOCKED	RESERVED	CPLL_LOCKED
R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0

表 6-103. JESD_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	RESERVED	R/W	0x0	
6	LINK_UP	R/W	0x0	設定されている場合、JESD204C リンクがアップしていることを示します。
5	SYNC_STATUS	R/W	0x0	JESD204C SYNC~ 信号の状態を返します。 0 : SYNC~ アサート 1:SYNC~ アサート解除
4	REALIGNED	R/W	0x0	高の場合、デジタルブロッククロック、フレームクロック、またはマルチ フレームクロック位相が SYSREF によって再調整されたことを示します。このビットは 1 を書き込むとクリアされます。
3	ALIGNED	R/W	0x0	高の場合、マルチ フレーム(LMFC)クロック位相が SYSREF によって確立されたことを示します。JESD204B エンコーダをイネーブルにした後の最初の SYSREF イベントによって、このビットが設定されます。このビットは 1 を書き込むとクリアされます。
2	SPLL_LOCKED	R/W	0x0	高のときは、SerDes PLL(S-PLL)がロックされていることを示します。
1	RESERVED	R/W	0x0	
0	CPLL_LOCKED	R/W	0x0	高のときは、コンバータ PLL(C-PLL)がロックされていることを示します。

6.5.7.50 CH_EN Register レジスタ (アドレス = 0x209) [リセット = 0x03]

CH_EN を 図 6-67 に示し、表 6-104 で説明しています。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

JESD204C チャネル無効化(デフォルト:0x03)

図 6-67. CH_EN レジスタ

7	6	5	4	3	2	1	0
RESERVED					SINGLE_CH_EN	CD_EN	AB_EN
R/W-0x0					R/W-0x0	R/W-0x1	R/W-0x1

表 6-104. CH_EN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:3	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
2	SINGLE_CH_EN	R/W	0x0	セットすると、シングルチャネルモードが有効になり、チャネル B、C、D が無効になります。AB_EN は 1 に設定する必要があります。
1	CD_EN	R/W	0x1	セットすると、C および D チャネルが有効になります。0 に設定すると、C および D チャネルが無効になります。このビットを設定すると、デュアルチャネル動作が有効になります。
0	AB_EN	R/W	0x1	設定すると、A および B チャネルが有効になります。チャネル A と B を無効にするには、0 に設定します。 重要な注意事項: 1.CH_EN を変更する前に、CAL_EN = 0 および JESD_EN = 0 に設定する必要があります。 2.この状態は未定義であるため、このレジスタを使用してすべてのチャネルを無効(電源オフ)にしないでください。代わりに、MODE レジスタを使用して、デバイス全体の電源をオフにします。 3.どちらかのチャネルペアが無効化された場合、JESD204C リンクはレーン数とコンバータ数を削減します。L = Ceiling(Lx/2)および M = Mx/2。Lx が奇数の場合、最大レーンの末尾にテールビットを追加して、フレームをパッドアウトします(JESD204C 規格による)。 4.AB_EN=0 のとき、チャネル C&D のサンプルは、通常 A および B サンプルが配置される JESD204C フレーム内に配置されます。

6.5.7.51 SHMODE レジスタ (アドレス = 0x20F) [リセット = 0x00]

図 6-68 に、SHMODE を示し、表 6-105 に、その説明を示します。

概略表に戻ります。

JESD204C 同期ワードモード(デフォルト:0x00)

図 6-68. SHMODE レジスタ

7	6	5	4	3	2	1	0
RESERVED						SHMODE	
R/W-0x0						R/W-0x0	

表 6-105. SHMODE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:2	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。

Copyright © 2025 Texas Instruments Incorporated

表 6-105. SHMODE レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
1:0	SHMODE	R/W	0x0	64B/66B 同期ワードのモードを選択します(マルチブロックごとに 32 ビットのデータ)。これは、JMODE が 64B/66B モードを選択している場合にのみ適用されます。 0:送信 CRC-12 信号(デフォルト設定) 1:予約済み 2:送信 FEC 信号 3:予約済み 注このデバイスは、JESD204C コマンド機能をサポートしていません。すべてのコマンドフィールドは 0(アイドルヘッダー)に設定されます。 注:このレジスタは、JESD_EN が 0 のときのみ変更できます。

6.5.7.52 SYNC_THRESH レジスタ (アドレス = 0x210) [リセット = 0x03]

SYNC_THRESH は 図 6-69 に示され、表 6-106 に記載されています。

概略表に戻ります。

JESD204C SYNC~スレッショルド(デフォルト:0x03)

図 6-69. SYNC_THRESH レジスタ

7	6	5	4	3	2	1	0
RESERVED			SYNC_THRESH				
R/W-0x0			R/W-0x3				

表 6-106. SYNC_THRESH レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:5	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
4:0	SYNC_THRESH	R/W	0x3	このレジスタは、JESD204C トランスミッタが同期要求として解釈する前に、SYNC~ 信号を低にサンプリングする必要がある回数を定義します。SYNC~ 信号はリンククロック(fS/2)によってサンプリングされます。SYNC_THRESH + 1 クロックサイクルの間、SYNC~ が低にサンプリングされると、同期要求として解釈されます。詳細については、JESD204C セクション 8.8.2 を参照してください。SYNC~ が SYNC_THRESH + 1 クロック・サイクル未満の間低にサンプリングされる場合、エラー報告と見なされ、無視されます。 注:このレジスタは、JESD_EN が 0 のときのみ変更できます。 注:この設計では、SYNC~ インターフェイスで報告されたエラーは何も行われないため、レシーバでエラー通知を無効にし、SYNC_THRESH を 0 にプログラミングすることを推奨します。これにより、同期要求の応答時間が最も短くなります。

6.5.7.53 OVR_TH レジスタ (アドレス = 0x211) [リセット = 0xF2]

OVR_TH を 図 6-70 に示し、表 6-107 で説明しています。

概略表に戻ります。

オーバーレンジスレッショルド(デフォルト:0xF2)

図 6-70. OVR_TH レジスタ

7	6	5	4	3	2	1	0
OVR_TH							
R/W-0xF2							

Copyright © 2025 Texas Instruments Incorporated

表 6-107. OVR_TH レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	OVR_TH	R/W	0xF2	このパラメータは、オーバーレンジ出力をアサートする絶対サンプルレベルを定義します。dBFS (peak) の検出レベルは 20log10(OVR_TH/256) (デフォルト:0xF2 = 242-> -0.5dBFS) です

6.5.7.54 OVR_CFG レジスタ (アドレス = 0x213) [リセット = 0x07]

OVR_CFG を 図 6-71 に示し、表 6-108 で説明しています。

概略表に戻ります。

オーバーレンジ有効化/ホールド オフ(デフォルト:0x07)

図 6-71. OVR_CFG レジスタ

7	6	5	4	3	2	1	0
RESERVED				OVR_EN	OVR_N		
R/W-0x0				R/W-0x0	R/W-0x7		

表 6-108. OVR_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:4	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
3	OVR_EN	R/W	0x0	高に設定すると、オーバーレンジステータス出力ピンが有効になります。OVR_EN が低に設定されている場合、ORA、ORB、ORC、ORD 出力は低に保持されます。
2:0	OVR_N	R/W	0x7	このレジスタをプログラミングして、ORA、ORB、ORC、ORD の各出力のパルス拡張を調整します。オーバーレンジ出力の最小パルス幅は、4 * 2^{OVR_N} サンプリングサイクルです。このフィールドを増分すると、監視期間が 2 倍になります。

6.5.7.55 INIT_STATUS レジスタ (アドレス = 0x270) [リセット = 0x0]

INIT_STATUS を 図 6-72 に示し、表 6-109 で説明しています。

概略表に戻ります。

初期化ステータス(読み取り専用)

図 6-72. INIT_STATUS レジスタ

7	6	5	4	3	2	1	0
RESERVED							INIT_DONE
R-0x0							R-0x0

表 6-109. INIT_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:1	RESERVED	R	0x0	
0	INIT_DONE	R	0x0	初期化ロジックがデバイスの初期化を完了すると 1 を返します。これは、スタートアップを実行しても安全であることを示しています。INIT_DONE が 1 を返す前に、SPI トランザクションを実行しないでください (SOFT_RESET を除く)。

Copyright © 2025 Texas Instruments Incorporated

6.5.7.56 LOW_POWER2 レジスタ (アドレス = 0x29A) [リセット = 0x0F]

図 6-73 に、LOW_POWER2 を示し、表 6-110 に、その説明を示します。

概略表に戻ります。

低消費電力モード 2(デフォルト:0x0F)

図 6-73. LOW_POWER2 レジスタ

7	6	5	4	3	2	1	0
LOW_POW_MODE2							
R/W-0xF							

表 6-110. LOW_POWER2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	LOW_POW_MODE2	R/W	0xF	このレジスタを LOW_POWER1、LOW_POWER3、LOW_POWER4 と合わせて設定すると、低消費電力モードが有効になります。すべてのレジスタを一緒に設定する必要があります。較正は、オペレーティングモードを変更した後に実行する必要があります。 0x06:低消費電力モード(サンプリングレートが 1 GSPS 以下の場合のみ有効) 0x0F:高性能モード(デフォルト) その他のすべての値は予約済み 注:このレジスタを変更する前に、CAL_EN を 0 に、JESD_EN を 0 に設定する必要があります。

6.5.7.57 LOW_POWER3 レジスタ (アドレス = 0x29B) [リセット = 0x04]

図 6-74 に、LOW_POWER3 を示し、表 6-111 に、その説明を示します。

概略表に戻ります。

低消費電力モード 3(デフォルト:0x04)

図 6-74. LOW_POWER3 レジスタ

7	6	5	4	3	2	1	0
LOW_POW_MODE3							
R/W-0x4							

表 6-111. LOW_POWER3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	LOW_POW_MODE3	R/W	0x4	このレジスタを LOW_POWER1、LOW_POWER2、LOW_POWER4 と合わせて設定すると、低消費電力モードが有効になります。すべてのレジスタを一緒に設定する必要があります。較正は、オペレーティングモードを変更した後に実行する必要があります。 0x00:低消費電力モード(サンプリングレートが 1 GSPS 以下の場合のみ有効) 0x04:高性能モード(デフォルト) その他のすべての値は予約済み 注:このレジスタを変更する前に、CAL_EN を 0 に、JESD_EN を 0 に設定する必要があります。

6.5.7.58 LOW_POWER4 レジスタ (アドレス = 0x29C) [リセット = 0x1B]

図 6-75 に、LOW_POWER4 を示し、表 6-112 に、その説明を示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

低消費電力モード 4（デフォルト：0x1B）

図 6-75. LOW_POWER4 レジスタ

7	6	5	4	3	2	1	0
LOW_POW_MODE4							
R/W-0x1B							

表 6-112. LOW_POWER4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	LOW_POW_MODE4	R/W	0x1B	このレジスタを LOW_POWER1、LOW_POWER2、LOW_POWER3 と合わせて設定すると、低消費電力モードが有効になります。すべてのレジスタを一緒に設定する必要があります。較正は、オペレーティングモードを変更した後に実行する必要があります。 0x14：低消費電力モード（サンプリングレートが 1 GSPS 以下の場合のみ有効） 0x1B：高性能モード（デフォルト） その他のすべての値は予約済み 注：このレジスタを変更する前に、CAL_EN を 0 に、JESD_EN を 0 に設定する必要があります。

6.5.7.59 ALARM レジスタ (アドレス = 0x2C0) [リセット = 0x0]

図 6-76 に、ALARM を示し、表 6-113 に、その説明を示します。

概略表に戻ります。

アラーム割り込み（読み取り専用）

図 6-76. ALARM レジスタ

7	6	5	4	3	2	1	0
RESERVED							ALARM
R-0x0							R-0x0

表 6-113. ALARM レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:1	RESERVED	R	0x0	
0	ALARM	R	0x0	ALM_STATUS レジスタでマスクされていないアラームが発生すると、このビットは「1」を返します。ALM_MASK を使用して、個々のアラームをマスク（無効）します。CAL_STATUS_SEL は、CALSTAT 出力ピンで ALARM ビットを駆動し、ハードウェアアラーム割り込み信号を供給するために使用できます。

6.5.7.60 ALM_STATUS レジスタ (アドレス = 0x2C1) [リセット = 0x3F]

ALM_STATUS を 図 6-77 に示し、表 6-114 で説明しています。

概略表に戻ります。

アラームステータス（デフォルト：0x3F、クリアへの書き込み）

図 6-77. ALM_STATUS レジスタ

7	6	5	4	3	2	1	0
RESERVED		FIFO_ALM	SPLL_ALM	LINK_ALM	REALIGNED_ALM	RESERVED	CLK_ALM
R/W-0x0		R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1

Copyright © 2025 Texas Instruments Incorporated

図 6-77. ALM_STATUS レジスタ (続き)

表 6-114. ALM_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:6	RESERVED	R/W	0x0	
5	FIFO_ALM	R/W	0x1	FIFO オーバーフロー/アンダーフローアラーム:このビットは、アクティブな JESD204C レーン FIFO にアンダーフローまたはオーバーフロー状態が発生するとセットされます。「1」を書き込むと、このビットがクリアされます。どのレーンがアラームを生成したかを調べるには、FIFO_LANE_ALM を読み出します。
4	SPLL_ALM	R/W	0x1	S-PLL ロック喪失アラーム:このビットは、SerDes S-PLL がロックされていないときに設定されます。「1」を書き込むと、このビットがクリアされます。
3	LINK_ALM	R/W	0x1	リンクアラーム:このビットは、JESD204C リンクが有効化されているが DATA_ENC 状態(8B/10B モード)にないとき常にセットされます。64B/66B モードでは、DATA_ENC 状態が存在しないため、このアラームはリンクが最初に起動したときに起動し、何らかのイベントによって FIFO/シリアライザの再アライメントが発生した場合にも起動します。「1」を書き込むと、このビットがクリアされます。
2	REALIGNED_ALM	R/W	0x1	アラームの再調整:このビットは、SYSREF によって内部クロック(LMFC/LEMC を含む)が再整列したときに設定されます。「1」を書き込むと、このビットがクリアされます。
1	RESERVED	R/W	0x1	
0	CLK_ALM	R/W	0x1	クロック アラーム:このビットは、内部デジタルブロックおよび JESD204C クロックへのアップセットを検出するために使用できます。このビットは、A および B チャネルの内部クロック分周器が C および D チャネルと一致しない場合に常に設定されます。「1」を書き込むと、このビットがクリアされます。このレジスタの適切な使用方法については、「alarm」の項を参照してください。 注:パワーオンリセットまたはソフト・リセットの後、すべてのアラームビットが「1」に設定されます 注:JESD_EN=0 のとき、すべてのアラーム(CLK_ALM を除く)は未定義です。JESD_EN=1 を設定した後、アラームをクリアすることをお勧めします。

6.5.7.61 ALM_MASK レジスタ (アドレス = 0x2C2) [リセット = 0x3F]

ALM_MASK を 図 6-78 に示し、表 6-115 で説明しています。

概略表に戻ります。

アラーム マスク レジスタ(デフォルト:0x3F)

図 6-78. ALM_MASK レジスタ

7	6	5	4	3	2	1	0
RESERVED		MASK_FIFO_ALM	MASK_PLL_ALM	MASK_LINK_ALM	MASK_REALIGNED_ALM	RESERVED	MASK_CLK_ALM
R/W-0x0		R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1

表 6-115. ALM_MASK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:6	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
5	MASK_FIFO_ALM	R/W	0x1	セットすると、FIFO_ALM はマスクされ、ALARM レジスタビットには影響を及ぼしません。
4	MASK_PLL_ALM	R/W	0x1	セットすると、PLL_ALM はマスクされ、ALARM レジスタビットには影響を及ぼしません。

Copyright © 2025 Texas Instruments Incorporated

表 6-115. ALM_MASK レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
3	MASK_LINK_ALM	R/W	0x1	セットすると、LINK_ALM はマスクされ、ALARM レジスタビットには影響を及ぼしません。
2	MASK_REALIGNED_ALM	R/W	0x1	セットされている場合、REALIGNED_ALM はマスクされ、ALARM レジスタビットには影響を及ぼしません。
1	RESERVED	R/W	0x1	デフォルト値を書き込む必要があります。
0	MASK_CLK_ALM	R/W	0x1	セットすると、CLK_ALM はマスクされ、ALARM レジスタビットには影響を及ぼしません。

6.5.7.62 FIFO_LANE_ALM レジスタ (アドレス = 0x2C4) [リセット = 0xFF]

FIFO_LANE_ALM を 図 6-79 に示し、表 6-116 で説明しています。

概略表に戻ります。

FIFO オーバーフロー/アンダーフローアラーム(デフォルト:0xFF)

図 6-79. FIFO_LANE_ALM レジスタ

7	6	5	4	3	2	1	0
FIFO_LANE_ALM							
R/W-0xFF							

表 6-116. FIFO_LANE_ALM レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	FIFO_LANE_ALM	R/W	0xFF	レーン i の FIFO がオーバーフローまたはアンダーフローになった場合、FIFO_LANE_ALM[i] がセットされます。このレジスタを使用して、アラームを生成したレーンを決定します。このレジスタのいずれかのビットに 1 を書き込むと、アラームがクリアされます(オーバーフロー/アンダーフロー状態が持続する場合、アラームは再度直ちにトリップされる場合があります)。FIFO_ALM レジスタに 1 を書き込むと、このレジスタのすべてのビットがクリアされます。

6.5.7.63 OFS0 レジスタ (アドレス = 0x330) [リセット = 0x0]

図 6-80 に、OFS0 を示し、表 6-117 に、その説明を示します。

概略表に戻ります。

ADC0 のオフセット調整(デフォルトはヒューズ ROM から)

図 6-80. OFS0 レジスタ

15	14	13	12	11	10	9	8
RESERVED				OFS0			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OFS0							
R/W-0x0							

表 6-117. OFS0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:12	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。

Copyright © 2025 Texas Instruments Incorporated

表 6-117. OFS0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
11:0	OFS0	R/W	0x0	ADC0 に適用されるオフセット調整値。形式は符号なしです。 重要な注意事項:較正システムがオフセット較正を実行している場合は、OFS*レジスターにアクセスしないでください。 ケース 1:CAL_BGOS または CAL_BG が 0 で CAL_OS が 1 の場合、FG_DONE が High になった後で OFS *レジスタにアクセスできます。 ケース 2:CAL_BG=1 かつ CAL_BGOS=1 の場合、OFS*レジスタにアクセスしないでください。連続オフセット較正を行わないバックグラウンド較正の場合は、CAL_OS を 1 に、CAL_BG を 1 に設定しますが、CAL_BGOS は 0 のままにします。このときも、フォアグラウンドオフセット較正ステップ中に予備の ADC コアのオフセットの較正を引き続き行います。 ケース 3:上記のいずれの条件も当てはまらない場合は、OFS*レジスターに待機せずにアクセスできます。

6.5.7.64 OFS1 レジスタ (アドレス = 0x332) [リセット = 0x0]

図 6-81 に、OFS1 を示し、表 6-118 に、その説明を示します。

概略表に戻ります。

ADC1 のオフセット調整(デフォルトはヒューズ ROM から)

図 6-81. OFS1 レジスタ

15	14	13	12	11	10	9	8
RESERVED				OFS1			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OFS1							
R/W-0x0							

表 6-118. OFS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:12	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
11:0	OFS1	R/W	0x0	ADC1 に適用されるオフセット調整値。

6.5.7.65 OFS2A レジスタ (アドレス = 0x334) [リセット = 0x0]

図 6-82 に、OFS2A を示し、表 6-119 に、その説明を示します。

概略表に戻ります。

ADC2 のオフセット調整(INA±)(ヒューズ ROM からのデフォルト)

図 6-82. OFS2A レジスタ

15	14	13	12	11	10	9	8
RESERVED				OFS2A			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OFS2A							
R/W-0x0							

Copyright © 2025 Texas Instruments Incorporated

表 6-119. OFS2A レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:12	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
11:0	OFS2A	R/W	0x0	INA± をサンプリングするときに ADC2 に適用されるオフセット調整値。

6.5.7.66 OFS2B レジスタ (アドレス = 0x336) [リセット = 0x0]

図 6-83 に、OFS2B を示し、表 6-120 に、その説明を示します。

概略表に戻ります。

ADC2 のオフセット調整（INB±）（ヒューズ ROM からのデフォルト）

図 6-83. OFS2B レジスタ

15	14	13	12	11	10	9	8
RESERVED				OFS2B			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OFS2B							
R/W-0x0							

表 6-120. OFS2B レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:12	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
11:0	OFS2B	R/W	0x0	INB± をサンプリングするときに ADC2 に適用されるオフセット調整値。

6.5.7.67 OFS3C レジスタ (アドレス = 0x338) [リセット = 0x0]

図 6-84 に、OFS3C を示し、表 6-121 に、その説明を示します。

概略表に戻ります。

ADC3 のオフセット調整（INC±）（ヒューズ ROM からのデフォルト）

図 6-84. OFS3C レジスタ

15	14	13	12	11	10	9	8
RESERVED				OFS3C			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OFS3C							
R/W-0x0							

表 6-121. OFS3C レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:12	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
11:0	OFS3C	R/W	0x0	INC± をサンプリングするときに ADC3 に適用されるオフセット調整値。

6.5.7.68 OFS3D レジスタ (アドレス = 0x33A) [リセット = 0x0]

図 6-85 に、OFS3D を示し、表 6-122 に、その説明を示します。

Copyright © 2025 Texas Instruments Incorporated

概略表に戻ります。

ADC3 のオフセット調整（IND±）（ヒューズ ROM からのデフォルト）

図 6-85. OFS3D レジスタ

15	14	13	12	11	10	9	8
RESERVED				OFS3D			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OFS3D							
R/W-0x0							

表 6-122. OFS3D レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:12	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
11:0	OFS3D	R/W	0x0	IND± をサンプリングするときに ADC3 に適用されるオフセット調整値。

6.5.7.69 OFS4 レジスタ (アドレス = 0x33C) [リセット = 0x0]

図 6-86 に、OFS4 を示し、表 6-123 に、その説明を示します。

概略表に戻ります。

ADC4 のオフセット調整（デフォルトはヒューズ ROM から）

図 6-86. OFS4 レジスタ

15	14	13	12	11	10	9	8
RESERVED				OFS4			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OFS4							
R/W-0x0							

表 6-123. OFS4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:12	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
11:0	OFS4	R/W	0x0	ADC4 に適用されるオフセット調整値。

6.5.7.70 OFS5 レジスタ (アドレス = 0x33E) [リセット = 0x0]

図 6-87 に、OFS5 を示し、表 6-124 に、その説明を示します。

概略表に戻ります。

ADC5 のオフセット調整（デフォルトはヒューズ ROM から）

図 6-87. OFS5 レジスタ

15	14	13	12	11	10	9	8
RESERVED				OFS5			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0

Copyright © 2025 Texas Instruments Incorporated

図 6-87. OFS5 レジスタ (続き)

OFS5
R/W-0x0

表 6-124. OFS5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:12	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
11:0	OFS5	R/W	0x0	ADC5 に適用されるオフセット調整値。

6.5.7.71 GAIN0 レジスタ (アドレス = 0x360) [リセット = 0x0]

図 6-88 に、GAIN0 を示し、表 6-125 に、その説明を示します。

概略表に戻ります。

ADC0 の微ゲイン調整(デフォルトはヒューズ ROM から)

図 6-88. GAIN0 レジスタ

7	6	5	4	3	2	1	0
RESERVED			GAIN0				
R/W-0x0			R/W-0x0				

表 6-125. GAIN0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:5	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
4:0	GAIN0	R/W	0x0	ADC0 の微ゲイン調整。

6.5.7.72 GAIN1 レジスタ (アドレス = 0x361) [リセット = 0x0]

図 6-89 に、GAIN1 を示し、表 6-126 に、その説明を示します。

概略表に戻ります。

ADC1 の微ゲイン調整(デフォルトはヒューズ ROM から)

図 6-89. GAIN1 レジスタ

7	6	5	4	3	2	1	0
RESERVED			GAIN1				
R/W-0x0			R/W-0x0				

表 6-126. GAIN1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:5	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
4:0	GAIN1	R/W	0x0	ADC1 の微ゲイン調整。

6.5.7.73 GAIN2A レジスタ (アドレス = 0x362) [リセット = 0x0]

図 6-90 に、GAIN2A を示し、表 6-127 に、その説明を示します。

概略表に戻ります。

ADC2 の微ゲイン調整(INA±)(デフォルトはヒューズ ROM から)

Copyright © 2025 Texas Instruments Incorporated

図 6-90. GAIN2A レジスタ

7	6	5	4	3	2	1	0
RESERVED				GAIN2A			
R/W-0x0				R/W-0x0			

表 6-127. GAIN2A レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:5	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
4:0	GAIN2A	R/W	0x0	INA±サンプリング時の ADC2 のゲイン調整の微調整。

6.5.7.74 GAIN2B レジスタ (アドレス = 0x363) [リセット = 0x0]

図 6-91 に、GAIN2B を示し、表 6-128 に、その説明を示します。

概略表に戻ります。

ADC2 の微ゲイン調整（INB±）（デフォルトはヒューズ ROM から）

図 6-91. GAIN2B レジスタ

7	6	5	4	3	2	1	0
RESERVED				GAIN2B			
R/W-0x0				R/W-0x0			

表 6-128. GAIN2B レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:5	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
4:0	GAIN2B	R/W	0x0	INB± サンプリング時の ADC2 のゲイン調整の微調整。

6.5.7.75 GAIN3C レジスタ (アドレス = 0x364) [リセット = 0x0]

図 6-92 に、GAIN3C を示し、表 6-129 に、その説明を示します。

概略表に戻ります。

ADC3 の微ゲイン調整（INC±）（デフォルトはヒューズ ROM から）

図 6-92. GAIN3C レジスタ

7	6	5	4	3	2	1	0
RESERVED				GAIN3C			
R/W-0x0				R/W-0x0			

表 6-129. GAIN3C レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:5	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
4:0	GAIN3C	R/W	0x0	INC± サンプリング時の ADC3 のゲイン調整の微調整。

6.5.7.76 GAIN3D レジスタ (アドレス = 0x365) [リセット = 0x0]

図 6-93 に、GAIN3D を示し、表 6-130 に、その説明を示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

ADC3 の微ゲイン調整（IND±）（デフォルトはヒューズ ROM から）

図 6-93. GAIN3D レジスタ

7	6	5	4	3	2	1	0
RESERVED				GAIN3D			
R/W-0x0				R/W-0x0			

表 6-130. GAIN3D レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:5	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
4:0	GAIN3D	R/W	0x0	IND± サンプリング時の ADC3 のゲイン調整の微調整。

6.5.7.77 GAIN4 レジスタ (アドレス = 0x366) [リセット = 0x0]

図 6-94 に、GAIN4 を示し、表 6-131 に、その説明を示します。

概略表に戻ります。

ADC4 の微ゲイン調整（デフォルトはヒューズ ROM から）

図 6-94. GAIN4 レジスタ

7	6	5	4	3	2	1	0
RESERVED				GAIN4			
R/W-0x0				R/W-0x0			

表 6-131. GAIN4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:5	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
4:0	GAIN4	R/W	0x0	ADC4 の微ゲイン調整。

6.5.7.78 GAIN5 レジスタ (アドレス = 0x367) [リセット = 0x0]

図 6-95 に、GAIN5 を示し、表 6-132 に、その説明を示します。

概略表に戻ります。

ADC5 の微ゲイン調整（デフォルトはヒューズ ROM から）

図 6-95. GAIN5 レジスタ

7	6	5	4	3	2	1	0
RESERVED				GAIN5			
R/W-0x0				R/W-0x0			

表 6-132. GAIN5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:5	RESERVED	R/W	0x0	デフォルト値を書き込む必要があります。
4:0	GAIN5	R/W	0x0	ADC5 の微ゲイン調整。

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

ADC12QJ1600-SP は、光検出および距離測定（LiDAR）、レーダー、衛星通信、ハンドヘルド・テスト機器（通信テスタおよびオシロスコープ）、ソフトウェア無線（SDR）など、広範なアプリケーションに使用できます。入力帯域幅が広いため、最低 4GHz までの直接 RF サンプリングが可能で、高いサンプリング・レートにより、500MHz を超える信号帯域幅を実現できます。*代表的なアプリケーション* セクションでは、内蔵のクロック機能を使用して LiDAR アプリケーションでこのデバイスを使用する方法について説明し、システムのコスト、部品点数、ソリューション・サイズを低減できます。

7.2 代表的なアプリケーション

7.2.1 光検出および距離測定 (LiDAR) デジタイザ

LiDAR システムは、レーザーを使用してターゲットに光パルスを送信し、フォトダイオードを使用してターゲットからの反射を測定します。フォトダイオードは、反射された光によって生成された電流を電圧に変換するため、トランスインピーダンス・アンプ（TIA）に接続されます。ADC は電圧をデジタル信号に変換し、パルス到着時間と、パルスの反射エネルギーを抽出します。このデバイスは、高いサンプリング・レート、高性能、高入力帯域幅、内蔵クロック機能など、LiDAR システムのデジタイザとして最適な多数の機能を備えています。図 7-1 に示すサンプル LiDAR システムのデジタイザは、最大 4 つの ADC チャネルを 1 ギガサンプル毎秒（GSPS）で動作させ、デバイスのオンチップクロック機能を使用して、システムの部品点数、サイズ、コストを削減します。

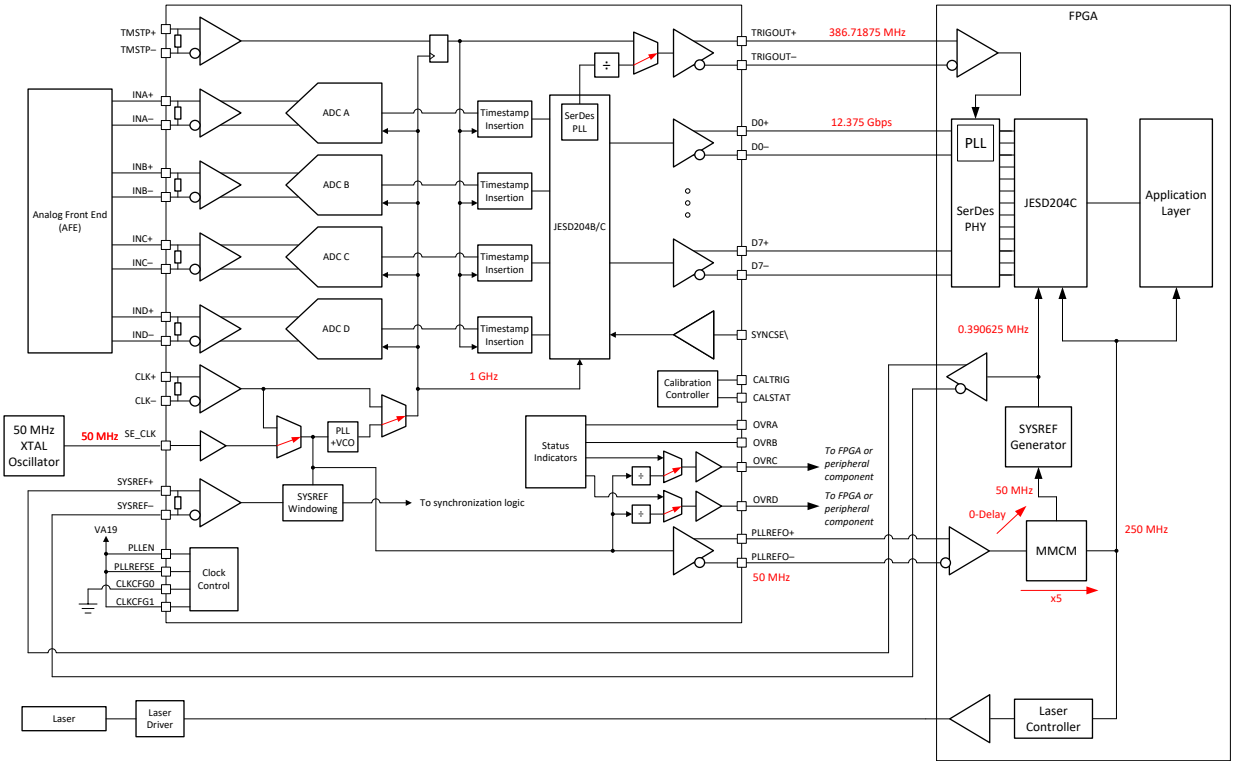


図 7-1. LiDAR デジタイザの一般的な構成

Copyright © 2025 Texas Instruments Incorporated

7.2.1.1 設計要件

表 7-1 に、LiDAR システム要件の例と、その結果として得られるデジタイザ要件を示します。システム要件の例は、機械的に回転する LiDAR システムの場合、スピンミラーを使用して水平（水平）視野角と並列レシーバ（フォトダイオード）を覆い、垂直（高度）視野角をカバーすることです。スキャン時間の要件により、4 つの垂直ポイントが並列にキャプチャされることが指示されます。これには 4 つの ADC チャネルが必要であり、したがって 16:1 のフォトダイオード対 ADC マルチプレクサ比が必要です。10%の反射率ターゲットに対して、200m の長い範囲では、高性能が必要なため、12 ビットの ADC を選択します。高い空間分解能を実現するには、最小パルス幅 5ns で、各反射パルスを 5 つサンプリングするために 1GSPS のサンプリング・レートが必要です。大量生産を実現するには低コストと小型化が重要です。また、クロック機能を内蔵したクワッドチャネル ADC は、これらの重要な指標の推進に役立ちます。他にも、FPGA がサポートする SerDes の最大レートとレーン数などの検討事項があります。FPGA には、最大 12.5Gbps をサポートする 4 つの SerDes レーンがあると仮定します。このため、JMODE 8 が選択されます。

表 7-1. LiDAR システムとデジタイザの要件

システム パラメータ	システム要件の例	デジタイザ要件の例
最大ターゲット範囲	反射率 10%で 200m	12 ビット ADC
最小レーザーパルス幅	5ns	1 GSPS (パルスごとに 5 サンプル)
水平方向視野角	360°	「フルスキャン時間」を参照してください
垂直視野角	20°	「垂直スキャン方法」を参照してください
水平解像度	0.1°	「フルスキャン時間」を参照してください
垂直解像度	0.3125°	「垂直スキャン方法」を参照してください
水平スキャン方法	スピンミラー	「フルスキャン時間」を参照してください
垂直スキャン方式	並列フォトダイオード	64 個のフォトダイオード
フルスキャン時間	76.8ms	16:1 マルチプレクサ比（4 個の ADC チャネル）
システムコスト	低コスト	ADC 内蔵クロック機能
システムフォームファクタ	小型フォーム ファクタ	クロック内蔵クワッド・チャネル ADC

Copyright © 2025 Texas Instruments Incorporated

7.2.1.2 詳細な設計手順

このセクションでは、LiDAR の設計例周辺の詳細を、部品の選択方法や必要なクロック周波数の計算方法など詳細に示します。

7.2.1.2.1 アナログ フロント エンドの要件

ADC チャネルは、フォトダイオード、TIA、完全差動アンプ（FDA）、アナログ・マルチプレクサを搭載したアナログ・フロント・エンド（AFE）から供給されます。リターンパルスは、対応するフォトダイオードに光を焦点を合わせる光学レンズによって収集されます。フォトダイオードが電流を生成し、電圧に変換して TIA によって増幅します。このシングルエンド電圧は、完全差動アンプを使用して差動電圧に変換され、ADC の差動入力を駆動します。1.1V の ADC 同相電圧は、ユニポーラ電源 FDA と簡単に接続できるため、最低コストを実現できます。並列フォトダイオードレシーバのアナログ多重化は、選択した部品に応じて、TIA の後または FDA の後に行うことができます。

入力ネットワークには、システムに必要な最小パルス幅をサポートするのに十分な帯域幅が必要です。与えられた立ち上がり時間（10% ~ 90%）をサポートするために必要な帯域幅は、式 13 で与えられます。

$$BW\ [MHz] = 350 / t_R[ns] \quad (13)$$

レーザーの立ち上がりおよび立ち下がり時間が 1ns（10% ~ 90%）と仮定すると、パルス形状や空間分解能の過度な劣化を避けるため、入力ネットワーク帯域幅を 400MHz より大きくする必要があります。

7.2.1.2.2 クロックおよび SerDes 周波数の計算

サンプルの LiDAR システムは、1GSPS で動作する 4 つの ADC チャネルと、デバイスのオンチップ・クロック機能を使用して、システムのサイズとコストを低減しています。本デバイスは、シングルエンドクロック入力（CLK_SE）を介して 50MHz の水晶振動子によりクロック供給され、内蔵のクロック機能を使用して外付けのクロック供給部品を不要にします。内部 PLL（C-PLL）は、ADC コア用の 1GHz サンプリング・クロックを生成します。50MHz PLL リファレンスは、PLLREFO 出力を介して FPGA に繰り返され、アプリケーション層のクロックを含む FPGA 内部クロックを生成します。50MHz のリファレンス電圧は FPGA 内に分周されており、SYSREF 信号を生成します。この信号は、FPGA JESD204C コアとデバイスの両方に送信され、決定論的なレイテンシを実現します。

図 7-1 に示す例のシステムでは、多数のクロック周波数が使用されています。基準クロック周波数（f_{REF}）は設計者が選択し、この場合は 50MHz を選択します。これは、サポートされている最小の基準周波数であり、簡単に 1GHz に逓倍されます。サンプリング・レートは、1GSPS（f_S）のシステム要件によって設定されます。C-PLL の V、P、N 分周器は、「*サンプリングクロック生成用のコンバータ PLL（C-PLL）*」セクションで説明されているように選択され、基準周波数とともに VCO 周波数（f_{VCO}）が決定されます。JMODE 8 は、64B または 66B モードである FPGA SerDes の要件（4 レーン、最大 12.5Gbps）内にとどまるよう選択されています。TRIGOUT は FPGA SerDes PLL の基準クロックを FPGA（$f_{TRIGOUT}$）に供給し、PLLREFO は FPGA コアロジックの基準クロックを供給します。ORC（f_{ORC}）および ORD（f_{ORD}）は、必要に応じて FPGA またはペリフェラル・デバイスに追加のクロック出力を提供します。SYSREF は FPGA 内で生成され、ADC に送信されて、決定論的なレイテンシを実現します。通常、タイミングの制約の関係でこれは推奨されませんが、基準周波数（50MHz）が低いため、SYSREF のセットアップおよびホールド・タイミングが大幅に緩和されます。また、SYSREF ウィンドウ処理機能を使用すると、基準クロックを基準とした SYSREF の適切なキャプチャタイミングを検証できます。C-PLL を使用して確定的なレイテンシを実現するには、SYSREF 周波数は、JESD204 プロトコルの要件を満たすのに加えて、基準クロック周波数に均等に分周する必要があります。周波数とレートの計算については、表 7-2 にまとめます。

Copyright © 2025 Texas Instruments Incorporated

表 7-2. LiDAR デジタイザなどのクロックおよび SerDes 周波数の計算

クロック	記号	計算	周波数
基準クロック	f_{REF}	デザイナーによって選ばれました	50 MHz
サンプリング レート	f_S	システム要件	1 GSPS
C-PLL VCO	f_{VCO}	$f_{VCO} = f_S$ x P x V ここで、P は 2、V は 4 です	8 GHz
SerDes ラインレート	$f_{LINERATE}$	$f_{LINERATE} = f_S$ x R ここで、JMODE 8 の R は 12.375 です（表 6-15 を参照）。	レーン（4 レーン）あたり 12.375Gbps
TRIGOUT クロック出力	$f_{TRIGOUT}$	$f_{TRIGOUT} = f_{LINERATE}$/ RX_DIV RX_DIV は 32（TRIGOUT_CTRL = 0x81）です。	386.71875 MHz
SYSREF	f_{SYSREF}	$f_{SYSREF} = f_{LINERATE}$/ (66 x 32 x E x n) ここで、JMODE 8（64B/66B モード）の E は 3 で、f_{SYSREF} が f_{REF}（n = 5）の整数除算となるように n を選択します。	390.625 kHz
ORC クロック出力	f_{ORC}	$f_{ORC} = f_{REF}/2$ （表 6-4 を参照）	25 MHz
ORD クロック出力	$f_{F\ ORD}$	$f_{ORD} = f_{REF}$ （表 6-5 を参照）	50 MHz
FPGA コアクロック	f_{FPGA}	$f_{FPGA} = f_{REF}$ x M (1) (2) ここで、M は 5 として選択された整数値です	250MHz（1 サイクルあたり 4 サンプル）

(1) ここに示すクロック構成では、JESD204C コアを実行する FPGA クロックは、決定論的なレイテンシを達成するために基準クロック・ドメインからコア・クロック・ドメインに SYSREF を適切に渡すため、f_{REF} の整数倍にする必要があります。多くの場合、JESD204C IP は $f_{LINERATE}$/66 のクロックレートを想定しており、この例では 187.5MHz になります。一部の JESD204C IP コアでは、JESD204C クロック周波数がこの要件から逸脱することができない場合があるため、IP プロバイダーを参照する必要があります。FPGA コア・クロックに記述された要件を確定的レイテンシーよりも満たすことができない場合（確定的レイテンシなしの動作は引き続きサポートされます）。

(2) アプリケーション層が JESD204C コアとは異なるクロックレートで動作している場合、タイミング情報を維持しながら、クロックドメイン間でデータを渡すためのロジックが必要になることがあります。さらに、多くの JESD204C IP コアはクロックサイクルごとに 64 ビットを出力し、これにはサンプルの分数（JMODE 8 など）が含まれているため、目的のサンプルレートに移行するためにギアボックスロジックが必要になる場合があります。

Copyright © 2025 Texas Instruments Incorporated

7.2.1.3 アプリケーション曲線

本デバイスを使用したパルス測定の例が図 7-2 に示されています。このセットアップは、1GSPS 時に 5ns のパルスをキャプチャする LiDAR システム要件の例に従っています。印加されたパルスの立ち上がり時間と立ち下がり時間は約 1ns です。サブサンプリング技術を使用してデータポイントを補間し、パルスの等価 32GSPS キャプチャを形成して、より正確な詳細を実現し、複数のキャプチャ平均化を使用してノイズを抑制します。ADC に負の DC バイアスを印加することで、ユニポーラ・パルスで ADC の全ダイナミック・レンジを有効にできます。このパルスは、ADC コードのほぼ全範囲にまたがっています。抽出されたパルスパラメータを表 7-3 に示します。アナログ・フロントエンドは、この測定には含まれていません。

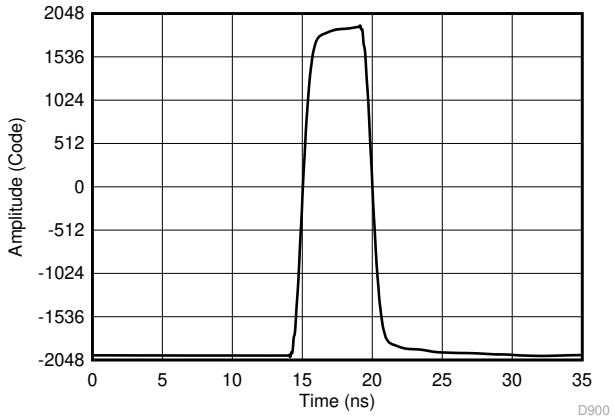


図 7-2. 32GSPS 等価測定でサブサンプリング手法を使用したパルス測定

表 7-3. LiDAR システムなどのパルス・パラメータを抽出

測定されたパラメータ	測定値	単位
立ち上がり時間（10% ~ 90%）	1.18	ns
立ち下がり時間（90% ~ 10%）	1.19	ns
パルス幅（50%）	4.99	ns
等価帯域幅(1)	295.3	MHz
ピーク振幅（コード）	3901	LSB
ピーク振幅（電圧）	750.5	mV
DC オフセット（コード）	-1994	LSB
DC オフセット（電圧）	-383.7	mV

(1) 等価帯域幅は、抽出された立ち上がり時間測定値から計算されます。帯域幅は、パルス・ジェネレータの出力に使用される 1ns の遷移時間コンバータによって制限されます。

Copyright © 2025 Texas Instruments Incorporated

7.3 初期化セットアップ

デバイスと JESD204 インターフェイスには、特定の起動および整列シーケンスが必要です。このシーケンスの一般的な順序を以下の手順で示します。

1. PLL_EN を High に接続すると PLL が有効になり、Low に接続すると PLL がディスエーブルになります。PLLREF_SE を High に接続すると、SE_CLK クロック入力を使用する（PLL_EN が High の場合のみ有効）か Low に接続して、CLK±クロック入力を使用します。使用する場合、ORC および ORD 出力から必要なクロックを供給するように CLKCFG0 および CLKCFG1 ピンを構成します。
2. デバイスをパワーアップし、電圧が推奨電源電圧範囲内になるまで待ちます。電源投入中、およびシステム動作のために PLLREFO、ORC、または ORD クロック出力が必要な場合は、PD ピンを常に Low に保持する必要があります。
3. PLLREF_SE 入力の状態に応じて、目的の周波数で CLK±または SE_CLK に安定したクロック信号を印加します。
4. SOFT_RESET を使用してデバイスをリセットします。
5. デバイスの初期化が完了したことを確認してから、1 が返されるまで INIT_DONE の読み取りを続行します。
6. PLL が有効（PLL_EN が High にセットされている）なら、C-PLL をプログラムします。C-PLL がディスエーブル（PLL_EN が Low に設定されている）場合、ステップ 7 に進みます。
   a. CPLL_RESET を 1 にプログラムして、C-PLL をリセットします。
   b. VCO_BIAS を 0x4A にプログラムし、C-PLL VCO バイアス設定を設定します。
   c. PLL_P_DIV、PLL_V_DIV、PLL_N_DIV をプログラムして、C-PLL 分周器を設定します（「サンプリング・クロック生成用のコンバータ PLL（C-PLL）」を参照）。
   d. VCO_CAL_EN を 1 にプログラムして VCO トリムキャリブレーションを有効にするか、または VCO トリムを VCO_FREQ_TRIM に手動で書き込みます（および VCO_CAL_EN を 0 に設定）。VCO_FREQ_TRIM を手動でロードする場合は、手順 6.e.に進みます。
   e. CPLL_RESET を 0 にプログラムして VCO キャリブレーションを開始し、C-PLL を有効にします
7. JESD_EN = 0 をプログラムすると、JESD204C ステートマシンを停止し、設定を変更できるようになります。
8. キャリブレーション・ステート・マシンを停止し、設定を変更できるようにするには、CAL_EN = 0 をプログラムします。
9. 必要に応じて、*低電力モードと高性能モード* のセクションに従って、低電力動作モードを設定します。
10. 目的の JMODE をプログラムします。
11. 目的の KM1 値をプログラムします。KM1 = K–1。KM1 は、8B または 10B エンコーディングを使用する JMODE が選択されている場合にのみ使用されます。
12. 必要に応じて SYNC_SEL をプログラムします。$\overline{\text{SYNCSE}}$ シングルエンド入力または TMSTP±差動入力を選択します。
13. 必要に応じてデバイスキャリブレーション設定を構成します（CAL_CFG0 および CAL_CFG1 レジスタを参照）。必要に応じて、フォアグラウンドまたはバックグラウンドのキャリブレーションモードとオフセットキャリブレーションを選択します。
14. 必要に応じて、TRIGOUT±クロック出力を有効にし、TRIGOUT_CTRL レジスタを介して TRIGOUT 出力モードを構成します。
15. C-PLL を使用する場合（PLL_EN が High）、VCO キャリブレーションが完了したこと（VCO_CAL_DONE を読み取り）、C-PLL がリファレンス・クロック（CPLL_LOCKED を読み取り）にロックされていることを確認してから、処理を続行します。
16. キャリブレーション・ステートマシンを有効化するには、CAL_EN = 1 をプログラムします。
17. OVR_EN を使用したオーバーレンジを有効化し、必要に応じて設定を調整します。
18. JESD_EN = 1 をプログラムすると、JESD204C ステートマシンを再起動し、リンクを再起動できます。
19. CAL_SOFT_TRIG を 0 に設定して、フォアグラウンド・キャリブレーション（有効の場合）をトリガし、1 に戻します。または、CAL_TRIG_EN を 1 に設定し、CALTRIG ピンを Low に切り替えてから High に切り替えることでも、CALTRIG ピンを使用することもできます。キャリブレーションが完了したことを示すため、CALSTAT ピンと FG_DONE レジスタ・ビットが High になります。
20. 8B/10B エンコーディングを使用する JMODE の場合、JESD204C インターフェイスは、レシーバから印加された同期信号に応答して動作するようになりました（64B/66B は同期を使用しません）。

Copyright © 2025 Texas Instruments Incorporated

21. データは、JESD204C レシーバが初期化シーケンスを完了したとき（8B/10B モードで CGS と ILAS が完了したとき、または 64B/66B モードで同期ヘッダーがロックされたとき）、かつ CALSTAT ピンが High（CAL_STATUS_SEL = 0 の場合）または FG_DONE が 1 に設定されて、キャリブレーションが完了したことを示します。

7.4 電源に関する推奨事項

デバイスには、2 つの異なる電源電圧が必要です。VA19、VPLL19、VREFO 電源バスには 1.9V DC、VA11 および VD11 電源バスには 1.1V DC が必要です。VTRIG は 1.1V または 1.9V のいずれかに設定でき、それに応じて TRIGOUT±同相電圧が変化します。

電源電圧は低ノイズであり、デバイスの定格性能を達成するために必要な電流を供給する必要があります。ノイズがノイズに敏感な電源に結合しないよう、特定の電源は互いに絶縁する必要があります。絶縁は、電源ごとに個別のレギュレータを使用するのが最善ですが、サイズやコストの制約が原因で、これが実現できないことが多くあります。最低でも、低 DC 抵抗のフェライト ビーズ (FB) と、フェライト ビーズの両側に低インダクタンスのデカップリング コンデンサを含む PI 型の電源フィルタリング方式を使用する必要があります。図 7-4 と 図 7-3 の電源アーキテクチャの例で、これらのことを示しています。

2 つの推奨される電源アーキテクチャがあります:

1. 高効率スイッチング・コンバータを使用した降圧、その後段のレギュレーションの 2 段目は、図 7-3 に示すように、スイッチング・ノイズの低減と電圧精度の向上を行います。
2. 高効率スイッチングコンバータを使用して最終的な ADC 電源電圧を直接降圧します（図 7-4 を参照）。この方法を使うと効率が最高になりますが、ADC の性能低下を防ぐため、スイッチング・ノイズを最小限に抑えるよう注意する必要があります。一般に、DC/DC スイッチング・レギュレータを高いスイッチング周波数の固定周波数モードで動作させると、より優れた電源フィルタリング・ネットワークを設計でき、フィルタ処理できない低周波数ノイズを低減できます。

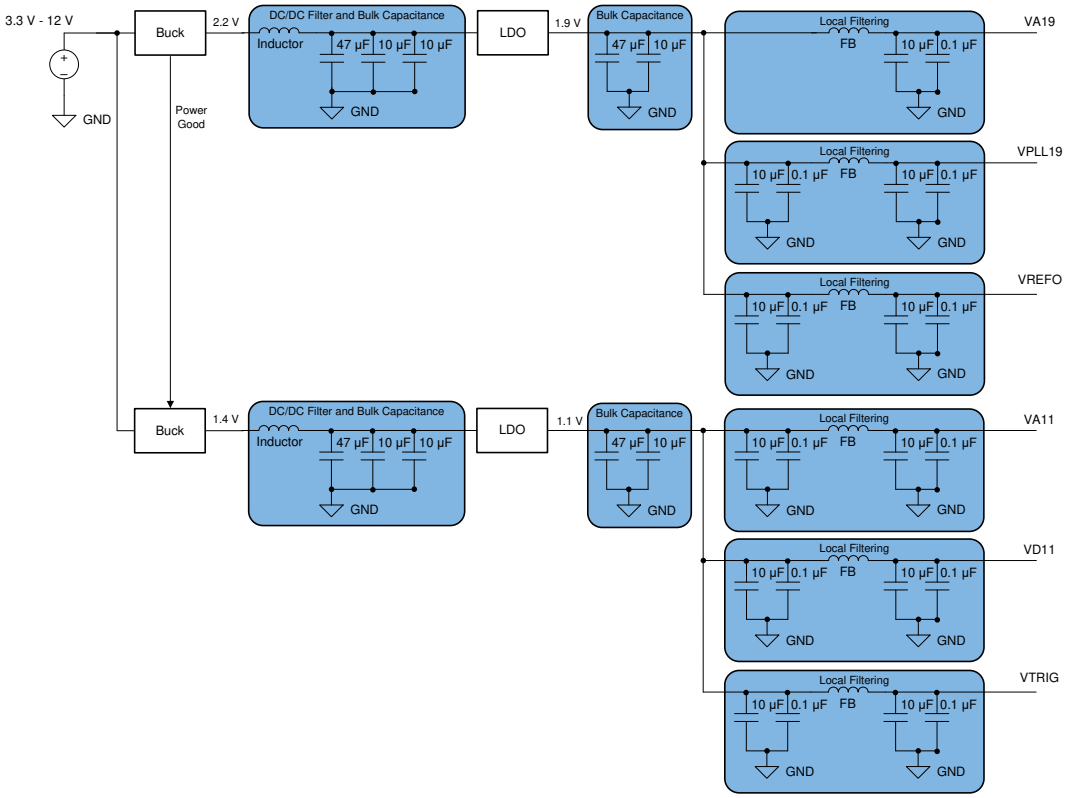
WEBENCH® Power Designer を使用して、個別の電源素子を選択および設計できます。

推奨されるスイッチング・レギュレータは、TPS7H4002-SP、TPS7H4011-SP、TPS7H4001-SP、および類似のデバイスです。

推奨する低ドロップアウト (LDO) リニア レギュレータとしては、TPS7H1101A-SP、TPS7H1121-SP、TPS7H1111-SP および類似のデバイスがあります。

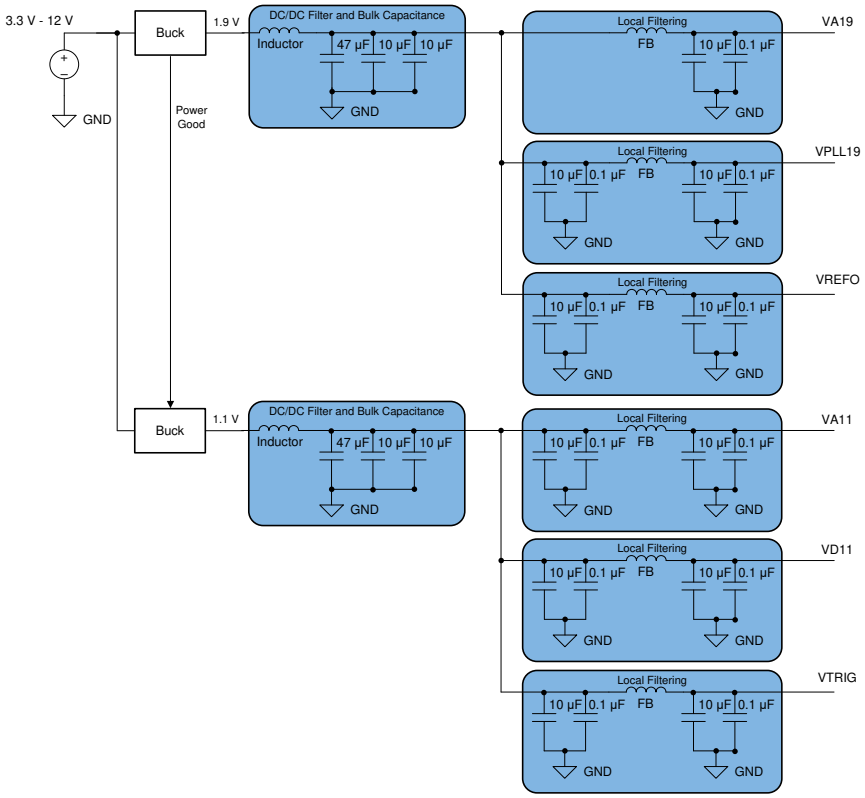
スイッチャのみのアプローチでは、DC/DC コンバータのスイッチング周波数とスイッチング周波数の高調波で十分なフィルタリングを行えるよう、リップル・フィルタを設計する必要があります。WEBENCH®から報告されるスイッチング周波数を書き留め、EMI フィルタとコンデンサの組み合わせを設計し、必要に応じてフィルタのカットオフ周波数を設定するようにします。アプリケーションによって、電源電圧のノイズに対する許容誤差と性能への影響が異なるため、厳格なリップル要件は満たされていません。一般に、すべてのリップルおよび過渡イベントの間、電源電圧は推奨動作条件制限内に維持する必要があります。電源フィルタリングは、特に低消費電力のバックグラウンドレギュレーションを使用する場合に、潜在的な電流過渡を考慮する必要があります（*低消費電力バックグラウンドレギュレーション (LPBG) モード*を参照）。

Copyright © 2025 Texas Instruments Incorporated



FB =フェライト・ビーズ・フィルタ。

図 7-3. LDO リニア・レギュレータのアプローチ例



FB =フェライト・ビーズ・フィルタ。

図 7-4. スイッチャ限定のアプローチ例

7.4.1 電源シーケンス

1.1-V 電源（VA11、VD11）は、パワーアップ、通常動作、またはパワーダウン時に、いずれかの 1.9-V 電源（VA19、VPLL19、VREFO）または VTRIG（1.1V または 1.9V）よりも 0.5V 以上高い電圧にしてはなりません。さらに、すべての 1.9V 電源は、常に互いに 0.5V 以内にする必要があります。VTRIG は 1.9-V 電源と 1.1-V 電源のどちらかでランプアップできますが、VA11 または VD11 よりも 0.5V 低くならないようにします。VA11 と VD11 の間にシーケンス要件はありません。

一般的な推奨事項は、すべての 1.9-V 電源でレギュレータを共有することです。VTRIG は一般に 1.1V または 1.9V のいずれかであり、同じ電圧の電源とレギュレータを共有する必要があります。その後、1.9-V レギュレータのパワー・グッド出力を 1.1-V レギュレータに接続することで、シーケンシング要件を一般に満たすことができます。これにより、1.9-V 電源がオンになった後（電源はグッド）1.1-V 電源が有効になり、電源投入時に 1.9-V 電源は常に 1.1-V 電源よりも大きくなります。パワーダウン時、1.1-V 電源がレギュレーション範囲からドロップアウトするとすぐに、1.9-V 電源がディセーブルされます。ランプレートは、1.9-V 電源が VA11 または VD11 電源よりも 0.5V 以上低下しないように設計する必要があります。

7.5 レイアウト

7.5.1 レイアウトのガイドライン

ボード設計には、特別な注意が必要な重要なシグナルが数多く存在します:

1. アナログ入力信号
2. CLK、SE_CLK、および SYSREF
3. JESD204C データ出力
4. 電源接続
5. 接地接続

Copyright © 2025 Texas Instruments Incorporated

アナログ入力信号、クロック信号、JESD204C データ出力は、高周波数で優れた信号品質を実現するために配線する必要がありますが、互いに最大限の絶縁を行うために配線する必要があります。次の一般的な方法を使用します:

1. 可能な場合、緩やかに結合した 100Ω の差動トレースを使用するように配線します。この配線により、ペアのインピーダンスに対するコーナーや長さの一致する蛇行ピンの影響を最小限に抑えることができます。SE_CLK は、同一平面導波路として、またはカップリングを防ぐために十分なビアフェンシングを備えた内部層上のストリップラインとして配線する必要があります。
2. 特に疎結合の差動配線では、クロストークを最小限に抑えるため、十分なペア間の間隔を設けてください。適切な間隔を確保できない場合は、密結合した差動パターンを使用して、自己放射ノイズを低減したり、隣接トレース・ノイズ耐性を向上させたりできます。
3. 高速パターンとの結合を最小限に抑えるため、十分なグランドプレーン注入間隔を確保してください。グランドプレーンの注入には、基板のメイングランドプレーンに十分なビア接続が必要です。フローティングまたは接続不良なグランド・パターンを使用しないでください。
4. 滑らかな半径の角を使用してください。インピーダンスの不整合を低減するため、45 度または 90 度の曲げは避けます。
5. 部品のランディング・パッドにはグランド・プレーンの切り欠きを設け、これらの場所でインピーダンスの非連続性を回避します。1 つまたは複数のグランド・プレーンでランディング・パッドの下に切り取られた穴が開けられており、パッドのサイズやスタックアップの高さを実現し、必要な 50Ω のシングルエンド・インピーダンスを達成できます。
6. 基準グランド・プレーンの不規則な部分の近くにトレースを配線することは避けてください。不具合として、電源ビアと信号ビア、およびスルーホール部品のリードに関連するグランドプレーンまたはグランドプレーンの空間距離が不足していることがあります。
7. トレーストランスポートの最大周波数(<< $\lambda_{MIN}/8$)によって決定される適切な間隔で、すべての高速信号ビアに隣接する対称的に配置されたグランド接続ビアを用意します。
8. ビアを使用して高速信号を別の層に遷移する必要がある場合は、基板をできるだけ遠くまで遷移させて(上下に最適なケース)、ビアの上部または下部にあるビアスタブを最小限に抑えます。レイヤーの選択が柔軟でない場合は、バックドリルまたは埋め込みのブラインドビアを使用してスタブを除去します。層間の遷移を行うときは、必ず信号ビアの近くにグランド・ビアを配置して、グランド・リターン・パスの近くに配置します。

JESD204C のデータ出力配線とアナログ入力配線が結合する場合があり、注意を払う必要があります。JESD204C 出力からのスイッチングノイズはアナログ入力パターンに結合し、ADC の入力帯域幅が広いため広帯域ノイズとして現れることがあります。ノイズ結合を防止するために、JESD204C データ出力を ADC 入力トレースから別の層に配線するのが理想的です(*「レイアウト例」* セクションには記載ありません)。また、ノイズ結合を低減するために、密結合したパターンを使用することもできます。

CLK±入力ピンとクロックソース間のインピーダンスの不一致により、信号の反射または定常波により、ADC CLK±ピンのクロック信号の振幅が小さくなることがあります。特に高い入力周波数では、クロック振幅を小さくすると、ADC のノイズ性能が低下する可能性があります。これを回避するには、クロックソースを ADC の近くに配置するか(*「レイアウト例」* セクションを参照)、ADC CLK±入力ピンにインピーダンス整合を実装します。

さらに、製造に確定する前に、TI は重要な信号トレースの信号品質シミュレーションを実行することをお勧めします。挿入損失、反射損失、時間領域反射率測定(TDR)の評価を実施する必要があります。

本デバイスの電源および接地接続も非常に重要です。次の規則に従う必要があります:

1. 電源ピンおよび接地ピンのすべてに対して、低抵抗の接続パスとします。
2. すべてのピンにアクセスするために必要な場合は、複数の電力層を使用します。
3. 接続抵抗を増大させるような狭い孤立した経路は避けてください。
4. シグナル接地電源の基板スタックアップを使用して、接地プレーンとパワープレーンの間の最大容量を確保します。

Copyright © 2025 Texas Instruments Incorporated

7.5.2 レイアウト例

図 7-5 から図 7-7 は、デバイス評価基板（EVM）上でルーティングされた重要なパターンの例を示します。

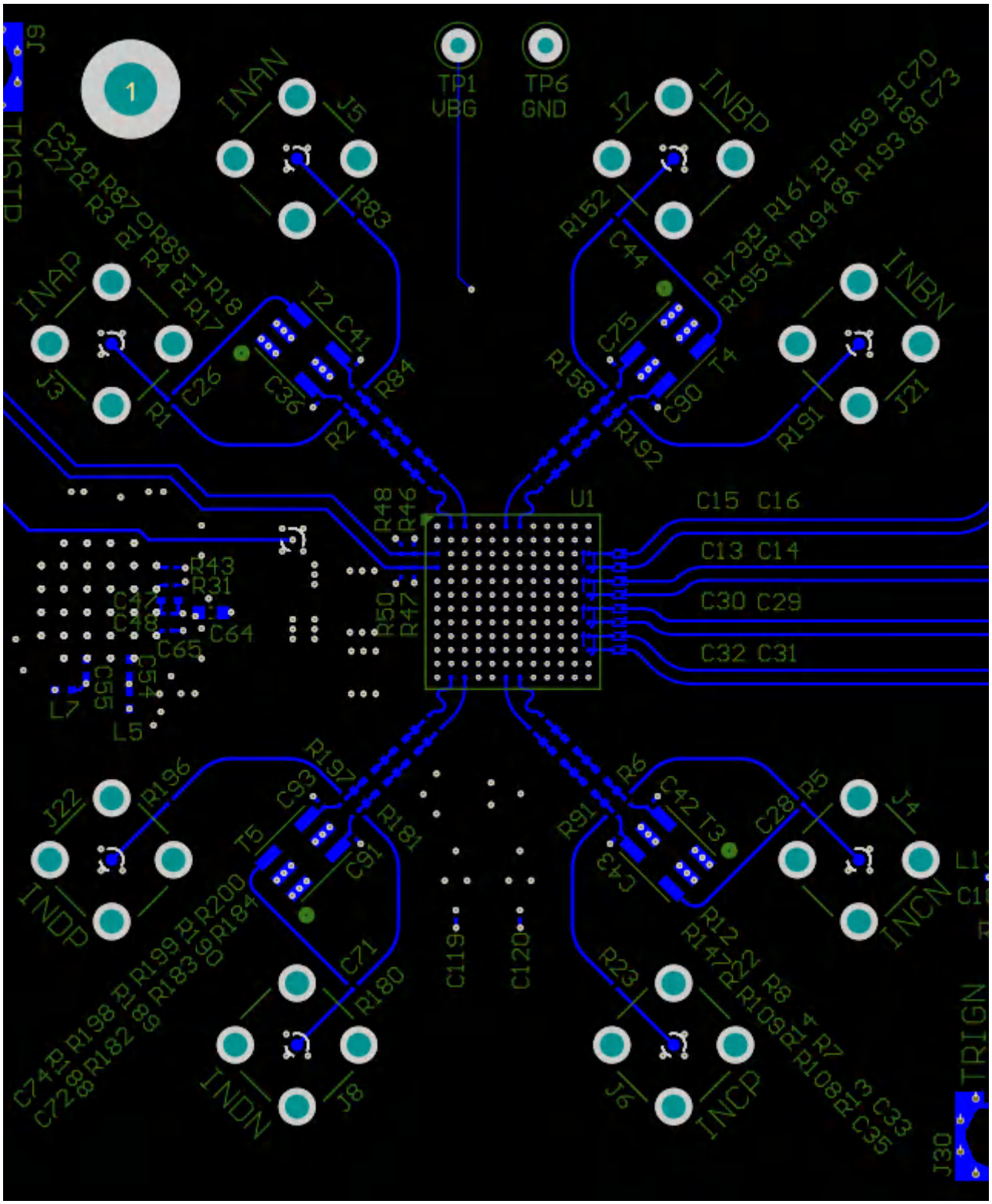


図 7-5. 最上層の配線：アナログ入力（INA±、INB±、INC±、IND±）、TMSTP±および D[3：0]±ルーティング

Copyright © 2025 Texas Instruments Incorporated

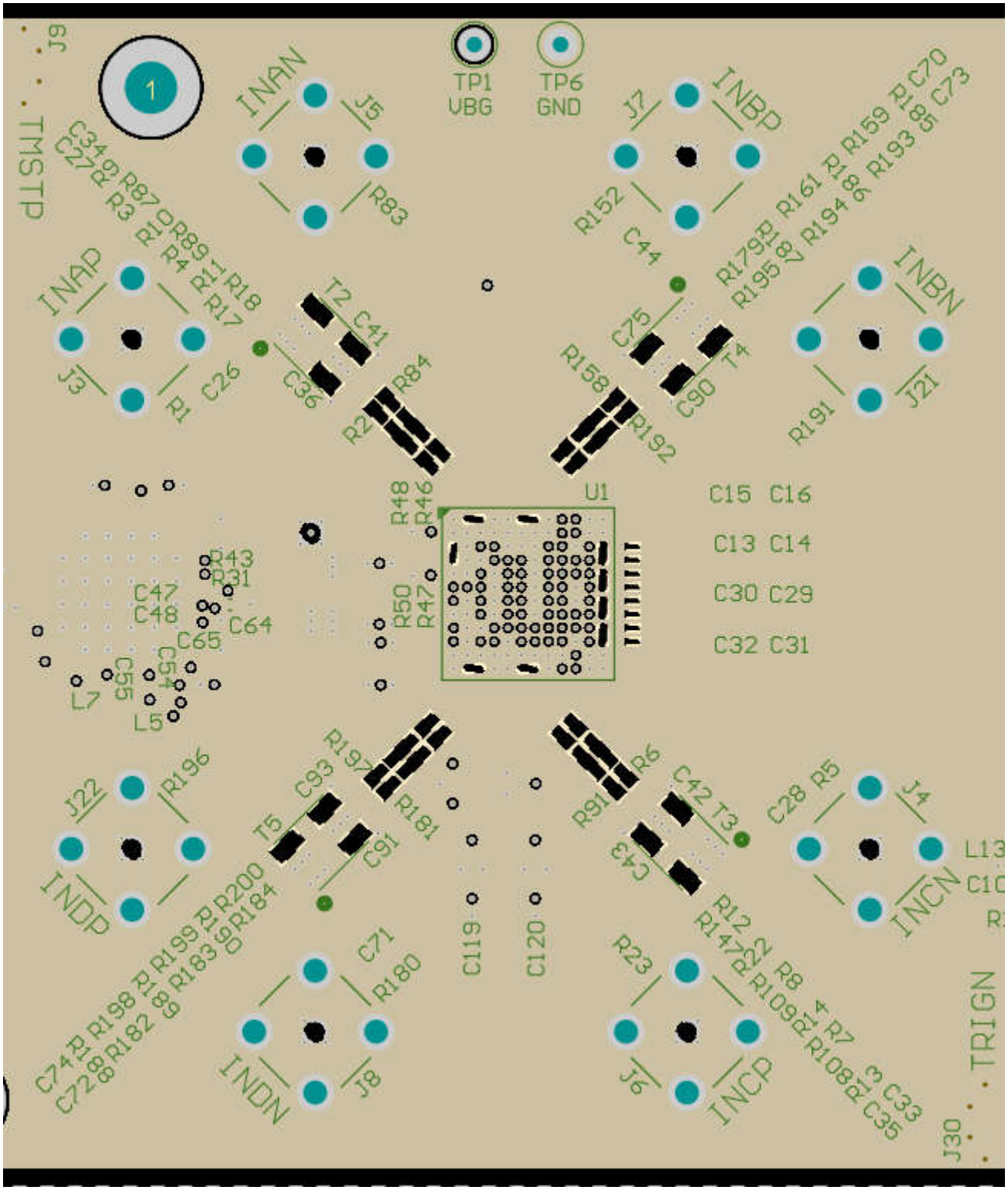


図 7-6. 部品パッドのインピーダンス最適化のための GND1 カットアウト

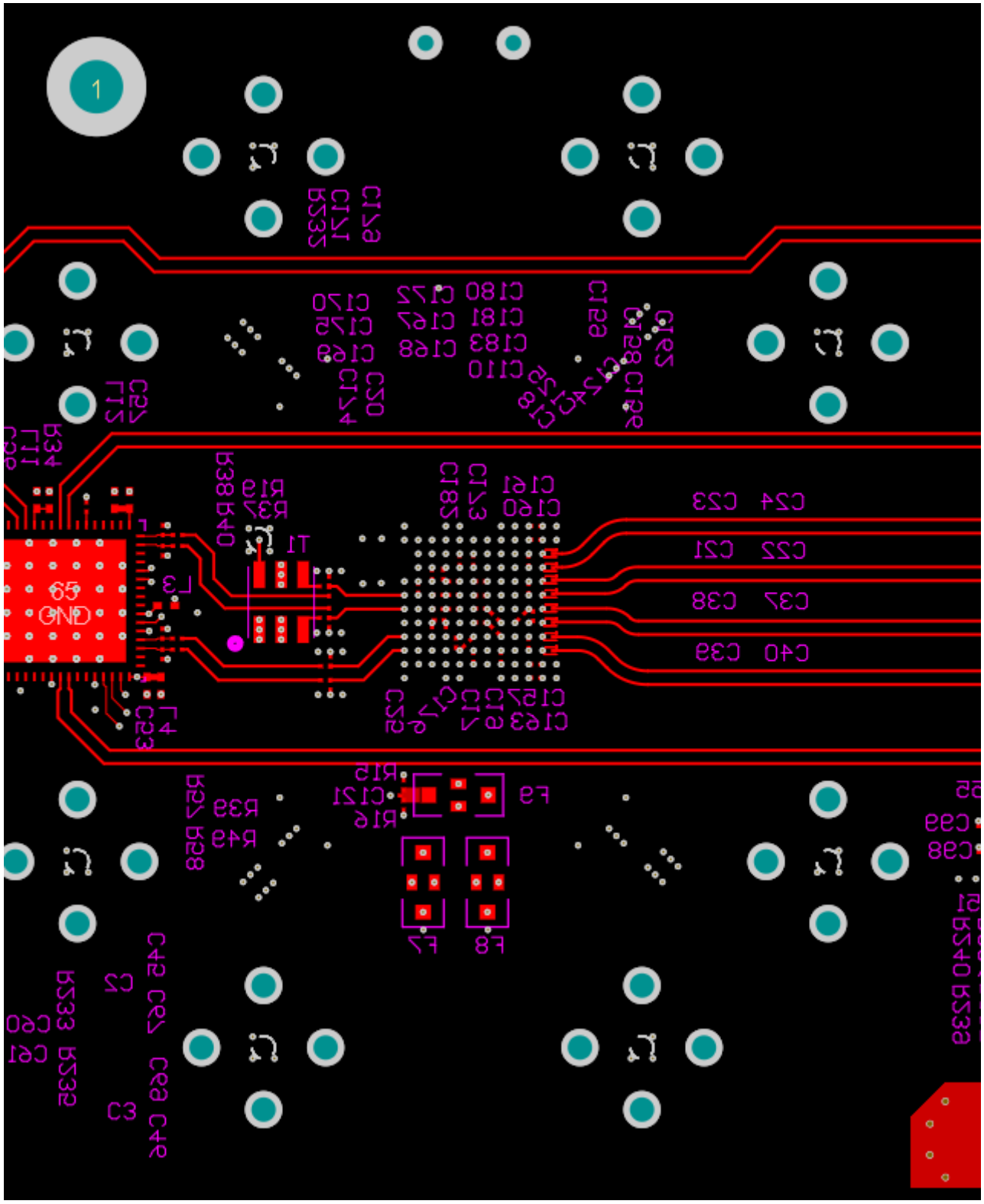


図 7-7. 最下層の配線：CLK±、SYSREF および D[7：4]±ルーティング

Copyright © 2025 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from JULY 6, 2023 to FEBRUARY 19, 2025 (from Revision A (July 2023) to Revision B (February 2025)) — **Page**

- 表 6-15 のタイトルを変更 79
- 推奨スイッチング・レギュレータと、推奨される低ドロップアウト（LDO）リニア・レギュレータ・デバイスを変更 146

Changes from JUNE 20, 2022 to JULY 5, 2023 (from Revision * (June 2022) to Revision A (July 2023)) — **Page**

- ドキュメントを「*事前情報*」から「*量産データ*」に変更 1
- 未使用の Serdes 入力を GND または電圧に接続できるオプションを追加。 4
- ORD 機能の変更 表 6-5 の *チャンネル C のオーバーレンジをチャンネル D のオーバーレンジ*に変更 63
- 表 6-15 の JMODE 4 および 6 E パラメータを 1 に変更 79
- 表 6-15 の JMODE 14 N パラメータを 12 に変更 79

Copyright © 2025 Texas Instruments Incorporated

- *ランプテストモード*で、ランプテストパターンがマルチフレームの終わりまたはフレームに 256 オクテット以上ある場合は 0xFF で停止するように変更しました。 88

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADC12QJ1600ALRSHP	Active	Production	FCCSP (ALR) | 144	184 | JEDEC TRAY (5+1)	No	SNPB	Level-3-235C-168 HR	-55 to 125	ADC12QJ16 SHP
ADC12QJ1600ALRSHP.A	Active	Production	FCCSP (ALR) | 144	184 | JEDEC TRAY (5+1)	No	SNPB	Level-3-235C-168 HR	-55 to 125	ADC12QJ16 SHP
V62/22610-03XF	Active	Production	FCCSP (ALR) | 144	184 | JEDEC TRAY (5+1)	No	SNPB	Level-3-235C-168 HR	-55 to 125	ADC12QJ16 SHP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

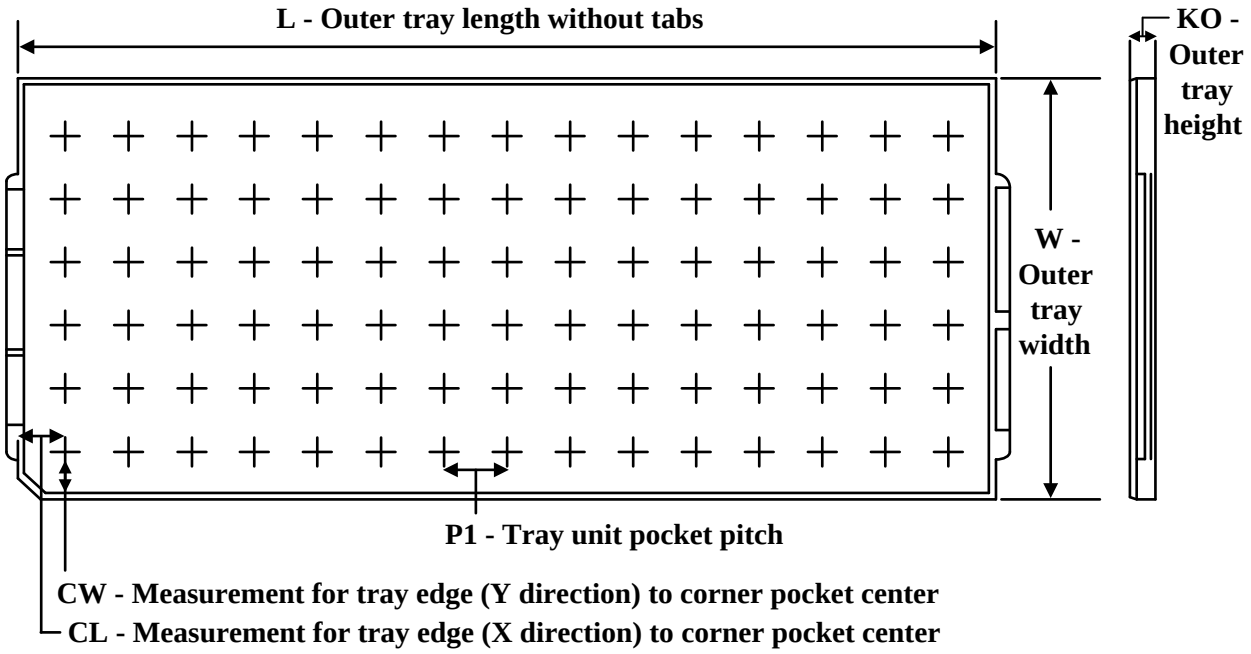
OTHER QUALIFIED VERSIONS OF ADC12QJ1600-SP :

- Catalog : ADC12QJ1600
- Automotive : ADC12QJ1600-Q1
- Enhanced Product : ADC12QJ1600-EP

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

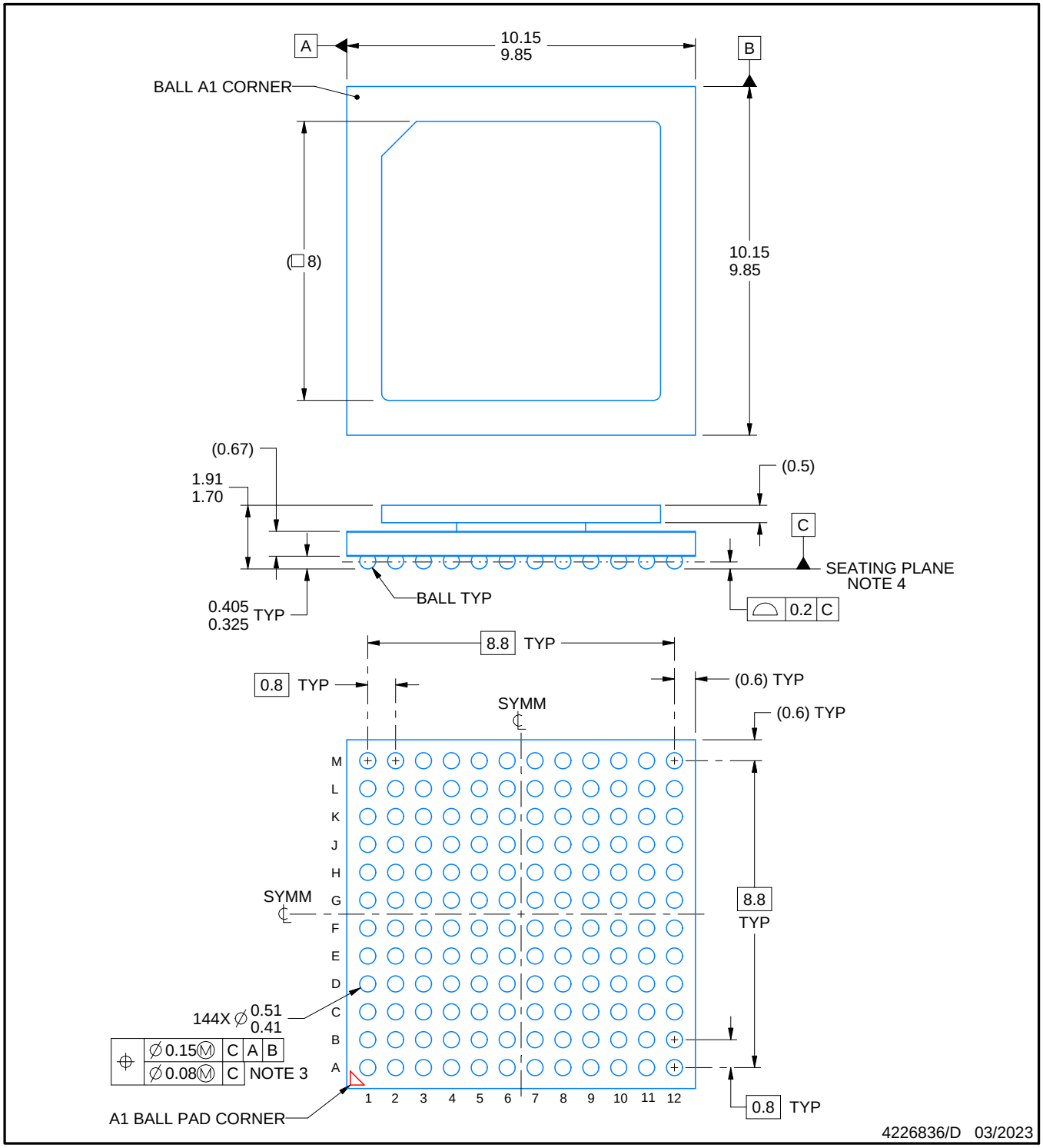
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
ADC12QJ1600ALRSHP	ALR	CFCBGA	144	184	8 x 23	150	315	135.9	7620	13.4	10.1	19.65
ADC12QJ1600ALRSHP.A	ALR	CFCBGA	144	184	8 x 23	150	315	135.9	7620	13.4	10.1	19.65
V62/22610-03XF	ALR	CFCBGA	144	184	8 x 23	150	315	135.9	7620	13.4	10.1	19.65

PACKAGE OUTLINE

ALR0144A

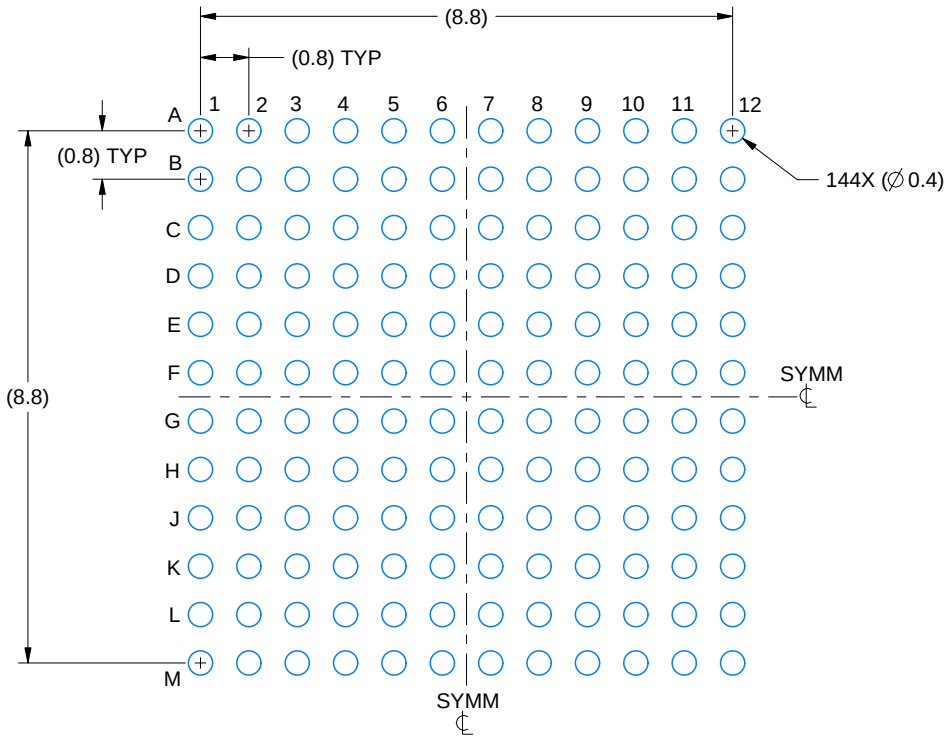
FCBGA - 1.91 mm max height

BALL GRID ARRAY

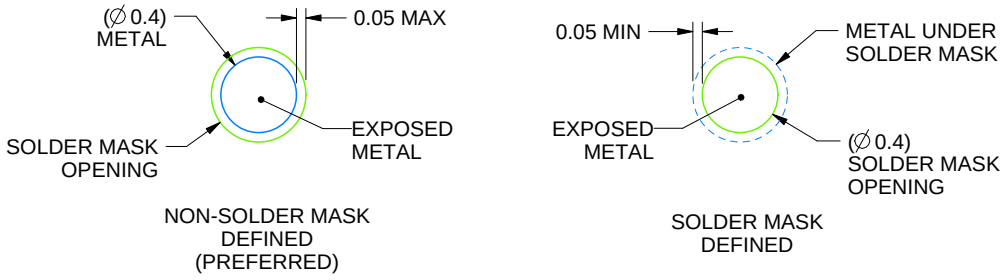


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Dimension is measured at the maximum solder ball diameter, parallel to primary datum C.
4. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.
5. The lids are electrically floating (e.g. not tied to GND).



LAND PATTERN EXAMPLE
EXPOSED METALSHOWN
SCALE:8X

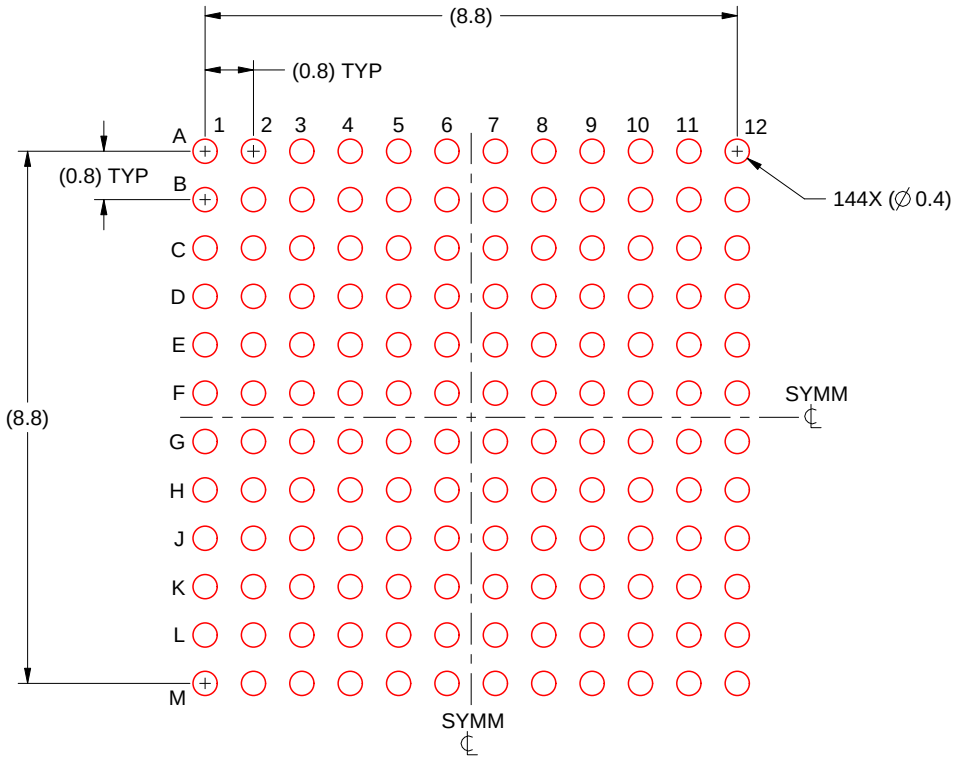


SOLDER MASK DETAILS
NOT TO SCALE

4226836/D 03/2023

NOTES: (continued)

6. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE:8X

4226836/D 03/2023

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月