

ADC168M102R-SP 放射線耐性、8 チャンネル、1MSPS、16 ビット ADC

1 特長

- QML Class P (QMLP)、RHA、SMD (5962R25216)
- 放射線耐性:
 - シングル イベント ラッチアップ (SEL) 耐性: LET = 75MeV-cm²/mg (125°C) まで
 - シングル イベント 過渡 (SET) 特性: LET = 75MeV-cm²/mg
 - 100krad (Si) まで、総吸収線量 (TID) RLAT/RHA 特性を評価済み
- 宇宙用強化プラスチック (宇宙用 EP):
 - 防衛および航空宇宙アプリケーションをサポート
 - 管理されたベースライン
 - 単一のアセンブリ/テスト施設
 - 長期にわたる製品ライフ サイクル
 - 製品のトレーサビリティ
 - ASTM E595 に準拠した気体排出試験実施済み
 - 軍用温度範囲: -55°C ~ +125°C
 - 金ボンドワイヤ、NiPdAu リード仕上げ
- 8 つの擬似差動入力または 4 つの完全差動入力
- 2 チャンネルの同時サンプリング
- 優れた AC 特性:
 - 信号対雑音比: 93dB
 - THD: -98dB
- デュアル プログラマブルおよびデュアル バッファ 2.5V 基準電圧により次のことが可能:
 - 2 種類の入力電圧範囲設定
 - 2 レベル PGA 実装
- プログラマブル自動シーケンサ
- オーバーサンプリング アプリケーション向けの内蔵データストレージ (チャンネルごとに最大 4 つ)
- 安全アプリケーション用の 2 ビットカウンタ

2 アプリケーション

- 衛星用電源システム (EPS)
- コマンドとデータの処理 (C&DH)
- 光学画像処理ペイロード
- モータ制御
- 電圧、電流、温度の監視
- 加速度計

3 説明

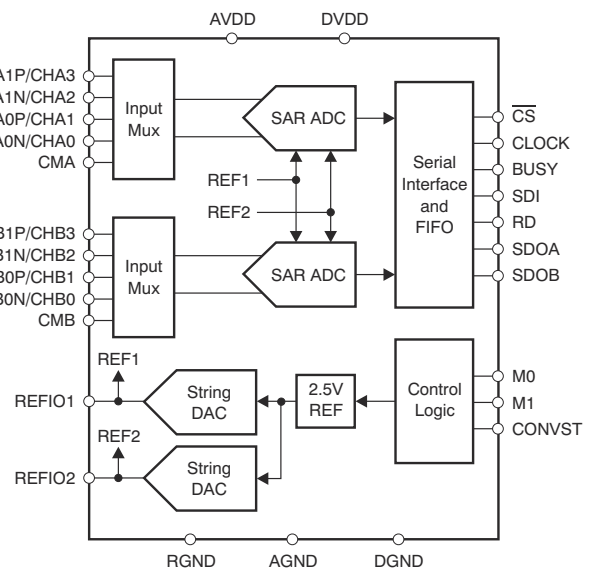
ADC168M102R-SP はデュアル、16 ビット、1MSPS の A/D コンバータ (ADC) です。この ADC には、8 つの擬似差動入力チャンネルまたは 4 つの完全差動入力チャンネルがあり、同時に信号を収集するために、2 つのペアにグループ化されています。アナログ入力は、ADC の入力に対して差動で維持されます。入力マルチプレクサは、疑似差動モードまたは完全差動モードのいずれかで使用します。疑似差動モードでは、ADC ごとに最大 4 つのチャンネル (4x2) をサポートし、完全差動モードでは ADC ごとに最大 2 つの入力 (2x2) を変換します。

ADC168M102R-SP は 2 つのプログラマブル リファレンス出力、フレキシブルな電源電圧範囲、プログラマブル自動シーケンサ、複数のパワーダウン機能を備えています。また、このデバイスには、チャンネルごとに最大 4 つの変換結果がデータ保存されます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
ADC168M102R-SP	RHB (VQFN, 32)	5mm × 5mm

- (1) 詳細については、[メカニカル](#)、[パッケージ](#)、および[注文情報](#)をご覧ください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



機能ブロック図



目次

1 特長.....	1	6.4 デバイスの機能モード.....	24
2 アプリケーション.....	1	6.5 プログラミング.....	26
3 説明.....	1	7 レジスタ マップ.....	34
4 ピン構成および機能.....	3	8 アプリケーションと実装.....	44
5 仕様.....	5	8.1 使用上の注意.....	44
5.1 絶対最大定格.....	5	8.2 代表的なアプリケーション.....	44
5.2 ESD 定格.....	5	8.3 電源に関する推奨事項.....	46
5.3 推奨動作条件.....	5	8.4 レイアウト.....	46
5.4 熱に関する情報.....	6	9 デバイスおよびドキュメントのサポート.....	49
5.5 電気的特性.....	7	9.1 ドキュメントのサポート.....	49
5.6 タイミング要件.....	9	9.2 静電気放電に関する注意事項.....	49
5.7 スイッチング特性.....	9	9.3 用語集.....	49
5.8 タイミング図.....	11	9.4 商標.....	49
5.9 代表的特性.....	13	9.5 ドキュメントの更新通知を受け取る方法.....	49
6 詳細説明.....	17	9.6 サポート・リソース.....	49
6.1 概要.....	17	10 改訂履歴.....	49
6.2 機能ブロック図.....	17	11 メカニカル、パッケージ、および注文情報.....	49
6.3 機能説明.....	18		

4 ピン構成および機能

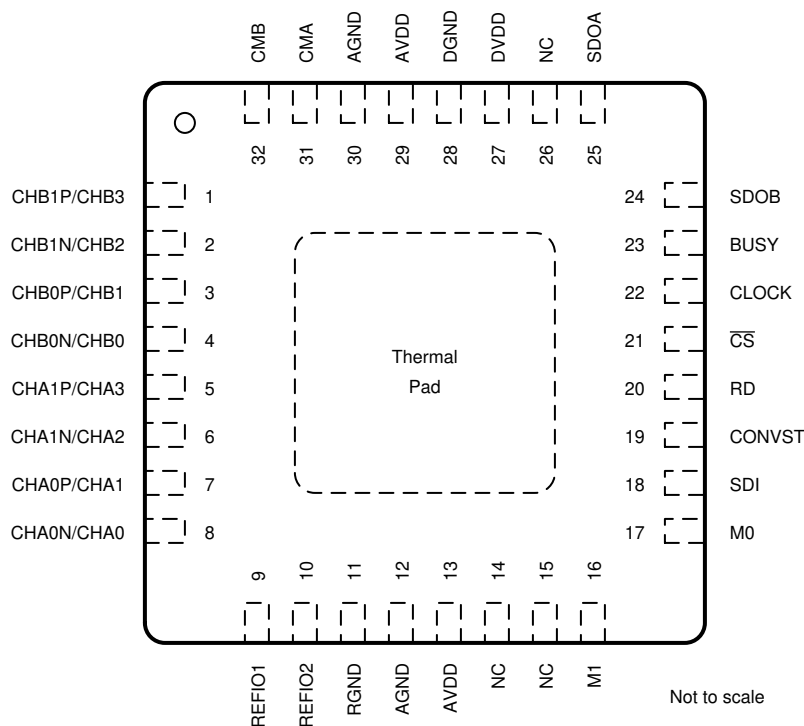


図 4-1. RHB パッケージ、32 ピン VQFN (上面図)

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
AGND	12、30	P	アナログ グランド。アナログ グランド プレーンに接続します。
AVDD	13、29	P	アナログ電源、2.7V ~ 5.5V。1μF のセラミック コンデンサを使用して AGND にデカップリングします。
BUSY	23	DO	コンバータビジーインジケータ。入力がホールド モードになると BUSY は High に立ち上がり、変換完了後に Low に戻ります。
CHA0N/CHA0	8	AI	完全差動反転アナログ入力チャネル A1 または疑似差動入力 A0
CHA0P/CHA1	7	AI	完全差動非反転アナログ入力チャネル A1 または疑似差動入力 A1
CHA1N/CHA2	6	AI	完全差動反転アナログ入力チャネル A1 または疑似差動入力 A2
CHA1P/CHA3	5	AI	完全差動非反転アナログ入力チャネル A1 または疑似差動入力 A3
CHB0N/CHB0	4	AI	完全差動反転アナログ入力チャネル B0 または疑似差動入力 B0
CHB0P/CHB1	3	AI	完全差動非反転アナログ入力チャネル B0 または疑似差動入力 B1
CHB1N/CHB2	2	AI	完全差動反転アナログ入力チャネル B1 または疑似差動入力 B2
CHB1P/CHB3	1	AI	完全差動非反転アナログ入力チャネル B1 または疑似差動入力 B3
クロック	22	DI	外部クロック入力。範囲は、ハーフクロック モードでは 0.5MHz ~ 20MHz、フルクロック モードでは 1MHz ~ 40MHz です。
CMA	31	AI	チャネル Ax 用の共通モード電圧入力 (疑似差動モードのみ)。
CMB	32	AI	チャネル Bx 用の共通モード電圧入力 (疑似差動モード時のみ)。
CONVST	19	DI	変換の開始。ADC は、CONVST の立ち上がりエッジでサンプルからホールド モードに切り替わります。その後、クロックピンの次の立ち上がりエッジで変換が開始されます。
CS	21	DI	チップ セレクト。このピンが Low の場合、SDOx、SDI、および RD ピンがアクティブになります。このピンが High の場合、SDOx 出力はトライステートとなり、SDI および RD 入力は無視されます。
DGND	28	P	デジタル グランド。デジタル グランド プレーンに接続します。
DVDD	27	P	デジタル電源、2.3V ~ 5.5V。1μF のセラミック コンデンサを使用して DGND にデカップリングします。
M0	17	DI	モードピン 0。アナログ入力チャネル モードを選択します (表 6-5 を参照)。

表 4-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
M1	16	DI	モード ピン 1. デジタル出力モードを選択します (表 6-5 を参照)。
NC	14、15、26	NC	このピンは内部接続されていません。
RD	20	DI	データを読み取ります。SDOx 出力および SDI 入力用の同期パルス。RD は、 $\overline{CS}$ が Low のときにのみトリガされます。
REFIO1	9	AIO	リファレンス電圧入出力 1.22 μ F のセラミック コンデンサを RGND に接続します。
REFIO2	10	AIO	リファレンス電圧入出力 2.22 μ F のセラミック コンデンサを RGND に接続します。
RGND	11	P	基準グランド。このピンを専用のビアを介してアナログ グランド プレーンに接続してください。
SDI	18	DI	シリアル データ入力。このピンは内部レジスタを設定します。 $\overline{CS}$ が High のとき、SDI 上のデータは無視されます。
SDOA	25	DO	コンバータ A 用のシリアル データ出力。 $\overline{CS}$ が High のとき、このピンはトライステートになります。
SDOB	24	DO	コンバータ B 用のシリアル データ出力。M1 が Low の場合にのみアクティブになります。 $\overline{CS}$ が High のとき、このピンはトライステート状態になります。

(1) AI = アナログ入力、AIO = アナログ入出力、DI = デジタル入力、DO = デジタル出力、DIO = デジタル入出力、P = 電源、NC = 未接続。

5 仕様

5.1 絶対最大定格

動作周囲温度範囲の全体にわたって (特に記述のない限り)⁽¹⁾

	最小値	最大値	単位
電源電圧、AVDD から AGND へ、または DVDD から DGND へ	-0.3	6	V
供給電圧、DVDD から AVDD	-0.3	1.2 x AVDD ⁽²⁾	V
AGND をリファレンスとしたアナログおよびリファレンス入力電圧	AGND - 0.3	AVDD + 0.3	V
DGND 基準でのデジタル入力電圧	DGND - 0.3	DVDD + 0.3	V
グランド電圧差、AGND – DGND	-0.3	0.3	V
電源ピンを除く任意のピンへの入力電流	-10	10	mA
接合部温度、T _J		150	°C
保管温度、T _{stg}	-65	150	°C

- (1) 絶対最大定格の範囲を超える動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件、または「推奨動作条件」に記載された範囲を超えるその他のいかなる条件においても、本デバイスの機能動作を保証するものではありません。「絶対最大定格」の範囲内であっても、「推奨動作条件」の範囲外で使用するとデバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 規定された制限値を超えると、DVDD のリーク電流が増加し、デバイスの誤動作を引き起こします。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン ⁽²⁾	±500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
AVDD	アナログ電源	AVDD ～ AGND、ハーフクロック モード	2.7	5.0	5.5	V
		AVDD ～ AGND、フルクロック モード	4.5	5.0	5.5	
DVDD	デジタル電源	3V および 3.3V レベル	2.3	2.5	3.6	V
		5V レベル (ハーフクロック モードのみ)	4.5	5.0	5.5	
FSR	アナログ入力のフルスケール範囲	(CHxxP – CHxxN) または CHxx ～ CMx	-V _{REF}		V _{REF}	V
V _{IN}	絶対入力電圧	CHxxx から AGND	-0.1		AVDD + 0.1	V
T _A	周辺温度		-55	25	125	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		ADC168M102R-SEP	単位
		RHB (VQFN)	
		32 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	33.3	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	29.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	7.3	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	7.4	°C/W
$R_{\theta JC(bottom)}$	接合部からケース (底面) への熱抵抗	0.9	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電気的特性

推奨動作条件で規定された AVDD および DVDD の供給電圧範囲において、VREF = 2.5V (内部)、最大スループット (特に記載がない場合)。T_A = -55°C ~ 125°C における最小値および最大値。

T_A = 25°C、AVDD = 5V、DVDD = 3.3V における標準値。

パラメータ		テスト条件	最小値	標準値	最大値	単位
アナログ入力						
I _{DCL}	入力リーク電流		-16		16	nA
C _{IN}	入力容量	CHxxx から AGND		45		pF
C _{ID}	差動入力容量	CHxxx から AGND		22.5		pF
DC 特性						
	分解能	ミッシング コードなし		16		ビット
DNL	微分非直線性	ハーフクロック モード	-2	±0.6	2	LSB
		フルクロック モード	-2	±0.8	4	
INL	積分非直線性	ハーフクロック モード	-4	±1.2	4	LSB
		フルクロック モード	-5	±1.5	5	
V _{OS}	入力オフセット誤差		-2.5	±0.2	2.5	mV
	V _{OS} 整合	ADC から ADC	-1.5	±0.1	1.5	mV
dV _{OS} /dT	入力オフセット誤差の熱ドリフト			1		μV/°C
G _{ERR}	ゲイン誤差		-0.15	0.01	0.15	%FSR
	G _{ERR} 整合	ADC から ADC	-0.15	0.01	0.15	%FSR
G _{ERR} /dT	G _{ERR} 熱ドリフト			1		ppm/°C
AC 特性						
SINAD	信号対雑音比 + 歪み比	V _{IN} = 5V _{PP} , f _{IN} = 10kHz	88	92		dB
SNR	信号対雑音比	V _{IN} = 5V _{PP} , f _{IN} = 10kHz	89	93		dB
THD	全高調波歪	V _{IN} = 5V _{PP} , f _{IN} = 10kHz		-98	-90	dB
SFDR	スプリアスフリー ダイナミック レンジ	V _{IN} = 5V _{PP} , f _{IN} = 10kHz	89	100		dB
CMRR	同相信号除去比	両方の ADC, f _{IN} = DC ~ 100kHz		92		dB
PSRR	電源除去比			75		dB
電圧リファレンス入力						
V _{REF}	基準入力電圧範囲		2.485	2.5	2.525	V
I _{REF}	基準入力電流			50		
C _{REF}	外部デカップリング コンデンサ			22		μF
内部リファレンス電圧						
	リファレンス出力 DAC の分解能		10			ビット
V _{REFOUT}	リファレンス出力電圧	DAC 範囲の 20% ~ 100%	0.2 x V _{REFOUT}		V _{REFOUT}	V
		REFIO1, DAC = 3FFh	2.485	2.500	2.515	
		REFIO2, DAC = 3FFh	2.485	2.500	2.515	
DNL _{DAC}	DAC DNL		-5	±1	5	LSB
INL _{DAC}	DAC INL		-5	±0.5	5	LSB
PSRR _{DAC}	電源除去比			73		dB
I _{REFOUT}	出力 DC 電流			±2		mA
I _{REFSC}	出力短絡検出電流 ⁽¹⁾			50		mA
デジタル入力						
	入力電流 ⁽²⁾	V _{IN} = DVDD ~ DGND	-50		50	nA
	デジタル入力容量			5		pF
	ロジック ファミリ		シュミットトリガ付き CMOS			
V _{IH}	入力 High ロジック レベル	DVDD = 4.5V ~ 5.5V	0.7 x DVDD		DVDD + 0.3	V
V _{IL}	入力 Low ロジック レベル	DVDD = 4.5V ~ 5.5V	-0.3		0.3 x DVDD	V

5.5 電気的特性 (続き)

推奨動作条件で規定された AVDD および DVDD の供給電圧範囲において、VREF = 2.5V (内部)、最大スループット (特に記載がない場合)。T_A = -55°C ~ 125°C における最小値および最大値。

T_A = 25°C、AVDD = 5V、DVDD = 3.3V における標準値。

パラメータ		テスト条件	最小値	標準値	最大値	単位
	ロジック ファミリ		LVCMOS			
V _{IH}	入力 High ロジック レベル	DVDD = 2.3V ~ 3.6V	2	DVDD + 0.3		V
V _{IL}	入力 Low ロジック レベル	DVDD = 2.3V ~ 3.6V	-0.3	0.8		V
デジタル出力						
C _{OUT}	出力容量		5			pF
C _{LOAD}	負荷容量		30			pF
	ロジック ファミリ		CMOS			
V _{IH}	出力 High ロジック レベル	DVDD = 4.5V、I _{LOAD} = -100uA	4.44			V
V _{IL}	出力 Low ロジック レベル	DVDD = 4.5V、I _{LOAD} = 100uA	0.5			V
	ロジック ファミリ		LVCMOS			
V _{IH}	出力 High ロジック レベル	DVDD = 2.3V、I _{LOAD} = -100uA	DVDD - 0.2			V
V _{IL}	出力 Low ロジック レベル	DVDD = 2.3V、I _{LOAD} = 100uA	0.2			V
電源						
AIDD	アナログ電源電流	AVDD = 3.6V	12		18	mA
		AVDD = 5.5V	15		25	
		AVDD = 3.6V、スリープ モード、自動スリープ モード	0.8		2	
		AVDD = 5.5V、スリープ モード、自動スリープ モード	0.9		6.2	
		パワーダウン モード			0.15	
DIDD	デジタル電源電流	DVDD = 3.6V、C _{LOAD} = 10pF	1.1		3	mA
		DVDD = 5.5V、C _{LOAD} = 10pF	3		13	
P _D	消費電力 (通常動作時)	AVDD = DVDD = 3.6V	47.2		66.6	mW
		AVDD = 5.5V、DVDD = 3.6V	86.5		135	

- (1) リファレンス出力電流は内部で制限されません。
- (2) デジタルピンの入出力特性は設計値であり、製造時のテストは行われていません。

5.6 タイミング要件

推奨動作条件で規定された AVDD および DVDD の供給電圧範囲において、VREF = 2.5V (内部)、最大スループット (特に記載がない場合)。T_A = -55°C ~ 125°C における最小値および最大値。

T_A = 25°C、AVDD = 5V、DVDD = 3.3V における標準値。

			最小値	標準値	最大値	単位
サンプリングのダイナミック特性						
f _{CLK}	シリアル クロック周波数	ハーフクロック モード			20	MHz
		フルクロック モード			40	
t _{CLK}	シリアルクロック周期	ハーフクロック モード	50			ns
		フルクロック モード	25			
f _{DATA}	ADC サンプリング周波数		25		1000	kSPS
t _{DATA}	ADC サンプリング周期 (1/f _{DATA})		1			μs
SPI インターフェイスのタイミング						
t _{CLKL}	クロック Low 時間		11.25			ns
t _{CLKH}	クロック High 時間		11.25			ns
t ₁	CONVST が立ち上がりから最初のクロック立ち上がりエッジまで		12			ns
t ₂	CONVST High 時間		10			ns
		ハーフクロック モード: タイミング モード II および IV のみ			1	t _{CLK}
t ₃	RD High 時間、ハーフクロック モード: タイミング モード II、IV、SII、および SIV のみ				1	t _{CLK}
t _{S1}	RD High からクロック立ち下がりエッジまでのセットアップ時間		5			ns
t _{H1}	RD High からクロック立ち下がりエッジまでのホールド時間		5			ns
t _{S2}	入力データ有効からクロック立ち下がりエッジまでのセットアップ時間		5			ns
t _{H2}	入力データ有効からクロック立ち下がりエッジまでのホールド時間		4			ns

5.7 スイッチング特性

推奨動作条件で規定された AVDD および DVDD の供給電圧範囲において、VREF = 2.5V (内部)、最大スループット (特に記載がない場合)。T_A = -55°C ~ 125°C における最小値および最大値。

T_A = 25°C、AVDD = 5V、DVDD = 3.3V における標準値。

パラメータ		テスト条件	最小値	標準値	最大値	単位
サンプリングのダイナミック特性						
t _{CONV}	ADC 1 台あたりの変換時間	ハーフクロック モード	17.5			t _{CLK}
		フルクロック モード	35			
t _{ACQ}	アキュイジション時間	ハーフクロック モード	2			t _{CLK}
		フルクロック モード	4			
t _A	アパーチャの遅延				6	ns
	t _A 整合			50		ps
	アパーチャ ジッタ			50		ps
SPI インターフェイスのタイミング						
t _{D1}	CONVST の立ち上がりエッジから BUSY high までの遅延 ⁽¹⁾	2.3V ≤ DVDD ≤ 3.6V			19	ns
		4.5V ≤ DVDD ≤ 5.5V			16	
t _{D2}	クロックの 18 番目の立ち下がりエッジ (ハーフクロック モード) または 24 番目の立ち上がりエッジ (フルクロック モード) から BUSY low までの遅延	2.3V ≤ DVDD ≤ 3.6V			25	ns
		4.5V ≤ DVDD ≤ 5.5V			20	

5.7 スイッチング特性 (続き)

推奨動作条件で規定された AVDD および DVDD の供給電圧範囲において、VREF = 2.5V (内部)、最大スループット (特に記載がない場合)。T_A = -55°C ~ 125°C における最小値および最大値。

T_A = 25°C、AVDD = 5V、DVDD = 3.3V における標準値。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{D3}	ハーフクロック モードにおけるクロック立ち上がりエッジから次のデータ有効までの遅延	2.3V ≤ DVDD ≤ 3.6V			14	ns
		4.5V ≤ DVDD ≤ 5.5V			12	
t _{H3}	ハーフクロック モードにおける出力データからクロック立ち上がりエッジまでのホールド時間		3			ns
t _{D4}	フルクロック モードにおけるクロック立ち下がりエッジから次のデータ有効までの遅延				19	ns
t _{H4}	フルクロック モードにおける出力データからクロック立ち下がりエッジまでのホールド時間		7			ns
t _{D5}	RD 立ち下がりエッジから最初のデータ有効までの時間	2.3V ≤ DVDD ≤ 3.6V			16	ns
		4.5V ≤ DVDD ≤ 5.5V			12	ns
t _{D6}	CS 立ち上がりエッジから SDOx トリステートまでの遅延				6	ns
内部リファレンス電圧						
t _{REFON}	リファレンス出力のセトリング時間	C _{REF} = 22μF		8		ms

(1) 自動スリープ パワーダウン モードでは適用されません。

5.8 タイミング図

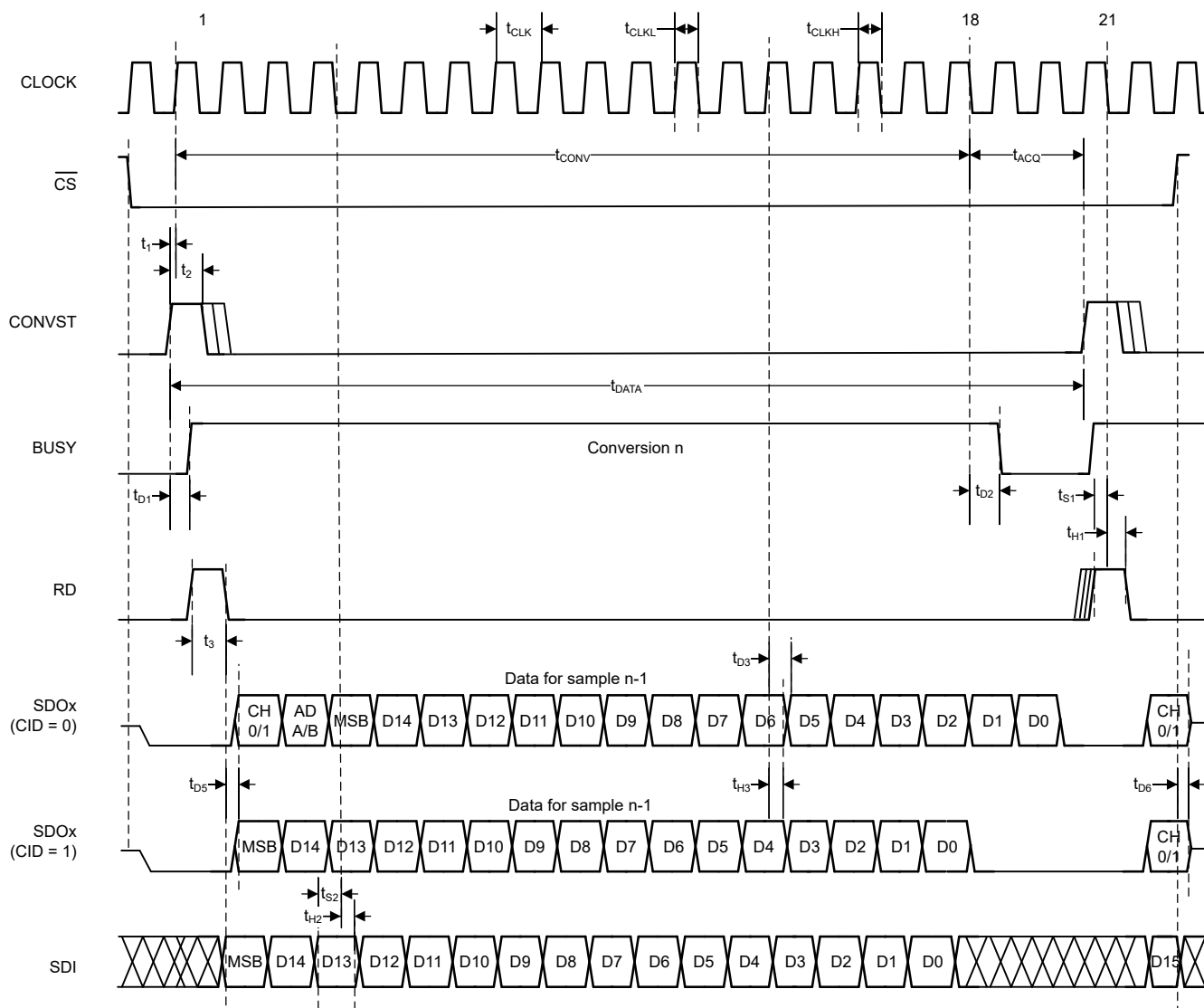


図 5-1. 詳細なタイミング図：ハーフクロック モード

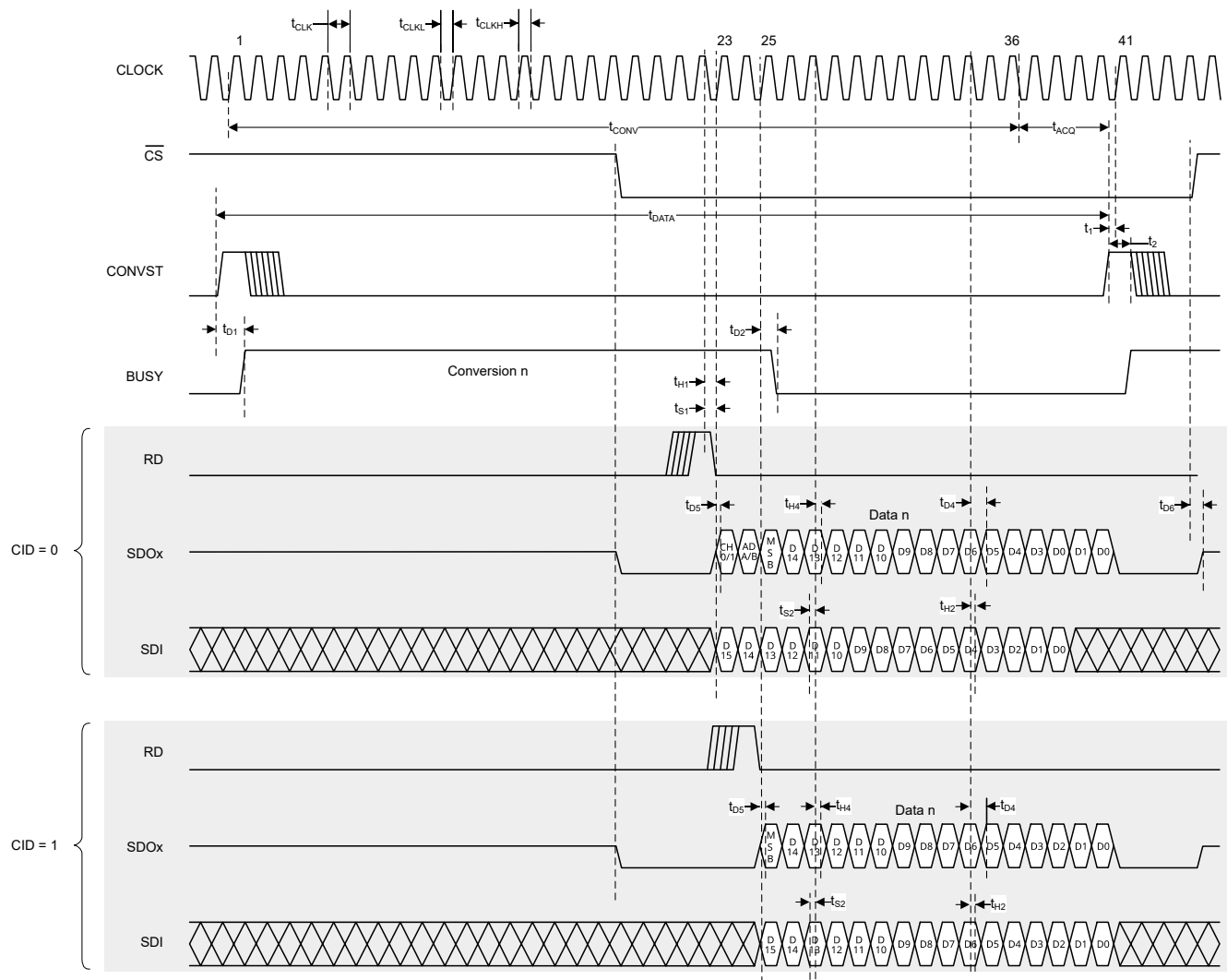


図 5-2. 詳細なタイミング図：フルクロック モード

5.9 代表的特性

$T_A = +25^\circ\text{C}$ 、 $AVDD = 5\text{V}$ 、 $DVDD = 3.3\text{V}$ 、 $V_{REF} = 2.5\text{V}$ (内部)、 $f_{DATA} = 1\text{MSPS}$ (特に記述のない限り)

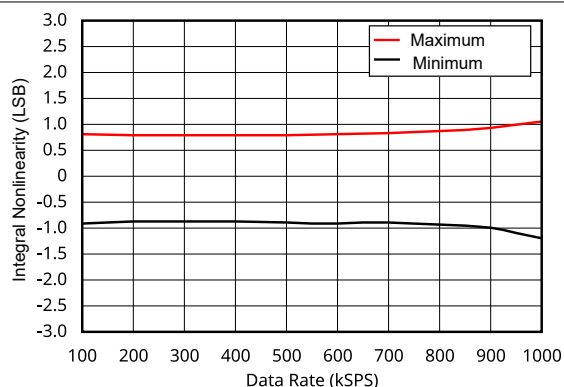


図 5-3. 積分非線形性とデータ レートの関係

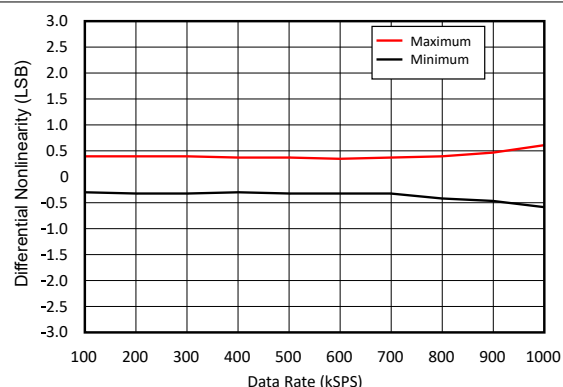


図 5-4. 微分非線形性とデータ レートの関係

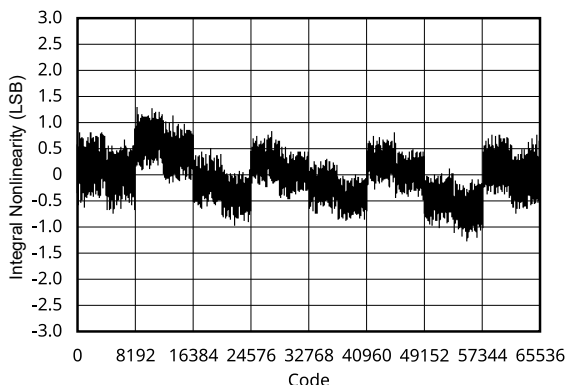


図 5-5. 積分非線形性とコードとの関係

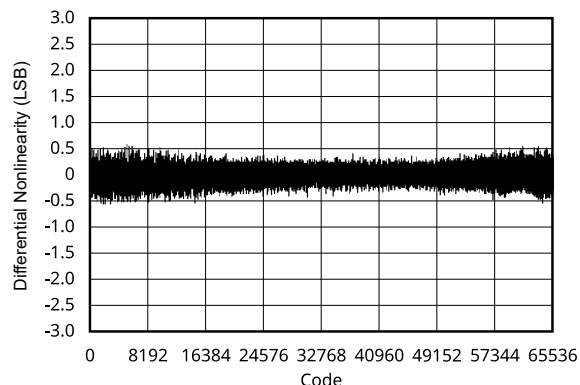


図 5-6. 微分非直線性とコードとの関係

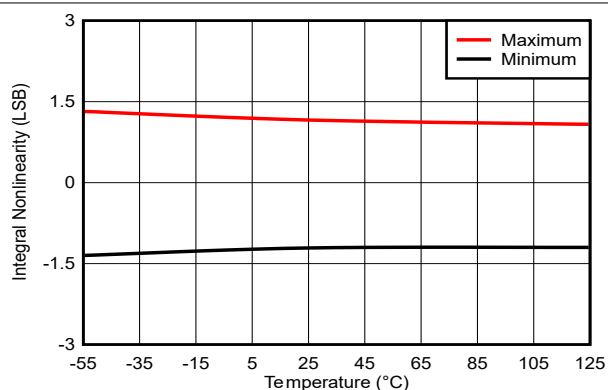


図 5-7. 積分非線形性と温度との関係

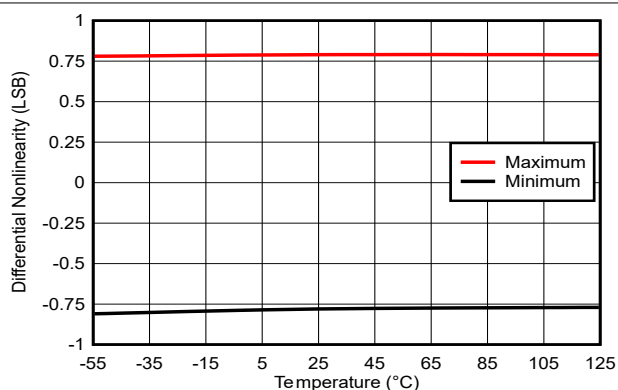


図 5-8. 微分非直線性と温度との関係

5.9 代表的特性 (続き)

$T_A = +25^\circ\text{C}$ 、 $AVDD = 5\text{V}$ 、 $DVDD = 3.3\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$ (内部)、 $f_{\text{DATA}} = 1\text{MSPS}$ (特に記述のない限り)

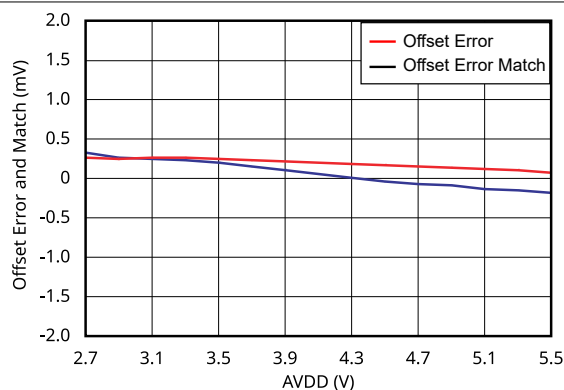


図 5-9. オフセット誤差およびオフセット整合とアナログ電源電圧との関係

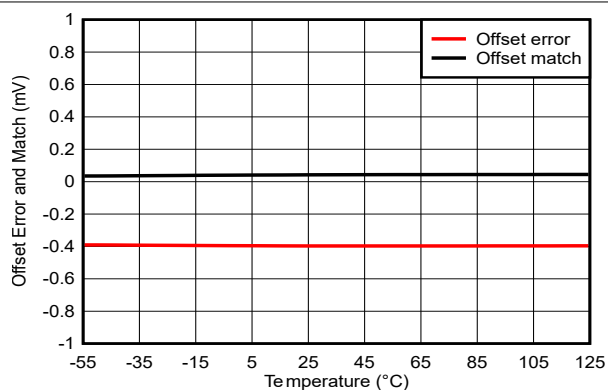


図 5-10. オフセット誤差およびオフセット整合と温度との関係

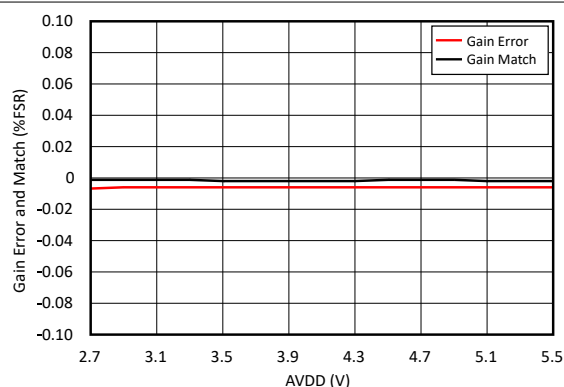


図 5-11. ゲイン誤差およびゲイン整合とアナログ電源電圧との関係

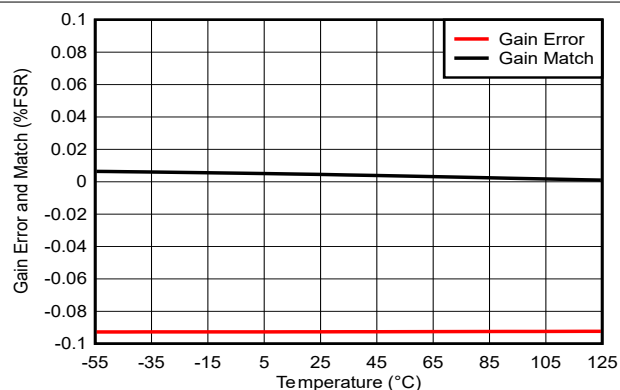


図 5-12. ゲイン誤差およびゲイン整合と温度との関係

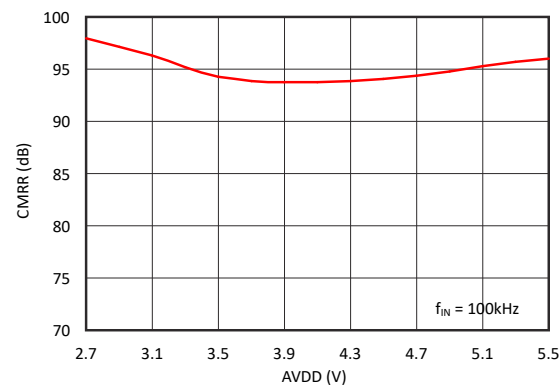


図 5-13. 同相除去比とアナログ電源電圧との関係

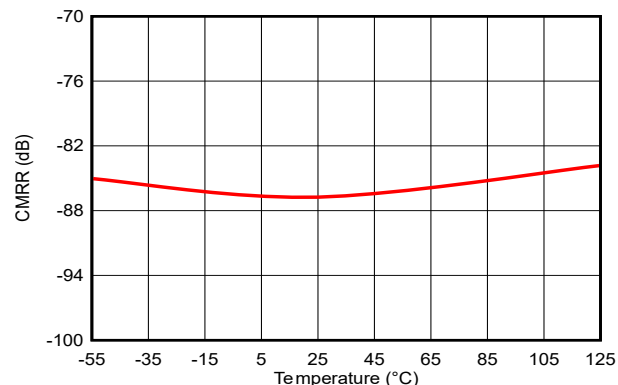


図 5-14. 同相除去比と温度との関係

5.9 代表的特性 (続き)

$T_A = +25^\circ\text{C}$ 、 $AVDD = 5\text{V}$ 、 $DVDD = 3.3\text{V}$ 、 $V_{REF} = 2.5\text{V}$ (内部)、 $f_{DATA} = 1\text{MSPS}$ (特に記述のない限り)

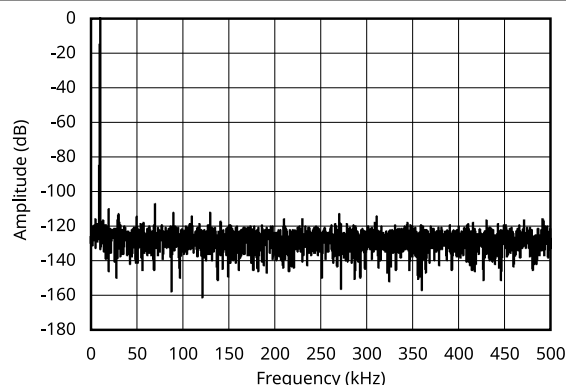


図 5-15. 周波数スペクトル (4096 ポイント FFT、 $f_{IN} = 10\text{kHz}$)

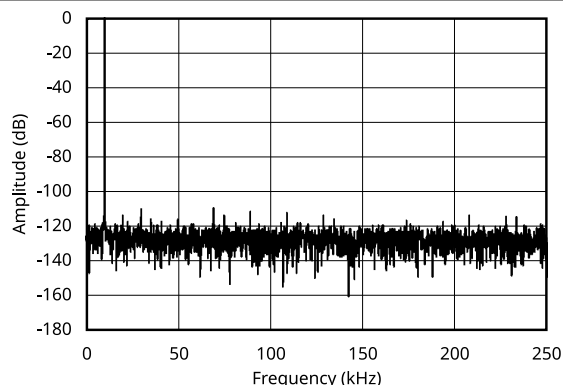


図 5-16. 周波数スペクトル (4096 ポイント FFT、 $f_{IN} = 10\text{kHz}$ 、 $f_{SAMPLE} = 0.5\text{MSPS}$)

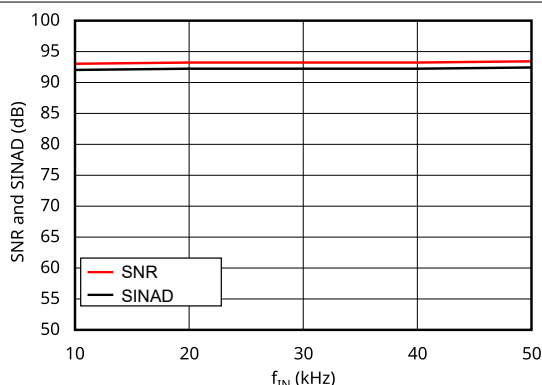


図 5-17. 信号対雑音比および信号対雑音 + 歪み比と入力信号周波数の関係

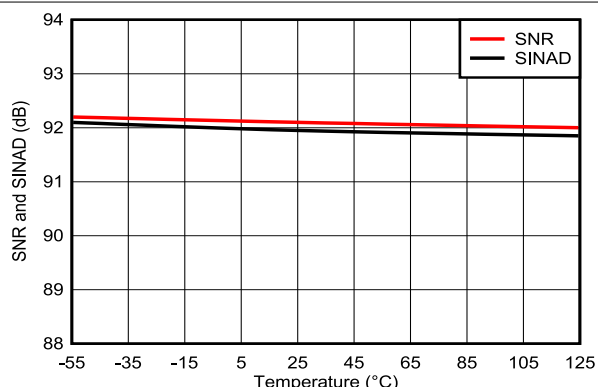


図 5-18. 信号対雑音比および信号対雑音 + 歪み比と温度の関係

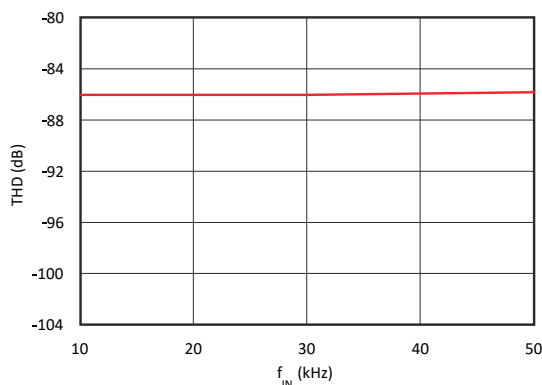


図 5-19. 全高調波歪みと入力信号周波数との関係

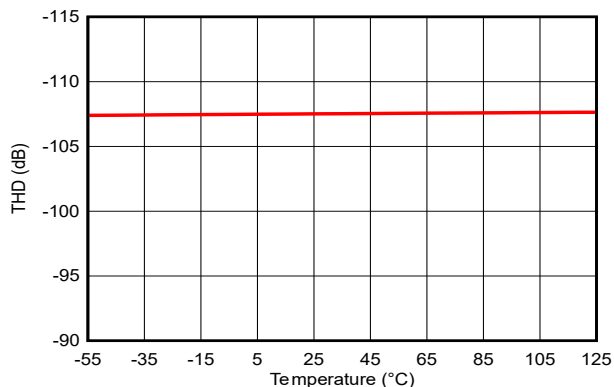


図 5-20. 全高調波歪みと温度との関係

5.9 代表的特性 (続き)

$T_A = +25^\circ\text{C}$ 、 $AVDD = 5\text{V}$ 、 $DVDD = 3.3\text{V}$ 、 $V_{REF} = 2.5\text{V}$ (内部)、 $f_{DATA} = 1\text{MSPS}$ (特に記述のない限り)

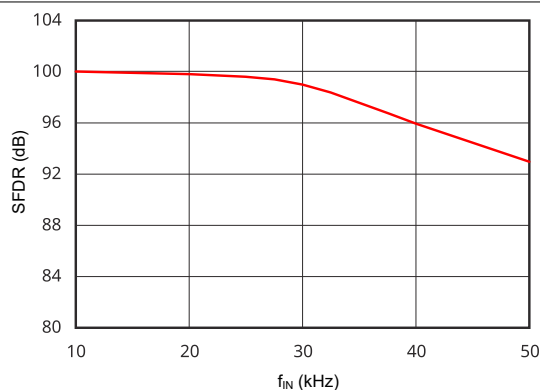


図 5-21. スプリアスフリー ダイナミック レンジと入力信号周波数との関係

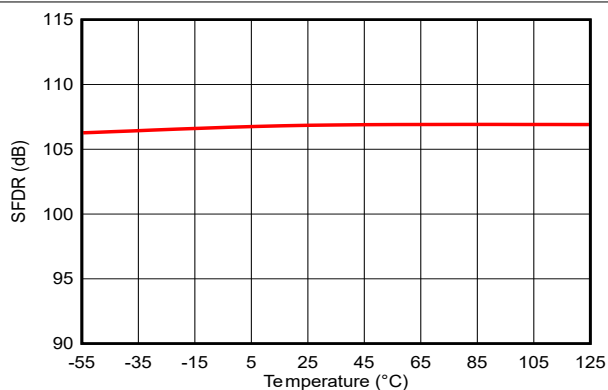


図 5-22. スプリアスフリー ダイナミック レンジと温度との関係

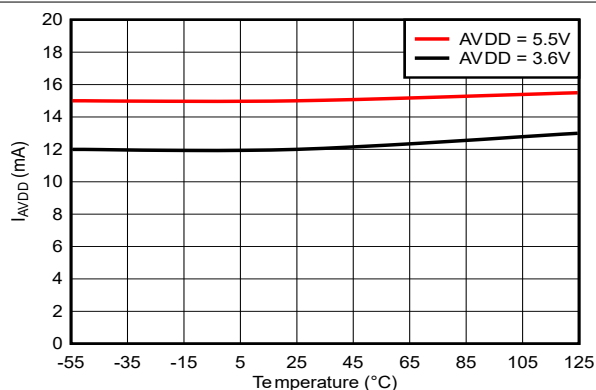


図 5-23. アナログ電源電流と温度との関係

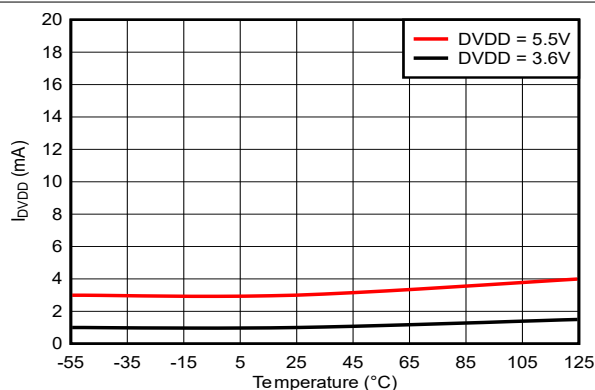


図 5-24. デジタル電源電流と温度との関係

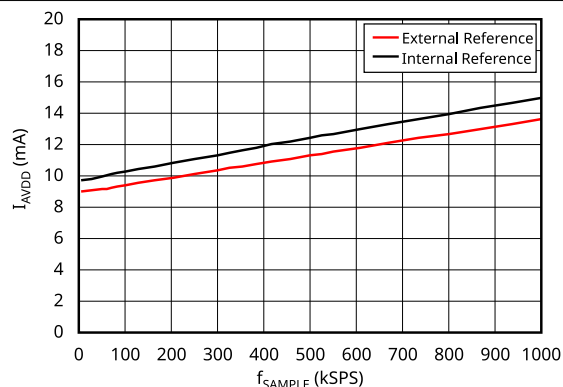


図 5-25. アナログ電源電流とデータ レートとの関係

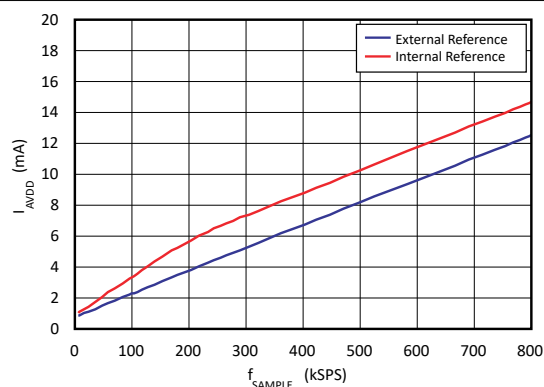


図 5-26. アナログ電源電流とデータ レート (自動スリープ モード) の関係

6 詳細説明

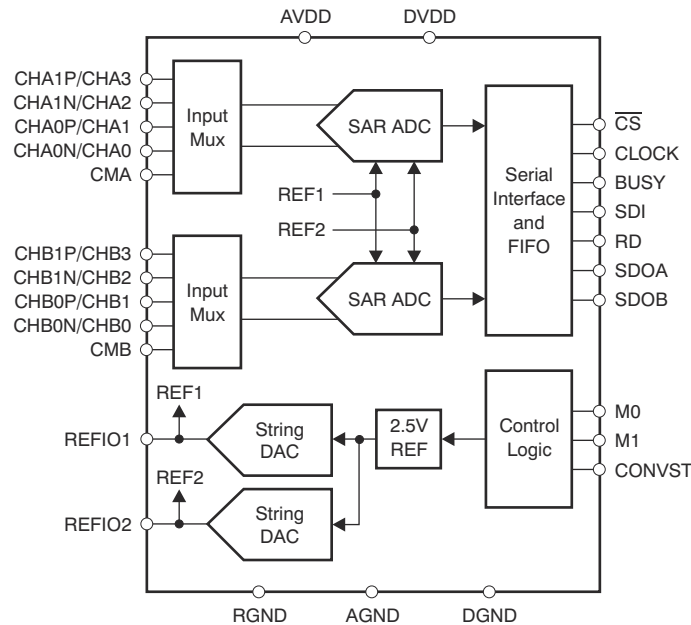
6.1 概要

ADC168M102R-SP には、逐次比較積分型 (SAR) 方式に基づいて動作する 2 つの 16 ビット A/D コンバータ (ADC) が搭載されています。これらの ADC は、サンプリングと変換を同時に行います。変換時間は最短で 875ns となります。100ns の取得時間と、伝搬遅延および CONVST パルス生成のための 25ns のマージンを加算すると、最大変換レートは 1MSPS となります。

各 ADC は、完全差動型の 2:1 マルチプレクサ フロントエンドを備えています。多くの一般的なアプリケーションでは、すべての負の入力信号は同じ定電圧 (例えば 2.5V) に保たれます。これらのアプリケーションでは、マルチプレクサを疑似差動 4:1 モードで使用します。このモードでは、CMx ピンが共通モードピンとして機能し、4 つのアナログ入力すべてが対応する CMx ピンを基準とします。

ADC168M102R-SP には、2.5V の内部リファレンス電圧も搭載されています。このリファレンス電圧は、2 つの独立してプログラム可能な 10 ビット デジタル アナログ コンバータ (DAC) を駆動します。これにより、各 REFIOx ピンの電圧を、内部の REFDACx レジスタを通じて 2.44mV ステップで調整することが可能になります。低ノイズ、ユニティ ゲインのオペアンプが各 DAC 出力をバッファリングし、REFIOx ピンを駆動します。

6.2 機能ブロック図



6.3 機能説明

6.3.1 アナログ

このセクションでは、アナログ入力回路、ADC、およびデバイスのリファレンス デザインについて説明します。

6.3.1.1 アナログ入力

図 6-1 に示すように、各 ADC には入力マルチプレクサが接続されています。各マルチプレクサは、完全差動の 2:1 構成 (表 6-1) または疑似差動の 4:1 構成 (表 6-2) のいずれかで使用されます。

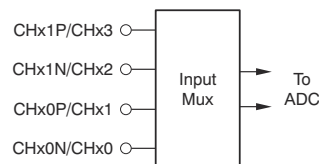


図 6-1. 入力マルチプレクサの構成

フル差動モードでのチャンネル選択には、外部の M0 ピンまたは構成 (CONFIG) レジスタ内の C[1:0] ビットのいずれかを使用します。疑似差動モードでは、SEQFIFO レジスタを使用してチャンネル選択を行います。いずれのモードにおいても、マルチプレクサの設定を変更すると、次の CONVST パルスで開始される変換に影響します。

表 6-1. フル差動 2:1 マルチプレクサの構成

C1	C0	ADC+	ADC–
0	x	CHx0P	CHx0N
1	x	CHx1P	CHx1N

表 6-2. 疑似差動 4:1 マルチプレクサの構成

C1	C0	ADC+	ADC–
0	0	CHx0	CMx/REFIOx
0	1	CHx1	CMx/REFIOx
1	0	CHx2	CMx/REFIOx
1	1	CHx3	CMx/REFIOx

このコンバータの入力パスは完全差動方式であり、100kHz で 92dB という優れた共通モード除去比を実現しています。この高い CMRR により、過酷な産業環境におけるノイズの抑制にも寄与します。

各 40pF のサンプル アンド ホールド用コンデンサ (図 6-2 の C_S) は、スイッチを介してマルチプレクサの出力に接続されています。スイッチを開くと、変換処理中にサンプリングされたデータが保持されます。変換完了後、両方のコンデンサは 1 クロック サイクルの間、REFIOx ピンに印加されている電圧までプリチャージされます。プリチャージ後、マルチプレクサの出力は再びサンプリング コンデンサに接続されます。アナログ入力ピンの電圧は、通常、リファレンス電圧とは異なります。したがって、16 ビット精度を得るためには、取得時間 t_{ACQ} 中にサンプリング コンデンサを LSB の半分以上以内に充電する必要があります (図 5-1 および 図 5-2 を参照)。

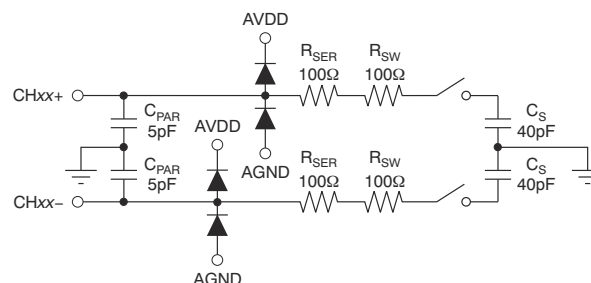


図 6-2. 等価アナログ入力回路

BUSY 信号が Low になると、取得が開始されます。取得は、入力スイッチが閉じられる (前回の変換およびプリチャージが完了した後) ことで開始され、CONVST 信号の立ち上がりエッジで終了します。デバイスがフルスピードで動作している場合、取得時間は通常 100ns です。

式 1 に示すように、ADC168M102R-SP の分解能に対して、 $n = 16$ の場合の駆動オペアンプの最小 -3dB 帯域幅を計算します:

$$f_{-3\text{dB}} = \frac{\ln(2)(n+1)}{2\pi t_{\text{ACQ}}} \quad (1)$$

$t_{\text{ACQ}} = 100\text{ns}$ の場合、ADC168M102R-SP の駆動アンプの最小帯域幅は 19MHz となります。アプリケーションでより長い取得時間が許容される場合、必要な帯域幅はさらに低くなる可能性があります。

特定のアプリケーションが 式 1 のセリング要件を満たさない場合、ゲイン誤差が発生します。ただし、コンデンサのプリチャージにより、直線性や THD に直接的な影響は生じません。

ドライバとしては、テキサス インストルメンツの OPA365 が推奨されます。OPA365 は、必要な帯域幅を提供するだけでなく、低オフセットおよび優れた THD 性能も備えています (アプリケーションと実装 セクションを参照)。

駆動用オペアンプの位相余裕は、通常、ADC サンプリング コンデンサによって減少します。コンデンサとアンプの間に抵抗を配置することで、この影響を抑制できます。したがって、スイッチと直列に内部 100Ω 抵抗 (R_{SER}) を配置してください。スイッチ抵抗 (R_{SW}) は通常 100Ω です (図 6-2 を参照)。

信号源のインピーダンス (R_{SOURCE}) が 式 2 の要件を満たしている場合、入力ドライバは不要です:

$$R_{\text{SOURCE}} < \frac{t_{\text{ACQ}}}{C_S \ln(2)(n+1)} - (R_{\text{SER}} + R_{\text{SW}}) \quad (2)$$

ここで

- $n = 16$ は ADC168M102R-SP の分解能です
- $C_S = 40\text{pF}$ のサンプリング容量
- $R_{\text{SER}} =$ 入力抵抗値 100Ω
- $R_{\text{SW}} = 100\Omega$ スwitch抵抗値

$t_{\text{ACQ}} = 100\text{ns}$ の場合、ADC168M102R-SP の最大ソース インピーダンスが 12Ω 未満であることを確認してください。ADC をより低いデータレートで使用する場合、ソース インピーダンスはさらに高くなる可能性があります。

ADC の差動入力電圧範囲は $\pm V_{\text{REF}}$ (選択された REFIOx ピンの電圧) です。

すべての入力の電圧は、AGND より 0.3V 以下、AVDD より 0.3V 以上の範囲内に収めてください。入力端子に dc 電流が流れないようにしてください。これらの制限値を超えると、内部の ESD ダイオードが導通してリーク電流が増加し、デバイスが損傷する可能性があります。電流は、サンプル アンド ホールド用コンデンサを再充電するためのみに必要です。

未使用の入力端子は、プルダウン抵抗を接続することなく、AGND または RGND に直接接続してください。

6.3.1.2 A/D コンバータ (ADC)

ADC168M102R-SP には、それぞれサンプル アンド ホールド機能を備えた 2 つの 1MSPS、16 ビット SAR ADC が搭載されています。機能ブロック図を参照してください。

6.3.1.3 CONVST

アナログ入力は、CONVST の立ち上がりエッジ (変換開始) 信号によってホールドされます。次のクロック (システム クロック) の立ち上がりエッジに対する CONVST のセットアップ時間は 12ns (最小) です。変換は、クロックの立ち上がりエッジで自動的に開始されます。変換中 (つまり、BUSY が High のとき) は、CONVST の立ち上がりエッジを出力しないでください。

RD (読み取りデータ) と CONVST は、必要なソフトウェアおよび配線を最小限に抑えるために短絡されています。RD 信号は、クロックの立ち上がりエッジでデバイスによってトリガされます。したがって、クロックの立ち上がりエッジで結合信号をアクティブにしてください。その後、次のクロックの立ち上がりエッジで変換が開始されます。SDOA のみがアクティブなモードでは、ハーフクロック タイミングを使用する場合、RD と CONVST の結合信号の最大長は 1 クロック サイクルです。これらのモードは、II、IV、SII、および SIV です。

CONVST と RD を結合する場合、新しい変換が開始されるたびに $\overline{\text{CS}}$ が Low であることを確認してください。ただし、RD と CONVST を個別に制御する場合は、この条件は必要ありません。先入れ先出し (FIFO) を使用する場合は、CONVST を RD とは別に制御してください。

変換完了後、サンプル コンデンサは自動的にリファレンス電圧値までプリチャージされ、これにより多重化された入力チャネル間のクロストークが大幅に低減されます。

6.3.1.4 クロック

ADC168M102R-SP は外部クロックを使用しますが、その許容周波数範囲は使用中のモードによって異なります。デフォルト (電源投入後) では、ADC は 0.5MHz ~ 20MHz のクロックに対応するハーフクロック モードで動作します。フルクロック モードでは、ADC は 1MHz ~ 40MHz のクロックを必要とします。最大のデータ スループットを得るには、クロック信号を継続的に動作させてください。ただし、バースト モードでデバイスを使用する場合、読み取りアクセスが完了し、新しい変換を開始するまでは、クロックを静的な Low または High に保持してください。

クロックのデューティ サイクルは 50% に保ってください。ただし、デューティ サイクルが 30% から 70% の範囲であれば、デバイスは正常に動作します。

6.3.1.5 リセット

ADC168M102R-SP は、内部パワーオンリセット (POR) 機能を備えています。また、SDI レジスタのビット A[3:0] を使用して、ユーザー制御のリセットを発行することも可能です ([デジタル](#) セクションを参照)。

6.3.1.6 REFIOx

ADC168M102R-SP には、低ドリフトの 2.5V 内部リファレンス源が搭載されています。このリファレンス源は、レジスタを介して制御される 2 つの 10 ビット スtring DAC に電圧を供給します。このアーキテクチャにより、REFIOx のリファレンス電圧は 2.44mV 単位でプログラム可能であり、追加の外部部品を使用せずにアプリケーションの要件に合わせて調整できます。実際の出力電圧は [式 3](#) を使用して計算され、ここでコードは REFDACx レジスタの内容の 10 進値です:

$$V_{\text{REF}} = \frac{2.5\text{V}(\text{code} + 1)}{1024} \quad (3)$$

リファレンス DAC は、コード 508 (0x1FC) で固定の遷移を示します。このコード値において、DAC の伝達関数には最大 10mV のジャンプが生じます。[表 6-3](#) には、内部リファレンス DAC の設定例がいくつか記載されています。ただし、適切な性能を確保するため、REFDACx の出力電圧を 0.5V 未満に設定しないでください。

表 6-3. REFDACx の設定例

VREFOUT (NOM)	10 進コード	バイナリコード	16 進コード
0.5000V	205	00 1100 1101	0CDh
1.2429V	507	01 1111 1100	1FBh
1.2427V	508	01 1111 1101	1FCh
2.5000V	1023	11 1111 1111	3FFh

リファレンスを安定させるには、各 REFIOx 出力に最低 22μF の容量が必要です。リファレンス コンデンサが接続されている場合のセトリング時間は 8ms (最大) です。リファレンス コンデンサの容量が小さくなると、デバイスの DNL、INL、および交流特性が低下します。デフォルトでは、両方のリファレンス出力は無効化されており、電源投入後はそれぞれの値が 2.5V に設定されます。

外部リファレンス源を使用するアプリケーションでは、CONFIG レジスタの RPD ビットを使用して内部リファレンスを無効化します (デフォルト構成、[デジタル](#) セクションを参照)。REFIOx ピンは ADC に直接接続されているため、内部スイッチングによりこのピンでスパイクが発生します。したがって、リファレンス入力電圧を安定させるために、外部の 22μF コンデンサをアナロググランド (AGND) に接続してください。

無効化された REFIOx ピンは、フローティング状態にするか、AGND または RGND に直接接続してください。

各リファレンス DAC 出力は、REFCM レジスタの Rxx ビットを使用して、各チャネル入力のソースとして個別に選択されます。[図 6-3](#) に、内部回路の簡略化されたブロック図を示します。

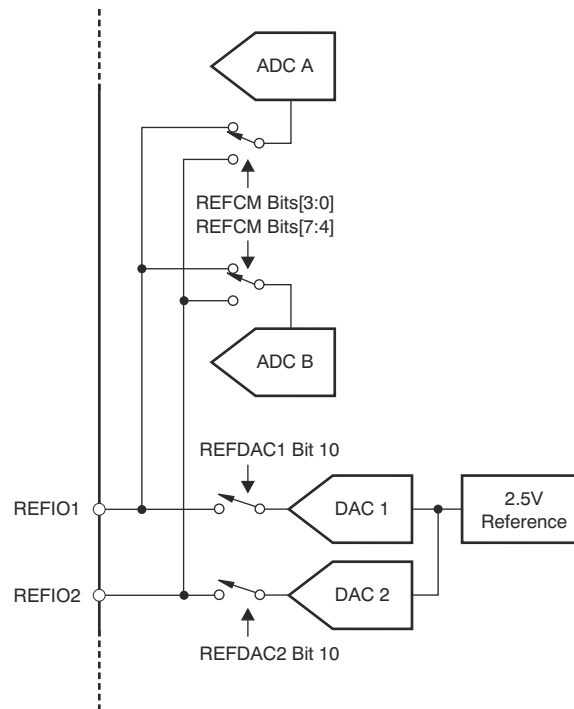


図 6-3. リファレンス選択回路

6.3.2 デジタル

このセクションでは、シリアル インターフェースのタイミングと制御について解説します。

ADC168M102R-SP は、デバイスの各種機能やモードを制御するための一連の内部レジスタを備えています。詳細については、[レジスタ マップ](#) セクションを参照してください。[表 6-4](#) には、サポートされているデバイスの動作モードを示します。

表 6-4. サポートされている動作モード

入力信号レベル	手動チャネル選択	自動チャネルの選択
完全差動 (PDE ビット = 0)	動作モード: I、II、および特殊モード II チャネル情報は、CID ビットを通じて選択可能です FIFO: 該当なし	動作モード: III、IV、および特殊モード IV チャネル情報は、CID ビットを通じて選択可能です。 FIFO: モード III および特殊モード IV で利用可能です。 使用する場合、1 回の読み取りパルスですべてのデータを読み取ることができます。

表 6-4. サポートされている動作モード (続き)

入力信号レベル	手動チャンネル選択	自動チャンネルの選択
疑似差動 (PDE ビット = 1)	動作モード:I、II、および特殊モード II チャンネル情報は、CID ビットを通じて選択可能です FIFO:該当なし	動作モード:III および特殊モード IV チャンネル情報は利用できません (CID ビットは 1 に固定されます)。 FIFO:モード III および特殊モード IV で利用可能です。 使用する場合、1 回の読み取りパルスですべてのデータを読み取ることができます。 疑似差動シーケンサが有効になります。

6.3.2.1 モード選択ピン M0 および M1

表 6-5 に示すように、M0 および M1 モード ピンを使用して、ADC168M102R-SP を 4 つの異なる動作モードに設定します。

表 6-5. M0、M1 の真理値表

M0	M1	チャンネルの選択	SDOx 使用
0	0	手動 (SDI 経由)	SDOA と SDOB
0	1	手動 (SDI 経由)	SDOA のみ
1	0	自動	SDOA と SDOB
1	1	自動	SDOA のみ

M0 ピンは、手動または自動のチャンネル選択を設定します。手動モードでは、CONFIG レジスタのビット C[1:0] によって、チャンネル CHx0 と CHx1 のいずれかを選択します。自動モードでは、CONFIG レジスタのビット C[1:0] は無視され、チャンネル選択は各変換後にデバイスによって制御されます。この場合、自動チャンネル選択は完全差動入力に対してのみ実行されます。疑似差動入力の場合、内部シーケンサが入力マルチプレクサを制御します。

M1 ピンは、シリアル データの伝送方式を選択します。シリアル データは、各チャンネルごとに SDOA および SDOB 出力の両方で同時に伝送されるか、あるいは SDOA 出力のみが両方のチャンネルからのデータを伝送します。詳細については、図 6-5 ～ 図 6-10 および関連する説明文を参照してください。

さらに、SDI ピンは内部レジスタを介してデバイスの機能を制御します。詳細については、レジスタ マップ セクションを参照してください。

6.3.2.2 ハーフクロック モード (電源投入およびリセット後のデフォルト モード)

ADC168M102R-SP はハーフクロック モードで電源投入されます。このモードでは、ADC は取得フェーズを含め、1 回の完全な変換サイクルに少なくとも 20 クロック周期を必要とします。変換結果は、次の変換サイクル中にのみ読み取られます。最初の出力ビットは RD の立ち下がりエッジで利用可能になり、その後の出力データ ビットはクロックの立ち上がりエッジで更新されます。

6.3.2.3 フルクロック モード (1μs 以内の変換およびデータ読み出しが可能、デュアル出力モードで対応)

フルクロック モードでは、1μs 以内にデータの変換と結果の読み取りを行うことができます。1 サイクル全体で 40 クロックが要求されます。最初の出力ビットは、RD の立ち下がりエッジで利用可能になります。このモードでは、以降のデータ出力ビットはクロックの立ち上がりエッジで更新されます。

フルクロック モードを使用する際は、AVDD 電源電圧範囲を 4.5V ～ 5.5V、DVDD デジタル電源電圧範囲を 2.3V ～ 3.6V に設定してください。フルクロック モードでは、内部 FIFO は無効になります。

6.3.2.4 2 ビット カウンタ

本デバイスは、安全用途において有用な機能である、選択可能な 2 ビット カウンタ (CONFIG レジスタの CE ビットを使用して有効化) を備えています。新しい変換結果が出力レジスタに格納され、新しい値が示されるたびに、カウンタ値は自動的にインクリメントされます。電源投入後のカウンタの初期値は 01 です (その後、10、11、00、01 と続きます)。図 7-3 を参照してください。カウンタ値は、新しい変換結果が出力レジスタに転送された場合にのみインクリメントされます。したがって、このカウンタは、ADC が変換を実行したこと、および読み取られたデータが新しい変換結果であること (複数回読み取られた古い結果ではないこと) を検証します。

6.4 デバイスの機能モード

6.4.1 パワーダウンモードとリセット

本デバイスは、包括的なパワーダウン機能を内蔵しています。パワーダウンモードには、パワーダウン、スリープ、自動スリープの 3 種類があります。これら 3 つのパワーダウンモードはすべて、書き込みアクセスの完了時に有効化され、その際に関連するビット (PD[1:0]) がアサートされます。すべてのモードは、CONFIG レジスタ内の対応するビットを非アサートすることで無効化されます。CONFIG レジスタの内容は、いずれのパワーダウンモードによっても影響を受けません。進行中の変換は、いずれかのパワーダウンモードに入る前に完了します。表 6-6 は、3 つのパワーダウンモードの違いをまとめたものです。

表 6-6. パワーダウンモード

パワーダウンモード	パワーダウン電流	パワーダウン有効条件	パワーダウン開始条件	パワーダウンまでの遅延時間	通常動作条件	ウェークアップ時間	パワーダウン無効条件
パワーダウン	5 μ A	PD[1:0] = 01	書き込みアクセスが完了	20 μ s	PD[1:0] = 00	8ms	PD[1:0] = 00
スリープ	1.2mA (3.6V)	PD[1:0] = 10	書き込みアクセスが完了	10 μ s	PD[1:0] = 00	7 または 14 クロックサイクル	PD[1:0] = 00
自動スリープ	1.2mA (3.6V)	PD[1:0] = 11	各変換終了時	10 μ s	CONVST パルス	7 または 14 クロックサイクル	PD[1:0] = 00

6.4.1.1 パワーダウンモード

パワーダウンモード (PD[1:0] = 01) では、デジタルインターフェースを除くすべての機能ブロックが無効になります。このモードでは、20 μ s 以内に消費電流が 5 μ A まで低減されます。22 μ F のリファレンスコンデンサを使用した場合、パワーダウンモードから復帰するまでの時間は 8ms です。デバイスは、進行中の変換をすべて完了した後、パワーダウンモードに入ります。

6.4.1.2 スリープモード

スリープモード (PD[1:0] = 10) では、デバイスは 10 μ s 以内に消費電流を約 0.9mA まで低減します。デバイスは、進行中の変換を完了した後、スリープモードに移行します。

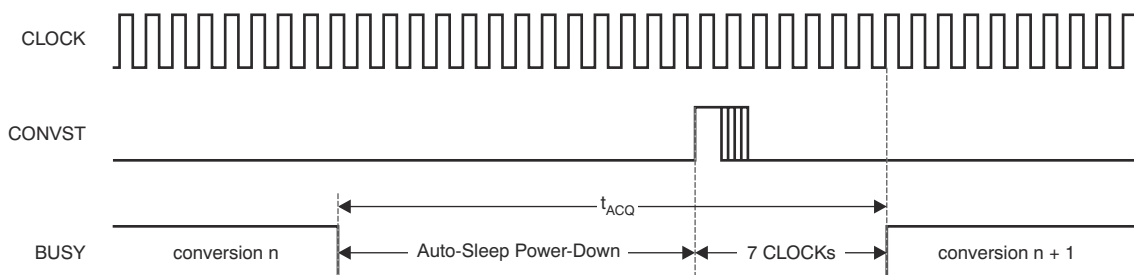
6.4.1.3 自動スリープモード

自動スリープモードは、スリープモードとほぼ同じです。唯一の違いは、モードの有効化およびデバイスの復帰の方法です。CONFIG レジスタのビット PD[1:0] = 11 は、この機能を有効または無効にするだけです。自動スリープモードが有効になっている場合、デバイスは変換終了後にバイアスを自動的にオフにします。したがって、変換の終了によって実際に自動スリープモードが有効になります。シーケンスモードを使用し、個別の変換開始パルスを選択した場合 (S1 = 0)、デバイスは各変換終了後に自動的にパワーダウンします。単一の CONVST パルスでシーケンスを開始する場合 (S1 = 1)、シーケンス全体が完了した時点でパワーダウンが有効になります。

デバイスは次の CONVST パルスで復帰します。ただし、アナログ入力、ハーフクロックモードではさらに 7 クロックサイクル、フルクロックモードでは 14 クロックサイクル、サンプルモードで保持されます。その後 (図 6-4 参照)、実際の変換が開始されます (BUSY が High になります)。この時間は、内部回路を所定の電圧レベルに安定させるために必要です。自動スリープモードでは、変換結果の表示が遅延します。図 6-10 を参照してください。

このモードでは、10 μ s 以内に消費電流が約 1.2mA まで低減されます。

Half-Clock Mode



Full-Clock Mode

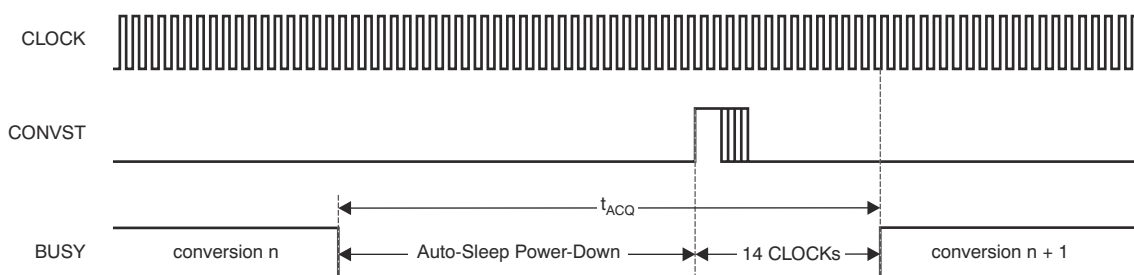


図 6-4. 自動スリープ モードでの実際の変換開始

6.4.1.4 リセット

デバイスのリセットを実行するには、RD パルスと、A[3:0] = 0100 を含む制御ワードを生成してください。この書き込みアクセスが完了すると、シリアル インターフェースを含むデバイス全体が強制的にリセットされ、進行中の変換はすべて中断されます。入力取得モードに設定され、レジスタの内容はデフォルト値に戻ります。約 20ns 後、シリアル インターフェースが再びアクティブになります。また、本デバイスは、適切な (デフォルトの) デバイス設定を提供する自動パワーアップ リセット (POR) もサポートしています。

6.5 プログラミング

6.5.1 読み取りデータ入力 (RD)

RD 入力、シリアル データ出力 SDOx を制御します。RD パルスの立ち下がりエッジにより、出力データの最初のビットが出力されます。CID が 0 の場合、SDOx 上の出力データの最初のビットはアナログ入力チャネル インジケータとなります。CID が 1 の場合、SDOx 上の出力データの最初のビットは変換結果の最上位ビット (MSB)、または選択されたレジスタの 15 ビット目となります。このビットの後に続く出力ビットは、ハーフクロック モードではクロックの立ち上がりエッジで、フルクロック モードではクロックの立ち下がりエッジで更新されます。

RD 入力は、CONVST 入力と組み合わせて、または個別に制御されます (詳細なタイミング図については [図 8-2](#) を参照)。RD を個別に制御する場合、変換処理が完了するたびに (つまり、BUSY の立ち下がりエッジの後)、RD を出力してください。ただし、最大データ レートを実現するには、変換が進行中に変換結果を読み取りてください。ハーフクロック モードでは、変換開始後の 16 クロック サイクル目から 19 クロック サイクル目の間に RD パルスを送信しないでください。フルクロック モードでは、変換開始後の 34 クロック サイクル目から 36 クロック サイクル目の間に RD パルスを送信しないでください。

新しい変換を実行せずに読み取りアクセスを繰り返した場合、前回の変換結果が出力に再度表示されます。BUSY が Low のときにのみ、読み出しを繰り返してください。

フルクロック モードでは、最初の読み出しのみが正しいチャネル情報を提供し、その後の読み出しには無効なチャネル情報が含まれます。正しいチャネル情報は、CONFIG レジスタの CID が 0 の場合に得られます。チャネル情報は、次の変換で修正されます。

内部レジスタの内容を確認するための読み取りについては、[レジスタ マップ](#) セクションで説明しています。

6.5.2 シリアル データ出力 (SDOx)

以下のセクションでは、さまざまな動作モードについて詳しく説明します。

[表 6-7](#) に示すように、ADC168M102R-SP のデジタル出力コード形式は 2 の補数形式です。

[図 5-1](#) および [図 5-2](#) に示された詳細なタイミング図の両方を参照してください。データ スループットを最大化するため、本書に記載されている説明および図は、CONVST ピンと RD ピンが接続されていることを前提としています。この場合のタイミングの詳細については、[図 8-2](#) を参照してください。これらのピンは個別に制御することも可能です。

表 6-7. 出力データ フォーマット

説明	差動 入力電圧	CHxxP における入力電圧 (CHxxN = V _{REF} = 2.5V)	バイナリコード	16 進 コード
正のフルスケール	V _{REF}	5V	0111 1111 1111 1111	7FFF
ミッドスケール	0V	2.5V	0000 0000 0000 0000	0000
ミッドスケール – 1 LSB	–2V _{REF} /分解能	2.499924V	1111 1111 1111 1111	FFFF
負のフルスケール	–V _{REF}	0V	1000 0000 0000 0000	8000

6.5.2.1 モード I

M0 ピンと M1 ピンの両方が 0 に設定されている場合、デバイスは手動チャンネル制御動作に入り、それに応じて SDOA および SDOB の両方にデータを出力します。SDI ピンは、対応するタイミング図に示すように、チャンネルを切り替えます。CONVST を High にすることで、変換が開始されます。

CONVST の立ち上がりエッジで、デバイスは非同期的に外部クロックからサンプルからホールド モードに切り替わります。BUSY 出力ピンは High になり、変換サイクルの間 High のままになります。2 番目のクロック サイクルの立ち下がりエッジで、デバイスは次の変換サイクルのチャンネルをラッチします。このラッチは、CONFIG レジスタのビット C[1:0] の状態によって決まります。CS を Low にすると、両方のシリアル出力が有効になります。データは、変換ごとに 20 クロック サイクルの立ち下がりエッジで有効になります。最初の 2 つのビットは 0 に設定されます。図 6-5 に示すように、後続のデータには 16 ビットの変換結果 (最上位ビットが最初に転送されます) と、末尾のゼロが含まれます。

このモードは、完全差動入力または疑似差動入力に使用されます。どちらの場合も、CID が 0 の場合、チャンネル情報ビットは 00 になります。このモードでは、FIFO は使用できません。

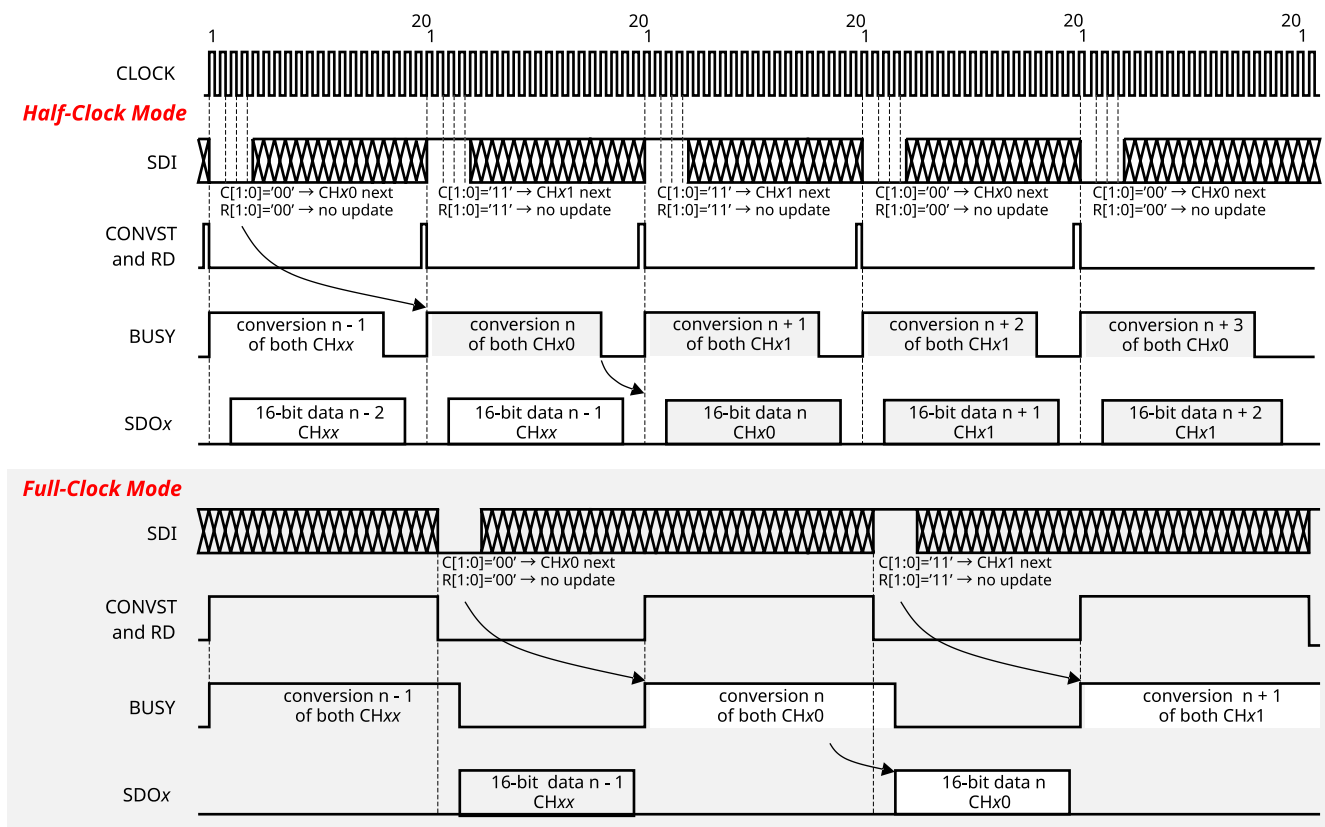


図 6-5. モード I のタイミング (M0 = 0、M1 = 0、PDE = 0、CID = 1、フル差動の例)

6.5.2.2 モード II (ハーフクロック モードのみ)

M0 = 0 および M1 = 1 の場合、ADC168M102R-SP は手動チャネル制御モードでも動作します。このモードでは、SDOB が高インピーダンスに設定されている場合にのみ、デバイスは SDOA ピンからデータを出力します。その他のすべてのピンは、モード I と同様に機能します。

ハーフクロック モードでは、デバイスが読み取りサイクルを完了するのに 2 μ s が必要です。この要件は、両方の ADC から結果を出力するために 40 クロック サイクルが必要となるためです (M1 = 0 の場合は 20 サイクル)。図 6-6 に示すように、モード I と同様に CONVST 信号が 1.0 μ s ごとに発行される場合 (RD 信号に必要)、2 回に 1 回のパルスを見逃してください。正常な動作を確保し、出力データの破損を防ぐため、CONVST および RD 信号の持続時間が 1 クロック サイクルを超えないようにしてください。

この動作モードでは、フルクロック モードはサポートされていません。

出力データは、0、ADC インジケータ、および末尾にゼロが続く場合のある 16 ビットの変換結果で構成されます。ADC インジケータは、CHAx の場合は 0、CHBx の場合は 1 です。

このモードは、完全差動入力または疑似差動入力で使用されます。フル差動モードにおいて、CID が 0 の場合にのみチャネル情報が有効です。疑似差動モードにおいてチャネルビットが無効な場合、CID には正しい ADC 情報が含まれます。このモードでは、FIFO は使用できません。

FE、SR、PDE、および CID レジスタのビットの変更は、1 回の読み取りアクセス分の遅延を経て、次の変換から有効になります。

RD パルスを 1 回ごとに使用して、レジスタ設定を更新してください。図 6-6 に示すように、これらのパルスを、変換を開始するパルス、またはチャネル B の変換結果を読み取るパルスに合わせてください。

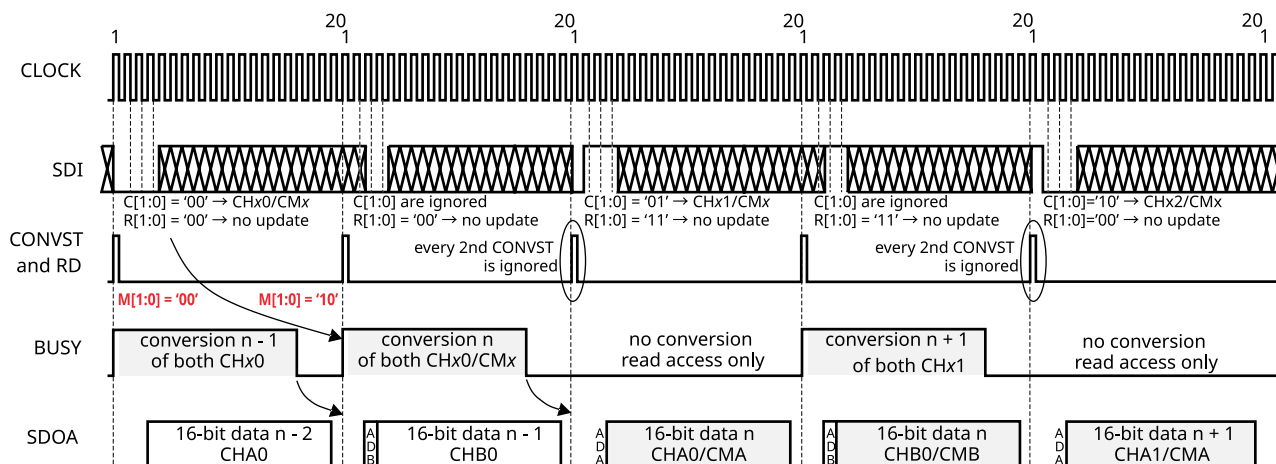


図 6-6. モード II のタイミング (M0 = 0、M1 = 1、PDE = 0、CID = 0、疑似差動の例)

6.5.2.3 特殊読み取りモード II (ハーフクロックモードのみ)

モード II では、1 つの RD パルスで両方のデータ結果を読み出すことができる特殊な読み出しモードが利用可能です。このモードのタイミング図を、図 6-7 に示します。このモードを有効にするには、CONFIG レジスタの SR ビットを 1 に構成してください (表 7-1 を参照)。CONVST ピンと RD ピンは引き続き接続されていますが、信号出力は 20 クロック サイクルごとではなく、40 クロック サイクルごとに行われます。出力データは、SDOB がトライステート状態にある場合にのみ SDOA に出力されます。

出力データの破損を防ぐため、このモードでは RD 信号の持続時間が 1 クロック サイクルを超えないようにしてください。

この特殊モードは、完全差動入力または疑似差動入力で使用されます。フル差動モードにおいて、CID が 0 の場合にのみチャネル情報が有効です。疑似差動モードにおいてチャネルビットが無効な場合、CID には正しい ADC 情報が含まれます。このモードでは、FIFO は使用できません。

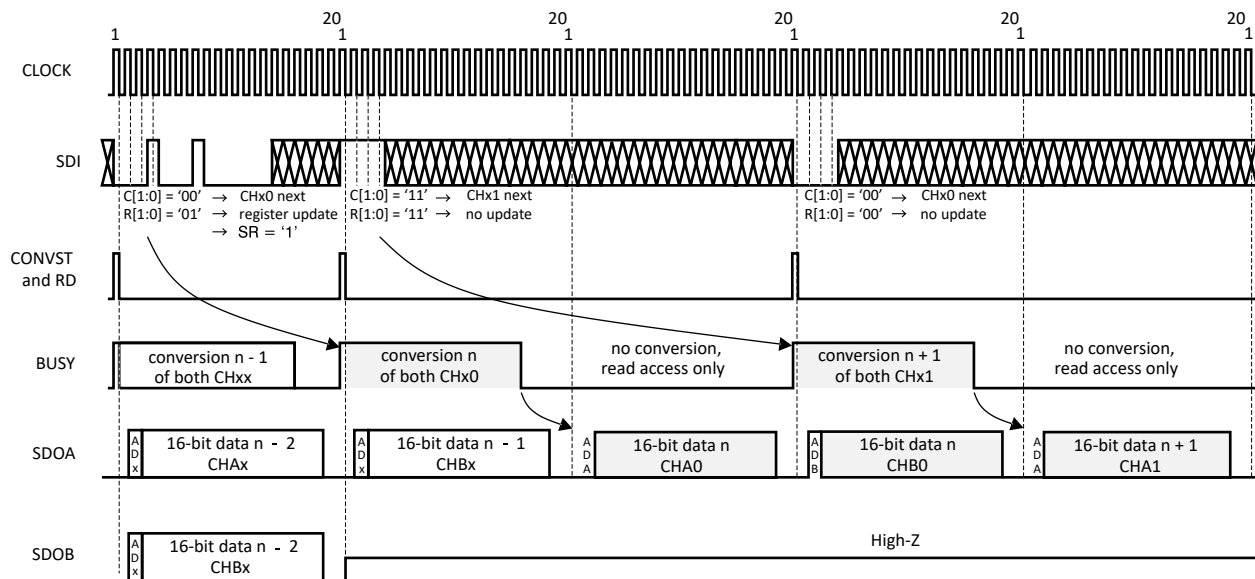


図 6-7. 特殊読み取りモード II のタイミング図 (M0 = 0、M1 = 1、PDE = 0、SR = 1、CID = 0、フル差動の例)

6.5.2.4 モード III

$M0 = 1$ かつ $M1 = 0$ の場合、デバイスは差動入力間を自動的に切り替えます (CONFIG レジスタのビット $C[1:0]$ は無視されます)。図 6-8 に示すように、この切り替えは、SDOA に $CHAx$ の変換結果、SDOB に $CHBx$ の変換結果を出力する際に発生します。

出力データは、チャンネル識別子、それに続く 0、および変換結果の 16 ビットと末尾のゼロで構成されます。チャンネル インジケータは、 $CHx0$ の場合は 0、 $CHx1$ の場合は 1 です。

このモードは、フル差動入力または疑似差動入力で使用します (疑似差動モードでは、シーケンサが入力マルチプレクサを制御します)。チャンネル情報は、CID が 0 の場合にのみフル差動モードで利用可能です (疑似差動モードでは CID は 1 に固定されます)。

このモードでは内部の FIFO が使用可能です。これを使用する場合、1 回の読み取りパルスで、保存されているすべての変換データを読み取ることができます。正常に機能させるため、初めて使用する際は、FIFO が完全に満たされていることを確認してください。

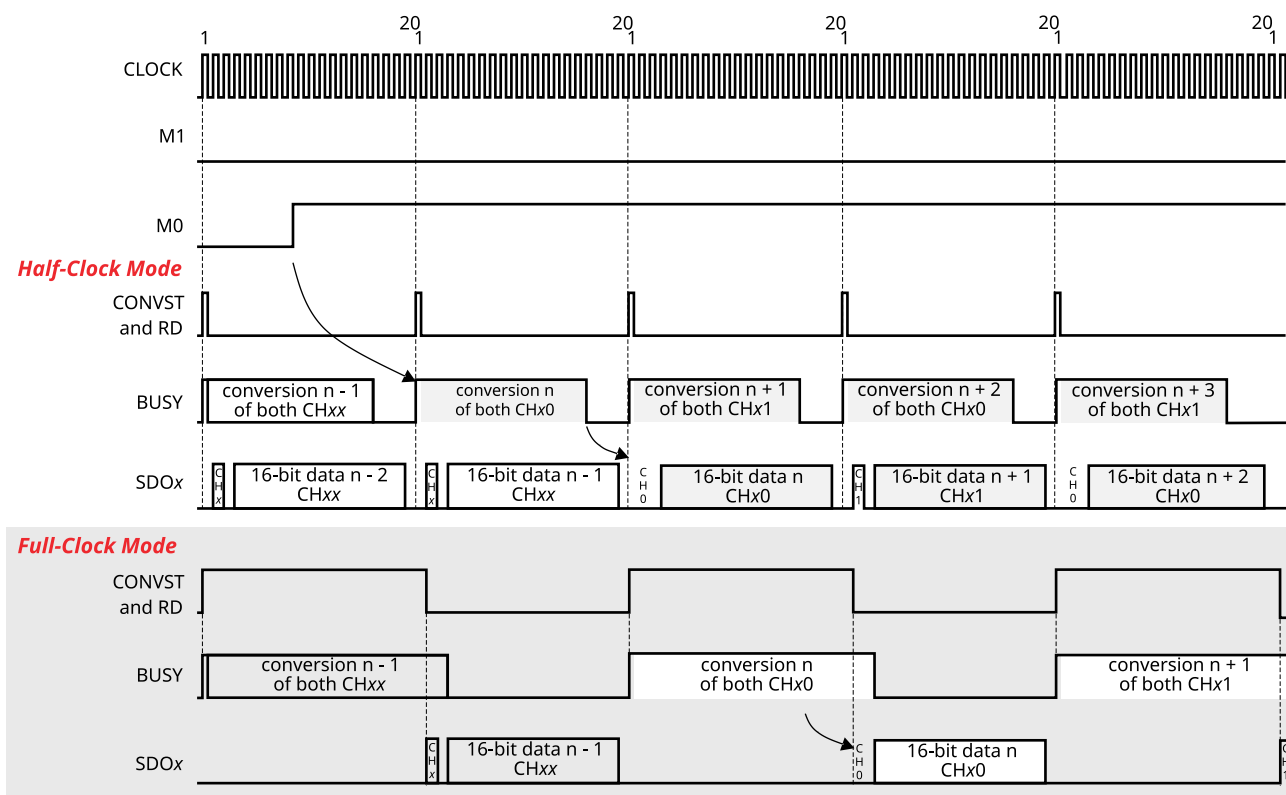


図 6-8. モード III のタイミング ($M0 = 1$ 、 $M1 = 0$ 、 $PDE = 0$ 、 $CID = 0$ 、フル差動の例)

6.5.2.5 完全差動モード IV (ハーフクロック モードのみ)

モード II と同様に、モード IV では、差動チャンネルが自動的に切り替えられる際、データ伝送に **SDOA** 出力ラインのみを使用します。図 6-9 に示すように、**M1** が **High** になった後の最初の変換後、**SDOB** 出力はトリステート状態になります。

出力データは、チャンネル インジケータ、ADC インジケータ、16 ビットの変換結果の順で構成され、末尾は **00** となります。チャンネル インジケータは **CHx0** の場合は **0**、**CHx1** の場合は **1** となり、ADC インジケータは **CHAx** の場合は **0**、**CHBx** の場合は **1** となります。

正常な動作を確保し、出力データの破損を防ぐため、**CONVST** および **RD** 信号の持続時間が 1 クロック サイクルを超えないようにしてください。

この動作モードでは、フルクロック モードはサポートされていません。

CID = 0 の場合、フル差動モードでチャンネル情報が利用可能です。疑似差動モードでは、このモードにおけるチャンネル選択はシーケンサによって制御されます。**SEQFIFO** レジスタを使用して、チャンネル情報を適切に設定してください。このモードでは、内部 **FIFO** は使用できません。

FE、**SR**、**PDE**、および **CID CONFIG** レジスタのビットの変更は、次の変換の開始時に有効になります。ただし、1 回の読み取りアクセス分の遅延があります。

RD パルスを 1 回ごとに使用してレジスタを更新してください。このパルスは、変換を開始するパルス、またはチャンネル **B** の変換結果を読み取るパルスのいずれかと同期します。図 6-6 と比較してください。

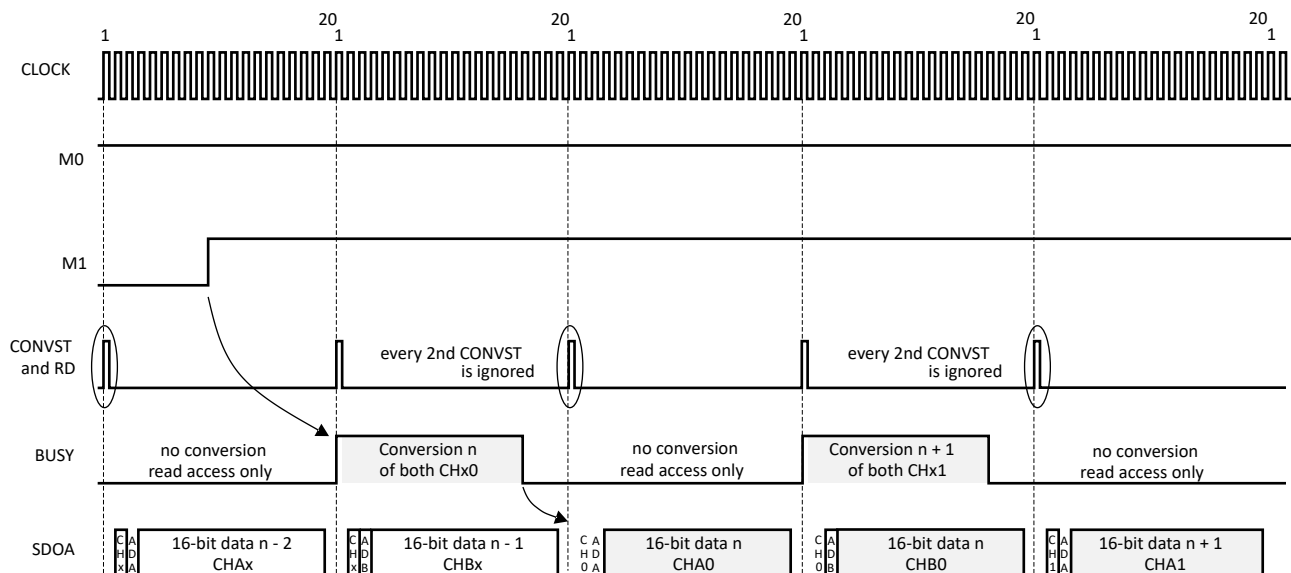


図 6-9. 完全差動モード IV のタイミング (**M0 = 1**、**M1 = 1**、**PDE = 0**、および **CID = 0** の例)

6.5.2.6 特殊モード IV (ハーフクロック モードのみ)

特殊モード II と同様に、本デバイスではモード IV 用の特殊読み取りモードも提供されています。このモードでは、[図 6-10](#) に示すように、1 回の RD パルスで変換結果の両方のデータを読み取ることができます。この場合、CONFIG レジスタの SR ビットを 1 に構成してください。CONVST ピンと RD ピンは引き続き接続されていますが、信号出力は 20 クロック サイクルごとではなく、40 クロック サイクルごとに行われます。出力データの破損を防ぐため、このモードでの RD 信号の持続時間は 1 クロック サイクル以内にしてください。

データは、それに応じて SDOA ピンから取得できます。

[図 6-10](#) に示すように、自動スリープ パワーダウン モードが有効になっている場合、変換結果は次の変換時に提示されます。

このモードは、フル差動入力または疑似差動入力に使用します (疑似差動モードでは、シーケンサが入力マルチプレクサを制御します)。チャンネル情報は、フル差動モードでのみ CID が 0 の場合に利用可能です (疑似差動モードでは CID は 1 に固定されます)。

このモードでは内部の FIFO が使用可能です。これを使用する場合、1 回の読み取りパルスで、保存されているすべての変換データを読み取ることができます。正常に機能させるため、初めて使用する際は、FIFO が完全に満たされていることを確認してください。

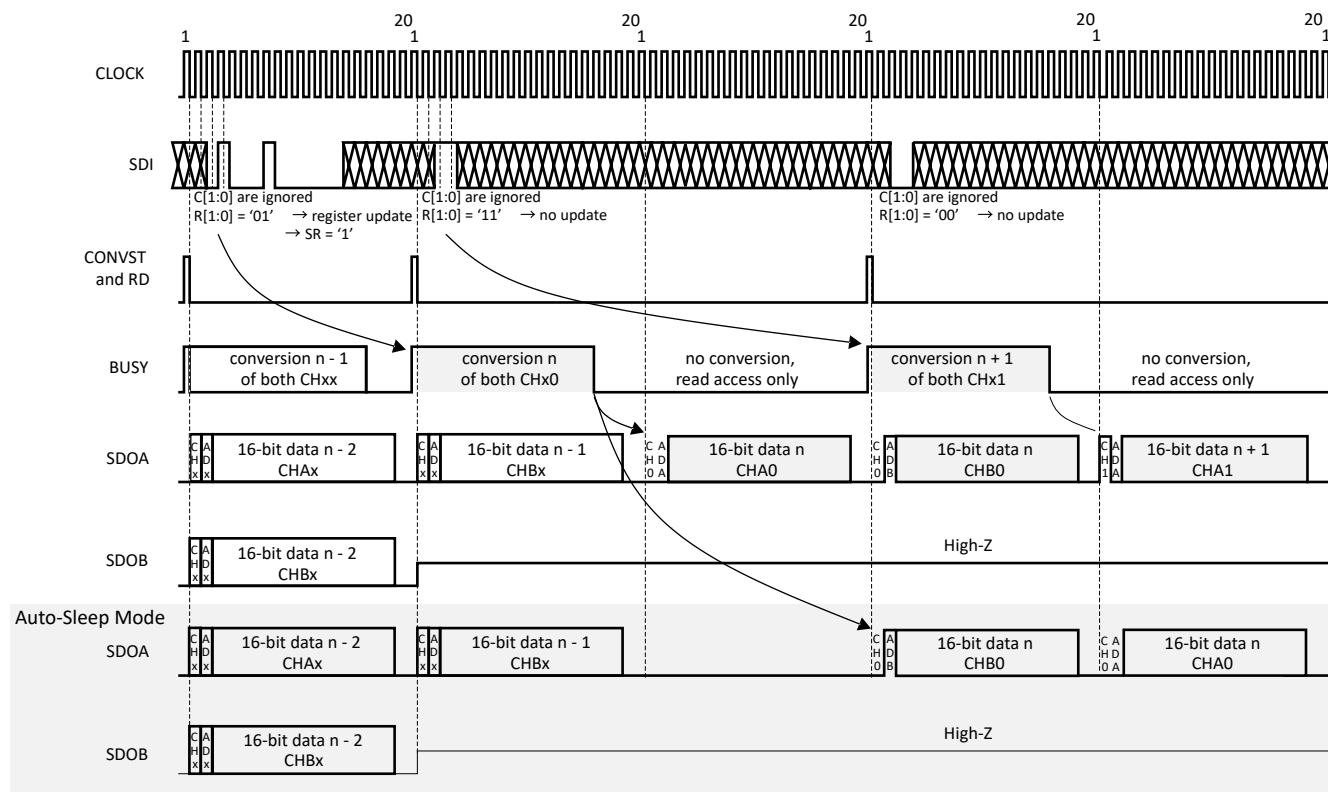


図 6-10. 特殊読み取りモード IV のタイミング (M0 = 1、M1 = 1、PDE = 0、SR = 1、CID = 0、フル差動の例)

6.5.3 リファレンス DAC のプログラミング

更新する DAC に依存して、RD パルスを送信することで内部リファレンス DAC が設定されます。必ず、R[1:0] = 01 および A[3:0] = X010 または X101 となる制御ワードを送信してください。その後、図 6-11 に示すように、最初の 5 ビットを無視して始まる制御ワードを使用して、2 番目の RD パルスを生成します。その後、対応する 10 ビット DAC 値に従ってリファレンス電力制御が行われます。

DAC の設定を確認するには、R[1:0] = 01、A[3:0] = 0011 または 0110 を含む制御ワードを指定して RD パルスを生成してください。この制御ワードは、該当する DAC レジスタの読み取りアクセスを初期化します。RD ラインを再度トリガーすると、SDOA 出力は 16 ビット DAC レジスタ値を出力し、その後に 0000 が続きます。ただし、チャンネル情報が無効になっていること (CID が 1) を確認してください。チャンネル情報が有効になっている場合 (CID が 0)、データ出力の最初の 2 ビットには、現在選択されているアナログ入力チャンネル インジケータが含まれます。その後、16 ビットの DAC レジスタの内容が、さらに 00 を付加して出力されます。チャンネル インジケータは、CHx0 の場合は 0、CHx1 の場合は 1 です。レジスタの内容は SDOA (図 6-11) 上で有効ですが、チャンネル Ax の変換結果は失われます (並列変換が行われている場合)。チャンネル Bx の変換結果は SDOB 上で有効であり (有効化されている場合)、SDI 上のデータは無視されます。

電源投入後の DAC レジスタのデフォルト値は 7FFh で、これは両方の REFIOx ピンで 2.5V のリファレンス電圧が無効になっている状態に対応します。

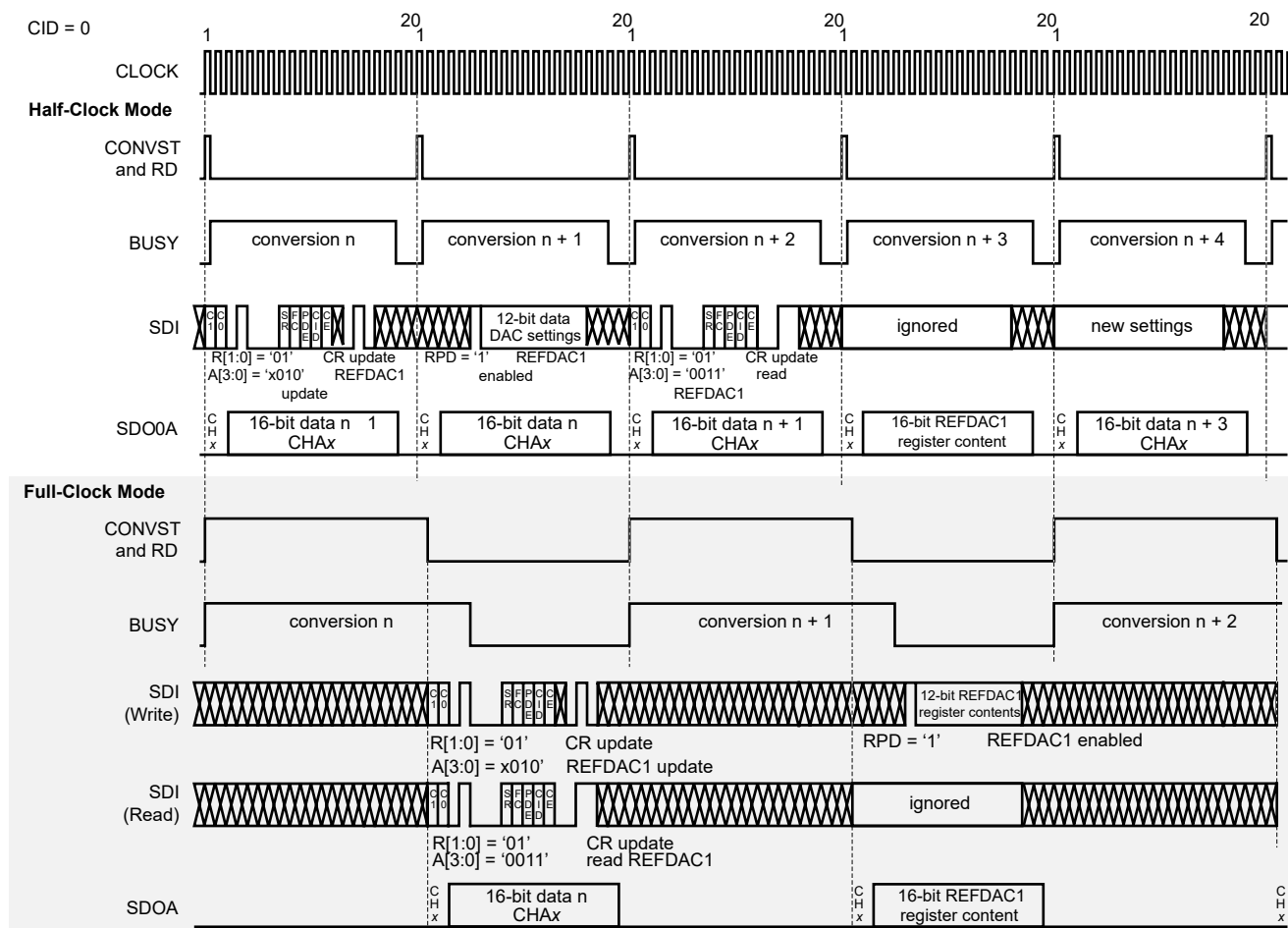


図 6-11. DAC レジスタの書き込みおよび読み取りアクセス タイミング (SDOx がアクティブかつ CID = 0 の場合)

7 レジスタ マップ

ADC168M102R-SP の動作は、このセクションで説明する一連のレジスタによって制御されます。表 7-1 はレジスタ マップを示します。これらの 16 ビットレジスタの内容は、シリアル データ入力 (SDI) ピンを介して設定します。このピンは RD に接続されており、クロックの立ち下がりエッジごとにデバイスへクロック入力されます。すべてのデータは、MSB ファーストで転送されます。すべてのレジスタの更新は、16 クロック サイクルの書き込みアクセス操作が完了した後、クロックの立ち上がりエッジで有効になります。

表 7-1. レジスタ マップ

レジスタ	BIT 15	BIT 14	BIT 13	BIT 12	BIT 11	BIT 10	BIT 9	BIT 8	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CONFIG	C[1:0]		R[1:0]		PD[1:0]		FE	SR	FC	PDE	CID	CE	A[3:0]			
REFDAC1	予約済み					RPD	D[9:0]									
REFDAC2	予約済み					RPD	D[9:0]									
SEQFIFO	S[1:0]		SL[1:0]		C11	C10	C21	C20	C31	C30	C41	C40	SP1	SP0	FD1	FD0
REFCM	CMB[3:0]				CMA[3:0]				RB[3:0]				RA[3:0]			

CONFIG レジスタを更新するには、1 回の書き込みアクセスが必要です。その他のレジスタの内容を更新するには、適切なレジスタ アドレス (ビット A[3:0]) を指定して制御レジスタへの書き込みアクセスを行う必要があります。その後、実際のレジスタへの書き込みアクセスが行われます。図 7-1 は、これらのレジスタを更新する手順を示す図です。レジスタの読み出しアクセスを実行する際に、1 回のレジスタ書き込みアクセスで CONFIG レジスタの内容を更新します。例えば、REFDAC1 レジスタの読み取りアクセスを有効にする際に、デバイス モードをフルクロック モードに変更します。フルクロック モードは、CONFIG レジスタの更新から 16 クロック サイクル後に有効になります。その後、REFDAC1 のデータはフルクロック モードのタイミングに従って出力されます。

レジスタの内容を確認するには、**CONFIG** レジスタのビット **A[3:0]** を使用して読み取りアクセスを発行します。このアクセスについては、リファレンス **DAC** レジスタの設定を確認する例に基づいて、**リファレンス DAC のプログラミング** セクションで説明されています。レジスタの内容は、次の読み取りコマンドで常に **SDOA** 上で利用可能です。例えば、**FIFO** が使用されている場合、レジスタの内容は **FIFO** 読み取りアクセスが完了した後に提示されます (詳細については **表 7-5** を参照)。読み取りまたは書き込みアクセスを完了するには、合計 **40** クロック サイクルを要し、その間、**CONFIG** レジスタへの新たなアクセスは許可されません。

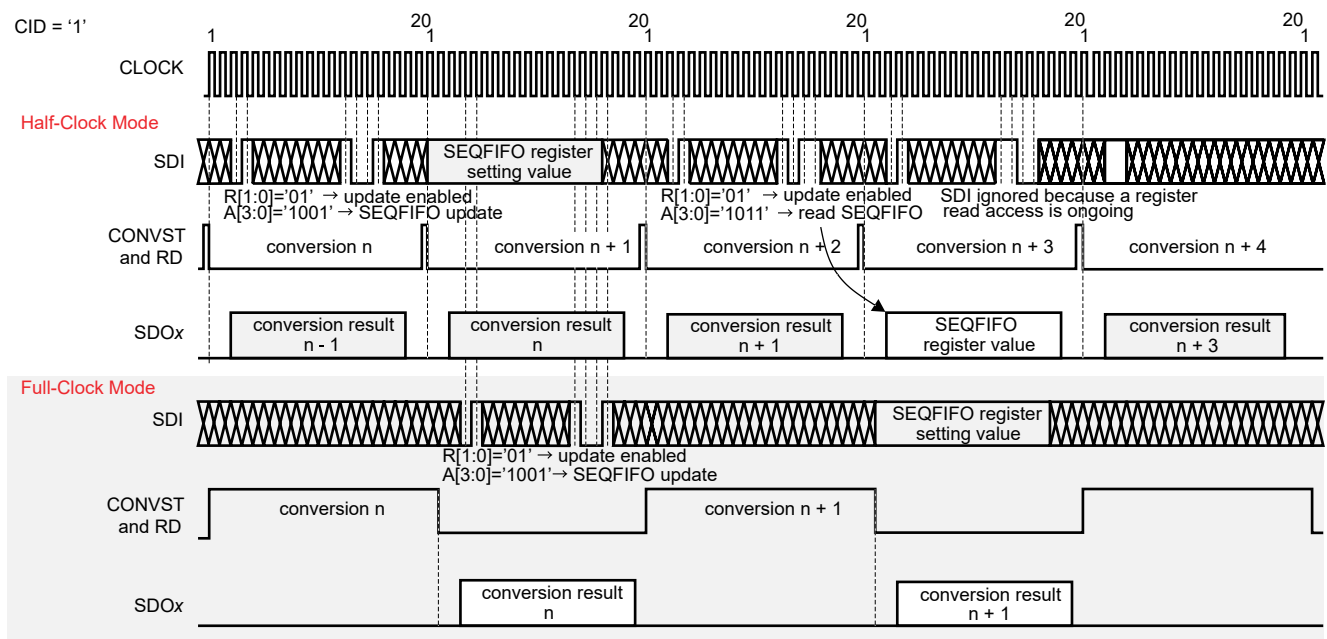


図 7-1. 内部レジスタ設定の更新 (例：ハーフクロック モード、CID = 1)

構成 (Config) レジスタ

構成レジスタは、入力チャネルの選択、パワーダウン モードの有効化、シーケンサおよび FIFO へのアクセス、リファレンスの選択、およびリファレンス DAC レジスタの設定を行います。

図 7-2. 構成 : 構成レジスタ (デフォルト = 0000h)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
(MSB)															(LSB)
C[1:0]	R[1:0]	PD[1:0]	FE	SR	FC	PDE	CID	CE							A[3:0]
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-2. 構成レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	C[1:0]	R/W	0h	入力チャネル選択。 これらのビットは、PDE ビットの状態に応じてマルチプレクサの入力を制御します。 PDE = 0 (デフォルト) の場合、マルチプレクサは完全差動モードとなり、ビット C[1:0] は以下の方法で入力マルチプレクサを制御します。 0x = 入力 CHx0P/CHx0N でのアナログ信号の変換 (デフォルト)。 1x = 入力 CHx1P/CHx1N でのアナログ信号の変換。 PDE = 1 の場合、マルチプレクサは疑似差動モードとなり、ビット C[1:0] は以下の方法で入力マルチプレクサを制御します: 00 = 入力 CHx0 のアナログ信号と、選択された CMx または REFIOx との比較による変換 (デフォルト)。 01 = 入力 CHx1 のアナログ信号と、選択された CMx または REFIOx との比較変換。 10 = 入力 CHx2 のアナログ信号と、選択された CMx または REFIOx との比較変換。 11 = 入力 CHx3 のアナログ信号と、選択された CMx または REFIOx との比較変換。
13:12	R[1:0]	R/W	0h	構成レジスタの更新制御。 これらのビットは、CONFIG レジスタへのアクセスを制御します。 00 = M0 が 0 の場合、入力選択ビット C[1:0] のみを更新します。M0 が 1 の場合、何も行いません (デフォルト)。 01 = CONFIG レジスタの内容全体の更新を有効にします。 10 = 工場出荷時のテスト用に予約されています。使用しないでください。変更すると、デバイスの動作に不具合が生じる可能性があります。 11 = M0 が 0 の場合、入力選択ビット C[1:0] のみを更新します。M0 が 1 の場合、何も行いません。
11:10	PD[1:0]	R/W	0h	パワーダウン制御。 これらのビットは、デバイスのさまざまなパワーダウン モードを制御します。 00 = 通常動作 (デフォルト)。 01 = デバイスはパワーダウン モードです (詳細は パワーダウン モードとリセット セクションを参照)。 10 = デバイスはスリープ パワーダウン モードです (詳細は パワーダウン モードとリセット セクションを参照)。 11 = デバイスは自動スリープ パワーダウン モードです (詳細は パワーダウン モードとリセット セクションを参照)。
9	FE	R/W	0h	FIFO 有効化制御。 0 = 内部 FIFO は無効です (デフォルト)。 1 = 内部 FIFO は有効です。FIFO のバッファ容量は、SEQFIFO レジスタのビット FD[1:0] によって制御されます。
8	SR	R/W	0h	特殊読み取りモードの制御。 0 = 特殊読み取りモードは無効です (デフォルト)。 1 = 特殊読み取りモードが有効です。詳細については、図 6-7 および 図 6-10 を参照してください。

表 7-2. 構成レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	FC	R/W	0h	フルクロック モードの動作制御。 0 = フルクロック モードの動作は無効です (デフォルト)。詳細については、 図 5-1 を参照してください。 1 = フルクロック モードの動作は有効です。詳細については、 図 5-2 を参照してください。
6	PDE	R/W	0h	疑似差動モード動作を有効にします。 0 = 2x2 完全差動動作 (デフォルト)。 1 = 4x2 疑似差動動作。
5	CID	R/W	0h	チャンネル情報の無効化。 0 = 変換結果またはレジスタの内容の直前にチャンネル情報が SDOx に格納されます (デフォルト)。 1 = RD の立ち下がりエッジの直後に、変換データまたはレジスタの内容が SDOx に格納されます。
4	CE	R/W	0h	2 ビット カウンタの有効化 (図 7-3 を参照)。 0: 内部カウンタは無効です (デフォルト)。 1: 変換結果が SDOx に出力される前に、カウンタ値が利用可能です (CID = 0 の場合のみ有効)。
3:0	A[3:0]	R/W	0h	レジスタ アクセス制御。 これらのビットは、CONFIG レジスタの内容を読み取ることを可能にし、デバイスの残りのレジスタへのアクセスを制御します。 x000 = CONFIG レジスタの内容のみを更新します (デフォルト)。 0001 = 次のアクセス時に SDOA で CONFIG レジスタの内容を読み込みます (図 7-1 を参照)。 x010 = 次のアクセス時に REFDAC1 レジスタに書き込みます (図 7-1 を参照)。 0011 = 次のアクセス時に SDOA で REFDAC1 レジスタの内容を読み込みます (図 7-1 を参照)。 0100 = デバイスのソフトウェア リセットを生成します。 x101 = 次のアクセス時に REFDAC2 レジスタに書き込みます (図 7-1 を参照)。 0110 = 次のアクセス時に SDOA で REFDAC2 レジスタの内容を読み込みます (図 7-1 を参照)。 x111 = CONFIG レジスタの内容のみを更新します。 1001 = 次のアクセス時に SEQFIFO レジスタに書き込みます (図 7-1 を参照)。 1011 = 次のアクセス時に SDOA で SEQFIFO レジスタの内容を読み込みます (図 7-1 を参照)。 1100 = 次のアクセス時に REFCM レジスタに書き込みます (図 7-1 を参照)。 1110 = 次のアクセス時に SDOA で REFCM レジスタの内容を読み取ります (図 7-1 を参照)。

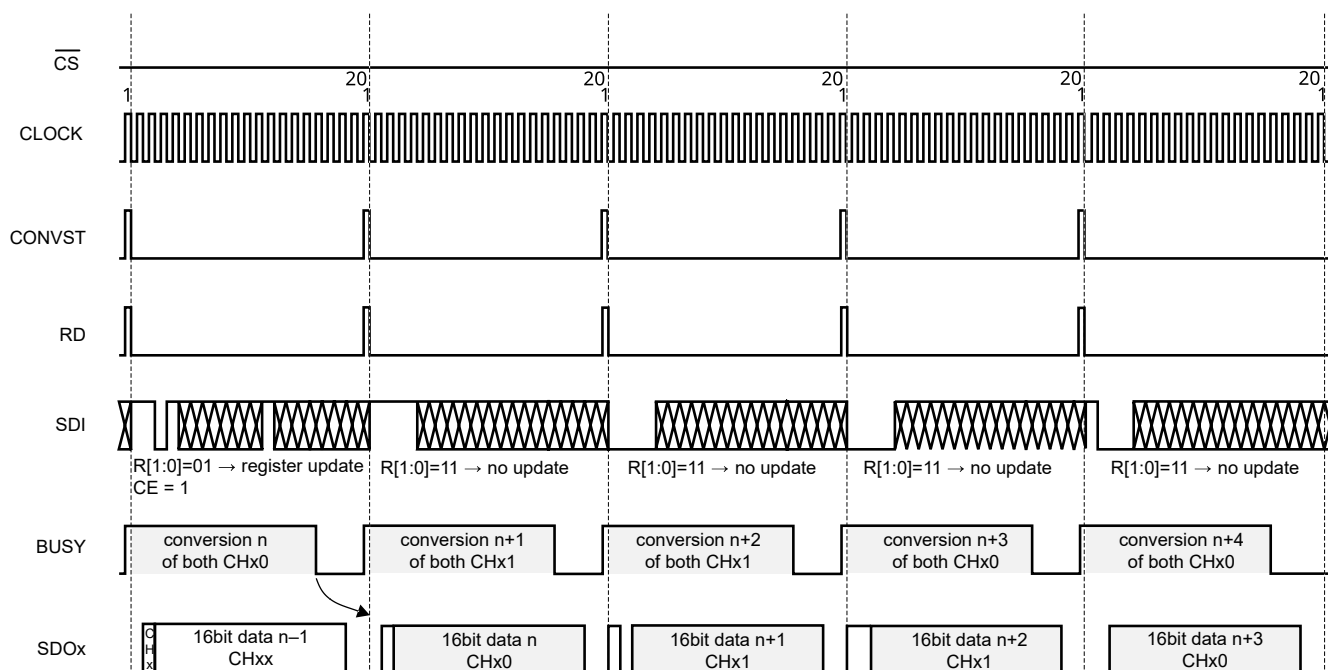


図 7-3. 2 ビット カウンタ機能 (ハーフクロック モード、手動チャネル制御、CID = 0)

REFDAC1 および REFDAC2 レジスタ

2 つのリファレンス DAC レジスタにより、REFIO1 および REFIO2 ピンに接続された各出力ストリング DAC を有効にし、適切な値を設定することができます。

図 7-4. REFDAC1 制御レジスタ (デフォルト = 07FFh)

15 (MSB)	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0 (LSB)
予約済み					RPD	D[9:0]									
R/W-0h					R/W-1h					R/W-3FFh					

表 7-3. REFDAC1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:11	予約済み	R/W	0h	使用されず、常に 0 に設定されます。
10	RPD	R/W	1h	DAC1 のパワーダウン。 0 = 内部リファレンスパス 1 が有効であり、REFIO1 ピンからリファレンス電圧が供給されます。 1 = 内部リファレンスパスが無効です (デフォルト)。
9:0	D[9:0]	R/W	3FFh	DAC1 の設定ビット。 これらのビットは、内部リファレンス DAC の設定に対応しています (REFIO のセクションを参照)。D9 ビットは DAC の最上位ビット (MSB) です。 デフォルト値は 3FFh (公称 2.5V) です。

図 7-5. REFDAC2 制御レジスタ (デフォルト = 07FFh)

15 (MSB)	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0 (LSB)
予約済み					RPD	D[9:0]									
R/W-0h					R/W-1h					R/W-3FFh					

表 7-4. REFDAC2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:11	予約済み	R/W	0h	使用されず、常に 0 に設定されます。
10	RPD	R/W	1h	DAC2 のパワーダウン。 0 = 内部リファレンスパス 2 が有効であり、REFIO2 ピンからリファレンス電圧が供給されます。 1 = 内部リファレンスパスが無効です (デフォルト)。
9:0	D[9:0]	R/W	3FFh	DAC2 の設定ビット。 これらのビットは、内部リファレンス DAC の設定に対応しています (REFIO のセクションを参照)。D9 ビットは DAC の最上位ビット (MSB) です。 デフォルト値は 3FFh (公称 2.5V) です。

シーケンサ/FIFO (SEQFIFO) レジスタ

ADC168M102R-SP は、疑似差動・自動チャンネル選択モードにおいてのみ、ADC 入力マルチプレクサの切り替えを制御するプログラマブル シーケンサを搭載しています。これを使用すると、1 回の読み取りパルスで、保存されているすべての変換データを読み取ることができます。シーケンス全体の変換を制御するには、1 回の CONVST 信号が必要です。シーケンサを使用する場合は、CONVST と RD を個別に制御してください (図 7-7> および 図 7-8 を参照)。

さらに、各チャンネルには、最大 4 つの変換結果を格納できるプログラマブル FIFO が用意されています。これらの機能は、このレジスタを使用して制御されます。FIFO を使用する場合は、CONVST と RD を個別に制御してください。この機能を有効にした後、初めて読み取る前に FIFO が満杯であることを確認してください。

FIFO が満杯の状態で新しい変換が開始されると、内容は 1 つずつシフトされ、最も古い結果が失われます。シーケンサを使用している場合のみ、FIFO の内容全体が失われます (つまり、すべてのビットが自動的に 0 に設定されます)。FIFO はシーケンサとは独立して使用されます。両方を併用する場合は、FIFO からデータを読み取る前にシーケンスを完全に終了させてください。そうしないと、データが破損する可能性があります。

表 7-5 には、自動チャンネル選択モードにおける FIFO 設定に応じたデータ読み出し要件の詳細が記載されています。

表 7-5. FIFO モードでの変換結果の読み出し

自動チャンネルの選択		
入力信号レベル	FE = 0	FE = 1
完全差動入力モード	読み取りサイクル長 = 1 語。 変換ごとに 1 回の RD パルスが必要です。	読み取りサイクル長 = 2 × FIFO 長。 FIFO の内容全体を読み出すには、1 回の RD パルスが必要です。
疑似差動入力モード	読み取りサイクル長 = 1 語。 S1 = 1 かつ S0 = 1 の場合、各変換後、またはシーケンス完了後に 1 回の RD パルスが必要です。	読み取りサイクル長 = 2 × シーケンサ長 × FIFO 長。 FIFO の内容全体を読み出すには、1 回の RD パルスが必要です。

図 7-6. SECFIFO : シーケンサおよび FIFO レジスタ (デフォルト = 0000h) (1)

15 (MSB)	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0 (LSB)
S[1:0]	SL[1:0]	C1[1:0]	C2[1:0]	C3[1:0]	C4[1:0]	SP[1:0]	FD[1:0]								
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h								

(1) このシーケンサは、疑似差動モードでのみ使用されます。REFCM レジスタを設定する前に、このレジスタを設定してください。

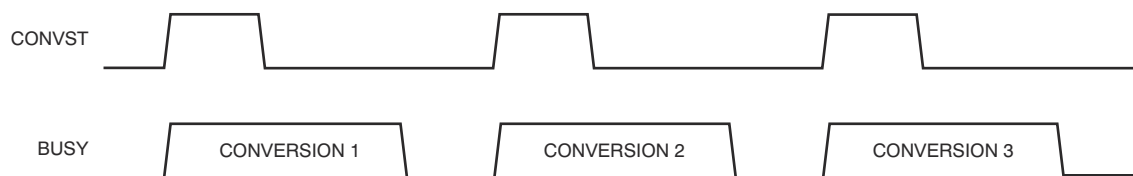
表 7-6. SECFIFO レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:14	S[1:0]	R/W	0h	シーケンサ モードの選択 (図 7-7 を参照) は、疑似差動モードでのみ有効です。 これらのビットにより、必要な CONVST の回数およびシーケンサ モードにおける BUSY ピンの動作を制御できます。 0x = 個別の CONVST が必要であり、各変換時に BUSY が信号を出力します (デフォルト)。 10 = シーケンス全体で単一の CONVST が必要であり、各変換ごとに BUSY が信号を出力します (ハーフクロック モードのみ)。 11 = シーケンス全体で単一の CONVST が必要であり、シーケンス全体を通じて BUSY は High のままです (ハーフクロック モードのみ)。

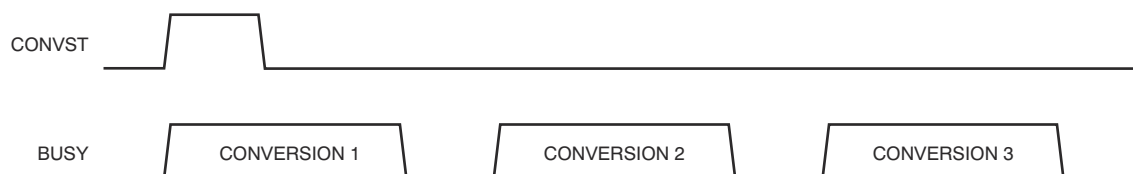
表 7-6. SEQFIFO レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13:12	SL[1:0]	R/W	0h	シーケンスの長さ制御。 これらのビットは、シーケンスの長さを制御します。ビット [11:6] は、SL > 00 の場合にのみ有効です。 00 = 使用しないでください。代わりに、M0 が 0 のモード I または II を使用してください (デフォルト)。 01 = シーケンスの長さは 2 です。C1x (ビット [11:10]) および C2x (ビット [9:8]) が実際のチャンネル選択を定義します。 10 = シーケンスの長さは 3 です。C1x (ビット [11:10])、C2x (ビット [9:8]) および C3x (ビット [7:6]) が実際のチャンネル選択を定義します。 11 = シーケンスの長さは 4 です。C1x (ビット [11:10])、C2x (ビット [9:8])、C3x (ビット [7:6])、および C4x (ビット [5:4]) によって、実際のチャンネル選択が定義されます。
11:10	C1[1:0]	R/W	0h	シーケンス選択ビットの 1 番目のチャンネル。
9:8	C2[1:0]	R/W	0h	シーケンス選択ビットの 2 番目のチャンネル。
7:6	C3[1:0]	R/W	0h	シーケンス選択ビットの 3 番目のチャンネル。
5:4	C4[1:0]	R/W	0h	シーケンス選択ビットの 4 番目チャンネル。 ビット [11:4] は、シーケンス モードにおける疑似差動入力マルチプレクサのチャンネル選択を制御します。 00 = 次の変換で CHA0 および CHB0 が選択されます (デフォルト)。 01 = 次の変換で CHA1 および CHB1 が選択されます。 10 = 次の変換で CHA2 および CHB2 が選択されます。 11 = 次の変換で CHA3 および CHB3 が選択されます。
3:2	SP[1:0]	R/W	0h	シーケンス位置ビット (読み取り専用)。 これらのビットは、シーケンス モードにおける疑似差動入力マルチプレクサの設定を示します。 00 = ビット C1[1:0] を使用して選択された入力、CONVST の次の立ち上がりエッジで変換されます (デフォルト)。 01 = ビット C2[1:0] を使用して選択された入力、CONVST の次の立ち上がりエッジで変換されます。 10 = ビット C3[1:0] を使用して選択された入力、CONVST の次の立ち上がりエッジで変換されます。 11 = ビット C4[1:0] を使用して選択された入力、CONVST の次の立ち上がりエッジで変換されます。
1:0	FD[1:0]	R/W	0h	FIFO の深度制御 (図 7-8 を参照)。 これらのビットは、CONFIG レジスタのビット FE が 1 の場合に、内部 FIFO の深度を制御します。 00 = バースト読み取りアクセスにおいて、FIFO にチャンネルあたり 1 つの変換結果が格納されます (デフォルト)。 01 = バースト読み取りアクセスにおいて、FIFO にチャンネルあたり 2 つの変換結果が格納されます。 10 = バースト読み取りアクセスにおいて、FIFO にチャンネルあたり 3 つ変換結果が格納されます。 11 = バースト読み取りアクセスにおいて、FIFO にチャンネルあたり 4 つ変換結果が格納されます。

S1 = '0'



S1 = '1', S0 = '0' (half-clock mode only)



S1 = '1', S0 = '1' (half-clock mode only)

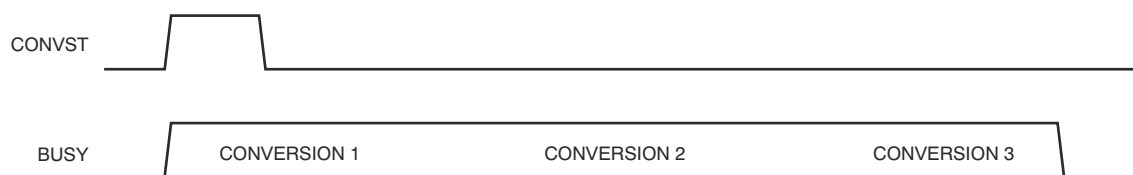
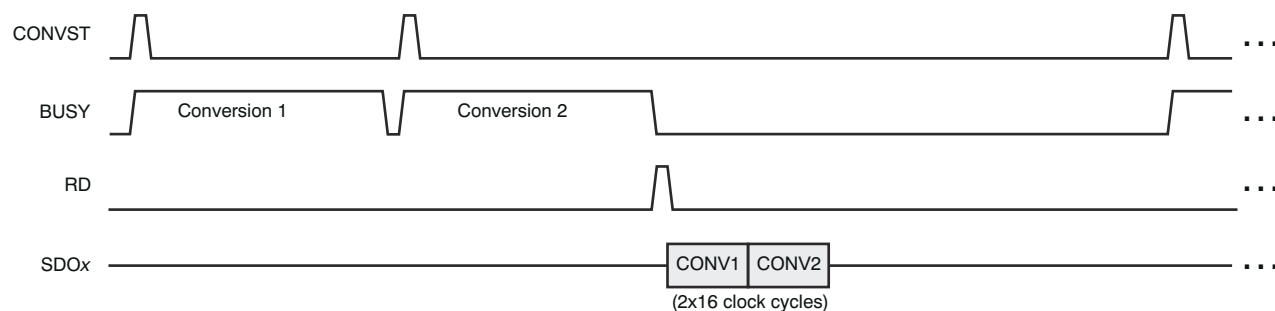


図 7-7. シーケンサ モード

FD[1:0] = '01', SL[1:0] = '00'



FD[1:0] = '01', SL[1:0] = '10'

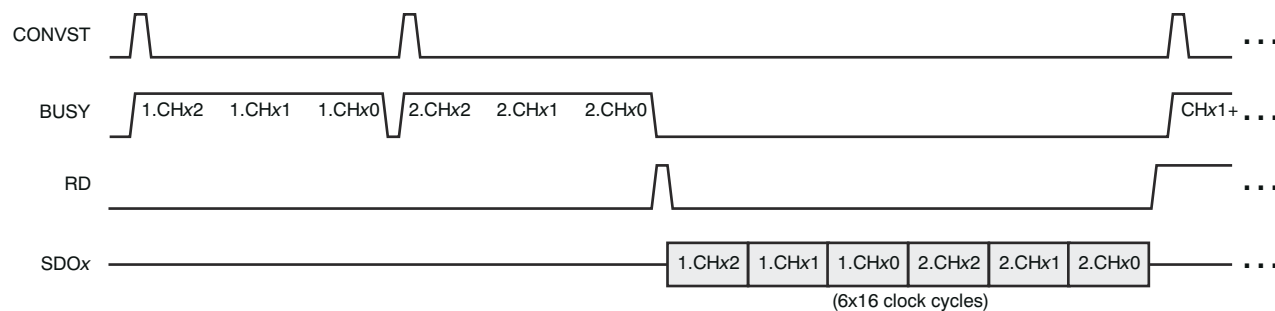


図 7-8. FIFO およびシーケンサ動作例

リファレンスおよび共通モード選択 (REFCM) レジスタ

回路レイアウトを簡素化しつつ、疑似差動モードにおける共通モード電圧を柔軟に調整するために、ADC168M102R-SP にはこのレジスタが搭載されています。このレジスタは、各入力信号に対して、CMx 入力のいずれかをリファレンスとして割り当てます。レジスタの設定に応じて、CMx 信号は各 ADC の適切な負入力に内部接続されます。

さらに、このレジスタを使用すると、フル差動モードおよび疑似差動モードの両方で、1 つの内部リファレンス DAC 出力を各チャネルのリファレンスとして柔軟に割り当てることができます。

図 7-9. REFCM : リファレンスおよび共通モード選択レジスタ (デフォルト = 0000h) ⁽¹⁾

15 (MSB)	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0 (LSB)
CMB[3:0]				CMA[3:0]				RB[3:0]				RA[3:0]			
R/W-0h				R/W-0h				R/W-0h				R/W-0h			

(1) SEQFIFO レジスタを設定した後、このレジスタを設定してください。

表 7-7. REFCM レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	CMxx	R/W	0h	共通モードソース選択ビット (入力チャネルごと)。これらのビットにより、疑似差動入力 B[3:0] および A[3:0] の共通モードとして、CMx 入力ピンまたは内部リファレンスソースを選択できます。選択された信号は、対応する ADC の負入力に接続されます。 0 = CMx 経由の外部共通モードソース (デフォルト)。 1 = 内部共通モードソース = REFIOx、ビット Rx[3:0] の設定に依存します。
7	RB3	R/W	0h	疑似差動モードにおける CHB3、または全差動モードにおけるチャネル CHB1P、CHB1N 用の内部リファレンス DAC 出力選択。 0 = 内部リファレンスソース REFIO1 が選択されます (デフォルト)。 1 = 内部リファレンスソース REFIO2 が選択されます。
6	RB2	R/W	0h	疑似差動モードにおける CHB2 専用の内部リファレンス DAC 出力選択。 0 = 内部リファレンスソース REFIO1 が選択されます (デフォルト)。 1 = 内部リファレンスソース REFIO2 が選択されます。
5	RB1	R/W	0h	疑似差動モードにおける CHB1 専用の内部リファレンス DAC 出力選択。 0 = 内部リファレンスソース REFIO1 が選択されます (デフォルト)。 1 = 内部リファレンスソース REFIO2 が選択されます。
4	RB0	R/W	0h	疑似差動モードにおける CHB0、または全差動モードにおけるチャネル CHB0P、CHB0N 用の内部リファレンス DAC 出力選択。 0 = 内部リファレンスソース REFIO1 が選択されます (デフォルト)。 1 = 内部リファレンスソース REFIO2 が選択されます。
3	RA3	R/W	0h	疑似差動モードにおける CHA3、または全差動モードにおけるチャネル CHA1P、CHA1N 用の内部リファレンス DAC 出力選択。 0 = 内部リファレンスソース REFIO1 が選択されます (デフォルト)。 1 = 内部リファレンスソース REFIO2 が選択されます。
2	RA2	R/W	0h	疑似差動モードにおける CHA2 専用の内部リファレンス DAC 出力選択。 0 = 内部リファレンスソース REFIO1 が選択されます (デフォルト)。 1 = 内部リファレンスソース REFIO2 が選択されます。
1	RA1	R/W	0h	疑似差動モードにおける CHA1 専用の内部リファレンス DAC 出力選択。 0 = 内部リファレンスソース REFIO1 が選択されます (デフォルト)。 1 = 内部リファレンスソース REFIO2 が選択されます。

表 7-7. REFCM レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	RA0	R/W	0h	疑似差動モードにおける CHA0 、または全差動モードにおけるチャネル CHA0P 、 CHA0N 用の内部リファレンス DAC 出力選択。 0 = 内部リファレンスソース REFIO1 が選択されます (デフォルト)。 1 = 内部リファレンスソース REFIO2 が選択されます。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

8.2 代表的なアプリケーション

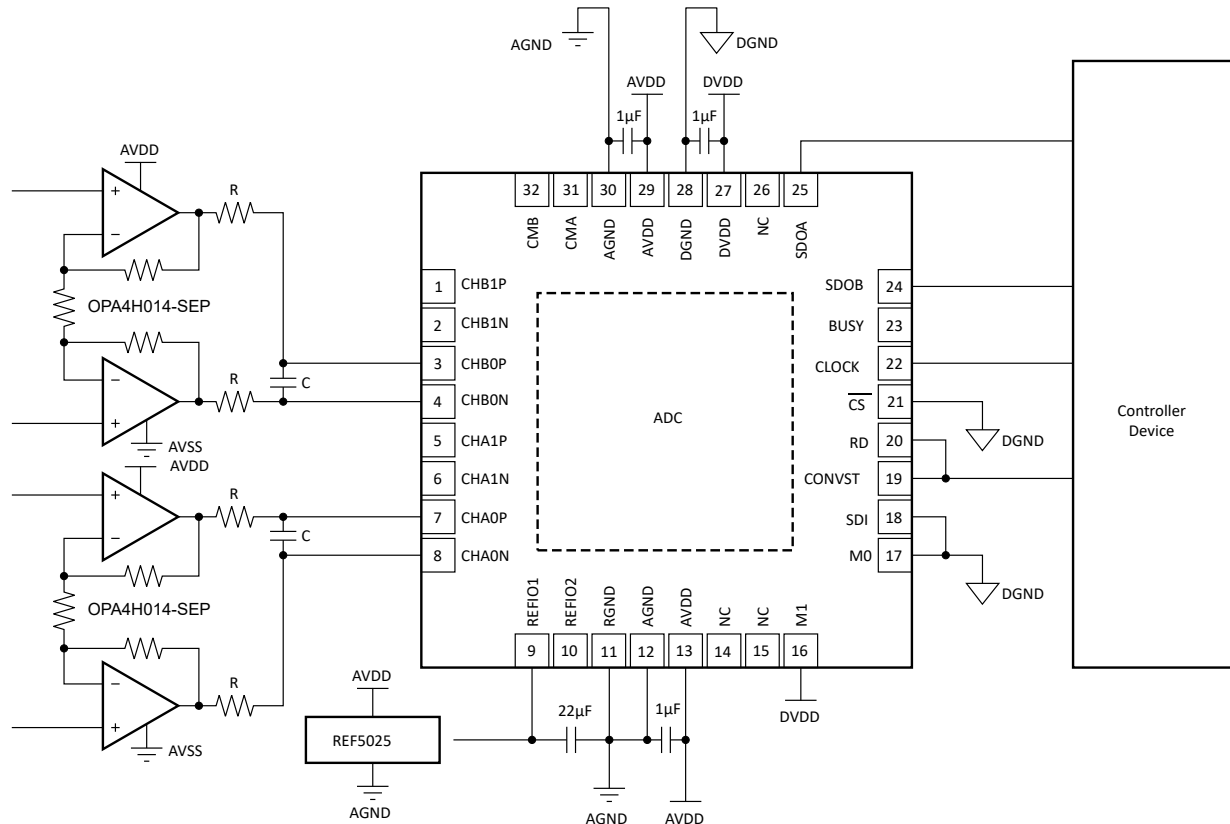


図 8-1.4 線式アプリケーション構成

8.2.1 設計要件

表 8-1 には、このアプリケーション例のパラメータが示されています。0V ~ 5V の範囲の差動入力信号を最大 4 系統、帯域幅 (BW) 10kHz でデジタル変換できるデータ収集 (DAQ) システムを使用してください。また、この設計では最大 1000kSPS のスループットが必要です。ADC168M102R-SP が 4 線式インターフェースを使用して MCU と接続されていることを確認してください。

表 8-1. 設計パラメータ

パラメータ	値
アナログ入力構成	差動
インターフェースの構成	4 線式

8.2.2 詳細な設計手順

ADC168M102R-SP の最小構成例を 図 8-1 に示します。この場合、デバイスは 4 線式デジタル インターフェースを備えた 2 チャンネル、完全差動入力モードで使用されます。デジタル インターフェースはコントローラ デバイスに接続されており、電源投入後はデフォルトのデバイス設定が適用されます。外部リファレンスを使用されている場合、それに対して駆動してしまうのを防ぐため、電源投入時には内部リファレンスは無効化されます。したがって、この例では外部リファレンスソースが使用されています。内部リファレンスを使用するには、SDI 入力をコントローラに接続し、REFDAC レジスタへのアクセスを可能にしてください。タイミング要件を含む対応するタイミング図は、図 8-2 および [スイッチング特性](#) 表に記載されています。

この構成において、アンプへの入力信号がデバイスの共通モード電圧要件を満たしていることを確認してください。抵抗およびコンデンサの実際の値は、アプリケーションの帯域幅および性能要件によって異なります。

式 4 では、これらの値を次のように計算します：

$$f_{\text{FILTER}} = \frac{\ln(2)(n+1)}{2\pi 2RC} \quad (4)$$

ここで

- ADC168M102R-SP の分解能の場合、 $n = 16$

必要な最小ドライバ帯域幅とコンデンサ値との適切なバランスをとるため、少なくとも 1nF のコンデンサ値を使用してください。

取得時間を考慮し、各直列抵抗について 式 5 に示すように抵抗値を計算してください：

$$R = \frac{t_{\text{ACQ}}}{\ln(2)(n+1)2C} \quad (5)$$

ここで

- n = デバイスの分解能

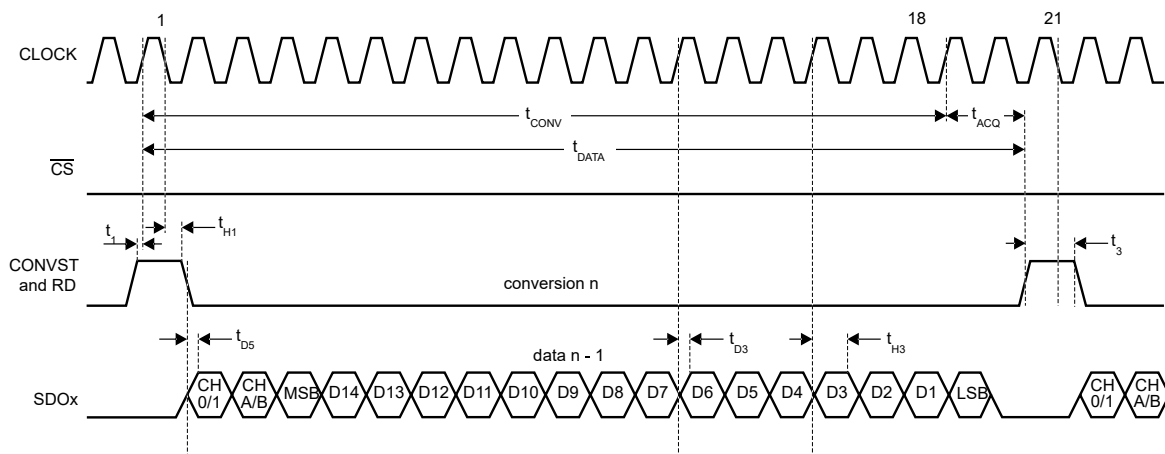


図 8-2. 4 線式アプリケーションのタイミング (ハーフクロック モード)

8.2.3 アプリケーション曲線

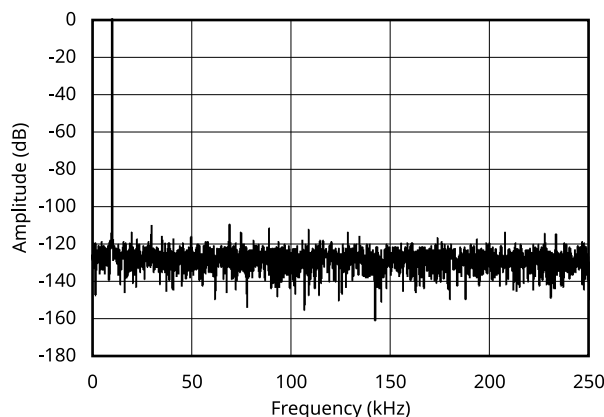


図 8-3. 周波数スペクトル (4096 ポイント FFT、 $f_{IN} = 10\text{kHz}$ 、 $f_{SAMPLE} = 0.5\text{MSPS}$)

8.3 電源に関する推奨事項

ADC168M102R-SP には、2 つの独立した電源があります: DVDD と AVDD です。デジタル インターフェースのバッファには DVDD ピンを、それ以外のすべての回路には AVDD ピンを使用してください。

DVDD の電圧範囲は 2.3V ~ 5.5V であり、これにより ADC はプロセッサやコントローラと容易にインターフェースできます。外部デジタル回路からのノイズ エネルギーの混入を制限するために、DVDD を適切にフィルタリングしてください。DVDD ピンとデジタル グランド プレーンの上に $1\mu\text{F}$ のバイパス コンデンサを配置してください。

AVDD は内部アナログ回路に電圧を供給します。最適な性能を得るには、リニア レギュレータを使用して、ADC および必要なアナログ フロントエンド向けに 2.7V ~ 5.5V の範囲でアナログ電源電圧を生成してください。

$1\mu\text{F}$ のバイパス コンデンサをアナログ グランド プレーンに接続し、電流がこれらのコンデンサのパッドを流れるようにしてください。つまり、コンデンサと ADC の電源ピンとの接続部の反対側にビアを配置してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

最適な性能を得るためには、特にデバイスを最大スループット レートで使用する場合、ADC168M102R-SP 回路の物理レイアウトに留意してください。この場合、クロックと CONVST の間には固定の位相関係を設定してください。

さらに、高性能 SAR アーキテクチャは、内部アナログ コンパレータの出力をラッチする直前に発生するグリッチや急激な変化の影響を受けやすいです。電源、リファレンス、グランド接続、およびデジタル入力は、このような干渉の潜在的な原因となります。したがって、 n ビットの SAR コンバータを動作させる場合、大きな外部過渡電圧 (グリッチ) が変換結果に影響を与える可能性のある n 個のウィンドウが存在します。このようなグリッチは、スイッチング電源、近隣のデジタル ロジック、または高電力デバイスに起因します。その影響の程度は、リファレンス電圧、レイアウト、および外部事象の実際のタイミングによって異なります。

この可能性を念頭に置き、デバイスへの電源がクリーンで、バイパスが適切に行われていることを確認してください。各電源ピンに、 $1\mu\text{F}$ のセラミック バイパス コンデンサを (対応するグランド ピンに接続して) デバイスにできるだけ近い位置に配置してください。

リファレンス電圧が外部からの場合、オペアンプが $22\mu\text{F}$ のコンデンサを発振させずに駆動できることを確認してください。ドライバ出力とコンデンサの間に直列抵抗が必要になる場合があります。このパスにおけるコード依存の電圧降下を最小限に抑えるため、この抵抗には小さな値 (最大 10Ω) を使用してください。TI の REF50xx ファミリーは、このような容量性負荷を直接駆動することができます。

8.4.1.1 グランディング (グラウンド接続)

AGND、RGND、および DGND ピンを、ノイズの少ないグラウンドリファレンス点に接続してください。これらのパスのインダクタンスを最小限に抑えるため、すべての接続をできるだけ短くしてください。ビアを使用して、パッドをグラウンド プレーンに直接接続してください。グラウンド プレーンがない設計では、グラウンド トレースをできるだけ広くしてください。マイクロコントローラやデジタル シグナル プロセッサの接地ポイントの近くでの接続は避けてください。

プリント基板 (PCB) 全体に単一の連続したグラウンド プレーンを使用するか、専用のアナログ グラウンド エリアを設けてください。この使用法は、基板の回路密度、アナログおよびデジタル部品の配置、および関連する電流ループによって異なります。アナログ グラウンド領域を分離する場合は、ADC のアナログ グラウンドとデジタル グラウンドの間に低インピーダンス接続を設けてください。この接続を作成するために、ADC の下 (または隣) にブリッジを配置してください (図 8-4 を参照)。そうしないと、デジタル インターフェースでの -300mV 未満のわずかなアンダーシュートであっても、ESD ダイオードの導通を引き起こす可能性があります。ESD ダイオードが導通すると、電流が基板を流れ、アナログ性能が低下します。

PCB レイアウト時に、リターン電流が感度の高いアナログ領域や信号を横切らないようにしてください。信号が、対応する (AGND または DGND) グラウンド プレーンに対して -300mV の限界を超えないようにしてください。

8.4.1.2 デジタル インターフェイス

デバイスの性能をさらに最適化するには、デバイスの各デジタルピンに $10\Omega \sim 100\Omega$ の直列抵抗を使用してください。これにより、入力および出力信号のスルー レートが低下し、デジタル インターフェースから入るノイズが抑制されます。

8.4.2 レイアウト例

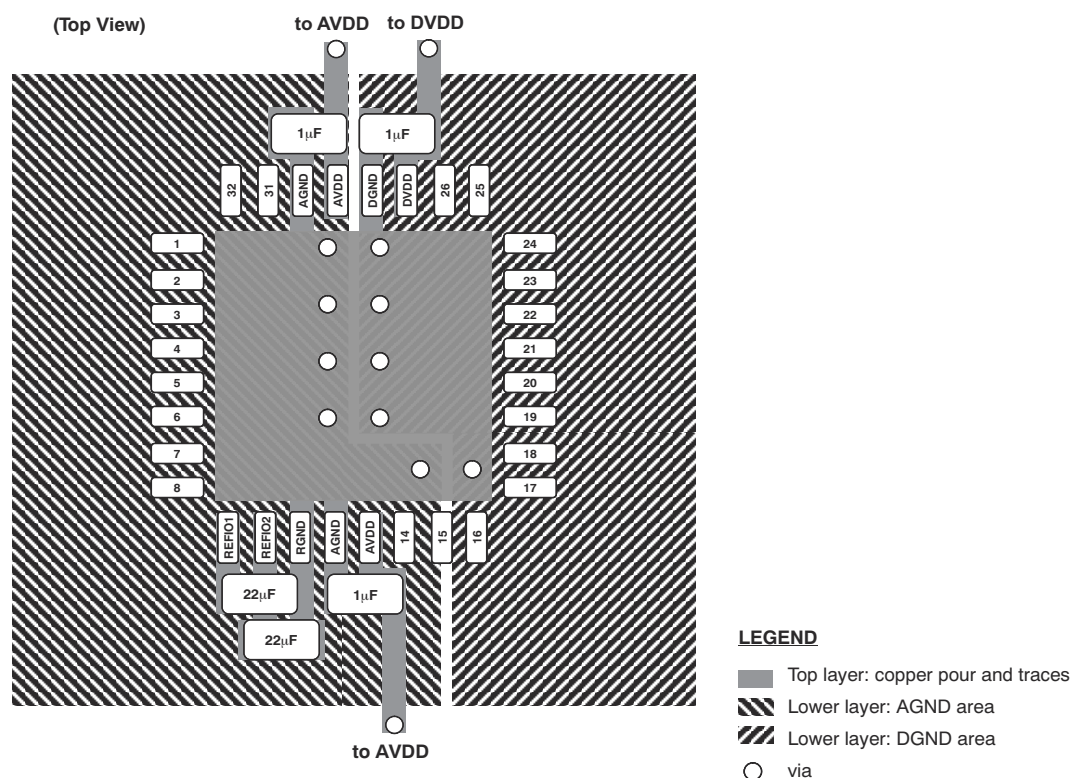


図 8-4. 最適化されたレイアウトの提案

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、[REF60xx 高精度電圧リファレンス、内蔵 ADC ドライブ バッファ付 データシート](#)
- テキサス インスツルメンツ、[REF50xx 低ノイズ、超低ドリフト、高精度リファレンス電圧](#) データシート
- テキサス インスツルメンツ、[μA78xx 固定正電圧レギュレータ](#) データシート

9.2 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.3 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.6 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
June 2026	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962R2521601PXE	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	SRN Q252161

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

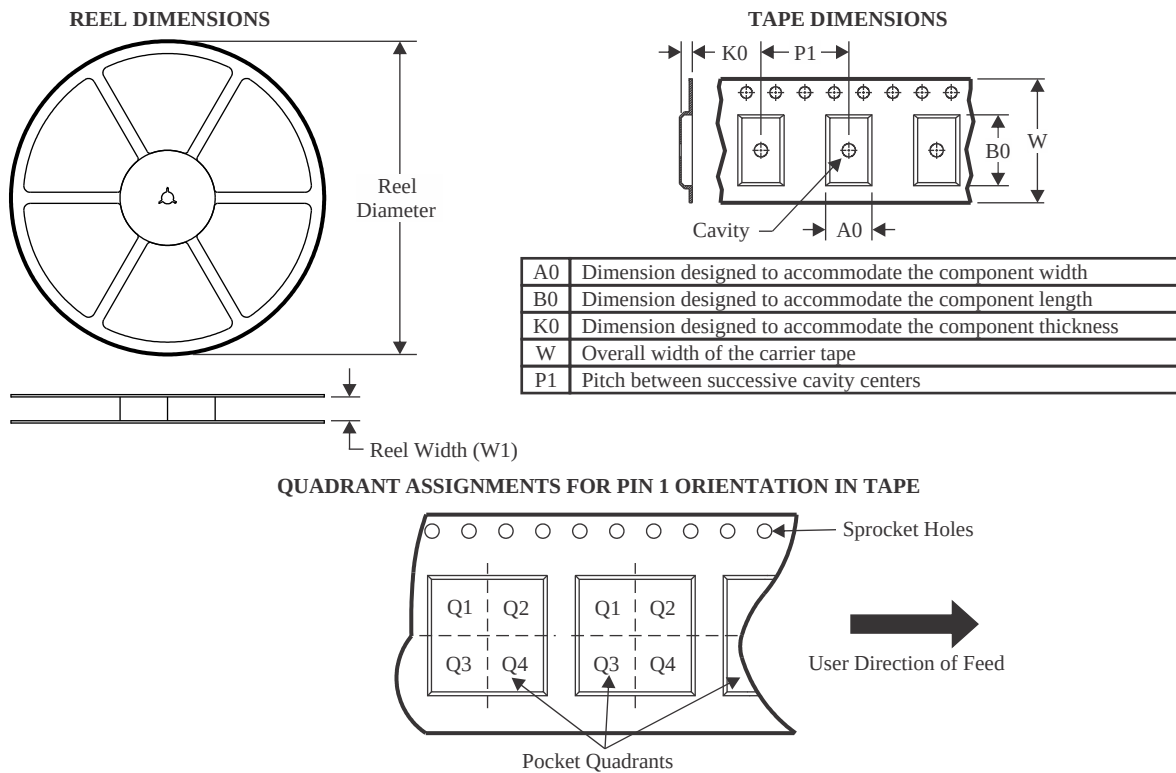
OTHER QUALIFIED VERSIONS OF ADC168M102R-SP :

- Catalog : [ADC168M102R-SEP](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

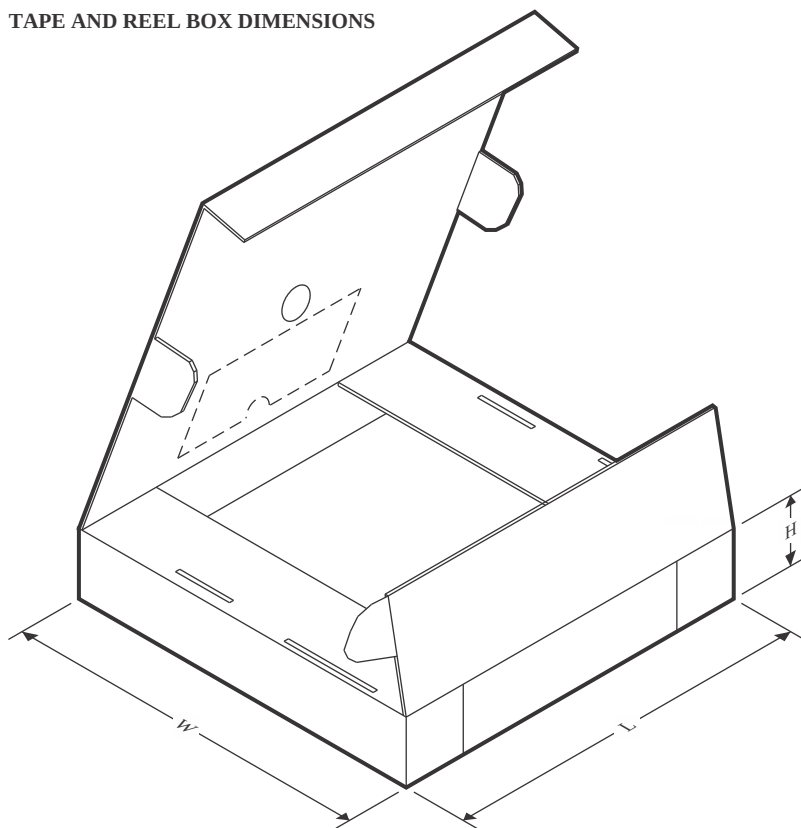
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
5962R2521601PXE	VQFN	RHB	32	250	178.0	12.4	3.56	4.5	1.3	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
5962R2521601PXE	VQFN	RHB	32	250	208.0	191.0	35.0

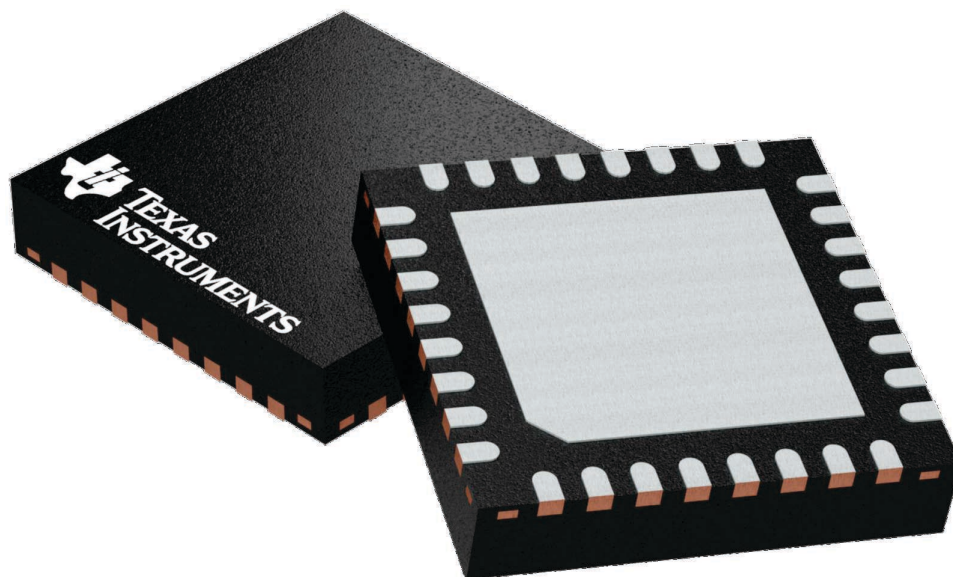
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224745/A

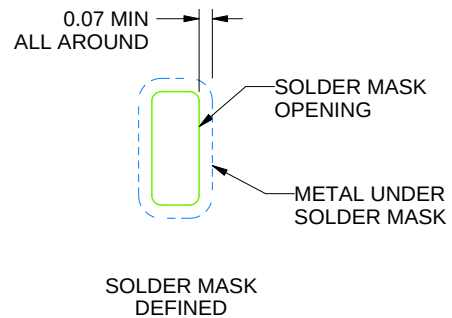
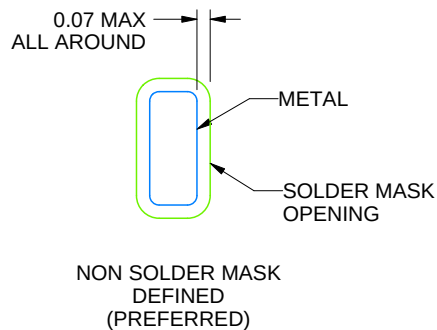
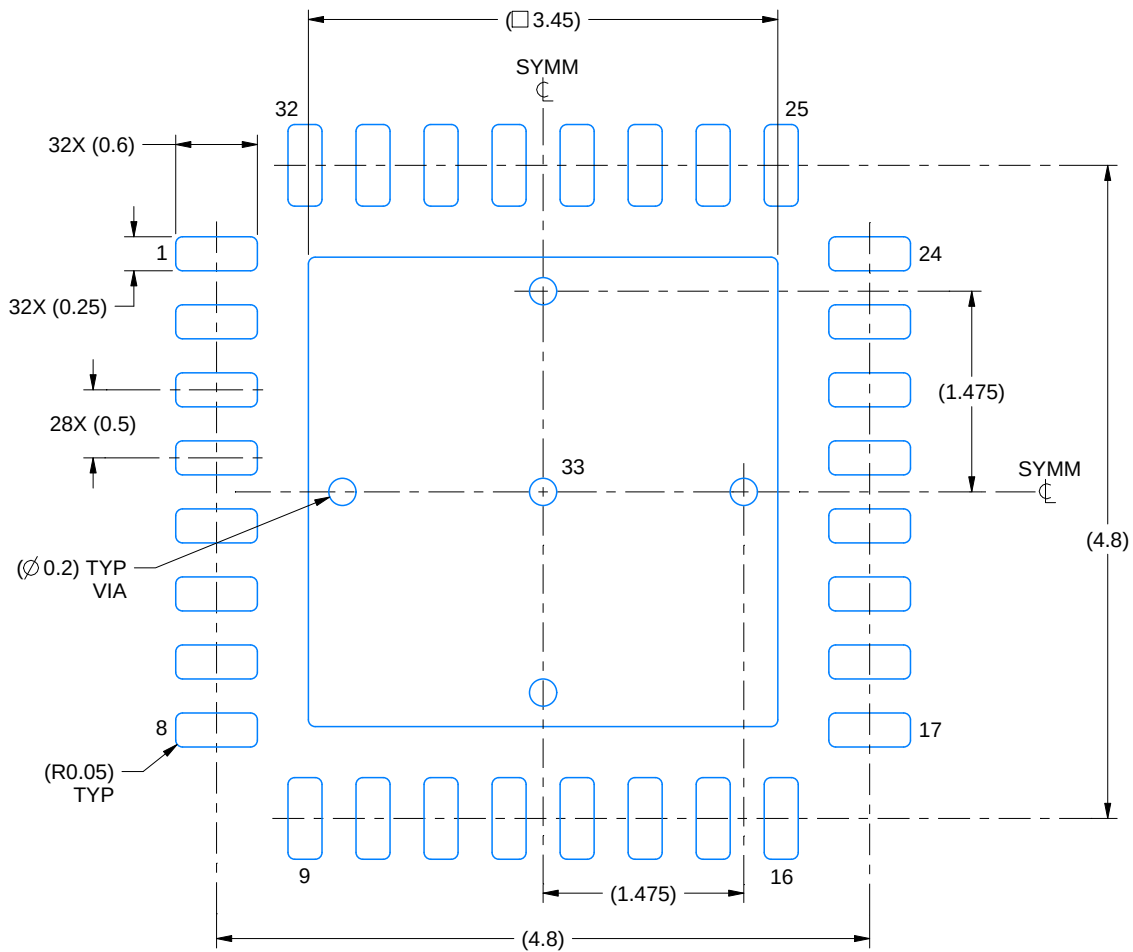
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RHB0032E

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER MASK DETAILS

4223442/B 08/2019

NOTES: (continued)

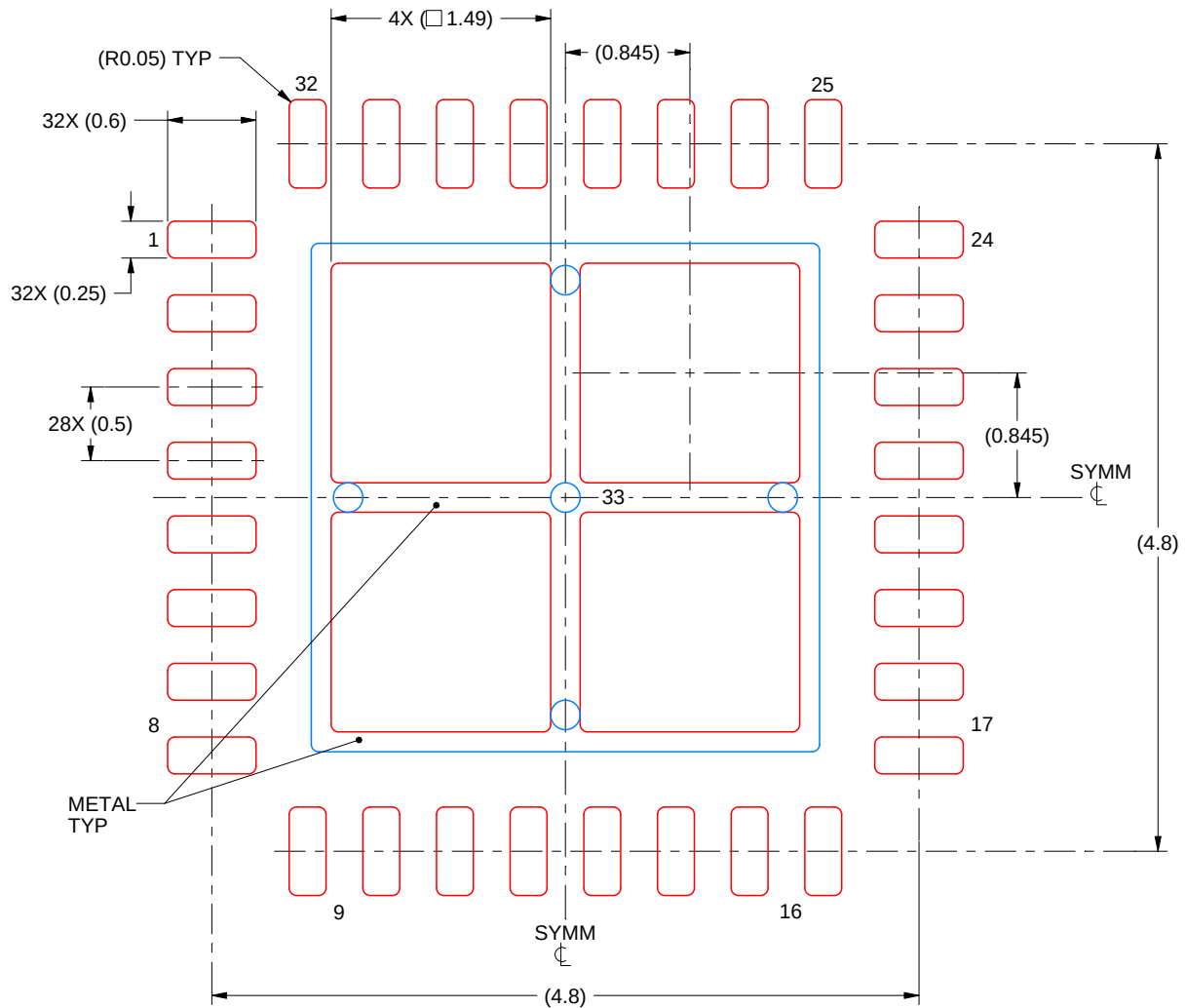
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHB0032E

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4223442/B 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月