ADC34RF72 クワッドチャネル、16 ビット、1.5GSPS RF サンプリングデータコンバータ

1 特長

- 16 ビット、クワッドチャネル、1.5GSPS ADC
- ノイズ スペクトル密度: -163.7dBFS/Hz
- 熱ノイズ:75.6dBFS
- ノイズ指数:14.4dB
- シングル コア (非インターリーブ) ADC アーキテクチャ
- アパーチャ ジッタ:40fs
- バッファ付きアナログ入力
- 入力フルスケール:1.44Vpp (4.1dBm)
- フルパワー入力帯域幅 (-3dB):1.8GHz
- 超低クローズイン残留位相ノイズ:
  - –140dBc/Hz (1GHz の 10kHz オフセット時)
- スペクトル性能 (f_{IN} = 1GHz、-1dBFS 時):
  - SNR_{flat}:72.1dBFS
  - HD2、3:68dBc
  - 非 HD2、3:93dBFS
- 96 タップ/チャネルプログラマブル FIR イコライザフィルタ
- 12 ビットフラクショナル遅延フィルタ
- デジタル ダウンコンバータ (DDC)
  - 最大 8 の DDC
  - 複素数出力:/2、/3、/4、/5 から /32768 のデシメーション
  - 48 ビット NCO による位相コヒーレント周波数ホッピング
  - 高速周波数ホッピング:< 1µs
- JESD204B/C シリアルデータインターフェイス
  - 最大レーン速度:24.75Gbps
- コード エラー レート (CER):1E-15 エラー/サンプル
- 消費電力:1.1W / チャネル (1.5GSPS)

2 アプリケーション

- フェーズド アレイ レーダー
- ウェハー検査
- スペクトル アナライザ
- ソフトウェア無線 (SDR)
- 電子戦
- 高速デジタイザ
- ケーブル インフラストラクチャ
- 通信インフラ

3 説明

ADC34RF72 は、16 ビット、1.5GSPS (非インターリーブ)、クワッドチャネル A/D コンバータ (ADC) です。このデバイスは、最高の信号対雑音比 (SNR) を実現するよう設計されており、−163.7dBFS/Hz のノイズスペクトル密度を備えています。内部平均化モードを使用すると、NSD を -168.7dBFS/Hz まで向上させることができます。バッファ付きアナログ入力は、1.8GHz (-3dB) のフルパワー入力帯域幅で、50、100、および 200Ω のプログラム可能な内部終端インピーダンスをサポートしています。

このデバイスはには、イコライゼーション用の 96 タップ/チャネルのプログラマブル FIR フィルタ、12 ビットの非整数遅延フィルタ、複数のデジタルダウンコンバータ (DDC) など、いくつかのデジタル処理機能を搭載しています。8 つの DDC が /2、/3、/5 から /32768 までのデシメーション係数をサポートしています。48 ビット NCO は位相コヒーレント周波数ホッピングをサポートしています。

ADC34RF72 は、JESD204B/C シリアルデータインターフェイスをサポートし、最大 24.75Gbps のインターフェイスレートを使用します。電力効率の優れた ADC アーキテクチャは、1.5GSPS で 1.1W/ch の消費電力を実現し、低サンプリングレートで電力スケーリングを実現します。

パッケージ情報

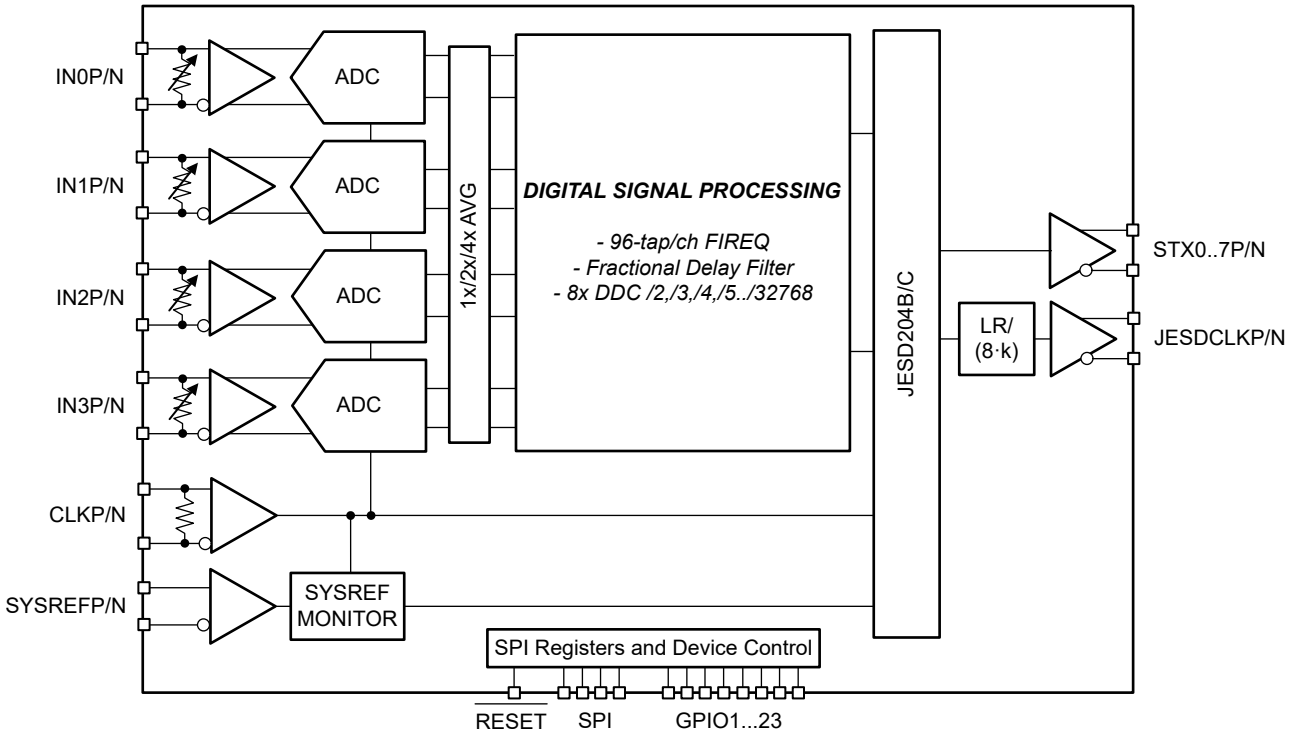
部品番号	パッケージ (1)	パッケージ サイズ(2)
ADC34RF72	FCCSP	13.8 mm × 13.8 mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。

デバイスの比較

部品番号	チャネル数
ADC32RF72	2
ADC34RF72	4

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



ブロック図

Copyright © 2025 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....4
5 仕様.....8
5.1 絶対最大定格.....8
5.2 ESD 定格.....8
5.3 推奨動作条件.....8
5.4 熱に関する情報.....9
5.5 電気的特性 - 消費電力.....9
5.6 電気的特性 - DC 仕様.....10
5.7 電気的特性 - AC 仕様.....12
5.8 タイミング要件.....13
5.9 代表的特性.....14
6 パラメータ測定情報.....20
7 詳細説明.....21
7.1 概要.....21
7.2 機能ブロック図.....21
7.3 機能説明.....22
7.4 デバイスの機能モード.....59
7.5 プログラミング.....61
8 アプリケーションと実装.....63
8.1 アプリケーション情報.....63
8.2 代表的なアプリケーション：スペクトル アナライザ.....63
8.3 代表的なアプリケーション：時間ドメインデジタイザ.....66
8.4 初期化セットアップ.....68
8.5 電源に関する推奨事項.....69
8.6 レイアウト.....70
9 デバイスおよびドキュメントのサポート.....72
9.1 ドキュメントのサポート.....72
9.2 ドキュメントの更新通知を受け取る方法.....72
9.3 サポート・リソース.....72
9.4 商標.....72
9.5 静電気放電に関する注意事項.....72
9.6 用語集.....72
10 改訂履歴.....72
11 メカニカル、パッケージ、および注文情報.....73

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	
A	GND	STX5N	STX5P	STX6N	STX6P	GND	STX7N	STX7P	GND	STX3P	STX3N	GND	STX2P	STX2N	STX1P	STX1N	GND	A
B	STX4P	GND	AVDD12	AVDD12	AVDD12	AVDD12	AVDD12	AVDD12	AVDD12	AVDD12	AVDD12	AVDD12	AVDD12	AVDD12	AVDD12	GND	STX0P	B
C	STX4N	GPIO15	LVDSD29N	LVDSD26N	LVDSD23N	LVDSD21N	LVDSD18N	DVDD09	JESDCLKN	GND	LVDSD2N	LVDSD5N	LVDSD7N	LVDSD10N	LVDSD13N	GPIO22	STX0N	C
D	GND	GPIO16	LVDSD29P	LVDSD26P	LVDSD23P	LVDSD21P	LVDSD18P	DVDD09	JESDCLKP	GND	LVDSD2P	LVDSD5P	LVDSD7P	LVDSD10P	LVDSD13P	GPIO23	GND	D
E	LVDS DCLK1P	LVDSD31N	LVDSD28N	LVDSD25N	LVDSD22N	LVDSD20N	LVDSD17N	DVDD09	AVDD18	GND	LVDSD1N	LVDSD4N	LVDSD6N	LVDSD9N	LVDSD12N	LVDSD15N	LVDS DCLK0P	E
F	LVDS DCLK1N	LVDSD31P	LVDSD28P	LVDSD25P	LVDSD22P	LVDSD20P	LVDSD17P	DVDD09	AVDD12	GND	LVDSD1P	LVDSD4P	LVDSD6P	LVDSD9P	LVDSD12P	LVDSD15P	LVDS DCLK0N	F
G	LVDS FCLK1P	LVDSD30N	LVDSD27N	LVDSD24N	GND	LVDSD19N	LVDSD16N	DVDD09	GND	GND	LVDSD0N	LVDSD3N	GND	LVDSD8N	LVDSD11N	LVDSD14N	LVDS FCLK0P	G
H	LVDS FCLK1N	LVDSD30P	LVDSD27P	LVDSD24P	AVDD18	LVDSD19P	LVDSD16P	DVDD09	GND	GND	LVDSD0P	LVDSD3P	AVDD18	LVDSD8P	LVDSD11P	LVDSD14P	LVDS FCLK0N	H
J	$\overline{\text{RESET}}$	GPIO12	GPIO9	$\overline{\text{SYNC}}$	NC	GND	GND	DVDD09	GND	GND	GND	GND	AVDD18	NC	GPIO3	$\overline{\text{SEN}}$	GPIO19	J
K	NC	GPIO13	GPIO10	GPIO1	NC	GND	GND	DVDD09	GND	GND	GND	GND	DVDD09	NC	SCLK	GPIO17	GPIO20	K
L	NC	GPIO14	SDOUT	GPIO8	AVDD GPIO18	DVDD09	DVDD09	DVDD09	DVDD09	DVDD09	DVDD09	DVDD09	DVDD09	GPIO2	SDIO	GPIO18	GPIO21	L
M	GND	GND	AVDD12	AVDD12	GND	AVDD18	GND	AVDD12	GND	GND	AVDD12	GND	AVDD18	AVDD12	AVDD12	GND	GND	M
N	AVDD18	GND	AVDD12	AVDD12	GND	AVDD18	TIME STAMPP	AVDD12	GND	GND	AVDD12	GND	AVDD18	AVDD12	AVDD12	GND	AVDD18	N
P	IN2N	GND	AVDD12	AVDD12	GND	AVDD18	TIME STAMPN	AVDD12	GND	GND	AVDD12	GND	AVDD18	AVDD12	AVDD12	GND	IN0P	P
R	IN2P	GND	AVDD12	AVDD12	GND	AVDD18	GND	GND	GND	GND	GND	GND	AVDD18	AVDD12	AVDD12	GND	IN0N	R
T	AVDD18	GND	AVDD18	AVDD18	GND	GND	VCM	AVDDCLK18	AVDDCLK12	AVDDCLK12	AVDDCLK18	VCM	GND	AVDD18	AVDD18	GND	AVDD18	T
U	GND	GND	IN3N	IN3P	GND	SYSREFN	SYSREFP	GND	CLKN	CLKP	GND	AVDDCLK12	GND	IN1N	IN1P	GND	GND	U
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	

図 4-1. 289 ボールフリップチップ BGA
(上面図)

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能

ピン		タイプ[1]	説明
名称	番号		
AVDD12	B3、B4、B5、B6、B7、B8、B9、B10、B11、B12、B13、B14、B15、F9、M3、M4、M8、M11、M14、M15、N3、N4、N8、N11、N14、N15、P3、P4、P8、P11、P14、P15、R3、R4、R14、R15	P	アナログ 1.2V 電源。低ノイズ LDO を推奨。
AVDDCLK12	T9、T10、U12	P	クロック電源、1.2V。低ノイズ LDO を推奨
AVDD18	E9、H5、H13、J13、M6、M13、N1、N6、N13、N17、P6、P13、R6、R13、T1、T3、T4、T14、T15、T17	P	アナログ 1.8V 電源。低ノイズ LDO を推奨
AVDDCLK18	T8、T11	P	クロック電源、1.8V。低ノイズ LDO を推奨
AVDDGPIO18	L5	P	GPIO ピン用 1.8V 電源。
CLKN、CLKP	U9、U10	I	差動クロック入力。内部差動 100Ω 終端および 0.7V の同相電圧への自己バイアス。外部で AC 結合する必要があります。
DVDD09	C8、D8、E8、F8、G8、H8、J8、K8、K13、L6、L7、L8、L9、L10、L11、L12、L13	P	デジタル電源、0.9V。スイッチング DC/DC レギュレータを推奨します。
GND	A1、A6、A9、A12、A17、B2、B16、C10、D1、D10、D17、E10、F10、G5、G9、G10、G13、H9、H10、J6、J7、J9、J10、J11、J12、K6、K7、K9、K10、K11、K12、M1、M2、M5、M7、M9、M10、M12、M16、M17、N2、N5、N9、N10、N12、N16、P2、P5、P9、P10、P12、P16、R2、R5、R7、R8、R9、R10、R11、R12、R16、T2、T5、T6、T13、T16、U1、U2、U5、U8、U11、U13、U16、U17	G	グランド、0V
GPIO1、GPIO2、GPIO3	K4、L14、J15	I/O	GPIO ピンは、SPI 書き込みにより異なる機能を割り当てることができます。「GPIO 制御」を参照してください。
GPIO8、GPIO9、GPIO10	L4、J3、K3、	I/O	
GPIO12～GPIO23	J2、K2、L2、C2、D2、K16、L16、J17、K17、L17、C16、D16	I/O	
IN0N、IN0P	R17、P17	I	差動アナログ入力、チャネル 0。内部プログラム可能な 50Ω、100Ω および 200Ω 終端。
IN1N、INIP	U14、U15	I	差動アナログ入力、チャネル 1。内部プログラム可能な 50Ω、100Ω および 200Ω 終端。
IN2N、IN2P	P1、R1	I	差動アナログ入力、チャネル 2。内部プログラム可能な 50Ω、100Ω および 200Ω 終端。
IN3N、IN3P	U3、U4	I	差動アナログ入力、チャネル 3。内部プログラム可能な 50Ω、100Ω および 200Ω 終端。
JESDCLKN、JESDCLKP	C9、D9	O	差動 JESD 出力クロック。LVDS ロジックレベル。SerDes レーンレートを (8 x k) で除算するように構成できます。デフォルトでは、この機能はパワーダウンされ、ピンをフローティングのままにできます。この出力クロックは内部の SerDes PLL から直接生成され、確定的レイテンシはありません。
LVDSDCLK0N、LVDSDCLK0P	F17、E17	O	差動 LVDS ビットクロック出力。 現在ソフトウェアではサポートされていません。「未接続」のままにします
LVDSDCLK1N、LVDSDCLK1P	F1、E1	O	
LVDSFCLK0N、LVDSFCLK0P	H17、G17	O	差動 LVDS フレームクロック出力。 現在ソフトウェアではサポートされていません。「未接続」のままにします
LVDSFCLK1N、LVDSFCLK1P	H1、G1	O	

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ[1]	説明
名称	番号		
LVDSD0N、LVDSD0P	G11、H11	O	LVDS 出力インターフェイス 現在ソフトウェアではサポートされていません。「未接続」のままにします
LVDSD1N、LVDSD1P	E11、F11	O	
LVDSD2N、LVDSD2P	C11、D11	O	
LVDSD3N、LVDSD3P	G12、H12	O	
LVDSD4N、LVDSD4P	E12、F12	O	
LVDSD5N、LVDSD5P	C12、D12	O	
LVDSD6N、LVDSD6P	E13、F13	O	
LVDSD7N、LVDSD7P	C13、D13	O	
LVDSD8N、LVDSD8P	G14、H14	O	
LVDSD9N、LVDSD9P	E14、F14	O	
LVDSD10N、LVDSD10P	C14、D14	O	
LVDSD11N、LVDSD11P	G15、H15	O	
LVDSD12N、LVDSD12P	E15、F15	O	
LVDSD13N、LVDSD13P	C15、D15	O	
LVDSD14N、LVDSD14P	G16、H16	O	
LVDSD15N、LVDSD15P	E16、F16	O	
LVDSD16N、LVDSD16P	G7、H7	O	
LVDSD17N、LVDSD17P	E7、F7	O	
LVDSD18N、LVDSD18P	C7、D7	O	
LVDSD19N、LVDSD19P	G6、H6	O	
LVDSD20N、LVDSD20P	E6、F6	O	
LVDSD21N、LVDSD21P	C6、D6	O	
LVDSD22N、LVDSD22P	E5、F5	O	
LVDSD23N、LVDSD23P	C5、D5	O	
LVDSD24N、LVDSD24P	G4、H4	O	
LVDSD25N、LVDSD25P	E4、F4	O	
LVDSD26N、LVDSD26P	C4、D4	O	
LVDSD27N、LVDSD27P	G3、H3	O	
LVDSD28N、LVDSD28P	E3、F3	O	

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ(1)	説明
名称	番号		
LVDSD29N、LVDSD29P	C3、D3	O	LVDS 出力インターフェイス 現在ソフトウェアではサポートされていません。「未接続」のままにします
LVDSD30N、LVDSD30P	G2、H2	O	
LVDSD31N、LVDSD31P	E2、F2	O	
NC	J5、J14、K1、K5、K14、L1	-	接続しない
$\overline{\text{RESET}}$	J1	I	ハードウェア リセットアクティブ Low。このピンには、内部に AVDD18 への 10kΩ プルアップ抵抗があります。
SCLK	K15	I	シリアル インターフェース クロック入力。このピンには、内部に 10kΩ プルダウン抵抗があります。
SDIO	L15	I/O	シリアル インターフェイス データ入出力。このピンには、内部に 10kΩ プルダウン抵抗があります。
SDOUT	L3	O	シリアル インターフェイス データ出力。
$\overline{\text{SEN}}$	J16	I	シリアル インターフェースのイネーブル。アクティブ Low。このピンには、内部に AVDD18 への 10kΩ プルアップ抵抗があります。
STX0N、STX0P	C17、B17	O	差動、高速シリアル JESD204B/C 出力データインターフェイス、レーン 0
STX1N、STX1P	A16、A15	O	差動、高速シリアル JESD204B/C 出力データインターフェイス、レーン 1
STX2N、STX2P	A14、A13	O	差動、高速シリアル JESD204B/C 出力データインターフェイス、レーン 2
STX3N、STX3P	A11、A10	O	差動、高速シリアル JESD204B/C 出力データインターフェイス、レーン 3
STX4N、STX4P	C1、B1	O	差動、高速シリアル JESD204B/C 出力データインターフェイス、レーン 4
STX5N、STX5P	A2、A3	O	差動、高速シリアル JESD204B/C 出力データインターフェイス、レーン 5
STX6N、STX6P	A4、A5	O	差動、高速シリアル JESD204B/C 出力データインターフェイス、レーン 6
STX7N、STX7P	A7、A8	O	差動、高速シリアル JESD204B/C 出力データインターフェイス、レーン 7
$\overline{\text{SYNC}}$	J4	I	JESD アクティブ Low SYNC 入力。SYNC が Low で、デバイスが構成されると、デバイスは K 文字を JESD レーンに送信します。
SYSREFN、SYSREFP	U6、U7	I	差動 SYSREF 入力 (100Ω 差動終端、1.2V に自己バイアス)。AC および DC カップリングがサポートされます。
TIMESTAMPN、TIMESTAMPP	P7、N7	I	現在ソフトウェアではサポートされていません。GND に接続できます。
VCM	T7、T12	O	同相電圧リファレンス出力。2 つのピンは内部で短絡されています。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

パラメータ	テスト条件	最小値	最大値	単位
電源電圧範囲、AVDD18		-0.5	2.1	V
電源電圧範囲、AVDD12		-0.3	1.4	
電源電圧範囲、AVDDCLK18		-0.5	2.1	
電源電圧範囲、AVDDCLK12		-0.3	1.4	
電源電圧範囲、DVDD09		-0.3	1.2	
電源電圧範囲、AVDDGPIO18		-0.5	2.1	
入力ピンに印加される電圧	IN0P/N、IN1P/N、IN2P/N、IN3P/N	-0.5	2.1	
	CLKP/N	-0.3	1.4	
	SYSREFP/N、TSTAMPP/N	-0.3	2.1	
	GPIO0..23、$\overline{\text{RESET}}$、SCLK、$\overline{\text{SEN}}$、SDIO、$\overline{\text{SYNC}}$	-0.5	2.1	
接合部温度、T_J			125	℃
保管温度、T_{stg}		-65	150	

(1) 「*絶対最大定格*」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「*推奨動作条件*」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM) ANSI/ESDA/JEDEC JS-001 準拠(1)	1000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠(2)	150	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

外気温度範囲での動作時 (特に記述がない限り)

			最小値	公称値	最大値	単位
AVDD18	1.8V アナログ電源		1.75	1.8	1.85	V
AVDD12	1.2V アナログ電源		1.175	1.2	1.225	
AVDDCLK18	1.8 V クロック電源		1.75	1.8	1.85	
AVDDCLK12	1.2 V クロック電源		1.175	1.2	1.225	
DVDD09	0.9V デジタル電源		0.875	0.9	0.925	
AVDDGPIO18	1.8V GPIO 電源		1.75	1.8	1.85	
T_A	外気温度での動作時		-40		105	℃
T_J	動作時接合部温度				110(1)	

(1) この接合部温度を超えて長時間使用すると、デバイスの時間あたりの故障回数 (FIT) レートが上昇する可能性があります。

Copyright © 2025 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		ADC34RF72 ANH (BGA) 289 ボール	単位
$R_{\Theta JA}$	接合部から周囲への熱抵抗	15.4	°C/W
$R_{\Theta JC(top)}$	接合部からケース (上面) への熱抵抗	0.5	°C/W
$R_{\Theta JB}$	接合部から基板への熱抵抗	4.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.1	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	4.1	°C/W

(1) 従来および新しい熱特性の詳細については、『半導体および IC パッケージの熱測定値』アプリケーション レポート、SPRA953 を参照してください。

5.5 電気的特性 - 消費電力

最大値と最小値は、自由気流での動作温度範囲および公称電源電圧について規定されています。特に記述のない限り、標準値は T_A = 25°C、ADC サンプリングレート = 1.5GSPS、DDC バイパスモード、50% クロックデューティサイクル、公称電源電圧、-1dBFS 差動入力で規定されています。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{AVDD18}	電源電流、1.8V アナログ電源	バイパスモード LMFS = 8-4-1-1		600	750	mA
I_{AVDD12}	電源電流、1.2V アナログ電源			1300	1850	
$I_{AVDDCLK18}$	電源電流、1.8V クロック電源			110	200	
$I_{AVDDCLK12}$	電源電流、1.2V クロック電源			90	290	
I_{DVDD09}	電源電流、0.9V デジタル電源			1600	2000	
$I_{AVDDGPIO18}$	電源電流、1.8V GPIO 電源			5		
P_{DIS}	消費電力			4.4		W
パワーダウン モード						
P_{DIS}	高速パワーダウンモードの消費電力	高速ウェークアップ時間		2.2		W
P_{DIS}	グローバルパワーダウンモードの消費電力			0.4		

Copyright © 2025 Texas Instruments Incorporated

5.6 電気的特性 - DC 仕様

最大値と最小値は、自由気流での動作温度範囲および公称電源電圧について規定されています。特に記述のない限り、標準値は T_A = 25°C、ADC サンプリングレート = 1.5GSPS、DDC バイパスモード、50% クロックデューティサイクル、公称電源電圧、-1dBFS 差動入力で規定されています。

パラメータ		テスト条件	最小値	標準値	最大値	単位
DC 精度						
	ミッシング コードなし		16			ビット
DNL	微分非直線性	F_{IN} = 10MHz		0.3		LSB
INL	積分非直線性	F_{IN} = 10MHz		2.5		LSB
V_{OS_ERR}	オフセット誤差			0.9		%FSR
$GAIN_{ERR}$	ゲイン誤差			1.0		%FSR
$GAIN_{Matching}$	チャネル間のゲインマッチング			0.1		dB
ADC アナログ入力 (IN0P/N、IN1P/N、IN2P/N、IN3P/N)						
FS	入力フル スケール	差動		1.4375		Vpp
V_{ICM}	入力同相電圧		1.25	1.35	1.45	V
Z_{IN}	差動入力インピーダンス	差動、100MHz		100		Ω
V_{OCM}	出力同相電圧			1.35		V
BW	アナログ入力帯域幅 (-3dB)			1.8		GHz
CMRR	同相除去比	F_{IN} = 100MHz		30		dB
クロック入力 (CLKP/N)						
入力クロック周波数			500		1500	MHz
V_{ID}	差動入力電圧		0.6	2.0	2.8	Vpp
V_{ICM}	入力同相電圧			0.7		V
Z_{IN}	差動入力インピーダンス	差動、1.5GHz		100		Ω
クロック デューティ サイクル			30	50	70	%
SYSREF 入力 (SYSREFP/N)						
V_{ID}	差動入力電圧		350	450	800	mVpp
V_{ICM}	入力同相電圧		1.05	1.2	1.325	V
デジタル入力 (GPIO1..23、$\overline{RESET}$、SCLK、$\overline{SEN}$、SDIO、$\overline{SYNC}$)						
V_{IH}	High レベル入力電圧		1.15			V
V_{IL}	Low レベル入力電圧				0.65	V
I_{IH}	High レベル入力電流		-250		250	µA
I_{IL}	Low レベル入力電流		-250		250	µA
C_I	入力容量			2		pF
デジタル出力 (SDIO、SDOUT)						
V_{OH}	High レベル出力電圧	I_{LOAD} = -400uA	AVDDG PIO18–0.1	AVDDG PIO18		V
V_{OL}	Low レベル出力電圧	I_{LOAD} = 400uA			0.1	V
CML SERDES 出力:STX[0..7]P/N						
V_{OD}	SerDes トランスミッタ出力振幅	差動ピーク ツー ピーク		950		mVpp
V_{OCM}	SerDes トランスミッタ出力同相モード			450		mV
Z_{TX}	SerDes トランスミッタのシングルエンド終端インピーダンス			50		Ω

Copyright © 2025 Texas Instruments Incorporated

5.6 電気的特性 - DC 仕様 (続き)

最大値と最小値は、自由気流での動作温度範囲および公称電源電圧について規定されています。特に記述のない限り、標準値は T_A = 25°C、ADC サンプリングレート = 1.5GSPS、DDC バイパスモード、50% クロックデューティサイクル、公称電源電圧、-1dBFS 差動入力で規定されています。

パラメータ		テスト条件	最小値	標準値	最大値	単位
	トランスミッタ短絡電流	-0.25V ～ 1.45V の任意の電圧に短絡されたトランスミッタピン	-100		100	mA

5.7 電気的特性 - AC 仕様

最大値と最小値は、自由気流での動作温度範囲および公称電源電圧について規定されています。特に記述のない限り、標準値は T_A = 25°C、ADC サンプリングレート = 1.5GSPS、100Ω 終端、DDC バイパスモード、50% クロックデューティサイクル、公称電源電圧、-1dBFS 差動入力で規定されています。

パラメータ		テスト条件	最小値(2)	標準値	最大値	単位
AC 精度						
NSD_{flat}	ノイズ スペクトル密度	f_{IN} = 600MHz 、A_{IN} = -20dBFS		-163.7		dBFS/Hz
NF	ノイズ指数 (100Ω 終端)	f_{IN} = 600MHz 、A_{IN} = -20dBFS		14.4		dB
SNR	信号対雑音比	f_{IN} = 100MHz		73.0		dBFS
SNR_{flat} (1)	ナイキストゾーン内の 100MHz から FS/2 で測定された信号対雑音比	f_{IN} = 100MHz	72.0	75.3		dBFS
		f_{IN} = 600MHz		73.4		
		f_{IN} = 600MHz 、A_{IN} = -20dBFS		75.5		
		f_{IN} = 900MHz		72.1		
		f_{IN} = 1.4GHz		69.0		
$SINAD_{flat}$ (1)	信号対雑音歪み比	f_{IN} = 100MHz		74.3		dBFS
ENOB	有効ビット数	f_{IN} = 100MHz		11.8		ビット
THD	全高調波歪み (最初の 5 つの高調波)	f_{IN} = 100MHz		82		dBc
		f_{IN} = 600MHz		74		
		f_{IN} = 900MHz		68		
		f_{IN} = 1.4GHz		57		
HD2	2 次高調波歪み	f_{IN} = 100MHz	74	88		dBc
		f_{IN} = 600MHz		77		
		f_{IN} = 900MHz		74		
		f_{IN} = 1.4GHz		64		
HD3	3 次高調波歪み	f_{IN} = 100MHz	74	83		dBc
		f_{IN} = 600MHz		77		
		f_{IN} = 900MHz		68		
		f_{IN} = 1.4GHz		58		
Non HD2,3	スプリアス フリー ダイナミックレンジ (HD2 と HD3 を除く)	f_{IN} = 100MHz	80	95		dBFS
		f_{IN} = 600MHz		90		
		f_{IN} = 900MHz		93		
		f_{IN} = 1.4GHz		79		
IMD3	2 トーンの相互変調歪み	f_1 = 100MHz、f_2 = 200MHz、A_{IN} = -7dBFS / トーン		89		dBFS
		f_1 = 0.9GHz、f_2 = 1.0GHz、A_{IN} = -7dBFS / トーン		76		

(1) SNR_{flat} および NSD_{flat} の詳細な説明については、「パラメータ測定情報」を参照してください
(2) SNR_{flat}、HD3、および非 HD23 の最小値は最終テストで規定されています。HD2 はベンチ特性評価により規定されています。

Copyright © 2025 Texas Instruments Incorporated

5.8 タイミング要件

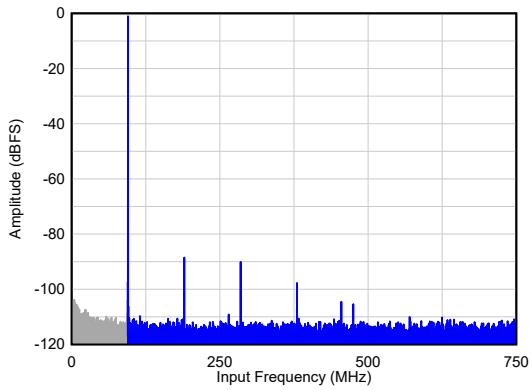
最大値と最小値は、自由気流での動作温度範囲および公称電源電圧について規定されています。特に記述のない限り、標準値は T_A = 25°C、ADC サンプリングレート = 1.5GSPS、DDC バイパスモード、50% クロックデューティサイクル、公称電源電圧、-1dBFS 差動入力で規定されています。

パラメータ		テスト条件	最小値	公称値	最大値	単位
ADC タイミング仕様						
T_{AD}	アパーチャ遅延			0.15		ns
	アパーチャ遅延の変動			0.05		ns
T_A	アパーチャ ジッタ			40		fs
CER	コード エラー レート			1e-15		エラー / サンプル
	ウェークアップ時間	高速パワーダウン終了後 (JESD はアクティブのまま) 有効なデータまでの時間 (SNR はデータシートの値から 2dB 以内)			5	us
レイテンシ：t_{PD} + t_{ADC}						
t_{PD}	伝搬遅延			1		ns
t_{ADC}	サンプリングの瞬間から JESD 出力までの ADC レイテンシ	DDC バイパス、LMFS = 8411		524		ADC クロック サイクル
シリアル プログラミング インターフェイス (SCLK, SEN, SDIO) - 入力						
$f_{CLK(SCLK)}$	シリアル クロック周波数		1		50	MHz
$t_{S(SEN)}$	SCLK の立ち上がりエッジへの SEN		10			ns
$t_{H(SEN)}$	SCLK の立ち上がりエッジからの SEN		10			ns
$t_{SU(SDIO)}$	SCLK の立ち上がりエッジへの SDIO		10			ns
$t_{H(SDIO)}$	SCLK の立ち上がりエッジからの SDIO		10			ns
シリアルプログラミングインターフェイス (SDIO、SDOUT) - 出力						
$t_{(OZD)}$	SDIO トライステートから駆動へ				10	ns
$t_{(ODZ)}$	SDIO データからトライステートへ				14	ns
$t_{(OD)}$	SDIO は SCLK の立ち下がりエッジから有効				10	ns
タイミング：SYSREFP/N						
$t_{s(SYSREF)}$	セットアップ時間、SYSREFP/N 有効から CLKP/N の立ち上がりエッジまで			50		ps
$t_{h(SYSREF)}$	ホールド時間、SYSREFP/N 有効から CLKP/N の立ち上がりエッジまで			50		ps
CML SerDes 出力：STX[0..7]P/N						
f_{Serdes}	SerDes ビットレート		4.0		24.75	Gbps
R_J	ランダム ジッタ			0.45		ps
D_J	確定的ジッタ			12.5		ps
T_J	総ジッタ、ピークツーピーク			19.7		ps

Copyright © 2025 Texas Instruments Incorporated

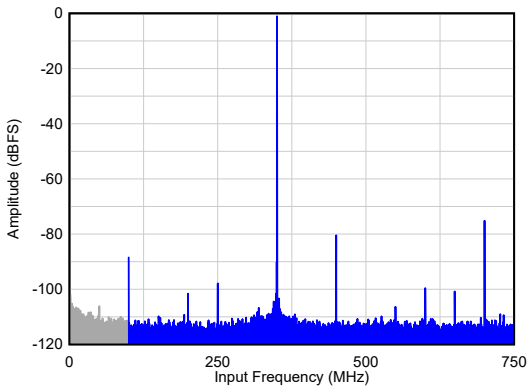
5.9 代表的特性

特に記述のない限り、標準値は T_A = 25°C、ADC サンプリングレート = 1.5GSPS、50% クロックデューティサイクル、公称電源、-1dBFS 差動入力、100Ω 終端で規定されています



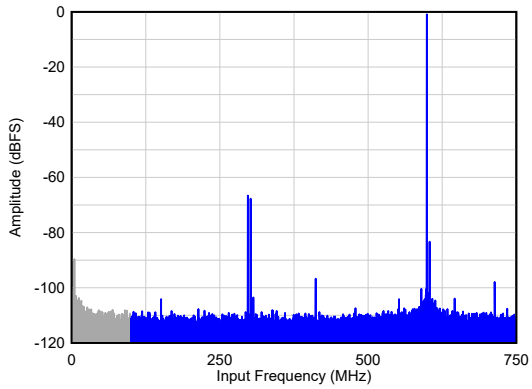
SNR_{flat} = 74.6dBFS

図 5-1. F_{IN} = 100MHz でのシングル トーン FFT



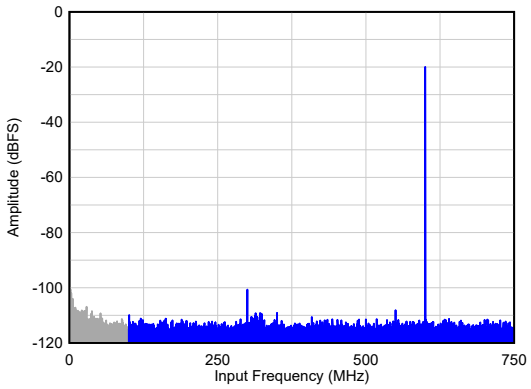
SNR_{flat} = 73.7dBFS

図 5-2. F_{IN} = 300MHz でのシングル トーン FFT



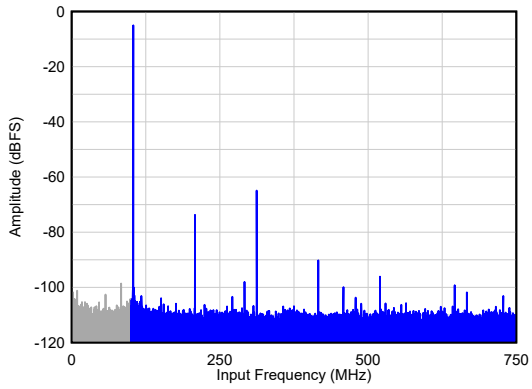
SNR_{flat} = 71.5dBFS

図 5-3. F_{IN} = 900MHz でのシングル トーン FFT



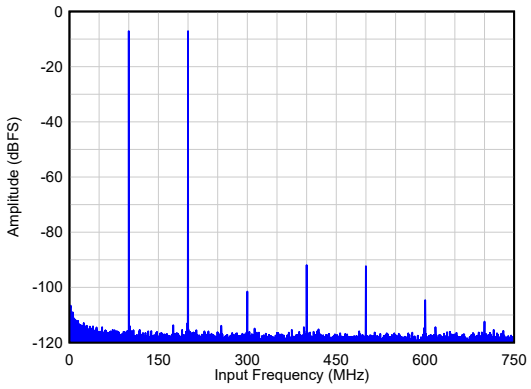
SNR_{flat} = 74.6dBFS、A_{IN} = -20dBFS

図 5-4. F_{IN} = 900MHz でのシングル トーン FFT



SNR_{flat} = 67.8dBFS

図 5-5. F_{IN} = 1400MHz でのシングル トーン FFT



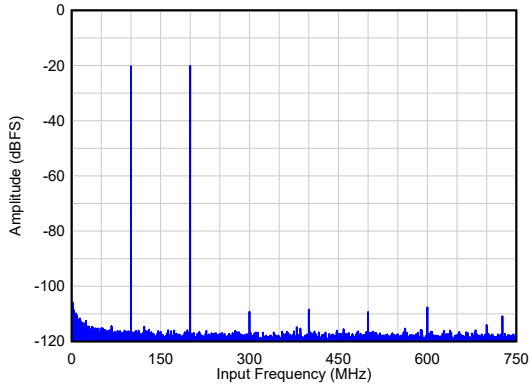
A_{IN} = -7dBFS / トーン

図 5-6. F_{IN} = 100/200MHz での 2 トーン FFT

Copyright © 2025 Texas Instruments Incorporated

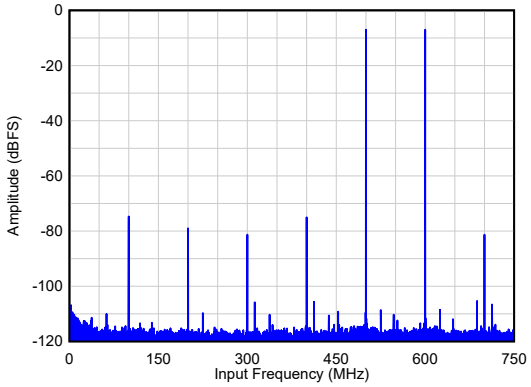
5.9 代表的特性 (続き)

特に記述のない限り、標準値は T_A = 25°C、ADC サンプリングレート = 1.5GSPS、50% クロックデューティサイクル、公称電源、-1dBFS 差動入力、100Ω 終端で規定されています



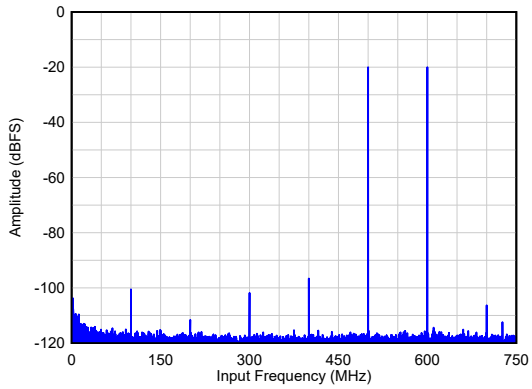
A_{IN} = -20dBFS / トーン

図 5-7. F_{IN} = 100/200MHz での 2 トーン FFT



A_{IN} = -7dBFS / トーン

図 5-8. F_{IN} = 900/1000MHz での 2 トーン FFT



A_{IN} = -20dBFS / トーン

図 5-9. F_{IN} = 900/1000MHz での 2 トーン FFT

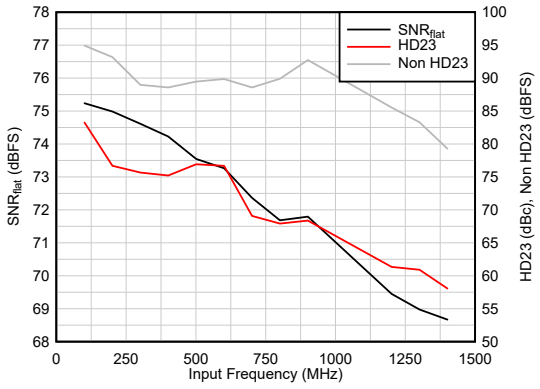
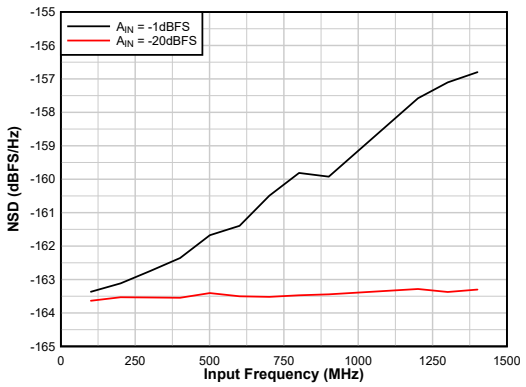
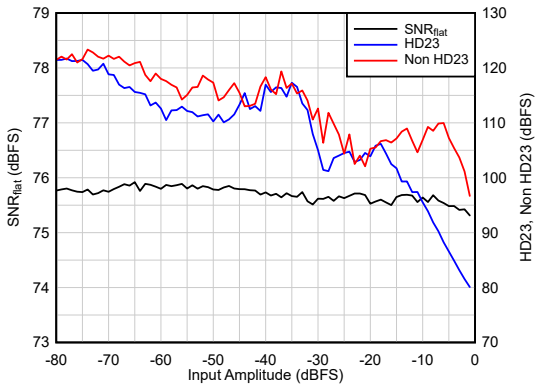


図 5-10. AC 性能と F_{IN} との関係



終端 = 50Ω

図 5-11. NSD 性能と F_{IN} との関係



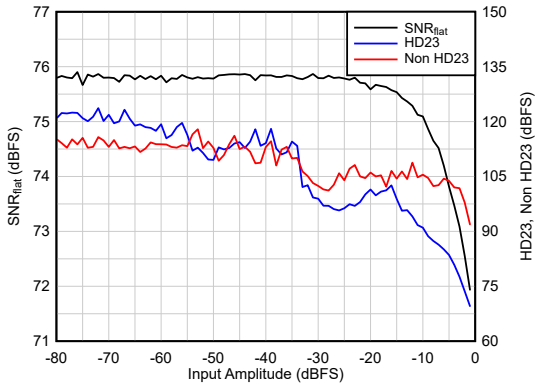
F_{IN} = 100MHz

図 5-12. AC 性能と A_{IN} との関係

Copyright © 2025 Texas Instruments Incorporated

5.9 代表的特性 (続き)

特に記述のない限り、標準値は T_A = 25°C、ADC サンプリングレート = 1.5GSPS、50% クロックデューティサイクル、公称電源、-1dBFS 差動入力、100Ω 終端で規定されています



F_{IN} = 900MHz

図 5-13. AC 性能と A_{IN} との関係

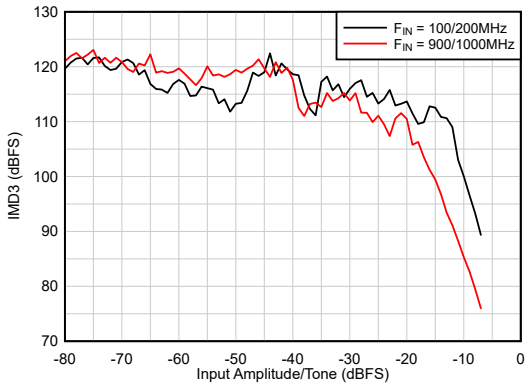
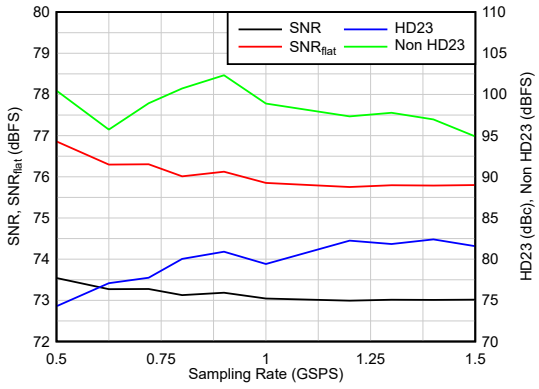


図 5-14. IMD3 性能と A_{IN} との関係



F_{IN} = 100MHz

図 5-15. AC 性能と F_S との関係

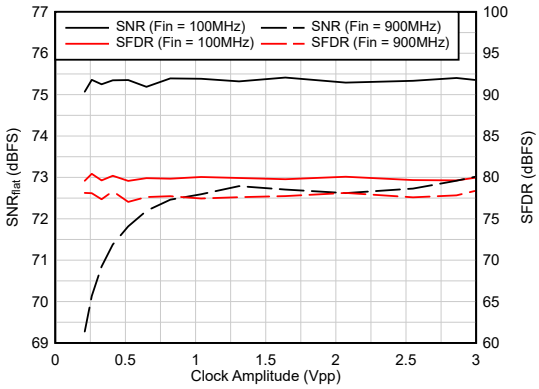


図 5-16. AC 性能とクロック振幅との関係

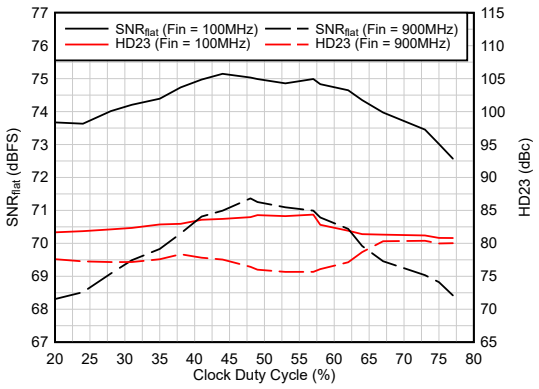


図 5-17. AC 性能とクロック デューティ サイクルとの関係

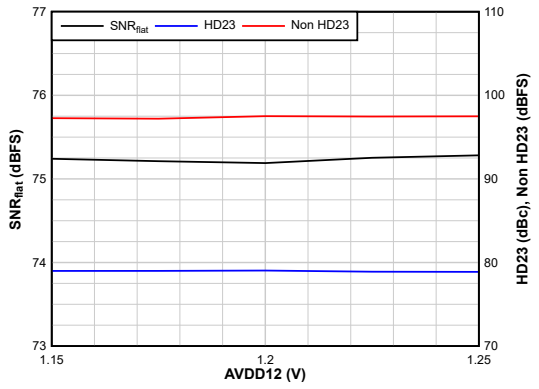


図 5-18. AC 性能と AVDD12 電源との関係

Copyright © 2025 Texas Instruments Incorporated

5.9 代表的特性 (続き)

特に記述のない限り、標準値は T_A = 25°C、ADC サンプリングレート = 1.5GSPS、50% クロックデューティサイクル、公称電源、-1dBFS 差動入力、100Ω 終端で規定されています

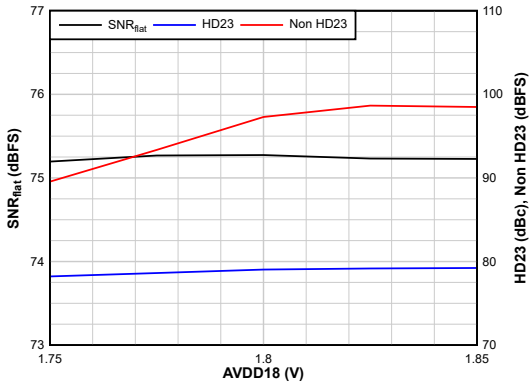


図 5-19. AC 性能と AVDD18 電源との関係

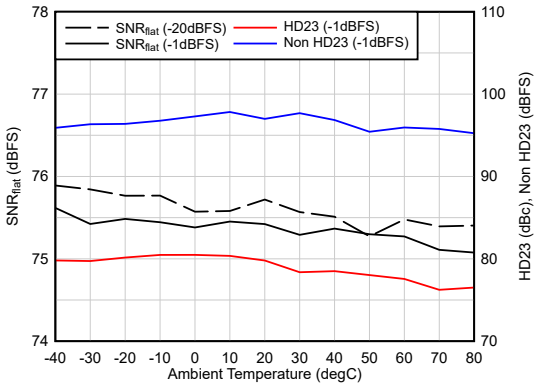
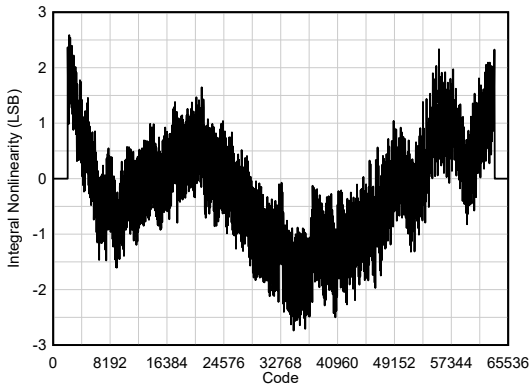
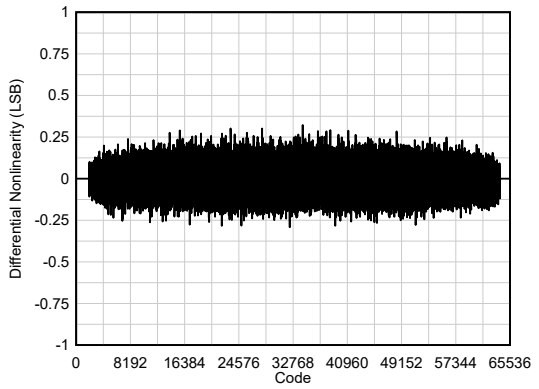


図 5-20. AC 性能と温度との関係



F_{IN} = 100MHz

図 5-21. INL とコードとの関係



F_{IN} = 100MHz

図 5-22. DNL とコードとの関係

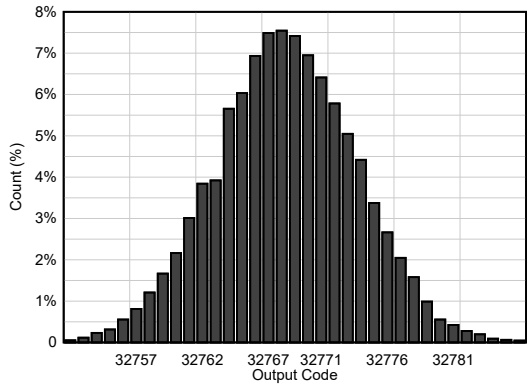


図 5-23. アイドルチャネルのヒストグラム

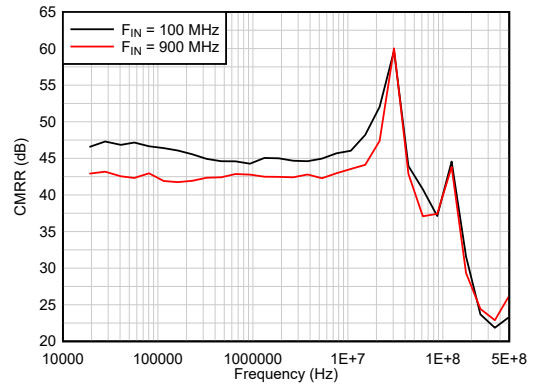


図 5-24. CMRR

5.9 代表的特性 (続き)

特に記述のない限り、標準値は T_A = 25°C、ADC サンプリングレート = 1.5GSPS、50% クロックデューティサイクル、公称電源、-1dBFS 差動入力、100Ω 終端で規定されています

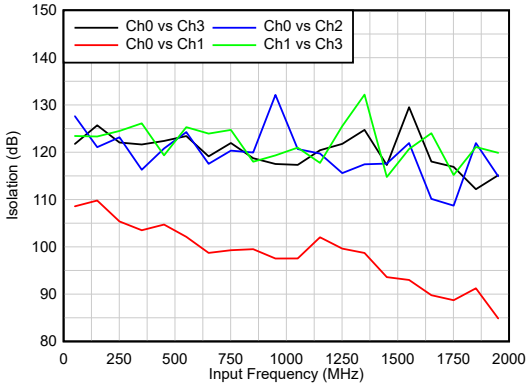
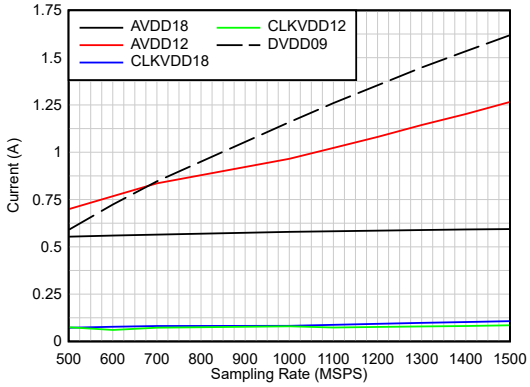
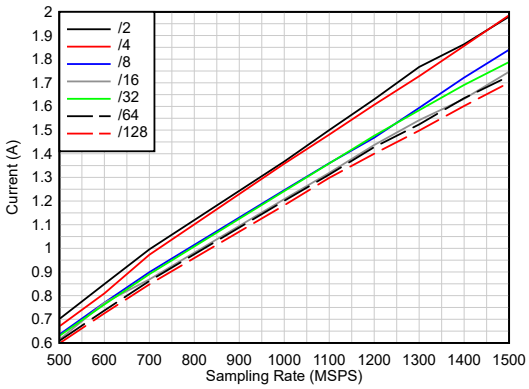


図 5-25. チャネル分離



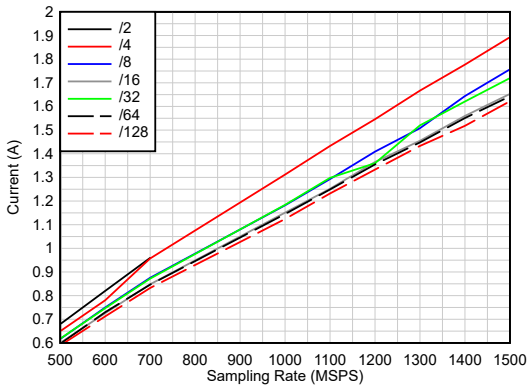
LMFS = 8411

図 5-26. 電流とサンプリングレートとの関係



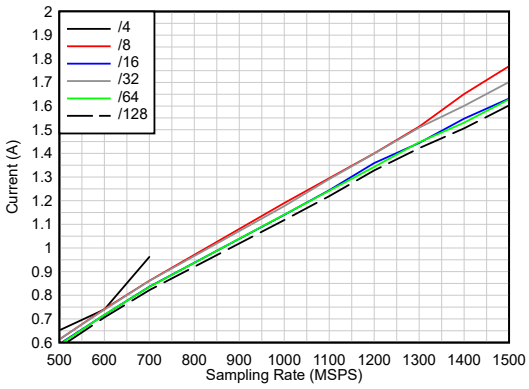
クワッドバンド、LMFS = 8821

図 5-27. DVDD09 電流とデシメーションとの関係



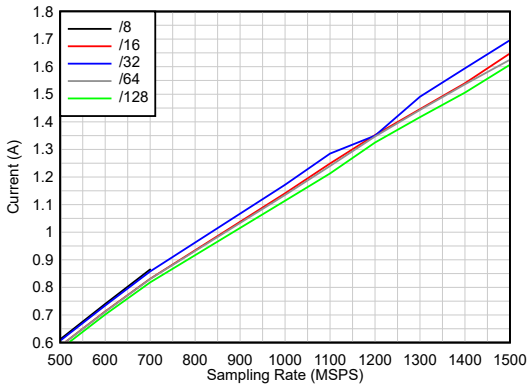
クワッドバンド、LMFS = 4841

図 5-28. DVDD09 電流とデシメーションとの関係



クワッドバンド、LMFS = 2881

図 5-29. DVDD09 電流とデシメーションとの関係



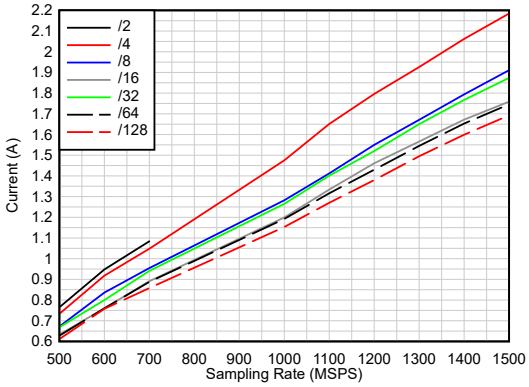
クワッドバンド、LMFS = 18161

図 5-30. DVDD09 電流とデシメーションとの関係

Copyright © 2025 Texas Instruments Incorporated

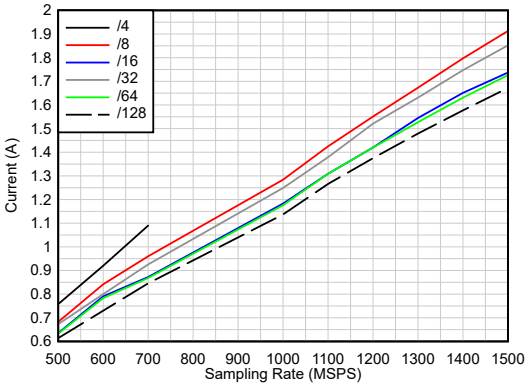
5.9 代表的特性 (続き)

特に記述のない限り、標準値は T_A = 25°C、ADC サンプリングレート = 1.5GSPS、50% クロックデューティサイクル、公称電源、-1dBFS 差動入力、100Ω 終端で規定されています



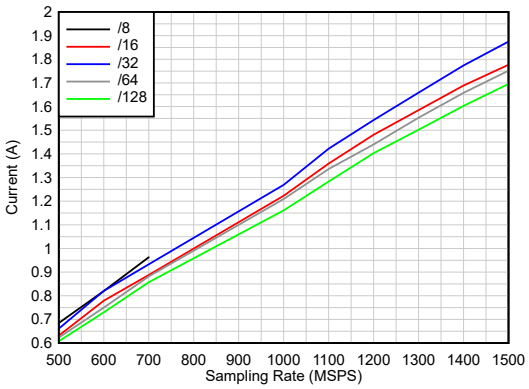
オクタルバンド、LMFS = 81641

図 5-31. DVDD09 電流とデシメーションとの関係



オクタルバンド、LMFS = 41681

図 5-32. DVDD09 電流とデシメーションとの関係



オクタルバンド、LMFS = 216161

図 5-33. DVDD09 電流とデシメーションとの関係

Copyright © 2025 Texas Instruments Incorporated

6 パラメータ測定情報

ADC34RF7x には、コーナー周波数が約 100MHz の 1/f ノイズがあります。高性能および RF サンプリングアプリケーションの真のノイズフロアをより的確に説明できるように、ADC のノイズ性能は以下の 2 つの方法で規定されています。

信号対雑音比:1/F ノイズを含むフルナイキストゾーンで測定

SNR_{flat}、NSD_{flat}:100MHz から FS/2 (750MHz) までの平坦なノイズ領域で測定

測定帯域幅を 100MHz ずつ狭くすると (0Hz ではなく 100MHz から開始)、ナイキストゾーン全体で平坦で均一なノイズがあると仮定すると、信号対雑音比が約 0.6dB (10log(750MHz/650MHz) = 10log(0.06) = 0.62dB) 改善されます。

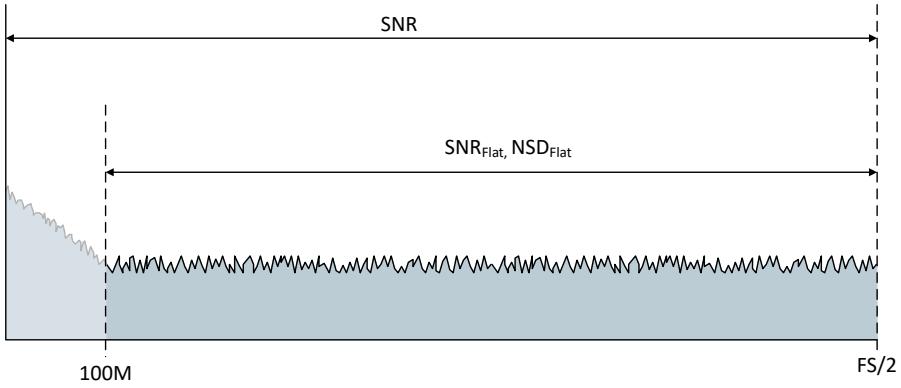


図 6-1. SNR (DC から FS/2) と SNR_{flat} (100MHz から FS/2) との関係

NSD_{flat} = -163.7dBFS/Hz と仮定

SNR_{flat} は次のように計算します:

-(-163.7dBFS/Hz + 10log(650MHz)) = -(-163.7 + 88.1)dBFS = 75.6dBFS (1)

1/F ノイズは約 76.4dBFS です。解像度の帯域幅が約 6MHz の 1/f ノイズ測定値を 図 6-2 に示します。1/F ノイズを含むフルナイキストゾーンの信号対雑音比は次のように計算されます:

$SNR_{1/f}$ + SNR_{flat} = (2)

$$SNR_{1/f} + SNR_{flat} = 10log\sqrt{\left(10^{\frac{-SNR_{1/f}}{20}}\right)^2 + \left(10^{\frac{-SNR_{flat}}{20}}\right)^2} = 10log\sqrt{\left(10^{\frac{-76.4}{20}}\right)^2 + \left(10^{\frac{-75.6}{20}}\right)^2} = 73dBFS$$

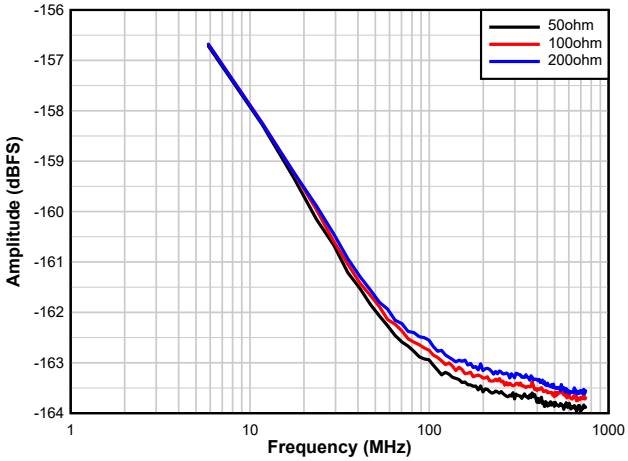


図 6-2. 1/f ノイズ測定

Copyright © 2025 Texas Instruments Incorporated

7 詳細説明

7.1 概要

ADC34RF72 は、シングルコア (非インターリーブ) 16 ビット、1.5GSPS、クワッドチャネルの A/D コンバータ (ADC) です。このデザインは、信号対雑音比 (SNR) を最大化し、-163.7dBFS/Hz のノイズスペクトル密度を実現します。2 または 4 つの ADC 入力に入力信号を供給するとき、内部デジタル平均化を使用して、NSD を -168.7dBFS/Hz に改善できます。

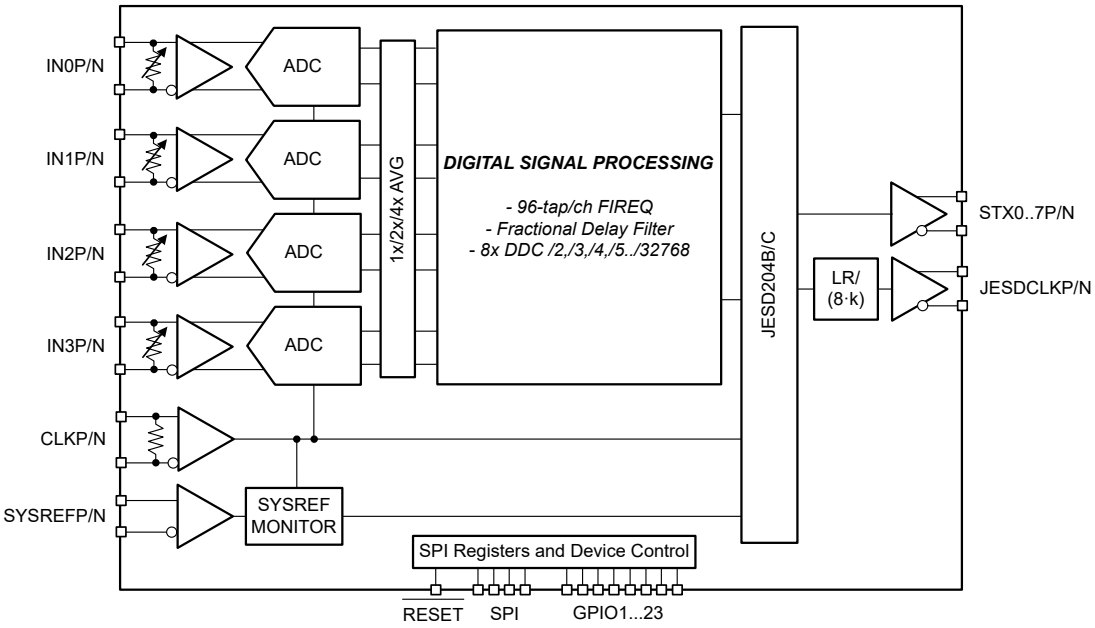
アナログ信号入力はバッファされ、50Ω、100Ω、200Ω のプログラム可能な内部終端インピーダンスをにサポートします。最大出力の入力帯域幅は 1.8GHz (-3dB) であり、このデバイスは DC から L バンドまでの入力周波数の直接 RF サンプリングをサポートしています。ADC34RF72 は、高性能のレーダーアプリケーションのサポートのために、残留位相ノイズが小さくなるように設計されています。

このデバイスはには、イコライゼーション用の 96 タップ/チャネルのプログラマブル FIR フィルタ、12 ビットの非整数遅延フィルタ、複数のデジタルダウンコンバータ (DDC) など、いくつかのデジタル処理機能を搭載しています。8 つのデジタルダウンコンバータがあり、/2、/3、/5 のデシメーション係数をサポートしています。48 ビット NCO は位相コヒーレント周波数ホッピングをサポートしています。NCO 周波数制御に GPIO ピンを使用すると、1µs 未満で周波数ホッピングを実現できます。デジタルダウンコンバータは、/2 複素デシメーションの広帯域モードから、/32768 の複素デシメーションの狭帯域幅チャネルまで、広い瞬時帯域幅 (IBW) の要件をサポートしています。最終 /2 デシメーション段は、プログラム可能なフィルタ係数を特徴としています。

このデバイスは、64b/66b および 8b/10b エンコーディングを使用する JESD204B シリアルデータインターフェイス、最大 24.75Gbps のデータレートを使用するサブクラス 1 の確定的レイテンシをサポートしています。両方のインターフェイス オプションを使用すると、ADC34RF7x はフルスペクトル (DDC バイパス) とデシメーションデータの両方を出力できます。さらに、SerDes PLL (レーンレート/(8x k)) を FPGA に出力することで、システムクロックを簡素化できます。

このデバイスには 3 種類の電源レールが必要です:(1.8V、1.2V、0.9V) を供給できます。

7.2 機能ブロック図



ブロック図

7.3 機能説明

7.3.1 アナログ入力

ADC34RF72 のアナログ入力には内部バッファがあり、サンプリングコンデンサを外部入力回路から絶縁します。アナログ入力には、プログラム可能な差動分割終端があり、内部バイアスを備えています (図 7-1 を参照)。差動終端は、SPI レジスタへの書き込みにより、差動 50Ω、100Ω、200Ω を選択できます。アナログ入力の AC 結合と DC 結合の両方がサポートされています。

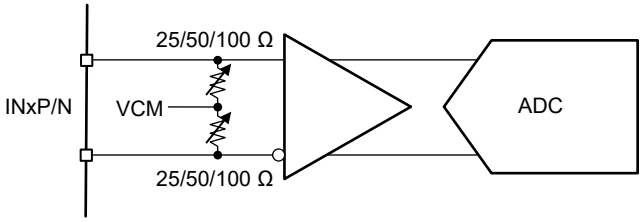


図 7-1. アナログ入力 (内部) 電気回路

次のパラメータをプログラムできます:

表 7-1. 入力終端プログラミング

システムパラメータ名	サイズ (ビット)	デフォルト	リセット	説明
ADC{x}_INPUT_TERM_SEL	2	0	R/W	ADC{x} 入力終端設定 (x = {0,1,2,3}) を選択 0:50Ω 差動 1:100Ω 差動 2:200Ω 差動

7.3.1.1 入力帯域幅

図 7-2 に、内部の 50Ω、100Ω、200Ω の差動終端に対する入力帯域幅 (-3dB) と、S11 の応答を示します (図 7-2)。100Ω を終端した場合、入力帯域幅は約 1.8GHz (-3dB) です。図 7-4 は、図 7-5 の外部整合回路網を使用した 100Ω 終端がある周波数応答を示します。

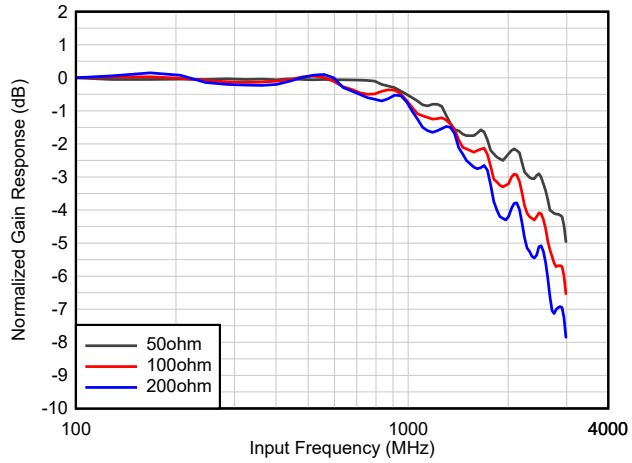


図 7-2. 入力帯域幅プロット (6dB パッド)

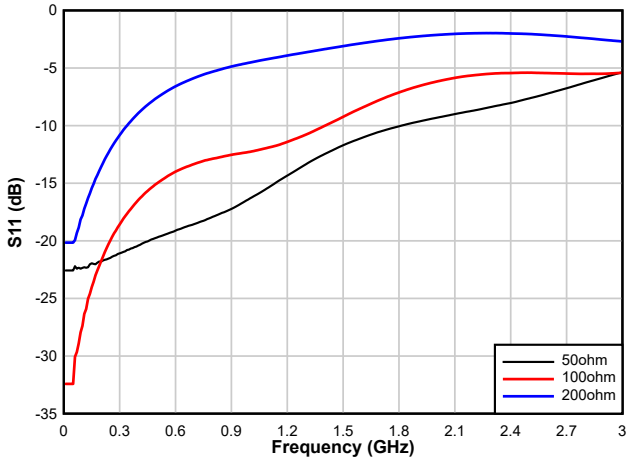


図 7-3. S11 と周波数との関係 (入力終端にそれぞれ正規化)

Copyright © 2025 Texas Instruments Incorporated

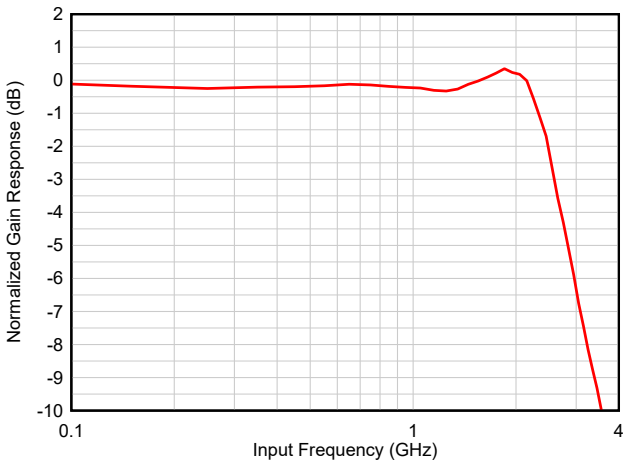


図 7-4. 入力帯域幅プロット

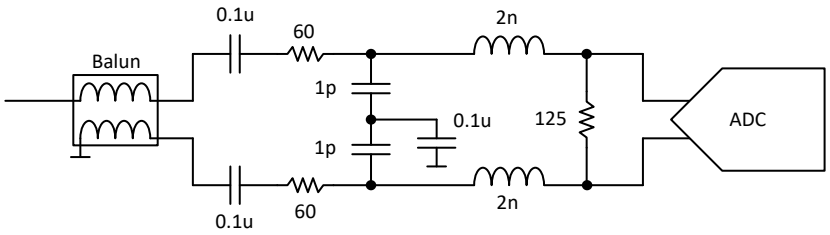
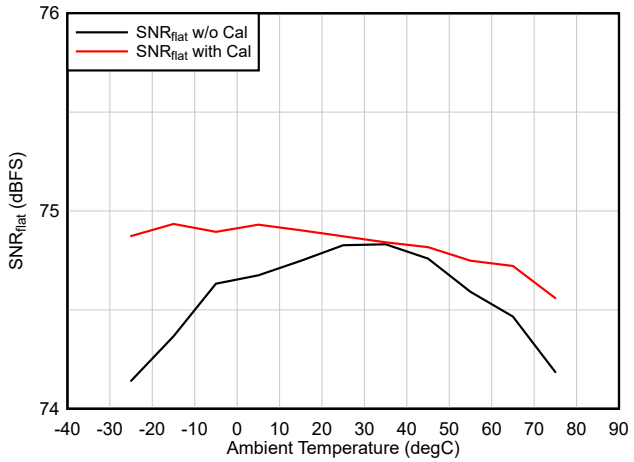


図 7-5. 外部マッチング回路網

7.3.1.2 バックグラウンドキャリブレーション

ADC34RF72 は内部バックグラウンドキャリブレーションを使用して、温度範囲全体にわたって高い AC 性能を維持します。キャリブレーションは定期的に実行され、ユーザー制御または入力信号などは必要ありません。キャリブレーション中、信号オフセットに対する小さな変化 (約 30LSB) が観測されます。このキャリブレーションは、SPI 書き込みまたは GPIO 制御を使用した測定中の外乱を回避するために停止できます。



F_{IN} = 100MHz、A_{IN} = -1dBFS、25°C でキャリブレーション

図 7-6. SNR_{flat} と温度とキャリブレーションとの関係

7.3.2 サンプリング クロック入力

クロック入力には VCM = 0.7V の自己バイアスを備えた 100Ω の差動終端が内蔵されており、外部 AC 結合が可能です (図 7-7 を参照)。

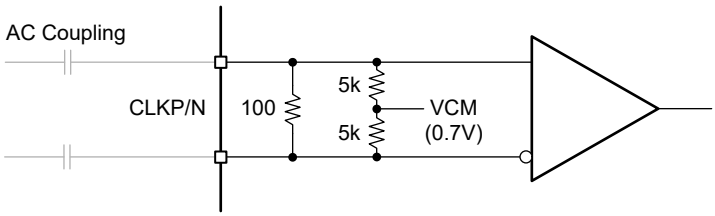


図 7-7. 内部サンプリングクロック回路

内部サンプリングクロックパスは、残留位相ノイズへの影響が非常に小さくなるように設計されています。サンプリングクロック回路には、最高の性能を得るために、専用の低ノイズ電源が必要です。内部アパーチャクロックの位相ノイズは、クロックの振幅からも影響を受けます。最高の性能を得るためには、クロック振幅を 1Vpp より大きくする必要があります。

表 7-2. 1GHz の内部アパーチャクロックノイズ

周波数オフセット (MHz)	位相ノイズ (dbc/Hz)	振幅ノイズ (dbc/Hz)
0.001	-130	-139
0.01	-140	-149
0.1	-150	-155
1	-155	-159

次のパラメータをプログラムできます:

表 7-3. クロックレジスタのプログラミング

システム パラメータ名称	サイズ	デフォルト	リセット	説明
ADC_CLK_FREQ_HZ	33	0	R/W	サンプリングクロック周波数 (Hz) を示す 33 ビットの符号なし数値。

Copyright © 2025 Texas Instruments Incorporated

7.3.3 SYSREF

SYSREF 入力信号はマルチチップの同期に使用され、内部 LMFC カウンタをリセットします。デバイスは SYSREF 信号を予期して準備する必要があります。デバイスは準備後の最初の SYSREF エッジに敏感です。

内部 SYSREF キャプチャには、図 7-8 に示すように、プログラマブルなアナログ遅延 t_d、SYSREF モニタ、プログラマブルなデジタル整数クロックサイクル遅延 z^{-n} が含まれています。

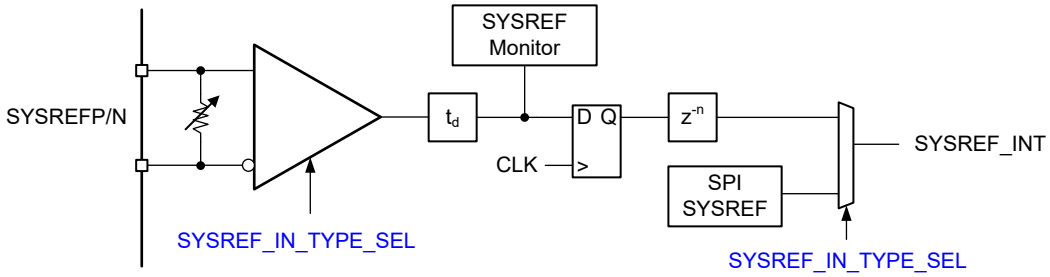


図 7-8. SYSREF 入力内部パス

図 7-9 に示すように、SYSREF 入力信号は AC 結合または DC 結合することができます (SPI レジスタオプションで選択)。SYSREF 入力には、DC 結合用の 100Ω 終端と、AC 結合を使用するときの内部バイアスがあります。

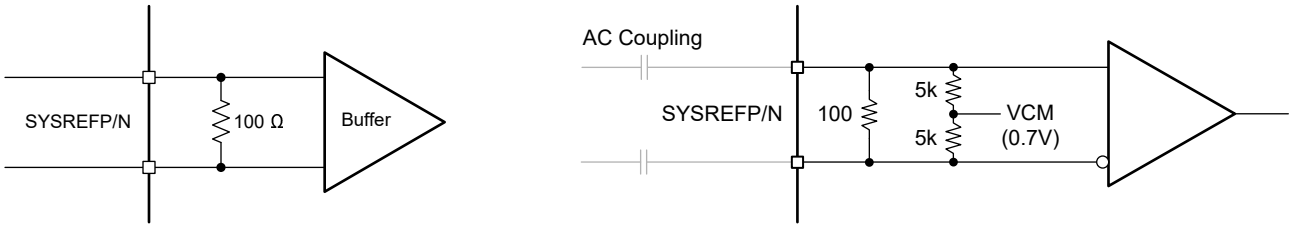


図 7-9. SYSREF 入力回路とエッジアライメント (左側：DC 結合、右側：AC 結合)

次のパラメータをプログラムできます:

表 7-4. SYSREF 構成プログラミング

システム パラメータ名称	サイズ	デフォルト	リセット	説明
SYSREF_IN_TYPE_SEL	2	0	R/W	入力 SYSREF のタイプを選択: 0:DC 結合 LVDS SYSREF 入力。 1:AC 結合 SYSREF 入力。 2:未使用。 3:SPI 書き込みを使用して内部生成された SYSREF。
SYSREF_DIG_DEL	8	0	R/W	CLK のクロックサイクルにおけるデジタル SYSREF 内部遅延 (z^{-n})。 0...255:使用前にデジタル SYSREF に適用されるデバイスクロックサイクル遅延数。

Copyright © 2025 Texas Instruments Incorporated

7.3.3.1 SYSREF モニタ

SYSREF モニタは、入力 SYSREF 信号をアナログ遅延を含むサンプリングクロックのコピーでラッチすることにより、入力 SYSREF 信号を ADC サンプリングクロックと比較します。ラッチされた出力は SYSREF 処理ブロックを介して内部で処理され、最終的な出力がユーザーに提供されます。ラッチされたフロップ出力を使用して、CLK と SYSREF の立ち上がりエッジの間に十分なマージンがあるかどうかを確認します (セットアップ時間およびホールド時間)。セットアップおよびホールド違反が検出された場合、プログラマブル遅延 t_d を使用して SYSREF 遅延を調整し、CLK と SYSREF の間に十分なマージンを確保して SYSREF が適切にラッチされるようにします。

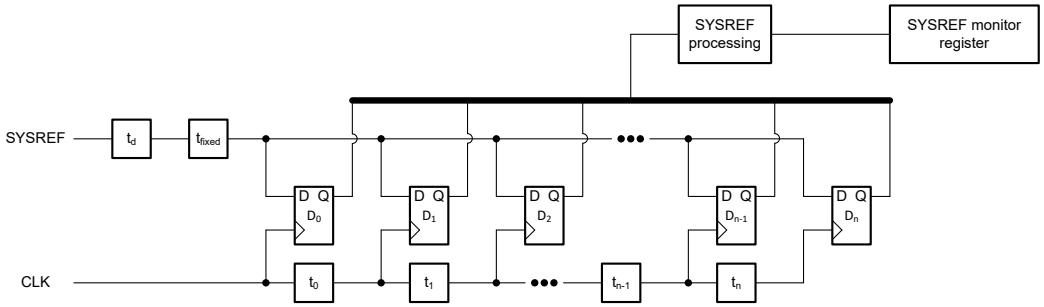


図 7-10. SYSREF 検出回路

次のパラメータをプログラムできます:

表 7-5. SYSREF 構成プログラミング

システム パラメータ名称	サイズ	デフォルト	アクセス権	説明
SYSREF_MONITOR_NUM_POLLS	8	1	R/W	SYSREF_MONITOR_OUT が更新される前に検出される、SYSREF 立ち上がりエッジの数を設定します。より高い値の SYSREF_MONITOR_NUM_POLLS を使用すると、SYSREF エッジの拡散を測定できます。これは、SYSREF_MONITOR_NUM_POLLS SYSREF の立ち上がりエッジが観測されるまで、各フロップ出力は以前のすべての出力と OR 結合されるためです。 1...255:SYSREF_MONITOR_OUT が更新される前に観測される SYSREF 立ち上がりエッジの数。
SYSREF_MONITOR_TD_COARSE	4	0	R/W	t_d ブロック内の粗い遅延 (45ps) の数を設定します。
SYSREF_MONITOR_TD_FINE	4	0	R/W	t_d ブロックに細かい遅延を設定します。 td_fine = (floor(SYSREF_MONITOR_TD_FINE/2)*15ps) + ((SYSREF_MONITOR_TD_FINE%2)*4ps)
SYSREF_MONITOR_OUT	8	0	R	SYSREF モニタ出力。ビット 0 は最も早い CLK エッジに対応し、ビット 7 は最新の CLK エッジに対応します。 SYSREF_MONITOR_OUT は次のいずれかの状態にのみ存在し、次のように解釈できます: 状態 0:1 つ以上のゼロの後に 1 つ以上のゼロが続きます。SYSREF 遷移の立ち上がりが SYSREF モニタウィンドウに表示され、セットアップおよびホールド違反が検出されます。SYSREF_LAT は、すべてのゼロまたはすべての 1 が観測されるまで遅延する必要があります。 状態 1:すべてゼロ。CLK は SYSREF_LAT に先行し、SYSREF_LAT は次の CLK 立ち上がりエッジで適切にラッチされます。 状態 2:すべての CLK は SYSREF_LAT より遅れ、SYSREF_LAT は現在の CLK 立ち上がりエッジで適切にラッチされます。

Copyright © 2025 Texas Instruments Incorporated

7.3.4 ADC パワーダウン モード

このデバイスは、GPIO ピンまたは SPI レジスタ書き込みで制御できる 3 種類のパワーダウン モードをサポートしています。

- 高速パワーダウン：個別チャネルのパワーダウンで、ウェークアップ時間が短くなりますが、消費電力が大きくなります。JESD インターフェイスはアクティブのままです。
- パワーダウン：個別チャネルのパワーダウン。JESD インターフェイスは調整可能であり、未使用レーンをパワーダウンできます。
- グローバル パワーダウン：チップ全体のパワーダウンにより、消費電力を最小限に抑えます。

表 7-6. パワーダウン モードの比較

パワーダウン モード	ウェークアップ時間	消費電力 (typ)	コメント
高速パワーダウン	～5 us	～2.2 W	JESD インターフェイスはアクティブのままです
パワーダウン	JESD インターフェイスに依存します	約 0.8W (4 チャネル パワーダウン) ～ 2.6W (2 チャネル パワーダウン) ～ 3.8W (1 チャネル パワーダウン)	JESD インターフェイス パワーダウン 4 つの SERDES レーンがアクティブ 8 つの SERDES レーンがアクティブ
グローバル パワーダウン	JESD インターフェイスに依存します	～0.4 W	

パワーダウン モードは次のパラメータを使用してプログラムできます：

表 7-7. パワーダウン モードのプログラミング

システムパラメータ名	サイズ	デフォルト	アクセス権	説明
ADC_SW_GPDN_VAL	1	0	R/W	内部グローバル パワーダウン状態を選択します。この設定を有効にするには、ADC_GPDN_SRC_SEL を 1 に設定する必要があります。 0：デバイスがパワーアップします。 1：デバイスがパワーダウンします。
ADC_GPDN_SRC_SEL	1	0	R/W	グローバル パワーダウン信号が GPIO から供給されるか、SPI から供給されるかを選択します。 0：グローバル パワーダウンは GPIO からです。 1：グローバル パワーダウンは ADC_SW_GPDN_VAL からです。
ADC_CH_PDN_VAL	4	0	R/W	個別の ADC チャネル パワーダウン設定。各 ADC には 1 ビットがあります。このビットをセットすると、対応するチャネルがパワーダウンします。この設定を有効にするには、ADC_CH_PDN_SRC_SEL を 1 に設定する必要があります。 ビット 0：ADC0 パワーダウン制御。 ビット 1：ADC1 パワーダウン制御。 ビット 2：ADC2 パワーダウン制御。 ビット 3：ADC3 パワーダウン制御。
ADC_CH_PDN_SRC_SEL	1	0	R/W	チャネルのパワーダウン信号が GPIO から供給されるか、SPI から供給されるかを選択します。 0：チャネルのパワーダウンは GPIO からです。 1：チャネルのパワーダウンは ADC_CH_PDN_VAL からです。
ADC_CH_PDN_MODE	1	0	R/W	チャネルのパワーダウンモードを選択します。 0：通常の PDN (各チャネルの消費電力が最小)。 1：高速 PDN (電源投入時間が短縮されますが、消費電力が増加)。

Copyright © 2025 Texas Instruments Incorporated

7.3.5 デジタルシグナルプロセッサ (DSP) 機能

このデバイスには、デジタル信号処理ブロック内にいくつかの異なるデジタル機能が搭載されています:

- 12 ビットの分数遅延で、1 つのサンプリングクロックサイクル範囲、遅延ステップサイズが $1/(2^{12} * t_{CLK})$
- チャネルごとに最大 96 タップのイコライゼーションが可能な、プログラマブル FIR フィルタ
- /2、/3、/5 から /32768 までのデシメーション係数をサポートする複数のデジタルダウンコンバータ (DDC)
- デシメーション後のイコライゼーション用の追加のプログラマブル FIR フィルタ

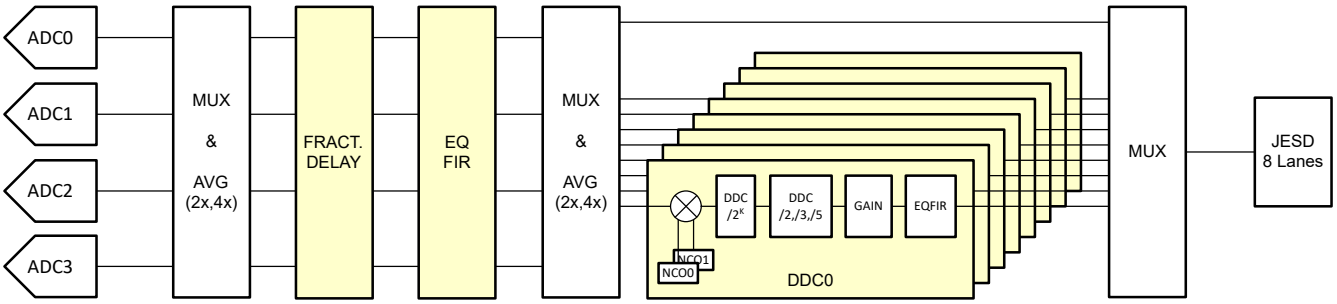


図 7-11. デジタル信号処理チェーン

Copyright © 2025 Texas Instruments Incorporated

7.3.5.1 DSP 入力マルチプレクサ

図 7-12 に示すように、DSP ブロックの入力には 4 つのデジタルマルチプレクサがあります。バスは adc_out[3:0] を基準とし、各インデックスは特定の ADC の固有の出力ストリームを表します。たとえば ADC0 出力は adc_out[0] です。各 DSP_IN マルチプレクサの出力は、DSP ブロックのシングル DSP 入力データストリームに対応します。DSP 入力データストリームの集計セットは、dsp_in[3:0] と呼ばれます。dsp_in[0] は 0 番目の DSP 入力データストリームに対応します。各 DSP 入力データストリームは、次のいずれかから供給できます:

- 4 つの adc_out ストリームのいずれか。これは C(4,1) と表記されます。
- 4 つの adc_out ストリームの任意の 2 つの平均。2 倍の AVG の選択可能な組み合わせの数は C(4,2) です。
- 4 つの adc_out ストリームすべての平均。4 倍の AVG の選択可能な組み合わせの数は C(4,4) です。

注

命名法 C(*n*,*k*) は、*n* 個の異なる項目を含む集合から *k* 個の項目を選択する可能性のある組み合わせを表しています。
たとえば、adc_out={adc0,adc1,adc2,adc3} が設定されているとすれば、このセットから 2 つの項目を選択する方法は以下の 6 つとなります： C(adc_out,2)={{ADC0,ADC1},{ADC0,ADC2},{ADC0,ADC3},{ADC1,ADC2},{ADC1,ADC3},{ADC2,ADC3}}

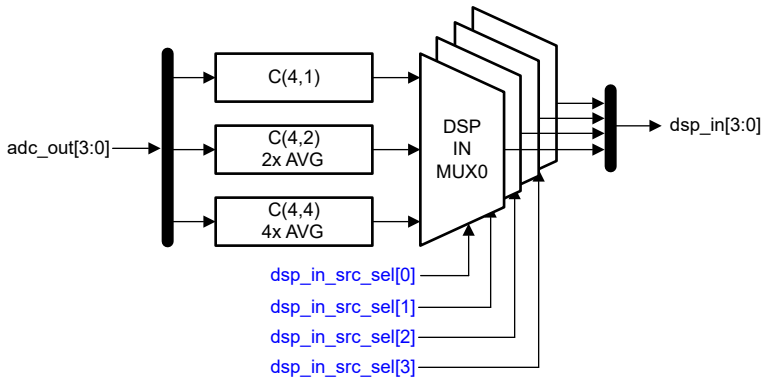


図 7-12. DSP 入力マルチプレクサの概要

次のパラメータをプログラムできます:

表 7-8. DSP 入力マルチプレクサ構成のプログラミング (x = 0、1、2、3)

システムパラメータ名	サイズ	デフォルト	アクセス権	説明
DSP_IN_SRC_SEL{x}	4	0、1、2、3	R/W	DSP ブロックへの dsp_in[0..3] 入力ストリームの入力データソースを選択します。 0:ADC0 データ。 1:ADC1 データ。 2:ADC2 データ。 3:ADC3 データ。 4:ADC0 と ADC1 の 2 倍平均。 5:ADC0 と ADC2 の 2 倍平均。 6:ADC0 と ADC3 の 2 倍平均。 7:ADC1 と ADC2 の 2 倍平均。 8:ADC1 と ADC3 の 2 倍平均。 9:ADC2 と ADC3 の 2 倍平均。 10:ADC0、ADC1、ADC2、ADC3 の 4 倍平均。

Copyright © 2025 Texas Instruments Incorporated

7.3.5.2 非整数遅延

このデバイスには、DSP 入力マルチプレクサ後にオプションのプログラマブル 12 ビット非整数デジタル遅延が含まれています (図 7-13 を参照)。2 つの独立したデジタル非整数遅延ブロック (FDF0 および FDF1) があります。各 FDF ブロックは 2 つの入力ストリーム (dsp_in[1:0] または dsp_in[3:2]) に接続されており、各入力ストリームには、dsp_in[1:0] の場合は t_{d00} および t_{d01}、dsp_in[3:2] 場合は t_{d10} および t_{d11} のプログラマブル非整数遅延値があります。FDF ブロックは合計 4 つのデータストリーム (fdf_out[3:0]) を出力し、各出力ストリームは個別の非整数遅延入力ストリームに対応します。

非整数遅延は周波数全体で線形位相を持つ*実時間遅延*の実装です。非整数遅延は以下のように計算します:

非整数遅延 [サンプリングクロック周期] = 遅延/4096 x T_S (サンプリング周期)。

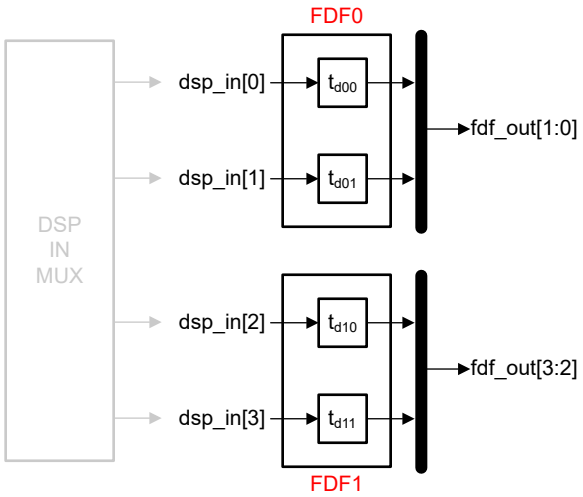


図 7-13. 非整数遅延機能

たとえば、図 7-14 に示すように、2048 の設定は 1/2 クロックサイクル遅延と等しくなります。振幅誤差は -80dB 未満です (目的の遅延に対して)。

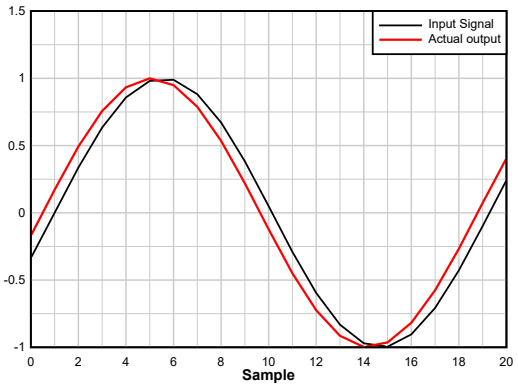


図 7-14. 非整数遅延= 1/2 クロックサイクル (遅延設定 = 2048)

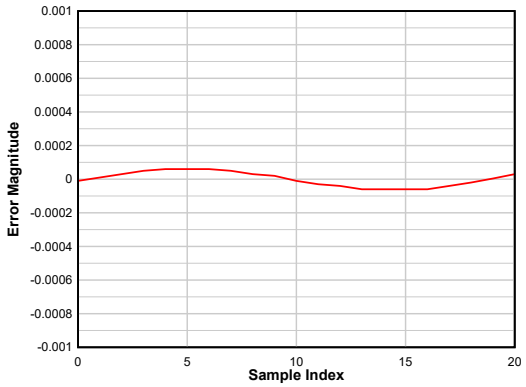


図 7-15. 誤差の大きさ (目的の波形と実際の波形との関係)

Copyright © 2025 Texas Instruments Incorporated

非整数遅延は SPI レジスタへの書き込みにより構成され、プログラムされた遅延は内部的にフィルタ係数に変換されます。図 7-16 と 図 7-17 はフィルタ応答を示しています。パスバンドはナイキストゾーンの約 85% です。非整数遅延の再プログラミングでは、フィルタ係数の更新に最大 2µs かかる場合があります。

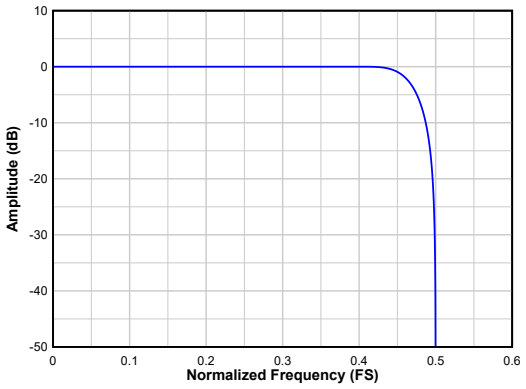


図 7-16. 非整数遅延 FIR のフィルタ応答

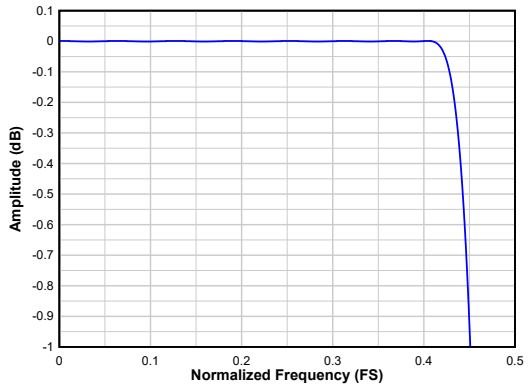


図 7-17. 非整数遅延 FIR のフィルタ応答 (ズーム)

非整数遅延は次のパラメータを使用してプログラムできます:

表 7-9. 非整数遅延構成のプログラミング

システムパラメータ名	サイズ	デフォルト	アクセス権	説明
FDF0_DELAY_VAL_0_LSB	8	0	R/W	FDF0 への 0 番目の入力データストリームの非整数遅延値のビット [7:0]。
FDF0_DELAY_VAL_0_MSB	4	0	R/W	FDF0 への 0 番目の入力データストリームの非整数遅延値のビット [11:8]。
FDF0_DELAY_VAL_1_LSB	8	0	R/W	FDF0 への 1 番目の入力データストリームの非整数遅延値のビット [7:0]。
FDF0_DELAY_VAL_1_MSB	4	0	R/W	FDF0 への 1 番目の入力データストリームの非整数遅延値のビット [11:8]。
FDF1_DELAY_VAL_0_LSB	8	0	R/W	FDF1 への 0 番目の入力データストリームの非整数遅延値のビット [7:0]。
FDF1_DELAY_VAL_0_MSB	4	0	R/W	FDF1 への 0 番目の入力データストリームの非整数遅延値のビット [11:8]。
FDF1_DELAY_VAL_1_LSB	8	0	R/W	FDF1 への 1 番目の入力データストリームの非整数遅延値のビット [7:0]。
FDF1_DELAY_VAL_1_MSB	4	0	R/W	FDF1 への 1 番目の入力データストリームの非整数遅延値のビット [11:8]。

Copyright © 2025 Texas Instruments Incorporated

7.3.5.3 イコライゼーション用のプログラム可能な FIR フィルタ

ADC34RF7x デバイスにはイコライザ (EQ) と呼ばれるプログラマブル FIR フィルタ ブロックが内蔵されています。図 7-18 に示すように、非整数遅延フィルタ (FDF0/1) の出力に配置された 2 つの EQ ブロック (EQ0 および EQ1) があります。各 EQ ブロックは、dsp_in から直接、または先行する FDF ブロックから、入力データ ストリームを供給できます。合計 4 つの出力データストリーム (eq_out[3:0]) があり、各出力ストリームは異なるフィルタ処理済み入力ストリームに対応します。

2 つのイコライザ (EQ0/EQ1) には 2 つの入力ストリームで共有される最大 192 タップ (16 ビット) が含まれます。

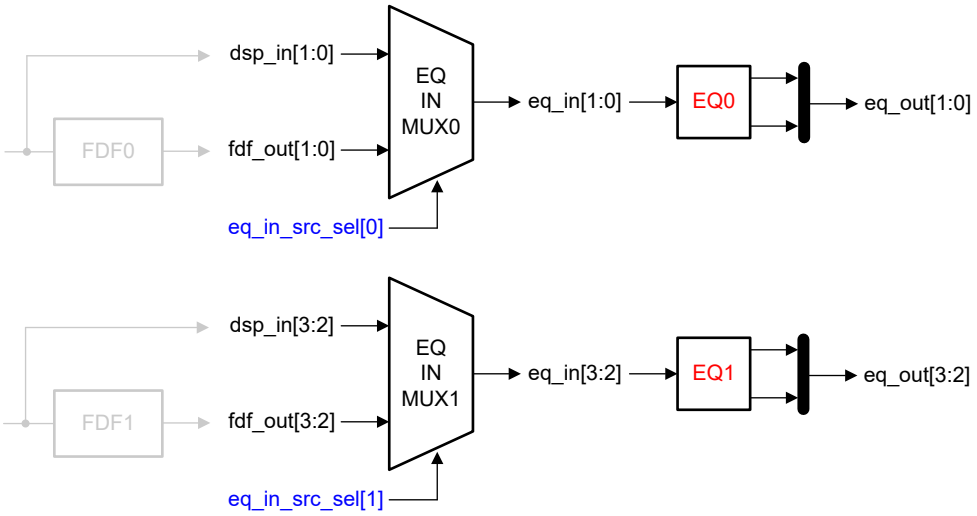


図 7-18. FIR イコライザの構成

図 7-19 に示すように、各 EQ は EQFIR ごとに最大 192 タップの複数の異なる構成をサポートします。

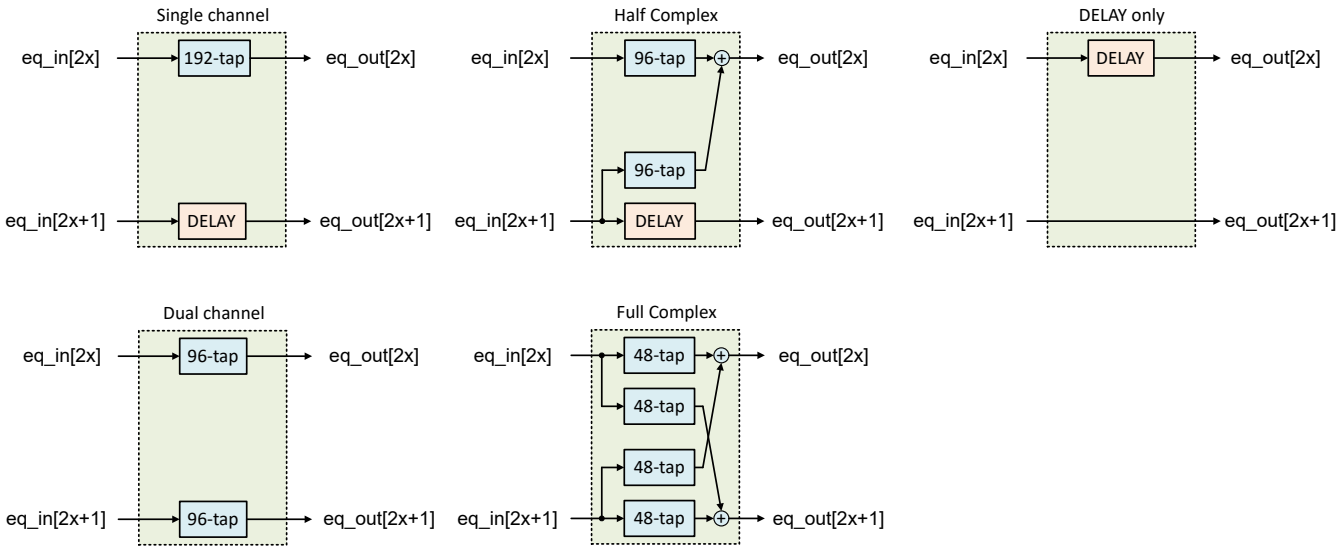


図 7-19. EQ0 (x=0) および EQ1 (x=1) の FIR イコライザの構成

Copyright © 2025 Texas Instruments Incorporated

消費電力はサンプリングレートおよび使用するタップ数に応じて直線的にスケーリングされます。未使用のタップは 0 に設定できます。

デジタルイコライザは次のパラメータを使用してプログラムできます:

表 7-10. EQ{x} 構成プログラミング (x= 0,1)

システムパラメータ名	サイズ	デフォルト	アクセス権	説明
EQ{x}_IN_SRC_SEL	1	0	R/W	EQ{x} 入力データソースを選択します。 0:DSP_IN[2x+1, 2x] からの EQ{x} 入力。 1:FDF_OUT[2x+1, 2x] からの EQ{x} 入力。
EQ{x}_MODE_SEL	3	0	R/W	EQ{x} モードを選択します。 0:シングルチャネルモード。 1:デュアルチャネルモード。 2:半複素モード。 3:完全複素モード。 4:遅延のみモード。
EQ{x}_DEL_VAL	8	0	R/W	EQ{x} 遅延値。この設定の影響は EQ{x} モードに依存します。 0...255:EQ{x} がプログラマブル遅延を使用するモードであるときに適用されるデバイスクロックサイクル遅延数。
EQ{x}_NUM_TAPS	8	0	R/W	特定のモードで EQ{x} が使用するタップ数。シングルチャネルモードのときは任意の値に設定できます。デュアルチャネルモードと半複素モードでも必要です。完全複素モードでは 4 で割り切れる必要があります。 1...192:EQ{x} で使用されるタップ数。
EQ{x}_TAPS	3072	0	R/W	EQ{x} ブロックの 192 タップを設定します。 シングルチャネルモード:eq_input[2x] には最大 192 タップが適用されます。 デュアルチャネルモード:eq_input ごとに最大 96 タップ。最初の 96 タップは eq_input[2x] に適用されます。2 番目の 96 タップは eq_input[2x+1] に適用されます。 半複素モード:eq_input ごとに最大 96 タップ。最初の 96 タップは eq_input[2x] に適用されます。2 番目の 96 タップは eq_input[2x+1] に適用されます。 完全複素モード:eq_input ごとに最大 96 タップ。最初の 96 タップは eq_input[2x] に適用され、それらのタップの最初の 48 は eq_output[2x] に適用されます。2 番目の 96 タップは eq_input[2x+1] に適用され、それらのタップの最初の 48 は eq_output[2x] に適用されます。

Copyright © 2025 Texas Instruments Incorporated

7.3.5.4 DSP 出力マルチプレクサ

DSP の出力では DDC より前にいくつかの異なるマルチプレクサが利用可能です。

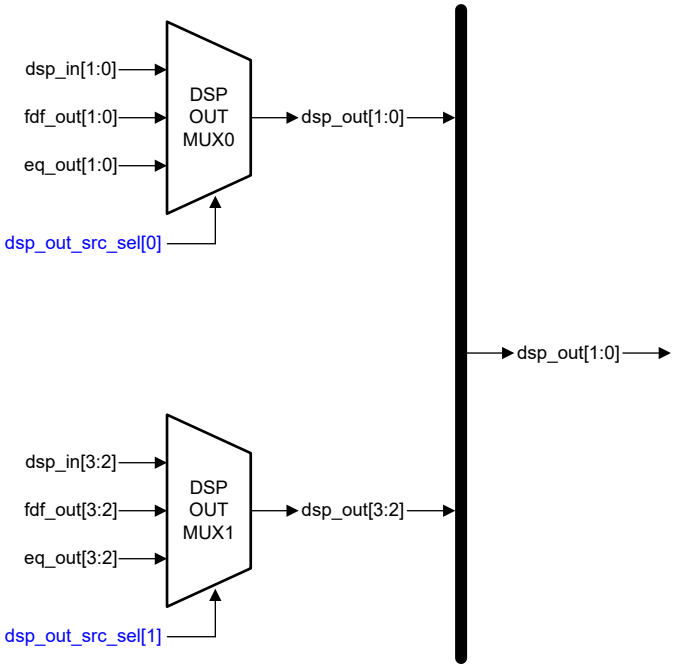


図 7-20. DSP 出力マルチプレクサ

次のパラメータをプログラムできます:

表 7-11. DDC プログラミングに対する入力の選択 (x = 0 または 1)

システムパラメータ名	サイズ	デフォルト	アクセス権	説明
DSP_OUT_SRC_SEL{x}	2	0	R/W	DSP ブロックから DSP_OUT_MUX{x} の出力データソースを選択します。 0: dsp_in[2x+1,2x] は DSP_OUT_MUX{x} の出力。 1: fdf_out[2x+1,2x] は DSP_OUT_MUX{x} の出力。 2: eq_out[2x+1,2x] は DSP_OUT_MUX{x} の出力。

Copyright © 2025 Texas Instruments Incorporated

7.3.5.5 デジタルダウンコンバータ (DDC)

ADC34RF7x には独立した NCO を備えた 8 つのデジタルダウンコンバータ (DDC) が含まれています。各 DDC は、/2 から /32768 のデシメーション比を持つ 2、3、または 5 の基本デシメーション係数をサポートしています (/3 ../96 および / 5.../80)。許容される最大デシメーション設定は、デバイスで必要とされる、サンプリングレート、DDC の数、サンプル反復係数 (係数は 2 のみ)、4Gbps の最小 SERDES レーンレートに起因する JESD 出力分解能 'N' によって異なります。さらに、最終 /2 段はプログラム可能な係数をサポートしています。

クロスバーマルチプレクサは、任意の DDC 入力を任意の ADC、または 2x/4x 平均化ブロックの出力に接続するために使用されます。ADC34RF7x DDC は独立したデシメーション係数を持つように構成できます (バイナリ係数のみ)。

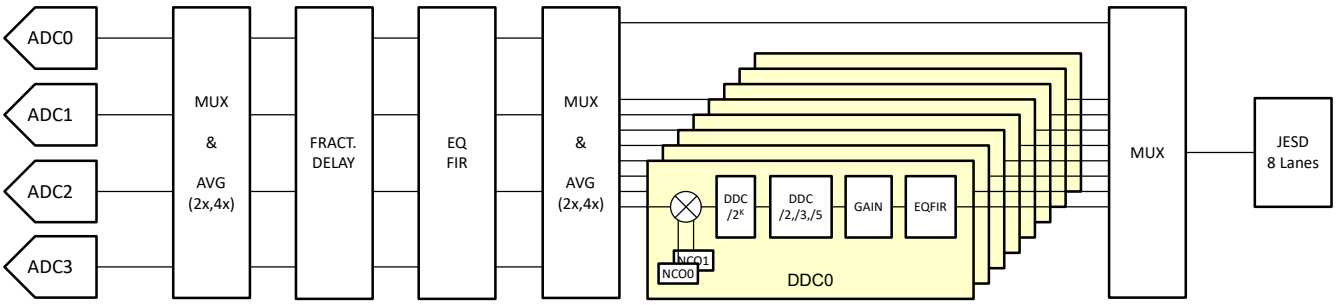


図 7-21. マルチバンドデシメーションフィルタ

実数および複素数のデシメーションがサポートされており、パスバンドはデシメーションされた帯域幅の約 80% です。

表 7-12. 複素デシメーション設定と出力帯域幅との関係

デシメーション係数	DDC ごとの複素数出力帯域幅	DDC ごとの実数出力帯域幅
N	0.8 x F_S / N	0.8 x F_S / (2N)

7.3.5.5.1 デシメーションフィルタ入力

図 7-22 に示すように、8 倍の DDC の各入力にはいくつかの異なるマルチプレクサがあります。各 DDC には、DDC_REAL_DATA_MUX と DDC_INPUT_DATA_TYPE_MUX があります。DDC 入力のデータタイプは、DDC_mode の設定に基づきます。

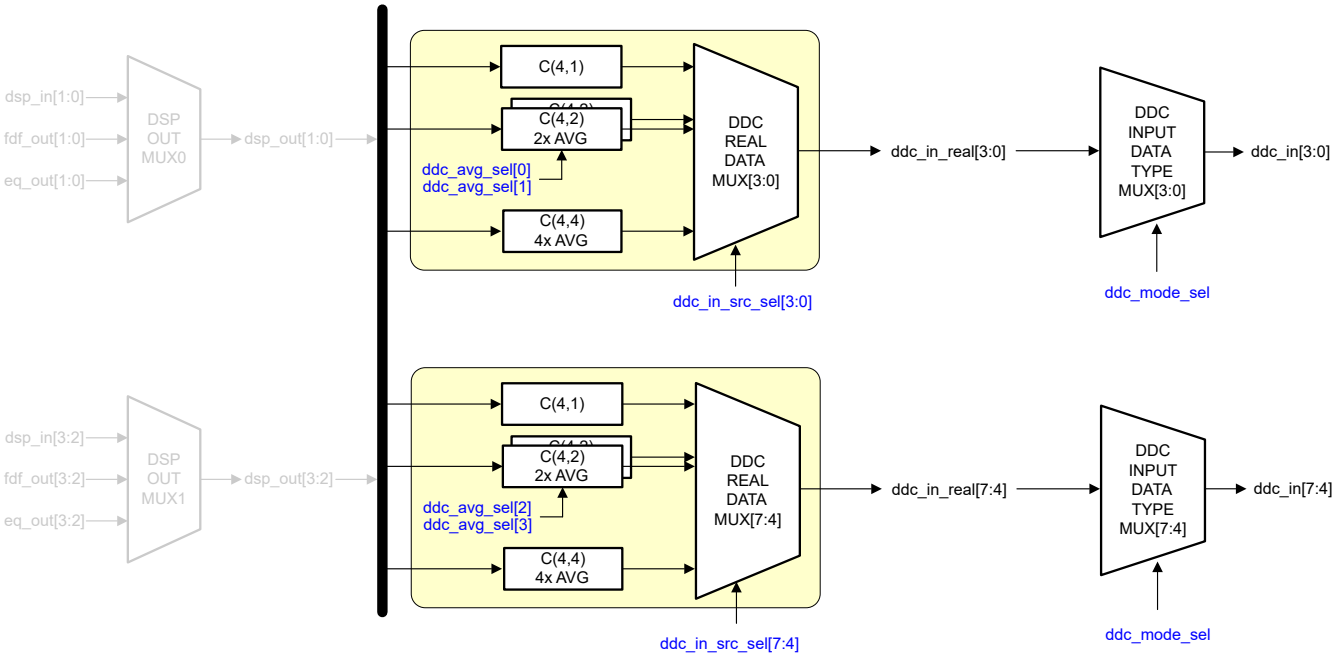


図 7-22. DDC 入力データのマルチプレクサ化

次のパラメータをプログラムできます:

表 7-13. DDC プログラミングの入力選択

システムパラメータ名	サイズ	デフォルト	アクセス権	説明
DDC_AVG__SEL{0..3}	3	..	R/W	マルチプレクサ DDC_REAL_DATA_MUX[3:0]/[7:4] の共有入力として 2 倍の AVG で平均化する 2 つのデータストリームを選択します。 0:dsp_out[0] と dsp_out[1] の平均。 1:dsp_out[0] と dsp_out[2] の平均。 2:dsp_out[0] と dsp_out[3] の平均。 3:dsp_out[1] と dsp_out[2] の平均。 4:dsp_out[1] と dsp_out[3] の平均。 5:dsp_out[2] と dsp_out[3] の平均。
DDC_IN_SRC_SEL{0..7}	5	..	R/W	DDC{0..7} のデータソースを選択します。すべての DDC データはいずれかのマルチプレクサのみから取得する必要があります。 0:DDC への実数入力として dsp_out[0]。 1:DDC への実数入力として dsp_out[1]。 2:DDC への実数入力として dsp_out[2]。 3:DDC への実数入力として dsp_out[3]。 4:DDC への実数入力としての最初の 2x AVG ブロック (DDC_AVG_SEL_0/2) ブロックの出力。 5:DDC への実数入力としての 2 番目の 2x AVG ブロック (DDC_AVG_SEL_1/3) ブロックの出力。 6:DDC への実数入力としての dsp_out[0]、dsp_out[1]、dsp_out[2]、dsp_out[3] の平均。

Copyright © 2025 Texas Instruments Incorporated

表 7-13. DDC プログラミングの入力選択 (続き)

システムパラメータ名	サイズ	デフォルト	アクセス権	説明
DDC_EN_CTRL	8	0	R/W	個別の DDC イネーブル制御。各ビットは 1 つの DDC に対応し、LSB は DDC0 に対応します。イネーブルビットが設定されると、対応する DDC がイネーブルになります。 ビット 0:DDC0 パワーダウン制御。 ビット 1:DDC1 パワーダウン制御。 ビット 2:DDC2 パワーダウン制御。 ビット 3:DDC3 パワーダウン制御。 ビット 4:DDC4 パワーダウン制御。 ビット 5:DDC5 パワーダウン制御。 ビット 6:DDC6 パワーダウン制御。 ビット 7:DDC7 パワーダウン制御。
DDC_MODE_SEL	3	0	R/W	すべての DDC で共有される DDC モードを選択します。 0:パススルーモード。特定の DDC は使用されません 1:DDC への実数入力 (DDC_REAL_DATA_MUX から) はローパスフィルタで処理され、デシメーション係数でダウンサンプリング処理されます。 2:DDC への実数入力 (DDC_REAL_DATA_MUX から) は、NCO と混合されて複素数出力を生成します。複素数出力はデシメーション係数でローパスフィルタ処理およびダウンサンプリング処理されます。

Copyright © 2025 Texas Instruments Incorporated

7.3.5.5.2 デシメーションモード

2 種類のデシメーションモードがサポートされており、すべての 8x DDC を同じモードに設定する必要があります:

- **実数デシメーション**:実数入力はローパスフィルタで処理され、フィルタ出力はデシメーション係数 (M) でダウンサンプリング処理されます。このモードでの DDC ブロックの出力は実数信号で、図 7-23 は詳細な DDC チェーンをに示しています。
- **実数入力による複素デシメーション**:DDC には実数入力があり、NCO と混合されて複素数出力を生成します。複素数出力は、デシメーション係数 (M) によりローパスフィルタ処理およびダウンサンプリング処理されます。このモードでの DDC ブロックの出力は複素数信号で、図 7-25 は詳細な DDC チェーンをに示しています。

各 DDC にはイネーブル制御信号があります。DDC がディスエーブルなら、出力は 0 です。以下のブロックは DDC 信号チェーンの一部です:

- **デシメーション**:可能なデシメーション係数は B x 2^N で、基本係数 B は 1、3 または 5 で、N は B = 1 で最大 15、B = 3 で最大 5、B = 5 で最大 4 になります。

  ベース係数が 3 または 5 の場合、すべての DDC が同じデシメーション係数設定を共有する必要があります。ただし、ベース係数が 1 (2 の累乗のデシメーション係数) の場合、各 DDC にはサンプルリピータブロックがあるため、DDC ごとに独立したデシメーション係数を設定できます。各 DDC が異なるデシメーション係数に構成されている場合、すべての DDC 出力が最も高いデータレートの DDC とレートが一致するように、各 DDC のサンプルリピータが調整されます。たとえば、2 つの DDC がアクティブで、1 つは 4 のデシメーション、もう 1 つは 16 のデシメーションに構成される場合、16 のデシメーションに構成された DDC は、1/4 でサンプルを繰り返すことで、自動的に 4 のデシメーションに合わせたレートが得られます。構成が成功すると、各 DDC の反復係数を読み出すことができます。

  注

  いずれかの DDC が 2 のデシメーションに構成されている場合、独立したデシメーション係数はサポートされません。2 のデシメーションを使用する場合、他のすべての DDC も 2 に設定する必要があります。

  反復係数:実効 JESD ラインレートが下側スレッショルド 4Gbps を下回った場合、各 DDC で反復係数が自動的に調整されます。反復係数ブロックは、3 と 5 の基本係数では使用できません。
- **DDC_PFIR**:ADC34RF72 はデシメーション チェーンにプログラム可能な FIR フィルタ ブロックを内蔵しており、最終段のフィルタは完全にプログラム可能です。この機能は、2 の累乗 (B = 1) であるデシメーション係数でのみ使用できます。このブロックは DDC_PFIR と呼ばれます。各 DDC_PFIR は、17 ビット分解能で合計最大 96 のタップ (複素数デシメーションの両方の入力で) を備えています。
- **DDC コースゲイン (G)**:固定デジタルゲインは、ゲイン G が {0dB、3dB、6dB} の素子であり DDC_coarse_gain[7:0] 信号によって各 DDC で制御可能な各 DDC パスに適用できます。
- **DDC_EQ**:DDC_EQ はデジタル DSP EQ と同じモードすべてをサポートします。

  注

  この EQ は 2 および 3 のデシメーション係数では使用できません。
- **DDC_COMPLEX_GAIN**:各 DDC はプログラム可能な複素ゲインを備えています。実数デシメーションモードでは、ゲインの実数部分のみ適用されます。ゲインは 0dB ～ 6dB の範囲で 0.1dB 単位で、実数部と虚数部には独立したゲインを設定できます。

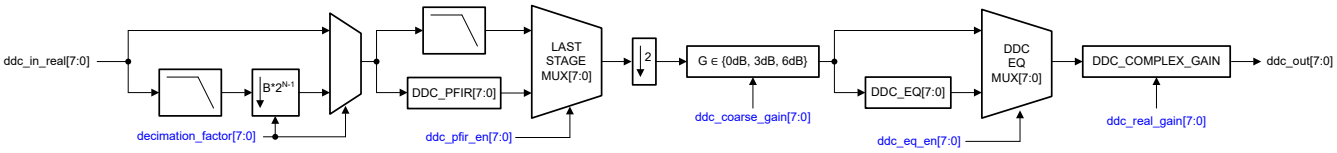


図 7-23. 実数デシメーション信号チェーン (2 の累乗のデシメーション係数 (B = 1))

Copyright © 2025 Texas Instruments Incorporated

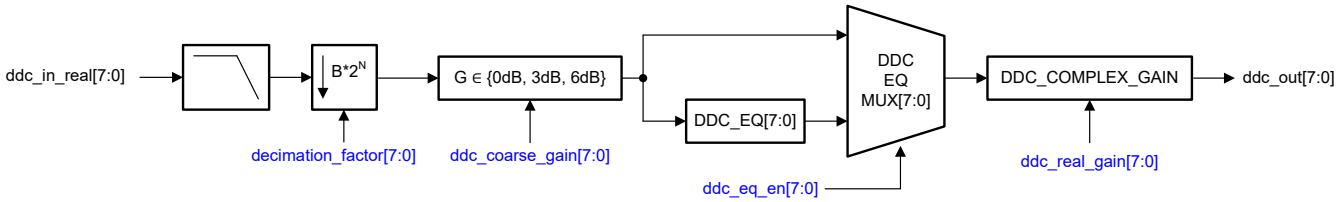


図 7-24. 実数デシメーション信号チェーン (3 と 5 のデシメーション係数 (B = 3、5)

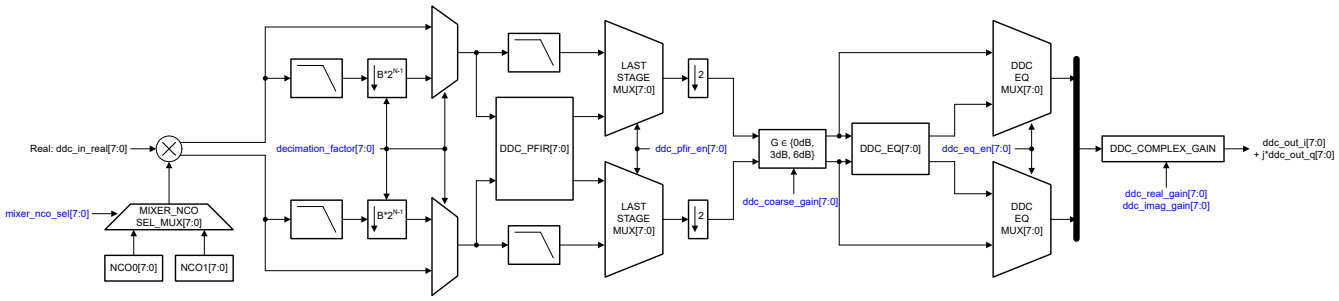


図 7-25. 複素デシメーション信号チェーン (2 のデシメーション係数 (B = 1))

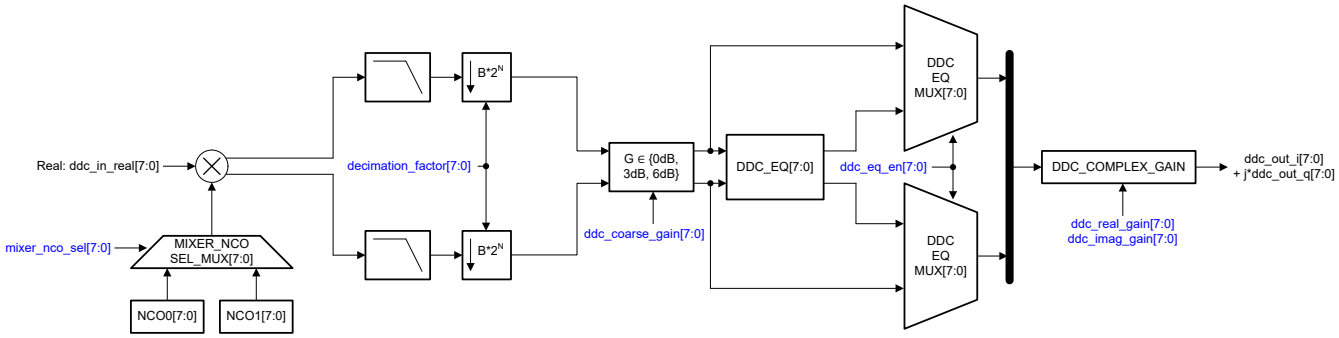


図 7-26. 複素デシメーション信号チェーン (3 と 5 のデシメーション係数 (B = 3、5))

次のパラメータをプログラムできます:

表 7-14. DDC プログラミングの入力選択

関数名	サイズ	デフォルト	アクセス権	説明
DDC{0..7}_DECIMATION_FACTOR_LSB	8	1	R/W	DDC の 16 ビットデシメーション係数のビット [15:0] を設定します。可能なデシメーション係数は次のとおりです: [2、3、4、5、6、8、10、12、16、20、24、32、40、48、64、80、96、128、256、512、1024、2048、4096、8192、16384、32768]
DDC{0..7}_DECIMATION_FACTOR_MSB	8	0	R/W	
DDC{0..7}_REPEAT_FACTOR_LSB	8	1	R	DDC の 14 ビット反復係数のビット [13:0]。
DDC{0..7}_REPEAT_FACTOR_MSB	6	0	R	
DDC{0..7}_PFIR_EN	1	0	R/W	DDC_PFIR イネーブルを制御します。 0:DDC_PFIR はディスエーブルで、最終段のフィルタとして固定デシメーションフィルタを使用します。 1:DDC_PFIR はイネーブルで、最終段のフィルタとしてプログラム可能なデシメーションフィルタを使用します。
DDC{0..7}_PFIR_MODE_SEL	1	0	R/W	DDC_PFIR モードを選択します。 0:シングルチャネルモード。 1:デュアルチャネルモード。

Copyright © 2025 Texas Instruments Incorporated

表 7-14. DDC プログラミングの入力選択 (続き)

関数名	サイズ	デフォルト	アクセス権	説明
DDC{0..7}_PFIR_NUM_TAPS	7	0	R/W	特定のモードで DDC_PFIR が使用するタップ数。シングルチャネルモードのときは任意の値に設定できます。デュアルチャネルモードでは偶数である必要があります。 1...96:DDC_PFIR で使用するタップ数。
DDC{0..7}_PFIR_TAPS	1632	0	R/W	DDC_PFIR ブロックの 96 タップを設定します。 シングルチャネルモード:DDC_pfir_input[0] には最大 96 タップが適用されます。 デュアルチャネルモード:DDC_pfir_input ごとに最大 48 タップ。最初の 48 タップは DDC_pfir_input[0] に適用されます。2 番目の 48 タップは DDC_pfir_input[1] に適用されます。
DDC{0..7}_EQ_EN	1	0	R/W	DDC_EQ イネーブルを制御します。 0:DDC_EQ はディスエーブルでバイパスされます。 1:DDC_EQ はイネーブルで DDC_EQ フィルタが DDC 出力に印加されます。
DDC{0..7}_EQ_MODE_SEL	3	0	R/W	DDC_EQ モードを選択します。 0:シングルチャネルモード。 1:デュアルチャネルモード。 2:半複素モード。 3:完全複素モード。 4:遅延のみモード。
DDC{0..7}_EQ_DEL_VAL	7	0	R/W	DDC_EQ 遅延値。この設定の影響は DDC_EQ モードにより異なります。 0...127:DDC_EQ がプログラム可能な遅延を使用するモードのときに適用されるデバイスクロックサイクルの数遅延。
DDC{0..7}_EQ_NUM_TAPS	7	0	R/W	特定のモードで DDC_EQ が使用するタップ数。シングルチャネルモードのときは任意の値に設定できます。デュアルチャネルモードと半複素モードでも必要です。完全複素モードでは 4 で割り切れる必要があります。 1...96:DDC_EQ で使用するタップ数。
DDC{0..7}_EQ_TAPS	1536	0	R/W	DDC_EQ ブロックの 96 タップを設定します。 シングルチャネルモード:DDC_eq_input[0] には最大 96 タップが適用されます。 デュアルチャネルモード:DDC_eq_input ごとに最大 48 タップ。最初の 48 タップは DDC_eq_input[0] に適用されます。2 番目の 48 タップは DDC_eq_input[1] に適用されます。 半複素モード:DDC_eq_input ごとに最大 48 タップ。最初の 48 タップは DDC_eq_input[0] に適用されます。2 番目の 48 タップは DDC_eq_input[1] に適用されます。 完全複素モード:DDC_eq_input ごとに最大 48 タップ。最初の 48 タップは DDC_eq_input[0] に適用されます。それらのタップの最初の 24 は DDC_eq_output[0] に適用されます。2 番目の 48 タップは DDC_eq_input[1] に適用されます。それらのタップの最初の 24 は DDC_eq_output[0] に適用されます。
DDC{0..7}_COARSE_GAIN	3	0	R/W	DDC_EQ より前の DDC データパスで固定デジタルゲインを設定します。 0:0dB のデジタルゲイン。 3:3dB のデジタルゲイン。 6:6dB のデジタルゲイン (複素デシメーションを使用する場合に役立ちます)。
DDC{0..7}_REAL_GAIN	6	0	R/W	DDC 出力に適用される複素ゲインの実数部分です。ゲインは、0dB ～ 6dB の範囲で 0.1dB ステップです。 0..60:実効ゲインは DDC_REAL_GAIN*0.1dB です
DDC{0..7}_IMAG_GAIN	6	0	R/W	DDC 出力に適用される複素ゲインの虚数部分です (複素デシメーションモードで使用)。ゲインは、0dB ～ 6dB の範囲で 0.1dB ステップです。 0..60:実効虚数ゲインは DDC_IMAG_GAIN*0.1dB です

Copyright © 2025 Texas Instruments Incorporated

7.3.5.5.3 デシメーション フィルタ応答

このセクションでは、正規化された ADC サンプリング レートでのさまざまなデシメーション フィルタ応答について説明します。複素フィルタのパスバンドはデシメーション処理された帯域幅の約 80% (-0.1dB) であり、最小 85dB のストップバンド除去を実現しています。

デシメーションフィルタの応答は ADC サンプリングクロック周波数 F_S に正規化されます。1 つの例 (4 によるデシメーション) を、図 7-28 と 図 7-29 に示します。他のすべてのデシメーションフィルタプロットのフィルタ応答は製品フォルダで入手できます。

デシメーションフィルタプロットは次のようなものです: 各図には、図 7-27 に示すように、フィルタのパスバンド、遷移バンド、エイリアスまたはストップバンドが含まれています。x 軸は、(NCO 周波数シフト後の) オフセット周波数を ADC サンプリング レート F_S に正規化したものを示します。

たとえば、1/4 の複素セットアップでは、出力データ レートは F_S /4 複素、ナイキスト ゾーンは F_S / 8 すなわち 0.125 × F_S です。遷移バンド (青色) は 0.125 × F_S を中心にしており、エイリアス遷移バンドは 0.375 × F_S を中心にしています。ストップ バンド (赤色) は、パスバンドの上側にエイリアスがあり、0.25 × F_S および 0.5 × F_S を中心にして配置されています。ストップバンド減衰は、85dB を超えています。

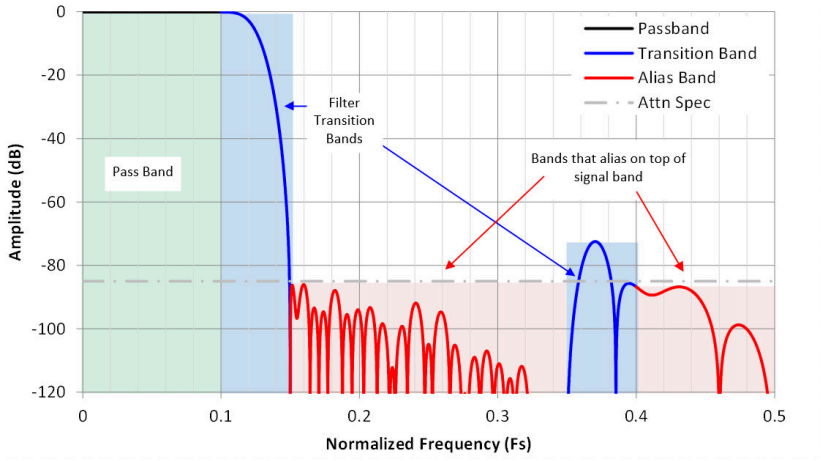


図 7-27. デシメーション フィルタ プロットの解釈

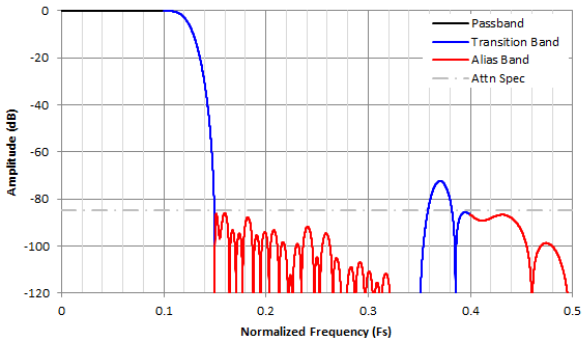


図 7-28. 4 倍デシメーション時のフィルタ応答

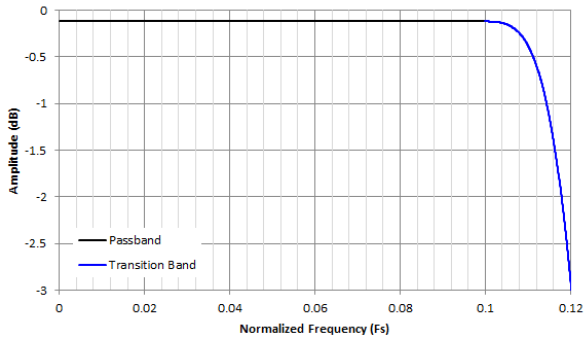


図 7-29. 1/4 デシメーションのパスバンド リップル応答

Copyright © 2025 Texas Instruments Incorporated

7.3.5.5.4 数値制御発振器 (NCO)

FS = ADC サンプリング レート (MSPS)

図 7-30 に示すように、各デジタルダウンコンバータ (DDC) は、48 ビットの数値制御発振器 (NCO) を使用して、デジタルフィルタリングの前に周波数の配置を微調整します。NCO 周波数範囲は $-F_S/2$ から $F_S/2$ で、周波数制御ワード (FCW) と位相オフセットの影響を受けます。

各 DDC に対して 2 つの異なる NCO 周波数があります。目的とする NCO 周波数は SPI を介してプログラムされ、SPI ピンまたは GPIO ピンを使用して選択できます。NCO 周波数制御に GPIO ピンを使用すると、1µs 未満で周波数ホッピングを実現できます。

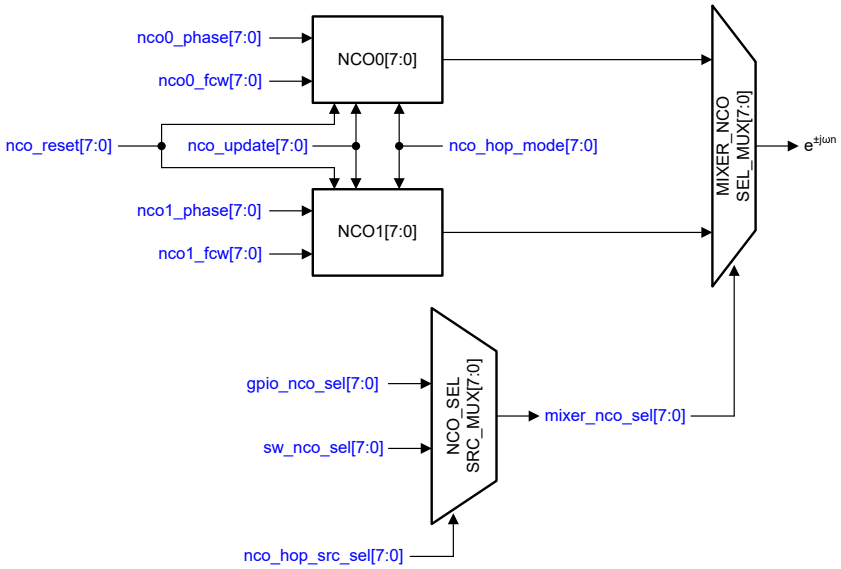


図 7-30. すべての制御信号を含む NCO のブロック図

無限位相コヒーレント NCO：位相コヒーレント NCO では、SYSREF を使用して、すべての周波数が 1 つのイベントに同期します。これにより、周波数ホッピングの間で位相コヒーレンシが維持されるため、NCO をリセットする必要なしに、無限回の周波数ホッピングを実現できます。これを 図 7-31 (右) に示します。元の周波数 f_1 に戻ると、NCO 位相は NCO の周波数が一度も変わらなかったように見えます。

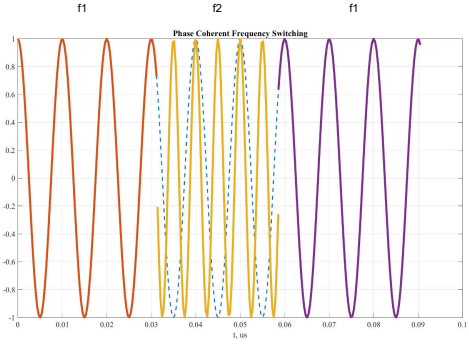


図 7-31. 無限位相コヒーレント NCO 周波数スイッチング

Copyright © 2025 Texas Instruments Incorporated

発信機は複素指数関数シーケンス $e^{j\omega n}$ (デフォルト) または $e^{-j\omega n}$ を生成します

ここで、周波数 (ω) は 48 ビット FCW により符号付き数値として指定されます

複素指数関数列に ADC からの実数入力を乗算し、目的のキャリアを $f_{IN} + f_{NCO}$ に等しい周波数にミックスします。NCO 周波数は $–F_S/2$ から $+F_S/2$ の範囲で調整でき、符号付き 2 の補数として処理されます。

FCW の設定は、48 ビットのレジスタ値によって設定され、次のように計算されます:

$$\text{NCO frequency (0 to + } F_S/2\text{): NCO} = f_{NCO} \times 2^{48} / F_S \quad (3)$$

$$\text{NCO frequency (-}F_S/2\text{ to 0): NCO} = (f_{NCO} + F_S) \times 2^{48} / F_S \quad (4)$$

ここで

- NCO = FCW (10 進数値)
- f_{NCO} = 目標とする NCO 周波数 (MHz)
- F_S = ADC サンプリング レート (MSPS)

7.3.5.5.4.1 NCO の更新

NCO FCW と位相は動的に更新できます。また、NCO 更新信号は各 DDC (nco_update_mask[7:0]) でマスクできます。NCO 更新信号は、ソフトウェア (sw_nco_sync) から、または内部 SYSREF (SYSREF_INT) をリークして NCO を更新することによって供給できます。NCO FCW および位相の更新は、次の 2 つの手順で行います:

1. 新しい FCW および位相を書き込む必要があります
2. 新しい NCO 設定を適用するには、nco_update 信号を発行する必要があります

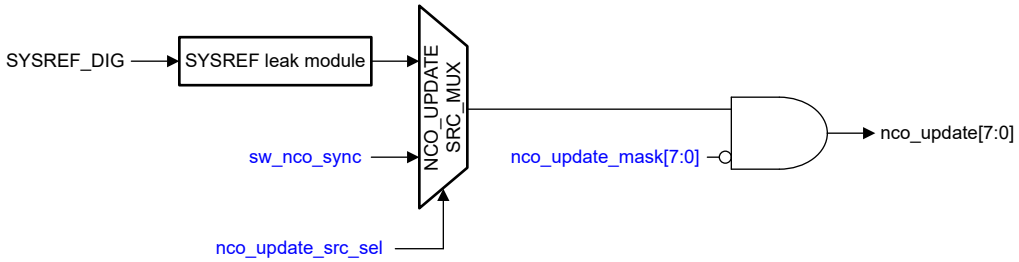


図 7-32. すべての制御信号による NCO 更新

nco_update_mask[7:0] は特定の DDC からの nco_update 信号をマスクするために使用され、それによって DDC のサブセットのみに対して NCO の更新が可能になります。NCO 更新信号がソフトウェア (sw_nco_sync) から供給される場合、DDC [x] および DDC [x+1] の nco_update_mask ($x \in \{0,2,4,6\}$) は、sw_nco_sync 信号が DDC [x] および DDC [x+1] で共有されるように同じ構成する必要があります。

7.3.5.5.4.2 NCO リセット

NCO 位相アキュムレータは nco_reset 信号を使用して各 NCO ごとにリセットできます。NCO リセットは DDC ごとにリセットできます (nco_reset_mask[7:0])。NCO リセット信号はソフトウェア (sw_nco_sync) から供給、または GPIO を介して NCO を有効にして次の SYSREF エッジでリセットできます。

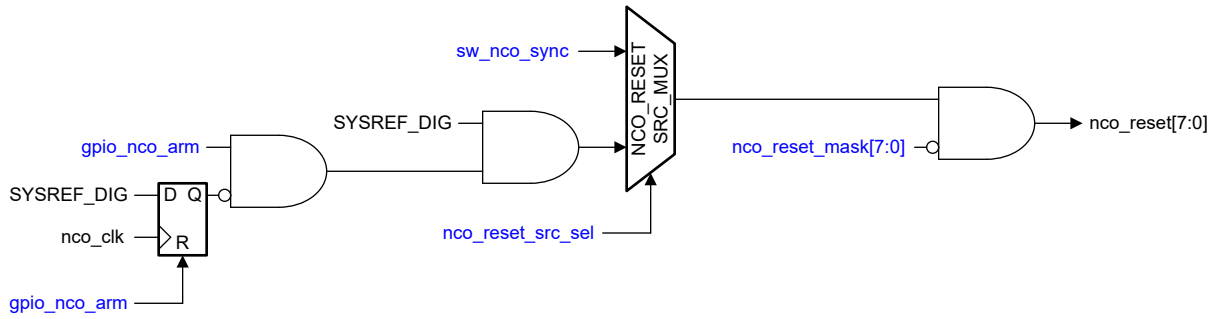


図 7-33. すべての制御信号による NCO リセット

gpio_nco_arm NCO リセットパスは、ホストデバイスからデバイス間で複数の NCO を同期するために使用されます。ホスト デバイスは、SYSREF の立ち下がりエッジで gpio_nco_arm を起動して、gpio_nco_arm 信号が次の SYSREF エッジより前にすべてのデバイスに到達するための最大時間を確保できます。

Copyright © 2025 Texas Instruments Incorporated

次のレジスタをプログラムできます：

表 7-15. ミキサおよび NCO プログラミング

システム パラメータ名称	サイズ	デフォルト	アクセス権	説明
DDC_NCO_UPDATE_SRC_SEL	1	0	R/W	NCO 更新信号のソースを選択します。 0：NCO 更新信号はソフトウェアから供給されます。 1：内部 SYSREF (SYSREF_DIG) をリークして NCO を更新します。
DDC_NCO_RESET_SRC_SEL	1	0	R/W	NCO リセット信号のソースを選択します。 0：NCO リセット信号はソフトウェアから供給されます。 1：GPIO アーム信号 (gpio_nco_arm) は、SYSREF の次の立ち上がりエッジで NCO 更新信号が発行されるように NCO モジュールを準備します。
DDC_NCO_UPDATE_MASK	8	0	R/W	DDC NCO 更新信号のマスク制御に従って。NCO 更新ソースがソフトウェアからのものである場合、DDC[x] と DDC[x+1] (x ∈ {0,2,4,6}) を同じように設定する必要があります。マスクビットを 1 に設定すると、各 DDC NCO が NCO 更新信号からマスクされます。 ビット 0：DDC0 NCO 更新マスク制御。 ビット 1：DDC1 NCO 更新マスク制御。 ビット 2：DDC2 NCO 更新マスク制御。 ビット 3：DDC3 NCO 更新マスク制御。 ビット 4：DDC4 NCO 更新マスク制御。 ビット 5：DDC5 NCO 更新マスク制御。 ビット 6：DDC6 NCO 更新マスク制御。 ビット 7：DDC7 NCO 更新マスク制御。
DDC_NCO_RESET_MASK	8	0	R/W	DDC NCO リセット信号のマスク制御に従って。NCO リセットソースがソフトウェアからのものである場合、DDC[x] と DDC[x+1] (x ∈ {0,2,4,6}) を同じように設定する必要があります。マスクビットを 1 に設定すると、各 DDC NCO が NCO リセット信号からマスクされます。 ビット 0：DDC0 NCO 更新リセット制御。 ビット 1：DDC1 NCO 更新リセット制御。 ビット 2：DDC2 NCO 更新リセット制御。 ビット 3：DDC3 NCO 更新リセット制御。 ビット 4：DDC4 NCO 更新リセット制御。 ビット 5：DDC5 NCO 更新リセット制御。 ビット 6：DDC6 NCO 更新リセット制御。 ビット 7：DDC7 NCO 更新リセット制御。
DDC{0..7}_NCO_HOP_SRC_SEL	1	0	R/W	DDC の NCO ホッピング信号のソースを選択します。 0：GPIO による NCO 選択 (周波数ホッピング) (DDC ごとに 1 つの GPIO 機能)。 1：ソフトウェアを使用した NCO の選択 (周波数ホッピング)。
DDC{0..7}_NCO_HOP_MODE	1	0	R/W	ホッピング時に NCO モードを選択します。 0：未使用 1：位相コヒーレントホッピングモードでは、NCO の元の位相が常にホップ全体で維持されます。
DDC{0..7}_NCO{0,1}_FCW	48	0	R/W	NCO{0,1} の 48 ビット FCW ワード
DDC{0..7}_NCO{0,1}_PHASE	48	0	R/W	NCO{0,1} の 48 ビット位相オフセット

Copyright © 2025 Texas Instruments Incorporated

7.3.6 デジタル出力インターフェイス

ADC34RF7x は、次の 2 種類の差動デジタル出力データインターフェイスをサポートしています。

1. JESD204B/C：このインターフェイスは最大 8 つのシリアル出力レーンを使用し、最大 16Gbps/レーン (JESD204B) のデータレートと最大 24.75Gbps/レーン (JESD204C) のデータレートをサポートします。
2. LVDS：現在ソフトウェアではサポートされていません

7.3.6.1 JESD204B/C インターフェイス

ADC34RF7x は、JESD204B/C 高速シリアルインターフェイスを使用して、ADC から受信ロジックデバイスにデータを転送します。ADC34RF7x シリアル化レーンは、JESD204C を使用して最大 24.75Gbps、JESD204B を使用して最大 15Gbps で動作できます。このデバイスは最大 2 つの JESD リンク (同じレーン速度で動作) と、1、2、4、8 レーンのレーンオプションをサポートしています。図 7-34 は、JESD204 インターフェイスの内部ブロック図と、2 つのリンクの各構成パラメータを示しています。

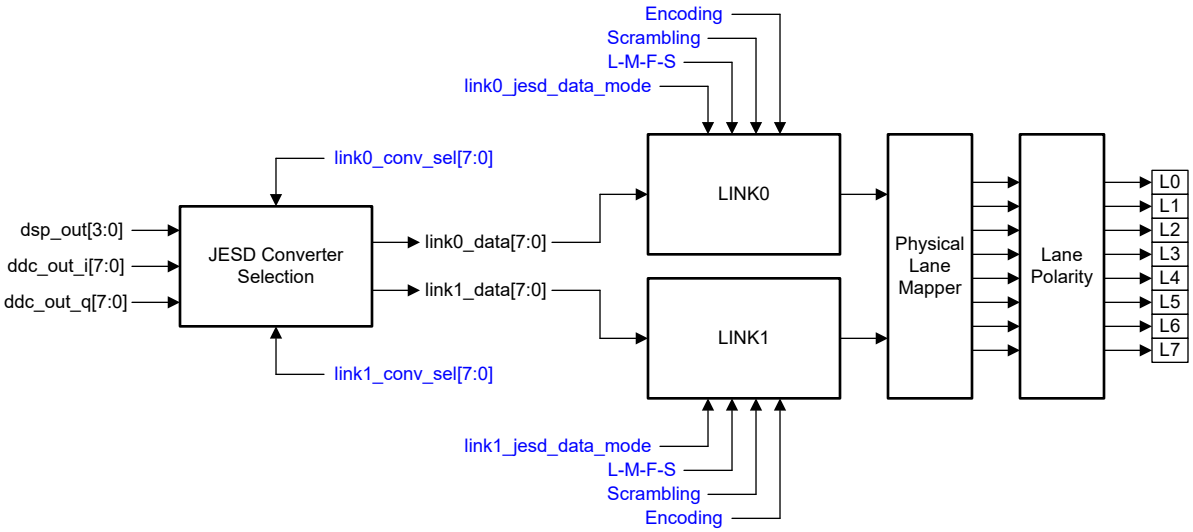


図 7-34. JESD204 のブロック図

JESD204B/C インターフェイスを構成するときは、以下のパラメータと制約を考慮する必要があります。

L、M、F、S、N、N の範囲

- L：レーン数：L ∈ {1,2,4,8}
- M：コンバータ数：M ∈ {1,2,4,8}、M = 16 (8 進バンドデシメーション) の場合、JESD インタフェースはリンクごとに M = 8 の 2 つのリンクに構成する必要があります
- F：フレームあたりのオクテット数：F ∈ {1,2,...,F_{max}}
- S：コンバータあたりのサンプル数：S ∈ {1,2,4}
- N'：パディングありのサンプル分解能：N' = 8·L·F/(M·S)、および N' ∈ {16,24,32}
- N：パディングなしのサンプル分解能：N' ∈ {16,24} および N <= N'

F と N' の制約

- N' = 16 => F_{max} = 64
- N' ∈ {24,32} => F_{max} = 64
- N= 32 => F は 4 の倍数である必要があります。

レーン数 (L) とレーンレート (LR) の制約

- JESD TX レーンレート LR：4.0 Gbps ～ 24.75Gbps
- L = 8 は JESD TX リンク 0 のみに許可され、JESD TX リンク 1 には許可されません

Copyright © 2025 Texas Instruments Incorporated

デシメーション係数 (D) と反復係数 (R) の制約

- サンプル反復係数 $R = 2^p$、$p \in \mathbb{N}^+$
- D <= 4 : R = 1
- D%3 = 0 : R = 1
- D%5 = 0 : R = 1
- D > 4 : D/R >= 4

JESD TX コンバータの選択に関する制約

- 選択したコンバータ C ∈ {0,1,...,19}、表 7-16 を参照
- コンバーターは、上記のセット内の任意の順序である可能性があります
- さらに 表 7-17 の制約が適用されます。

表 7-16. コンバータの選択

コンバータ	選択番号
DDC0_I	0
DDC0_Q	1
...	...
DDC7_Q	15
ADC0	16
ADC1	17
ADC2	18
ADC3	19

表 7-17. 有効な JESD 構成

JESD データモード	デシメーション係数 D	リンクあたりのコンバータ数 M	選択可能なコンバータ	選択可能なコンバータ番号
JESD_DATA_MODE_DSP_OUT	1 (DDC バイパス)	1、2	ADC0、ADC1、ADC2、ADC3	16、17、18、19
JESD_DATA_MODE_DDC_OUT	2、3	1、2、4	DDC0_IQ、DDC1_IQ、DDC4_IQ、DDC5_IQ	0,1,2,3,8,9,10,11
	4、5	1、2、4、8	DDC0_IQ、...DDC7_IQ	0、1、2....14、15
	8、16、32...			
	6、10、12、20、...			

次のパラメータをプログラムできます：

表 7-18. JESD TX リンクレジスタ (x：0 = LINK0、1 = LINK1)

システムパラメータ名	サイズ	デフォルト	リセット	説明
LINK{x}_SCR_EN	1	0	RW	JESD スクランブラのイネーブルを制御します。 0：JESD スクランブラがディスエーブルです。 1：JESD スクランブラがイネーブルです。
LINK{x}_JESD_TYPE	1	0	RW	JESD タイプを選択し、ENCODING 設定と同じ設定にする必要があります。 0：8b10b 1：64b66b
LINK{x}_ENCODING	1	0	RW	JESD エンコーディングを選択します。JESD_TYPE 設定と同じ設定にする必要があります。 0：8b10b エンコーディング。 1：64b66b エンコーディング。

Copyright © 2025 Texas Instruments Incorporated

表 7-18. JESD TX リンクレジスタ (x：0 = LINK0、1 = LINK1) (続き)

システムパラメータ名	サイズ	デフォルト	リセット	説明
LINK{x}_JESD_DATA_MODE	2	0	RW	JESD データソースを選択します。 0：JESD に DDC_OUT を供給。 1：JESD に供給される DSP_OUT。 2：未使用 3：未使用
LINK{x}_JESD_LANES	4	4	RW	リンクの JESD レーン (L) パラメータを設定します。 0：LINK はディセーブルになります。 1：JESD L パラメータを 1 に設定。 2：JESD L パラメータを 2 に設定。 4：JESD L パラメータを 4 に設定。 8：JESD L パラメータを 8 に設定。
LINK{x}_JESD_CONVERTERS	4	2	RW	リンクの JESD コンバータ (M) パラメータを設定します。 0：LINK はディセーブルになります。 1：JESD M パラメータを 1 に設定。 2：JESD M パラメータを 2 に設定。 4：JESD M パラメータを 4 に設定。 8：JESD M パラメータを 8 に設定。
LINK{x}_JESD_OCTETS_PER_FRAME	7	1	RW	リンクの JESD フレーム当たりのオクテット (F) パラメータを設定します。F の最大値は 64 です。N' が 32 の場合、F は 4 の倍数である必要があります。 1...64：JESD F パラメータ値。
LINK{x}_JESD_SAMPLES_PER_CONVERTER	3	1	RW	リンクの JESD コンバータあたりのサンプル (S) パラメータを設定します。 1：JESD S パラメータを 1 に設定。 2：JESD S パラメータを 2 に設定。 4：JESD S パラメータを 4 に設定。
LINK{x}_JESD_K_OR_E	8	32	RW	JESD マルチフレームごとのフレーム (K) または拡張マルチブロックごとのマルチブロック (E) のいずれかを設定します。このフィールドは、8b10b エンコーディングが使用されている場合の K パラメータ、64b66b エンコーディングが使用されている場合の E です。

Copyright © 2025 Texas Instruments Incorporated

表 7-18. JESD TX リンクレジスタ (x：0 = LINK0、1 = LINK1) (続き)

システムパラメータ名	サイズ	デフォルト	リセット	説明
LINK{x}_CONV_SEL_{y}	5	16	RW	リンク内で {y} コンバータのデータソースを選択します。(y=0..7) 0：DDC0 同相成分データ。 1：DDC0 直角位相成分データ。 2：DDC1 同相成分データ。 3：DDC1 直角位相成分データ。 4：DDC2 同相成分データ。 5：DDC2 直角位相成分データ。 6：DDC3 同相成分データ。 7：DDC3 直角位相成分データ。 8：DDC4 同相成分データ。 9：DDC4 直角位相成分データ。 10：DDC5 同相成分データ。 11：DDC5 直角位相成分データ。 12：DDC6 同相成分データ。 13：DDC6 直角位相成分データ。 14：DDC7 同相成分データ。 15：DDC7 直角位相成分データ。 16：DSP_OUT からの ADC0 データ。 17：DSP_OUT からの ADC1 データ。 18：DSP_OUT からの ADC2 データ。 19：DSP_OUT からの ADC3 データ。
JESD_SYNC_N_SRC_SEL	2	0	RW	8b10b に SYNC_N 信号ソースを設定します。 0：GPIO0 を SYNC_N 入力として使用します。 2：SYNC_N はソフトウェアによって内部的に生成されます。
JESD_PHY_LANE{y}_DATA_SEL	3	0.1	RW	lane{y} の物理レーンデータソースを設定します。(y = 0..7)。 0：JESD 論理レーン 0 をレーンデータとして使用します。 1：JESD 論理レーン 1 をレーンデータとして使用します。 2：JESD 論理レーン 2 をレーンデータとして使用します。 3：JESD 論理レーン 3 をレーンデータとして使用します。 4：JESD 論理レーン 4 をレーンデータとして使用します。 5：JESD 論理レーン 5 をレーンデータとして使用します。 6：JESD 論理レーン 6 をレーンデータとして使用します。 7：JESD 論理レーン 7 をレーンデータとして使用します。
JESD_PHY_LANE_POLARITY_CTRL	8	0	RW	個別の物理レーンの極性を設定します。このビットをセットすると、対応する物理レーンの極性が反転します。 ビット 0：JESD 物理レーン 0 極性制御。 ビット 1：JESD 物理レーン 1 極性制御。 ビット 2：JESD 物理レーン 2 極性制御。 ビット 3：JESD 物理レーン 3 極性制御。 ビット 4：JESD 物理レーン 4 極性制御。 ビット 5：JESD 物理レーン 5 極性制御。 ビット 6：JESD 物理レーン 6 極性制御。 ビット 7：JESD 物理レーン 7 極性制御。

7.3.6.1.1 JESD204B 初期レーン アライメント (ILA)

受信デバイスは、$\overline{\text{SYNC}}$ 信号をアサート解除することで、最初のレーンアライメントプロセスを開始します。$\overline{\text{SYNC}}$ 入力でロジック Low 状態が検出されると、図 7-35 に示すように、ADC はカンマ文字 (K28.5) の送信を開始して、コードグルー

Copyright © 2025 Texas Instruments Incorporated

プ同期を確立します。同期が完了すると、受信デバイスは $\overline{\text{SYNC}}$ 信号を再アサートし、ADC は次のローカルマルチフレームクロック (LMFC) 境界による初期レーンアライメントシーケンスを開始します。ADC は、それぞれ K フレーム (K は SPI でプログラム可能) を含む 4 つのマルチフレームを送信します。各マルチフレームには、フレーム開始シンボルとフレーム終了シンボルが含まれます。2 番目のマルチフレームには、JESD204B リンク構成データも含まれます。

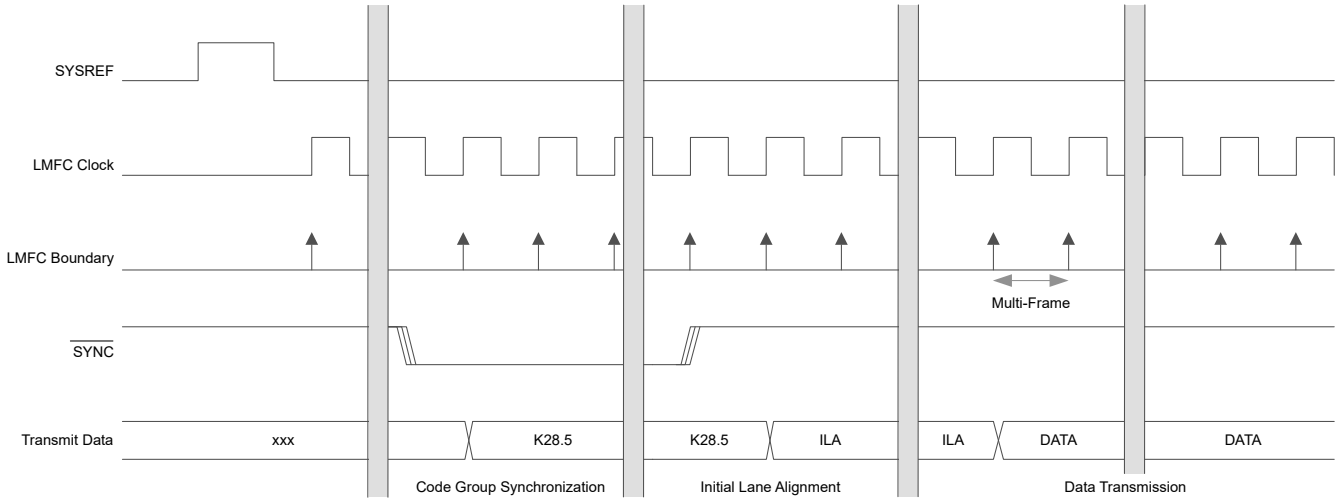


図 7-35. JESD204B 内部タイミング図

Copyright © 2025 Texas Instruments Incorporated

7.3.6.1.2 $\overline{\text{SYNC}}$ 信号

$\overline{\text{SYNC}}$ 信号は次の 2 つの方法のいずれかを使用して発信します:

1. $\overline{\text{SYNC}}$ 入力ピンを使用して SYNC 要求を発信
2. SPI を介して同期コマンドを発信

7.3.6.1.3 JESD204B/C フレーム アセンブリ

JESD204B/C 規格では以下のパラメータが定義されています:

- L:リンクあたりのレーン数
- M:デバイスあたりのコンバータ数
- F:フレームクロック周期あたりのオクテット数
- S:フレームあたりのサンプル数

7.3.6.1.4 バイパスモードの JESD204B/C フレームアセンブリ

表 7-19 は、ADC34RF7x で使用可能な JESD204B/C の形式と、対応する有効なサンプリングレートの範囲を示しています。サンプリングレートは、最小および最大 SERDES ラインレートと ADC サンプリングクロック周波数によって制限されます。表 7-20 はさまざまなレーンの JESD204B/C フレームアセンブリを示しています。

表 7-19. JESD モードオプション : バイパス モード

出力 分解能 (ビット)	L	M	F	S	JESD204B: レーンレート (Gbps)	JESD204B 比 [f_{SERDES}/F_S]	JESD204C: レーンレート (Gbps)	JESD204C 比 [f_{SERDES}/F_S]
16	8	4	1	1	F_S x 16 x 10/8 x M / L	10	F_S x 16 x 66 /64 x M / L	8.25
	4	4	2	1		20		16.5
	8	2	1	2		5		4.125
	4	2	1	1		10		8.25
	2	2	2	1		20		16.5
	4	1	1	2		5		4.125
	2	1	1	1		10		8.25
	1	1	2	1		20		16.5

表 7-20. JESD サンプルフレームアセンブリの例 : バイパス モード

出力 レーン	LMFS = 8-4-1-1	LMFS = 4-4-2-1	LMFS = 8-2-1-2	LMFS = 4-2-1-1	LMFS = 2-2-2-1	LMFS = 4-1-1-2	LMFS = 2-1-1-1	LMFS = 1-1-2-1
STX0	A_0[15:8]	A_0[15:0]	A_0[15:8]	A_0[15:8]	A_0[15:0]	A_0[15:8]	A_0[15:8]	A_0[15:0]
STX1	A_0[7:0]	B_0[15:0]	A_0[7:0]	A_0[7:0]	B_0[15:0]	A_0[7:0]	A_0[7:0]	
STX2	B_0[15:8]	C_0[15:0]	A_1[15:8]	B_0[15:8]		A_1[15:8]		
STX3	B_0[7:0]	D_0[15:0]	A_1[7:0]	B_0[7:0]		A_1[7:0]		
STX4	C_0[15:8]		B_0[15:8]					
STX5	C_0[7:0]		B_0[7:0]					
STX6	D_0[15:8]		B_1[15:8]					
STX7	D_0[7:0]		B_1[7:0]					

Copyright © 2025 Texas Instruments Incorporated

7.3.6.1.5 実際のデシメーションを使用する JESD204B/C フレームアセンブリ

表 7-21 は利用可能な JESD204B/C インターフェイスの構成と、対応する SerDes レーンレートを示しています。境界条件は次のとおりです:

- JESD204B:4 (最小) から 15Gbps (最大) のレーンレート
- JESD204C:4 (最小) から 24.75Gbps (最大) のレーンレート

JESD204B/C フレームアセンブリの例を 表 7-22 から 表 7-25 に表示します。

表 7-21. JESD モードオプション：実数デシメーション

出力 分解能 (ビット)	L	M	F	S	JESD204B: レーンレート (Gbps)	JESD204B: 比 [$f_{SERDES}/(F_S/N)$]	JESD204C: レーンレート (Gbps)	JESD204C: 比 [$f_{SERDES}/(F_S/N)$]
16	8	4	1	1	F_S x 20 x M / D / L	10	F_S x 16 x 66 /64 x M / D / L	8.25
	4	4	2	1		20		16.5
	2	4	4	1		40		33
	1	4	8	1		80		66
	4	2	1	1		10		8.25
	2	2	2	1		20		16.5
	1	2	4	1		40		33
	2	1	1	1		10		8.25
	1	1	2	1		20		16.5
24	8	4	3	2	F_S x 30 x M / D / L	15	F_S x 24 x 66 /64 x M / D / L	12.375
	4	4	3	1		30		24.75
	2	4	6	1		60		49.5
	1	4	12	1		120		99
	2	2	3	1		30		24.75
	1	2	6	1		60		49.5
	1	1	3	1		30		24.75

D:デシメーション設定

表 7-22. JESD フレームアセンブリの例：実数デシメーション 16 ビット出力 - クワッドバンド

出力 レーン	LMFS = 8-4-1-1	LMFS = 4-4-2-1	LMFS = 2-4-4-1		LMFS = 1-4-8-1			
STX0	A_0 [15:8]	A_0 [15:0]	A_0 [15:0]	B_0 [15:0]	A_0 [15:0]	B_0 [15:0]	C_0 [15:0]	D_0 [15:0]
STX1	A_0 [7:0]	B_0 [15:0]	C_0 [15:0]	D_0 [15:0]				
STX2	B_0 [15:8]	C_0 [15:0]						
STX3	B_0 [7:0]	D_0 [15:0]						
STX4	C_0 [15:8]							
STX5	C_0 [7:0]							
STX6	D_0 [15:8]							
STX7	D_0 [7:0]							

Copyright © 2025 Texas Instruments Incorporated

表 7-23. JESD フレームアセンブリの例：実数デシメーション 16 ビット出力 - デュアルおよびシングルバンド

出力 レーン	LMFS = 4-2-1-1	LMFS = 2-2-2-1	LMFS = 1-2-4-1		LMFS = 2-1-1-1	LMFS = 1-1-2-1
STX0	A_0 [15:8]	A_0 [15:0]	A_0 [15:0]	B_0 [15:0]	A_0 [15:8]	A_0 [15:0]
STX1	A_0 [7:0]	B_0 [15:0]			A_0 [7:0]	
STX2	B_0 [15:8]					
STX3	B_0 [7:0]					
STX4..7						

表 7-24. JESD サンプルフレームアセンブリの例：実数デシメーション 24 ビット出力 - クワッドバンド

出力 レーン	LMFS = 8-4-3-2	LMFS = 4-4-3-1	LMFS = 2-4-6-1		LMFS = 1-4-12-1			
STX0	A_0 [23:0]	A_0 [23:0]	A_0 [23:0]	B_0 [23:0]	A_0 [23:0]	B_0 [23:0]	C_0 [23:0]	D_0 [23:0]
STX1	A_1 [23:0]	B_0 [23:0]	C_0 [23:0]	D_0 [23:0]				
STX2	B_0 [23:0]	C_0 [23:0]						
STX3	B_1 [23:0]	D_0 [23:0]						
STX4	C_0 [23:0]							
STX5	C_1 [23:0]							
STX6	D_0 [23:0]							
STX7	D_1 [23:0]							

表 7-25. JESD サンプルフレームアセンブリの例：実数デシメーション 24 ビット出力 - デュアルおよびシングルバンド

出力 レーン	LMFS = 2-2-3-1	LMFS = 1-2-6-1		LMFS = 1-1-3-1
STX0	A_0 [23:0]	A_0 [23:0]	B_0 [23:0]	A_0 [23:0]
STX1	B_0 [23:0]			
STX2..7				

Copyright © 2025 Texas Instruments Incorporated

7.3.6.1.6 複雑なデシメーションを使用する JESD204B フレーム アセンブリ

表 7-26 は利用可能な JESD204B,C インターフェイスの構成と、対応する SerDes レーンレートを示しています。境界条件は次のとおりです:

- JESD204B:4 (最小) から 15Gpbs (最大) のレーン レート
- JESD204C:4 (最小) から 24.75Gbps (最大) のレーン レート

JESD204B/C フレーム アセンブリを 表 7-27 (16 ビット) および 表 7-31 (24 ビット) に示します。

M (リンクごとのコンバータ数) は 8 を超えることができないため、オクタル バンド DDC を使用する場合は 2 つの個別の JESD リンクを構成する必要があります (表 7-27 を参照)。たとえば、8 つの JESD レーンを使用したオクタル バンド DDC では、それぞれ 2 つのリンクを LMFS = 4-8-4-1 として構成できます。内部 JESD 出力マルチプレクサを使用して、各リンクに特定の SerDes レーンを割り当てることができます。

表 7-26. JESD モードオプション：複素デシメーション

出力 分解能 (ビット)	L	M	F	S	JESD204B: レーン レート (Gbps)	JESD204B: 比 [$f_{SERDES}/(F_S/N)$]	JESD204C: レーン レート (Gbps)	JESD204C: 比 [$f_{SERDES}/(F_S/N)$]
16	8	8	2	1	F_S x 16 x 10/8 x M / D / L	20	F_S x 16 x 66 /64 x M / D / L	16.5
	4	8	4	1		40		33
	2	8	8	1		80		66
	1	8	16	1		160		132
	8	4	1	1		10		8.25
	4	4	2	1		20		16.5
	2	4	4	1		40		33
	1	4	8	1		80		66
	8	2	1	2		5		4.125
	4	2	1	1		10		8.25
	2	2	2	1		20		16.5
	1	2	4	1		40		33
24	8	8	3	1	F_S x 24 x 10/8 x M / D / L	30	F_S x 24 x 66 /64 x M / D / L	24.75
	4	8	6	1		60		49.5
	2	8	12	1		120		99
	1	8	24	1		240		198
	8	4	3	2		15		12.375
	4	4	3	1		30		24.75
	2	4	6	1		60		49.5
	1	4	12	1		120		99
	8	2	3	4		7.5		6.1875
	4	2	3	2		15		12.375
	2	2	3	2		30		24.75
	1	2	6	1		60		49.5

D:複雑なデシメーション設定

Copyright © 2025 Texas Instruments Incorporated

表 7-27. JESD フレームアセンブリの例：複素デシメーション、オクタル バンド、16 ビット出力
注：LMFS の構成は、JESD リンクごとです

JESD のリンク	出力レーン	LMFS = 4-8-4-1	LMFS = 2-8-8-1		LMFS = 1-8-16-1			
LINK0	STX0	AI_0 [15:0]、AQ_0 [15:0]	AI_0 [15:0]、AQ_0 [15:0]	BI_0 [15:0]、BQ_0 [15:0]	AI_0 [15:0]、AQ_0 [15:0]	BI_0 [15:0]、BQ_0 [15:0]	CI_0 [15:0]、CQ_0 [15:0]	DI_0 [15:0]、DQ_0 [15:0]
	STX1	BI_0 [15:0]、BQ_0 [15:0]	CI_0 [15:0]、CQ_0 [15:0]	DI_0 [15:0]、DQ_0 [15:0]				
	STX2	CI_0 [15:0]、CQ_0 [15:0]						
	STX3	DI_0 [15:0]、DQ_0 [15:0]						
LINK1	STX4	EI_0 [15:0]、EQ_0 [15:0]	EI_0 [15:0]、EQ_0 [15:0]	FI_0 [15:0]、FQ_0 [15:0]	EI_0 [15:0]、EQ_0 [15:0]	FI_0 [15:0]、FQ_0 [15:0]	GI_0 [15:0]、GQ_0 [15:0]	HI_0 [15:0]、HQ_0 [15:0]
	STX5	FI_0 [15:0]、FQ_0 [15:0]	GI_0 [15:0]、GQ_0 [15:0]	HI_0 [15:0]、HQ_0 [15:0]				
	STX6	GI_0 [15:0]、GQ_0 [15:0]						
	STX7	HI_0 [15:0]、HQ_0 [15:0]						

表 7-28. JESD フレームアセンブリの例：複素デシメーション、クワッドバンド、16 ビット出力

出力レーン	LMFS = 8-8-2-1	LMFS = 4-8-4-1	LMFS = 2-8-8-1		LMFS = 1-8-16-1			
STX0	AI_0 [15:0]	AI_0 [15:0]、AQ_0 [15:0]	AI_0 [15:0]、AQ_0 [15:0]	BI_0 [15:0]、BQ_0 [15:0]	AI_0 [15:0]、AQ_0 [15:0]	BI_0 [15:0]、BQ_0 [15:0]	CI_0 [15:0]、CQ_0 [15:0]	DI_0 [15:0]、DQ_0 [15:0]
STX1	AQ_0 [15:0]	BI_0 [15:0]、BQ_0 [15:0]	CI_0 [15:0]、CQ_0 [15:0]	DI_0 [15:0]、DQ_0 [15:0]				
STX2	BI_0 [15:0]	CI_0 [15:0]、CQ_0 [15:0]						
STX3	BQ_0 [15:0]	DI_0 [15:0]、DQ_0 [15:0]						
STX4	CI_0 [15:0]							
STX5	CQ_0 [15:0]							
STX6	DI_0 [15:0]							
STX7	DQ_0 [15:0]							

表 7-29. JESD フレームアセンブリの例：複素デシメーション、デュアルバンド、16 ビット出力

出力レーン	LMFS = 8-4-1-1	LMFS = 4-4-2-1	LMFS = 2-4-4-1		LMFS = 1-4-8-1			
STX0	AI_0 [15:8]	AI_0 [15:0]	AI_0 [15:0]	AQ_0 [15:0]	AI_0 [15:0]	AQ_0 [15:0]	BI_0 [15:0]	BQ_0 [15:0]
STX1	AI_0 [7:0]	AQ_0 [15:0]	BI_0 [15:0]	BQ_0 [15:0]				
STX2	AQ_0 [15:8]	BI_0 [15:0]						
STX3	AQ_0 [7:0]	BQ_0 [15:0]						
STX4	BI_0 [15:8]							
STX5	BI_0 [7:0]							
STX6	BQ_0 [15:8]							
STX7	BQ_0 [7:0]							

Copyright © 2025 Texas Instruments Incorporated

表 7-30. JESD フレームアセンブリの例：複素デシメーション、シングルバンド、16 ビット出力

出力レーン	LMFS = 8-2-1-2	LMFS = 4-2-1-1	LMFS = 2-2-2-1		LMFS = 1-2-4-1			
STX0	AI_0 [15:8]	AI_0 [15:8]	AI_0 [15:8]	AI_0 [7:0]	AI_0 [15:8]	AI_0 [7:0]	AQ_0 [15:8]	AQ_0 [7:0]
STX1	AI_0 [7:0]	AI_0 [7:0]	AQ_0 [15:8]	AQ_0 [7:0]				
STX2	AQ_0 [15:8]	AQ_0 [15:8]						
STX3	AQ_0 [7:0]	AQ_0 [7:0]						
STX4	AI_1 [15:8]							
STX5	AI_1 [7:0]							
STX6	AQ_1 [15:8]							
STX7	AQ_1 [7:0]							

表 7-31. JESD フレームアセンブリの例：複素デシメーション、オクタル バンド、24 ビット出力
注：LMFS の構成は、JESD リンクごとです

JESD のリンク	出力レーン	LMFS = 4-8-6-1	LMFS = 2-8-12-1		LMFS = 1-8-24-1			
LINK0	STX0	AI_0 [23:0]、AQ_0 [23:0]	AI_0 [23:0]、AQ_0 [23:0]	BI_0 [23:0]、BQ_0 [23:0]	AI_0 [23:0]、AQ_0 [23:0]	BI_0 [23:0]、BQ_0 [23:0]	CI_0 [23:0]、CQ_0 [23:0]	DI_0 [23:0]、DQ_0 [23:0]
	STX1	BI_0 [23:0]、BQ_0 [23:0]	CI_0 [23:0]、CQ_0 [23:0]	DI_0 [23:0]、DQ_0 [23:0]				
	STX2	CI_0 [23:0]、CQ_0 [23:0]						
	STX3	DI_0 [23:0]、DQ_0 [23:0]						
LINK1	STX4	EI_0 [23:0]、EQ_0 [23:0]	EI_0 [23:0]、EQ_0 [23:0]	FI_0 [23:0]、FQ_0 [23:0]	EI_0 [23:0]、EQ_0 [23:0]	FI_0 [23:0]、FQ_0 [23:0]	GI_0 [23:0]、GQ_0 [23:0]	HI_0 [23:0]、HQ_0 [23:0]
	STX5	FI_0 [23:0]、FQ_0 [23:0]	GI_0 [23:0]、GQ_0 [23:0]	HI_0 [23:0]、HQ_0 [23:0]				
	STX6	GI_0 [23:0]、GQ_0 [23:0]						
	STX7	HI_0 [23:0]、HQ_0 [23:0]						

表 7-32. JESD フレームアセンブリの例：複素デシメーション、クワッドバンド、24 ビット出力

出力レーン	LMFS = 8-8-3-1	LMFS = 4-8-6-1	LMFS = 2-8-12-1		LMFS = 1-8-24-1			
STX0	AI_0 [23:0]	AI_0 [23:0]、AQ_0 [23:0]	AI_0 [23:0]、AQ_0 [23:0]	BI_0 [23:0]、BQ_0 [23:0]	AI_0 [23:0]、AQ_0 [23:0]	BI_0 [23:0]、BQ_0 [23:0]	CI_0 [23:0]、CQ_0 [23:0]	DI_0 [23:0]、DQ_0 [23:0]
STX1	AQ_0 [23:0]	BI_0 [23:0]、BQ_0 [23:0]	CI_0 [23:0]、CQ_0 [23:0]	DI_0 [23:0]、DQ_0 [23:0]				
STX2	BI_0 [23:0]	CI_0 [23:0]、CQ_0 [23:0]						
STX3	BQ_0 [23:0]	DI_0 [23:0]、DQ_0 [23:0]						
STX4	CI_0 [23:0]							
STX5	CQ_0 [23:0]							
STX6	DI_0 [23:0]							
STX7	DQ_0 [23:0]							

Copyright © 2025 Texas Instruments Incorporated

表 7-33. JESD フレームアセンブリの例：複素デシメーション、デュアルバンド、24 ビット出力

出力レーン	LMFS = 8-4-3-2	LMFS = 4-4-3-1	LMFS = 2-4-6-1		LMFS = 1-4-12-1			
STX0	AI_0 [23:0]	AI_0 [23:0]	AI_0 [23:0]	AQ_0 [23:0]	AI_0 [23:0]	AQ_0 [23:0]	BI_0 [23:0]	BQ_0 [23:0]
STX1	AQ_0 [23:0]	AQ_0 [23:0]	BI_0 [23:0]	BQ_0 [23:0]				
STX2	AI_1 [23:0]	BI_0 [23:0]						
STX3	AQ_1 [23:0]	BQ_0 [23:0]						
STX4	BI_0 [23:0]							
STX5	BQ_0 [23:0]							
STX6	BI_1 [23:0]							
STX7	BQ_1 [23:0]							

表 7-34. JESD フレームアセンブリの例：複素デシメーション、シングルバンド、24 ビット出力

出力レーン	LMFS = 8-2-3-4	LMFS = 4-2-3-2	LMFS = 2-2-3-1	LMFS = 1-2-6-1	
STX0	AI_0 [23:0]	AI_0 [23:0]	AI_0 [23:0]	AI_0 [23:0]	AQ_0 [23:0]
STX1	AQ_0 [23:0]	AQ_0 [23:0]	AQ_0 [23:0]		
STX2	AI_1 [23:0]	AI_1 [23:0]			
STX3	AQ_1 [23:0]	AQ_1 [23:0]			
STX4	AI_2 [23:0]				
STX5	AQ_2 [23:0]				
STX6	AI_3 [23:0]				
STX7	AQ_3 [23:0]				

Copyright © 2025 Texas Instruments Incorporated

7.3.6.2 JESD 出力リファレンスクロック

ADC は、SERDES 基準クロックを FPGA に出力するオプションを備えています (図 7-36 を参照)。この JESD 基準クロックは SerDes レーンレート/(8 × k) に構成され、k は 4 ～ 255 の任意の整数です。これにより、サポートされるリファレンスクロック周波数の柔軟性が向上します。

出力クロックは、シングルエンド LVCMOS または差動 LVDS に構成できます。この回路はデフォルトでパワーダウンされます。使用しない場合、JESDCLKP/M ピンはフローティングのままになります。

JESD 出力クロックは内部の SERDES PLL から直接生成され、確定的レイテンシはありません。

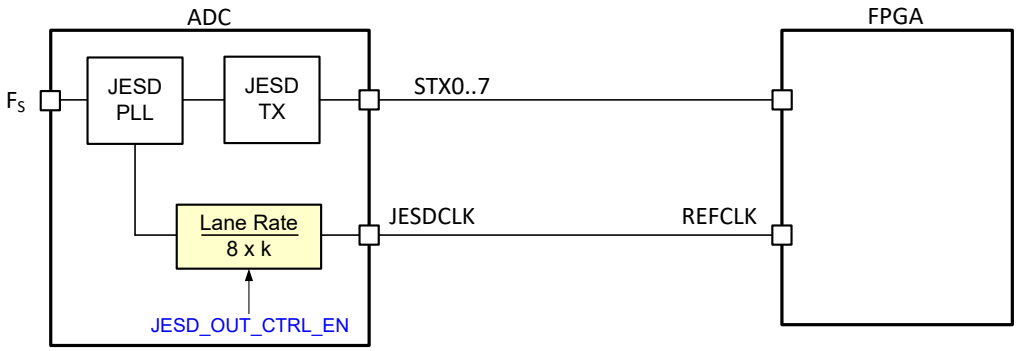


図 7-36. FPGA SERDES PLL 用の JESD リファレンスクロック出力

JESD クロック出力は次のパラメータを使用してプログラムできます:

表 7-35. JESD クロック出力構成のプログラミング

システムパラメータ名	サイズ	デフォルト	アクセス権	説明
JESD_OUT_EN_CTRL	1	0	R/W	JESD 出力のイネーブル制御。 0:JESD 出力は無効。 1:JESD 出力はイネーブル。
JESD_OUT_DIV0	8	0	R/W	JESD クロック出力分周器係数のビット [7:0]。
JESD_OUT_DIV1	8	0	R/W	JESD クロック出力分周器係数のビット [12:8]。

Copyright © 2025 Texas Instruments Incorporated

7.4 デバイスの機能モード

このデバイスには 3 種類の動作モードがあります (図 7-38 および 図 7-37 も参照)。

1. 通常動作: 入力チャネルごとに 1 つの ADC コア。これはチャネルモードあたりの最小消費電力です。
2. 2 倍の平均化: 入力信号は外部的に 2 つの ADC チャネルに接続しています。2 つの ADC の出力は信号対雑音比改善のため内部で平均化されます (最適改善 = 3dB)。
3. 4 倍の平均化: 入力信号は外部的に 4 つのすべての ADC チャネルに接続しています。4 つのすべての ADC の出力は信号対雑音比改善のため内部で平均化されます (最適改善 = 6dB)。

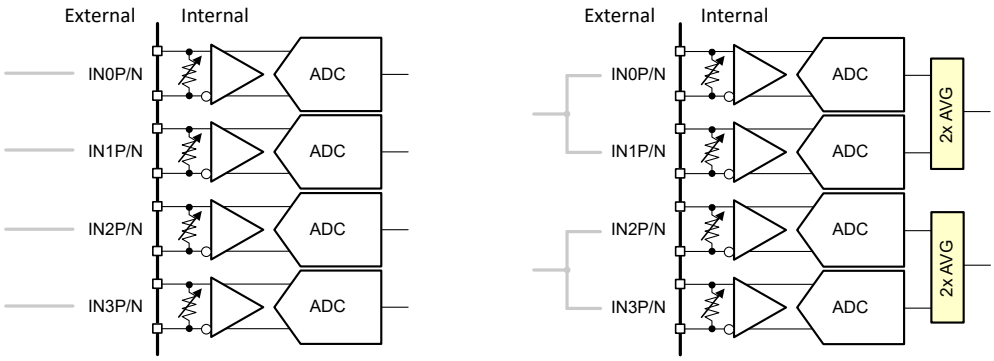


図 7-37. 動作モード : 通常動作 (左) と 2 倍の平均化 (右)

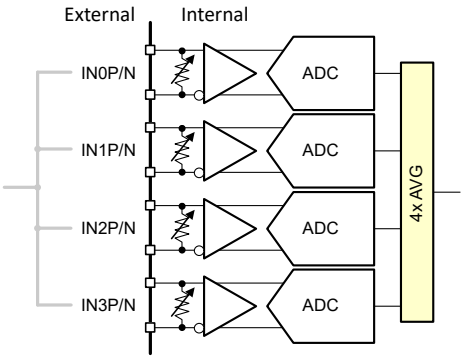


図 7-38. 動作モード : 4 倍の平均化

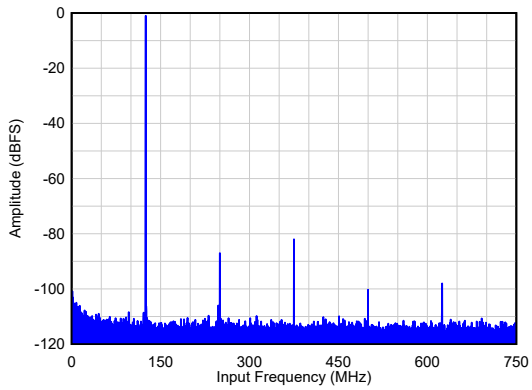
表 7-36. モードの比較 (標準値)

動作モード	出力チャネル数	F_{IN} = 125MHz、A_{IN} = −1dBFS での SNR_{flat}	F_{IN} = 125MHz、A_{IN} = −20dBFS での SNR_{flat}	F_{IN} = 125MHz、A_{IN} = −20dBFS での NSD_{flat}
通常	4	74.8dBFS	75.5dBFS	−163.6dBFS/Hz
2 倍の平均化	2	77.5dBFS	78.3dBFS	−166.4dBFS/Hz
4 倍の平均化	1	80.2dBFS	80.6dBFS	−168.7dBFS/Hz

Copyright © 2025 Texas Instruments Incorporated

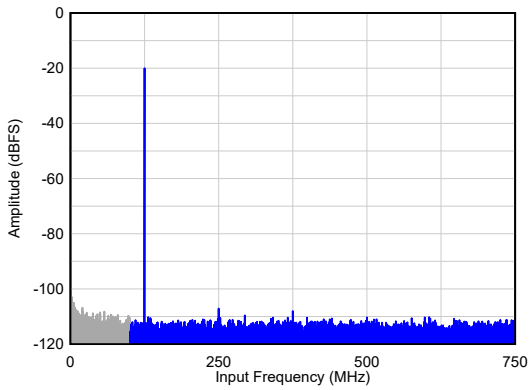
7.4.1 デバイス動作モードの比較

以下は、同じ入力信号構成での各種動作モードの比較測定です。



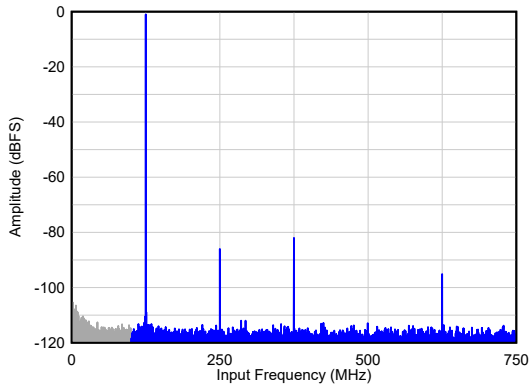
F_{IN} = 125MHz、A_{IN} = -1dBFS、SNR_{flat} = 74.8dBFS

図 7-39. シングルトーン FFT、通常モード



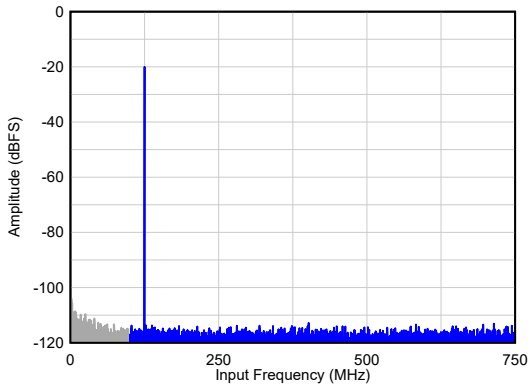
F_{IN} = 125MHz、A_{IN} = -20dBFS、SNR_{flat} = 75.5dBFS

図 7-40. シングルトーン FFT、通常モード



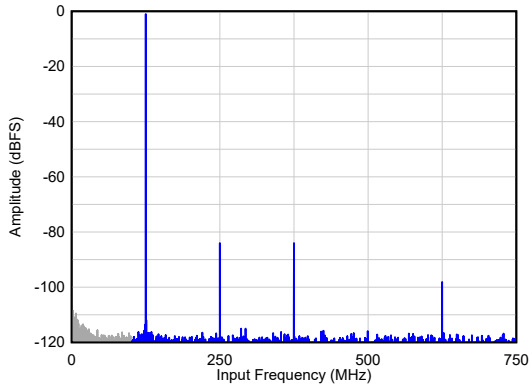
F_{IN} = 125MHz、A_{IN} = -1dBFS、SNR_{flat} = 77.5dBFS

図 7-41. シングルトーン FFT、2 倍平均モード



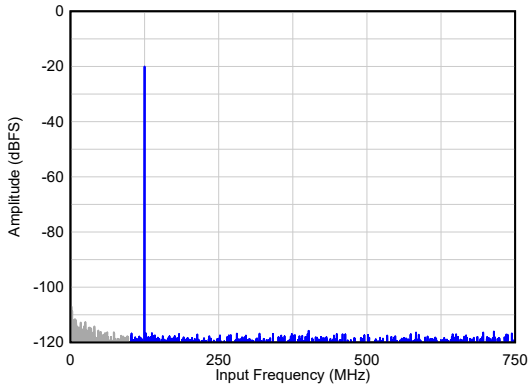
F_{IN} = 200MHz、A_{IN} = -20dBFS、SNR_{flat} = 78.2dBFS

図 7-42. シングルトーン FFT、2 倍平均モード



F_{IN} = 125MHz、A_{IN} = -1dBFS、SNR_{flat} = 80.2dBFS

図 7-43. シングルトーン FFT、4 倍平均モード



F_{IN} = 200MHz、A_{IN} = -20dBFS、SNR_{flat} = 80.6dBFS

図 7-44. シングルトーン FFT、4 倍平均モード

Copyright © 2025 Texas Instruments Incorporated

7.5 プログラミング

このデバイスは主に、シリアル プログラミング インターフェイス (SPI) を使用して構成および制御されます。ただし、SPI を使用して構成し、GPIO ピンを介して制御/使用できるデジタル機能を利用できます。

7.5.1 GPIO 制御

このデバイスは 24 本の GPIO ピンを備えています。4 つは固定機能であり、残りの 20 は SPI を使用してさまざまな機能に合わせて個別に構成できます。

表 7-37. GPIO：固定機能

ピン名	機能	ピン番号
$\overline{\text{RESET}}$	ハードウェア RESET	J1
SCLK	SPI SCLK	K15
SDIO	SPI DIN/DOUT	L15
SDOUT	SPI DOUT	L3
$\overline{\text{SEN}}$	SPI EN	J16
$\overline{\text{SYNC}}$	JESD 8b/10b 用 SYNC	J4

表 7-38. GPIO：構成可能な機能

機能	ピン番号	ピン数	説明
NCO CONTROL	任意	1..8	このピンは各 DDC のために 2 つの NCO 周波数から選択します。 8 つの DDC があり、各 NCO/DDC は特定の GPIO ピンにマッピングできます。複数の/すべての DDC に 1 つの GPIO ピンを使用することができます。 NCO を使用している場合にのみ機能します。 Low：アクティブな各 DDC の nco_0 が選択されます。 High：アクティブな各 DDC の nco_1 が選択されます。
OVR		1	各 ADC OVR 信号の OR 接続出力。 Low：ADC は飽和していません。 High：ADC は飽和しています。
NCO SYSREF ARM		1	GPIO ピンは、次の SYSREF の立ち上がりエッジで NCO 位相を 0 にリセットできるようにするために使用します。
CALIBRATION FREEZE		1	Low：デバイスのバックグラウンドキャリブレーションがアクティブ。 High：デバイスのバックグラウンドキャリブレーションが非アクティブ。
GLOBAL POWER DOWN		1	デバイスのグローバルパワーダウン。 Low：デバイスのパワーアップ。 High：デバイスのパワーダウン。
FAST POWER DOWN		1	デバイスのグローバルパワーダウン。 Low：デバイスのパワーアップ。 High：デバイスのパワーダウン。

Copyright © 2025 Texas Instruments Incorporated

7.5.2 SPI レジスタへの書き込み

以下の手順に従って、内部レジスタをプログラムできます。

1. $\overline{SEN}$ を Low に駆動します ($\overline{SEN}$ が Low に駆動されている間に、すべての SPI の立ち上がりおよび立ち下がりクロックのエッジが発生する必要があります)。
2. R/W ビットを 0 に設定します (16 ビットアドレスのビット A15)。
3. 内容を書き込むレジスタのアドレス (A[14:0]) を指定して、シリアル インターフェイス サイクルを開始します。また、
4. SCLK の立ち上がりエッジで、ラッチされている 8 ビットのデータを書き込みます

図 7-45 に、シリアルレジスタの書き込み動作のタイミング要件を示します。

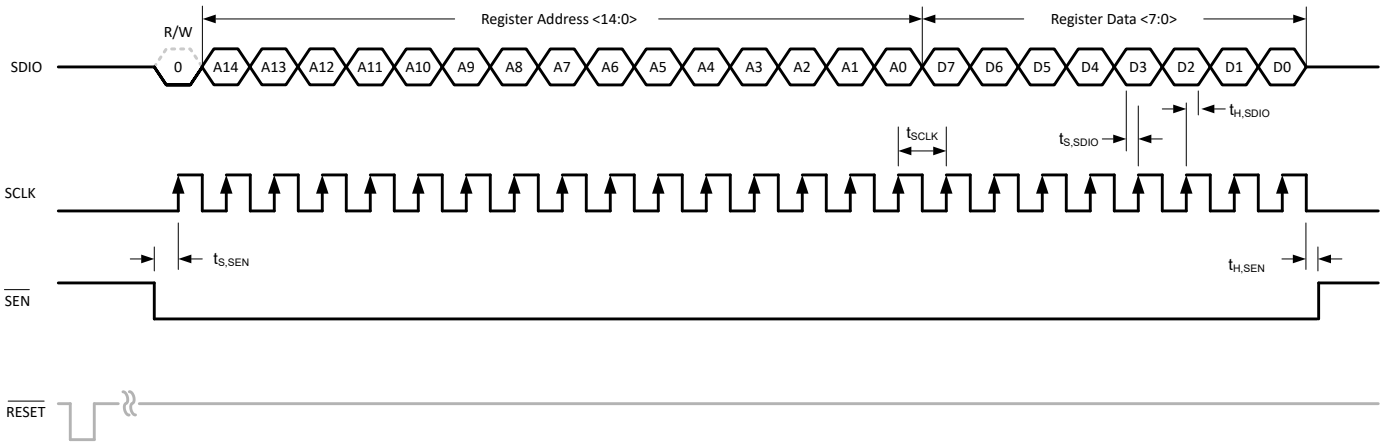


図 7-45. シリアル レジスタ書き込みタイミング図

7.5.3 SPI レジスタの読み取り

このデバイスには、SDIO ピンを使用して内部レジスタの内容を読み戻すことができるモードが搭載されています。この読み戻しモードは、外部コントローラと ADC の間のシリアル インターフェイス通信を検証する診断チェックとして役立ちます。シリアル レジスタの内容を読み取る手順は、以下のとおりです。

1. $\overline{SEN}$ を Low に駆動します ($\overline{SEN}$ が Low に駆動されている間に、すべての SPI の立ち上がりおよび立ち下がりクロックのエッジが発生する必要があります)。
2. R/W ビット (A15) を 1 に設定します。この設定により、レジスタへの以後の書き込みは無効化されます。
3. 内容を読み取るべきレジスタのアドレス (A[14:0]) を指定して、シリアル インターフェイス サイクルを開始します
4. デバイスは、SCLK 立ち下がりエッジで、選択したレジスタの内容 (D[7:0]) を SDIO ピンに送出します
5. 外部コントローラは、SCLK の立ち上がりエッジで内容をキャプチャできます

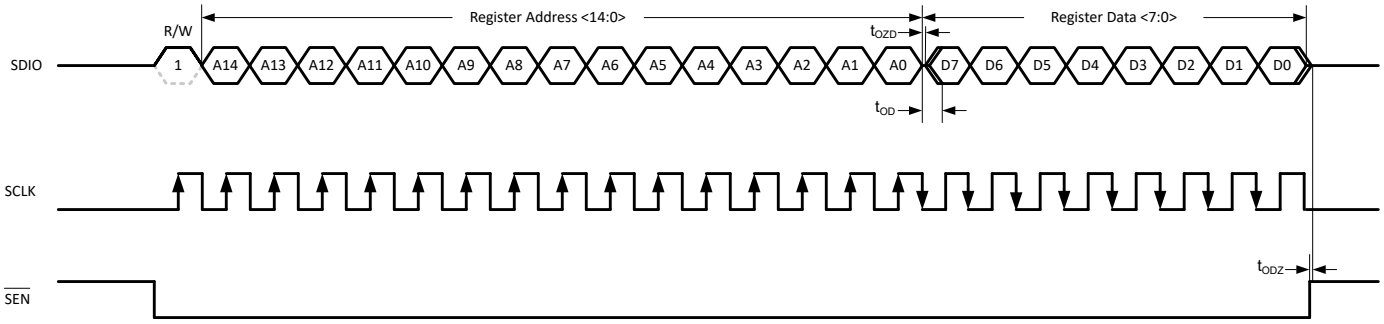


図 7-46. シリアル レジスタ読み出しタイミング図

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

ADC34RF72 は、レーダー、周波数および/または時間ドメインデジタイザ、スペクトラムアナライザ、試験および通信機器、ソフトウェア無線 (SDR) など、多様なアプリケーションで使用できます。「代表的なアプリケーション」セクションでは、これらの各種アプリケーションの要求を満たす 2 つの構成について説明します。

8.2 代表的なアプリケーション：スペクトル アナライザ

このセクションでは、ADC34RF72 を広帯域 RF サンプリングレシーバとして使用する方法を示します。このデバイスは柔軟性があり、4 チャネルのレシーバとして、または内部のデジタル平均化を使用してノイズフロアの改善を行ったデュアルチャネルレシーバとして使用できます。ADC はシングルエンド RF アンプで駆動され、トランス (バラン) により差動信号への変換が行われます。このデバイスには、クワッドチャネルおよびデュアルチャネルモードの両方にデジタルダウンコンバータ (DDC) が含まれており、目的の周波数帯域をベースバンドに混合してデータをダウンサンプリングし、インターフェイスレートを低減します。図 8-1 の広帯域 RF サンプリングレシーバのブロック図では、デバイスは最高のノイズ密度を実現するようにデュアルチャネルモードに構成されています。

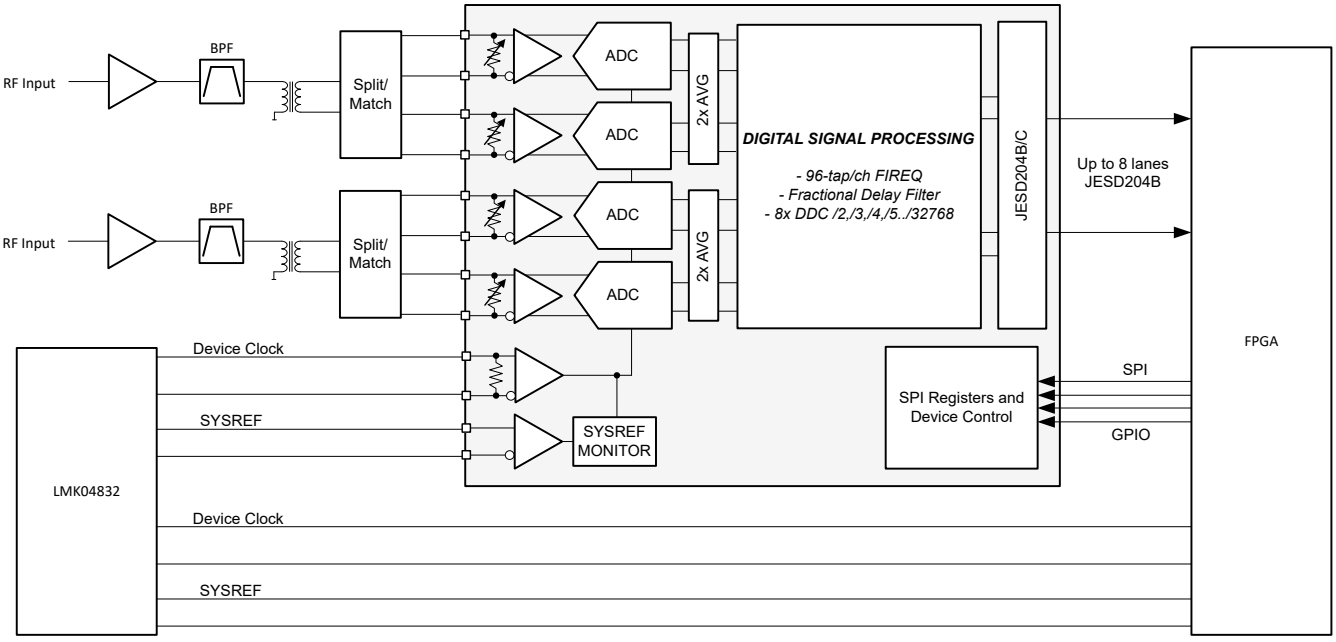


図 8-1. 広帯域 RF サンプリング レシーバ

8.2.1 設計要件

8.2.1.1 入力信号パス：広帯域レシーバ

受信信号パスで不要な周波数を除去するには、適切な帯域制限フィルタを使用します。ADC への入力として、シングルエンド RF 入力を差動形式に変換するには、1:2 (実効終端インピーダンス 100Ω の場合) または 1:1 (実効終端インピーダンス 50Ω の場合) のバラン トランスが必要です。バランは、対象の周波数範囲内で良好な振幅 (0.5dB 未満) と位相バ

ランス (2°C 未満) を維持している必要があります。多くの場合、バック ツー バック バラン構成を使用すると、SFDR 性能が向上します。さまざまなインピーダンス比および周波数範囲に対する推奨バランの数を 表 8-1 に示します。ADC 入力の S パラメータは、フロント エンド マッチング回路の設計に利用できます。

表 8-1. 推奨バラン

部品番号	メーカー (1)	インピーダンス比	振幅バランス (dB)	位相バランス (°)	周波数範囲
BAL-0003SMG	Marki Microwave	1:2	0.1	3	0.5MHz ～ 3GHz
TCM2-43X+	Minicircuits	1:2	0.5	7	10MHz ～ 4GHz
TCM2-33WX+	Minicircuits	1:2	0.7	4	10MHz ～ 3GHz
TC1-1-13M+	Minicircuits	1:1	0.5	2-3	10MHz ～ 3GHz

(1) 「サードパーティー製品に関する免責事項」をご覧ください。

8.2.1.2 クロック処理

定格性能を実現するには、デバイスのクロック入力をこのデバイスに AC 結合する必要があります。特に、高い入力周波数で動作している場合、ADC が規定の SNR 性能を満たすためには、クロック ソースは低ジッタ (積分位相ノイズ) である必要があります。クロック信号をバンドパス フィルタでフィルタ処理して、広帯域のクロック ノイズの一部を除去できます。JESD204B/C データコンバータシステム (ADC と FPGA) を使用するには、追加の SYSREF とデバイスクロックが必要です。LMK04828 または LMK04832 の各デバイスは、これらのクロック生成用に設計されました。ADC クロック周波数とジッタ要件により異なります。システムで複数の ADC34RF72 デバイスを使用する場合、このデバイスをシステムクロックシンセサイザとして、またはデバイスクロックおよび SYSREF 分配デバイスとしても使用できます。

8.2.2 詳細な設計手順

8.2.2.1 サンプリングクロックの要件

ADC の SNR 性能を最大化するには、超低ジッタ (50fs 未満) のサンプリングクロックが必要です。図 8-2 に、SNR 性能の推定値と入力周波数および外部クロック ジッタとの関係を示します。図 8-3 に示すように、内部 ADC アパーチャジッタは、クロック振幅にある程度依存します (入力周波数が高いほど感度が高くなります)。平均化やデシメーションを使用する場合、内部での平均化やデシメーションによって SNR の改善を追加する前に、シングル ADC コアの SNR を最初に評価する必要があります。

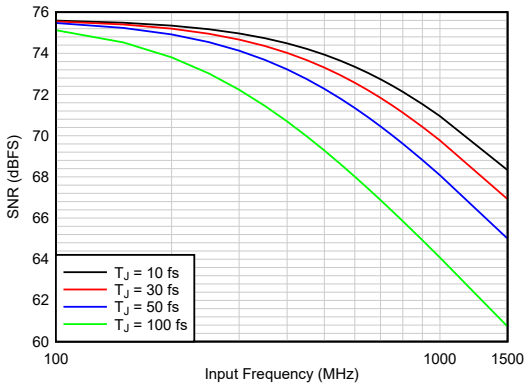


図 8-2. SNR と T_{Jitter} との関係

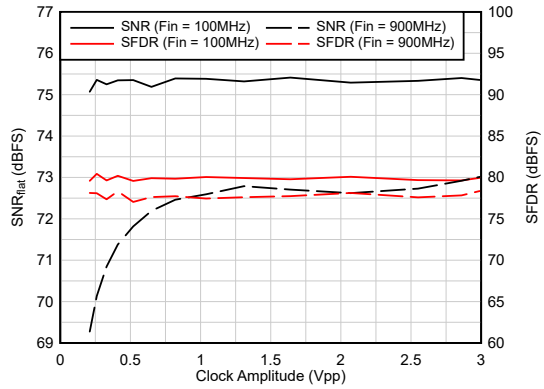


図 8-3. AC 性能とクロック振幅との関係

8.2.3 アプリケーション特性の波形

以下のアプリケーション曲線は、2 倍の内部平均化構成での性能を示しています。入力周波数は 900Mhz で、-1dBFS および -20dBFS の入力振幅が DDC バイパスモードと 8 倍の複素数デシメーションに表示されます。

Copyright © 2025 Texas Instruments Incorporated

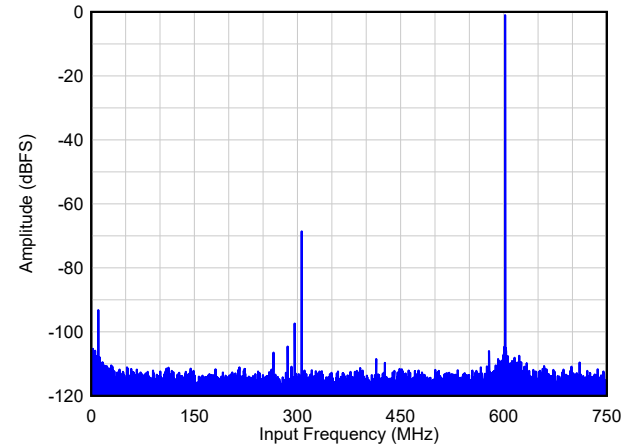


図 8-4. F_{IN} = 900MHz、A_{IN} = -1dBFS、2 倍の平均化、DDC バイパス

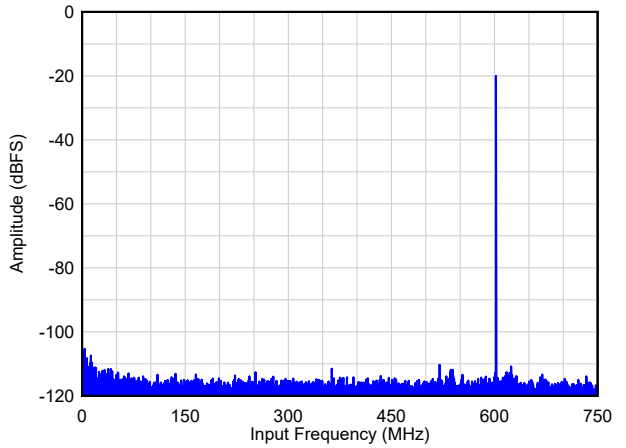


図 8-5. F_{IN} = 900MHz、A_{IN} = -20dBFS、2 倍の平均化、DDC バイパス

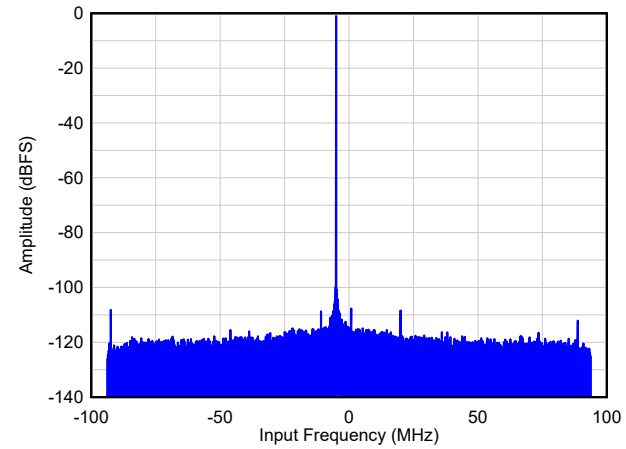


図 8-6. F_{IN} = 900MHz、A_{IN} = -1dBFS、2 倍の平均化、8 倍の複素数デシメーション

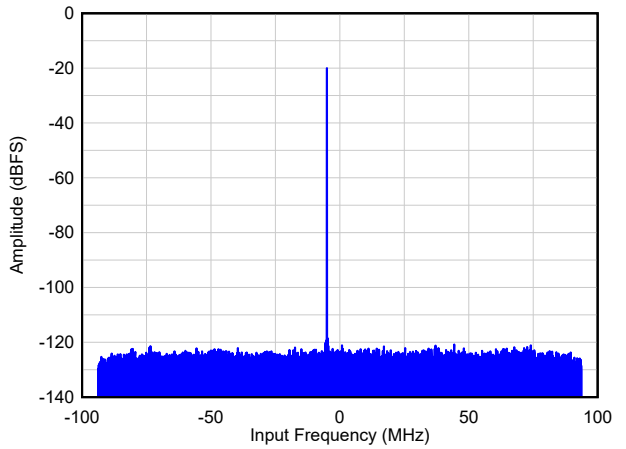


図 8-7. F_{IN} = 900MHz、A_{IN} = -20dBFS、2 倍の平均化、8 倍の複素数デシメーション

8.3 代表的なアプリケーション：時間ドメインデジタイザ

ADC34RF72 は低コード エラー レート (CER)、非常に低いノイズ フロア、高信号対雑音比、プログラマブルなフラクショナル デジタル遅延などのいくつかの機能を備えているため、このデバイスは時間ドメイン デジタイザやオシロスコープのアプリケーションに最適です。図 8-8 の標準的な時間ドメインサンプリング信号チェーンのブロック図では、ADC32RF72 をデュアルチャネルモードに構成し、最高のノイズ密度を実現するために 2 倍のデジタル平均化を内蔵しています。

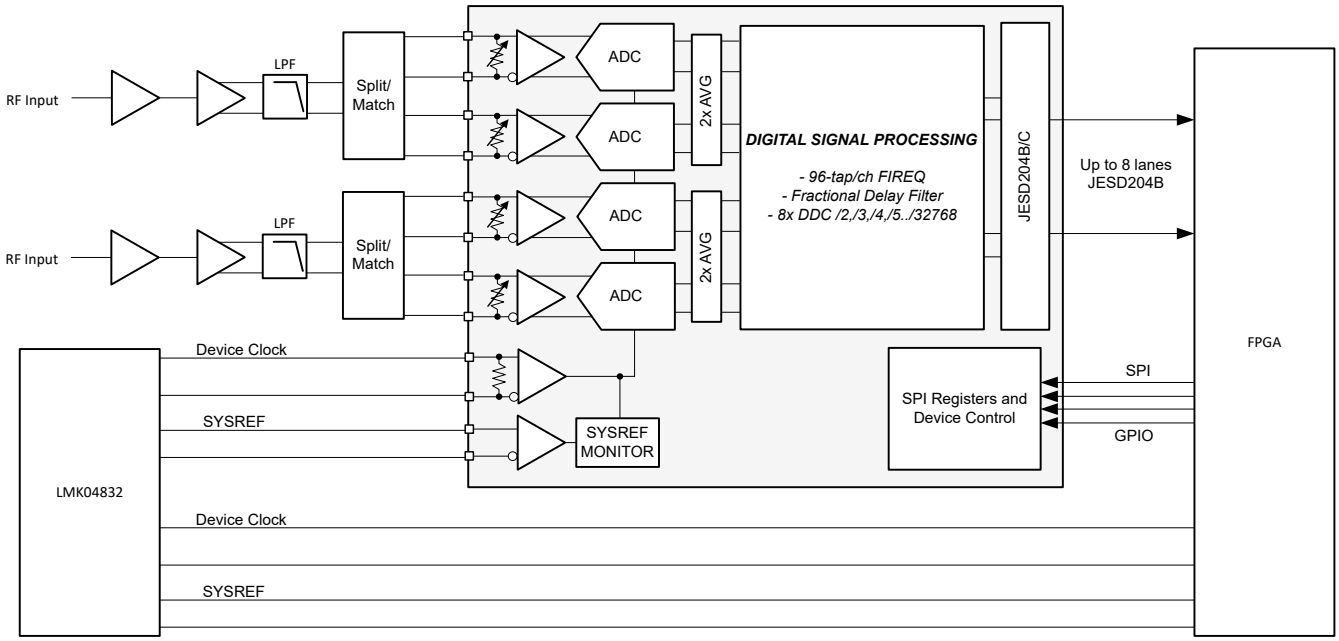


図 8-8. 時間ドメインデジタイザ

8.3.1 設計要件

8.3.1.1 入力信号パス：時間ドメインデジタイザ

大半の時間ドメインデジタイザは、DC 信号または低周波信号を監視するために DC 結合する必要があります。この要件により、設計では DC 結合された完全差動アンプを使用して、フロント パネルのシングルエンド信号から ADC の差動信号に変換する必要があります。この設計では差動アンプを使用しています。LMH5401 は、1GHz の帯域幅のデジタイザをサポートするのに十分な 8GHz のゲイン帯域幅積を備えています。LMH5401 のゲインは 8dB、ノイズ指数は 11dB です。

アンチ エイリアスのローパス フィルタは、ADC への入力信号の帯域幅を制限するため、ADC の入力に配置します。また、このアンプはフロントエンド ノイズの帯域を制限し、エイリアス ノイズによってシステム全体の信号対雑音比が低下することを防止します。このフィルタは、オシロスコープで指定される最大入力信号帯域幅に合わせて設計します。FPGA または ASIC のデジタル フィルタを使用して入力帯域幅を再構成して、オシロスコープの入力帯域幅を最大帯域幅未満に制限できます。

周波数範囲に対する推奨アンプの数を 表 8-2 に示します。

表 8-2. シングルエンドから差動出力アンプに関する推奨

部品番号	帯域幅	消費電力
THS4509	1.9GHz	125mW
LMH5401	8GHz	185mW
TRF1305	7GHz	495mW

Copyright © 2025 Texas Instruments Incorporated

8.3.2 アプリケーション特性の波形

以下のものはキャプチャされたパルス応答を示しています。

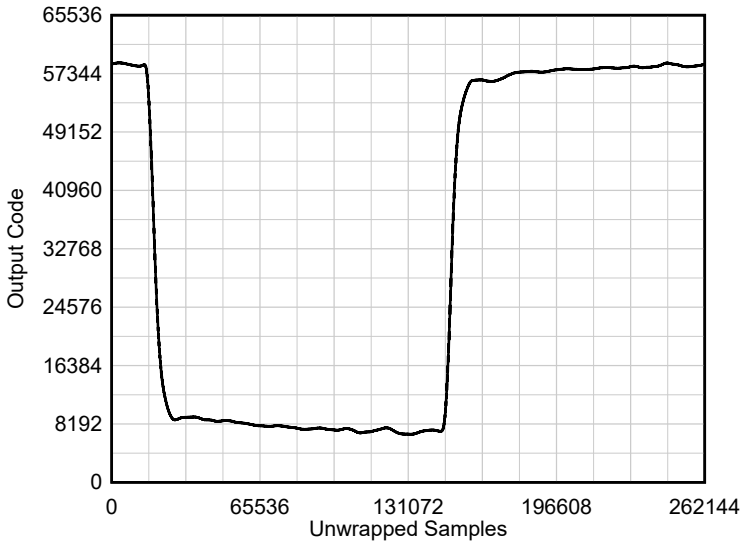


図 8-9. 100MHz パルス応答

8.4 初期化セットアップ

電源投入後、図 8-10 に示すように、$\overline{\text{RESET}}$ ピンに Low パルスを印加することにより、ハードウェアリセットして内部レジスタをデフォルト値に初期化する必要があります。特定の電源レールは次の電源レールを開始する前に値の 90% に達している必要があります。

1.0.9V DVDD09 デジタル電源を供給します

2.1.2V AVDD12 および CLKVDD12 電源を供給します

3.1.8V 電源 (AVDD18、GPIOVDD18、DVDD18) を供給します (順不同)

4.サンプリングクロックを供給します

5.ハードウェア リセットを適用します。ハードウェア リセットが解除された後、デフォルトのレジスタが内部ヒューズからロードされます。

6.SPI レジスタへの書き込みを使用して内部レジスタのプログラミングを開始します。内部キャリブレーションが自動的に開始され、レジスタを読み戻してキャリブレーションのステータスを確認できます。

パワーダウンの場合、シーケンスの逆順に従うことができます。

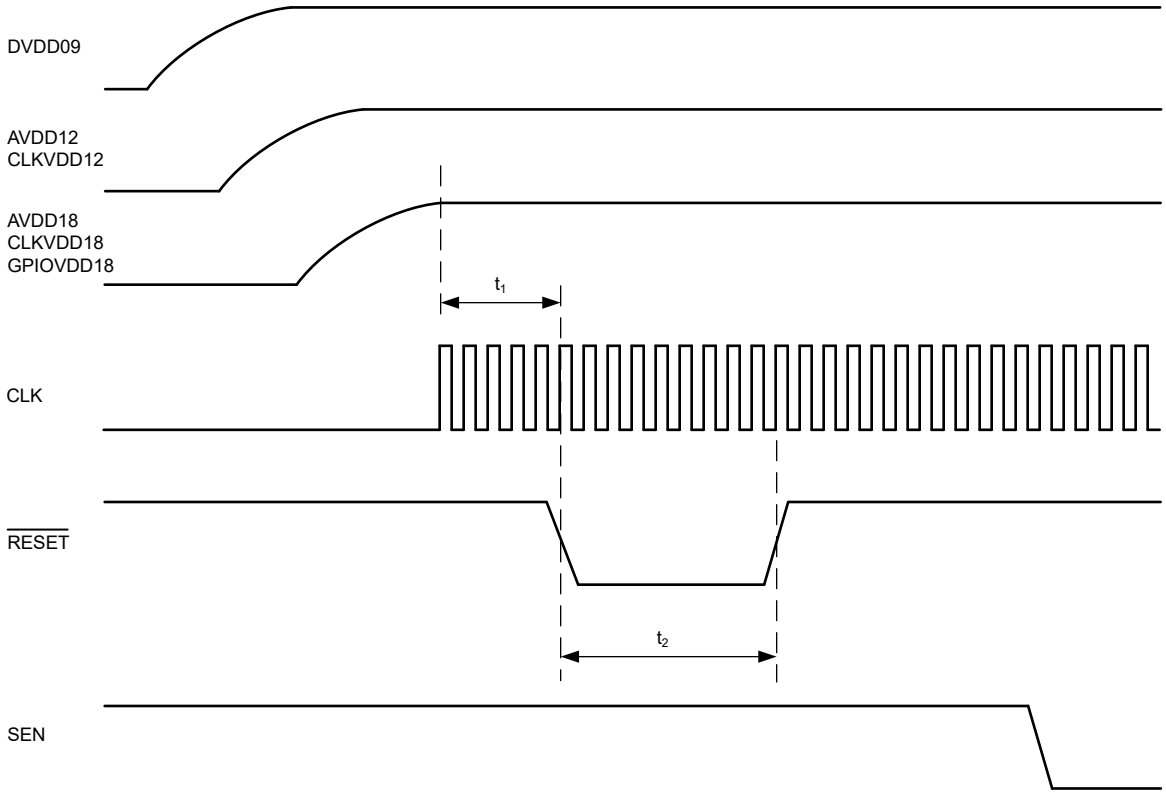


図 8-10. 電源投入後のシリアル レジスタの初期化

表 8-3. 起動タイミング

		最小値	標準値	最大値	単位
t_1	パワーオン遅延:電源オンからアクティブ Low の RESET パルスまでの遅延	1			us
t_2	リセットパルス幅:アクティブ Low の RESET パルス幅	100			ns

Copyright © 2025 Texas Instruments Incorporated

8.5 電源に関する推奨事項

このデバイスは次の 3 種類の電源電圧が必要です:内部アナログ回路は 1.8V および 1.2V レールで動作し、デジタルロジックは 0.9V レールを使用します。図 8-11 は、デジタル 0.9V 電源にスイッチングレギュレータを使用し、アナログ電源に低ノイズ LDO を使用する代表的な電源の例を示しています。セクション 8.4 に示すように、電圧レギュレータはパワーアップとパワーダウンの両方に対してシーケンシングする必要があります。

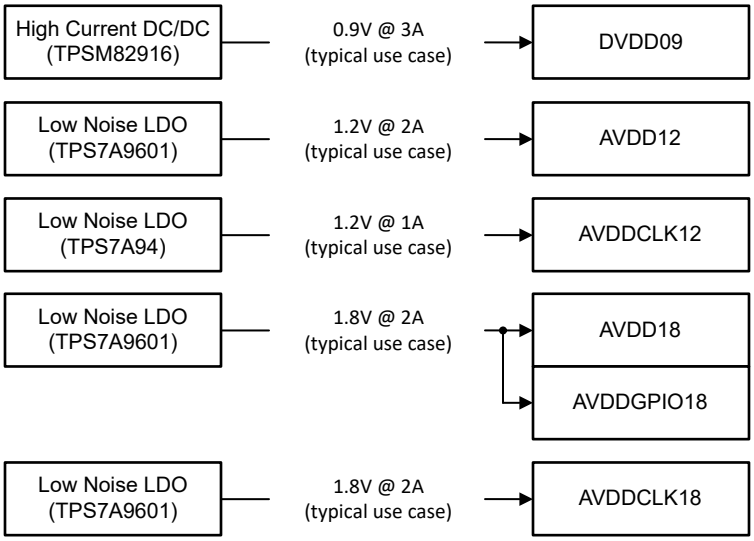


図 8-11. 電源レールとレギュレータの例

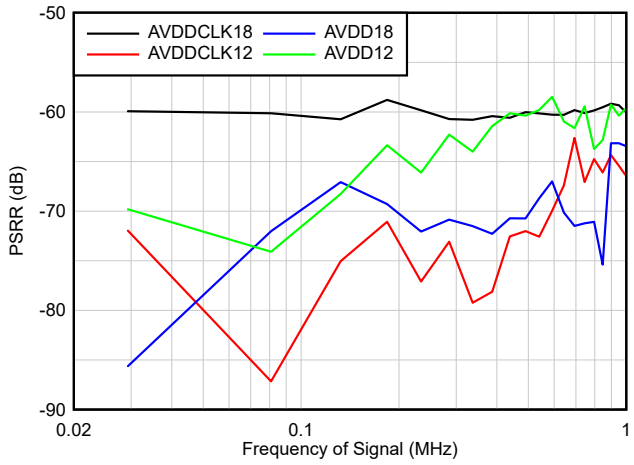


図 8-12. PSRR

8.6 レイアウト

8.6.1 レイアウトのガイドライン

基板設計時に特定の注意を必要とする重要な信号がいくつかあります。

1. アナログ入力信号およびクロック信号
   - インピーダンスの不連続を最小限に抑えるために、配線はできるだけ短くし、可能な限りビアの使用を避けます。
   - トレースは、疎結合した 100Ω 差動配線を使って配線するものとします。
   - 位相の不均衡や HD2 (2 次高調波歪み) の劣化を最小限に抑えるために、差動配線の長さはできるだけ正確に一致させる必要があります。
2. デジタル JESD204B/C 出力インターフェイス
   - トレースは、密接に結合された 100Ω の差動ペアで行う必要があります。
3. 電源およびグランド接続
   - 電源ピンおよびグランド ピンのすべてに対して、低抵抗の接続パスとします。
   - トレースではなく、電源プレーンやグランド プレーンを使用します。
   - 接続抵抗が増加するような、狭くて孤立したパスは避けます。
   - グランドと電源プレーン間の結合を最大化するために、プリント基板を、信号、グランド、電源回路の順に層構成します。

8.6.2 レイアウト例

次のスクリーン ショットは、ADC34RF7x 評価基板の最上層と最下層を示しています。

- 入力信号のパターンは、評価基板の最上層に差動の密接に結合されたパターンとして配線されます。位相の不平衡を最小限に抑えるため、パターン長を一致させて、正の入力と負の入力の対称性を維持するよう考慮されています。サンプリングクロック入力と同様です。
- JESD204B/C 出力インターフェイスのレーンは差動配線され、最上層で長さが一致します。
- バイパスコンデンサは最下層の電源ピンの近くに配置します。

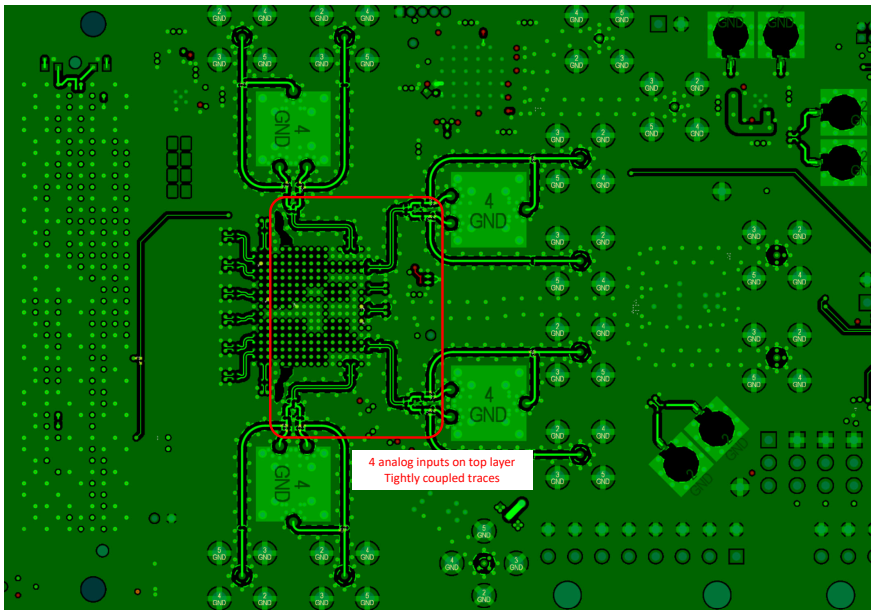


図 8-13. 上層

Copyright © 2025 Texas Instruments Incorporated

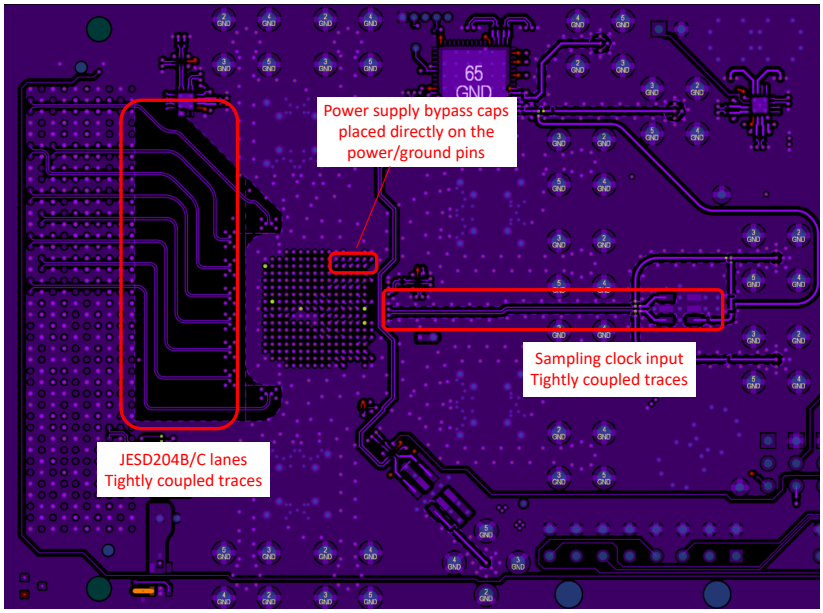

65
GND
Power supply bypass caps
placed directly on the
power/ground pins
Sampling clock input
Tightly coupled traces
JESD204B/C lanes
Tightly coupled traces

図 8-14. 下層

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

9.1.2 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (August 2025) to Revision A (October 2025)	Page
• 表 4-1 のピン STX0N、P STX1N、P STX2N,P および STX3N,P を更新し、ピン マッピングを訂正	4
• SPI クロック周波数の最大値を 20 MHz から 50 MHz に増加	13
• さまざまなパワーダウン オプションのために ADC のパワーダウン モードを追加	27
• NCO の計算を FS = ADC サンプリング レート (SPS) から FS = ADC サンプリング レート (MSPS) に変更	42
• JESD04 を JESD204 に変更、セクション 7.3.6.1.6 にオクタル バンド DDC の説明を追加	54

Copyright © 2025 Texas Instruments Incorporated

• 図 7-45、リセット信号がアクティブ Low の SPI 書き込みタイミング図を更新.....62

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADC34RF72IANH	Active	Production	FCCSP (ANH) | 289	119 | JEDEC TRAY (5+1)	Yes	OTHER	Level-3-260C-168 HR	-40 to 105	ADC34RF72

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

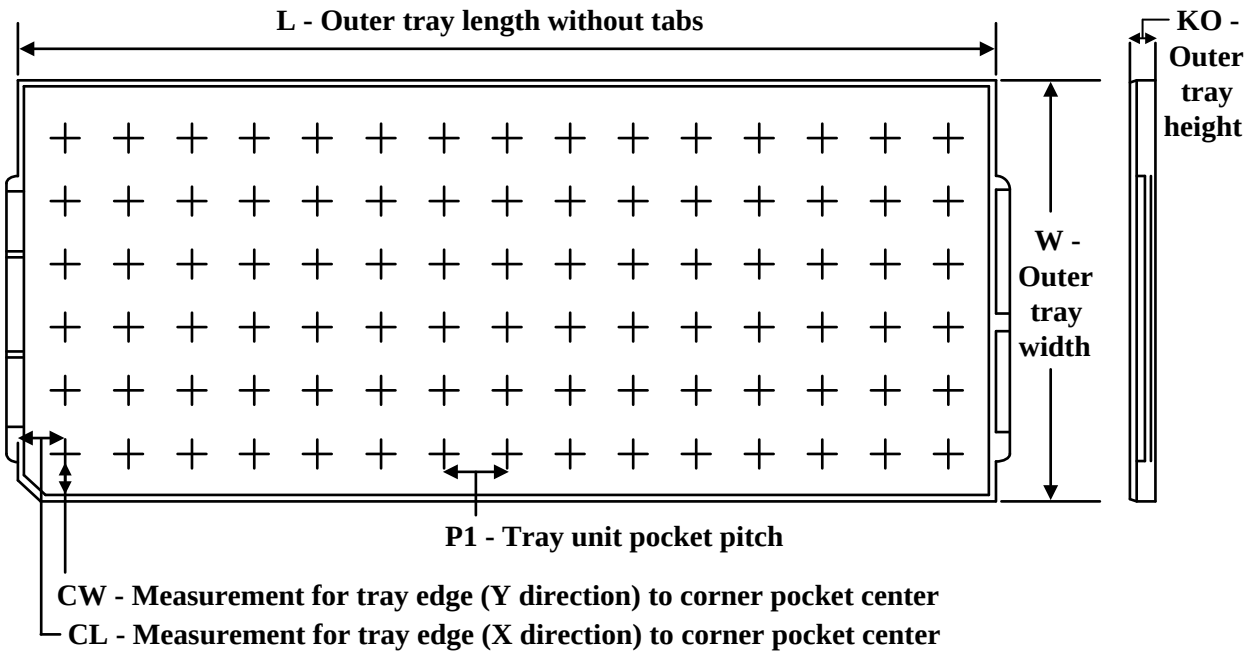
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

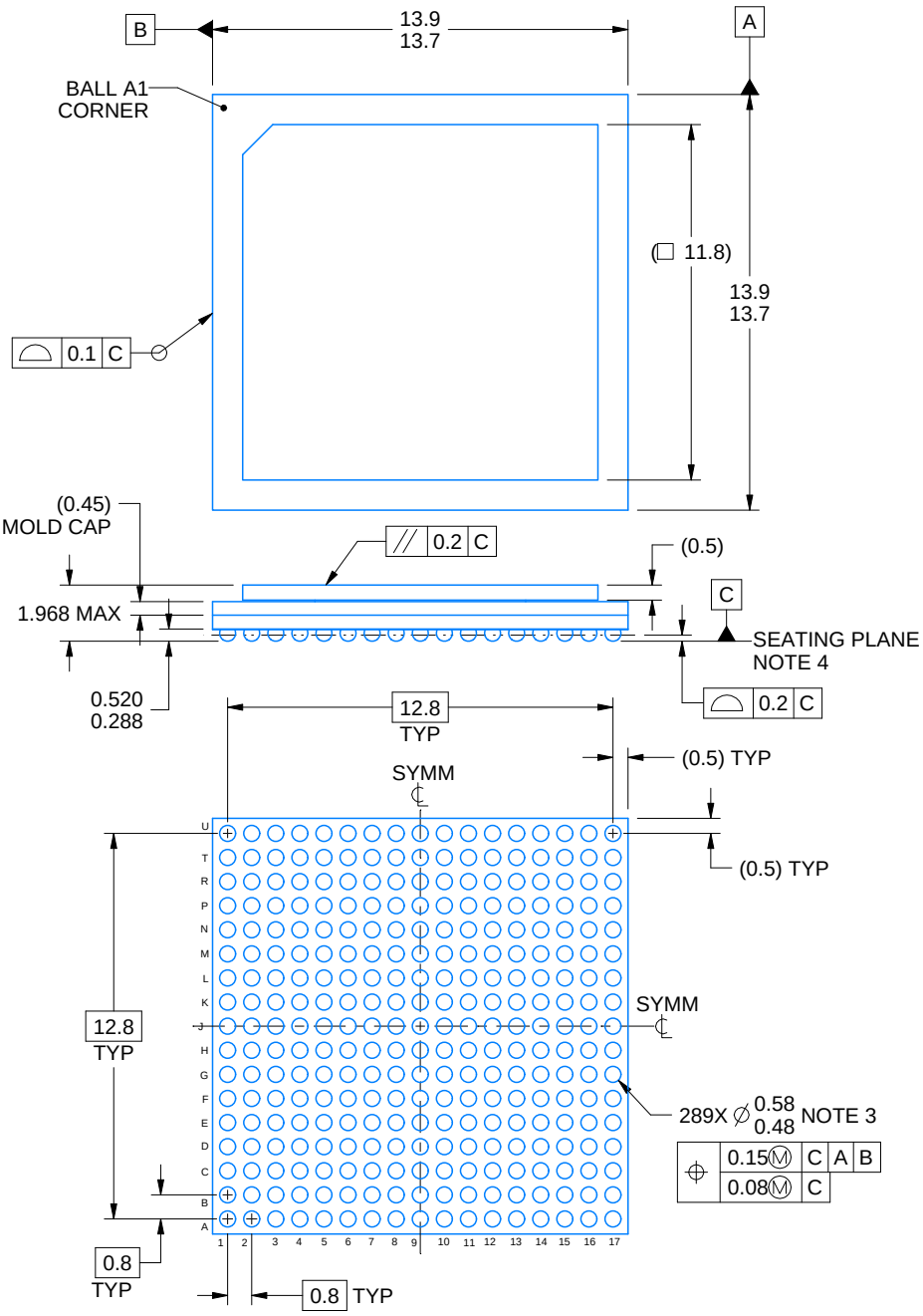
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
ADC34RF72IANH	ANH	FCCSP	289	119	7 x 17	150	315	135.9	7620	18.1	12.7	12.9

PACKAGE OUTLINE

ANH0289A

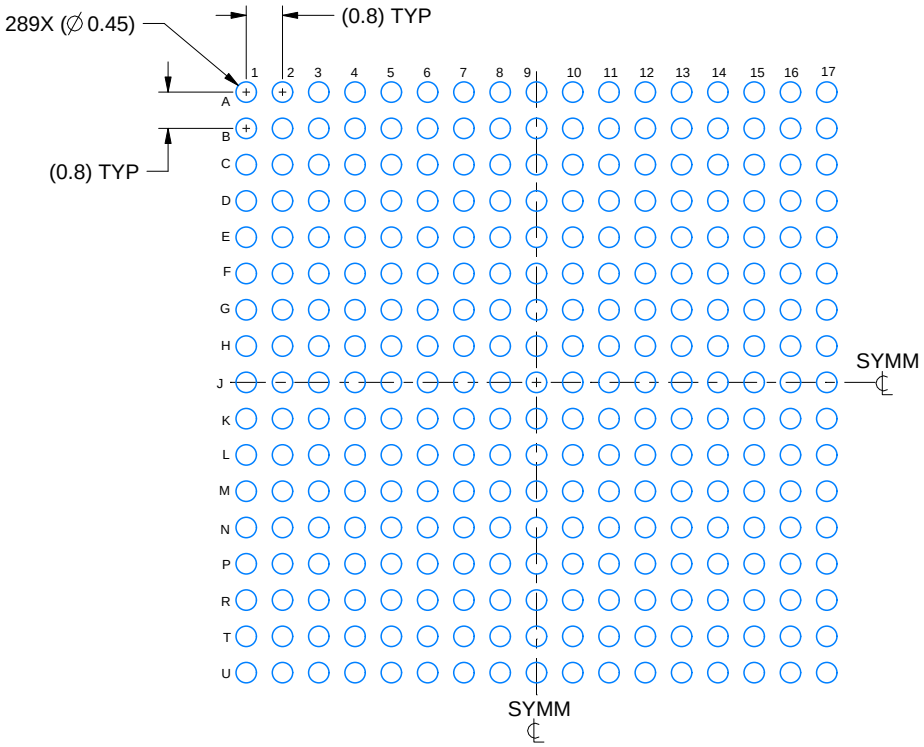
FCCSP - 1.968 mm max height

BALL GRID ARRAY

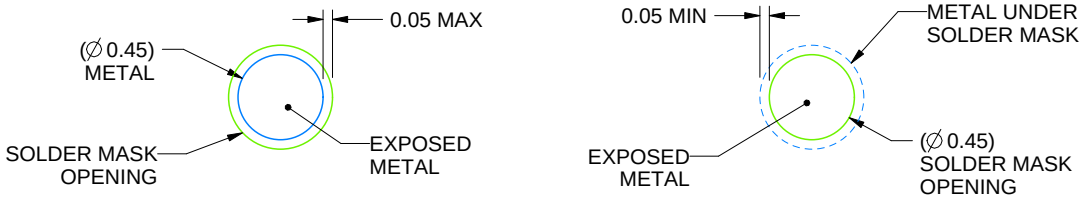


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Dimension is measured at the maximum solder ball diameter, post reflow, parallel to primary datum C.
4. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 6X



SOLDER MASK DETAILS
NOT TO SCALE

4230247/C 03/2024

NOTES: (continued)

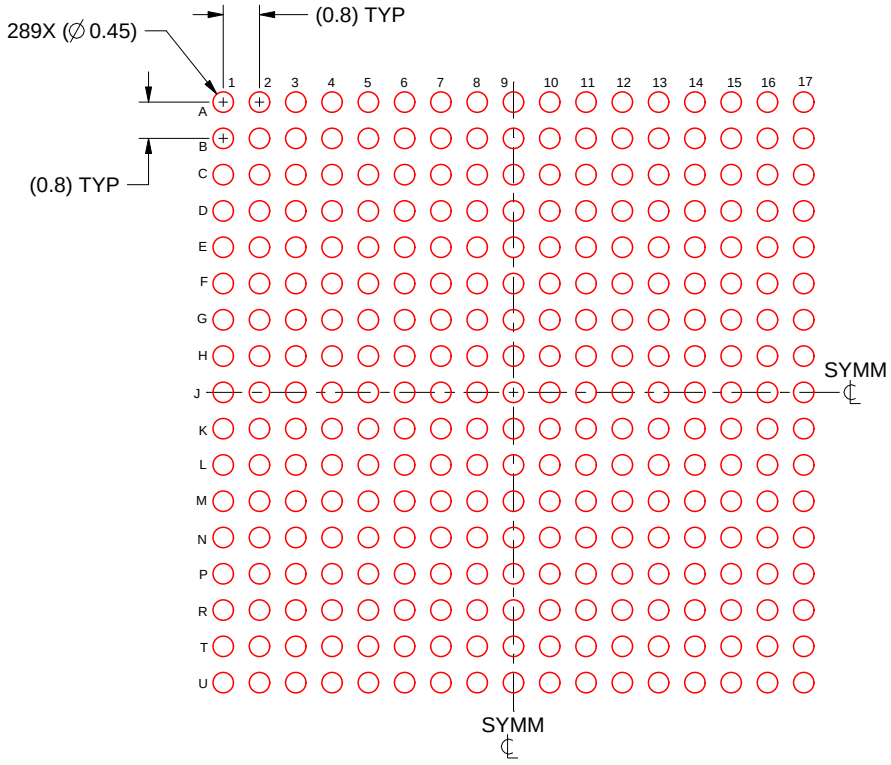
5. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   See Texas Instruments Literature No. SPRU811 (www.ti.com/lit/spru811).

EXAMPLE STENCIL DESIGN

ANH0289A

FCCSP - 1.968 mm max height

BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE: 6X

4230247/C 03/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月