

ADC810-Q1 車載 I²C インターフェイス搭載 12 ビット、8 チャネル、3.3kSPS、SAR ADC および 10 チャネル I/O エクспанダ

1 特長

- シリアル ADC と IO エクспанダを統合
— カスタマイズ可能な ADC またはデジタル I/O ピン機能
- 幅広い電源電圧範囲: 1.62V ~ 3.6V
- I²C からパラレルポートへのエクспанダ
- ADC の分解能: 12 ビット
- データレートをプログラム可能:
128SPS ~ 3.3kSPS
- 構成可能な内部電圧リファレンス
- 内部発振器
- I²C インターフェイス: ピンで選択可能な 2 つのアドレス
— 5V 許容
- 最大 10 個のデジタル I/O
- 400kHz ファーストモード I²C バス
- パワーオンリセット内蔵
- ESD 人体モデル (HBM): ANSI/ESDA/JEDEC JS-001 準拠およびデバイス帯電モデル (CDM): JEDEC 規格 JESD22-C101 準拠
- 動作温度範囲:
-40°C ~ +125°C

2 アプリケーション

- 処理機能なしのカメラ モジュール
- 車載センサー情報ディスプレイ
- 車載クラスターディスプレイ
- 汎用の電圧および電流監視

3 説明

ADC810-Q1 は、12 ビット、I²C 互換 A/D コンバータ (ADC) を内蔵した I/O エクспанダで、SOT-16 パッケージにおいて 8 ビットの汎用パラレル入出力を提供します。ADC810-Q1 は、内部電圧リファレンスおよび発振器を内蔵しています。ADC810-Q1 は、プログラマブルな内部電圧リファレンスおよびデジタル コンパレータも内蔵しています。これらの機能を有し動作電源電圧範囲が広いこと、省電力と省スペースが要求される、センサを使用した測定アプリケーションに適します。

本デバイスは、最大 3300 サンプル/秒 (SPS) のデータレートで変換を実行できます。VREF は 1.4V、2.5V、VDD に設定可能です。ADC810-Q1 には入力マルチプレクサ (MUX) が搭載されており、8 つのシングルエンド入力を測定できます。ADC810 のデジタル コンパレータは、低電圧および過電圧の検出に使用できます。

ADC810-Q1 は、連続変換モードまたはシングルショットモードで動作します。データは、I²C 互換シリアル インターフェイスを介して転送されます。

パッケージ情報

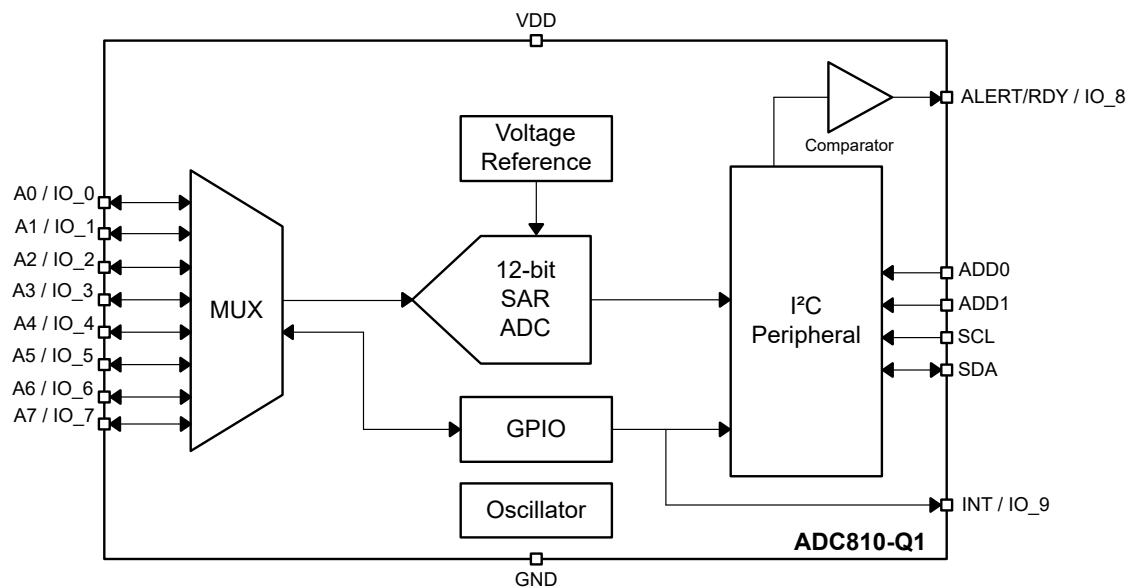
部品番号	パッケージ (1)	パッケージ サイズ (2)
ADC810-Q1	DYY (SOT, 16)	4.2mm × 3.26mm

- 詳細については、[メカニカル](#)、[パッケージ](#)、および[注文情報](#)をご覧ください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

製品情報

部品番号	入力チャネル I/O 番号	特長
ADC810QDYYRQ1	8A/10 IO	VREF、コンパレータ、 IO 制御





概略ブロック図

目次

1 特長.....	1	6.2 機能ブロック図.....	10
2 アプリケーション.....	1	6.3 機能説明.....	11
3 説明.....	1	6.4 デバイスの機能モード.....	16
4 ピン構成および機能.....	3	6.5 プログラミング.....	17
5 仕様.....	5	7 レジスタ マップ.....	23
5.1 絶対最大定格.....	5	8 アプリケーションと実装.....	31
5.2 ESD 定格.....	5	8.1 代表的なアプリケーション.....	31
5.3 推奨動作条件.....	5	9 デバイスおよびドキュメントのサポート.....	35
5.4 熱に関する情報.....	6	9.1 デバイスの命名規則.....	35
5.5 POR.....	6	9.2 ドキュメントのサポート.....	35
5.6 タイミング特性.....	6	9.3 サポート・リソース.....	35
5.7 アナログ/デジタル IO.....	6	9.4 商標.....	35
5.8 ADC.....	7	9.5 静電気放電に関する注意事項.....	35
5.9 VREF.....	8	9.6 用語集.....	36
5.10 I2C.....	8	10 改訂履歴.....	36
6 詳細説明.....	10	11 メカニカル、パッケージ、および注文情報.....	36
6.1 概要.....	10		

4 ピン構成および機能

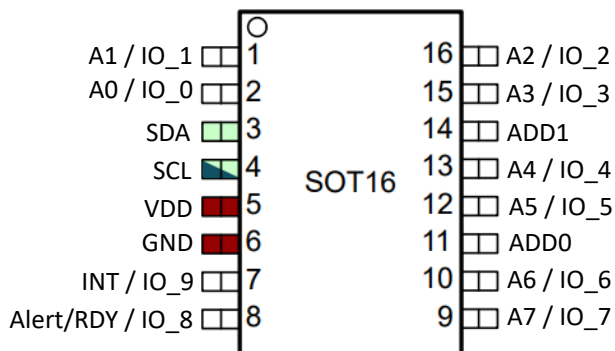


図 4-1. SOT パッケージ、
16 ピン (上面図)

表 4-1. ピン機能 : SOT パッケージ

ピン		タイプ	説明
名称	ADC810-Q1		
A1 / IO_1	1	アナログ入力/デジタル I/O	アナログ入力 1/ デジタル I/O 1
A0 / IO_0	2	アナログ入力/デジタル I/O	アナログ入力 0/ デジタル I/O 0
SDA	3	デジタル I/O	シリアル データ入力および出力。プルアップ抵抗を介して VDD に接続します。
SCL	4	デジタル入力	シリアル クロック入力。プルアップ抵抗を介して VDD に接続します。
VDD	5	アナログ	電源。10µF 電源コンデンサおよび 0.1µF 電源デカップリング コンデンサを GND に接続します。
GND	6	アナログ	グラウンド
INT/IO_9	7	デジタル出力/デジタル I/O	割り込み出力/デジタル I/O 9 オープンドレイン出力。プルアップ抵抗を介して VDD に接続します。
ALERT/RDY/ IO_8	8	デジタル出力/デジタル I/O	コンバータ出力または変換準備完了/デジタル I/O 8 オープンドレイン出力。プルアップ抵抗を介して VDD に接続します。

表 4-1. ピン機能 : SOT パッケージ (続き)

ピン		タイプ	説明
名称	ADC810-Q1		
A7 / IO_7	9	アナログ入力/デジタル I/O	アナログ入力 7/ デジタル I/O 7
A6 / IO_6	10	アナログ入力/デジタル I/O	アナログ入力 6/ デジタル I/O 6
ADD0	11	デジタル入力	I ² C ターゲット アドレスの選択 0
A5 / IO_5	12	アナログ入力/デジタル I/O	アナログ入力 5/ デジタル I/O 5
A4 / IO_4	13	アナログ入力/デジタル I/O	アナログ入力 4/ デジタル I/O 4
ADD1	14	デジタル入力	I ² C ターゲット アドレスの選択 1
A3 / IO_3	15	アナログ入力/デジタル I/O	アナログ入力 3/ デジタル I/O 3
A2 / IO_2	16	アナログ入力/デジタル I/O	アナログ入力 2/ デジタル I/O 2

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
VDD	電源電圧	VDD ピンで	-0.3	4.1	V
V _I	入力電圧	5V 許容 I2C のオープンドレイン ピンに印加	-0.3	5.5	V
V _I	入力電圧	任意の通常耐圧ピンに印加	-0.3	V _{DD} + 0.3 (最大 4.1)	V
I _{VDD}	VDD ピンの電流	VDD ピン (ソース) に流れ込む電流、-40°C ≤ T _a ≤ 85°C		80	mA
I _{VSS}	VSS ピンの電流	VSS ピン (シンク) から流れ出る電流、-40°C ≤ T _a ≤ 85°C		80	mA
I _{VDD}	VDD ピンの電流	VDD ピン (ソース) に流れ込む電流、-40°C ≤ T _a ≤ 125°C		48	mA
I _{VSS}	VSS ピンの電流	VSS ピン (シンク) から流れ出る電流、-40°C ≤ T _a ≤ 125°C		48	mA
I _{IO}	SDIO ピンの電流	SDIO ピンによってシンクまたはソースされる電流		6	mA
I _{IO}	I2CIO ピンの電流	I2CIO ピンが吸い込む電流		20	mA
I _D	サポートされているダイオード電流	A3/IO_3 を除くすべてのデバイス ピンのダイオード電流		±2 ⁽²⁾	mA
T _{stg}		保存温度	-40	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが、デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) オープンドレイン IO である I2C_SDA および I2C_SCL にはハイサイド クランプがなく、A3/IO_3 にはテスト用の内部接続があるため、これらのピンへの注入電流は許容されません。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠、すべてのピン ⁽¹⁾	±2000	V
V _(ESD)	静電放電	デバイス帯電モデル (CDM)、pAEC Q100-011 に準拠、すべてのピン	±500	V
V _(ESD)	静電放電	デバイス帯電モデル (CDM)、AEC Q100-011 準拠、コーナー ピン	±750	V

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
VDD	電源電圧	1.62		3.6	V
IDD	25°Cでの動作電流		1.2		mA
	125°Cでの動作電流		1.6	4	
C _{VDD}	VDD と VSS の間に配置されたコンデンサ ⁽¹⁾		10		μF
T _A	周辺温度	-40		125	°C
T _J	最大接合部温度			130	°C

- (1) C_{VDD} は、VDD/VSS 間に、デバイスのピンにできる限り近づけて接続します。C_{VDD} には、容量値の誤差が ±20% までの精度の低 ESR コンデンサを使う必要があります。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		パッケージ	値	単位
R _{θJA}	接合部から周囲への熱抵抗	SOT-16 (DYY)	117.1	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗		54.5	°C/W
R _{θJB}	接合部から基板への熱抵抗		54.6	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ		3.0	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ		54.5	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗		該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.5 POR

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
dVDD/dt	VDD (電源電圧) のスルーレート	立ち上がり			0.1	V/μs
		立ち下がり			0.01	
V _{POR}	パワーオン リセット電圧レベル	コールド スタート、立ち上がり ⁽¹⁾	1.48	1.54	1.615	V
V _{HYS,POR}	POR リセットのヒステリシス			34	41	mV

(1) |dVDD/dt| ≤ 3V/s

5.6 タイミング特性

VDD=3.3V、T_a=25°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
スタートアップ タイミング						
t _{START, RESET}	リセット / パワーアップからのデバイスのコールド スタートアップ時間 ⁽¹⁾			780		us

(1) 起動時間は、VDD が VBOR0+ と交差 (コールド スタートアップ) した時刻から、ユーザー プログラムの最初の命令が実行された時刻までの時間として測定されます。

5.7 アナログ/デジタル IO

5.7.1 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V _{IH}	High レベル入力電圧	I ² CIO ⁽¹⁾	VDD ≥ 1.62V	0.7*VDD		5.5	V
		I ² CIO ⁽¹⁾	VDD ≥ 2.7V	2		5.5	V
		すべての I/O (I ² CIO を除く)	VDD ≥ 1.62V	0.7*VDD		VDD+0.3	V
V _{IL}	Low レベル入力電圧	I ² CIO	VDD ≥ 1.62V	-0.3		0.3*VDD	V
		I ² CIO	VDD ≥ 2.7V	-0.3		0.8	V
		すべての I/O (I ² CIO を除く)	VDD ≥ 1.62V	-0.3		0.3*VDD	V
V _{HYS}	ヒステリシス	I ² CIO		0.05*VDD			V
		すべての I/O (I ² CIO を除く)		0.1*VDD			V

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
I_{lkg}	ハイインピーダンスのリーク電流	SDIO ⁽²⁾ (3)	VDD = 3V			50	nA
C_i	入力容量		VDD = 3.3V		5		pF
V_{OH}	High レベル出力電圧	SDIO	VDD ≥ 2.7V、 $ I_{IO} _{max} = 6mA$	VDD-0.5			V
V_{OH}	High レベル出力電圧	SDIO	VDD ≥ 1.71V、 $ I_{IO} _{max} = 2mA$	VDD-0.4			V
V_{OL}	Low レベル出力電圧	SDIO	VDD ≥ 2.7V、 $ I_{IO} _{max} = 6mA$ VDD ≥ 1.71V、 $ I_{IO} _{max} = 2mA$			0.4	V
V_{OL}	Low レベル出力電圧	I2CIO	VDD ≥ 2.7V、 $I_{OL,max} = 8mA$ VDD ≥ 1.71V、 $I_{OL,max} = 4mA$			0.5	V

- (1) I/O タイプ: I2CIO= I2C 5V 許容オープンドレイン、SDIO = 標準駆動 (ADD ピンを含む)
(2) リーク電流は、対応するピンに VSS または VDD を印加して計測されます (特に記述のない限り)。
(3) アナログ/デジタル ピンのリーク電流は個別に計測されます。ポート ピンは入力として選択され、プルアップ/プルダウン抵抗は無効化されています。

5.7.2 スイッチング特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
f_{max}	ポート出力周波数	I2CIO	VDD ≥ 1.71V、FM、CL = 20pF ~ 100pF			400	kHz
t_r , t_f	出力立ち上がり / 立ち下がり時間	I2CIO を除くすべての出力ポート	VDD ≥ 1.71V			1/ (0.3*24MHz)	s
t_f	出力立ち下がり時間	I2CIO	VDD ≥ 1.71V、FM、CL = 20pF ~ 100pF	20*VDD/5.5		120	ns

5.8 ADC

5.8.1 電氣的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。すべての代表値は 25°C で測定されており、すべての精度パラメータは 12 ビット分解能モードを使用して測定されています (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{in(ADC)}$	アナログ入力電圧範囲 ⁽¹⁾	すべての ADC アナログ入力ピンに適用されます	0		VDD	V
V_{R+}	正の ADC リファレンス電圧	VDD から供給される V_{R+}		VDD		V
		内部リファレンス電圧 (VREF) から供給される V_{R+}		VREF		V
V_{R-}	負の ADC リファレンス電圧		0			V
F_s	ADC サンプリング周波数	VDD リファレンス	.128		3.3	ksps
		内部リファレンス (1.4V および 2.5V)	.128		3.3	ksps
$C_{S/H}$	ADC サンプル ホールド容量			0.22		pF
R_{in}	ADC スイッチ抵抗			25		kΩ
$ENOB$	有効ビット数	VDD リファレンス ⁽²⁾	9.3	10.4		ビット
		内部リファレンス電圧、 $V_{R+} = VREF = 2.5V$	9.4	9.8		ビット
SNR	信号対雑音比	VDD リファレンス ⁽²⁾		64		dB
		内部リファレンス電圧、 $V_{R+} = VREF = 2.5V$		61		dB
$PSRR_{DC}$	電源除去比、DC	VDD = VDD _(min) ~ VDD _(max) 内部リファレンス電圧、 $V_{R+} = VREF = 2.5V$		61		dB

- (1) 有効な変換結果を得るには、選択された ADC リファレンス電圧の範囲内 ($V_{R+} \sim V_{R-}$) にアナログ入力電圧範囲が含まれている必要があります。
(2) VDD リファレンス電圧の仕様は、 $V_{R+} = VDD = 3.3V$ かつ $V_{R-} = VSS = 0V$ の条件で測定されたものです。

5.8.2 直線性パラメータ

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。すべての代表値は 25°C で測定されており、すべての直線性パラメータは 12 ビット分解能モードを使用して測定されています (特に記述のない限り)。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
E _I	積分直線性誤差 (INL)	VDD リファレンス、12 ビット (2)	-4.0		+4.0	LSB
		内部リファレンス電圧、12 ビット、V _{R+} = VREF = 2.5V	-4.0		+4.0	LSB
E _D	微分直線性誤差 (DNL)	VDD リファレンス、12 ビット (2)	-1.0		+4.0	LSB
		内部リファレンス電圧、12 ビット、V _{R+} = VREF = 2.5V	-1.0		+4.0	LSB
E _O	オフセット誤差	VDD リファレンス、12 ビット (2)	-3		3	mV
		内部リファレンス電圧、12 ビット、V _{R+} = VREF = 2.5V	-5		5	mV
E _G	ゲイン誤差	VDD リファレンス、12 ビット (2)	-25		25	LSB
		内部リファレンス電圧、12 ビット、V _{R+} = VREF = 2.5V	-75		75	LSB

(1) し総合未調整誤差 (TUE) は、次の式を使用して、E_I、E_O、E_G から計算できます。TUE = $\sqrt{(E_I^2 + |E_O|^2 + E_G^2)}$

注: 上記の式が正確であるためには、すべての誤差を同じ単位 (通常は LSB) に変換する必要があります。

(2) VDD リファレンス仕様は、V_{R+} = VDD かつ V_{R-} = VSS = 0V の条件で測定されたものです。

5.8.3 スイッチング特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{Sample_period}	サンプリング時間 (入力)			125		μs

5.9 VREF

5.9.1 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
TC _{VREF}	VREF の温度係数	1.4V または 2.5V	1.4V または 2.5V			75	ppm/°C
TC _{drift}	VREF の長期ドリフト	時間 = 1000 時間、1.4V または 2.5V、T = 25°C	時間 = 1000 時間、1.4V または 2.5V、T = 25°C			300	ppm

5.9.2 電圧特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
VDD _{min}	VREF 動作に必要な最低電源電圧	Vref = 1.4 V	1.62			V
		Vref = 2.5 V	2.7			
VREF	リファレンス電圧の出力電圧	Vref = 1.4V	1.378	1.4	1.421	V
		Vref = 2.5V	2.462	2.5	2.541	

5.10 I2C

5.10.1 I2C の特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	ファスト モード		単位
			最小値	最大値	
f _{SCL}	SCL クロック周波数			400	kHz
t _{HD,STA}	(リピート) スタート ホールド時間		0.6		us

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	ファスト モード		単位
			最小値	最大値	
t_{LOW}	SCL クロック Low 期間		1.3		us
t_{HIGH}	SCL クロックの High 期間		0.6		us
$t_{\text{SU,STA}}$	反復 START のセットアップ時間		0.6		us
$t_{\text{HD,DAT}}$	データ ホールド時間		0		ns
$t_{\text{SU,DAT}}$	データ セットアップ時間		100		ns
$t_{\text{SU,STO}}$	ストップ セットアップ時間		0.6		us
t_{BUF}	STOP 条件と START 条件の間のバス解放時間		1.3		us
$t_{\text{VD,DAT}}$	データ有効時間			0.9	us
$t_{\text{VD,ACK}}$	データ有効アクノリッジ時間			0.9	us

6 詳細説明

6.1 概要

ADC810-Q1 は 12 ビット、SAR A/D コンバータ (ADC) と 10 ビット I/O エクスパンダです。本デバイスは、内部電圧リファレンスを備えた SAR ADC コア、クロック発振器、プログラマブル デジタル コンパレータ、I/O エクスパンダ機能、I²C インターフェイスで構成されています。ADC810-Q1 の機能ブロック図を [図 6-1](#) に示します。電源オン時に、I/O ピン (I/O 8 と I/O 9 を除く) はデフォルトでアナログに設定され、ADC の結果は 2 の補数でフォーマットされます。

ADC810-Q1 は、シングル ショット モードと連続変換モードの 2 種類の ADC 変換モードを備えています。シングル ショット モードでは、ADC は要求に応じて入力信号を 1 回変換し、その変換値を内部変換レジスタに格納します。連続変換モードでは、ADC は前回の変換が完了すると直ちに入力信号の変換を開始します。連続変換の速度は、設定されたデータレートに等しくなります。データはいつでも読み出すことができ、常に直近に完了した変換結果を反映しています。

ADC810-Q1 の I/O エクスパンダ モジュールは、I/O レジスタを介して制御できます。その機能は、出力制御から入力反転制御まで多岐にわたります。オープンドレイン割り込み (INT) 出力は、いずれかの入力状態が対応する入力ポートレジスタの状態と異なる場合にアクティブになって、入力状態が変化したことをシステム コントローラに示すために使用されます。INT はマイコンの割り込み入力に接続できます。このライン上で割り込み信号を送信することにより、リモート I/O は I²C バスを介して通信することなく、ポートに入力データが到着したことをマイコンへ通知できます。

6.2 機能ブロック図

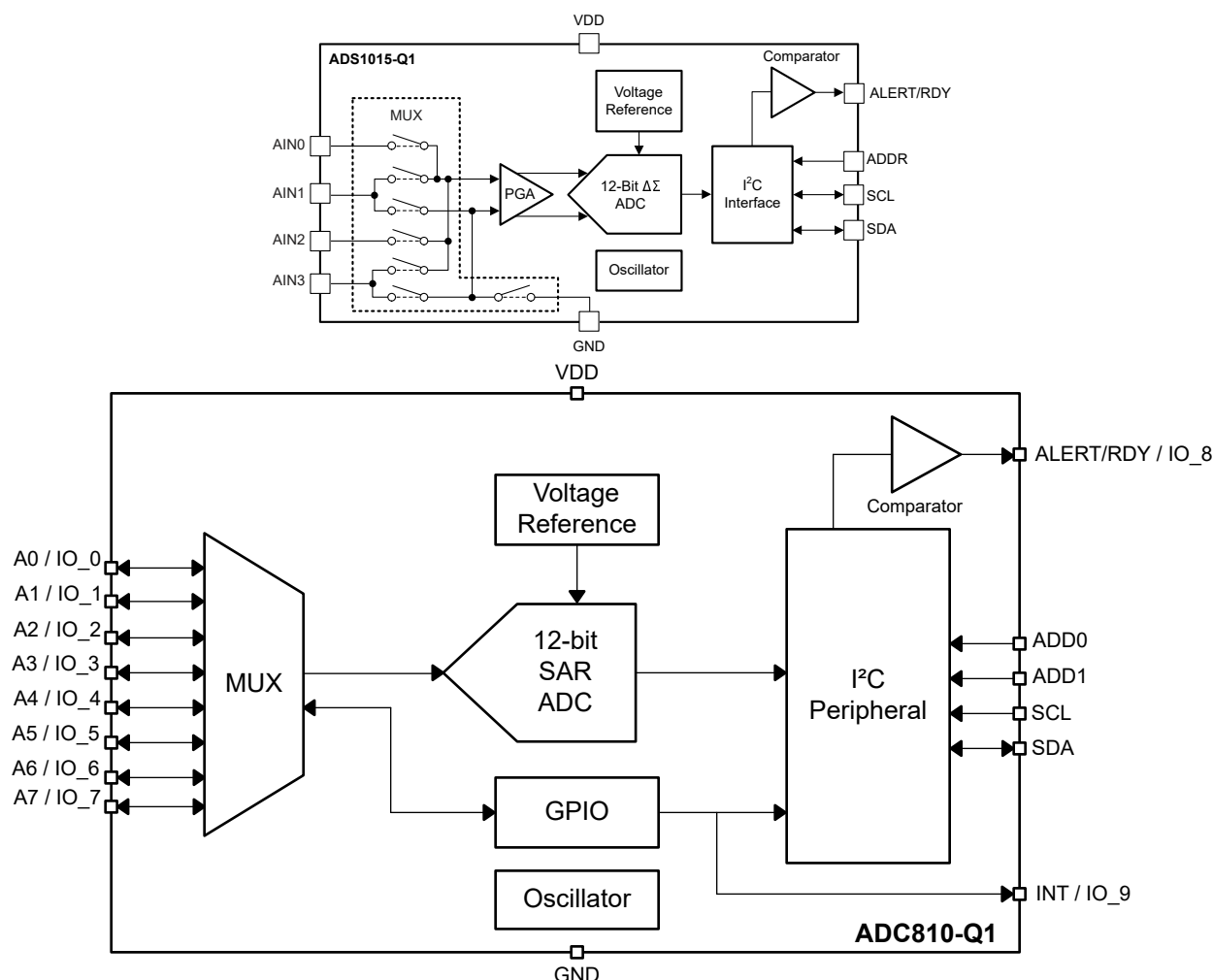


図 6-1. ADC810-Q1 のブロック図

6.3 機能説明

6.3.1 マルチプレクサ

ADC810-Q1 には入力マルチプレクサが内蔵されており、ピンがアナログピンとして設定されるかデジタルピンとして設定されるかを追跡できます。ピン機能レジスタは、マルチプレクサレジスタを構成します。ピンがアナログピンとして設定されている場合、そのピンは **ADC** に接続され、アナログ信号の解析に使用できます。選択されたチャネルは **ADC** 構成レジスタの **MUX[2:0]** ビットによって設定できます。

デジタルピンに設定されている場合、そのピンは **GPIO** モジュールに接続されます。I/O が入力として構成されている場合、そのピンはハイインピーダンス入力状態になります。**ADC810-Q1** の入力は、**VDD** および **GND** に接続された静電放電 (ESD) ダイオードによって保護されています。**IO8** および **IO9** の場合、アナログモードは使用できません。代わり

に、これらのピンはそれぞれの Alert 機能 (ALERT/RDY および INT) に設定されます。ただし、これらのピンをデジタルピンとして設定することはできません。

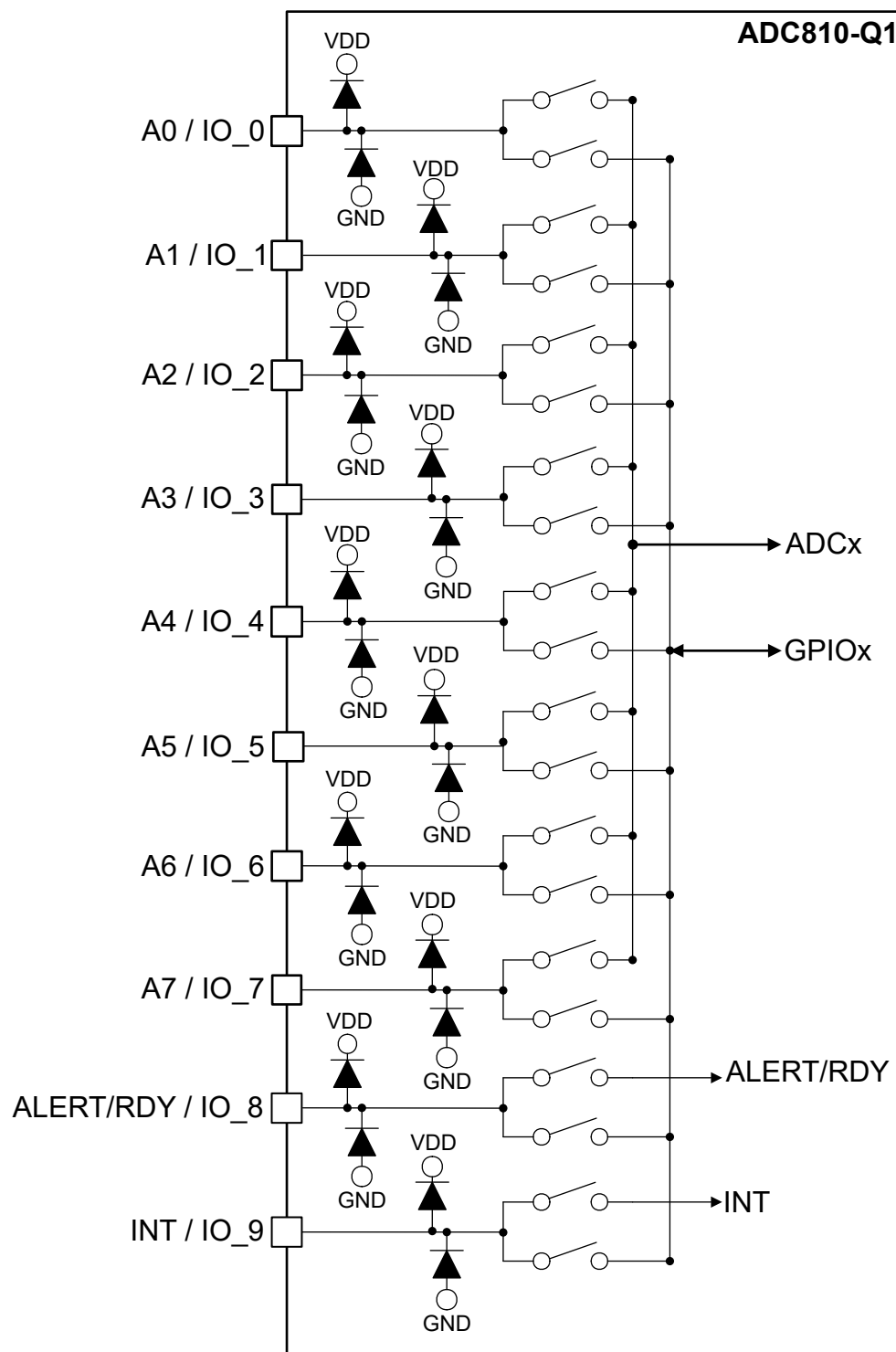


図 6-2. 入力マルチプレクサ

6.3.2 電圧リファレンス

ADC810-Q1 は、内蔵電圧リファレンスを備えています。これらのデバイスでは、外部電圧リファレンスを使用できません。ADC810-Q1 の内部電圧リファレンスは、ADC 構成レジスタの VREF ビットで構成できます。

6.3.3 発振器

ADC810-Q1 は、24MHz で動作する発振器を内蔵しています。これらのデバイスを動作させるために外部クロックを印加することはできません。温度と時間の経過に伴って内部発振器がドリフトします。出力データレートは、発振器周波数に比例して変化します。

6.3.4 出力データ レートおよび変換時間

ADC810-Q1 は、プログラマブルな出力データレートを提供します。ADC 構成レジスタの DR[2:0] ビットを使用して、128SPS、250SPS、490SPS、920SPS、1600SPS、2400SPS または 3300SPS の出力データレートを選択します。

ADC810-Q1 の変換は 1 サイクル以内で安定するため、変換時間は $1/DR$ に等しくなります。

6.3.5 デジタル コンパレータ

ADC810-Q1 は、ALERT/RDY ピンにアラートを出力できるプログラマブルなデジタル コンパレータを備えています。[ADC 構成レジスタ](#)の COMP_MODE ビットにより、コンパレータを従来型コンパレータまたはウィンドウ コンパレータとして構成します。従来型コンパレータ モードでは、変換データが高スレッショルド レジスタ (High_thresh) に設定された制限値を超えると、ALERT/RDY ピンがアサートされます (デフォルトではアクティブ "Low")。その後、変換データが低スレッショルド レジスタ (Low_thresh) に設定された制限値を下回った場合のみデアサートされます。ウィンドウ コンパレータ モードでは、変換データが High_thresh レジスタの値を超えた場合、または Low_thresh レジスタの値を下回った場合に、ALERT/RDY ピンがアサートされます。

ウィンドウ コンパレータ モードまたは従来型コンパレータ モードのいずれにおいても、ADC 構成レジスタの COMP_LAT ビットにより、アサート後にラッチするよう構成できます。この設定により、入力信号がスレッショルド レジスタで設定された範囲内に戻った場合でも、アサート状態が維持されます。このラッチされたアサート状態は [ADC 変換レジスタ](#)を読み取ることによってのみクリアできます。ALERT/RDY ピンは、ADC 構成レジスタの COMP_POL ビットによって、アクティブ "High" またはアクティブ "Low" として構成できます。両方のコンパレータ モードの動作図を、[図 6-3](#) に示します。

コンパレータは、スレッショルド レジスタ (High_thresh および Low_thresh) で設定されたスレッショルド値を連続して超過した回数が所定回数に達した後にのみ、ALERT/RDY ピンをアクティブにするように構成することもできます。ADC 構成レジスタの COMP_QUE[1:0] ビットは、ALERT/RDY ピンをアクティブにする前に、スレッショルド値を超える測定値を 1、2、4 回検出するまでコンパレータが待機するように設定します。COMP_QUE[1:0] ビットは、コンパレータ機能を無効化し、ALERT/RDY ピンをハイインピーダンス状態に設定することもできます。

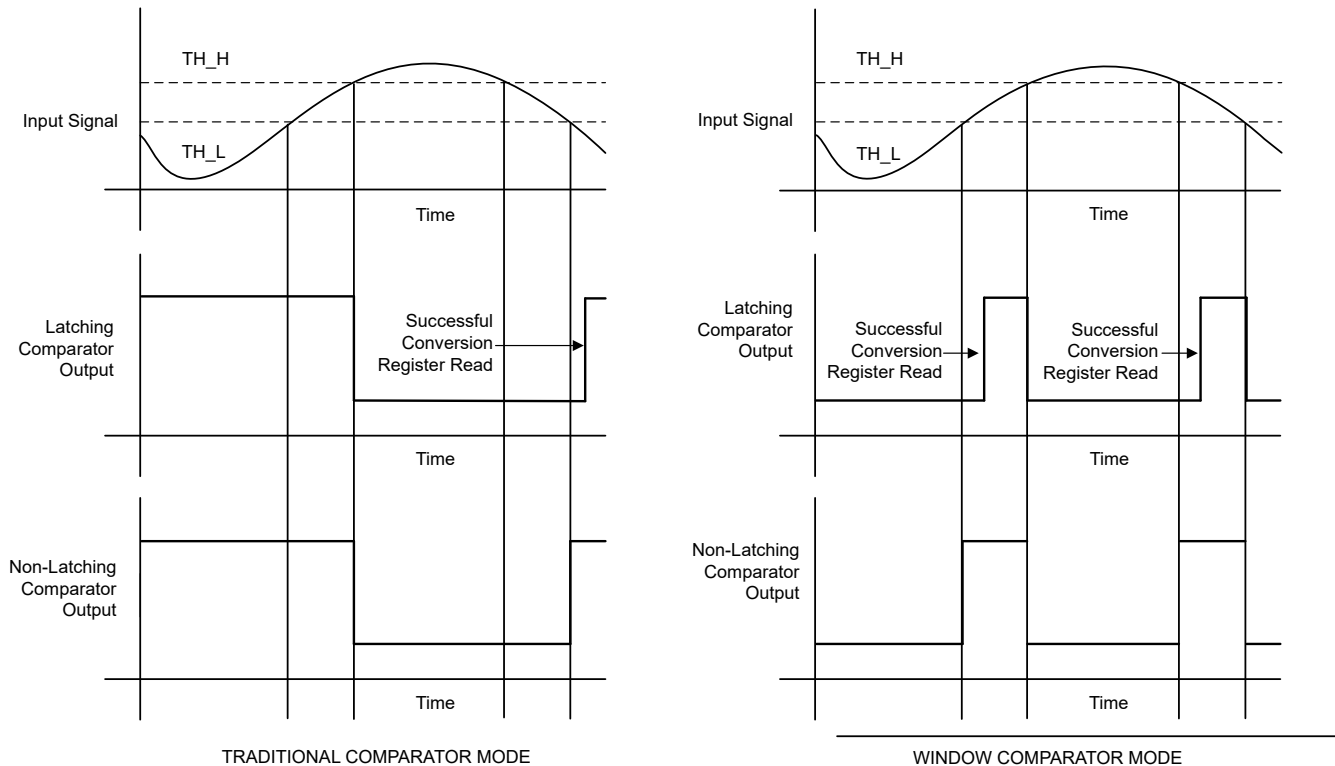


図 6-3. ALERT ピンのタイミング図

6.3.6 変換準備完了ピン

ALERT/RDY ピンは、変換準備完了ピンとして構成することもできます。ピンを変換準備完了ピンとして有効にするには、High_thresh レジスタの最上位ビットを 1b に設定し、Low_thresh レジスタの最上位ビットを 0b に設定します。COMP_POL ビットは引き続き通常どおり機能します。ALERT/RDY ピンを有効にして、変換準備完了信号を ALERT/RDY ピン出力に表示するには、COMP_QUE[1:0] ビットを 11b 以外の任意の 2 ビット値に設定します。COMP_MODE および COMP_LAT ビットはどの機能も制御しません。変換準備完了ピンとして構成した場合でも、ALERT/RDY ピンには引き続きプルアップ抵抗が必要です。ADC810-Q1 は、連続変換モードでの各変換の終了時に、約 8μs の変換準備完了パルスを ALERT/RDY ピンに出力します (図 6-4 を参照)。シングル ショット モードでは、COMP_POL ビットが 0b に設定されている場合、変換の終了時に ALERT/RDY ピンが Low にアサートされます。

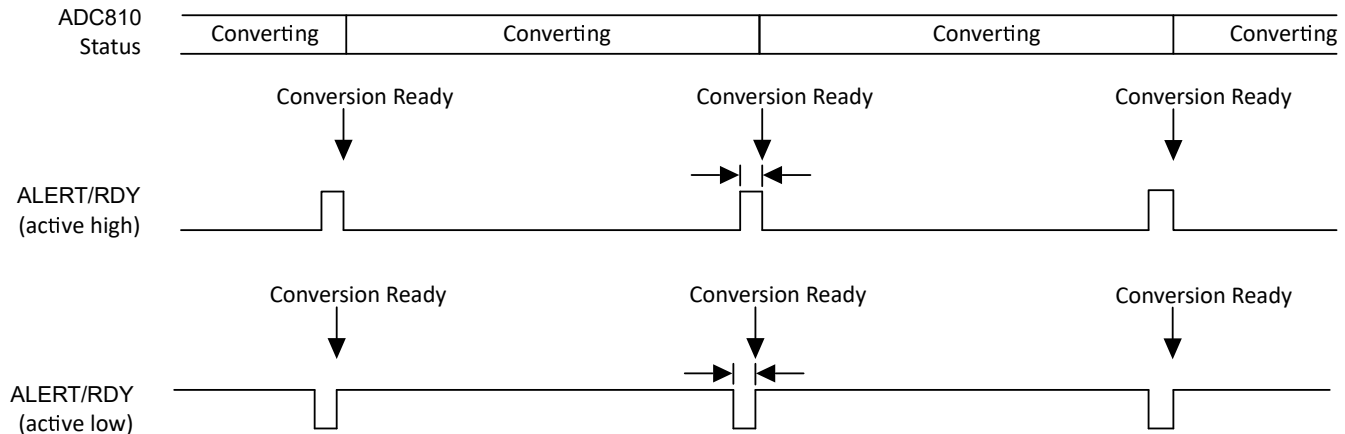


図 6-4. 連続変換モードでの変換準備完了パルス

6.3.7 割り込み出力 (INT)

入力モードのポート入力に立ち上がりまたは立ち下がりエッジが発生すると、割り込みが生成されます。割り込み出力は、ポート上のデータが元の設定に戻されたとき、または割り込みを生成したポートからデータが読み取られたときにリセットされます。読み取りモードでは、SCL 信号の立ち上がりエッジの後のアクノリッジ (ACK) またはアクノリッジなし (NACK) ビットでリセットが行われます。ACK または NACK クロック パルス中に発生する割り込みは、このパルス中に割り込みがリセットされるため、失われる (または非常に短くなる) ことがあります。リセット後、I/O (デジタルとして設定されている場合) の状態変化はすべて検出され、INT として出力されます。他のデバイスとの間での読み取りや書き込みは、割り込み回路に影響しません。また、デジタル出力として構成されたピンが割り込みを発生させることはありません。I/O を出力から入力に変更すると、ピンの状態が入力ポート レジスタの内容と一致しない場合、誤って割り込みが発生する可能性があります。INT 出力にはオープンドレイン構造があり、アプリケーションに応じて、VCC へのプルアップ抵抗が必要です。INT は割り込み情報を必要とするデバイスの電圧源に接続する必要があります。

6.4 デバイスの機能モード

6.4.1 リセットおよびパワーアップ

ADC810-Q1 は電源投入時にリセットされ、すべてのレジスタの各ビットはそれぞれのデフォルト値に設定されます。ADC810-Q1 には内部ウォッチドッグ タイマが搭載されており、デバイスが 500ms を超えて停止した場合に起動します。ウォッチドッグ リセットは、デバイス ステータス レジスタ (0xEF) に反映され、レジスタはそれぞれのデフォルト値にリセットされます。

ADC810-Q1 は、I²C のジェネラル コール リセットコマンドに応答します。ADC810-Q1 がジェネラル コール リセット コマンド (06h) を受信すると、デバイスへの電源投入時と同様の内部リセットが実行されます。

6.4.2 動作モード

ADC810-Q1 ADC は、連続変換モードまたはシングル ショット モードの 2 つのモードのいずれかで動作します。ADC 構成レジスタの MODE ビットにより、それぞれの動作モードが選択されます。

6.4.2.1 シングルショット モード

ADC 構成レジスタの MODE ビットが 1b に設定されている場合、ADC810-Q1 はシングル ショット モードで動作します。ADC810-Q1 は、ADC 構成レジスタの動作ステータス (OS) ビットに 1b が書き込まれるまで待機します。OS ビットがアサートされると、OS ビットは 0b にリセットされ、単一の変換を開始します。変換の実行中に OS ビットに 1b を書き込んでも効果はありません。連続変換モードに切り替えるには、ADC 構成レジスタの MODE ビットに 0b を書き込みます。

6.4.2.2 連続変換モード

連続変換モード (MODE ビットを 0b に設定) では、ADC810-Q1 は連続的に変換を実行します。変換が完了すると、ADC810-Q1 はその結果を [ADC 交換レジスタ](#) に格納し、直ちに次の変換を開始します。新しい構成設定を書き込んだ場合、現在実行中の変換は以前の構成設定のまま完了します。その後、新しい構成設定による連続変換が開始されます。シングル ショット変換モードに切り替えるには、構成レジスタの MODE ビットに 1b を書き込むか、デバイスをリセットします。

6.5 プログラミング

6.5.1 I²C インターフェイス

ADC810-Q1 は、I²C インターフェイスを介して通信します。I²C は、1 本のバス上で複数のデバイスおよびコントローラをサポートする 2 線 式オープン ドレイン インターフェイスです。I²C バス上のデバイスは、バスラインをグラウンドに接続することによって **low** に駆動し、バスラインを **high** に駆動することはありません。代わりに、バス配線はプルアップ抵抗によって **High** レベルに引き上げられるため、どのデバイスもそれらを **low** に駆動していないときは、バス配線は常に **High** になります。この構成により、2 つのデバイスが競合することはありません。2 つのデバイスが同時にバスを駆動する場合、ドライバの競合は発生しません。

I²C バス上の通信は常に、2 つのデバイス間で行われます。1 つはコントローラとして動作し、もう 1 つはターゲットとして動作します。コントローラとターゲットはどちらも読み取りおよび書き込みを行うことができますが、ターゲットはコントローラの指示の下でのみそれらの動作を行います。一部の I²C デバイスはコントローラまたはターゲットとして機能しますが、ADC810-Q1 はターゲット デバイスとしてのみ機能します。

I²C バスは、次の 2 つのラインで構成されます: **SDA** と **SCL** という 2 つの信号で構成されます。**SDA** はデータを伝送し、**SCL** がクロックを供給します。すべてのデータは、I²C バス上で 8 ビット単位で送信されます。I²C バスにビットを送信するには、**SCL** が **Low** のときに **SDA** ラインを適切なレベルに駆動します (**SDA** が **Low** の場合はビット値 0 を示し、**High** の場合はビット値 1 を示します)。**SDA** ラインが安定すると、**SCL** ラインが **High** になり、その後 **Low** になります。**SCL** 上のこのパルスによって、**SDA** ビットが受信側のシフト レジスタにクロック入力されます。I²C バスが 30ms 以上アイドル状態に保持されると、バスはタイムアウトします。

I²C バスは双方向です。つまり、**SDA** ラインはデータの送信と受信の両方に使用されます。コントローラがターゲットから読み出しを行う場合は、ターゲットがデータ ラインを駆動します。コントローラがターゲットへ書き込む場合は、コントローラがデータ ラインを駆動します。コントローラは常にクロック ラインを駆動します。ADC810-Q1 はコントローラとして動作できないため、**SCL** を駆動することはありません。

ほとんどの場合、バスはアイドル状態であり、通信は行われず、両ラインは **High** レベルです。通信が行われると、バスはアクティブ状態になります。通信を開始し、バス上で **START** 条件を生成できるのはコントローラ デバイスのみです。通常、データラインの状態は、クロック ラインが **Low** の間のみ変化できます。クロック ラインが **High** のときにデータラインの状態が変化する場合、その変化は **START** 条件または **STOP** 条件のいずれかです。**START** 条件は、クロック ラインが **High** で、データラインが **High** から **Low** へ変化したときに発生します。**STOP** 条件は、クロック ラインが **High** で、データラインが **Low** から **High** へ変化したときに発生します。

コントローラが **START** 条件を発行した後、コントローラは、どのターゲット デバイスが通信するかを示すバイトを送信します。このバイトはアドレス バイトと呼ばれます。I²C バス上の各デバイスには、そのデバイスが応答する固有の 7 ビット アドレスがあります。コントローラは、ターゲット デバイスに対して読み取りまたは書き込みを行うのかを示すビットとともに、アドレス バイト内にアドレスを送信します。

I²C バス上で送信されるすべてのバイト (アドレスおよびデータ) にはアクノリッジ (受信確認) ビットによって受信確認されます。コントローラがターゲットに 1 バイト (8 ビットのデータ) の送信を完了すると、コントローラは **SDA** の駆動を停止し、ターゲットがそのバイトをアクノリッジ (受信確認) するまで待機します。ターゲットは、**SDA** を **Low** にすることで、バイトをアクノリッジ (受信確認) します。その後、コントローラは、アクノリッジ (受信確認) ビットをクロック入力するためのクロック パルスを送信します。同様に、コントローラが 1 バイトの読み取りを完了すると、コントローラは **SDA** を **Low** にプルして、この完了をターゲットにアクノリッジします。その後、コントローラはそのビットをクロック入力するためのクロック パルスを送信します。コントローラは常にクロック ラインを駆動します。

バス上に対象デバイスが存在しない状態でコントローラがそのデバイスをアドレス指定した場合、そのアドレスでインを **low** にするデバイスが存在しないため、コントローラは「アクノリッジなし」を受信します。アクノリッジなしは、アクノリッジ サイクル中に **SDA** を **high** のままにしておくことで行われます。

コントローラがターゲットとの通信を完了すると、コントローラは **STOP** 条件を発行できます。**STOP** 条件が発行されると、バスは再びアイドル状態になります。コントローラは別の **START** 条件を発行することもできます。バスがアクティブな状態で **START** 条件が発行された場合、この条件を反復 **START** 条件と呼びます。

「タイミング要件」セクションに、ADC810-Q1 の I²C 通信のタイミング図を示します。

6.5.1.1 I²C アドレスの選択

ADC810-Q1 には、デバイスの I²C アドレスを構成するための 2 つのアドレスピン (ADDR0 および ADDR1) があります。ADDR ピンは GND または VDD に接続できるため表 6-1、1 つのピンで 4 つの異なるアドレスを選択できます。

表 6-1. ADDR ピンの接続と対応するターゲット アドレス

ADDR0 ピンの接続	ADDR1 ピンの接続	ターゲット アドレス
GND	GND	0b1001001 0x49
GND	VDD	0b1001011 0x4B
VDD	GND	0b1110110 0x76
VDD	VDD	0b1110111 0x77

6.5.1.2 I²C ジェネラル コール

ADC810-Q1 は、8 ビット目が 0b の場合、I²C のジェネラル コール アドレス (0000000b) に応答します。このデバイスは、ジェネラル コール アドレスをアクノリッジ (受信確認) し、2 バイト目にあるコマンドに応答します。2 バイト目が 00000110b (06h) の場合、ADC810-Q1 は内部レジスタをリセットします。

6.5.1.3 I²C 速度モード

I²C バスは、2 つの速度モードのいずれかで動作します。標準モードでは、最大 100kHz のクロック周波数を使用でき、ファーストモードでは最大 400kHz のクロック周波数を使用できます。ADC810-Q1 は、両方のモードと完全に互換性があります。ADC810-Q1 を標準モードまたはファーストモードで使用するために特別な設定は必要ありません。

6.5.2 ターゲット モードの動作

ADC810-Q1 は、ターゲット レシーバまたはターゲット トランスミッタとして動作します。ADC810-Q1 は、SCL ラインをターゲット デバイスとして駆動することはできません。

6.5.2.1 受信モード

ターゲット受信モードでは、コントローラからターゲットに送信される最初のバイトは、7 ビットのデバイス アドレスと、それに続く Low の R/W ビットで構成されます。コントローラから送信されるバイトは、[アドレス ポインタ レジスタ](#)です。ADC810-Q1 はその後、アドレス ポインタ レジスタの受信をアクノリッジ (受信確認) します。続く 2 バイトは、レジスタのアドレス ポインタ ビット P[1:0] で指定されたアドレスに書き込まれます。ADC810-Q1 は、送信された各バイトに対してアクノリッジ (受信確認) します。レジスタのバイトは、最初に上位バイト、次に下位バイトの順に送信されます。

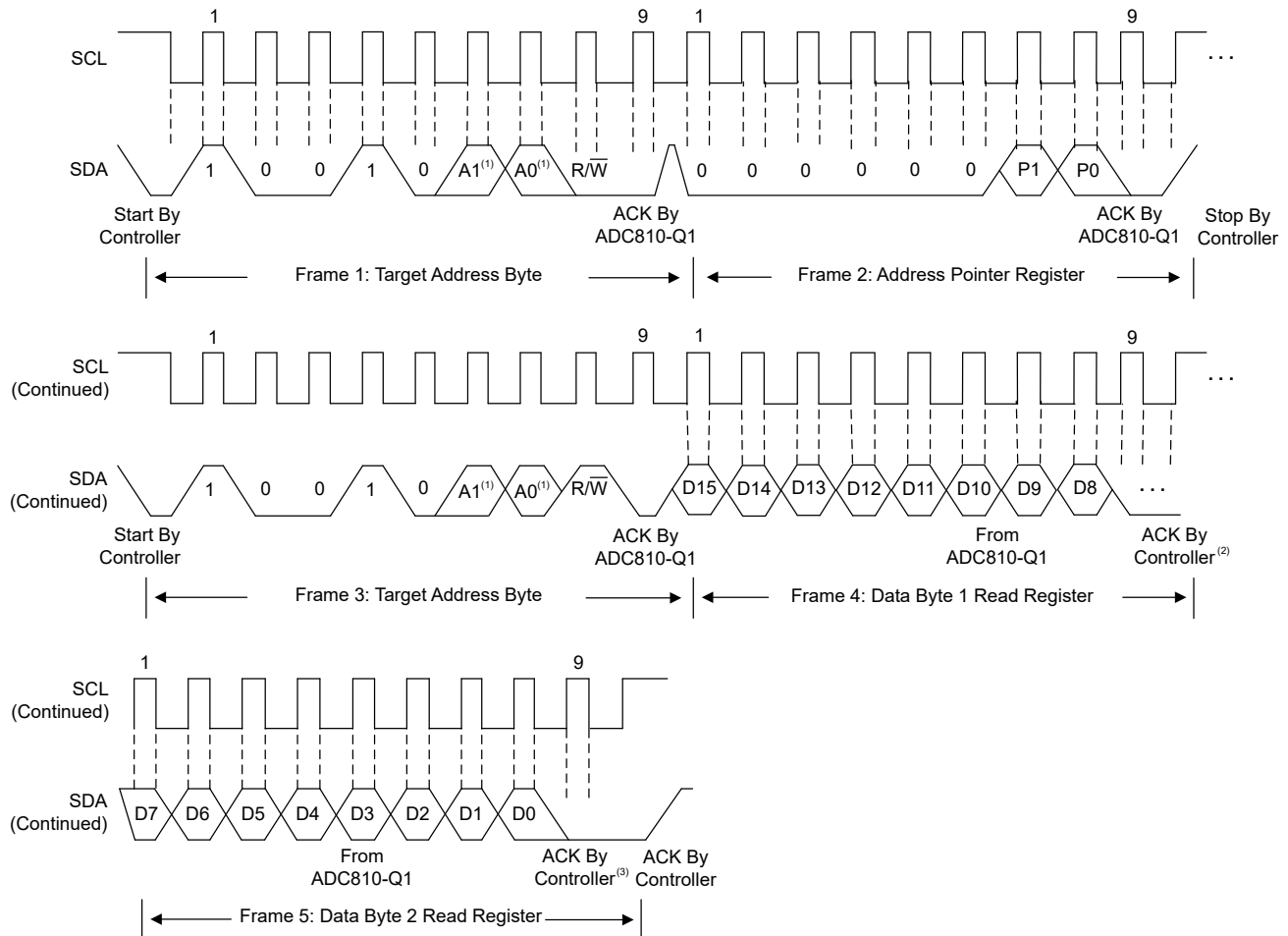
6.5.2.2 送信モード

ターゲット送信モードでは、コントローラから送信される最初のバイトは、7 ビットのターゲット アドレスと、それに続く High の R/W ビットで構成されます。このバイトによりターゲットは送信モードに入り、ADC810-Q1 からデータを読み取ることが示されます。ターゲットから次に送信されるバイトは、レジスタ アドレス ポインタ ビット P[1:0] で指定されたレジスタの最上位バイトです。このバイトの後に、コントローラからのアクノリッジ (受信確認) が続きます。続いて、残りの最下位バイトがターゲットから送信され、その後にコントローラからのアクノリッジ (受信確認) が続きます。コントローラは、アクノリッジ (受信確認) なしに、START 条件または STOP 条件を発行することで、任意のバイトの後に転送を終了できます。

6.5.3 レジスタへの書き込みと読み取り

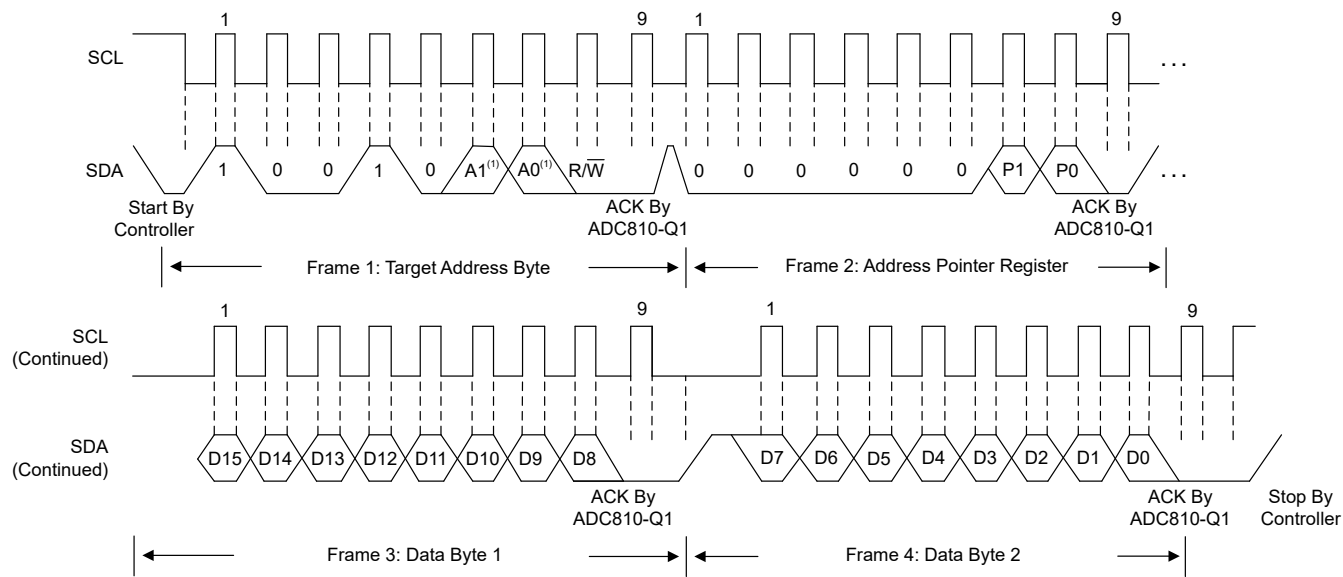
ADC810-Q1 の特定のレジスタにアクセスするには、コントローラはまず **アドレス ポインタ レジスタ** アドレス ポインタ ビット P[1:0] に適切な値を書き込む必要があります。アドレス ポインタ レジスタはターゲット アドレス バイト、Low の R/W ビット、およびターゲットからの正常なアクノリッジ (受信確認) の直後に書き込まれます。アドレス ポインタ レジスタへの書き込み後、ターゲットはアクノリッジ (受信確認) を返し、コントローラは **STOP** 条件または繰り返し **START** 条件を発行します。

ADC810-Q1 から読み取る場合、P[1:0] ビットに以前書き込まれた値によって読み取られるレジスタが決定されます。読み取りレジスタを変更するには、新しい値を P[1:0] に書き込む必要があります。P[1:0] に新しい値を書き込むには、コントローラは R/W ビットを **Low** に設定したターゲット アドレス バイトを発行し、その後にアドレス ポインタ レジスタを送信します。追加のデータを送信する必要はなく、コントローラは **STOP** 条件を発行できます。コントローラはその後 **START** 条件を発行し、R/W ビットを **High** に設定したターゲット アドレス バイトを送信して、読み取りを開始できます。同じレジスタから連続して読み取る場合、ADC810-Q1 は P[1:0] の値を書き込み操作によって変更されるまで保持するため、アドレス ポインタ レジスタを繰り返し送信する必要はありません。ただし、書き込み操作ごとに、アドレス ポインタ レジスタへ適切な値を書き込む必要があります。



- A. The values of A0 and A1 are determined by the ADDR pin
- B. The controller can leave SDA high to terminate a single-byte read operation
- C. The controller can leave SDA high to terminate a two-byte read operation

図 6-5. ADC810-Q1 からの読み取りタイミング図



A. The values of A0 and A1 are determined by the ADDR pin

図 6-6. ADC810-Q1 への書き込みタイミング図

6.5.4 データ フォーマット

ADC810-Q1 は、二進法 2 の補数フォーマットまたは符号なしフォーマットの 12 ビット データを出力します。このデータは 16 ビットの **ADC 変換レジスタ**内に左詰めで格納されます。ADC801-Q1 には正のフルスケール入力があり、2 の補数で選択した場合、最大 7FFh の出力コードを生成します。フルスケールを超える信号については、これらのコードで出力がクリップされます。「入力信号と出力コードの対応」の表は、各入力信号に対する適切な出力コードの選択肢をまとめたものです。図 6-7 に、各フォーマット コードトランジションと入力電圧との関係を示します。

表 6-2. 入力信号と出力コードの対応 (2 の補数フォーマット)

入力信号 $V_{IN} = (V_{AINP} - V_{AINN})$	出力コード
$\geq +FS (2^{11} - 1)/2^{11}$	7FFh
$+FS/2^{11}$	001h
0	000h

表 6-3. 入力信号と出力コードの対応 (符号なしフォーマット)

入力信号 $V_{IN} = (V_{AINP} - V_{AINN})$	出力コード
$\geq +FS (2^{12} - 1)/2^{12}$	FFFFh
$+FS/2^{12}$	0001h
0	0000h

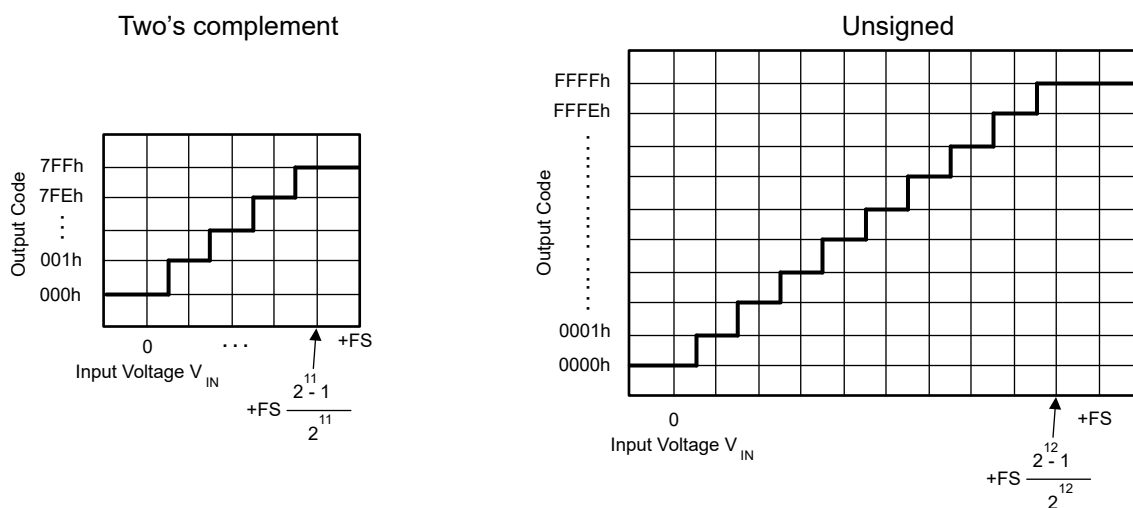


図 6-7. コード トランジション図

7 レジスタ マップ

ADC810-Q1 には 10 個のレジスタがあり、**アドレス ポインタ レジスタ**を使用して I²C インターフェイス経由でアクセスできます。**ADC 変換レジスタ**には、最後の変換結果が含まれています。**ADC 構成レジスタ**は、ADC810-Q1 の動作モードの変更および ADC ステータスの確認に使用します。ADC の **Comp Low_Thresh レジスタ**および **High_Thresh レジスタ**は、コンパレータ機能で使用するスレッショルド値を設定します。I/O 入力ポートレジスタには、各ピンの入力ロジックレベルが反映されます。**I/O 出力ポート レジスタ**には、デジタル機能が有効化されているピンについて、**I/O 方向レジスタ**で出力として定義されているピンの出力ロジックレベルが表示されます。**I/O 極性反転レジスタ**は、**I/O 方向レジスタ**でデジタル入力に設定されたピンの入力極性を反転できます。I/O 方向レジスタは、I/O ピンの方向を設定し、各ピンでデジタル機能またはアナログ機能のいずれを有効にするかを決定します。**ピン機能レジスタ**は、I/O の機能を選択し、各ピンをアナログまたはデジタルのいずれとして使用するかを決定します。また、**Alert** ピンを I/O またはアラート出力のいずれとして使用するかを制御します。最後に**デバイス ステータス レジスタ**には、デバイスの現在の動作状態が含まれます。

表 7-1 に、ADC810-Q1 レジスタ アクセスコードを示します。

表 7-1. レジスタ セクション / ブロック アクセス タイプ コード

アクセス タイプ	コード	説明
R	R	読み取り専用
R/W	R/W	読み出しまたは書き込み
W	W	書き込み専用
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

アドレス ポインタ レジスタ (アドレス = N/A) [リセット値 = N/A]

9 つのレジスタはすべて、アドレス ポインタ レジスタへの書き込みによってアクセスされます。

図 7-1. アドレス ポインタ レジスタ

7	6	5	4	3	2	1	0
予約済み				P[3:0]			
W-0h				W-0h			

表 7-2. アドレス ポインタ レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	W	0h	常に 0h を書き込む
3:0	P[3:0]	W	0h	レジスタ アドレス ポインタ 0000b: ADC 変換レジスタ 0001b: ADC 構成レジスタ 0010b: ADC Comp Low_thresh レジスタ 0011b: ADC Comp High_thresh レジスタ 0100b: I/O 入力ポートレジスタ 0101b: I/O 出力ポートレジスタ 0110b: 極性反転レジスタ 0111b: I/O 方向レジスタ 1000b: ピン機能レジスタ 1001b: デバイス ステータス レジスタ

ADC 変換レジスタ (P[1:0] = 00b) [リセット値 = 0000h]

16 ビットの ADC 変換レジスタには、直前の変換結果が バイナリ 2 の補数フォーマットが格納されます (ピン構成レジスタの **DATA_FORMAT** ビットにより、符号なしフォーマットに変更可能)。電源投入後、ADC 変換レジスタは 0000h にクリアされ、最初の変換が完了するまで 0000h のままになります。

図 7-2. ADC 変換レジスタ

15	14	13	12	11	10	9	8
D[11:4]							
R-00h							
7	6	5	4	3	2	1	0
D[3:0]				予約済み			
R-0h				R-0h			

表 7-3. ADC 変換レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:4	D[11:0]	R	000h	12 ビットの変換結果
3:0	予約済み	R	0h	読み取り値は常に 0h です

ADC 構成レジスタ (P[1:0] = 01b) [リセット値 = C183h]

16 ビットの ADC 構成レジスタは、動作モード、チャンネル選択、データレート、電圧リファレンスの設定、およびコンパレータモードを制御するために使用します。注：一度に使用できる ADC チャンネルは 1 つだけです

図 7-3. ADC 構成レジスタ

15	14	13	12	11	10	9	8
OS	MUX[2:0]				VREF[2:0]		モード
R/W-1b	R/W-100b				R/W-000b		R/W-1b
7	6	5	4	3	2	1	0
DR[2:0]			COMP_MODE	COMP_POL	COMP_LAT	COMP_QUE[1:0]	
R/W-100b			R/W-0b	R/W-0b	R/W-0b	R/W-11b	

表 7-4. 構成レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	OS	R/W	1b	動作ステータスまたはシングル ショット変換開始 このビットは、デバイスの動作ステータスを決定します。OS はパワーダウン状態でのみ書き込み可能であり、変換実行中に書き込んでも何の影響も及ぼしません。 書き込み時： 0b: 影響なし 1b: シングル変換を開始します (パワーダウン状態時) 読み取り時： 0b: デバイスは現在変換を実行中です 1b: デバイスは現在変換を実行していません
14:12	MUX[2:0]	R/W	100b	入力マルチプレクサの構成 これらのビットは、データのキャプチャに使用する ADC チャンネルを構成します。 000b: A4 001b: A5 010b: A6 011b: A7 100b: A0 (デフォルト) 101b: A1 110b: A2 111b: A3

表 7-4. 構成レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11:9	VREF[2:0]	R/W	000b	プログラマブル VREF 構成 これらのビットは ADC の Vref 電圧を設定します。 000b: VDD (デフォルト) 001b: VDD 010b: 2.5V 011b: 2.5V 100b: 1.4V 101b: 1.4V 110b: 1.4V 111b: 1.4V
8	モード	R/W	1b	デバイスの動作モード このビットは動作モードを制御します。 0b: 連続変換モード 1b: シングルショット モードまたはパワーダウン状態 (デフォルト)
7:5	DR[2:0]	R/W	100b	データ レート これらのビットは、データ レートの設定を制御します。 000b: 128SPS 001b: 250SPS 010b: 490SPS 011b: 920SPS 100b: 1600SPS (デフォルト) 101b: 2400SPS 110b: 3300SPS 111b: 3300SPS
4	COMP_MODE	R/W	0b	コンパレータ モード このビットはコンパレータの動作モードを構成します。 0b: 従来型コンパレータ (デフォルト) 1b: ウィンドウ コンパレータ
3	COMP_POL	R/W	0b	コンパレータ極性 このビットは ALERT/RDY ピンの極性を制御します。 0b: アクティブ "Low" (デフォルト) 1b: アクティブ High
2	COMP_LAT	R/W	0b	ラッチ コンパレータ このビットは、ALERT/RDY ピンをアサート後も保持するか、または変換結果が上限スレッショルド値と下限スレッショルド値の範囲内に戻ったときにクリアするかを制御します。 0b: 非ラッチ コンパレータ。ALERT/RDY ピンはアサートされてもラッチされません (デフォルト) 1b: ラッチ コンパレータ。アサートされた ALERT/RDY ピンは、コントローラが変換データを読み取るまでラッチ状態を保持します。本デバイスは、現在 ALERT/RDY バスラインをアサートしているデバイスの中で最も低いアドレスを持つ場合、そのアドレスで応答します。
1:0	COMP_QUE[1:0]	R/W	11b	コンパレータ キューおよび無効化 これらのビットは、2 つの機能を実行します。11 に設定すると、コンパレータは無効化され、ALERT/RDY ピンはハイインピーダンス状態になります。他の値に設定した場合、ALERT/RDY ピンおよびコンパレータ機能が有効になります。設定値は、ALERT/RDY ピンをアサートするために必要な、上限スレッショルド値または下限スレッショルド値を超える連続変換回数を決定します。 00b: 1 回の変換後にアサート 01b: 2 回の変換後にアサート 10b: 4 回の変換後にアサート 11b: コンパレータを無効化し、ALERT/RDY ピンをハイインピーダンス状態に設定 (デフォルト)

ADC Low_thresh レジスタ (P[1:0] = 10b) [リセット値 = 8000h] および ADC High_thresh レジスタ (P[1:0] = 11b) [リセット値 = 7FFFh]

コンパレータが使用する ADC コンパレータの上限および下限スレッショルド値は、2 つの 16 ビット レジスタに 2 の補数フフォーマットで保存されます (ピン構成レジスタで変更可能です。ユーザーは、ADC 変換結果の現在のフォーマットに応じて、適切な値を書き込む必要があります)。コンパレータはデジタル コンパレータとして実装されています。

ALERT/RDY ピンの変換準備完了機能は、High_thresh レジスタの MSB を 1b に設定し、Low_thresh レジスタの MSB を 0b に設定することで有効になります。ALERT/RDY ピンのコンパレータ機能を使用するには、High_thresh レジスタの値を常に Low_thresh レジスタの値より大きく設定する必要があります。スレッショルド レジスタのフォーマットを [ADC Low_thresh レジスタ](#) に示します。RDY モードに設定すると、シングルショット モードでは ALERT/RDY ピンは OS ビットを出力し、連続変換モードでは連続変換準備完了のパルスを出力します。

図 7-4. Low_thresh レジスタ

15	14	13	12	11	10	9	8
Lo_thresh[11:4]							
R/W-80h							
7	6	5	4	3	2	1	0
Lo_thresh[3:0]				予約済み			
R/W-0h				R-0h			

図 7-5. High_thresh レジスタ

15	14	13	12	11	10	9	8
Hi_thresh[11:4]							
R/W-7Fh							
7	6	5	4	3	2	1	0
Hi_thresh[3:0]				予約済み			
R/W-Fh				R-Fh			

表 7-5. Low_thresh レジスタおよび High_thresh レジスタのフィード説明

ビット	フィールド	タイプ	リセット	説明
15:4	Lo_thresh[11:0]	R/W	800h	下限スレッショルド値
15:4	Hi_thresh[11:0]	R/W	7FFh	上限スレッショルド値

I/O 入力ポート レジスタ (P[3:0]= 0100b) [リセット値= 0000h]

I/O 入力ポートのレジスタには、ピン機能レジスタでアナログピンまたはデジタルピンに設定されているか、あるいは I/O 方向レジスタでデジタル入力またはデジタル出力に設定されているかにかかわらず、各ピンの入力ロジックレベルが反映されます。これらは読み取り時にのみ動作します。このレジスタに書き込みを行っても、影響はありません。デフォルト値は、外部に印加されたロジックレベルによって決定されます。読み取り動作の前に、次に入力ポートレジスタへアクセスすることを I2C デバイスに通知するため、コマンド バイトを含む書き込み転送を送信します。IN_READ の MSB ビットは I/O_9 を制御し、その後、LSB まで順に対応し、LSB は I/O_0 を制御します。

図 7-6. I/O 入力ポート レジスタ

15	14	13	12	11	10	9	8
予約済み						IN_READ[9:8]	
R-000000b						R-00b	
7	6	5	4	3	2	1	0
IN_READ[7:0]							
R-00h							

表 7-6. I/O 入力ポート状態レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R	000000b	常に 000000b
9:0	IN_READ[9:0]	R	000000000b	10 ビットの I/O 入力結果。 機能設定にかかわらず、すべての I/O 入力値を読み取ります。

I/O 出力ポート レジスタ (P[3:0] = 0101b) [リセット値 = 03FFh]

I/O 出力設定レジスタは、I/O 方向レジスタで出力に設定されたピンの出力ロジックレベルを示します。OUT_LEVEL ビットのいずれかで (1) ビットが設定されている場合、対応する I/O の出力値は High になります。ビットが (0) でクリアされている場合は Low になります。このレジスタのビット値は、入力として定義されたピンには影響を与えません。反対に、このレジスタから読み出した値は、実際のピンの値ではなく、出力選択を制御しているフリップフロップの値に反映されます。I/O がデジタル入力として有効になっていない場合、現在デジタル IO 入力ではない I/O のブレースホルダ値には、入力から出力への変更前に記録されていた最後の IO 値が保持されます。また、その IO 値は本レジスタの影響を受けません。

図 7-7. I/O 出力ポート レジスタ

15	14	13	12	11	10	9	8
予約済み						IN_READ[9:8]	
R/W-000000b						R/W-00b	
7	6	5	4	3	2	1	0
OUT_LEVEL[7:0]							
R/W-00h							

表 7-7. I/O 出力ポート状態レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	常に 000000b
9:0	OUT_LEVEL[9:0]	R/W	11111111b	10 ビット I/O 出力レベル制御 0: 対応する I/O の IO 出力は Low になります。 1: 対応する I/O の IO 出力は High になります。(デフォルト)

I/O 極性反転レジスタ (P[3:0] = 0110b) [リセット値 = 0000h]

極性反転レジスタは、I/O 方向レジスタで入力に設定されたピンの極性を反転することができます。レジスタの I/O ビットが入力に設定されていない場合、このレジスタはその I/O ビットに影響を与えません。このレジスタのビットを 1 に設定すると、対応するポート ピンの極性が反転します。このレジスタのビットを 0 に設定してクリアすると、対応するポート ピンの元の極性が保持されます。

図 7-8. I/O 極性反転レジスタ

15	14	13	12	11	10	9	8
予約済み						POL_SEL[9:8]	
R/W-000000b						R/W-00b	
7	6	5	4	3	2	1	0
POL_SEL[7:0]							
R/W-00h							

表 7-8. I/O 極性反転レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	常に 000000b
9:0	POL_SEL[9:0]	R/W	00000000b	10 ビット I/O 極性制御 0: IO 入力ピンは反転されません。(デフォルト) 1: IO 入力ピンは反転されます。 注: ピンがデジタル入力に設定されている場合にのみ機能します。

I/O 方向レジスタ (P[3:0]= 0111b) [リセット値= 00FFh]

I/O 方向レジスタは、I/O ピンの方向を構成します。このレジスタの CONFIG_IO ビットのいずれかが 1 に設定されている場合、対応するポートピンは入力 I/O として有効になります。このレジスタの CONFIG_IO ビットのいずれかが 0 にクリアされている場合、対応するポートピンは出力 I/O として有効になります。Alert ピンが I/O_8 および I/O_9 に設定されておらず、デジタル I/O として構成されていない場合、このレジスタはこれらのピンに影響を与えません。

図 7-9. I/O 方向レジスタ

15	14	13	12	11	10	9	8
予約済み						CONFIG_IO[9:8]	
R/W-000000b						R/W-00b	
7	6	5	4	3	2	1	0
CONFIG_IO[7:0]							
R/W-FFh							

表 7-9. I/O 方向レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	常に 000000b
9:0	IN_READ[9:0]	R/W	0011111111b	10 ビットの I/O 方向選択 0: IO ピンは出力に設定されます。(IO8 および IO9 のデフォルト) 1: IO ピンは入力に設定されます。(IO8 と IO9 を除くデフォルト)

ピン機能レジスタ (P[3:0]= 1000b) [リセット値= 07FFh]

ピン機能レジスタは、デバイスの I/O 機能を I/O_0 から I/O_9 まで選択します。下位バイトは、I/O_7 ~ I/O_0 の各ピンがデジタル ピンとアナログ ピンのどちらかに選択されるかを制御します。下位バイトのビットが 1 に設定されている場合、そのピンはアナログ ピンになり、0 に設定されている場合、そのピンはデジタル ピンになります。さらに、AL_CONFIG ピンのいずれかが 0 に設定されている場合、そのピンはデジタル入力として構成されます。それ以外の場合は、そのピンは Alert ピンに設定されます。ピンがアナログ ピンとして構成されている場合、INT Alert ピンはそのピンの入力状態の「変化」を検出しません。最後に、Data_Format ビットは、ADC から取得されたデータを 2 の補数 (ビットが 1 に設定されている場合) にするか、符号なし (ビットが 0 に設定されている場合) にするかを決定します。

図 7-10. ピン機能レジスタ

15	14	13	12	11	10	9	8
予約済み					DATA_FORMAT	ADC_AL_CONFIG	INT_AL_CONFIG
R-00000b					R/W-1b	R/W-1b	R/W-1b
7	6	5	4	3	2	1	0
CONFIG_AD_PIN[7:0]							
R/W-FFh							

表 7-10. ピン機能レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:11	予約済み	R/W	00000b	常に 00000b
10	DATA_FORMAT	R/W	1b	ADC 変換データフォーマット 0: 符号なしデータフォーマット。 1: 2 の補数データフォーマット。(デフォルト)

表 7-10. ピン機能レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	ADC_AL_CONF	R/W	1b	ADC Alert 構成 0:ADC ALERT/RDY ピンは IO8 (デジタル ピン) として設定されます。 1:ADC ALERT/RDY ピンは ALERT/RDY 機能 (ロジック) として設定されます。(デフォルト)
8	INT_AL_CONF	R/W	1b	INT Alert 構成 0:INT ピンは IO9 (デジタル ピン) として設定されます。 1:INT ピンは INT 機能 (ロジック) として設定されます。(デフォルト)
7:0	CONFIG_AD_PIN[7:0]	R/W	FFh	I/O アナログまたはデジタル構成バイト 0:指定されたピンは、デジタル ピン (IOX) として設定されます。 1:指定されたピンはアナログ ピン (AX) として設定されます。(デフォルト)

デバイス ステータス レジスタ (P[3:0]= 1001b) [リセット値= 0011h]

16 ビットのデバイス ステータス レジスタには、読み取り時点におけるデバイスの最新のステータスが格納されています。ユーザーがステータス レジスタを読み取ると、そのデフォルト値にクリアされます。

図 7-11. デバイス ステータス レジスタ

15	14	13	12	11	10	9	8
予約済み							
R-00h							
7	6	5	4	3	2	1	0
予約済み				D_STATUS[3:0]			
R-0h				R-0h			

表 7-11. デバイス ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:4	予約済み	R	000h	常に 000h
3:0	D_STATUS[3:0]	R	0h	デバイス ステータス 11h: デバイスは正常動作中。(デフォルト) EFh: ウォッチドッグ リセット発生。 77h: ADC キャプチャでエラー発生。 88h: レジスタ更新エラー検出。 99h: レジスタ読み取りエラー検出。 AAh: I2C エラー検出。 BBh: ADC 変換エラー検出。 CCh: ADC 連続モードエラー検出。 DDh: 内部クロック エラー検出。 EEh: I2C タイムアウト エラー検出。 66h: 不明なエラー検出。

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 代表的なアプリケーション

8.1.1 回路図

テキサス インストルメンツでは、 $10\mu\text{F}$ と $0.1\mu\text{F}$ の低 ESR セラミック デカップリング コンデンサを組み合わせ、VDD および VSS ピンに接続することを推奨しています。より大きな容量のコンデンサを使用することもできますが、電源レールの立ち上がり時間に影響を及ぼす可能性があります。デカップリング コンデンサは、ピンのできるだけ近く (数 mm 以内) に配置する必要があります。

I2C バスドライバはオープン ドレインであるため、SDA ラインおよび SCL ラインの両方にプルアップ抵抗が必要です。また、INT ピンおよび ALERT/RDY ピンはどちらもオープン ドレインであるため、両方のピンにプルアップ抵抗が必要です。

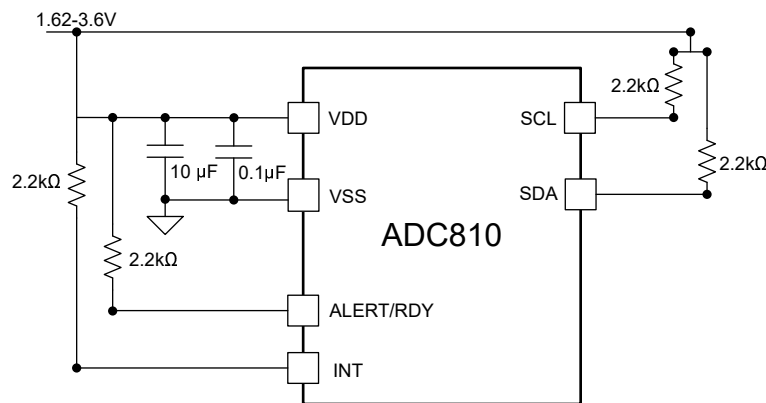


図 8-1. 代表的なアプリケーション回路図

8.1.2 ADC の構成例

ADC810 は、ADC レジスタ内に記載されているさまざまなモードで ADC として動作するように構成できます。

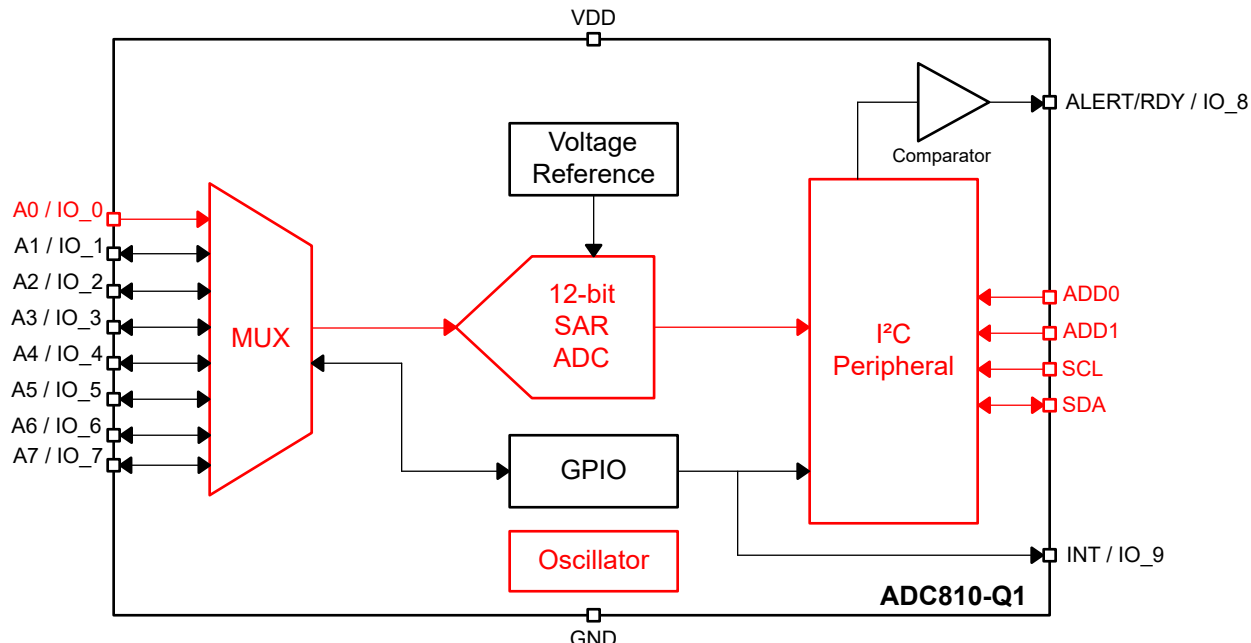


図 8-2. ADC シングル キャプチャおよび連続構成のハイライト

ADC シングルショット モード

このデバイスは、単一の変換を開始し、入力チャネルを A0 に設定し、VREF を VDD に設定し、ADC をシングル ショット モードに設定し、SPS を 128 に設定して、コンパレータを無効にするように構成されています。

I²C コントローラは、ADC810 の適切な I²C アドレスを対象にして、ADC 構成レジスタに書き込みを送信します。次のメッセージを送信できます。

1. I²C コントローラ メッセージ = {0x01, 0xC1, 0x83}

変換準備完了ピンの機能は、以下の構成でシングル ショット モードとともに設定できます。

1. I²C コントローラ データ メッセージ #1 = {0x02, 0x00, 0x00}
2. I²C コントローラ データ メッセージ #2 = {0x03, 0x80, 0x00}
3. I²C コントローラ データ メッセージ #3 = {0x01, 0xC1, 0x83}

前述の設定により ADC スレッシュホールド値レジスタが対応する値に設定され、ADC Alert RDY 機能が有効になります (「変換準備完了ピン」セクションを参照)。ADC の構成は、前述と同じままです。

ADC 連続モード

このデバイスは、ADC が単一の変換を開始し、入力チャネルを A0 に設定し、VREF を VDD に設定し、ADC を連続モードに設定し、SPS を 1600 に設定して、コンパレータを無効にするように構成されています。

I²C コントローラは、ADC810 の適切な I²C アドレスを対象にして、ADC 構成レジスタに書き込みを送信します。次のメッセージを送信できます。

1. I²C コントローラ メッセージ = {0x01, 0xC0, 0x83}

変換準備完了ピンの機能は、以下の構成で連続モードとともに設定できます。

1. I2C コントローラ データ メッセージ #1 = {0x02, 0x00, 0x00}
2. I2C コントローラ データ メッセージ #2 = {0x03, 0x80, 0x00}
3. I2C コントローラ データ メッセージ #3 = {0x01, 0xC0, 0x83}

前述の設定により ADC スレッシュホールド値レジスタが対応する値に設定され、ADC Alert RDY 機能が有効になります (「変換準備完了ピン」セクションを参照)。ADC の構成は、前述と同じままです。

ADC 連続コンパレータ モード

このデバイスは、ADC が単一変換を開始し、入力チャネルを A0 に設定し、VREF を VDD に設定します。ADC を連続モードに設定し、SPS を 1600 に設定し、コンパレータを従来モードに設定し、ALERT/RDY ピンの極性をアクティブローに設定し、ALERT/RDY ピンのラッチ機能を無効にし、1 回の変換後に ALERT/RDY ピンをアサートするよう構成されます。ADC 構成を設定する前に、下限スレッシュホールドレジスタと上限スレッシュホールドレジスタを目的の値に設定する必要があります。ここでは、下限スレッシュホールド値を 900 (0x384)、上限スレッシュホールド値を 1800 (0x3E8) に設定します。

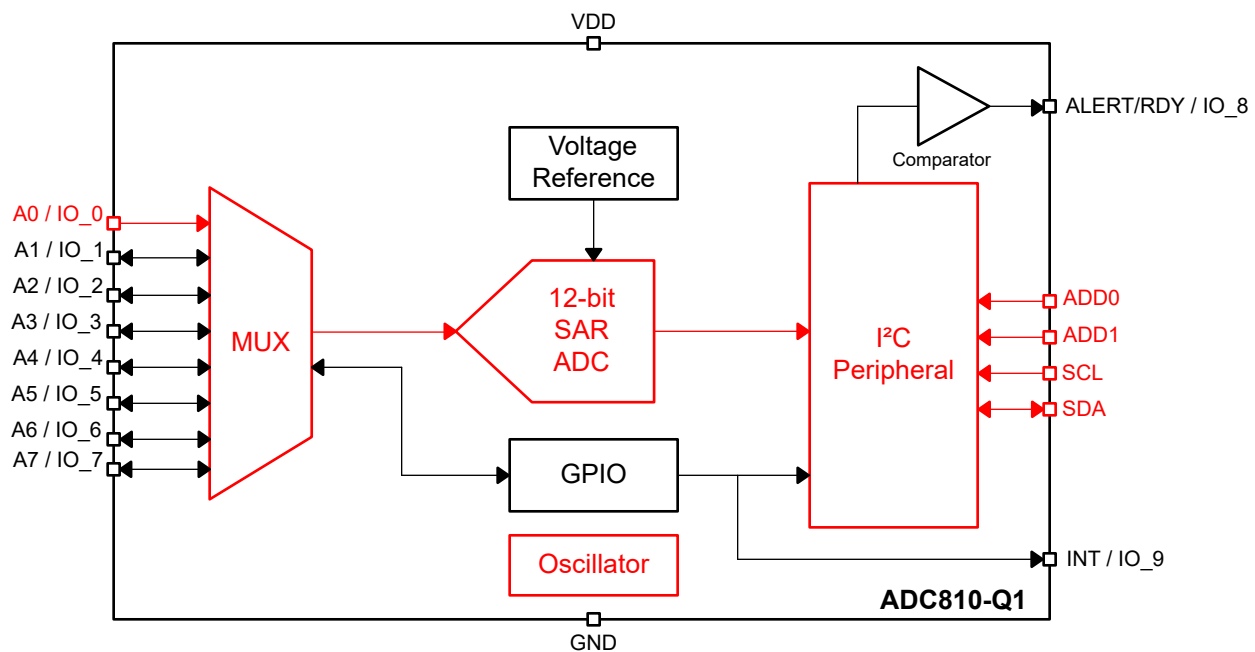


図 8-3. ADC コンパレータ構成のハイライト

I2C コントローラは、ADC810 の適切な I2C アドレスを対象にして、ADC 構成レジスタに書き込みを送信します。次のメッセージを送信できます。

1. I2C コントローラ データ メッセージ #1 = {0x02, 0x38, 0x40}
2. I2C コントローラ データ メッセージ #2 = {0x03, 0x3E, 0x80}
3. I2C コントローラ データ メッセージ #3 = {0x01, 0xC1, 0x80}

コンパレータ モードは、ウィンドウ コンパレータ モードに設定することもできます。そのためには、次の設定を ADC 構成レジスタに書き込む必要があります。

1. I2C コントローラ データ メッセージ #3 = {0x01, 0xC1, 0xE0}

さらに、ALERT/RDY ピンをラッチする必要がある場合は、以下の構成を使用できます。

1. I2C コントローラ データ メッセージ #3 = {0x01, 0xC1, 0xE4}

8.1.3 GPIO の構成例

ADC810 は、IO レジスタで指定されているさまざまなモードで IO エクスパンダとして動作するように構成できます。

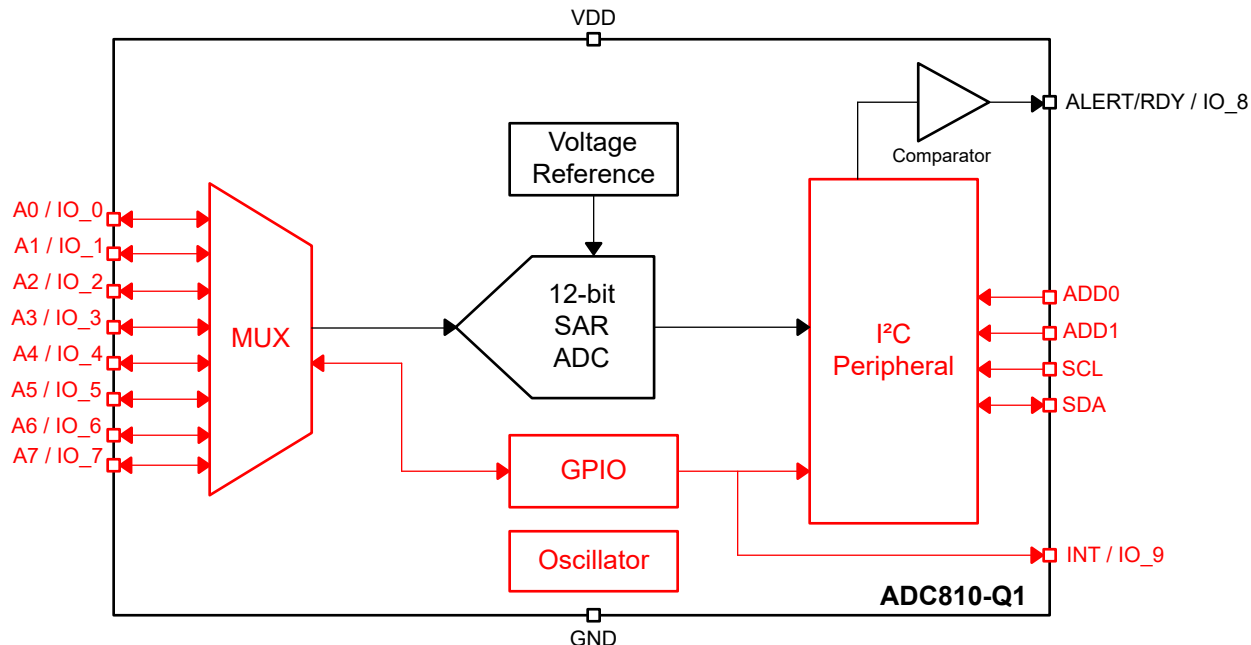


図 8-4. GPIO 入力および出力構成のハイライト

GPIO すべてのピン (INT ピンを除く) を入力に構成

本デバイスは、INT ピンを除くすべてのピンが入力となるように構成されています。

そのためには、まずピン機能レジスタに書き込みを行ってピンを GPIO 機能に設定し、次に I/O 方向レジスタに書き込みを行ってピンを入力に設定します。

1. I2C コントローラ データ メッセージ #1 = {0x08, 0x05, 0x00}
2. I2C コントローラ データ メッセージ #2 = {0x07, 0x02, 0xFF}

GPIO の状態が元の状態から新しい読み取り値へ変化すると、INT ピンはその変化を示します。IO 入力状態をリセットまたは更新する (INT ピンをリセットする) には、入力レジスタを読み取る必要があります。

入力ピンの入力極性を変更したい場合は、追加のメッセージを I/O 極性反転レジスタに書き込むことができます。

1. I2C コントローラ データ メッセージ #3 = {0x06, 0x02, 0xFF}

すべての GPIO ピンを出力に設定

デバイスは、すべてのピンが High 信号を出力するように構成されています。

そのためには、まずピン機能レジスタに書き込みを行ってピンを GPIO モードに設定し、次に I/O 方向レジスタに書き込みを行ってピンを出力に設定します。最後に、I/O 出力 レジスターを目的の値に設定します。この場合は、high になります。

1. I2C コントローラ データ メッセージ #1 = {0x08, 0x04, 0x00}
2. I2C コントローラ データ メッセージ #2 = {0x07, 0x00, 0x00}
3. I2C コントローラ データ メッセージ #2 = {0x05, 0x03, 0xFF}

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価およびソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 デバイスの命名規則

製品開発サイクルの段階を示すために、TI では ADC810 デバイスとサポート ツールすべての型番に接頭辞を割り当てます。ADC810 商用ファミリの製品には、「ADC」という接頭辞が付与されています。接頭辞は、完全に認定済みの量産版デバイス (ADC) を表します。

ADC — 完全に認定済みの量産版デバイス

TI デバイスの命名規則には、デバイス ファミリ名の接尾辞も含まれます。この接尾辞は、ADC デバイスの ADC チャンネル数および I/O 数を示します。表 9-1 は、完全なデバイス名の読み方を示します。

図 9-1. デバイスの命名規則

表 9-1. デバイスの命名規則

デバイス ファミリ	ADC = A/D コンバータ + I/O エクスパンダ
ADC のチャンネル数	8 = ADC チャンネル
使用可能な I/O 数	10 = I/O
温度範囲	
パッケージ タイプ	www.ti.com/packaging を参照
配布形式	R = 大型リール

各パッケージ タイプの注文可能な部品番号については、本書の「パッケージ オプション補足資料」、ti.com、または TI の営業担当までお問い合わせください。

9.2 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
June 2025	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

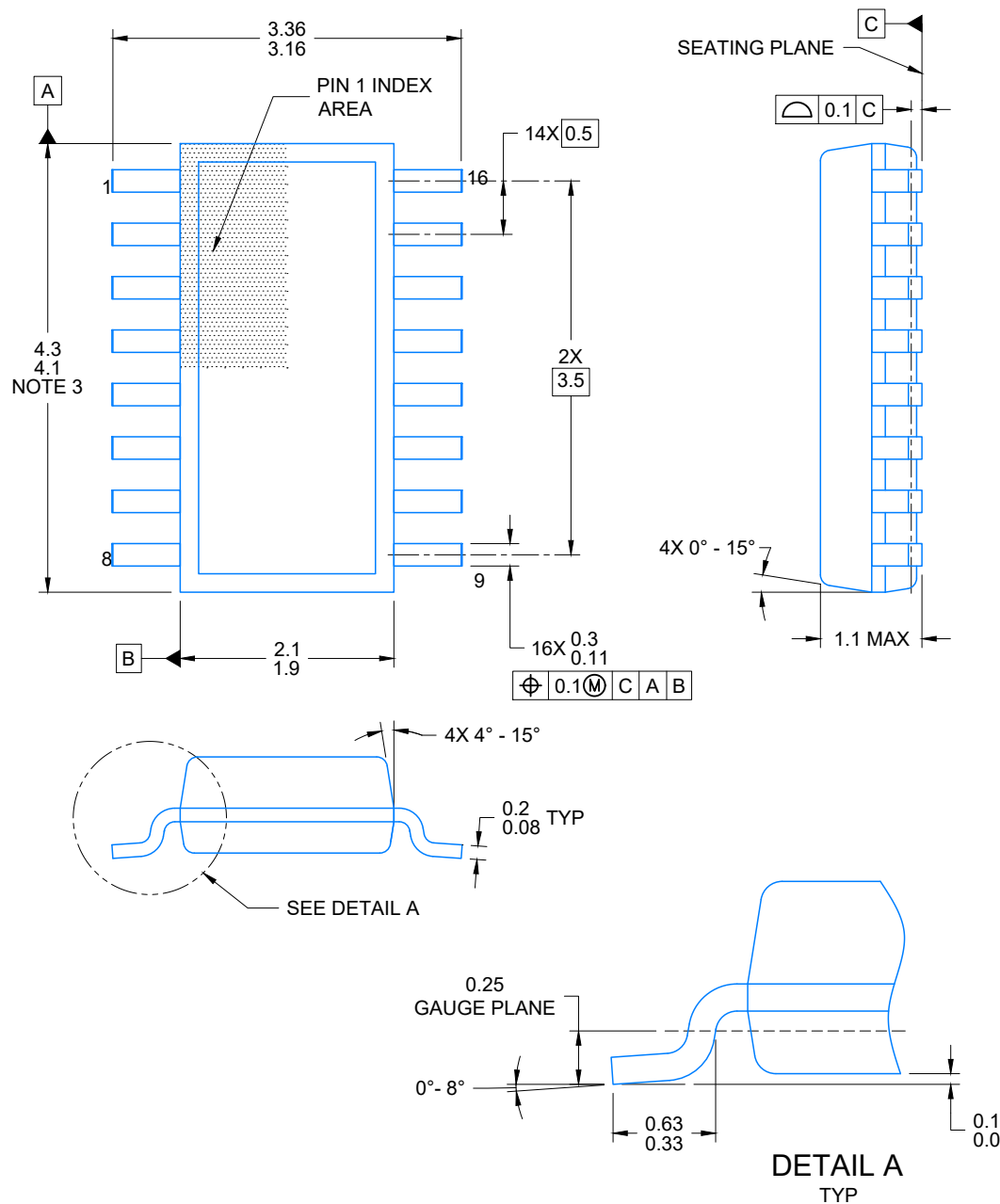
Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADC810QDYRQ1	Active	Production	SOT-23-THIN (DYY) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	ADC810Q

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

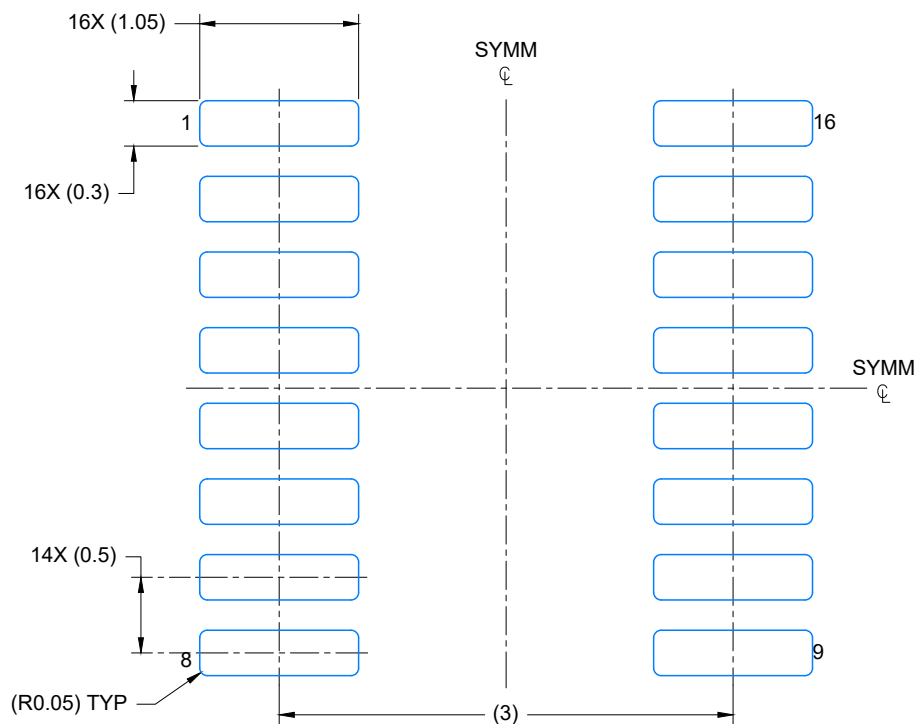
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



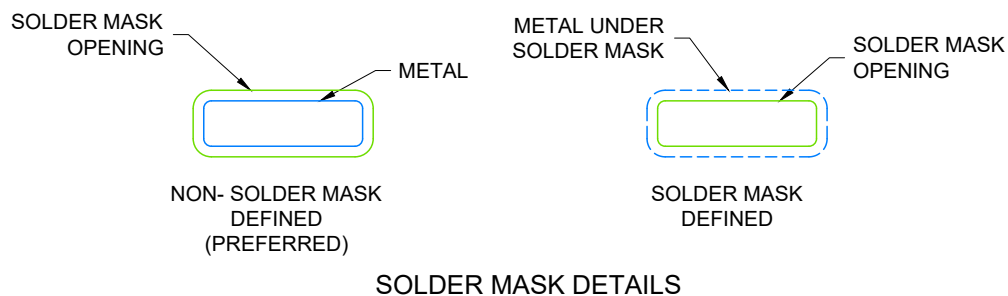
4224642/D 07/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AA



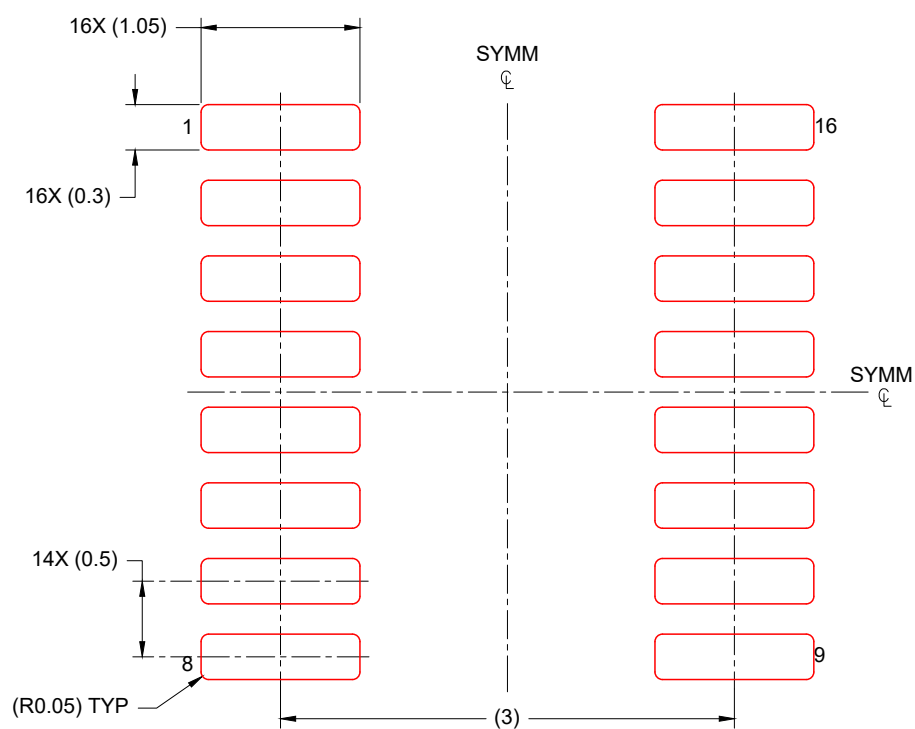
LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224642/D 07/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224642/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月