PGA、および温度センサを内蔵した、ADS1x1S02 超小型、ローパワー、12 ビットおよび 16 ビット、6 および 4kSPS ADC

1 特長

- 幅広い電源電圧範囲:1.74V ～ 5.5V
- 低消費電流:
  - 連続変換モードで 140µA
- 12 ビット データ レート:100SPS ～ 6kSPS
- 16 ビット データ レート:10SPS ～ 4kSPS
- シングル サイクルのセトリング
- 内部温度センサ
- 内部低ドリフト 1.024V リファレンス
- 内部発振器
- 動作温度範囲:–40°C ～ +125°C

2 アプリケーション

- コンシューマ エレクトロニクス
- ポータブル計測装置
- データ センターのリーク検出
- 温度測定システム
- ファクトリ オートメーションとプロセス制御
- 汎用の電圧と電流監視

3 説明

ADS101S02 および ADS111S02 (ADS1x1S02) は、高精度、ローパワー、SPI 対応、12 および 16 ビット A/D コンバータ (ADC) です。ADS1x1S02 は、低ドリフトの電圧リファレンス、発振器、プログラマブル ゲイン アンプ (PGA)、高精度温度センサを内蔵しています。これらの機能に加え、デバイスの電源電圧範囲が 1.74V ～ 5.5V と広いため、電力やスペースに制約があるセンサ測定アプリケーションに有用です。

ADS101S02 および ADS111S02 は、それぞれ最大 6kSPS および 4kSPS のデータ レートで変換を実行できます。PGA は 1/6 ～ 16 のゲイン設定が可能で、内部の 1.024V 電圧リファレンスを使用して大信号から小信号まで高精度に測定できます。ADS1x1S02 には、入力マルチプレクサ (MUX) が搭載されており、4 つのシングルエンド測定、AIN3 を共通の電圧リファレンスとして使用する 3 つの差動測定、または 2 つの独立した差動入力ペアに使用することができます。

パッケージ情報

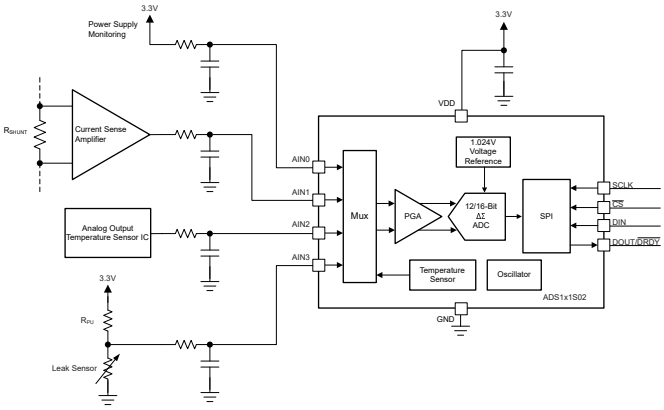
部品番号	パッケージ (1)	パッケージ サイズ(2)
ADS1x1S02	RUG (X2QFN、10)	1.50mm × 2.00mm
	DYN (TSOT、10)	2.90mm × 2.80mm
	YCJ (DSBGA、12)	1.38mm × 1.03mm

(1) 利用可能なすべてのパッケージについては、「メカニカル、パッケージ、および注文情報」を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。

製品情報

部品番号	分解能(1)	最大データ レート
ADS101S02	12 ビット	6kSPS
ADS111S02	16 ビット	4kSPS

(1) 詳細については、デバイス比較表を参照してください。



サーバー カード システム監視

ADVANCE INFORMATION

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

ADVANCE INFORMATION

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 デバイス比較表 ... 3
5 ピン構成および機能 ... 3
6 仕様 ... 5
6.1 絶対最大定格 ... 5
6.2 ESD 定格 ... 5
6.3 推奨動作条件 ... 6
6.4 熱に関する情報 ... 6
6.5 電気的特性 ... 7
6.6 タイミング要件 ... 8
6.7 スイッチング特性 ... 8
6.8 タイミング図 ... 8
7 パラメータ測定情報 ... 9
7.1 ノイズ性能 ... 9
8 詳細説明 ... 10
8.1 概要 ... 10
8.2 機能ブロック図 ... 10
8.3 機能説明 ... 11
8.3.1 マルチプレクサ ... 11
8.3.2 電圧リファレンス ... 11
8.3.3 発振器 ... 11
8.3.4 出力データ レートおよび変換時間 ... 11
8.3.5 低ノイズ PGA ... 12
8.3.6 温度センサ ... 13
8.4 デバイスの機能モード ... 15
8.4.1 パワーアップとリセット ... 15
8.4.2 動作モード ... 15
8.5 プログラミング ... 17
8.5.1 シリアル インターフェイス (SPI) ... 17
8.5.2 チップ セレクト ($\overline{CS}$) ... 17
8.5.3 シリアル クロック (SCLK) ... 17
8.5.4 データ入力 (DIN) ... 17
8.5.5 データ出力およびデータ準備完了 (DOUT/$\overline{DRDY}$) ... 18
8.5.6 データ取得とデバイス構成 ... 18
8.6 変換データの形式 ... 20
9 レジスタ マップ ... 21
10 アプリケーションと実装 ... 24
10.1 使用上の注意 ... 24
10.1.1 シリアル インターフェイスの接続 ... 24
10.1.2 複数のデバイスの接続 ... 25
10.1.3 シングルエンド入力 ... 26
10.1.4 未使用入出力 ... 26
10.1.5 入力保護 ... 26
10.1.6 アナログ入力フィルタリング ... 27
10.1.7 低消費電力のデューティ サイクル ... 28
10.1.8 疑似コードの例 ... 29
10.2 代表的なアプリケーション ... 30
10.2.1 サーミスタの冷接点補償機能付き K 型熱電対 ... 30
10.2.2 サーバー カード システム監視アプリケーション ... 32
10.3 電源に関する推奨事項 ... 33
10.3.1 電源シーケンス ... 33
10.3.2 電源のデカップリング ... 33
10.4 レイアウト ... 34
10.4.1 レイアウトのガイドライン ... 34
10.4.2 レイアウト例 ... 35
11 デバイスおよびドキュメントのサポート ... 36
11.1 ドキュメントのサポート ... 36
11.1.1 関連資料 ... 36
11.2 ドキュメントの更新通知を受け取る方法 ... 36
11.3 サポート・リソース ... 36
11.4 商標 ... 36
11.5 静電気放電に関する注意事項 ... 36
11.6 用語集 ... 36
12 改訂履歴 ... 36
13 メカニカル、パッケージ、および注文情報 ... 36

Copyright © 2026 Texas Instruments Incorporated

4 デバイス比較表

デバイス	分解能 (ビット数)	最大サンプル レート (SPS)	入力チャネル 差動 (シングルエンド)	インターフェイス	デジタル I/O レベル
ADS101C01	12	6000	1 (1)	I²C	VDD レシオメトリック
ADS101C02	12	6000	2 (4)	I²C	VDD レシオメトリック
ADS111C01	16	4000	1 (1)	I²C	VDD レシオメトリック
ADS111C02	16	4000	2 (4)	I²C	VDD レシオメトリック
ADS101C01L	12	6000	1 (1)	I²C	VDD 非依存
ADS101C02L	12	6000	2 (4)	I²C	VDD 非依存
ADS111C01L	16	4000	1 (1)	I²C	VDD 非依存
ADS111C02L	16	4000	2 (4)	I²C	VDD 非依存
ADS101S02	12	6000	2 (4)	SPI	VDD レシオメトリック
ADS111S02	16	4000	2 (4)	SPI	VDD レシオメトリック

5 ピン構成および機能

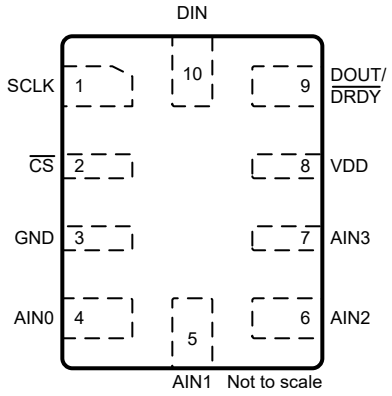


図 5-1. RUG パッケージ、(上面図)

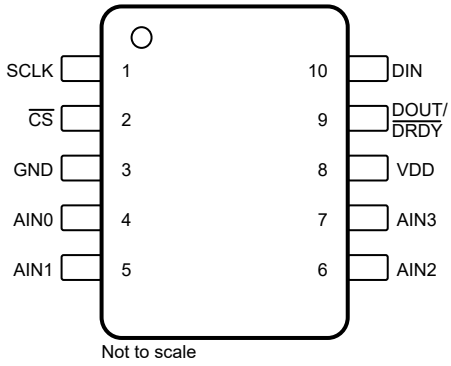


図 5-2. DYN パッケージ、(上面図)

表 5-1. ピンの機能：

ピン		タイプ	説明(1)
番号	名称		
4	AIN0	アナログ入力	アナログ入力 0
5	AIN1	アナログ入力	アナログ入力 1
6	AIN2	アナログ入力	アナログ入力 2
7	AIN3	アナログ入力	アナログ入力 3
2	$\overline{CS}$	デジタル入力	チップ セレクト入力。アクティブ Low。(3)
10	DIN	デジタル入力	シリアル データ入力
9	DOUT/ $\overline{DRDY}$	デジタル出力	シリアル データ出力とデータ準備完了の組み合わせ。アクティブ low。(2)
3	GND	電源	グランド
1	SCLK	デジタル入力	シリアル データ クロック入力
8	VDD	電源	電源。0.1µF 電源デカップリング コンデンサを GND に接続します。

(1) 未使用ピンの接続については、「未使用入出力」セクションを参照してください。
(2) プッシュプル出力。
(3) ADS1x1S02 は、デバイスが SPI バス上で唯一のペリフェラルである場合、$\overline{CS}$ を永続的に Low に接続した状態で動作できます。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

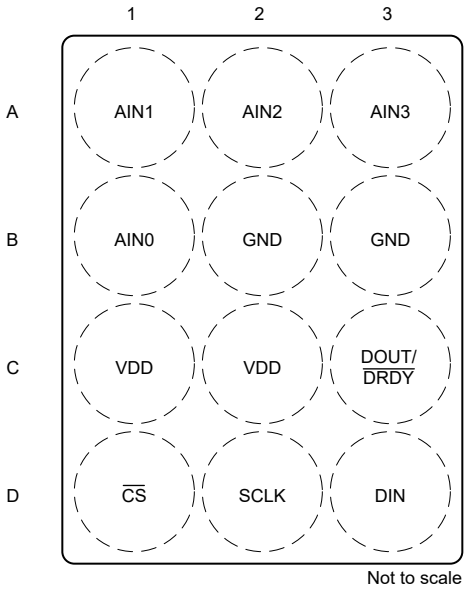


図 5-3. YCJ パッケージ、12 ピン DSBGA (上面図)

表 5-2. ピンの機能：YCJ パッケージ

ピン		タイプ	説明(1)
ADS1x1S02	名称		
B1	AIN0	アナログ入力	アナログ入力 0
A1	AIN1	アナログ入力	アナログ入力 1
A2	AIN2	アナログ入力	アナログ入力 2
A3	AIN3	アナログ入力	アナログ入力 3
D1	$\overline{CS}$	デジタル入力	チップ セレクト入力。アクティブ Low。(3)
D3	DIN	デジタル入力	シリアル データ入力
C3	DOUT/ $\overline{DRDY}$	デジタル出力	シリアル データ出力とデータ準備完了の組み合わせ。アクティブ low。(2)
B2、B3	GND	グランド	グランド
D2	SCLK	デジタル入力	シリアル データ クロック入力
C1、C2	VDD	電源	電源。0.1µF 電源デカップリング コンデンサを GND に接続します。

(1) 未使用ピンの接続については、「未使用入出力」セクションを参照してください。
(2) プッシュプル出力。
(3) ADS1x1S02 は、デバイスが SPI バス上で唯一のペリフェラルである場合、$\overline{CS}$ を永続的に Low に接続した状態で動作できます。

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電源電圧	VDD から GND	-0.3	7	V
アナログ入力電圧	AIN0、AIN1、AIN2、AIN3	GND - 0.3	VDD + 0.3	V
デジタル入力電圧	$\overline{CS}$、SCLK、SDI、SDO/$\overline{DRDY}$	GND - 0.3	VDD + 0.3	V
入力電流	連続、電源ピンを除く任意のピン	-10	10	mA
温度	接合部、T_J		150	°C
	保存、T_{stg}	-60	150	

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±750	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

ADVANCE INFORMATION

6.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
電源						
	電源	VDD から GND	1.74		5.5	V
アナログ入力(1)						
V_{AINx}	絶対入力電圧		GND		VDD	V
V_{IN}	差動入力電圧 (2)(3)	ユニポーラ ストレート バイナリ符号化	0		V_{REF} / ゲイン	V
		2 の補数バイナリ符号化	$-V_{REF}$ / ゲイン		V_{REF} / ゲイン	
デジタル入力						
	入力電圧		GND		VDD	V
温度範囲						
T_A	動作時周囲温度		-40		125	°C

(1) AIN_P および AIN_N は、ADC の選択した正と負の入力を示します。
(2) V_{REF} = 1.024V (標準値)
(3) このパラメータは、ADC スケーリングのフルスケール レンジを表します。このデバイスには、VDD + 0.3V または 5.5V (どちらか小さい方) 以下を印加する必要があります。詳細については、表 8-1 と表 8-2 を参照してください。

6.4 熱に関する情報

熱評価基準 (1)		DYN (TSOT)	RUG (X2QFN)	YCJ (DSBGA)	単位
		10 ピン	10 ピン	12 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	未定	245.2	未定	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	未定	69.3	未定	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	未定	172	未定	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	未定	8.2	未定	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	未定	170.8	未定	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性

最小および最大仕様は、T_A = –40℃ ～ +125℃の範囲で適用されます。標準仕様は、T_A = 25℃での値です。すべての仕様は、VDD = 1.74V ～ 5.5V、すべてのデータ レート、すべてのゲイン設定の条件下での値です (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
アナログ入力						
	絶対入力電流	GND ≤ V_{AINx} ≤ VDD、V_{IN} = 0V		±15		nA
	差動入力電流	V_{CM} = VDD/2、–V_{REF}/ ゲイン ≤ V_{IN} ≤ V_{REF}/ ゲイン		±25		nA
	同相モード入力インピーダンス	未定		100		MΩ
	差動入力インピーダンス	未定		100		MΩ
システム性能						
	分解能 (欠落コードなし)	ADS101S02	12			ビット
		ADS111S02	16			
DR	データ レート	ADS101S02		100、500、2000、6000		SPS
		ADS111S02		10、100、1000、4000		
	ノイズ (入力換算)			ノイズ性能セクションを参照してください		
INL	積分非直線性 (ベストフィット)			未定		ppm_{FSR}
	ゲイン設定			1/6、1/4、1/2、1、2、4、8、16		
	オフセット誤差 (入力換算)	差動入力		±5		μV
		シングルエンド入力		±25		
	オフセットのドリフト	差動入力		40		nV/℃
		シングルエンド入力		150		
	ゲイン誤差	T_A = 25℃、内部電圧リファレンスの誤差を含む	-0.5	±0.1	0.5	%
	ゲイン ドリフト	内部電圧リファレンスのドリフトを含む		2.5	25	ppm/°C
V_{REF}	リファレンス電圧			1.024		V
CMRR	同相信号除去比	DC 時		120		dB
		f_{CM} = 50Hz または 60Hz、DR = TBD		105		
PSRR	電源除去比	DC 時		100		dB
発振器						
f_{OSC}	周波数			1000		kHz
	精度	すべてのデータ レート	-5		5	%
温度センサ						
	温度分解能	ADS101S02		0.125		℃/LSB
		ADS111S02		0.03125		
	精度	T_A = -40℃ ～ +125℃、ADS101S02	-1	±0.25	1	℃
		T_A = -40℃ ～ +125℃、ADS111S02	-1	±0.25	1	
デジタル入出力						
V_{IL}	ロジック入力レベル、Low		GND		0.3 VDD	V
V_{IH}	ロジック入力レベル、High		0.7 VDD		VDD	V
V_{OL}	ロジック出力レベル、Low	I_{OL} = 1mA	GND		0.2 VDD	V
V_{OH}	ロジック出力レベル、High	I_{OH} = 1mA	0.8 VDD		VDD	V
	入力電流	GND ≤ $V_{Digital\ Input}$ ≤ VDD	-10		10	μA
電源電流および消費電力						
I_{VDD}	電源電流	パワーダウン		2.5	10	μA
		動作		140	220	
P_D	消費電力	VDD = 5.5V		0.9		mW
		VDD = 3.3V		0.5		
		VDD = 1.74V		0.2		

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

6.6 タイミング要件

動作時周囲温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
$t_{c(SC)}$	SCLK 周期	60		ns
$t_{w(SCL)}$	パルス幅、SCLK low	20		ns
$t_{w(SCH)}$	パルス幅、SCLK high	30		ns
$t_{d(CSSC)}$	遅延時間、$\overline{CS}$ 立ち下がりエッジから最初の SCLK 立ち上がりエッジまで	10		ns
$t_{d(SCCS)}$	遅延時間、最後の SCLK 立ち下がりエッジから $\overline{CS}$ 立ち上がりエッジまで	10		ns
$t_{w(CSH)}$	パルス幅、$\overline{CS}$ High	30		ns
$t_{su(DI)}$	セットアップ時間、DIN 有効から SCLK 立ち下がりエッジまで	8		ns
$t_{h(DI)}$	ホールド時間、SCLK 立ち下がりエッジから DIN 有効まで	8		ns
$t_{W(SCIR)}$	パルス幅、SCLK を Low に維持してインターフェイスの再同期を強制適用	28		ms

6.7 スイッチング特性

動作時周囲温度範囲全体、C_{LOAD} = 20pF (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{p(CSDO)}$	伝搬遅延時間、$\overline{CS}$ 立ち下がりエッジから DOUT/$\overline{DRDY}$ 駆動まで				25	ns
$t_{p(CSDOZ)}$	伝搬遅延時間、$\overline{CS}$ 立ち上がりエッジから DOUT/$\overline{DRDY}$ 高インピーダンス状態まで				25	ns
$t_{p(SCDO)}$	伝搬遅延時間、SCLK 立ち上がりエッジから有効な DOUT/$\overline{DRDY}$ まで				28	ns
$t_{w(DRH)}$	パルス幅、$\overline{DRDY}$ High		8			µs

6.8 タイミング図

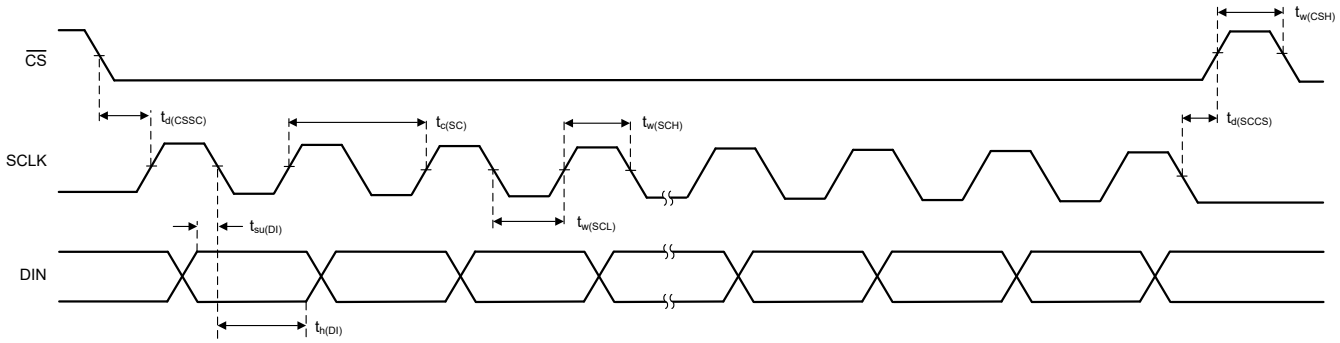


図 6-1. シリアル インターフェイスのタイミング要件

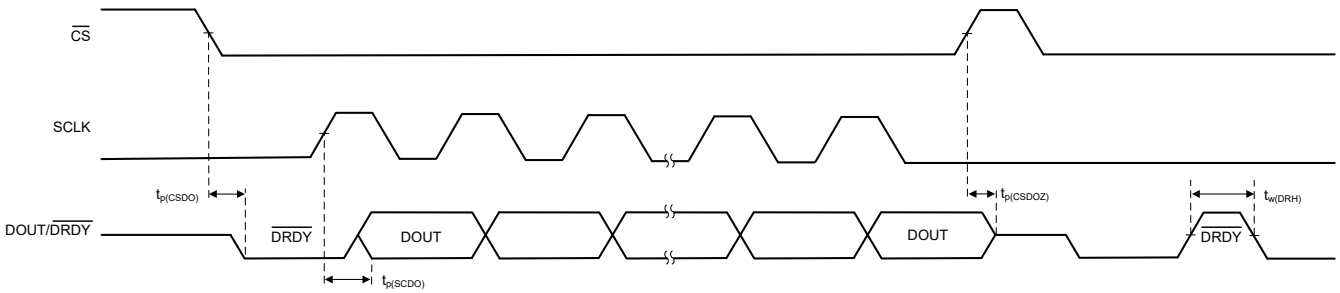


図 6-2. シリアル インターフェイスのスイッチング特性

Copyright © 2026 Texas Instruments Incorporated

7 パラメータ測定情報

7.1 ノイズ性能

デルタシグマ (ΔΣ) 方式の A/D コンバータ (ADC) は、オーバーサンプリングの原理に基づいています。ΔΣ ADC の入力信号は高い周波数 (変調器周波数) でサンプリングされ、その後、デジタル領域でフィルタ処理およびデシメーションが行われ、対応する出力データ レートでの変換結果が得られます。変調器周波数と出力データ レートの比は、オーバーサンプリング レート (OSR) と呼ばれます。OSR を高くし、それによって出力データ レートを低下させることで、ADC のノイズ性能を最適化できます。言い換えると、内部変調器のより多くのサンプルが平均化されて一つの変換結果が得られるため、出力データ レートを下げると入力換算ノイズは低下します。ゲインを大きくすると、入力換算ノイズも減少し、低レベル信号を測定する場合に特に役立ちます。

表 7-1 と 表 7-2 に、提示されている条件における入力換算ノイズを μV_{RMS} 単位で示します。有効分解能の値は括弧内に表示されています。有効分解能は、次の式を使用して μV_{RMS} 値から計算されます。データは、2 の補数によるデータ コーディングを使用して、入力を外部で短絡した、T_A = 25°C での標準的なノイズ性能を表しています。

$$\text{Effective Resolution} = \ln\left[2 \times \frac{V_{REF}}{\text{Gain} \times V_{RMS\ Noise}}\right] \div \ln[2] \quad (1)$$

表 7-1. VDD = 3.3V における 12 ビット デバイスの μV_{RMS} 単位でのノイズ (有効分解能)

データ レート (SPS)	ゲイン							
	1/6	1/4	1/2	1	2	4	8	16
100	45.4 (12)	32.8 (12)	15.9 (12)	8.1 (12)	4.6 (12)	4.6 (12)	4.6 (12)	4.6 (12)
500	90.6 (12)	60.9 (12)	29.3 (12)	15.0 (12)	7.7 (12)	7.6 (12)	7.4 (12)	7.3 (12)
2000	172 (12)	114 (12)	56.9 (12)	28.6 (12)	14.4 (12)	14.3 (12)	14.3 (12)	14.3 (12)
6000	412 (12)	274 (12)	136 (12)	68.3 (12)	35.8 (12)	35.8 (12)	35.4 (12)	34.7 (11.8)

表 7-2. VDD = 3.3V における 16 ビット デバイスの μV_{RMS} 単位でのノイズ (有効分解能)

データ レート (SPS)	ゲイン							
	1/6	1/4	1/2	1	2	4	8	16
10	9.8 (16)	6.9 (16)	3.4 (16)	1.6 (16)	0.83 (16)	0.83 (16)	0.83 (16)	0.83 (16)
100	32.6 (16)	22.2 (16)	11.0 (16)	5.4 (16)	2.7 (16)	2.7 (16)	2.7 (16)	2.7 (16)
1000	112 (16)	74.5 (16)	37.2 (16)	18.6 (16)	9.2 (16)	9.2 (15.7)	9.2 (14.7)	9.2 (13.7)
4000	307 (15.3)	204 (15.3)	102 (15.3)	51.3 (15.3)	25.6 (15.3)	25.6 (14.3)	25.6 (13.3)	25.6 (12.3)

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8 詳細説明

8.1 概要

ADS1x1S02 は、超小型、ローパワー、12 ビットおよび 16 ビット、デルタ シグマ (ΔΣ) A/D コンバータ (ADC) です。ADS1x1S02 は、可変ゲインを備えた ΔΣ ADC コア、内部電圧リファレンス、クロック発振器、SPI インターフェイスで構成されています。これらのデバイスは、直線性が高い高精度の温度センサを内蔵しています。これらの機能はすべて、必要とされる外部回路を減らし、性能を向上させることを目的としています。図 8-1 に、ADS1x1S02 の機能ブロック図を示します。

ADS1x1S02 の ADC コアは、V_{AINP} と V_{AINN} の差である差動信号、V_{IN} を測定します。コンバータ コアは、差動、スイッチト コンデンサ、ΔΣ 変調器、それに続くデジタル フィルタで構成されています。このアーキテクチャにより、すべての同相モード信号が極めて強く減衰されます。デジタル フィルタは、変調器から高速ビット ストリームを受信し、入力電圧に比例するコードを出力します。

ADS1x1S02 には、シングルショットと連続変換の 2 つの変換モードがあります。シングルショット変換モードでは、ADC は要求に応じて入力信号を 1 回変換し、その変換値を内部の 16 ビット デバイスの変換レジスタ に格納してから、パワーダウン状態に移行します。このモードは、周期的な変換のみを必要とするシステム、または変換の間に長いアイドル時間があるシステムで消費電力を大幅に削減することを目的としています。連続変換モードでは、前回の変換が完了するとすぐに、ADC は自動的に入力信号の変換を開始します。連続変換の速度は、設定されたデータ レートに等しくなります。データはいつでも読み取ることができ、常に直近に完了した変換結果を反映しています。

8.2 機能ブロック図

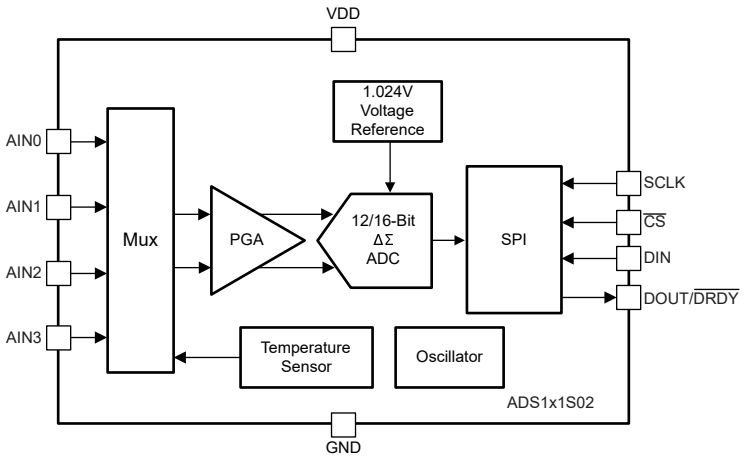


図 8-1. ADS1x1S02 ブロック図

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.3 機能説明

8.3.1 マルチプレクサ

図 8-2 に、ADS1x1S02 の入力マルチプレクサ (MUX) を示します。入力マルチプレクサは、グランドを基準とする 4 つのシングルエンド測定、AIN3 を共通のリファレンス入力として使用する 3 つの差動測定、または 2 つの独立した差動入力ペアをサポートしています。シングルエンド信号を測定する場合、負の ADC 入力はマルチプレクサ内のスイッチによって内部で GND に接続されます。マルチプレクサは MUX[2:0] で構成されます。

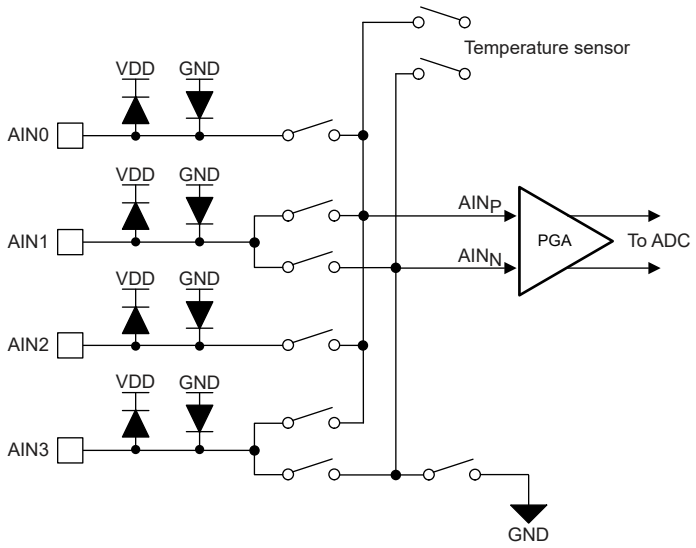


図 8-2. 入力マルチプレクサ

ADS1x1S02 アナログ入力は、VDD および GND に接続された静電放電 (ESD) ダイオードによって保護されています。ESD ダイオードがオンにならないように、任意の入力の絶対電圧を式 2 に示す範囲内に維持します。

$$GND - 0.3V < V_{AINx} < VDD + 0.3V \quad (2)$$

入力電流を安全な値に制限するには、外付けのショットキー クランプ ダイオードまたは直列抵抗が必要な場合があります (*絶対最大定格*を参照)。デバイスで選択されていない入力をオーバードライブすると、他の入力ピンで行われている変換に影響を与える可能性があります。

8.3.2 電圧リファレンス

ADS1x1S02 は 1.024V の内蔵電圧リファレンスを備えています。これらのデバイスでは、外部電圧リファレンスを使用できません。内部電圧リファレンスの精度に関する誤差と、温度によるリファレンス ドリフトは、*電気的特性*表のゲイン誤差とゲイン ドリフトの仕様に記載されています。

8.3.3 発振器

ADS1x1S02 は 1MHz 発振器を内蔵しています。これらのデバイスを動作させるために外部クロックを印加することはできません。入力信号がサンプリングされる周波数を、サンプリング周波数または変調周波数 (f_{MOD}) と呼びます。1MHz 発振器の周波数は内部的に 4 分周され、変調周波数 f_{MOD} = 250kHz が生成されます。温度と時間の経過に伴って内部発振器がドリフトします。出力データ レートは、発振器周波数に比例して変化します。

8.3.4 出力データ レートおよび変換時間

ADS1x1S02 は、プログラマブルな出力データ レートを提供します。DR[1:0] ビットを使用して ADS101S02 の場合は 100SPS、500SPS、2kSPS、6kSPS、ADS111S02 の場合は 10SPS、100SPS、1kSPS、4kSPS の出力データ レートを選択します。ADS1x1S02 での変換は、1 サイクル以内に安定します。変換時間は 1 / DR と等しくなります。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.3.5 低ノイズ PGA

ADS1x1S02 は、低ノイズ、低ドリフト、高入力インピーダンスのプログラマブル ゲイン アンプ (PGA) を内蔵しています。PGA[2:0] ビットを使用して、PGA のゲインを 1/6、1/4、1/2、1、2、4、8、または 16 に構成します。式 3 と 式 4 に、内部 1.024V リファレンスを使用した ADC の変換コーディング方式に基づいて、フルスケール レンジ (FSR) を計算する方法を示します。

$$FSR_{\text{Binary two's complement coding}} = \pm VREF / Gain \quad (3)$$

$$FSR_{\text{Unipolar straight binary coding}} = 0V \text{ to } +VREF / Gain \quad (4)$$

FSR とデバイスの分解能 n から LSB サイズを計算するには、式 5 を使用します。表 8-1 は、すべてのゲイン設定に対してバイナリ 2 の補数コーディングを使用した場合のフルスケール レンジと LSB サイズを要約し、表 8-2 にユニポーラ ストレート バイナリ コーディングを使用した場合のフルスケール レンジと LSB サイズを示します。

$$LSB = FSR / 2^n \quad (5)$$

表 8-1. バイナリ 2 の補数コーディングの フルスケール レンジと LSB サイズ

ゲイン	FSR	LSB サイズ	
	バイナリ 2 の補数	12 ビット	16 ビット
1/6	±6.144V(1)	3mV	187.5µV
1/4	±4.096V(1)	2mV	125µV
1/2	±2.048V	1mV	62.5µV
1	±1.024V	0.5mV	31.25µV
2	±0.512V	0.25mV	15.625µV
4	±0.256V	0.125mV	7.813µV
8	±0.128V	62.5µV	3.906µV
16	±0.064V	31.25µV	1.953µV

(1) このパラメータは、ADC スケーリングのフルスケール レンジを表します。デバイスのアナログ入力に VDD + 0.3V を超える電圧を印加しないでください。

表 8-2. ユニポーラ ストレート バイナリ コーディングの フルスケール レンジと LSB サイズ

ゲイン	FSR	LSB サイズ	
	ユニポーラ ストレート バイナリ	12 ビット	16 ビット
1/6	6.144V(1)	1.5mV	93.75µV
1/4	4.096V(1)	1mV	62.5µV
1/2	2.048V	0.5mV	31.25µV
1	1.024V	0.25mV	15.625µV
2	0.512V	0.125mV	7.813µV
4	0.256V	62.5µV	3.906µV
8	0.128V	31.25µV	1.953µV
16	0.064V	15.625µV	0.9766µV

(1) このパラメータは、ADC スケーリングのフルスケール レンジを表します。デバイスのアナログ入力に VDD + 0.3V を超える電圧を印加しないでください。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.3.6 温度センサ

ADS1x1S02 は、ダイ温度を測定するための内蔵の高精度温度センサを備えています。温度センサを有効にするには、ビット TS_EN = 1b を設定します。温度センサが有効になっている場合、MUX[2:0] ビットの設定は効力を持ちません。温度の読み取り値は、変換の開始と変換結果の読み取りのためのアナログ入力と同じプロセスに従います。

温度データの形式はデバイス間で異なります。ADS101S02 は 12 ビット表現を使用し、ADS111S02 は 14 ビット表現を使用します。どちらの場合も、温度データは 16 ビット変換レジスタの中で左揃えになります。

8.3.6.1 12 ビットの温度データ形式 (ADS101S02)

ADS101S02 の温度データは、16 ビットの変換レジスタ内で左揃えにされた 12 ビットの結果として表されます。12 ビット LSB は、0.125℃に相当します。表 8-3 に示すように、負の数は、バイナリ 2 の補数形式で表現されます。

表 8-3. 12 ビットの温度データ形式 (ADS101S02)

温度 (℃)	デジタル出力 (バイナリ)	16 進
128	0100 0000 0000	400h
75	0010 0101 1000	258h
50	0001 1001 0000	190h
25	0000 1100 1000	0C8h
0.25	0000 0000 0010	002h
0	0000 0000 0000	000h
-0.25	1111 1111 1110	FFEh
-25	1111 0011 1000	F38h
-40	1110 1100 0000	EC0h

8.3.6.2 デジタル コードから温度、12 ビット温度センサ データへの変換

デジタル コードから温度に変換するには、まずデバイスからデータ バイトを読み取り、結果を右シフトして 12 ビット温度値を抽出します。図 8-3 に、16 ビット変換レジスタ内の 12 ビット温度センサ データ配列を示します。12 ビット値の MSB によって符号が決まります。0b は正の温度、1b は負の温度を示します。正の温度については、12 ビットの 2 進値を 10 進に変換し、結果に温度センサの LSB サイズ 0.125℃を乗算します。負の温度の場合、値は 2 の補数形式です。12 ビットすべてを反転して 1b を加算し、10 進に変換して、結果に負の温度センサの LSB サイズ –0.125℃を乗算します。

1.正の温度の例:デバイスは 258h を読み戻します。258h × 0.125℃ =600×0.125℃ =75℃

2.負の温度の例:デバイスは F38h を読み戻します。1b を減算し、結果を補完します。F38h → 0C8h、0C8h×(–0.125℃)=200×(–0.125℃)=–25℃

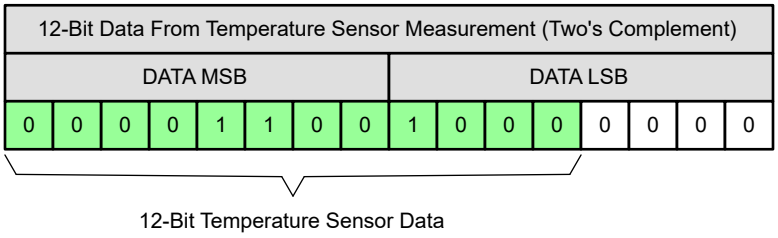


図 8-3. 16 ビット変換レジスタ内の 12 ビット温度センサ データ配列

ADVANCE INFORMATION

8.3.6.3 14 ビットの温度データ形式 (ADS101S02)

ADS111S02 の温度データは、16 ビットの変換結果内で左揃えにされた 14 ビットの結果として表されます。14 ビット LSB は 0.03125℃に相当します。表 8-4 に示されているように、負の数は、バイナリ 2 の補数形式で表現されます。

表 8-4. 14 ビットの温度データ形式 (ADS111S02)

温度 (℃)	デジタル出力 (バイナリ)	16 進
128	01 0000 0000 0000	1000h
50	00 0110 0100 0000	0640h
25	00 0011 0010 0000	0320h
0.25	00 0000 0000 1000	0008h
0.03125	00 0000 0000 0001	0001h
0	00 0000 0000 0000	0000h
-0.25	11 1111 1111 1000	3FFFh
-25	11 1100 1110 0000	3CE0h
-40	11 1011 0000 0000	3B00h

8.3.6.4 デジタル コードから温度、14 ビット温度センサ データへの変換

デジタル コードから温度に変換するには、まずデバイスからデータ バイトを読み取り、結果を右シフトして 14 ビット温度値を抽出します。図 8-4 に、16 ビットの変換結果内における 14 ビット温度センサ データ整列を示します。14 ビット値の MSB によって符号が決まります。0b は正の温度、1b は負の温度を示します。正の温度については、14 ビットの 2 進値を 10 進に変換し、結果に温度センサの LSB サイズ 0.03125℃を乗算します。負の温度の場合、値は 2 の補数形式です。14 ビットすべてを反転して 1b を加算し、10 進に変換して、結果に負の温度センサの LSB サイズ –0.03125℃を乗算します。

1.正の温度の例:デバイスは 0960h を読み戻します。0960h × 0.03125℃ =2400×0.03125℃ =75℃

2.負の温度の例:デバイスは 3CE0h を読み戻します。1b を減算し、結果を補完します。3CE0h → 0320h、0320h×(–0.03125℃)=800×(–0.03125℃)=–25℃

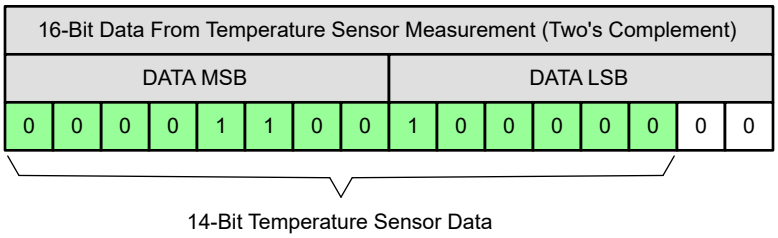


図 8-4. 16 ビットの変換結果内における 14 ビット温度センサ データ整列

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.4 デバイスの機能モード

8.4.1 パワーアップとリセット

ADS1x1S02 は、電源投入時に構成レジスタのすべてのビットをリセットし、それぞれのデフォルト設定に設定します。ADS1x1S02 は、リセット プロセスの完了後にパワーダウン状態になります。デバイスのインターフェイスとデジタル ブロックはアクティブですが、データ変換は実行されません。ADS1x1S02 の初期パワーダウン状態により、電源要件の厳しいシステムでの、パワーアップ時のサージの発生が軽減されます。

8.4.2 動作モード

ADS1x1S02 は、シングル ショット変換と連続変換の 2 つのモードのいずれかで動作します。MODE ビットは、それぞれの動作モードを選択します。図 8-5 に、シングル ショット変換モードと連続変換モードの両方でのデバイスの動作を示します。

ADVANCE INFORMATION

ADVANCE INFORMATION

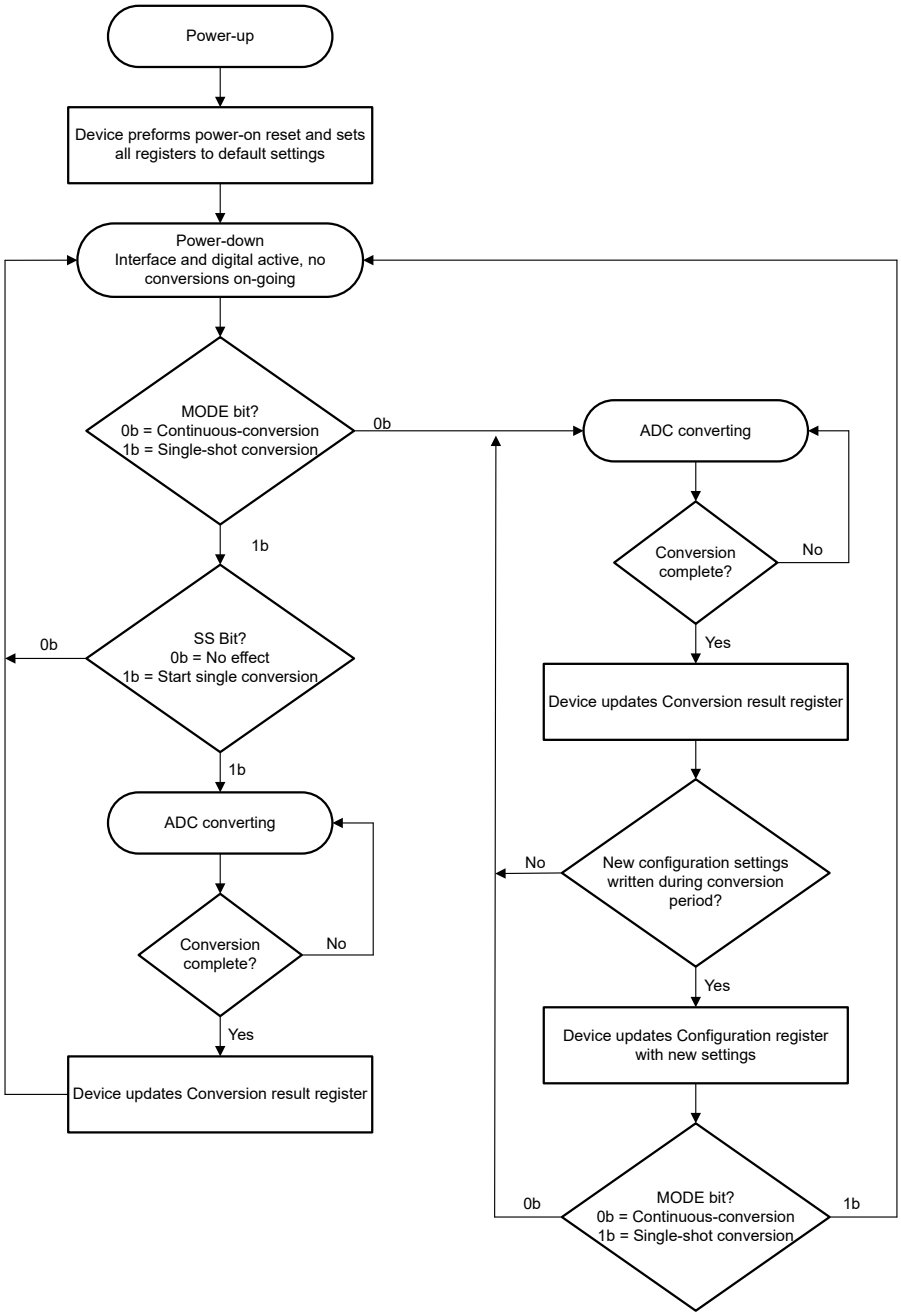


図 8-5. 動作時モードの状態図

Copyright © 2026 Texas Instruments Incorporated

8.4.2.1 シングルショット 変換 モード

MODE ビットが 1b に設定されると、ADS1x1S02 はパワーダウン状態に移行し、シングル ショット変換モードで動作します。このパワーダウン状態は、電源を最初に投入したときの ADS1x1S02 のデフォルト状態です。ADS1x1S02 は、シングル ショット (SS) ビットに 1b が書き込まれるまで、このパワーダウン状態に留まります。SS ビットがアサートされると、デバイスは約 25µs 以内にパワーアップし、SS ビットが 0b にリセットされ、単一の変換を開始します。変換データを取得する準備が完了すると、デバイスは再度パワーダウンします。デバイスは、パワーダウン モードでもコマンドに応答します。変換の実行中に SS ビットに 1b を書き込んでも効果はありません。連続変換モードに切り換えるには、MODE ビットに 0b を書き込みます。

8.4.2.2 連続変換モード

MODE ビットが 0b に設定されているときは、ADS1x1S02 は連続変換モードで動作し、連続的に変換を実行します。変換が完了すると、ADS1x1S02 はその結果を変換レジスタに格納し、直ちに次の変換を開始します。新しい構成設定を書き込んだ場合、現在実行中の変換は以前の構成設定のまま完了します。その後、新しい構成設定による連続変換が開始されます。

シングルショット変換モードに切り換えるには、MODE ビットに 1b を書き込みます。進行中の変換は即座に停止し、デバイスはパワーダウン状態に遷移します。シングルショット変換を開始するには、SS ビットに 1b を書き込みます。ADS1x1S02 をリセットすると、デバイスはシングルショット変換モードに遷移します。

8.5 プログラミング

8.5.1 シリアル インターフェイス (SPI)

シリアル インターフェイスは、変換データの読み取り、デバイス レジスタの構成、ADC 変換の制御に使用されます。

シリアル インターフェイスは、$\overline{CS}$、SCLK、DIN、DOUT/$\overline{DRDY}$ の 4 つのラインで構成されます。インターフェイスを 3 線式 SPI モードで動作させるには、$\overline{CS}$ を low に接続します。ホストは常に SCLK を駆動し、デバイスはペリフェラルとして動作します。このインターフェイスは、SPI 構成 (CPOL = 0、CPHA = 1) のみをサポートしており、この構成では SCLK は Low でアイドルし、データは SCLK の立ち上がりエッジで更新され、SCLK の立ち下がりエッジでラッチされます。このインターフェイスは全二重動作をサポートしているため、入力データと出力データを同時に送信できます。

8.5.2 チップ セレクト ($\overline{CS}$)

$\overline{CS}$ はアクティブ Low 入力で、インターフェイスの通信をイネーブルします。通信フレームは $\overline{CS}$ を low にすると開始され、$\overline{CS}$ を high にすると終了します。$\overline{CS}$ が High のとき、シリアル インターフェイスはリセットされ、SCLK が無視されて、DOUT/$\overline{DRDY}$ はハイ インピーダンス状態に移行します。この状態では、DOUT/$\overline{DRDY}$ はデータ準備完了を通知することができません。インターフェイスを 3 線式 SPI モードで動作させるには、$\overline{CS}$ を low に接続します。

8.5.3 シリアル クロック (SCLK)

SCLK は、ADC との間でデータのシフトイン / シフトアウトを行うために使用されるシリアル クロック入力です。DOUT 上のデータは SCLK の立ち上がりエッジで更新され、DIN 上のデータは SCLK の立ち下がりエッジでラッチされます。SCLK はシュミット トリガ入力で、ノイズ耐性を高めるよう設計されています。SCLK はノイズ耐性がありますが、意図しない遷移を避けるため、可能な限りノイズがないようにしてください。3 線式 SPI モードでシリアル インターフェイスをリセットするには、SCLK を $t_{W(SCIR)}$ の間 Low に維持します。このタイムアウト機能を使用して、シリアル インターフェイスの送信が中断されたときに通信を回復します。次の SCLK パルスが、新しい通信サイクルを開始します。シリアル インターフェイスがアイドルのとき、SCLK を Low に保持します。

8.5.4 データ入力 (DIN)

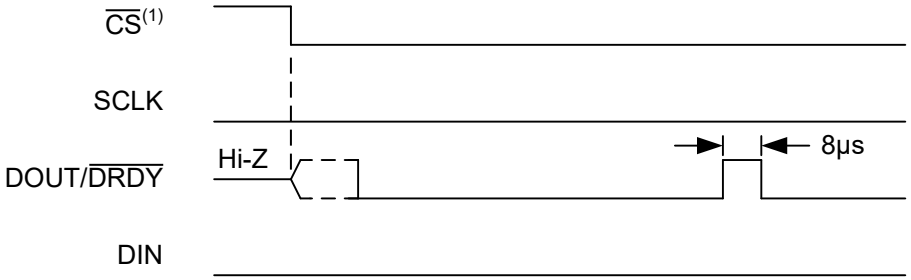
DIN は、シリアル インターフェイスのデータ入力です。デバイスにデータを入力するために使用されます。入力データは、SCLK の立ち下がりエッジでラッチされます。ADS1x1S02 は DIN ピンを駆動しません。

ADVANCE INFORMATION

8.5.5 データ出力およびデータ準備完了 (DOUT/$\overline{\text{DRDY}}$)

DOUT/$\overline{\text{DRDY}}$ は、デュアル機能の出力ピンです。SPI 通信中、変換とレジスタ データは、SCLK の立ち上がりエッジでシフト アウトされます。このピンはデータ準備完了インジケータとしても機能し、変換が完了して新しいデータが利用可能になると Low に遷移します。SPI バス上の複数のデバイスで変換完了を監視する必要があるマルチデバイスシステムでは、$\overline{\text{CS}}$ を定期的に下げて、デバイスの DOUT/$\overline{\text{DRDY}}$ ステータスをポーリングします。この方法を使用すると、システムでは、各デバイスに専用の割り込みラインがなくても、変換が完了したデバイスを識別できます。

連続変換モードで動作している場合、$\overline{\text{CS}}$ を定期的に Low にして、DOUT/$\overline{\text{DRDY}}$ をデータ準備完了レディ信号として使用できます。データ転送が発生しない場合、次の変換が完了する 8µs 前に、DOUT/$\overline{\text{DRDY}}$ は High に遷移します。DOUT/$\overline{\text{DRDY}}$ により、データの読み取りを開始するようマイコンをトリガすることができます。この遷移は 図 8-6 に記載されています。DOUT/$\overline{\text{DRDY}}$ が High に戻る前にデータ転送を完了し、その後の変換結果が失われないようにします。



(1) 連続変換モードでは、$\overline{\text{CS}}$ を Low に維持できます。$\overline{\text{CS}}$ が Low の場合、DOUT/$\overline{\text{DRDY}}$ が Low にアサートされ、新しいデータが利用可能であることを示します。

図 8-6. $\overline{\text{CS}}$ を Low に維持した状態の、連続変換モードでのデータ取得なしの DOUT/$\overline{\text{DRDY}}$ 動作

$\overline{\text{CS}}$ が High のとき、DOUT/$\overline{\text{DRDY}}$ は、デフォルトでは弱い内部プルアップ抵抗で構成されます。この機能により、DOUT/$\overline{\text{DRDY}}$ が中間電源付近でフローティングになり、コントローラでリーク電流が発生するリスクを低減できます。このプルアップ抵抗を無効にし、ピンを真のハイインピーダンス出力として構成するには、PULL_UP_EN = 0b に設定します。

8.5.6 データ取得とデバイス構成

シングル ショット モードと連続変換モードの両方で、コマンドを送信することなく、同じ方法を使って ADS1x1S02 のデータを読み書きできます。

変換データは常にバッファされ、新しい変換データに置き換えられるまで、現在のデータが保持されます。データは、破損の懸念なく、いつでも読み取ることができます。DOUT/$\overline{\text{DRDY}}$ が Low にアサートされ、新しい変換データの準備が完了したことが示されると、DOUT/$\overline{\text{DRDY}}$ でデータがシフト アウトされ、変換データが読み取られます。DOUT/$\overline{\text{DRDY}}$ のデータの MSB は、SCLK の最初の立ち上がりエッジでクロック アウトされます。変換結果が DOUT/$\overline{\text{DRDY}}$ でクロック アウトされると同時に、SCLK 立ち下がりエッジで、新しい構成レジスタのデータが DIN にラッチされます。

WRITE_EN[1:0] ビットは、構成レジスタへの書き込みアクセスを制御します。構成レジスタは、WRITE_EN[1:0] が 01b に設定されているときのみ更新されます。他のすべてのビットの組み合わせ (00b、10b、11b) は無動作コマンドとなり、構成レジスタの更新が行われません。無動作コマンドが送信された場合、SCLK パルス中に DIN データが無視され、構成レジスタは変更されません。

ADS1x1S02 は、変換データの転送サイクルで構成レジスタ設定を直接読み戻すことができます。構成レジスタのデータの読み戻し転送サイクルは 32 ビットで構成され、$\overline{\text{CS}}$ がグランドに接続されている場合の 3 線式 SPI モードでは必須です。4 線式 SPI モードでは、$\overline{\text{CS}}$ が制御され、常に Low に固定されていない場合、データ転送サイクルは、16 番目の SCLK サイクル後に $\overline{\text{CS}}$ ラインを High にすることで 16 ビットで構成されるか、または構成レジスタのデータの読み戻しを使用する場合は 32 ビットで構成されます。

Copyright © 2026 Texas Instruments Incorporated

8.5.6.1 32 ビット データ転送サイクル

32 ビット データ転送サイクルのデータは、4 バイトで構成されています。変換結果データ用の 2 バイトと、構成レジスタの読み戻しデータ用の追加の 2 バイトです。

構成レジスタを更新するには、図 8-7 に示すように、1 回の転送サイクル中に同じレジスタ設定を 2 回書き込みます。または、送信サイクルの前半で構成レジスタ設定を 1 回書き込んでから、図 8-8 に示すように DIN ピンを Low に維持するか、サイクルの後半で High に維持します。構成レジスタを更新する必要がない場合は、転送サイクル全体の間、DIN ピンを Low または High に維持します。32 ビット送信サイクルの最初の 2 バイトに書き込まれた構成レジスタ設定は、同じサイクルの最後の 2 バイトに読み戻されます。

SCLK 周波数が 1MHz 未満であれば、32 ビット データ転送全体で連続的な SCLK を使用できます。1MHz を超える SCLK 周波数を使用する場合は、構成レジスタの読み戻しの前に構成レジスタの書き込みを完全にデコードできるように、最初の 16 ビットと 2 番目の 16 ビットの送信の間に遅延を追加します。データの最初のビットの SCLK 立ち上がりエッジから、データの 17 番目のビットの SCLK 立ち上がりエッジまでの時間が 16µs を超えるように遅延を選択します。

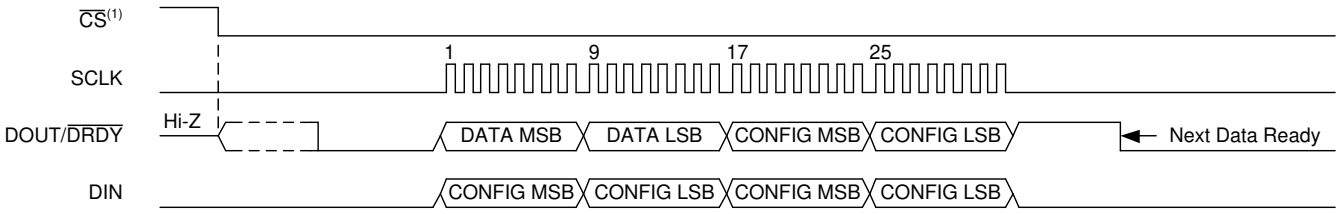


図 8-7. 構成レジスタの読み戻しによる 32 ビット データ転送サイクル

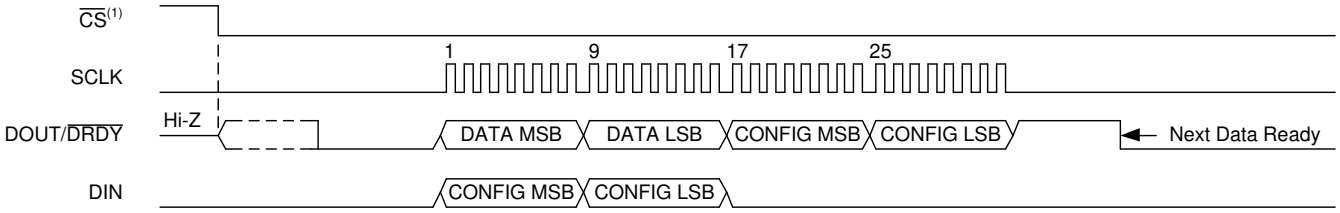


図 8-8. 32 ビット データ転送サイクル：DIN を Low に維持

8.5.6.2 16 ビット データ転送サイクル

図 8-9 に示すように、構成レジスタのデータを読み戻す必要がない場合、変換データを短い 16 ビットのデータ転送サイクルでクロック アウトすることもできます。16 番目の SCLK サイクルの後で $\overline{CS}$ ラインを High にして、SPI インターフェイスをリセットします。次に $\overline{CS}$ を Low にすると、データ送信は、最初の SCLK の立ち上がりエッジで、現在バッファされている変換結果から開始されます。データ取得の開始時に DOUT/$\overline{DRDY}$ が Low の場合、変換バッファはすでに新しい結果で更新されています。それ以外の場合、DOUT/$\overline{DRDY}$ が High の場合、前のデータ転送サイクルでの同じ結果が読み取られます。16 ビットのデータ転送サイクルは、$\overline{CS}$ ラインが制御可能であり、永続的にグランドにプルされていない場合に使用できます。

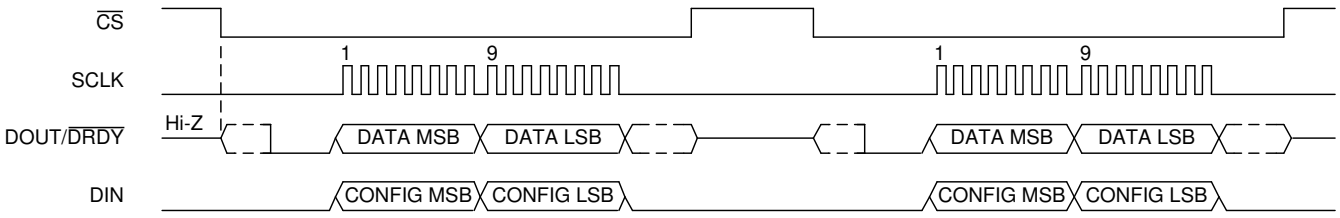


図 8-9. 16 ビット データ転送サイクル

ADVANCE INFORMATION

8.6 変換データの形式

変換データは、MUX[2:0] の構成に応じてコード化されます。AIN_N = GND を使用する構成はユニポーラのストレート バイナリ データ フォーマットを使用し、他の構成はすべてバイナリ 2 の補数データ フォーマット、MSB ファースト (符号ビット)、を使用します。表 8-5 に、MUX[2:0] 設定に基づく変換データのフォーマットを示します。

表 8-5. 変換データの形式

MUX[2:0]	AIN_P	AIN_N	変換データ フォーマット
000b	AIN0	AIN1	バイナリ 2 の補数
001b	AIN0	AIN3	バイナリ 2 の補数
010b	AIN1	AIN3	バイナリ 2 の補数
011b	AIN2	AIN3	バイナリ 2 の補数
100b	AIN0	GND	ユニポーラ ストレート バイナリ
101b	AIN1	GND	ユニポーラ ストレート バイナリ
110b	AIN2	GND	ユニポーラ ストレート バイナリ
111b	AIN3	GND	ユニポーラ ストレート バイナリ

表 8-6 と 表 8-7 に、それぞれ 12 ビットおよび 16 ビット デバイスの出力コーディングを示します。バイナリ 2 の補数形式では、入力信号がそれぞれの正および負のフルスケール値を超えると、変換データは正および負のフルスケールのコード値にクリッピングされます。ユニポーラ ストレート バイナリ形式では、入力信号がフルスケール値を超えた場合、または値がゼロ未満の場合に、変換データがそれぞれフルスケール値またはゼロ コード値にクリップされます。

表 8-6. 理想的な出力コードと入力信号との関係 (12 ビットの変換データ)

差動入力電圧 (V)	理想的な出力コード(1)	
	バイナリ 2 の補数形式	ユニポーラ ストレート バイナリ形式
≥ FSR × (2^{12} – 1) / 2^{12}	7FFh	FFFh
≥ FSR × (2^{11} – 1) / 2^{11}		FFEh
FSR / 2^{11}	001h	002h
0	000h	000h
–FSR / 2^{11}	FFFh	
–FSR × (2^{11} – 1) / 2^{11}	801h	
≤ –FSR	800h	

(1) オフセット、ゲイン、直線性、ノイズ誤差を除く理想的な出力データ。

表 8-7. 理想的な出力コードと入力信号との関係 (16 ビットの変換データ)

差動入力電圧 (V)	理想的な出力コード(1)	
	バイナリ 2 の補数形式	ユニポーラ ストレート バイナリ形式
≥ FSR × (2^{16} – 1) / 2^{16}	7FFFh	FFFFh
≥ FSR × (2^{15} – 1) / 2^{15}		FFFEh
FSR / 2^{15}	0001h	0002h
0	0000h	0000h
–FSR / 2^{15}	FFFFh	
–FSR × (2^{15} – 1) / 2^{15}	8001h	
≤ –FSR	8000h	

(1) オフセット、ゲイン、直線性、ノイズ誤差を除く理想的な出力データ。

Copyright © 2026 Texas Instruments Incorporated

9 レジスタ マップ

ADS1x1S02 には、SPI 経由でアクセスできる 2 つのレジスタがあります。変換レジスタには、最後の変換結果が格納されています。構成レジスタを使用して ADS1x1S02 の動作モードを変更し、デバイスのステータスを確認します。

表 9-1 に、レジスタのアクセス コードを示します。

表 9-1. レジスタのアクセス コード

アクセス タイプ	コード	説明
R	R	読み出し
W	W	書き込み
R/W	R/W	読み出しまたは書き込み
-n		リセット後の値またはデフォルト値

変換レジスタ [リセット値 = 0000h]

16 ビットの変換レジスタには、差動測定構成のバイナリ 2 の補数形式、またはシングルエンド測定構成のユニポーラ ストレート バイナリ形式の最後の変換結果が格納されます。電源投入後、変換レジスタは 0000h にクリアされ、最初の変換が完了するまで 0000h のままになります。レジスタ形式を 図 9-1 に示します。

表 9-2. 12 ビット デバイスの変換レジスタ

15	14	13	12	11	10	9	8
D[11:4]							
R-00h							
7	6	5	4	3	2	1	0
D[3:0]				予約済み#none#			
R-0h				R-0h			

1. ADS101S02 D[3:0] は常に 0h を読み戻します

表 9-3. 12 ビット デバイスの変換レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:4	D[11:0]	R	000h	12 ビットの変換結果
3:0	予約済み	R	0h	読み取り値は常に 0h です

図 9-1. 16 ビット デバイスの変換レジスタ

15	14	13	12	11	10	9	8
D[15:8]							
R-00h							
7	6	5	4	3	2	1	0
D[7:0]							
R-00h							

表 9-4. 16 ビット デバイスの変換レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	D[15:0]	R	0000h	16 ビットの変換結果

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

構成レジスタ [リセット値 = 052Bh]

16 ビットの構成レジスタでは、動作モード、入力選択、データ レート、ゲイン、内部温度センサ、書き込みイネーブルを制御できます。レジスタ形式を 図 9-2 に示します。

図 9-2. 構成レジスタ

15	14	13	12	11	10	9	8
SS	MUX[2:0]			PGA[2:0]			モード
R/W-0b	R/W-000b			R/W-010b			R/W-1b
7	6	5	4	3	2	1	0
DR[1:0]		分解能	TS_EN	PULL_UP_EN	WRITE_EN[1:0]		予約済み
R/W-00b		R-xb	R/W-0b	R/W-1b	R/W-01b		R-1b

表 9-5. 構成レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	SS	R/W	0b	**シングルショット変換の開始** このビットは、デバイスがシングルショット変換モード (MODE = 1b) に構成されているときに、シングル変換を開始するために使用されます。SS はパワーダウン状態でのみ書き込み可能であり、変換実行中に書き込んでも何も影響を及ぼしません。 常に 0b を読み戻します。 書き込み時: 0b = 影響なし 1b = シングル変換を開始 (パワーダウン状態のとき)
14:12	MUX[2:0]	R/W	000b	**入力マルチプレクサ構成** これらのビットは、入力マルチプレクサを構成します。AIN_N = GND を使用する構成はユニポーラのストレート バイナリ データ フォーマットを使用し、他の構成はすべてバイナリ 2 の補数データ フォーマット、MSB ファースト (符号ビット)、を使用します。 000b: AIN_P = AIN0、AIN_N = AIN1 001b: AIN_P = AIN0、AIN_N = AIN3 010b: AIN_P = AIN1、AIN_N = AIN3 011b: AIN_P = AIN2、AIN_N = AIN3 100b: AIN_P = AIN0、AIN_N = GND 101b: AIN_P = AIN1、AIN_N = GND 110b: AIN_P = AIN2、AIN_N = GND 111b: AIN_P = AIN3、AIN_N = GND
11:9	PGA[2:0]	R/W	010b	**プログラマブル ゲイン アンプ構成** これらのビットでは、プログラマブル ゲイン アンプのゲインを設定します。 000b: ゲイン = 1/6(1) 001b: ゲイン = 1/4(1) 010b: ゲイン = 1/2 011b: ゲイン =1 100b: ゲイン =2 101b: ゲイン = 4 110b: ゲイン =8 111b: ゲイン = 16
8	モード	R/W	1b	**デバイスの動作モード** このビットは動作モードを制御します。 0b: 連続変換モード 1b: シングルショット変換モードまたはパワーダウン状態
7:6	DR[1:0]	R/W	00b	**データ レート** これらのビットは、データ レートの設定を制御します。 **ADS101S02** 00b: 100SPS 01b: 500SPS 10b: 2kSPS 11b: 6kSPS **ADS111S02** 00b: 10SPS 01b: 100SPS 10b: 1kSPS 11b: 4kSPS

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 9-5. 構成レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	分解能	R	xb	**分解能識別子** このビットはデバイスの分解能を示します。 0b：12 ビット 1b：16 ビット
4	TS_EN	R/W	0b	**温度センサの有効化** このビットでは、内部温度センサの測定を有効にします。 0b：無効、ADC は MUX[2:0] によって構成された外部入力を測定します 1b：有効、ADC は内部温度センサを測定します
3	PULL_UP_EN	R/W	1b	**プルアップ有効化** このビットでは、$\overline{CS}$ が High のとき、DOUT/$\overline{DRDY}$ ピンの弱い内部プルアップ抵抗を有効にします。有効にすると、内部 400kΩ 抵抗によりバス ラインが電源に接続されます。無効のとき、DOUT/$\overline{DRDY}$ ピンはフローティングになります。 0b：DOUT/$\overline{DRDY}$ ピンでプルアップ抵抗が無効です 1b：DOUT/$\overline{DRDY}$ ピンでプルアップ抵抗が有効です
2:1	WRITE_EN[1:0]	R/W	01b	**書き込み有効** WRITE_EN[1:0] ビットでは、構成レジスタにデータを書き込むかどうかを制御します。構成レジスタにデータを書き込むには、WRITE_EN [1:0] ビットを 01b にする必要があります。それ以外の値を指定した場合は、構成レジスタは更新されません。SCLK パルスの間、構成レジスタにデータを書き込まずに、DIN を High または Low に維持できます。 00b：無効なデータ。構成レジスタの内容を更新しません 01b：有効なデータ。構成レジスタを更新します 10b：無効なデータ。構成レジスタの内容を更新しません 11b：無効なデータ。構成レジスタの内容を更新しません
0	予約済み	R	1b	**予約済み** このビットに 0b または 1b を書き込んでも効果はありません。 読み取り時は常に 1b に戻ります。

(1) このパラメータは、ADC スケーリングのフルスケール レンジを表します。このデバイスに印加するのは、VDD + 0.3V までとする必要があります。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

10 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 使用上の注意

ADS1x1S02 は高精度 12 ビットおよび 16 ビット ΔΣ ADC で、さまざまな種類の温度センサやブリッジ センサを含め、最も一般的な種類のセンサを簡単に測定できるように多くの機能を内蔵しています。以下のセクションでは、回路の例と、さまざまな状況で ADS1x1S02 を使用するための推奨事項を示します。

10.1.1 シリアル インターフェイスの接続

図 10-1 に、ADS1x1S02 の基本的なシリアル インターフェイス接続を示します。

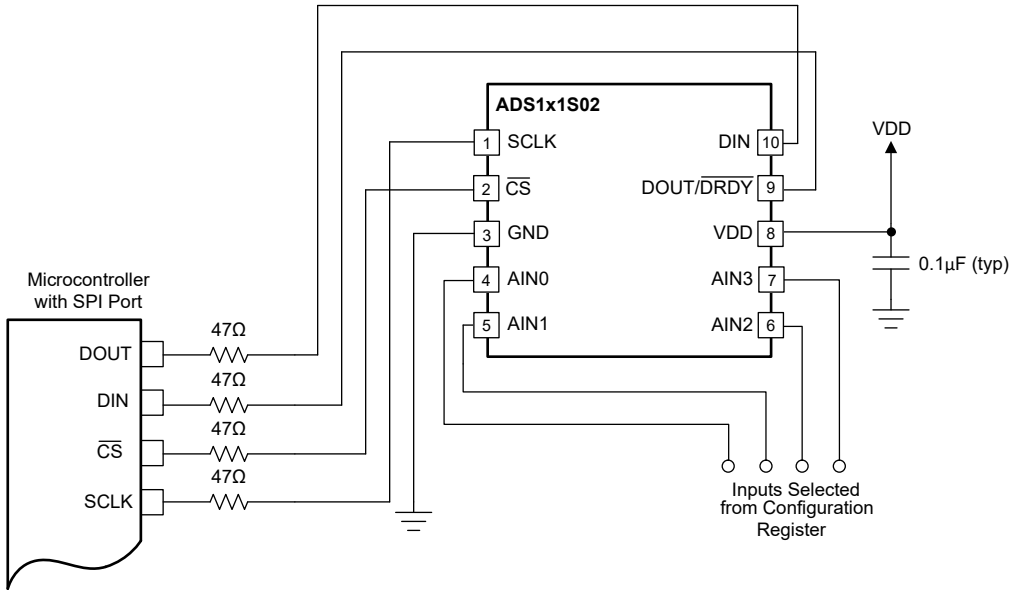


図 10-1. シリアル インターフェイスの接続

ほとんどのマイコン SPI ペリフェラルは、デバイスと連携して動作します。このインターフェイスは、SPI 構成 (CPOL = 0、CPHA = 1) のみに対応します。この構成では、SCLK はアイドル時に Low となり、データは SCLK の立ち上がりエッジでのみ送信または変更され、SCLK の立ち下がりエッジでラッチまたは読み取られます。

$\overline{CS}$ ピンを永続的に GND に接続することで、デバイスを 3 線式 SPI モードで動作させることができます。

ADS1x1S02 が使用している SPI 通信プロトコルの詳細については、「タイミング要件」セクションを参照してください。

オプションとして、すべてのデジタル入出力ピンと直列に抵抗を配置します。標準的な直列抵抗値の範囲は 10Ω ～ 50Ω です。この抵抗は、鋭い信号遷移を平滑化し、オーバーシュートを抑制し、過電圧保護を提供します。これらの追加の直列抵抗は、デジタル信号ライン上に存在するバス容量と相互作用するため、すべての SPI タイミング要件を満たすように注意してください。

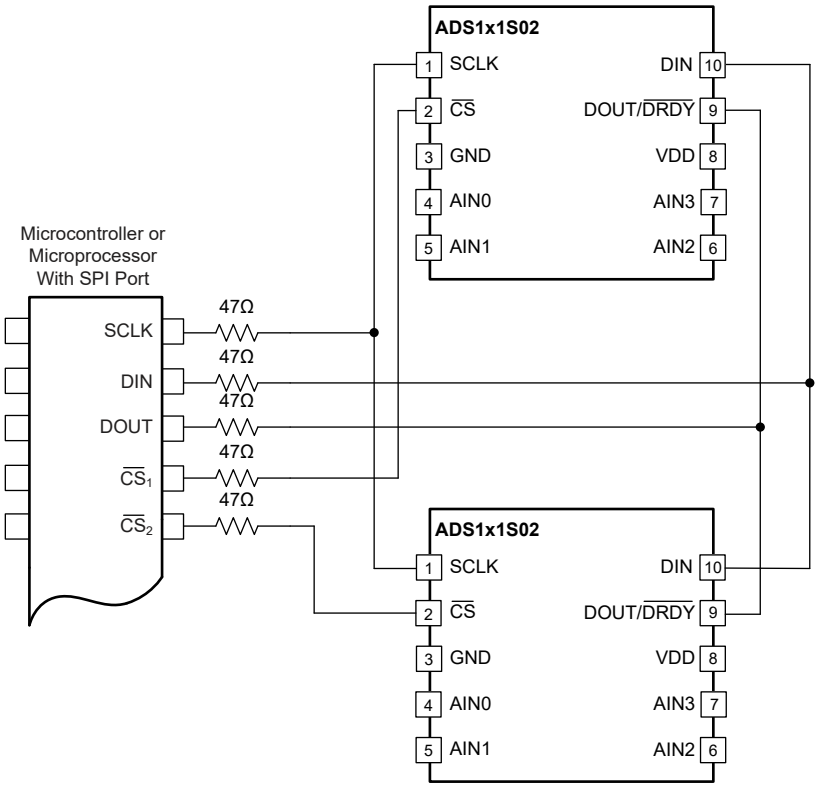
ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

10.1.2 複数のデバイスの接続

複数の ADS1x1S02 デバイスを単一の SPI バスに接続する場合、各 SPI イネーブル デバイスに専用 $\overline{CS}$ ラインを使用して、SCLK、DIN、DOUT/$\overline{DRDY}$ を共有できます。デフォルトでは、$\overline{CS}$ が High になると、DOUT/$\overline{DRDY}$ は内部の弱いプルアップ抵抗によって VDD にプルアップされます。この機能により、DOUT/$\overline{DRDY}$ がミッドレール付近でフローティングになり、マイコンの入力で過剰な電流リーケージが発生する状況が防止されます。PULL_UP_EN ビットが 0b に設定されている場合、$\overline{CS}$ が High に遷移すると DOUT/$\overline{DRDY}$ ピンはハイ インピーダンス モードに遷移します。DOUT/$\overline{DRDY}$ は、$\overline{CS}$ が High の状態ではデータ準備完了パルスを発行できません。

複数のデバイスの使用時に新しい変換の準備ができたかどうかを評価するために、コントローラは $\overline{CS}$ ラインを定期的に ADS1x1S02 にドロップすることができます。DOUT/$\overline{DRDY}$ ラインが Low に駆動されると、新しいデータは現在、いつでもクロック アウトできます。DOUT/$\overline{DRDY}$ ラインが High に駆動されると、新しいデータは利用できず、ADS1x1S02 により最後の読み取り変換結果が返されます。有効なデータは、破損の懸念なく、いつでも ADS1x1S02 から取得可能です。データ転送中に新しい変換が利用可能になった場合、新しい SPI 転送が開始されるまで、その変換は読み戻しできません。



注: 見やすくするため、電源および入力の接続は省略しています。

図 10-2. 複数の ADS1x1S02 の接続

ADVANCE INFORMATION

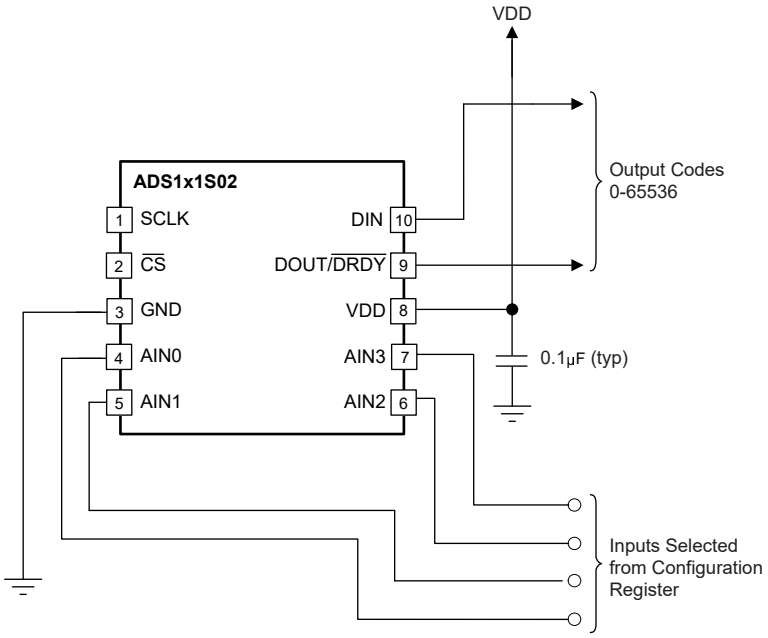
ADVANCE INFORMATION

10.1.3 シングルエンド入力

ADS1x1S02 は、最大 4 つのシングルエンド入力信号を測定できます。ADS1x1S02 は、MUX[2:0] ビットの適切な構成によってシングルエンド信号を測定します。

図 10-3 に、ADS1x1S02 のシングルエンド接続方法を示します。シングルエンド信号の範囲は、0V から正電源または +FS のどちらか低いほうまでです。ADS1x1S02 はグランドを基準として正電圧しか受け入れることができないため、これらのデバイスに負電圧を印加することはできません。ADS1x1S02 は、入力範囲内での直線性を失うことはありません。

シングルエンド構成では、出力データはユニポーラ ストレート バイナリ形式です。データ コーディングの詳細については、「変換データの形式」セクションを参照してください。差動構成は、シングルエンド構成よりも同相ノイズ除去性能が優れています。



見やすくするため、デジタル ピンの接続は省略しています。

図 10-3. シングルエンド入力の測定

ADS1x1S02 は、MUX[2:0] ビットを適切に設定することで、AIN3 を共通の測定ポイントとして機能させることもできます。AIN0、AIN1、AIN2 はすべて、AIN3 を基準として測定できます。この構成では、ADS1x1S02 は入力で動作し、AIN3 は共通ポイントとして機能します。この能力により、GND < V_{AIN3} < VDD のときは負の差動電圧が許容されるため、シングルエンド構成で使用可能な範囲が拡大します。ただし、同相ノイズの減衰は実現されていません。

10.1.4 未使用入出力

未使用のデバイス ピンの接続については、以下のガイドラインに従ってください。

- 未使用のアナログ入力は、フローティングのままにするか、GND に接続します。

10.1.5 入力保護

ADS1x1S02 は、微細化された低電圧プロセスで製造されています。アナログ入力には電源レールに接続された保護ダイオードが搭載されています。ただしこれらのダイオードの電流処理能力には限界があり、レール電圧を約 300mV 上回るアナログ入力電圧が長時間印加されると、ADS1x1S02 に永続的な損傷が生じる可能性があります。過電圧イベントから保護するために、アナログ入力と直列に電流制限抵抗を配置します。

Copyright © 2026 Texas Instruments Incorporated

10.1.6 アナログ入力フィルタリング

アナログ入力フィルタリングには 2 つの目的があります。サンプリング プロセス中にエイリアシングの影響を制限することと、外部ノイズが測定の一部にならないようにすることです。

このエイリアシングは、ADC のサンプリング周波数 (ナイキスト周波数とも呼ばれる) の半分を超える周波数成分が入力信号に存在する場合に発生します。これらの周波数成分はフォールドバックされ、サンプリング周波数の半分以下で、対象となる実際の周波数帯域に現れます。図 10-4 に示すように、デジタル フィルタのフィルタ応答は、変調周波数 (f_{MOD}) と呼ばれる、サンプリング周波数の倍数で繰り返されます。フィルタ アーキテクチャに応じて、フィルタ応答が繰り返される周波数までの信号やノイズは、デジタル フィルタによって一定量だけ減衰されます。入力信号中に変調周波数またはその整数倍の周波数付近に存在する周波数成分は、外部のアナログ フィルタによって減衰されない限り、減衰されることなく、目的の帯域内にエイリアスで戻ります。

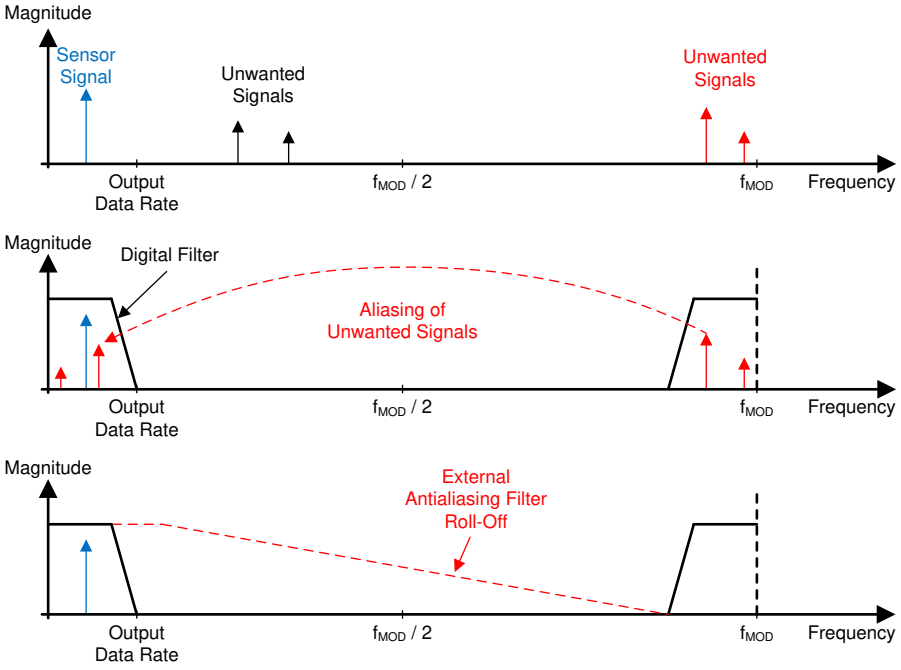


図 10-4. エイリアシングの効果

多くのセンサ信号は本質的に帯域制限されています (たとえば、熱電対の出力は変化率が制限されています)。この場合、ΔΣ ADC を使用する際に、センサ信号はパスバンドにエイリアスで戻りません。ただし、センサの配線やアプリケーション回路に沿ってノイズを拾う場合は、パスバンドにエイリアスする可能性があります。電力線サイクルの周波数と高調波は、1 つの共通ノイズ源です。外部ノイズは、付近のモーターや携帯電話などの電磁干渉 (EMI) または無線周波数干渉 (RFI) 源から発生することもあります。通常、別のノイズ源はプリント基板 (PCB) 上に、クロックや他のデジタル信号の形態で存在します。アナログ入力フィルタは、望ましくない信号を除去して測定結果に影響を及ぼすのに役立ちます。

1 次 RC フィルタは、ほとんどの場合、エイリアシングを完全に除去するか、センサのノイズフロア内のレベルまでエイリアシングの影響を低減するうえで十分です。一般的に、f_{MOD} / 2 を超える信号は、ADC のノイズフロアより低いレベルまで減衰するようにします。ADS1x1S02 のデジタル フィルタは信号を特定の程度まで減衰させます。さらに、ノイズ成分は一般的に、実際のセンサ信号よりも大きさが小さくなります。したがって、一般的に、出力データ レートの 10 倍以上にカットオフ周波数を設定した 1 次 RC フィルタを使用することは、システム設計の出発点となります。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

10.1.7 低消費電力のデューティ サイクル

一般的に ΔΣ ADC のノイズ性能は、出力データ レートを低下させることで向上します。これは、1 つの変換結果を得るために、内部変調器のより多くのサンプルを平均化できるためです。消費電力が重要なアプリケーションでは、低データ レートで改善されるノイズ性能が必ずしも必要とは限りません。これらのアプリケーションでは、ADS1x1S02 はデューティ サイクルに対応しており、実効データ レートを低く抑えながら、高データ レートでの読み取りを間欠的に要求することで消費電力を大幅に削減します。

パワーダウン モードで動作する ADS111S02 は、4kSPS のデータ レート設定で、マイコン制御下で 100ms ごとにシングル ショット変換を実行することで、10SPS の実効データ レートを得ます。4kSPS での変換には約 0.25ms しか必要としないため、デバイスは残りの 99.75ms の間、パワーダウン状態に留まります。この構成では、デバイスの消費電力は、連続変換モードで消費される電力の約 1/400 になります。

デューティ サイクル レートは完全に恣意的なものであり、コントローラによって決定されます。ADS1x1S02 では、必要に応じて、デューティ サイクルを使用しない低データ レートと向上したノイズ性能も得られます。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

10.1.8 疑似コードの例

図 10-5 のフローチャートは、ADS1x1S02 からの後続の読み取り値を取得するための、デバイスとマイコンとの間の通信を設定するために必要な手順を含む疑似コード シーケンスを示しています。たとえば、デバイスがゲイン = 2、連続変換モード、100SPS のデータ レートに設定されるように、デフォルトの構成レジスタ設定を変更しています。

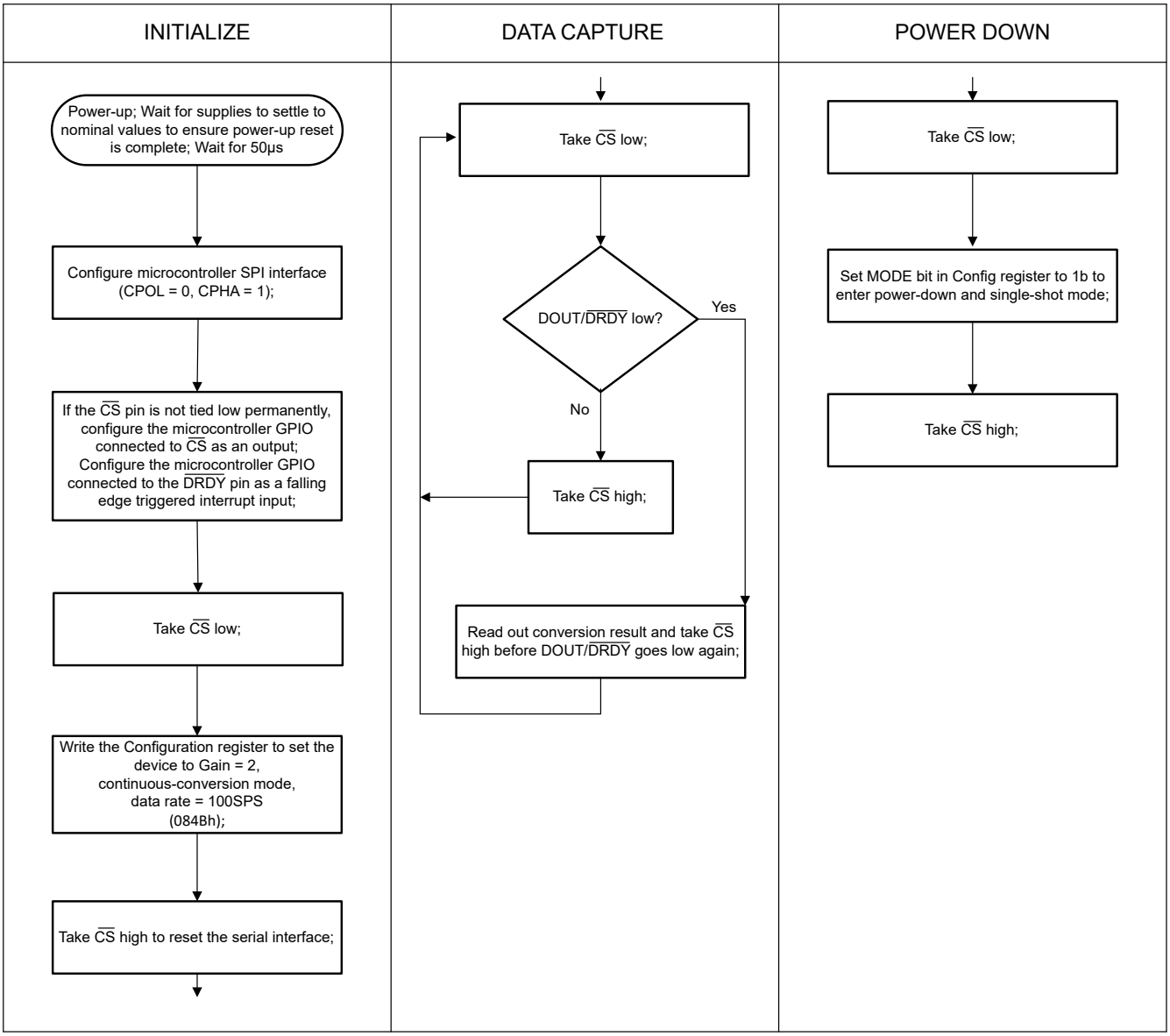


図 10-5. 疑似サンプル コードのフロー チャート

ADVANCE INFORMATION

ADVANCE INFORMATION

10.2 代表的なアプリケーション

10.2.1 サーミスタの冷接点補償機能付き K 型熱電対

図 10-6 のアプリケーション例は、ADS1x1S02 を使用し、冷接点補償用のリニア PTC サーミスタを使用して K 型熱電対を監視する方法を示しています。

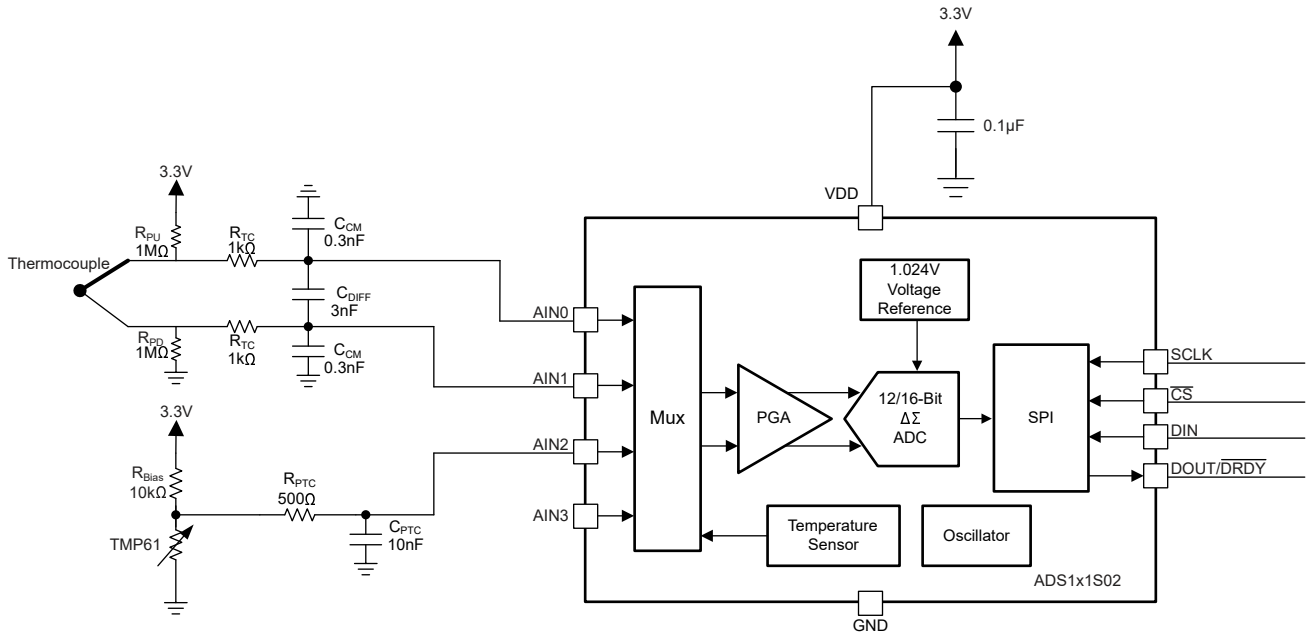


図 10-6. 冷接点補償用のサーミスタを使用した K 型熱電対測定

10.2.1.1 設計要件

このアプリケーションの設計要件を 表 10-1 に示します。

表 10-1. 設計要件

設計パラメータ	値
電源電圧	3.3V
熱電対の種類	K
熱電対の温度測定範囲	–200°C ～ +1,250°C
サーミスタの種類	PTC
サーミスタの温度測定範囲	–40°C ～ +125°C
T_A=25°C(1)での測定精度	±0.75

(1) 熱電対の誤差および冷接点温度の測定誤差は考慮していません。$T_{TC} = T_{CJ}$ = 25°C でのオフセット キャリブレーション。ゲイン キャリブレーションなし。

10.2.1.2 詳細な設計手順

この熱電対の測定例では、バイアス抵抗 R_{PU} および R_{PD} により熱電対の同相電圧が中電圧 (VDD / 2) 付近に設定され、入力電圧が PGA の絶対入力電圧範囲内に維持されます。これらのバイアス抵抗は、熱電対の断線を検出する場合にも役立ちます。熱電対リード線が断線状態になると、R_{PU} および R_{PD} によってアナログ入力 AIN0 と AIN1 がそれぞれ VDD と GND にプルアップ / プルダウンされます。その結果、ADC は通常の測定範囲外のフルスケール値を読み取り、フォールト状態を示します。自己発熱と測定誤差を最小限に抑えるため、R_{PU} と R_{PD} の推奨値は 1MΩ ～ 50MΩ の範囲です。

Copyright © 2026 Texas Instruments Incorporated

デバイスのデジタル フィルタによって高周波ノイズが減衰しますが、入力に 1 次パッシブ RC フィルタを使用することで、性能がさらに向上します。抵抗 R_{TC} とコンデンサ C_{DIFF} により生成される差動フィルタ (f_C) のカットオフ周波数は、式 6 によって計算されます。

$$f_C = 1 / [2\pi \times (R_{TC} + R_{TC}) \times C_{DIFF}] \quad (6)$$

さらに、同相モード コンデンサ (C_{CM}) は、高周波の同相ノイズを減衰させます。同相ノイズが差動ノイズに変換されるのを防ぐため、同相モード コンデンサの値は、差動コンデンサより少なくとも 10 分の 1 以下の値を選択します。

フィルタ抵抗 R_{TC} は、電流制限抵抗としても機能します。これらの抵抗は、入力に過電圧が発生した場合に、デバイスのアナログ入力、AIN0 および AIN1、に流れ込む電流を安全なレベルに制限します。フィルタ抵抗の値を選択するときは注意が必要です。デバイスに流入する入力電流によって、抵抗の両端で電圧降下が発生するためです。この電圧降下は、ADC 入力の追加のオフセット誤差として現れます。

予測される最大の熱電対電圧が ADC のフルスケール レンジよりもわずかに低い場合に、最高の分解能が得られます。たとえば、米国国立標準技術研究所 (NIST) が公表している表に定義されているように、T_{TC} = 1,250°C、冷接点温度 T_{CJ} = 0°C での K 型熱電対の最大熱電対電圧は、約 50.644mV です。冷接点が 0°C (規定された最低値は –40°C) を下回ると、出力電圧は上昇します。T_{CJ} = –40°C のとき、出力電圧は次のようになります。

$$V_{TC} = 50.644\text{mV} - (-1.527\text{mV}) = 52.171\text{mV} \quad (7)$$

1.024V のリファレンスを使用した場合に適用可能な最大ゲインは、(1.024V / 52.171mV) = 19.6 と計算されます。デバイスで利用できる次に小さい PGA ゲイン設定は 16 です。

このデバイスには、冷接点温度を測定するための高精度温度センサが内蔵されています。ビット TS_EN = 1b を設定して、内部温度センサを有効にします。最適な精度を得るには、冷接点とデバイス パッケージの間に効率の良い熱結合が得られるよう、慎重に基板レイアウトを行う必要があります。

このデバイスは、自動的には冷接点補償 (CJC) を実行しません。次の手順に従って、ホスト コントローラ内で CJC を実行します。

1. AIN0 と AIN1 の間の熱電対電圧 V_{TC} を測定します。
2. 内部温度センサを使用して、冷接点温度、T_{CJ} を測定します。
3. NIST 変換表を使用して、T_{CJ} を熱電対等価電圧 (V_{CJ}) に変換します。
4. 総補償電圧を計算します ($V_T = V_{TC} + V_{CJ}$)
5. NIST 表を使用して、補償電圧 (V_T) を温度に戻します。

内部温度センサの精度が不十分な場合や、適切な熱測定を行うためにデバイスを冷接点の近くに配置できない場合には、追加の ADC 入力チャネルで、サーミスタまたは専用温度センサを使用して、冷接点温度を外部で測定します。

図 10-6 に、冷接点補償のために AIN2 を使用してシングルエンド サーミスタを測定するデバイスを示します。テキサス インスツルメンツの TMP61 リニア サーミスタは、デバイスの直線性と安定した感度を重視して選ばれているため、温度から電圧への簡単かつ正確な変換が可能です。TMP61 と共に 10kΩ のバイアス抵抗を使用して、TMP61 の公称抵抗値 (25°C で 10kΩ) に合わせた分圧器を形成します。このアプリケーションでは、ADS1x1S02 の内部温度センサと比較してより精密な冷接点温度測定ができるように、このサーミスタを使用します。

ADVANCE INFORMATION

10.2.2 サーバー カード システム監視アプリケーション

図 10-7 に、ADS1x1S02 を使用したサーバー カード監視システムの例を示します。この例では、監視対象となる 4 つのシングルエンド測定を示します。

- 電源、
- 外部電流シャントアンプ (INA185) を使用した電流シャント、
- アナログ出力温度センサ (LMT70A) を使用した温度、
- 抵抗性リーク センサを使用した液漏れ。

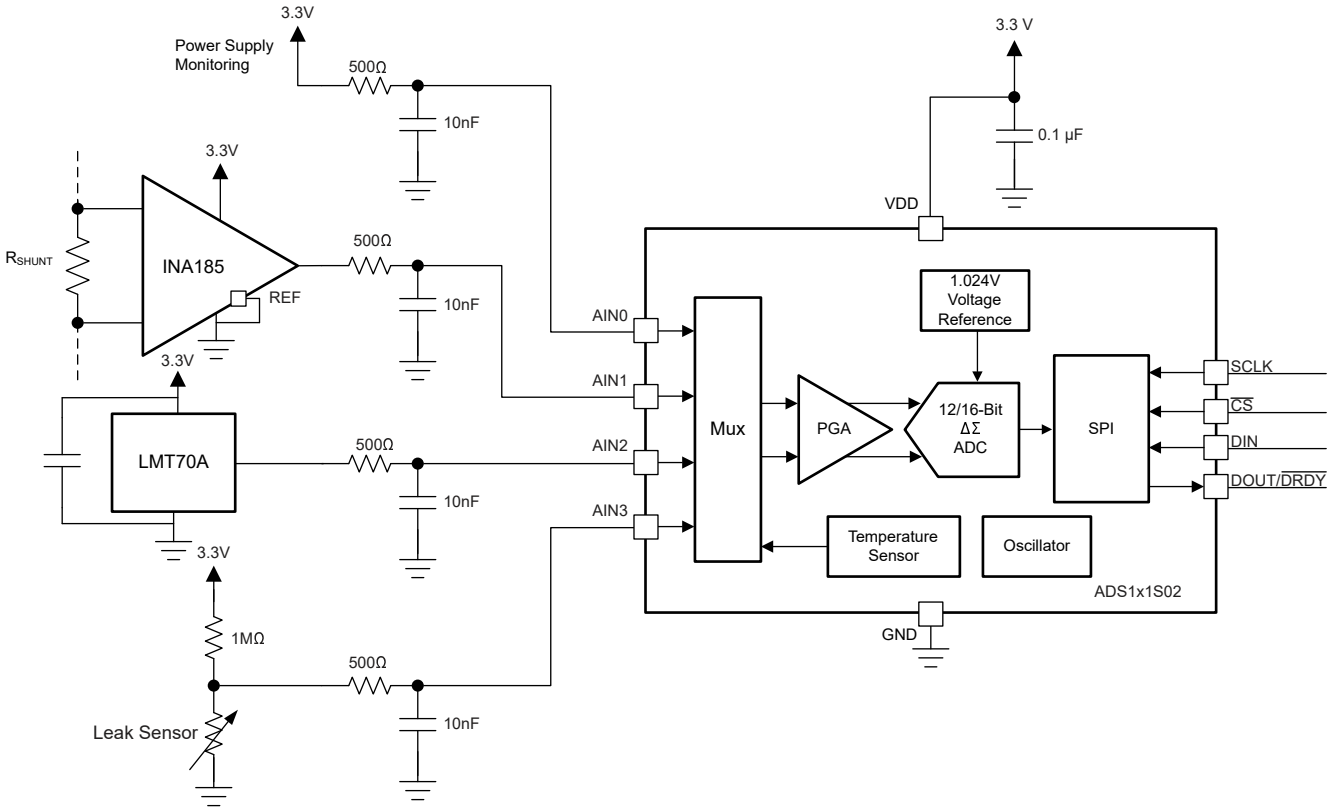


図 10-7. サーバー カード システム監視アプリケーション

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

10.3 電源に関する推奨事項

デバイスのアナログ回路とデジタル回路の両方に電力を供給するには、単一のユニポーラ電源、VDD が必要です。

10.3.1 電源シーケンス

VDD が安定してから、パワーアップ リセット処理が完了するまで約 150µs 待って、デバイスとの通信を開始します。

10.3.2 電源のデカップリング

最適な性能を実現するには、良好な電源デカップリングが重要です。図 10-8 に示すように、VDD は 0.1µF 以上のコンデンサでデカップリングする必要があります。0.1µF バイパス コンデンサは、デバイスの変換時に電源から、必要な追加電流の瞬時バーストを供給します。バイパス コンデンサは、デバイスの電源ピンのできるだけ近くに配置し、低インピーダンスで接続します。電源デカップリング用途には、等価直列抵抗 (ESR) および等価直列インダクタンス (ESL) が低いマルチレイヤ セラミック チップ コンデンサ (MLCC) を使用します。非常に敏感なシステムや、過酷なノイズ環境のシステムでノイズ耐性を改善するには、コンデンサとデバイスのピン間の接続にビアを使用しないでください。並列に複数のビアを使用すると、インダクタンス全体が低減でき、さらにグランド プレーンへの接続も改善されます。

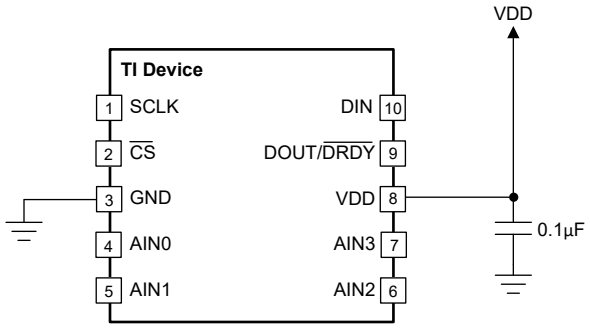


図 10-8. ADS1x1S02 電源のデカップリング

ADVANCE INFORMATION

10.4 レイアウト

10.4.1 レイアウトのガイドライン

ADS1x1S02 のレイアウトに関する基本的な推奨事項は、ADC の性能を最大限に引き出すのに役立ちます。

- 最適な性能を得るために、PCB の 1 層全体をグランド プレーンに割り当て、この層には他の信号配線を行わないでください。
- 電源デカップリング コンデンサにはセラミック コンデンサ (X7R グレードなど) を使用します。高 K コンデンサ (Y5V) は推奨されません。必要なコンデンサをデバイスのピンにできるだけ近づけて配置します。バイパス コンデンサは、デバイスと同じ層に、できるだけ近接して配置することで最良の結果が得られます。
- アナログ入力の RC フィルタには C0G または NP0 コンデンサを使用します。
- 干渉を最小限に抑えるため、デジタルトレースはすべてのアナログ入力および関連部品から離して配線します。
- 良好なグランド帰還パスを確保します。信号のリターン電流は、インピーダンスが最も低い経路を流れます。グランド プレーンが分断されている、または他の配線によって信号トレースの直下を電流が流れられない場合、回路を完結させてソースに戻るために、リターン電流は別の経路を見つける必要があります。より大きな経路に強制されると、信号が放射される可能性が高くなります。高感度の信号は、EMI 干渉の影響を受けやすくなります。
- 配線の抵抗とインダクタンスを考慮します。多くの場合、入力用トレースには抵抗成分があり、これが入力バイアス電流と反応して、追加の誤差電圧を引き起こします。ソース信号とリターン電流によって囲まれるループ面積を減らすことで、経路内のインダクタンスを低減できます。インダクタンスを低減することで、EMI の取り込みが抑えられ、デバイス入力における高周波インピーダンスが低減されます。
- レイアウトの寄生熱電対に注意してください。各アナログ入力からセンサまでの配線に異なる金属が使用されていると、寄生的な熱電対が形成され、測定値にオフセットが加わる可能性があります。測定信号源に供給される両方の入力で、差動入力を一致させる必要があります。
- 信号層の空き領域は、グランド フィルで埋めます。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

10.4.2 レイアウト例

図 10-9 に ADS1x1S02 の基板レイアウト例が示されています:

- C3 は電源のデカップリング コンデンサです。C3 は、できる限り電源ピンの近くに配置してください。
- GND ピンをグランド プレーンに接続します。
- 差動型アンチ エイリアス RC フィルタが、差動入力ペア AIN0–AIN1 および AIN2–AIN3 それぞれに対して示されています。
- SPI ラインには、オプションの直列抵抗 (R5～R8) が示されています。直列抵抗は、信号エッジをなだらかにすることで、デジタル ライン上のオーバーシュートやリンギングを低減するのに役立ちます。

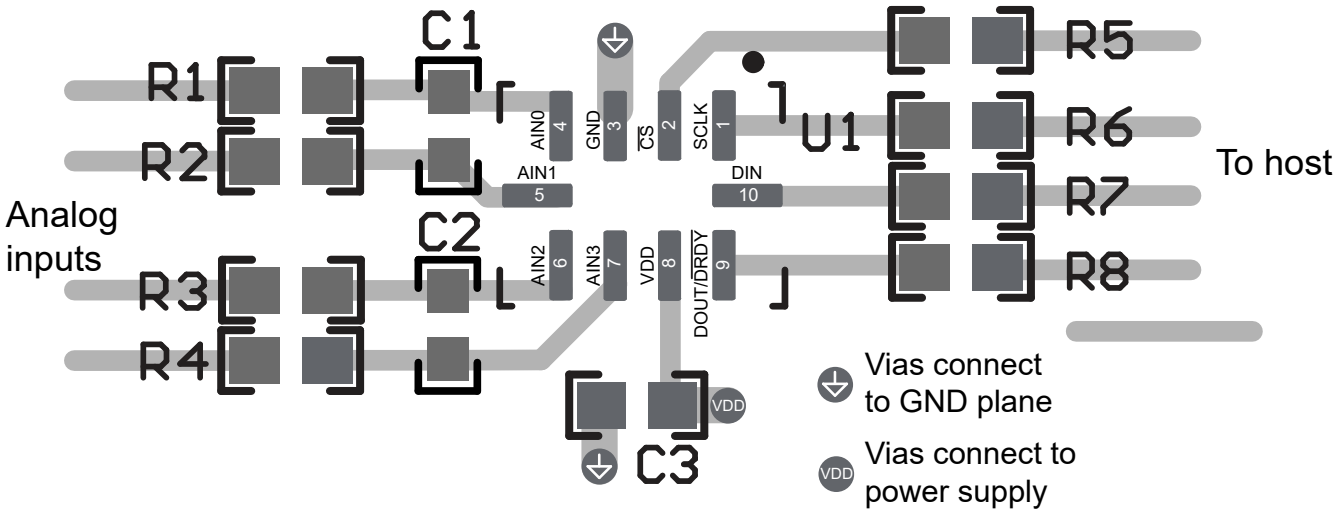


図 10-9. ADS1x1S02 X2QFN パッケージ

ADVANCE INFORMATION

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントのサポート

11.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『TMP61 ±1%、10kΩ リニアサーミスタ (0402 および 0603 パッケージ オプション対応)』データシート
- テキサス インスツルメンツ、『LMT70A ±0.05℃高精度アナログ温度センサ、RTD および高精度 NTC サーミスタ IC』データシート
- テキサス インスツルメンツ、『INA185 26V、350kHz、双方向、高精度、電流センス アンプ、超小型 (SOT-563) パッケージ』データシート

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

11.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

11.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
September 2026	*	初版リリース

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーションをご覧ください。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PADS111S02IRUGR	Active	Preproduction	X2QFN (RUG) | 10	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

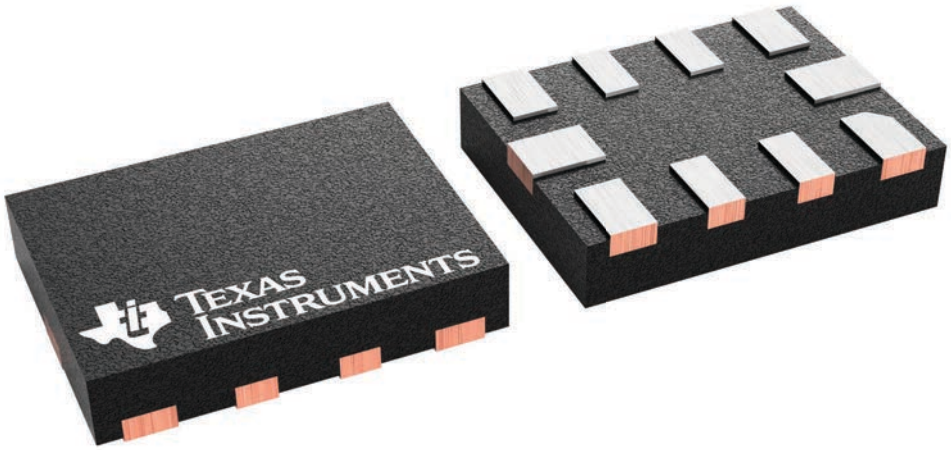
RUG 10

X2QFN - 0.4 mm max height

1.5 x 2, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4231768/A

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月