ADS1x4S1x 16 ビットと 24 ビット、8 チャネルと 18 チャネル、128kSPS、デルタ シグマ ADC
PGA、電圧リファレンス、シーケンサ、デジタル コンパレータ、SPI 搭載

1 特長

- 低消費電力 (64µA 程度)
- 広い電源電圧範囲:
  - アナログ:1.74V ～ 3.6V
  - デジタル:1.65V ～ 5.25V
- ゲインをプログラム可能:0.5～256
- 消費電力とノイズ性能のトレードオフを行うための、プログラマブルなデータ レート (最大 128kSPS) および速度モード
- 単一サイクル整定のデジタル フィルタにより、20 または 25SPS で 50Hz と 60Hz を同時に除去
- 8 (ADS1x4S14) または 18 (ADS1x4S18)を備えたアナログ マルチプレクサで、独立して選択可能な入力をサポート
- デュアル マッチド プログラマブル電流源
- 内部プログラム可能電圧リファレンス:
  35ppm/°C (最大) のドリフト特性を持つ 1.25V または 2.5V
- 1% (max) 精度の内部発振器
- 内部温度センサ
- 8 系統の汎用 I/O (プッシュプル出力またはオープンドレイン出力に構成可能)
- 24 系統の個別にプログラム可能な構成と、デジタル コンパレータと を搭載したシーケンサ
- オプションの CRC およびデイジーチェーン機能を備えた SPI 互換インターフェイス

2 アプリケーション

- フィールド トランスミッタ:
  温度、圧力、歪み、フロー
- PLC および DCS アナログ入力モジュール
- 温度コントローラ
- 患者モニタリング システム

3 説明

ADS1x4S1x は、高精度・低消費電力の 16 ビットおよび 24 ビットの A/D コンバータ (ADC) で、一般的なセンサ測定アプリケーションにおいて、システム コストと部品点数を削減するための多くの統合機能を備えています。このデバイスは、柔軟な入力マルチプレクサ (MUX) を介した 18 系統のアナログ入力、低ノイズのプログラム可能なゲイン アンプ (PGA)、プログラム可能な低ドリフト電圧リファレンス、2 系統のプログラム可能な励起電流源、発振器、温度センサを備えています。

3.9SPS から最大 128kSPS までプログラム可能な出力データレートを備えた 4 種類の速度モードにより、各アプリケーションに応じて消費電力とノイズ性能を最適化できます。

パッケージ情報

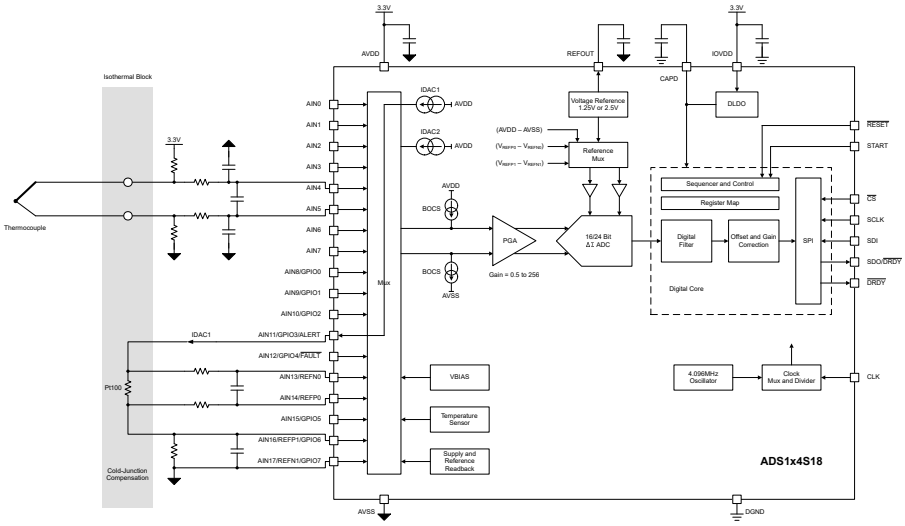
部品番号	パッケージ (1)	パッケージ サイズ(2)
ADS1x4S1x	PBS (TQFP、32)	7.00mm × 7.00mm

(1) 詳細については、メカニカル、パッケージ、および注文情報 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

表 3-1. 製品情報

部品番号	分解能	アナログ入力
ADS114S14	16 ビット	8
ADS114S18	16 ビット	18
ADS124S14	24 ビット	8
ADS124S18	24 ビット	18

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



2 線式 Pt100 RTD を用いた
冷接点補償付き K タイプ熱電対測定

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 4
5 仕様 ... 8
5.1 絶対最大定格 ... 8
5.2 ESD 定格 ... 8
5.3 推奨動作条件 ... 9
5.4 熱に関する情報 ... 9
5.5 電気的特性 ... 11
5.6 タイミング要件 ... 19
5.7 スイッチング特性 ... 19
5.8 タイミング図 ... 19
5.9 代表的特性 ... 20
6 パラメータ測定情報 ... 21
6.1 ノイズ性能 ... 21
7 詳細説明 ... 38
7.1 概要 ... 38
7.2 機能ブロック図 ... 39
7.3 機能説明 ... 39
7.3.1 アナログ入力およびマルチプレクサ ... 39
7.3.2 プログラマブル ゲイン アンプ (PGA) ... 41
7.3.3 電圧リファレンス ... 42
7.3.4 電力スケーラブルな速度モード ... 43
7.3.5 クロック ソース ... 43
7.3.6 デルタ シグマ変調器 ... 43
7.3.7 デジタル フィルタ ... 43
7.3.8 励起電流源 (IDAC) ... 55
7.3.9 バーンアウト電流源の電流 (BOCS) ... 55
7.3.10 バイアス電圧ジェネレータ (VBIAS) ... 56
7.3.11 汎用入出力 (GPIO) ... 56
7.3.12 オフセットとゲインの較正係数 ... 57
7.3.13 デジタル コンパレータ ... 58
7.3.14 システム モニタ ... 60
7.3.15 モニタおよびステータス フラグ ... 62
7.4 デバイスの機能モード ... 66
7.4.1 パワーアップとリセット ... 66
7.4.2 動作モード ... 68
7.5 プログラミング ... 76
7.5.1 シリアル インターフェイス (SPI) ... 76
7.5.2 シリアル インターフェイス信号 ... 76
7.5.3 シリアル インターフェイス通信構造 ... 78
7.5.4 デバイスのコマンド ... 82
7.5.5 連続読み取りモード ... 87
7.5.6 デイジー チェーン動作 ... 89
7.5.7 3 線式 SPI モード ... 91
7.5.8 新しい変換データの監視 ... 92
7.5.9 $\overline{\text{DRDY}}$ ピンの動作 ... 94
7.5.10 レジスタ マップの CRC ... 97
7.5.11 変換データの形式 ... 99
8 レジスタ マップ ... 100
8.1 ステータスと全般構成ページ レジスタ ... 101
8.2 ステップ構成ページ レジスタ ... 131
9 アプリケーションと実装 ... 157
9.1 使用上の注意 ... 157
9.1.1 シリアル インターフェイスの接続 ... 157
9.1.2 未使用入出力 ... 158
9.1.3 複数のデバイスとのインターフェイス ... 159
9.1.4 デバイスの初期化とシーケンサの起動 ... 160
9.1.5 シーケンサの構成方針の例 ... 163
9.2 代表的なアプリケーション ... 164
9.2.1 ソフトウェアで構成可能な RTD 測定入力 ... 164
9.2.2 2 線式 RTD を使用した冷接点補償による熱電対測定 ... 169
9.2.3 温度補償付き抵抗ブリッジ センサ測定 ... 170
9.2.4 自律的電源監視 ... 172
9.3 電源に関する推奨事項 ... 175
9.3.1 電源 ... 175
9.3.2 電源シーケンス ... 175
9.3.3 電源のデカップリング ... 175
9.4 レイアウト ... 176
9.4.1 レイアウトのガイドライン ... 176
9.4.2 レイアウト例 ... 176
10 デバイスおよびドキュメントのサポート ... 178
10.1 関連資料 ... 178
10.2 ドキュメントの更新通知を受け取る方法 ... 178
10.3 サポート・リソース ... 178
10.4 商標 ... 178
10.5 静電気放電に関する注意事項 ... 178
10.6 用語集 ... 178
11 改訂履歴 ... 178
12 メカニカル、パッケージ、および注文情報 ... 178

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

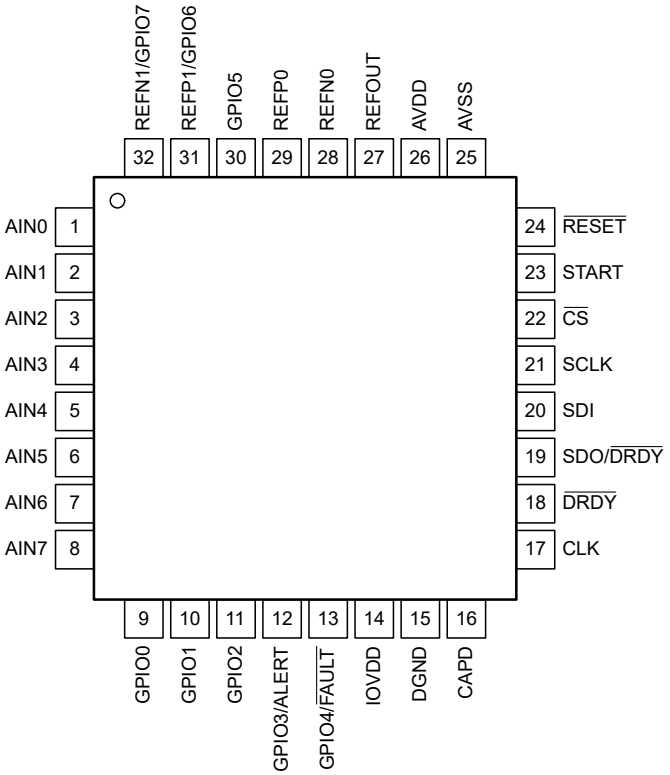


図 4-1. ADS1x4S14、PBS パッケージ、32 ピン TQFP、上面図

表 4-1. ADS1x4S14 のピンの機能

ピン		タイプ	説明(1)
名称	番号		
AIN0	1	アナログ入力	アナログ入力 0
AIN1	2	アナログ入力	アナログ入力 1
AIN2	3	アナログ入力	アナログ入力 2
AIN3	4	アナログ入力	アナログ入力 3
AIN4	5	アナログ入力	アナログ入力 4
AIN5	6	アナログ入力	アナログ入力 5
AIN6	7	アナログ入力	アナログ入力 6
AIN7	8	アナログ入力	アナログ入力 7
AVDD	26	アナログ電源	正のアナログ電源。100nF のデカップリングコンデンサを AVSS に接続してください。
AVSS	25	アナログ電源	負のアナログ電源。
CAPD	16	デジタル電源	内部 DLDO 出力。100nF のデカップリングコンデンサを DGND に接続してください。
CLK	17	デジタル入力	外部クロック入力(5)
$\overline{CS}$	22	デジタル入力	チップ セレクト入力。アクティブ low。(5)
DGND	15	グランド	デジタル グランド
$\overline{DRDY}$	18	デジタル出力	データ レディ出力(3) (5)
GPIO0	9	デジタル IO	汎用デジタル入出力 0(2) (4)
GPIO1	10	デジタル IO	汎用デジタル入出力 1(2) (4)

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ADS1x4S14 のピンの機能 (続き)

ピン		タイプ	説明(1)
名称	番号		
GPIO2	11	デジタル IO	汎用デジタル入出力 2(2) (4)
GPIO3/ALERT	12	デジタル IO	汎用デジタル入出力 3。(2) (4) このピンは、専用のデジタル コンパレータの ALERT 出力として構成できます。
GPIO4/$\overline{\text{FAULT}}$	13	デジタル IO	汎用デジタル入出力 4。(2) (4) ピンは、専用の $\overline{\text{FAULT}}$ 出力として構成できます。
GPIO5	30	デジタル IO	汎用デジタル入出力 5(2) (4)
IOVDD	14	デジタル電源	デジタル電源。100nF のデカップリングコンデンサを DGND に接続してください。
REFN0	28	アナログ入力	負の外部リファレンス入力 0
REFN1/ GPIO7	32	アナログ入力/ デジタル IO	負の外部リファレンス入力 1。 汎用デジタル入出力 7。(2) (4)
REFOUT	27	アナログ出力	内部電圧リファレンス出力。100nF のデカップリングコンデンサを AVSS に接続してください。
REFP0	29	アナログ入力	正の外部リファレンス入力 0
REFP1/ GPIO6	31	アナログ入力/ デジタル IO	正の外部リファレンス入力 1。 汎用デジタル入出力 6。(2) (4)
$\overline{\text{RESET}}$	24	デジタル入力	リセット入力。アクティブ Low。IOVDD の内部 20kΩ プルアップ抵抗。(5)
SCLK	21	デジタル入力	シリアル データ クロック入力(5)
SDI	20	デジタル入力	シリアル データ入力(5)
SDO/$\overline{\text{DRDY}}$	19	デジタル出力	シリアル データ出力およびデータ レディの表示(3) (5)
START	23	デジタル入力	変換開始制御入力(5)

(1) 未使用ピンの接続方法の詳細については、*未使用入出力* セクションを参照してください。
(2) プッシュプル出力またはオープンドレイン出力として設定可能。
(3) プッシュプル出力。
(4) AVDD を基準とするロジック レベル。
(5) IOVDD を基準とするロジック レベル。

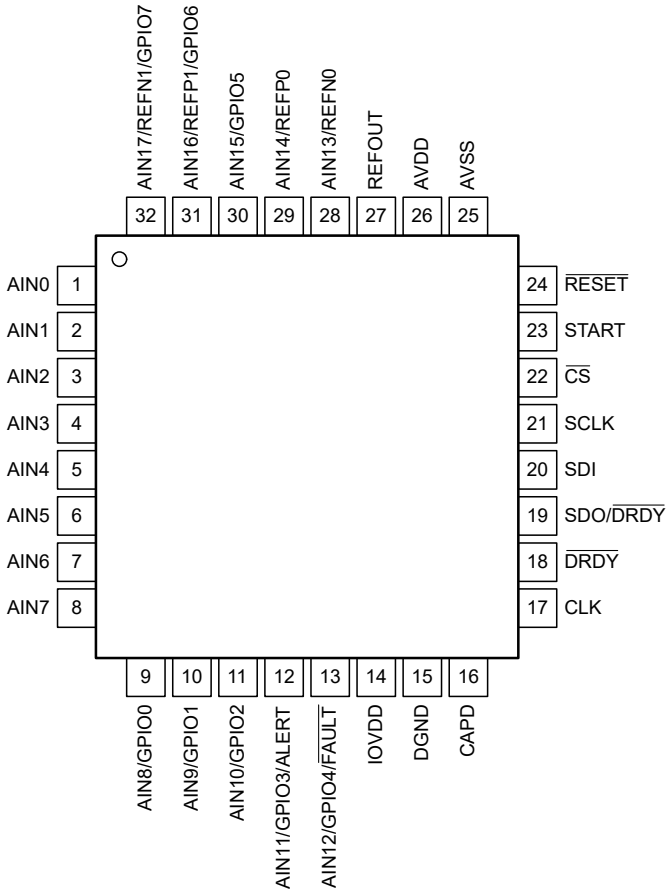


図 4-2. ADS1x4S18、PBS パッケージ、32 ピン TQFP、上面図

表 4-2. ADS1x4S18 のピンの機能

ピン		タイプ	説明(1)
名称	番号		
AIN0	1	アナログ入力	アナログ入力 0
AIN1	2	アナログ入力	アナログ入力 1
AIN2	3	アナログ入力	アナログ入力 2
AIN3	4	アナログ入力	アナログ入力 3
AIN4	5	アナログ入力	アナログ入力 4
AIN5	6	アナログ入力	アナログ入力 5
AIN6	7	アナログ入力	アナログ入力 6
AIN7	8	アナログ入力	アナログ入力 7
AIN8/ GPIO0	9	アナログ入力/ デジタル IO	アナログ入力 8。 汎用デジタル入出力 0。(2) (4)
AIN9/ GPIO1	10	アナログ入力/ デジタル IO	アナログ入力 9。 汎用デジタル入出力 1。(2) (4)
AIN10/ GPIO2	11	アナログ入力/ デジタル IO	アナログ入力 10。 汎用デジタル入出力 2。(2) (4)
AIN11/ GPIO3/ALERT	12	アナログ入力/ デジタル IO	アナログ入力 11。 汎用デジタル入出力 3。(2) (4) このピンは、専用のデジタル コンパレータの ALERT 出力として構成できます。

Copyright © 2026 Texas Instruments Incorporated

表 4-2. ADS1x4S18 のピンの機能 (続き)

ピン		タイプ	説明(1)
名称	番号		
AIN12/ GPIO4/$\overline{\text{FAULT}}$	13	アナログ入力/ デジタル IO	アナログ入力 12。 汎用デジタル入出力 4。(2) (4) ピンは、専用の故障出力として構成できます。
AIN13/REFN0	28	アナログ入力	アナログ入力 13。負の外部リファレンス入力 0。
AIN14/REFP0	29	アナログ入力	アナログ入力 14。正の外部リファレンス入力 0。
AIN15/ GPIO5	30	アナログ入力/ デジタル IO	アナログ入力 15。 汎用デジタル入出力 5。(2) (4)
AIN16/REFP1/ GPIO6	31	アナログ入力/ デジタル IO	アナログ入力 16。正の外部リファレンス入力 1。 汎用デジタル入出力 6。(2) (4)
AIN17/REFN1/ GPIO7	32	アナログ入力/ デジタル IO	アナログ入力 17。負の外部リファレンス入力 1。 汎用デジタル入出力 7。(2) (4)
AVDD	26	アナログ電源	正のアナログ電源。100nF のデカップリングコンデンサを AVSS に接続してください。
AVSS	25	アナログ電源	負のアナログ電源。
CAPD	16	デジタル電源	内部 DLDO 出力。100nF のデカップリングコンデンサを DGND に接続してください。
CLK	17	デジタル入力	外部クロック入力(5)
$\overline{\text{CS}}$	22	デジタル入力	チップ セレクト入力。アクティブ low。(5)
DGND	15	グランド	デジタル グランド
$\overline{\text{DRDY}}$	18	デジタル出力	データ レディ出力(3) (5)
IOVDD	14	デジタル電源	デジタル電源。100nF のデカップリングコンデンサを DGND に接続してください。
REFOUT	27	アナログ出力	内部電圧リファレンス出力。100nF のデカップリングコンデンサを AVSS に接続してください。
$\overline{\text{RESET}}$	24	デジタル入力	リセット入力。アクティブ Low。IOVDD の内部 20kΩ プルアップ抵抗。(5)
SCLK	21	デジタル入力	シリアル データ クロック入力(5)
SDI	20	デジタル入力	シリアル データ入力(5)
SDO/$\overline{\text{DRDY}}$	19	デジタル出力	シリアル データ出力およびデータ レディの表示(3) (5)
START	23	デジタル入力	変換開始制御入力(5)

(1) 未使用ピンの接続方法の詳細については、*未使用入出力* セクションを参照してください。
(2) プッシュプル出力またはオープンドレイン出力として設定可能。
(3) プッシュプル出力。
(4) AVDD を基準とするロジック レベル。
(5) IOVDD を基準とするロジック レベル。

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電源電圧	AVDD から AVSS へ	-0.3	5	V
	AVSS から DGND へ	-2.5	0.3	V
	IOVDD から DGND へ	-0.3	5.5	V
	IOVDD から AVSS へ		8	V
アナログ入力電圧	AINx、REFPx、REFNx	AVSS - 0.3	AVDD + 0.3	V
デジタル入力電圧	GPIOx	AVSS - 0.3	AVDD + 0.3	V
デジタル入力電圧	$\overline{CS}$、SCLK、SDI、SDO/$\overline{DRDY}$、$\overline{DRDY}$、$\overline{RESET}$、CLK、START	DGND - 0.3	IOVDD + 0.3	V
入力電流	連続、電源ピンを除く任意のピン	-10	10	mA
温度	接合部、T_J		140	°C
	保存、T_{stg}	-60	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 (1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±750	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

Copyright © 2026 Texas Instruments Incorporated

5.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
電源						
	アナログ電源 (ユニポーラ、AVSS = DGND)	AVDD から AVSS、I_{IDAC} ≤ 500µA	1.74		3.6	V
		AVDD から AVSS、 I_{IDAC} > 500µA、または内部 V_{REF} = 2.5V	2.7		3.6	
	アナログ電源 (バイポーラ)	AVDD から AVSS、I_{IDAC} ≤ 500µA	1.74		3.6	V
		AVDD から AVSS、 I_{IDAC} > 500µA、または内部 V_{REF} = 2.5V	2.7		3.6	
		AVDD から DGND へ	0.85			
		AVSS から DGND へ	-1.2 × AVDD		0	
	デジタル電源	IOVDD から DGND へ	1.65		5.25	V
アナログ入力(1)						
V_{AINx}	絶対入力電圧	ゲイン = 0.5 ～ 10	AVSS		AVDD - 0.35	V
		ゲイン = 16 ～ 256	AVSS + 0.35		AVDD - 0.4	
V_{IN}	差動入力電圧(2)	ユニポーラ ストレート バイナリ符号化	0		V_{REF} / ゲイン	V
		2 の補数バイナリ符号化	–V_{REF} / ゲイン		V_{REF} / ゲイン	
電圧リファレンス入力						
V_{REF}	差動リファレンス入力電圧	V_{REF} = (V_{REFPx} – V_{REFNx})	0.5		AVDD	V
V_{REFNx}	絶対負リファレンス電圧	負のリファレンス バッファが無効	AVSS - 0.05			V
		負のリファレンス バッファが有効	AVSS + 0.1			V
V_{REFPx}	絶対正リファレンス電圧	正のリファレンス バッファが無効			AVDD + 0.05	V
		正のリファレンス バッファが有効			AVDD - 0.1	V
外部クロック ソース (3)						
f_{CLK}	外部クロック周波数設定		3	4.096	4.15	MHz
	デューティ サイクル		40	50	60	%
汎用入力 (GPIO)						
	入力電圧		AVSS		AVDD	V
デジタル入力 (GPIO 以外)						
	入力電圧		DGND		IOVDD	V
温度範囲						
	規定周囲温度		-40		125	°C
T_A	動作時周囲温度		-50		125	°C

(1) AIN_P および AIN_N は、PGA の正と負の入力を示します。利用可能なアナログ入力 (AINx) はいずれも、入力マルチプレクサにより AIN_P または AIN_N のいずれかを選択できます。
(2) V_{IN} = (V_{AINP} – V_{AINN})。オフセットとゲイン誤差の影響を除外したものです。
(3) 内部発振器を使用する場合、外部クロックは不要です。

5.4 熱に関する情報

熱評価基準(1)		TQFP (PBS) 32 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	63.2	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	21.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	34.4	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	34.1	°C/W

Copyright © 2026 Texas Instruments Incorporated

熱評価基準(1)		TQFP (PBS)	単位
		32 ピン	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性

最小値および最大値の仕様は、T_A = –40°C ～ +125°C の範囲に適用されます。代表値の仕様は T_A = 25°C での値です。すべての仕様は、AVDD = 1.74V ～ 3.6V、IOVDD = 1.65V ～ 5.25V、AVSS = DGND、内部リファレンス、内部発振器、すべての速度モード、すべてのデータ レート、すべてのゲイン設定、ならびにグローバル チョップ無効の条件下で規定されています (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
アナログ入力						
	絶対入力電流(1)	すべてのゲイン、f_{DATA} = 20SPS または 25SPS、グローバル チョップ イネーブルまたはディスエーブル、$V_{AINx(MIN)} \le V_{AINx} \le V_{AINx(MAX)}$、$V_{IN}$ = 0V	-2	±0.3	2	nA
	絶対入力電流ドリフト(1)	すべてのゲイン、f_{DATA} = 20SPS または 25SPS、グローバル チョップ イネーブルまたはディスエーブル、$V_{AINx(MIN)} \le V_{AINx} \le V_{AINx(MAX)}$、$V_{IN}$ = 0V		2		pA/°C
	差動入力電流(1)	すべてのゲイン、f_{DATA} = 20SPS または 25SPS, グローバル チョップが有効または無効、V_{CM} = (AVDD + AVSS)/2、$-V_{REF}$/ゲイン ≤ $V_{IN} \le V_{REF}$/ゲイン	-1	±0.1	1	nA
	差動入力電流ドリフト(1)	すべてのゲイン、f_{DATA} = 20SPS または 25SPS, グローバル チョップが有効または無効、V_{CM} = (AVDD + AVSS)/2、$-V_{REF}$/ゲイン ≤ $V_{IN} \le V_{REF}$/ゲイン		2		pA/°C
PGA						
	ゲイン設定			0.5、1、2、4、5、8、10、16、20、32、50、64、100、128、200、256		
システム性能						
	分解能 (欠落コードなし)	ADS114S1x	16			ビット
		ADS124S1x	24			
f_{DATA}	出力データ レート	速度モード 0 (f_{MOD} = 32kHz)	3.9		4k	SPS
		速度モード 1 (f_{MOD} = 256kHz)	10		32k	
		速度モード 2 (f_{MOD} = 512kHz)	10		64k	
		速度モード 3 (f_{MOD} = 1024kHz)	10		128k	
INL	積分非直線性	V_{CM} = (AVDD + AVSS)/2、最適なフィット		5	15	ppm_{FSR}
V_{IO}	入力オフセット電圧	T_A = 25°C、ゲイン ≤ 1、グローバル チョップは無効	-350	±50	350	µV
		T_A = 25°C、ゲイン = 2 ～ 10、グローバル チョップは無効	-200	±20	200	
		T_A = 25°C、ゲイン ≥ 16、グローバル チョップは無効	-50	±10	50	
		T_A = 25°C、ゲイン ≤ 1、グローバル チョップは有効	-6	±0.5	6	
		T_A = 25°C、ゲイン ≥ 2、グローバル チョップは有効	-2.5	±0.2	2.5	
	オフセットのドリフト	ゲイン ≤ 10、グローバル チョップは無効		50	300	nV/°C
		ゲイン ≥ 16、グローバル チョップは無効		20	125	
		ゲイン ≤ 1、グローバル チョップは有効		10	50	
		ゲイン ≥ 2、グローバル チョップは有効		2	20	
	ゲイン誤差	T_A = 25°C、すべてのゲイン、外部リファレンス	-0.08	±0.01	0.08	%
	ゲイン ドリフト	すべてのゲイン、外部リファレンス		0.5	2.5	ppm/°C
	ノイズ (入力換算)		「ノイズ性能」セクションを参照してください			
CMRR	同相信号除去比	DC 時		120		dB
		f_{CM} = 50Hz または 60Hz (±1Hz)、f_{DATA} = 10SPS、20SPS または 25SPS		130		
		f_{CM} = 50Hz (±1Hz)、f_{DATA} = 10SPS、16.7SPS または 50SPS		130		
		f_{CM} = 60Hz (±1Hz)、f_{DATA} = 10SPS または 60SPS		130		
		f_{CM} = 50Hz または 60Hz (±1Hz)、f_{DATA} > 60SPS		120		

Copyright © 2026 Texas Instruments Incorporated

最小値および最大値の仕様は、T_A = –40°C ～ +125°C の範囲に適用されます。代表値の仕様は T_A = 25°C での値です。すべての仕様は、AVDD = 1.74V ～ 3.6V、IOVDD = 1.65V ～ 5.25V、AVSS = DGND、内部リファレンス、内部発振器、すべての速度モード、すべてのデータ レート、すべてのゲイン設定、ならびにグローバル チョップ無効の条件下で規定されています (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
PSRR	電源除去比	dc での AVDD		115		dB
		dc での IOVDD		120		
NMRR	ノーマル モード除去比	f_{IN} = 50Hz または 60Hz (±1Hz)、f_{DATA} = 10SPS、sinc3	92	102		dB
		f_{IN} = 50Hz または 60Hz (±1Hz)、f_{DATA} = 10SPS、sinc3、外部 f_{CLK} = 4.096MHz	102			
		f_{IN} = 50Hz または 60Hz (±1Hz)、f_{DATA} = 10SPS、sinc4	122	136		
		f_{IN} = 50Hz または 60Hz (±1Hz)、f_{DATA} = 10SPS、sinc4、外部 f_{CLK} = 4.096MHz	136			
		f_{IN} = 50Hz (±1Hz)、f_{DATA} = 16.7SPS、sinc3	91	102		
		f_{IN} = 50Hz (±1Hz)、f_{DATA} = 16.7SPS、sinc3、外部 f_{CLK} = 4.096MHz	102			
		f_{IN} = 50Hz (±1Hz)、f_{DATA} = 16.7SPS、sinc4	121	135		
		f_{IN} = 50Hz (±1Hz)、f_{DATA} = 16.7SPS、sinc4、外部 f_{CLK} = 4.096MHz	135			
		f_{IN} = 50Hz または 60Hz (±1Hz)、f_{DATA} = 20SPS	83	95		
		f_{IN} = 50Hz または 60Hz (±1Hz)、f_{DATA} = 20SPS、外部 f_{CLK} = 4.096MHz	95			
		f_{IN} = 50Hz または 60Hz (±1Hz)、f_{DATA} = 25SPS	58	63		
		f_{IN} = 50Hz または 60Hz (±1Hz)、f_{DATA} = 25SPS、外部 f_{CLK} = 4.096MHz	63			
		f_{IN} = 50Hz (±1Hz)、f_{DATA} = 50SPS、sinc3	91	101		
		f_{IN} = 50Hz (±1Hz)、f_{DATA} = 50SPS、sinc3、外部 f_{CLK} = 4.096MHz	101			
		f_{IN} = 50Hz (±1Hz)、f_{DATA} = 50SPS、sinc4	121	135		
		f_{IN} = 50Hz (±1Hz)、f_{DATA} = 50SPS、sinc4、外部 f_{CLK} = 4.096MHz	135			
		f_{IN} = 60Hz (±1Hz)、f_{DATA} = 60SPS、sinc3	91	103		
		f_{IN} = 60Hz (±1Hz)、f_{DATA} = 60SPS、sinc3、外部 f_{CLK} = 4.096MHz	103			
		f_{IN} = 60Hz (±1Hz)、f_{DATA} = 60SPS、sinc4	122	137		
		f_{IN} = 60Hz (±1Hz)、f_{DATA} = 60SPS、sinc4、外部 f_{CLK} = 4.096MHz	137			
電圧リファレンス入力						
	絶対入力電流	リファレンス バッファが無効、速度モード 0[(2)]	-2	±1	2	μA/V
		リファレンス バッファが無効、速度モード 1[(2)]	-7	±6	7	
		リファレンス バッファが無効、速度モード 2[(2)]	-8	±7	8	
		リファレンス バッファが無効、速度モード 3[(2)]	-9	±8	9	
		リファレンス バッファが有効、速度モード 0	-2	±0.2	2	nA
		リファレンス バッファが有効、速度モード 1		4	9	
		リファレンス バッファが有効、速度モード 2		9	17	
		リファレンス バッファが有効、速度モード 3		17	33	
内部電圧リファレンス						
V_{REF}	出力電圧	(AVDD – AVSS) < 2.7V		1.25		V
		(AVDD – AVSS) ≥ 2.7V		1.25、2.5		
	精度	T_A = 25°C	-0.1	±0.01	0.1	%
	温度ドリフト			14	35	ppm/°C

Copyright © 2026 Texas Instruments Incorporated

最小値および最大値の仕様は、T_A = –40°C ～ +125°C の範囲に適用されます。代表値の仕様は T_A = 25°C での値です。すべての仕様は、AVDD = 1.74V ～ 3.6V、IOVDD = 1.65V ～ 5.25V、AVSS = DGND、内部リファレンス、内部発振器、すべての速度モード、すべてのデータ レート、すべてのゲイン設定、ならびにグローバル チョップ無効の条件下で規定されています (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
	出力電流	V_{REF} = 1.25V、シンクまたはソース	-5		5	mA
		V_{REF} = 2.5V、(AVDD – AVSS) ≥ 2.75V、シンクまたはソース	-10		5	
I_{REF_SC}	回路短絡時の電流制限	シンクまたはソース		±30		mA
PSRR	電源除去比	dc での AVDD		90		dB
	ロード レギュレーション	負荷電流 = –5mA ～ 0mA (ソース)		75		µV/mA
	容量性負荷および安定性		50	100	1300	nF
	リファレンス ノイズ	f = 0.1Hz ～ 10Hz、REFOUT に 100nF のコンデンサを接続		4		ppm_{PP}
	起動時間	パワーダウン モードから、REFOUT に 100nF コンデンサを接続、0.01% セトリング			10	ms
内部発振器						
f_{OSC}	周波数			4.096		MHz
	精度		-1		1	%
温度センサ						
TS_{Offset}	出力電圧	T_A = 25°C		120		mV
TS_{TC}	温度係数			400		µV/°C
VBIAS						
	出力電圧		(AVDD + AVSS)/2			V
	容量性負荷駆動能力	VBIAS が有効なアナログ入力に接続されているすべてのコンデンサの合計。			10	µF
	出力インピーダンス			200	300	Ω
バーンアウト電流源 (BOCS)						
	電流設定			0.2、1、10		µA
	精度	シンクおよびソース		±2		%
励起電流源 (IDAC)						
	電流設定	IDAC ユニット電流 = 1µA		1～100		µA
		IDAC ユニット電流 = 10µA、(AVDD – AVSS) < 2.7V		10～500		
		IDAC ユニット電流 = 10µA、(AVDD – AVSS) ≥ 2.7V		10～1000		
	コンプライアンス電圧	I_{IDAC} < 100µA、(AVDD – 1V) から 1% 未満で電流が変化	AVSS		AVDD - 0.3	V
		I_{IDAC} ≥ 100µA、(AVDD – 1V) から 1% 未満で電流が変化	AVSS		AVDD - 0.4	
	精度	T_A = 25°C	-3	±0.4	3	%
	IDAC 間の電流ミスマッチ	I_{IDAC} ≤ 10µA、IDAC1 と IDAC2 は同一値に設定、T_A = 25°C		0.5	1.5	%
		I_{IDAC} ≥ 20µA、IDAC1 と IDAC2 は同一値に設定、T_A = 25°C		0.05	0.3	
	温度ドリフト			25	150	ppm/°C
	温度ドリフト マッチング	I_{IDAC} ≤ 10µA、IDAC1、IDAC2 は同じ値に設定されます		10	50	ppm/°C
		I_{IDAC}≥ 20µA、IDAC1、IDAC2 は同じ値に設定されます		1	10	
モニタ						
TH_{IOVDD_POR}	IOVDD POR 解放スレッショルド			1.55		V
TH_{AVDD_UV}	AVDD 低電圧スレッショルド(3)		1.2		1.5	V
TH_{REF_UV}	リファレンス低電圧スレッショルド(3)	REF_UV_SEL = 0b	0.45		0.65	V
		REF_UV_SEL = 1b	0.9		1.1	

Copyright © 2026 Texas Instruments Incorporated

最小値および最大値の仕様は、T_A = –40°C ～ +125°C の範囲に適用されます。代表値の仕様は T_A = 25°C での値です。すべての仕様は、AVDD = 1.74V ～ 3.6V、IOVDD = 1.65V ～ 5.25V、AVSS = DGND、内部リファレンス、内部発振器、すべての速度モード、すべてのデータ レート、すべてのゲイン設定、ならびにグローバル チョップ無効の条件下で規定されています (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
	システム監視電圧リードバック精度	(AVDD – AVSS)/8		±0.5		%
		(IOVDD – DGND)/8		±0.5		
		V_{DLDO} / 4		±0.5		
		(V_{REFPx} – V_{REFNx})/8		±0.5		

Copyright © 2026 Texas Instruments Incorporated

最小値および最大値の仕様は、T_A = –40°C ～ +125°C の範囲に適用されます。代表値の仕様は T_A = 25°C での値です。すべての仕様は、AVDD = 1.74V ～ 3.6V、IOVDD = 1.65V ～ 5.25V、AVSS = DGND、内部リファレンス、内部発振器、すべての速度モード、すべてのデータ レート、すべてのゲイン設定、ならびにグローバル チョップ無効の条件下で規定されています (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
汎用入出力 (GPIO)						
V_{IL}	ロジック入力レベル、Low		AVSS		AVSS + 0.3 (AVDD – AVSS)	V
V_{IH}	ロジック入力レベル、High		AVSS + 0.7 (AVDD – AVSS)		AVDD	V
V_{OL}	ロジック出力レベル、Low	I_{OL} = 100µA、オープン ドレインまたはプッシュプル出力	AVSS		AVSS + 0.2 (AVDD – AVSS)	V
V_{OH}	ロジック出力レベル、High	I_{OH} = -100µA、プッシュプル出力の	AVSS + 0.8 (AVDD – AVSS)		AVDD	V
	入力ヒステリシス			10		mV
デジタル入出力						
V_{IL}	ロジック入力レベル、Low		DGND		0.3 IOVDD	V
V_{IH}	ロジック入力レベル、High		0.7 IOVDD		IOVDD	V
V_{OL}	ロジック出力レベル、Low	I_{OL} = 1mA	DGND		0.2 IOVDD	V
V_{OH}	ロジック出力レベル、High	I_{OH} = -1mA	0.8 IOVDD		IOVDD	V
	入力ヒステリシス			180		mV
	入力電流	DGND ≤ $V_{Digital\ Input}$ ≤ IOVDD	-1		1	µA

Copyright © 2026 Texas Instruments Incorporated

最小値および最大値の仕様は、T_A = –40°C ～ +125°C の範囲に適用されます。代表値の仕様は T_A = 25°C での値です。すべての仕様は、AVDD = 1.74V ～ 3.6V、IOVDD = 1.65V ～ 5.25V、AVSS = DGND、内部リファレンス、内部発振器、すべての速度モード、すべてのデータ レート、すべてのゲイン設定、ならびにグローバル チョップ無効の条件下で規定されています (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
アナログ電源電流 (AVDD = 3.3V、AVSS = DGND、外部リファレンス、リファレンス バッファが無効、IDAC が無効、V_{IN} = 0V)						
I_{AVDD}	アナログ電源電流	パワーダウン モード		0.7	4	μA
		スタンバイ モード		15	25	
		変換モード、速度モード 0、ゲイン = 0.5 ～ 2		60	68	
		変換モード、速度モード 0、ゲイン = 4 および 5		61	71	
		変換モード、速度モード 0、ゲイン = 8 ～ 50		68	78	
		変換モード、速度モード 0、ゲイン = 64 ～ 256		63	73	
		変換モード、速度モード 1、ゲイン = 0.5 ～ 2		155	175	
		変換モード、速度モード 1、ゲイン = 4 および 5		180	200	
		変換モード、速度モード 1、ゲイン = 8 ～ 50		225	255	
		変換モード、速度モード 1、ゲイン = 64 ～ 256		280	310	
		変換モード、速度モード 2、ゲイン = 0.5 ～ 2		345	380	
		変換モード、速度モード 2、ゲイン = 4 および 5		390	430	
		変換モード、速度モード 2、ゲイン = 8 ～ 50		485	540	
		変換モード、速度モード 2、ゲイン = 64 ～ 256		705	790	
		変換モード、速度モード 3、ゲイン = 0.5 ～ 2		600	655	
		変換モード、速度モード 3、ゲイン = 4 および 5		705	780	
		変換モード、速度モード 3、ゲイン = 8 ～ 50		935	1050	
		変換モード、速度モード 3、ゲイン = 64 ～ 256		1155	1300	
機能ごとに追加のアナログ電源電流 (AVDD = 3.3V、V_{REF} = 2.5V)						
I_{AVDD}	アナログ電源電流	内部電圧リファレンス、速度モード 0		4.5	6	μA
		内部電圧リファレンス、速度モード 1		25	28	
		内部電圧リファレンス、速度モード 2		35	40	
		内部電圧リファレンス、速度モード 3		65	75	
		REFP または REFN バッファがイネーブル、速度モード 0		4.5	6	
		REFP または REFN バッファがイネーブル、速度モード 1		25	28	
		REFP または REFN バッファがイネーブル、速度モード 2		35	40	
		REFP または REFN バッファがイネーブル、速度モード 3		65	75	
		REFP バッファと REFN バッファの両方がイネーブル、速度モード 0		6.5	9	
		REFP バッファと REFN バッファの両方がイネーブル、速度モード 1		32	40	
		REFP バッファと REFN バッファの両方がイネーブル、速度モード 2		50	60	
		REFP バッファと REFN バッファの両方がイネーブル、速度モード 3		102	120	
		IDAC オーバーヘッド、IDAC ユニット電流 = 1μA		4	6	
		IDAC オーバーヘッド、IDAC ユニット電流 = 10μA		14	20	
		VBIAS (無負荷)		11	18	

Copyright © 2026 Texas Instruments Incorporated

最小値および最大値の仕様は、T_A = –40°C ～ +125°C の範囲に適用されます。代表値の仕様は T_A = 25°C での値です。すべての仕様は、AVDD = 1.74V ～ 3.6V、IOVDD = 1.65V ～ 5.25V、AVSS = DGND、内部リファレンス、内部発振器、すべての速度モード、すべてのデータ レート、すべてのゲイン設定、ならびにグローバル チョップ無効の条件下で規定されています (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
アナログ電源電流 (AVDD = 1.8V、AVSS = DGND、外部リファレンス、リファレンス バッファが無効、IDAC が無効、V_{IN} = 0V)						
I_{AVDD}	アナログ電源電流	パワーダウン モード		0.5	4	μA
		スタンバイ モード		12	22	
		変換モード、速度モード 0、ゲイン = 0.5 ～ 2		55	63	
		変換モード、速度モード 0、ゲイン = 4 および 5		57	66	
		変換モード、速度モード 0、ゲイン = 8 ～ 50		63	73	
		変換モード、速度モード 0、ゲイン = 64 ～ 256		59	68	
		変換モード、速度モード 1、ゲイン = 0.5 ～ 2		140	170	
		変換モード、速度モード 1、ゲイン = 4 および 5		160	190	
		変換モード、速度モード 1、ゲイン = 8 ～ 50		205	235	
		変換モード、速度モード 1、ゲイン = 64 ～ 256		255	290	
		変換モード、速度モード 2、ゲイン = 0.5 ～ 2		310	345	
		変換モード、速度モード 2、ゲイン = 4 および 5		355	395	
		変換モード、速度モード 2、ゲイン = 8 ～ 50		450	505	
		変換モード、速度モード 2、ゲイン = 64 ～ 256		660	750	
		変換モード、速度モード 3、ゲイン = 0.5 ～ 2		540	595	
		変換モード、速度モード 3、ゲイン = 4 および 5		640	720	
		変換モード、速度モード 3、ゲイン = 8 ～ 50		870	985	
		変換モード、速度モード 3、ゲイン = 64 ～ 256		1080	1220	
機能ごとに追加のアナログ電源電流 (AVDD = 1.8V、V_{REF} = 1.25V)						
I_{AVDD}	アナログ電源電流	内部電圧リファレンス、速度モード 0		3.5	5	μA
		内部電圧リファレンス、速度モード 1		16	20	
		内部電圧リファレンス、速度モード 2		26	32	
		内部電圧リファレンス、速度モード 3		55	70	
		REFP または REFN バッファがイネーブル、速度モード 0		3.5	5	
		REFP または REFN バッファがイネーブル、速度モード 1		16	20	
		REFP または REFN バッファがイネーブル、速度モード 2		26	32	
		REFP または REFN バッファがイネーブル、速度モード 3		55	70	
		REFP バッファと REFN バッファの両方がイネーブル、速度モード 0		5.5	8	
		REFP バッファと REFN バッファの両方がイネーブル、速度モード 1		25	30	
		REFP バッファと REFN バッファの両方がイネーブル、速度モード 2		42	52	
		REFP バッファと REFN バッファの両方がイネーブル、速度モード 3		100	120	
		IDAC オーバーヘッド、IDAC ユニット電流 = 1μA		4	6	
		IDAC オーバーヘッド、IDAC ユニット電流 = 10μA		14	20	
		VBIAS (無負荷)		11	18	

Copyright © 2026 Texas Instruments Incorporated

最小値および最大値の仕様は、T_A = –40°C ～ +125°C の範囲に適用されます。代表値の仕様は T_A = 25°C での値です。すべての仕様は、AVDD = 1.74V ～ 3.6V、IOVDD = 1.65V ～ 5.25V、AVSS = DGND、内部リファレンス、内部発振器、すべての速度モード、すべてのデータ レート、すべてのゲイン設定、ならびにグローバル チョップ無効の条件下で規定されています (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
デジタル電源電流 (IOVDD = 3.3V、すべてのデータ レート、SPI は非アクティブ)						
I_{IOVDD}	デジタル電源電流	パワーダウン モード		2.2	20	μA
		スタンバイ モード、速度モード 0		8	26	
		スタンバイ モード、速度モード 1		22	40	
		スタンバイ モード、速度モード 2		32	50	
		スタンバイ モード、速度モード 3		50	70	
		変換モード、速度モード 0 (OSR = 8)		11	30	
		変換モード、速度モード 1 (OSR = 8)		42	64	
		変換モード、速度モード 2 (OSR = 8)		72	100	
		変換モード、速度モード 3 (OSR = 8)		129	163	
		変換モード、速度モード 0 (OSR ≥ 64)		10	27	
		変換モード、速度モード 1 (OSR ≥ 64)		34	53	
		変換モード、速度モード 2 (OSR ≥ 64)		54	75	
		変換モード、速度モード 3 (OSR ≥ 64)		97	120	
デジタル電源電流 (IOVDD = 1.8V、すべてのデータ レート、SPI は非アクティブ)						
I_{IOVDD}	デジタル電源電流	パワーダウン モード		2	19	μA
		スタンバイ モード、速度モード 0		8	25	
		スタンバイ モード、速度モード 1		22	40	
		スタンバイ モード、速度モード 2		30	50	
		スタンバイ モード、速度モード 3		48	66	
		変換モード、速度モード 0 (OSR = 8)		11	28	
		変換モード、速度モード 1 (OSR = 8)		41	63	
		変換モード、速度モード 2 (OSR = 8)		70	95	
		変換モード、速度モード 3 (OSR = 8)		127	160	
		変換モード、速度モード 0 (OSR ≥ 64)		9	27	
		変換モード、速度モード 1 (OSR ≥ 64)		33	52	
		変換モード、速度モード 2 (OSR ≥ 64)		53	74	
		変換モード、速度モード 3 (OSR ≥ 64)		94	120	

(1) 入力電流は、速度モード、データ レート、ゲイン、グローバル チョップ モード設定によってスケーリングされます。
(2) 電流は REFPx に流れ込み、REFNx から流れ出します。
(3) 低電圧監視は常に、指定された最小値を下回るようにトリップし、指定された最大値を超えるようにはトリップしません。

Copyright © 2026 Texas Instruments Incorporated

5.6 タイミング要件

動作時周囲温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
$t_{c(SC)}$	SCLK 周期	60	1/(4 f_{DATA})	ns
$t_{w(SCL)}$	パルス幅、SCLK low	20		ns
$t_{w(SCH)}$	パルス幅、SCLK high	30		ns
$t_{d(CSSC)}$	遅延時間、$\overline{CS}$ 立ち下がりエッジから最初の SCLK 立ち上がりエッジまで	10		ns
$t_{d(SCCS)}$	遅延時間、最後の SCLK 立ち下がりエッジから $\overline{CS}$ 立ち上がりエッジまで	10		ns
$t_{w(CSH)}$	パルス幅、$\overline{CS}$ High	30		ns
$t_{su(DI)}$	セットアップ時間、SDI 有効から SCLK 立ち下がりエッジまで	8		ns
$t_{h(DI)}$	ホールド時間、SCLK 立ち下がりエッジから SDI 有効まで	8		ns
$t_{d(fr2fr)}$	遅延時間、3 線式 SPI モードでのフレーム間	0		ns
$t_{h(DIIR)}$	ホールド時間、SDI High からインターフェイスの再同期が強制されるまで (3 線式 SPI モードのみ)。インターフェイスの再同期は、SDI が再び Low になる最初の SCLK 立ち下がりエッジで行われます。	63		t_{SCLK}
$t_{d(POR)}$	遅延時間、IOVDD が最小 IOVDD 電圧を超えた後の最初の SCLK 立ち上がりエッジまでの時間	5		ms
$t_{d(RST)}$	遅延時間、$\overline{RESET}$ の立ち上がりエッジ後、または SPI リセット パターンまたは RESET[7:0] ビット フィールドを使用したソフトウェア リセット後に SPI 通信を開始するまでの時間	500		µs
$t_{w(RSL)}$	パルス幅、$\overline{RESET}$ Low からデバイス リセット生成まで	200		ns
$t_{w(STH)}$	パルス幅、START High から変換開始	8		t_{MOD}

5.7 スイッチング特性

動作時周囲温度範囲全体、C_{LOAD} = 20pF (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{p(CSDO)}$	伝搬遅延時間、$\overline{CS}$ 立ち下がりエッジから SDO/$\overline{DRDY}$ 駆動まで				25	ns
$t_{p(CSDOZ)}$	伝搬遅延時間、$\overline{CS}$ 立ち上がりエッジから SDO/$\overline{DRDY}$ 高インピーダンス状態まで				25	ns
$t_{p(SCDO)}$	伝搬遅延時間、SCLK 立ち上がりエッジから有効な SDO/$\overline{DRDY}$ まで				28	ns
$t_{w(DRH)}$	パルス幅、$\overline{DRDY}$ High		2			t_{MOD}
$t_{p(SCDR)}$	伝搬遅延時間、変換結果 MSB 読み取りから $\overline{DRDY}$ までの 8 番目の SCLK 立ち下がりエッジ				5	t_{MOD}
$t_{p(DODR)}$	伝搬遅延時間、最後の SCLK 立ち下がりエッジにおける SDO から $\overline{DRDY}$ モードへの SDO/$\overline{DRDY}$ 遷移の読み取り動作	SDO_DRDY = 1b			50	ns
$t_{p(GPIO)}$	伝搬遅延時間、レジスタ書き込みコマンドの $\overline{CS}$ 立ち上がりエッジから GPIOx 出力有効まで				100	ns

5.8 タイミング図

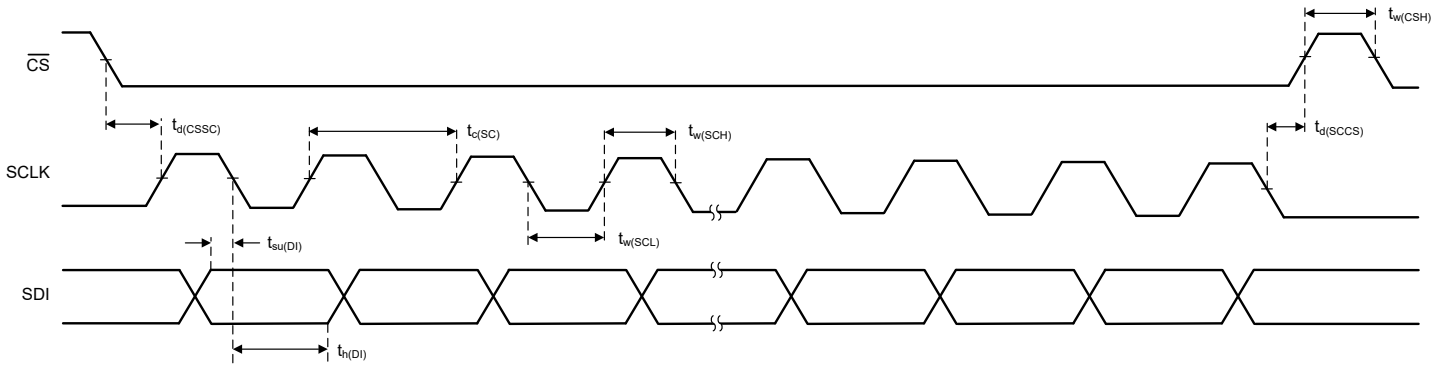


図 5-1. シリアル インターフェイスのタイミング要件

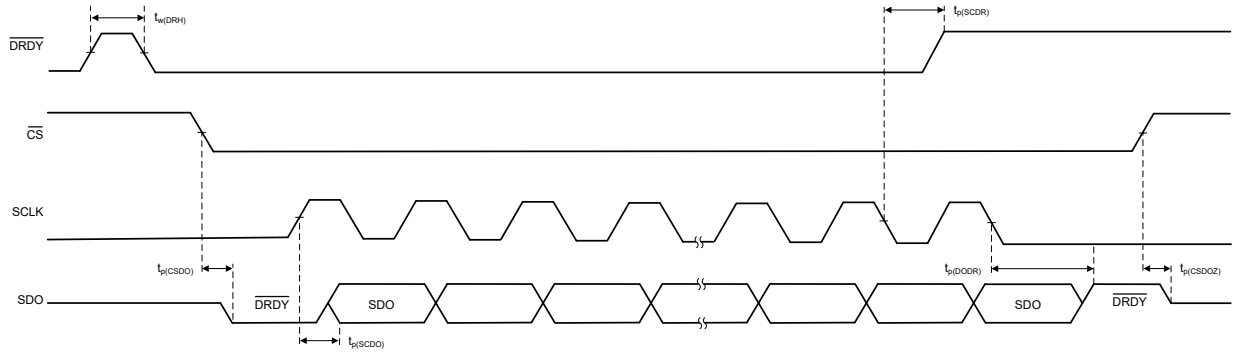
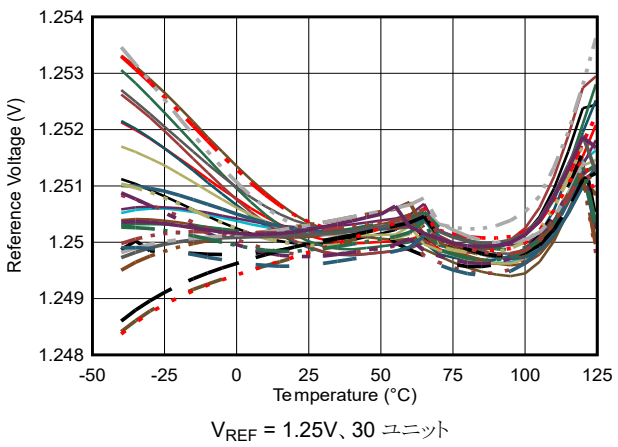


図 5-2. シリアル インターフェイスのスイッチング特性

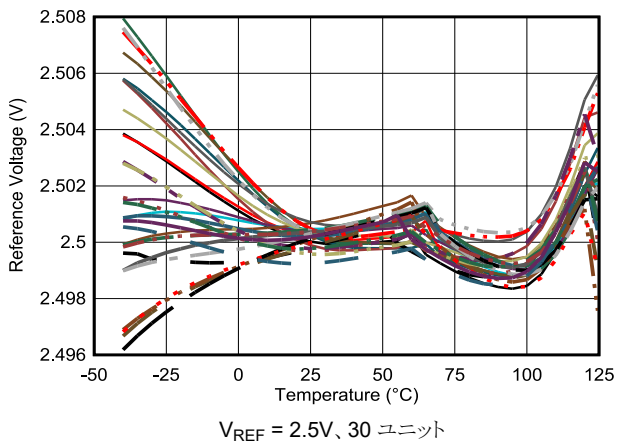
5.9 代表的特性

T_A = 25℃ (特に記述のない限り)



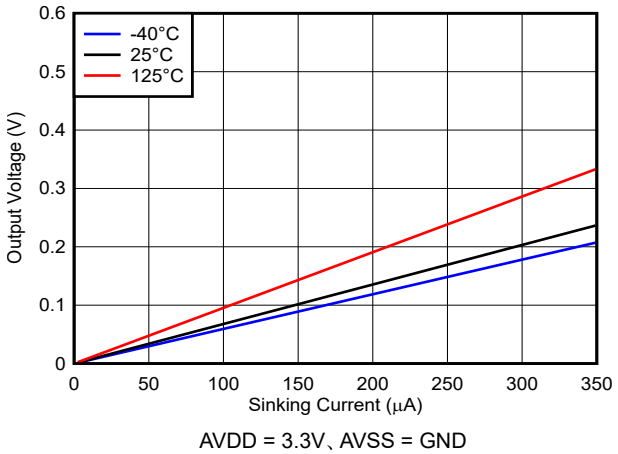
V_{REF} = 1.25V、30 ユニット

図 5-3. 内部リファレンス電圧と温度との関係



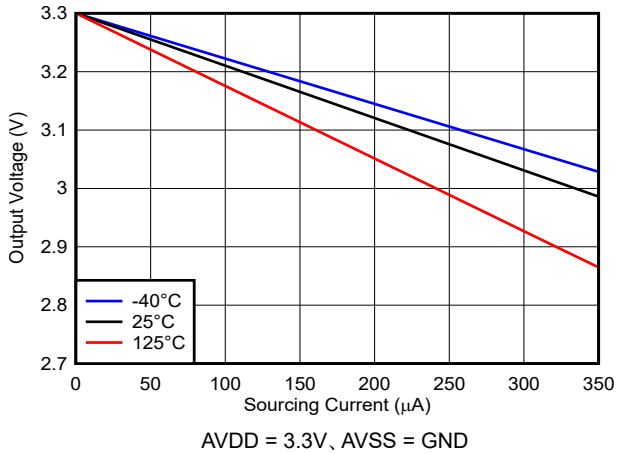
V_{REF} = 2.5V、30 ユニット

図 5-4. 内部リファレンス電圧と温度との関係



AVDD = 3.3V、AVSS = GND

図 5-5. GPIO ピン出力電圧とシンク電流との関係



AVDD = 3.3V、AVSS = GND

図 5-6. GPIO デピンの出力電圧とソース電流との関係

Copyright © 2026 Texas Instruments Incorporated

6 パラメータ測定情報

6.1 ノイズ性能

デルタシグマ (ΔΣ) 方式の A/D コンバータ (ADC) は、オーバーサンプリングの原理に基づいています。ΔΣ ADC の入力信号は高い周波数 (変調器周波数) でサンプリングされ、その後、デジタル領域でフィルタ処理およびデシメーションが行われ、対応する出力データ レートでの変換結果が得られます。変調器周波数と出力データレートの比は、オーバーサンプリング比 (OSR) と呼ばれます。OSR を高くし、それによって出力データ レートを低下させることで、ADC のノイズ性能を最適化できます。言い換えると、内部変調器のより多くのサンプルが平均化されて一つの変換結果が得られるため、出力データ レートを下げると入力換算ノイズは低下します。ゲインを大きくすると、入力換算ノイズも減少し、低レベル信号を測定する場合に特に役立ちます。

表 6-1～表 6-8 は、T_A = 25°C、f_{CLK} = 4.096MHz における代表的なデバイスのノイズ性能を要約しています。示されているデータは、アナログ入力を短絡した状態で測定した、μV_{RMS} 単位の代表的な入力換算ノイズ (e_n) 結果です。RMS ノイズの測定には、連続した 1,000 回の変換、または連続 10 秒間の変換のいずれか先に到達した方が使用されます。ノイズの統計的な性質から、繰り返しノイズを測定すると、ノイズの結果は大きく、または小さくなる可能性があります。

選択したコーディング方式に応じて、提供される μV_{RMS} の数値によって有効分解能を計算するには、式 2 または式 1 を使用します。

$$\text{Binary two's complement coding: Effective Resolution} = \ln[(2 \times V_{REF} / \text{Gain}) / e_{n(RMS)}] / \ln(2) \quad (1)$$

$$\text{Unipolar straight binary coding: Effective Resolution} = \ln[(V_{REF} / \text{Gain}) / e_{n(RMS)}] / \ln(2) \quad (2)$$

μV_{PP} 単位の入力換算ノイズ (e_n) は、$e_{n(PP)} = 6.6 \times e_{n(RMS)}$ と推定できます。選択したコーディング方式に応じて、推定 μ V_{PP} 値からノイズフリー分解能を計算するには、式 4 または式 3 を使用します。

$$\text{Binary two's complement coding: Noise-free Resolution} = \ln[(2 \times V_{REF} / \text{Gain}) / e_{n(PP)}] / \ln(2) \quad (3)$$

$$\text{Unipolar straight binary coding: Noise-free Resolution} = \ln[(V_{REF} / \text{Gain}) / e_{n(PP)}] / \ln(2) \quad (4)$$

入力を短絡した状態での入力換算ノイズ性能は、基準電圧によってほとんど変化しません。つまり表 6-1～ 表 6-8 は、他のリファレンス電圧値にも適用されます。

グローバル チョップ モードでは、入力を入れ替えた状態で行った ADC の 2 回の測定結果をデバイスが平均化します。グローバル チョップ モードでは、デバイスの入力オフセットが大幅に低減され、ノイズは √2 の係数で低減されます。

ノイズ データは、デバイスの 24 ビット バージョンを使用して測定します。16 ビット デバイスの場合は、ノイズ データを LSB サイズでクリップします。

Copyright © 2026 Texas Instruments Incorporated

表 6-1. 入力換算ノイズ (μV_{RMS})、速度モード 0 (f_{MOD} = 32kHz)
AVDD = 3.3V で、グローバル チョップ モード無効化、内部 2.5V リファレンス、ゲイン = 0.5 ～ 16

OSR	データ レート (SPS)[1]	ゲイン							
		0.5	1	2	4	5	8	10	16
SINC4 フィルタ (STEPx_FLTR_MODE = 0b、STEPx_FLTR_OSR[4:0] = 00000b ～ 10000b)									
8	4000	333.94	168.20	85.70	42.75	43.27	22.06	22.15	11.12
16	2000	51.64	25.75	14.02	8.32	8.36	5.81	5.82	3.29
24	1333	36.41	18.51	10.27	6.43	6.45	4.64	4.64	2.67
32	1000	31.69	15.40	8.88	5.61	5.61	4.14	4.12	2.37
64	500	22.05	11.26	6.25	3.91	3.92	2.84	2.86	1.65
128	250	15.47	7.91	4.38	2.85	2.79	2.00	2.05	1.13
256	125	11.00	5.50	3.02	1.95	2.02	1.47	1.44	0.84
512	62.5	8.05	3.95	2.23	1.32	1.39	0.99	0.99	0.59
640	50	6.85	3.42	2.11	1.24	1.24	0.89	0.93	0.51
1024	31.25	5.61	2.81	1.56	1.01	0.98	0.69	0.68	0.43
2048	15.63	3.84	1.91	1.14	0.64	0.69	0.48	0.55	0.29
4096	7.81	2.95	1.28	0.78	0.60	0.46	0.37	0.29	0.23
8192	3.91	4.18	1.06	0.57	0.29	2.48	3.90	0.25	0.13
532	60	7.65	3.80	2.21	1.40	1.37	1.02	1.06	0.58
640	50	7.04	3.58	2.01	1.19	1.24	0.88	0.92	0.52
1920	16.7	4.22	2.22	1.07	0.69	0.69	0.51	0.51	0.29
3200	10	3.43	1.61	0.81	0.48	0.64	0.44	0.44	0.24
SINC3 フィルタ (STEPx_FLTR_MODE = 1b、STEPx_FLTR_OSR[4:0] = 00000b ～ 10000b)									
8	4000	497.79	249.35	125.99	63.17	63.89	32.16	32.38	16.41
16	2000	78.04	39.07	20.21	11.14	11.37	7.21	7.13	3.96
24	1333	42.42	21.42	11.76	7.17	7.32	5.18	5.15	2.90
32	1000	34.09	17.61	9.71	6.03	6.06	4.35	4.47	2.55
64	500	23.85	11.73	6.74	4.18	4.19	3.14	3.10	1.77
128	250	17.00	8.56	4.69	2.99	3.03	2.15	2.21	1.24
256	125	11.81	6.20	3.27	2.17	2.09	1.59	1.57	0.86
512	62.5	7.85	3.98	2.29	1.53	1.48	1.10	1.17	0.63
640	50	7.63	3.81	2.11	1.34	1.35	0.96	0.96	0.56
1024	31.25	6.11	2.92	1.55	1.07	1.06	0.77	0.83	0.48
2048	15.63	4.25	2.27	1.19	0.75	0.74	0.45	0.50	0.33
4096	7.81	2.96	1.48	0.70	0.54	0.45	0.39	0.43	0.26
8192	3.91	4.60	3.63	3.59	0.37	0.35	0.29	0.27	0.18
532	60	7.96	4.02	2.42	1.44	1.41	1.10	1.04	0.61
640	50	7.13	3.79	2.02	1.31	1.26	1.01	1.04	0.53
1920	16.7	4.18	2.18	1.29	0.82	0.78	0.64	0.54	0.33
3200	10	3.42	1.60	0.89	0.61	0.66	0.43	0.46	0.27

Copyright © 2026 Texas Instruments Incorporated

表 6-1. 入力換算ノイズ (μV_{RMS})、速度モード 0 (f_{MOD} = 32kHz)
AVDD = 3.3V で、グローバル チョップ モード無効化、内部 2.5V リファレンス、ゲイン = 0.5 ～ 16 (続き)

OSR	データ レート (SPS)(1)	ゲイン							
		0.5	1	2	4	5	8	10	16
SINC4 + SINC1 フィルタ (STEPx_FLTR_OSR[4:0] = 10001b ～ 11101b)									
64	500	27.08	13.51	7.64	4.79	4.79	3.62	3.49	2.03
128	250	20.09	10.39	5.81	3.75	3.73	2.76	2.76	1.57
256	125	15.30	7.43	4.16	2.78	2.73	2.09	2.08	1.14
512	62.5	11.19	5.38	3.08	2.01	1.98	1.43	1.40	0.83
640	50	9.83	5.09	3.02	1.70	1.73	1.31	1.33	0.70
1024	31.25	8.48	4.07	2.47	1.51	1.47	1.06	1.04	0.60
2048	15.63	6.13	2.94	1.55	0.90	1.10	0.81	0.69	0.41
4096	7.81	4.19	2.26	1.11	0.58	0.62	0.52	0.55	0.34
8192	3.91	3.31	1.42	0.65	0.57	0.44	0.29	0.32	0.19
532	60	10.74	5.67	3.12	1.93	1.91	1.35	1.46	0.84
640	50	9.62	5.14	2.80	1.83	1.87	1.32	1.26	0.72
1920	16.7	5.28	3.22	1.70	1.05	1.00	0.79	0.80	0.42
3200	10	4.34	2.05	1.18	0.73	0.77	0.60	0.61	0.30
FIR フィルタ (STEPx_FLTR_OSR[4:0] = 11110b ～ 11111b)									
1280	25	8.45	4.06	2.46	1.31	1.44	1.09	1.09	0.64
1600	20	8.39	3.87	2.10	1.31	1.27	0.98	0.98	0.52

(1) f_{CLK} = 4.096MHz を使用

Copyright © 2026 Texas Instruments Incorporated

表 6-2. 入力換算ノイズ (μV_{RMS})、速度モード 0 (f_{MOD} = 32kHz)、AVDD = 3.3V で、グローバル チョップ モード無効化、内部 2.5V リファレンス、ゲイン = 20 ～ 256

OSR	データ レート (SPS)(1)	ゲイン							
		20	32	50	64	100	128	200	256
SINC4 フィルタ (STEPx_FLTR_MODE = 0b、STEPx_FLTR_OSR[4:0] = 00000b ～ 10000b)									
8	4000	11.32	6.11	6.11	3.68	3.61	2.56	2.57	2.17
16	2000	3.30	2.39	2.35	1.84	1.87	1.62	1.60	1.54
24	1333	2.64	1.93	1.91	1.53	1.56	1.36	1.37	1.28
32	1000	2.33	1.71	1.71	1.37	1.37	1.21	1.22	1.14
64	500	1.65	1.19	1.21	0.97	0.96	0.87	0.86	0.84
128	250	1.21	0.84	0.85	0.68	0.67	0.60	0.60	0.57
256	125	0.83	0.61	0.59	0.49	0.50	0.42	0.43	0.40
512	62.5	0.58	0.43	0.42	0.34	0.35	0.30	0.31	0.27
640	50	0.52	0.36	0.38	0.29	0.31	0.26	0.27	0.28
1024	31.25	0.42	0.28	0.29	0.24	0.22	0.22	0.21	0.20
2048	15.63	0.29	0.21	0.21	0.15	0.16	0.14	0.16	0.14
4096	7.81	0.20	0.15	0.11	0.13	0.12	0.11	0.11	0.10
8192	3.91	0.16	0.09	0.10	0.60	0.60	0.51	0.50	0.06
532	60	0.59	0.41	0.43	0.33	0.34	0.31	0.30	0.28
640	50	0.51	0.37	0.38	0.28	0.32	0.26	0.27	0.25
1920	16.7	0.28	0.21	0.21	0.17	0.19	0.16	0.17	0.15
3200	10	0.24	0.15	0.18	0.13	0.14	0.12	0.12	0.12
SINC3 フィルタ (STEPx_FLTR_MODE = 1b、STEPx_FLTR_OSR[4:0] = 00000b ～ 10000b)									
8	4000	16.15	8.57	8.61	4.78	4.79	3.09	3.12	2.46
16	2000	3.93	2.62	2.66	2.06	2.01	1.72	1.74	1.65
24	1333	2.88	2.10	2.08	1.69	1.67	1.45	1.45	1.38
32	1000	2.54	1.83	1.83	1.48	1.48	1.29	1.32	1.24
64	500	1.74	1.30	1.28	1.04	1.04	0.92	0.92	0.86
128	250	1.24	0.90	0.90	0.73	0.69	0.66	0.67	0.61
256	125	0.88	0.64	0.63	0.52	0.53	0.48	0.46	0.43
512	62.5	0.63	0.44	0.45	0.35	0.36	0.31	0.32	0.30
640	50	0.55	0.39	0.41	0.33	0.33	0.29	0.28	0.28
1024	31.25	0.45	0.36	0.34	0.26	0.23	0.22	0.23	0.23
2048	15.63	0.29	0.23	0.23	0.17	0.16	0.17	0.16	0.15
4096	7.81	0.22	0.17	0.14	0.14	0.14	0.12	0.13	0.08
8192	3.91	0.14	0.74	0.12	0.61	0.11	0.09	0.09	0.09
532	60	0.62	0.42	0.46	0.35	0.36	0.32	0.32	0.30
640	50	0.56	0.41	0.39	0.33	0.36	0.28	0.30	0.26
1920	16.7	0.31	0.23	0.23	0.19	0.19	0.18	0.17	0.15
3200	10	0.25	0.15	0.17	0.16	0.14	0.12	0.12	0.13

Copyright © 2026 Texas Instruments Incorporated

表 6-2. 入力換算ノイズ (μV_{RMS})、速度モード 0 (f_{MOD} = 32kHz)、AVDD = 3.3V で、グローバル チョップ モード無効化、内部 2.5V リファレンス、ゲイン = 20 ～ 256 (続き)

OSR	データ レート (SPS)(1)	ゲイン							
		20	32	50	64	100	128	200	256
SINC4 + SINC1 フィルタ (STEPx_FLTR_OSR[4:0] = 10001b ～ 11101b)									
64	500	2.03	1.47	1.44	1.17	1.18	1.05	1.04	1.01
128	250	1.59	1.12	1.13	0.92	0.89	0.81	0.81	0.80
256	125	1.18	0.83	0.82	0.70	0.69	0.57	0.60	0.55
512	62.5	0.83	0.62	0.59	0.47	0.48	0.42	0.45	0.41
640	50	0.76	0.53	0.53	0.44	0.44	0.38	0.38	0.36
1024	31.25	0.58	0.41	0.43	0.34	0.37	0.31	0.32	0.27
2048	15.63	0.43	0.30	0.31	0.26	0.24	0.21	0.23	0.20
4096	7.81	0.31	0.21	0.22	0.16	0.19	0.16	0.16	0.14
8192	3.91	0.17	0.17	0.16	0.14	0.12	0.10	0.10	0.13
532	60	0.82	0.57	0.56	0.47	0.46	0.41	0.41	0.40
640	50	0.70	0.54	0.55	0.43	0.41	0.40	0.40	0.38
1920	16.7	0.42	0.31	0.34	0.24	0.26	0.22	0.24	0.22
3200	10	0.35	0.22	0.26	0.17	0.19	0.19	0.16	0.18
FIR フィルタ (STEPx_FLTR_OSR[4:0] = 11110b ～ 11111b)									
1280	25	0.65	0.43	0.47	0.37	0.37	0.36	0.33	0.31
1600	20	0.53	0.41	0.44	0.36	0.36	0.32	0.30	0.26

(1) f_{CLK} = 4.096MHz を使用

表 6-3. 入力換算ノイズ (μV_{RMS})、速度モード 1 (f_{MOD} = 256kHz)
AVDD = 3.3V で、グローバル チョップ モード無効化、内部 2.5V リファレンス、ゲイン = 0.5 ～ 16

OSR	データ レート (SPS)(1)	ゲイン							
		0.5	1	2	4	5	8	10	16
SINC4 フィルタ (STEPx_FLTR_MODE = 0b、STEPx_FLTR_OSR[4:0] = 00000b ～ 10000b)									
8	32000	333.78	168.00	82.88	43.99	43.67	24.14	24.07	12.74
16	16000	50.84	26.10	14.89	10.02	9.97	8.36	8.38	5.09
24	10667	35.72	18.45	10.84	7.68	7.78	6.80	6.67	4.03
32	8000	29.85	15.90	9.36	6.75	6.78	5.85	5.84	3.56
64	4000	21.52	11.14	6.51	4.78	4.71	4.13	4.09	2.57
128	2000	15.22	7.83	4.63	3.35	3.33	2.92	2.92	1.79
256	1000	10.57	5.53	3.31	2.38	2.36	2.09	2.06	1.26
512	500	7.35	3.96	2.32	1.65	1.68	1.44	1.47	0.91
640	400	6.83	3.47	2.08	1.47	1.48	1.28	1.31	0.81
1024	250	5.42	2.78	1.59	1.15	1.18	1.02	1.04	0.63
2048	125	3.82	1.97	1.16	0.84	0.83	0.76	0.74	0.45
4096	62.5	2.86	1.38	0.87	0.59	0.61	0.56	0.53	0.33
8192	31.25	2.11	0.94	0.58	0.37	0.44	0.36	0.37	0.21
4256	60	2.44	1.41	0.80	0.58	0.60	0.51	0.51	0.30
5120	50	2.28	1.23	0.76	0.51	0.55	0.48	0.50	0.29
15360	16.7	1.38	0.70	0.44	0.32	0.30	0.26	0.25	0.16
25600	10	1.04	0.54	0.31	0.24	0.24	0.19	0.23	0.13
SINC3 フィルタ (STEPx_FLTR_MODE = 1b、STEPx_FLTR_OSR[4:0] = 00000b ～ 10000b)									
8	32000	498.66	248.93	125.39	63.67	63.33	33.37	33.24	17.04
16	16000	78.11	39.13	20.97	12.81	12.65	9.62	9.61	5.75
24	10667	41.84	21.61	12.42	8.46	8.46	7.35	7.34	4.46
32	8000	33.79	17.18	10.11	7.08	7.15	6.26	6.19	3.87
64	4000	22.81	11.79	7.22	5.12	5.08	4.43	4.53	2.73
128	2000	16.25	8.27	5.03	3.54	3.58	3.11	3.12	1.94
256	1000	11.33	5.90	3.54	2.52	2.51	2.22	2.22	1.37
512	500	7.95	4.24	2.49	1.77	1.80	1.54	1.56	0.98
640	400	7.28	3.76	2.25	1.62	1.58	1.43	1.41	0.87
1024	250	5.79	2.92	1.73	1.26	1.23	1.13	1.13	0.68
2048	125	4.15	2.08	1.26	0.90	0.93	0.77	0.76	0.49
4096	62.5	2.91	1.46	0.86	0.62	0.64	0.56	0.54	0.32
8192	31.25	1.92	0.93	0.64	0.46	0.41	0.37	0.42	0.24
4256	60	2.86	1.58	0.84	0.61	0.61	0.53	0.52	0.34
5120	50	2.56	1.35	0.77	0.56	0.59	0.51	0.52	0.32
15360	16.7	1.44	0.76	0.46	0.33	0.30	0.30	0.28	0.17
25600	10	0.92	0.56	0.38	0.27	0.31	0.26	0.23	0.13

Copyright © 2026 Texas Instruments Incorporated

表 6-3. 入力換算ノイズ (μV_{RMS})、速度モード 1 (f_{MOD} = 256kHz)
AVDD = 3.3V で、グローバル チョップ モード無効化、内部 2.5V リファレンス、ゲイン = 0.5 ～ 16 (続き)

OSR	データ レート (SPS)(1)	ゲイン							
		0.5	1	2	4	5	8	10	16
SINC4 + SINC1 フィルタ (STEPx_FLTR_OSR[4:0] = 10001b ～ 11101b)									
64	4000	25.90	13.66	8.14	5.75	5.72	5.04	5.02	3.12
128	2000	20.21	10.37	6.33	4.49	4.45	3.91	3.90	2.41
256	1000	14.89	7.72	4.55	3.30	3.29	2.89	2.88	1.79
512	500	10.69	5.54	3.36	2.31	2.34	2.08	2.08	1.28
640	400	9.69	4.90	2.98	2.13	2.11	1.87	1.87	1.16
1024	250	7.84	3.92	2.39	1.70	1.72	1.48	1.45	0.92
2048	125	5.52	2.86	1.68	1.18	1.20	1.05	1.06	0.64
4096	62.5	3.73	2.07	1.19	0.83	0.90	0.77	0.75	0.44
8192	31.25	2.82	1.41	0.83	0.55	0.60	0.55	0.56	0.34
4256	60	3.92	2.03	1.26	0.78	0.83	0.77	0.76	0.45
5120	50	3.47	1.61	1.06	0.80	0.81	0.66	0.64	0.42
15360	16.7	2.10	0.99	0.66	0.45	0.41	0.36	0.36	0.24
25600	10	1.53	0.87	0.51	0.29	0.37	0.30	0.29	0.19
FIR フィルタ (STEPx_FLTR_OSR[4:0] = 11110b ～ 11111b)									
10240	25	2.71	1.54	0.82	0.66	0.63	0.56	0.54	0.31
12800	20	2.56	1.33	0.80	0.54	0.54	0.52	0.48	0.30

(1) f_{CLK} = 4.096MHz を使用

Copyright © 2026 Texas Instruments Incorporated

表 6-4. 入力換算ノイズ (μV_{RMS})、速度モード 1 (f_{MOD} = 256kHz)
AVDD = 3.3V で、グローバル チョップ モード無効化、内部 2.5V リファレンス、ゲイン = 20 ～ 256

OSR	データ レート (SPS)[1]	ゲイン							
		20	32	50	64	100	128	200	256
SINC4 フィルタ (STEPx_FLTR_MODE = 0b、STEPx_FLTR_OSR[4:0] = 00000b ～ 10000b)									
8	32000	12.65	8.18	8.11	4.10	4.04	3.03	3.05	2.65
16	16000	5.14	4.48	4.43	2.21	2.22	2.01	2.00	1.87
24	10667	4.11	3.67	3.65	1.84	1.85	1.64	1.63	1.56
32	8000	3.61	3.18	3.16	1.61	1.62	1.44	1.46	1.35
64	4000	2.55	2.27	2.28	1.16	1.17	1.04	1.05	1.00
128	2000	1.80	1.61	1.61	0.83	0.81	0.75	0.74	0.70
256	1000	1.27	1.14	1.13	0.58	0.58	0.53	0.54	0.49
512	500	0.89	0.80	0.79	0.41	0.41	0.37	0.37	0.35
640	400	0.80	0.72	0.73	0.37	0.36	0.34	0.33	0.31
1024	250	0.64	0.57	0.57	0.28	0.29	0.27	0.27	0.26
2048	125	0.46	0.39	0.39	0.21	0.20	0.19	0.18	0.17
4096	62.5	0.33	0.26	0.27	0.15	0.15	0.14	0.13	0.12
8192	31.25	0.24	0.18	0.18	0.10	0.10	0.09	0.09	0.10
4256	60	0.33	0.28	0.28	0.14	0.14	0.12	0.13	0.12
5120	50	0.27	0.27	0.24	0.13	0.13	0.12	0.12	0.11
15360	16.7	0.17	0.15	0.15	0.08	0.08	0.07	0.07	0.07
25600	10	0.13	0.10	0.11	0.06	0.06	0.06	0.05	0.05
SINC3 フィルタ (STEPx_FLTR_MODE = 1b、STEPx_FLTR_OSR[4:0] = 00000b ～ 10000b)									
8	32000	17.24	10.27	10.10	5.14	5.14	3.52	3.56	2.89
16	16000	5.73	4.90	4.85	2.45	2.39	2.12	2.16	2.00
24	10667	4.49	3.94	3.98	1.97	1.97	1.75	1.78	1.65
32	8000	3.82	3.41	3.38	1.70	1.72	1.55	1.55	1.45
64	4000	2.78	2.44	2.45	1.25	1.26	1.14	1.16	1.08
128	2000	1.94	1.71	1.72	0.89	0.88	0.80	0.79	0.75
256	1000	1.36	1.22	1.22	0.64	0.62	0.57	0.56	0.54
512	500	0.95	0.87	0.88	0.43	0.44	0.40	0.40	0.38
640	400	0.88	0.75	0.77	0.39	0.40	0.37	0.36	0.34
1024	250	0.69	0.59	0.60	0.31	0.31	0.29	0.28	0.27
2048	125	0.47	0.43	0.43	0.23	0.22	0.20	0.20	0.19
4096	62.5	0.35	0.31	0.30	0.15	0.15	0.15	0.14	0.14
8192	31.25	0.26	0.21	0.21	0.11	0.11	0.11	0.10	0.09
4256	60	0.33	0.29	0.30	0.15	0.16	0.14	0.13	0.12
5120	50	0.30	0.28	0.27	0.14	0.15	0.13	0.13	0.12
15360	16.7	0.17	0.16	0.16	0.07	0.07	0.08	0.08	0.07
25600	10	0.13	0.10	0.11	0.06	0.06	0.06	0.05	0.05

Copyright © 2026 Texas Instruments Incorporated

表 6-4. 入力換算ノイズ (μV_{RMS})、速度モード 1 (f_{MOD} = 256kHz)
AVDD = 3.3V で、グローバル チョップ モード無効化、内部 2.5V リファレンス、ゲイン = 20 ～ 256 (続き)

OSR	データ レート (SPS)(1)	ゲイン							
		20	32	50	64	100	128	200	256
SINC4 + SINC1 フィルタ (STEPx_FLTR_OSR[4:0] = 10001b ～ 11101b)									
64	4000	3.13	2.75	2.77	1.43	1.42	1.29	1.30	1.23
128	2000	2.42	2.14	2.15	1.09	1.10	1.00	1.00	0.94
256	1000	1.77	1.59	1.58	0.80	0.81	0.73	0.73	0.69
512	500	1.27	1.12	1.11	0.58	0.57	0.53	0.52	0.51
640	400	1.15	1.02	1.03	0.52	0.52	0.48	0.48	0.45
1024	250	0.92	0.81	0.80	0.41	0.42	0.38	0.38	0.36
2048	125	0.64	0.55	0.59	0.30	0.29	0.27	0.28	0.25
4096	62.5	0.46	0.42	0.42	0.21	0.21	0.19	0.20	0.18
8192	31.25	0.31	0.29	0.26	0.13	0.14	0.13	0.13	0.13
4256	60	0.46	0.41	0.41	0.20	0.20	0.19	0.17	0.17
5120	50	0.40	0.37	0.37	0.18	0.19	0.16	0.17	0.15
15360	16.7	0.22	0.23	0.21	0.10	0.09	0.11	0.10	0.09
25600	10	0.19	0.15	0.16	0.07	0.08	0.08	0.07	0.07
FIR フィルタ (STEPx_FLTR_OSR[4:0] = 11110b ～ 11111b)									
10240	25	0.32	0.30	0.29	0.16	0.15	0.14	0.14	0.13
12800	20	0.31	0.26	0.25	0.15	0.14	0.13	0.13	0.12

(1) f_{CLK} = 4.096MHz を使用

Copyright © 2026 Texas Instruments Incorporated

表 6-5. 入力換算ノイズ (μV_{RMS})、速度モード 2 (f_{MOD} = 512kHz)
AVDD = 3.3V で、グローバル チョップ モード無効化、内部 2.5V リファレンス、ゲイン = 0.5 ～ 16

OSR	データ レート (SPS)(1)	ゲイン							
		0.5	1	2	4	5	8	10	16
SINC4 フィルタ (STEPx_FLTR_MODE = 0b、STEPx_FLTR_OSR[4:0] = 00000b ～ 10000b)									
8	64000	331.89	168.39	85.04	43.16	42.80	22.34	22.83	11.94
16	32000	50.16	25.61	13.71	8.45	8.25	6.40	6.48	4.36
24	21333	35.15	18.04	9.80	6.33	6.37	5.04	5.21	3.52
32	16000	29.85	14.94	8.40	5.48	5.42	4.45	4.33	3.01
64	8000	20.97	10.63	6.05	3.84	3.84	3.20	3.19	2.18
128	4000	14.78	7.42	4.24	2.77	2.73	2.24	2.24	1.55
256	2000	10.41	5.35	3.03	1.93	1.91	1.57	1.56	1.10
512	1000	7.25	3.77	2.12	1.36	1.35	1.12	1.11	0.77
640	800	6.70	3.35	1.89	1.20	1.22	1.00	0.99	0.70
1024	500	5.22	2.60	1.48	0.96	0.96	0.79	0.79	0.54
2048	250	3.63	1.81	1.07	0.69	0.68	0.56	0.55	0.38
4096	125	2.47	1.33	0.78	0.50	0.47	0.39	0.38	0.28
8192	62.5	1.84	0.91	0.53	0.35	0.32	0.30	0.30	0.20
8512	60	1.68	0.94	0.50	0.34	0.33	0.28	0.27	0.18
10240	50	1.73	0.83	0.49	0.31	0.32	0.26	0.25	0.15
30720	16.7	1.04	0.53	0.29	0.16	0.19	0.15	0.14	0.10
51200	10	0.91	0.38	0.20	0.13	0.13	0.11	0.13	0.07
SINC3 フィルタ (STEPx_FLTR_MODE = 1b、STEPx_FLTR_OSR[4:0] = 00000b ～ 10000b)									
8	64000	493.10	249.35	125.06	62.77	61.69	31.82	32.39	16.85
16	32000	76.71	38.45	19.94	11.30	11.26	7.74	7.72	4.93
24	21333	40.69	20.62	11.58	7.22	7.26	5.58	5.59	3.80
32	16000	33.05	16.36	9.26	5.91	5.91	4.73	4.76	3.24
64	8000	22.27	11.34	6.56	4.15	4.12	3.37	3.37	2.33
128	4000	15.69	7.90	4.47	2.92	2.91	2.40	2.41	1.66
256	2000	11.18	5.52	3.17	2.06	2.03	1.68	1.70	1.16
512	1000	7.83	3.98	2.20	1.44	1.43	1.20	1.20	0.82
640	800	7.04	3.59	2.01	1.30	1.33	1.07	1.09	0.73
1024	500	5.59	2.78	1.61	1.04	1.04	0.84	0.84	0.57
2048	250	3.86	1.97	1.13	0.71	0.74	0.61	0.60	0.40
4096	125	2.77	1.44	0.83	0.52	0.53	0.42	0.43	0.29
8192	62.5	1.94	1.02	0.61	0.38	0.34	0.29	0.27	0.22
8512	60	1.91	0.98	0.56	0.38	0.35	0.27	0.30	0.19
10240	50	1.85	0.96	0.51	0.33	0.34	0.26	0.27	0.18
30720	16.7	1.09	0.56	0.28	0.19	0.18	0.16	0.16	0.10
51200	10	0.83	0.40	0.22	0.17	0.13	0.12	0.13	0.09

Copyright © 2026 Texas Instruments Incorporated

表 6-5. 入力換算ノイズ (μV_{RMS})、速度モード 2 (f_{MOD} = 512kHz)
AVDD = 3.3V で、グローバル チョップ モード無効化、内部 2.5V リファレンス、ゲイン = 0.5 ～ 16 (続き)

OSR	データ レート (SPS)(1)	ゲイン							
		0.5	1	2	4	5	8	10	16
SINC4 + SINC1 フィルタ (STEPx_FLTR_OSR[4:0] = 10001b ～ 11101b)									
64	8000	25.43	12.93	7.26	4.75	4.72	4.72	4.72	4.72
128	4000	19.81	10.13	5.62	3.64	3.65	3.65	3.65	3.65
256	2000	14.62	7.30	4.12	2.68	2.72	2.72	2.72	2.72
512	1000	10.40	5.34	3.00	1.93	1.94	1.94	1.94	1.94
640	800	9.25	4.76	2.67	1.74	1.72	1.72	1.72	1.72
1024	500	7.48	3.88	2.13	1.37	1.38	1.38	1.38	1.38
2048	250	5.27	2.72	1.53	0.98	0.97	0.97	0.97	0.97
4096	125	3.79	1.93	1.04	0.68	0.67	0.67	0.67	0.67
8192	62.5	2.81	1.32	0.74	0.48	0.49	0.49	0.49	0.49
8512	60	2.64	1.35	0.78	0.49	0.48	0.48	0.48	0.48
10240	50	2.31	1.27	0.68	0.43	0.45	0.45	0.45	0.45
30720	16.7	1.41	0.64	0.42	0.25	0.26	0.26	0.26	0.26
51200	10	1.13	0.48	0.31	0.21	0.22	0.22	0.22	0.22
FIR フィルタ (STEPx_FLTR_OSR[4:0] = 11110b ～ 11111b)									
20480	25	1.96	1.01	0.57	0.35	0.33	0.30	0.29	0.18
25600	20	1.77	0.90	0.49	0.33	0.31	0.27	0.26	0.17

(1) f_{CLK} = 4.096MHz を使用

表 6-6. 入力換算ノイズ (μV_{RMS})、速度モード 2 (f_{MOD} = 512kHz)
AVDD = 3.3V で、グローバル チョップ モード無効化、内部 2.5V リファレンス、ゲイン = 20 ～ 256

OSR	データ レート (SPS)(1)	ゲイン							
		20	32	50	64	100	128	200	256
SINC4 フィルタ (STEPx_FLTR_MODE = 0b、STEPx_FLTR_OSR[4:0] = 00000b ～ 10000b)									
8	64000	12.25	7.13	7.19	4.03	3.98	2.73	2.71	2.12
16	32000	4.37	3.58	3.54	2.13	2.15	1.71	1.72	1.44
24	21333	3.48	2.90	2.90	1.73	1.76	1.40	1.41	1.19
32	16000	3.04	2.49	2.52	1.51	1.52	1.23	1.21	1.05
64	8000	2.16	1.83	1.81	1.09	1.10	0.90	0.89	0.76
128	4000	1.54	1.27	1.27	0.77	0.78	0.63	0.63	0.54
256	2000	1.07	0.90	0.89	0.54	0.55	0.44	0.44	0.38
512	1000	0.76	0.64	0.64	0.38	0.39	0.32	0.32	0.27
640	800	0.68	0.57	0.58	0.35	0.34	0.28	0.28	0.24
1024	500	0.55	0.45	0.44	0.28	0.27	0.22	0.22	0.19
2048	250	0.38	0.30	0.31	0.20	0.20	0.16	0.16	0.13
4096	125	0.27	0.22	0.23	0.13	0.14	0.11	0.11	0.10
8192	62.5	0.18	0.16	0.15	0.10	0.10	0.08	0.08	0.07
8512	60	0.19	0.15	0.16	0.10	0.09	0.08	0.08	0.06
10240	50	0.17	0.14	0.14	0.09	0.09	0.07	0.07	0.06
30720	16.7	0.10	0.09	0.08	0.05	0.05	0.04	0.04	0.04
51200	10	0.08	0.06	0.07	0.04	0.04	0.03	0.03	0.03
SINC3 フィルタ (STEPx_FLTR_MODE = 1b、STEPx_FLTR_OSR[4:0] = 00000b ～ 10000b)									
8	64000	16.74	9.54	9.32	5.01	5.05	3.22	3.21	2.35
16	32000	5.01	3.91	3.88	2.34	2.37	1.85	1.83	1.52
24	21333	3.85	3.15	3.08	1.90	1.89	1.51	1.52	1.28
32	16000	3.25	2.69	2.65	1.64	1.61	1.31	1.31	1.12
64	8000	2.33	1.94	1.90	1.16	1.16	0.95	0.95	0.82
128	4000	1.64	1.35	1.37	0.82	0.83	0.68	0.67	0.57
256	2000	1.14	0.96	0.97	0.59	0.59	0.48	0.47	0.42
512	1000	0.83	0.67	0.67	0.41	0.41	0.33	0.34	0.29
640	800	0.74	0.61	0.60	0.37	0.37	0.30	0.30	0.26
1024	500	0.58	0.48	0.48	0.29	0.29	0.24	0.24	0.21
2048	250	0.41	0.34	0.34	0.21	0.21	0.17	0.17	0.14
4096	125	0.30	0.25	0.24	0.14	0.14	0.12	0.12	0.11
8192	62.5	0.21	0.17	0.17	0.11	0.10	0.09	0.08	0.07
8512	60	0.19	0.16	0.17	0.10	0.10	0.08	0.08	0.07
10240	50	0.20	0.15	0.16	0.09	0.10	0.08	0.08	0.07
30720	16.7	0.12	0.09	0.07	0.05	0.06	0.05	0.04	0.04
51200	10	0.08	0.08	0.07	0.04	0.04	0.04	0.03	0.03

Copyright © 2026 Texas Instruments Incorporated

表 6-6. 入力換算ノイズ (μV_{RMS})、速度モード 2 (f_{MOD} = 512kHz)
AVDD = 3.3V で、グローバル チョップ モード無効化、内部 2.5V リファレンス、ゲイン = 20 ～ 256 (続き)

OSR	データ レート (SPS)(1)	ゲイン							
		20	32	50	64	100	128	200	256
SINC4 + SINC1 フィルタ (STEPx_FLTR_OSR[4:0] = 10001b ～ 11101b)									
64	8000	2.62	2.19	2.21	1.33	1.33	1.08	1.09	0.94
128	4000	2.03	1.71	1.68	1.04	1.04	0.85	0.84	0.71
256	2000	1.49	1.24	1.25	0.76	0.76	0.62	0.62	0.53
512	1000	1.07	0.89	0.90	0.54	0.55	0.44	0.44	0.39
640	800	0.97	0.80	0.82	0.49	0.49	0.40	0.40	0.34
1024	500	0.77	0.66	0.64	0.40	0.40	0.31	0.32	0.28
2048	250	0.54	0.45	0.45	0.29	0.27	0.23	0.22	0.20
4096	125	0.40	0.32	0.32	0.19	0.19	0.17	0.16	0.14
8192	62.5	0.27	0.23	0.23	0.13	0.14	0.11	0.11	0.10
8512	60	0.29	0.23	0.22	0.14	0.14	0.11	0.11	0.09
10240	50	0.25	0.20	0.21	0.12	0.12	0.10	0.10	0.09
30720	16.7	0.14	0.12	0.13	0.07	0.07	0.06	0.05	0.05
51200	10	0.11	0.08	0.08	0.06	0.05	0.05	0.05	0.04
FIR フィルタ (STEPx_FLTR_OSR[4:0] = 11110b ～ 11111b)									
20480	25	0.19	0.17	0.17	0.10	0.10	0.08	0.08	0.07
25600	20	0.18	0.15	0.14	0.09	0.09	0.08	0.07	0.06

(1) f_{CLK} = 4.096MHz を使用

表 6-7. 入力換算ノイズ (μV_{RMS})、速度モード 3 (f_{MOD} = 1024kHz)
AVDD = 3.3V で、グローバル チョップ モード無効化、内部 2.5V リファレンス、ゲイン = 0.5 ～ 16

OSR	データ レート (SPS)(1)	ゲイン							
		0.5	1	2	4	5	8	10	16
SINC4 フィルタ (STEPx_FLTR_MODE = 0b、STEPx_FLTR_OSR[4:0] = 00000b ～ 10000b)									
8	128000	341.43	169.44	84.79	43.36	43.99	24.02	24.33	13.26
16	64000	50.75	26.14	14.60	9.62	9.50	8.46	8.61	5.90
24	42667	35.50	18.32	10.35	7.44	7.39	6.85	6.81	4.81
32	32000	30.36	15.58	8.89	6.37	6.33	5.98	5.94	4.14
64	16000	21.38	10.84	6.34	4.49	4.46	4.17	4.18	2.95
128	8000	15.17	7.72	4.47	3.14	3.17	2.94	2.96	2.07
256	4000	10.54	5.45	3.21	2.26	2.24	2.10	2.09	1.48
512	2000	7.42	3.88	2.25	1.59	1.61	1.50	1.49	1.05
640	1600	6.77	3.52	2.02	1.42	1.42	1.33	1.31	0.92
1024	1000	5.36	2.75	1.58	1.14	1.12	1.03	1.05	0.73
2048	500	3.80	1.94	1.12	0.79	0.78	0.75	0.74	0.52
4096	250	2.68	1.33	0.80	0.57	0.56	0.52	0.53	0.38
8192	125	1.90	0.92	0.59	0.39	0.39	0.37	0.36	0.26
17024	60	1.30	0.66	0.39	0.28	0.26	0.25	0.25	0.18
20480	50	1.21	0.58	0.36	0.26	0.26	0.23	0.24	0.16
61440	16.7	0.67	0.35	0.20	0.15	0.14	0.14	0.13	0.10
102400	10	0.50	0.29	0.15	0.11	0.11	0.11	0.12	0.07
SINC3 フィルタ (STEPx_FLTR_MODE = 1b、STEPx_FLTR_OSR[4:0] = 00000b ～ 10000b)									
8	128000	495.16	252.54	125.84	62.89	63.57	32.77	33.04	17.70
16	64000	77.33	38.98	20.79	12.25	12.30	9.67	9.76	6.55
24	42667	41.27	21.32	12.09	8.11	8.19	7.45	7.34	5.16
32	32000	32.99	16.83	9.84	6.83	6.92	6.32	6.48	4.51
64	16000	22.60	11.61	6.88	4.78	4.81	4.55	4.56	3.20
128	8000	15.83	8.43	4.84	3.40	3.42	3.16	3.14	2.25
256	4000	11.33	5.77	3.40	2.39	2.44	2.25	2.26	1.58
512	2000	8.06	4.08	2.41	1.72	1.69	1.59	1.59	1.13
640	1600	7.15	3.69	2.16	1.53	1.50	1.40	1.44	1.01
1024	1000	5.68	2.89	1.69	1.18	1.22	1.13	1.15	0.79
2048	500	4.07	2.02	1.21	0.85	0.85	0.80	0.79	0.55
4096	250	2.81	1.45	0.86	0.61	0.59	0.57	0.57	0.40
8192	125	2.04	1.04	0.61	0.43	0.40	0.39	0.40	0.28
17024	60	1.38	0.76	0.40	0.30	0.28	0.28	0.28	0.19
20480	50	1.30	0.65	0.38	0.27	0.28	0.23	0.27	0.17
61440	16.7	0.71	0.37	0.24	0.16	0.16	0.14	0.14	0.10
102400	10	0.54	0.36	0.19	0.12	0.14	0.11	0.13	0.07

Copyright © 2026 Texas Instruments Incorporated

表 6-7. 入力換算ノイズ (μV_{RMS})、速度モード 3 (f_{MOD} = 1024kHz)
AVDD = 3.3V で、グローバル チョップ モード無効化、内部 2.5V リファレンス、ゲイン = 0.5 ～ 16 (続き)

OSR	データ レート (SPS)(1)	ゲイン							
		0.5	1	2	4	5	8	10	16
SINC4 + SINC1 フィルタ (STEPx_FLTR_OSR[4:0] = 10001b ～ 11101b)									
64	16000	25.74	13.43	7.79	5.51	5.44	5.12	5.12	3.55
128	8000	19.86	10.28	5.98	4.25	4.20	3.94	3.98	2.80
256	4000	14.70	7.59	4.40	3.16	3.16	2.91	2.89	2.05
512	2000	10.61	5.46	3.21	2.28	2.25	2.09	2.11	1.48
640	1600	9.49	4.88	2.88	2.01	2.04	1.87	1.89	1.33
1024	1000	7.67	3.95	2.28	1.60	1.61	1.51	1.50	1.06
2048	500	5.45	2.80	1.64	1.17	1.15	1.07	1.05	0.75
4096	250	3.79	2.02	1.16	0.81	0.79	0.74	0.74	0.55
8192	125	2.65	1.38	0.83	0.59	0.56	0.54	0.54	0.37
17024	60	1.93	0.91	0.57	0.38	0.40	0.39	0.38	0.26
20480	50	1.77	0.89	0.52	0.36	0.36	0.34	0.35	0.24
61440	16.7	1.01	0.54	0.33	0.22	0.22	0.19	0.20	0.13
102400	10	0.87	0.36	0.21	0.16	0.17	0.16	0.15	0.11
FIR フィルタ (STEPx_FLTR_OSR[4:0] = 11110b ～ 11111b)									
40960	25	1.35	0.67	0.40	0.30	0.29	0.29	0.26	0.20
51200	20	1.18	0.65	0.39	0.27	0.26	0.24	0.23	0.17

(1) f_{CLK} = 4.096MHz を使用

表 6-8. 入力換算ノイズ (μV_{RMS})、速度モード 3 (f_{MOD} = 1024kHz)
AVDD = 3.3V で、グローバル チョップ モード無効化、内部 2.5V リファレンス、ゲイン = 20 ～ 256

OSR	データ レート (SPS)(1)	ゲイン							
		20	32	50	64	100	128	200	256
SINC4 フィルタ (STEPx_FLTR_MODE = 0b、STEPx_FLTR_OSR[4:0] = 00000b ～ 10000b)									
8	128000	13.38	8.66	8.56	4.93	4.89	3.59	3.52	2.81
16	64000	5.98	4.92	4.93	2.95	2.96	2.39	2.39	2.00
24	42667	4.82	3.94	4.05	2.47	2.44	1.96	1.99	1.67
32	32000	4.19	3.41	3.44	2.08	2.09	1.70	1.68	1.45
64	16000	2.95	2.46	2.46	1.50	1.51	1.22	1.22	1.03
128	8000	2.11	1.75	1.75	1.07	1.07	0.88	0.86	0.74
256	4000	1.47	1.25	1.24	0.75	0.75	0.62	0.60	0.52
512	2000	1.06	0.88	0.88	0.53	0.53	0.43	0.43	0.37
640	1600	0.92	0.79	0.78	0.48	0.47	0.38	0.39	0.32
1024	1000	0.74	0.63	0.63	0.38	0.39	0.31	0.31	0.26
2048	500	0.52	0.44	0.43	0.27	0.27	0.22	0.22	0.19
4096	250	0.37	0.31	0.31	0.19	0.19	0.15	0.16	0.13
8192	125	0.25	0.22	0.22	0.14	0.13	0.10	0.11	0.09
17024	60	0.18	0.15	0.15	0.10	0.09	0.08	0.08	0.06
20480	50	0.16	0.14	0.13	0.08	0.08	0.07	0.07	0.06
61440	16.7	0.10	0.08	0.07	0.05	0.05	0.04	0.04	0.04
102400	10	0.08	0.07	0.07	0.04	0.04	0.03	0.03	0.03
SINC3 フィルタ (STEPx_FLTR_MODE = 1b、STEPx_FLTR_OSR[4:0] = 00000b ～ 10000b)									
8	128000	17.76	10.67	10.66	5.87	5.84	3.98	4.05	3.06
16	64000	6.59	5.35	5.19	3.18	3.21	2.57	2.54	2.15
24	42667	5.15	4.30	4.33	2.60	2.60	2.09	2.09	1.76
32	32000	4.46	3.71	3.73	2.24	2.28	1.83	1.83	1.54
64	16000	3.16	2.63	2.66	1.61	1.64	1.31	1.31	1.13
128	8000	2.26	1.87	1.88	1.15	1.13	0.92	0.92	0.80
256	4000	1.58	1.34	1.33	0.81	0.81	0.66	0.66	0.56
512	2000	1.14	0.95	0.95	0.56	0.57	0.46	0.46	0.39
640	1600	1.01	0.85	0.85	0.51	0.50	0.42	0.41	0.36
1024	1000	0.78	0.67	0.67	0.40	0.41	0.33	0.32	0.28
2048	500	0.56	0.47	0.45	0.29	0.29	0.24	0.23	0.20
4096	250	0.39	0.34	0.34	0.20	0.20	0.16	0.17	0.14
8192	125	0.28	0.23	0.24	0.14	0.15	0.12	0.11	0.10
17024	60	0.20	0.17	0.16	0.10	0.10	0.08	0.08	0.07
20480	50	0.18	0.15	0.15	0.09	0.09	0.08	0.07	0.06
61440	16.7	0.10	0.08	0.09	0.06	0.05	0.04	0.05	0.03
102400	10	0.07	0.06	0.06	0.04	0.04	0.03	0.04	0.03

Copyright © 2026 Texas Instruments Incorporated

表 6-8. 入力換算ノイズ (μV_{RMS})、速度モード 3 (f_{MOD} = 1024kHz)
AVDD = 3.3V で、グローバル チョップ モード無効化、内部 2.5V リファレンス、ゲイン = 20 ～ 256 (続き)

OSR	データ レート (SPS)(1)	ゲイン							
		20	32	50	64	100	128	200	256
SINC4 + SINC1 フィルタ (STEPx_FLTR_OSR[4:0] = 10001b ～ 11101b)									
64	16000	3.61	3.04	3.04	1.83	1.83	1.51	1.48	1.28
128	8000	2.78	2.36	2.34	1.43	1.42	1.16	1.15	0.99
256	4000	2.09	1.71	1.72	1.06	1.04	0.84	0.85	0.73
512	2000	1.47	1.24	1.24	0.76	0.75	0.61	0.61	0.53
640	1600	1.32	1.12	1.12	0.68	0.68	0.55	0.55	0.47
1024	1000	1.05	0.89	0.88	0.54	0.54	0.44	0.44	0.37
2048	500	0.74	0.63	0.63	0.38	0.38	0.31	0.31	0.27
4096	250	0.53	0.45	0.44	0.27	0.27	0.22	0.22	0.18
8192	125	0.38	0.32	0.30	0.18	0.19	0.15	0.16	0.13
17024	60	0.26	0.21	0.22	0.14	0.13	0.11	0.11	0.09
20480	50	0.25	0.20	0.19	0.12	0.12	0.09	0.10	0.08
61440	16.7	0.14	0.12	0.11	0.07	0.07	0.06	0.05	0.05
102400	10	0.10	0.09	0.09	0.05	0.06	0.04	0.04	0.04
FIR フィルタ (STEPx_FLTR_OSR[4:0] = 11110b ～ 11111b)									
40960	25	0.20	0.17	0.17	0.10	0.09	0.08	0.08	0.07
51200	20	0.18	0.16	0.16	0.10	0.09	0.07	0.07	0.06

(1) f_{CLK} = 4.096MHz を使用

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

ADS1x4S1x は低消費電力の 16 ビットと 24 ビットの ΔΣ ADC で、多くの機能を統合しているため、最も一般的なセンサ測定アプリケーションでシステム コストと部品数を削減できます。このデバイスは、7mm × 7mm の TQFP-32 パッケージで提供されています。

主な統合アナログ機能:

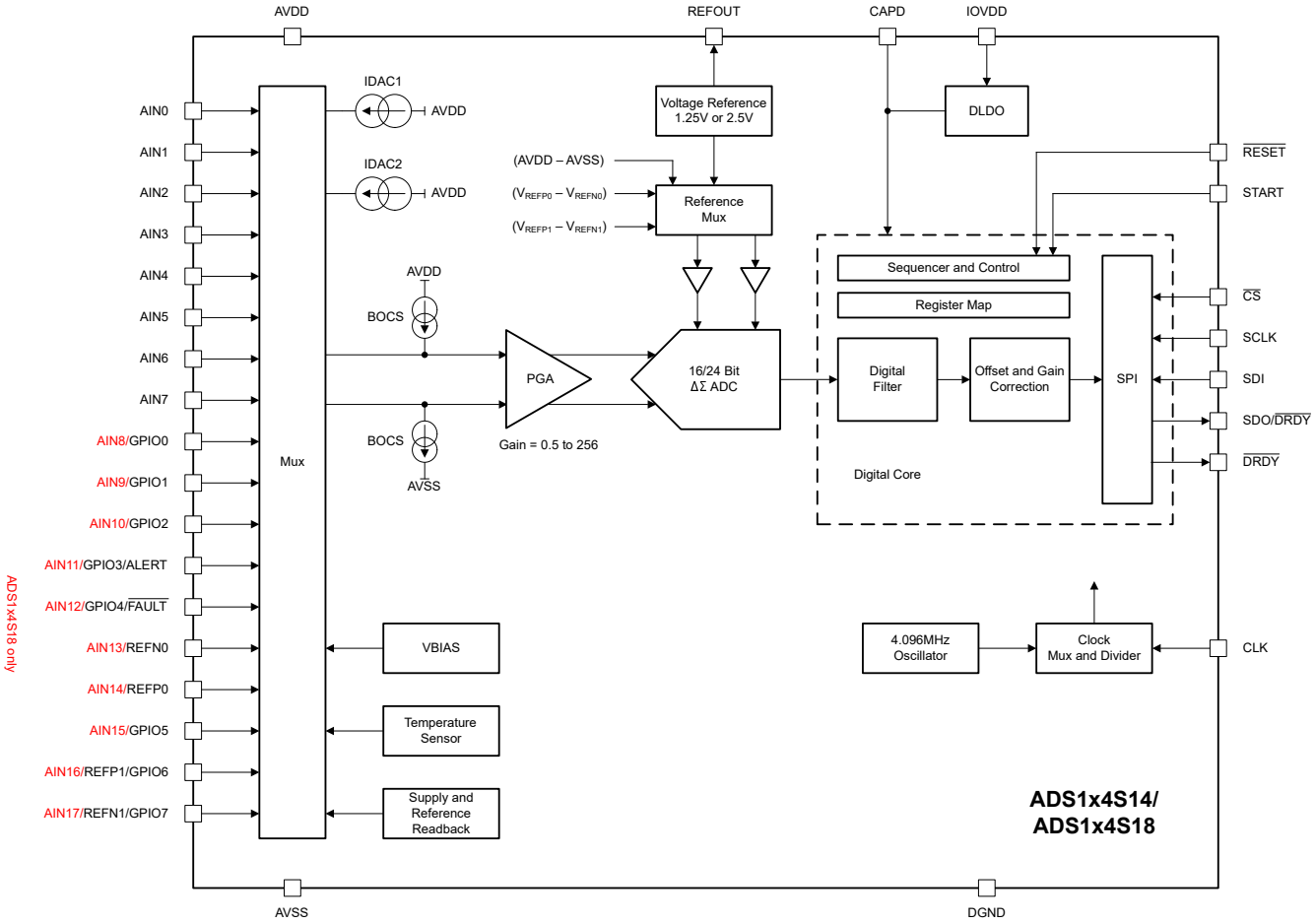
- 柔軟な入力マルチプレクサにより、8 (ADS1x4S14) または 18 (ADS1x4S18) アナログ入力または AVSS のいずれかを正または負の入力として選択できます。
- 0.5 ～ 256 の範囲でプログラム可能なゲインを備えた、低ノイズ、高入力インピーダンスの PGA。
  - ゲイン 0.5 の場合、選択した基準電圧よりも高い信号を測定できます。
  - 負入力を AVSS に接続したシングル エンド測定では、0.5 ～ 10 のゲイン設定が可能です。
- 1.25V または 2.5V にプログラム可能な低ドリフト電圧リファレンス。内部電圧リファレンスのバッファ付きバージョンは、REFOUT ピンで利用でき、外部回路へのバイアスに使用できます。
- 2 つの外部差動リファレンス入力ペア (REFP0、REFN0 と REFP1、REFN1) と、個別に有効化、無効化ができるオプションのリファレンス バッファを備えています。
- サーミスタ、測温抵抗体 (RTD)、ブリッジ センサなどの抵抗型センサをバイアスするための、8 (ADS1x4S14) または 18 (ADS1x4S18) アナログ入力のいずれにもルーティング可能な、2 系統のマッチングされたセンサ励起電流源 (IDAC)。1μA ～ 1mA の範囲の励起電流を、高い分解能でプログラム可能です。
- センサ故障検出に使用する一連のプログラマブル バーンアウト電流源。
- デバイスのメイン クロックを確立する低ドリフトの 4.096MHz 発振器。代わりに、外部クロックを供給することもできます。
- リニア温度センサ。
- 熱電対などのフローティング センサにバイアスを印加するバイアス電圧ジェネレータ (VBIAS)。
- アナログ電源とリファレンス電圧の低電圧モニタ。回路の実装によっては、リファレンス低電圧モニタはセンサが開放されている状態を検出するのに特に役立ちます。
- ADS1x4S18 のアナログ入力と共有される 8 本の汎用入出力ピン (GPIO)。汎用出力ごとに、プッシュプルまたはオープン ドレインの各出力構成を個別に選択できます。GPIO は、アナログ電源に基づくロジック レベルを使用します。

このデバイスには、幅広いアプリケーションに対応するさまざまなデジタル機能も搭載されています:

- 4 つの速度モードにより、各アプリケーションの消費電力とノイズ性能を最適化できます。
- 選択した速度モードに応じて、内蔵デジタル フィルタのオーバーサンプリング比 (OSR) を調整することにより、3.9SPS ～ 128kSPS の出力データレートを実現できます。20SPS/25SPS の出力データレートでは、デジタル フィルタは 50Hz および 60Hz のラインサイクル除去を同時に実現し、シングル サイクルの安定化を実現します。
- シーケンサはホスト コントローラとの連携なしで、個別にプログラム可能なシーケンス ステップ構成を最大 24 までスキャンできます。
- オフセットとオフセット ドリフトを最小に低減するグローバル チョップ モード。
- シーケンス ステップごとのユーザー オフセットとゲイン較正レジスタ。
- シーケンス ステップごとに High と Low のスレッショルドを構成可能なデジタル コンパレータ。デジタル コンパレータをシーケンサと組み合わせると、例えば自律的な電源電圧モニタに使用できます。専用のデジタル コンパレータの ALERT 出力ピンを使用して、トリップしたコンパレータのホスト コントローラに割り込みをかけて通知します。
- SPI 互換のシリアル インターフェイスで、変換やレジスタ データの読み取り、デバイスの構成と制御が可能です。$\overline{CS}$ ピンを永続的に Low に接続しておくと、必要なデジタル通信信号の数を減らすため、3 線式 SPI 動作が可能です。このインターフェイスにより、デイジーチェーン内の 1 つの SPI バス上で複数のデバイスとの通信が可能です。
- SPI CRC、レジスタ マップ CRC、内部メモリ CRC などのデータ整合性機能により、通信の故障や意図しないビット反転を検出します。
- 2 つの出力データ コーディング方式 (バイナリ 2 の補数およびユニポーラのストレート バイナリ形式) を選択可能。ユニポーラのストレート バイナリ形式は、差動入力信号が常に正となるアプリケーションに役立ちます。

Copyright © 2026 Texas Instruments Incorporated

7.2 機能ブロック図



7.3 機能説明

7.3.1 アナログ入力およびマルチプレクサ

ADS1x4S1x には、柔軟な入力マルチプレクサが内蔵されています。図 7-1 を参照してください。STEPx_AINP[4:0] と STEPx_AINN[4:0] ビットを使用して、8 (ADS1x4S14) または 18 (ADS1x4S18) アナログ入力のいずれかを PGA の正入力または負入力として選択します。また、内部 AVSS 接続を正または負の PGA 入力として選択できます。

マルチプレクサは、2 つの内蔵励起電流源を 8 (ADS1x4S14) または 18 (ADS1x4S18) アナログ入力ピンのいずれかにルーティングし、抵抗型センサ (ブリッジ、RTD、サーミスタ) をバイアスします。

さらに ADS1x4S1x には以下に示すシステム モニタ機能が含まれており、STEPx_SYS_MON[2:0] ビットを使用してマルチプレクサでの測定に選択できます。

- PGA の入力はまとめて中電圧 (AVDD + AVSS) / 2 に短絡し、内部信号チェーンの入力オフセットを測定して較正できます。
- デバイス温度に比例した出力信号を提供する内蔵温度センサです。
- 減衰した 2 つの外部リファレンス電圧 ($V_{REFPx} – V_{REFNx}$) / 8 のいずれか。
- 減衰したアナログ電源とデジタル電源、((AVDD – AVSS) / 8)、(IOVDD / 8)、(V_{DLDO} / 4)。

AVDD と AVSS への静電放電 (ESD) ダイオードにより、入力を保護します。ESD ダイオードがオンしないようにするため、各入力の絶対電圧は、式 5 に示されている範囲内に維持する必要があります:

$$AVSS - 0.3V < V_{AINx} < AVDD + 0.3V \quad (5)$$

入力電流を安全な値に制限するには、外付けのショットキー クランプ ダイオードまたは直列抵抗が必要な場合があります (*絶対最大定格*表を参照)。デバイスで選択されていない入力をオーバードライブすると、他の入力ピンで行われている変換に影響を与える可能性があります。

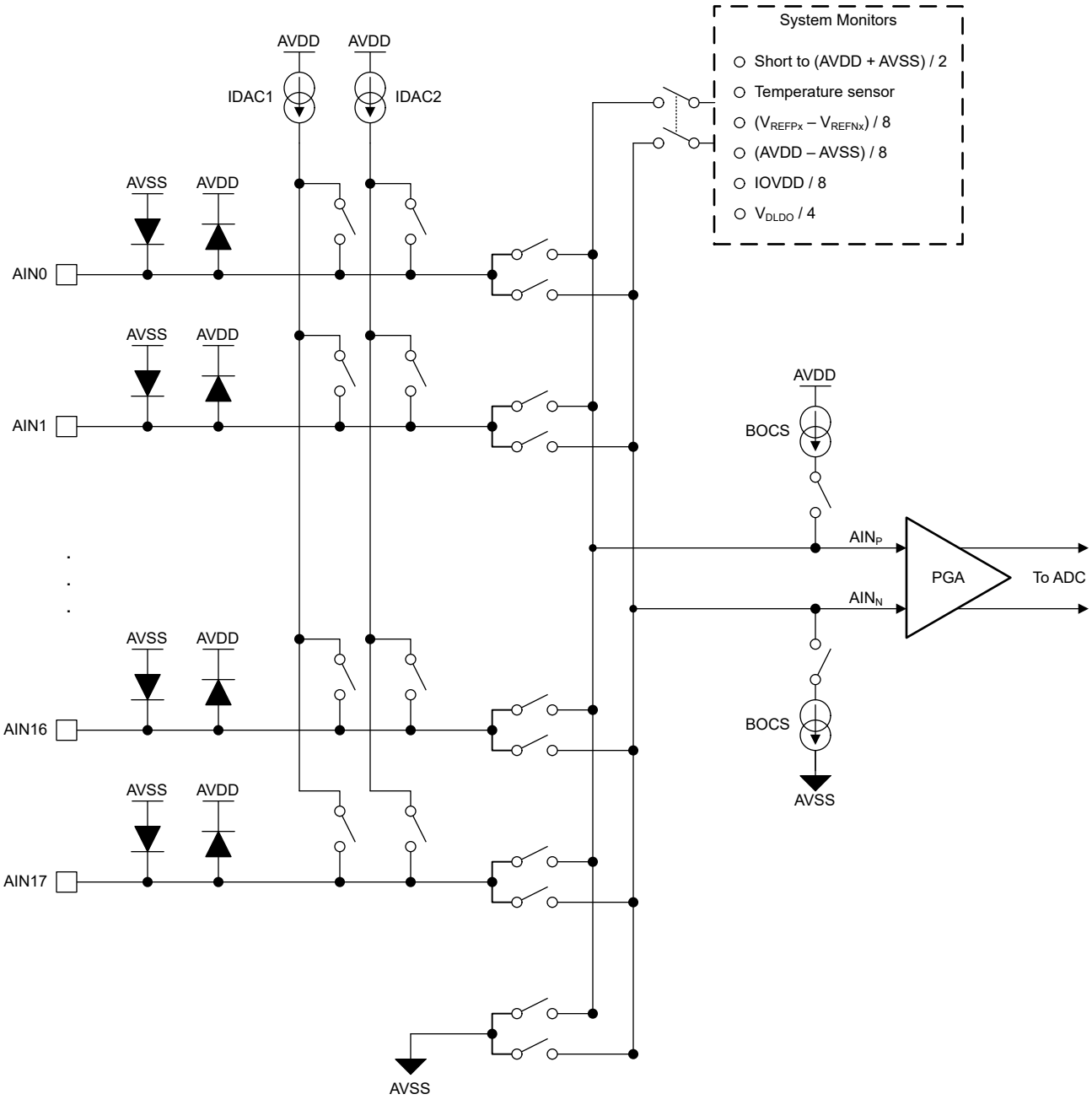


図 7-1. 入力マルチプレクサ (ADS1x4S18)

Copyright © 2026 Texas Instruments Incorporated

7.3.2 プログラマブル ゲイン アンプ (PGA)

ADS1x4S1x は、低ドリフト、低ノイズ、高入力インピーダンスのプログラマブル ゲイン アンプ (PGA) を内蔵しています。STEPx_GAIN[3:0] ビットを使用して、PGA のゲインを 0.5、1、2、4、5、8、10、16、20、32、50、64、100、128、200、または 256 に設定します。PGA のフルスケール入力電圧範囲 (FSR) は、式 7 および式 6 に示すように、ゲイン設定、基準電圧、変換データ コーディング設定によって定義されます:

$$\text{Binary two's complement coding: FSR} = \pm V_{REF} / \text{Gain} \quad (6)$$

$$\text{Unipolar straight binary coding: FSR} = 0\text{V to} + V_{REF} / \text{Gain} \quad (7)$$

表 7-1 に、1.25V と 2.5V のリファレンス電圧について、バイナリ 2 の補数コーディングを使って、それぞれに対応する公称フルスケール レンジを示します。

表 7-1. PGA フルスケール レンジ (2 の補数コーディング)

ゲイン設定	V_{REF} = 1.25V	V_{REF} = 2.5V
0.5	±2.5V	±5V
1	±1.25V	±2.5V
2	±0.625V	±1.25V
4	±0.313V	±0.625V
5	±0.25V	±0.5V
8	±0.156V	±0.313V
10	±0.125V	±0.25V
16	±78.125mV	±0.156V
20	±62.5mV	±0.125V
32	±39.063mV	±78.125mV
50	±25mV	±50mV
64	±19.531mV	±30.063mV
100	±12.5mV	±25mV
128	±9.766mV	±19.531mV
200	±6.25mV	±12.5mV
256	±4.883mV	±9.766mV

ゲイン設定に応じて、PGA には、*推奨動作条件*の絶対入力電圧パラメータで指定されているように、選択した正および負のアナログ入力について、線形動作範囲内に維持する必要がある特定の電圧ヘッドルーム要件があります。原理的にはこれらの電圧制限を超える FSR 設定であっても、PGA の正入力および負入力の両方は、これらの電圧範囲内に維持する必要があります。たとえば AVDD = 3.3V、AVSS = GND、ゲイン = 0.5、V_{REF} = 2.5V、ユニポーラ コーディング方式、AINN が GND に接続されていると仮定します。この場合、AINP は 0 V から (3.3 V − 0.35 V) = 2.95 V の範囲内に維持する必要があります。そのため、フル コード レンジ (FSR = 0V から 5V)のうち、一部のみが使用されます。

ゲイン設定が 0.5 ～ 10 の場合、デバイスは負のアナログ入力を AVSS に保持してシングルエンド測定が可能です。この場合、負のアナログ入力は、いずれかのアナログ入力を使用して外部接続するか、またはマルチプレクサの内部 AVSS 接続を使用して AVSS に接続できます。デバイスはユニポーラのストレート バイナリ変換データ コーディング方式を備えており、STEPx_CODING ビットを使用して選択できます。この符号化方式は、フル コードレンジが 0 V から +V_{REF}/ゲイン の電圧範囲に割り当てられるため、シングルエンド測定に適しています。

ゲイン設定 16 ～ 256 の場合、PGA には、正と負の両方のアナログ入力について、AVSS と AVDD からの電圧ヘッドルームが必要です。

PGA はアイドル モードでは有効のままですが、スタンバイ モードおよびパワーダウン モードではオフになります。

Copyright © 2026 Texas Instruments Incorporated

7.3.3 電圧リファレンス

ADC は、動作にリファレンス電圧を必要とします。電圧リファレンスの大きさは、PGA のゲイン設定とともに ADC のフルスケール レンジを決定します。STEPx_REF_SEL[1:0] ビットを使用して、次のいずれかのリファレンス ソースを選択します。

- 内部基準電圧
- REFP0 ピンと REFN0 ピンの間に接続された外部リファレンス電圧 (V_{REF} = V_{REFP0} V_{REFN0})
- REFP1 ピンと REFN1 ピンの間に接続された外部リファレンス電圧 (V_{REF} = V_{REFP1} V_{REFN1})
- アナログ電源 (V_{REF} = AVDD – AVSS)

7.3.3.1 内部リファレンス

これらのデバイスは、高精度でドリフトの少ない電圧リファレンスを内蔵しています。REF_VAL ビットを使用して、1.25V と 2.5V のリファレンス電圧オプションを選択します。REF_VAL ビットの設定を変更した場合、変換を開始する前に、デバイスがリファレンス値を切り替えるために少なくとも 10ms 待つ必要があります。内部電圧リファレンスが動作するには、*電気的特性* 表に規定されているとおり、AVDD 電源から一定の電圧ヘッドルームが必要です。2.5V のリファレンス値を選択する際は、この電圧ヘッドルームを考慮します。

外部リファレンスまたはアナログ電源をリファレンス源として選択した場合でも、内部リファレンスは常に有効です。内部電圧リファレンスは、パワーダウン モードでのみパワーダウンします。

REFOUT ピンは、内部リファレンス電圧をバッファした信号を出力します。REFOUT ピンは、外部回路のバイアス用として、電流の供給および吸い込みの両方を行うことができます。REFOUT と AVSS の間に 100nF コンデンサを接続します。最大 1.3µF までのより大きなコンデンサ値を使用することで、より多くのノイズをフィルタできますが、その代わりにリファレンスの起動時間は長くなります。このコンデンサは、REFOUT ピンを外部回路のバイアスに使用しない場合や、外部リファレンスまたはアナログ電源をリファレンス ソースとして選択した場合であっても、内部電圧リファレンスの安定性を確保するために必要です。デバイスの電源投入後、リセット時、またはパワーダウン モードから復帰した後に変換を開始する前は、リファレンスのセトリング タイムを考慮します。

7.3.3.2 外部リファレンス

このデバイスには、REFP0、REFN0 と REFP1、REFN1 という、2 組の差動外部リファレンス入力ペアがあります。REFPx と REFNx (x = 0 または 1) の間の差動電圧は、ADC のリファレンス電圧 (V_{REF} = V_{REFPx} – V_{REFNx}) を確立します。差動リファレンス入力により、リファレンスの同相電圧を自由に設定できます。ただし、リファレンス電圧の極性は正である必要があります。つまり、V_{REFPx} は V_{REFNx} より大きくする必要があります。入力電圧の絶対値および差動リファレンス電圧については、*推奨動作条件*の要件に従います。

ADS1x4S18 の REFP0、REFN0 と REFP1、REFN1 入力は、それぞれ AIN14、AIN13 と AIN16、AIN17 ピンに結合されます。AIN13、AIN14、AIN16、AIN17 は、入力が外部リファレンス入力として構成されている場合でも、アナログ入力として使用できます。

7.3.3.3 リファレンス バッファ

デバイスは、リファレンス入力電流を低減するために、個別に選択可能な 2 つのリファレンス入力バッファを備えています。STEPx_REFP_BUF_EN と STEPx_REFN_BUF_EN ビットを使用して、正と負のリファレンス バッファをそれぞれ有効または無効にします。

選択した外部の負のリファレンス入力 (REFNx) が AVSS の状態の場合は、負のリファレンス バッファを無効にします。選択した外部の正のリファレンス入力 (REFPx) が AVDD の状態の場合は、正のリファレンス バッファを無効にします。内部電圧リファレンスまたはアナログ電源のいずれかがリファレンス ソースとして選択されている場合は、両方のリファレンス バッファを無効にします。

リファレンス バッファはアイドル モードでは有効なままですが、スタンバイ モードおよびパワーダウン モードではオフになります。

Copyright © 2026 Texas Instruments Incorporated

7.3.4 電力スケーラブルな速度モード

このデバイスは、消費電力、分解能、データ レートのトレード オフを行うため 4 つの速度モードを備えています。各速度モードは、特定のモジュレータ クロック周波数およびデバイスのバイアス電流設定に対応します。速度モード 3 (f_{MOD} = 1.024MHz) は、最高のデータ レート(最大 128kSPS) を提供し、10SPS のデータ レート設定時に最小のノイズを実現します。対照的に、速度モード 0 (f_{MOD} = 32kHz) では、消費電力が最小化されますが、ノイズ性能が犠牲になります。必要なデータ レート、分解能、およびデバイスの消費電力要件に基づいて、SPEED_MODE [1:0] ビットを使用して速度モードを選択します。速度モードはデバイスにグローバルに適用され、個別のシーケンス ステップごとに設定できません。

7.3.5 クロック ソース

ADS1x4S1x は、動作にメイン クロックを必要とします。メイン クロックは、次の 2 つの方法のいずれかで供給されます:

- 内部低ドリフト 4.096MHz 発振器または
- CLK 入力ピンに接続された外部クロック

CLK_SEL ビットを使用して、クロック ソースを選択します。デバイスの電源投入時またはデバイス リセット後は、デフォルトで内部発振器がクロック ソースとして選択されます。

デルタ シグマ ADC のモジュレータ クロックは、メイン クロックから生成されます。クロック分周器は、選択した速度モードに基づいてメイン クロック周波数 (f_{CLK}) を分周して、変調器の周波数を生成します ($f_{MOD} = f_{CLK}/DIV$)。表 7-2 に、速度モードごとのそれぞれのクロック分周器の設定と公称の変調器周波数を示します。

表 7-2. クロック デバイダの設定

速度モード	クロック デバイダ (DIV)	変調器の周波数 (f_{MOD})(1)
0	128	32kHz
1	16	256kHz
2	8	512kHz
3	4	1.024MHz

(1) f_{CLK} = 4.096MHz の公称クロック周波数を使用します。

7.3.6 デルタ シグマ変調器

ADS1x4S1x は、本質的に安定性の高い 3 次デルタ シグマ変調器を使用しています。この変調器は、変調器の周波数 ($f_{MOD} = 1/t_{MOD}$) でアナログ入力電圧をサンプリングし、アナログ入力を入力信号とリファレンス電圧の比を表す 1 密度ビットストリームに変換します。変調器はコンバータのノイズを高周波側へシェーピングし、そのノイズはデジタル フィルタによって除去されます。

7.3.7 デジタル フィルタ

デルタ シグマ モジュレータのビット ストリームは、デジタル フィルタに入力されます。デジタル フィルタは、低分解能かつ高速なモジュレータ出力に対してローパス フィルタリングおよびデシメーションを行い、出力データ レート f_{DATA} における高分解能 ADC データを生成します。式 8 に示すように、定義されるデシメーション係数を オーバーサンプリング レート (OSR) と呼びます。

$$OSR = f_{MOD} / f_{DATA} \quad (8)$$

OSR は、デジタル フィルタの変調器の出力に適用される平均化の量、つまりフィルタの帯域幅と変換ノイズを決定します。OSR が高いほど、フィルタ帯域幅が狭くなり、ノイズ性能が向上します。

STEPx_FLTR_OSR[4:0] ビットを使用して OSR を選択し、STEPx_FLTR_MODE ビットと共に以下のデジタル フィルタ タイプから選択します。

- 8 ～ 102400 の範囲の OSR を使用した Sinc3 または Sinc4 フィルタ。
- 32 の固定 OSR の Sinc4 フィルタに続いて、2 ～ 3200 の OSR 範囲の Sinc1 フィルタ。

Copyright © 2026 Texas Instruments Incorporated

- 20SPS と 25SPS のスピード モード非依存のデータ レート オプションを備え、50Hz と 60Hz のラインサイクル除去を同時に実現する有限インパルス応答 (FIR) フィルタ。

図 7-2 に、デジタル フィルタのアーキテクチャを示します。

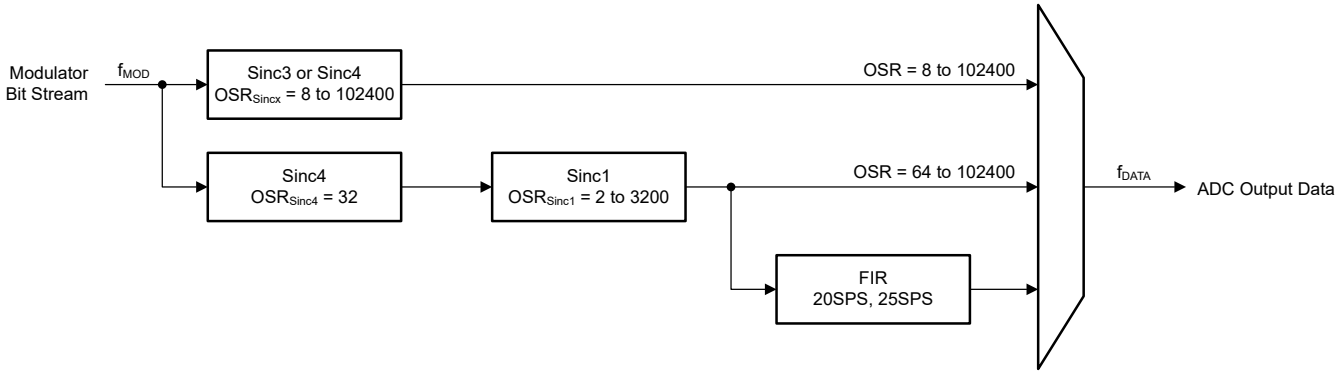


図 7-2. デジタル フィルタ アーキテクチャ

7.3.7.1 sinc3 および sinc4 フィルタ

STEPx_FLTR_OSR[4:0] ビットの設定 00000b ～ 10000b で、Sinc3 または Sinc4 フィルタの OSR 設定を決定します。STEPx_FLTR_MODE ビットを使用して、Sinc フィルタの次数 (Sinc3 または Sinc4) を選択します。Sinc4 フィルタは、Sinc3 フィルタよりノイズ性能が高まりますが、セトリング タイムが長くなります。10000b を超える STEPx_FLTR_OSR[4:0] ビット設定を使用すると、STEPx_FLTR_MODE ビットは無効になります。

STEPx_FLTR_OSR[4:0] ビット設定が 00000b ～ 01100b の場合、表 7-3 に各種速度モードで結果として得られる出力データ レートの概要を示します。f_{CLK} でデータ レートを計算します。

表 7-3. Sinc3 と Sinc4 のフィルタ出力データ レート

OSR	出力データ レート (f_{DATA})(1)			
	速度モード 0 (f_{MOD} = 32kHz)	速度モード 1 (f_{MOD} = 256kHz)	速度モード 2 (f_{MOD} = 512kHz)	速度モード 3 (f_{MOD} = 1.024MHz)
8	4kSPS	32kSPS	64kSPS	128kSPS
16	2kSPS	16kSPS	32kSPS	64kSPS
24	1.33kSPS	10.67kSPS	21.33kSPS	42.67kSPS
32	1kSPS	8kSPS	16kSPS	32kSPS
64	500SPS	4kSPS	8kSPS	16kSPS
128	250SPS	2kSPS	4kSPS	8kSPS
256	125SPS	1kSPS	2kSPS	4kSPS
512	62.5SPS	500SPS	1kSPS	2kSPS
640	50SPS	400SPS	800SPS	1.6kSPS
1024	31.25SPS	250SPS	500SPS	1kSPS
2048	15.63SPS	125SPS	250SPS	500SPS
4096	7.81SPS	62.5SPS	125SPS	250SPS
8192	3.91SPS	31.25SPS	62.5SPS	125SPS

(1) f_{CLK} = 4.096MHz の公称クロック周波数に基づいています

STEPx_FLTR_OSR[4:0] ビット設定 01101b ～ 10000b の場合、本デバイスは、選択した速度モードに基づいて OSR 設定を調整し、4 つの速度モードのそれぞれで 10SPS、16.7SPS、50SPS、60SPS の目標出力データ レートを実現します。表 7-4 に各速度モードの OSR 設定を示します。出力データ レートはクロック周波数でスケーリングされるため、記載のデータ レートを達成するには、公称周波数 f_{CLK} = 4.096MHz の内部発振器または外部クロックを使用します。

Copyright © 2026 Texas Instruments Incorporated

デジタル フィルタは 16.7SPS と 50SPS の出力データ レートで、50Hz のラインサイクル除去を行います。60SPS では、デジタル フィルタは 60Hz のラインサイクル除去を行います。デジタル フィルタは 10SPS で 50Hz と 60Hz のラインサイクル周波数を除去します。デバイスの 50Hz と 60Hz のラインサイクル除去能力の詳細については、「50Hz および 60Hz のライン サイクル除去」セクションを参照してください。

表 7-4. ラインサイクル除去を備えた出力データ レートの Sinc3 と Sinc4 フィルタの OSR 設定

出力データ レート(1) (f_{DATA})	OSR			
	速度モード 0 (f_{MOD} = 32kHz)	速度モード 1 (f_{MOD} = 256kHz)	速度モード 2 (f_{MOD} = 512kHz)	速度モード 3 (f_{MOD} = 1.024MHz)
10SPS	3200	25600	51200	102400
16.7SPS	1920	15360	30720	61440
50SPS	640	5120	10240	20480
60SPS	532	4256	8512	17024

(1) f_{CLK} = 4.096MHz の公称クロック周波数に基づいています

Sinc フィルタの周波数応答は 式 9 で求められます。

$$\left|H_{(f)}\right| = \left| \frac{\sin\left[\frac{A\pi f}{f_{MOD}}\right]}{A \sin\left[\frac{\pi f}{f_{MOD}}\right]} \right|^{x} \tag{9}$$

ここで

- f = 単一周波数
- f_{MOD} = 変調器周波数
- A = Sinc フィルタ OSR
- x = Sinc フィルタの次数 (3 または 4)

表 7-5 に、2 種類の Sinc フィルタ次数での –3dB 周波数を示します。

表 7-5. Sinc フィルタの –3dB 周波数

Sinc フィルタの次数	-3dB 周波数
Sinc3	0.262 × f_{DATA}
Sinc4	0.227 × f_{DATA}

図 7-3 と 図 7-4 に、出力データ レートに正規化した Sinc フィルタのフィルタ周波数応答を示します。Sinc フィルタは、図 7-4 に示すように、f_{MOD} の整数倍を除き、出力データ レートの整数倍の周波数で無限大の減衰を持ちます。すべてのデジタル フィルタ同様、風波数応答は変調器の周波数 f_{MOD} の整数倍で繰り返されます。n × f_{MOD} (n = 1、2、3 など) に近い入力周波数では、デジタル フィルタによる減衰は起こりません。データ レートおよびフィルタ ノッチ周波数は f_{MOD} でスケーリングされます。

Copyright © 2026 Texas Instruments Incorporated

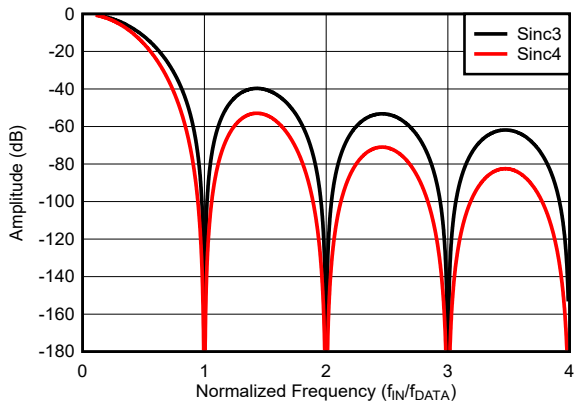


図 7-3. Sinc3 と Sinc4 フィルタの周波数応答

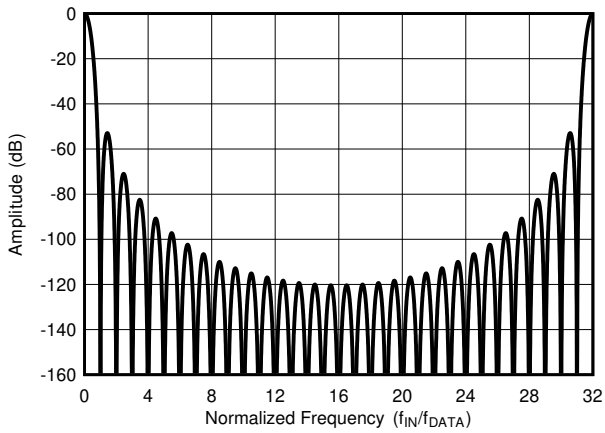


図 7-4. f_{MOD} に対する sinc4 の周波数応答 (OSR = 32)

7.3.7.2 Sinc4 + Sinc1 フィルタ

STEPx_FLTR_OSR[4:0] ビットの設定 10001b ～ 11101b で、カスケード接続した Sinc4 + Sinc1 フィルタ パスの OSR 設定を決定します。Sinc4 フィルタは、これらの設定で固定 OSR = 32 で動作します。Sinc1 フィルタの OSR 設定は 2 ～ 3200 の範囲であり、接続した OSR の範囲は 64 ～ 102400 となります。Sinc3 または Sinc4 フィルタと比較して、カスケード接続した Sinc4 + Sinc1 フィルタ パスはセトリング タイムが短縮されますが、ノイズ性能は低下します。

STEPx_FLTR_OSR[4:0] ビット設定 10001b ～ 11001b の場合、表 7-6 に OSR 設定に基づく各種速度モードでの結果の出力データ レートの概要を示します。f_{CLK} でデータ レートを計算します。

表 7-6. Sinc4 + Sinc1 フィルタ出力データ レート

OSR	-3dB 周波数	出力データ レート (f_{DATA})(1)			
		速度モード 0 (f_{MOD} = 32kHz)	速度モード 1 (f_{MOD} = 256kHz)	速度モード 2 (f_{MOD} = 512kHz)	速度モード 3 (f_{MOD} = 1.024MHz)
64	0.342 × f_{DATA}	500SPS	4kSPS	8kSPS	16kSPS
128	0.410 × f_{DATA}	250SPS	2kSPS	4kSPS	8kSPS
256	0.434 × f_{DATA}	125SPS	1kSPS	2kSPS	4kSPS
512	0.440 × f_{DATA}	62.5SPS	500SPS	1kSPS	2kSPS
640	0.441 × f_{DATA}	50SPS	400SPS	800SPS	1.6kSPS
1024	0.442 × f_{DATA}	31.25SPS	250SPS	500SPS	1kSPS
2048	0.442 × f_{DATA}	15.63SPS	125SPS	250SPS	500SPS
4096	0.442 × f_{DATA}	7.81SPS	62.5SPS	125SPS	250SPS
8192	0.442 × f_{DATA}	3.91SPS	31.25SPS	62.5SPS	125SPS

(1) f_{CLK} = 4.096MHz の公称クロック周波数に基づいています

STEPx_FLTR_OSR[4:0] ビット設定 11010b ～ 11101b の場合、本デバイスは、選択した速度モードに基づいて OSR 設定を調整し、4 つの速度モードのそれぞれで 10SPS、16.7SPS、50SPS、60SPS の目標出力データ レートを実現します。表 7-7 に各速度モードの OSR 設定を示します。出力データ レートはクロック周波数でスケーリングされるため、記載のデータ レートを達成するには、公称周波数 f_{CLK} = 4.096MHz の内部発振器または外部クロックを使用します。

デジタル フィルタは 16.7SPS と 50SPS の出力データ レートで、50Hz のラインサイクル除去を行います。60SPS では、デジタル フィルタは 60Hz のラインサイクル除去を行います。デジタル フィルタは 10SPS で 50Hz と 60Hz のラインサイクル周波数を除去します。デバイスの 50Hz と 60Hz のラインサイクル除去能力の詳細については、「50Hz および 60Hz のライン サイクル除去」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

表 7-7. ラインサイクル除去付きの出力データ レートのための Sinc4 + Sinc1 フィルタの OSR 設定

出力データ レート(1) (f_{DATA})	-3dB 周波数	OSR			
		速度モード 0 (f_{MOD} = 32kHz)	速度モード 1 (f_{MOD} = 256kHz)	速度モード 2 (f_{MOD} = 512kHz)	速度モード 3 (f_{MOD} = 1.024MHz)
10SPS	4.4Hz	3200	25600	51200	102400
16.7SPS	7.4Hz	1920	15360	30720	61440
50SPS	22.1Hz	640	5120	10240	20480
60SPS	26.6Hz	544	4256	8544	17056

(1) f_{CLK} = 4.096MHz の公称クロック周波数に基づいています

表 7-6 と 表 7-7 に、各種 Sinc フィルタ構成での –3dB の周波数を示します。

組み合わせた Sinc4 + Sinc1 フィルタの周波数応答は、式 10 で求められます。

$$|H_{(f)}| = \left| \frac{\sin\left[\frac{A\pi f}{f_{MOD}}\right]}{A \sin\left[\frac{\pi f}{f_{MOD}}\right]} \right|^4 \cdot \left| \frac{\sin\left[\frac{AB\pi f}{f_{MOD}}\right]}{B \sin\left[\frac{A\pi f}{f_{MOD}}\right]} \right| \quad (10)$$

ここで

- f = 単一周波数
- f_{MOD} = 変調器周波数
- A = Sinc4 フィルタ OSR = 32
- B = Sinc1 フィルタ OSR

図 7-5 と 図 7-6 に、4、8、16、32 の Sinc1 OSR の出力データ レートに正規化し、カスケード接続した Sinc4 + Sinc1 フィルタのフィルタ周波数応答の例を示します。Sinc フィルタは、f_{MOD} の整数倍を除いて、出力データ レートの整数倍で無限の減衰を行います。すべてのデジタル フィルタ同様、風波数応答は変調器の周波数 f_{MOD} の整数倍で繰り返されます。$n \times f_{MOD}$ (n = 1、2、3 など) に近い入力周波数では、デジタル フィルタによる減衰は起こりません。データ レートおよびフィルタ ノッチ周波数は f_{MOD} でスケーリングされます。

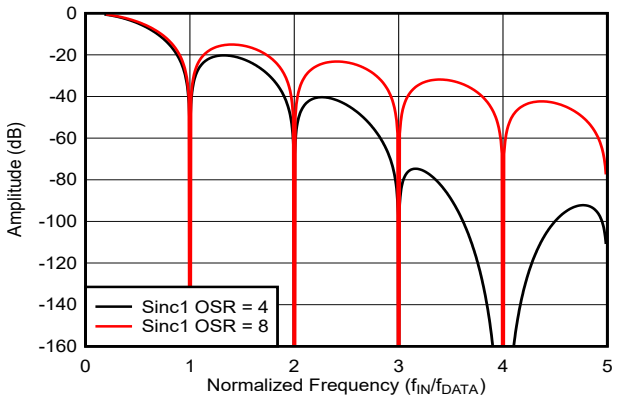


図 7-5. Sinc4 + Sinc1 の周波数応答 (Sinc4 OSR = 32)

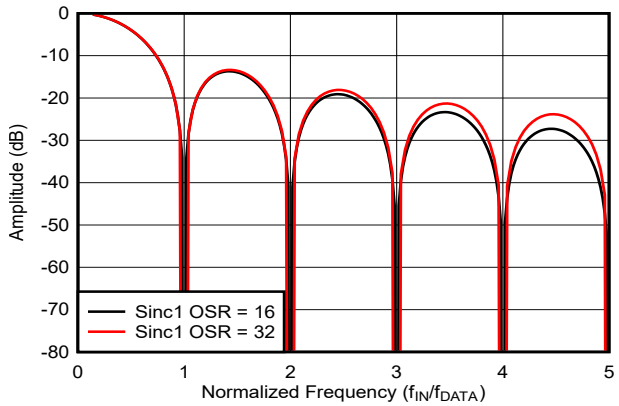


図 7-6. Sinc4 + Sinc1 の周波数応答 (Sinc4 OSR = 32)

Copyright © 2026 Texas Instruments Incorporated

7.3.7.3 FIR フィルタ

Sinc フィルタに加えて、デバイスには、50Hz と 60Hz のライン サイクル除去を同時に行う 2 種類の FIR フィルタ オプションと、シングル サイクルのセトリング動作も装備しています。STEPx_FLTR_OSR[4:0] ビットを使用して、20SPS と 25SPS の間でデータ レート オプションを選択します。表 7-8 に示すように、FIR フィルタは選択した速度モードに基づいて OSR を調整し、4 つの速度モードすべてで 20SPS および 25SPS のデータ レートを実現します。FIR フィルタを使用するときのデバイスの 50Hz と 60Hz のラインサイクル除去機能の詳細については、「50Hz および 60Hz のライン サイクル除去」セクションを参照してください。

表 7-8. FIR フィルタ OSR 設定

出力データ レート(1)	-3dB 周波数	OSR			
		速度モード 0 (f_{MOD} = 32kHz)	速度モード 1 (f_{MOD} = 256kHz)	速度モード 2 (f_{MOD} = 512kHz)	速度モード 3 (f_{MOD} = 1.024MHz)
20SPS	13.2Hz	1600	12800	25600	51200
25SPS	15.1Hz	1280	10240	20480	40960

(1) f_{CLK} = 4.096MHz の公称クロック周波数に基づいています

図 7-7～図 7-10 に、2 つの FIR フィルタ構成のフィルタ周波数応答を示します。表 7-8 に、2 つの FIR フィルタの –3dB 周波数を示します。

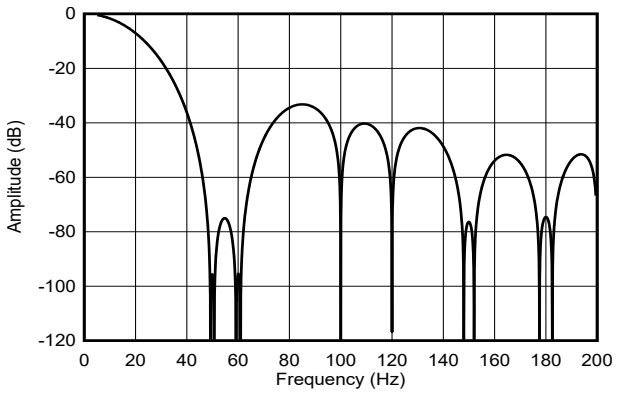


図 7-7. 20SPS の周波数応答

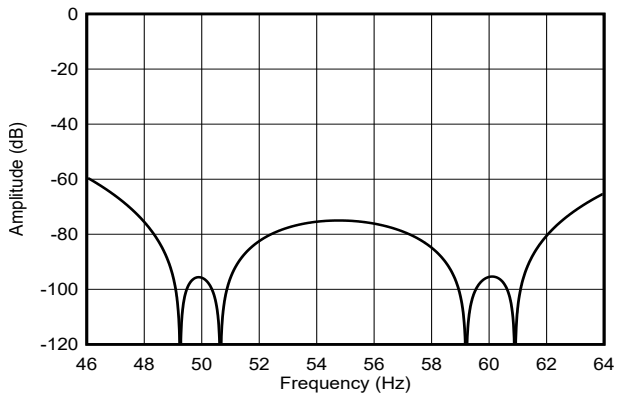


図 7-8. 20SPS 周波数応答 (拡大)

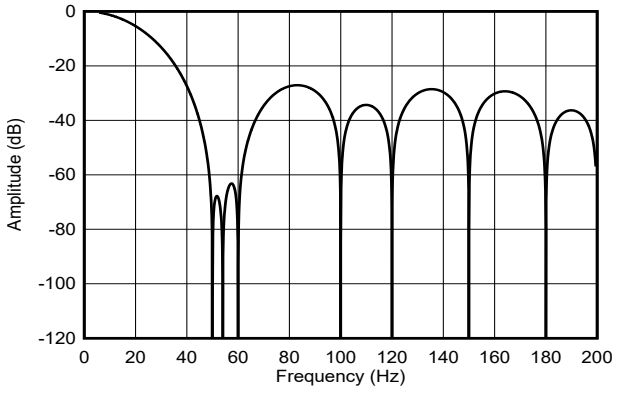


図 7-9. 25SPS の周波数応答

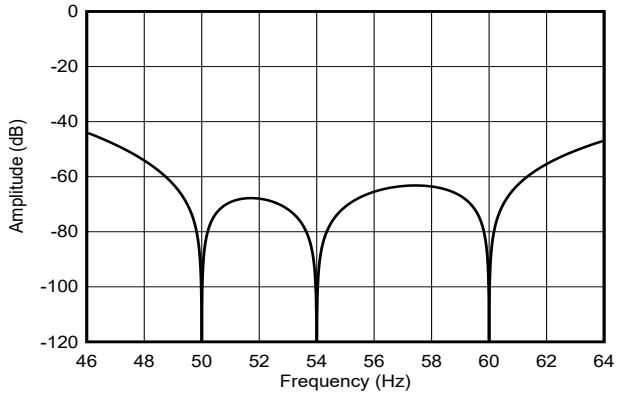


図 7-10. 25SPS 周波数応答 (拡大)

Copyright © 2026 Texas Instruments Incorporated

7.3.7.4 50Hz および 60Hz のライン サイクル除去

デジタル フィルタは、特定のフィルタ タイプとデータ レート設定で、一般的な 50Hz と 60Hz のラインサイクル周波数を除去します。表 7-9 に、デバイスの公称クロックが許容誤差なしで 4.096MHz、ラインサイクル周波数変動を ±1Hz と想定した設定の通常モード除去をまとめています。内部発振器を使用してデバイスを動作させる場合は、「電気的特性」の表の NMRR パラメータ仕様に提示しているように、発振器の許容誤差を考慮します。

表 7-9. 50Hz と 60Hz のラインサイクル除去

フィルタ タイプ	出力データ レート(1) (f_{DATA})	NMRR	
		50Hz ± 1Hz	60Hz ± 1Hz
Sinc4	10SPS	136dB	142dB
	16.7SPS	135dB	86dB
	50SPS	135dB	–
	60SPS	–	137dB
Sinc3	10SPS	102dB	107dB
	16.7SPS	102dB	65dB
	50SPS	101dB	–
	60SPS	–	103dB
Sinc4 + Sinc1	10SPS	34dB	36dB
	16.7SPS	34dB	22dB
	50SPS	34dB	–
	60SPS	–	35dB
FIR	20SPS	95dB	102dB
	25SPS	63dB	63dB

(1) f_{CLK} = 4.096MHz の公称クロック周波数に基づいています

7.3.7.5 デジタル フィルタのレイテンシ

シーケンサが変換のために新しいシーケンス ステップを選択すると、デジタル フィルタはリセットされ、セトリングされた出力データの提供には一定の時間が必要となります。この時間をレイテンシ時間と呼びます。ADS1x4S1x は、セトリングしていないデータを内部に隠し、$\overline{DRDY}$ ピンが Low に遷移し、DRDY ビットを 1b に設定して、セトリングした変換データが利用可能になったことを示しています。シーケンス ステップ内の 2 番目とそれ以降のすべての変換の変換期間は、図 7-11 に示すように、$t_{DATA} = 1 / f_{DATA} = OSR / f_{MOD}$ と等しくなります。

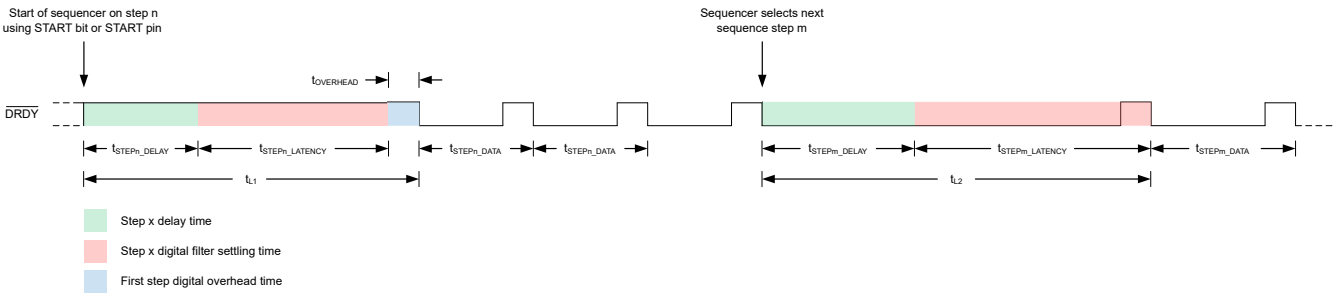


図 7-11. レイテンシ時間と変換時間

START ビットまたは START ピンを使用してシーケンサを起動または再起動した後の最初のシーケンス ステップの最初の変換には、図 7-11 に示すように t_{L1} のレイテンシがあります。レイテンシ時間 t_{L1} は、START ビットを 1b に設定したレジスタ書き込みフレームの $\overline{CS}$ 立ち上がりエッジまたは START ピンの立ち上がりエッジから、最初の $\overline{DRDY}$ 立ち下がりエッジまでを測定した値です。SPI 内の $\overline{CS}$ 信号のクロック ドメインは、モジュレータ クロック ドメインで動作するデジタル フィルタ ロジックでラッチされるため、式 11 を使って計算するレイテンシ時間には ±1 t_{MOD} の不正確性があります。

Copyright © 2026 Texas Instruments Incorporated

シーケンサをモード SEQ_MOD[1:0] = 10b または 11b で動作させると、2 番目とそれ以降のすべてのシーケンス ステップの最初の変換のレイテンシは、図 7-11 に示すように t_{L2} になります。レイテンシ時間 t_{L2} は、図 7-11 に示すように、前のシーケンス ステップの最後の変換での $\overline{DRDY}$ 立ち下がりエッジから、新しいシーケンス ステップの最初の変換の $\overline{DRDY}$ 立ち下がりエッジまでを測定した値です。

さらにシーケンサが新しいシーケンス ステップを選択した場合、変換サイクルの開始を遅らせるために、ステップごとにプログラム可能な遅延時間を追加できます。この遅延時間により、スタンバイ モードを終了した後で電圧リファレンスなどの外部コンポーネントをセトリングさせる、またはシーケンサがあるシーケンス ステップから異なるデバイス構成を持つ次のステップへ切り替える際のセトリング タイムを増やすことができます。遅延時間は、図 7-11 に示すようにシーケンス ステップの最初の変換前にのみ追加されます。シーケンス ステップ内でのそれ以降の変換は遅延されません。各シーケンス ステップの個別の遅延時間を構成するには、STEPx_DELAY[6:0] ビットを使用します。

シーケンサを起動または再起動した後、最初のシーケンス ステップの最初の変換が完了するまでの時間は 式 11 に従います。

シーケンサモード SEQ_MODE[1:0] = 10b または 11b を使用する場合、2 番目の最初の変換とそれ以降のすべてのシーケンス ステップを完了する時間は 式 12 に従います。

$$t_{L1} = t_{STBY_DELAY} + t_{STEPx_DELAY} + t_{OVERHEAD} + t_{STEPx_LATENCY} \quad (11)$$

$$t_{L2} = t_{STEPx_DELAY} + t_{STEPx_LATENCY} \quad (12)$$

ここで

- $t_{STEPx_LATENCY}$ は、表 7-10 と 表 7-11 に示すレイテンシ時間です
- t_{STEPx_DELAY} は、STEPx_DELAY[6:0] ビットで指定する遅延時間です
- t_{STBY_DELAY} = 0、シーケンサをアイドル モード (STBY_MODE = 0b) から開始する場合。
  シーケンサをスタンバイ モード (STBY_MODE = 1b) から開始する場合、デバイスは、ユーザーがプログラム可能な遅延時間の前に速度モード依存の遅延時間を追加し、内部回路がウェークアップできるようにします。
  - t_{STBY_DELAY} = 5 t_{MOD} (速度モード 0)
  - t_{STBY_DELAY} = 27 t_{MOD} (速度モード 1、速度モード 2)
  - t_{STBY_DELAY} = 35 t_{MOD} (速度モード 3)
- $t_{OVERHEAD}$ = 11 t_{MOD}

Copyright © 2026 Texas Instruments Incorporated

表 7-10. OSR 設定における Sinc フィルタのレイテンシ

OSR	t_{MOD} (1) (絶対時間(2)) 単位のレイテンシ			
	速度モード 0 (f_{MOD} = 32kHz)	速度モード 1 (f_{MOD} = 256kHz)	速度モード 2 (f_{MOD} = 512kHz)	速度モード 3 (f_{MOD} = 1.024MHz)
SINC4 フィルタ (STEPx_FLTR_MODE = 0b、STEPx_FLTR_OSR[4:0] = 00000b ～ 01100b)				
8	38 (1.188ms)	46 (0.180ms)	46 (0.090ms)	62 (0.061ms)
16	70 (2.188ms)	78 (0.305ms)	78 (0.152ms)	94 (0.092ms)
24	102 (3.188ms)	110 (0.430ms)	110 (0.215ms)	126 (0.123ms)
32	134 (4.188ms)	142 (0.555ms)	142 (0.277ms)	158 (0.154ms)
64	262 (8.188ms)	270 (1.055ms)	270 (0.527ms)	286 (0.279ms)
128	518 (16.19ms)	526 (2.055ms)	526 (1.027ms)	542 (0.529ms)
256	1030 (32.19ms)	1038 (4.055ms)	1038 (2.027ms)	1054 (1.029ms)
512	2054 (64.19ms)	2062 (8.055ms)	2062 (4.027ms)	2078 (2.029ms)
640	2566 (80.19ms)	2574 (10.05ms)	2574 (5.027ms)	2590 (2.529ms)
1024	4102 (128.2ms)	4110 (16.05ms)	4110 (8.027ms)	4126 (4.029ms)
2048	8198 (256.2ms)	8206 (32.05ms)	8206 (16.03ms)	8222 (8.029ms)
4096	16390 (512.2ms)	16398 (64.05ms)	16398 (32.03ms)	16414 (16.03ms)
8192	32774 (1024ms)	32782 (128.1ms)	32782 (64.03ms)	32798 (32.03ms)
SINC3 フィルタ (STEPx_FLTR_MODE = 1b、STEPx_FLTR_OSR[4:0] = 00000b ～ 01100b)				
8	30 (0.938ms)	38 (0.148ms)	38 (0.074ms)	54 (0.053ms)
16	54 (1.688ms)	62 (0.242ms)	62 (0.121ms)	78 (0.076ms)
24	78 (2.438ms)	86 (0.336ms)	86 (0.168ms)	102 (0.100ms)
32	102 (3.188ms)	110 (0.430ms)	110 (0.215ms)	126 (0.123ms)
64	198 (6.188ms)	206 (0.805ms)	206 (0.402ms)	222 (0.217ms)
128	390 (12.19ms)	398 (1.555ms)	398 (0.777ms)	414 (0.404ms)
256	774 (24.19ms)	782 (3.055ms)	782 (1.527ms)	798 (0.779ms)
512	1542 (48.19ms)	1550 (6.055ms)	1550 (3.027ms)	1566 (1.529ms)
640	1926 (60.19ms)	1934 (7.555ms)	1934 (3.777ms)	1950 (1.904ms)
1024	3078 (96.19ms)	3086 (12.05ms)	3086 (6.027ms)	3102 (3.029ms)
2048	6150 (192.2ms)	6158 (24.05ms)	6158 (12.03ms)	6174 (6.029ms)
4096	12294 (384.2ms)	12302 (48.05ms)	12302 (24.03ms)	12318 (12.03ms)
8192	24582 (768.2ms)	24590 (96.05ms)	24590 (48.03ms)	24606 (24.03ms)
SINC4 + SINC1 フィルタ (STEPx_FLTR_OSR[4:0] = 10001b ～ 11001b)				
64	166 (5.188ms)	174 (0.680ms)	174 (0.340ms)	190 (0.186ms)
128	230 (7.188ms)	238 (0.930ms)	238 (0.465ms)	254 (0.248ms)
256	358 (11.19ms)	366 (1.430ms)	366 (0.715ms)	382 (0.373ms)
512	614 (19.19ms)	622 (2.430ms)	622 (1.215ms)	638 (0.623ms)
640	742 (23.19ms)	750 (2.930ms)	750 (1.465ms)	766 (0.748ms)
1024	1126 (35.19ms)	1134 (4.430ms)	1134 (2.215ms)	1150 (1.123ms)
2048	2150 (67.19ms)	2158 (8.430ms)	2158 (4.215ms)	2174 (2.123ms)
4096	4198 (131.2ms)	4206 (16.43ms)	4206 (8.215ms)	4222 (4.123ms)
8192	8294 (259.2ms)	8302 (32.43ms)	8302 (16.21ms)	8318 (8.123ms)

(1) $t_{MOD} = 1 / f_{MOD}$。
(2) f_{CLK} = 4.096MHz の公称クロック周波数に基づいています。

Copyright © 2026 Texas Instruments Incorporated

表 7-11. 固定データ レート設定での Sinc と FIR フィルタのレイテンシ

出力データ レート	t_{MOD} (1) (絶対時間(2)) 単位のレイテンシ			
	速度モード 0 (f_{MOD} = 32kHz)	速度モード 1 (f_{MOD} = 256kHz)	速度モード 2 (f_{MOD} = 512kHz)	速度モード 3 (f_{MOD} = 1.024MHz)
SINC4 フィルタ (STEPx_FLTR_MODE = 0b、STEPx_FLTR_OSR[4:0] = 01101b ～ 10000b)				
10SPS	2134 (66.69ms)	17038 (66.55ms)	34062 (66.53ms)	68126 (66.53ms)
16.7SPS	2566 (80.19ms)	20494 (80.05ms)	40974 (80.03ms)	81950 (80.03ms)
50SPS	7686 (240.2ms)	61454 (240.1ms)	122894 (240.0ms)	245790 (240.0ms)
60SPS	12806 (400.2ms)	102414 (400.1ms)	204814 (400.0ms)	409630 (400.0ms)
SINC3 フィルタ (STEPx_FLTR_MODE = 1b、STEPx_FLTR_OSR[4:0] = 01101b ～ 10000b)				
10SPS	1602 (50.06ms)	12782 (49.93ms)	25550 (49.90ms)	51102 (49.90ms)
16.7SPS	1926 (60.19ms)	15374 (60.05ms)	30734 (60.03ms)	61470 (60.03ms)
50SPS	5766 (180.2ms)	46094 (180.1ms)	92174 (180.0ms)	184350 (180.0ms)
60SPS	9606 (300.2ms)	76814 (300.1ms)	153614 (300.0ms)	307230 (300.0ms)
SINC4 + SINC1 フィルタ (STEPx_FLTR_OSR[4:0] = 11010b ～ 11101b)				
10SPS	646 (20.19ms)	4366 (17.05ms)	8654 (16.90ms)	17182 (16.78ms)
16.7SPS	742 (23.19ms)	5230 (20.43ms)	10350 (20.21ms)	20606 (20.12ms)
50SPS	2022 (63.2ms)	15470 (60.4ms)	30830 (60.2ms)	61566 (60.1ms)
60SPS	3302 (103.2ms)	25710 (100.4ms)	51310 (100.2ms)	102526 (100.1ms)
FIR フィルタ (STEPx_FLTR_OSR[4:0] = 11110b ～ 11111b)				
20SPS	1726 (53.94ms)	12934 (50.52ms)	25734 (50.26ms)	51350 (50.15ms)
25SPS	1406 (43.94ms)	10374 (40.52ms)	20614 (40.26ms)	41110 (40.15ms)

(1) $t_{MOD} = 1 / f_{MOD}$。
(2) f_{CLK} = 4.096MHz の公称クロック周波数に基づいています。

7.3.7.6 グローバル チョップ モード

ADS1x4S1x の信号チェーンは、非常に低ドリフトのチョッパ安定化 PGA とデルタ シグマ モジュレータを使用しており、非常に低いオフセット誤差とオフセット ドリフトを実現しています。ただし、通常の測定では、わずかなオフセット ドリフトが残っています。そのため、このデバイスには、温度と時間の両方にわたってオフセット誤差とオフセット ドリフトを極めて低いレベルまで低減するための、オプションのグローバル チョップ モードが組み込まれています。GC_EN ビットを設定してグローバル チョップ モードを有効にすると、デバイスは入力信号の極性を交互に切り替えながら 2 回連続で変換を行い、オフセット誤差を打ち消します。最初の変換は、通常の入力極性で取得されます。グローバル チョップ制御ロジックは入力極性を反転し、2 回目の変換用のデジタル フィルタをリセットします。2 つの変換の平均値から、最終的なオフセット補正結果が得られます。図 7-12 は、グローバル チョップ実装のブロック図を示しています。V_{OFS} は、PGA と ADC の組み合わせた内部オフセット電圧をモデル化します。グローバル チョップ モードによって、このデバイス固有のオフセット電圧のみが低減されます。アナログ入力に接続された外部回路に起因するオフセットは、グローバル チョップ モードの影響を受けません。

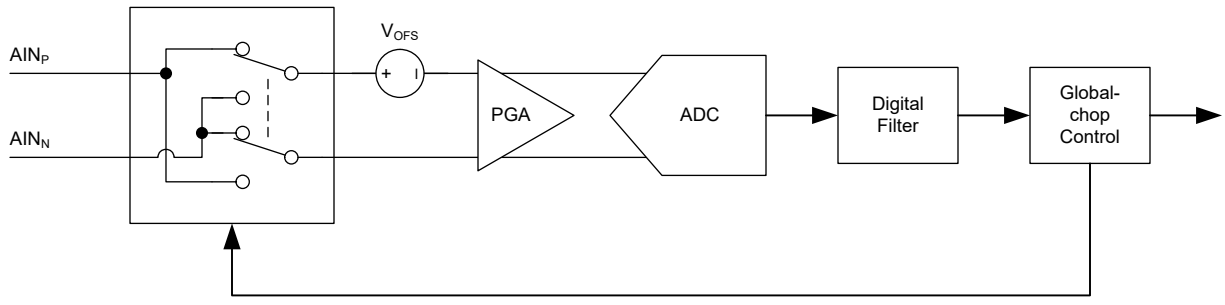


図 7-12. グローバル チョップ モード制御図

グローバル チョップ モードの動作シーケンスは次のとおりです:

- 変換 C1: V_{AINP} - V_{AINN} - V_{OFS} → 変換開始後に最初の変換を保留
- 変換 C2: $V_{AINN} – V_{AINP} – V_{OFS}$ → 出力 1 = $(V_{C1} – V_{C2}) / 2 = V_{AINP} – V_{AINN}$
- 変換 C3: $V_{AINP} – V_{AINN} – V_{OFS}$ → 出力 2 = $(V_{C3} – V_{C2}) / 2 = V_{AINP} – V_{AINN}$
- …

新しいシーケンス ステップの最初の変換結果 (出力 1) は、デバイスが 2 回のセトリングした変換を実行した後に利用可能になります。そのためグローバル チョップ モードが有効な場合のレイテンシ時間、t_{GC_L1} と t_{GC_L2} は、グローバル チョップ モードが無効な場合のレイテンシ時間よりも長くなります。レイテンシ時間は、「デジタル フィルタのレイテンシ」セクションで説明したのと同じ方法で測定します。

シーケンサを始動または始動再した後の最初のシーケンス ステップの最初の変換結果を出力する時間は、式 13 に従います。

シーケンサ モード SEQ_MODE[1:0] = 10b または 11b を使用する場合、2 番目とそれ以降のすべてのシーケンス ステップの最初の変換結果を出力する時間は、式 14 に従います。

式 15 での計算通りに、同じシーケンス ステップでの以降の変換は t_{GC_DATA} で完了します。

$$t_{GC_L1} = t_{STBY_DELAY} + 2 \times (t_{STEPx_DELAY} + t_{STEPx_LATENCY}) + t_{OVERHEAD} \quad (13)$$

$$t_{GC_L2} = 2 \times (t_{STEPx_DELAY} + t_{STEPx_LATENCY}) \quad (14)$$

$$t_{GC_DATA} = t_{STEPx_DELAY} + t_{STEPx_LATENCY} \quad (15)$$

ここで

- $t_{STEPx_LATENCY}$ は、表 7-10 と 表 7-11 に示すレイテンシ時間です
- t_{STEPx_DELAY} は、STEPx_DELAY[6:0] ビットで指定する遅延時間です
- t_{STBY_DELAY} = 0、シーケンサをアイドル モード (STBY_MODE = 0b) から開始する場合。
  シーケンサをスタンバイ モード (STBY_MODE = 1b) から開始する場合、デバイスは、ユーザーがプログラム可能な遅延時間の前に速度モード依存の遅延時間を追加し、内部回路がウェークアップできるようにします。
  - $t_{STBY_DELAY} = 5\ t_{MOD}$ (速度モード 0)
  - $t_{STBY_DELAY} = 27\ t_{MOD}$ (速度モード 1、速度モード 2)
  - $t_{STBY_DELAY} = 35\ t_{MOD}$ (速度モード 3)
- $t_{OVERHEAD} = 11\ t_{MOD}$

デバイスは、内部回路が安定するまでの時間を確保するため、入力極性を反転させた後、プログラム可能な遅延時間だけ待ってから次の変換を開始します。場合によっては、外部部品のセトリングを許容するために、プログラム可能な遅延時間を長くする必要があります。

グローバル チョップ モードでは、2 つの変換が平均化されるため、ADC のノイズが $\sqrt{2}$ 倍に低減されます。グローバル チョップ モード有効時のノイズ性能を求めるには、表 6-1～表 6-8 に示す入力換算ノイズ値を $\sqrt{2}$ で割ってください。

グローバル チョップ モードでも、デジタル フィルタのノッチ特性は変化しません。ただし、追加のフィルタ ノッチは $f_{gc_data}/2$ の倍数で表示されます。

Copyright © 2026 Texas Instruments Incorporated

7.3.8 励起電流源 (IDAC)

このデバイスには、2 つのプログラマブルなマッチングされた電流源 (IDAC1 および IDAC2) が組み込まれています。これらの電流源は、一定の電流バイアスを必要とする抵抗式温度デバイス (RTD)、サーミスタ、ダイオード、およびその他の抵抗式センサに励起電流を供給します。各電流源は個別にプログラム可能で、1µA から 1mA までの値を出力できます。

STEPx_I1MAG[3:0] と STEPx_I2MAG[3:0] ビットを STEPx_IUNIT[1:0] ビットと組み合わせて使用して、各 IDAC の目標出力電流を設定します。STEPx_IUNIT ビットは、IDAC1 と IDAC2 の両方に対する基準電流を、1µA または 10µA のいずれかに設定します。STEPx_I1MAG[3:0] および STEPx_I2MAG[3:0] ビットは、基準電流の乗数として動作し、個別の IDAC1 および IDAC2 の出力電流を設定します。

電流源間の最良のマッチングは、両方の IDAC を同じ電流値に設定した場合に得られます。3 線式 RTD アプリケーションでは、整合された電流源を使用して、センサのリード抵抗による誤差を相殺できます (詳細については、*ソフトウェアで構成可能な RTD 測定入力*セクションを参照)。

各電流源は、STEPx_I1MUX[4:0] および STEPx_I2MUX[4:0] ビットを使用して、任意のアナログ入力 AINx にルーティングできます。最大 2mA までの励起電流が必要な場合、STEPx_I1MUX[4:0] と STEPx_I2MUX[4:0] を同じビット値に設定することで、両方の電流源を同一のピンにまとめることもできます。ADS1x4S18 では、アナログ入力 AIN8 から AIN17 は、IDAC のルーティングに関係なく、アナログ入力、リファレンス入力、または GPIO として設定できます。電流源出力として選択されたピンは、同時にアナログ入力またはリファレンス電圧入力として使用できます。 には当てはまりません。図 7-1 は、入力マルチプレクサを介した IDAC の接続を示しています。

電流源が動作するためには、AVDD 電源に対する電圧ヘッドルームが必要です。この電圧ヘッドルームは、コンプライアンス電圧とも呼ばれます。抵抗性負荷を駆動する際は、IDAC のコンプライアンス電圧を超えないよう注意してください。これを超えると、IDAC 電流の規定された精度が常に満たされるとは限りません。IDAC のコンプライアンス電圧仕様については、*電気的特性*表を参照してください。

IDAC はアイドル モードでは有効のままですが、スタンバイ モードおよびパワーダウン モードではオフになります。

7.3.9 バーンアウト電流源の電流 (BOCS)

潜在的なセンサ故障の検出を支援するため、ADS1x4S1x は一対のプログラム可能なバーンアウト 電流源 (BOCS) を提供します。STEPx_BOCS[1:0] ビットを使用して電流源を有効化し、値を 0.2µA、1µA、または 10µA に設定します。

BOCS は、内部マルチプレクサの後段で PGA 入力に接続されます。有効化されると、一方の BOCS は AVDD から選択された正のアナログ入力 (AINP) へ電流を供給し、もう一方の BOCS は選択された負のアナログ入力 (AINN) から AVSS へ電流を引き込みます。

外部センサのオープン回路またはセンサ配線の断線が発生した場合、これらの BOCS は正の入力を AVDD 側へ、負の入力を AVSS 側へプルし、その結果フルスケールの読み取りとなります。フルスケールの読み取りは、センサが過負荷状態である場合や、リファレンス電圧が存在しない場合にも示されることがあります。

ほぼゼロの読み取り値は、センサの短絡を示している可能性があります。センサ短絡状態を通常の読み取り結果と区別するのは、特に入力に RC フィルタを使用している場合、困難になることがあります。電流源は、外付けフィルタ抵抗の両端での電圧降下と、内部マルチプレクサの残留抵抗を発生させます。つまりセンサが短絡していても、PGA 入力には小さな電圧が存在し、その結果 ADC はゼロより大きな電圧を出力するということです。内部マルチプレクサの残留抵抗は通常、AVDD = 3.3V での約 400Ω から AVDD = 1.8V での 1.6kΩ までの範囲です。

バーンアウト電流源が有効な場合、正常に動作しているセンサの ADC 読み取り値が乱されることがあります。そのため、高精度測定を行う際にはバーンアウト電流源を無効にし、専用の診断測定時にのみセンサ故障状態をテストする目的で BOCS を有効にします。

グローバル チョップ モード (GC_EN = 1b) を使用する場合は、BOCS を無効にします。バーンアウト電流源機能は、グローバル チョップ モードには対応していません。

バーンアウト電流源はアイドル モードでは有効なままですが、スタンバイ モードおよびパワーダウン モードではオフになります。

Copyright © 2026 Texas Instruments Incorporated

7.3.10 バイアス電圧ジェネレータ (VBIAS)

ADS1x4S1x は、バイアス電圧ジェネレータ VBIAS を内蔵し、アナログ電源電圧の半分、(AVDD + AVSS) / 2 に等しいバッファ電圧を供給します。バイアス電圧は、VBIAS_AINx ビットを使用して、アナログ入力 AIN0 ～ AIN7 に設定できます。VBIAS は同時に複数のアナログ入力に供給できます。バイアス電圧の目的は、絶縁型熱電対などのフローティング センサの信号レベルを、PGA の入力範囲内にシフトすることです。フローティング センサのリードの 1 本を、VBIAS を有効化しているアナログ入力に接続します。

バイアス電圧ジェネレータのスタートアップ時間は、ピンの負荷容量に依存します。合計容量には、VBIAS から AVDD、AVSS、グランドに接続された全容量が含まれます。表 7-12 に、各種の外部負荷容量に対する代表的な VBIAS 電圧セトリング タイムを示します。変換を開始する前に、VBIAS 電圧が完全にセトリングしていることを確認してください。

表 7-12. VBIAS のセトリング タイム

負荷容量	セトリング タイム
0.1µF	200µs
1µF	2.5ms
10µF	12ms

7.3.11 汎用入出力 (GPIO)

ADS1x4S1x には 8 つの汎用入出力 (GPIO) があります。この GPIO のロジック レベルは AVDD と AVSS 電源を基準としています。ADS1x4S18 では、GPIO はアナログ入力と共有します。GPIOx_CFG[1:0](x = 0～7) ビットを使用して、ピンをアナログ入力、デジタル入力、またはプッシュプルもしくはオープン ドレイン特性のデジタル出力として設定します。

STEPx_GPIOx_DAT_OUT ビットを使用して、GPIO のデジタル出力レベルを設定します。GPIOx をアナログ入力またはデジタル入力として設定している場合、STEPx_GPIOx_DAT_OUT ビットの設定は無効です。

GPIOx_DAT_IN ビットは、ピンがデジタル入力として設定されているかデジタル出力として設定されているかに関係なく、GPIOx ピンでの読み戻し値を示します。GPIOx がアナログ入力として設定されている場合、GPIOx_DAT_IN ビットは 0b を読み戻します。

さらに、次の特殊機能を使用できます:

- GPIO3 はデジタル コンパレータの ALERT 出力として構成できます。
- GPIO4 は $\overline{\text{FAULT}}$ 表示出力として設定できます。

パワーダウン モードでは、GPIO のデジタル出力として設定されているアナログ入力は、すべてハイ インピーダンス状態に遷移します。パワーダウン中に特定の GPIO ロジック レベルを維持する必要がある場合は、該当する GPIO ピンに外付けのプルアップまたはプルダウン抵抗を使用することを検討してください。

7.3.11.1 ALERT 出力

GPIO3_CFG = 10b または 11b、GPIO3_SRC = 1b に設定して、GPIO3 をデジタル コンパレータの ALERT 出力として構成します。この場合、COMP_ALERTn フラグで GPIO3 と ALERT の出力状態が決まります。アプリケーションの要件に応じて、ALERT ピンをアクティブ Low 出力かアクティブ High 出力に構成できます。ALERT_PIN_POL ビットを使用して、ALERT 出力ピンの極性を選択します。詳しくは、表 7-13 を参照してください。

表 7-13. ALERT 出力の状態図

ALERT_PIN_POL ビット	COMP_ALERTn フラグ	ALERT 出力
0b	0b	低
1b	0b	高
0b	1b	高
1b	1b	低

Copyright © 2026 Texas Instruments Incorporated

7.3.11.2 FAULT 出力

GPIO4_CFG = 10b または 11b、かつ GPIO4_SRC = 1b に設定することで、GPIO4 を FAULT 出力として構成します。SAD_FAULTn のステータス ビットが 0b になると、FAULT ピンが Low になり、故障を示します。リセット中およびリセット後にこのピンが High-Z のアナログ入力に戻るため、デバイスのリセット発生を検出できるように、GPIO4 から DGND にプルダウン抵抗を接続してください。

FAULT_PIN_BEHAVIOR ビットを使用して、次の FAULT 出力動作から選択します:

- 静的出力。故障が発生したとき、FAULT 出力は low になります。それ以外の場合、出力は high になります。
- ハートビート出力。故障が発生したとき、FAULT 出力は Low になります。それ以外の場合、出力は $f_{MOD}/256$ の周波数を持つ 50% デューティ サイクル信号になります。ハートビート信号の周波数をホストが監視することで、デバイスのクロック故障の可能性を検出できます。

7.3.12 オフセットとゲインの較正係数

ADS1x4S1x は、ユーザーがプログラム可能なオフセットとゲイン較正レジスタ (STEPx_OFFSET_CAL[23:0]、STEPx_GAIN_CAL[15:0]) を使用して、各シーケンス ステップのオフセットとゲイン誤差を補正する機能を備えています。図 7-13 に示すように、24 ビットのオフセット補正値を変換データから減算してから、16 ビットのゲイン補正値で乗算します。出力データは最終的な分解能 (ADS114S1x には 16 ビット、ADS124S1x には 24 ビット) に丸められ、スケーリング動作後に +FS と -FS のコード値にクリッピングされます。オフセットとゲインの較正係数は、ADS1x4S1x のレジスタが揮発性であるため、デバイスの電源投入時またはリセット時に、外部の不揮発性メモリに保存し、オフセットとゲインの較正レジスタにプログラムする必要があります。

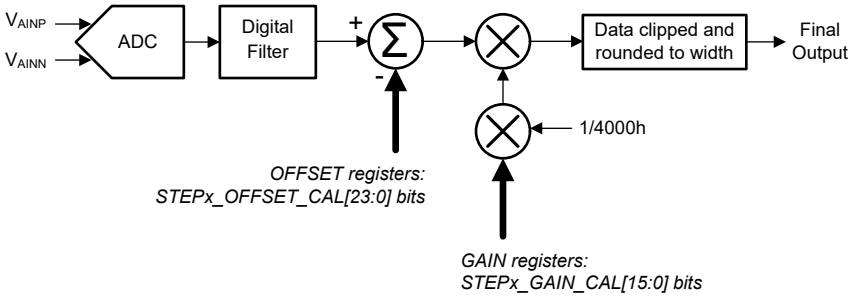


図 7-13. 較正のロジック ブロック図

変換データの較正方法を、式 16 に示します。

$$\text{Final Output Data} = (\text{Data} - \text{OFFSET}) \times \text{GAIN} / 4000\text{h} \quad (16)$$

24 ビットのオフセット較正値は常に 2 の補数形式で提供され、STEPx_CODING ビット設定に関係なく、STEPx_OFFSET_CAL_MSB、STEPx_OFFSET_CAL_ISB、STEPx_OFFSET_CAL_LSB レジスタにまたがる STEPx_OFFSET_CAL[23:0] ビット フィールドにプログラムされます。16 ビット デバイス ADS114S1x の場合は、STEPx_OFFSET_CAL_LSB レジスタを 00h に設定します。オフセット較正値の例を、表 7-14 に示します。オフセット較正値の LSB サイズは、式 17 で計算されます。

$$\text{Offset Calibration LSB Size} = (2 \times V_{REF}) / (2^{24}) \quad (17)$$

表 7-14. オフセット較正値の例

STEPx_OFFSET_CAL[23:0] VALUE	オフセット補正を適用
000010h	–16LSB
000001h	–1LSB
FFFFFFh	1LSB

表 7-14. オフセット較正値の例 (続き)

STEPx_OFFSET_CAL[23:0] VALUE	オフセット補正を適用
FFFFF0h	16LSB

16 ビットのゲイン較正値は、4000h でユニティ ゲインに正規化されたストレート バイナリ形式で提供されます。ゲイン較正値は、STEPx_GAIN_CAL[15:0] ビット フィールドにプログラムされます。ゲイン較正値の 1 つの LSB は、$1/2^{16}$ = 0.000015 のゲイン補正係数に等しくなります。たとえば、1 より大きいゲイン誤差を修正する場合、計算されるゲイン較正値は 4000h 未満です。

ゲイン較正値の例を、表 7-15 に示します。

表 7-15. ゲイン較正値の例

STEPx_GAIN_CAL[15:0] VALUE	ゲイン補正を適用
FFFFh	3.999939
4333h	1.05
4001h	1.000015
4000h	1
3FFFh	0.999985
3CCCh	0.95

それぞれのシーケンス ステップの測定用にシステム モニタを選択している場合、デバイスは STEPx_OFFSET_CAL[23:0] と STEPx_GAIN_CAL[15:0] の値を無視します。つまり STEPx_SYS_MON[2:0] が 000b 以外の値に設定されている場合です。

推奨される較正手順は次のとおりです。

1. オフセットおよびゲイン較正レジスタを、それぞれ STEPx_OFFSET_CAL[23:0] = 000000h および STEPx_GAIN_CAL[15:0] = 4000h にプリセットします。
2. 各システム監視設定 (STEPx_SYS_MON[2:0] = 001b) を使用して ADC 入力を内部で短絡するか、外部フィルタ段のオフセット誤差を含めてシステム レベルで入力を外部で短絡して、オフセット較正を実行します。複数の変換データを取得し、オフセット較正レジスタにデータの平均値を書き込みます。データを平均化すると、変換ノイズが減少し、較正精度が向上します。測定にユニポーラ ストレート バイナリ形式を使用する場合 (STEPx_CODING = 1b)、測定したオフセット値は必ず 2 の補数形式のバイナリに変換してください。
3. ADC 入力に較正信号を印加するか、システム レベルで印加してゲイン較正を行います。後者の場合は外部バッファ段のゲイン誤差も含まれます。出力コードのクリッピングを避けるため、フルスケール入力範囲よりも低い較正電圧を選択します。出力コードがクリッピングされると、較正が不正確になります。たとえば、V_{REF} = 2.5V で 2.4V の較正信号を使用し ます。ゲインの較正値を計算するには、式 18 を使用します。

$$\text{Gain Calibration Value} = (\text{expected output code} / \text{actual output code}) \times 4000\text{h} \quad (18)$$

たとえば、2.5V のリファレンス電圧を使用してゲインが 1 のとき、2.4V の較正電圧の想定される出力コードは次のとおりです:(2.4V / LSB サイズ) = 7AE148h、ここで LSB サイズ = 2 × 2.5V / (2^{24})。例えば、実際に測定された出力コードが 75750h の場合、ゲイン較正係数は 1.05 となります。結果として、STEPx_GAIN_CAL[15:0] ビット フィールドに書き込むゲイン較正値は次のとおりです:(1.05 – 1)/($1/2^{16}$) = 4333h。

7.3.13 デジタル コンパレータ

ADS1x4S1x は、シーケンス ステップごとに個別に構成できるデジタル コンパレータ機能を装備しています。STEPx_COMP_HIGH_TH[15:0] と STEPx_COMP_LOW_TH[15:0] ビット フィールドを使用して、コンパレータの高と低のスレッショルドを構成します。STEPx_COMP_HIGH_TH_EN ビットと STEPx_COMP_LOW_TH_EN ビットは、コン

Copyright © 2026 Texas Instruments Incorporated

パレータがトリガされるスレッショルドを決定します。高スレッショルドと低スレッショルドの両方を有効にして、ウィンドウ コンパレータ機能を実装します

コンパレータは、シーケンス ステップの各変換結果を有効なスレッショルドと比較します。変換結果がスレッショルドを超えると、内部アラート カウンタがインクリメントされます。この内部アラート カウンタは、このステップの変換結果がスレッショルドを下回るとリセットされます。アラート カウンタは、各シーケンス ステップの開始時や、COMP_ALERTn フラグがクリアされたときにもリセットされます。アラート カウンタが STEPx_COMP_NUM[1:0] ビット フィールドにプログラムされた値と一致すると、デジタル コンパレータはトリップします。つまり STEPx_COMP_NUM[1:0] ビット フィールドにプログラムされた数値により、1 つのシーケンス ステップでコンパレータをトリップする前にスレッショルドを超える必要がある連続変換の回数が決まります。いずれかのシーケンス ステップでコンパレータがトリップすると COMP_ALERTn ビットが 0b に設定されます。COMP_ALERT_STEP_INDICATOR[4:0] はコンパレータ アラートをトリガしたシーケンス ステップを示します。

COMP_ALERTn フラグでラッチします。オーバーレンジ状態が解消された後、ホストは COMP_ALERTn ビットに 1b を書き込み、ビットを 1b にクリアする必要があります。COMP_ALERT_STEP_INDICATOR[4:0] は同時に 11111b にクリアされます。

COMP_ALERTn フラグが 0b のとき、COMP_ALERTn_MASK ビットを 1b に設定して SD_FAULTn フラグの駆動から COMP_ALERTn フラグをマスクしない限り、SDA_FAULTn フラグも 0b に設定されます。

表 7-16 に、デジタル コンパレータの動作を制御するレジスタ ビットを示します。詳細については、「レジスタ マップ」セクションの各ビット フィールドの説明を参照してください。

表 7-16. デジタル コンパレータ ステータスと構成ビット

レジスタ ビット	説明
ステータスおよび全般構成ページ	
COMP_ALERTn	デジタル コンパレータ アラート フラグは、いずれかのシーケンス ステップのデジタル コンパレータがトリップしたことを示します。
COMP_ALERT_STEP_INDICATOR[4:0]	デジタル コンパレータ アラート ステップ インジケータは、COMP_ALERTn フラグが 0b の場合に、コンパレータのオーバーレンジ状態を引き起こしたシーケンス ステップを示します。
COMP_ALERTn_MASK	COMP_ALERTn 故障マスク ビットは、COMP_ALERTn フラグが SAD_FAULTn フラグに影響するかどうかを決定します。
ステップ x 構成ページ	
STEPx_COMP_HIGH_TH_EN	シーケンス ステップ x のデジタル コンパレータの高スレッショルド検出を有効にします。
STEPx_COMP_LOW_TH_EN	シーケンス ステップ x のデジタル コンパレータの低スレッショルド検出を有効にします。
STEPx_COMP_HIGH_TH[15:0]	シーケンス ステップ x のデジタル コンパレータの高スレッショルドを設定します。変換結果が高スレッショルドを上回ると、内部アラート カウンタがインクリメントされます。
STEPx_COMP_LOW_TH[15:0]	シーケンス ステップ x のデジタル コンパレータの低スレッショルドを設定します。変換結果が低スレッショルドを下回ると、内部アラート カウンタがインクリメントされます。
STEPx_COMP_NUM[1:0]	コンパレータのアラート カウンタのスレッショルドは、デバイスが COMP_ALERTn フラグによってアラートを示す前に、シーケンス ステップ x の変換結果がコンパレータのスレッショルドを上回る必要がある連続変換回数を決定します。

図 7-14 に、変換 16 回、コンパレータ高スレッショルドを有効化、コンパレータ アラート カウンタ スレッショルドを 4 に設定したシーケンス ステップ (STEPx_NUM_CONV[4:0] = 01111b、STEPx_COMP_HIGH_TH_EN = 1b、STEPx_COMP_NUM[1:0] = 10b) における、デジタル コンパレータの動作を示します。

Copyright © 2026 Texas Instruments Incorporated

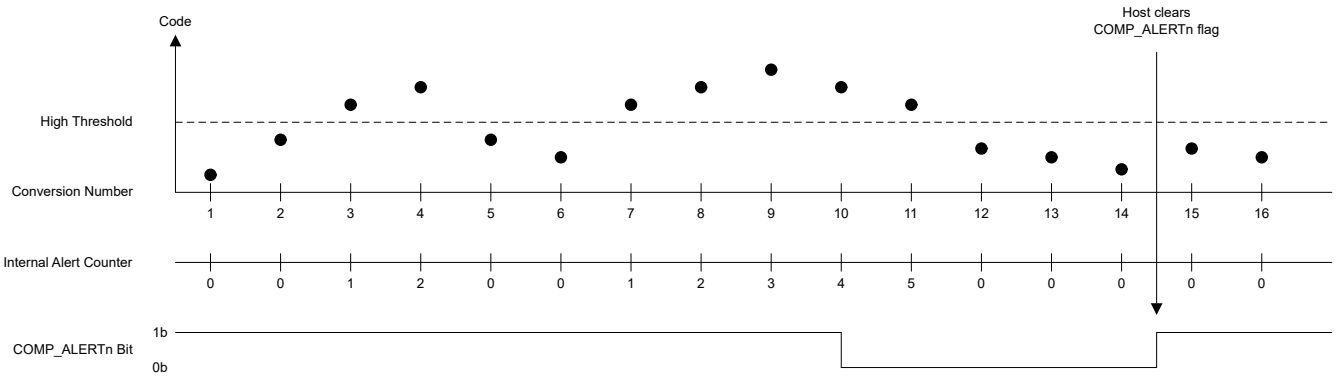


図 7-14. デジタル コンパレータの動作

COMP_ALERTn フラグに加えて、「ALERT 出力」セクションで説明しているように、GPIO3 を ALERT 出力ピンとして構成して、トリップしたコンパレータを示すこともできます。

7.3.14 システム モニタ

デバイスは一連のシステム監視機能を備えており、入力マルチプレクサを介した測定のために、内部で PGA 入力へルーティングすることができます。STEPx_SYS_MON[2:0] ビットを使用して、以下のいずれかのシステム監視項目を選択します。

- PGA の入力はまとめて中電圧 (AVDD + AVSS) / 2 に短絡し、内部信号チェーンの入力オフセットを測定して較正できます。
- デバイス温度に比例した出力信号を提供する内蔵温度センサです。
- 減衰した 2 つの外部リファレンス電圧 (V_{REFPx} — V_{REFNx}) / 8 のいずれか
- 減衰したアナログ電源とデジタル電源、((AVDD – AVSS) / 8)、(IOVDD / 8)、(V_{DLDO} / 4)。

いずれかのシステム監視項目が選択されている場合、STEPx_AINP[4:0] と STEPx_AINN[4:0] ビットは無効となり、アナログ入力は PGA から切り離されます。STEPx_REF_SEL[1:0] ビットで選択した電圧リファレンスを、システム監視の測定に使用します。外部電圧リファレンスまたはアナログ電源のいずれかを監視するときに、監視対象の電圧とは異なる電圧リファレンスを選択します。各測定について、STEPx_GAIN[3:0] ビットを使用して、適切なゲイン設定を選択します。

いずれかのシステム監視を測定するとき、ユーザー オフセットとゲイン較正レジスタの値 (STEPx_OFFSET_CAL[23:0]、STEPx_GAIN_CAL[15:0]) は変換結果に適用されません。

7.3.14.1 内部短絡 (オフセット較正)

システム モニタには、両方の PGA 入力 (AINP と AINN) を中電圧 (AVDD + AVSS) / 2 に短絡するオプションがあります。このオプションを使用し、デバイスのオフセットの測定と較正ができます。入力を短絡した状態で複数回測定を行い、その結果を平均化することでノイズの影響を低減します。測定したオフセット値は STEPx_OFFSET_CAL[23:0] ビット フィールドに保存します。その後デバイスは、シーケンス ステップ x の各変換結果から値を自動的に減算します。または、オフセット値をマイコンに保存し、その結果、各変換結果から値を減算します。

7.3.14.2 内部温度センサ

ADS1x4S1x は、ダイ温度を測定するための内蔵温度センサ (TS) を備えています。温度センサは、ダイ温度に比例した電圧を出力します。温度センサの出力電圧特性 (TS_{Offset}、TS_{TC}) は、*電気的特性* 表に記載されています。

式 19 に、測定された温度センサの出力電圧をダイ温度に変換する方法を示します。

$$\text{Die temperature [°C]} = 25°C + (\text{Measured voltage} - TS_{Offset}) / TS_{TC} \quad (19)$$

アプリケーションで発生可能な最大温度センサ出力電圧が V_{REF} / ゲインよりも小さくなるように、PGA のゲイン設定を選択します。

Copyright © 2026 Texas Instruments Incorporated

7.3.14.3 外部リファレンス電圧読み戻し

システム モニタを使用すると、REFP0 ピンと REFN0 ピンの間、または REFP1 ピンと REFN1 ピンの間に接続された 2 つの外部リファレンス電圧のいずれかを監視できます。それには、減衰した外部リファレンス電圧 (V_{REFPx} – V_{REFNx}) / 8 を測定用に選択します。

7.3.14.4 電源の読み戻し

システム モニタでは、アナログ電源とデジタル電源の両方を監視できます。このため、減衰したアナログ電源 ((AVDD – AVSS) / 8)、減衰したデジタル IO 電源 (IOVDD / 8)、またはデジタル コア電源 (V_{DLDO} / 4) のいずれかを選択して測定します。

Copyright © 2026 Texas Instruments Incorporated

7.3.15 モニタおよびステータス フラグ

ADS1x4S1x には、特定のデバイスまたはシステムの故障を検出してホストに通知するための、対応するステータス フラグを備えた一連のモニタを用意しています。表 7-17 では、使用可能なモニタの概要を示します。一部のモニタは、専用のモニタ有効化ビットを使用して有効にする必要があります。モニタが故障を検出すると、対応する低アクティブ故障フラグが 0b に設定されます。通信関連のモニタ・故障・フラグを除き、故障状態が解消された後、ホストは故障・フラグを 1b にクリアする必要があります。モニタの故障フラグは、読み取り用のさまざまな STATUS レジスタで参照できます。

表 7-17. モニタの概要

モニタ名	モニタ有効ビット	故障フラグの監視	故障フラグのリセットのメカニズム
リセット	該当なし	RESETn	「1b」を書き込むと、ビットは「1b」にクリアされます
AVDD 低電圧	該当なし	AVDD_UVn	「1b」を書き込むと、ビットは「1b」にクリアされます
リファレンス低電圧	REF_UV_EN	REF_UVn	「1b」を書き込むと、ビットは「1b」にクリアされます
SPI の CRC	SPI_CRC_EN	SPI_CRC_FAULTn	前回の SPI フレームの CRC 結果に基づいて、各新規 SPI フレームごとに更新されます
レジスタ マップの CRC	REG_MAP_CRC_EN	REG_MAP_CRC_FAULTn	「1b」を書き込むと、ビットは「1b」にクリアされます
メモリ マップの CRC	該当なし	MEM_FAULTn	デバイスをリセットするか、電源を入れ直します
レジスタ書き込みエラー	該当なし	REG_WRITE_FAULTn	次のレジスタ書き込みコマンドで更新
デジタル コンパレータ	STEPx_COMP_LOW_TH_EN、STEPx_COMP_HIGH_TH_EN	COMP_ALERTn	「1b」を書き込むと、ビットは「1b」にクリアされます

モニタ フラグに加えて、各種 STATUS レジスタには 表 7-18 に示すように追加のステータス ビットとインジケータ ビットが含まれます。詳細については、「ステータスと全般構成ページ レジスタ」セクションでの該当するビットの説明を参照してください。

表 7-18. ステータス ビットとインジケータ ビットの概要

名称	ビット	説明
電源、ADC、デジタル故障アグリゲート フラグ	SAD_FAULTn	SUPPLY_STATUS、ADC_STATUS、DIGITAL_STATUS レジスタの個別の故障フラグのいずれかが設定されているかを示します。
DRDY インジケータ	DRDY	現在の SPI フレーム内で読み取られた変換データが新しいデータか、前回の読み取り操作から繰り返されているデータかを示します。
シーケンサ ステップ インジケータ	STEP_INDICATOR[4:0]	現在読み出し可能な、最新の変換結果に使用したステップ ページの構成を示します。
変換カウンタ	CONV_COUNT[3:0]	現在読み出し可能な変換を追跡するためのカウンタで、新しい変換ごとにインクリメントします。
シーケンス カウンタ	SEQ_COUNT[3:0]	SEQ_MODE[1:0] = 11b の場合、シーケンス カウンタは、最新の変換結果を実行したシーケンスがどのシーケンスに属するかを示します。このシーケンスは現在読み出し可能です。
シーケンサ アクティブ フラグ	SEQ_ACTIVE	変換が現在進行中か、変換が停止しており、デバイスがアイドル、スタンバイ、またはパワーダウン モードであるかを示します。
レジスタ マップ CRC 故障ページ ポインタ	CRC_FAULT_PAGE[4:0]	REG_MAP_CRC_FAULTn が CRC の故障を示している場合、どのレジスタ ページが CRC エラーなのかを示します。
デジタル コンパレータ アラート ステップ インジケータ	COMP_ALERT_STEP_INDICATOR[4:0]	COMP_ALERTn フラグが設定されているときに、どのシーケンス ステップでコンパレータのオーバーレンジがあったかを示します。
レジスタ ページ インジケータ	PAGE_INDICATOR[7:0]	デバイスがレジスタの読み出しと書き込みに、現在どのレジスタ ページを選択しているかを示します。

レジスタ読み取りコマンドを使用して必要に応じて STATUS_MSB または STATUS_LSB レジスタを読み出す代わりに、このデバイスは SDO の時に、各フレームの先頭 2 バイトとして STATUS ヘッダを出力できます。STATUS_EN ビットを

Copyright © 2026 Texas Instruments Incorporated

使用して、ステータス ヘッダの送信をイネーブルします。16 ビットの ステータス ヘッダは、STATUS_MSB[7:0] と STATUS_LSB[7:0] の各レジスタ ビットを連結したものです。

SAD_FAULTn フラグに加えて、「 $\overline{\text{FAULT}}$ 出力」セクションで説明しているように、GPIO4 を $\overline{\text{FAULT}}$ 出力ピンとして構成して、デバイスの故障を示すことができます。

7.3.15.1 リセット (RESETn フラグ)

RESETn フラグは、最後にビットが 1b にクリアされてから、デバイス リセットが発生したかを示します。RESETn ビットを 1b にクリアするには、1b を書き込みます。

RESETn フラグは、デバイスの電源投入後は 0b です。

7.3.15.2 AVDD 低電圧モニタ (AVDD_UVn フラグ)

AVDD 低電圧モニタは、アナログ電源が AVDD 低電圧スレッショルド (TH_{AVDD_UV}) を下回った時に、AVDD_UVn ビットを 0b に設定します。AVDD_UVn ビットを 1b にクリアするには、1b を書き込みます。

AVDD_UVn フラグは、デバイスの電源投入後は 0b です。

AVDD 低電圧モニタは、パワーダウン モードを除き、常に有効です。AVDD 電源が AVDD 低電圧スレッショルドを下回っていない場合でも、パワーダウン モードに入ると AVDD_UVn は 0b に設定されます。REF_VAL ビットを使用して内部電圧リファレンス値を変更すると、意図せず AVDD_UVn ビットが 0b に設定される場合があります。

IOVDD 電源が供給されている限り、アナログ電源が AVDD スレッショルドを下回ってもデバイスはリセットされません。

7.3.15.3 リファレンス低電圧モニタ (REF_UVn フラグ)

リファレンス低電圧モニタは、一定のシーケンス ステップの STEPx_REF_SEL[1:0] ビットで選択されたリファレンス電圧がリファレンス低電圧スレッショルド (TH_{REF_UV}) を下回ったら、REF_UVn ビットを 0b に設定します。2 つの異なる低電圧スレッショルド間で選択するには、REF_UV_SEL ビットを使用します。REF_UV_EN ビットを使用して、リファレンス低電圧モニタを有効にします。REF_UVn ビットを 1b にクリアするには、1b を書き込みます。

モニタは、デバイスが変換を行っていて変換開始の遅延時間中に非アクティブなとき、またはデバイスがアイドル、スタンバイ、またはパワーダウン モードのとき、リファレンス低電圧状態のみを検出します。

7.3.15.4 SPI CRC フォルト (SPI_CRC_FAULTn フラグ)

SPI_CRC_FAULTn フラグは、直前の SPI フレームにおいて SDI 上で SPI CRC エラーが発生したかどうかを示します。SPI CRC 故障が発生したフレーム内でのコマンド実行はブロックされます。代わりに、ノーオペレーション コマンドが実行されます。次のフレーム内のコマンドはブロックされません。SPI_CRC_FAULTn ビットは、新しい SPI フレームごとに、直前の SPI フレームの CRC 結果に基づいて更新されます。SPI_CRC_EN ビットを使用して SPI CRC を有効にします。さらに、STATUS_EN ビットを使用して ステータス ヘッダの送信を有効にすることで、SPI CRC 故障の発生を通知として受け取ることができます。SPI CRC の実装の詳細については、*SPI の CRC* セクションを参照してください。

7.3.15.5 レジスタ マップ CRC 故障 (REG_MAP_CRC_FAULTn フラグ)

REG_MAP_CRC_FAULTn フラグは、意図しないレジスタ ビット反転によってレジスタ マップの CRC エラーが発生したかどうかを示します。また CRC_FAULT_PAGE[4:0] ビットは、どのレジスタ ページで CRC エラーが発生したかを示します。複数のレジスタ ページに CRC エラーが発生している場合、インジケータは CRC エラーが存在する最初のレジスタ ページ アドレスを示します。REG_MAP_CRC_EN ビットを使用して、レジスタ マップの CRC を有効にします。ただし、REG_MAP_CRC_EN ビットの設定に関係なく、スタンバイ モードおよびパワーダウン モードではレジスタ マップ CRC は停止します。REG_MAP_CRC_FAULTn ビットをクリアするには、1b を書き込んでビットを 1b にします。レジスタ マップ CRC の実装の詳細については、「レジスタ マップの CRC」セクションを参照してください。

7.3.15.6 内部メモリ故障 (MEM_FAULTn フラグ)

MEM_FAULTn フラグは、メモリ マップの CRC 故障が発生したかどうかを示します。レジスタ マップ CRC と同様に、このデバイスは内部メモリで意図しないビット変化が発生していないかを確認するため、メモリ マップ CRC を使用します。内部メモリ ビットを変更すると、デバイスの動作が不明になったり、デバイスのパフォーマンスが低下したりする可能性があります。メモリ マップ CRC は、スタンバイ モードおよびパワーダウン モードを除き常に有効で、内部メモリ マップ全体に対して継続的に CRC 値を計算します。デバイスは、計算結果を量産時のメモリ マップに保存されているメモリ マップの CRC 値と比較します。内部で計算された結果と保存されているメモリ マップ CRC 値が一致しない場合、MEM_FAULTn フラグは 0b に設定されます。メイン プログラム メモリのエラーが発生した場合、ADC はそれ以外の処理を実行しません。MEM_FAULTn ビットが 0b の場合は、電源の再投入を行うか、デバイスをリセットします。

Copyright © 2026 Texas Instruments Incorporated

7.3.15.7 レジスタ書き込み故障 (REG_WRITE_FAULTn フラグ)

REG_WRITE_FAULTn フラグは、無効なレジスタ アドレスへの書き込みアクセスが発生したかどうかを示します。このフラグは、無効なレジスタ アドレスへの書き込まれるタイミングを設定し、次のレジスタ書き込みコマンドで更新します。

無効なレジスタ アドレスからの読み出しではこのフラグは設定されませんが、読み取りコマンドの SPI フレーム内に含まれるアドレス表示バイトから検出できます。この場合、アドレス表示バイトの読み取り値は FFh です。

デバイスは、PAGE_POINTER レジスタに無効なレジスタ ページ アドレスが書き込まれたかを検出しません。ただし、無効なレジスタ ページへのレジスタ書き込みが試行されると、REG_WRITE_FAUTLn フラグがトリガされます。

7.3.15.8 デジタル コンパレータ アラート (COMP_ALERTn フラグ)

シーケンス ステップのいずれかでコンパレータがトリップした場合、デジタル コンパレータは COMP_ALERTn ビットを 0b に設定します。1b を書き込むと、COMP_ALERTn ビットが 1b にクリアされます。詳細は「デジタル コンパレータ」セクションを参照してください。

7.4 デバイスの機能モード

7.4.1 パワーアップとリセット

ADS1x4S1x は次の 4 つの方法のいづれかでリセットされます。

- パワーオン リセット (POR)
- $\overline{\text{RESET}}$ ピンを Low (ハードウェア リセット) にします。
- RESET_CODE[7:0] ビット フィールドへの書き込み (ソフトウェア リセット)
- SPI リセット パターンの送信 (ソフトウェア リセット)

リセットが発生すると、ユーザー レジスタはそれぞれのデフォルト設定にリセットされ、デバイスはアイドル モードとなり、変換は開始されません。リセット プロセスの完了後、デバイスとの SPI 通信が可能です。デバイスとの通信を開始する前に、各種リセット イベントの後に考慮する必要のあるタイミング仕様については、タイミング要件 を参照してください。

$\overline{\text{DRDY}}$ ピンの Low から High への遷移は、図 7-15 と 図 7-16 に示すように、SPI の通信準備ができていることを意味します。このポイントと SDO が Low に留まるまで、デバイスは SPI 通信を無視します。

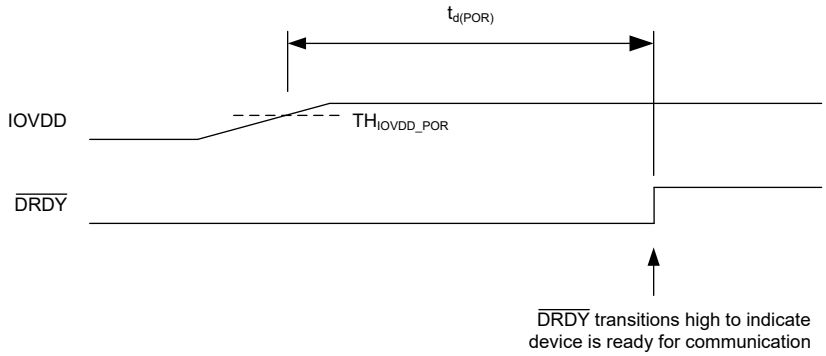


図 7-15. POR 後の $\overline{\text{DRDY}}$ ピンの動作

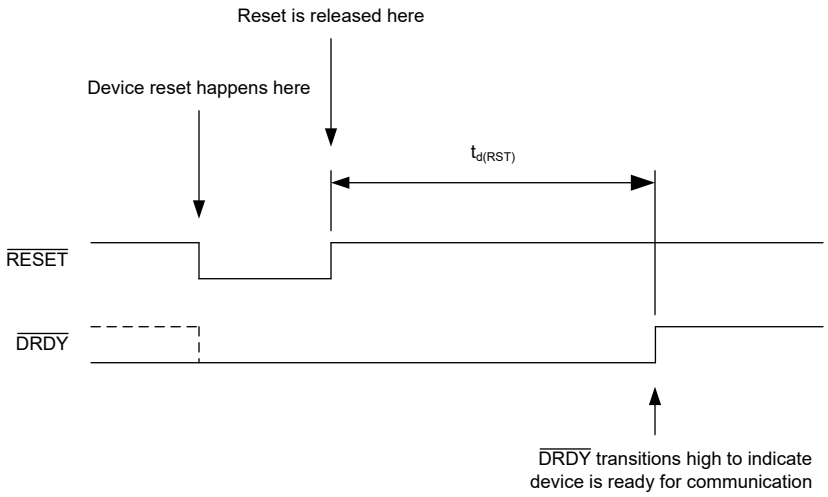


図 7-16. $\overline{\text{RESET}}$ ピンを使用したデバイス リセット後の $\overline{\text{DRDY}}$ ピンの動作

RESETn ビットは、最後に RESETn ビットが 1b にクリアされてからリセットが発生したかどうかを示します。動作中の意図しないデバイス リセットを検出できるように、デバイス リセット直後に RESETn ビットを 1b にクリアしてください。

Copyright © 2026 Texas Instruments Incorporated

7.4.1.1 パワーオン リセット (POR)

パワーオン リセット (POR) 回路により、IOVDD 電源が POR スレッショルド (TH_{IOVDD_POR}) を超えるまで、デバイスはリセット状態に保持されます。パワーオン リセット回路はまた、IOVDD 電源が IOVDD の POR スレッショルドを下回る電圧低下イベントが発生した場合でも、デバイスが既知の正常な状態で動作を開始するようにも設計されています。AVDD に低電圧イベントが発生してもデバイス リセットは発生しませんが、AVDD_UVn フラグで示されます。

7.4.1.2 $\overline{\text{RESET}}$ ピン

$\overline{\text{RESET}}$ ピンはアクティブ Low 入力です。$\overline{\text{RESET}}$ を Low にしてから High に戻すと、ADC はリセットされます。$\overline{\text{RESET}}$ ピンには内部に 20kΩ プルアップ抵抗が内蔵されているため、使用しない場合は $\overline{\text{RESET}}$ ピンを未接続のままにしておくことができます。$\overline{\text{RESET}}$ ピンはシュミット トリガ入力で、ノイズ感度を低減するよう設計されています。

7.4.1.3 レジスタ書き込みによるリセット

RESET_CODE[7:0] ビット フィールドに 01011010b (5Ah) を書き込むと、ソフトウェア リセットを開始します。このビット フィールドに他の値を書き込んでも、リセットは実行されません。4 線式 SPI モードでは、$\overline{\text{CS}}$ が High になったとき、フレームの最後でリセットが有効になります。3 線式 SPI モードでは、レジスタ書き込み動作の最後の SCLK 立ち下がりエッジでリセットが有効になります。3 線式 SPI モードでリセットするには、SPI が SPI ホストと同期している必要があります。SPI 同期が保証されない場合は、「SPI の入力パターンによるリセット」セクションに記載しているパターンを使用してデバイスをリセットします。

7.4.1.4 SPI の入力パターンによるリセット

デバイスは、SDI に特定のビットパターンを入力することで、SPI 動作を介してもリセットされます。その入力パターンは、通常の SPI コマンド形式には従っていません。ADC をリセットするために、2 種類の入力パターンが用意されています。

パターン 1 は、1023 個以上の連続した 1 と、それに続く 1 つの 0 で構成されます。最終ビットの 0 がシフトインされたときの SCLK の立ち下がりエッジで、デバイスはリセットされます。このパターンは、3 線式および 4 線式のいずれの SPI モードでも使用できます。パターン 1 のリセット例を、図 7-17 に示します。

リセット パターン 2 は、4 線式 SPI モードでのみ使用できます。リセットのため、*最小* 1024 個の連続した 1 を入力し (最後に 0 がない)、その後で $\overline{\text{CS}}$ を high にすると、リセットが発生します。複数のデバイスがデイジーチェーン接続されている場合は、パターン 2 を使用してください。パターン 2 のリセット例を、図 7-18 に示します。

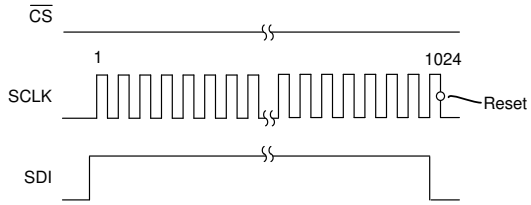


図 7-17. リセット パターン 1 (3 線式または 4 線式 SPI モード)

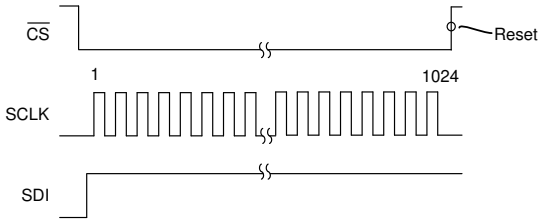


図 7-18. リセット パターン 2 (4 線式 SPI モード)

7.4.2 動作モード

ADS1x4S1x は、スタンバイ、アイドル、パワーダウン、シーケンサ モードの 4 つの動作モードを備えています。図 7-19 に、デバイスが各種の動作モード間をどのように遷移するかを示します。

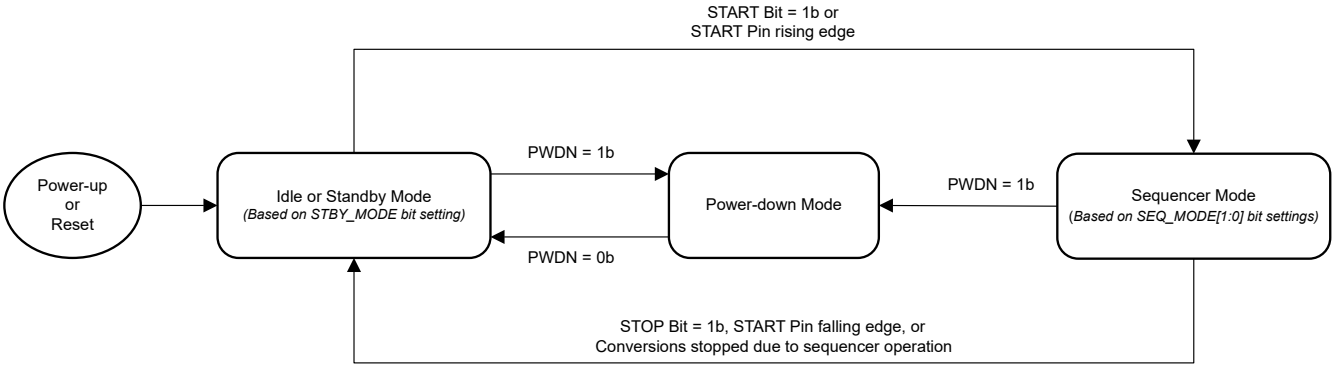


図 7-19. 動作時モードの状態図

7.4.2.1 アイドル モードとスタンバイ モード

リセット後、デバイスはアイドル モードになります。各レジスタ ビットの既定の設定に基づいてすべてのアナログ回路は電源投入されていますが、変換は実行されておらず、デジタル フィルタはリセット状態に保持されています。

START ビットを 1b に設定するか、START ピンを High にすると、デバイスはアイドル モードまたはスタンバイ モードを終了し、シーケンサを始動させます。シーケンサが停止すると、STBY_MODE ビットの設定に応じて、デバイスはアイドル モードかスタンバイ モードに遷移します。STEP_INIT[4:0] ポインタは、それぞれのステップ ページが有効かどうかにかかわらず (STEP_x_EN ビット設定を無視して)、デバイスがアイドル モードかスタンバイ モードのときに使用するステップ ページ構成を決定します。アイドル期間中に IDAC を特定の方法で構成する必要がある場合や、デジタル出力として構成された GPIO が特定の出力レベルを駆動する必要がある場合、シーケンサ停止時に適切なステップ ページを選択することが重要です。

スタンバイ モードでは、レジスタ ビット設定に関係なく ADC、PGA、IDAC、BOCS、リファレンス バッファ、レジスタ マップ CRC、メモリ マップ CRC がパワーダウンします。、内部電圧リファレンスと発振器は、スタンバイ モードで電源オンのままになります。

シーケンサが停止したときは、消費電力を抑えるためにスタンバイ モードを使用します。スタンバイ モードからシーケンサを開始する場合、最初の変換に要するレイテンシ時間は、デジタル フィルタのレイテンシ セクションで説明しているアイドル モードからシーケンサを開始する場合のレイテンシ時間より長くなります。

詳細については、「シーケンサの開始と停止」セクションを参照してください。

7.4.2.2 パワーダウン モード

パワーダウン モードでは、ユーザ レジスタ設定を保持するために必要な回路を除き、すべてのアナログ回路およびデジタル回路の電源がオフになります。SPI 通信は引き続き可能です。PWDN ビットを 1b に設定すると、デバイスは直ちにパワーダウンし、進行中の変換はすべて中止されます。パワーダウン モードでは:

- AVDD_UVn ビットは 0b に設定
- 変換データはゼロにクリア
- 変換カウンタ (CONV_COUNT[3:0]) は Fh にリセット
- シーケンス ステップ インジケータ (STEP_INDICATOR[4:0]) は 00h にリセット
- シーケンス カウンタ (SEQ_COUNT[3:0]) は 0h にリセット
- GPIO のデジタル出力として設定されているすべてのアナログ入力は、ハイ インピーダンス状態に遷移。パワーダウン中に特定の GPIO ロジック レベルを維持するには、それぞれの GPIO ピンに AVDD へのプルアップ抵抗または AVSS へのプルダウン抵抗の外付けを検討します。

Copyright © 2026 Texas Instruments Incorporated

パワーダウン モードでは、START ビットと START ピンは無視されます。PWDN ビットを 0b に設定すると、パワーダウン モードを終了します。パワーダウン モードから復帰する際は、変換を開始する前に内部電圧リファレンスが起動し、安定するまで待ってください。

7.4.2.3 シーケンサ モード

ADS1x4S1x の変換は、シーケンサと、START ビットと STOP ビットまたは START ピンの組み合わせで制御します。シーケンサは、シーケンサ モード構成 (SEQ_MODE[1:0] ビット設定) に基づいて変換をスケジュールします。

デバイスには、最大 24 個の一意の構成設定 (ステップ x = 0 ～ 23) があり、デバイスの初期化時にシーケンサ ステップ構成レジスタ ページにプログラムできます。各ステップ構成ページでは、入力マルチプレクサ、PGA ゲイン、電圧リファレンス源、デジタル フィルタ タイプと OSR、励起電流源の振幅と経路、GPIO データ出力、デジタル コンパレータのスレッショルドなどのデバイス設定を選択できます。シーケンス ステップごとに利用可能なすべての構成オプションの詳細については、「ステップ構成ページ レジスタ」セクションを参照してください。

表 7-19 に、ホストがシーケンサを開始したときに、SEQ_MODE[1:0] ビットがシーケンサの動作を決定する方法を示します。

表 7-19. シーケンサ モード

SEQ_MODE[1:0]	シーケンサの動作
00b	デバイスは、STEP_INIT[4:0] ポインタで定義されるシーケンス ステップを 1 回実行します。この動作モードでは、ステップ イネーブル ビット (STEP_x_EN) を無視します。STEPx_NUM_CONV[4:0] ビットは、このシーケンス ステップの実行に連続変換数を決定します。STEPx_NUM_CONV[4:0] = 00000b の場合、1 回の変換を実行します。シーケンサを搭載していない TI の ADC では、このモードを一般にシングルショット変換モードと呼びます。STEPx_NUM_CONV[4:0] ビットで定義する変換回数分の変換をすると、STBY_MODE ビットの設定に応じて、デバイスはアイドル モードかスタンバイ モードに戻ります。シーケンサの詳細な動作フロー チャートについては、図 7-20 を参照してください。
01b	このデバイスは、STEP_INIT[4:0] ポインタで定義されるシーケンス ステップを連続的に変換します。シーケンサを搭載していない TI の ADC では、このモードを一般に連続変換モードと呼びます。このシーケンサ モードでは、ステップ イネーブル ビット (STEP_x_EN) と STEPx_NUM_CONV[4:0] ビットを無視します。STOP ビットを 1b に設定するか、START ピンを Low にすると変換を停止します。シーケンサの詳細な動作フロー チャートについては、図 7-21 を参照してください。
10b	デバイスは、STEP_INIT[4:0] ポインタで定義されるステップとステップ 23 の間で 1 回、有効化されたすべてのステップのシーケンスを実行します。STEP_x_EN ビットを使用して、シーケンスにステップを含めます。STEP_INIT[4:0] ポインタで定義されるステップが無効化されていれば、このシーケンスは実行されません。最後の有効なシーケンス ステップの変換が完了すると、デバイスは STBY_MODE ビットの設定に応じて、アイドル モードかスタンバイ モードに戻ります。シーケンサの詳細な動作フロー チャートについては、図 7-22 を参照してください。
11b	デバイスは有効なステップの全シーケンスを、STEP_INIT[4:0] ポインタで定義されるステップから開始して実行し、連続的に繰り返します。シーケンスの一番最後の有効なステップの変換が完了すると、デバイスは最初の有効なステップから新しいシーケンスを実行します。最初に有効なステップは、STEP_INIT[4:0] ポインタで定義されるステップとは異なる場合があります。STEP_x_EN ビットを使用して、シーケンスにステップを含めます。STEP_INIT[4:0] ポインタで定義されるステップが無効化されていれば、このシーケンスは実行されません。STOP ビットを 1b に設定するか、START ピンを Low にすると、シーケンサが停止します。シーケンサの詳細な動作フロー チャートについては、図 7-22 を参照してください。

図 7-20、図 7-21、図 7-22 に各種シーケンサ モードにおけるシーケンサの動作を示します。フロー チャートに、START ビットと STOP ビットを使用してシーケンサを制御するときの動作を示します。「シーケンサの開始と停止 (START/STOP ビットと START ピン)」セクションで説明しているように、代わりに START ピンを使用できます。

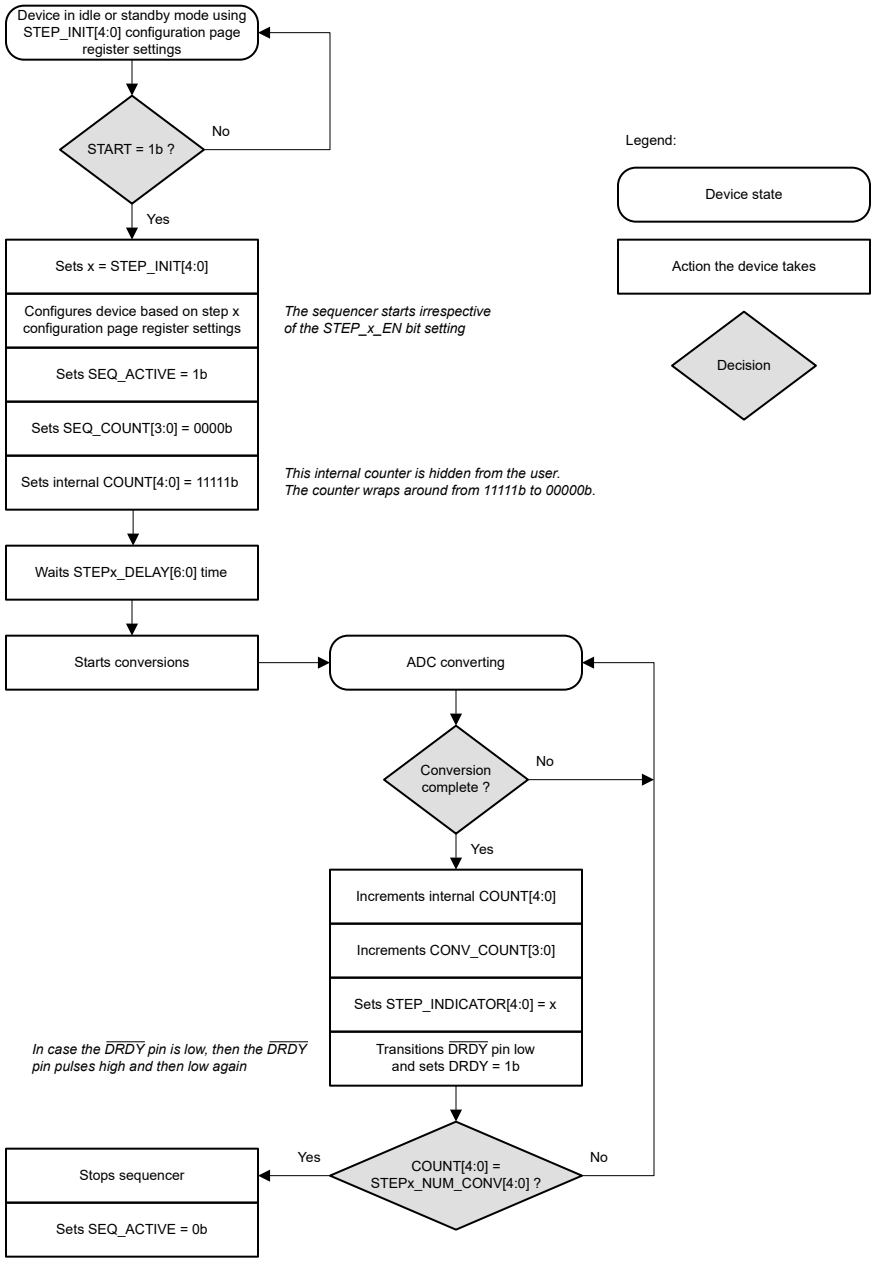


図 7-20. シーケンサ動作のフロー チャート (SEQ_MODE[1:0] = 00b)

Copyright © 2026 Texas Instruments Incorporated

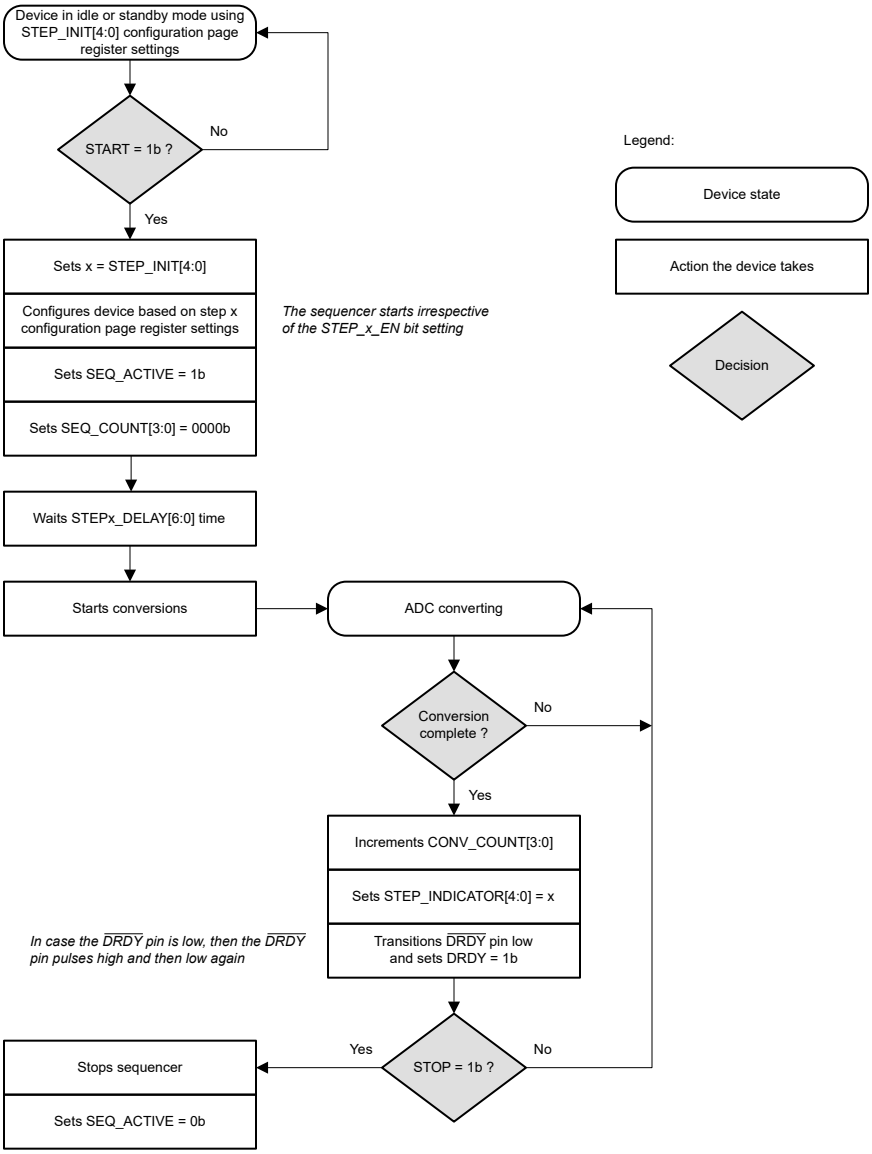


図 7-21. シーケンサ動作のフロー チャート (SEQ_MODE[1:0] = 01b)

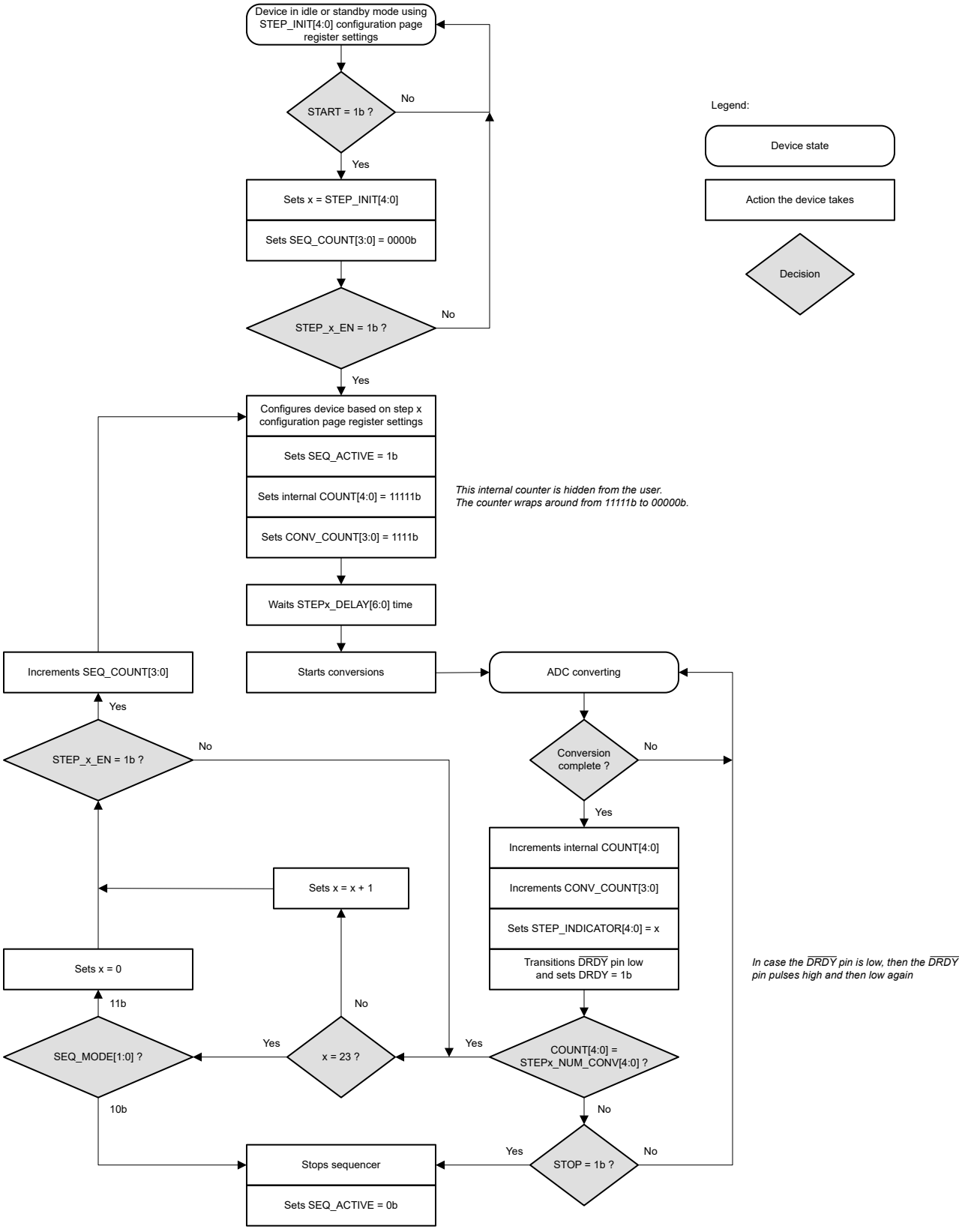


図 7-22. シーケンサ動作のフロー チャート (SEQ_MODE[1:0] = 10b または 11b) (STOP_BEHAVIOR[1:0] = 01b)

Copyright © 2026 Texas Instruments Incorporated

7.4.2.3.1 シーケンサの構成

表 7-20 に要約された各種ビットを使用して、シーケンサの操作と動作を構成します。詳細については、「レジスタ マップ」セクションの各ビット フィールドの説明を参照してください。

表 7-20. シーケンサ構成ビット

レジスタ ビット(1)	説明
ステータスおよび全般構成ページ	
STEP_INIT[4:0]	このポインタは、シーケンサの開始時に、最初の変換に使用するステップ ページ構成を決定します。アイドル モードやスタンバイ モードでは、このポインタはそれぞれの STEP_x_EN ビットによりページが有効か無効かに関係なく、アクティブなステップ ページ構成を選択します。
SEQ_MODE[1:0]	「シーケンサ モード」セクションの説明に従い、シーケンサの動作を選択します。
STOP_BEHAVIOR[1:0]	ホストがシーケンサの停止を要求した際に、シーケンサを停止する方法を決定します。
STEP_x_EN	個別のイネーブル ビットは、SEQ_MODE[1:0] = 10b または 11b の場合に、シーケンス内に含めるステップを選択します。SEQ_MODE[1:0] = 00b または 01b の場合、このビットは無視されます。
ステップ x 構成ページ	
STEPx_NUM_CONV[4:0]	それぞれのシーケンス ステップでシーケンサが実行する連続変換の数を決定します。デジタル フィルタは、ステップの連続した変換の間にはリセットされません。SEQ_MODE[1:0] = 01b のとき、このビットは無視されます。
STEPx_DELAY[6:0]	ステップ構成ページを選択した後、変換を開始する前に、シーケンサが待機する時間を決定します。これで選択した測定信号の何らかのセトリングができます。デジタル フィルタは、この遅延時間中にリセット状態に保持されます。

(1) x = 0 ～ 23 は、個々のステップ ページ構成を示します。

構成のためにさまざまなレジスタ ページにアクセスする方法の詳細については、「レジスタ マップ」セクションを参照してください。セクション「デバイスの初期化とシーケンサの起動」に、シーケンサの構成方法の例を示します。

シーケンサがアクティブの間は、個別のステップ構成ページでレジスタ設定を変更しないでください。いずれかのステップ構成ページに書き込むと、シーケンサは直ちに停止します。

7.4.2.3.2 シーケンサの開始と停止 (START/STOP ビットと START ピン)

シーケンサを開始するには、START ビットに 1b を書き込むか、START ピンを High にします。STEP_INIT[4:0] ビット フィールドに書き込む値によって、シーケンサが最初の変換用に選択するシーケンス ステップ構成が決まります。STEP_INIT[4:0] = 00000b はステップ構成ページ 0 を指し、STEP_INIT[4:0] = 10111b は最後に使用可能なステップ構成ページ 23 を指します。図 9-4 に、フローチャートを使用してシーケンサを起動する方法を示します。

START ビットは、CONVERSION_CTRL レジスタが書き込まれる SPI フレームにおいて、$\overline{CS}$ の立ち上がりエッジ (4 線式 SPI モード) または最後の SCLK の立ち下がりエッジ (3 線式 SPI モード) で有効になります。レジスタ書き込みコマンドの SPI フレームの詳細については、*レジスタ書き込みコマンド* セクションを参照してください。

STOP ビットを 1b にセットするか、START ピンを Low に下げ、シーケンサを停止します。STOP_BEHAVIOR[1:0] ビットでシーケンサの停止方法が決まります。詳細については、STOP_BEHAVIOR[1:0] ビットのフィールドの説明を参照してください。シーケンサが停止した後でも、最後の変換結果はまだ読み取り可能です。変換結果は、デバイス リセット後、パワーダウン モード時、または新しい変換結果が利用可能になって上書きされた場合にのみクリアされます。

シーケンサが停止すると、STBY_MODE ビットの設定に応じて、デバイスはアイドル モードかスタンバイ モードに戻ります。STEP_INIT[4:0] ビット フィールドは、それぞれのステップ ページが有効かどうかにかかわらず (STEP_x_EN ビット設定を無視して)、デバイスがアイドル モードかスタンバイ モードのときに使用するステップ構成ページを決定します。すなわちパワーダウン モードから復帰したとき、または変換が停止したとき、デバイスは STEP_INIT[4:0] ビット フィールドで決定されるステップ ページ構成に遷移します。STEP_INIT[4:0] ポインタが、スタンバイ モードかアイドル モードで 18h ～ 1Fh の間の無効な値に設定されている場合、ステップ 23 の構成が有効になります。アイドル期間中に IDAC を特定の方法で構成する必要がある場合や、デジタル出力として構成された GPIO が特定の出力レベルを駆動する必要がある

場合、シーケンサ停止時に適切なステップ ページを選択することが重要です。アイドル モードやスタンバイ モードでは、STEP_INIT[4:0] ポインタが指しているページのレジスタ ビットが変更されると、直ちにそれが反映されます。

Copyright © 2026 Texas Instruments Incorporated

シーケンサを制御する場合、以下のデバイスの動作に注意してください。

- START ビットと STOP ビットの両方に同時に 1b を書き込んでも、何の効果もありません。
- START ビットと STOP ビットを使用してシーケンサを制御するとき、START ピンを Low に維持します。同様に、START ピンを使用してシーケンサを制御するときは、START ビットと STOP ビットを使用しないでください。
- START ピンは通常、エッジ センシティブです。START ピンの立ち上がりエッジは、START ビットを 1b に設定することに相当し、START ピンの立ち下がりエッジは STOP ビットを 1b に設定することに相当します。ただし、電源投入時、デバイス リセット中、シーケンサを停止するデバイス レジスタへの書き込み時に、START ピンはレベル センシティブになります。このため、このようなイベント中は START ピンを Low に維持し、意図しないシーケンサの起動を防止してください。
- SEQUENCER_CFG レジスタに書き込んだ後、START ピンを使用して変換を開始できるようにする前に、別の SPI トランザクション (無動作コマンドなど) が必要です。START ビットにはこの制限がなく、SEQUENCER_CFG レジスタに書き込んで変換を開始する直後に書き込むことができます。
- START ビットを 1b に設定するか、変換の実行中に START ピンを再び Low と High に上下させると、進行中の変換を中止し、STEP_INIT[4:0] ビット フィールドで指定したステップ構成ページを使用して、シーケンサが再起動します。
- $\overline{\text{DRDY}}$ が Low の場合、シーケンサが始動すると $\overline{\text{DRDY}}$ ピンは High に駆動されますが、新しい変換結果が利用可能になるまでは、古い変換データを引き続き読み出すことができます。
- 以下のレジスタに書き込むと、STOP_BEHAVIOR[1:0] ビットで選択したシーケンサ停止動作に関係なく、シーケンサが直ちに停止します。
  - アドレス 17h のレジスタを除く、レジスタ アドレス 10h ～ 1Fh の間の、ステータスと全般構成ページのいずれかのレジスタ。
  - ステップ構成ページのいずれかにあるレジスタ。

7.4.2.3.3 シーケンサ ステータス ビット

ステップ インジケータ (STEP_INDICATOR[4:0])、変換カウンタ (CONV_COUNT[3:0])、シーケンス カウンタ (SEQ_COUNT[3:0]) は、表 7-18 で説明しているように、現在読み出し可能な最新の変換結果に関する情報と、それぞれのレジスタ ビットの説明を提供します。

シーケンサがアクティブで変換が進行中の場合、SEQ_ACTIVE ステータス ビットの読み出し値は 1b です。

7.5 プログラミング

7.5.1 シリアル インターフェイス (SPI)

シリアル インターフェイスは、変換データの読み取り、デバイス レジスタの構成、ADC 変換の制御に使用されます。

シリアル インターフェイスは、次の 4 本の信号線で構成されます: $\overline{CS}$、SCLK、SDI、SDO/$\overline{DRDY}$ の 4 つの信号で構成されます。さらに専用の $\overline{DRDY}$ 出力ピンが利用可能です。ホストは常に SCLK を駆動し、デバイスはペリフェラルとして動作します。このインターフェイスは、SPI 構成 (CPOL = 0、CPHA = 1) のみをサポートしており、この構成では SCLK は Low でアイドルし、データは SCLK の立ち上がりエッジで更新され、SCLK の立ち下がりエッジでラッチされます。

このインターフェイスは全二重動作をサポートしているため、入力データと出力データを同時に送信できます。このインターフェイスは、複数の ADC をデイジーチェーン接続することもサポートしています。

7.5.2 シリアル インターフェイス信号

7.5.2.1 チップ セレクト ($\overline{CS}$)

$\overline{CS}$ はアクティブ Low 入力で、インターフェイスの通信をイネーブルします。通信フレームは $\overline{CS}$ を low にすると開始され、$\overline{CS}$ を high にすると終了します。$\overline{CS}$ が high にされると、シフトインされた総ビット数に関係なく、入力データの最後の 16 ビット(SPI CRC 有効時は 24 ビット)を解釈してフレームを終了します。$\overline{CS}$ が high の間、SPI はリセットされ、コマンドは受け付けられず、SDO/$\overline{DRDY}$ はハイ インピーダンス状態になります。専用 $\overline{DRDY}$ ピンは、$\overline{CS}$ の状態にかかわらずアクティブ出力です。インターフェイスを 3 線式 SPI モードで動作させるには、$\overline{CS}$ を low に接続します。

7.5.2.2 シリアル クロック (SCLK)

SCLK は、ADC との間でデータのシフトイン / シフトアウトを行うために使用されるシリアル クロック入力です。SDO 上のデータは SCLK の立ち上がりエッジで更新され、SDI 上のデータは SCLK の立ち下がりエッジでラッチされます。SCLK はシュミット トリガ入力で、ノイズ耐性を高めるよう設計されています。SCLK はノイズ耐性がありますが、意図しない遷移を避けるため、可能な限りノイズがないようにしてください。SCLK 入力のリンギングとオーバーシュートを避けてください。SCLK ドライバに直列終端抵抗を挿入することで、リンギングを低減できます。

7.5.2.3 シリアル データ入力 (SDI)

SDI は、シリアル インターフェイスのデータ入力です。デバイスにデータを入力するために使用されます。入力データは、SCLK の立ち下がりエッジでラッチされます。アクティブでないとき、アイドル SDI は High または Low です。

7.5.2.4 シリアル データ出力 / データ準備完了 (SDO/$\overline{DRDY}$)

SDO/$\overline{DRDY}$ は、デュアル機能の出力ピンです。このピンは、出力データのみを供給するか、出力データとともにデータ準備完了の提示を行うようにプログラム可能です。SDO_MODE ビットは、モードを選択します。デュアル機能モードでは、出力データとデータ準備完了の動作が単一のピンに多重化されます。このモードでは、専用 $\overline{DRDY}$ ピンの機能を置き換えることで、ホストとのインターフェイスに必要な SPI I/O ラインの数を減らすことができます。

SCLK の立ち上がりエッジで出力データが更新されます。SDO/$\overline{DRDY}$ ピンは、$\overline{CS}$ が high のときハイ インピーダンス状態です。

デュアル機能モード (SDO_MODE = 1b) に設定され、かつ $\overline{CS}$ が low のとき、SDO/$\overline{DRDY}$ は最初の SCLK 立ち上がりエッジまで $\overline{DRDY}$ を反映します。その立ち上がりエッジの時点で、ピンはデータ出力を行うモードに切り替わります。データ読み取り動作が完了すると、このピンはミラーリング $\overline{DRDY}$ に戻ります。図 7-23 は SDO/$\overline{DRDY}$ ピンの動作を示しています。

出力データ専用モード (SDO_MODE = 0b) では、ホストが最後のデータを SDO からシフトアウトした後に追加の SCLK パルスを送信しない場合、図 7-23 に示すように、SDO は最後に送信されたビットのレベルを保持します。

Copyright © 2026 Texas Instruments Incorporated

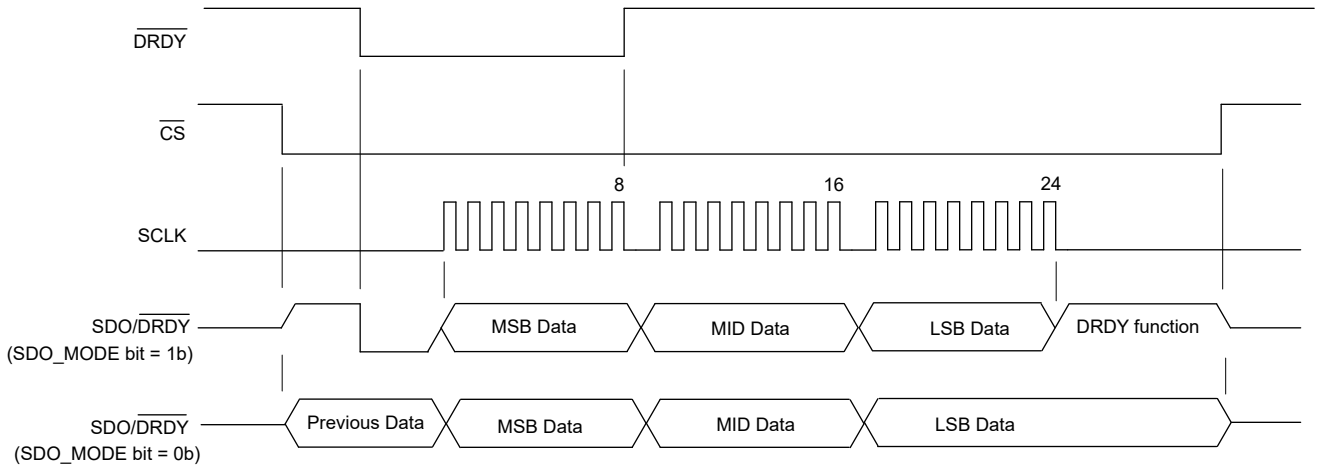


図 7-23. SDO/DRDY および DRDY の動作
(24 ビット デバイス、 ステータス ヘッダと CRC がディスエーブル)

7.5.2.5 データ準備完了 (DRDY) ピン

DRDY ピンの立ち下がりエッジは、新しい変換データが完了したことを示します。DRDY 出力は、CS が High のときに常に駆動されます。DRDY は、シーケンサ開始時に High に、変換データの準備完了時に Low に駆動されます。図 7-23 に示すように、DRDY は MSB の変換データ読み取り時の 8 番目の SCLK 立ち下がりエッジで再び High になります。変換データが読み出されない場合、DRDY は次の立ち下がりエッジの前に $t_{W(DRH)}$ の期間 High のパルスを出します。変換が停止した後にデバイスがスタンバイ モードに入るようにプログラムされている場合 (STBY_MODE ビット = 1b)、DRDY は Low に遷移してから $4t_{MOD}$ 後に再び High に駆動されます。

DRDY ピン動作の詳細については、「DRDY ピンの動作」セクションを参照してください。

7.5.3 シリアル インターフェイス通信構造

7.5.3.1 SPI フレーム

シリアル インターフェイスによる通信は、フレームの概念に基づいています。フレームは、SDI 上でデータをシフトインする、または SDO 上でデータをシフトアウトするために必要な所定数の SCLK で構成されます。フレームは $\overline{CS}$ を low にすると開始され、$\overline{CS}$ を high にすると終了します。$\overline{CS}$ が high にされると、デバイスは、デバイスにシフトインされたデータ量に関係なく、入力データの最後の 16 ビット (SPI CRC が有効な場合は 24 ビット) を解釈します。

このインターフェイスは全二重です。つまり、インターフェイスは SDO でデータを送信すると同時に、SDI でデータを受信できます。通常は、入力フレームが出力フレームのサイズと一致するよう、必要に応じて入力フレームを先行 0 でパディングします。ただし、SDO 上のデータを無視してデバイスへの書き込みのみを行う場合、フレームは最小サイズである 16 ビット (SPI CRC が有効な場合は 24 ビット) に短縮できます。図 7-24 および図 7-25 に、それぞれ 16 ビットおよび 24 ビット デバイスの代表的な通信フレーム構造を示します。これらの例では、変換データは SDO でシフトアウトされます。図に示すとおり、SDI 上のコマンド バイト (およびオプションの CRC-IN バイト) は、フレーム内で常に右寄せで配置されます。SDO 上のデータ バイト (およびオプションの ステータス ヘッダと CRC-OUT バイト) は、フレーム内で常に左寄せで配置されます。

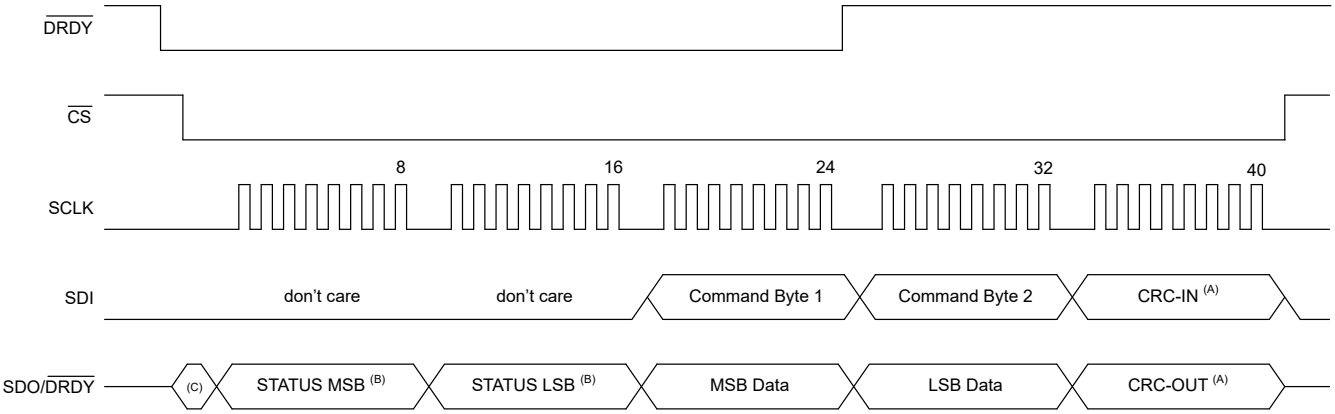
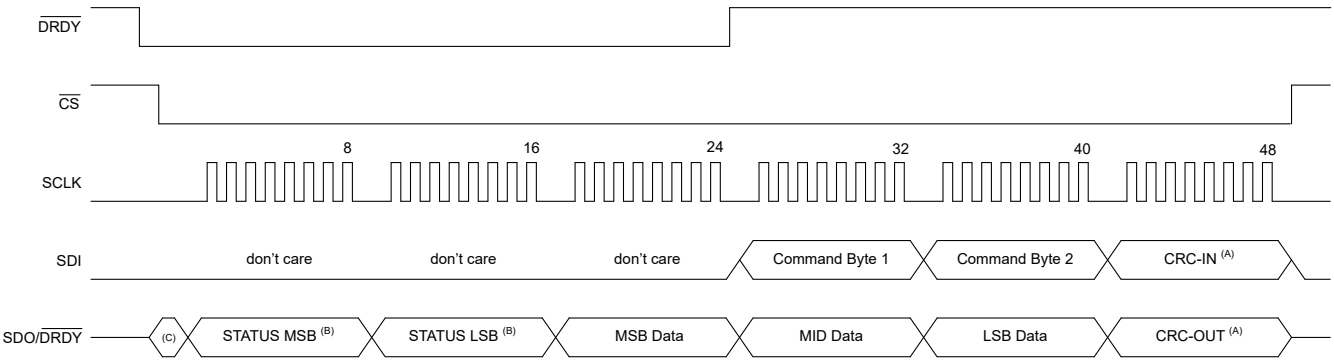


図 7-24. 代表的な通信フレーム (16 ビット デバイス)



A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。
B. オプションの STATUS ヘッダ。STATUS が無効になっている場合、フレームは 2 バイト短くなります。

Copyright © 2026 Texas Instruments Incorporated

C. SDO_MODE = 0b の場合、SDO/$\overline{\text{DRDY}}$ の以前の状態は、SCLK が開始するまで保持されます。それ以外の場合、SDO/$\overline{\text{DRDY}}$ は $\overline{\text{DRDY}}$ に従います。

図 7-25. 代表的な通信フレーム (24 ビット デバイス)

表 7-21 に示すとおり、出力フレーム サイズは、データ分解能 (16 ビットまたは 24 ビット)、オプションの ステータス ヘッダ (2 バイト)、およびオプションの CRC バイトによって決まります。

表 7-21. 出力フレームのサイズ

分解能	ステータス ヘッダ	CRC バイト	フレーム サイズ
16 ビット	なし	なし	16 ビット
16 ビット	なし	あり	24 ビット
16 ビット	あり	なし	32 ビット
16 ビット	あり	あり	40 ビット
24 ビット	なし	なし	24 ビット
24 ビット	なし	あり	32 ビット
24 ビット	あり	なし	40 ビット
24 ビット	あり	あり	48 ビット

4 線式 SPI モードでは、表 7-21 に示されているフレームサイズを超えてフレームを拡張すると、デバイスはフレームの開始時に SDI でシフトインされた SDO 上でデータのシフトアウトを開始します。この動作は、*デイジー チェーン動作*セクションで説明されているように、デイジーチェーン動作をサポートするためです。

連続読み取りモードは、4 線式 SPI モードで使用できます。このモードでは、$\overline{CS}$ の遷移なしに任意の数のレジスタデータを取得でき、フレームが追加データに対応するために拡張されます。詳細については、「連続読み取りモード」セクションを参照してください。連続読み取りモードでは、出力フレーム サイズは無制限で

3 線式 SPI モードでは、SPI の同期を維持するため、入力フレームは 表 7-21 に示す出力フレームのサイズと一致している必要があります。詳細については、「3 線式 SPI モード」セクションを参照してください。

7.5.3.2 STATUS ヘッダー

ADS1x4S1x は、SDO 上のすべてのフレームの最初の 2 バイトとしてオプションの STATUS ヘッダーを出力します。STATUS_EN ビットを使用して、ステータス ヘッダの送信をイネーブルします。16 ビットの ステータス ヘッダは、STATUS_MSB[7:0] と STATUS_LSB[7:0] の各レジスタ ビットを連結したものです。一部の故障フラグ、DRDY ビット、変換カウンタ、シーケンス ステップ インジケータは、すべてこれらのビットの一部です。詳細については「モニタおよびステータス フラグ」セクションと、「ステータスと全般構成ページ レジスタ」セクションのそれぞれのレジスタ ビットの説明を参照してください。

7.5.3.3 SPI の CRC

SPI の巡回冗長検査 (CRC) は、ホスト コントローラとの間で行われる通信における伝送エラーを検出するためのチェックコードです。CRC-IN バイトは、ホストによって ADC の入力データとともに SDI 上で送信され、CRC-OUT バイトは、デバイスによって出力データとともに SDO 上で送信されます。SPI CRC をイネーブルするには、SPI_CRC_EN ビットを使用します。さらに、STATUS_EN ビットを使用して ステータス ヘッダの送信を有効にすることで、SPI 入力 CRC フォルトが発生した場合に通知を受けることができます。

CRC-IN コードは、ホストによって 2 つのコマンド バイトに対して計算されます。フレームの先頭にパディングされる入力バイトは、CRC-IN の計算に含まれません。ADC は、受信した 2 バイトの入力コマンドに基づいて内部で計算したコードと、入力コマンドの CRC-IN コードを照合します。CRC-IN コードが一致しない場合、コマンドは実行されず、SPI_CRC_FAULTn ビットが 0b に設定されます。

SPI_CRC_FAULTn ビットは ステータス ヘッダの一部として出力され、前のフレームで CRC エラーが発生したことを即座に示します。SPI_CRC_FAULTn ビットは、現在のフレームで SPI CRC エラーが発生していない場合、次の SPI フレームで自動的にクリアされます。

出力 CRC コードの計算に使用されるバイト数は、SDO 上のフレームで送信されるデータ バイト数に依存します。表 7-22 は、出力 CRC 計算に含まれるバイト数を示します。

Copyright © 2026 Texas Instruments Incorporated

表 7-22. 出力 CRC でカバーされるデータ

アクション	N デバイスの分解能	ステータス ヘッダが有効です	バイト数	出力 CRC の対象データ
変換データの読み取り	16 ビット	なし	2	16 ビットの変換データ
変換データの読み取り	16 ビット	あり	4	16 ビット ステータス ヘッダ + 16 ビットの変換データ
レジスタ データ読み取り	16 ビット	なし	2	8 ビットのレジスタ データ + 8 ビットのアドレス バイト
レジスタ データ読み取り	16 ビット	あり	4	16 ビットのステータス ヘッダ + 8 ビットのレジスタ データ + 8 ビットのアドレス バイト
変換データの読み取り	24 ビット	なし	3	24 ビットの変換データ
変換データの読み取り	24 ビット	あり	5	16 ビット ステータス ヘッダ + 24 ビットの変換データ
レジスタ データ読み取り	24 ビット	なし	3	レジスタ データの 8 ビット + 8 ビット アドレス バイト + 00h のパディングの 8 ビット
レジスタ データ読み取り	24 ビット	あり	5	16 ビットの ステータス ヘッダ + 8 ビットのレジスタ データ + 8 ビットのアドレス バイト + 8 ビットの 00h パディング

CRC コードの計算は、可変長の引数と CRC 多項式とのビット単位の排他的論理和 (XOR) 演算によって得られる 8 ビットの剰余です。CRC は、CRC-8-ATM (HEC) 多項式に基づいています:$X^8 + X^2 + X^1 + 1$ に基づいています。この多項式には、9 つの係数として 100000111.CRC 計算は、SDI および SDO/$\overline{\text{DRDY}}$ が High または Low に固着した場合にエラーを検出するため、すべて 1 に初期化されます。

CRC 計算を視覚的に示したものを、図 7-26 に示します。CRC の値は、次の手順で計算します:

- CRC 多項式 (07h) に対応する位置に XOR ブロックを備えた 8 ビット シフト レジスタを、シード値 FFh でプリロードします。
- すべてのデータ ビットを最上位ビット (MSB) から順にシフトし、各ビットの後にシフト レジスタ値を再計算します。
- すべてのデータ ビットをシフトインした後のシフト レジスタの値が、計算された CRC 値です。

ここでダウンロードできる C のサンプル コードには、潜在的な CRC 実装が含まれています。

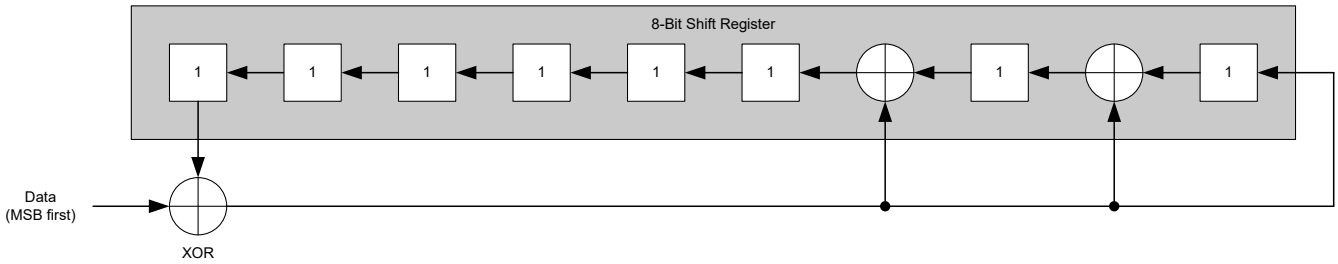


図 7-26. CRC 計算の視覚的な表現

7.5.4 デバイスのコマンド

レジスタのデータの読み取りと書き込みのため、コマンドが使用されます。レジスタ マップは、読み出しおよび書き込み操作でアクセス可能な 1 バイト (8 ビット) のレジスタ群で構成されています。入力コマンド シーケンスの最小フレーム長は 16 ビットです (SPI CRC が有効な場合は 24 ビット)。必要に応じて、入力コマンド シーケンスは、出力データ フレームの長さに合わせるため、先頭に 0 をパディングできます。SPI CRC が有効な場合、デバイスはフレーム末尾の CRC-IN バイトの直前にある 2 バイトをコマンド バイトとして解釈します。表 7-23 に ADS1x4S1x コマンドを示します。

表 7-23. SPI コマンド

説明	BYTE 1	BYTE 2	バイト 3 (オプションの CRC-IN バイト)
動作なし (変換データの読み取り)	00h	00h	D7h
レジスタ読み取りコマンド	40h + アドレス[5:0]	未使用	バイト 1 とバイト 2 の CRC-IN
レジスタ書き込みコマンド	80h + アドレス[5:0]	レジスタ データ	バイト 1 とバイト 2 の CRC-IN

このデバイスは、標準のコマンド長よりも長い特殊な拡張長ビット パターンをサポートしています。これらのパターンは、ADC のリセットおよび 3 線式 SPI モードにおけるフレームのリセットに使用されます。拡張ビット パターンについては、「SPI の入力パターンによるリセット」と「3 線式 SPI モードにおけるフレームの再整列」の説明を参照してください。

コマンドがデバイスにラッチされるタイミングは、SPI モードによって異なります:

- 4 線式 SPI モード: $\overline{CS}$ の立ち上がりエッジ
- 3 線式 SPI モード: SPI フレームの最後の SCLK 立ち下がりエッジ (CRC モードでは CRC-OUT バイトを含む)

7.5.4.1 動作なし (変換データの読み取り)

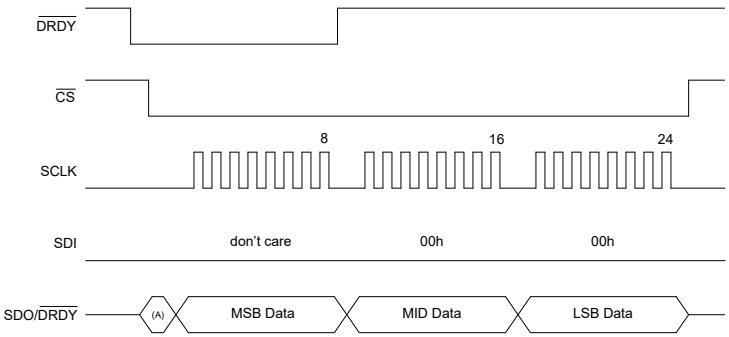
無動作コマンドは、バイト 00h と 00h です。同時にレジスタの読み取りまたは書き込みコマンドを送信しない場合は、このコマンドを使用して変換データを読み取ります。SPI CRC チェックがイネーブルなら、CRC バイトが必要です (バイト 3)。これは、00h と 00h のバイトでは常に D7h です。データの読み戻し中、SDI は Low に保持できますが、CRC モードでは SPI_CRC_FAULTn ビットが 0b に設定されます。変換データの読み取り中は SPI_CRC_FAULTn フラグは無視でき、新しい SPI フレームごとに更新されます。

変換データはバッファされるため、次の $\overline{DRDY}$ 立ち下がりエッジの前に、最大 1 f_{MOD} クロック サイクルまでデータを読み取ることができます。次の変換データが準備されるまで、変換データは複数回読み取ることができ、内容が破損することはありません。前のフレームでレジスタ読み取りコマンドが送信された場合、変換データの代わりにレジスタ データが出力されます。

$\overline{DRDY}$ は、変換データの読み取り時、つまり変換データの MSB バイトの送信が完了した時点で、8 番目の SCLK 立ち下がりエッジで high に戻ります。

図 7-27 は、STATUS ヘッダおよび CRC バイトを無効にした状態で、/ 24 ビットの変換データを読み取る例を示しています。

Copyright © 2026 Texas Instruments Incorporated

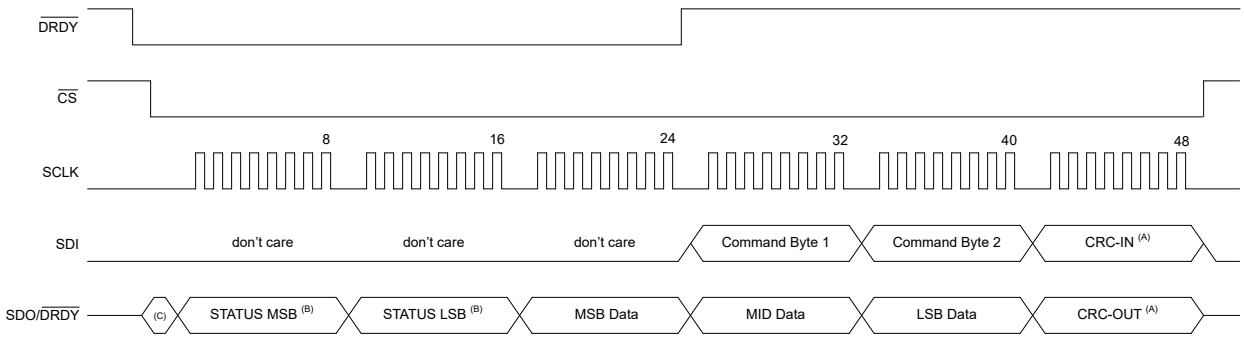


A. SDO_MODE = 0b の場合、SDO/DRDY の以前の状態は、SCLK が開始するまで保持されます。それ以外の場合、SDO/DRDY は DRDY に従います。

図 7-27. 変換データの読み取り (24 ビット デバイス、ステータス ヘッダ、CRC がディセーブル)

図 7-28 は、STATUS ヘッダと CRC バイトがイネーブルのときの変換データの読み取り動作の例です。この例は、オプションの全二重伝送を使用し、変換データの出力と同時にコマンドを入力できるようにする方法も示しています。入力コマンドが必要ない場合、入力バイトは 00h、00h、D7h です。出力の CRC (CRC-OUT) コードの計算には、STATUS ヘッダが含まれます。

$\overline{\text{DRDY}}$ は、変換データの MSB バイトの送信が完了する 24 番目の SCLK 立ち下がりエッジで High に戻されます。これは、データが完全に読み出されなかった場合、つまり変換データの MSB バイトの送信後からフレーム終了前の任意のタイミングで読み出し動作を停止した場合でも同様です。



A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。
B. オプションの STATUS ヘッダ。STATUS が無効になっている場合、フレームは 2 バイト短くなります。
C. SDO_MODE = 0b の場合、SDO/$\overline{\text{DRDY}}$ の以前の状態は、SCLK が開始するまで保持されます。それ以外の場合、SDO/$\overline{\text{DRDY}}$ は $\overline{\text{DRDY}}$ に従います。

図 7-28. 変換データの読み取り (24 ビット デバイス、STATUS ヘッダおよび CRC 有効)

変換データは、$\overline{\text{DRDY}}$ と非同期に読み取ることができます。ただし、$\overline{\text{DRDY}}$ の立ち下がりエッジの近くで変換データを読み取った場合、以前のデータと新しいデータのどちらが出力されるかは不確定です。SCLK のシフト動作が、$\overline{\text{DRDY}}$ の立ち下がりエッジよりも少なくとも 1 f_{MOD} クロック サイクル前に開始すると、古いデータが提供されます。シフト動作が、$\overline{\text{DRDY}}$ の少なくとも 1 f_{MOD} クロック サイクル後に開始すると、新しいデータが出力されます。いずれの場合も、データは破損していません。STATUS ヘッダの送信が有効な場合、DRDY ビットは、現在のフレームで送信されているデータが古いデータ (以前に読み取られたデータ、DRDY = 0b) か、新しいデータ (DRDY = 1b) かを示します。

7.5.4.2 レジスタ読み取りコマンド

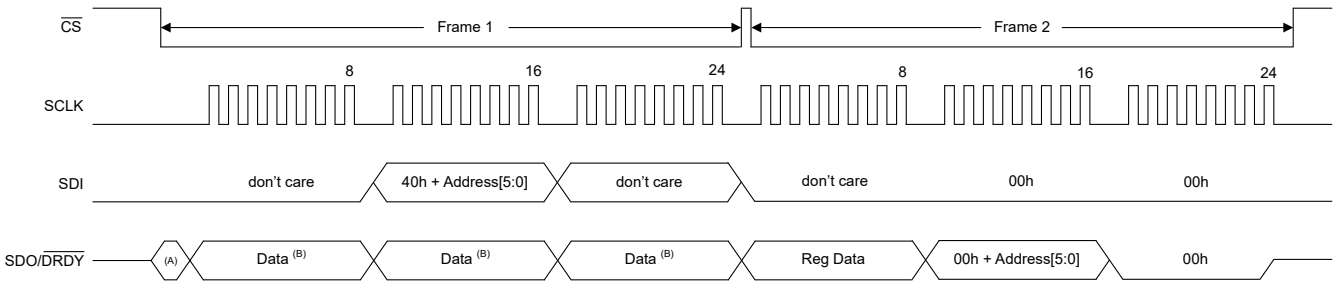
レジスタ データを読み取るには、レジスタ読み取りコマンドを使用します。このコマンドは 2 フレーム プロトコルに従っており、1 つ目のフレームで読み取りコマンドが送信され、次のフレームで ADC がレジスタ データを応答します。コマンドの最初のバイトは、6 ビットのレジスタ アドレスにベース コマンド値 (40h) を追加したものです。2 番目のコマンド バイトの値は任意ですが、最初のバイトとまとめて CRC が計算されます。

図 7-29 は、ステータス ヘッダおよび CRC を無効にした状態で、24 ビット デバイスのレジスタ データを読み出す例を示しています。フレーム 1 はコマンド フレーム、フレーム 2 はデータ応答フレームです。$\overline{\text{CS}}$ を High にすると、フレームは分割されます。データ応答フレームでは、要求されたレジスタ データ バイトに続いて、レジスタ アドレス表示バイト、および 24 ビット フレームを完成させるための 00h のパディング バイトが返されます。レジスタデータは最上位ビット ファーストで配置されています。6 ビットのレジスタ アドレスは、レジスタ アドレス表示バイト内で右寄せされ (MSB 側は 00b でパディング)、配置されています。必要に応じて、$\overline{\text{CS}}$ を High にすることで、レジスタ データ バイトの後でデータ応答フレームを短縮できます。

有効なアドレス範囲外のレジスタ アドレスを読み出した場合、レジスタ データとして 00h が返され、エラーを示すためにレジスタ アドレス表示バイトには FFh が返されます。

複数のレジスタを読み出す場合、前のレジスタのデータ応答フレーム中に次のレジスタ読み取りコマンドを入力することでフルデュプレックス動作を使用でき、レジスタ読み取り操作のスループットを 2 倍にできます。

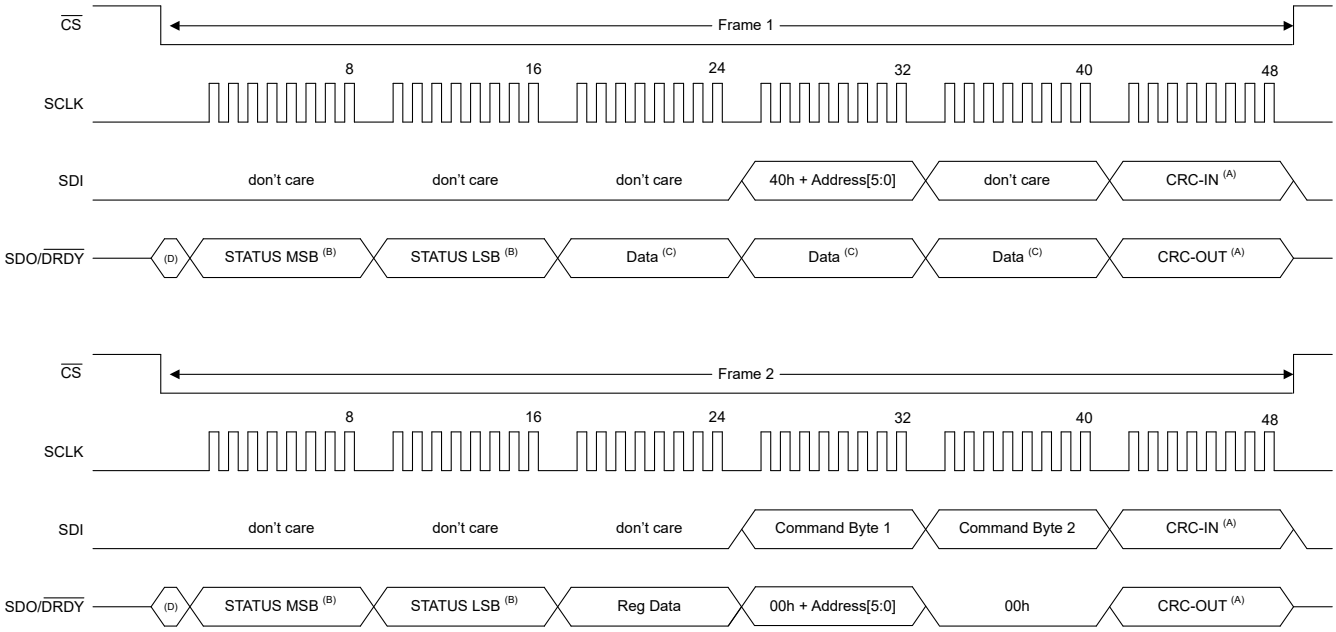
Copyright © 2026 Texas Instruments Incorporated



A. 最初の SCLK より前の SDO/$\overline{\text{DRDY}}$ の以前の状態。
B. データは、24 ビットの変換データ、もしくは前のフレームでレジスタ読み取りコマンドが送信されている場合は、レジスタ データ バイト + アドレス表示バイト + 00h のパディングから成るデータ フィールドになります。

図 7-29. レジスタ データの読み取り (24 ビット デバイス、ステータス ヘッダ、CRC がディスエーブル)

ステータス ヘッダと CRC がイネーブルの 24 ビット デバイスのレジスタ読み取り動作の例を、図 7-30 に示します。フレーム 1 では、前のフレームがレジスタ読み取りコマンドでない場合、レジスタ読み取りコマンドの入力と同時に変換データが出力されます。入力コマンドには、出力データ フレームの長さと一致するように、つの無意味なバイトがパディングされます。パディングされた入力バイトは、CRC-IN コードの計算から除外されます。フレーム 2 では、要求されたレジスタ データの出力と同時に、次のコマンドが入力される様子を示しています。CRC-OUT コードには、データ出力フレーム内のすべての先行バイトが含まれています。



A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。
B. オプションの STATUS ヘッダ。STATUS が無効になっている場合、フレームは 2 バイト短くなります。
C. 直前の動作内容に応じて、データ フィールドは変換データ、またはレジスタ データ バイト + アドレス指示バイト +00h のパディングのいずれかになります。
D. 最初の SCLK より前の SDO/$\overline{\text{DRDY}}$ の以前の状態。

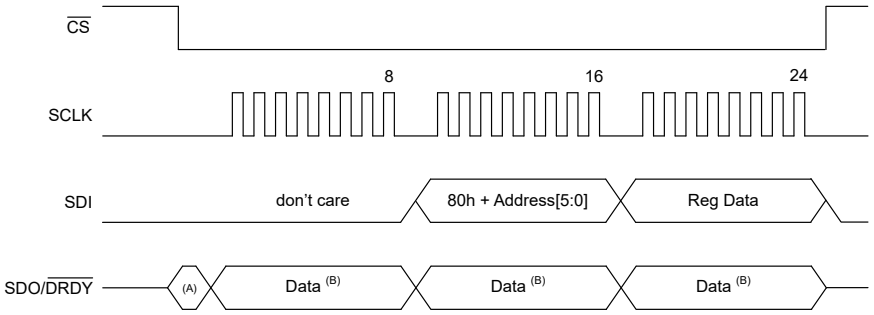
図 7-30. レジスタ データの読み取り (24 ビット デバイス、ステータス ヘッダ、CRC がイネーブル)

7.5.4.3 レジスタ書き込みコマンド

レジスタ データを書き込むには、書き込み レジスタ コマンドを使用します。レジスタ書き込みの動作は、単一のフレームで実行されます。コマンドの最初のバイトは、6 ビットのレジスタ アドレスに追加されたベース値 (80h) です。コマンドの 2 番目のバイトはレジスタのデータです。

有効なアドレス範囲外のレジスタに書き込みを行った場合、その書き込みは無視され、エラーを示すために REG_WRITE_FAULTn ビットが 0b に設定されます。

ステータス ヘッダと CRC がディスエーブルの 24 ビット デバイスのレジスタ書き込み動作の例を、図 7-31 に示します。同時に変換データを読み出す必要がなく、一連のレジスタを設定する場合には、スループットを向上させるために短縮された 16 ビット フレームを使用できます。短縮された SPI フレームは、3 線式 SPI モードや、デバイスをデイジーチェーンで動作させる場合は使用できません。

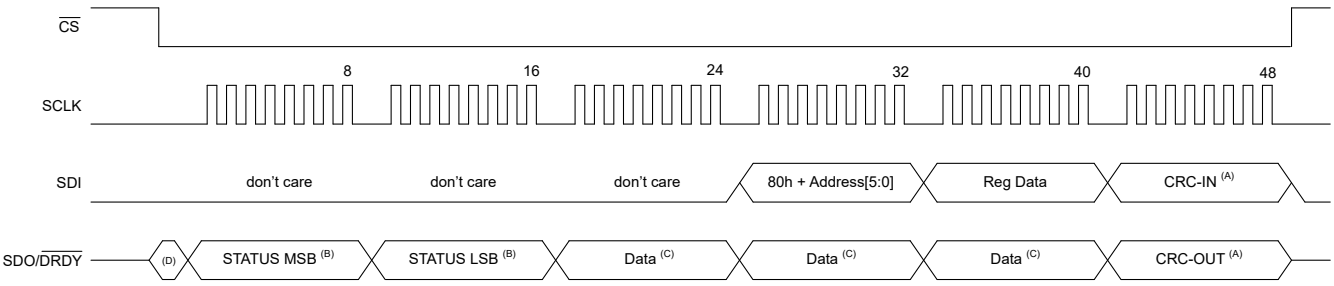


A. 最初の SCLK より前の SDO/DRDY の以前の状態。
B. データは変換データ、または前のフレームで読み出しレジスタ コマンドが送信されている場合は、レジスタ データ バイト、アドレス 表示 バイト、および 00h のパディングで構成されます。

図 7-31. レジスタ データの書き込み (24 ビット デバイス、ステータス ヘッダ、CRC がディスエーブル)

ステータス ヘッダと CRC がイネーブルの 24 ビット デバイスのレジスタ書き込み動作の例を、図 7-32 に示します。全二重動作で、コマンドの入力と変換データの出力が同時に行われることも示しています。入力フレームには、出力フレームと一致するよう先頭に 3 つの*未使用*バイトが付加されているため、すべての変換データ バイトが送信されます。同時に変換データを読み出す必要がなく、一連のレジスタを設定する場合には、スループットを向上させるために短縮された 24 ビット フレームを使用できます。

レジスタ書き込みが正常に行われたことは、レジスタ データを読み戻すか、入力 CRC エラーを示す SPI_CRC_FAULTn ビットを確認することで検証します。SPI CRC の入力エラーが発生した場合、次のフレームで SPI_CRC_FAULTn フラグが 0b と読み取られ、書き込み動作は無視されます。



A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。
B. オプションの STATUS ヘッダ。STATUS が無効になっている場合、フレームは 2 バイト短くなります。
C. データ フィールドは変換データ、または前のフレームで読み出しレジスタ コマンドが送信されている場合は、レジスタ データ バイト、アドレス 表示 バイト、および 00h のパディングで構成されます。

Copyright © 2026 Texas Instruments Incorporated

D. 最初の SCLK より前の SDO/$\overline{DRDY}$ の以前の状態。

図 7-32. レジスタ データの書き込み (24 ビット デバイス、ステータス ヘッダ、CRC がイネーブル)

7.5.5 連続読み取りモード

ADS1x4S1x は連続読み取りモードを備えています。連続読み取りモードでは、$\overline{CS}$ の遷移なしに任意の数のレジスタ データを取得でき、追加データに対応するためにフレームが拡張されます。これにより、大量のレジスタ データを読み取る処理が簡素化され、$\overline{CS}$ ラインを制御するマイコン ペリフェラルのオーバーヘッドが低減されます。

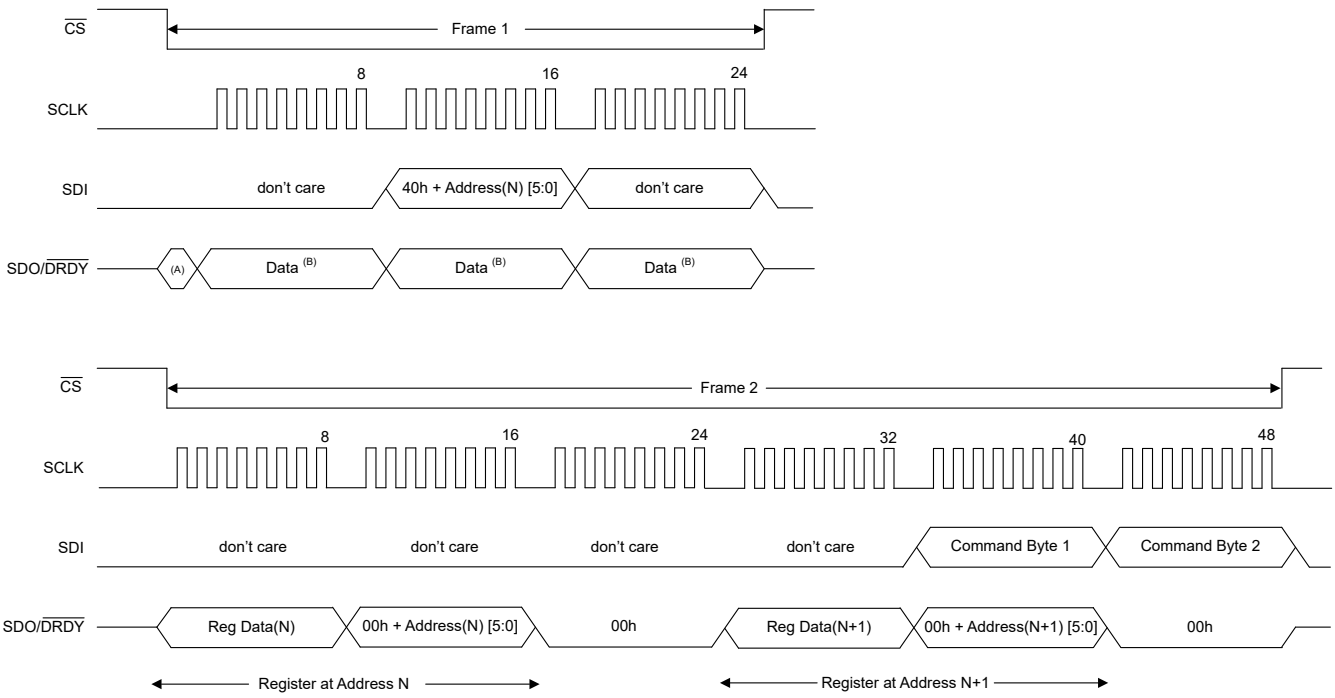
CONT_READ_EN ビットをセットすると、連続読み取りモードが有効になります。SPI は、CONT_READ_EN ビットを 0b から 1b に変更した SPI フレームの次のフレームから、連続読み取りモードに切り替わります。

CONT_READ_EN ビットを 0b に戻すと、SPI は単一読み取りモードに戻ります。

7.5.5.1 連続読み取りモードでのレジスタの読み取り

連続読み取りモードでは、*レジスタ読み取りコマンド*セクションで説明されているように、同じコマンド フレームを使用してレジスタのデータを読み取ります。データ応答フレームは、$\overline{CS}$ が High に戻されたタイミングに応じて、1 つまたは複数のレジスタ データ バイトを返します。最初のレジスタ データ バイトは、コマンド フレームで指定されたアドレスから読み出されます。その後、後続のレジスタ読み取りごとに、レジスタ アドレスは自動的に 1 ずつインクリメントされます。これは、次のレジスタ アドレスが無効なレジスタを指している場合にも当てはまります。有効なアドレス範囲外のレジスタに対する応答は、データ バイトが 00h、アドレス インジケータ バイトが FFh となります。

図 7-33 は、STATUS ヘッダおよび CRC を無効にした状態で、24 ビット デバイスにおける連続読み取りモードのレジスタ データ読み出し例を示します。この例では、2 つの連続するレジスタ N および N+1 の読み出しを示していますが、追加のクロック周期で $\overline{CS}$ を Low に保持すると、任意の数のレジスタを読み出すことができます。

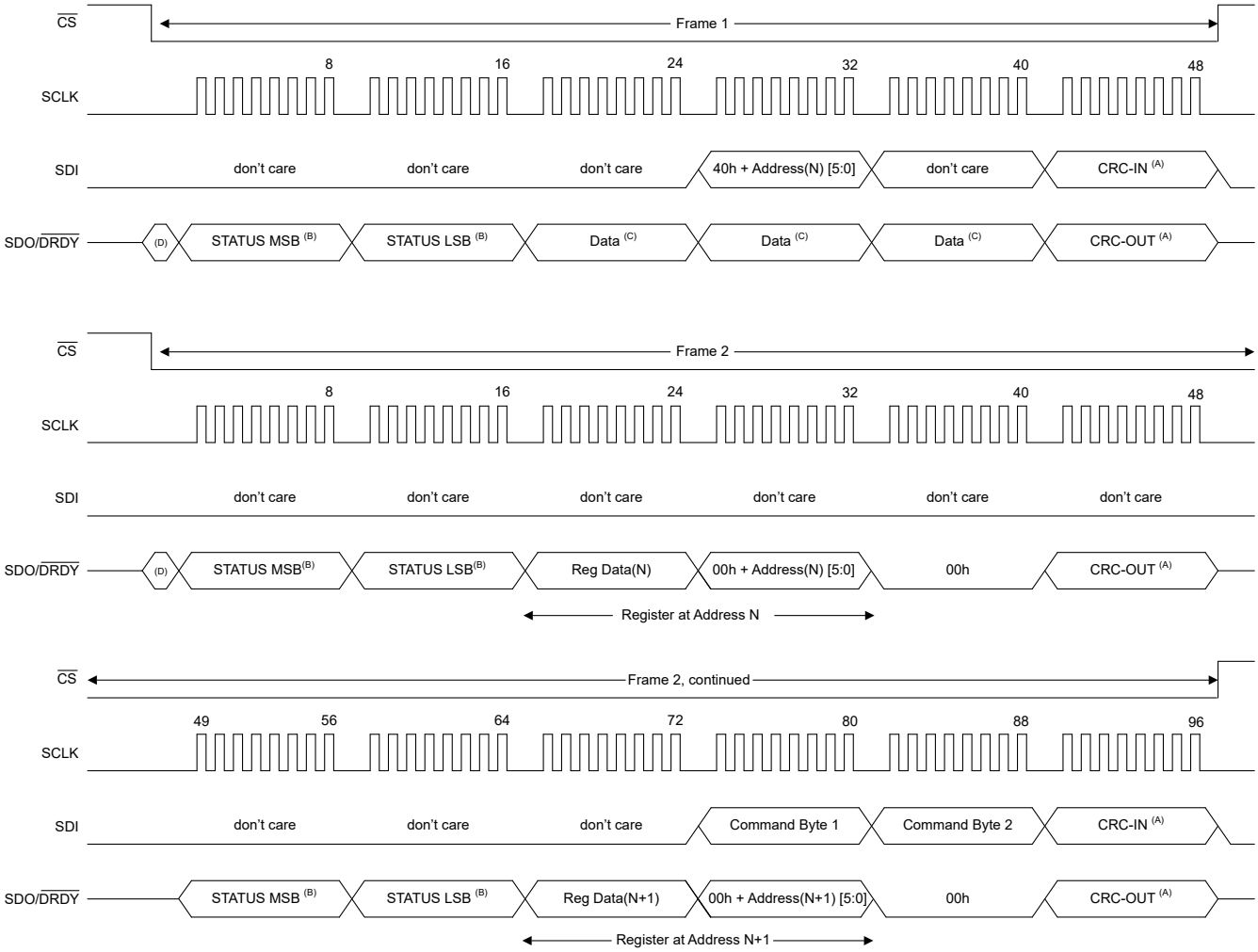


A. 最初の SCLK より前の SDO/$\overline{DRDY}$ の以前の状態。

B. 直前の動作内容に応じて、データ フィールドは変換データ、またはレジスタ データ バイト + アドレス バイト + 00h のパディングのいずれかになります。

図 7-33. 連続読み取りモードでのレジスタ データの読み取り (24 ビット デバイス、STATUS ヘッダ、CRC 無効)

図 7-34 は、STATUS ヘッダおよび CRC を有効にした状態で、24 ビット デバイスにおける連続読み取りモードのレジスタ読み出し動作の例を示します。入力および出力フレームでは、*レジスタ読み取りコマンド*セクションで説明しているように、データ フレーム プロトコルと一致するために、無意味なバイトと 00h のパディング バイトが使用されます。この例では、2 つの連続するレジスタ N および N+1 の読み出しを示していますが、追加のクロック周期で $\overline{CS}$ を Low に保持すると、任意の数のレジスタを読み出すことができます。



A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。
B. オプションの STATUS ヘッダ。STATUS が無効になっている場合、フレームは 2 バイト短くなります。
C. 直前の動作内容に応じて、データ フィールドは変換データ、またはレジスタ データ バイト + アドレス バイト + 00h のパディングのいずれかになります。
D. 最初の SCLK より前の SDO/$\overline{DRDY}$ の以前の状態。

図 7-34. 連続読み取りモードでのレジスタ データの読み取り (24 ビット デバイス、STATUS ヘッダ、CRC 有効)

Copyright © 2026 Texas Instruments Incorporated

7.5.6 デイジー チェーン動作

複数の ADC を使用するシステムでは、SPI 接続数を削減するために、デバイスをデイジーチェーン接続することができます。デイジー チェーン接続では、あるデバイスの SPI 出力 (SDO) を次のデバイスの SPI 入力 (SDI) に接続し、チェーン内のデバイス グループがホスト コントローラからは単一の論理デバイスとして見えるようになります。デイジーチェーン動作に特別なプログラミングは必要ありません。追加のシフト クロックを適用して、チェーン内のすべてのデバイスにアクセスします。動作を簡素化するため、各デバイスには同じ SPI フレーム サイズを設定してください (例えば、すべてのデバイスで CRC オプションを有効にすることで、16 ビット デバイスでは 24 ビット、24 ビット デバイスでは 32 ビットのフレーム サイズになります)。

デイジーチェーン構成で接続された 4 台のデバイスを、図 7-35 に示します。ADS1x4S1x (1) の SDI はホストの SPI データ出力に、ADS1x4S1x (4) の SDO/$\overline{\text{DRDY}}$ はホストの SPI データ入力に接続されます。シフト動作は、チェーン内のすべてのデバイスで同時に行われます。各 ADC が変換データをシフトアウトすると、SDI のデータが SDO/$\overline{\text{DRDY}}$ に出現し、チェーン内の次のデバイスの SDI を駆動します。シフト動作は、チェーン内の最後のデバイスに到達するまで続けられます。$\overline{\text{CS}}$ が High になると、SPI フレームは終了します。この時点で、各デバイスにシフトインされたデータが解釈されます。デイジーチェーン動作の場合、SDO/$\overline{\text{DRDY}}$ ピンをデータ出力専用モード (SDO_MODE = 0b) にプログラムし、連続読み取りモードをディスエーブルにします (CONT_READ_EN = 0b)。

各デバイスの SDO/$\overline{\text{DRDY}}$ ピンにプルアップ抵抗を IOVDD に接続します。$\overline{\text{CS}}$ が High のとき、SDO/$\overline{\text{DRDY}}$ はハイ インピーダンスになります。したがって、プルアップ抵抗は、$\overline{\text{CS}}$ が High のときにチェーン内の次のデバイスでのフローティング SDI 入力を避けるために使用されます。

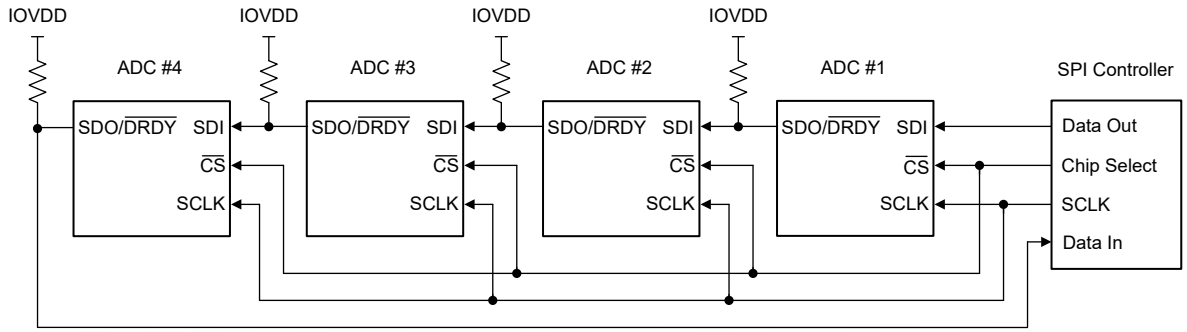


図 7-35. デイジー チェーン接続

デイジーチェーン接続された 4 つの 24 ビット デバイスのフレーム構造を、図 7-36 に示します。このとき、STATUS ヘッダと CRC はディスエーブルです。

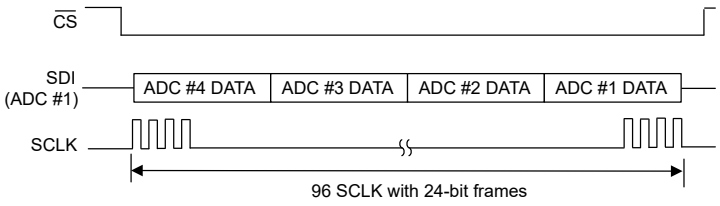
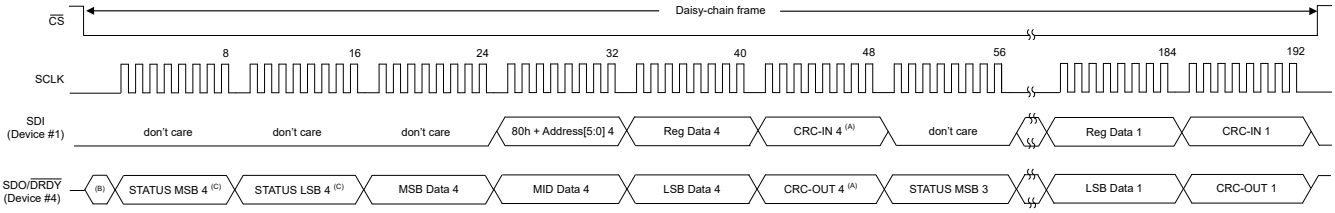


図 7-36. デイジーチェーンのデータ入力シーケンス
(4 つの 24 ビットデバイス、ステータス ヘッダと CRC がディスエーブル)

データを入力するため、ホストは最初に、チェーン内の最後のデバイス向けのデータをシフトインします。各 ADC の入力バイト数は、出力フレーム サイズと一致するようにサイズ設定されています。デフォルトのフレーム サイズは 24 ビット (24 ビット デバイスの場合) であるため、初期状態では各 ADC は、2 バイトのコマンド バイトの前にパディング バイトを 1 バイト付加した合計 3 バイトを必要とします。ADC #4 の入力データが最初にシフトインされ、その後に ADC #3 の入力データが続き、同様に順次シフトインされます。

Copyright © 2026 Texas Instruments Incorporated

図 7-35 のデイジー チェーンにおけるレジスタの書き込み動作の詳細な入力データ シーケンスを、図 7-37 に示します。各 ADC について 48 ビット フレームが示されています (ステータス ヘッダと CRC を有効にした場合の 24 ビット データ)。コマンド動作は、ADC ごとに異なる場合があります。レジスタの読み取り動作では、レジスタのデータを読み取るために 2 番目のフレーム動作が必要です。



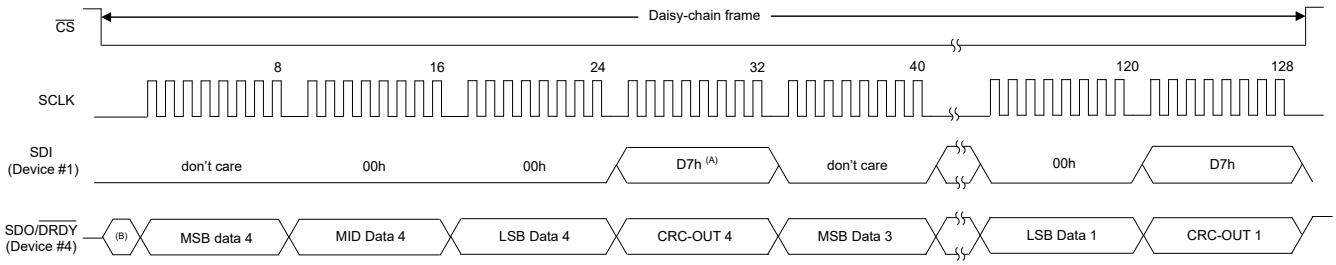
A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。

B. SCLK が適用される前の SDO/DRDY の以前の状態。

C. オプションの STATUS ヘッダ。STATUS が無効になっている場合、フレームは 2 バイト短くなります。

図 7-37. デイジーチェーン接続時のレジスタ データ書き込み (24 ビット デバイス 4 個、STATUS ヘッダおよび CRC 有効)

図 7-35 に記載されているデバイス接続から変換データを読み取るためデータの シーケンスを 図 7-38 に示します。この例は、CRC を有効にした場合の 32 ビット出力フレーム (24 ビット データ) を示しています。ADC (4) の変換データが最初にシフトアウトされ、その後に ADC (3) のデータが続き、同様に順次出力されます。データをシフトアウトするために必要な SCLK の総数は、フレームあたりのビット数 × チェーン内のデバイス数で決まります。この例では、出力フレームが 32 ビット × 4 つのデバイスで、合計クロック数は 128 です。



A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。

B. SCLK が適用される前の SDO/DRDY の以前の状態。

図 7-38. デイジーチェーン接続での変換データの読み取り (24 ビット デバイス 4 個、STATUS ヘッダ無効、CRC 有効)

式 20 で示されるように、デイジーチェーン構成で接続できるデバイスの最大数は、SCLK 信号の周波数、選択したデータ レート、およびフレームあたりのビット数によって制限されます。

$$\text{Maximum devices in a chain} = \lfloor f_{SCLK} / (f_{DATA} \times \text{bits per frame}) \rfloor \quad (20)$$

たとえば、f_{SCLK} = 10MHz、f_{DATA} = 64kSPS で、32 ビットのフレームが使用される場合、デイジー チェーン接続デバイスの最大数は以下のようになります: $\lfloor 10\text{MHz} / (64\text{kHz} \times 32) \rfloor = 4$。

Copyright © 2026 Texas Instruments Incorporated

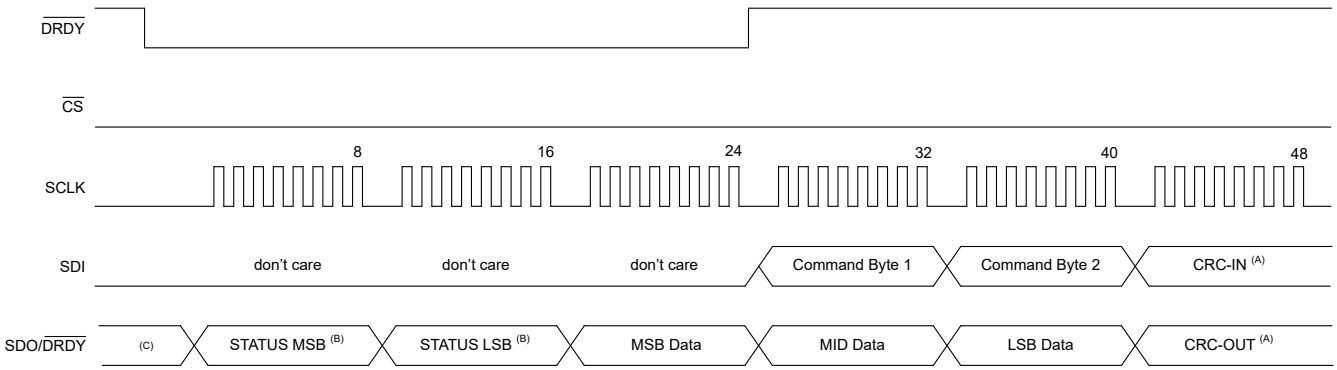
7.5.7 3 線式 SPI モード

$\overline{CS}$ ピンを GND に固定的に接続することで、本デバイスは 3 線式 SPI モードで動作させることができます。電源投入時またはリセット後に $\overline{CS}$ が low に接続されると、デバイスは 3 線式 SPI モードで動作します。$\overline{CS}$ を High にすると、デバイスは 4 線式 SPI モードに変更されます。

3 線式 SPI モードでは $\overline{CS}$ がフレーム長を制御しなくなるため、ADC は SCLK のクロック数をカウントしてフレームの開始と終了を判断します。SCLK の数はホスト側で制御する必要があり、出力フレームのサイズと一致している必要があります。フレーム当たりのビット数は、デバイスの分解能および設定によって異なります。出力フレームのサイズを、表 7-21 に示します。フレーム タイミングは SCLK の数によって決定されるため、電源投入時に発生する可能性のあるような SCLK の意図しない遷移を避ける必要があります。

3 線式 SPI モードでは、4 線式モードと同じコマンド フォーマットとクロック供給がサポートされます。ただし、$\overline{CS}$ のトグルはありません。3 線式 SPI モードでの変換データの読み取り例を、図 7-39 に示します。

3 線式 SPI モードではデバイスのデイジーチェーン接続は使用できず、連続読み取りモードも利用できません。



A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。
B. オプションの STATUS ヘッダ。STATUS が無効になっている場合、フレームは 2 バイト短くなります。
C. SDO_MODE = 0b の場合、SDO/$\overline{DRDY}$ の以前の状態は、SCLK が開始するまで保持されます。それ以外の場合、SDO/$\overline{DRDY}$ は $\overline{DRDY}$ に従います。

図 7-39. 3 線式 SPI モードでの変換データの読み取り (24 ビット デバイス、ステータス ヘッダ、CRC がイネーブル)

7.5.7.1 3 線式 SPI モードにおけるフレームの再整列

3 線式 SPI モードでは、意図しない SCLK によってフレームの揃いが崩れ、ホストとのフレーム同期が失われる可能性があります。図 7-40 に示すように、SPI の再整列パターンを送信することで、デバイスのリセットを行わずに SPI を再同期させることができます。再アライン パターンは、少なくとも 63 個の連続した 1 に続いて、64 番目の SCLK で 1 つの 0 を送信するものです。65 番目の SCLK は、新しい SPI フレームを開始します。このデバイスは、63 個を超える連続した 1 に続いて 1 つの 0 を送信する再整列パターンも受け付けます。その場合、新しいフレームは、その 0 の後の SCLK の立ち上がりエッジから開始されます。また $\overline{RESET}$ ピンをトグルするか、「SPI の入力パターンによるリセット」セクションで示しているリセット パターンを使用して、ADC を完全にリセットできます。

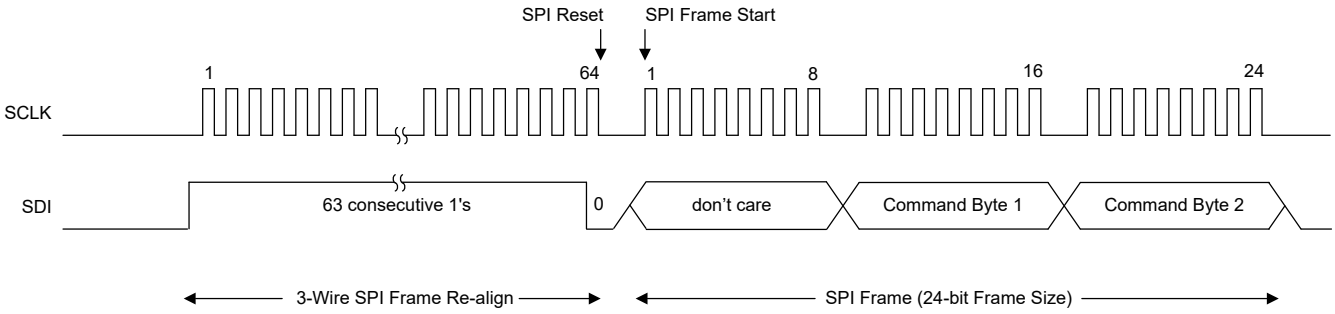


図 7-40. 3 線式モード SPI 再アライン パターン (24 ビット デバイス)

7.5.8 新しい変換データの監視

新しい変換データが読み取り可能になったタイミングを判断する方法はいくつかあります。

1. $\overline{\text{DRDY}}$ または SDO/$\overline{\text{DRDY}}$ ピンを監視します。
2. STATUS ヘッダの一部として送信される DRDY ビットおよび変換カウンタを評価します。
3. 外部クロックを使用したクロック カウント：ADC メインクロックの数をカウントし、データの準備完了を予測します。

7.5.8.1 $\overline{\text{DRDY}}$ ピンまたは SDO/$\overline{\text{DRDY}}$ ピンの監視

$\overline{\text{DRDY}}$ は専用のデータ準備完了出力ピンで、SDO/ $\overline{\text{DRDY}}$ ピンはデュアル機能の出力ピンです。$\overline{\text{DRDY}}$ ピンの説明については *データ準備完了 ($\overline{\text{DRDY}}$) ピン* のセクションを、SDO/$\overline{\text{DRDY}}$ ピンの説明については *シリアル データ出力 / データ準備完了 (SDO/$\overline{\text{DRDY}}$)*のセクションを参照してください。

$\overline{\text{DRDY}}$ ピンの立ち下がりエッジは、新しい変換が完了したことを示します。$\overline{\text{DRDY}}$ ピンを、ホスト コントローラの立ち下がりエッジ トリガ割り込み対応 GPIO に接続します。ホストが $\overline{\text{DRDY}}$ 信号の立ち下がりエッジを検出した後、ホストは次の $\overline{\text{DRDY}}$ 立ち下がりエッジの前に変換データを読み取ります。割り込み対応 GPIO が利用できない場合、ホストは $\overline{\text{DRDY}}$ ピン レベルを監視できます。ロジック low レベルは、利用可能な最新の変換結果が読み出されていないことを示します。ロジック high レベルは、新しい変換結果が利用できず、最新の変換結果が以前に読み取られたことを示します。変換データは、データの破損の懸念なしに、いつでも読み取ることができます。

SDO_MODE = 1b 設定でデュアル機能がイネーブルになっている場合、SDO/$\overline{\text{DRDY}}$ ピンは専用の $\overline{\text{DRDY}}$ ピンと同様に使用できます。ただし、$\overline{\text{DRDY}}$ ピンとは対照的に、SDO/ $\overline{\text{DRDY}}$ ピンは $\overline{\text{CS}}$ が low のときのみ駆動されます。つまり、ホストは SDO/$\overline{\text{DRDY}}$ 信号を評価するために $\overline{\text{CS}}$ ラインをドロップする必要があります。

7.5.8.2 DRDY ビットと変換カウンタの読み取り

新しいデータが読み取り可能になったタイミングをソフトウェアで判定する方法の一つは、STATUS ヘッダの一部として DRDY ビットを評価することです。そのために、STATUS_EN ビットを使用して、SDO でステータス ヘッダ送信をイネーブルします。DRDY ビットを評価するには、次の 2 つの方法が使用できます：

- ホストは、SPI フレーム全体を定期的に読み取り、変換データとステータス ヘッダを受信します。そのフレームで DRDY ビットが 1b と読み取られた場合、受信した変換データは新しいデータです。DRDY ビットが 0b の場合、同じ変換結果がすでに以前に読み出されているため、ホストはそのフレームで受信した変換データを破棄します。
- ホストは、SDO の最初のバイト内で送信される DRDY ビットを読み取るために、短い 8 ビットの SPI フレームを周期的に送信します。DRDY ビットが 1b と読み取られた場合にのみ、ホストは新しい変換データとともに STATUS ヘッダを受信するためのフル SPI フレームを送信します。この SPI フレームを短縮して繰り返す方法は、3 線式 SPI モードでは使用できず、またデバイスをデイジー チェーン構成で動作させている場合にも使用できません。

データの取りこぼしを防ぐため、DRDY ビットは出力データ レート以上の頻度で評価します。

さらに、STATUS ヘッダの一部として送信される変換カウンタは、現在の SPI フレームで取得される変換の回数を示します。ホストは変換カウンタを評価することで、同じ変換結果を複数回読み出したのか、あるいは変換結果の読み出しを取りこぼしたのかを把握します。

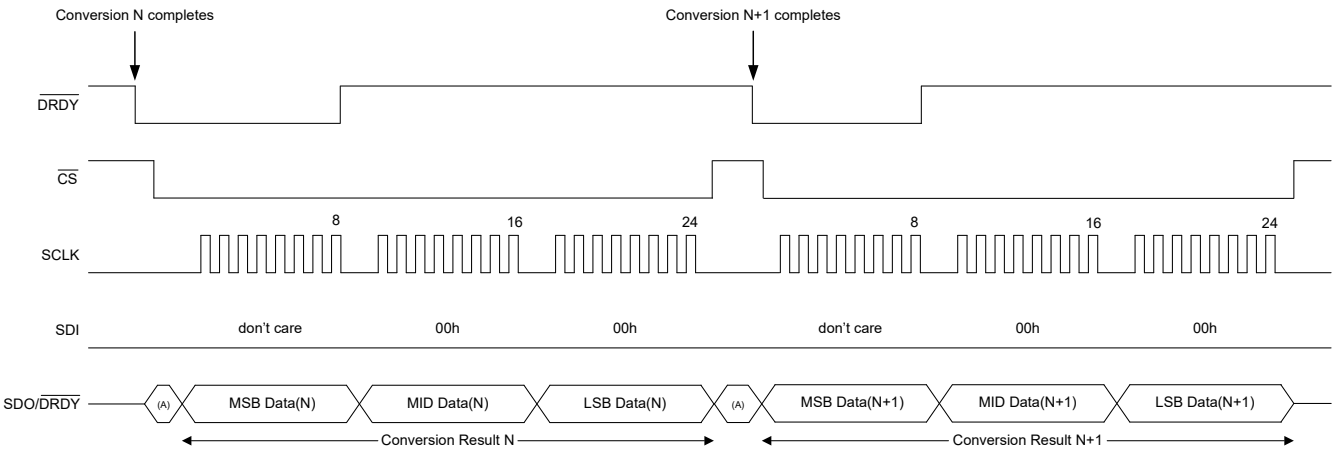
Copyright © 2026 Texas Instruments Incorporated

7.5.8.3 クロックのカウント

新しいデータが準備できたタイミングを判断する別の方法として、ADC のメイン クロック サイクルをカウントする方法があります。各変換には決まった数のクロック サイクルが必要なためです。内部クロック発振器は観察できないため、この方法は外部クロックを使用するときのみ使用可能です。シーケンサが変換のための新しいシーケンス ステップを選択すると、このシーケンス ステップに続くすべての変換に必要なクロック サイクル数に比べて、最初の変換の完了に必要なクロック サイクル数はより大きくなります。詳細については、「デジタル フィルタのレイテンシ」セクションを参照してください。

7.5.9 $\overline{\text{DRDY}}$ ピンの動作

このセクションでは、さまざまなシナリオにおける $\overline{\text{DRDY}}$ ピンの動作について詳しく説明します。新しい変換データが完了すると、$\overline{\text{DRDY}}$ は Low に遷移します。図 7-41 に示すように、$\overline{\text{DRDY}}$ は、変換データの MSB 読み取りの 8 番目の SCLK 立ち下がりエッジで high に遷移します。

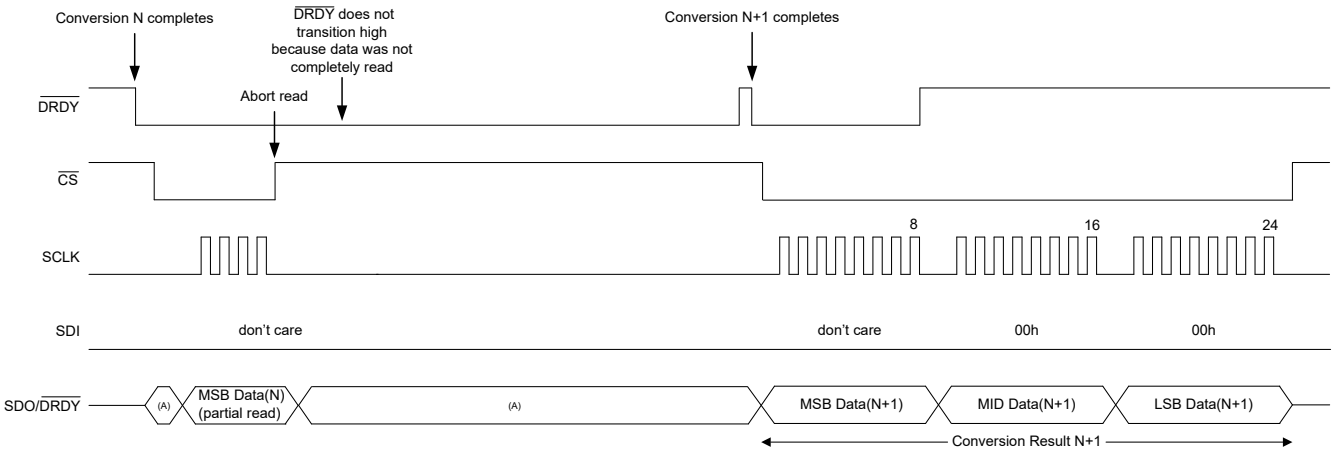


A. SDO_MODE ビットが 0b の場合、最初の SCLK 立ち上がりエッジまで、SDO/$\overline{\text{DRDY}}$ の状態は前回の状態のまま保持されます。それ以外の場合、SDO/$\overline{\text{DRDY}}$ は $\overline{\text{DRDY}}$ に従います。

図 7-41. $\overline{\text{DRDY}}$ ピンの動作：利用可能な最新の変換データを読み取ります

新しい変換が完了した時点で $\overline{\text{DRDY}}$ が low の場合、$\overline{\text{DRDY}}$ は立ち下がりエッジの前に $t_{W(DRH)}$ の期間だけ high に駆動され、その後 $\overline{\text{DRDY}}$ は立ち下がります (図 7-42 を参照)。

変換データの MSB 読み取りの 8 番目の SCLK よりも前に $\overline{\text{CS}}$ が High に駆動され、$\overline{\text{DRDY}}$ が Low のままであれば、変換データが読み取られなかったことを示します (図 7-42 と 図 7-43 を参照)。

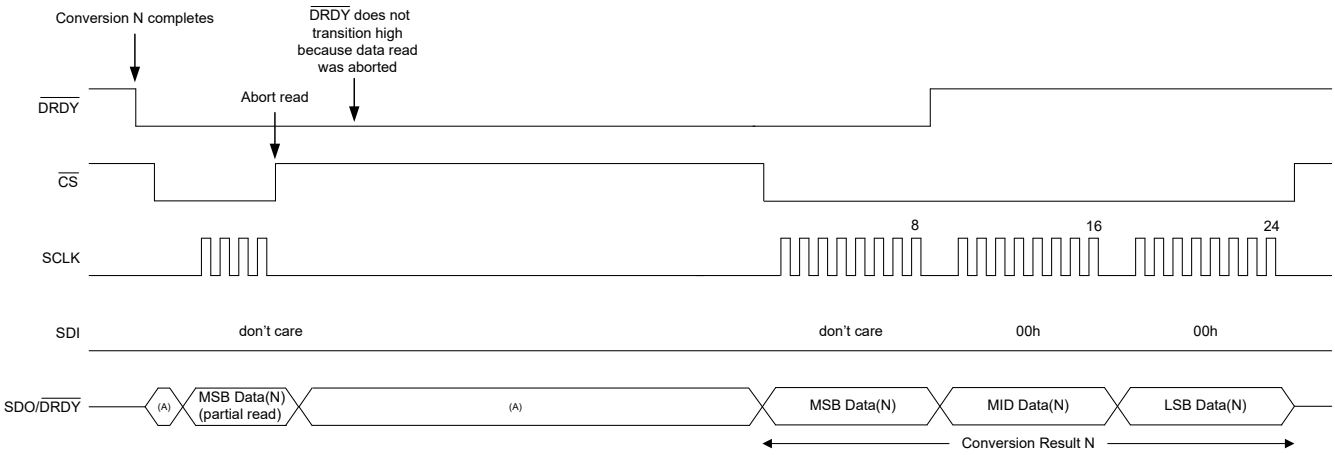


A. SDO_MODE ビットが 0b の場合、最初の SCLK 立ち上がりエッジまで、SDO/$\overline{\text{DRDY}}$ の状態は前回の状態のまま保持されます。それ以外の場合、SDO/$\overline{\text{DRDY}}$ は $\overline{\text{DRDY}}$ に従います。

図 7-42. $\overline{\text{DRDY}}$ ピンの動作：新しい変換が完了する前の変換データの読み取りが未完了

Copyright © 2026 Texas Instruments Incorporated

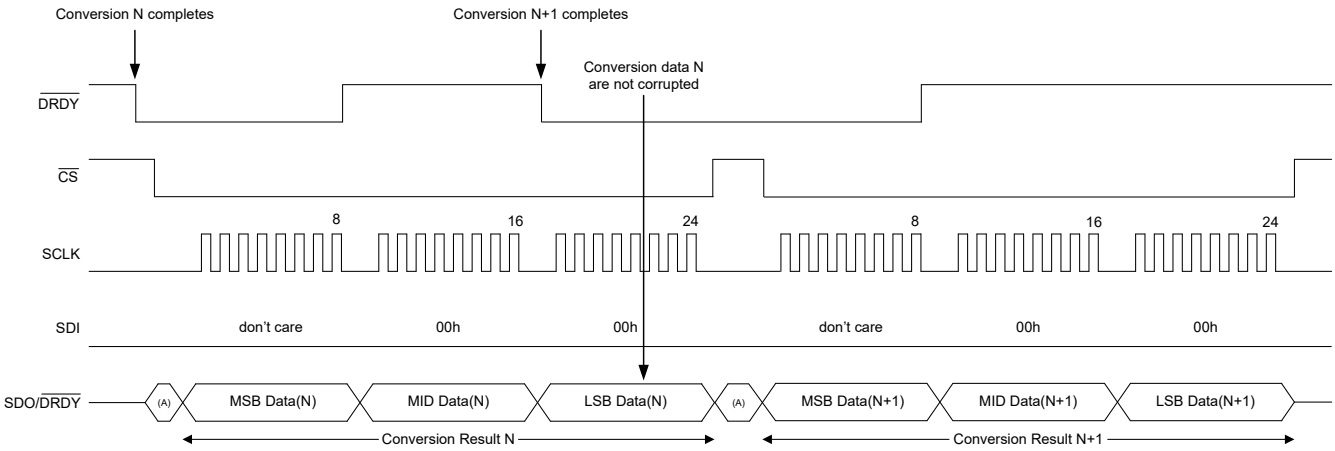
図 7-43 に、新しい変換が完了するまで、同じ変換データを複数回読み取ることができることを示しています。変換カウンタ (STATUS_LSB レジスタの CONV_COUNT[3:0] ビット) は、同じデータが再度読み出されたのか、または新しいデータが読み出されたのかを示します。



A. SDO_MODE ビットが 0b の場合、最初の SCLK 立ち上がりエッジまで、SDO/DRDY の状態は前回の状態のまま保持されます。それ以外の場合、SDO/DRDY は DRDY に従います。

図 7-43. DRDY ピンの動作：変換データの読み取りが不完全で、同じ変換データの読み取りが完了する

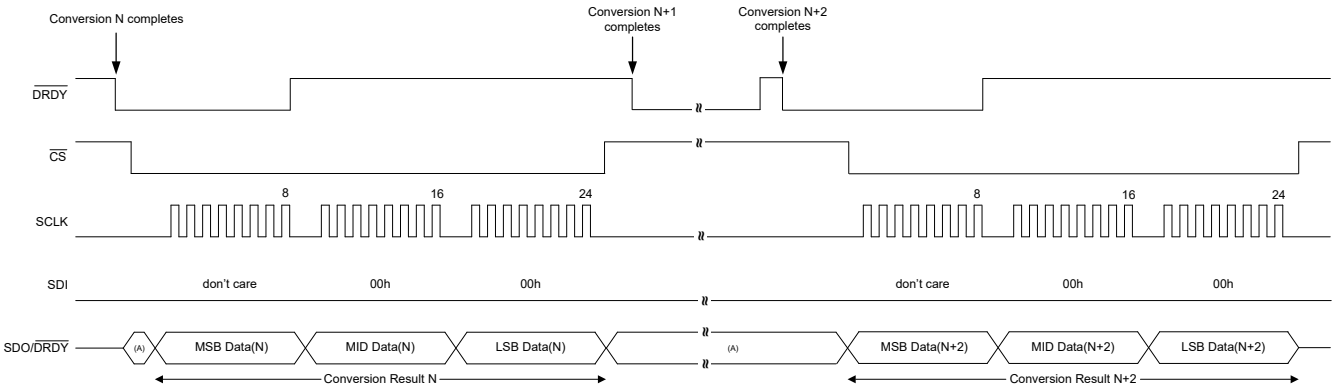
このデバイスは、変換データ N の読み取り中に新しい変換 N+1 が完了すると、データの破損を防止します。変換データ N+1 は、変換データ N の読み出しが完了するまで、内部バッファに保持されます。以下のフレームでは、変換データ N+1 が SDO 出力バッファにロードされます。このケースでは、変換データ n が読み出された後も、DRDY は high に遷移しません。これは、新しい変換データ n+1 が読み出し可能であることを示します (図 7-44 を参照)。



A. SDO_MODE ビットが 0b の場合、最初の SCLK 立ち上がりエッジまで、SDO/DRDY の状態は前回の状態のまま保持されます。それ以外の場合、SDO/DRDY は DRDY に従います。

図 7-44. DRDY ピンの動作：新しい変換が完了したときに変換データを読み取り

図 7-45 は、変換 N+2 が完了する前にホストがデータを読み出さない場合、変換データ N+1 が失われることを示しています。この状況にある場合、変換カウンタは、ホストが中間変換結果の読み取りを見逃しているかどうかを検出するのに役立ちます。



A. SDO_MODE ビットが 0b の場合、最初の SCLK 立ち上がりエッジまで、SDO/$\overline{\text{DRDY}}$ の状態は前回の状態のまま保持されます。それ以外の場合、SDO/$\overline{\text{DRDY}}$ は $\overline{\text{DRDY}}$ に従います。

図 7-45. $\overline{\text{DRDY}}$ ピンの動作：中間コンバージョン結果の読み取りに失敗しました

変換が停止した後にデバイスがスタンバイ モードに入るようにプログラムされている場合 (STBY_MODE ビット = 1b)、$\overline{\text{DRDY}}$ は Low に遷移してから $4t_{MOD}$ 後に再び High に駆動されます。図 7-46 に、スタンバイ モードに移行したときの $\overline{\text{DRDY}}$ ピンの動作の例を示します。

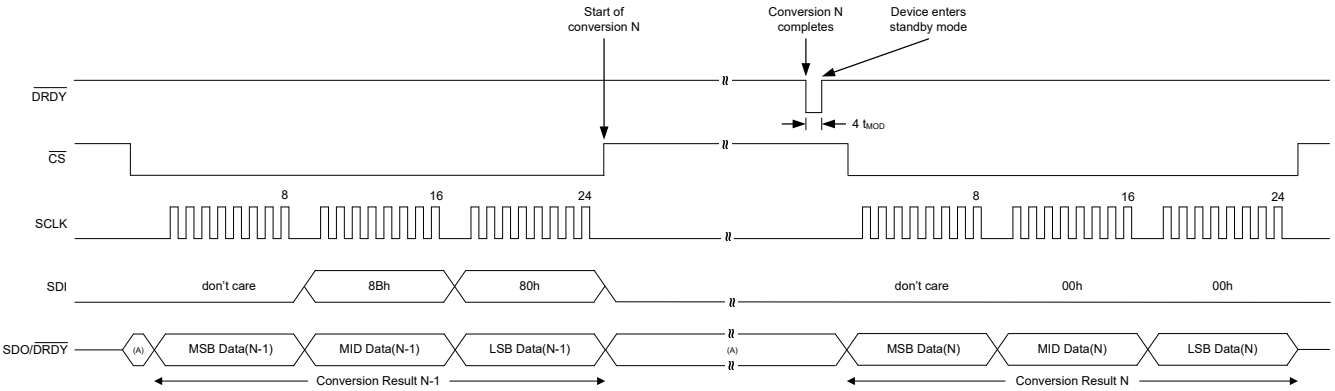


図 7-46. $\overline{\text{DRDY}}$ ピンの動作：スタンバイ モードへの移行

$\overline{\text{DRDY}}$ ピンが短いため、DRDY ビットまたは $\overline{\text{DRDY}}$ ピンの *状態*をポーリングして変換の完了をチェックすることは、この特定のシナリオ (STBY_MODE ビット = 1b) では実用的ではありません。新しいデータが利用可能になったタイミングを判断するには、$\overline{\text{DRDY}}$ ピンの立ち下がりエッジを検出する、変換カウンタをポーリングする、または変換周期と同じかそれ以上の固定時間を待つといった、ほかの利用可能なオプションを使用します。

Copyright © 2026 Texas Instruments Incorporated

7.5.10 レジスタ マップの CRC

レジスタ マップ CRC は、レジスタ マップ内容における意図しないビット変更を検出します。REG_MAP_CRC_EN ビットを使用して、レジスタ マップの CRC を有効にします。レジスタ マップ CRC が有効な場合、デバイスは 24 のレジスタ ページそれぞれの 8 ビット CRC 値を絶えず計算し、その内部 CRC 計算結果を、GENERAL_CFG_REG_MAP_CRC_VALUE[7:0] と STEPx_REG_MAP_CRC_VAL[7:0] ビット フィールドでユーザーが指定する CRC 値と比較します。1 つ以上のページの内部 CRC 計算結果と、ユーザーが指定したそれぞれのレジスタ マップの CRC 値が一致しない場合、REG_MAP_CRC_FAULTn フラグが 0b に設定され、CRC_FAULT_PAGE[4:0] ビット フィールドは、エラーが発生した最初のレジスタ ページを示します。レジスタ マップ CRC 故障が発生しても、デバイスはそれ以外の動作を行いません。

表 7-24 に、ページごとにレジスタ マップの CRC がカバーするレジスタ アドレス空間を示します。

表 7-24. レジスタ ページごとにレジスタ マップ CRC でカバーされるレジスタ アドレス空間

レジスタ ページ	カバーされるレジスタ アドレス空間	ユーザーが指定するレジスタ マップの CRC 値ビット フィールド
ステータスと全般構成	10h～1Fh	GENERAL_CFG_REG_MAP_CRC_VALUE[7:0]
ステップ x 構成 (x = 0 ～ 23)	00h～14h	STEPx_REG_MAP_CRC_VAL[7:0]

各ページの CRC の計算は、最初にカバーされるレジスタの MSB から開始し、最後にカバーされるレジスタの LSB で終了します。この計算は CRC-8-ATM (HEC) 多項式：$X^8 + X^2 + X^1 + 1$ に基づいています。この多項式には、9 つの係数として 100000111.CRC 計算の詳細については、「SPI の CRC I²C CRC」セクションを参照してください。CRC の計算は、シード値 FFh で初期化されます。

CRC の計算はシリアルに実装されているため、REG_MAP_CRC_FAULTn フラグは、意図しないビット変化を即座には示しません。REG_MAP_CRC_FAULTn フラグが故障を示すまでに、最大で $t_{p(REG_MAP_CRC)}$= 208 t_{MOD} サイクルが経過する場合があります。

REG_MAP_CRC_FAULTn の表示を誤って発生させることなくレジスタ ビットを変更するには、以下の手順を使用します：

- REG_MAP_CRC_EN = 0b に設定して、レジスタ マップ CRC を無効にします。
- フォルト応答時間 $t_{p(REG_MAP_CRC)}$ を待ちます。
- REG_MAP_CRC_FAULTn フラグが 0b に設定されている場合は、REG_MAP_CRC_FAULTn ビットに 1b を書き込んで故障フラグをクリアします
- オプション：REG_MAP_CRC_FAULTn 故障フラグが 1b にクリアされていることを確認します
- 必要に応じてデバイスのレジスタ ビットを変更します
- 新しいレジスタ マップ設定に基づいて、GENERAL_CFG_REG_MAP_CRC_VALUE[7:0] および STEPx_REG_MAP_CRC_VAL[7:0] ビット フィールドを更新します。REG_MAP_CRC_EN ビットが 1b の場合、忘れずに GENERAL_CFG_REG_MAP_CRC_VALUE[7:0] を計算してください。
- REG_MAP_CRC_EN=1b に設定して、レジスタ マップ CRC を有効にします

以下の手順で説明するように、レジスタ マップ CRC が有効な状態でもレジスタ ビットを変更できますが、意図しない REG_MAP_CRC_FAULTn の表示を引き起こす可能性があります。

- レジスタマップ CRC が有効な状態のまま、必要に応じてレジスタ ビットを変更します
- 新しいレジスタ マップ設定に基づいて、GENERAL_CFG_REG_MAP_CRC_VALUE[7:0] および STEPx_REG_MAP_CRC_VAL[7:0] ビット フィールドを更新します。
- フォルト応答時間 $t_{p(REG_MAP_CRC)}$ を待ちます。
- REG_MAP_CRC_FAULTn フラグが 0b に設定されている場合は、REG_MAP_CRC_FAULTn ビットに 1b を書き込んで故障フラグをクリアします
- オプション：REG_MAP_CRC_FAULTn 故障フラグが 1b にクリアされていることを確認します

Copyright © 2026 Texas Instruments Incorporated

REG_MAP_CRC_EN ビットの設定に関係なく、スタンバイ モードとパワーダウン モードではレジスタ マップ CRC は停止します。

Copyright © 2026 Texas Instruments Incorporated

7.5.11 変換データの形式

変換データは、STEPx_CODING ビットの設定に応じてコード化されます。デフォルトでは、バイナリ 2 の補数形式で符号化され、MSB ファースト (サイン ビット) です。ユニポーラのストレート バイナリ形式にするには、STEPx_CODING ビットを 1b に設定します。表 7-25 および表 7-26 に、それぞれ 16 ビットおよび 24 ビット デバイスの出力コードを示します。2 の補数によるバイナリ形式では、入力信号が正または負のフルスケール値をそれぞれ超えた場合、変換データは正側または負側のフルスケール コードにクリップされます。ユニポーラのストレート バイナリ形式では、入力信号がフルスケール値を超えると変換データはフルスケール コードにクリップされ、入力信号が 0 未満の場合はゼロ コードにクリップされます。

表 7-25. 理想的な出力コードと入力信号との関係 (16 ビットの変換データ)

差動入力電圧 (V)	理想的な出力コード(1)	
	バイナリ 2 の補数形式 (コーディング = 0b)	ユニポーラのストレート バイナリ形式 (コーディング = 1b)
≥ FSR × (2^{16} – 1) / 2^{16}	7FFFh	FFFFh
≥ FSR × (2^{15} – 1) / 2^{15}		FFFEh
FSR / 2^{15}	0001h	0002h
0	0000h	0000h
–FSR / 2^{15}	FFFFh	
–FSR × (2^{15} – 1) / 2^{15}	8001h	
≤ –FSR	8000h	

(1) オフセット、ゲイン、直線性、ノイズ誤差を除く理想的な出力データ。

表 7-26. 理想的な出力コードと入力信号との関係 (24 ビットの変換データ)

差動入力電圧 (V)	理想的な出力コード(1)	
	バイナリ 2 の補数形式 (コーディング = 0b)	ユニポーラのストレート バイナリ形式 (コーディング = 1b)
≥ FSR × (2^{24} – 1) / 2^{24}	7FFFFFh	FFFFFFh
≥ FSR × (2^{23} – 1) / 2^{23}		FFFFFEh
FSR / 2^{23}	000001h	000002h
0	000000h	000000h
–FSR / 2^{23}	FFFFFFh	
–FSR × (2^{23} – 1) / 2^{23}	800001h	
≤ –FSR	800000h	

(1) オフセット、ゲイン、直線性、ノイズ誤差を除く理想的な出力データ。

8 レジスタ マップ

ADS1x4S1x のレジスタ空間は、表 8-1 に示すように複数のレジスタ ページで構成されています。

表 8-1. レジスタ ページの概要

ページ アドレス	ページ名
00h	ステータスと全般構成
01h	ステップ 0 構成
02h	ステップ 1 構成
...	...
18h	ステップ 23 構成

「ステータスと全般構成ページ」(ページ 0) には、すべてのシーケンス ステップにわたってデバイスにグローバルに適用するステータス情報と全般構成が保持されます。ステータスと全般構成ページのレジスタ マップについては、「ステータスと全般構成ページ レジスタ」セクションを参照してください。

シーケンス ステップ構成 (ページ 1 ～ 24) ごとに、個別のレジスタ ページがあります。これは「ステップ構成ページ」と呼ばれます。ステップ構成レジスタとビット フィールドはすべて接頭辞「STEP_x」で識別されます。x = 0 ～ 23 はシーケンスのステップ番号を示します。ステップ構成ページ x のレジスタ マップについては、「ステップ構成ページ レジスタ」セクションを参照してください。

構成用のレジスタ ページを選択するには、各ページのレジスタ アドレス 3Fh にある PAGE_POINTER レジスタを使用します。パワーアップとリセットの後、ページ 0 が選択されます。構成するため別のページを選択するには、新しいレジスタ ページのアドレスを PAGE_POINTER[7:0] ビット フィールドに書き込みます。その後、デバイスは新しいページを選択し、それ以降のすべてのレジスタの読み取りと書き込みの動作が、その新しいページに対して有効になります。PAGE_INDICATOR レジスタを読み戻し、デバイスが正しいページ アドレスに切り替わったことを確認します。

Copyright © 2026 Texas Instruments Incorporated

8.1 ステータスと全般構成ページ レジスタ

表 8-2 で、ステータスと全般構成ページのレジスタに対応するメモリ マップト レジスタを一覧表示します。表 8-2 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-2. レジスタ マップ

アドレス	略称	リセット	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
ID レジスタ:レジスタ マップ CRC の対象外										
00h	DEVICE_ID	XXh	予約済み		CH_CNT[1:0]		DEV_ID[3:0]			
01h	REVISION_ID	XXh	REV_ID[7:0]							
ステータス レジスタ (集約ビット):レジスタ マップ CRC の対象外										
02h	STATUS_MSB	00h	STEP_INDICATOR[4:0]					SAD_FAULTn	RESETn	DRDY
03h	STATUS_LSB	FFh	CONV_COUNT[3:0]				予約済み		REG_WRITE_FAULTn	SPI_CRC_FAULTn
ステータス レジスタ (個別ビット):レジスタ マップ CRC の対象外										
04h	SUPPLY_STATUS	BFh	予約済み	AVDD_UVn	予約済み					
05h	ADC_STATUS	FFh	COMP_ALERTn	予約済み		REF_UVn	予約済み			
06h	DIGITAL_STATUS	FFh	MEM_FAULTn	予約済み	CRC_FAULT_PAGE[4:0]					REG_MAP_CRC_FAULTn
07h	COMP_ALERT_STATUS	FFh	予約済み			COMP_ALERT_STEP_INDICATOR[4:0]				
ステータス レジスタ (GPIO):レジスタ マップ CRC の対象外										
08h	GPIO_DATA_INPUT	00h	GPIO7_DAT_IN	GPIO6_DAT_IN	GPIO5_DAT_IN	GPIO4_DAT_IN	GPIO3_DAT_IN	GPIO2_DAT_IN	GPIO1_DAT_IN	GPIO0_DAT_IN
ステータス レジスタ (シーケンサ):レジスタ マップ CRC の対象外										
09h	SEQ_STATUS	07h	SEQ_ACTIVE	SEQ_COUNT[3:0]				予約済み		
0Ah	予約済み	00h	予約済み							
変換制御とリセット レジスタ:レジスタ マップ CRC の対象外										
0Bh	CONVERSION_CTRL	00h	START	STEP_INIT[4:0]					予約済み	ストップ
0Ch	RESET	00h	RESET_CODE[7:0]							
全般構成レジスタ										
10h	ADC_CFG	00h	予約済み	REF_VAL	CLK_SEL	GC_EN	SPEED_MODE[1:0]		STBY_MODE	PWDN
11h	DIGITAL_CFG	00h	SPARE[4:0]					STATUS_EN	SDO_MODE	CONT_READ_EN
12h	VBIAS	00h	VBIAS_AIN7	VBIAS_AIN6	VBIAS_AIN5	VBIAS_AIN4	VBIAS_AIN3	VBIAS_AIN2	VBIAS_AIN1	VBIAS_AIN0
13h	GPIO_CFG0	00h	GPIO3_CFG[1:0]		GPIO2_CFG[1:0]		GPIO1_CFG[1:0]		GPIO0_CFG[1:0]	
14h	GPIO_CFG1	00h	GPIO7_CFG[1:0]		GPIO6_CFG[1:0]		GPIO5_CFG[1:0]		GPIO4_CFG[1:0]	
15h	GPIO_CFG2	08h	予約済み			COMP_ALERTn_MASK	FAULT_PIN_BEHAVIOR	ALERT_PIN_POL	GPIO4_SRC	GPIO3_SRC
16h	MONITOR_CFG	04h	予約済み				REF_UV_EN	REF_UV_SEL	REG_MAP_CRC_EN	SPI_CRC_EN
17h	予約済み	00h	予約済み							
18h	SPARE	00h	SPARE[7:0]							
シーケンサ構成レジスタ										
19h	SEQUENCER_CFG	50h	SEQ_MODE[1:0]		STOP_BEHAVIOR[1:0]		予約済み			
1Ah	SEQUENCE_STEP_EN_0	01h	STEP_7_EN	STEP_6_EN	STEP_5_EN	STEP_4_EN	STEP_3_EN	STEP_2_EN	STEP_1_EN	STEP_0_EN
1Bh	SEQUENCE_STEP_EN_1	00h	STEP_15_EN	STEP_14_EN	STEP_13_EN	STEP_12_EN	STEP_11_EN	STEP_10_EN	STEP_9_EN	STEP_8_EN
1Ch	SEQUENCE_STEP_EN_2	00h	STEP_23_EN	STEP_22_EN	STEP_21_EN	STEP_20_EN	STEP_19_EN	STEP_18_EN	STEP_17_EN	STEP_16_EN
予備レジスタ										
1Dh	予約済み	00h	予約済み							
1Eh	予約済み	00h	予約済み							
1Fh	予約済み	00h	予約済み							
レジスタ マップの CRC 値レジスタ										
3Dh	REG_MAP_CRC	00h	GENERAL_CFG_REG_MAP_CRC_VALUE[7:0]							
ページ インジケータとポインタ レジスタ										
3Eh	PAGE_INDICATOR	00h	PAGE_INDICATOR[7:0]							

Copyright © 2026 Texas Instruments Incorporated

表 8-2. レジスタ マップ (続き)

アドレス	略称	リセット	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
3Fh	PAGE_POINTER	00h	PAGE_POINTER[7:0]							

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-3 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-3. ステータスと全般構成ページ レジスタのアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

8.1.1 DEVICE_ID レジスタ (アドレス = 00h) [リセット = XXh]

概略表に戻ります。

図 8-1. DEVICE_ID レジスタ

7	6	5	4	3	2	1	0
予約済み		CH_CNT[1:0]		DEV_ID[3:0]			
R-00b		R-xxb		R-xxxxb			

表 8-4. DEVICE_ID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	00b	予約済み 常に 00b を読み出す。
5:4	CH_CNT[1:0]	R	xxb	チャネル数 11b = 18 アナログ入力 10b = 8 アナログ入力
3:0	DEV_ID[3:0]	R	xxxxb	デバイス ID 0010b = 16 ビット 0011b = 24 ビット

Copyright © 2026 Texas Instruments Incorporated

8.1.2 REVISION_ID レジスタ (アドレス = 01h) [リセット = XXh]

概略表に戻ります。

図 8-2. REVISION_ID レジスタ

7	6	5	4	3	2	1	0
REV_ID[7:0]							
R-xxxxxxxxb							

表 8-5. REVISION_ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	REV_ID[7:0]	R	xxxxxxxxb	リビジョン ID 値が予告なく変更される可能性があります。

Copyright © 2026 Texas Instruments Incorporated

8.1.3 STATUS_MSB レジスタ (アドレス = 02h) [リセット = 00h]

概略表に戻ります。

図 8-3. STATUS_MSB レジスタ

7	6	5	4	3	2	1	0
STEP_INDICATOR[4:0]					SAD_FAULTn	RESETn	DRDY
R-00000b					R-0b	R/W-0b	R-0b

表 8-6. STATUS_MSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:3	STEP_INDICATOR[4:0]	R	00000b	シーケンス ステップ インジケータ 最新の変換結果に使用されたステップ ページの構成を示します。現在読み出し可能です。デバイス リセット後、パワーダウン モード時、または SEQUENCER_CFG レジスタに書き込むとき、ステップ インジケータは 00h にリセットされます。同時に、変換カウンタ (CONV_COUNT[3:0]) が Fh にリセットされ、シーケンス カウンタ (SEQ_COUNT[3:0]) が 0h にリセットされ、変換データはクリアされます。
2	SAD_FAULTn	R	0b	電源、ADC、デジタル故障フラグ SUPPLY_STATUS、ADC_STATUS、または DIGITAL_STATUS レジスタの個別の故障フラグのいずれかが設定されているかを示します。このビットをクリアするには、SUPPLY_STATUS、ADC_STATUS、DIGITAL_STATUS レジスタのすべてのビットを 1b にクリアする必要があります。COMP_ALERTn_MASK ビットを使用して COMP_ALERTn ビットが 0b の場合、SAD_FAULTn フラグの設定から COMP_ALERTn ビットをマスクできます。 0b = 故障が発生しました 1b = 故障は発生していません
1	RESETn	R/W	0b	リセット フラグ デバイス リセットが発生したことを示します。1b を書き込むことで、ビットを 1b にクリアします。 0b = リセットが発生しました 1b = リセットは発生していません
0	DRDY	R	0b	データ準備完了表示ビット DRDY ビットは DRDY ピンの反転です。STATUS_EN ビットを使用して ステータス ヘッダの送信を有効にし、DRDY ビットの通知を利用します。DRDY ビットは、現在の SPI フレーム内で読み取られた変換データが新しいデータか、前回の読み取り操作から繰り返されているデータかを示します。レジスタ読み取りコマンドを使用して DRDY ビットをポーリングする方法は信頼性がありません。DRDY ビットは、読み出しレジスタコマンドの送信における最初のフレームの時点で既に 0b に戻ってしまうためです。 0b = データは新しいものではありません 1b = データは新しいものです

Copyright © 2026 Texas Instruments Incorporated

8.1.4 STATUS_LSB レジスタ (アドレス = 03h) [リセット = FFh]

概略表に戻ります。

図 8-4. STATUS_LSB レジスタ

7	6	5	4	3	2	1	0
CONV_COUNT[3:0]				予約済み		REG_WRITE_FAULTn	SPI_CRC_FAULTn
R-1111b				R-11b		R-1b	R-1b

表 8-7. STATUS_LSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	CONV_COUNT[3:0]	R	1111b	変換カウンタ 変換カウンタは、新しい変換が完了するたびにインクリメントします。カウンタが Fh の値に達した後、次の変換が完了するとカウンタは 0h にロールオーバーします。このカウンタは、パワーダウン モードでデバイスのリセット後、または SEQUENCER_CFG レジスタへの書き込み時にのみ Fh にリセットされます。同時に、シーケンス ステップ インジケータ (STEP_INDICATOR[4:0]) が 00h にリセットされ、シーケンス カウンタ (SEQ_COUNT[3:0]) が 0h にリセットされ、変換データはクリアされます。リセット後、パワーダウン後、または SEQUENCER_CFG レジスタへの書き込み後に最初の変換が完了すると、カウンタは 0h を読み出します。SEQ_MODE[1:0] = 10b または 11b の場合、ステップの最初の変換においてカウンタは常に 0h を読み出します。 SEQ_MODE[1:0] = 00b または 01b、新しいステップ ページ構成で変換が完了しても、カウンタ値は 0h に戻りません。必要に応じて、新しいステップ ページ構成で変換を開始する前に、SEQUENCER_CFG レジスタに書き込むことで、カウンタを Fh にリセットします。STATUS ヘッダの一部として変換カウンタが出力される場合 (STATUS_EN = 1b)、デバイスは変換カウンタの値が同じフ レームで出力される ADC 変換結果と常に一致することを保証します。
3:2	予約済み	R	11b	予約済み 常に 11b を読み出す。
1	REG_WRITE_FAULTn	R	1b	レジスタ書き込みアクセス故障フラグ 最後のレジスタ書き込み動作中に無効なレジスタ アドレスへの書き込みアクセスが発生したことを示します。このフラグは、無効なレジスタ アドレスへの書き込まれるタイミングを設定し、次のレジスタ書き込みコマンドで更新します。無効なレジスタ アドレスからの読み出しではこのフラグは設定されませんが、読み取りコマンドの SPI フレーム内に含まれるアドレス表示から検出できます。 0b = 故障が発生しました 1b = 故障は発生していません
0	SPI_CRC_FAULTn	R	1b	SPI CRC 故障フラグ は、前の SPI フレームにおいて SDI 上で SPI CRC 故障が発生したことを示します。SPI CRC 故障が発生したフレーム内でのコマンド実行はブロックされます。代わりに、ノーオペレーション コマンドが実行されます。次のフレーム内のコマンドはブロックされません。このビットは、前回の SPI フレームの CRC 結果に基づいて、新しい SPI フレームごとに更新されます。SPI_CRC_EN ビットを使用して SPI CRC を有効にします。さらに、STATUS_EN ビットを使用して ステータス ヘッダの送信を有効にすることで、SPI CRC 故障の発生を通知として受け取ることができます。 0b = 故障が発生しました 1b = 故障は発生していません

Copyright © 2026 Texas Instruments Incorporated

8.1.5 SUPPLY_STATUS レジスタ (アドレス = 04h) [リセット = BFh]

概略表に戻ります。

図 8-5. SUPPLY_STATUS レジスタ

7	6	5	4	3	2	1	0
予約済み	AVDD_UVn	予約済み					
R-1b	R/W-0b	R-111111b					

表 8-8. SUPPLY_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	1b	予約済み 常に 1b を読み出す。
6	AVDD_UVn	R/W	0b	AVDD 低電圧故障フラグ AVDD 電源電圧が AVDD 低電圧スレッショルドを下回ったことを示します。 AVDD_UVn は、AVDD 電源が AVDD 低電圧スレッショルドを下回っていない場合でも、パワーダウン モードに入ると常に 0b に設定されます。1b を書き込むことで、ビットを 1b にクリアします。 0b = 故障が発生しました 1b = 故障は発生していません
5:0	予約済み	R	111111b	予約済み 常に 111111b を読み出す。

Copyright © 2026 Texas Instruments Incorporated

8.1.6 ADC_STATUS レジスタ (アドレス = 05h) [リセット = FFh]

概略表に戻ります。

図 8-6. ADC_STATUS レジスタ

7	6	5	4	3	2	1	0
COMP_ALERTn	予約済み		REF_UVn	予約済み			
R/W-1b	R-11b		R/W-1b	R-1111b			

表 8-9. ADC_STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	COMP_ALERTn	R/W	1b	デジタル コンパレータ アラート フラグ シーケンス ステップの 1 つでデジタル コンパレータがトリップしたことを示します。COMP_ALERT_STEP_INDICATOR[4:0] ビット フィールドは、どのシーケンス ステップがアラートを引き起こしたかを示します。1b を書き込むことで、ビットを 1b にクリアします。また GPIO3 を ALERT 出力として構成している場合、このビットをクリアすると ALERT 出力もリセットされます。COMP_ALERTn_MASK を 1b に設定していない限り、このフラグは SDA_FAULTn に影響します。COMP_ALERTn_MASK の状態に関係なく、このフラグは常に ALERT 出力を駆動します。 0b = アラートが発生しました 1b = アラートは発生していません
6:5	予約済み	R	11b	予約済み 常に 11b を読み出す。
4	REF_UVn	R/W	1b	リファレンス電圧低電圧故障フラグ STEPx_REF_SEL[1:0] ビットで選択されたリファレンス電圧が、あるシーケンス ステップでリファレンス低電スレッショルドを下回ったことを示します。 REF_UV_EN ビットを使用して、リファレンス低電圧モニタを有効にします。 REF_UV_SEL ビットで、リファレンス低電圧スレッショルドを選択します。1b を書き込むことで、ビットを 1b にクリアします。 0b = 故障が発生しました 1b = 故障は発生していません
3:0	予約済み	R	1111b	予約済み 常に 1111b を読み出す。

Copyright © 2026 Texas Instruments Incorporated

8.1.7 DIGITAL_STATUS レジスタ (アドレス = 06h) [リセット = FFh]

概略表に戻ります。

図 8-7. DIGITAL_STATUS レジスタ

7	6	5	4	3	2	1	0
MEM_FAULTn	予約済み	CRC_FAULT_PAGE[4:0]					REG_MAP_CRC_FAULTn
R/W-1b	R-1b	R-11111b					R/W-1b

表 8-10. DIGITAL_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	MEM_FAULTn	R/W	1b	内部メモリ故障フラグ 内部メモリでメモリ マップ CRC 故障が発生したことを示します。このビットが 0b になったときは、電力サイクルを実行するか、デバイスをリセットします。 0b = 故障が発生しました 1b = 故障は発生していません
6	予約済み	R	1b	予約済み 常に 1b を読み出す。
5:1	CRC_FAULT_PAGE[4:0]	R	11111b	レジスタ マップの CRC フォルト ページ インジケータ REG_MAP_CRC_FAULTn が CRC フォルトを示している場合、どのレジスタ ページが CRC エラーを示しているかを示します。複数のレジスタ ページに CRC エラーが発生している場合、インジケータは CRC エラーが存在する最初のレジスタ ページ アドレスを示します。CRC_FAULT_PAGE[4:0] ビット フィールドで示されたページの CRC エラーが正しいレジスタ マップの CRC 値によって修正され、別のレジスタ ページで別の CRC エラーが存在する場合、CRC_FAULT_PAGE[4:0] ビット フィールドは自動的に更新されません。REG_MAP_CRC_FAULTn ビット フィールドに 1b を書き込むと、REG_MAP_CRC_FAULTn は再度 0b に設定され、CRC_FAULT_PAGE[4:0] ビット フィールドは、レジスタ マップの CRC エラーがある次の残存する最初のページ アドレスを指します。REG_MAP_CRC_FAULTn フラグが 1b にクリアされると、このビット フィールドは 11111b にクリアされます。
0	REG_MAP_CRC_FAULTn	R/W	1b	レジスタ マップ CRC 故障フラグ ステータスと全般構成ページ (レジスタ アドレス空間は 10h ～ 1Fh) またはいずれかのステップ構成ページ (レジスタ アドレスは 00h ～ 14h) でレジスタ マップ CRC 故障が発生したことを示します。REG_MAP_CRC_EN ビットを使用して、レジスタ マップの CRC を有効にします。1b を書き込むことで、ビットを 1b にクリアします。 0b = 故障が発生しました 1b = 故障は発生していません

Copyright © 2026 Texas Instruments Incorporated

8.1.8 COMP_ALERT_STATUS レジスタ (アドレス = 07h) [リセット = FFh]

概略表に戻ります。

図 8-8. COMP_ALERT_STATUS レジスタ

7	6	5	4	3	2	1	0
予約済み			COMP_ALERT_STEP_INDICATOR[4:0]				
R-111b			R-11111b				

表 8-11. COMP_ALERT_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	111b	予約済み 常に 111b を読み出す。
4:0	COMP_ALERT_STEP_INDICATOR[4:0]	R	11111b	デジタル コンパレータ アラート ステップ インジケータ COMP_ALERTn フラグが設定されているときに、どのシーケンス ステップでコンパレータのオーバーレンジ状態が発生したかを示します。COMP_ALERTn ビットが 1b にクリアされると、ビットは 11111b にクリアされます。

Copyright © 2026 Texas Instruments Incorporated

8.1.9 GPIO_DATA_INPUT レジスタ (アドレス = 08h) [リセット = 00h]

概略表に戻ります。

図 8-9. GPIO_DATA_INPUT レジスタ

7	6	5	4	3	2	1	0
GPIO7_DAT_IN	GPIO6_DAT_IN	GPIO5_DAT_IN	GPIO4_DAT_IN	GPIO3_DAT_IN	GPIO2_DAT_IN	GPIO1_DAT_IN	GPIO0_DAT_IN
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-12. GPIO_DATA_INPUT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GPIO7_DAT_IN	R	0b	GPIO7 データ GPIO7 をデジタル入力または出力として構成した場合の値を読み戻します。GPIO 機能が無効化されているとき (GPIO7_CFG[1:0] = 00b) 、ビットは 0b と読み取られます。 0b = Low 1b = High
6	GPIO6_DAT_IN	R	0b	GPIO6 データ GPIO6 をデジタル入力または出力として構成した場合の値を読み戻します。GPIO 機能が無効化されているとき (GPIO6_CFG[1:0] = 00b) 、ビットは 0b と読み取られます。 0b = Low 1b = High
5	GPIO5_DAT_IN	R	0b	GPIO5 データ GPIO5 をデジタル入力または出力として構成した場合の値を読み戻します。GPIO 機能が無効化されているとき (GPIO5_CFG[1:0] = 00b) 、ビットは 0b と読み取られます。 0b = Low 1b = High
4	GPIO4_DAT_IN	R	0b	GPIO4 データ デジタル入力、デジタル出力、または静的 $\overline{\text{FAULT}}$ 出力として構成されている場合の GPIO4 の読み戻し値。GPIO 機能が無効 (GPIO4_CFG[1:0] = 00b) の場合、または GPIO4 がハートビート機能付きの $\overline{\text{FAULT}}$ 出力として設定されている場合 (GPIO4_CFG[1:0] = 10b または 11b、GPIO4_SRC = 1b、FAULT_PIN_BEHAVIOR = 1b)、このビットは 0b を読み取ります。 0b = Low 1b = High
3	GPIO3_DAT_IN	R	0b	GPIO3 データ デジタル入力、デジタル出力、または ALERT 出力として構成されている場合の GPIO3 の値を読み戻します。GPIO 機能が無効化されているとき (GPIO3_CFG[1:0] = 00b) 、ビットは 0b と読み取られます。 0b = Low 1b = High
2	GPIO2_DAT_IN	R	0b	GPIO2 データ GPIO2 をデジタル入力または出力として構成した場合の値を読み戻します。GPIO 機能が無効化されているとき (GPIO2_CFG[1:0] = 00b) 、ビットは 0b と読み取られます。 0b = Low 1b = High
1	GPIO1_DAT_IN	R	0b	GPIO1 データ GPIO1 をデジタル入力または出力として構成した場合の値を読み戻します。GPIO 機能が無効化されているとき (GPIO1_CFG[1:0] = 00b) 、ビットは 0b と読み取られます。 0b = Low 1b = High

Copyright © 2026 Texas Instruments Incorporated

表 8-12. GPIO_DATA_INPUT レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	GPIO0_DAT_IN	R	0b	GPIO0 データ GPIO0 をデジタル入力または出力として構成した場合の値を読み戻します。 GPIO 機能が無効化されているとき (GPIO0_CFG[1:0] = 00b) 、ビットは 0b と読み取られます。 0b = Low 1b = High

Copyright © 2026 Texas Instruments Incorporated

8.1.10 SEQ_STATUS レジスタ (アドレス = 09h) [リセット = 07h]

概略表に戻ります。

図 8-10. SEQ_STATUS レジスタ

7	6	5	4	3	2	1	0
SEQ_ACTIVE	SEQ_COUNT[3:0]				予約済み		
R-0b	R-0000b				R-111b		

表 8-13. SEQ_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SEQ_ACTIVE	R	0b	シーケンサ アクティブ フラグ 変換が現在進行中か、変換が停止しており、デバイスがアイドル、スタンバイ、またはパワーダウン モードであるかを示します。 0b = シーケンサは非アクティブ、どの変換も停止中 1b = シーケンサはアクティブ、変換が進行中
6:3	SEQ_COUNT[3:0]	R	0000b	シーケンス カウンタ SEQ_MODE[1:0] = 11b の場合、シーケンス カウンタは、最新の変換結果を実行したシーケンスがどのシーケンスに属するかを示します。このシーケンスは現在読み出し可能です。このシーケンス カウンタは、新しいシーケンス実行の最初の変換が完了するとインクリメントします。最初のシーケンス実行の最初の変換が完了すると、カウンタは 0h を読み出します。2 回目のシーケンス実行の最初の変換が完了すると、カウンタは 1h を読み出します。カウンタが Fh の値に達した後、次のシーケンス実行の最初の変換が完了すると、カウンタは 0h にロールオーバーします。START ビットを 1b に設定した後、または START ピンの立ち上がりエッジで、最初の変換が完了すると、カウンタは 0h にリセットされます。SEQUENCER_CFG レジスタに書き込むと、パワーダウン モード時、またはデバイス リセット後に、カウンタは即座に 0h にリセットされます。同時に、シーケンス ステップ インジケータ (STEP_INDICATOR[4:0]) が 00h にリセットされ、変換カウンタ (CONV_COUNT[3:0]) は Fh にリセットされ、変換データはクリアされます。SEQ_MODE[1:0] = 00b、01b、または 10b の場合、シーケンス カウンタは常に 0h を読み出します。
2:0	予約済み	R	111b	予約済み 常に 111b を読み出す。

Copyright © 2026 Texas Instruments Incorporated

8.1.11 CONVERSION_CTRL レジスタ (アドレス = 0Bh) [リセット = 00h]

概略表に戻ります。

図 8-11. CONVERSION_CTRL レジスタ

7	6	5	4	3	2	1	0
START	STEP_INIT[4:0]					予約済み	ストップ
R/W-0b	R/W-00000b					R-0b	R/W-0b

表 8-14. CONVERSION_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	START	R/W	0b	ADC 変換を開始または再開 1b を書き込んで、STEP_INIT[4:0] ビット フィールドに示されたステップ構成ページを使用し、変換を開始または再開します。SEQ_MODE[1:0] ビットは、変換とシーケンサの動作を決定します。START ビットと STOP ビットの両方に 1b を書き込んでも、何も起きません。START ビットは自己クリア型であり、常に 0b を読み取ります。 0b = 動作なし 1b = 変換を開始または再開
6:2	STEP_INIT[4:0]	R/W	00000b	初期実行ステップ セレクタ START ビットを 1b に設定するとき、または START ピンを High にするときに、シーケンサが最初の変換に選択するシーケンス ステップ構成を決定します。STEP_INIT[4:0] が 18h ～ 1Fh の値に設定されている場合、変換やシーケンスは開始されません。STEP_INIT[4:0] ビット フィールドは、それぞれのステップ ページが有効かどうか (STEP_x_EN ビット設定が無視されるか) にかかわらず、デバイスがアイドル モードかスタンバイ モードのときに使用するステップ構成ページも決定します。すなわちパワーダウン モードから復帰したとき、または変換が停止したとき、デバイスは STEP_INIT[4:0] ビット フィールドで決定されるステップ ページ構成に遷移します。STEP_INIT[4:0] が、スタンバイ モードまたはアイドルモードで 18h ～ 1Fh の値に設定されている場合、ステップ 23 の構成が有効になります。
1	予約済み	R	0b	予約済み 常に 0b を読み出す。
0	ストップ	R/W	0b	ADC 変換を停止 1b を書き込んで変換を停止します。STOP_BEHAVIOR[1:0] ビットは、停止動作を決定します。START ビットと STOP ビットの両方に 1b を書き込んでも、何も起きません。変換が停止した後、または進行中の変換が停止する前に START ビットが設定されたとき、STOP ビットは 0b にクリアされます。 0b = 動作なし 1b = 変換を停止

Copyright © 2026 Texas Instruments Incorporated

8.1.12 RESET レジスタ (アドレス = 0Ch) [リセット = 00h]

概略表に戻ります。

図 8-12. RESET レジスタ

7	6	5	4	3	2	1	0
RESET_CODE[7:0]							
R/W-00000000b							

表 8-15. RESET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	RESET_CODE[7:0]	R/W	00000000b	デバイス リセット レジスタ 01011010b を書き込んで ADC をリセットします。これらのビットの読み取り値は常に 00000000b です。

Copyright © 2026 Texas Instruments Incorporated

8.1.13 ADC_CFG レジスタ (アドレス = 10h) [リセット = 00h]

概略表に戻ります。

図 8-13. ADC_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み	REF_VAL	CLK_SEL	GC_EN	SPEED_MODE[1:0]		STBY_MODE	PWDN
R-0b	R/W-0b	R/W-0b	R/W-0b	R/W-00b		R/W-0b	R/W-0b

表 8-16. ADC_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済み 常に 0b を読み出す。
6	REF_VAL	R/W	0b	内部リファレンス電圧の値の選択 内部リファレンス電圧の電圧を選択します。内部電圧リファレンスは常にイネーブルになっています。 0b = 1.25 V 1b = 2.5 V
5	CLK_SEL	R/W	0b	クロックの選択 デバイスのクロック ソースを選択します。 0b = 内部発振器 1b = CLK ピンに外部クロックを供給
4	GC_EN	R/W	0b	グローバル チョップ モードの有効化 グローバル チョップ モードを有効にします。有効にすると、デバイスはアナログ入力を自動的に入れ替え、連続する 2 回の変換の平均を取ることで、内部オフセット電圧を打ち消します。 0b=ディセーブル 1b = イネーブル
3:2	SPEED_MODE[1:0]	R/W	00b	速度モードの選択 デバイスの速度モードを選択します。 00b = 速度モード 0 (f_{MOD} = 32kHz) 01b = 速度モード 1 (f_{MOD} = 256kHz) 10b = 速度モード 2 (f_{MOD} = 512kHz) 11b = 速度モード 3 (f_{MOD} = 1024kHz)
1	STBY_MODE	R/W	0b	スタンバイ モードの選択 このビットは、変換が停止した後に低消費電力スタンバイ モードを自動的に有効化します。 0b = アイドルモード。変換が停止してもデバイスは完全に電力を供給され続けます。 1b = スタンバイモード。変換が停止すると、デバイスは低消費電力のスタンバイモードに遷移します。変換が再開されると、スタンバイ モードを終了します。
0	PWDN	R/W	0b	パワーダウン モードの選択 ユーザー レジスタ設定を維持するために必要な回路を除くすべての回路をパワーダウンします。SPI 通信は引き続き可能です。パワーダウン モードでは、ステップ インジケータ (STEP_INDICATOR[4:0]) が 00h にリセットされ、変換カウンタ (CONV_COUNT[3:0]) が Fh にリセットされ、シーケンス カウンタ (SEQ_COUNT[3:0]) が 0h にリセットされ、変換データがクリアされ、START ビットと START ピンは無視されます。PWDN ビットを 1b に設定すると、デバイスは直ちにパワーダウンし、進行中の変換はすべて中止されます。パワーダウン モードでは、GPIO のデジタル出力として設定されているすべてのアナログ入力は、ハイ インピーダンス状態に遷移します。パワーダウン中に特定のロジック レベルを維持するには、該当する GPIO ピンに外付けのプルアップまたはプルダウン抵抗の設置を検討してください。 0b = アクティブ モード 1b = パワーダウン モード

Copyright © 2026 Texas Instruments Incorporated

8.1.14 DIGITAL_CFG レジスタ (アドレス = 11h) [リセット = 00h]

概略表に戻ります。

図 8-14. DIGITAL_CFG レジスタ

7	6	5	4	3	2	1	0
SPARE[4:0]					STATUS_EN	SDO_MODE	CONT_READ_EN
R/W-00000b					R/W-0b	R/W-0b	R/W-0b

表 8-17. DIGITAL_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:3	SPARE[4:0]	R/W	00000b	予備レジスタ ビット R/W ビットとして提供される、レジスタ マップ CRC をチェックする手段です。ビット設定は無効です。
2	STATUS_EN	R/W	0b	ステータス ヘッダ出力イネーブル SDO でステータス ヘッダ (STATUS_MSB + STATUS_LSB レジスタ) の送信を各 SPI フレームの最初の 2 バイトとしてイネーブルにします。 0b=ディセーブル 1b = イネーブル
1	SDO_MODE	R/W	0b	SDO/$\overline{\text{DRDY}}$ モードの選択 SDO/ DRDY ピンのモードを、データ出力機能のみにするか、データ出力とデータ レディのデュアル モード機能にするか選択します。デバイスをデイジー チェーン構成で動作させる場合は、データ出力専用モードを使用します。 0b = データ出力専用モード 1b = デュアル モード:データ出力およびデータ レディ
0	CONT_READ_EN	R/W	0b	連続読み取りモードのイネーブル 連続読み取りモードが可能になり、4 線式 SPI モードで単一の SPI フレーム内で複数の連続レジスタを読み取ることができます。デバイスをデイジー チェーンまたは 3 線式 SPI モードで動作させる場合、連続読み取りモードを無効化します。 0b=ディセーブル 1b = イネーブル

Copyright © 2026 Texas Instruments Incorporated

8.1.15 VBIAS レジスタ (アドレス = 12h) [リセット = 00h]

概略表に戻ります。

図 8-15. VBIAS レジスタ

7	6	5	4	3	2	1	0
VBIAS_AIN7	VBIAS_AIN6	VBIAS_AIN5	VBIAS_AIN4	VBIAS_AIN3	VBIAS_AIN2	VBIAS_AIN1	VBIAS_AIN0
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-18. VBIAS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	VBIAS_AIN7	R/W	0b	AIN7 VBIAS の選択 AIN7 ピンの VBIAS を有効化。 0b=ディセーブル 1b = イネーブル
6	VBIAS_AIN6	R/W	0b	AIN6 VBIAS の選択 AIN6 ピンの VBIAS を有効化。 0b=ディセーブル 1b = イネーブル
5	VBIAS_AIN5	R/W	0b	AIN5 VBIAS の選択 AIN5 ピンの VBIAS を有効化。 0b=ディセーブル 1b = イネーブル
4	VBIAS_AIN4	R/W	0b	AIN4 VBIAS の選択 AIN4 ピンの VBIAS を有効化。 0b=ディセーブル 1b = イネーブル
3	VBIAS_AIN3	R/W	0b	AIN3 VBIAS の選択 AIN3 ピンの VBIAS を有効化。 0b=ディセーブル 1b = イネーブル
2	VBIAS_AIN2	R/W	0b	AIN2 VBIAS の選択 AIN2 ピンの VBIAS を有効化。 0b=ディセーブル 1b = イネーブル
1	VBIAS_AIN1	R/W	0b	AIN1 VBIAS の選択 AIN1 ピンの VBIAS を有効化。 0b=ディセーブル 1b = イネーブル
0	VBIAS_AIN0	R/W	0b	AIN0 VBIAS の選択 AIN0 ピンの VBIAS を有効化。 0b=ディセーブル 1b = イネーブル

Copyright © 2026 Texas Instruments Incorporated

8.1.16 GPIO_CFG0 レジスタ (アドレス = 13h) [リセット = 00h]

概略表に戻ります。

図 8-16. GPIO_CFG0 レジスタ

7	6	5	4	3	2	1	0
GPIO3_CFG[1:0]		GPIO2_CFG[1:0]		GPIO1_CFG[1:0]		GPIO0_CFG[1:0]	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 8-19. GPIO_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	GPIO3_CFG[1:0]	R/W	00b	GPIO3 の設定 GPIO3 ピンの動作を設定します。 00b = ADS1x4S18:ピンはアナログ入力として動作。ADS1x4S14:ピンはハイインピーダンス。 01b = デジタル入力 10b = プッシュプル デジタル出力 (読み戻し付き) 11b = オープン ドレイン デジタル出力 (読み戻し付き)
5:4	GPIO2_CFG[1:0]	R/W	00b	GPIO2 の設定 GPIO2 ピンの動作を設定します。 00b = ADS1x4S18:ピンはアナログ入力として動作。ADS1x4S14:ピンはハイインピーダンス。 01b = デジタル入力 10b = プッシュプル デジタル出力 (読み戻し付き) 11b = オープン ドレイン デジタル出力 (読み戻し付き)
3:2	GPIO1_CFG[1:0]	R/W	00b	GPIO1 の設定 GPIO1 ピンの動作を設定します。 00b = ADS1x4S18:ピンはアナログ入力として動作。ADS1x4S14:ピンはハイインピーダンス。 01b = デジタル入力 10b = プッシュプル デジタル出力 (読み戻し付き) 11b = オープン ドレイン デジタル出力 (読み戻し付き)
1:0	GPIO0_CFG[1:0]	R/W	00b	GPIO0 の設定 GPIO0 ピンの動作を設定します。 00b = ADS1x4S18:ピンはアナログ入力として動作。ADS1x4S14:ピンはハイインピーダンス。 01b = デジタル入力 10b = プッシュプル デジタル出力 (読み戻し付き) 11b = オープン ドレイン デジタル出力 (読み戻し付き)

Copyright © 2026 Texas Instruments Incorporated

8.1.17 GPIO_CFG1 レジスタ (アドレス = 14h) [リセット = 00h]

概略表に戻ります。

図 8-17. GPIO_CFG1 レジスタ

7	6	5	4	3	2	1	0
GPIO7_CFG[1:0]		GPIO6_CFG[1:0]		GPIO5_CFG[1:0]		GPIO4_CFG[1:0]	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 8-20. GPIO_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	GPIO7_CFG[1:0]	R/W	00b	GPIO7 の設定 GPIO7 ピンの動作を設定します。 00b = ADS1x4S18:ピンはアナログまたは REFN1 入力として動作します。 ADS1x4S14:ピンは REFN1 入力として動作します。 01b = デジタル入力 10b = プッシュプル デジタル出力 (読み戻し付き) 11b = オープン ドレイン デジタル出力 (読み戻し付き)
5:4	GPIO6_CFG[1:0]	R/W	00b	GPIO6 の設定 GPIO6 ピンの動作を設定します。 00b = ADS1x4S18:ピンはアナログまたは REFP1 入力として動作します。 ADS1x4S14:ピンは REFP1 入力として動作します。 01b = デジタル入力 10b = プッシュプル デジタル出力 (読み戻し付き) 11b = オープン ドレイン デジタル出力 (読み戻し付き)
3:2	GPIO5_CFG[1:0]	R/W	00b	GPIO5 の設定 GPIO5 ピンの動作を設定します。 00b = ADS1x4S18:ピンはアナログ入力として動作。ADS1x4S14:ピンはハイインピーダンス。 01b = デジタル入力 10b = プッシュプル デジタル出力 (読み戻し付き) 11b = オープン ドレイン デジタル出力 (読み戻し付き)
1:0	GPIO4_CFG[1:0]	R/W	00b	GPIO4 の設定 GPIO4 ピンの動作を設定します。 00b = ADS1x4S18:ピンはアナログ入力として動作。ADS1x4S14:ピンはハイインピーダンス。 01b = デジタル入力 10b = プッシュプル デジタル出力 (読み戻し付き) 11b = オープン ドレイン デジタル出力 (読み戻し付き)

Copyright © 2026 Texas Instruments Incorporated

8.1.18 GPIO_CFG2 レジスタ (アドレス = 15h) [リセット = 08h]

概略表に戻ります。

図 8-18. GPIO_CFG2 レジスタ

7	6	5	4	3	2	1	0
予約済み			COMP_ALERTn_MASK	FAULT_PIN_BEHAVIOR	ALERT_PIN_POL	GPIO4_SRC	GPIO3_SRC
R-000b			R/W-0b	R/W-1b	R/W-0b	R/W-0b	R/W-0b

表 8-21. GPIO_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	000b	予約済み 常に 0000b を読み出す。
4	COMP_ALERTn_MASK	R/W	0b	コンパレータ アラート マスク COMP_ALERTn が SAD_FAULTn に影響するかどうかを決定します。GPIO3 が ALERT 出力として構成されている場合、このマスク ビットのステータスに関係なく、COMP_ALERTn は ALERT ピンをトリガします。 0b = マスクを無効化。COMP_ALERTn は SAD_FAULTn をトリガします。 1b = マスクを有効化。COMP_ALERTn は SAD_FAULTn をトリガしませんが、ALERT ピンをトリガします。
3	FAULT_PIN_BEHAVIOR	R/W	1b	$\overline{\text{FAULT}}$ ピンの動作の選択 GPIO4 が $\overline{\text{FAULT}}$ 出力に構成されている場合 (GPIO4_CFG[1:0] = 10b または 11b、GPIO4_SRC = 1b)、$\overline{\text{FAULT}}$ ピンの動作を選択します。 0b = 静止。故障が発生した場合、出力は Low になり、それ以外の場合は High になります。 1b = ハートビート。故障が発生したとき、出力は Low になります。それ以外の場合、出力は $f_{MOD}/256$ の周波数を持つ 50% デューティ サイクルの信号になります。
2	ALERT_PIN_POL	R/W	0b	ALERT ピンの極性の選択 GPIO3 が ALERT 出力に構成されている場合 (GPIO3_CFG[1:0] = 10b または 11b、GPIO3_SRC = 1b)、ALERT 出力ピンの極性を選択します。 0b = アクティブ Low 1b = アクティブ High
1	GPIO4_SRC	R/W	0b	GPIO4 データ ソースの選択 GPIO4 がデジタル出力として設定されている場合に、GPIO4 ピンのデータ ソースを選択します。SAD_FAULTn フラグが 0b の場合、$\overline{\text{FAULT}}$ ピンは Low になります。 0b = GPIO4_DAT_OUT ビット 1b = SAD_FAULTn フラグ。ピンは $\overline{\text{FAULT}}$ 出力として機能します。
0	GPIO3_SRC	R/W	0b	GPIO3 データ ソースの選択 GPIO3 がデジタル出力として設定されている場合に、GPIO3 ピンのデータ ソースを選択します。 0b = GPIO3_DAT_OUT ビット 1b = COMP_ALERTn フラグ。このピンはデジタル コンパレータの ALERT 出力として機能します。

Copyright © 2026 Texas Instruments Incorporated

8.1.19 MONITOR_CFG レジスタ (アドレス = 16h) [リセット = 04h]

概略表に戻ります。

図 8-19. MONITOR_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み			予約済み	REF_UV_EN	REF_UV_SEL	REG_MAP_CRC_EN	SPI_CRC_EN
R-000b			R/W-0b	R/W-0b	R/W-1b	R/W-0b	R/W-0b

表 8-22. MONITOR_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	000b	予約済み 常に 000b を読み出す。
4	予約済み	R/W	0b	予約済み 常に 0b を書き込みます。
3	REF_UV_EN	R/W	0b	リファレンス低電圧モニタの有効化 電圧リファレンス モニタは、STEPx_REF_SEL[1:0] ビットで選択した電圧リファレンスが、あるシーケンス ステップで低電圧モニタ スレッショルドを下回ったことを検出できます。 0b=ディセーブル 1b = イネーブル
2	REF_UV_SEL	R/W	1b	電圧リファレンス低電圧モニタ スレッショルドの選択 電圧リファレンス低電圧モニタ スレッショルドを選択します。 0b = 550 mV 1b = 1 V
1	REG_MAP_CRC_EN	R/W	0b	レジスタ マップ CRC 有効化 ステータスと全般構成ページ (レジスタ アドレス 10h ～ 1Fh) とステップ構成ページ (レジスタ アドレス 00h ～ 14h) のレジスタ マップ CRC を有効にします。 0b=ディセーブル 1b = イネーブル
0	SPI_CRC_EN	R/W	0b	SPI CRC 有効化 SDI および SDO の SPI CRC を有効にします。 0b=ディセーブル 1b = イネーブル

Copyright © 2026 Texas Instruments Incorporated

8.1.20 SPARE レジスタ (アドレス = 18h) [リセット = 00h]

概略表に戻ります。

図 8-20. SPARE レジスタ

7	6	5	4	3	2	1	0
SPARE[7:0]							
R/W-00000000b							

表 8-23. SPARE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	SPARE[7:0]	R/W	00000000b	予備レジスタ ビット R/W ビットとして提供される、レジスタ マップ CRC をチェックする手段です。ビット設定は無効です。

8.1.21 SEQUENCER_CFG レジスタ (アドレス = 19h) [リセット = 50h]

概略表に戻ります。

図 8-21. SEQUENCER_CFG レジスタ

7	6	5	4	3	2	1	0
SEQ_MODE[1:0]		STOP_BEHAVIOR[1:0]		予約済み		予約済み	
R/W-01b		R/W-01b		R-00b		R/W-00b	

表 8-24. SEQUENCER_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	SEQ_MODE[1:0]	R/W	01b	シーケンサ モードの選択 シーケンサの動作モードを選択します。STEP_INIT[4:0] が 18h ～ 1Fh の値に設定されている場合、いずれのシーケンサ モードでも変換やシーケンスは開始されません。 00b = STEP_INIT[4:0] ポインタで定義したシーケンス ステップを 1 回実行。このシーケンサ モードでは、ステップ イネーブル ビット (STEP_x_EN) は無視されます。STEPx_NUM_CONV[4:0] ビットは、このシーケンス ステップの連続変換数を決定します。 01b = STEP_INIT[4:0] ポインタで定義したシーケンス ステップを連続的に変換。このシーケンサ モードでは、ステップ イネーブル ビット (STEP_x_EN) と STEPx_NUM_CONV[4:0] ビットは無視されます。 10b = STEP_INIT[4:0] ポインタで定義したステップとステップ 23 の間の、有効なすべてのステップのシーケンスを 1 回実行。STEP_x_EN ビットを使用して、シーケンスにステップを含めます。STEP_INIT[4:0] ポインタで定義されるステップが無効化されていれば、このシーケンスは実行されません。 11b = 有効な全ステップを実行し、STEP_INIT[4:0] ポインタで定義したステップから開始して、シーケンスを連続的に繰り返します。STEP_x_EN ビットを使用して、シーケンスにステップを含めます。STEP_INIT[4:0] ポインタで定義されるステップが無効化されていれば、このシーケンスは実行されません。
5:4	STOP_BEHAVIOR[1:0]	R/W	01b	シーケンス停止動作の選択 STOP ビットを 1b に設定したとき、または START ピンで立ち下がりエッジが発生したときのデバイスの動作を選択します。 00b = 直ちに停止。進行中の変換はすべて中止されます。 01b = 現在の変換が完了した後に停止。 10b = 現在のシーケンス ステップが完了した後に停止。このモードの使用中に SEQ_MODE[1:0] = 01b であれば、現在の変換の完了後に停止。 11b = フル シーケンスの完了後に停止。このモードの使用中に SEQ_MODE[1:0] = 00b であれば、現在のシーケンス ステップの完了後に停止。このモードの使用中に SEQ_MODE[1:0] = 01b であれば、現在の変換の完了後に停止。
3:2	予約済み	R	00b	予約済み 常に 00b を読み出す。
1:0	予約済み	R/W	00b	予約済み 常に 00b を書き込みます。

Copyright © 2026 Texas Instruments Incorporated

8.1.22 SEQUENCE_STEP_EN_0 レジスタ (アドレス = 1Ah) [リセット = 01h]

概略表に戻ります。

図 8-22. SEQUENCE_STEP_EN_0 レジスタ

7	6	5	4	3	2	1	0
STEP_7_EN	STEP_6_EN	STEP_5_EN	STEP_4_EN	STEP_3_EN	STEP_2_EN	STEP_1_EN	STEP_0_EN
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-1b

表 8-25. SEQUENCE_STEP_EN_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	STEP_7_EN	R/W	0b	シーケンサ ステップ 7 有効 0b = ステップは無効 1b = ステップは有効
6	STEP_6_EN	R/W	0b	シーケンサ ステップ 6 有効 0b = ステップは無効 1b = ステップは有効
5	STEP_5_EN	R/W	0b	シーケンサ ステップ 5 有効 0b = ステップは無効 1b = ステップは有効
4	STEP_4_EN	R/W	0b	シーケンサ ステップ 4 有効 0b = ステップは無効 1b = ステップは有効
3	STEP_3_EN	R/W	0b	シーケンサ ステップ 3 有効 0b = ステップは無効 1b = ステップは有効
2	STEP_2_EN	R/W	0b	シーケンサ ステップ 2 有効 0b = ステップは無効 1b = ステップは有効
1	STEP_1_EN	R/W	0b	シーケンサ ステップ 1 有効 0b = ステップは無効 1b = ステップは有効
0	STEP_0_EN	R/W	1b	シーケンサ ステップ 0 有効 0b = ステップは無効 1b = ステップは有効

Copyright © 2026 Texas Instruments Incorporated

8.1.23 SEQUENCE_STEP_EN_1 レジスタ (アドレス = 1Bh) [リセット = 00h]

概略表に戻ります。

図 8-23. SEQUENCE_STEP_EN_1 レジスタ

7	6	5	4	3	2	1	0
STEP_15_EN	STEP_14_EN	STEP_13_EN	STEP_12_EN	STEP_11_EN	STEP_10_EN	STEP_9_EN	STEP_8_EN
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-26. SEQUENCE_STEP_EN_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	STEP_15_EN	R/W	0b	シーケンサ ステップ 15 有効 0b = ステップは無効 1b = ステップは有効
6	STEP_14_EN	R/W	0b	シーケンサ ステップ 14 有効 0b = ステップは無効 1b = ステップは有効
5	STEP_13_EN	R/W	0b	シーケンサ ステップ 13 有効 0b = ステップは無効 1b = ステップは有効
4	STEP_12_EN	R/W	0b	シーケンサ ステップ 12 有効 0b = ステップは無効 1b = ステップは有効
3	STEP_11_EN	R/W	0b	シーケンサ ステップ 11 有効 0b = ステップは無効 1b = ステップは有効
2	STEP_10_EN	R/W	0b	シーケンサ ステップ 10 有効 0b = ステップは無効 1b = ステップは有効
1	STEP_9_EN	R/W	0b	シーケンサ ステップ 9 有効 0b = ステップは無効 1b = ステップは有効
0	STEP_8_EN	R/W	0b	シーケンサ ステップ 8 有効 0b = ステップは無効 1b = ステップは有効

Copyright © 2026 Texas Instruments Incorporated

8.1.24 SEQUENCE_STEP_EN_2 レジスタ (アドレス = 1Ch) [リセット = 00h]

概略表に戻ります。

図 8-24. SEQUENCE_STEP_EN_2 レジスタ

7	6	5	4	3	2	1	0
STEP_23_EN	STEP_22_EN	STEP_21_EN	STEP_20_EN	STEP_19_EN	STEP_18_EN	STEP_17_EN	STEP_16_EN
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-27. SEQUENCE_STEP_EN_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	STEP_23_EN	R/W	0b	シーケンサ ステップ 23 有効 0b = ステップは無効 1b = ステップは有効
6	STEP_22_EN	R/W	0b	シーケンサ ステップ 22 有効 0b = ステップは無効 1b = ステップは有効
5	STEP_21_EN	R/W	0b	シーケンサ ステップ 21 有効 0b = ステップは無効 1b = ステップは有効
4	STEP_20_EN	R/W	0b	シーケンサ ステップ 20 有効 0b = ステップは無効 1b = ステップは有効
3	STEP_19_EN	R/W	0b	シーケンサ ステップ 19 有効 0b = ステップは無効 1b = ステップは有効
2	STEP_18_EN	R/W	0b	シーケンサ ステップ 18 有効 0b = ステップは無効 1b = ステップは有効
1	STEP_17_EN	R/W	0b	シーケンサ ステップ 17 有効 0b = ステップは無効 1b = ステップは有効
0	STEP_16_EN	R/W	0b	シーケンサ ステップ 16 有効 0b = ステップは無効 1b = ステップは有効

Copyright © 2026 Texas Instruments Incorporated

8.1.25 REG_MAP_CRC レジスタ (アドレス = 3Dh) [リセット = 00h]

概略表に戻ります。

図 8-25. REG_MAP_CRC レジスタ

7	6	5	4	3	2	1	0
GENERAL_CFG_REG_MAP_CRC_VALUE[7:0]							
R/W-00000000b							

表 8-28. REG_MAP_CRC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	GENERAL_CFG_REG_MAP_CRC_VALUE[7:0]	R/W	00000000b	ステータスと全般構成ページのレジスタ マップ CRC 値 この値は、レジスタ 10h ～ 1Fh のユーザーが計算した CRC 値です。

Copyright © 2026 Texas Instruments Incorporated

8.1.26 PAGE_INDICATOR レジスタ (アドレス = 3Eh) [リセット = 00h]

概略表に戻ります。

図 8-26. PAGE_INDICATOR レジスタ

7	6	5	4	3	2	1	0
PAGE_INDICATOR[7:0]							
R-00000000b							

表 8-29. PAGE_INDICATOR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	PAGE_INDICATOR[7:0]	R	00000000b	レジスタ ページ インジケータ レジスタ ページ インジケータを読み出し、レジスタの読み出しと書き込みに現在選択しているレジスタ ページを確認します。

Copyright © 2026 Texas Instruments Incorporated

8.1.27 PAGE_POINTER レジスタ (アドレス = 3Fh) [リセット = 00h]

概略表に戻ります。

図 8-27. PAGE_POINTER レジスタ

7	6	5	4	3	2	1	0
PAGE_POINTER[7:0]							
R/W-00000000b							

表 8-30. PAGE_POINTER レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	PAGE_POINTER[7:0]	R/W	00000000b	レジスタ ページ ポインタ レジスタ ページ ポインタを書き込んで、レジスタの読み書きに使用するレジスタページを選択します。

Copyright © 2026 Texas Instruments Incorporated

8.2 ステップ構成ページ レジスタ

表 8-31 に、ステップ構成ページ レジスのメモリマップト レジスタを一覧表示します。表 8-31 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-31. レジスタ マップ

アドレス	略称	リセット	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
入力マルチプレクサ構成レジスタ										
00h	STEPx_AINP_CFG	12h	予約済み			STEPx_AINP[4:0]				
01h	STEPx_AINN_CFG	12h	予約済み			STEPx_AINN[4:0]				
ADC 構成レジスタ										
02h	STEPx_GAIN_REF_CFG	01h	STEPx_REFP_BUF_EN	STEPx_REFN_BUF_EN	STEPx_REF_SEL[1:0]		STEPx_GAIN[3:0]			
03h	STEPx_DIGITAL_CFG	00h	SPARE[1:0]		STEPx_CODING	STEPx_NUM_CONV[4:0]				
デジタル フィルタ構成レジスタ										
04h	STEPx_FLTR_CFG	01h	SPARE[1:0]		STEPx_FLTR_MODE	STEPx_FLTR_OSR[4:0]				
05h	STEPx_DELAY_CFG	00h	予約済み	STEPx_DELAY[6:0]						
オフセットとゲインの較正係数レジスタ										
06h	STEPx_OFFSET_CAL_MSB	00h	STEPx_OFFSET_CAL[23:16]							
07h	STEPx_OFFSET_CAL_ISB	00h	STEPx_OFFSET_CAL[15:8]							
08h	STEPx_OFFSET_CAL_LSB	00h	STEPx_OFFSET_CAL[7:0]							
09h	STEPx_GAIN_CAL_MSB	40h	STEPx_GAIN_CAL[15:8]							
0Ah	STEPx_GAIN_CAL_LSB	00h	STEPx_GAIN_CAL[7:0]							
システム モニタ レジスタ										
0Bh	STEPx_SYSMON_CFG	00h	予約済み		STEPx_BOCS[1:0]		予約済み	STEPx_SYS_MON[2:0]		
励起電流源構成レジスタ										
0Ch	STEPx_IDAC_MAG_CFG	00h	STEPx_I2MAG[3:0]				STEPx_I1MAG[3:0]			
0Dh	STEPx_IDAC1_MUX_CFG	1Fh	STEPx_IUNIT	予約済み		STEPx_I1MUX[4:0]				
0Eh	STEPx_IDAC2_MUX_CFG	1Fh	予約済み			STEPx_I2MUX[4:0]				
GPIO 出力データ レジスタ										
0Fh	STEPx_GPIO_DATA_OUT	00h	STEPx_GPIO7_DAT_OUT	STEPx_GPIO6_DAT_OUT	STEPx_GPIO5_DAT_OUT	STEPx_GPIO4_DAT_OUT	STEPx_GPIO3_DAT_OUT	STEPx_GPIO2_DAT_OUT	STEPx_GPIO1_DAT_OUT	STEPx_GPIO0_DAT_OUT
デジタル コンパレータ構成レジスタ										
10h	STEPx_COMPARATOR_HIGH_THRESHOLD_MSB	00h	STEPx_COMP_HIGH_TH[15:8]							
11h	STEPx_COMPARATOR_HIGH_THRESHOLD_LSB	00h	STEPx_COMP_HIGH_TH[7:0]							
12h	STEPx_COMPARATOR_LOW_THRESHOLD_MSB	00h	STEPx_COMP_LOW_TH[15:8]							
13h	STEPx_COMPARATOR_LOW_THRESHOLD_LSB	00h	STEPx_COMP_LOW_TH[7:0]							
14h	STEPx_COMPARATOR_CFG	00h	予約済み				STEPx_COMP_NUM[1:0]		STEPx_COMP_HIGH_TH_EN	STEPx_COMP_LOW_TH_EN
レジスタ マップの CRC 値レジスタ										
3Dh	STEPx_REG_MAP_CRC	0Eh	STEPx_REG_MAP_CRC_VALUE[7:0]							
ページ インジケータとポインタ レジスタ										
3Eh	STEPx_PAGE_INDICATOR	00h	STEPx_PAGE_INDICATOR[7:0]							

Copyright © 2026 Texas Instruments Incorporated

表 8-31. レジスタ マップ (続き)

アドレス	略称	リセット	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
3Fh	STEPx_PAGE_POINTER	00h	STEPx_PAGE_POINTER[7:0]							

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-32 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-32. ステップ構成ページ レジスタのアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

8.2.1 STEPx_AINP_CFG レジスタ (アドレス = 00h) [リセット = 12h]

概略表に戻ります。

図 8-28. STEPx_AINP_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み			STEPx_AINP[4:0]				
R-000b			R/W-10010b				

表 8-33. STEPx_AINP_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	000b	予約済み 常に 000b を読み出す。
4:0	STEPx_AINP[4:0]	R/W	10010b	正のマルチプレクサ入力の選択 ADC の正のアナログ入力を選択します。ADS1x4S18 のアナログ入力 AIN13、AIN14、AIN16、AIN17 は、REFPx 入力と REFNx 入力として構成されていても、引き続きアナログ入力として使用できます。アナログ入力が GPIO として構成されている場合でも、そのアナログ入力はマルチプレクサで選択でき、GPIO ピン上の電圧の測定に使用できます。いずれかのシステム モニタが有効になっている場合、STEPx_AINP ビットの設定は無視されます。つまり、STEPx_SYS_MON[3:0] が 0000b 以外の値に設定されている場合です。 00000b = AIN0 00001b = AIN1 00010b = AIN2 00011b = AIN3 00100b = AIN4 00101b = AIN5 00110b = AIN6 00111b = AIN7 01000b = AIN8 (ADS1x4S18)、AVSS (ADS1x4S14) 01001b = AIN9 (ADS1x4S18)、AVSS (ADS1x4S14) 01010b = AIN10 (ADS1x4S18)、AVSS (ADS1x4S14) 01011b = AIN11 (ADS1x4S18)、AVSS (ADS1x4S14) 01100b = AIN12 (ADS1x4S18)、AVSS (ADS1x4S14) 01101b = AIN13 (ADS1x4S18)、AVSS (ADS1x4S14) 01110b = AIN14 (ADS1x4S18)、AVSS (ADS1x4S14) 01111b = AIN15 (ADS1x4S18)、AVSS (ADS1x4S14) 10000b = AIN16 (ADS1x4S18)、AVSS (ADS1x4S14) 10001b = AIN17 (ADS1x4S18)、AVSS (ADS1x4S14) 10010b = AVSS 10011b = AVSS 10100b = AVSS 10101b = AVSS 10110b = AVSS 10111b = AVSS 11000b = AVSS 11001b = AVSS 11010b = AVSS 11011b = AVSS 11100b = AVSS 11101b = AVSS 11110b = AVSS 11111b = オープン

Copyright © 2026 Texas Instruments Incorporated

8.2.2 STEPx_AINN_CFG レジスタ (アドレス = 01h) [リセット = 12h]

概略表に戻ります。

図 8-29. STEPx_AINN_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み			STEPx_AINN[4:0]				
R-000b			R/W-10010b				

表 8-34. STEPx_AINN_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	000b	予約済み 常に 000b を読み出す。
4:0	STEPx_AINN[4:0]	R/W	10010b	負のマルチプレクサ入力の選択 ADC の負のアナログ入力を選択します。ADS1x4S18 のアナログ入力 AIN13、AIN14、AIN16、AIN17 は、REFPx 入力と REFNx 入力として構成されていても、引き続きアナログ入力として使用できます。アナログ入力が GPIO として構成されている場合でも、そのアナログ入力はマルチプレクサで選択でき、GPIO ピン上の電圧の測定に使用できます。いずれかのシステムモニタが有効である場合、STEPx_AINN ビットの設定は無視されます。つまり、STEPx_SYS_MON[3:0] が 0000b 以外の値に設定されている場合です。 00000b = AIN0 00001b = AIN1 00010b = AIN2 00011b = AIN3 00100b = AIN4 00101b = AIN5 00110b = AIN6 00111b = AIN7 01000b = AIN8 (ADS1x4S18)、AVSS (ADS1x4S14) 01001b = AIN9 (ADS1x4S18)、AVSS (ADS1x4S14) 01010b = AIN10 (ADS1x4S18)、AVSS (ADS1x4S14) 01011b = AIN11 (ADS1x4S18)、AVSS (ADS1x4S14) 01100b = AIN12 (ADS1x4S18)、AVSS (ADS1x4S14) 01101b = AIN13 (ADS1x4S18)、AVSS (ADS1x4S14) 01110b = AIN14 (ADS1x4S18)、AVSS (ADS1x4S14) 01111b = AIN15 (ADS1x4S18)、AVSS (ADS1x4S14) 10000b = AIN16 (ADS1x4S18)、AVSS (ADS1x4S14) 10001b = AIN17 (ADS1x4S18)、AVSS (ADS1x4S14) 10010b = AVSS 10011b = AVSS 10100b = AVSS 10101b = AVSS 10110b = AVSS 10111b = AVSS 11000b = AVSS 11001b = AVSS 11010b = AVSS 11011b = AVSS 11100b = AVSS 11101b = AVSS 11110b = AVSS 11111b = オープン

Copyright © 2026 Texas Instruments Incorporated

8.2.3 STEPx_GAIN_REF_CFG レジスタ (アドレス = 02h) [リセット = 01h]

概略表に戻ります。

図 8-30. STEPx_GAIN_REF_CFG レジスタ

7	6	5	4	3	2	1	0
STEPx_REFP_BUF_EN	STEPx_REFN_BUF_EN	STEPx_REF_SEL[1:0]		STEPx_GAIN[3:0]			
R/W-0b	R/W-0b	R/W-00b		R/W-0001b			

表 8-35. STEPx_GAIN_REF_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	STEPx_REFP_BUF_EN	R/W	0b	正のリファレンス バッファの有効化 正のリファレンス バッファを有効化します。内部リファレンスまたはアナログ電源をリファレンス ソースとして選択する場合は、正側のリファレンス バッファを無効化します。 0b=ディセーブル 1b = イネーブル
6	STEPx_REFN_BUF_EN	R/W	0b	負のリファレンス バッファを有効化 負のリファレンス バッファを有効化します。内部リファレンスまたはアナログ電源をリファレンス ソースとして選択する場合は、負側のリファレンス バッファを無効化します。 0b=ディセーブル 1b = イネーブル
5:4	STEPx_REF_SEL[1:0]	R/W	00b	リファレンス電圧の選択 ADC のリファレンス電圧を選択します。外部電圧リファレンス入力ペア REFP1 と REFN1 を選択した場合は、GPIO6_CFG[1:0] = 00b と GPIO7_CFG[1:0] = 00b を設定します。 00b = 内部電圧リファレンス 01b = 外部電圧リファレンス (REFP0、REFN0) 10b = 外部電圧リファレンス (REFP1、REFN1) 11b = AVDD – AVSS
3:0	STEPx_GAIN[3:0]	R/W	0001b	PGA のゲインの選択 PGA のゲインを選択します。 0000b = 0.5 0001b = 1 0010b = 2 0011b = 4 0100b = 5 0101b = 8 0110b = 10 0111b = 16 1000b = 20 1001b = 32 1010b = 50 1011b = 64 1100b = 100 1101b = 128 1110b = 200 1111b = 256

Copyright © 2026 Texas Instruments Incorporated

8.2.4 STEPx_DIGITAL_CFG レジスタ (アドレス = 03h) [リセット = 00h]

概略表に戻ります。

図 8-31. STEPx_DIGITAL_CFG レジスタ

7	6	5	4	3	2	1	0
SPARE[1:0]		STEPx_CODING	STEPx_NUM_CONV[4:0]				
R/W-00b		R/W-0b	R/W-00000b				

表 8-36. STEPx_DIGITAL_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	SPARE[1:0]	R/W	00b	予備レジスタ ビット R/W ビットとして提供される、レジスタ マップ CRC をチェックする手段です。ビット設定は無効です。
5	STEPx_CODING	R/W	0b	変換データ コーディングの選択 変換データのコーディングを選択します。 0b = 2 の補数 1b = ユニポーラ ストレート バイナリ
4:0	STEPx_NUM_CONV[4:0]	R/W	00000b	変換番号の選択 このシーケンス ステップで実行する連続変換回数を決定します。このデバイスは、ステップごとに 1 回 (00000b) ～ 32 回 (11111b) の変換を実行できます。 SEQ_MODE[1:0] = 01b の場合、ビット フィールドは無効です。

Copyright © 2026 Texas Instruments Incorporated

8.2.5 STEPx_FLTR_CFG レジスタ (アドレス = 04h) [リセット = 01h]

概略表に戻ります。

図 8-32. STEPx_FLTR_CFG レジスタ

7	6	5	4	3	2	1	0
SPARE[1:0]		STEPx_FLTR_MODE	STEPx_FLTR_OSR[4:0]				
R/W-00b		R/W-0b	R/W-00001b				

表 8-37. STEPx_FLTR_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	SPARE[1:0]	R/W	00b	予備レジスタ ビット R/W ビットとして提供される、レジスタ マップ CRC をチェックする手段です。ビット設定は無効です。
5	STEPx_FLTR_MODE	R/W	0b	デジタル フィルタ モードの選択 最初の段のデジタル フィルタのタイプを選択します。 0b = Sinc4 1b = Sinc3
4:0	STEPx_FLTR_OSR[4:0]	R/W	00001b	デジタル フィルタ OSR またはデータ レートの選択 デジタル フィルタの OSR または出力データ レートを選択します。OSR が指定された設定の場合、出力データ レートは $f_{DATA} = f_{MOD}/OSR$ で計算されます。使用する Sinc フィルタ タイプは括弧で指定します。Sincx は STEPx_FLTR_MODE 設定に基づく Sinc3 または Sinc4 のいずれかのフィルタです。出力データ レート (f_{DATA}) を指定した設定では、デジタル フィルタは選択した速度モードに基づいて OSR を自動的に調整します。指定された出力データ レートは、f_{CLK} = 4.096MHz の公称クロック周波数で有効です。データ レートは、クロック周波数に比例します。20SPS と 25SPS の出力データ レートでは、デジタル フィルタは 50Hz と 60Hz のラインサイクル除去を行い、シングル サイクルは安定化します。 00000b = OSR = 8 (Sincx) 00001b = OSR = 16 (Sincx) 00010b = OSR = 24 (Sincx) 00011b = OSR = 32 (Sincx) 00100b = OSR = 64 (Sincx) 00101b = OSR = 128 (Sincx) 00110b = OSR = 256 (Sincx) 00111b = OSR = 512 (Sincx) 01000b = OSR = 640 (Sincx) 01001b = OSR = 1024 (Sincx) 01010b = OSR = 2048 (Sincx) 01011b = OSR = 4096 (Sincx) 01100b = OSR = 8192 (Sincx) 01101b = f_{DATA} = 60SPS (Sincx) 01110b = f_{DATA} = 50SPS (Sincx) 01111b = f_{DATA} = 16.7SPS (Sincx) 10000b = f_{DATA} = 10SPS (Sincx) 10001b = OSR = 64 (Sinc4 OSR = 32 + Sinc1 OSR = 2) 10010b = OSR = 128 (Sinc4 OSR = 32 + Sinc1 OSR = 4) 10011b = OSR = 256 (Sinc4 OSR = 32 + Sinc1 OSR = 8) 10100b = OSR = 512 (Sinc4 OSR = 32 + Sinc1 OSR = 16) 10101b = OSR = 640 (Sinc4 OSR = 32 + Sinc1 OSR = 20) 10110b = OSR = 1024 (Sinc4 OSR = 32 + Sinc1 OSR = 32) 10111b = OSR = 2048 (Sinc4 OSR = 32 + Sinc1 OSR = 64) 11000b = OSR = 4096 (Sinc4 OSR = 32 + Sinc1 OSR = 128) 11001b = OSR = 8192 (Sinc4 OSR = 32 + Sinc1 OSR = 256) 11010b = f_{DATA} = 60SPS (Sinc4 OSR = 32 + Sinc1) 11011b = f_{DATA} = 50SPS (Sinc4 OSR = 32 + Sinc1) 11100b = f_{DATA} = 16.7SPS (Sinc4 OSR = 32 + Sinc1) 11101b = f_{DATA} = 10SPS (Sinc4 OSR = 32 + Sinc1) 11110b = f_{DATA} = 25SPS (FIR) 11111b = f_{DATA} = 20SPS (FIR)

Copyright © 2026 Texas Instruments Incorporated

8.2.6 STEPx_DELAY_CFG レジスタ (アドレス = 05h) [リセット = 00h]

概略表に戻ります。

図 8-33. STEPx_DELAY_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み	STEPx_DELAY[6:0]						
R-0b	R/W-0000000b						

表 8-38. STEPx_DELAY_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済み 常に 0b を読み出す。
6:0	STEPx_DELAY[6:0]	R/W	0000000b	変換開始遅延時間の選択 シーケンス ステップの最初の変換開始前にシーケンサが追加する遅延時間を決定します。入力極性が切り替わるとき、この遅延はグローバル チョップ モードでの各変換にも適用されます。 n = STEPx_DELAY[6:0] ビット値 (0 ～ 127 の範囲) 追加遅延時間 = n^2 x t_{MOD} n = 0 の追加遅延時間は追加されません。デバイス固有の遅延時間のみが適用されます。 n ≥ 1 については、プログラムされた遅延時間がデバイス固有の遅延時間に加算されます。

Copyright © 2026 Texas Instruments Incorporated

8.2.7 STEPx_OFFSET_CAL_MSB レジスタ (アドレス = 06h) [リセット = 00h]

概略表に戻ります。

図 8-34. STEPx_OFFSET_CAL_MSB レジスタ

7	6	5	4	3	2	1	0
STEPx_OFFSET_CAL[23:16]							
R/W-00000000b							

表 8-39. STEPx_OFFSET_CAL_MSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STEPx_OFFSET_CAL[23:16]	R/W	00000000b	オフセット較正係数、MSB オフセット較正ビット [23:16]。STEPx_CODING ビットの設定に関係なく、STEPx_OFFEST_CAL[23:0] の値を 2 の補数形式で指定します。

Copyright © 2026 Texas Instruments Incorporated

8.2.8 STEPx_OFFSET_CAL_ISB レジスタ (アドレス = 07h) [リセット = 00h]

概略表に戻ります。

図 8-35. STEPx_OFFSET_CAL_ISB レジスタ

7	6	5	4	3	2	1	0
STEPx_OFFSET_CAL[15:8]							
R/W-00000000b							

表 8-40. STEPx_OFFSET_CAL_ISB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STEPx_OFFSET_CAL[15:8]	R/W	00000000b	オフセット較正係数、ISB オフセット較正ビット [15:8]。STEPx_CODING ビットの設定に関係なく、STEPx_OFFEST_CAL[23:0] の値を 2 の補数形式で指定します。

Copyright © 2026 Texas Instruments Incorporated

8.2.9 STEPx_OFFSET_CAL_LSB レジスタ (アドレス = 08h) [リセット = 00h]

概略表に戻ります。

図 8-36. STEPx_OFFSET_CAL_LSB レジスタ

7	6	5	4	3	2	1	0
STEPx_OFFSET_CAL[7:0]							
R/W-00000000b							

表 8-41. STEPx_OFFSET_CAL_LSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STEPx_OFFSET_CAL[7:0]	R/W	00000000b	オフセット較正係数、LSB オフセット較正ビット [7:0]。STEPx_CODING ビットの設定に関係なく、STEPx_OFFEST_CAL[23:0] の値を 2 の補数形式で指定します。16 ビット デバイス バージョン (ADS114S1x) の場合、STEPx_OFFSET_CAL[7:0] ビットを 00h に設定します。

8.2.10 STEPx_GAIN_CAL_MSB レジスタ (アドレス = 09h) [リセット = 40h]

概略表に戻ります。

図 8-37. STEPx_GAIN_CAL_MSB レジスタ

7	6	5	4	3	2	1	0
STEPx_GAIN_CAL[15:8]							
R/W-01000000b							

表 8-42. STEPx_GAIN_CAL_MSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STEPx_GAIN_CAL[15:8]	R/W	01000000b	ゲイン較正係数、MSB ゲイン較正ビット [15:8]。STEPx_GAIN_CAL[15:0] の値をストレート バイナリ形式で指定します。このデバイスは、STEPx_GAIN_CAL[15:0] レジスタ値を 4000h で除算し、結果に変換データを乗算します。

Copyright © 2026 Texas Instruments Incorporated

8.2.11 STEPx_GAIN_CAL_LSB レジスタ (アドレス = 0Ah) [リセット = 00h]

概略表に戻ります。

図 8-38. STEPx_GAIN_CAL_LSB レジスタ

7	6	5	4	3	2	1	0
STEPx_GAIN_CAL[7:0]							
R/W-00000000b							

表 8-43. STEPx_GAIN_CAL_LSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STEPx_GAIN_CAL[7:0]	R/W	00000000b	ゲイン較正係数、LSB ゲイン較正ビット [7:0]。STEPx_GAIN_CAL[15:0] の値をストレート バイナリ形式で指定します。このデバイスは、STEPx_GAIN_CAL[15:0] レジスタ値を 4000h で除算し、結果に変換データを乗算します。

Copyright © 2026 Texas Instruments Incorporated

8.2.12 STEPx_SYSMON_CFG レジスタ (アドレス = 0Bh) [リセット = 00h]

概略表に戻ります。

図 8-39. STEPx_SYSMON_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み		STEPx_BOCS[1:0]		予約済み	STEPx_SYS_MON[2:0]		
R-00b		R/W-00b		R/W-0b	R/W-000b		

表 8-44. STEPx_SYSMON_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	00b	予約済み 常に 00b を読み出す。
5:4	STEPx_BOCS[1:0]	R/W	00b	バーンアウト電流のソースとシンクの選択 バーンアウト電流の電流源および電流シンクを有効化し、その値を選択します。グローバル チョップ モード (GC_EN = 1b) を使用する場合は、バーンアウト電流源を無効化してください。 00b=ディセーブル 01b = 0.2µA 10b = 1µA 11b = 10µA
3	予約済み	R/W	0b	予約済み 常に 0b を書き込み
2:0	STEPx_SYS_MON[2:0]	R/W	000b	システム モニタ入力の選択 PGA の入力として、システム モニタのひとつを選択します。システム モニタのひとつが選択されている場合、STEPx_AINP[4:0] ビットと STEPx_AINN[4:0] ビットは無効です。システム モニタが選択されている場合、アナログ入力は PGA から切断されます。STEPx_REF_SEL[1:0] ビットで選択した電圧リファレンスを、システム監視の測定に使用します。STEPx_SYS_MON[3:0]= 0011b または 0100b の場合、STEPx_REF_SEL[1:0] には前者の場合 01b 以外、後者の場合 10b 以外を選択します。STEPx_SYS_MON[3:0]= 0101b の場合、STEPx_REF_SEL[1:0] には 11b 以外を選択します。各測定について、STEPx_GAIN[3:0] ビットを使用して、適切なゲイン設定を選択します。測定用にシステム モニタを選択している場合、STEPx_OFFSET_CAL[23:0] と STEPx_GAIN_CAL[15:0] の値は無視されます。 000b = ディセーブル (モニタが選択されていません) 001b = 正負 PGA 入力を (AVDD + AVSS) / 2 に内部短絡 010b = 内蔵温度センサ 011b = 外部 (V_{REFP0} - V_{REFN0}) / 8 100b = 外部 (V_{REFP1} - V_{REFN1}) / 8 101b = (AVDD – AVSS) / 8 110b = (IOVDD – DGND) / 8 111b = V_{DLDO} /4

Copyright © 2026 Texas Instruments Incorporated

8.2.13 STEPx_IDAC_MAG_CFG レジスタ (アドレス = 0Ch) [リセット = 00h]

概略表に戻ります。

図 8-40. STEPx_IDAC_MAG_CFG レジスタ

7	6	5	4	3	2	1	0
STEPx_I2MAG[3:0]				STEPx_I1MAG[3:0]			
R/W-0000b				R/W-0000b			

表 8-45. STEPx_IDAC_MAG_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	STEPx_I2MAG[3:0]	R/W	0000b	IDAC2 の振幅の選択 励起電流源 IDAC2 の値を選択します。 0000b=ディセーブル 0001b = 1x IUNIT 0010b = 10x IUNIT 0011b = 20x IUNIT 0100b = 30x IUNIT 0101b = 40x IUNIT 0110b = 50x IUNIT 0111b = 60x IUNIT 1000b = 70x IUNIT 1001b = 80x IUNIT 1010b = 90x IUNIT 1011b = 100x IUNIT 1100b = 100x IUNIT 1101b = 100x IUNIT 1110b = 100x IUNIT 1111b = 100x IUNIT
3:0	STEPx_I1MAG[3:0]	R/W	0000b	IDAC1 の振幅の選択 励起電流源 IDAC1 の値を選択します。 0000b=ディセーブル 0001b = 1x IUNIT 0010b = 10x IUNIT 0011b = 20x IUNIT 0100b = 30x IUNIT 0101b = 40x IUNIT 0110b = 50x IUNIT 0111b = 60x IUNIT 1000b = 70x IUNIT 1001b = 80x IUNIT 1010b = 90x IUNIT 1011b = 100x IUNIT 1100b = 100x IUNIT 1101b = 100x IUNIT 1110b = 100x IUNIT 1111b = 100x IUNIT

Copyright © 2026 Texas Instruments Incorporated

8.2.14 STEPx_IDAC1_MUX_CFG レジスタ (アドレス = 0Dh) [リセット = 1Fh]

概略表に戻ります。

図 8-41. STEPx_IDAC1_MUX_CFG レジスタ

7	6	5	4	3	2	1	0
STEPx_IUNIT	予約済み			STEPx_I1MUX[4:0]			
R/W-0b	R-00b			R/W-11111b			

表 8-46. STEPx_IDAC1_MUX_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	STEPx_IUNIT	R/W	0b	IDAC ユニット電流の選択 励起電流源 IDAC1 と IDAC2 のユニット電流を選択します。 0b = IUNIT = 1µA 1b = IUNIT = 10µA
6:5	予約済み	R	00b	予約済み 常に 00b を読み出す。
4:0	STEPx_I1MUX[4:0]	R/W	11111b	IDAC1 出力ピンの選択 IDAC1 の出力ピンを選択します。IDAC1 と IDAC2 は、必要に応じて同じピンに配線できます。IDAC1 出力として使用されるアナログ入力は、引き続きアナログ入力またはリファレンス電圧入力として使用できます。 00000b = AIN0 00001b = AIN1 00010b = AIN2 00011b = AIN3 00100b = AIN4 00101b = AIN5 00110b = AIN6 00111b = AIN7 01000b = AIN8 (ADS1x4S18)、接続解除 (ADS1x4S14) 01001b = AIN9 (ADS1x4S18)、接続解除 (ADS1x4S14) 01010b = AIN10 (ADS1x4S18)、接続解除 (ADS1x4S14) 01011b = AIN11 (ADS1x4S18)、接続解除 (ADS1x4S14) 01100b = AIN12 (ADS1x4S18)、接続解除 (ADS1x4S14) 01101b = AIN13 (ADS1x4S18)、接続解除 (ADS1x4S14) 01110b = AIN14 (ADS1x4S18)、接続解除 (ADS1x4S14) 01111b = AIN15 (ADS1x4S18)、接続解除 (ADS1x4S14) 10000b = AIN16 (ADS1x4S18)、接続解除 (ADS1x4S14) 10001b = AIN17 (ADS1x4S18)、接続解除 (ADS1x4S14) 10010b = 接続解除 10011b = 接続解除 10100b = 接続解除 10101b = 接続解除 10110b = 接続解除 10111b = 接続解除 11000b = 接続解除 11001b = 接続解除 11010b = 接続解除 11011b = 接続解除 11100b = 接続解除 11101b = 接続解除 11110b = 接続解除 11111b = 接続解除

Copyright © 2026 Texas Instruments Incorporated

8.2.15 STEPx_IDAC2_MUX_CFG レジスタ (アドレス = 0Eh) [リセット = 1Fh]

概略表に戻ります。

図 8-42. STEPx_IDAC2_MUX_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み			STEPx_I2MUX[4:0]				
R-000b			R/W-11111b				

表 8-47. STEPx_IDAC2_MUX_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	000b	予約済み 常に 000b を読み出す。
4:0	STEPx_I2MUX[4:0]	R/W	11111b	IDAC2 出力ピンの選択 IDAC2 の出力ピンを選択します。IDAC1 と IDAC2 は、必要に応じて同じピンに配線できます。IDAC2 出力として使用されるアナログ入力は、引き続きアナログ入力またはリファレンス電圧入力として使用できます。 00000b = AIN0 00001b = AIN1 00010b = AIN2 00011b = AIN3 00100b = AIN4 00101b = AIN5 00110b = AIN6 00111b = AIN7 01000b = AIN8 (ADS1x4S18)、接続解除 (ADS1x4S14) 01001b = AIN9 (ADS1x4S18)、接続解除 (ADS1x4S14) 01010b = AIN10 (ADS1x4S18)、接続解除 (ADS1x4S14) 01011b = AIN11 (ADS1x4S18)、接続解除 (ADS1x4S14) 01100b = AIN12 (ADS1x4S18)、接続解除 (ADS1x4S14) 01101b = AIN13 (ADS1x4S18)、接続解除 (ADS1x4S14) 01110b = AIN14 (ADS1x4S18)、接続解除 (ADS1x4S14) 01111b = AIN15 (ADS1x4S18)、接続解除 (ADS1x4S14) 10000b = AIN16 (ADS1x4S18)、接続解除 (ADS1x4S14) 10001b = AIN17 (ADS1x4S18)、接続解除 (ADS1x4S14) 10010b = 接続解除 10011b = 接続解除 10100b = 接続解除 10101b = 接続解除 10110b = 接続解除 10111b = 接続解除 11000b = 接続解除 11001b = 接続解除 11010b = 接続解除 11011b = 接続解除 11100b = 接続解除 11101b = 接続解除 11110b = 接続解除 11111b = 接続解除

Copyright © 2026 Texas Instruments Incorporated

8.2.16 STEPx_GPIO_DATA_OUT レジスタ (アドレス = 0Fh) [リセット = 00h]

概略表に戻ります。

図 8-43. STEPx_GPIO_DATA_OUT レジスタ

7	6	5	4	3	2	1	0
STEPx_GPIO7_DAT_OUT	STEPx_GPIO6_DAT_OUT	STEPx_GPIO5_DAT_OUT	STEPx_GPIO4_DAT_OUT	STEPx_GPIO3_DAT_OUT	STEPx_GPIO2_DAT_OUT	STEPx_GPIO1_DAT_OUT	STEPx_GPIO0_DAT_OUT
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-48. STEPx_GPIO_DATA_OUT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	STEPx_GPIO7_DAT_OUT	R/W	0b	GPIO7 データ デジタル出力として設定されている場合の GPIO7 の書き込み値です。GPIO7 がデジタル入力として設定されている場合、このビット設定は無効です。 0b = Low 1b = High
6	STEPx_GPIO6_DAT_OUT	R/W	0b	GPIO6 データ デジタル出力として設定されている場合の GPIO6 の書き込み値です。GPIO6 がデジタル入力として設定されている場合、このビット設定は無効です。 0b = Low 1b = High
5	STEPx_GPIO5_DAT_OUT	R/W	0b	GPIO5 データ デジタル出力として設定されている場合の GPIO5 の書き込み値です。GPIO5 がデジタル入力として設定されている場合、このビット設定は無効です。 0b = Low 1b = High
4	STEPx_GPIO4_DAT_OUT	R/W	0b	GPIO4 データ デジタル出力として設定されている場合の GPIO4 の書き込み値です。GPIO4 がデジタル入力として構成されている場合、または $\overline{\text{FAULT}}$ をデータ ソースとして構成されている場合、ビット設定は影響されません。 0b = Low 1b = High
3	STEPx_GPIO3_DAT_OUT	R/W	0b	GPIO3 データ デジタル出力として設定されている場合の GPIO3 の書き込み値です。GPIO3 をデジタル入力として構成している場合、またはデータ ソースとする ALERT でデジタル出力として構成している場合、ビット設定は影響されません。 0b = Low 1b = High
2	STEPx_GPIO2_DAT_OUT	R/W	0b	GPIO2 データ デジタル出力として設定されている場合の GPIO2 の書き込み値です。GPIO2 がデジタル入力として設定されている場合、このビット設定は無効です。 0b = Low 1b = High
1	STEPx_GPIO1_DAT_OUT	R/W	0b	GPIO1 データ デジタル出力として設定されている場合の GPIO1 の書き込み値です。GPIO1 がデジタル入力として設定されている場合、このビット設定は無効です。 0b = Low 1b = High
0	STEPx_GPIO0_DAT_OUT	R/W	0b	GPIO0 データ デジタル出力として設定されている場合の GPIO0 の書き込み値です。GPIO0 がデジタル入力として設定されている場合、このビット設定は無効です。 0b = Low 1b = High

Copyright © 2026 Texas Instruments Incorporated

8.2.17 STEPx_COMPARATOR_HIGH_THRESHOLD_MSB レジスタ (アドレス = 10h) [リセット = 00h]

概略表に戻ります。

図 8-44. STEPx_COMPARATOR_HIGH_THRESHOLD_MSB レジスタ

7	6	5	4	3	2	1	0
STEPx_COMP_HIGH_TH[15:8]							
R/W-00000000b							

表 8-49. STEPx_COMPARATOR_HIGH_THRESHOLD_MSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STEPx_COMP_HIGH_TH[15:8]	R/W	00000000b	コンパレータの高スレッショルド、MSB コンパレータの高スレッショルド ビット [15:8]。STEPx_COMP_HIGH_TH[15:0] の値で、シーケンス ステップ x のデジタル コンパレータの高スレッショルドを設定します。変換結果が高スレッショルドを超えているため、アラート カウンタがインクリメントされます。STEPx_COMP_HIGH_TH_EN ビットで高スレッショルドを有効にします。スレッショルド値のコーディングは、STEPx_CODING ビットに従います。 ユニポーラ ストレート バイナリ:LSB サイズ = (V_{REF}) / (ゲイン x 2^{16}) バイポーラ 2 の補数:LSB サイズ = (2 x V_{REF}) / (Gain x 2^{16})

8.2.18 STEPx_COMPARATOR_HIGH_THRESHOLD_LSB レジスタ (アドレス = 11h) [リセット = 00h]

概略表に戻ります。

図 8-45. STEPx_COMPARATOR_HIGH_THRESHOLD_LSB レジスタ

7	6	5	4	3	2	1	0
STEPx_COMP_HIGH_TH[7:0]							
R/W-00000000b							

表 8-50. STEPx_COMPARATOR_HIGH_THRESHOLD_LSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STEPx_COMP_HIGH_TH[7:0]	R/W	00000000b	コンパレータの高スレッショルド、LSB コンパレータの高スレッショルド ビット [7:0]。STEPx_COMP_HIGH_TH[15:0] の値で、シーケンス ステップ x のデジタル コンパレータの高スレッショルドを設定します。変換結果が高スレッショルドを超えているため、アラート カウンタがインクリメントされます。STEPx_COMP_HIGH_TH_EN ビットで高スレッショルドを有効にします。スレッショルド値のコーディングは、STEPx_CODING ビットに従います。 ユニポーラ ストレート バイナリ:LSB サイズ = (V_{REF}) / (ゲイン x 2^{16}) バイポーラ 2 の補数:LSB サイズ = (2 x V_{REF}) / (Gain x 2^{16})

Copyright © 2026 Texas Instruments Incorporated

8.2.19 STEPx_COMPARATOR_LOW_THRESHOLD_MSB レジスタ (アドレス = 12h) [リセット = 00h]

概略表に戻ります。

図 8-46. STEPx_COMPARATOR_LOW_THRESHOLD_MSB レジスタ

7	6	5	4	3	2	1	0
STEPx_COMP_LOW_TH[15:8]							
R/W-00000000b							

表 8-51. STEPx_COMPARATOR_LOW_THRESHOLD_MSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STEPx_COMP_LOW_TH[15:8]	R/W	00000000b	コンパレータの低スレッショルド、MSB コンパレータの低スレッショルド ビット [15:8]。STEPx_COMP_LOW_TH[15:0] 値は、シーケンス ステップ x のデジタル コンパレータ低スレッショルドを設定します。変換結果が低スレッショルドを下回ると、アラート カウンタがインクリメントされます。STEPx_COMP_LOW_TH_EN ビットで低スレッショルドを有効にします。スレッショルド値のコーディングは、STEPx_CODING ビットに従います。 ユニポーラ ストレート バイナリ:LSB サイズ = (V_{REF}) / (ゲイン x 2^{16}) バイポーラ 2 の補数:LSB サイズ = (2 x V_{REF}) / (Gain x 2^{16})

Copyright © 2026 Texas Instruments Incorporated

8.2.20 STEPx_COMPARATOR_LOW_THRESHOLD_LSB レジスタ (アドレス = 13h) [リセット = 00h]

概略表に戻ります。

図 8-47. STEPx_COMPARATOR_LOW_THRESHOLD_LSB レジスタ

7	6	5	4	3	2	1	0
STEPx_COMP_LOW_TH[7:0]							
R/W-00000000b							

表 8-52. STEPx_COMPARATOR_LOW_THRESHOLD_LSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STEPx_COMP_LOW_TH[7:0]	R/W	00000000b	コンパレータの低スレッショルド、LSB コンパレータの低スレッショルド ビット [7:0]。STEPx_COMP_LOW_TH[15:0] 値は、シーケンス ステップ x のデジタル コンパレータ低スレッショルドを設定します。変換結果が低スレッショルドを下回ると、アラート カウンタがインクリメントされます。STEPx_COMP_LOW_TH_EN ビットで低スレッショルドを有効にします。スレッショルド値のコーディングは、STEPx_CODING ビットに従います。 ユニポーラ ストレート バイナリ:LSB サイズ = (V_{REF}) / (ゲイン x 2^{16}) バイポーラ 2 の補数:LSB サイズ = (2 x V_{REF}) / (Gain x 2^{16})

Copyright © 2026 Texas Instruments Incorporated

8.2.21 STEPx_COMPARATOR_CFG レジスタ (アドレス = 14h) [リセット = 00h]

概略表に戻ります。

図 8-48. STEPx_COMPARATOR_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み				STEPx_COMP_NUM[1:0]		STEPx_COMP_HIGH_TH_EN	STEPx_COMP_LOW_TH_EN
R-0000b				R/W-00b		R/W-0b	R/W-0b

表 8-53. STEPx_COMPARATOR_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0000b	予約済み 常に 0000b を読み出す。
3:2	STEPx_COMP_NUM[1:0]	R/W	00b	コンパレータ アラート カウンタ スレッショルド COMP_ALERTn フラグでアラートが示される前に、シーケンス ステップ x の変換結果がコンパレータのスレッショルドを上回る必要がある連続変換回数。シーケンス ステップの開始時、または変換結果がスレッショルドを下回ると、内部アラート カウンタはリセットされます。 00b = 1 01b = 2 10b = 4 11b = 8
1	STEPx_COMP_HIGH_TH_EN	R/W	0b	コンパレータの高スレッショルドの有効化 デジタル コンパレータの高スレッショルドを有効化します。 0b=ディセーブル 1b = イネーブル
0	STEPx_COMP_LOW_TH_EN	R/W	0b	コンパレータの低スレッショルドの有効化 デジタル コンパレータの低スレッショルドを有効化します。 0b=ディセーブル 1b = イネーブル

Copyright © 2026 Texas Instruments Incorporated

8.2.22 STEPx_REG_MAP_CRC レジスタ (アドレス = 3Dh) [リセット = 0Eh]

概略表に戻ります。

図 8-49. STEPx_REG_MAP_CRC レジスタ

7	6	5	4	3	2	1	0
STEPx_REG_MAP_CRC_VALUE[7:0]							
R/W-00001110b							

表 8-54. STEPx_REG_MAP_CRC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STEPx_REG_MAP_CRC_VALUE[7:0]	R/W	00001110b	Step x 構成ページのレジスタ マップ CRC 値 この値は、レジスタ 00h ～ 14h のユーザーが計算した CRC 値です。

Copyright © 2026 Texas Instruments Incorporated

8.2.23 STEPx_PAGE_INDICATOR レジスタ (アドレス = 3Eh) [リセット = 00h]

概略表に戻ります。

図 8-50. STEPx_PAGE_INDICATOR レジスタ

7	6	5	4	3	2	1	0
STEPx_PAGE_INDICATOR[7:0]							
R-00000000b							

表 8-55. STEPx_PAGE_INDICATOR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STEPx_PAGE_INDICATOR[7:0]	R	00000000b	レジスタ ページ インジケータ レジスタ ページ インジケータを読み出し、レジスタの読み出しと書き込みに現在選択しているレジスタ ページを確認します。

Copyright © 2026 Texas Instruments Incorporated

8.2.24 STEPx_PAGE_POINTER レジスタ (アドレス = 3Fh) [リセット = 00h]

概略表に戻ります。

図 8-51. STEPx_PAGE_POINTER レジスタ

7	6	5	4	3	2	1	0
STEPx_PAGE_POINTER[7:0]							
R/W-00000000b							

表 8-56. STEPx_PAGE_POINTER レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STEPx_PAGE_POINTER[7:0]	R/W	00000000b	レジスタ ページ ポインタ レジスタ ページ ポインタを書き込んで、レジスタの読み書きに使用するレジスタページを選択します。

Copyright © 2026 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

9.1.1 シリアル インターフェイスの接続

図 9-1 は、ADS1x4S1x の基本的なインターフェース接続を示しています。点線は、オプションの接続を示します。この例では CLK ピンを DGND に接続して、内部発振器で動作させています。

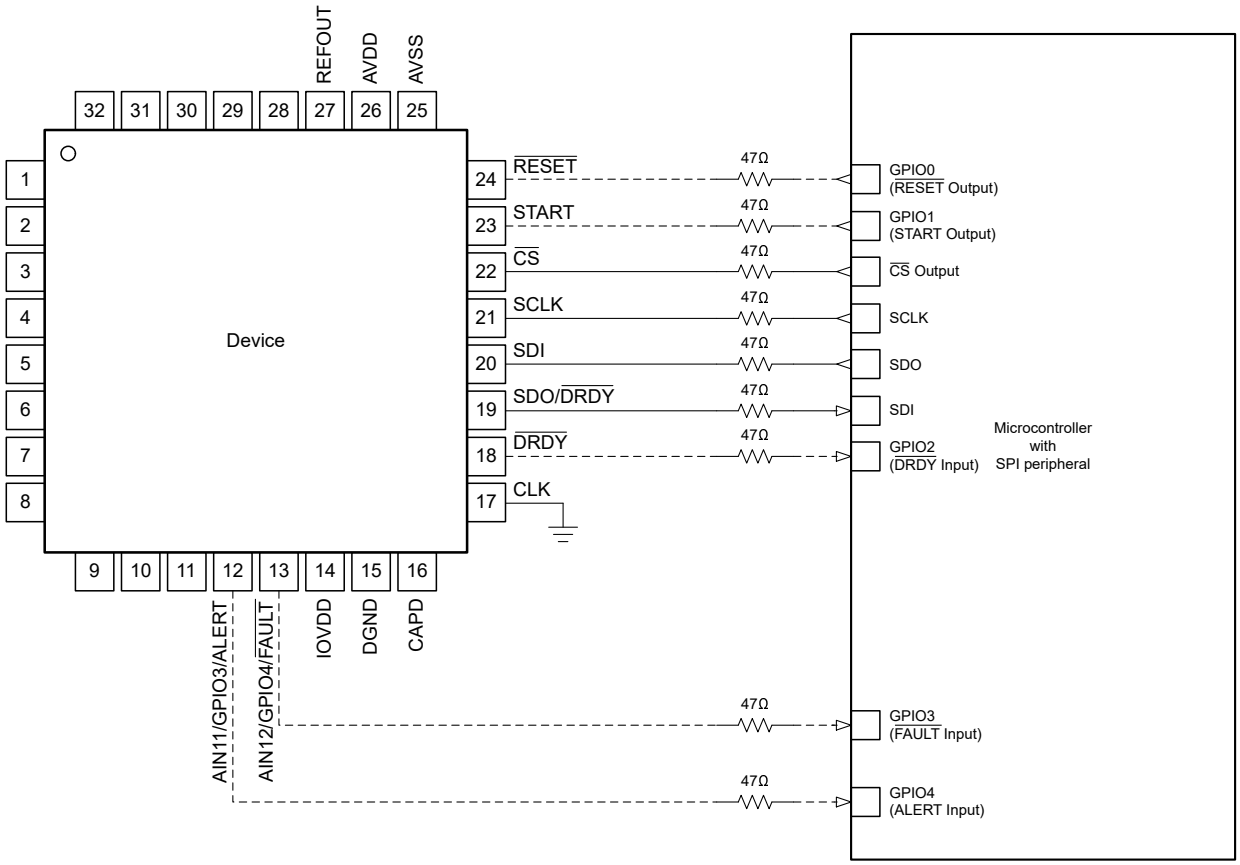


図 9-1. シリアル インターフェイスの接続

ほとんどのマイコン SPI ペリフェラルは、デバイスと接続できます。インターフェイスは、SPI 構成 (CPOL = 0、CPHA = 1) のみをサポートします。この構成では、SCLK はアイドル時に Low となり、データは SCLK の立ち上がりエッジで出力または変更され、SCLK の立ち下がりエッジでラッチまたは読み取られます。

$\overline{CS}$ ピンを永続的に DGND に接続することで、デバイスを 3 線式 SPI モードで動作させることができます。

以下のピン接続は任意です。

- $\overline{RESET}$ ピン
- START ピン

- 割り込みによる新しいデータ レディ表示が必要な場合は、専用の $\overline{\text{DRDY}}$ ピンを、ホスト コントローラの立ち下がりエッジ トリガ割り込みに対応している GPIO に配線します。
- 故障フラグによる故障表示のほかに、ピンによる故障表示が必要な場合に備えて、$\overline{\text{FAULT}}$ ピンをホスト コントローラに接続します。このため GPIO4/$\overline{\text{FAULT}}$ ピンを $\overline{\text{FAULT}}$ 出力として構成します (GPIO4_CFG = 10b または 11b、GPIO4_SRC = 1b)。$\overline{\text{FAULT}}$ ピンがオープン ドレイン出力として構成されている場合は、このピンに IOVDD へのプルアップ抵抗を追加します。
- COMP_ALERTn フラグによる表示以外に、ピンによるデジタル コンパレータ ステータスの表示が必要な場合、ALERT ピンをホスト コントローラに接続します。そのためには、GPIO3/ALERT ピンを ALERT 出力として構成します (GPIO3_CFG = 10b または 11b、GPIO3_SRC = 1b)。ALERT ピンがオープン ドレイン出力として構成されている場合は、このピンに IOVDD へのプルアップ抵抗を追加します。

上記のオプション ピンを使用しない場合は、「未使用入出力」セクションのガイドラインに従ってください。

デバイスまたはマイコンのパワーアップ時に特定の信号レベルを駆動する必要がある場合、デジタル入力と出力信号ラインにプルアップ抵抗またはプルダウン抵抗を配置できます。

オプションとして、すべてのデジタル入出力ピンと直列に抵抗を配置します。標準的な直列抵抗値の範囲は 10Ω ～ 50Ω です。この抵抗は、鋭い信号遷移を平滑化し、オーバーシュートを抑制し、過電圧保護を提供します。追加の抵抗は、デジタル信号ライン上に存在するバス容量と相互作用するため、すべての SPI タイミング要件を満たすように注意する必要があります。

9.1.2 未使用入出力

未使用のデバイスピン接続については、以下のガイドラインに従ってください。

- 未使用のアナログ入力 (AINx) はフローティングのままにするか、AVSS に接続します。
- 未使用のアナログ入力 (REFPx, REFNx) はフローティングのままにするか、未使用のリファレンス入力を AVSS に接続します。
- 内部発振器を使用する場合は、CLK ピンを DGND に接続します。
- 変換開始を SPI で制御している場合は、START ピンを DGND に接続します。
- $\overline{\text{DRDY}}$ ピンを使わない場合はフローティングのままにするか、弱いプルアップ抵抗で $\overline{\text{DRDY}}$ ピンを IOVDD に接続します。
- ホストが $\overline{\text{RESET}}$ ピンを駆動しない場合は、$\overline{\text{RESET}}$ ピンを IOVDD に接続します。$\overline{\text{RESET}}$ ピンには IOVDD への内部プルアップ抵抗もあります。
- 未使用の GPIOx (x = 0 ～ 7) ピンを GPIOx_CONFIG[1:0] ビットを使用するハイ インピーダンス入力として構成し、未使用の GPIO ピンをフローティングのままにするか、AVSS に接続します。

Copyright © 2026 Texas Instruments Incorporated

9.1.3 複数のデバイスとのインターフェイス

ADS1x4S1x は、1 つの SPI バスで複数のデバイスを動作させるために次の 2 つの方法を備えています。

- *デイジー チェーン動作*セクションで説明されている、すべてのデバイスで単一の $\overline{CS}$ 信号を使用したデイジーチェーン接続。ホストのシリアル データ出力は、チェーン内の最初のデバイスの SDI に接続され、データを送信します。チェーン内の最初のデバイスの SDO 信号は、次のデバイスの SDI 信号に接続され、同様に順次接続されます。ホスト コントローラは、チェーン内の最後のデバイスの SDO 信号からデータを受信します。すべてのデバイスが同じ SCLK 信号を共有します。この方法では、ホストはチェーン内のすべてのデバイスと同時に通信できます。ただし、チェーンに接続されているデバイスの数に応じて、SPI フレームが非常に長くなる可能性があります。
- 図 9-2 に示すように、各デバイスに専用の $\overline{CS}$ 信号を使用します。この場合、すべてのデバイスが SCLK、SDI、SDO/$\overline{DRDY}$ 信号を共有します。$\overline{CS}$ が low のデバイスのみが、SDO/$\overline{DRDY}$ ピンを駆動します。他のすべてのデバイスの SDO/$\overline{DRDY}$ 出力は、$\overline{CS}$ が high になり、SDO ラインでの競合を避けるため、ハイ インピーダンス状態になります。ホストコントローラは、各デバイスと一度に 1 つずつ接続します。

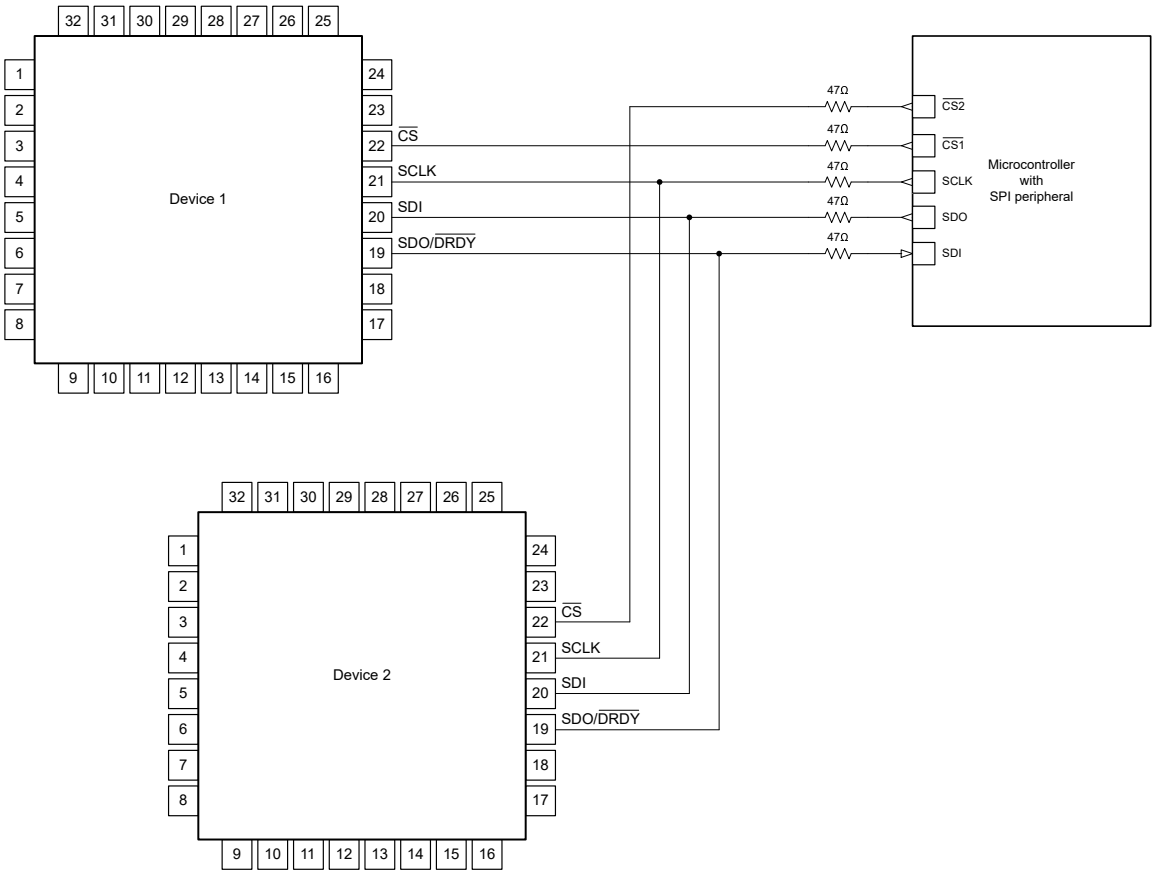


図 9-2. 個別の $\overline{CS}$ 信号を使用した複数のデバイス シリアル インターフェイス接続

9.1.4 デバイスの初期化とシーケンサの起動

図 9-3 と 図 9-4 それぞれに、ADS1x4S1x の初期化とシーケンサの起動に必要なシーケンス ステップを示します。この例では以下の式で計算されます。

- STATUS ヘッダの出力が有効化
- シーケンサ モード SEQ_MODE[1:0] = 11b と、有効な 2 つのシーケンス ステップ (ステップ 0 とステップ 1) を使用
- デバイスは専用の $\overline{\text{DRDY}}$ ピンを使用し、新しい変換データがホスト コントローラに使用可能かどうかを提示

ホスト コントローラの SPI を CPOL = 0 および CPHA = 1 に構成します。デバイスの $\overline{\text{DRDY}}$ ピンに接続するホスト コントローラ GPIO を、立ち下がりエッジ トリガ割り込み入力として構成します。

Copyright © 2026 Texas Instruments Incorporated

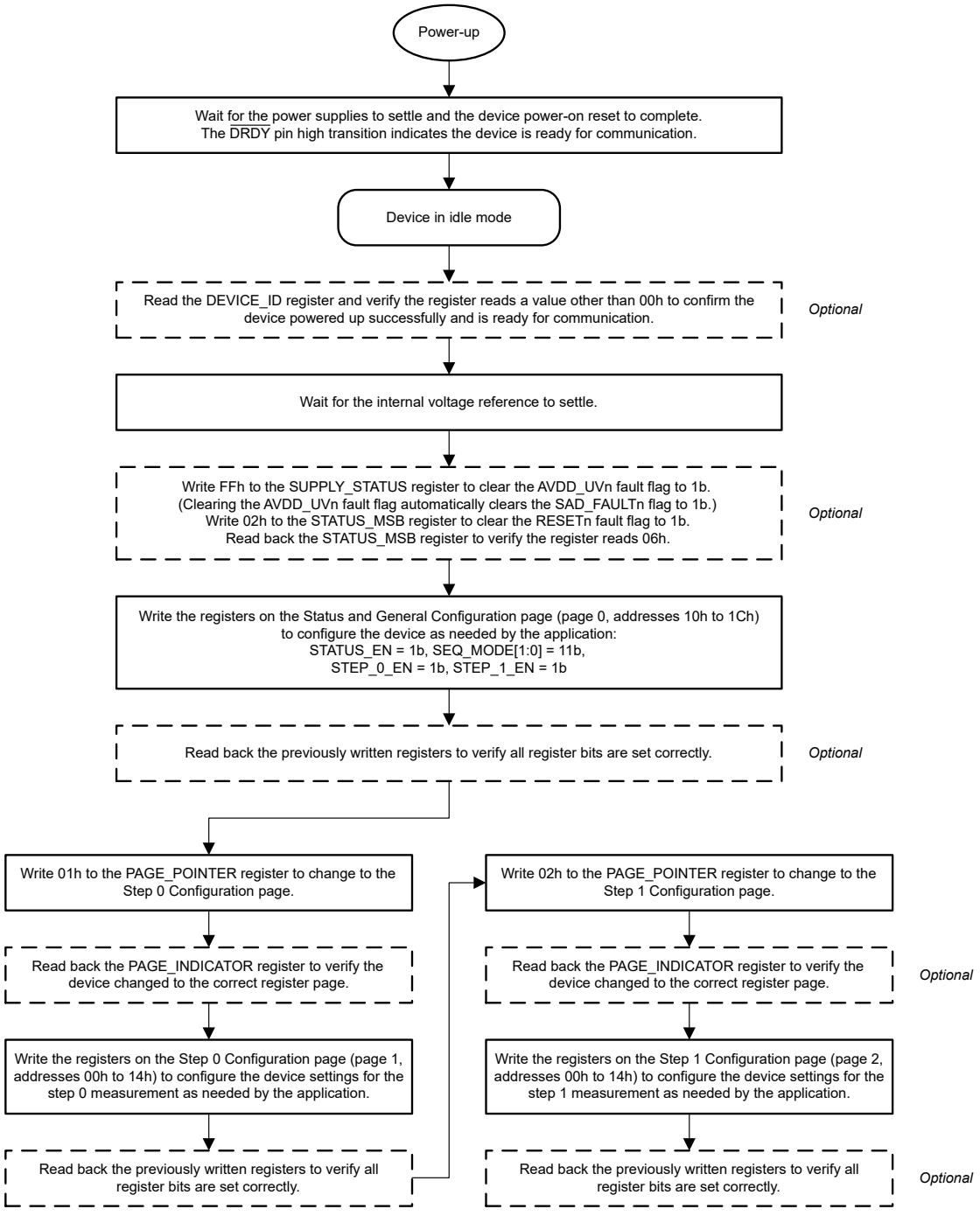


図 9-3. デバイス初期化フローチャート

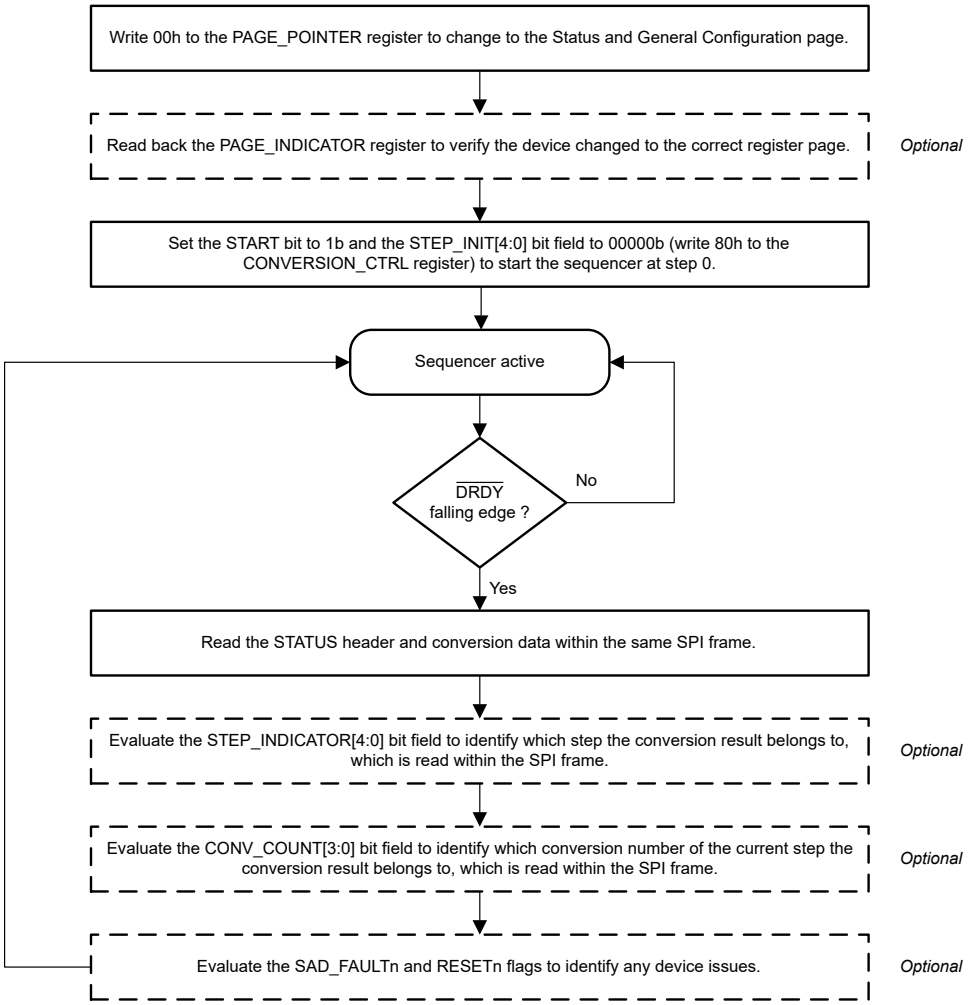


図 9-4. シーケンサ起動と変換データ読み取りフロー チャート

Copyright © 2026 Texas Instruments Incorporated

9.1.5 シーケンサの構成方針の例

以下のセクションでは、他のシーケンス ステップ構成よりも 1 段階構成を頻繁に測定する必要がある場合に、シーケンサを構成するための 2 つの方針を説明します。アプリケーションに 3 種類の測定 (A、B、C) が必要で、各測定で異なるステップ構成が必要だと仮定します。構成 A は、構成 B と C の 2 倍の頻度で測定する必要があります。つまり目的の測定シーケンスは A-B-A-C になります。さらに構成 A では 10 回の連続測定を行う必要がありますが、構成 B と C ではそれぞれ 1 回の測定のみが必要です。この例のシーケンスは、次の 2 つの方法のいずれかで実装できます。

1. ステップ構成ページを次のように設定します。
   - ステップ 0 = 構成 A (STEP0_NUM_CONV[4:0] = 01001b)
   - ステップ 1 = 構成 B (STEP1_NUM_CONV[4:0] = 00000b)
   - ステップ 2 = 構成 A (STEP2_NUM_CONV[4:0] = 01001b)
   - ステップ 3 = 構成 C (STEP3_NUM_CONV[4:0] = 00000b)

   STEP_0_EN を STEP_3_EN ビットに使用してステップ 0 ～ 3 を有効にし、シーケンサをモード SEQ_MODE[1:0] = 11b に構成します。次にステップ 0 からシーケンサを開始します。シーケンサは、ホストに停止されるまでシーケンス A-B-A-C-A-B-A-B-A-C を実行します。

2. ステップ構成ページを次のように設定します。
   - ステップ 0 = 構成 A (STEP0_NUM_CONV[4:0] = 01001b)
   - ステップ 1 = 構成 B (STEP1_NUM_CONV[4:0] = 00000b)
   - ステップ 2 = 構成 C (STEP2_NUM_CONV[4:0] = 00000b)

   STEP_0_EN を STEP_2_EN ビットに使用してステップ 0 ～ 2 を有効にし、シーケンサをモード SEQ_MODE[1:0] = 00b に構成します。ホストは各シーケンス ステップを個別に開始し、目的のシーケンスを実行します。
   - ステップ 0 を開始し (CONVERSION_CTRL レジスタに 80h を書き込む)、次の 10 個の変換結果を読み出します。
   - ステップ 1 を開始し (CONVERSION_CTRL レジスタに 84h を書き込む)、次の変換結果を読み出します。
   - ステップ 0 を開始し (CONVERSION_CTRL レジスタに 80h を書き込む)、次の 10 個の変換結果を読み出します。
   - ステップ 2 を開始し (CONVERSION_CTRL レジスタに 88h を書き込む)、次の変換結果を読み出します。
   - ステップ 0 などを開始します。

   デバイスが提供する 24 のシーケンス ステップが、最初のオプションを使用してアプリケーションの特定のシーケンス要件を実装するのに十分でない場合には、この 2 番目のオプションを使用します。この 2 番目のオプションを使用するもう 1 つのケースは、プログラム可能なユーザー遅延によって、目的のシーケンス ステップ タイミングを実装するための粒度や柔軟性が得られない場合です。

Copyright © 2026 Texas Instruments Incorporated

9.2 代表的なアプリケーション

9.2.1 ソフトウェアで構成可能な RTD 測定入力

ADS1x4S1x は、比率測定方式の RTD 測定入力モジュールを実装するために必要なすべての機能(励起電流源、バッファ付き外部リファレンス入力、PGA など) を統合しており、ソフトウェア設定によって 2 線式、3 線式、および 4 線式 RTD に対応します。図 9-5 は、ソフトウェアで構成可能な RTD 測定入力モジュールの実装例を示します。

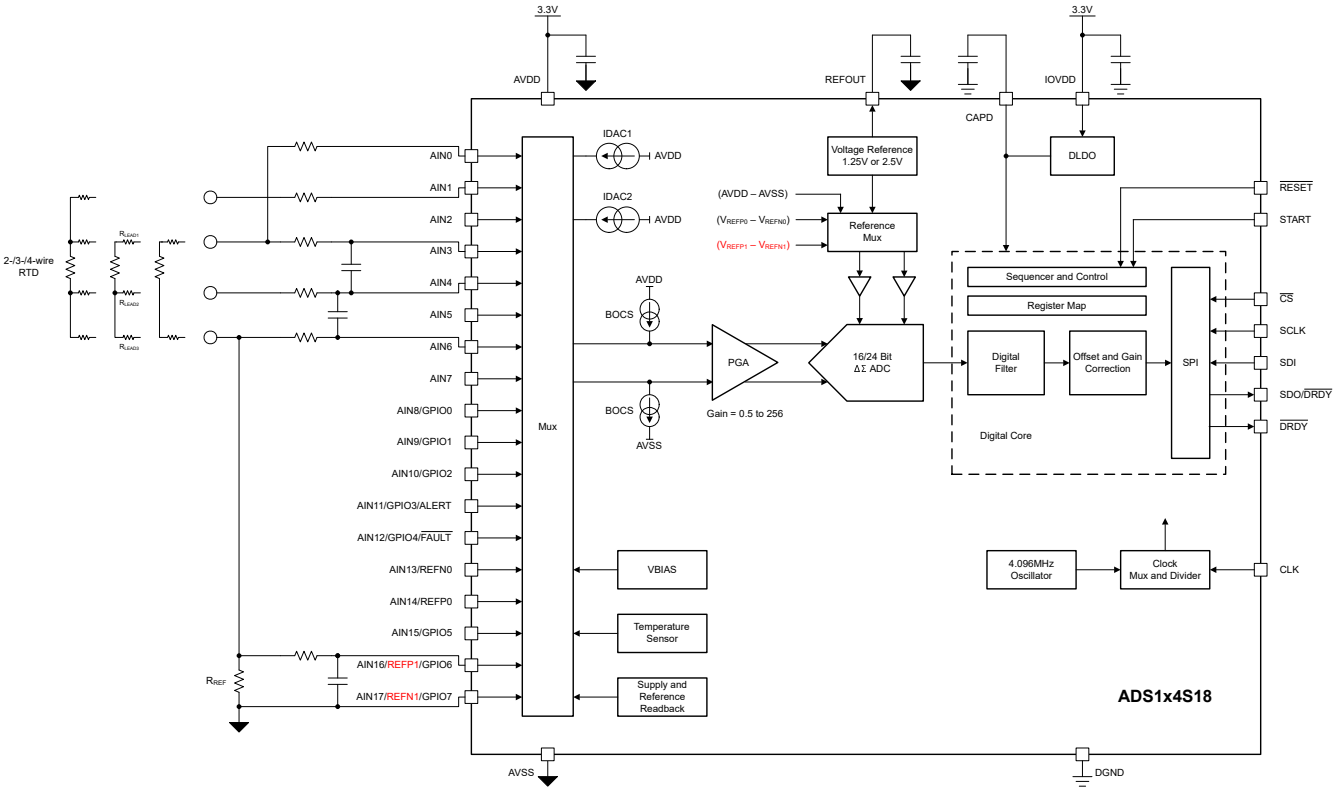


図 9-5. ソフトウェアで構成可能な RTD 測定入力

9.2.1.1 設計要件

表 9-1. 設計パラメータ

設計パラメータ	値
電源電圧	3.3V
サポートされる RTD タイプ	2 線式、3 線式、4 線式 Pt100
消費電流	500µA (最大値)
温度の測定範囲	–200°C ～ +850°C
T_A = 25°C での測定の正確性	±0.1°C
50Hz または 60Hz (±1Hz) でのラインサイクル除去	80dB (最小値)
RTD 端子での最大過電圧	±10V

9.2.1.2 詳細な設計手順

図 9-5 の回路では、レシオメトリック測定構成が採用されています。つまり、センサ信号 (この場合は RTD 両端の電圧) と ADC 用のリファレンス電圧は、同一の励起源から生成されます。そのため、励起源の温度ドリフトやノイズに起因する誤差は、センサ信号とリファレンスの両方に共通で現れるため、相殺されます。

Copyright © 2026 Texas Instruments Incorporated

このデバイスでレシオメトリック RTD 測定を実装するには、STEPx_I1MUX[4:0] ビットを使用して、IDAC1 を AIN1 (4 線式 RTD 接続の場合) または AIN0 (2 線式と 3 線式 RTD 接続の場合) にルーティングします。STEPx_IUNIT と STEPx_I1MAG[3:0] ビットを使用して、励起電流源の値を選択します。励起電流は RTD を流れ、高精度で低ドリフトの基準抵抗 R_{REF} をグランドに接続します。リファレンス抵抗の両端で生成される電圧 V_{REF} が、ADC リファレンス電圧として使用されます (式 21 を参照)。その目的のために、STEPx_REF_SEL[1:0] ビットを使用して、REFP1 ピンと REFN1 ピン間の外部電圧リファレンスを選択します。

$$V_{REF} = I_{IDAC1} \times R_{REF} \quad (21)$$

以下の説明を簡単にするため、RTD の個別のリード抵抗値 (R_{LEADx}) をゼロに設定します。式 22 に示すように、IDAC1 は RTD を励起し、温度依存 RTD 値と IDAC1 値に比例する電圧 (V_{RTD}) を生成します。

$$V_{RTD} = R_{RTD} \times I_{IDAC1} \quad (22)$$

次の RTD の種類に応じて、STEPx_AINP[4:0] と STEPx_AINN[4:0] ビットを使用し、V_{RTD} を測定するためのアナログ入力を選択します。

- 2 線式 RTD の場合、AIN_P = AIN3 と AIN_N = AIN6 の間を測定します。
- 3 線式または 4 線式 RTD の場合、AIN_P = AIN3 と AIN_N = AIN4 の間を測定します。

このデバイスは、PGA を使用して RTD 両端の電圧を内部的に増幅し、結果として得られた電圧を基準電圧と比較して、式 23 に従ってデジタル出力コードを生成します。

$$Code / 2^n = V_{RTD} \times Gain / V_{REF} = (R_{RTD} \times I_{IDAC1} \times Gain) / (I_{IDAC1} \times R_{REF}) \quad (23)$$

$$Code / 2^n = (R_{RTD} \times Gain) / R_{REF} \quad (24)$$

ここで、n は選択した符号化方式および ADC の分解能に依存します:

- n = 15 (16 ビット ADC、バイナリ 2 の補数形式)
- n = 16 (16 ビット ADC、ユニポーラ ストレート バイナリ形式)
- n = 23 (24 ビット ADC、バイナリ 2 の補数形式)
- n = 24 (24 ビット ADC、ユニポーラ ストレート バイナリ形式)

式 24 に示すように、出力コードは RTD の値、PGA ゲイン、基準抵抗 (R_{REF}) に依存しますが、IDAC1 の値には依存しません。したがって、励起電流の絶対精度や温度ドリフトは問題になりません。ただし、リファレンス抵抗の値は測定結果に直接影響するため、R_{REF} で生じる測定誤差を制限するには、良好な初期精度と温度係数が非常に小さいリファレンス抵抗を選択することが重要です。

リファレンス抵抗 R_{REF} は、デバイスのリファレンス電圧を生成するだけでなく、RTD のリード電圧を PGA の規定された絶対入力電圧範囲内に設定します。これは、PGA のゲインが 10 を超える場合に重要です。というのも、ゲインが 10 を超える設定では、PGA が動作するために GND からのヘッドルームが必要になるためです。

回路を設計するときは、IDAC のコンプライアンス電圧要件も満たすように注意する必要があります。IDAC が正確に動作するためには、電流経路から GND に向かって生じる最大電圧降下が、規定されたコンプライアンス電圧以下である必要があります。

設計要件 で述べたように、この設計例では、–200°C から +850°C の温度範囲を測定する Pt100 素子の回路実装について説明します。この例の必要な電力バジェットを満たすために、Pt100 の励起電流は I_{IDAC1} = 400µA を選択します。前述のように、R_{REF} の両端の電圧は、ADC の基準電圧を生成するほか、RTD 測定の絶対入力電圧も設定します。一般に、IDAC のコンプライアンス電圧を維持し、かつ PGA の絶対入力電圧要件を満たす範囲で、可能な限り高いリファレンス電圧を選択します。同相電圧をアナログ電源の半分またはそれ以下に設定することが、設計の出発点として適切です。この例では、目標同相電圧として 1.6V を使用します。したがって、R_{REF} の値は 式 25 を用いて計算します。温度および時間の変化に対して優れた測定精度を達成するには、R_{REF} の安定性が重要です。

$$R_{REF} = V_{REF} / I_{IDAC1} = 1.6V / 400\mu A = 4k\Omega \quad (25)$$

Copyright © 2026 Texas Instruments Incorporated

最後のステップとして、ADC の FSR への最大入力信号に一致するように PGA ゲインを選択します。Pt100 の抵抗値は温度とともに上昇します。したがって、測定する最大電圧 (V_{INMAX}) は極端な正温度のときに発生します。850°C では、NIST の表に基づくと、Pt100 の等価抵抗は約 391Ω です。Pt100 両端の電圧は式 26 と等しくなります:

$$V_{INMAX} = V_{RTD\ (at\ 850°C)} = R_{RTD\ (at\ 850°C)} \times I_{IDAC1} = 391\Omega \times 400\mu A = 156.4mV \quad (26)$$

1.6V のリファレンス電圧を使用した場合に適用可能な最大ゲインは、(1.6V/156.4mV) = 10.23 と計算されます。ADS1x4S1x で利用可能な、次に小さい PGA ゲイン設定は 10 です。ゲインが 10 のとき、このデバイスは式 27 に示すような FSR 値を提供します:

$$FSR = \pm V_{REF} / Gain = \pm 1.6V / 10 = \pm 160mV \quad (27)$$

この範囲により、IDAC とリファレンス抵抗の初期精度やドリフトに対するマージンを確保できます。

ADC の消費電力を最小限に抑えるため、速度モード 0 (f_{MOD} = 32kHz) は、SPEED_MODE[1:0] ビットを使って選択します。また 50Hz と 60Hz におけるライン サイクル除去要件を満たすため、STEPx_FLTR_OSR[4:0] ビットを使用して 20SPS の出力データ レートを選択します。同じ 20SPS の出力データ レート設定を持つ高速モードを選択した場合、測定分解能 (ADC ノイズで決定) はその代償として消費電力が増加します。ただし、測定 *精度* (ゲイン誤差やオフセット誤差などの ADC DC 誤差によって決定) は、速度モード設定にほとんど影響されません。

アナログ入力および正のリファレンス入力に直列に入れる抵抗の主な目的は、過電圧状態からデバイス入力を保護することです。アプリケーションにおいて RTD 端子に過電圧状態が発生する可能性がある場合は、アナログ入力および正のリファレンス入力に流れ込む電流が 10mA 未満に制限されるよう、直列抵抗の値を選択します。この例では、RTD 端子に最大 ±10V の過電圧が印加された場合でも入力電流を 5mA 未満に制限するため、2.2kΩ の直列抵抗値を選択しています。抵抗値を選択するときは、直列抵抗とアナログ入力およびリファレンス入力への入力電流との相互作用を考慮します。直列抵抗の両端で発生する電圧降下は、オフセット誤差の可能性があります。さらに、直列抵抗は入力コンデンサと組み合わせることで、一次の RC アンチエイリアシング フィルタを形成します。デルタシグマ ADC では、RC フィルタの正確なコーナー周波数はそれほど重要ではありません。一般的な推奨事項は、ADC の変調器周波数の 10 分の 1 以上低いコーナー周波数を選択することです。

IDAC、R_{REF}、PGA ゲイン、直列抵抗の値を選択した後で、その設定が PGA の絶対入力電圧要件および IDAC のコンプライアンス電圧を満たしていることを再確認します。計算には、RTD のリード抵抗および IDAC1 出力ピンにある直列抵抗により、IDAC1 で生じる電圧降下を含めます。

この例では、2 段階測定手法を実装することで、3 線式 RTD に対するリード線補償を実現しています。

1. 手順 1 で、AIN3 と AIN4 の間の電圧 (V_1) を測定します。
2. 2 番目の測定ステップで、AIN3 と AIN6 の間の電圧 (V_2) を測定します。

式 28 と式 29 に、2 つの測定値を示します。

$$V_1 = I_{IDAC1} (R_{LEAD1} + R_{RTD}) \quad (28)$$

$$V_2 = I_{IDAC1} (R_{LEAD1} + R_{RTD} + R_{LEAD3}) \quad (29)$$

3 本すべてのリード抵抗が同じ値 R_{LEAD} を持つと仮定するのは妥当です。そのため、リード線補償 RTD 電圧を計算するには、式 30 を使用します。

$$V_{RTD} = 2 \times V_1 – V_2 = 2 \times [I_{IDAC1} (R_{LEAD} + R_{RTD})] – I_{IDAC1} (2 \times R_{LEAD} + R_{RTD}) = I_{IDAC1} \times R_{RTD} \quad (30)$$

表 9-2 に、この設計例の各種測定における重要なレジスタ ビット設定を示します。

Copyright © 2026 Texas Instruments Incorporated

表 9-2. RTD 測定レジスタ ビットの設定

レジスタ ビット	2-WIRE RTD	3-WIRE RTD		4-WIRE RTD
		V_1	V_2	
SPEED_MODE[1:0]	00b (スピード モード 0)			
STEPx_FLTR_OSR[4:0]	11111b (f_{DATA} = 20SPS)			
STEPx_GAIN[3:0]	0110b (ゲイン = 10)			
STEPx_REFP_BUF_EN	1b (REFP バッファが有効)			
STEPx_REFN_BUF_EN	0b (REFN バッファが無効)			
STEPx_REF_SEL[1:0]	10b (REFP1 と REFN1 の間の外部リファレンス)			
STEPx_IUNIT	1b (IUNIT = 10µA)			
STEPx_I1MAG[3:0]	0101b (I_{IDAC1} = 40 × IUNIT)			
STEPx_I1MUX[4:0]	00000b (AIN0)	00000b (AIN0)	00000b (AIN0)	00001b (AIN1)
STEPx_AINP[4:0]	00011b (AIN3)	00011b (AIN3)	00011b (AIN3)	00011b (AIN3)
STEPx_AINN[4:0]	00110b (AIN6)	00100b (AIN4)	00110b (AIN6)	00100b (AIN4)

RTD 測定回路と TI ADC を使用した実装の詳細については、*RTD 測定に関する基本的なガイド* アプリケーション ノートを参照してください。ADS1x4S1x に内蔵されている機能と類似の機能を使用したセンサ故障検出のさまざまな方針については、*高精度デルタ シグマ ADC を使用した RTD 断線検出*アプリケーション ノートで説明しています。ホスト コントローラ上で RTD の線形化アルゴリズムを実装する方法を示した、C コードによるソフトウェア ライブラリがこちらに用意されています。

9.2.1.3 アプリケーション特性の波形

図 9-6 および図 9-7 に、4 線式 Pt100 の測定結果を示します。測定は、4 線式 Pt100 の代わりに高精度抵抗を使用して、T_A = 25°C で行われます。図 9-6 は、キャリブレーションなしの場合と、システムのオフセットおよびゲイン キャリブレーション後の抵抗測定誤差の両方を示しています。図 9-7 のそれぞれの温度測定誤差は、NIST 表を使用して、図 9-6 のオフセットおよびゲイン誤差の補正データから計算されます。

この設計は、設計要件 に示す必要な温度測定精度を満たしています。ただし、図 9-7 に示す測定誤差には、RTD の誤差は含まれていません。

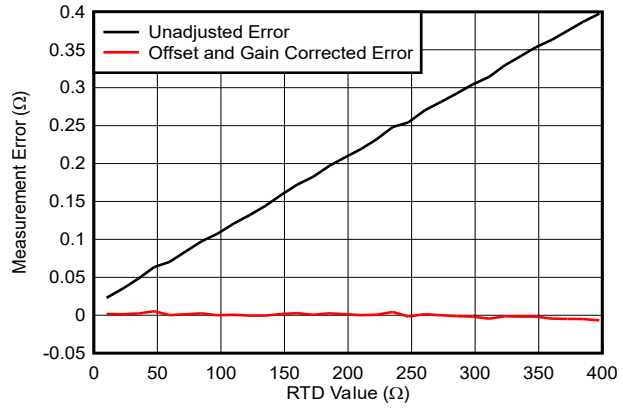


図 9-6. 抵抗測定誤差と RTD 抵抗との関係

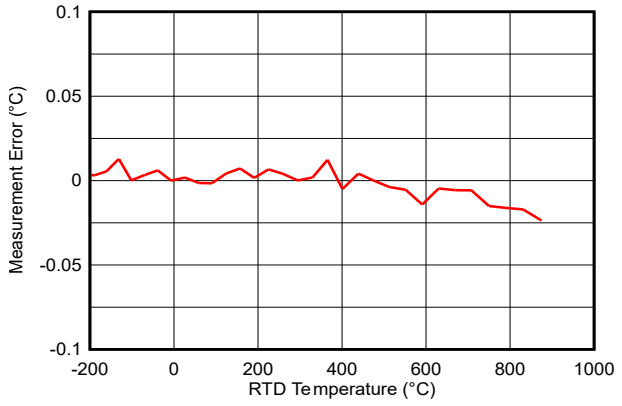


図 9-7. 温度測定誤差と RTD 温度との関係

9.2.1.4 設計バリアント – 3 つの IDAC を使用した自動リード ワイヤ補償付き 3 線式 RTD 測定

図 9-5 に示す回路実装では、3 線式 RTD の導線抵抗を補償するため、2 回の測定が必要です。または、2 番目の IDAC を利用して、図 9-8 に示すように、3 線式 RTD リード線自動補償を実装します。これにより、個別の導線抵抗測定ステップは必要ありません。

Copyright © 2026 Texas Instruments Incorporated

そのため、IDAC2 を AIN7 にルーティングし、AIN7 を AIN4 の手前にある直列抵抗に端子が接続されるポイントへ接続します。この構成では、両方の励起電流値を 400µA から 200µA に変更する(または基準抵抗値を 4kΩ から 2kΩ に変更する) とともに、PGA ゲインを 10 から 20 に変更します。AIN3 と AIN4 間の単一の測定で、リード ワイヤ補償された RTD 値を取得するのに十分です。この実装での 3 線式 RTD の抵抗を計算するには、式 31 を使用します。

$$\text{Code} / 2^{n} = (R_{RTD} \times \text{Gain}) / (2 \times R_{REF}) \quad (31)$$

ここで、n は式 24 のガイドラインに従います。

詳細については、*RTD 測定に関する基本的なガイド*アプリケーション ノートを参照してください。

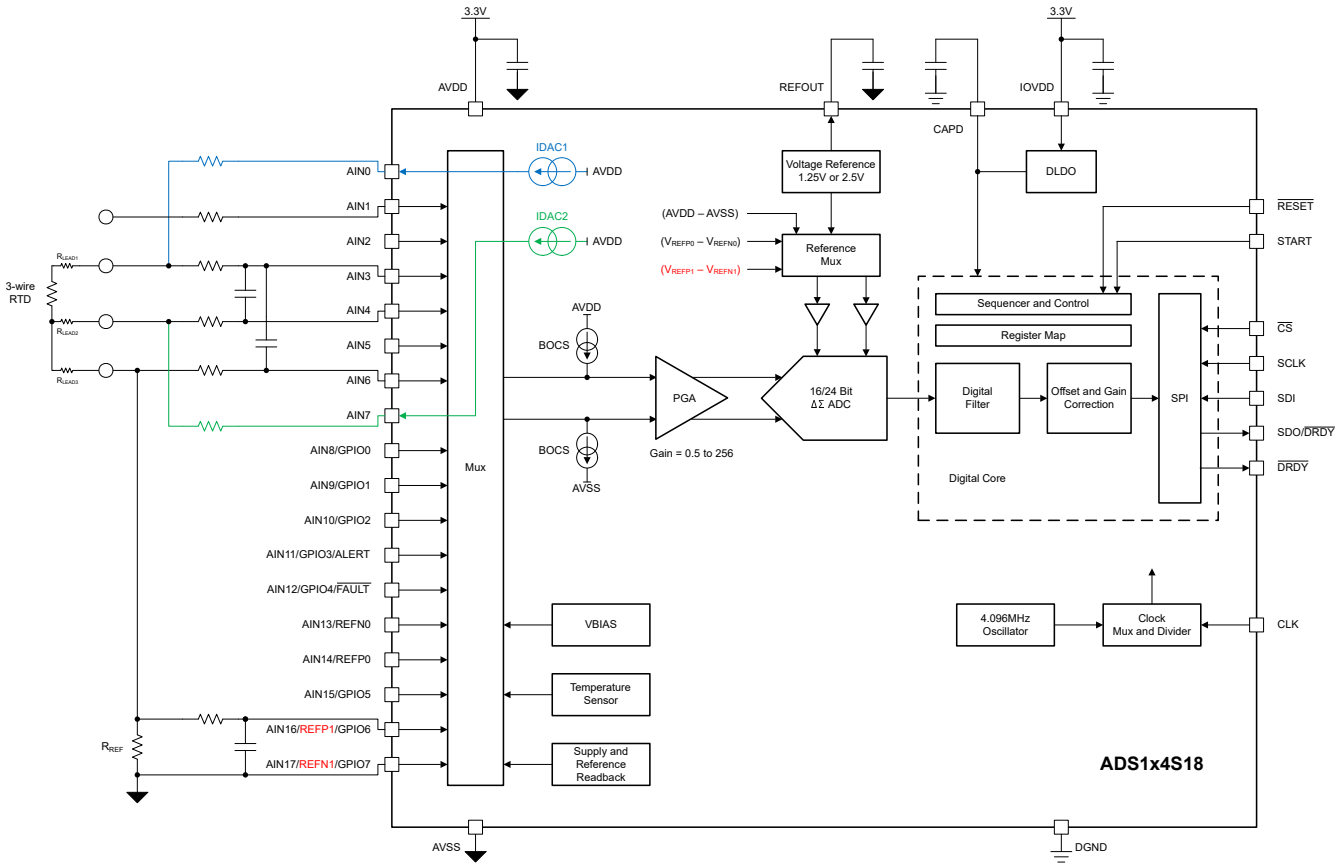


図 9-8. 自動リード ワイヤ補償のために 2 つの IDAC を使用した 3 線式 RTD 測定の実装

Copyright © 2026 Texas Instruments Incorporated

9.2.2 2 線式 RTD を使用した冷接点補償による熱電対測定

図 9-9 は、冷接点温度測定に 2 線式 RTD を用いた熱電対測定の実装を示します。ADS1x4S1x では、冷接点温度を測定する他の方法も使用できます。例えば、サーミスタ (TMP61 など)、アナログ出力温度センサ (LMT70A など)、または内蔵温度センサを使用する方法があります。

式 32 に、ADC コードと、AIN4 と AIN5 の間で測定された熱電対電圧 (V_{TC}) との関係を示します。

$$Code / 2^n = (V_{TC} \times Gain) / V_{REF} \quad (32)$$

ここで、n は式 24 のガイドラインに従います。

回路実装における重要な点の 1 つは、熱電対の端子電圧が ADS1x4S1x の入力電圧要件を満たすように、熱電対にバイアスを与えることです。この例では、RC フィルタの前段にあるプルアップおよびプルダウン抵抗 (通常 1MΩ ～ 10MΩ の範囲) を使用して、熱電対の出力電圧を AVDD / 2 にバイアスしています。同時に、プルアップ抵抗およびプルダウン抵抗は、センサ接続が開いていることを検出する手段として機能します。センサ接続がオープンの場合、正のアナログ入力 (AIN4) は AVDD にプルされ、負のアナログ入力 (AIN5) は GND にプルされます。この状態では、熱電対の通常の測定範囲外となる測定結果が得られます。

熱電対をバイアスする他の多くの方法も使用できます。例えば、プルダウン抵抗の代わりに REFOUT を負の熱電対端子に接続することで、基準出力電圧を使用できます。熱電対測定回路および TI ADC を用いた実装の詳細については、*熱電対測定の基本ガイド*アプリケーション ノートを参照してください。ホスト コントローラで熱電対の直線化および冷接点補償アルゴリズムを実装する方法を示す C コードを使用したソフトウェア ライブラリは*こちら*で入手できます。

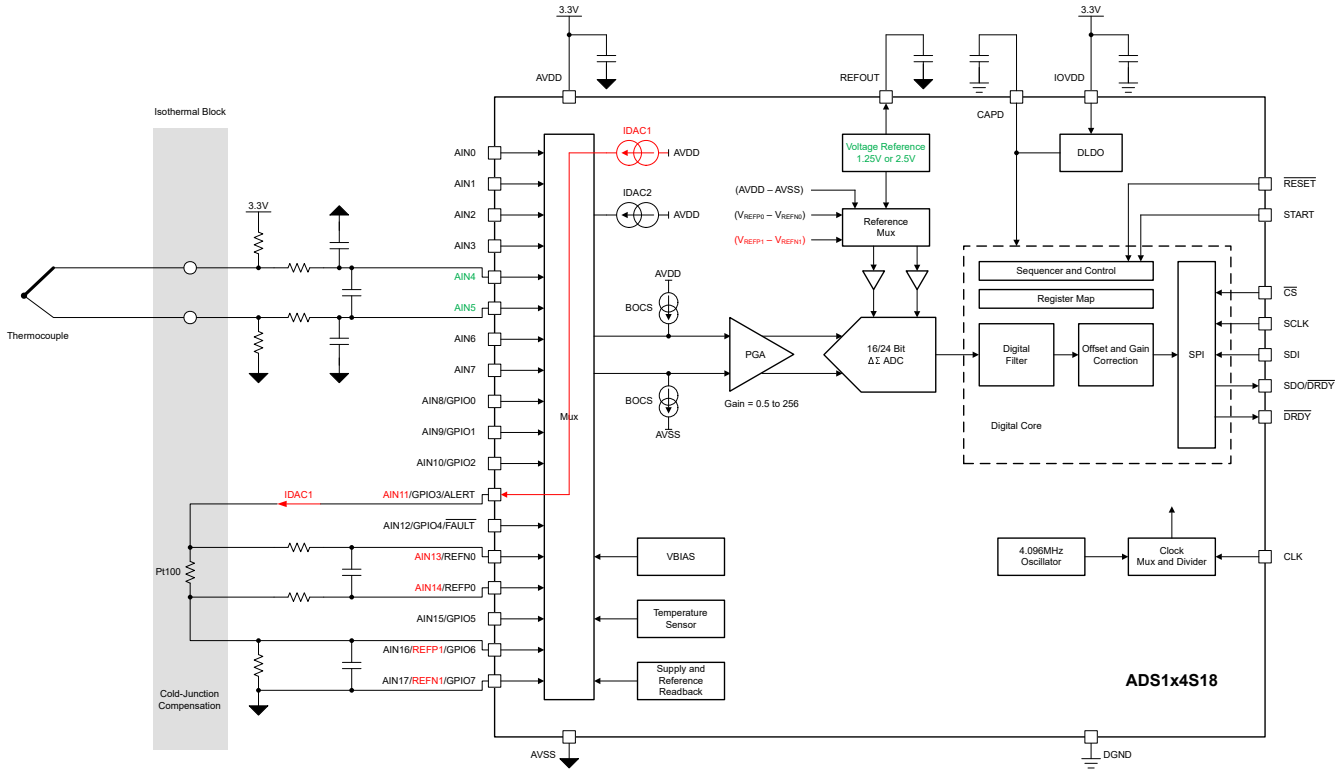


図 9-9. 2 線式 RTD を使用した冷接点補償による熱電対測定

9.2.3 温度補償付き抵抗ブリッジ センサ測定

図 9-10 と図 9-11 に、ADS1x4S1x を使用した温度補償付き抵抗ブリッジ センサ測定の実装方法の 2 つの例を示します。ブリッジの温度は通常、ホスト コントローラで使用され、ブリッジの温度ドリフトを補償するために用いられます。

図 9-10 に示す回路実装では、アナログ電源を使用してブリッジ センサを励起します。ブリッジ励起電圧を ADC の外部基準電圧として使用して、*レシオメトリック*ブリッジ測定を実装します。アナログ電源の代わりに、内蔵された励起電流源の 1 つを使用してブリッジを励起することもできます。式 33～式 35 に圧力センサを使って、ADC の出力コードと印加されるブリッジ信号との関係を導く方法を示します。式 35 は、この比率測定方式の回路実装において、出力コードが励起電圧に依存しないことを示しています。

$$V_{Bridge} = V_{AIN6} - V_{AIN7} = (Pressure_{APL} / Pressure_{MAX}) \times Sensitivity \times V_{Excitation} \quad (33)$$

$$Code / 2^n = V_{Bridge} \times Gain / V_{REF} \quad (34)$$

$$Code / 2^n = (Pressure_{APL} / Pressure_{MAX}) \times Sensitivity \times Gain \quad (35)$$

ここで

- $V_{Excitation} = V_{REF} = AVDD$
- $Pressure_{APL}$ = 適用された圧力
- $Pressure_{MAX}$ = 圧力センサの最大容量。ブリッジ センサがフルスケール出力信号を出力する圧力を意味します
- 感度 = ブリッジ センサの感度で、通常、ブリッジ励起の mV/V 単位で与えられます
- n は式 24 のガイドラインに従います

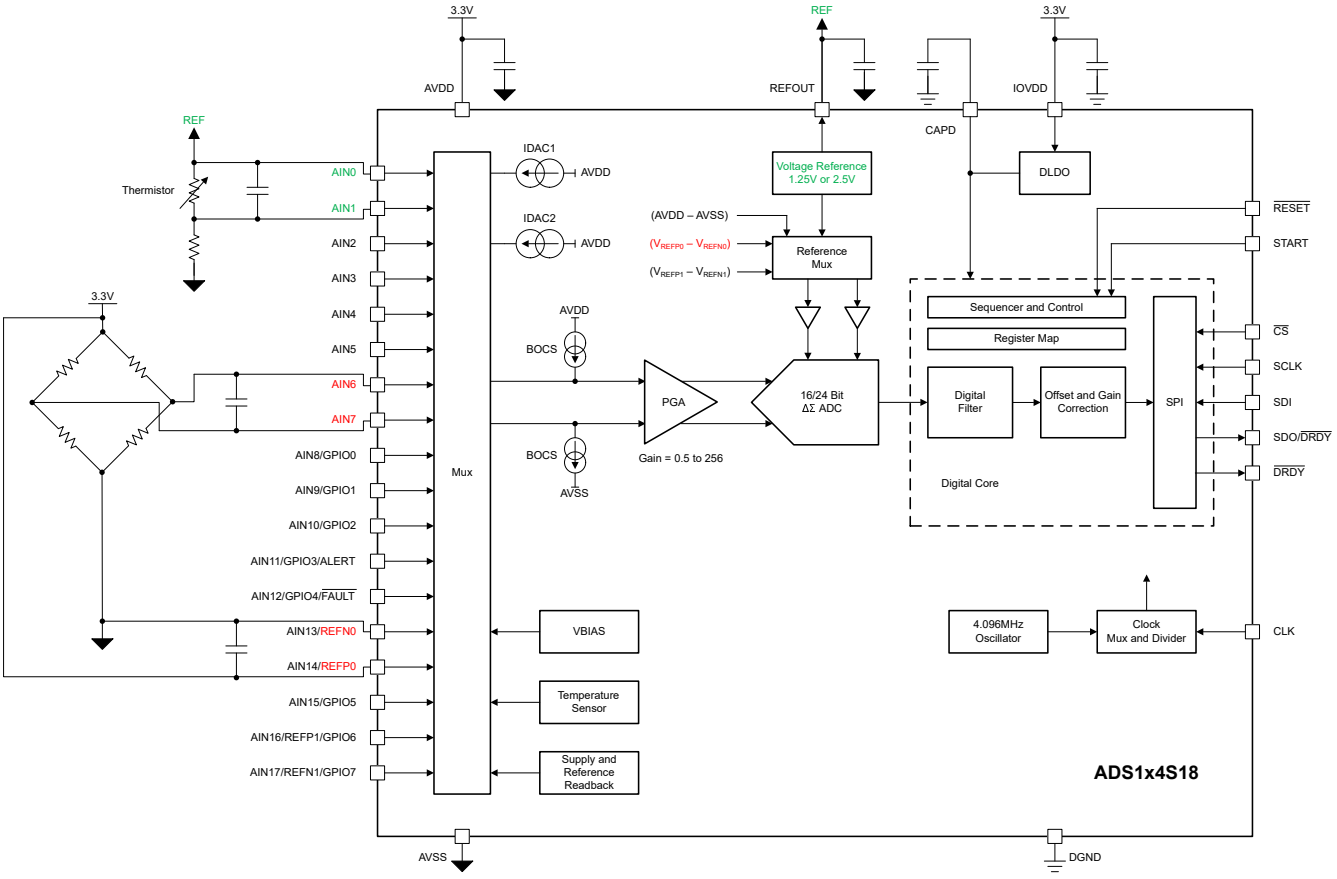


図 9-10. 抵抗性ブリッジセンサ測定の例 1
(アナログ電源をブリッジ励起に使用し、サーミスタでブリッジ温度を測定する方法)

Copyright © 2026 Texas Instruments Incorporated

この例は、ブリッジ温度を測定するためのサーミスタを示しています。この場合、リファレンス電圧出力を使用して、*レシオメトリック*サーミスタ測定を実装します。式 37 に基づく変換結果は、バイアス抵抗 (R_{BIAS}) と PGA ゲインの設定のみに依存します。

$$V_{Thermistor} = V_{AIN0} - V_{AIN1} = V_{REF} \times R_{Thermistor} / (R_{Thermistor} + R_{BIAS}) \quad (36)$$

$$Code / 2^n = (V_{Thermistor} \times Gain) / V_{REF} = (R_{Thermistor} \times Gain) / (R_{Thermistor} + R_{BIAS}) \quad (37)$$

ここで、n は式 24 のガイドラインに従います。

図 9-11 は、リファレンス出力を用いてブリッジを励起し、温度依存性を持つブリッジ抵抗の測定 (AIN0 と AIN5 間の測定) によってブリッジ温度を求める、別の回路実装例を示しています。上記のサーミスタ測定と同様に、ブリッジ抵抗測定はレシオメトリックで、式 38 に示すように、バイアス抵抗と PGA ゲイン設定のみに依存します。

$$Code / 2^n = (R_{Bridge} \times Gain) / (R_{Bridge} + R_{BIAS}) \quad (38)$$

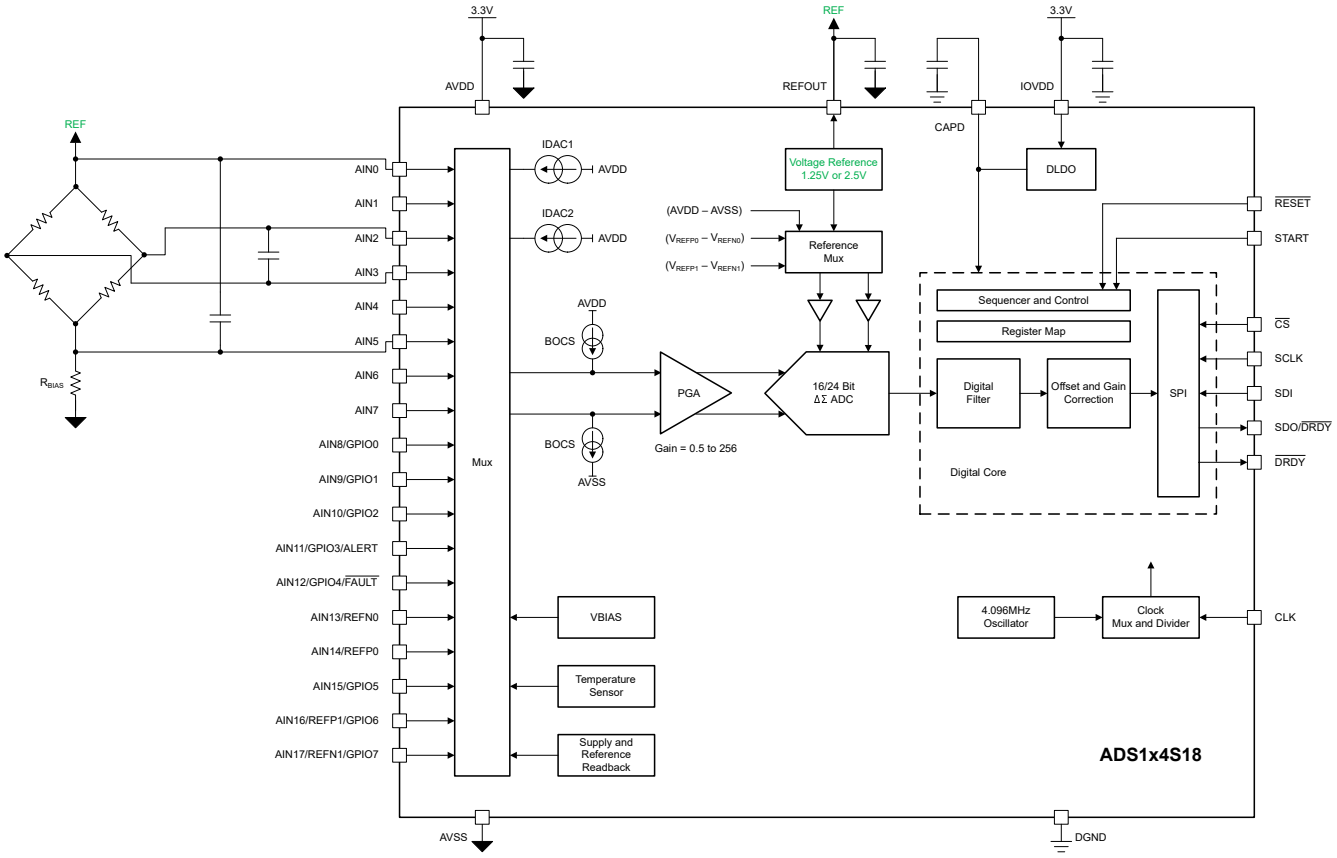


図 9-11. 抵抗性ブリッジセンサ測定の例 2
(リファレンス出力をブリッジ励起に使用し、ブリッジ抵抗を温度測定に用いる方法)

省電力のためにブリッジ センサを定期的にパワーダウンする必要があるアプリケーションでは、ブリッジ センサと GND の間に配置したスイッチを制御するために、GPIO 出力のいずれかを使用します。

抵抗性ブリッジセンサ測定回路と、TI の ADC を使用した実装の詳細については、*ブリッジ測定に関する基本的なガイド* アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

9.2.4 自律的電源監視

ADS1x4S1x は、内蔵シーケンサとデジタル コンパレータにより、自律的な電源監視機能の実装に最適です。図 9-12 に、デジタル コンパレータの ALERT 出力を利用して 3 系統の電源レールを監視し、電源の過電圧や低電圧状態をホストに通知するように構成する例を示します。ホストは電源投入後に ADS114S18 を構成し、シーケンサを始動します。それ以降、デバイスとホストの連携は不要です。ホストは ALERT ピンのみを監視して、電源の故障状態の通知を受けます。

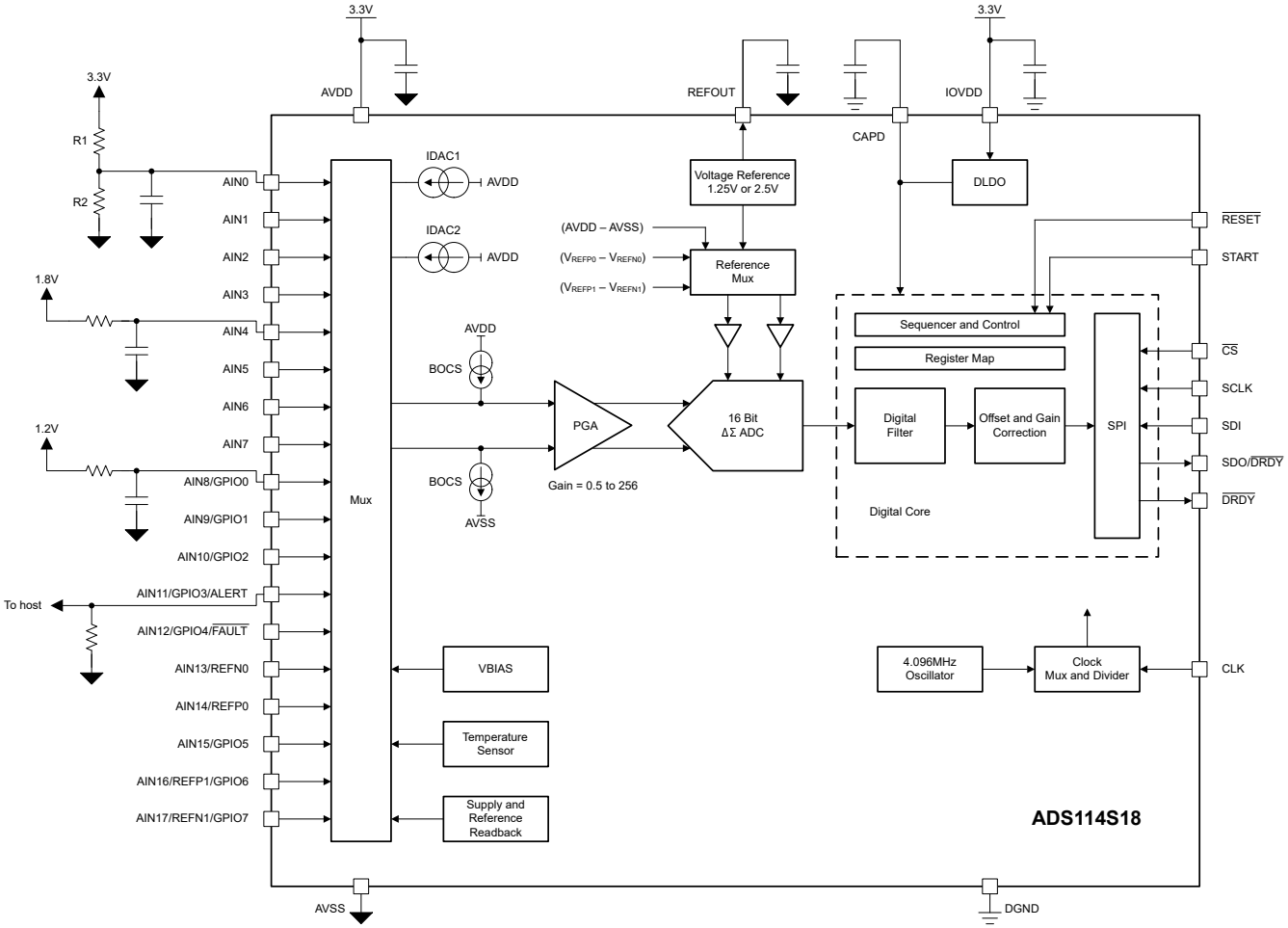


図 9-12. 電源監視の例

9.2.4.1 設計要件

表 9-3. 設計パラメータ

設計パラメータ	値
過電圧スレッショルド (3.3V レール)	3.5V
低電圧スレッショルド (3.3V レール)	3.1V
低電圧スレッショルド (1.8V レール)	1.69V
低電圧スレッショルド (1.2V レール)	1.13V

Copyright © 2026 Texas Instruments Incorporated

9.2.4.2 詳細な設計手順

ADS114S18 の 3.3V AVDD 電源を使用して 3.3V レールを監視するには、デバイスの入力電圧制限により、信号を ADC 入力に供給する前に、レール電圧を減衰させる必要があります。推奨動作条件 の表の最大絶対入力電圧の仕様を参照してください。設計のマージンを確保するため、3.6V レール電圧の場合、アナログ入力の入力信号が 2.5V 未満になるように、抵抗デバイダの R1 と R2 の値を選択します。この構成で、ADS114S18 はゲイン = 1 と内部 2.5V リファレンス電圧を使用して、3.5V の過電圧スレッショルドを超えるレール電圧を測定できます。R1 = 50kΩ と R2 = 100kΩ を使用して、3.3V レールの ADC の公称入力電圧を 2.2V に設定します。3.5V の過電圧スレッショルドにより、入力電圧は 2.33V、低電圧スレッショルドは 3.1V、入力電圧は 2.07V となります。

このデバイスは、ゲイン = 1 と内部 2.5V リファレンス電圧を使用し、減衰の必要無く 1.8V と 1.2V のレールを直接測定できます。

システム設計の次のステップとして、3 つのレールのデジタル コンパレータ スレッショルドを計算します。この設計では正の入力電圧のみを測定する必要があるため、ADS114S18 のユニポーラ ストレート バイナリ符号化を利用します。この場合、ゲイン = 1 で内部 2.5V リファレンスを使用する LSB サイズは、次のように計算されます。

$$\text{LSB size} = V_{REF} / (\text{Gain} \times 2^{16}) = 2.5V / 2^{16} = 38.15\mu V \quad (39)$$

式 40 を使用して、3 つのレール用のデジタル コンパレータの高と低のスレッショルド コードの値を計算します。

$$\text{Threshold Code} = V_{Threshold} / \text{LSB size} \quad (40)$$

たとえば、3.3V レール低電圧検出のデジタル コンパレータの低スレッショルド値を 2.07V / 38.15µV = 54176 (16 進コード D3A0h に相当) に設定します。

次に、シーケンサの動作を選択します。この例では、各電源レール測定に 1 ステップ、すなわち 3 シーケンス ステップを使用します。ホストとのやり取りを必要としない自律レール モニタを実装するには、シーケンサ モード SEQ_MODE[1:0] = 11b を使用します。この監視システムの例では、次のレール測定に切り替える前に、各レールの 4 回連続測定を行います。コンパレータのアラート カウンタ スレッショルドは 2 に設定されるため、各ステップで 2 回連続して測定がスレッショルドを超えてから、コンパレータをトリップする必要があります。

必要な速度モードとデジタル フィルタの設定は、システムに必要な故障検出時間によって異なります。

「ALERT 出力」セクションでの説明通りに、GPIO3 をアクティブ Low のプッシュプル ALERT 出力として構成します。さらに ALERT ピンにプルダウン抵抗を追加します。こうすると、ADS114S18 が電力を失った場合やリセットされた場合でも、デバイス リセット中に GPIO3 は高インピーダンス入力に戻るため、ALERT ピンの Low レベルでホストに電源故障を通知します。

この例での重要なデバイス レジスタ ビットの設定を、表 9-4 に示します。

表 9-4. 電源監視レジスタ ビットの設定

レジスタ ビット	シーケンス ステップ 0 3.3V レール	シーケンス ステップ 1 1.8V レール	シーケンス ステップ 2 1.2V レール
ステータスおよび全般構成ページ			
REF_VAL	1b (2.5V 内部リファレンス)		
GPIO3_CFG[1:0]	10b (GPIO3 をプッシュプル デジタル出力として構成)		
ALERT_PIN_POL	0b (ALERT 出力はアクティブ Low)		
GPIO3_SRC	1b (COMP_ALERTn フラグが GPIO3 出力を制御)		
SEQ_MODE[1:0]	11b (シーケンサは新しいシーケンス実行を継続的に開始)		
STEP_INIT[4:0]	00000b (シーケンス ステップ 0 で初期シーケンスを開始)		
STEP_x_EN	STEP_0_EN = 1b	STEP_1_EN = 1b	STEP_2_EN = 1b

表 9-4. 電源監視レジスタ ビットの設定 (続き)

レジスタ ビット	シーケンス ステップ 0 3.3V レール	シーケンス ステップ 1 1.8V レール	シーケンス ステップ 2 1.2V レール
ステップ x 構成ページ			
STEPx_AINP[4:0]	00000b (AIN0)	00100b (AIN4)	01000b (AIN8)
STEPx_AINN[4:0]	10010b (負の入力として内部 AVSS 接続を選択)		
STEPx_REF_SEL[1:0]	00b (内部電圧リファレンス)		
STEPx_GAIN[3:0]	0001b (ゲイン = 1)		
STEPx_CODING	1b (ユニポーラ ストレート バイナリ符号化)		
STEPx_NUM_CONV[4:0]	00011b (ステップごとに 4 回の連続変換)		
STEPx_COMP_HIGH_TH[15:0]	EEEFh (2.33V)	未使用	未使用
STEPx_COMP_LOW_TH[15:8]	D3A0h (2.07 V)	AD0Eh (1.69 V)	73B6h (1.13 V)
STEPx_COMP_NUM[1:0]	01b (スレッショルドを超える 2 回連続変換でデジタル コンパレータをトリガ)		
STEPx_COMP_HIGH_TH_EN	1b	0b	0b
STEPx_COMP_LOW_TH_EN	1b		

Copyright © 2026 Texas Instruments Incorporated

9.3 電源に関する推奨事項

9.3.1 電源

このデバイスは、アナログ (AVDD ～ AVSS) とデジタル (IOVDD ～ DGND) の 2 種類の外部電源を必要とします。アナログ電源は、デジタル電源から個別に選択できます。さらに、アナログ電源はユニポーラ電源機能 (例：AVDD = 3.3V、AVSS = 0V) とバイポーラ電源機能 (例：AVDD = 1.5V、AVSS = –1.5V) の両方を提供します。非対称バイポーラ アナログ電源も使用できます (例：AVDD = 2V、AVSS = –1V)。

IOVDD 電源は、シリアル インターフェイス ピン ($\overline{CS}$、SCLK、SDI、SDO/$\overline{DRDY}$) と START、$\overline{RESET}$、$\overline{DRDY}$、CLK ピンのロジック レベルを設定します。AVDD 電源は、GPIO のロジック レベル (GPIO0 ～ GPIO7) を設定します。

内蔵の DLDO は、デバイスの 1.4V デジタル コア電源を生成します。

9.3.2 電源シーケンス

電源の立ち上げ順序は任意ですが、いかなる場合でもアナログ入力およびデジタル入力が、それぞれのアナログ / デジタル電源の電圧および電流の制限値を超えてはなりません。IOVDD 電源が安定した後、パワーオン リセット処理が完了するまで $t_{d(POR)}$ の時間だけ待ってから、デバイスとの通信を行います。

9.3.3 電源のデカップリング

最適なデバイス性能を得るためには、適切な電源デカップリングが重要です。AVDD は、100nF 以上のコンデンサで AVSS とデカップリングする必要があります。IOVDD は、100nF 以上のコンデンサで DGND とデカップリングする必要があります。さらに内部 DLDO 出力には、CAPD と DGND の間に 100nF のコンデンサが必要です。図 9-13 と 図 9-14 に、それぞれユニポーラとバイポーラのアナログ電源動作のための代表的な電源デカップリングの例を示します。

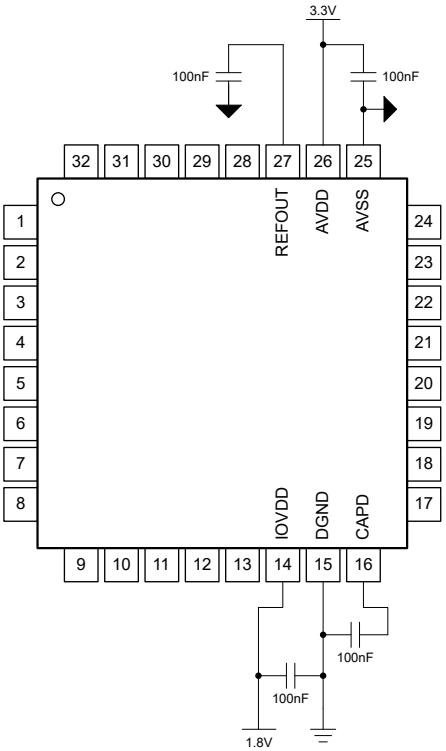


図 9-13. 電源のデカップリング
ユニポーラ アナログ電源

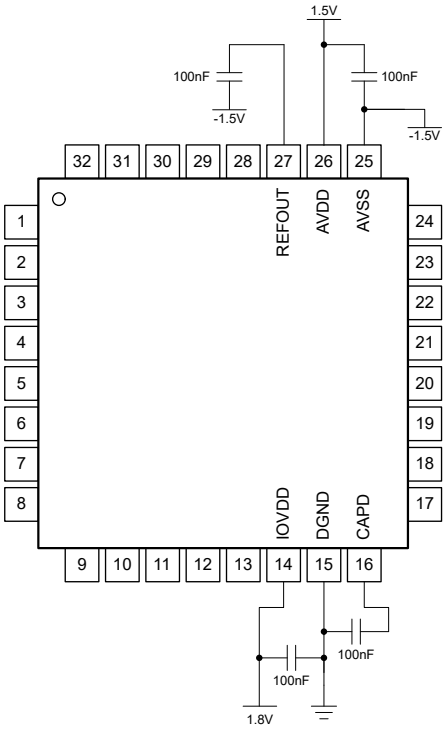


図 9-14. 電源のデカップリング
バイポーラ アナログ電源

電源バイパス コンデンサは、低インピーダンスの接続を用いて、デバイスの電源ピンのできるだけ近くに配置してください。電源デカップリング用途には、等価直列抵抗 (ESR) および等価直列インダクタンス (ESL) が低い多層セラミック チップ コンデンサ (MLCC) を使用します。非常に高感度なシステム、またはノイズ環境が厳しいシステムでは、コンデンサをデバイスのピンに接続する際にビアの使用を避けることで、ノイズ耐性をさらに高めることができます。並列に複数のビアを使用すると、全体的なインダクタンスが低減でき、さらにグランド プレーンへの接続も改善されます。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

ADS1x4S1x のレイアウトに関する基本的な推奨事項は、ADC の性能を最大限に引き出すのに役立ちます。

- 最良の性能を得るために、PCB の 1 層全体をグランド プレーンに割り当て、この層には他の信号配線を一切引かないでください。
- 電源デカップリング コンデンサにはセラミック コンデンサ (X7R レベルなど) を使用します。高 K コンデンサ (Y5V) は推奨されません。必要なコンデンサをデバイスのピンにできるだけ近づけて配置します。バイパス コンデンサは、デバイスと同じ層に、できるだけ近接して配置することで最良の結果が得られます。
- 干渉を最小限に抑えるため、デジタルトレースはすべてのアナログ入力および関連部品から離して配線します。
- 良好なグランド帰還パスを確保します。信号のリターン電流は、インピーダンスが最も低い経路を流れます。グランド プレーンが分断されている、または他の配線によって信号トレースの直下を電流が流れられない場合、回路を完結させてソースに戻るために、リターン電流は別の経路を見つける必要があります。より大きな経路に強制されると、信号が放射される可能性が高くなります。高感度の信号は、EMI 干渉の影響を受けやすくなります。
- 配線の抵抗とインダクタンスを考慮します。多くの場合、入力用トレースには抵抗成分があり、これが入力バイアス電流と反応して、追加の誤差電圧を引き起こします。ソース信号とリターン電流によって囲まれるループ面積を減らすことで、経路内のインダクタンスを低減できます。インダクタンスを低減することで、EMI の取り込みが抑えられ、デバイス入力における高周波インピーダンスが低減されます。
- レイアウトの寄生熱電対に注意してください。各アナログ入力からセンサまでの配線に異なる金属が使用されていると、寄生的な熱電対が形成され、測定値にオフセットが加わる可能性があります。測定信号源に供給される両方の入力で、差動入力を一致させる必要があります。
- アナログ入力の RC フィルタには C0G コンデンサを使用します。
- 信号層の空き領域は、グランド フィルで埋めます。
- 外部クロックを印加するときは、クロックにオーバーシュートやグリッチがないことを確認してください。多くの場合、クロック バッファのにソース端子抵抗を配置すると、オーバーシュートを低減できます。クロック入力にグリッチがあると、変換データ内のノイズにつながる可能性があります。

9.4.2 レイアウト例

図 9-15 に、ユニポーラ アナログ電源を使用した ADS1x4S1x の基本的なレイアウト例を示します。

このレイアウト例では、以下のガイドラインを使用しています。

- AVSS と DGND には、単一の共通 GND プレーンを使用します。
- C20 および C22 は、電源デカップリング用コンデンサです。C20 および C22 は、それぞれ対応する電源 ピンのできるだけ近くに配置します。
- AVSS と DGND ピンは、デカップリング コンデンサを介してグランド プレーンに接続しています。
- C21 は、CAPD ピンと DGND 間に必要なコンデンサです。C21 は、CAPD ピンのできるだけ近くに配置します。
- C23 は、、REFOUT ピンと AVSS の間に必要なコンデンサです。C23 は、REFOUT ピンのできるだけ近くに配置します。
- 差動アナログ入力ペア AIN0-AIN1、AIN2-AIN3、AIN4-AIN5、AIN6-AIN7、AIN8-AIN9、AIN10-AIN11、AIN13-AIN14、AIN16-AIN17 用の、差動および同相モードのアンチ エイリアス RC フィルタを示しています。
- AIN12 と AIN15 は、内部 AVSS 接続のシングルエンド測定用に構成しています。
- デジタル信号ライン用の、オプションの直列抵抗 (R15、R16、R17、R18、R19、R21) を示します。直列抵抗は、信号エッジをなだらかにすることで、デジタル ライン上のオーバーシュートやリンギングを低減するのに役立ちます。
- 内部発振器を使用するため、CLK ピンを DGND に接続しています。
- シーケンサは START ビットと STOP ビットを使用して制御するため、START ピンは DGND に接続します。

Copyright © 2026 Texas Instruments Incorporated

- $\overline{CS}$ ピンには IOVDD へのオプションのプルアップ抵抗を設置し、システムの電源投入時に $\overline{CS}$ を High に維持します。
- $\overline{RESET}$ ピンには、IOVDD へのオプションのプルアップ抵抗を設置しています。

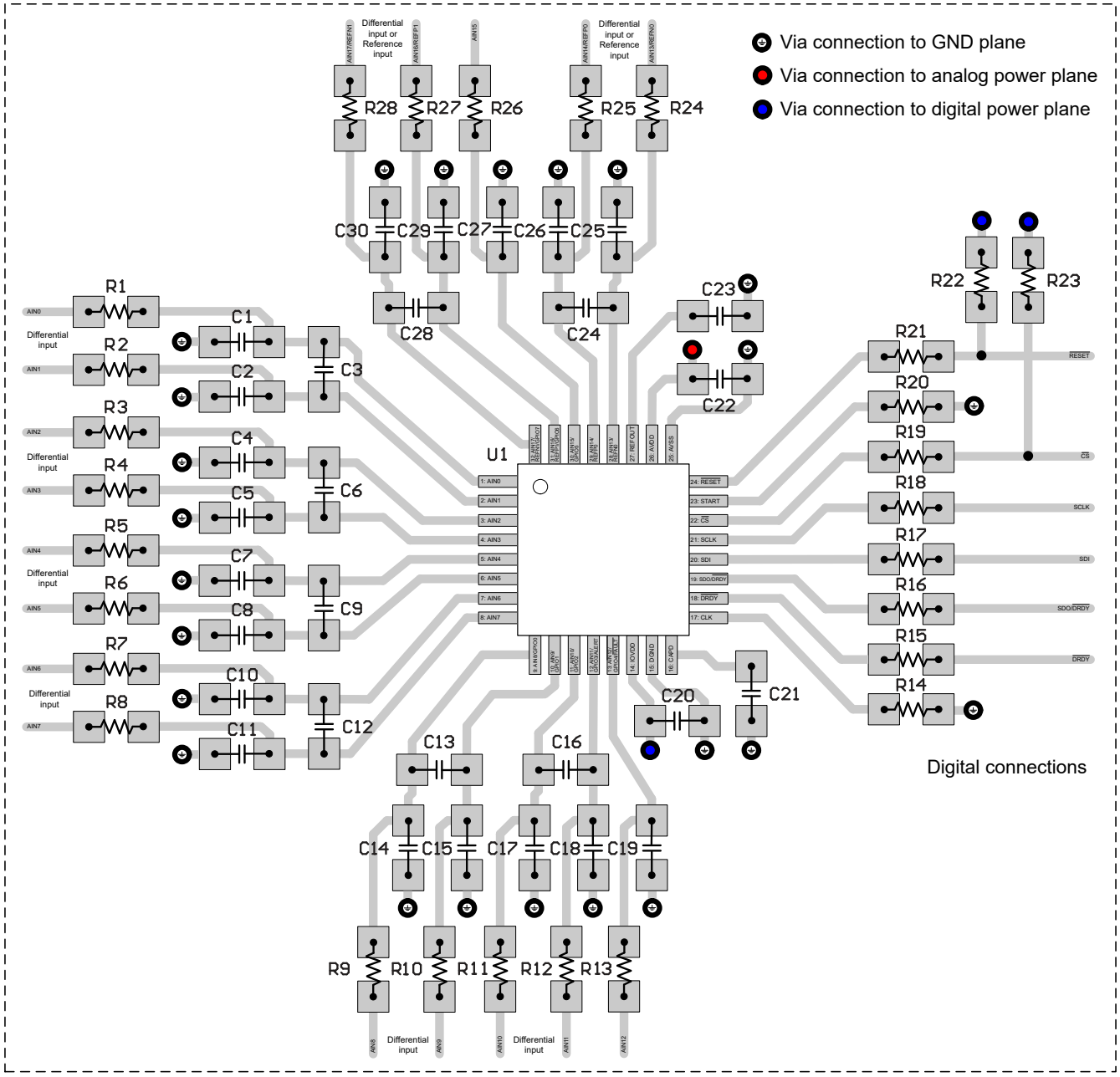


図 9-15. レイアウト例

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 関連資料

1. テキサス インスツルメンツ、*『RTD 測定に関する基本的なガイド』*アプリケーション ノート。
2. テキサス インスツルメンツ、*『高精度デルタシグマ ADC を使用した RTD 断線検出』*アプリケーション ノート
3. テキサス インスツルメンツ、*『熱電対測定に関する基本的なガイド』*アプリケーション ノート
4. テキサス インスツルメンツ、*『ブリッジ測定に関する基本的なガイド』*アプリケーション ノート
5. テキサス インスツルメンツ、*『高精度 ADC 用の温度センサ (RTD、熱電対、サーミスタ) ファームウェア』*ツール ページ

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
August 2026	*	初版リリース

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS114S18IPBSR	Active	Production	TQFP (PBS) | 32	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-50 to 125	A114S18
ADS124S18IPBSR	Active	Production	TQFP (PBS) | 32	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-50 to 125	A124S18

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

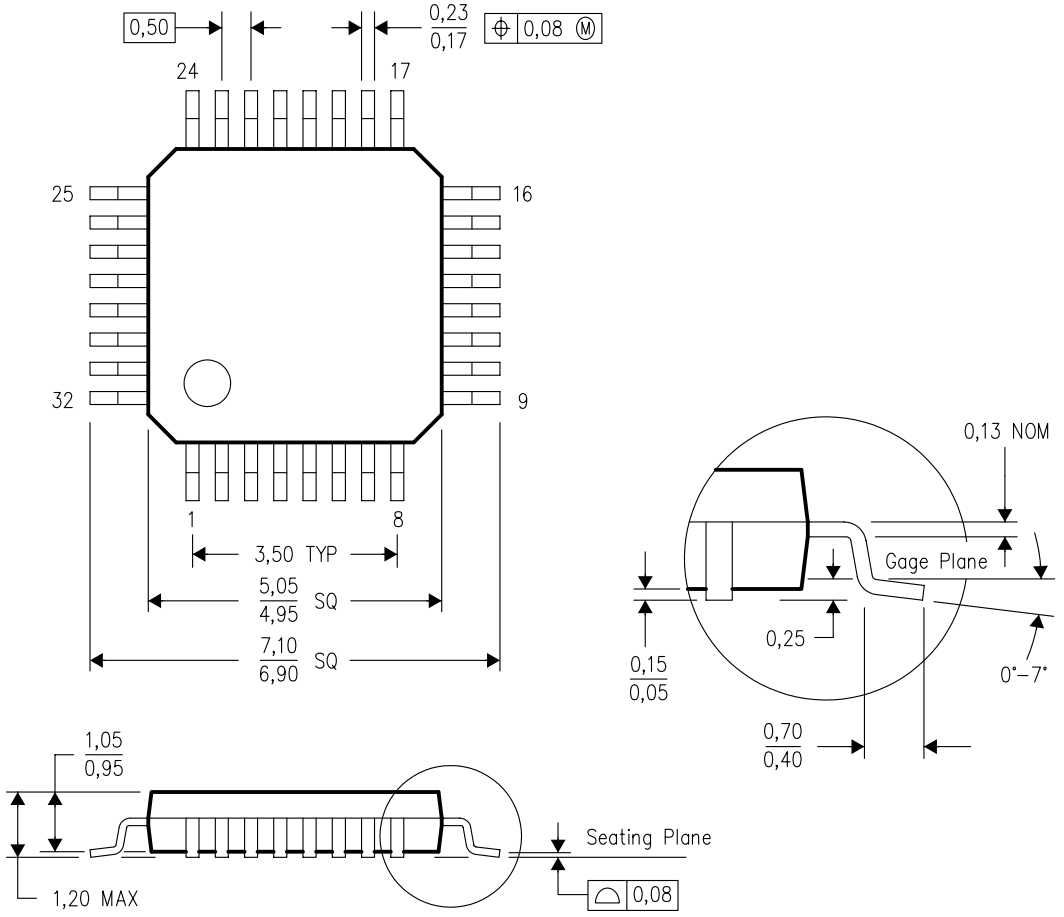
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

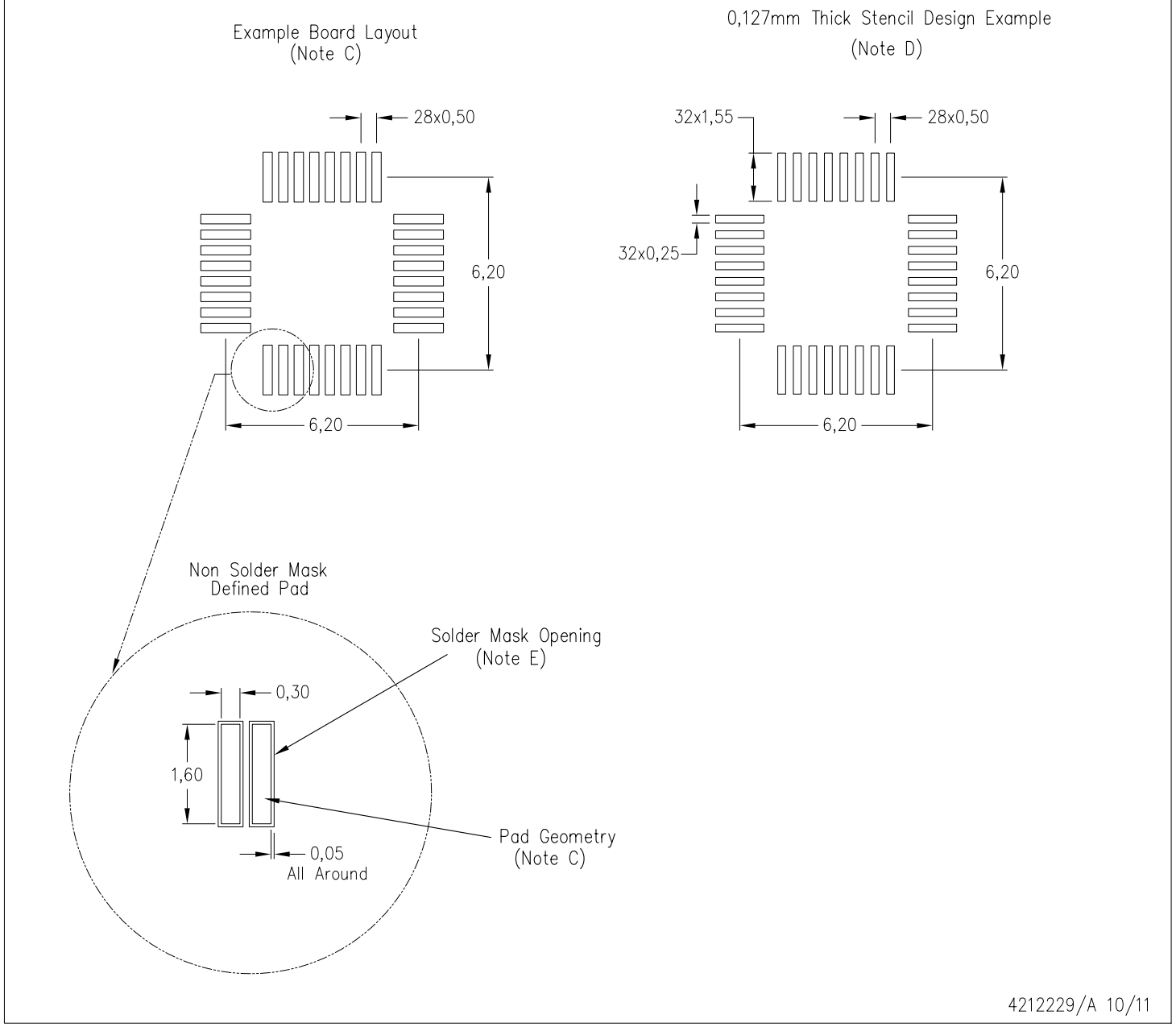
PBS (S–PQFP–G32) PLASTIC QUAD FLATPACK



4087735/B 07/05

NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.

PBS (S–PQFP–G32) PLASTIC QUAD FLATPACK



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
E. Customers should contact their board fabrication site for recommended solder mask tolerances between and around signal pads.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月