ADS1220 4 チャネル、2kSPS、低消費電力、24 ビット ADC (PGA とリファレンス搭載)

1 特長

- 低消費電流:
  - デューティ サイクル モードで最小 120µA (標準値)
- 幅広い電源電圧範囲:2.3V ～ 5.5V
- ゲインをプログラム可能:1～128
- データ レートをプログラム可能:最大 2kSPS
- 最大 20 ビットの有効分解能
- 単一サイクル整定のデジタル フィルタにより、20SPS で 50Hz および 60Hz を同時除去
- 2 差動または 4 シングルエンド入力
- デュアル マッチド プログラマブル電流源:
  - 10µA～1.5mA
- 内部 2.048V リファレンス:5ppm/°C (標準値) ドリフト
- 2% 精度の内部発振器
- 内部温度センサ:
  - 0.5°C (標準値) 精度
- SPI 互換インターフェイス (モード 1)

2 アプリケーション

- フィールド トランスミッタ:
  - 温度、圧力、歪み、フロー
- PLC および DCS アナログ入力モジュール
- 患者モニタ システム:
  - 体温、血圧
- ファクトリ オートメーションとプロセス制御

3 説明

ADS1220 は、高精度の 24 ビット A/D コンバータ (ADC) で、小信号を測定するセンサ アプリケーションのシステム コストと部品点数を削減する多数の機能を統合しています。デバイスは、柔軟な入力マルチプレクサ (MUX) を介した 2 つの差動入力または 4 つのシングルエンド入力、低ノイズのプログラマブル ゲイン アンプ (PGA)、2 つのプログラマブル励起電流源、リファレンス電圧、オシレータ、ローサイド スイッチ、高精度温度センサを備えています。

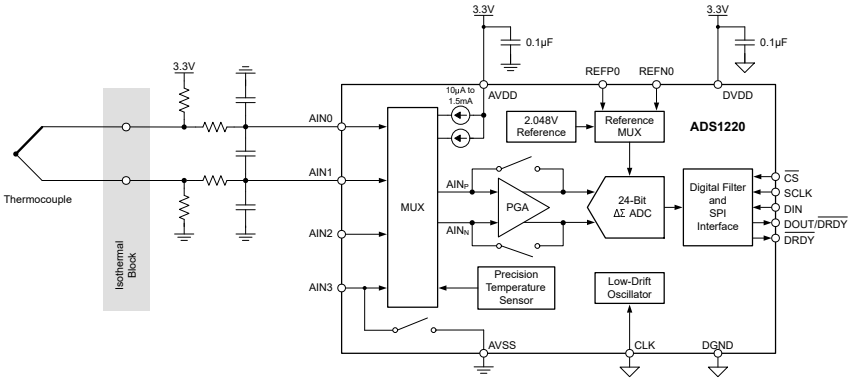
このデバイスはシングル サイクル安定化により、最大 2000 サンプル/秒(SPS)のデータ レートで変換を実行します。ノイズの多い産業用途では、20SPS で、デジタル フィルタにより 50Hz および 60Hz 同時除去を実現します。内部 PGA は最大 128 のゲインを提供します。この PGA により、ADS1220 は、抵抗温度検出器 (RTD)、熱電対、サーミスタ、抵抗ブリッジ センサなどの微小なセンサ信号を測定するアプリケーション向けに設計されています。デバイスは、PGA を使用する場合、疑似または完全差動信号の測定をサポートします。または、最大 4 つの高い入力インピーダンスとゲインを実現しながら、内部 PGA をバイパスするようにデバイスを構成することもでき、シングルエンド測定が可能です。

PGA が無効な状態でデューティ サイクル モードで動作している場合、消費電力はわずか 120µA です。ADS1220 は、リードレス VQFN-16 または TSSOP-16 パッケージで提供され、–40°C ～ +125°C の温度範囲で規定されています。

パッケージ情報

部品番号	パッケージ(1)	パッケージ サイズ(2)
ADS1220	RVA (VQFN、16)	3.5mm × 3.5mm
	PW (TSSOP、16)	5.0mm × 6.4mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



K 型熱電対測定

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 デバイス比較表 ... 3
5 ピン構成および機能 ... 4
6 仕様 ... 5
6.1 絶対最大定格 ... 5
6.2 ESD 定格 ... 5
6.3 推奨動作条件 ... 6
6.4 熱に関する情報 ... 6
6.5 電気的特性 ... 7
6.6 SPI のタイミング要件 ... 9
6.7 SPI スイッチング特性 ... 9
6.8 タイミング図 ... 9
6.9 代表的特性 ... 10
7 パラメータ測定情報 ... 17
7.1 ノイズ性能 ... 17
8 詳細説明 ... 20
8.1 概要 ... 20
8.2 機能ブロック図 ... 20
8.3 機能説明 ... 21
8.3.1 マルチプレクサ ... 21
8.3.2 低ノイズ PGA ... 22
8.3.3 電圧リファレンス ... 27
8.3.4 クロック ソース ... 27
8.3.5 変調器 ... 27
8.3.6 デジタル フィルタ ... 28
8.3.7 出力データ レート ... 31
8.3.8 励起電流源 ... 32
8.3.9 ローサイド パワー スイッチ ... 32
8.3.10 センサ検出 ... 32
8.3.11 システム モニタ ... 33
8.3.12 オフセット キャリブレーション ... 33
8.3.13 温度センサ ... 34
8.4 デバイスの機能モード ... 35
8.4.1 パワーアップとリセット ... 35
8.4.2 変換モード ... 35
8.4.3 動作モード ... 36
8.5 プログラミング ... 37
8.5.1 シリアル インターフェイス ... 37
8.5.2 データ形式 ... 39
8.5.3 コマンド ... 40
8.5.4 データの読み取り ... 41
8.5.5 コマンドの送信 ... 42
8.5.6 複数のデバイスとのインターフェイス ... 43
8.6 レジスタ マップ ... 44
8.6.1 構成レジスタ ... 44
8.6.2 レジスタの説明 ... 44
9 アプリケーションと実装 ... 49
9.1 使用上の注意 ... 49
9.1.1 シリアル インターフェイスの接続 ... 49
9.1.2 アナログ入力フィルタリング ... 50
9.1.3 外部リファレンスおよびレシオメトリック測定 ... 51
9.1.4 適切な同相入力電圧の確立 ... 51
9.1.5 未使用入出力 ... 52
9.1.6 疑似コードの例 ... 53
9.2 代表的なアプリケーション ... 54
9.2.1 K 型熱電対測定 (–200°C ～ +1250°C) ... 54
9.2.2 3 線式 RTD 測定 (–200°C ～ +850°C) ... 57
9.2.3 抵抗ブリッジ測定 ... 64
9.3 電源に関する推奨事項 ... 66
9.3.1 電源シーケンス ... 66
9.3.2 電源ランプ レート ... 66
9.3.3 電源のデカップリング ... 66
9.4 レイアウト ... 68
9.4.1 レイアウトのガイドライン ... 68
9.4.2 レイアウト例 ... 69
10 デバイスおよびドキュメントのサポート ... 70
10.1 ドキュメントのサポート ... 70
10.1.1 関連資料 ... 70
10.2 ドキュメントの更新通知を受け取る方法 ... 70
10.3 サポート・リソース ... 70
10.4 商標 ... 70
10.5 静電気放電に関する注意事項 ... 70
10.6 用語集 ... 70
11 改訂履歴 ... 70
12 メカニカル、パッケージ、および注文情報 ... 72

Copyright © 2026 Texas Instruments Incorporated

4 デバイス比較表

デバイス	分解能 (ビット数)	最大ゲイン	最大定格データ レート (kSPS)	チャネル数	インターフェイス	励起電流源	温度センサ	バイポーラ電源	クロック	パッケージ
ADS1119	16	4	1	4	I²C	無	無	無	内部	WQFN-16 TSSOP-16
ADS1219	24	4	1	4	I²C	無	無	無	内部	WQFN-16 TSSOP-16
ADS1120	16	128	2	4	SPI	有	有	有	内部、外部	VQFN-16 TSSOP-16
ADS1220	24	128	2	4	SPI	有	有	有	内部、外部	VQFN-16 TSSOP-16
ADS112C04	16	128	2	4	I²C	有	有	有	内部	WQFN-16 TSSOP-16
ADS122C04	24	128	2	4	I²C	有	有	有	内部	WQFN-16 TSSOP-16
ADS112U04	16	128	2	4	UART	有	有	有	内部	WQFN-16 TSSOP-16
ADS122U04	24	128	2	4	UART	有	有	有	内部	WQFN-16 TSSOP-16
ADS112S14	16	256	64	8	SPI	有	有	無	内部、外部	WQFN-16 DBSGA-16
ADS122S14	24	256	64	8	SPI	有	有	無	内部、外部	WQFN-16 DBSGA-16
ADS112C14	16	256	64	8	I²C	有	有	無	内部、外部	WQFN-16 DBSGA-16
ADS122C14	24	256	64	8	I²C	有	有	無	内部、外部	WQFN-16 DBSGA-16

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

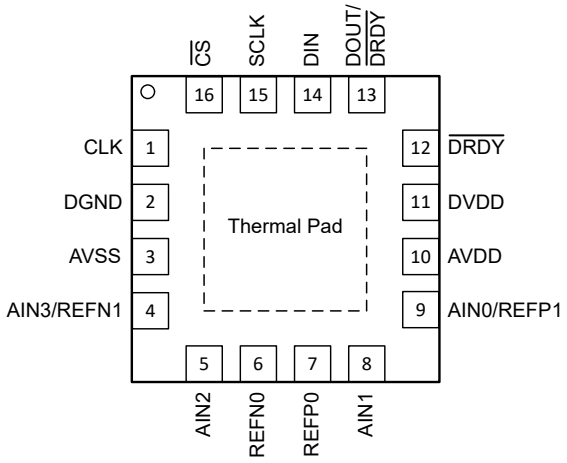


図 5-1. RVA パッケージ、 16 ピン VQFN

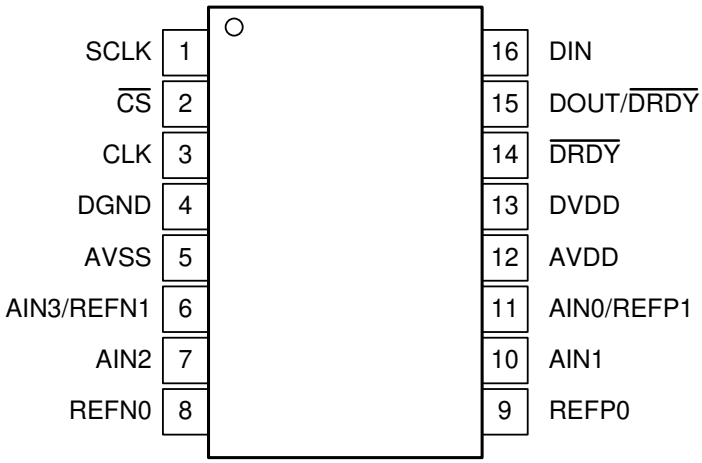


図 5-2. PW パッケージ、 16 ピン TSSOP

表 5-1. ピンの機能

ピン			タイプ	説明(1)
名称	番号 RVA	番号 PW		
AIN0/REFP1	9	11	アナログ入力	アナログ入力 0、正のリファレンス入力 1
AIN1	8	10	アナログ入力	アナログ入力 1
AIN2	5	7	アナログ入力	アナログ入力 2
AIN3/REFN1	4	6	アナログ入力	アナログ入力 3、負のリファレンス入力 1。 AIN3/REFN1 と AVSS の間に接続された内部ローサイド パワー スイッチ。
AVDD	10	12	アナログ電源	正のアナログ電源。AVSS に 100nF (またはそれ以上) のコンデンサを接続します。
AVSS	3	5	アナログ電源	負のアナログ電源
CLK	1	3	デジタル入力	外部クロック ソース ピン。未使用時は DGND に接続してください。
$\overline{CS}$	16	2	デジタル入力	チップ セレクト。アクティブ Low。未使用時は DGND に接続してください。
DGND	2	4	デジタル電源	デジタル グランド
DIN	14	16	デジタル入力	シリアル データ入力
DOUT/ $\overline{DRDY}$	13	15	デジタル出力	シリアル データ出力とデータ準備完了の組み合わせ。アクティブ Low
$\overline{DRDY}$	12	14	デジタル出力	データ準備完了。アクティブ Low。 未使用の場合は、未接続のままにするか、弱プルアップ抵抗を使用して DVDD に接続します。
DVDD	11	13	デジタル電源	正のデジタル電源。DGND に 100nF (またはそれ以上) のコンデンサを接続します。
REFN0	6	8	アナログ入力	負のリファレンス入力 0
REFP0	7	9	アナログ入力	正のリファレンス入力 0
SCLK	15	1	デジタル入力	シリアル クロック入力
サーマル パッド	パッド	—	—	サーマル パワー パッド。接続しないでください。または、AVSS にのみ接続してください。

(1) 未使用ピンの接続については、「未使用入出力」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電源電圧	AVDD から AVSS へ	-0.3	7	V
	DVDD から DGND へ	-0.3	7	V
	AVSS から DGND へ	-2.8	0.3	V
アナログ入力電圧	AIN0/REFP1、AIN1、AIN2、AIN3/REFN1、REFP0、REFN0	AVSS - 0.3	AVDD + 0.3	V
デジタル入力電圧	$\overline{CS}$、SCLK、DIN、DOUT/$\overline{DRDY}$、$\overline{DRDY}$、CLK	DGND - 0.3	DVDD + 0.3	V
入力電流	連続、電源ピンを除く任意のピン	-10	10	mA
温度	接合部、T_J	-40	150	°C
	保存、T_{stg}	-60	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。*「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件*でも、*本製品が正しく動作することを暗に示すものではありません。*「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22C101 に準拠(2)	±500	

(1) JEDEC の文書 JEP155 に、500V HBM では標準の ESD 制御プロセスで安全な製造が可能であると規定されています。
(2) JEDEC の文書 JEP157 に、250V CDM では標準の ESD 制御プロセスで安全な製造が可能であると規定されています。

Copyright © 2026 Texas Instruments Incorporated

6.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
電源						
	ユニポーラ アナログ電源	AVDD から AVSS へ	2.3		5.5	V
		AVSS から DGND へ	-0.1	0	0.1	
	バイポーラ アナログ電源	AVDD から DGND へ	2.3	2.5	2.75	V
		AVSS から DGND へ	-2.75	-2.5	-2.3	
	デジタル電源	DVDD から DGND へ	2.3		5.5	V
アナログ入力(1)						
V_{IN}	差動入力電圧	$V_{IN} = V_{AINP} – V_{AINN}$ (2)	$–V_{REF}$ / ゲイン		V_{REF} / ゲイン	V
V_{AINx}	絶対入力電圧	PGA ディスエーブル、ゲイン = 1 ～ 4	AVSS - 0.1		AVDD + 0.1	V
		PGA イネーブル、ゲイン = 1 ～ 128	「低ノイズ PGA 」セクションを参照してください			
V_{CM}	同相入力電圧	PGA ディスエーブル、ゲイン = 1 ～ 4	AVSS - 0.1		AVDD + 0.1	V
		PGA イネーブル、ゲイン = 1 ～ 128	「低ノイズ PGA 」セクションを参照してください			
電圧リファレンス入力(3)						
V_{REF}	差動リファレンス入力電圧	$V_{REF} = V_{REFPx} – V_{REFNx}$	0.75	2.5	AVDD – AVSS	V
V_{REFNx}	絶対負リファレンス電圧		AVSS - 0.1		V_{REFPx} – 0.75	V
V_{REFPx}	絶対正リファレンス電圧		V_{REFNx} + 0.75		AVDD + 0.1	V
外部クロック ソース						
f_{CLK}	外部クロック周波数設定		0.5	4.096	4.5	MHz
	デューティ サイクル		40%		60%	
デジタル入力						
	入力電圧		DGND		DVDD	V
温度範囲						
T_A	動作時周囲温度		-40		125	°C

(1) AIN_P および AIN_N は、PGA の正と負の入力を示します。AINx は、利用可能な 4 つのアナログ入力のうちの 1 つを表します。
PGA ディスエーブルとは、低ノイズ PGA はパワーダウンし、バイパスされることを意味します。この場合でも、1、2、4 のゲインが可能です。
詳細については、「PGA のバイパス」セクションを参照してください。
(2) オフセットとゲイン誤差の影響を除外します。
PGA が有効な場合、±[(AVDD – AVSS) – 0.4V] / ゲインに制限されます。
(3) REFPx および REFNx は、利用可能な 2 つの差動リファレンス入力ペアのうちの 1 つを表します。

6.4 熱に関する情報

熱評価基準(1)		ADS1220		単位
		VQFN (RVA)	TSSOP (PW)	
		16 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	43.4	99.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	47.3	35.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	18.4	44.3	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.6	2.4	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	18.4	43.8	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	2.0	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性

最小および最大仕様は、T_A = –40°C ～ +125°C の範囲で適用されます。標準仕様は、T_A = 25°C での値です。すべての仕様は、AVDD = 3.3V、AVSS = 0V、DVDD = 3.3V、PGA イネーブル、DR = 20SPS、外部 V_{REF} = 2.5V の条件下での値です (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
アナログ入力						
	絶対入力電流		「代表的特性」を参照			
	差動入力電流		「代表的特性」を参照			
システム性能						
	分解能 (欠落コードなし)		24			ビット
DR	データ レート	通常モード	20、45、90、175、330、600、1000			SPS
		デューティ サイクル モード	5、11.25、22.5、44、82.5、150、250			
		ターボ モード	40、90、180、350、660、1200、2000			
	ノイズ (入力換算)		詳細については、*ノイズ性能*セクションを参照してください			
INL	積分非直線性	ゲイン = 1 ～ 128、V_{CM} = 0.5 AVDD、最適な適合(1)	-15	±6	15	ppm_{FSR}
V_{IO}	入力オフセット電圧	PGA ディスエーブル、ゲイン = 1 ～ 4、差動入力		±4		μV
		ゲイン = 1、差動入力、T_A = 25°C	-30	±4	30	
		ゲイン = 2 ～ 128、差動入力		±4		
	オフセットのドリフト	PGA ディスエーブル、ゲイン = 1 ～ 4		0.25		μV/°C
		ゲイン = 1 ～ 128、T_A = –40°C ～ +85°C(1)		0.08	0.3	
		ゲイン = 1 ～ 128		0.25		
	オフセットの一致	任意の 2 つの入力間でのマッチング		±20		μV
	ゲイン誤差	PGA ディスエーブル、ゲイン = 1 ～ 4		±0.015%		
		ゲイン = 1 ～ 128、T_A = 25°C	-0.1%	±0.015%	0.1%	
	ゲイン ドリフト	PGA ディスエーブル、ゲイン = 1 ～ 4		1		ppm/°C
		ゲイン = 1 ～ 128(1)		1	4	
NMRR	通常モード除去比(1)	50Hz ±3%、DR = 20SPS、外部 CLK、50/60 ビット = 10b	105			dB
		60Hz ±3%、DR = 20SPS、外部 CLK、50/60 ビット = 11b	105			
		50Hz または 60Hz ±3%、DR = 20SPS、外部 CLK、50/60 ビット = 01b	90			
CMRR	同相信号除去比	dc で、ゲイン = 1	90	105		dB
		f_{CM} = 50Hz、DR = 2000SPS(1)	95	115		
		f_{CM} = 60Hz、DR = 2000SPS(1)	95	115		
PSRR	電源除去比	dc での AVDD、V_{CM} = 0.5 AVDD、ゲイン = 1	80	105		dB
		dc での DVDD、V_{CM} = 0.5 AVDD、ゲイン = 1(1)	100	115		
内部電圧リファレンス						
	初期精度	T_A = 25°C	2.045	2.048	2.051	V
	リファレンス ドリフト(1)			5	30	ppm/°C
	長期ドリフト	1000 時間		110		ppm
電圧リファレンス入力						
	基準入力電流	REFP0 = V_{REF}、REFN0 = AVSS		±10		nA
内部発振器						
	内部発振器の精度	通常モード	-2%	±1%	2%	
励起電流源 (IDAC)						
	電流設定		10、50、100、250、500、1000、1500			μA
	コンプライアンス電圧	すべての電流設定			AVDD - 0.9	V
	精度	すべての電流設定、各 IDAC	-6%	±1%	6%	
	電流マッチング	IDAC 間 (10μA 設定では無効)		±0.3%		

Copyright © 2026 Texas Instruments Incorporated

最小および最大仕様は、T_A = –40°C ～ +125°C の範囲で適用されます。標準仕様は、T_A = 25°C での値です。すべての仕様は、AVDD = 3.3V、AVSS = 0V、DVDD = 3.3V、PGA イネーブル、DR = 20SPS、外部 V_{REF} = 2.5V の条件下での値です (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
	温度ドリフト	各 IDAC (10µA 設定では無効)		50		ppm/°C
	温度ドリフト マッチング	IDAC 間 (10µA 設定では無効)		10		ppm/°C
温度センサ						
	変換分解能			14		ビット
	温度分解能			0.03125		°C
	精度	T_A = 0°C ～ +75°C	-0.5	±0.25	0.5	°C
		T_A = –40°C ～ +125°C	-1	±0.5	1	
	精度とアナログ電源電圧との関係			0.0625	0.25	°C/V
ローサイド パワー スイッチ						
R_{ON}	オン抵抗			3.5	5.5	Ω
	スイッチを流れる電流				30	mA
デジタル入出力						
V_{IH}	High レベル入力電圧		0.7 DVDD		DVDD	V
V_{IL}	Low レベル入力電圧		DGND		0.3 DVDD	V
V_{OH}	High レベル出力電圧	I_{OH} = 3mA	0.8 DVDD			V
V_{OL}	Low レベル出力電圧	I_{OL} = 3mA			0.2 DVDD	V
I_H	入力リーケージ、High	V_{IH} = 5.5V	-10		10	µA
I_L	入力リーケージ、Low	V_{IL} = DGND	-10		10	µA
電源						
I_{AVDD}	アナログ電源電流(2)	パワーダウン モード		0.1	3	µA
		デューティ サイクル モード、PGA ディスエーブル		65		
		デューティ サイクル モード、ゲイン = 1 ～ 16		95		
		デューティ サイクル モード、ゲイン = 32		115		
		デューティ サイクル モード、ゲイン = 64、128		135		
		通常モード、PGA ディスエーブル		240		
		通常モード、ゲイン = 1 ～ 16		340	490	
		通常モード、ゲイン = 32		425		
		通常モード、ゲイン = 64、128		510		
		ターボ モード、PGA ディスエーブル		360		
		ターボ モード、ゲイン = 1 ～ 16		540		
		ターボ モード、ゲイン = 32		715		
		ターボ モード、ゲイン = 64、128		890		
I_{DVDD}	デジタル電源電流(2)	パワーダウン モード		0.3	5	µA
		デューティ サイクル モード		55		
		通常モード		75	110	
		ターボ モード		95		
P_D	電力散逸(2)	デューティ サイクル モード、PGA ディスエーブル		0.4		mW
		通常モード、ゲイン = 1 ～ 16		1.4		
		ターボ モード、ゲイン = 1 ～ 16		2.1		

(1) 最小値および最大値は、設計データと特性データにより検証されます。
(2) 内部電圧リファレンスの選択、内部発振器イネーブル、IDAC オフ、連続変換モード。
外部リファレンスを選択すると、アナログ電源電流は 70µA (標準値) 通常モード、ターボ モードだけ増加します。
IDAC を有効化すると、アナログ電源電流が 190µA (標準値) だけ増加します (実際の IDAC 電流は除く)。

Copyright © 2026 Texas Instruments Incorporated

6.6 SPI のタイミング要件

動作時周囲温度範囲全体および DVDD = 2.3V ～ 5.5V (特に記述のない限り)

			最小値	最大値	単位
$t_{d(CSSC)}$	遅延時間、$\overline{CS}$ 立ち下がりエッジから最初の SCLK 立ち上がりエッジまで(2)		50		ns
$t_{d(SCCS)}$	遅延時間、最後の SCLK 立ち下がりエッジから $\overline{CS}$ 立ち上がりエッジまで		25		ns
$t_{w(CSH)}$	パルス幅、$\overline{CS}$ High		50		ns
$t_{c(SC)}$	SCLK 周期		150		ns
$t_{w(SCH)}$	パルス幅、SCLK high		60		ns
$t_{w(SCL)}$	パルス幅、SCLK low		60		ns
$t_{su(DI)}$	セットアップ時間、DIN 有効から SCLK 立ち下がりエッジまで		50		ns
$t_{h(DI)}$	ホールド時間、SCLK 立ち下がりエッジから DIN 有効まで		25		ns
	SPI タイムアウト(1)	通常モード、デューティ サイクル モード		14000	t_{MOD}
		ターボ モード		28000	

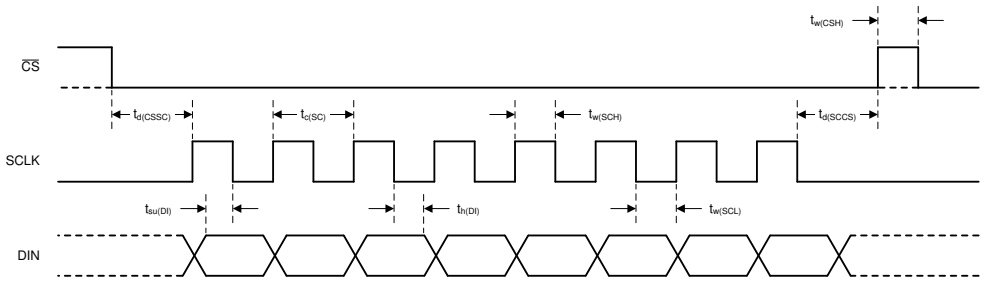
(1) 詳細については、「SPI タイムアウト」セクションを参照してください。
t_{MOD} = 1 / f_{MOD}。内部発振器または外部 4.096MHz クロックを使用する場合、変調器周波数は f_{MOD} = 256kHz (通常モード、デューティ サイクル モード) および 512kHz (ターボ モード) です。
(2) $\overline{CS}$ は、シリアル バスが他のデバイスと共有されない場合、永続的に Low に接続できます。

6.7 SPI スイッチング特性

動作時周囲温度範囲全体、DVDD = 2.3V ～ 5.5V (特に記述のない限り)

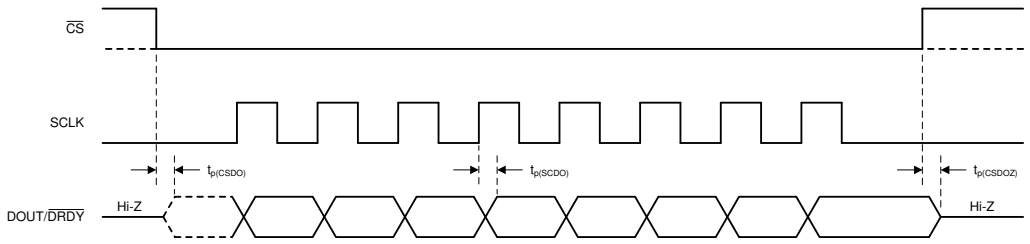
パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{p(CSDO)}$	伝搬遅延時間、$\overline{CS}$ 立ち下がりエッジから DOUT 駆動まで	DOUT 負荷 = 20pF || 10kΩ から DGND			50	ns
$t_{p(SCDO)}$	伝搬遅延時間、SCLK 立ち上がりエッジから有効な新しい DOUT まで	DOUT 負荷 = 20pF || 10kΩ から DGND	0		50	ns
$t_{p(CSDOZ)}$	伝搬遅延時間、$\overline{CS}$ 立ち上がりエッジから DOUT ハイ インピーダンスまで	DOUT 負荷 = 20pF || 10kΩ から DGND			50	ns

6.8 タイミング図



シングルバイト通信を示します。実際の通信は複数バイトです。

図 6-1. シリアル インターフェイスのタイミング要件

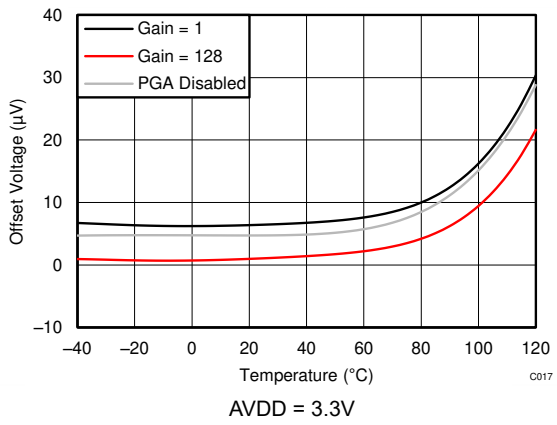


シングルバイト通信を示します。実際の通信は複数バイトです。

図 6-2. シリアル インターフェイスのスイッチング特性

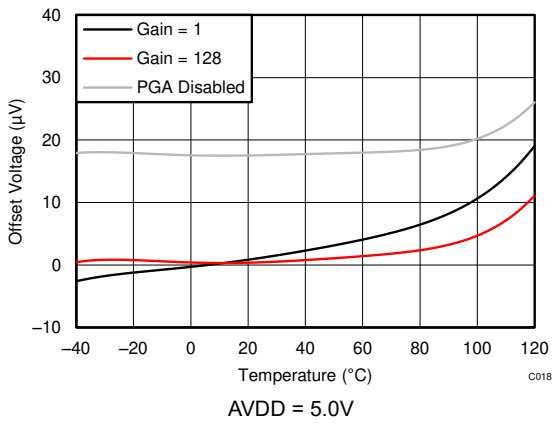
6.9 代表的特性

T_A = 25°C、AVDD = 3.3V、AVSS = 0V、PGA イネーブル、外部 V_{REF} = 2.5V を使用 (特に記述のない限り)。



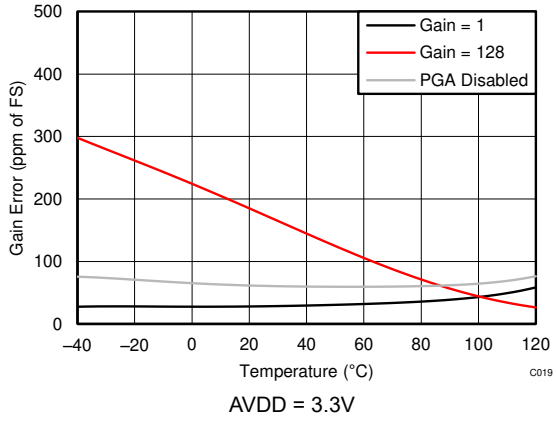
AVDD = 3.3V

図 6-3. 入力換算オフセット電圧と温度との関係



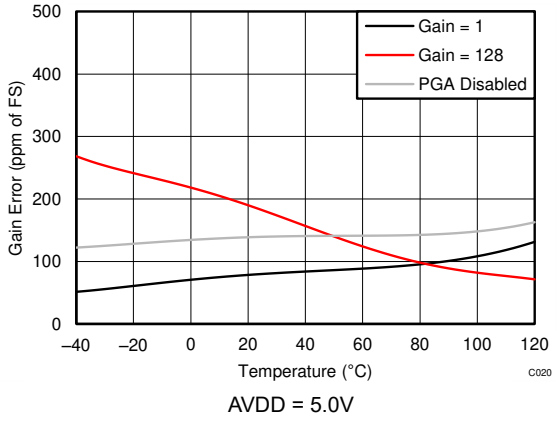
AVDD = 5.0V

図 6-4. 入力換算オフセット電圧と温度との関係



AVDD = 3.3V

図 6-5. ゲイン誤差と温度との関係



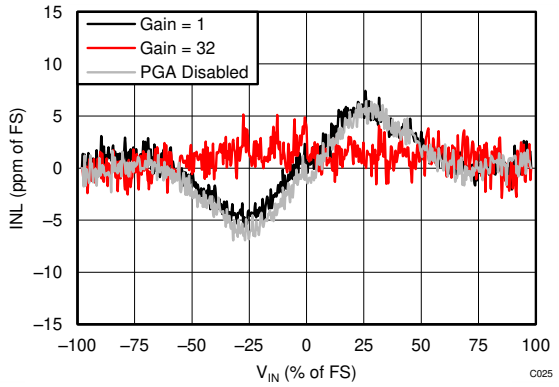
AVDD = 5.0V

図 6-6. ゲイン誤差と温度との関係

Copyright © 2026 Texas Instruments Incorporated

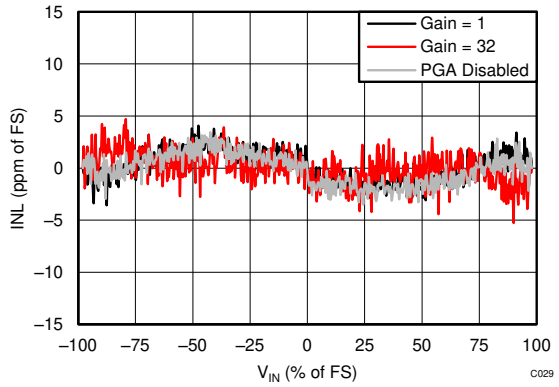
6.9 代表的特性 (続き)

T_A = 25°C、AVDD = 3.3V、AVSS = 0V、PGA イネーブル、外部 V_{REF} = 2.5V を使用 (特に記述のない限り)。



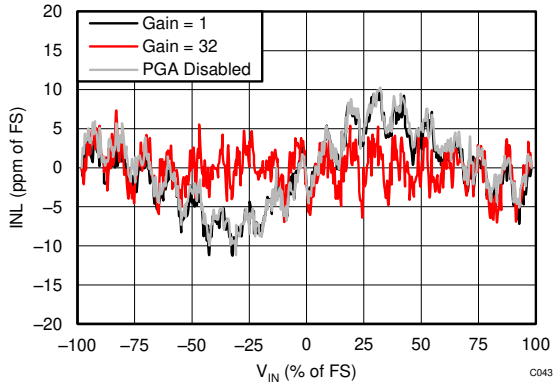
AVDD = 3.3V、外部 2.5V リファレンス、通常モード

図 6-7. 積分非直線性と差動入力信号との関係



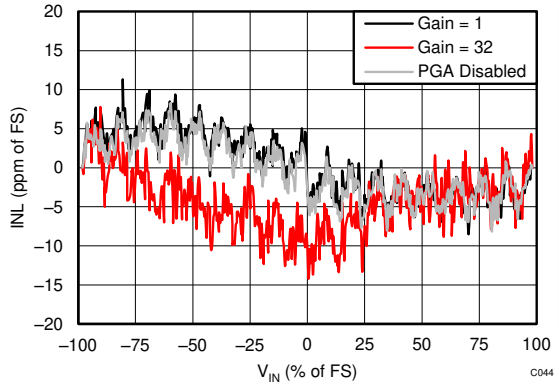
AVDD = 5.0V、外部 2.5V リファレンス、通常モード

図 6-8. 積分非直線性と差動入力信号との関係



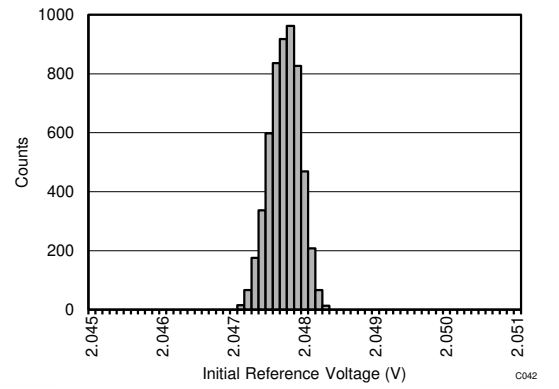
AVDD = 3.3V、内部リファレンス、通常モード

図 6-9. 積分非直線性と差動入力信号との関係



AVDD = 5.0V、内部リファレンス、通常モード

図 6-10. 積分非直線性と差動入力信号との関係



T_A = 25°C、5490 デバイスからのデータ

図 6-11. 内部リファレンス電圧のヒストグラム

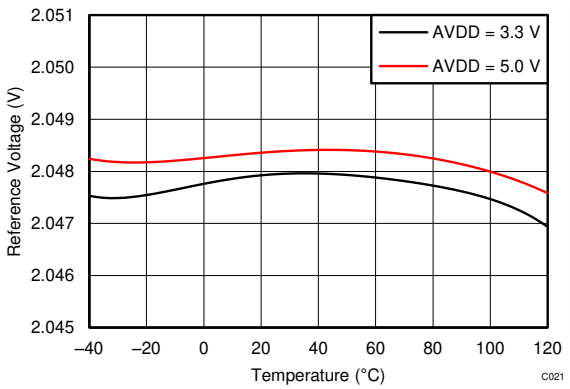
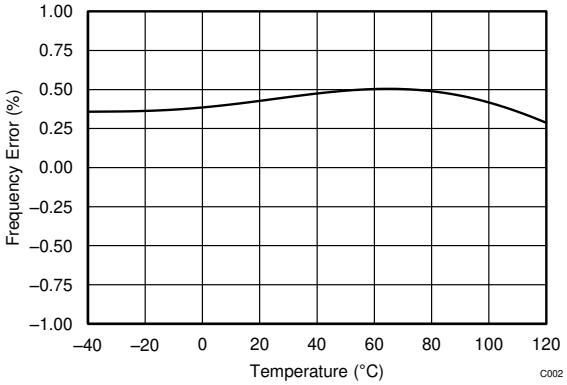


図 6-12. 内部リファレンス電圧と温度との関係

6.9 代表的特性 (続き)

T_A = 25°C、AVDD = 3.3V、AVSS = 0V、PGA イネーブル、外部 V_{REF} = 2.5V を使用 (特に記述のない限り)。



DVDD = 3.3V、通常モード

図 6-13. 内部発振器の精度と温度との関係

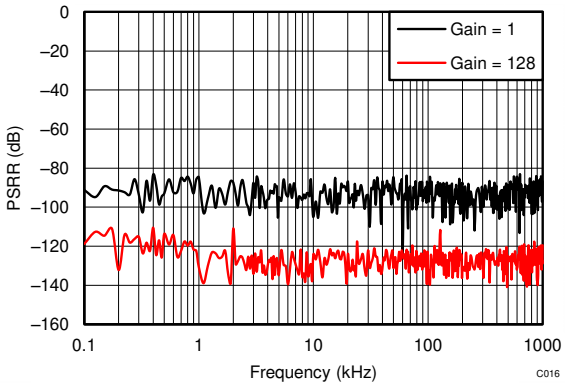
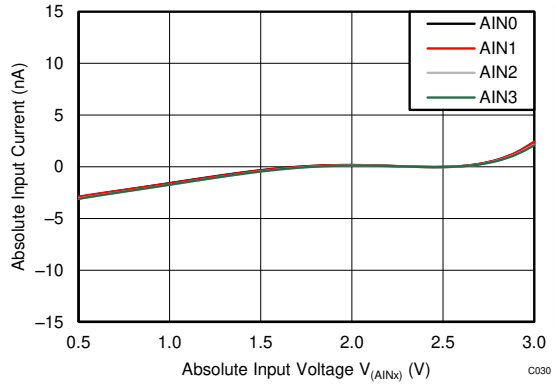
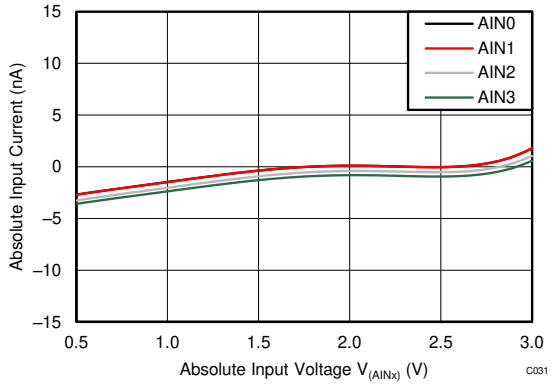


図 6-14. AVDD 電源除去比と周波数との関係



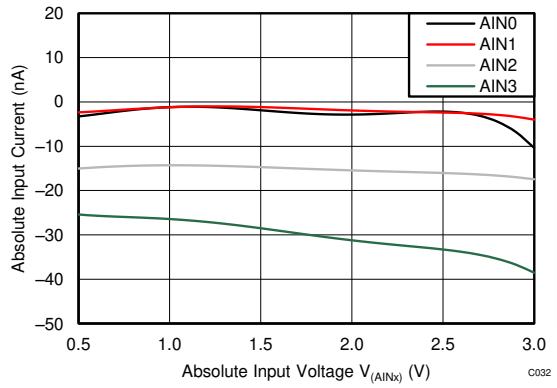
AVDD = 3.3V、PGA イネーブル、T_A = –40°C

図 6-15. 絶対入力電流と絶対入力電圧との関係



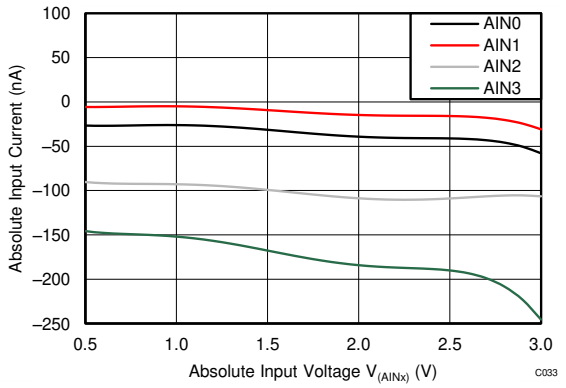
AVDD = 3.3V、PGA イネーブル、T_A = 25°C

図 6-16. 絶対入力電流と絶対入力電圧との関係



AVDD = 3.3V、PGA イネーブル、T_A = 85°C

図 6-17. 絶対入力電流と絶対入力電圧との関係



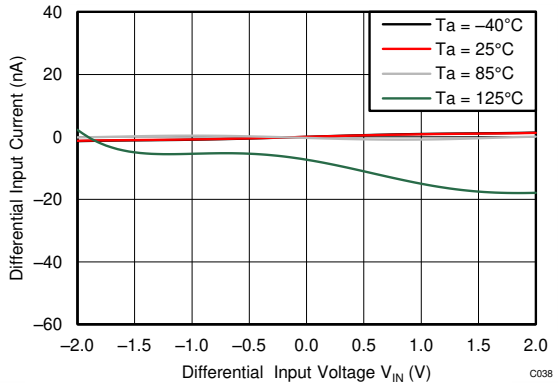
AVDD = 3.3V、PGA イネーブル、T_A = 125°C

図 6-18. 絶対入力電流と絶対入力電圧との関係

Copyright © 2026 Texas Instruments Incorporated

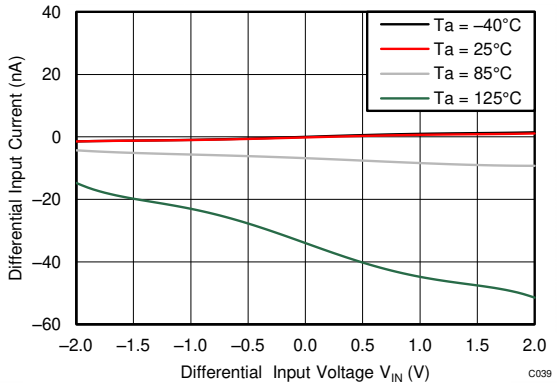
6.9 代表的特性 (続き)

T_A = 25°C、AVDD = 3.3V、AVSS = 0V、PGA イネーブル、外部 V_{REF} = 2.5V を使用 (特に記述のない限り)。



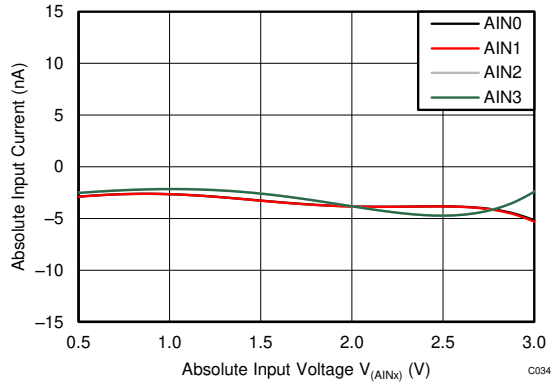
AVDD = 3.3V、PGA イネーブル、AIN_P = AIN0、AIN_N = AIN1

図 6-19. 差動入力電流と差動入力電圧との関係



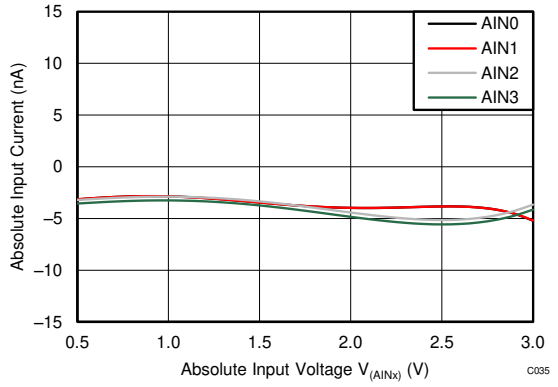
AVDD = 3.3V、PGA イネーブル、AIN_P = AIN3、AIN_N = AIN2

図 6-20. 差動入力電流と差動入力電圧との関係



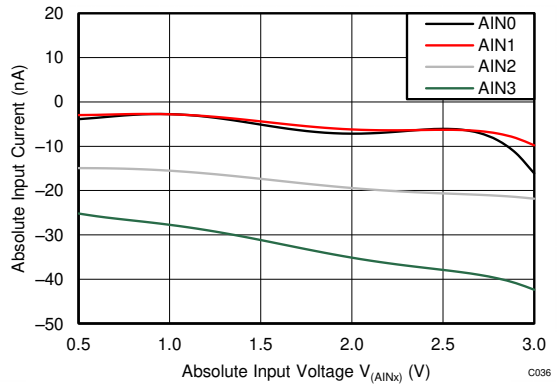
AVDD = 3.3V、PGA ディスエーブル、T_A = –40°C

図 6-21. 絶対入力電流と絶対入力電圧との関係



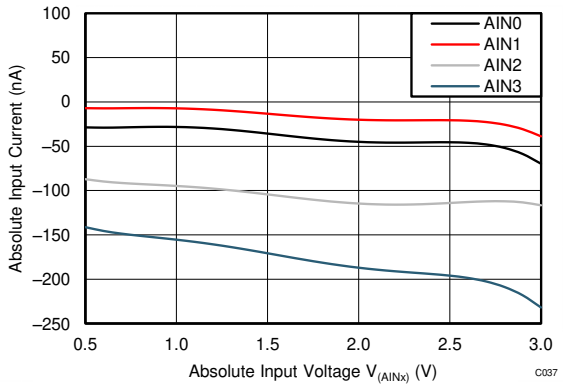
AVDD = 3.3V、PGA ディスエーブル、T_A = 25°C

図 6-22. 絶対入力電流と絶対入力電圧との関係



AVDD = 3.3V、PGA ディスエーブル、T_A = 85°C

図 6-23. 絶対入力電流と絶対入力電圧との関係



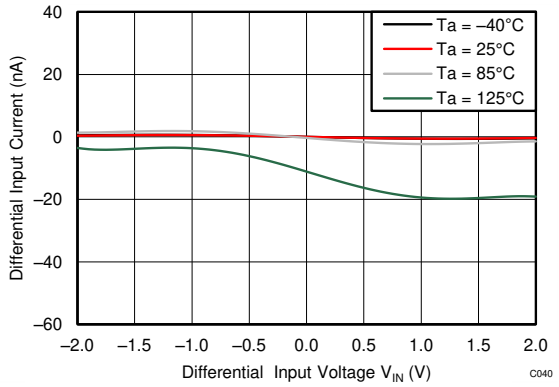
AVDD = 3.3V、PGA ディスエーブル、T_A = 125°C

図 6-24. 絶対入力電流と絶対入力電圧との関係

Copyright © 2026 Texas Instruments Incorporated

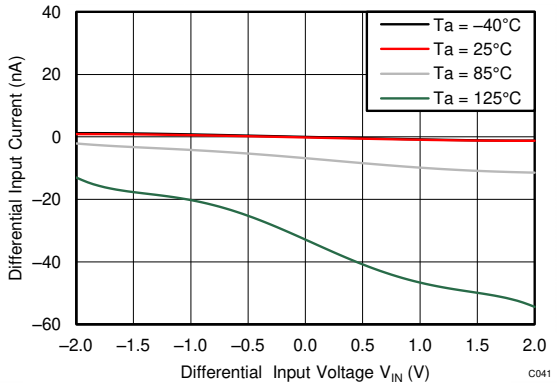
6.9 代表的特性 (続き)

T_A = 25°C、AVDD = 3.3V、AVSS = 0V、PGA イネーブル、外部 V_{REF} = 2.5V を使用 (特に記述のない限り)。



AVDD = 3.3V、PGA ディスエーブル、AIN_P = AIN0、AIN_N = AIN1

図 6-25. 差動入力電流と差動入力電圧との関係



AVDD = 3.3V、PGA ディスエーブル、AIN_P = AIN3、AIN_N = AIN2

図 6-26. 差動入力電流と差動入力電圧との関係

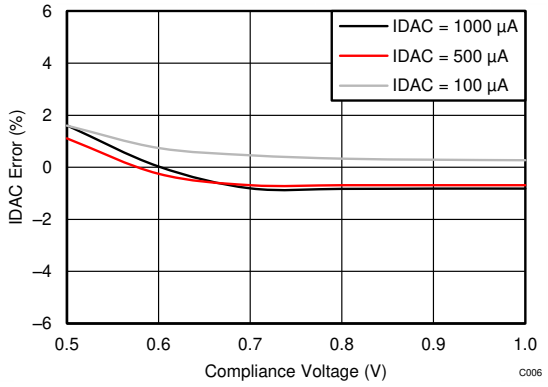


図 6-27. IDAC の精度とコンプライアンス電圧との関係

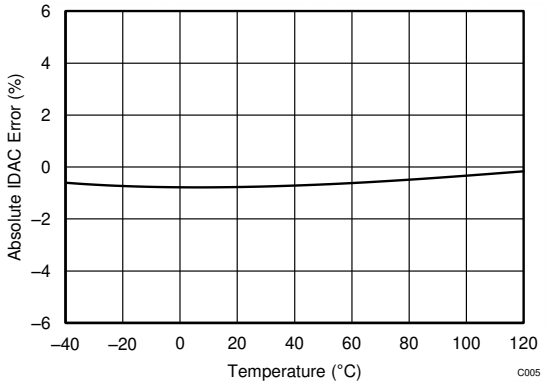


図 6-28. IDAC の精度と温度との関係

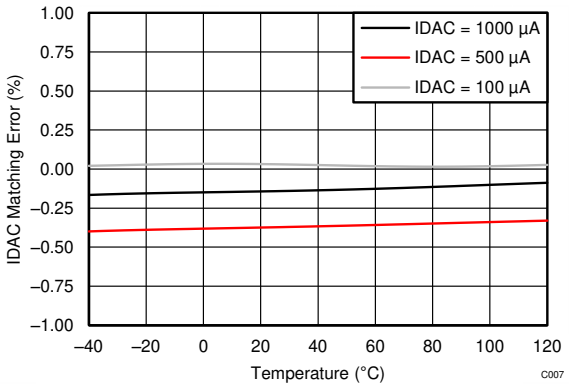
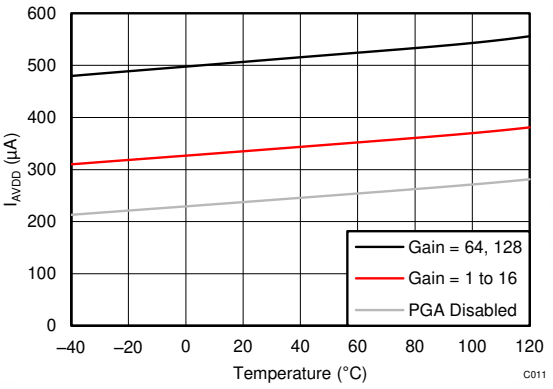


図 6-29. IDAC マッチングと温度との関係



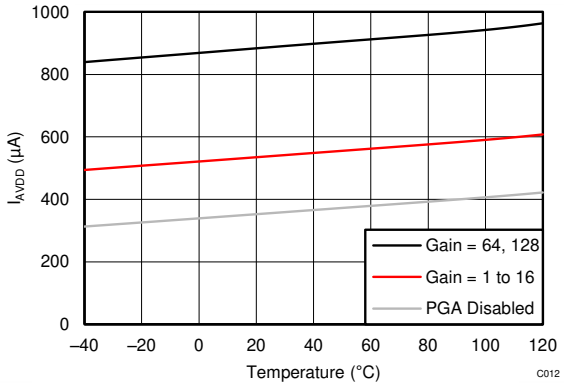
AVDD = 3.3V、内部リファレンス、通常モード

図 6-30. I_{AVDD} vs 温度

Copyright © 2026 Texas Instruments Incorporated

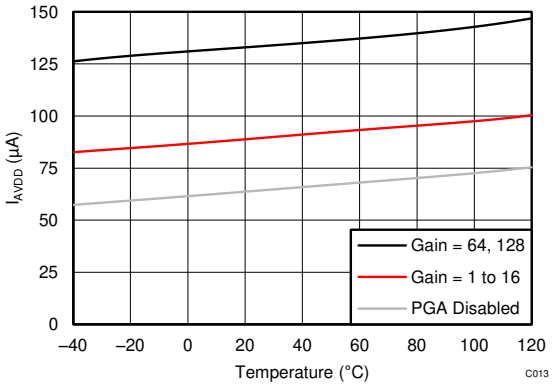
6.9 代表的特性 (続き)

T_A = 25°C、AVDD = 3.3V、AVSS = 0V、PGA イネーブル、外部 V_{REF} = 2.5V を使用 (特に記述のない限り)。



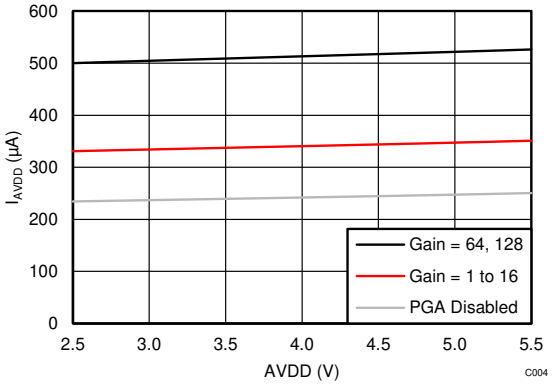
AVDD = 3.3V、内部リファレンス、ターボ モード

図 6-31. I_{AVDD} vs 温度



AVDD = 3.3V、内部リファレンス、デューティ サイクル モード

図 6-32. I_{AVDD} vs 温度



通常モード、内部リファレンス

図 6-33. I_{AVDD} と AVDD との関係

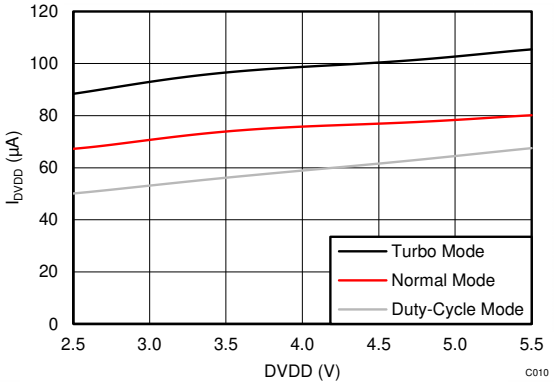
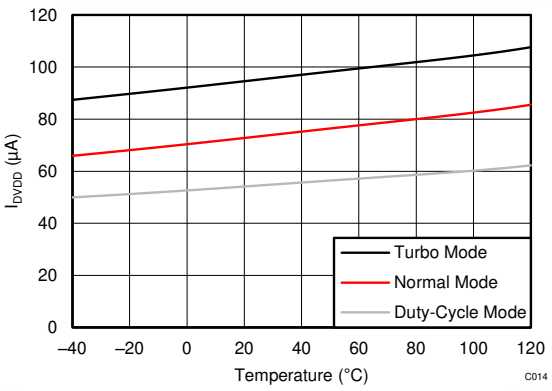


図 6-34. I_{DVDD} と DVDD との関係



DVDD = 3.3V

図 6-35. I_{DVDD} vs 温度

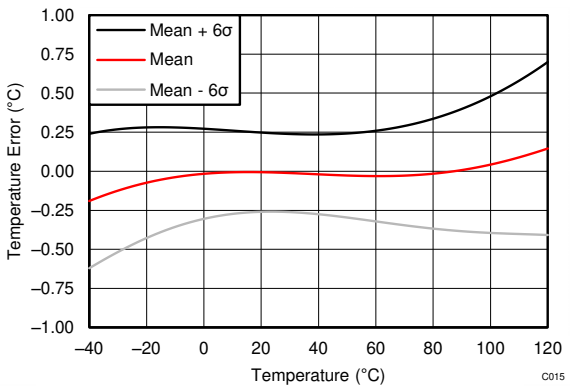


図 6-36. 内部温度センサの精度と温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.9 代表的特性 (続き)

T_A = 25°C、AVDD = 3.3V、AVSS = 0V、PGA イネーブル、外部 V_{REF} = 2.5V を使用 (特に記述のない限り)。

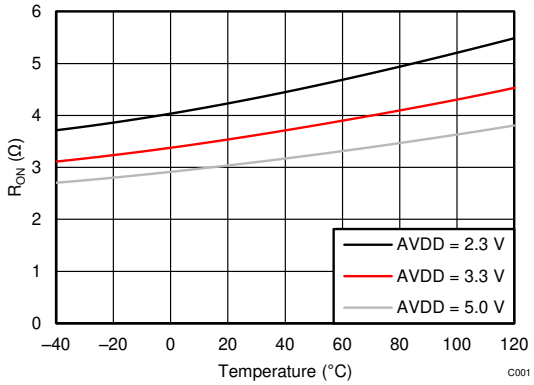


図 6-37. ローサイド パワー スイッチ R_{ON} と温度との関係

Copyright © 2026 Texas Instruments Incorporated

7 パラメータ測定情報

7.1 ノイズ性能

デルタシグマ (ΔΣ) 方式の A/D コンバータ (ADC) は、オーバーサンプリングの原理に基づいています。ΔΣ ADC の入力信号は高い周波数 (変調器周波数) でサンプリングされ、その後、デジタル領域でフィルタ処理およびデシメーションが行われ、対応する出力データ レートでの変換結果が得られます。変調器周波数と出力データ レートの比は、オーバーサンプリング レート (OSR) と呼ばれます。OSR を高くし、それによって出力データ レートを低下させることで、ADC のノイズ性能を最適化できます。言い換えると、内部変調器のより多くのサンプルが平均化されて一つの変換結果が得られるため、出力データ レートを下げると入力換算ノイズは低下します。ゲインを大きくすると、入力換算ノイズも減少し、低レベル信号を測定する場合に特に役立ちます。

表 7-1 ～ 表 7-8 に、デバイスのノイズ性能をまとめます。データは、T_A = 25°C において、内蔵 2.048V リファレンスを使用した際の標準的なノイズ性能を表しています。ここに示されているデータは、1 つのデバイスからの読み取り値を約 0.75 秒で平均化した結果であり、入力が内部で短絡した状態で測定されています。表 7-1、表 7-3、表 7-5、表 7-7 に、提示されている条件における入力換算ノイズ (単位:μV_{RMS}) を示します。μV_{PP} での値は括弧内に表示されています。表 7-2、表 7-4、表 7-6、表 7-8 に、式 1 を使用して μV_{RMS} 値から計算された有効分解能の対応データを示します。式 2 を用いてピーク ツー ピークノイズ値から算出したノイズフリー分解能が括弧内に表示されています。

入力換算ノイズ (表 7-1、表 7-3、表 7-5、表 7-7) は、REF5020 などの外部低ノイズ リファレンスを使用する場合にのみわずかに変化します。2.048V 以外のリファレンス電圧を使用する場合の有効分解能およびノイズフリー分解能の算出には、式 1 および 式 2 を使用します。

$$\text{Effective Resolution} = \ln [2 \times V_{REF} / (\text{Gain} \times V_{RMS\text{-}Noise})] / \ln(2) \quad (1)$$

$$\text{Noise-Free Resolution} = \ln [2 \times V_{REF} / (\text{Gain} \times V_{PP\text{-}Noise})] / \ln(2) \quad (2)$$

表 7-1. AVDD = 3.3V、AVSS = 0V、通常モード、内部リファレンス = 2.048V の場合の μV_{RMS} (μV_{PP}) でのノイズ

データ レート (SPS)	ゲイン (PGA イネーブル)							
	1	2	4	8	16	32	64	128
20	3.71 (13.67)	1.54 (5.37)	1.15 (4.15)	0.80 (3.36)	0.35 (1.16)	0.23 (0.73)	0.10 (0.35)	0.09 (0.41)
45	7.36 (29.54)	2.93 (13.06)	1.71 (9.28)	0.88 (4.06)	0.50 (2.26)	0.29 (1.49)	0.19 (0.82)	0.12 (0.51)
90	10.55 (47.36)	4.50 (20.75)	2.43 (11.35)	1.51 (6.65)	0.65 (3.62)	0.42 (2.14)	0.27 (1.22)	0.18 (0.85)
175	11.90 (63.72)	6.45 (34.06)	3.26 (17.76)	1.82 (11.20)	1.01 (5.13)	0.57 (3.09)	0.34 (2.14)	0.26 (1.60)
330	19.19 (106.93)	9.38 (50.78)	4.25 (26.25)	2.68 (14.13)	1.45 (7.52)	0.79 (4.66)	0.50 (2.69)	0.34 (1.99)
600	24.78 (151.61)	13.35 (72.27)	6.68 (39.43)	3.66 (19.26)	2.10 (12.77)	1.14 (6.87)	0.70 (4.76)	0.55 (3.34)
1000	37.53 (227.29)	18.87 (122.68)	9.53 (58.53)	5.37 (31.52)	2.95 (18.08)	1.65 (10.71)	1.03 (6.52)	0.70 (4.01)

表 7-2. AVDD = 3.3V、AVSS = 0V、通常モード、内部リファレンス = 2.048V の場合の RMS ノイズ (ピーク ツー ピークノイズからのノイズフリー分解能) からの有効分解能

データ レート (SPS)	ゲイン (PGA イネーブル)							
	1	2	4	8	16	32	64	128
20	20.08 (18.19)	20.34 (18.54)	19.76 (17.91)	19.28 (17.22)	19.48 (17.75)	19.10 (17.42)	19.33 (17.49)	18.49 (16.26)
45	19.09 (17.08)	19.42 (17.26)	19.19 (16.75)	19.15 (16.94)	18.95 (16.79)	18.74 (16.39)	18.38 (16.25)	18.00 (15.49)
90	18.57 (16.40)	18.80 (16.59)	18.68 (16.46)	18.37 (16.23)	18.60 (16.11)	18.20 (15.87)	17.87 (15.67)	17.44 (15.20)
175	18.39 (15.97)	18.28 (15.88)	18.26 (15.82)	18.10 (15.48)	17.96 (15.61)	17.78 (15.34)	17.53 (14.87)	16.91 (14.29)
330	17.70 (15.23)	17.74 (15.30)	17.88 (15.25)	17.54 (15.15)	17.43 (15.05)	17.30 (14.74)	16.96 (14.54)	16.50 (13.97)
600	17.33 (14.72)	17.23 (14.79)	17.23 (14.66)	17.09 (14.70)	16.89 (14.29)	16.77 (14.18)	16.48 (13.72)	15.83 (13.23)
1000	16.74 (14.14)	16.73 (14.03)	16.71 (14.09)	16.54 (13.99)	16.41 (13.79)	16.25 (13.54)	15.92 (13.26)	15.49 (12.96)

Copyright © 2026 Texas Instruments Incorporated

表 7-3. PGA ディスエーブルの状態で AVDD = 3.3V、AVSS = 0V、通常モード、内部リファレンス = 2.048V の場合の μV_{RMS} (μV_{PP}) でのノイズ

データ レート (SPS)	ゲイン (PGA ディスエーブル)		
	1	2	4
20	3.89 (13.43)	1.85 (6.84)	1.26 (3.91)
45	6.97 (31.98)	2.94 (12.94)	1.41 (5.62)
90	8.50 (42.48)	4.49 (18.92)	2.07 (9.95)
175	12.99 (65.92)	6.24 (35.40)	3.04 (18.92)
330	18.18 (94.24)	8.12 (50.17)	4.71 (28.75)
600	25.29 (138.67)	12.77 (78.13)	6.27 (39.79)
1000	38.04 (260.50)	18.40 (120.97)	9.48 (63.72)

表 7-4. PGA ディスエーブルの状態で AVDD = 3.3V、AVSS = 0V、通常モード、内部リファレンス = 2.048V の場合の RMS ノイズ (ピーク ツー ピークノイズからのノイズフリー分解能) からの有効分解能

データ レート (SPS)	ゲイン (PGA ディスエーブル)		
	1	2	4
20	20.01 (18.22)	20.08 (18.19)	19.63 (18.00)
45	19.61 (16.97)	19.41 (17.27)	19.47 (17.48)
90	18.88 (16.56)	18.80 (16.72)	18.91 (16.65)
175	18.27 (15.92)	18.32 (15.82)	18.36 (15.72)
330	17.78 (15.41)	17.94 (15.32)	17.73 (15.12)
600	17.31 (14.85)	17.29 (14.68)	17.32 (14.65)
1000	16.72 (13.94)	16.76 (14.05)	16.72 (13.97)

表 7-5. AVDD = 3.3V、AVSS = 0V、ターボ モード、内部リファレンス = 2.048V の場合の μV_{RMS} (μV_{PP}) でのノイズ

データ レート (SPS)	ゲイン (PGA イネーブル)							
	1	2	4	8	16	32	64	128
40	4.56 (24.17)	2.40 (11.35)	1.22 (4.94)	0.71 (2.84)	0.35 (1.60)	0.19 (0.85)	0.16 (0.71)	0.09 (0.55)
90	5.74 (25.88)	2.97 (14.40)	1.47 (5.80)	1.13 (5.52)	0.50 (2.67)	0.32 (1.32)	0.23 (1.13)	0.15 (0.69)
180	8.49 (46.88)	4.66 (21.36)	2.30 (12.88)	1.24 (7.23)	0.72 (4.82)	0.42 (2.57)	0.28 (1.47)	0.24 (1.34)
350	13.42 (84.72)	5.86 (40.04)	3.39 (19.04)	1.88 (10.13)	1.05 (6.15)	0.64 (3.59)	0.43 (2.29)	0.28 (1.39)
660	17.09 (120.36)	9.34 (47.36)	4.81 (27.83)	2.97 (17.36)	1.54 (10.21)	0.82 (4.43)	0.58 (3.67)	0.41 (2.93)
1200	25.71 (162.35)	12.31 (85.94)	6.81 (44.01)	3.72 (21.55)	2.09 (15.14)	1.23 (7.58)	0.80 (5.31)	0.57 (3.51)
2000	36.23 (265.14)	18.24 (127.32)	9.24 (65.43)	5.49 (37.02)	2.89 (18.89)	1.77 (12.00)	1.13 (7.60)	0.82 (5.81)

表 7-6. AVDD = 3.3V、AVSS = 0V、ターボ モード、内部リファレンス = 2.048V の場合の RMS ノイズ (ピーク ツー ピークノイズからのノイズフリー分解能) からの有効分解能

データ レート (SPS)	ゲイン (PGA イネーブル)							
	1	2	4	8	16	32	64	128
40	19.78 (17.37)	19.71 (17.46)	19.68 (17.66)	19.45 (17.46)	19.47 (17.29)	19.37 (17.21)	18.65 (16.46)	18.40 (15.83)
90	19.45 (17.27)	19.39 (17.12)	19.41 (17.43)	18.79 (16.50)	18.97 (16.55)	18.62 (16.57)	18.11 (15.80)	17.75 (15.49)
180	18.88 (16.42)	18.75 (16.55)	18.76 (16.28)	18.65 (16.11)	18.43 (15.70)	18.23 (15.60)	17.79 (15.41)	17.05 (14.54)
350	18.22 (15.56)	18.42 (15.64)	18.21 (15.71)	18.05 (15.62)	17.89 (15.35)	17.62 (15.12)	17.20 (14.77)	16.78 (14.49)
660	17.87 (15.05)	17.74 (15.40)	17.70 (15.17)	17.39 (14.85)	17.34 (14.61)	17.25 (14.82)	16.75 (14.09)	16.25 (13.42)
1200	17.28 (14.62)	17.34 (14.54)	17.20 (14.51)	17.07 (14.54)	16.90 (14.05)	16.67 (14.04)	16.28 (13.56)	15.77 (13.15)
2000	16.79 (13.92)	16.78 (13.97)	16.76 (13.93)	16.51 (13.76)	16.44 (13.73)	16.14 (13.38)	15.79 (13.04)	15.25 (12.43)

Copyright © 2026 Texas Instruments Incorporated

表 7-7. PGA ディスエーブルの状態で AVDD = 3.3V、AVSS = 0V、ターボ モード、内部リファレンス = 2.048V の場合の μV_{RMS} (μV_{PP}) でのノイズ

データ レート (SPS)	ゲイン (PGA ディスエーブル)		
	1	2	4
40	4.22 (22.46)	2.30 (10.74)	0.93 (3.91)
90	6.57 (31.01)	3.53 (14.28)	1.59 (6.84)
180	8.41 (55.66)	4.30 (22.09)	2.31 (14.59)
350	12.68 (75.20)	6.02 (34.18)	3.22 (17.64)
660	17.81 (111.08)	9.06 (56.76)	4.24 (27.47)
1200	25.43 (176.03)	12.70 (89.23)	6.28 (40.95)
2000	36.11 (250.98)	17.30 (131.35)	8.77 (68.18)

表 7-8. PGA ディスエーブルの状態で AVDD = 3.3V、AVSS = 0V、ターボ モード、内部リファレンス = 2.048V の場合の RMS ノイズ (ピーク ツー ピークノイズからのノイズフリー分解能) からの有効分解能

データ レート (SPS)	ゲイン (PGA ディスエーブル)		
	1	2	4
40	19.89 (17.48)	19.76 (17.54)	20.07 (18.00)
90	19.25 (17.01)	19.15 (17.13)	19.29 (17.19)
180	18.89 (16.17)	18.86 (16.50)	18.76 (16.10)
350	18.30 (15.73)	18.38 (15.87)	18.28 (15.83)
660	17.81 (15.17)	17.79 (15.14)	17.88 (15.19)
1200	17.30 (14.51)	17.30 (14.49)	17.31 (14.61)
2000	16.79 (13.99)	16.85 (13.93)	16.83 (13.87)

Copyright © 2026 Texas Instruments Incorporated

8 詳細説明

8.1 概要

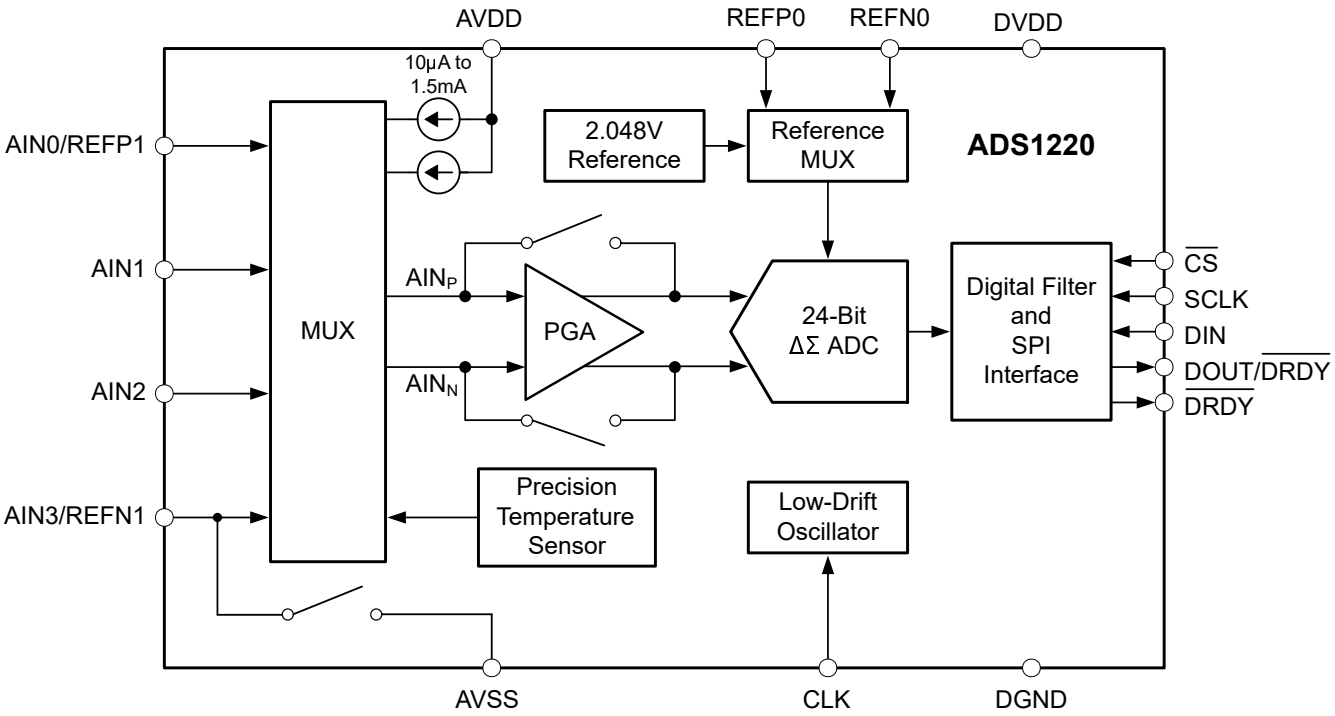
ADS1220 は、小型かつ低消費電力の 24 ビット ΔΣ ADC であり、小信号を測定するを測定するアプリケーションにおいて、システム コストおよび部品点数の削減する多数の機能を統合しています。

デバイスは、ΔΣ ADC コアとシングル サイクル セトリング デジタル フィルタに加えて、低ノイズ、高入力インピーダンス、プログラマブル ゲインアンプ (PGA)、内部リファレンス電圧、クロック発振器を備えています。デバイスには、線形性の高い高精度の温度センサと、センサー励起用のマッチングされた 2 つのプログラマブル電流源 (IDAC) も内蔵されています。これらの機能はすべて、代表的なセンサ アプリケーションで必要な外部回路を削減し、システム全体の性能を向上させることを目的としています。追加のローサイド パワー スイッチにより、低消費電力ブリッジ センサ アプリケーションの設計が簡単になります。デバイスは 4 つのレジスタにより完全に構成され、モード 1 SPI 互換インターフェイスを介して 6 つのコマンドで制御されます。「機能ブロック図 」セクションに、デバイスの機能ブロック図を示します。

ADS1220 の ADC は差動信号 V_{IN} を測定します。これは、ノード AIN_P と AIN_N の電圧の差です。コンバータ コアは、差動、スイッチト コンデンサ、ΔΣ 変調器、それに続くデジタル フィルタで構成されています。デジタル フィルタは、変調器から高速ビット ストリームを受信し、入力電圧に比例するコードを出力します。このアーキテクチャでは、すべての同相モード信号を非常に強力に減衰させます。

デバイスには、シングルショット モードと連続変換モードの 2 つの変換モードがあります。シングルショット変換モードでは、ADC は要求に応じて入力信号の 1 つの変換を実行し、その値を内部データ バッファに格納します。その後、デバイスは低消費電力状態に移行して消費電力を節約します。シングルショット変換モードは、周期的な変換のみを必要とするシステム、または変換の間にアイドル時間が長いシステムで消費電力を大幅に削減することを目的としています。連続変換モードでは、前の変換が完了するとすぐに、ADC は入力信号の変換を自動的に開始します。プログラムされたデータレートで新しいデータが利用可能となります。データは、データの破損を心配することなくいつでも読み取ることができ、変換が最後に完了したことを反映する必要があります。

8.2 機能ブロック図



Copyright © 2026 Texas Instruments Incorporated

8.3 機能説明

8.3.1 マルチプレクサ

図 8-1 に、デバイスの柔軟な入力マルチプレクサを示します。4 つのシングルエンド信号、2 つの差動信号、または 2 つのシングルエンド信号と 1 つの差動信号の組み合わせを測定できます。構成レジスタの MUX[3:0] ビットを使用して、マルチプレクサを構成します。シングルエンド信号を測定する場合、負の ADC 入力 (AIN_N) はマルチプレクサ内のスイッチによって内部で AVSS に接続されます。システム監視を目的として、アナログ電源 (AVDD – AVSS) / 4 または現在選択されている外部リファレンス電圧 ($V_{REFPx} – V_{REFNx}$) / 4 を ADC への入力として選択できます。また、マルチプレクサは 2 つのプログラマブル電流源のいずれかをアナログ入力 (AINx) または任意の専用リファレンス ピン (REFP0、REFN0) に配線できます。

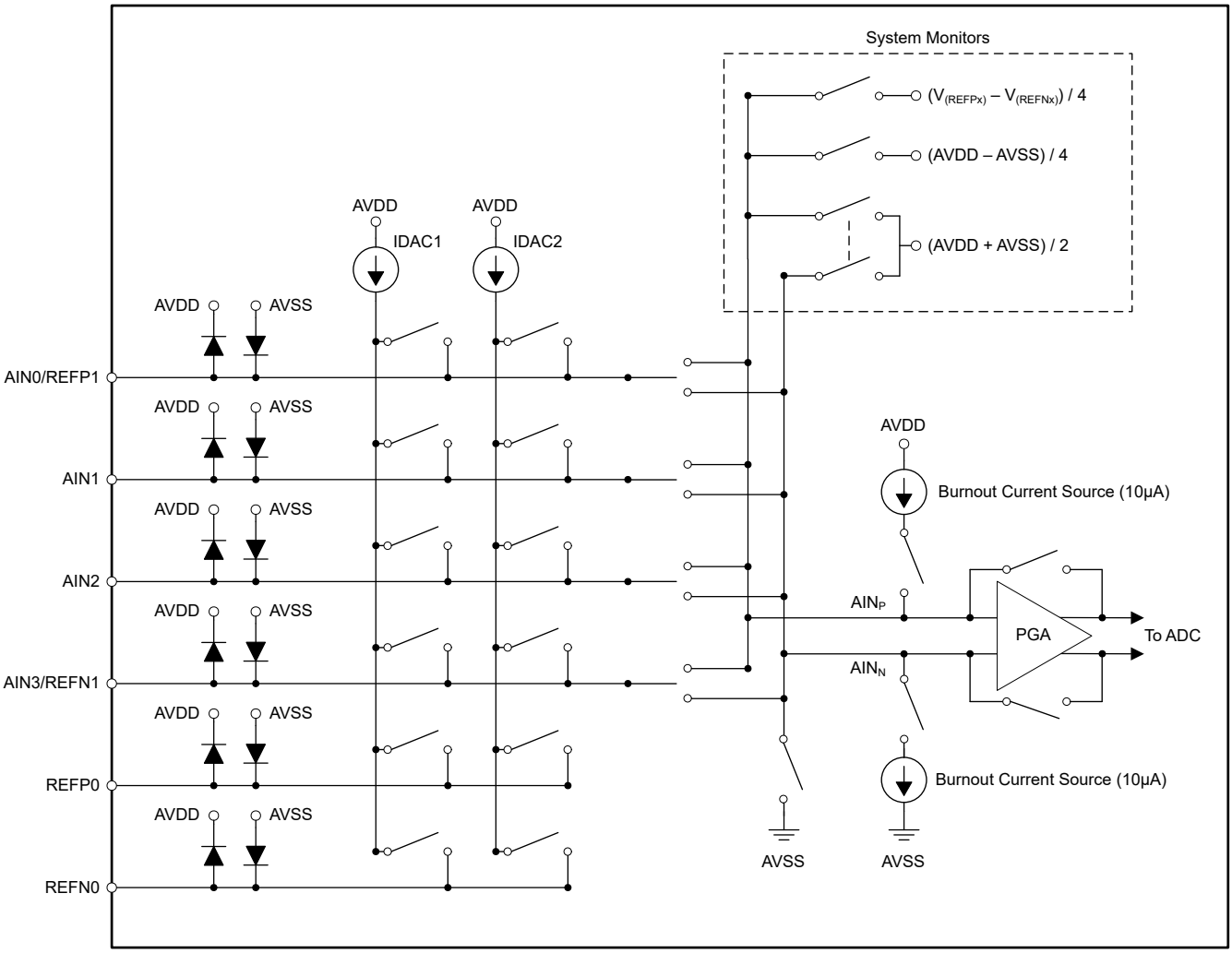


図 8-1. アナログ入力マルチプレクサ

AVDD と AVSS への静電放電 (ESD) ダイオードにより、入力を保護します。ESD ダイオードがオンしないようにするため、各入力の絶対電圧は、式 3 に示されている範囲内に維持する必要があります:

$$AVSS – 0.3V < V_{(AINx)} < AVDD + 0.3V \quad (3)$$

入力ピンの電圧がこれらの条件に違反する可能性がある場合、入力電流を安全な値に制限するために、外部ショットキー クランプ ダイオードまたは直列抵抗が必要な場合があります (「絶対最大定格」表を参照)。デバイスで使用されていない入力をオーバードライブすると、他の入力ピンで行われている変換に影響を与える可能性があります。

Copyright © 2026 Texas Instruments Incorporated

8.3.2 低ノイズ PGA

デバイスは、1、2、4、8、16、32、64、128 のプログラマブル ゲインを備えています。構成レジスタの GAIN[2:0] ビットを使用して、ゲインを構成します。ゲインは 2 ステージで達成されます。最初のステージは、低ノイズ、低ドリフト、高入力インピーダンスのプログラマブル ゲイン アンプ (PGA) です。2 番目のゲイン ステージは、ΔΣ 変調器への入力のスイッチト コンデンサ回路によって実装されます。表 8-1 に、各ゲインの実装方法を示します。

表 8-1. ゲイン実装

ゲイン設定	PGA ゲイン	スイッチト コンデンサ ゲイン
1	1	1
2	1	2
4	1	4
8	2	4
16	4	4
32	8	4
64	16	4
128	32	4

PGA は、2 つのチョッパ安定化アンプ (A1 および A2) と、PGA ゲインを設定する抵抗帰還回路で構成されます。PGA 入力は、電磁干渉 (EMI) フィルタを搭載しています。図 8-2 に、PGA の簡略図を示します。

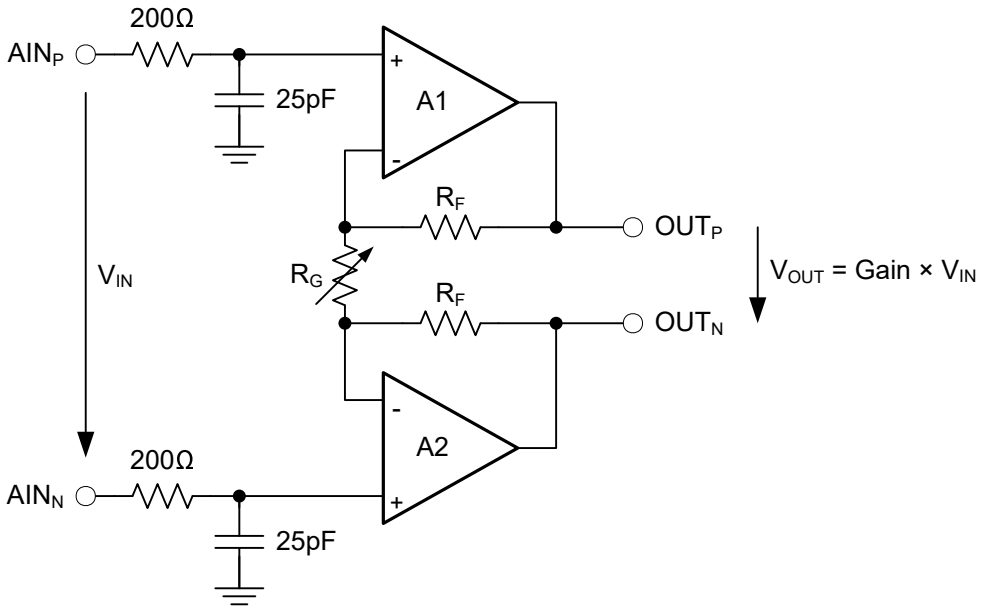


図 8-2. PGA の簡略図

V_{IN} は、差動入力電圧 $V_{IN} = (V_{AINP} – V_{AINN})$ を示します。PGA のゲインは、式 4 を用いて算出することができます。

$$Gain = 1 + 2 \times R_F / R_G \quad (4)$$

デバイス内のゲインは、バリスタ (バリアブル レジスタ) R_G を使用して変更されます。式 5 に示されているように、PGA の差動フルスケール入力電圧範囲 (FSR) は、ゲイン設定および使用されるリファレンス電圧によって定義されます。

$$FSR = \pm V_{REF} / Gain \quad (5)$$

表 8-2 に、内部 2.048V リファレンスを使用する場合の対応するフルスケール レンジを示します。

Copyright © 2026 Texas Instruments Incorporated

表 8-2. PGA フルスケール レンジ

ゲイン設定	FSR
1	±2.048V
2	±1.024V
4	±0.512V
8	±0.256V
16	±0.128V
32	±0.064V
64	±0.032V
128	±0.016V

8.3.2.1 入力同相電圧の要件

PGA の線形動作範囲内に維持するには、このセクションで説明する特定の要件を入力信号が満たす必要があります。

図 8-2 の両アンプ (A1 および A2) の出力は、電源 (AVSS および AVDD) から 200mV を超える範囲でスイングすることはできません。出力 OUT_P および OUT_N が電源レールから 200mV 以内まで駆動されると、アンプは飽和し、結果的に非線形になります。この非線形動作条件を防止するために、出力電圧は 式 6 の条件を満たす必要があります。

$$AVSS + 0.2V \le V_{OUTN}, V_{OUTP} \le AVDD - 0.2V \quad (6)$$

PGA の出力には直接アクセスできないため、式 6 の要件を、PGA の入力 (AIN_P および AIN_N) に関連する要件へと変換することは有益に働きます。図 8-3 に示されているように、PGA は対称型の設計を採用しているため、PGA の出力の同相電圧は入力信号の同相電圧と同じであると仮定できます。

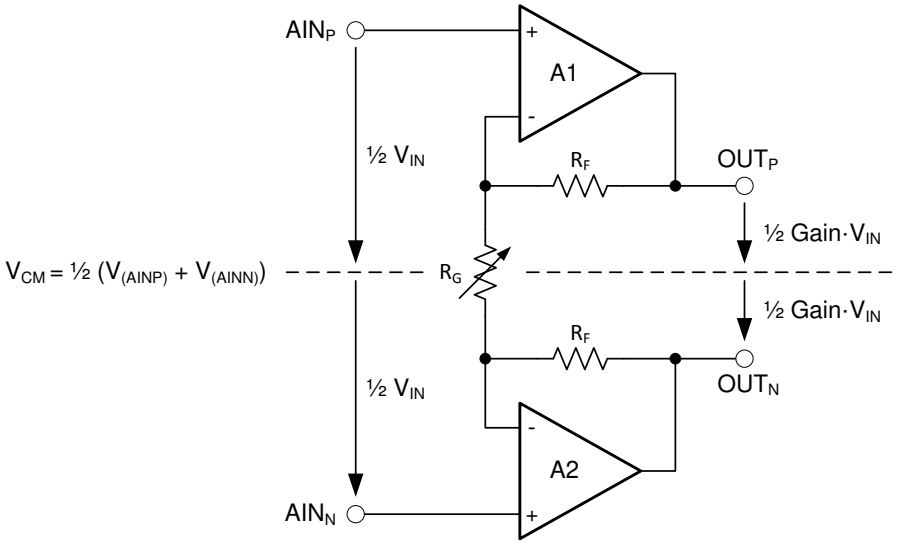


図 8-3. PGA 同相電圧

同相電圧は、式 7 を使用して計算します。

$$V_{CM} = ½ (V_{AINP} + V_{AINN}) = ½ (V_{OUTP} + V_{OUTN}) \quad (7)$$

PGA 入力の電圧 (AIN_P および AIN_N) は、式 8 および 式 9 のように表すことができます。

$$V_{AINP} = V_{CM} + ½ V_{IN} \quad (8)$$

$$V_{AINN} = V_{CM} – ½ V_{IN} \quad (9)$$

その後、出力電圧 (V_{OUTP} および V_{OUTN}) は 式 10 および 式 11 のように計算できます。

$$V_{OUTP} = V_{CM} + ½ \text{ Gain} \times V_{IN} \quad (10)$$

$$V_{OUTN} = V_{CM} – ½ \text{ Gain} \times V_{IN} \quad (11)$$

アンプ A1 および A2 (式 6) の出力電圧に対する要件は、式 12 および 式 13 に示される 式 10 と 式 11 を用いることで、入力同相電圧範囲に対する要件へと変換することができます。

$$V_{CMMIN} \geq AVSS + 0.2V + ½ \text{ Gain} \times V_{INMAX} \quad (12)$$

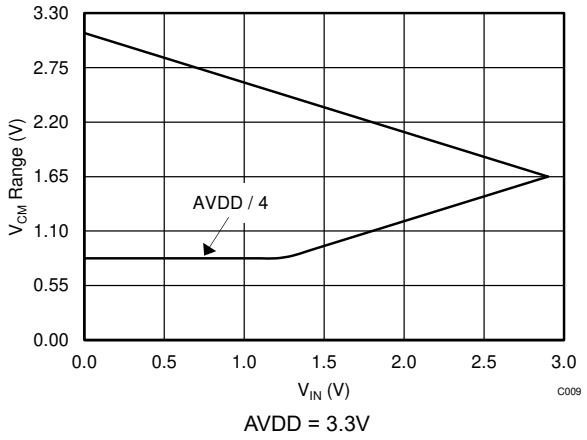
$$V_{CMMAX} \leq AVDD – 0.2V – ½ \text{ Gain} \times V_{INMAX} \quad (13)$$

同相電圧の最小値および最大値を計算するには、アプリケーションで発生する最大差動入力電圧 (V_{INMAX}) を使用する必要があります。V_{INMAX} は、可能な最大 FS 値よりも小さくすることができます。

式 12 に加えて、PGA の具体的な設計実装により、最小 V_{CM} は 式 14 も満たす必要があります。

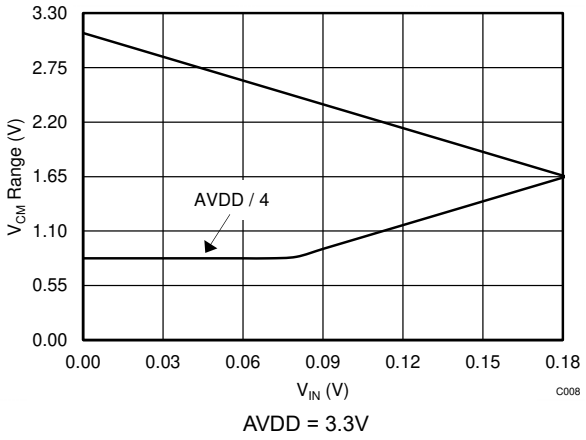
$$V_{CMMIN} \geq AVSS + ¼ (AVDD – AVSS) \quad (14)$$

図 8-4 および 図 8-5 に、それぞれゲイン = 1、ゲイン = 16 での AVDD = 3.3V および AVSS = 0V の同相電圧制限を示します。



AVDD = 3.3V

図 8-4. 同相電圧制限



AVDD = 3.3V

図 8-5. 同相電圧制限

Copyright © 2026 Texas Instruments Incorporated

以下に、式 12 から 式 14 を架空のアプリケーションに適用する方法について説明します。この例の構成では、AVDD = 3.3V、AVSS = 0V、ゲイン = 16 で、外部リファレンス
V_{REF} = 2.5V を使用しています。次に適用可能な最大差動入力電圧 $V_{IN} = (V_{AINP} – V_{AINN})$ は、FSR = ±2.5V / 16 = ±0.156V のフルスケール レンジに制限されます。その結果、式 12 ～ 式 14 により、許容 V_{CM} 範囲は 1.45V ≤ V_{CM} ≤ 1.85V となります。

この架空のアプリケーションにおいて、入力に接続されるセンサ信号がフルスケール レンジ全体を使用せず、たとえば $V_{IN\ (MAX)}$ = ±0.1V に制限されている場合、このように入力信号振幅が低減されることで、V_{CM} の制約は 1.0V ≤ V_{CM} ≤ 2.3V へと緩和されます。

完全差動センサ信号の場合、各入力 (AIN_P、AIN_N) は同相電圧 $(V_{AINP} + V_{AINN}) / 2$ 付近で最大 ±50mV までスイングでき、これらは 1.0V と 2.3V の範囲内に維持する必要があります。対称型ホイートストン ブリッジの出力は、完全差動信号の例です。図 8-6 に、入力信号の同相電圧が最小制限である場合を示します。この場合、V_{OUTN} は正確に 0.2V です。同相電圧 (V_{CM}) がさらに低下するか、差動入力電圧 (V_{IN}) の上昇によって V_{OUTN} が 0.2V 未満に駆動され、アンプ A2 が飽和します。

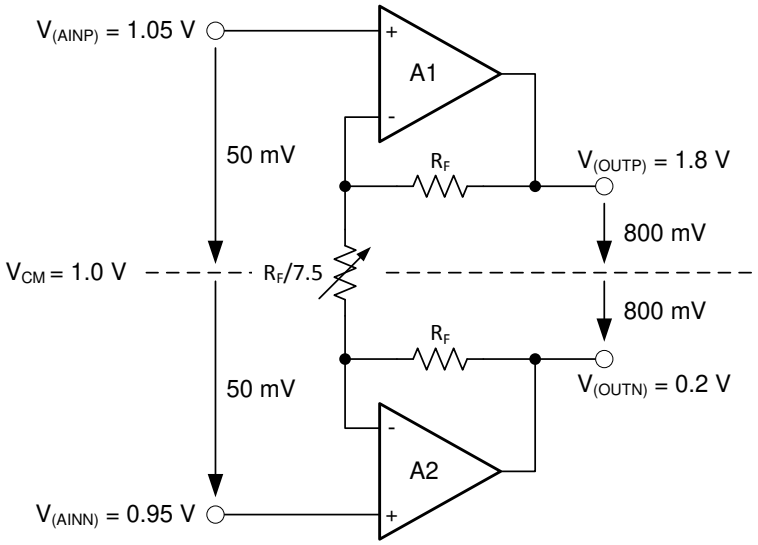


図 8-6. V_{CM} が最小制限値である場合の例

これに対して、RTD の信号は疑似差動特性 (「RTD 測定」セクションに示されているように実装されている場合) であり、負の入力は 0V 以外の一定の電圧に保持され、正の入力の電圧のみが変化します。疑似差動信号を測定する必要がある場合、この例の負入力を 0.95V ～ 2.25V の電圧でバイアスする必要があります。その後、正の入力は負の入力より最大
V_{INMAX} = 100mV 高いレベルまでスイングすることができます。この場合、正の入力の電圧が変化すると同時に、同相電圧も変化します。つまり、入力信号は 0V ≤ V_{IN} ≤ V_{INMAX} の間でスイングしますが、同相電圧は V_{AINN} ≤ V_{CM} ≤ V_{AINN} + ½ V_{INMAX} の間でスイングします。最大入力電圧 V_{INMAX} の同相電圧要件を満たしている場合、信号範囲全体の要件が満たされます。

Copyright © 2026 Texas Instruments Incorporated

図 8-7 および 図 8-8 に、それぞれ完全差動信号と疑似差動信号の例を示します。

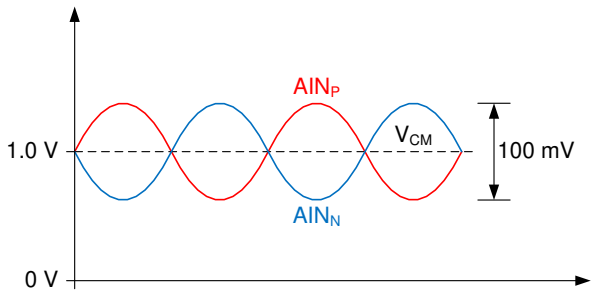


図 8-7. 完全差動入力信号

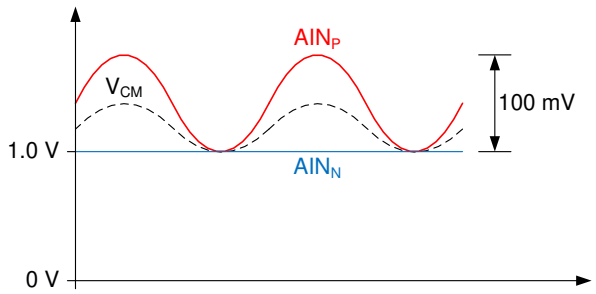


図 8-8. 擬似差動入力信号

注

PGA が有効のときの同相電圧要件は次の通りです (式 12 ～ 式 14)。

- $V_{CMMIN} \geq AVSS + ¼ (AVDD – AVSS)$
- $V_{CMMIN} \geq AVSS + 0.2V + ½ ゲイン \times V_{INMAX}$
- $V_{CMMAX} \leq AVDD – 0.2V – ½ ゲイン \times V_{INMAX}$

8.3.2.2 PGA のバイパス

1、2、4 のゲインでは、構成レジスタの PGA_BYPASS ビットを設定して、低ノイズ PGA を無効化またはバイパスします。PGA を無効化すると、全体の消費電力が低減され、同相入力電圧範囲 V_{CM} の 式 12 ～ 式 14 の制限もなくなります。PGA が無効のとき、使用可能な絶対および同相入力電圧範囲は ($AVSS – 0.1V \leq V_{AINx}$、$V_{CM} \leq AVDD + 0.1V$) です。

AVSS ($AIN_P = V_{IN}$、$AIN_N = AVSS$) を基準とするシングルエンド信号を測定するには、PGA をバイパスする必要があります。アナログ入力の 1 つを AVSS に外部で接続するか、マルチプレクサの内部 AVSS 接続 (MUX[3:0] 設定 1000b ～ 1011b) を使用して、シングルエンド測定用にデバイスを構成します。PGA_BYPASS の設定に関係なく、4 より大きいゲイン設定では、PGA は常に有効になります。

PGA が無効のときは、バッファ付きスイッチト コンデンサ段を使用して、ゲイン 1、2、4 を取得します。スイッチト コンデンサ段の前にある内部バッファにより、コンデンサの充電と放電に起因する入力負荷への影響を最小限に抑えることができます。PGA が無効のときの絶対入力電流 (各入力に流入または流出する電流) と差動入力電流 (正入力と負入力の絶対電流の差) の標準値については、図 6-21 ～ 図 6-26 を参照してください。

出力インピーダンスが高い信号源の場合、外部バッファが必要になることがあります。アクティブ バッファはノイズを発生させ、オフセット誤差とゲイン誤差も発生させます。高精度アプリケーションでは、これらすべての要因を考慮してください。

Copyright © 2026 Texas Instruments Incorporated

8.3.3 電圧リファレンス

デバイスには、低ドリフトの 2.048V リファレンスが内蔵されています。異なるリファレンス電圧値やレシオメトリック測定手法を必要とするアプリケーション向けに、デバイスは 2 つの差動リファレンス入力ペア (REFP0、REFN0 および REFP1、REFN1) を提供します。また、アナログ電源 (AVDD — AVSS) はリファレンスとして使用できます。

リファレンス ソースは、構成レジスタの 2 ビット (VREF[1:0]) で選択されます。デフォルトでは、内部リファレンスが選択されています。内部電圧リファレンスは、パワーアップ後、パワーダウン モードからの復帰時または外部リファレンス ソースから内部リファレンスへの切り替え時に、完全にセトリングするまで 25µs 未満を要します。

差動リファレンス入力により、リファレンスの同相電圧を自由に設定できます。REFP0 および REFN0 は専用リファレンス入力で、REFP1 および REFN1 はそれぞれ入力 AIN0 および AIN3 と共有されます。すべてのリファレンス入力は内部でバッファされており、入力インピーダンスが増加します。そのため、通常、外部リファレンスを使用するときは、追加のリファレンス バッファは必要ありません。レシオメトリック アプリケーションで使用する場合、リファレンス入力は外部回路に負荷をかけません。外部リファレンスを使用すると、リファレンス バッファが有効になるため、アナログ電源電流が増加します。

ほとんどの場合、変換結果はリファレンス電圧源の安定性に正比例します。電圧リファレンスのノイズとドリフトはすべて変換結果に反映されます。

8.3.4 クロック ソース

デバイス システム クロックは、内蔵の低ドリフト発振器、または CLK 入力からの外部クロック ソースのいずれかによって供給されます。パワーアップまたはリセットの前に、CLK ピンを DGND に接続して、内部発振器を起動します。外部クロックを CLK ピンに接続すると、CLK ピンで 2 つの立ち上がりエッジが検出された後、いつでも内部発振器が非アクティブになります。その後、デバイスは外部クロックで動作します。ADS1220 が外部クロックに切り替わった後、デバイスが内部発振器へ戻すには、電源を再投入するか、または RESET コマンドを送信する必要があります。

8.3.5 変調器

ADS1220 では、ΔΣ 変調器を使用して、アナログ入力電圧をパルス符号変調 (PCM) データ ストリームに変換します。この変調器は、通常モードおよびデューティ サイクル モードで $f_{MOD} = f_{CLK} / 16$、ターボ モードで $f_{MOD} = f_{CLK} / 8$ の変調器クロック周波数で動作します。ここで、f_{CLK} は、内部発振器と外部クロックソースのいずれかから供給されます。表 8-3 に、内部発振器または 4.096MHz の外部クロックを使用した各動作モードの変調器の周波数を示します。

表 8-3. さまざまな動作モードにおける変調器クロック周波数 (1)

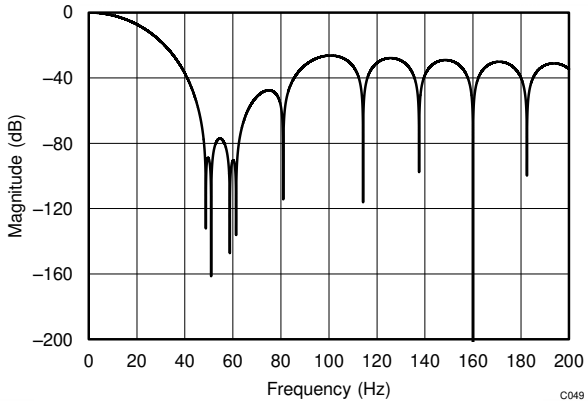
動作モード	f_{MOD}
デューティ サイクル モード	256kHz
通常モード	256kHz
ターボ モード	512kHz

(1) 内部発振器または外部 4.096MHz クロックを使用します。

8.3.6 デジタル フィルタ

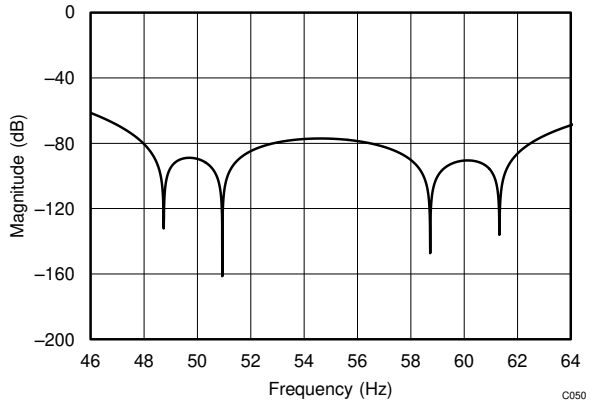
デバイスは、線形位相の有限インパルス応答 (FIR) デジタル フィルタを使用し、変調器からのデジタル データ ストリームのフィルタリングとデシメーションの両方を実行します。デジタル フィルタは、異なるデータ レートに合わせて自動的に調整され、常に 1 サイクル以内に収束されます。5SPS および 20SPS のデータ レートでは構成レジスタの 50/60[1:0] ビットを使用して、50Hz または 60Hz のライン周波数除去を選択するか、50Hz と 60Hz を同時に除去します。デジタル フィルタの周波数特性は、内部発振器または外部 4.096MHz クロックを使用した場合の異なる出力データ レートごとに、図 8-9 ～ 図 8-22 に図示されています。

フィルタ ノッチおよび出力データ レートは、クロック周波数に比例してスケーリングします。たとえば、4.096MHz クロックを使用した際に 20Hz で現れるノッチは、2.048MHz クロックを使用した場合は 10Hz で現れます。内部発振器は、「電気的特性」表に規定されている温度範囲全体にわたって変化する可能性があります。データ レートまたは変換時間、およびフィルタ ノッチは、結果的に同じ量によって異なります。より厳しい許容誤差で、特定の周波数にデジタル フィルタ ノッチが必要な場合は、外部高精度クロック ソースを使用することを検討してください。



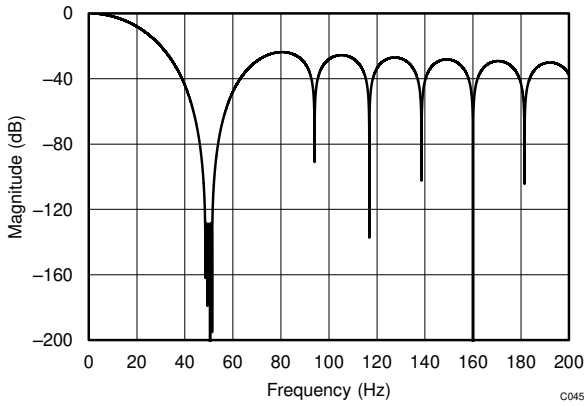
50Hz および 60Hz 同時除去、50/60[1:0] = 01b

図 8-9. フィルタ応答 (DR = 20SPS)



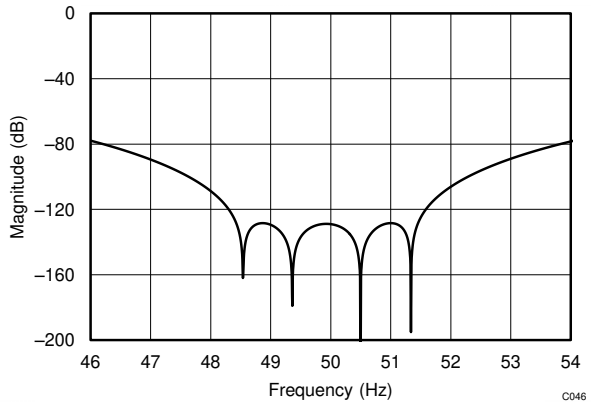
50Hz および 60Hz 同時除去、50/60[1:0] = 01b

図 8-10. フィルタ応答の詳細図 (DR = 20SPS)



50Hz 除去のみ、50/60[1:0] = 10b

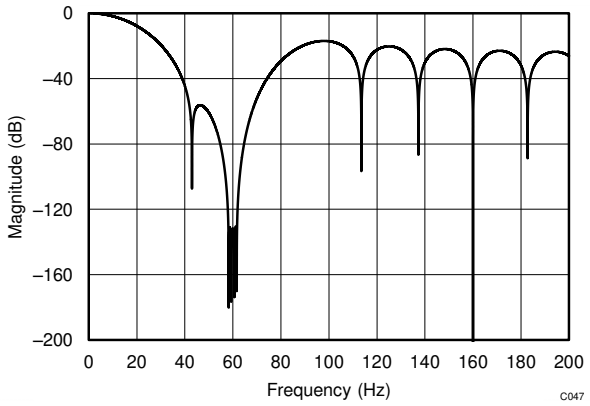
図 8-11. フィルタ応答 (DR = 20SPS)



50Hz 除去のみ、50/60[1:0] = 10b

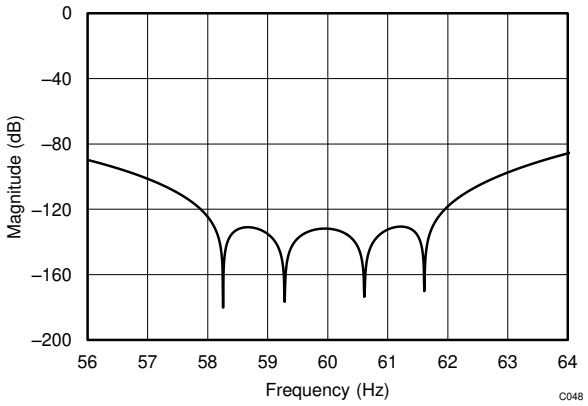
図 8-12. フィルタ応答の詳細図 (DR = 20SPS)

Copyright © 2026 Texas Instruments Incorporated



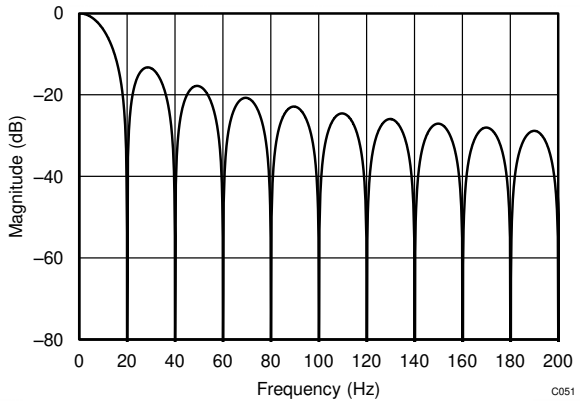
60Hz 除去のみ、0/60[1:0] = 11b

図 8-13. フィルタ応答 (DR = 20SPS)



60Hz 除去のみ、0/60[1:0] = 11b

図 8-14. フィルタ応答の詳細図 (DR = 20SPS)



50/60[1:0] = 00b

図 8-15. フィルタ応答 (DR = 20SPS)

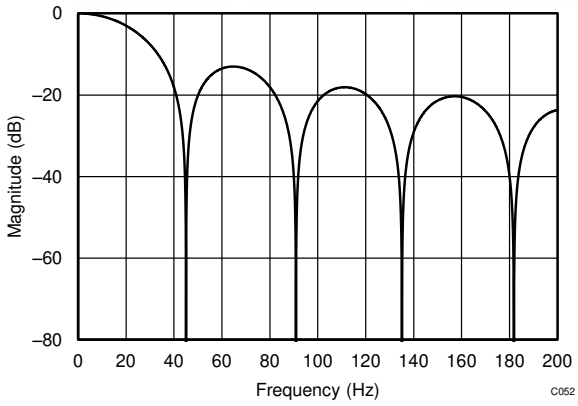


図 8-16. フィルタ応答 (DR = 45SPS)

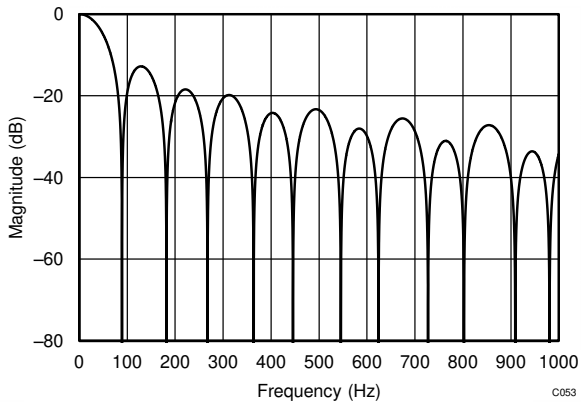


図 8-17. フィルタ応答 (DR = 90SPS)

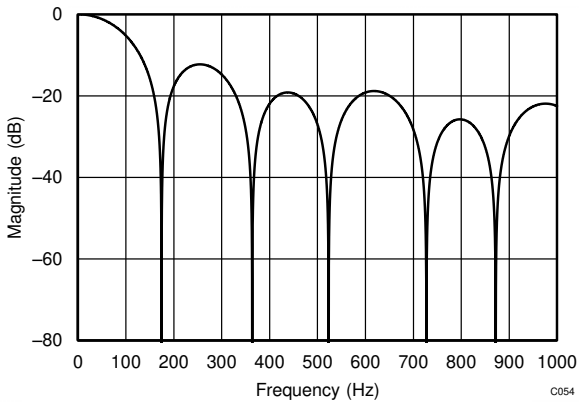


図 8-18. フィルタ応答 (DR = 175SPS)

Copyright © 2026 Texas Instruments Incorporated

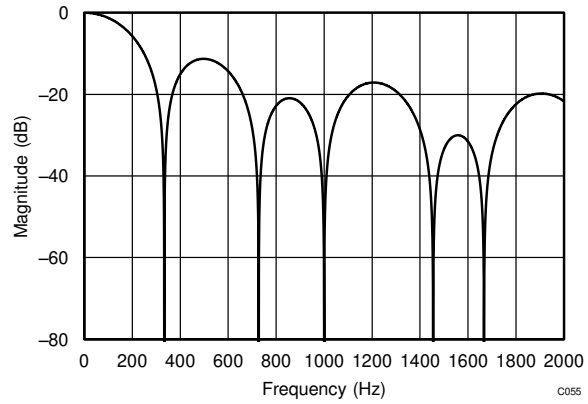


図 8-19. フィルタ応答 (DR = 330SPS)

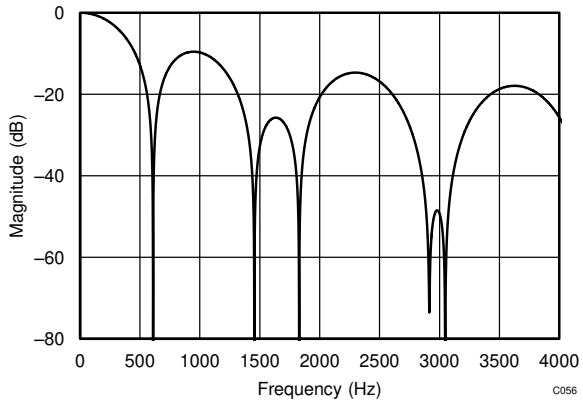


図 8-20. フィルタ応答 (DR = 600SPS)

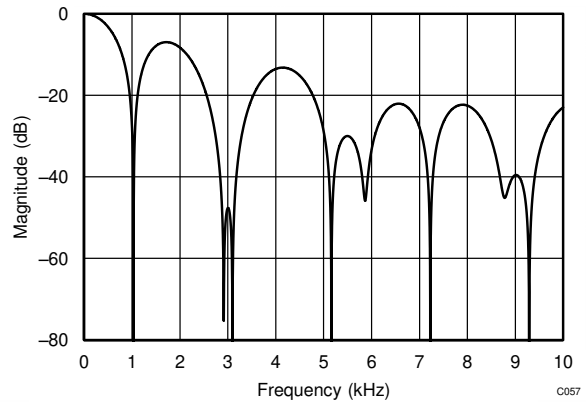


図 8-21. フィルタ応答 (DR = 1kSPS)

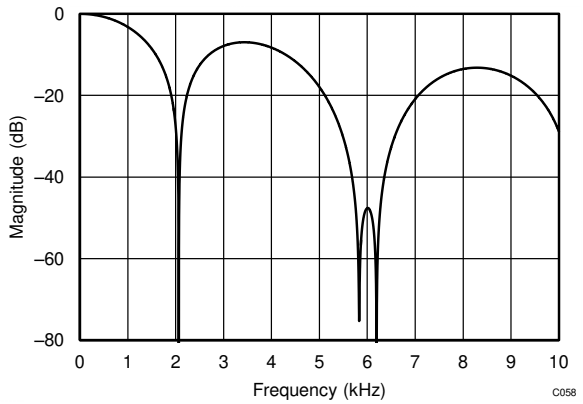


図 8-22. フィルタ応答 (DR = 2kSPS)

Copyright © 2026 Texas Instruments Incorporated

8.3.7 出力データ レート

表 8-4 に、各データ レート設定に対する実際の変換時間を示します。提示されている値は、クロック周波数 f_{CLK} = 4.096MHz の外部クロックを使用した際の $t_{(CLK)}$ サイクル単位の値です。4.096MHz 以外の周波数の外部クロックを使用する場合、データ レートはそれに比例してスケーリングします。

連続変換モードのデータ レートは、1 つの $\overline{DRDY}$ 立ち下がりエッジから次の $\overline{DRDY}$ 立ち下がりエッジまでタイミングが調整されます。最初の変換は、START/SYNC コマンドの最後の SCLK 立ち下がりエッジの後で、210 × t_{CLK} (通常モード、デューティ サイクル モード) または 114 × t_{CLK} (ターボ モード) が開始されます。

シングルショット変換モードのデータ レートは、START/SYNC コマンドの最後の SCLK 立ち下がりエッジから $\overline{DRDY}$ の立ち下がりエッジまでの時間を測定し、次の t_{CLK} に丸めます。内部発振器を使用する場合、シングルショット変換モードで最大 50µs (通常モード、デューティ サイクル モード) または 25µs (ターボ モード) の追加ウェークアップ時間を追加する必要があります。内部発振器は、START/SYNC コマンドの最初の SCLK 立ち上がりエッジでパワーアップを開始します。160kHz (通常モード、デューティ サイクル モード) または 320kHz (ターボ モード) を超える SCLK 周波数を使用する場合、START/SYNC コマンドの終了時に発振器が常に完全に電源オンになっているとは限りません。その後、ADC は、内部発振器が完全に起動されるまで待機してから、変換を開始します。

デューティ サイクル モードでのシングルショット変換時間は、通常モードと同じです。デューティ サイクル モード動作に関する詳細については、「デューティ サイクル モード」セクションを参照してください。

表 8-4. 変換時間

最大データ レート (SPS)	–3dB 帯域幅 (Hz)	実際の変換時間 (t_{CLK})	
		連続変換モード	シングルショット変換モード
通常モード			
20	13.1	204768	204850
45	20.0	91120	91218
90	39.6	46128	46226
175	77.8	23664	23762
330	150.1	12464	12562
600	279.0	6896	6994
1000	483.8	4144	4242
デューティ サイクル モード			
5	13.1	823120	該当なし
11.25	20.0	364560	該当なし
22.5	39.6	184592	該当なし
44	77.8	94736	該当なし
82.5	150.1	49936	該当なし
150	279.0	27664	該当なし
250	483.8	16656	該当なし
ターボ モード			
40	17.1	102384	102434
90	39.9	45560	45618
180	79.2	23064	23122
350	155.6	11832	11890
660	300.3	6232	6290
1200	558.1	3448	3506
2000	967.6	2072	2130

正確には 20SPS 設定での変換時間は 1 / 20Hz = 50ms ではありませんが、この不一致は 50Hz または 60Hz 除去には影響しません。「電気的特性」表に規定されている 50Hz および 60Hz 除去を実現するには、外部クロック周波数を

Copyright © 2026 Texas Instruments Incorporated

4.096MHz にする必要があります。内部発振器を使用する場合、変換時間とフィルタ ノッチは、発振器の精度に関する「電気的特性」表に記載されている量によって変化します。

8.3.8 励起電流源

このデバイスは、RTD アプリケーション用に 2 つのマッチング済みプログラマブル励起電流源 (IDAC) を提供します。電流源の出力電流は、構成レジスタのそれぞれのビット (IDAC[2:0]) を用いて、10μA、50μA、100μA、250μA、500μA、1000μA、または 1500μA にプログラム可能です。各電流源は、任意のアナログ入力 (AINx) と、専用リファレンス入力 (REFP0 および REFN0) に接続できます。両方の電流源を同じピンに接続することもできます。構成レジスタの I1MUX[2:0] ビットと I2MUX[2:0] ビットを使用して、IDAC の配線を構成します。IDAC のコンプライアンス電圧を超えないように注意する必要があります。言い換えれば、IDAC が接続されているピンの電圧を ≤ (AVDD – 0.9V) に制限します。そうしないと、IDAC 電流の規定精度が満たされません。3 線式 RTD アプリケーションでは、整合された電流源を使用して、センサのリード抵抗による誤差を相殺できます (詳細については、「3 線式 RTD 測定」セクションを参照)。

IDAC[2:0] ビットを使用して IDAC 電流を所定の値にプログラムした後、IDAC が起動するには最大 200μs を要します。IDAC[2:0] ビットを使用して IDAC 電流をそれぞれの値に設定し、その後、各 IDAC (I1MUX[2:0]、I2MUX[2:0]) の配線を選択します。

シングルショット変換モードでは、IDAC[2:0] ビットが 000b 以外の値に設定されている場合、IDAC は任意の 2 つの変換の間もアクティブな状態を維持します。しかし、POWERDOWN コマンドが発行されると、IDAC はパワーダウンされます。

IDAC を有効化すると (すなわち、IDAC[2:0] ビットが 000b 以外の値に設定されると)、アナログ電源電流が増加します。IDAC 回路は、IDAC がいずれのピンにも配線されていない場合 (I1MUX[2:0] = I2MUX[2:0] = 000b) であっても、動作するためにこのバイアス電流が必要となります。また、I1MUX[2:0] または I2MUX[2:0] が 000b 以外の値に設定されている場合、選択された出力電流はアナログ電源から供給されます。

8.3.9 ローサイド パワー スイッチ

デバイスには、アナログ入力 AIN3/REFN1 と AVSS の間に接続された低オン抵抗のローサイド パワー スイッチも内蔵されています。このパワー スイッチは、変換間のブリッジ回路をパワーダウンすることで、ブリッジ センサ アプリケーションのシステム消費電力を低減するために使用できます。構成レジスタ内の対応するビット (PSW) が設定されている場合、START/SYNC コマンドが送信されるとスイッチは自動的に閉じ、POWERDOWN コマンドが発行されると開きます。シングルショット変換モードにおいて、PSW ビットが 1b に設定されている場合、変換期間の間、スイッチは閉じた状態を維持します。スイッチは、PSW ビットを 0b に設定することで、いつでも開くことができます。デフォルトでは、スイッチは常に開いています。

8.3.10 センサ検出

センサの誤動作の可能性を検出するため、このデバイスには 10μA の内部バーンアウト電流源が搭載されています。構成レジスタの各ビット (BCS) を設定することで有効化すると、1 つの電流源は現在選択されている正のアナログ入力 (AIN_P) に電流を供給し、もう 1 つの電流源は選択された負のアナログ入力 (AIN_N) をシンクします。

センサが開回路である場合、これらのバーンアウト電流源が正の入力を AVDD 側へ、負の入力を AVSS 側へとプルし、その結果、フルスケールの読み取り値が得られます。フルスケールの読み取りは、センサが過負荷状態である場合や、リファレンス電圧が存在しない場合にも示されることがあります。ほぼゼロの読み取り値は、センサの短絡を示している可能性があります。バーンアウト電流源の絶対値は通常 ±10% で変化し、内部マルチプレクサによって小さな直列抵抗が追加されます。そのため、センサ短絡状態を通常の読み取り結果と区別するのは、特に入力に RC フィルタを使用している場合は困難になることがあります。つまり、センサが短絡している場合でも、外部フィルタ抵抗による電圧降下とマルチプレクサの残留抵抗による出力の読み取り値はゼロより大きい値になります。

バーンアウト電流源が有効な場合、正常に動作しているセンサの ADC 読み取り値が乱されることがあります。高精度測定を行う際はバーンアウト電流源を無効化し、センサのフォルト状態をテストする場合にのみ、これらの電流源を有効化します。

Copyright © 2026 Texas Instruments Incorporated

8.3.11 システム モニタ

デバイスは、アナログ電源と外部電圧リファレンスを監視するための手段を提供します。電圧の監視を選択するには 構成レジスタの MUX[3:0] ビットを使用して内部マルチプレクサを適切に構成します。監視機能が使用されている間、デバイスは構成レジスタの設定に関係なく、PGA を自動的にバイパスし、ゲインを 1 に設定します。システム モニタ機能は、粗い結果のみを提供し、精度の高い測定を意図したものではありません。

アナログ電源 (MUX[3:0] = 1101b) を測定する場合、変換結果はほぼ (AVDD – AVSS) / 4 になります。構成レジスタ (VREF[1:0]) でどのリファレンス ソースが選択されているかに関係なく、デバイスは内部 2.048V リファレンスを使用して測定します。

可能な 2 つの外部リファレンス電圧源のいずれか (MUX[3:0] = 1100b) を監視すると、結果はほぼ (V_{REFPx} – V_{REFNx}) / 4 となります。REFPx および REFNx は、構成レジスタ (VREF[1:0]) で選択された外部リファレンス入力ペアを表します。デバイスは、自動的に測定に内部リファレンスを使用します。

8.3.12 オフセット キャリブレーション

内部マルチプレクサには、両方の PGA 入力 (AIN_P および AIN_N) を中電圧 (AVDD + AVSS) / 2 に短絡するオプションがあります。このオプションは、入力を短絡した状態での電圧読み取り結果をマイコンに保存し、その値を以降の各読み取り結果から差し引くことで、デバイスのオフセット電圧を測定および補正するために使用できます。入力を短絡した状態で複数回測定を行い、その結果を平均化することでノイズの影響を低減します。

Copyright © 2026 Texas Instruments Incorporated

8.3.13 温度センサ

ADS1220 は、高精度な温度センサを内蔵しています。温度センサ モードは、構成レジスタでビット TS = 1b を設定することで有効になります。温度センサ モードでは、構成レジスタ 0 の設定は影響を与えず、選択した電圧リファレンス ソースに関係なく、デバイスは内部リファレンスを使用して測定します。温度の読み取り値は、変換結果の開始と読み取りのためのアナログ入力と同じプロセスに従います。温度データは、24 ビットの変換データ内で左揃えにされた 14 ビットの結果として表されます。データは最上位ビット (MSB) から順に出力されます。3 つのデータ バイトを読み取るとき、最初の 14 ビットが温度測定結果を示すために使われます。14 ビット LSB は、0.03125°C に相当します。表 8-5 に示されているように、負の数は、バイナリ 2 の補数形式で表現されます。

表 8-5. 14 ビットの温度データ形式

温度 (°C)	デジタル出力 (バイナリ)	16 進
128	01 0000 0000 0000b	1000h
127.96875	00 1111 1111 1111b	0FFFh
100	00 1100 1000 0000b	0C80h
75	00 1001 0110 0000b	0960h
50	00 0110 0100 0000b	0640h
25	00 0011 0010 0000b	0320h
0.25	00 0000 0000 1000b	0008h
0.03125	00 0000 0000 0001b	0001h
0	00 0000 0000 0000b	0000h
-0.25	11 1111 1111 1000b	3FF8h
-25	11 1100 1110 0000b	3CE0h
-40	11 1011 0000 0000b	3B00h

8.3.13.1 デジタル コードから温度への変換

デジタル コードから温度に変換するには、まずデバイスからデータ バイトを読み取り、結果を右シフトして 14 ビット温度値を抽出します。図 8-23 に、24 ビットの変換結果内における 14 ビット温度センサ データ整列を示します。14 ビット値の MSB によって符号が決まります。0b は正の温度、1b は負の温度を示します。正の温度については、14 ビットの 2 進値を 10 進に変換し、結果に温度センサの LSB サイズ 0.03125°C を乗算します。負の温度の場合、値は 2 の補数形式です。14 ビットすべてを反転して 1b を加算し、10 進に変換して、結果に負の温度センサの LSB サイズ –0.03125°C を乗算します。

1.正の温度の例:デバイスは 0960h を読み戻します。0960h × 0.03125°C = 2400 × 0.03125°C = 75°C

2.負の温度の例:デバイスは 3CE0h を読み戻します。1b を減算し、結果を補完します。3CE0h → 0320h、0320h × (–0.03125°C) = 800 × (–0.03125°C) = –25°C

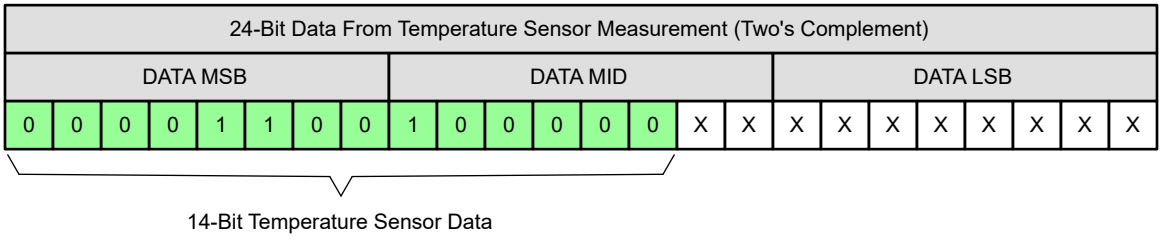


図 8-23. 24 ビットの変換結果内における 14 ビット温度センサ データ整列

Copyright © 2026 Texas Instruments Incorporated

8.4 デバイスの機能モード

8.4.1 パワーアップとリセット

デバイスをパワーアップすると、リセットが実行されます。リセット プロセスには約 50µs が必要です。このパワーアップ リセット時間の経過後、すべての内部回路 (電圧リファレンスを含む) が安定し、デバイスとの通信が可能となります。リセット プロセスの一環として、デバイスは構成レジスタのすべてのビットをそれぞれのデフォルトに設定します。デフォルトでは、デバイスはシングルショット変換モードに設定されています。パワーアップ後、デバイスはデフォルトのレジスタ設定を使用して単一の変換を実行した後、低消費電力状態に移行します。変換が完了すると、$\overline{\text{DRDY}}$ ピンが High から Low に遷移します。$\overline{\text{DRDY}}$ ピンの High から Low への遷移は、ADS1220 が動作し、すぐに使用できることを通知するために使用できます。パワーアップ動作は、電源要件の厳しいシステムで、パワーアップ 時に電流サージが発生することを防止することを目的としています。

8.4.2 変換モード

デバイスは 2 つの変換モードのいずれかで動作でき、構成レジスタの CM ビットで選択できます。これらの変換モードは、シングルショットおよび連続変換モードです。

8.4.2.1 シングルショット 変換 モード

シングルショット変換モードでは、デバイスは START/SYNC コマンドが発行されたときのみ変換を実行します。結果的に、デバイスは 1 つの変換を実行し、その後低消費電力状態に戻ります。内部発振器とすべてのアナログ回路 (励起電流源を除く) はオフになり、デバイスはこの低消費電力状態を待機してから、次の変換が開始されるまでその状態を待機します。また、任意の構成レジスタへの書き込みアクセスごとに、新しい変換も開始されます。変換の実行中に任意の構成レジスタに書き込むと、現在の変換を停止して 1 つの新しい変換を再開する新しい START/SYNC コマンドとして機能します。デバイスのデジタル フィルタが 1 サイクル以内にセトリングするため、各変換は完全にセトリングします (アナログ入力信号が変換開始前に最終値に安定すると仮定)。

8.4.2.2 連続変換モード

連続変換モードでは、デバイスは連続的に変換を実行します。変換が完了すると、デバイスは結果を出力バッファに配置し、直ちに別の変換を開始します。

連続変換モードを開始するには、CM ビットを 1b に設定してから、START/SYNC コマンドを発行する必要があります。最初の変換は、START/SYNC コマンドの最後の SCLK 立ち下がりエッジの後で、210 × t_{CLK} (通常モード、デューティ サイクル モード) または 114 × t_{CLK} (ターボ モード) が開始されます。進行中の変換時に任意の構成レジスタに書き込むと、現在の変換が再開されます。CM ビットが 1b に設定された直後に、START/SYNC コマンドを送信します。

Copyright © 2026 Texas Instruments Incorporated

8.4.3 動作モード

各種変換モードに加えて、このデバイスは、消費電力、ノイズ性能、出力データ レートのトレードオフを選択できる各種動作モードでも動作できます。それらのモードには、通常モード、デューティ サイクル モード、ターボ モード、パワーダウン モードがあります。

8.4.3.1 通常モード

通常モードは、パワーアップ後のデフォルト動作モードです。このモードでは、ΔΣ ADC の内部変調器は $f_{MOD} = f_{CLK} / 16$ の変調器クロック周波数で動作します。このとき、システム クロック (f_{CLK}) は内部発振器と外部クロック ソースのいずれかから供給されます。内部発振器を使用する場合、変調器の周波数は 256kHz です。通常モードでは、内部発振器により、20SPS ～ 1kSPS の範囲の出力データ レート オプションが提供されます。データ レートは、構成レジスタ内の DR[2:0] ビットによって選択されます。4.096MHz 以外のクロック周波数の外部クロック ソースを使用する場合、データ レートはそれに応じてスケーリングされます。たとえば、f_{CLK} = 2.048MHz の外部クロックを使用すると、10SPS ～ 500SPS の範囲のデータ レートが得られます。

8.4.3.2 デューティ サイクル モード

ΔΣ ADC のノイズ性能は、一般的に、出力データ レートを低下させることで向上します。これは、内部変調器からのサンプルをより多く平均化し、1 つの変換結果を生成できるようになるためです。消費電力が不可欠なアプリケーションでは、低データ レートで改善されるノイズ性能は必ずしも必要とは限りません。これらのアプリケーションでは、このデバイスは自動デューティ サイクル モードをサポートしています。このモードは、変換の間に定期的に低消費電力状態に移行することで大幅な消費電力を削減できます。原則として、デバイスはデューティ サイクルが 25% の通常モードで動作します。この機能により、デバイスは通常モードで動作している場合と同じ方法で 1 つの変換を実行しますが、その後 3 つ連続の変換サイクルにわたって自動的に低消費電力状態に移行します。したがって、デューティ サイクル モードでのノイズ性能は、通常モードでのデータ レートの 4 倍のノイズ性能と同等になります。デューティ サイクル モードでのデータ レートは 5SPS ～ 250SPS の範囲です。

8.4.3.3 ターボ モード

最大 2kSPS のより高いデータ レートを必要とするアプリケーションでは、デバイスをターボ モードで動作させることができます。このモードでは、内部変調器は $f_{MOD} = f_{CLK} / 8$ というより高い周波数で動作します。内部発振器または 4.096MHz 外部クロックを使用する場合、f_{MOD} は 512kHz となります。変調器は高い周波数で動作するため、デバイスの消費電力が増加します。ADS1220 をターボ モードで通常モードと同等の出力データ レートで動作させると、ノイズ性能が向上します。たとえば、ターボ モードの 90SPS での入力換算ノイズは、通常モードの 90SPS での入力換算ノイズよりも低くなります。

8.4.3.4 パワーダウン モード

POWERDOWN コマンドが発行されると、デバイスは電流変換の完了後にパワーダウン モードに移行します。このモードでは、すべてのアナログ回路 (電圧リファレンスと両方の IDAC を含む) がパワーダウンし、ローサイドパワー スイッチが開き、デバイスは通常 400nA の電流のみを使用します。パワーダウン モードでは、デバイスは構成レジスタ設定を保持してコマンドに応答しますが、データ変換は実行しません。

START/SYNC コマンドが発行されると、デバイスがウェークアップし、CM ビットで選択された変換モードに応じて、単一の変換を開始するか、連続変換モードを開始します。いずれかの構成レジスタに書き込みが行われると、デバイスはウェークアップしますが、選択された変換モード (CM) に関係なく、1 つの変換のみが開始されます。

Copyright © 2026 Texas Instruments Incorporated

8.5 プログラミング

8.5.1 シリアル インターフェイス

デバイスの SPI 互換シリアル インターフェイスは、変換データの読み取り、デバイス構成レジスタの読み取り / 書き込み、デバイス動作の制御に使用されます。SPI モード 1 (CPOL = 0、CPHA = 1) のみがサポートされています。インターフェイスは、5 つの制御ライン ($\overline{CS}$、SCLK、DIN、DOUT/$\overline{DRDY}$、$\overline{DRDY}$) で構成されていますが、4 つまたは 3 つの制御信号だけに対しても使用できます。専用データ準備完了信号 ($\overline{DRDY}$) は、DOUT/$\overline{DRDY}$ と共有するように構成できます。シリアル バスが他のデバイスと共有されていない場合、$\overline{CS}$ を永続的に Low に固定することができるため、デバイスとの通信には SCLK、DIN、DOUT/$\overline{DRDY}$ の信号のみが必要となります。

8.5.1.1 チップ セレクト ($\overline{CS}$)

チップ セレクト ($\overline{CS}$) は、SPI 通信を行うデバイスを選択するためのアクティブ Low 入力です。この機能は、複数のデバイスが同じシリアル バスを共有する場合に便利です。シリアル通信が行われている間、$\overline{CS}$ は Low のままになる必要があります。$\overline{CS}$ を High にすると、シリアル インターフェイスはリセットされ、SCLK は無視され、DOUT/$\overline{DRDY}$ がハイ インピーダンス状態に移行します。たとえば、DOUT/$\overline{DRDY}$ は、データの準備が整ったことを通知できません。バス上に複数のデバイスが存在する状況では、専用 $\overline{DRDY}$ ピンは変換ステータスを中断なく監視できます。シリアル バスが他のペリフェラルと共有されていない場合は、$\overline{CS}$ を Low に接続できます。

8.5.1.2 シリアル クロック (SCLK)

シリアル クロック (SCLK) はシュミット トリガ入力を備えており、それぞれ DIN ピンと DOUT/$\overline{DRDY}$ ピンでデバイスの入出力データのクロック供給に使用されます。入力にはヒステリシスが設けられていますが、グリッチによってデータが意図せずシフトしてしまうのを防ぐため、SCLK 信号は可能な限りクリーンに維持します。シリアル インターフェイスがアイドルのとき、SCLK を Low に保持します。

8.5.1.3 データ準備完了 ($\overline{DRDY}$)

$\overline{DRDY}$ は、新しい変換結果の取得準備ができたことを示します。$\overline{DRDY}$ が Low に遷移すると、新しい変換データが準備完了となります。$\overline{DRDY}$ は、次の SCLK 立ち上がりエッジで High に戻ります。連続変換モードでデータが読み取られないとき、$\overline{DRDY}$ は Low に維持されますが、次の $\overline{DRDY}$ 立ち下がりエッジの前に、2 × t_{MOD} 間 High にパルスが印加されます。$\overline{DRDY}$ ピンは、$\overline{CS}$ が High の場合でも、常にアクティブに駆動されます。

8.5.1.4 データ入力 (DIN)

データ入力ピン (DIN) は、SCLK と組み合わせて、データ (コマンドおよびレジスタ データ) をデバイスに送信するために使用されます。デバイスは、SCLK の立ち下がりエッジで DIN にデータをラッチします。デバイスは DIN ピンを駆動しません。

8.5.1.5 データ出力およびデータ準備完了 (DOUT/$\overline{DRDY}$)

DOUT/$\overline{DRDY}$ はデュアル汎用機能を提供します。このピンは SCLK と組み合わせて、デバイスから変換とレジスタ データを読み取るために使用されます。DOUT/$\overline{DRDY}$ のデータは、SCLK 立ち上がりエッジでシフトアウトされます。DOUT/$\overline{DRDY}$ ピンは、$\overline{CS}$ が High のときハイ インピーダンス状態になります。

さらに、構成レジスタの DRDYM ビットを High に設定すると、DOUT/$\overline{DRDY}$ ピンをデータ準備完了インジケータとして構成することもできます。$\overline{DRDY}$ ピンが Low になると同時に DOUT/$\overline{DRDY}$ が Low に遷移し、新しい変換データが利用可能なことを示します。両方の信号を使用して、新しいデータの準備ができたかどうかを検出できます。しかし、$\overline{CS}$ が High のとき DOUT/$\overline{DRDY}$ は無効になるため、SPI バスに複数のデバイスが存在する場合、専用 $\overline{DRDY}$ ピンを使用することを推奨します。

8.5.1.6 SPI タイムアウト

ADS1220 には SPI タイムアウト機能があり、シリアル インターフェイス送信が中断されたときに通信を回復するために使用できます。$\overline{CS}$ が永続的に Low に接続されており、通信シーケンスのフレーム化に使用されないアプリケーションで、この機能が特に有用となります。14000 × t_{MOD} (通常モード、デューティ サイクル モード) または 28000 × t_{MOD} (ターボ モード) 以内に完全なコマンドが送信されない場合、シリアル インターフェイスはリセットされ、次の SCLK パルスにより、新

Copyright © 2026 Texas Instruments Incorporated

しい通信サイクルが開始されます。異なる動作モードにおける変調器の周波数 (f_{MOD} = 1 / t_{MOD}) の詳細については、「変調器」セクションを参照してください。RREG および WREG コマンドの場合、完全なコマンドには、コマンド バイトと、読み取りまたは書き込みされるレジスタ バイトが含まれます。

Copyright © 2026 Texas Instruments Incorporated

8.5.2 データ形式

このデバイスは、24 ビットのデータをバイナリ 2 の補数形式で提供します。式 15 を使用して、1 つのコード (LSB) のサイズを計算します。

$$1LSB = (2 \times V_{REF} / Gain) / 2^{24} = +FS / 2^{23} \quad (15)$$

正のフルスケール入力 [$V_{IN} \geq (+FS - 1LSB) = (V_{REF} / ゲイン - 1LSB)$] では 7FFFFFh の出力コードが生成され、負のフルスケール入力 ($V_{IN} \leq -FS = -V_{REF} / ゲイン$) では 800000h の出力コードが生成されます。フルスケールを超える信号については、これらのコードで出力がクリップされます。

表 8-6 に、各種入力信号の理想的な出力コードを示します。

表 8-6. 理想的な出力コードと入力信号との関係

入力信号、V_{IN} ($AIN_P - AIN_N$)	理想的な出力コード(1)
≥ FS ($2^{23} - 1$) / 2^{23}	7FFFFFh
FS / 2^{23}	000001h
0	000000h
–FS / 2^{23}	FFFFFFh
≤ –FS	800000h

(1) ノイズ、INL、オフセット、ゲイン誤差の影響は除きます。

図 8-24 に、アナログ入力信号から出力コードへのマッピングを示します。

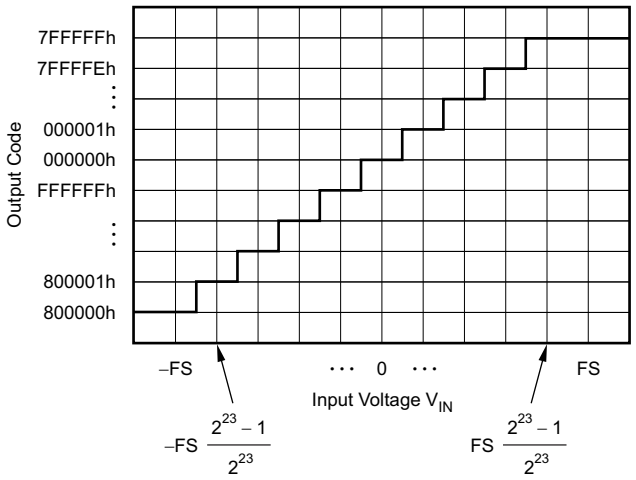


図 8-24. コード トランジション図

注

V_{AINN} = 0V および V_{AINP} = 0V ～ +FS の場合のシングルエンド信号測定では、000000h ～ 7FFFFFh の正のコード範囲のみを使用します。しかし、デバイスのオフセットにより、V_{AINP} が 0V に近いときも、ADS1220 は負のコードを出力できます。

8.5.3 コマンド

表 8-7 に示されているように、このデバイスにはデバイスの動作を制御する 6 つの異なるコマンドがあります。4 つのコマンドは、スタンドアローン命令 (RESET、START/SYNC、POWERDOWN、RDATA) です。デバイスとの間で構成レジスタ データを読み取り (RREG) および書き込み (WREG) するコマンドを使用するには、命令の一部として追加情報が必要です。

表 8-7. コマンドの定義

コマンド	説明	コマンド バイト(1)
リセット	デバイスをリセット	0000 011xb
START/SYNC	変換を開始または再開する	0000 100xb
パワーダウン	パワーダウン モードに入る	0000 001xb
RDATA	コマンドによりデータを読み取る	0001 xxxxb
RREG	冒頭がアドレス *rr* の *nn* レジスタを読み取る	0010 *rrnnb*
WREG	冒頭がアドレス *rr* の *nn* レジスタを書き込む	0100 *rrnnb*

(1) オペランド: rr = 構成レジスタ (00b ～ 11b)、nn = バイト数 – 1 (00b ～ 11b)、x = ドントケア。

8.5.3.1 RESET (0000 011xb)

デバイスをデフォルト値にリセットします。RESET コマンドが送信された後、他のコマンドを送信する前に少なくとも (50µs + 32 × t_{CLK}) 待機します。

8.5.3.2 START/SYNC (0000 100xb)

シングルショット変換モードでは、START/SYNC コマンドを使用して単一の変換を開始するか、(進行中の変換中に送信された場合) デジタル フィルタをリセットしてから単一の新しい変換を再開します。デバイスを連続変換モードに設定した場合、連続的に変換を開始するには、START/SYNC コマンドを 1 回発行する必要があります。連続変換モードで変換中に START/SYNC コマンドを送信すると、デジタル フィルタがリセットされ、連続変換が再開されます。

8.5.3.3 POWERDOWN (0000 001xb)

POWERDOWN コマンドを使用すると、デバイスをパワーダウン モードにできます。このコマンドはすべての内部アナログ コンポーネントをシャットダウンし、ローサイド スイッチを開き、両方の IDAC をオフにしますが、すべてのレジスタ値は保持されます。変換の実行中に POWERDOWN コマンドが発行された場合、変換は ADS1220 がパワーダウン モードに移行する前に完了します。START/SYNC コマンドが発行されるとすぐに、すべてのアナログ コンポーネントが以前の状態に戻ります。

8.5.3.4 RDATA (0001 xxxxb)

RDATA コマンドは、最新の変換結果を持つ出力シフト レジスタをロードします。このコマンドは、DOUT/ $\overline{\text{DRDY}}$ または $\overline{\text{DRDY}}$ が監視されていない場合に使用して、新しい変換結果が利用可能であることを示します。変換が RDATA コマンド バイトの途中で完了した場合、読み取り動作の終了時における $\overline{\text{DRDY}}$ ピンの状態によって、古い結果と新しい結果のどちらがロードされているかが示されます。古い結果がロードされている場合、$\overline{\text{DRDY}}$ は Low のままで、新しい結果が読み取られていないことを示します。$\overline{\text{DRDY}}$ が High のとき、新しい変換結果がロードされます。

8.5.3.5 RREG (0010 rrnnb)

RREG コマンドは、レジスタ アドレス rr から開始して、デバイス構成レジスタから *nn* (読み取りバイト数 − 1) で指定されたバイト数を読み取ります。コマンドは、RREG コマンドバイトの後に nn + 1 バイトがクロックアウトされると完了します。たとえば、構成レジスタ 1 (rr = 01b) から開始して 3 バイト (nn = 10b) を読み取るコマンドは、0010 0110b です。

8.5.3.6 WREG (0100 rrnnb)

WREG コマンドは、レジスタ アドレス rr から開始して、*nn* (書き込みバイト数 − 1) で指定されたバイト数をデバイス構成レジスタに書き込みます。このコマンドは、WREG コマンド バイトの後に nn + 1 バイトがクロックインされると完了します。たとえば、構成レジスタ 0 (rr = 00b) から開始して 2 バイト (nn = 01b) を書き込むコマンドは 0100 0001b です。構成レジスタは、最後の SCLK 立ち下がりエッジで更新されます。

Copyright © 2026 Texas Instruments Incorporated

8.5.4 データの読み取り

出力ピン $\overline{DRDY}$ および DOUT/$\overline{DRDY}$ (構成レジスタで DRDYM ビットが High に設定されている場合) は、新しいデータが取得準備完了した時点で Low に遷移します。変換データは、内部データ バッファに書き込まれます。$\overline{DRDY}$ が Low に遷移した際、データの破損を懸念することなく、DOUT/$\overline{DRDY}$ からこのバッファのデータを直接読み取ることができます。RDATA コマンドを送信する必要はありません。データは SCLK の立ち上がりエッジで MSB ファーストでシフトアウトされ、3 バイトのデータで構成されます。

図 8-25 ～ 図 8-27 に、RDATA コマンドを使用しない場合に連続変換モードおよびシングルショット変換モードで変換データを読み取るタイミング図を示します。

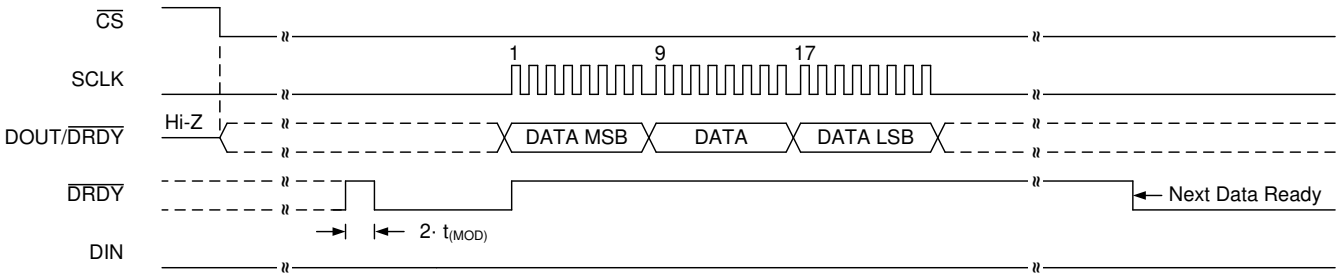


図 8-25. 連続変換モード (DRDYM = 0b)

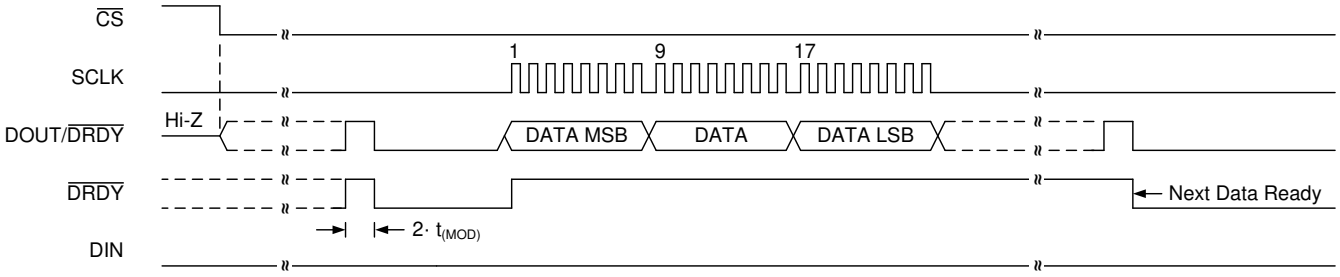


図 8-26. 連続変換モード (DRDYM = 1b)

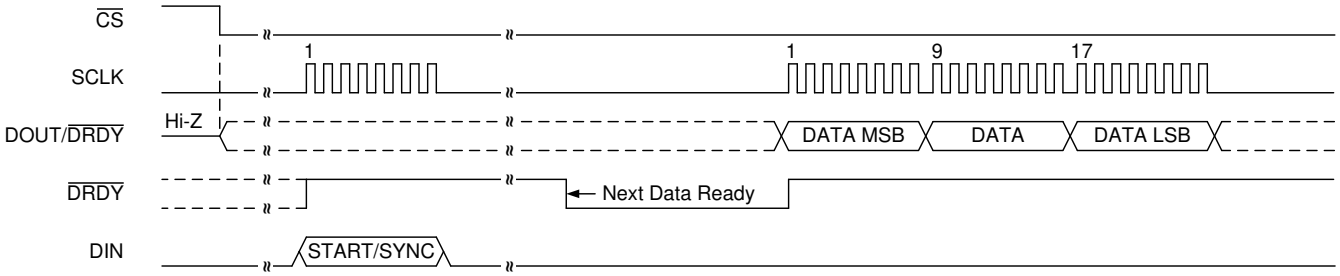


図 8-27. シングルショット変換モード (DRDYM = 0b)

RDATA コマンドを使用することで、$\overline{DRDY}$ 信号と同期させることなく、いつでもデータを読み取ることができます。RDATA コマンドが発行されると、データ バッファに現在保存されている変換結果は、次の SCLK 立ち上がりエッジで DOUT/$\overline{DRDY}$ でシフトアウトされます。$\overline{DRDY}$ または DOUT/$\overline{DRDY}$ の監視の代わりに、RDATA コマンドを使用してデータを連続的に読み取ることができます。$\overline{DRDY}$ ピンをポーリングして、LSB にクロックを供給した後、新しい変換結果がロードされたかどうかを判定できます。読み取り動作中に新しい変換が完了し、前の変換からのデータが読み取られると、$\overline{DRDY}$ は Low になります。それ以外の場合、最新の結果が読み取られると、$\overline{DRDY}$ は High になります。図 8-28 および 図 8-29 に、両方の場合の動作を示します。

Copyright © 2026 Texas Instruments Incorporated

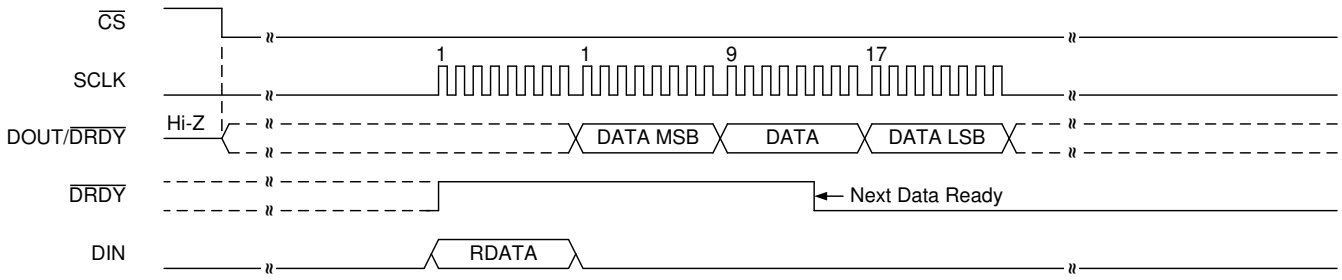


図 8-28. RDATA コマンド時に新しい変換が完了した場合の DRDY の状態

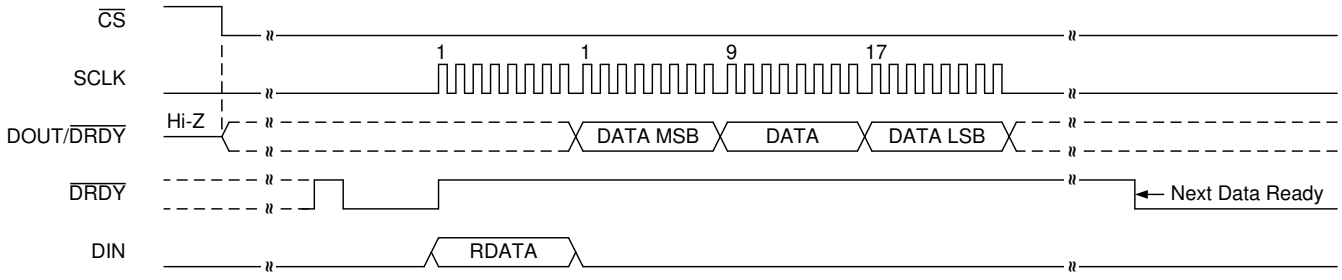


図 8-29. RDATA コマンド時に最新の変換結果が読み取られた場合の DRDY の状態

8.5.5 コマンドの送信

RDATA コマンドを使用しない場合、デバイスのシリアル インターフェイスは、変換データの読み取り中に全二重動作が可能です。全二重動作は、変換データが読み取られると同時にコマンドがデコードされることを意味します。データ読み取り動作中は、任意の 8 ビット データ境界でコマンドを送信できます。RREG または RDATA コマンドが認識されると、現在のデータの読み取り動作は中止され、変換結果の最後のバイトが取得されたときにコマンドが送信されない限り、変換データが破損します。デバイスは、コマンド バイトの後の最初の SCLK 立ち上がりエッジで、要求されたデータの DOUT/DRDY での出力を開始します。中断せずにデータを読み取るには、データをクロックアウトしている間は DIN を Low に保ちます。

進行中の読み取り動作を破損せずに、WREG コマンドを送信できます。図 8-30 に、連続変換モードで変換データを読み取るときに、WREG コマンドを送信して 2 つの構成レジスタに書き込む例を示します。コマンドが (32 番目の SCLK の立ち下がりエッジ後) クロックインされた後、デバイスはデジタル フィルタをリセットし、新しいレジスタ設定で変換を開始します。WREG コマンドは、8 ビット境界のいずれかで送信できます。

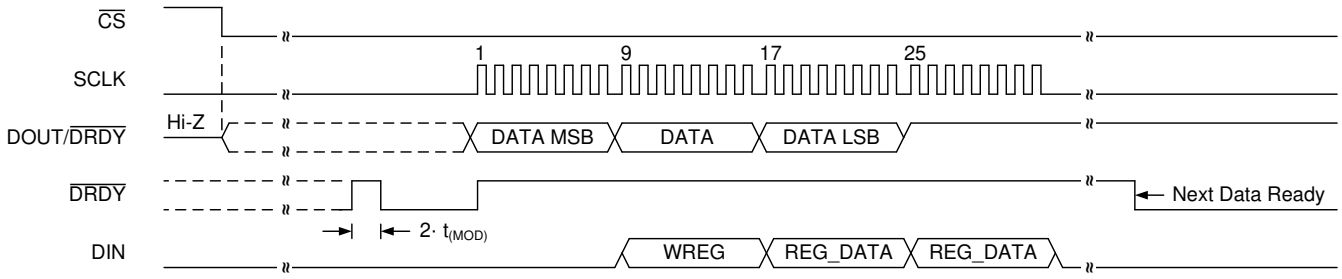


図 8-30. WREG コマンド送信と同時にデータを読み取る場合の例

RDATA または RREG コマンドが実行されている間、シリアル インターフェイスはコマンドをデコードしません。つまり、RDATA コマンドを発行した後、変換結果の 24 ビットすべてを読み取る必要があります。また、新しいコマンドを発行するには、RREG コマンドを送信した後に、要求されたすべてのレジスタを読み取る必要があります。

Copyright © 2026 Texas Instruments Incorporated

8.5.6 複数のデバイスとのインターフェイス

複数の ADS1220 デバイスを単一の SPI バスに接続する場合、各 SPI イネーブル デバイスに専用チップ セレクト (CS) ラインを使用して、SCLK、DIN、DOUT/DRDY を安全に共有できます。各デバイスで CS が High に遷移すると、DOUT/DRDY は 3-state モードに移行します。したがって、構成レジスタの DRDYM ビットの設定に関係なく、CS が High の場合に新しいデータが利用可能になったことを DOUT/DRDY を使用して通知することはできません。新しいデータが利用可能であることは専用 DRDY ピンのみによって示されます。これは、CS が High のときでも DRDY ピンはアクティブに駆動されるためです。

場合によっては、DRDY ピンをマイコンに接続できないことがあります。このシナリオは、マイコンで利用可能な GPIO チャネルが不十分な場合、またはシリアル インターフェイスを電気的に絶縁する必要があるためにチャネル数を制限する必要がある場合に発生する可能性があります。したがって、いずれかのデバイスの新しい変換の準備が完了した時点で評価するために、マイコンは定期的に CS を該当するデバイスに対してドロップし、DOUT/DRDY ピンの状態をポーリングできます。CS が Low になると、DOUT/DRDY ピンは、DRDYM ビットが 1b に構成されていれば、直ちに High または Low に駆動されます。DOUT/DRDY ラインが Low に駆動されると、CS が Low になった場合に新しいデータがその時点で利用可能になります。DOUT/DRDY ラインが High に駆動されると、新しいデータは利用できません。この手順では、各変換結果を読み取った後、CS を High にする前に DOUT/DRDY が High になる必要があります。DOUT/DRDY が High になるように、各データ読み取り操作後、DIN を Low に保持した状態で、さらに 8 SCLK を送信します。図 8-31 に示されているように、DOUT/DRDY は、変換結果の読み取り後、8 SCLK で High を読み取ります。または、RDATA コマンドを使用すると、データの破損を心配することなく、いつでも有効なデータをデバイスから取得できます。

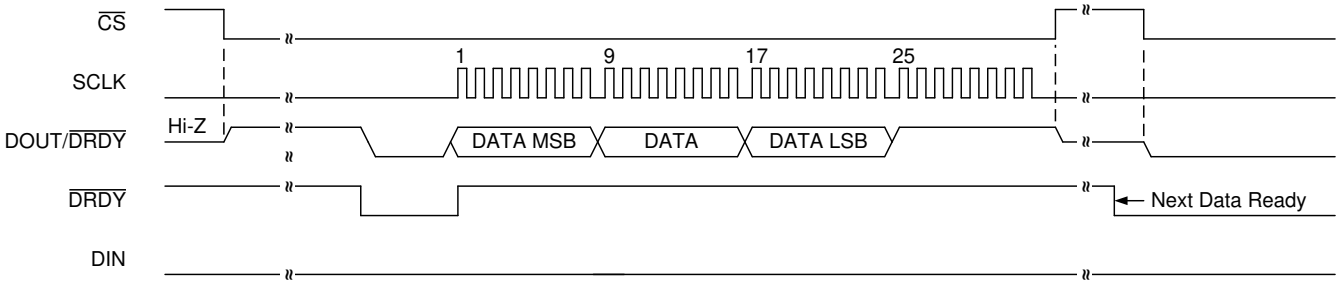


図 8-31. 変換結果の読み取り後に DOUT/DRDY を High にする例

8.6 レジスタ マップ

8.6.1 構成レジスタ

このデバイスには 4 つの 8 ビット構成レジスタがあり、RREG および WREG コマンドを使用して、シリアル インターフェイス経由でアクセスできます。パワーアップまたはリセット後、すべてのレジスタがデフォルト値 (すべて 00h) に設定されます。すべてのレジスタは、パワーダウン モード中も値を保持します。表 8-8 に、構成レジスタのレジスタ マップを示します。

表 8-8. 構成レジスタ マップ

レジスタ (16 進)	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
00h	MUX[3:0]				GAIN[2:0]			PGA_BYPASS
01h	DR[2:0]			MODE[1:0]		CM	TS	BCS
02h	VREF[1:0]		50/60[1:0]		PSW	IDAC[2:0]		
03h	I1MUX[2:0]			I2MUX[2:0]			DRDYM	予約済み

8.6.2 レジスタの説明

表 8-9 に、ADS1220 レジスタ アクセス コードを一覧します。

表 8-9. レジスタ アクセス タイプ コード

アクセス タイプ	コード	説明
R	R	読み取り
R/W	R/W	読み取り-書き込み
W	W	書き込み
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

8.6.2.1 構成レジスタ 0 (アドレス = 00h) [リセット = 00h]

図 8-32. 設定レジスタ 0

7	6	5	4	3	2	1	0
MUX[3:0]				GAIN[2:0]			PGA_BYPASS
R/W-0000b				R/W-000b			R/W-0b

表 8-10. 構成レジスタ 0 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	MUX[3:0]	R/W	0000b	**入力マルチプレクサ構成** これらのビットは、入力マルチプレクサを構成します。 AIN_N = AVSS の場合の設定では、PGA を無効化 (PGA_BYPASS = 1) する必要があり、ゲイン 1、2、4 のみを使用できます。 0000b:AIN_P = AIN0、AIN_N = AIN1 0001b:AIN_P = AIN0、AIN_N = AIN2 0010b:AIN_P = AIN0、AIN_N = AIN3 0011b:AIN_P = AIN1、AIN_N = AIN2 0100b:AIN_P = AIN1、AIN_N = AIN3 0101b:AIN_P = AIN2、AIN_N = AIN3 0110b:AIN_P = AIN1、AIN_N = AIN0 0111b:AIN_P = AIN3、AIN_N = AIN2 1000b:AIN_P = AIN0、AIN_N = AVSS 1001b:AIN_P = AIN1、AIN_N = AVSS 1010b:AIN_P = AIN2、AIN_N = AVSS 1011b:AIN_P = AIN3、AIN_N = AVSS 1100b:(V_{REFPx} – V_{REFNx}) / 4 モニタ (PGA バイパス) 1101b:(AVDD – AVSS) / 4 モニタ (PGA バイパス) 1110b:AIN_P および AIN_N を (AVDD + AVSS) / 2 に短絡 1111b:予約済み
3:1	GAIN[2:0]	R/W	000b	**ゲイン構成** これらのビットは、デバイスのゲインを構成します。 ゲイン 1、2、4 は、PGA なしで使用できます。この場合、スイッチト コンデンサ構造によってゲインが得られます。 000b:ゲイン = 1 001b:ゲイン = 2 010b:ゲイン = 4 011b:ゲイン = 8 100b:ゲイン = 16 101b:ゲイン = 32 110b:ゲイン = 64 111b:ゲイン = 128
0	PGA_BYPASS	R/W	0b	**内部低ノイズ PGA を無効化およびバイパス** PGA を無効化すると、総消費電力が低減され、同相電圧範囲 (V_{CM}) が AVSS – 0.1V ～ AVDD + 0.1V の範囲に収まります。 PGA は、ゲイン 1、2、4 の場合にのみ無効化できます。 PGA_BYPASS 設定に関係なく、PGA は常に 8 ～ 128 のゲイン設定で有効になります。 0b:PGA イネーブル 1b:PGA は無効化およびバイパス

Copyright © 2026 Texas Instruments Incorporated

8.6.2.2 構成レジスタ 1 (アドレス = 01h) [リセット = 00h]

図 8-33. 設定レジスタ 1

7	6	5	4	3	2	1	0
DR[2:0]			MODE[1:0]		CM	TS	BCS
R/W-000b			R/W-00b		R/W-0b	R/W-0b	R/W-0b

表 8-11. 構成レジスタ 1 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	DR[2:0]	R/W	000b	**データ レート** これらのビットは、選択した動作モードに応じてデータ レートの設定を制御します。表 8-12 に、通常のデューティ サイクルおよびターボ モードのビット設定を示します。
4:3	MODE[1:0]	R/W	00b	**動作モード** これらのビットは、デバイスが動作する動作モードを制御します。 00b: 通常モード (256kHz 変調器クロック) 01b: デューティ サイクル モード (1:4 の内部デューティ サイクル) 10b: ターボ モード (512kHz 変調器クロック) 11b: 予約済み
2	CM	R/W	0b	**変換モード** このビットは、デバイスの変換モードを設定します。 0b: シングルショット変換モード 1b: 連続変換モード
1	TS	R/W	0b	**温度センサ モード** このビットは、内部温度センサを有効化し、デバイスを温度センサ モードにします。構成レジスタ 0 の設定は影響を与えず、温度センサ モードが有効の場合、デバイスは内部リファレンスを使用して測定を行います。 0b: 温度センサを無効化 1b: 温度センサを有効化
0	BCS	R/W	0b	**バーンアウト電流源** このビットは、10μA、バーンアウト電流源を制御します。バーンアウト電流源を使用して、断線やセンサの短絡などのセンサの故障を検出できます。 0b: 電流源オフ 1b: 電流源オン

表 8-12. DR ビット設定 (1)

通常モード	デューティ サイクル モード	ターボ モード
000b = 20SPS	000b = 5SPS	000b = 40SPS
001b = 45SPS	001b = 11.25SPS	001b = 90SPS
010b = 90SPS	010b = 22.5SPS	010b = 180SPS
011b = 175SPS	011b = 44SPS	011b = 350SPS
100b = 330SPS	100b = 82.5SPS	100b = 660SPS
101b = 600SPS	101b = 150SPS	101b = 1200SPS
110b = 1000SPS	110b = 250SPS	110b = 2000SPS
111b = 予約済み	111b = 予約済み	111b = 予約済み

(1) 生成されるデータ レートは、内部発振器または外部 4.096MHz クロックを使用して計算されます。4.096MHz 以外の外部クロックを使用する場合、データ レートは外部クロック周波数に比例してスケーリングします。

Copyright © 2026 Texas Instruments Incorporated

8.6.2.3 構成レジスタ 2 (アドレス = 02h) [リセット = 00h]

図 8-34. 設定レジスタ 2

7	6	5	4	3	2	1	0
VREF[1:0]		50/60[1:0]		PSW	IDAC[2:0]		
R/W-00b		R/W-00b		R/W-0b	R/W-000b		

表 8-13. 構成レジスタ 2 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	VREF[1:0]	R/W	00b	**電圧リファレンスの選択** これらのビットは、変換に使用される電圧リファレンス ソースを選択します。 00b：内部 2.048V リファレンスを選択 01b：専用 REFP0 および REFN0 入力を使用して外部リファレンスを選択 10b：AIN0/REFP1 と AIN3/REFN1 入力を使用して外部リファレンスを選択 11b：リファレンスとしてのアナログ電源 (AVDD – AVSS)
5:4	50/60[1:0]	R/W	00b	**FIR フィルタ構成** これらのビットは、内部 FIR フィルタのフィルタ係数を構成します。 これらのビットは、通常モードでは 20SPS 設定、デューティ サイクル モードでは 5SPS 設定と組み合わせてのみ使用します。その他のすべてのデータ レートの場合は 00b に設定します。 00b：50Hz または 60Hz 除去なし 01b：50Hz および 60Hz 同時除去 10b：50Hz 除去のみ 11b：60Hz 除去のみ
3	PSW	R/W	0h	**ローサイド パワー スイッチ構成** このビットは、AIN3/REFN1 と AVSS の間に接続されたローサイド スイッチの動作を設定します。 0b：スイッチは常に開状態 1b：スイッチは START/SYNC コマンドが送信されると自動的に閉じ、POWERDOWN コマンドが発行されると開く
2:0	IDAC[2:0]	R/W	0h	**IDAC 電流設定** これらのビットは、IDAC1 と IDAC2 の両方の励起電流源の電流を設定します。 000b：オフ 001b：10μA 010b：50μA 011b：100μA 100b：250μA 101b：500μA 110b：1000μA 111b： 1500μA

Copyright © 2026 Texas Instruments Incorporated

8.6.2.4 構成レジスタ 3 (アドレス = 03h) [リセット = 00h]

図 8-35. 設定レジスタ 3

7	6	5	4	3	2	1	0
I1MUX[2:0]			I2MUX[2:0]			DRDYM	予約済み
R/W-000b			R/W-000b			R/W-0b	R/W-0b

表 8-14. 構成レジスタ 3 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	I1MUX[2:0]	R/W	000b	**IDAC1 ルーティング構成** これらのビットは、IDAC1 がルーティングされるチャネルを選択します。 000b: IDAC1 ディスエーブル 001b: IDAC1 を AIN0/REFP1 に接続 010b: IDAC1 を AIN1 に接続 011b: IDAC1 を AIN2 に接続 100b: IDAC1 を AIN3/REFN1 に接続 101b: IDAC1 を REFP0 に接続 110b: IDAC1 を REFN0 に接続 111b: 予約済み
4:2	I2MUX[2:0]	R/W	000b	**IDAC2 ルーティング構成** これらのビットは、IDAC2 がルーティングされるチャネルを選択します。 000b: IDAC2 ディスエーブル 001b: IDAC2 を AIN0/REFP1 に接続 010b: IDAC2 を AIN1 に接続 011b: IDAC2 を AIN2 に接続 100b: IDAC2 を AIN3/REFN1 に接続 101b: IDAC2 を REFP0 に接続 110b: IDAC2 を REFN0 に接続 111b: 予約済み
1	DRDYM	R/W	0b	**$\overline{\text{DRDY}}$ モード** このビットは、新しいデータが準備完了したとき DOUT/$\overline{\text{DRDY}}$ ピンの動作を制御します。 0b: 専用 $\overline{\text{DRDY}}$ ピンのみを使用して、データの準備が完了したことを示す 1b: データ準備完了は、DOUT/$\overline{\text{DRDY}}$ と $\overline{\text{DRDY}}$ で同時に示される
0	予約済み	R/W	0b	**予約済み** 常に 0b を書き込み

Copyright © 2026 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

ADS1220 は高精度 24 ビット ΔΣ ADC で、さまざまな種類の温度センサやブリッジ センサを含め、最も一般的な種類のセンサを簡単に測定できるように多くの機能を内蔵しています。ADS1220 を使用したアプリケーションを設計する際の主な検討事項には、アナログ入力フィルタリング、レシオメトリック測定用に適切な外部リファレンスの確立、内部 PGA の同相入力電圧の設定が含まれます。別の検討事項として、シリアル インターフェイスの適切な接続と設定が挙げられます。これらの検討事項については、以下のセクションで説明します。

9.1.1 シリアル インターフェイスの接続

図 9-1 に、ADS1220 の主なシリアル インターフェイス接続を示します。

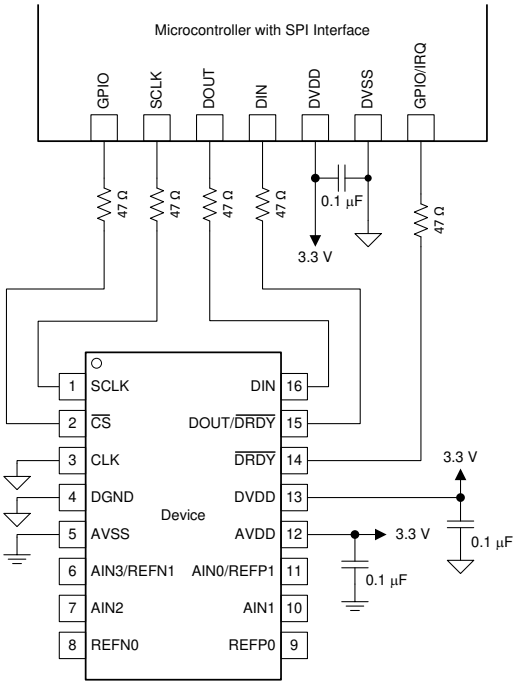


図 9-1. シリアル インターフェイスの接続

ほとんどのマイコン SPI ペリフェラルは、ADS1220 と連携して動作可能です。このインターフェイスは、SPI モード 1 (CPOL = 0 および CPHA = 1) と互換性があります。SPI モード 1 では、SCLK はアイドル時に Low になり、SCLK の立ち上がりエッジでのみデータが起動または変更されます。SCLK の立ち下がりエッジでコントローラおよびペリフェラルによってデータがラッチまたは読み取られます。デバイスが採用している SPI 通信プロトコルの詳細については、「SPI のタイミング要件」セクションを参照してください。

すべてのデジタル入出力ピン (CS、SCLK、DIN、DOUT/DRDY、DRDY) と直列に 47Ω 抵抗を配置します。この抵抗は、鋭い遷移を平滑化し、オーバーシュートを抑制し、過電圧保護を提供します。追加の抵抗は、デジタル信号ライン上に存在するバス容量と相互作用するため、すべての SPI タイミング要件を満たすように注意する必要があります。

Copyright © 2026 Texas Instruments Incorporated

9.1.2 アナログ入力フィルタリング

アナログ入力フィルタリングには、2 つの目的があります。第 1 に、サンプリング プロセス中にエイリアシングの影響を制限すること、第 2 に外部ノイズが測定の一部にならないようにすることです。

他のサンプリングされたシステムと同様に、適切なアンチエイリアス フィルタリングが行われない場合、エイリアシングが発生する可能性があります。このエイリアシングは、ADC のサンプリング周波数 (ナイキスト周波数とも呼ばれる) の半分を超える周波数成分が入力信号に存在する場合に発生します。これらの周波数成分はフォールドバックされ、サンプリング周波数の半分以下で、対象となる実際の周波数帯域に現れます。ΔΣ ADC 内では、入力信号は、出力データ レートではなく、変調器の周波数 f_{MOD} でサンプリングされます。図 9-2 に示されているように、デジタル フィルタのフィルタ応答は、サンプリング周波数 (f_{MOD}) の倍数で繰り返されます。フィルタ アーキテクチャに応じて、フィルタ応答が繰り返される周波数までの信号やノイズは、デジタル フィルタによって一定量だけ減衰されます。入力信号中に変調周波数またはその整数倍の周波数付近に存在する周波数成分は、外部のアナログ フィルタによって減衰されない限り、減衰されることなく、目的の帯域内へとエイリアスで戻ります。

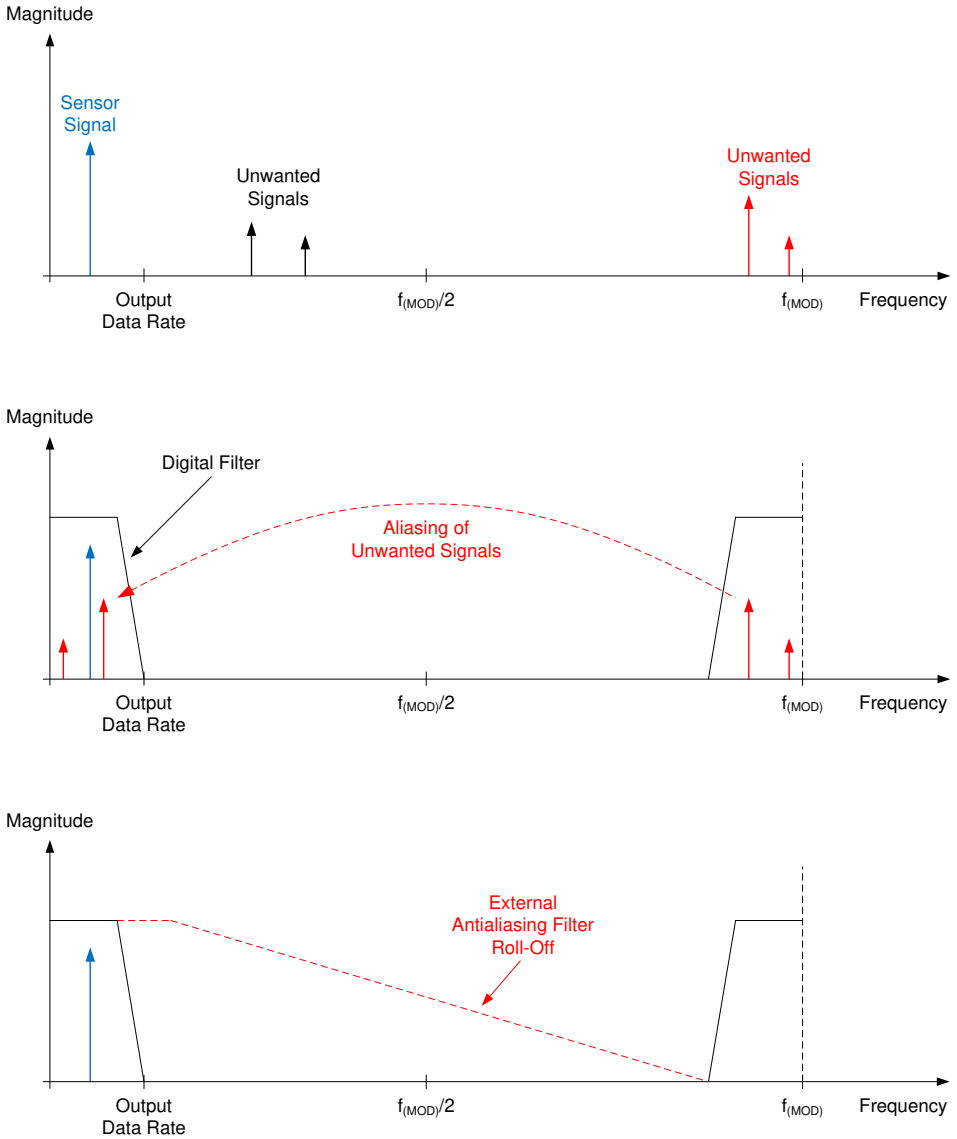


図 9-2. エイリアシングの効果

Copyright © 2026 Texas Instruments Incorporated

多くのセンサ信号は本質的に帯域制限されています。たとえば、熱電対の出力変化率が制限されています。この場合、ΔΣ ADC を使用する際、センサ信号はパスバンドにエイリアスで戻りません。しかし、センサの配線やアプリケーション回路に沿ってノイズを拾う場合、パスバンドにエイリアスする可能性があります。電力線サイクルの周波数と高調波は、1 つの共通ノイズ源です。外部ノイズは、付近のモーターや携帯電話などの電磁干渉 (EMI) または無線周波数干渉 (RFI) 源から発生することもあります。通常、別のノイズ源はプリント基板 (PCB) 上に、クロックや他のデジタル信号の形態で存在します。アナログ入力フィルタは、望ましくない信号を除去して測定結果に影響を及ぼすのに役立ちます。

1 次 RC フィルタは (ほとんどの場合) エイリアシングを完全に除去するか、センサのノイズフロア内のレベルまでエイリアシングの影響を低減するために十分です。理想的には、f_{MOD} / 2 を超える信号は、ADC のノイズフロアより低いレベルまで減衰するようにします。「デジタル フィルタ」セクションのフィルタ応答プロットに示されているように、ADS1220 のデジタル フィルタは信号を特定の程度まで減衰させます。さらに、ノイズ成分は一般的に、実際のセンサ信号よりも大きさが小さくなります。したがって、一般的に、出力データ レートの 10 倍以上にカットオフ周波数を設定した 1 次 RC フィルタを使用することは、システム設計の出発点となります。

デバイス内部では、PGA 入力の前に EMI フィルタを備えています。図 8-2 を参照してください。このフィルタのカットオフ周波数は約 31.8MHz で、高周波数の干渉を除去するのに役立ちます。

9.1.3 外部リファレンスおよびレシオメトリック測定

ADS1220 のフルスケール レンジは、リファレンス電圧と PGA ゲイン (FSR = ±V_{REF} / ゲイン) により定義されます。FSR を特定のシステム ニーズに合わせて適応させるため、内蔵 2.048V リファレンスの代わりに外部リファレンスを使用できます。V_{IN} > 2.048V の場合は、外部リファレンスを使用する必要があります。たとえば、0V ～ 5V の範囲でスイングできるシングルエンド信号を測定するには、外部 5V リファレンスと AVDD = 5V が必要です。

また、デバイスのリファレンス入力により、レシオメトリック測定を実装することもできます。レシオメトリック測定では、センサの励起に使用するのと同じ励起源を使用して、ADC のリファレンスを確立します。たとえば、レシオメトリック測定の単純な形式では、同じ電流源を使用して、抵抗センサ素子 (RTD など) と、測定対象素子と直列に接続された別の抵抗リファレンス素子の両方を励起します。リファレンス素子の両端に発生する電圧が、ADC のリファレンス ソースとして使用されます。電流ノイズとドリフトは、センサ測定値とリファレンス電圧の両方に共通するため、これらの成分は ADC の伝達関数で相殺されます。出力コードは、センサ素子とリファレンス抵抗の値の比のみです。励起電流源の値は、ADC 伝達関数の一部ではありません。

9.1.4 適切な同相入力電圧の確立

ADS1220 を使用して、シングルエンド、疑似差動、完全差動信号 (ユニポーラまたはバイポーラを使用可能) など、各種の入力信号構成を測定できます。しかし、それぞれの信号タイプに合わせてデバイスを適切に構成することは重要です。

負のアナログ入力が固定で、アナログ グランド ($V_{(AINN)}$ = 0V) を基準とする信号は、一般的にシングルエンド信号と呼ばれます。その結果、シングルエンド信号の同相電圧は 0V と V_{IN} / 2 の間で変動します。PGA が無効でバイパスされる場合、ADS1220 の同相入力電圧は AVSS より 100mV 下、AVDD より 100mV 上に設定できます。したがって、ユニポーラ アナログ電源 (AVSS = 0V) を使用するときは、PGA_BYPASS ビットを設定してシングルエンド信号を測定する必要があります。この構成でも、1、2、4 のゲインが可能です。GND を基準とする 100Ω の負荷抵抗両端での 0mA から 20mA への信号、または 4mA から 20mA への信号を測定するのが代表的な例です。ADS1220 は、PGA がバイパスされるときは、ユニポーラ電源、内部 2.048V リファレンス、ゲイン = 1 を使用して、負荷抵抗両端の信号を直接測定できます。

シングルエンド信号を測定するために 4 を超えるゲインが必要な場合、PGA を有効化する必要があります。この場合、ADS1220 が PGA の同相電圧要件を満たすために、バイポーラ電源が必要です。

負のアナログ入力 (AIN_N) が 0V 以外の電圧に固定されている信号は、疑似差動信号と呼ばれます。疑似差動信号の同相電圧は、V_{AINN} と V_{AINN} + V_{IN} / 2 の間で変動します。

対照的に、完全差動信号は、正および負のアナログ入力が互いに 180° の逆位相で振幅しつつも同一の振幅を持ち、かつ一定の同相電圧を有する信号として定義されます。

ADS1220 は、PGA を有効化またはバイパスした状態で、疑似差動信号および完全差動信号を測定できます。しかし、4 を超えるゲインを使用するには、PGA を有効化する必要があります。入力信号の同相電圧は、PGA が有効のとき、PGA

Copyright © 2026 Texas Instruments Incorporated

の入力同相電圧制限を満たす必要があります (「入力同相電圧の要件」セクションで説明)。ほとんどの場合、同相電圧を (AVSS + AVDD) / 2 付近に設定すると、PGA の同相電圧要件が満たされます。

正と負の両方の入力が常に ≥ 0V である信号は、ユニポーラ信号と呼ばれます。これらの信号は、一般に、ユニポーラ アナログ電源 (AVSS = 0V) で ADS1220 を使用して測定できます。前述のように、ユニポーラ電源を使用する場合、PGA をバイパスしてシングルエンドのユニポーラ信号を測定する必要があります。

正または負の入力が 0V を下回るまでスイングできる場合、信号はバイポーラと呼ばれます。ADS1220 でバイポーラ信号を測定するには、バイポーラ アナログ電源 (AVDD = 2.5V、AVSS = –2.5V など) が必要です。代表的なアプリケーション タスクは、AIN_N が 0V に固定され、AIN_P が –10V と 10V の間でスイングするシングルエンド バイポーラ ±10V 信号を測定することです。10V がアナログ電源制限を超えるため、ADS1220 ではこの信号を直接測定できません。しかし、可能なソリューションの 1 つは、ADS1220 の前にバイポーラ アナログ電源 (AVDD = 2.5V、AVSS = –2.5V)、ゲイン = 1、および抵抗デバイダを使用することです。内部 2.048V リファレンスで測定できるように、抵抗デバイダは、電圧を ≤ ±2.048V に分圧する必要があります。

9.1.5 未使用入出力

アナログ入力のリーク電流を最小限に抑えるため、未使用のアナログおよびリファレンス入力をフローティングのままにするか、入力を中間電圧または AVDD に接続します。AIN3/REFN1 は例外です。使用しない場合は、内部ローサイド スイッチを経由してピンが誤って AVSS に短絡することを防止するため、AIN3/REFN1 ピンをフローティングのままにしてください。未使用のアナログ入力またはリファレンス入力を AVSS に接続することも可能ですが、前述のオプションよりも大きなリーク電流が発生する可能性があります。

未使用のデジタル入力はフローティングにしないでください。電源からのリーク電流が過剰になる可能性があります。パワーダウン モードでも、未使用のデジタル入力はすべて、適切なレベル (DVDD または DGND) に接続します。$\overline{CS}$ を使用しない場合は、このピンを DGND に接続します。内部発振器を使用する場合は、CLK ピンを DGND に接続します。$\overline{DRDY}$ 出力を使用しない場合は、ピンを未接続のままにするか、弱プルアップ抵抗を使用して DVDD に接続します。

Copyright © 2026 Texas Instruments Incorporated

9.1.6 疑似コードの例

以下に示されている疑似コード シーケンスには、ADS1220 からの後続の読み取り値を連続変換モードで取り込むように、デバイスと、ADC に接続するマイコンを設定するために必要な手順が含まれています。専用 $\overline{\text{DRDY}}$ ピンは、新しい変換データが利用可能であることを示すために使用されます。デフォルトの構成レジスタ設定は、ゲイン = 16、連続変換モード、50Hz および 60Hz 同時除去に変更されています。

```
Power-up;
Delay to allow power supplies to settle and power-up reset to complete (minimum of 50µs);
Configure the SPI interface of the microcontroller to SPI mode 1 (CPOL = 0, CPHA = 1);
If the CS pin is not tied low permanently, configure the microcontroller GPIO connected to CS as an
output;
Configure the microcontroller GPIO connected to the DRDY pin as a falling edge triggered interrupt
input;
Set CS to the device low;
Delay for a minimum of td(CSSC);
Send the RESET command (06h) to make sure the device is properly reset after power-up;
Delay for a minimum of 50µs + 32 × tCLK;
Write the respective register configuration with the WREG command (43h, 08h, 04h, 10h, and 00h);
As an optional sanity check, read back all configuration registers with the RREG command (23h);
Send the START/SYNC command (08h) to start converting in continuous conversion mode;
Delay for a minimum of td(SCCS);
Clear CS to high (resets the serial interface);
Loop
{
    Wait for DRDY to transition low;
    Take CS low;
    Delay for a minimum of td(CSSC);
    Send 24 SCLK rising edges to read out conversion data on DOUT/DRDY;
    Delay for a minimum of td(SCCS);
    Clear CS to high;
}
Take CS low;
Delay for a minimum of td(CSSC);
Send the POWERDOWN command (02h) to stop conversions and put the device in power-down mode;
Delay for a minimum of td(SCCS);
Clear CS to high;
```

測定を行う前、または PGA のゲインを変更するときは、オフセット キャリブレーションを実行します。デバイスの内部オフセットは、たとえば入力を中電圧 (MUX[3:0] = 1110b) に短絡することで測定できます。次に、マイコンは入力を短絡した状態でデバイスから複数の読み取り値を取得し、平均値をマイコン メモリに保存します。センサ信号を測定するとき、マイコンは各デバイスの読み取り値から保存されたオフセット値を減算して、オフセット補償された結果を得ます。オフセットの値は正または負の値になります。

Copyright © 2026 Texas Instruments Incorporated

9.2 代表的なアプリケーション

9.2.1 K 型熱電対測定 (–200°C ～ +1250°C)

図 9-3 に、冷接点補償に内蔵の高精度温度センサを使用する場合における熱電対測定システムの基本的な接続を示します。熱電対以外に必要な外部回路は、2 つのバイアス抵抗、単純なローパス、アンチエイリアス フィルタ、電源デカップリング コンデンサのみです。

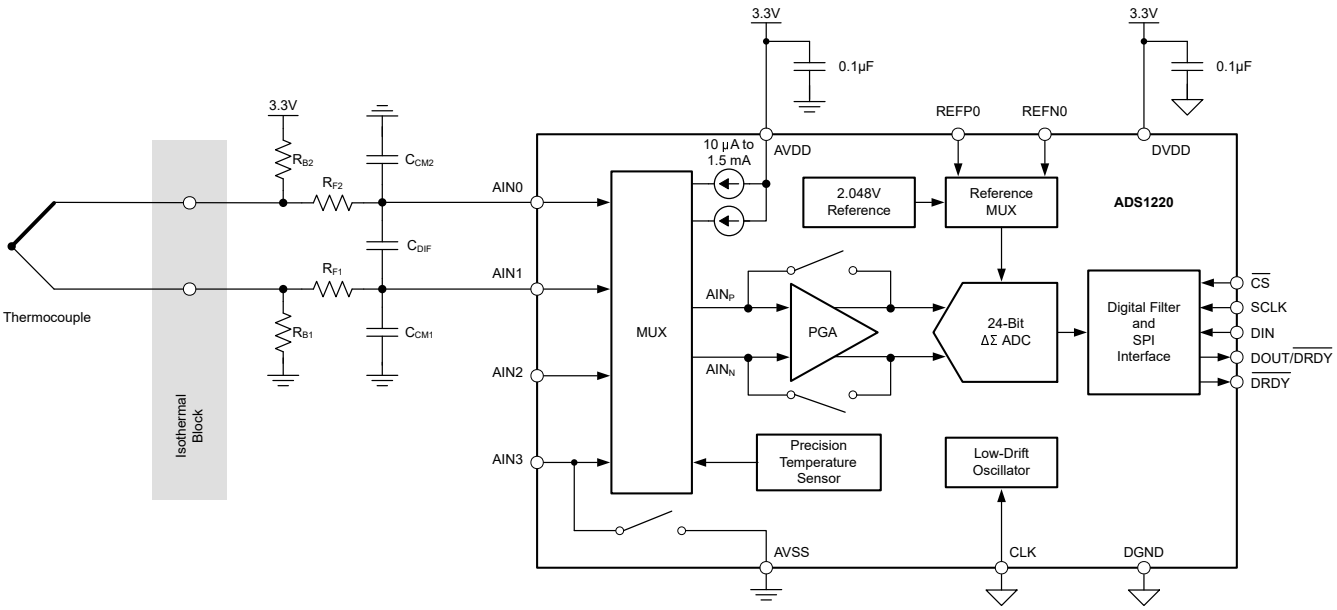


図 9-3. 熱電対測定

9.2.1.1 設計要件

表 9-1. 設計要件

設計パラメータ	値
電源電圧	3.3V
リファレンス電圧	内部 2.048V リファレンス
更新レート	毎秒 ≥10 の読み取り
熱電対のタイプ	K
温度の測定範囲	–200°C ～ +1250°C
T_A = 25°C(1) での測定精度	±0.2°C

(1) 熱電対の誤差および冷接点温度の測定値は考慮されていません。
$T_{(TC)} = T_{(CJ)}$ = 25°C でのオフセット キャリブレーション。ゲイン キャリブレーションなし。

9.2.1.2 詳細な設計手順

バイアス抵抗 R_{B1} と R_{B2} を使って、熱電対の同相電圧が PGA の規定された同相電圧範囲内に設定します (この例では AVDD/2 を中電圧に設定)。アプリケーションで熱電対を GND にバイアスする必要がある場合、デバイスに PGA の同相電圧要件を満たすためにバイポーラ電源 (例:AVDD = 2.5V および AVSS = –2.5V) を使用するか、PGA をバイパスする必要があります。バイアス抵抗の値を選択するときは、バイアス電流によって測定精度が低下しないように注意する必要があります。バイアス電流は熱電対を通して流れるため、自己発熱が発生し、熱電対のリード線全体で追加の電圧降下が発生する可能性があります。バイアス抵抗の標準値は 1MΩ ～ 50MΩ です。

Copyright © 2026 Texas Instruments Incorporated

熱電対のバイアスに加えて、R_{B1} および R_{B2} は開放熱電対リードを検出するのにも役立ちます。熱電対リードの一方が断線した場合、バイアス抵抗によってアナログ入力 (AIN0 および AIN1) がそれぞれ AVDD と AVSS にプルされます。その結果、ADC はこの障害状態を示すため、熱電対電圧の通常の測定範囲外でフルスケール値を読み取ります。

デジタル フィルタによってノイズの高周波成分が減衰しますが、入力に 1 次パッシブ RC フィルタを使用することで、性能をさらに向上できます。式 16 を用いて、R_{F1}、R_{F2}、および差動コンデンサ C_{DIF} で形成される差動 RC フィルタによって生成されるカットオフ周波数を計算します。

$$f_C = 1 / [2\pi \times (R_{F1} + R_{F2}) \times C_{DIF}] \quad (16)$$

2 つの同相モード フィルタ コンデンサ (C_{M1} および C_{M2}) も追加されており、高周波の同相モード ノイズ成分を減衰させます。同相モード コンデンサの不一致により、同相モード ノイズが差動ノイズに変換される可能性があるため、同相モード コンデンサ (C_{M1} および C_{M2}) よりも 1 桁以上 (10 倍) 大きい差動コンデンサ C_{DIF} を選択します。

フィルタ抵抗 R_{F1} および R_{F2} も電流制限抵抗として機能します。これらの抵抗は、入力に過電圧が発生した場合に、デバイスのアナログ入力 (AIN0 および AIN1) に流れ込む電流を安全なレベルに制限します。フィルタ抵抗の値を選択するときは注意が必要です。デバイスに流入する入力電流によって、抵抗の両端で電圧降下が発生するためです。この電圧降下は、ADC 入力の追加のオフセット誤差として現れます。可能な場合は、フィルタ抵抗の値を 1kΩ 未満に制限します。

この設計で使用されるフィルタ部品の値は次の通りです。$R_{F1} = R_{F2} = 1k\Omega$、$C_{DIF} = 100nF$、$C_{CM1} = C_{CM2} = 10nF$。

可能な限り高いゲインを選択することで、電位の最大の入力信号を ADC の FSR に一致させると、非常に優れた測定分解能が得られます。設計要件に基づき、熱電対の最大電圧は $T_{TC} = 1250°C$ のときに生じ、冷接点温度を $T_{CJ} = 0°C$ とした場合、米国国立標準技術研究所 (NIST) が公表している表に定義されている通り、$V_{TC} = 50.644mV$ となります。熱電対は、熱電対の先端と冷接点との間の温度差に比例する出力電圧を生成します。冷接点が 0°C より低い温度の場合、熱電対は 50.644mV を超える電圧を生成します。均熱ブロック領域は、デバイスの動作温度範囲によって制限されます。そのため、均熱ブロックの温度は –40°C に制限されます。$T_{TC} = 1250°C$ の K 型熱電対は、$T_{CJ} = –40°C$ の冷接点温度を基準とすると、$V_{TC} = 50.644mV – (–1.527mV) = 52.171mV$ の出力電圧を生成します。内部 2.048V リファレンスを使用した場合に適用できる最大ゲインは、(2.048V / 52.171mV) = 39.3 と計算されます。デバイスで利用できる次に小さい PGA ゲイン設定は 32 です。

デバイスには、冷接点の温度を測定するために使用できる高精度の温度センサが内蔵されています。ADS1220 の内部温度を測定するには、構成レジスタの TS ビットを 1b に設定して、デバイスを内部温度センサ モードに設定する必要があります。最高の性能を得るには、慎重に基板レイアウトを行って、冷接点とデバイス パッケージの間に良好な熱伝導率を実現することが重要となります。

しかし、デバイスでは熱電対の自動冷接点補償は実行されません。この補償は、デバイスに接続するマイコンで行う必要があります。マイコンは、デバイスから熱電対電圧の 1 つまたは複数の読み取りを要求し、デバイスを内部温度センサ モード (TS = 1b) に設定して、冷接点の温度を取得します。冷接点温度を補償するために、マイコンには以下のようなアルゴリズムを実装する必要があります。

1. AIN0 と AIN1 の間の熱電対電圧 V_{TC} を測定します。
2. ADS1220 の温度センサ モードを使用して、冷接点 TT_{CJ} 温度を測定します。
3. NIST が提供する表または式を使用して、冷接点温度を等価な熱電電圧 V_{CJ} に変換します。
4. V_{TC} と V_{CJ} を追加し、NIST の表または式を使用して合計を熱電対の温度に戻します。

Copyright © 2026 Texas Instruments Incorporated

一部のアプリケーションでは、ADS1220 の内蔵温度センサを使用できません (精度が十分に高くない場合や、デバイスを冷接点の近くに配置できない場合など)。この場合、デバイスの追加のアナログ入力チャネルを使用して、サーミスタ、RTD、またはアナログ温度センサによる冷接点温度を測定できます。

式 17 に示されているように、達成可能な温度分解能の概算を得るために、ゲイン = 32 と DR = 20SPS (0.23μV_{rms}) の ADS1220 の rms ノイズを K 型熱電対 (41μV/°C) の平均感度で除算します。

$$\text{Temperature Resolution} = 0.23\mu V / 41\mu V/°C = 0.006°C \quad (17)$$

表 9-2 に、この設計のレジスタ設定を示します。

表 9-2. レジスタ設定

レジスタ	設定	説明
00h	0Ah	AIN_P = AIN0、AIN_N = AIN1、ゲイン = 32、PGA イネーブル
01h	04h	DR = 20SPS、通常モード、連続変換モード
02h	10h	内部電圧リファレンス、50Hz および 60Hz 同時除去
03h	00h	IDAC は未使用

9.2.1.3 アプリケーション曲線

図 9-4 および 図 9-5 に、測定結果を示します。測定は、$T_A = T_{(CJ)} = 25°C$ で行われています。システム オフセット キャリブレーションは、$T_{(TC)} = 25°C$ で実行され、$T_{(CJ)} = 25°C$ のとき、$V_{(TC)} = 0V$ となります。ゲイン キャリブレーションは実装されていません。図 9-4 のデータは、熱電対の代わりに高精度電圧源を入力信号として使用して取得されています。図 9-5 における各温度測定誤差は、NIST 表を用いて 図 9-4 のデータから算出されています。

この設計は、表 9-1 に示されているような必要な温度測定精度を満たしています。図 9-5 に示されている測定誤差には、熱電対の誤差や冷接点温度の測定誤差は含まれていません。これら 2 つの誤差発生源は一般に 0.2°C より大きいため、多くの場合、システム全体の測定精度が支配的になります。

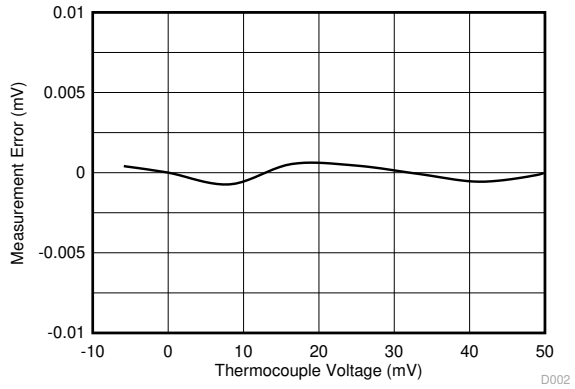


図 9-4. 電圧測定誤差と V_{TC} との関係

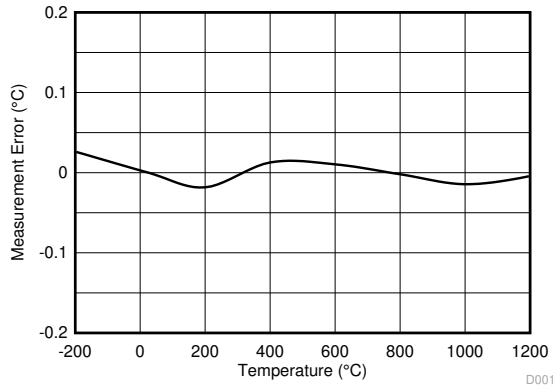


図 9-5. 温度測定誤差と T_{TC} との関係

Copyright © 2026 Texas Instruments Incorporated

9.2.2 3 線式 RTD 測定 (–200°C ～ +850°C)

ADS1220 には、すべての必要な機能 (デュアル マッチド プログラマブル電流源、バッファ付きリファレンス入力、PGA など) が内蔵されているため、2 線式、3 線式、4 線式のレシオメトリック RTD 測定を簡単に実装できます。図 9-6 に、デバイスに内蔵されている励起電流源を使用して RTD を励起し、RTD のリード抵抗を自動補償するレシオメトリック 3 線式 RTD 測定の代表的な実装を示します。

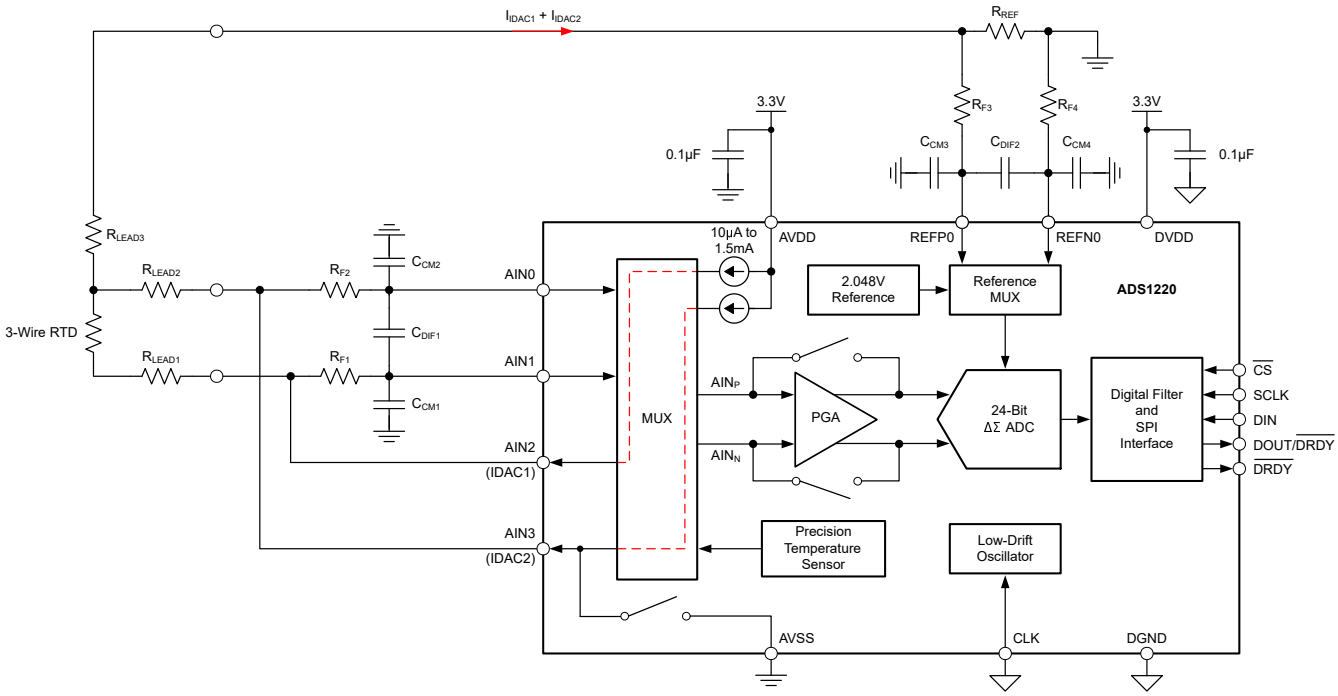


図 9-6. 3 線式 RTD 測定

9.2.2.1 設計要件

表 9-3. 設計要件

設計パラメータ	値
電源電圧	3.3V
更新レート	毎秒 20 の読み取り
RTD の種類	3 線式 Pt100
RTD リード線の最大抵抗値	15Ω
RTD 励起電流	500µA
温度の測定範囲	–200°C ～ +850°C
T_A = 25°C(1) での測定精度	±0.2°C

(1) RTD の誤差は考慮されていません。
R_{RTD} = 100Ω で実行されるオフセット キャリブレーション。ゲイン キャリブレーションなし。

9.2.2.2 詳細な設計手順

図 9-6 の回路では、レシオメトリック測定アプローチが採用されています。つまり、センサ信号 (この場合は RTD 両端の電圧) と ADC 用のリファレンス電圧は、同一の励起源から生成されます。そのため、励起源の温度ドリフトやノイズに起因する誤差は、センサ信号とリファレンスの両方に共通で現れるため、相殺されます。

Copyright © 2026 Texas Instruments Incorporated

デバイスを使用してレシオメトリック 3 線式 RTD 測定を実装するため、IDAC1 を RTD リードの 1 つに配線し、IDAC2 を 2 番目の RTD リードに配線します。どちらの電流も同じ値で、構成レジスタで IDAC[2:0] ビットを使用してプログラムできます。デバイスは、全温度範囲にわたって両方の IDAC 値が厳密に一致するように設計されています。両方の電流の合計は、高精度で低ドリフトのリファレンス抵抗 R_{REF} を流れます。リファレンス抵抗の両端で生成される電圧 V_{REF} が、ADC リファレンス電圧として使用されます (式 18 を参照)。$I_{IDAC1} = I_{IDAC2}$ であるため、式 18 が 式 19 に減少します。

$$V_{REF} = (I_{IDAC1} + I_{IDAC2}) \times R_{REF} \quad (18)$$

$$V_{REF} = 2 \times I_{IDAC1} \times R_{REF} \quad (19)$$

以下の説明を簡単にするため、RTD の個別のリード抵抗値 (R_{LEADx}) をゼロに設定します。式 20 に示されているように、IDAC1 は RTD を励起し、温度依存 RTD 値と IDAC1 値に比例する電圧 (V_{RTD}) を生成します。

$$V_{RTD} = R_{RTD\ (at\ temperature)} \times I_{IDAC1} \quad (20)$$

デバイスは、内部において PGA を用いて RTD の両端電圧を増幅し、その結果得られた電圧をリファレンス電圧と比較することで、式 21 ～ 式 23 に比例するデジタル出力コードを生成します。

$$Code \propto V_{RTD} \times Gain / V_{REF} \quad (21)$$

$$Code \propto (R_{RTD\ (at\ temperature)} \times I_{IDAC1} \times Gain) / (2 \times I_{IDAC1} \times R_{REF}) \quad (22)$$

$$Code \propto (R_{RTD\ (at\ temperature)} \times Gain) / (2 \times R_{REF}) \quad (23)$$

式 23 に示されているように、出力コードは RTD の値、PGA ゲイン、リファレンス抵抗 (R_{REF}) に依存しますが、IDAC1 の値には依存しません。したがって、励起電流の絶対精度や温度ドリフトは問題になりません。しかし、リファレンス抵抗の値は測定結果に直接影響するため、R_{REF} の温度ドリフトに起因する誤差を抑制するには、極めて低い温度係数を持つリファレンス抵抗を選定することが重要です。

2 番目の IDAC2 は、RTD のリード抵抗による電圧降下によって生じる誤差を補償するために使用されます。3 線式 RTD の 3 本のリード線は通常、同じ長さであるため、リード抵抗も同じです。また、IDAC1 と IDAC2 は同じ値です。リード抵抗を考慮すると、ADC 入力、AIN0 および AIN1 間の差動電圧 (V_{IN}) は、式 24 を用いて算出されます。

$$V_{IN} = I_{IDAC1} \times (R_{RTD} + R_{LEAD1}) - I_{IDAC2} \times R_{LEAD2} \quad (24)$$

$R_{LEAD1} = R_{LEAD2}$ and $I_{IDAC1} = I_{IDAC2}$ の場合、式 24 は 式 25 に減少します。

$$V_{IN} = I_{IDAC1} \times R_{RTD} \quad (25)$$

言い換えると、RTD のリード抵抗による電圧降下に起因する測定誤差は、リード抵抗値と IDAC の値が十分に一致している限り、補償されます。

1 次差動および同相 RC フィルタ (R_{F1}、R_{F2}、C_{DIF1}、C_{CM1} および C_{CM2}) を、ADC 入力とリファレンス入力 (R_{F3}、R_{F4}、C_{DIF2}、C_{CM3} および C_{CM4}) に配置します。入力フィルタを設計する際の同じガイドラインは、「熱電対測定」セクションに記載している通り適用されます。最適な性能を得るには、入力側とリファレンス側のフィルタのコーナ周波数を揃えます。入力およびリファレンス フィルタのマッチングの詳細については、『ADS1148 および ADS1248 を使用した RTD レシオメトリック測定およびフィルタリング』アプリケーション ノートを参照してください。

リファレンス抵抗 R_{REF} は、デバイス用のリファレンス電圧を生成するだけでなく、RTD の同相電圧を PGA の規定された同相電圧範囲内に設定する役割も果たします。

Copyright © 2026 Texas Instruments Incorporated

回路を設計するときは、IDAC のコンプライアンス電圧要件も満たすように注意する必要があります。IDAC が正確に動作するためには、電流経路から AVSS 間に生じる最大電圧降下が、AVDD – 0.9V 以下である必要があります。この要件は、式 26 が常に満たされていなければならないことを意味します。

$$AVSS + I_{IDAC1} \times (R_{LEAD1} + R_{RTD}) + (I_{IDAC1} + I_{IDAC2}) \times (R_{LEAD3} + R_{REF}) \leq AVDD - 0.9V \quad (26)$$

また、デバイスは、測定に使用されるのと同じ入力に IDAC を配線することもできます。フィルタ抵抗値 R_{F1} および R_{F2} が十分小さく、よく一致している場合、図 9-6 に示されているように、IDAC1 を AIN1 に、IDAC2 を AIN0 に配線できます。この方法により、1 つのデバイスで同じリファレンス抵抗を共有する 2 つの 3 線式 RTD も測定できます。

表 9-3 に示されているように、この設計例では、–200°C ～ +850°C の範囲の温度を測定するために使用する 3 線式 Pt100 測定の実装について説明します。Pt100 の励起電流は、I_{IDAC1} = 500µA として選択されています。これは、1mA の合成電流がリファレンス抵抗 R_{REF} を通って流れることを意味します。前述の通り、R_{REF} の両端電圧は、ADS1220 のリファレンス電圧を生成するだけでなく、RTD 測定における同相電圧も設定します。一般的には、IDAC のコンプライアンス電圧を維持しつつ、PGA の同相電圧要件も満たす範囲内で、可能な限り高いリファレンス電圧を選択します。同相電圧は、アナログ電源の半分またはそれ付近 (この場合は 3.3V / 2 = 1.65V) に設定します。これは、ほとんどの場合 PGA の同相電圧要件を満たします。次に、R_{REF} の値は 式 27 によって算出されます。

$$R_{REF} = V_{REF} / (I_{IDAC1} + I_{IDAC2}) = 1.65V / 1mA = 1.65k\Omega \quad (27)$$

温度および時間の変化に対して優れた測定精度を達成するには、R_{REF} の安定性が重要です。温度係数 ±10ppm/°C 以下のリファレンス抵抗を選択することを推奨します。1.65kΩ 値が容易に利用できない場合は、1.65kΩ 付近の別の値 (1.62kΩ や 1.69kΩ など) も使用できます。

最後のステップとして、最大入力信号が ADC の FSR に一致するように、PGA ゲインを選択する必要があります。Pt100 の抵抗値は温度とともに上昇します。したがって、測定する最大電圧 (V_{INMAX}) は極端な正温度のときに発生します。850°C では、NIST の表に基づくと、Pt100 の等価抵抗は約 391Ω です。Pt100 両端の電圧は式 28 と等しくなります:

$$V_{INMAX} = V_{RTD\ (at\ 850°C)} = R_{RTD\ (at\ 850°C)} \times I_{IDAC1} = 391\Omega \times 500\mu A = 195.5mV \quad (28)$$

1.65V のリファレンス電圧を使用した場合に適用可能な最大ゲインは、(1.65V/195.5mV) = 8.4 と計算されます。ADS1220 で利用できる次に小さい PGA ゲイン設定は 8 です。ゲインが 8 のとき、この ADS1220 は 式 29 に示されているような FSR 値を提供します。

$$FSR = \pm V_{REF} / Gain = \pm 1.65V / 8 = \pm 206.25mV \quad (29)$$

この範囲により、IDAC およびリファレンス抵抗の初期精度やドリフトに対するマージンを確保できます。

IDAC、R_{REF}、PGA ゲインの値を設定した後は、その設定が PGA の同相電圧要件および IDAC のコンプライアンス電圧要件を満たしているかどうかを必ず再確認してください。ADC 入力 (AIN0 および AIN1) における同相電圧を求めるには、リード抵抗も考慮する必要があります。

最小の同相電圧は、R_{LEADx} = 0Ω で測定温度が最低 (–200°C) のときに生じます。これは、式 30 および 式 31 を用いて算出されます。

$$V_{CMMIN} = V_{REF} + (I_{IDAC1} + I_{IDAC2}) \times R_{LEAD3} + I_{IDAC2} \times R_{LEAD2} + ½\ I_{IDAC1} \times R_{RTD\ (at\ –200°C)} \quad (30)$$

$$V_{CMMIN} = 1.65V + ½\ 500\mu A \times 18.52\Omega = 1.655V \quad (31)$$

実際には、$V_{CMMIN} = V_{REF}$ と仮定すると十分な近似値となります。

V_{CMMIN} は次の 2 つの要件を満たす必要があります。式 14 では V_{CMMIN} が AVDD / 4 = 3.3V / 4 = 0.825V よりも大きく、式 12 では V_{CMMIN} が 式 32 を満たしている必要があります。

$$V_{CMMIN} \geq AVSS + 0.2V + ½\ Gain \times V_{INMAX} = 0V + 0.2V + (½ \times 8 \times 195.5mV) = 982mV \quad (32)$$

Copyright © 2026 Texas Instruments Incorporated

この設計では、V_{CMMIN} = 1.65V で、どちらの制約も満たされています。

最大の同相電圧は測定温度 (850°C) の最高値で発生します。これは、式 33 および 式 34 を用いて算出されます。

$$V_{CMMAX} = V_{REF} + (I_{IDAC1} + I_{IDAC2}) \times R_{LEAD3} + I_{IDAC2} \times R_{LEAD2} + ½\ I_{IDAC1} \times R_{RTD\ (at\ 850°C)} \quad (33)$$

$$V_{CMMAX} = 1.65V + 1mA \times 15Ω + 500μA \times 15Ω + ½ \times 500μA \times 391Ω = 1.77V \quad (34)$$

V_{CMMAX} は、式 13 に提示されている要件を満たしています。つまり、この設計は 式 35 に相当します。

$$V_{CMMAX} \leq AVDD – 0.2V – ½\ Gain \times V_{INMAX} = 3.3V – 0.2V – (½ \times 8 \times 195.5mV) = 2.318V \quad (35)$$

最後に、入力 AIN1 で発生する可能性のある最大電圧を計算して、IDAC1 のコンプライアンス電圧 (AVDD – 0.9V = 3.3V – 0.9V = 2.4V) が満たされているかどうかを判定する必要があります。入力 AIN0 の電圧は、入力 AIN1 の電圧よりも小さくなります。式 36 および 式 37 は、考えられる限り最悪の場合のリード抵抗を考慮に入れても、AIN1 の電圧が 2.4V 未満であることを示しています。

$$V_{AIN1\ (MAX)} = V_{REF} + (I_{IDAC1} + I_{IDAC2}) \times R_{LEAD3} + I_{IDAC1} \times (R_{RTD\ (at\ 850°C)} + R_{LEAD1}) \quad (36)$$

$$V_{AIN1\ (MAX)} = 1.65V + 1mA \times 15Ω + 500μA \times (391Ω + 15Ω) = 1.868V \quad (37)$$

表 9-4 に、この設計のレジスタ設定を示します。

表 9-4. レジスタ設定

レジスタ	設定	説明
00h	66h	AIN_P = AIN1、AIN_N = AIN0、ゲイン = 8、PGA イネーブル
01h	04h	DR = 20SPS、通常モード、連続変換モード
02h	55h	外部リファレンス (REFP0、REFN0)、50Hz および 60Hz 同時除去、IDAC = 500μA
03h	70h	IDAC1 = AIN2、IDAC2 = AIN3

Copyright © 2026 Texas Instruments Incorporated

9.2.2.2.1 2 線式と 4 線式 RTD 測定の設計バリエーション

2 線式または 4 線式 RTD 測定を実装する手順は、図 9-6 に示されている 3 線式 RTD の測定と非常によく似ていますが、唯一の違いは、必要な IDAC が 1 つのみで済むという点です。

図 9-7 に、2 線式 RTD 測定の代表的な回路実装を示します。3 線式 RTD 測定と比較した場合の主な違いは、リード抵抗補償に関するものです。この構成において、リード抵抗 RLEAD1 および RLEAD2 の両端に生じる電圧降下は、第 2 の電流源を用いてリード抵抗を補償する手段が存在しないため、測定値に直接含まれることになります (式 38 を参照)。補正はキャリブレーションで行う必要があります。

$$V_{IN} = I_{IDAC1} \times (R_{LEAD1} + R_{RTD} + R_{LEAD2}) \quad (38)$$

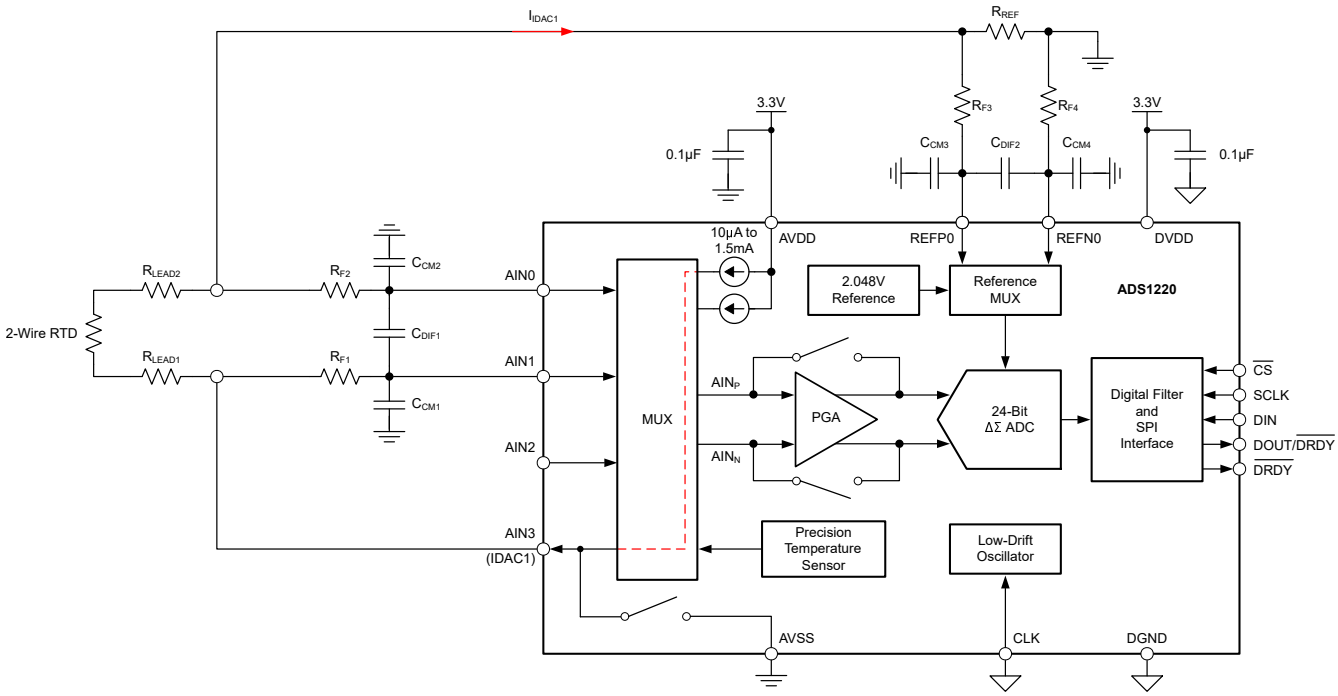


図 9-7. 2 線式 RTD 測定

図 9-8 に、4 線式 RTD 測定の代表的な回路実装を示します。2 線式 RTD 測定と同様に、レシオメトリックな方法で 4 線式 RTD を励起して測定するために必要な IDAC は 1 つのみです。4 線式 RTD を使用する主な利点は、ADC 入力をケルビン接続形式で RTD に接続することです。ADC の入力リーク電流とは別に、リード抵抗 R_{LEAD2} と R_{LEAD3} を流れる電流がないため、それらの間に電圧降下が発生しません。その結果、ADC 入力の電圧は RTD の両端の電圧と等しくなり、リード抵抗は問題になりません。

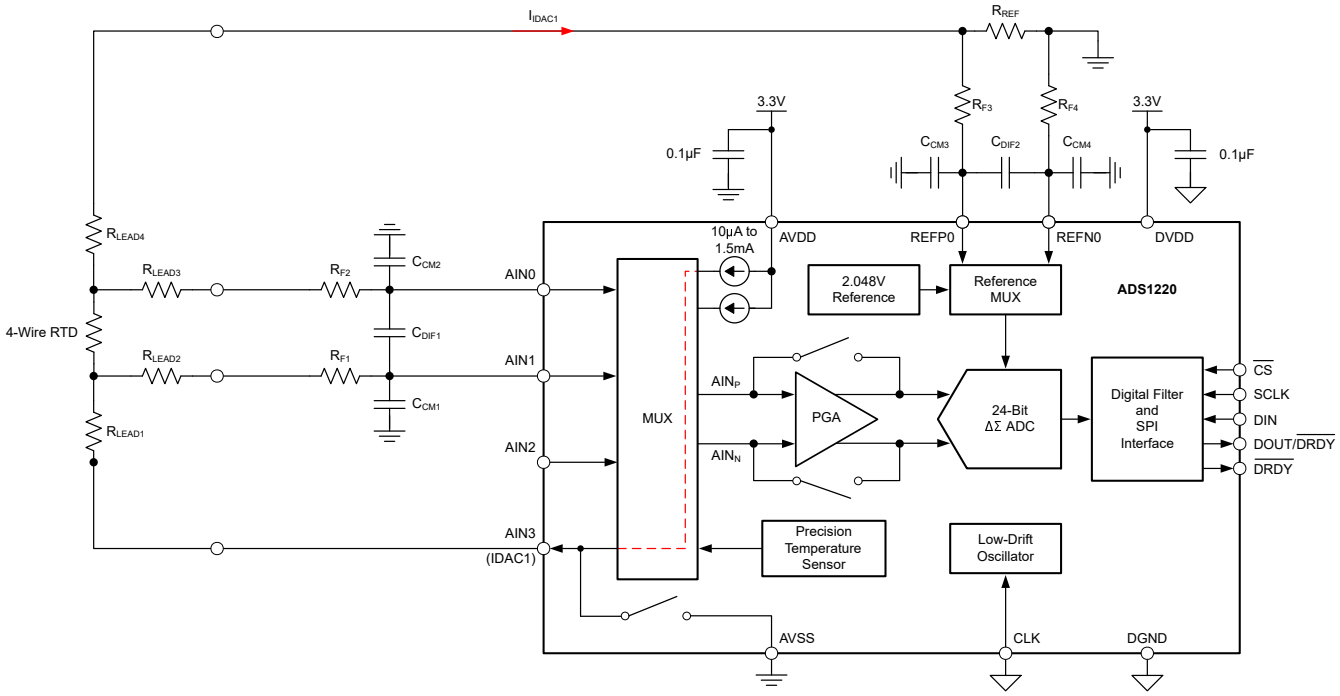


図 9-8. 4 線式 RTD 測定

式 39 に示されているように、2 線式および 4 線式 RTD 測定の伝達関数は、3 線式 RTD 測定の場合と比較して 2 倍の差が生じます。これは、使用される IDAC が 1 つのみであり、リファレンス抵抗 R_{REF} に流れる電流もその 1 つの IDAC のみであるためです。

$$\text{Code} \propto (R_{RTD\ (at\ Temperature)} \times \text{Gain}) / R_{REF} \quad (39)$$

さらに、3 線式 RTD 構成に比べて、同相電圧とリファレンス電圧が低減されます。そのため、3 線式 RTD 設計を使用して 2 線式と 4 線式 RTD を測定する場合は、さらにいくつかの変更が必要になる場合があります。低下した同相電圧が PGA の V_{CMMIN} 要件を満たさない場合、より大きな抵抗をスイッチングして R_{REF} の値を増やすか、または同時にゲインを減少させて励起電流を増加させます。

Copyright © 2026 Texas Instruments Incorporated

9.2.2.3 アプリケーション曲線

図 9-9 および 図 9-10 に、測定結果を示します。測定は T_A = 25°C で行われています。100Ω のリファレンス抵抗を使用して、システム オフセット キャリブレーションを行っています。ゲイン キャリブレーションは実装されていません。図 9-9 のデータは、3 線式 Pt100 の代わりに精密抵抗を用いて取得されています。図 9-10 における各温度測定誤差は、NIST 表を用いて 図 9-9 のデータから算出されています。

この設計は、表 9-3 に示されているような必要な温度測定精度を満たしています。図 9-10 に示されている測定誤差には、RTD の誤差は含まれていません。

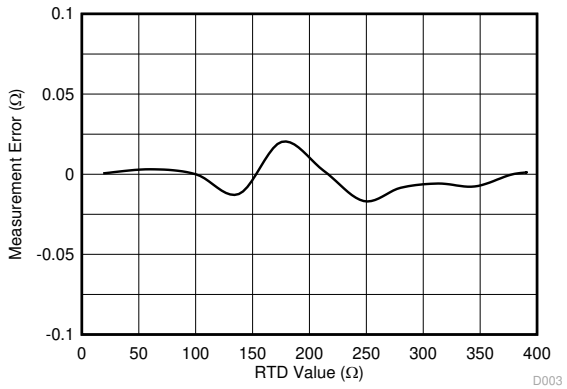


図 9-9. 抵抗測定誤差と R_{RTD} との関係

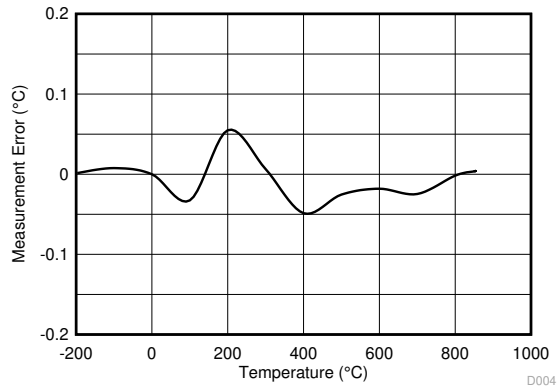


図 9-10. 温度測定誤差と T_{RTD} との関係

9.2.3 抵抗ブリッジ測定

デバイスには、レシオメトリック ブリッジ測定 (最大 128 のゲインを持つ PGA、バッファ付き、差動リファレンス入力、ローサイド パワー スイッチなど) を簡単に実装できるいくつかの機能があります。

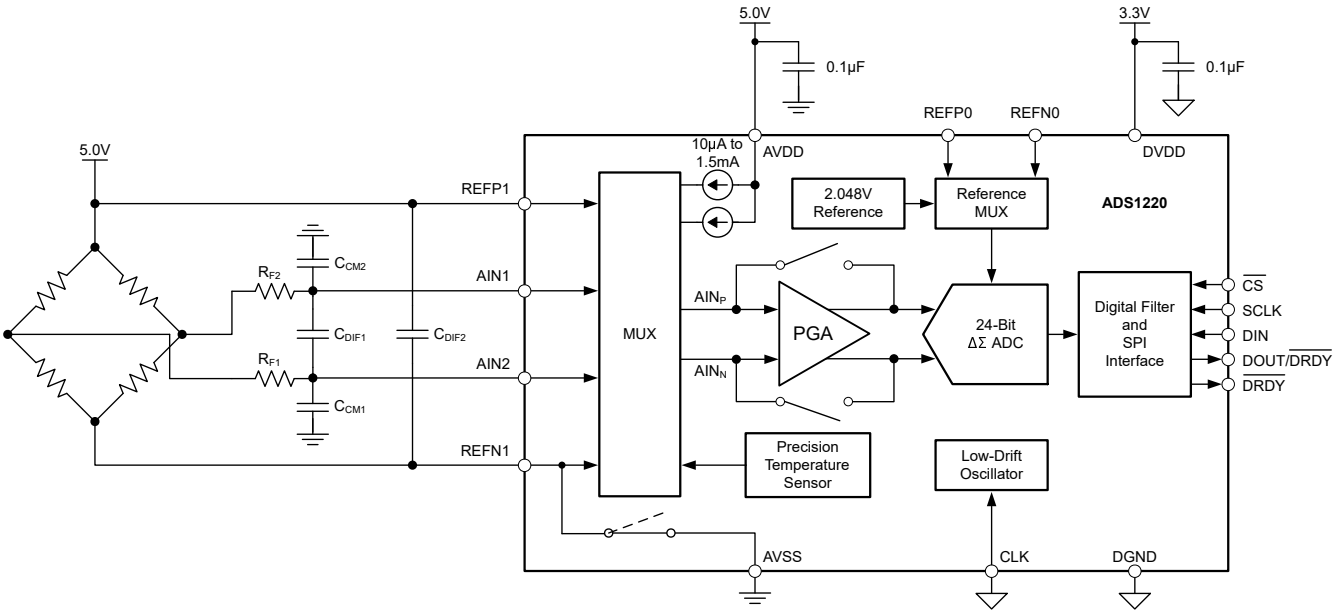


図 9-11. 抵抗ブリッジ測定

9.2.3.1 設計要件

表 9-5. 設計要件

設計パラメータ	値
アナログ電源電圧	5.0V
デジタル電源電圧	3.3V
ロードセル型	4 線式ロードセル
ロードセル最大容量	1kg
ロードセル感度	3mV/V
励起電圧	5V
再現性	50mg

9.2.3.2 詳細な設計手順

図 9-11 に示されているように、レシオメトリック ブリッジ測定を実装するには、ブリッジ励起電圧を ADC のリファレンス電圧として同時に使用します。この構成では、励起電圧のドリフトもリファレンス電圧に上昇するため、ドリフト誤差が相殺されます。2 つのデバイスのリファレンス入力ペアのいずれかを、ブリッジ励起電圧に接続できます。しかし、負のリファレンス入力 (REFN1) のみを内部でローサイド パワー スイッチに配線できます。ブリッジのローサイドを REFN1 に接続すると、ローサイドパワー スイッチを開くことで、ブリッジの自動的なパワーダウンが可能になります。構成レジスタの PSW ビットが 1b に設定されている場合、デバイスは POWERDOWN コマンドが発行されるたびにスイッチを開き、START/SYNC コマンドが送信されるとスイッチを再度閉じます。

PGA は最大 128 のゲインを提供し、小さな差動ブリッジ出力信号を増幅して ADC のフルスケール レンジを最適に活用できます。ブリッジの出力信号は、デバイスの電源電圧と等しい励起電圧で対称型ブリッジを使用する場合、PGA の同相電圧要件を満たします。

Copyright © 2026 Texas Instruments Incorporated

ADS1220 の最大入力電圧は、$V_{IN\ (MAX)}$ = ±[(AVDD – AVSS) – 0.4V] / ゲインに制限されています。これは、この構成ではフルスケール レンジ全体である FSR = ±(AVDD – AVSS) / ゲインを使用できないことを意味しています。これは、PGA アンプ (A1 および A2) の出力駆動能力の結果です。図 8-2 を参照してください。各アンプの出力はレール (AVDD および AVSS) から 200mV 離れた状態に維持する必要があります。そうしないと、PGA は非線形になります。その結果、PGA の最大出力スイングは V_{OUT} = ±[(AVDD – AVSS) – 0.4V] に制限されます。

5V 励起により 3mV/V ロードセルを使用すると、V_{INMAX} = ±15mV の最大差動出力電圧が得られます。これは、ゲイン 128 を使用する場合に、式 40 を満たします。

$$V_{INMAX} \leq \pm[(AVDD - AVSS) - 0.4V] / Gain = \pm(5V - 0.4V) / 128 = \pm 36mV \quad (40)$$

1 次差動および同相 RC フィルタ (R_{F1}、R_{F2}、C_{DIF1}、C_{CM1}、C_{CM2}) を ADC 入力に配置します。このリファレンスには、リファレンス ノイズを制限するため、追加のコンデンサ C_{DIF2} があります。限られた量のフィルタリングを維持するように注意する必要があります。そうしないと、測定はレシオメトリックでなくなります。

読み取り値の再現性を求めるには、次の計算を実行します。ロードセルは、最大負荷 1kg で 15mV の出力電圧を生成します。ゲイン = 128、DR = 20SPS のとき、ADS1220 は 0.41μV_{pp} のノイズフリー分解能を実現します。次に、再現性は式 41 に示されているように算出されます。

$$Repeatability = (1kg / 15mV) \times 0.41\mu V = 27mg \quad (41)$$

表 9-6 に、この設計のレジスタ設定を示します。

表 9-6. レジスタ設定

レジスタ	設定	説明
00h	3Eh	AIN_P = AIN1、AIN_N = AIN2、ゲイン = 128、PGA イネーブル
01h	04h	DR = 20SPS、通常モード、連続変換モード
02h	98h	外部リファレンス電圧 (REFP1、REFN1)、50Hz および 60Hz 同時除去、PSW = 1b
03h	00h	IDAC は未使用

Copyright © 2026 Texas Instruments Incorporated

9.3 電源に関する推奨事項

このデバイスは、アナログ (AVDD、AVSS) とデジタル (DVDD) の 2 種類の電源を必要とします。アナログ電源は、バイポーラ (例: AVDD = 2.5V、AVSS = –2.5V) とユニポーラ (例:AVDD = 3.3V、AVSS = 0V) にでき、デジタル電源には依存しません。デジタル電源によって、デジタル I/O レベルが設定されます。

9.3.1 電源シーケンス

電源の立ち上げ順序は任意ですが、いかなる場合でもアナログ入力およびデジタル入力が、それぞれのアナログ/ デジタル電源の電圧および電流の制限値を超えてはなりません。DVDD を AVDD とともに、または AVDD 前にランプすると、この入力に接続されているローサイド スイッチにより、AIN3/REFN1 を流れるリーク電流が最小化されます。AVDD が DVDD より先に上昇すると、ローサイド スイッチは不明な状態になり、DVDD がランプするまで AIN3/REFN1 入力を AVSS に短絡する可能性があります。パワーアップ リセット処理が完了するように、すべての電源が安定した後、約 50µs 待ってからデバイスとの通信を開始します。

9.3.2 電源ランプ レート

図 9-12 に示されているように、温度範囲全体にわたってデバイスが適切にパワーアップするには、電源ランプ レートが単調で、50µs ごとに 1V 未満である必要があります。

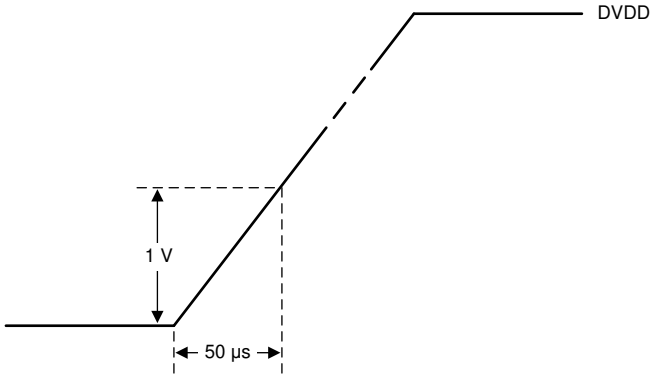


図 9-12. 電源ランプ レート

9.3.3 電源のデカップリング

最適な性能を実現するには、良好な電源デカップリングが重要です。図 9-13 および 図 9-14 に示されているように、AVDD、AVSS (バイポーラ電源を使用する場合)、DVDD は少なくとも 0.1µF コンデンサでデカップリングする必要があります。バイパス コンデンサは、デバイスの電源ピンのできるだけ近くに配置し、低インピーダンスで接続します。電源デカップリング用途には、等価直列抵抗 (ESR) および等価直列インダクタンス (ESL) が低いマルチレイヤ セラミック チップ コンデンサ (MLCC) を使用します。非常に高感度なシステム、またはノイズ環境が厳しいシステムでは、コンデンサをデバイスのピンに接続する際にビアの使用を避けることで、良好なノイズ耐性が実現します。並列に複数のビアを使用すると、インダクタンス全体が低減でき、さらにグランド プレーンへの接続も改善されます。アナログ グランドとデジタル グランドは、デバイスのできるだけ近くに接続してください。

Copyright © 2026 Texas Instruments Incorporated

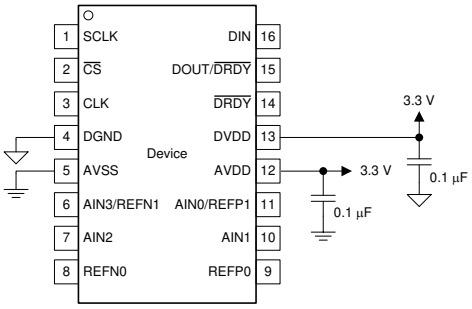


図 9-13. ユニポーラ アナログ電源

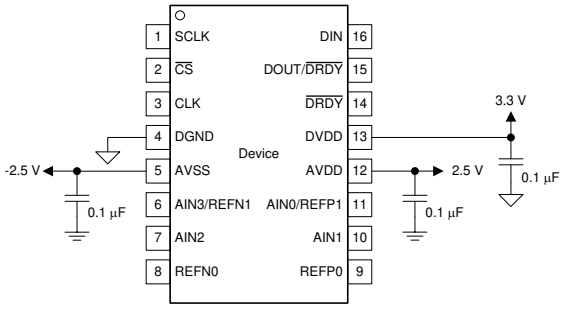


図 9-14. バイポーラ アナログ電源

Copyright © 2026 Texas Instruments Incorporated

9.4 レイアウト

9.4.1 レイアウトのガイドライン

アナログ コンポーネントとデジタル コンポーネントの両方にプリント基板 (PCB) をレイアウトする際は、設計のベストプラクティスを適用します。一般的にこの手法では、レイアウトでアナログ コンポーネント (ADC、アンプ、リファレンス、D/A コンバータ [DAC]、アナログ マルチプレクサなど) がデジタル コンポーネント (マイコン、複合プログラマブル ロジック デバイス [CPLD]、フィールド プログラマブル ゲート アレイ [FPGA]、無線周波数 (RF) トランシーバ、ユニバーサル シリアル バス [USB] トランシーバ、スイッチング レギュレータなど) から分離されます。図 9-15 に、適切な部品配置例を示します。図 9-15 に適切な部品配置例が示されていますが、各アプリケーションにおける最適な配置は、採用される形状、部品、PCB 製造能力によって独自の適切性があります。そのため、すべての設計に最適なレイアウトは単一ではなく、いかなるアナログ コンポーネントを使用して設計する場合も、必ず慎重に検討してください。

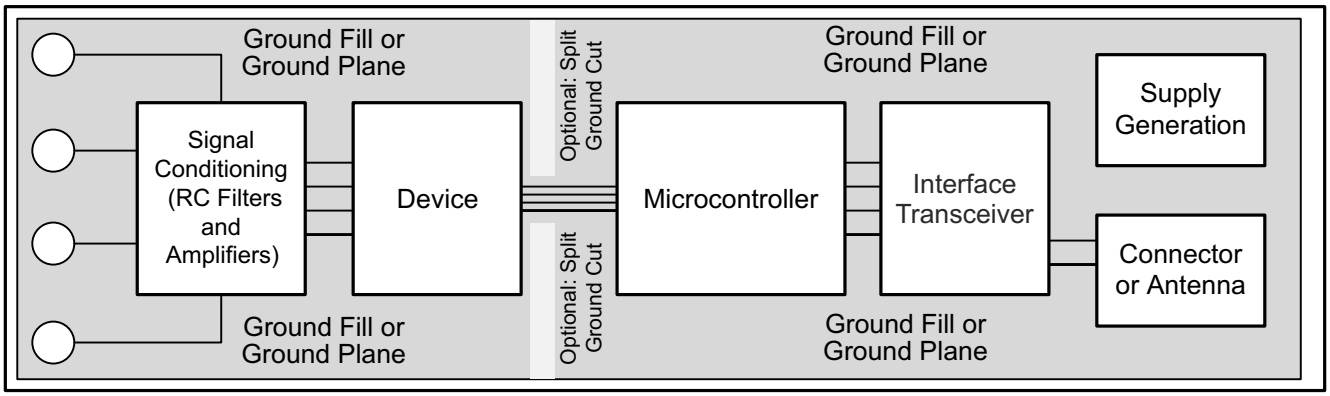


図 9-15. システム部品の配置

ノイズ性能を向上させるには、アナログ プレーンとデジタル グランド プレーンを分割する必要はありません (しかし、熱絶縁では、このオプションは価値があります)。しかし、最適な性能を得るには、PCB 領域に部品のないソリッド グランド プレーンまたはグランド フィルを使用することが不可欠です。使用するシステムで分割されたデジタル グランド プレーンおよびアナログ グランド プレーンを使用する場合は、一般的に TI は、グランド プレーンをデバイスにできる限り近づけて接続することを推奨します。アナログ グランドとデジタル グランドの両方で共通のグランドを使用して、2 層基板を実現できます。PCB トレース配線を簡素化するため、層を追加することもできます。グランド フィルは、EMI と RFI の問題を低減することもできます。

また、デジタル コンポーネント、特に RF 部分は、特定のシステムのアナログ回路からできるだけ実用可能な範囲に維持することを TI は強く推奨します。さらに、デジタル制御トレースがアナログ領域を通る距離を最小限に抑え、敏感なアナログ コンポーネントの近くにはこれらのトレースを配置しないようにします。デジタル リターン電流は通常、デジタル経路にできるだけ近いグランド経路を通って流れます。プレーンへのソリッド グランド接続が利用できない場合、これらの電流はアナログ性能を干渉する経路を見つけることがあります。レイアウトが温度センシング機能に及ぼす影響は、ADC 機能に比べてはるかに重要です。

電源ピンは、低 ESR セラミック コンデンサを用いてグランドにバイパスする必要があります。バイパス コンデンサの最適な配置は、電源ピンにできるだけ近付けることです。AVSS が負の電源に接続されている場合は、AVSS と AGND の間にも追加のバイパス コンデンサを接続します。最適な性能を得るには、バイパス コンデンサのグランド側接続を低インピーダンス接続にする必要があります。電源電流は、最初にバイパス コンデンサ端子を経由して流れ、次に電源ピンに流れ、バイパスを最も効果的にします。

差動接続されたアナログ入力には、入力間に差動でコンデンサを配置する必要があります。差動測定に最適な入力の組み合わせは、AIN0、AIN1 および AIN2、AIN3 です。差動コンデンサは高品質の必要があります。最高のセラミック チップ コンデンサは、安定した特性と低ノイズ特性を持つ C0G (NPO) です。熱電対の入力接続周囲の銅領域を熱的に分離して、熱的に安定した冷接点を形成します。上記のガイドラインに従う限り、別のレイアウト方法で許容可能な性能を得ることができます。

Copyright © 2026 Texas Instruments Incorporated

9.4.2 レイアウト例

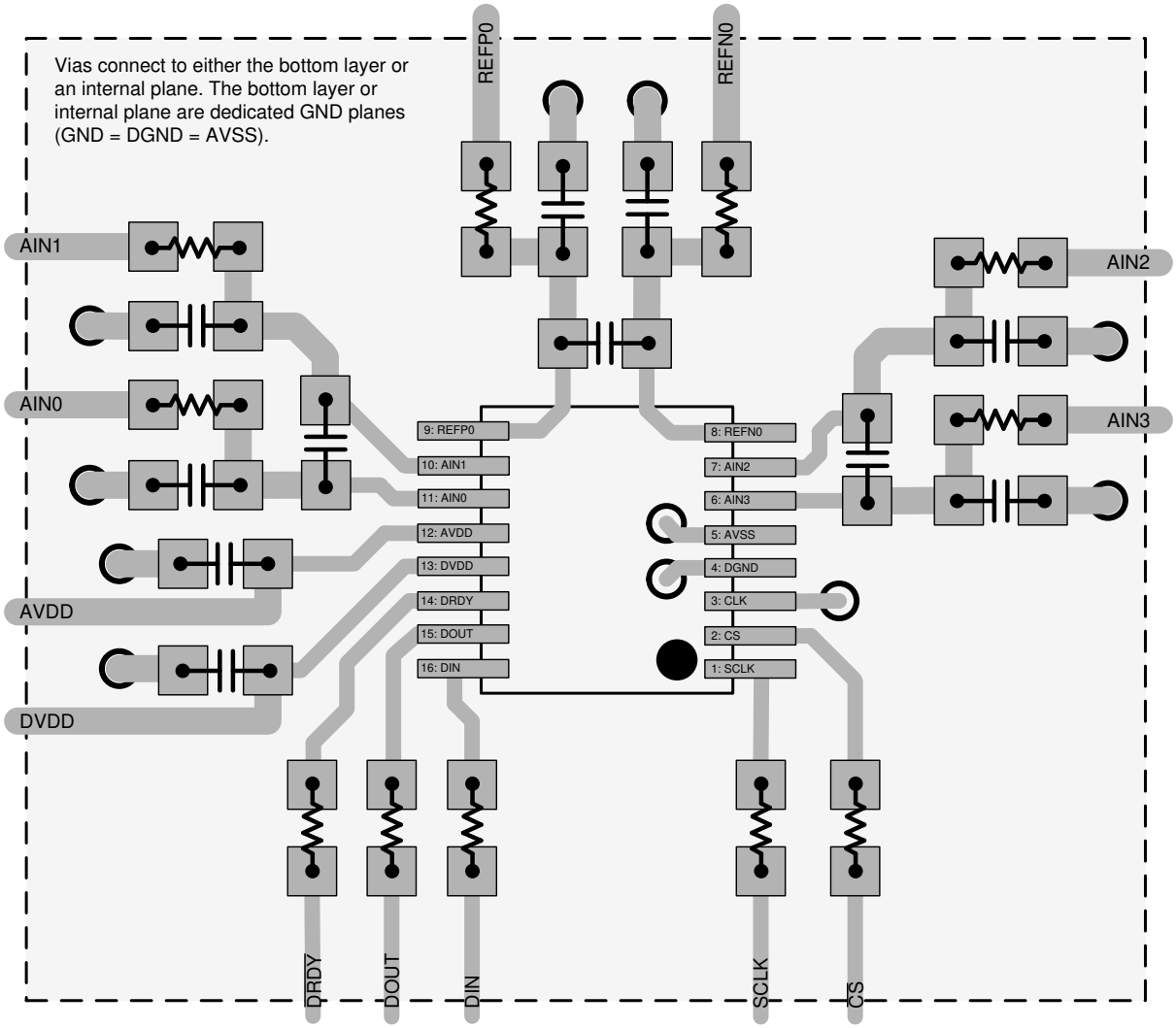


図 9-16. レイアウト例

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『REF50xx 低ノイズ、超低ドリフト、高精度リファレンス電圧』データシート
- テキサス インスツルメンツ、『ADS1148 および ADS1248 を使用した RTD レシオメトリック測定およびフィルタリング』アプリケーション ノート

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from AUGUST 1, 2016 to MAY 18, 2026 (from Revision C (August 2016) to Revision D (May 2026)) **Page**

- 「特長」セクションから「パッケージ」の箇条書き項目を削除 1
- 最初のページの「アプリケーション」の箇条書き項目を変更 1
- 「製品情報」表を「パッケージ情報」表に変更し、「概要」セクションに表の注を追加。 1
- 「説明」セクションの K 型熱電対測定の画像を変更。 1
- 「デバイス比較」表を追加 3
- AVDD、AVSS、DVDD、DGND ピンのピン機能の説明を変更 4
- 「推奨動作条件」表の V_{REF} 最大値を「AVDD」から「AVDD – AVSS」に変更 6
- 「SPI のタイミング要件」表の SPI タイムアウト値を、通常モードとデューティ サイクル モードでは「13955 × t_{MOD}」から「14000 × t_{MOD}」に、ターボ モードでは「27910 × t_{MOD}」から「28000 × t_{MOD}」に変更。 9

Copyright © 2026 Texas Instruments Incorporated

- 「タイミング図」セクションを追加 9
- 「ENOB」を「有効分解能」に変更し、「ノイズ性能」セクションの「ノイズフリー ビット」を「ノイズフリー分解能」に変更。 17
- 「機能ブロック図」の図を変更 20
- 「マルチプレクサ」セクションの最初と 3 番目の段落を変更。 21
- 最初の段落を変更し、「低ノイズ PGA」セクションに「ゲイン実装」表を追加 22
- 「PGA のバイパス」セクションの最初の文を変更 26
- PGA_BYPASS およびゲインが 4 を超える場合のデバイスの動作について説明している「PGA のバイパス」セクションの 2 番目の段落の最後の文を変更 26
- 「電圧リファレンス」と「クロック ソース」セクションの位置を変更。 27
- 「デジタル フィルタ」セクションの最初の段落を変更 28
- 「出力データ レート」セクションの「変換時間」表の「ターボ モード、40SPS、–3dB 帯域幅 Hz」を「26.2」から「17.1」に変更。 31
- 「励起電流源」セクションの最初と 2 番目の段落を変更 32
- 「システム モニタ」セクションの最初の段落を変更 33
- 「デジタル コードから温度への変換」セクションの最初の段落と例を変更 34
- 「デジタル コードから温度への変換」セクションに「24 ビット変換結果内における 14 ビット温度センサ データの整列」図を追加 34
- 「温度からデジタル コードへの変換」セクションを削除 34
- 「シングルショット モード」セクションの名前を「シングルショット変換モード」に変更 35
- 「データ出力およびデータ準備完了 (DOUT/$\overline{\text{DRDY}}$)」セクションの 2 番目の段落を変更。 37
- 「SPI タイムアウト」セクションのタイムアウト期間を、通常モードとデューティ サイクル モードでは「13955 × t_{MOD}」から「14000 × t_{MOD}」に、ターボ モードでは「27910 × t_{MOD}」から「28000 × t_{MOD}」に変更 37
- 「データ形式」セクションの「コード トランジション図」の後に注を追加。 39
- 「レジスタ マップ」セクション全体にわたり、有益な箇所のビット設定の表記を 16 進数から 2 進数に変更 44
- 「レジスタ マップ」セクションに「レジスタの説明」セクションと「レジスタ アクセス タイプ追加コード」表を追加。 44
- レジスタ 03h のビット 0 を「0」から「RESERVED」に変更 48
- 「K 型熱電対測定」セクションの「詳細な設計手順」の 3 番目と 4 番目の段落を変更。 54

Changes from Revision B (February 2015) to Revision C (August 2016) **Page**

- 「K 型熱電対測定」図を変更 1
- 「ピン機能」表に脚注 1 を追加し、それに応じて AIN0/REFP1、AIN1、AIN2、AIN3/REFN1、REFN0、REFP0 ピンの説明を変更 4
- 「機能ブロック図」の図を変更 20
- 「PGA のバイパス」セクションを変更 26
- 「温度センサ」セクションに 4 番目の文を追加 34
- 「デジタル コードから温度への変換」セクションの最後の式を変更 34
- 構成レジスタ 2 のビット 5:4 の説明を変更 47
- 「未使用入出力」セクションを追加 52
- 図 9-3 を変更。 54
- 図 9-6 を変更。 57
- 図 9-7 を変更。 61
- 図 9-8 を変更。 61
- 図 9-11 を変更。 64
- 「電源に関する推奨事項」セクションを変更:「電源シーケンス」サブセクションを変更し、「電源ランプ レート」サブセクションを追加 66

Copyright © 2026 Texas Instruments Incorporated

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS1220IPW	Active	Production	TSSOP (PW) | 16	90 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IPW.A	Active	Production	TSSOP (PW) | 16	90 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IPW.B	Active	Production	TSSOP (PW) | 16	90 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IPWR	Active	Production	TSSOP (PW) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IPWR.A	Active	Production	TSSOP (PW) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IPWR.B	Active	Production	TSSOP (PW) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IPWRG4	Active	Production	TSSOP (PW) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IPWRG4.A	Active	Production	TSSOP (PW) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IPWRG4.B	Active	Production	TSSOP (PW) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IRVAR	Active	Production	VQFN (RVA) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1220
ADS1220IRVAR.A	Active	Production	VQFN (RVA) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1220
ADS1220IRVAR.B	Active	Production	VQFN (RVA) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1220
ADS1220IRVARG4	Active	Production	VQFN (RVA) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1220
ADS1220IRVARG4.A	Active	Production	VQFN (RVA) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1220
ADS1220IRVARG4.B	Active	Production	VQFN (RVA) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1220
ADS1220IRVAT	Active	Production	VQFN (RVA) | 16	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1220
ADS1220IRVAT.A	Active	Production	VQFN (RVA) | 16	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1220
ADS1220IRVAT.B	Active	Production	VQFN (RVA) | 16	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1220

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

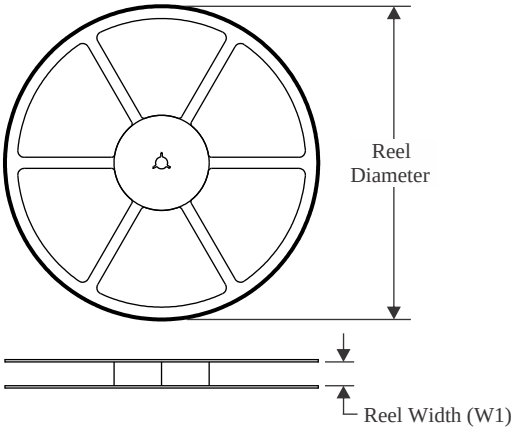
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

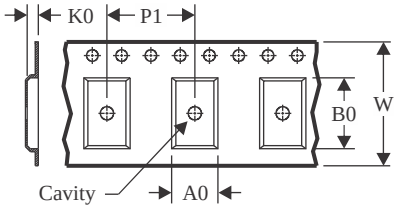
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

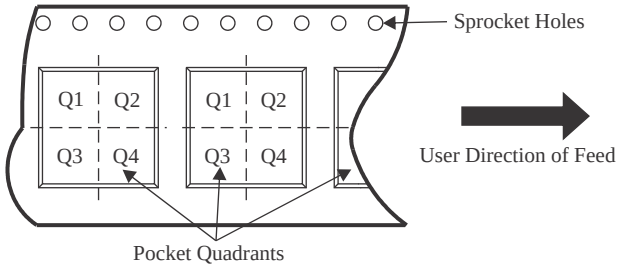


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

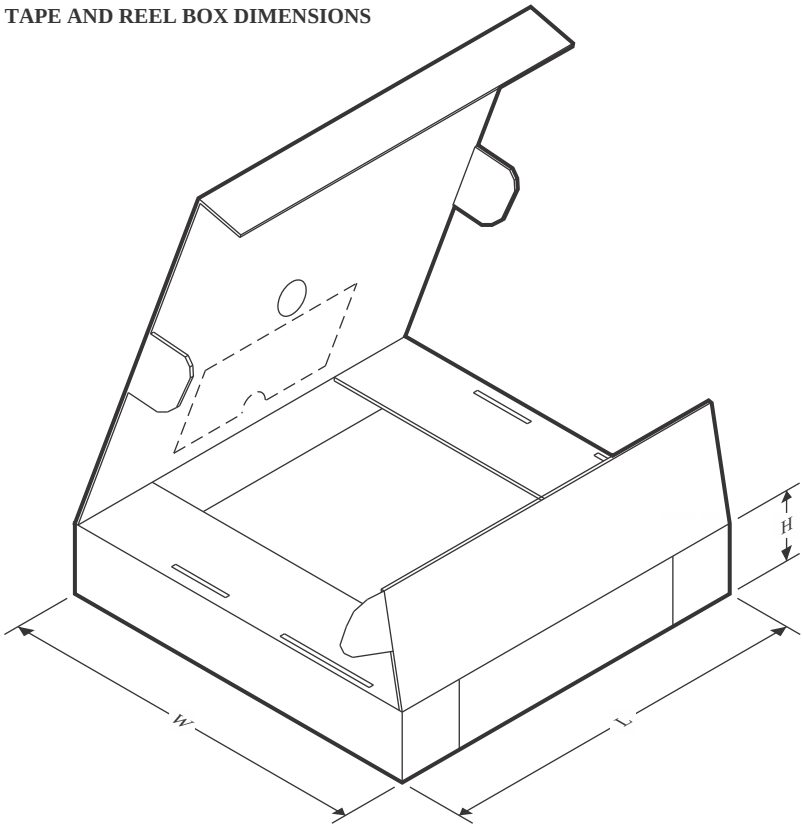
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS1220IPWR	TSSOP	PW	16	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
ADS1220IPWRG4	TSSOP	PW	16	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
ADS1220IRVAR	VQFN	RVA	16	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q2
ADS1220IRVARG4	VQFN	RVA	16	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q2
ADS1220IRVAT	VQFN	RVA	16	250	180.0	12.4	3.75	3.75	1.15	8.0	12.0	Q2

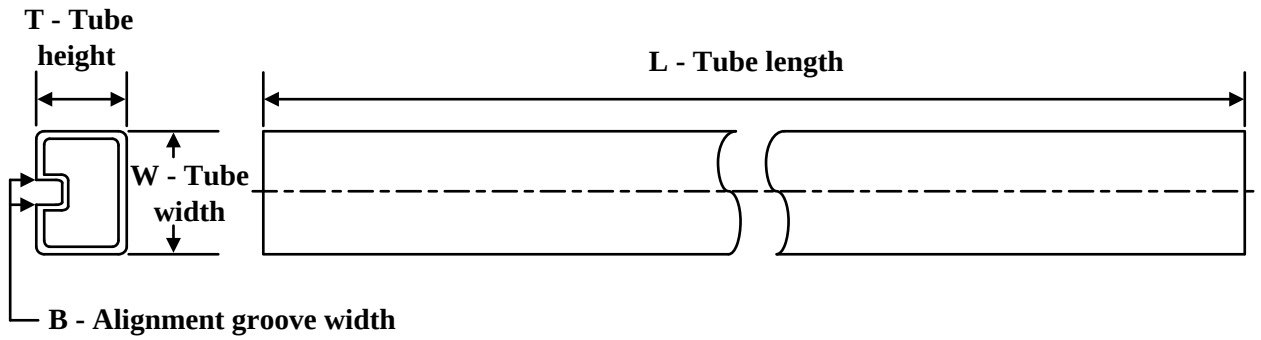
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS1220IPWR	TSSOP	PW	16	2500	353.0	353.0	32.0
ADS1220IPWRG4	TSSOP	PW	16	2500	353.0	353.0	32.0
ADS1220IRVAR	VQFN	RVA	16	3000	346.0	346.0	33.0
ADS1220IRVARG4	VQFN	RVA	16	3000	346.0	346.0	33.0
ADS1220IRVAT	VQFN	RVA	16	250	210.0	185.0	35.0

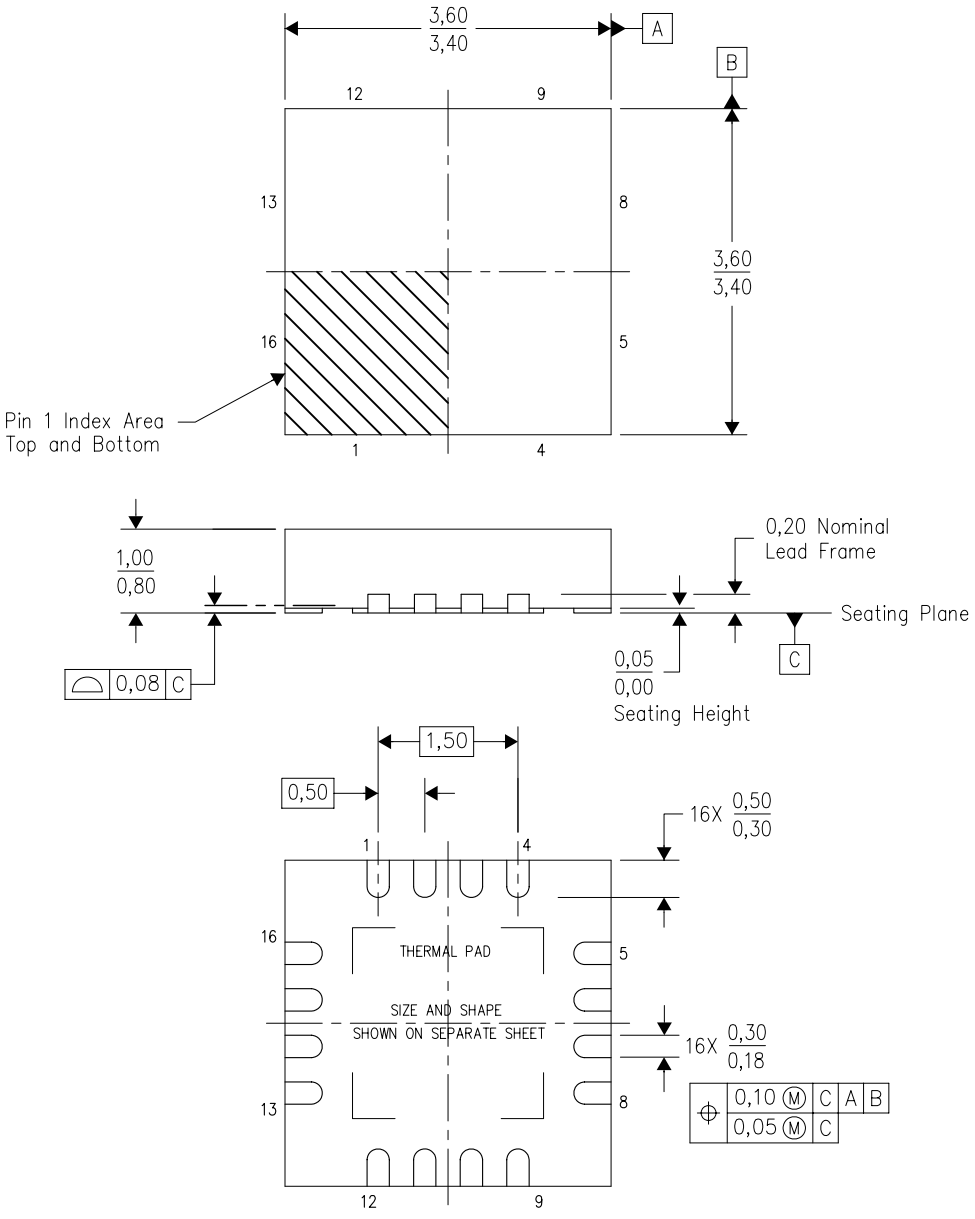
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
ADS1220IPW	PW	TSSOP	16	90	530	10.2	3600	3.5
ADS1220IPW.A	PW	TSSOP	16	90	530	10.2	3600	3.5
ADS1220IPW.B	PW	TSSOP	16	90	530	10.2	3600	3.5

RVA (S–PVQFN–N16) PLASTIC QUAD FLATPACK NO–LEAD



4209676/C 05/11

NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. QFN (Quad Flatpack No–Lead) package configuration.
D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.

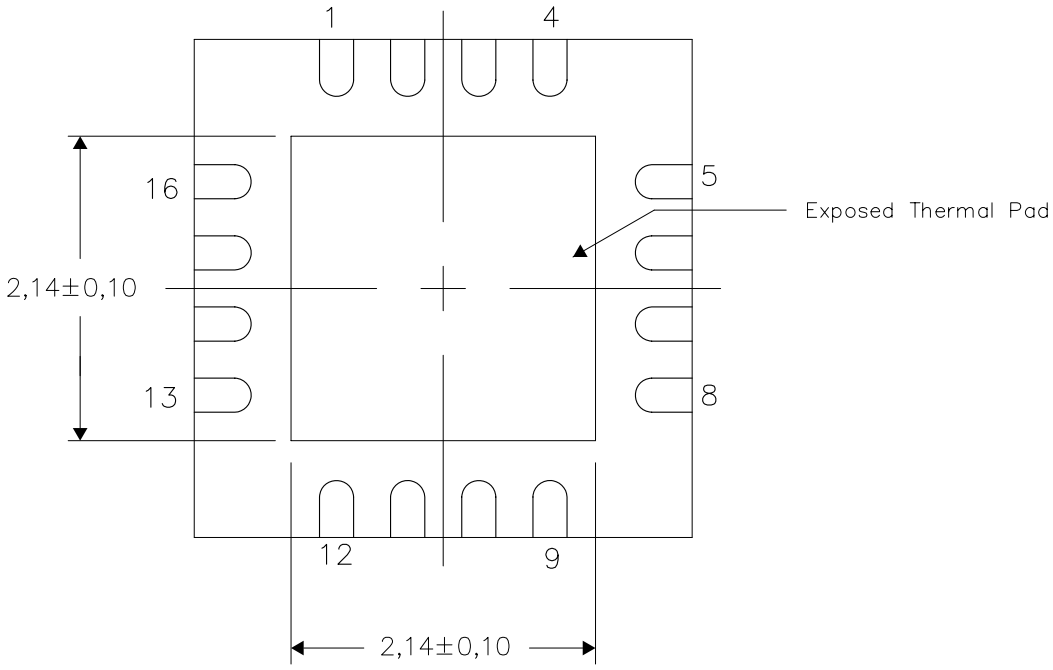
RVA (S–PVQFN–N16) PLASTIC QUAD FLATPACK NO–LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No–Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

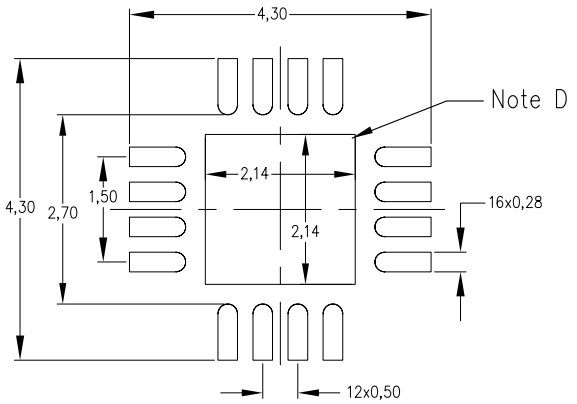
Exposed Thermal Pad Dimensions

4209715/B 05/11

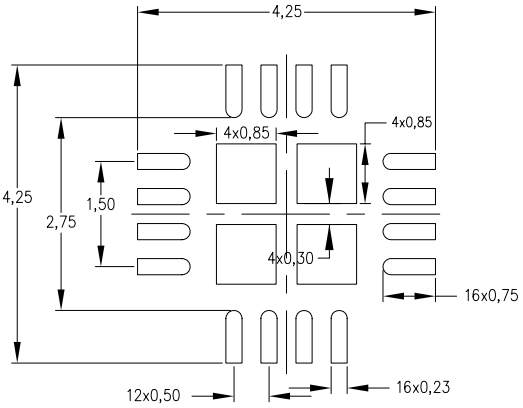
NOTE: All linear dimensions are in millimeters

RVA (S–PVQFN–N16) PLASTIC QUAD FLATPACK NO–LEAD

Example Board Layout



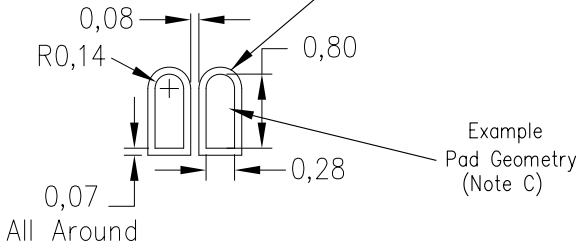
Example Stencil Design
0.125mm Stencil Thickness
(Note E)



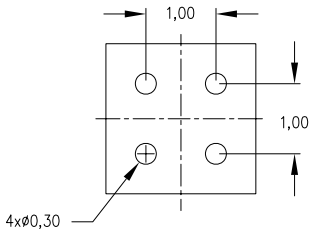
63% solder coverage by printed
area on center thermal pad

Non Solder Mask
Defined Pad

Example
Solder Mask Opening
(Note F)



Example Via Layout Design
may vary depending on constraints
(Note D, F)



4211274/B 05/11

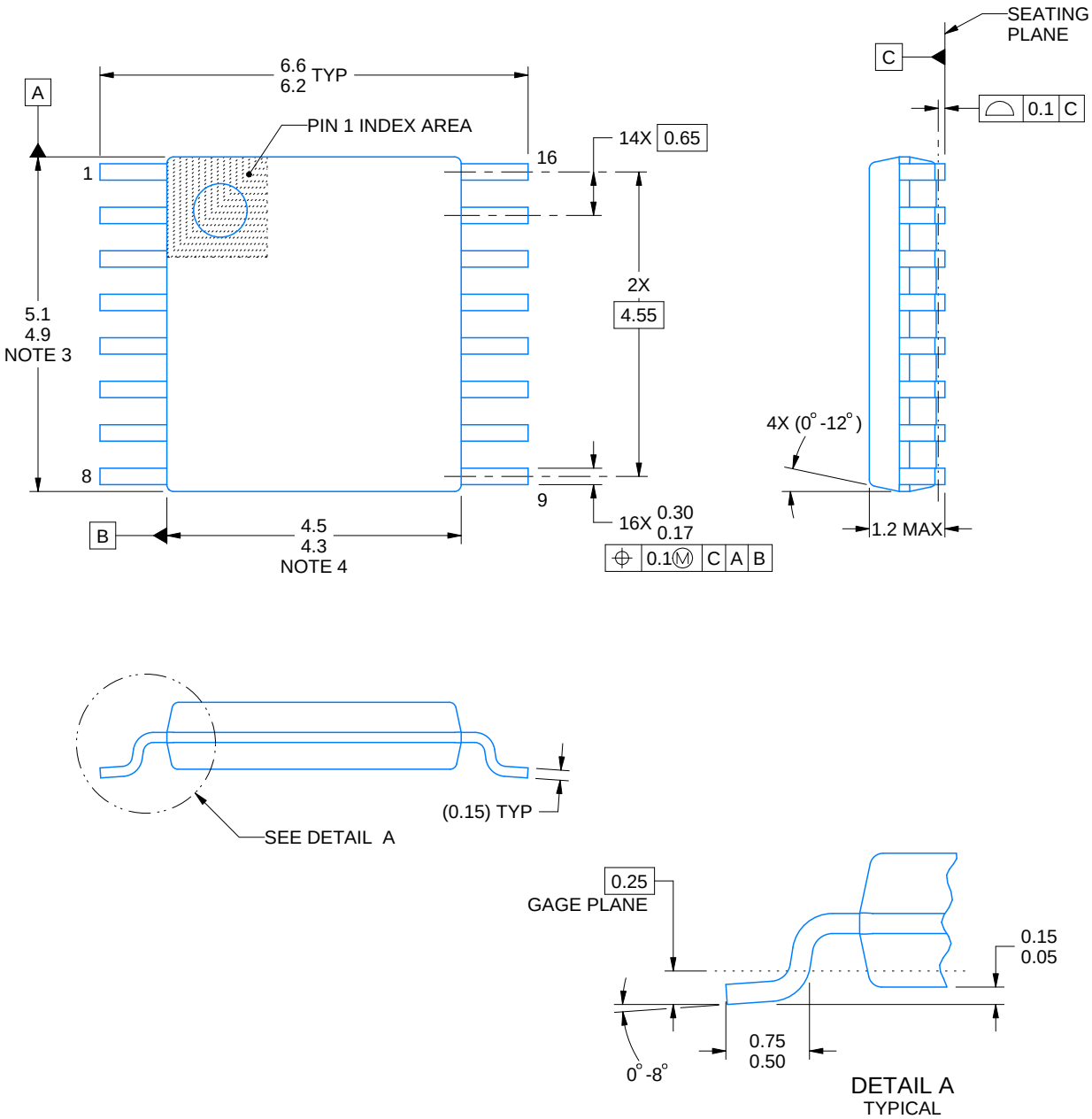
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat–Pack QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <http://www.ti.com>.
E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
F. Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.

PACKAGE OUTLINE

PW0016A

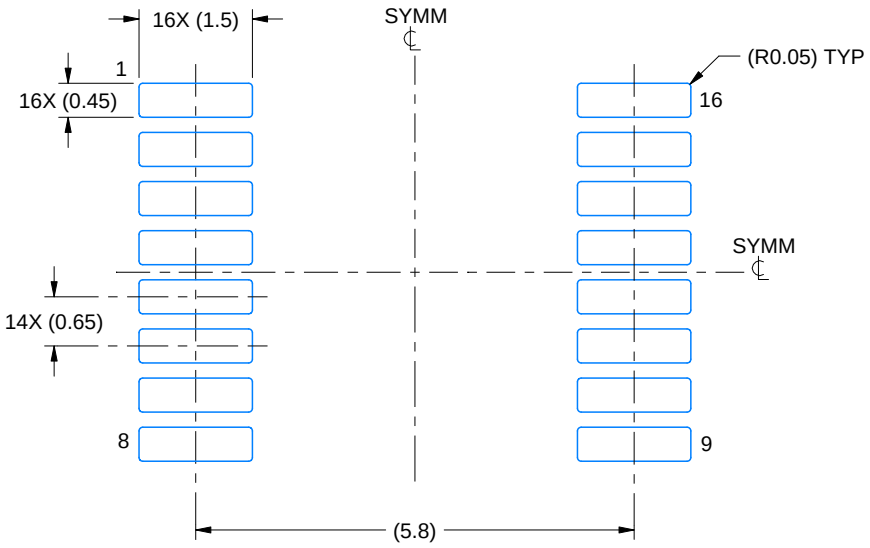
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

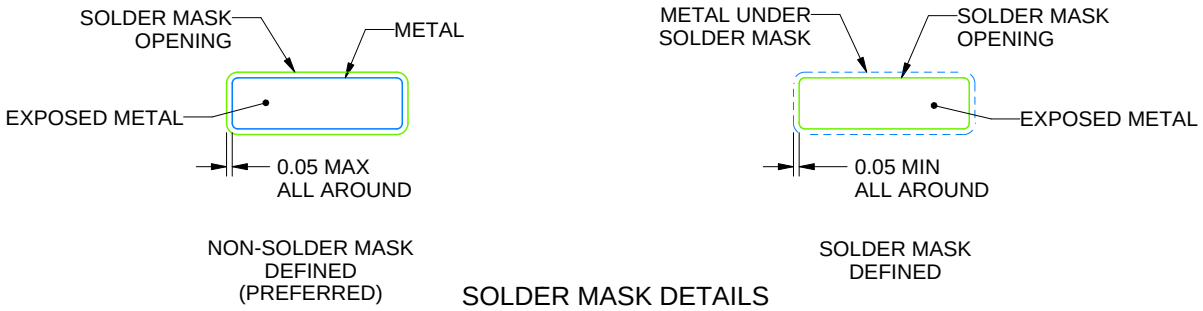


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

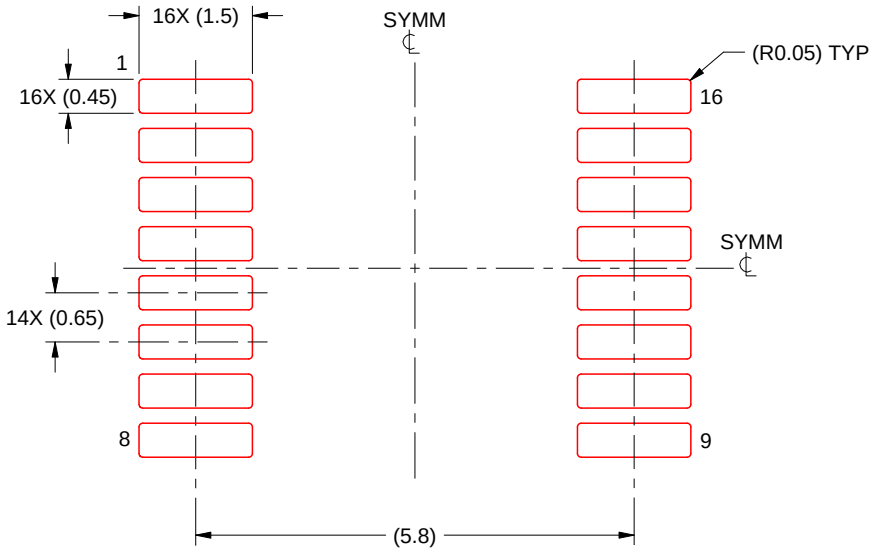


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月