ADS1278QML-SP 放射線耐性対応 8 チャネル同時サンプリング 24 ビット A/D コンバータ

1 特長

- 放射線耐性を強化
  - TID 放射線ロット受け入れ試験 (RLAT): 50krad
  - 125°C において LET 68MeV-cm^2/mg まで シングル イベント ラッチアップ (SEL) LET 耐性あり: 125°C で 51MeV-cm^2/mg
- 8 チャネルを同時にサンプリング
- 最大 128kSPS のデータ レート
- AC のパフォーマンス:
  - 63kHz の帯域幅
  - 111dB SNR (高分解能モード)
  - -108dB THD
- DC 精度:
  - 0.8µV/°C のオフセット ドリフト
  - 1.3ppm/°C のゲイン ドリフト
- 選択可能な動作モード:
  - 高速:128kSPS、106dB SNR
  - 高解像度:52kSPS、111dB SNR
  - 低消費電力:52kSPS、31mW/ チャネル
  - ロースピード:10kSPS、7mW/ チャネル
- 線形位相デジタル フィルタ
- SPI™ またはフレーム同期シリアル インターフェイス
- 小さいサンプリング アパーチャ誤差
- 変調器出力オプション (デジタル フィルタ バイパス)
- アナログ電源:5V
- デジタル コア:1.8V
- I/O 電源:1.8V ～ 3.3V

2 アプリケーション

- 宇宙システム (衛星、シャトル、ステーション)
  - 衛星の温度および位置センシング
  - 軌道観測システム
  - 精密および科学アプリケーション
  - 高精度の計測機器

3 説明

ADS1278QML-SP は、最大毎秒 128k サンプル (SPS) のデータ レートに対応し、8 チャネルを同時にサンプリング可能な 8 チャネル、24 ビットのデルタ シグマ (ΔΣ) A/D コンバータ (ADC) です。

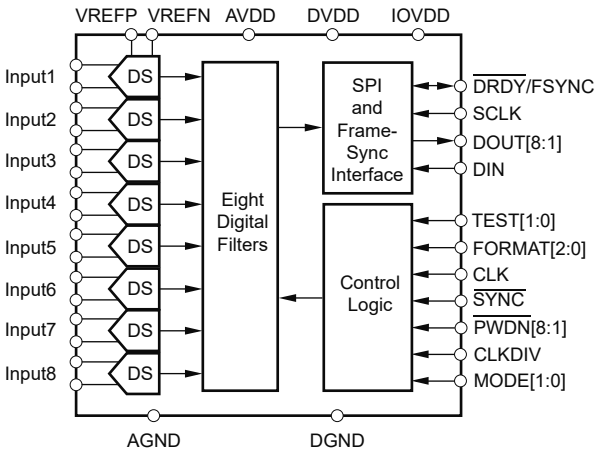
従来、ドリフト性能が優れた産業用デルタ-シグマ ADC は、パスバンド ドループが大きいデジタル フィルタを使用していました。その結果、これらの ADC は信号帯域幅が限定されており、主に直流測定向けに設計されています。オーディオ アプリケーションの高分解能 ADC は、使用可能な帯域幅の点で優れていますが、オフセットおよびドリフトの仕様については、対応する産業用部品より大きく劣っています。 ADS1278QML-SP は、これらのタイプのコンバータを組み合わせており、優れた dc 特性および ac 特性を備えた高精度な産業用測定を可能にします。

高次チョッパ安定化変調器は、非常に小さいドリフトと低帯域内ノイズを実現します。オンボードのデシメーション フィルタは、変調器と信号の帯域外ノイズを抑制します。これらの ADC は、使用可能な信号帯域幅がナイキスト周波数の最大 90%、リップルは 0.005dB 未満です。

製品情報

部品番号 (1)	グレード	パッケージ (2)
5962L2521001VXC	フライト グレード 50krad (Si) (–55°C ～ 125°C)	84 ピン HFQ 重量:4.46g (±10% 以内)
5962L2521002VXC	フライト グレード 50krad (Si) (–55°C ～ 115°C)	

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....6
5.1 絶対最大定格.....6
5.2 ESD 定格.....6
5.3 推奨動作条件.....6
5.4 熱に関する情報.....6
5.5 電気的特性.....7
5.6 品質適合検査.....9
5.7 タイミング要件：SPI フォーマット.....10
5.8 タイミング要件：フレーム同期形式.....11
5.9 代表的特性.....12
6 詳細説明.....21
6.1 概要.....21
6.2 機能ブロック図.....22
6.3 機能説明.....22
6.4 デバイスの機能モード.....39
7 アプリケーションと実装.....40
7.1 使用上の注意.....40
7.2 代表的なアプリケーション.....40
7.3 電源に関する推奨事項.....42
7.4 レイアウト.....43
8 デバイスおよびドキュメントのサポート.....45
8.1 ドキュメントの更新通知を受け取る方法.....45
8.2 コミュニティリソース.....45
8.3 商標.....45
9 改訂履歴.....45
10 メカニカル、パッケージ、および注文情報.....46

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

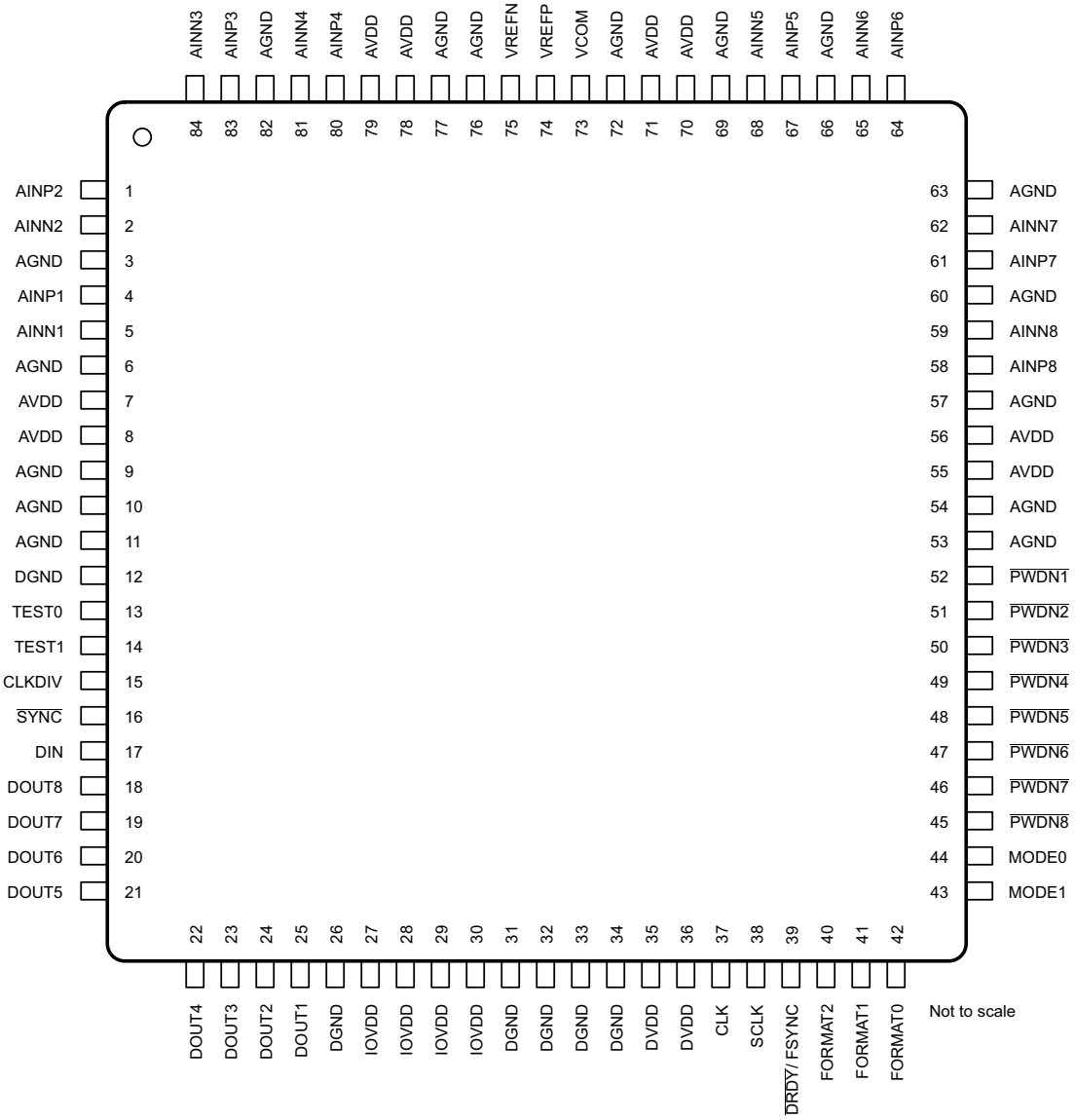


図 4-1. HFQ パッケージ 84 ピン CFP 上面図

Copyright © 2026 Texas Instruments Incorporated

ピンの機能

ピン		タイプ	説明
名称	番号		
AGND	3、6、9、10、11、53、54、57、60、63、66、69、72、76、77、82	アナログ グランド	アナログ グランド。単一プレーンを使用して DGND に接続します。
AINP1	4	アナログ入力	AINP[8:1] 正のアナログ入力、チャネル 8 ～ 1。
AINP2	1	アナログ入力	
AINP3	83	アナログ入力	
AINP4	80	アナログ入力	
AINP5	67	アナログ入力	
AINP6	64	アナログ入力	
AINP7	61	アナログ入力	
AINP8	58	アナログ入力	
AINN1	5	アナログ入力	AINN[8:1] 負のアナログ入力、チャネル 8 ～ 1。
AINN2	2	アナログ入力	
AINN3	84	アナログ入力	
AINN4	81	アナログ入力	
AINN5	68	アナログ入力	
AINN6	65	アナログ入力	
AINN7	62	アナログ入力	
AINN8	59	アナログ入力	
AVDD	7、8、55、56、70、71、78、79	アナログ電源	アナログ電源 (4.75V ～ 5V)。
VCOM	73	アナログ出力	AVDD/2 バッファなし電圧出力。
VREFN	75	アナログ入力	負のリファレンス入力。
VREFP	74	アナログ入力	正のリファレンス入力。
CLK	37	デジタル入力	クロック入力。
CLKDIV	15	デジタル入力	CLK 入力分周器制御: 1 = 32.768MHz (高速モードのみ) /27MHz 0 = 13.5MHz (低消費電力) /5.4MHz (低速)
DGND	12、26、31、32、33、34	デジタル グランド	デジタル グランド電源。
DIN	17	デジタル入力	デイジーチェーン データ入力。
DOUT1	25	デジタル出力	DOUT1 は TDM データ出力です (TDM モード)。
DOUT2	24	デジタル出力	DOUT[8:1] チャネル 8 ～ 1 のデータ出力。
DOUT3	23	デジタル出力	
DOUT4	22	デジタル出力	
DOUT5	21	デジタル出力	
DOUT6	20	デジタル出力	
DOUT7	19	デジタル出力	
DOUT8	18	デジタル出力	
$\overline{\text{DRDY}}$/FSYNC	39	デジタル入出力	フレーム同期プロトコル:フレーム クロック入力、SPI プロトコル:データ準備完了出力。
DVDD	35、36	デジタル電源	デジタル コア電源 (+1.65V ～ +1.95V)。

Copyright © 2026 Texas Instruments Incorporated

ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
FORMAT0	42	デジタル入力	FORMAT[2:0] は、フレーム同期 /SPI プロトコル、TDM/ 個別データ出力、固定 / 可変位置の TDM データ、および変調器モード / 通常動作モードを選択します。
FORMAT1	41	デジタル入力	
FORMAT2	40	デジタル入力	
IOVDD	27、28、29、30	デジタル電源	I/O 電源 (+1.65V ～ +3.6V)。
MODE0	44	デジタル入力	MODE[1:0] は、高速、高分解能、低消費電力、または低速の各動作モードを選択します。
MODE1	43	デジタル入力	
$\overline{\text{PWDN1}}$	52	デジタル入力	$\overline{\text{PWDN}}$[8:1] チャネル 8 ～ 1 のパワーダウン制御。
$\overline{\text{PWDN2}}$	51	デジタル入力	
$\overline{\text{PWDN3}}$	50	デジタル入力	
$\overline{\text{PWDN4}}$	49	デジタル入力	
$\overline{\text{PWDN5}}$	48	デジタル入力	
$\overline{\text{PWDN6}}$	47	デジタル入力	
$\overline{\text{PWDN7}}$	46	デジタル入力	
$\overline{\text{PWDN8}}$	45	デジタル入力	
SCLK	38	デジタル入出力	シリアル クロック入力、変調器クロック出力。
$\overline{\text{SYNC}}$	16	デジタル入力	同期入力 (すべてのチャネル)。
TEST0	13	デジタル入力	TEST[1:0] テスト モード選択: 00 = 通常動作 01 = は使用しないでください 11 = テストモード 10 = 使用しないでください
TEST1	14	デジタル入力	

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
AVDD から AGND へ		-0.3	5.25	V
AGND から DGND へ		-0.3	0.3	V
DVDD、IOVDD から DGND		-0.3	3.6	V
入力電流	瞬時	100		mA
	連続	10		
アナログ入力から AGND へ		-0.3	AVDD + 0.3	V
DGND へのデジタル入力または出力		-0.3	DVDD + 0.3	V
接合部温度		-55	150	°C
保管温度、T_{stg}		-60	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	1000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22C101 に準拠(2)	250	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲超 (特に記述のない限り)

			最小値	公称値	最大値	単位
T_J	動作時接合部温度	5962L2521001VXC	-55		125	°C
		5962L2521002VXC	-55		115	

5.4 熱に関する情報

熱評価基準(1)		ADS1278QML-SP HFQ (CFP) 84 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	23.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	9.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	11.5	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	3.0	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	10.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	7.7	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。spra953

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性

特に記述のない限り、すべての仕様は、T_A = –55°C ～ 125°C、AVDD = 5V、DVDD = 1.8V、IOVDD = 3.3 V、f_{CLK} = 27MHz、VREFP = 2.5V、VREFN = 0V、かつ全チャネル有効の条件で規定されています。

パラメータ		テスト条件	サブグループ (1) (2)	–55°C ～ +125° (5962L2521001VXC)			–55°C ～ +115° (5962L2521002VXC)			単位
				最小値	標準値	最大値	最小値	標準値	最大値	
アナログ入力										
フルスケール入力電圧 (FSR(3))		V_{IN} = (AINP – AINN)			±V_{REF}			±V_{REF}		V
絶対入力電圧		AINP または AINN から AGND	1、2、3	AGND - 0.1		AVDD + 0.1	AGND - 0.1		AVDD + 0.1	V
同相入力電圧 (V_{CM})		V_{CM} = (AINP + AINN) /2			2.5			2.5		V
差動入力インピーダンス	高速モード				14			14		kΩ
	高分解能モード				14			14		
	低電力モード				28			28		
	低速度モード				140			140		
DC 特性										
分解能		ミッシング コードなし	1、2、3	24			24			ビット
最大データ レート (f_{DATA})	高速モード	f_{CLK} = 32.768MHz(5)			128,000			128,000		SPS(4)
		f_{CLK} = 27MHz			105,469			105,469		
	高分解能モード				52,734			52,734		
	低電力モード				52,734			52,734		
	低速度モード				10,547			10,547		
積分非直線性 (INL)(6)		差動入力、V_{CM} = 2.5V	1、2、3		±0.0003	±0.0012		±0.0003	±0.0012	% FSR
オフセット誤差			1、2、3		0.25	2		0.25	2	mV
オフセットのドリフト					0.8			0.8		µV/℃
ゲイン誤差			1、2、3		0.1	0.5		0.1	0.5	% FSR
ゲイン ドリフト					1.3			1.3		ppm/°C
ノイズ	高速モード	入力短絡	1、2、3		8.5	23		8.5	21	µV rms
	高分解能モード	入力短絡	1、2、3		5.5	14		5.5	13	
	低電力モード	入力短絡	1、2、3		8.5	23		8.5	21	
	低速度モード	入力短絡	1、2、3		8.0	23		8.0	21	
同相除去		f_{CM} = 60Hz	1、2、3	90	108		90	108		dB
電源除去	AVDD	f_{PS} = 60Hz			80			80		dB
	DVDD				85			85		
	IOVDD				105			105		
V_{COM} 出力電圧		無負荷			AVDD / 2			AVDD / 2		V
AC 特性										
クロストーク		f = 1kHz、–0.5dBFS(9)			-107			-107		dB
信号対雑音比 (SNR)(7) (重み付けなし)	高速モード		4、5、6	98	106		98	106		dB
	高分解能モード	V_{REF} = 2.5 V	4、5、6	101	110		101	110		
		V_{REF} = 3 V			111			111		
	低電力モード		4、5、6	98	106		98	106		
	低速度モード		4、5、6	98	107		98	107		
全高調波歪み (THD)(8)		V_{IN} = 1kHz、–0.5dBFS	4、5、6		-108	-96		-108	-96	dB
スプリアスフリー ダイナミック レンジ					109			109		dB
通過帯域リップル					±0.005			±0.005		dB
通過帯域					0.453f_{DATA}			0.453f_{DATA}		Hz
-3dB 帯域幅					0.49f_{DATA}			0.49f_{DATA}		Hz

Copyright © 2026 Texas Instruments Incorporated

特に記述のない限り、すべての仕様は、T_A = –55°C ～ 125°C、AVDD = 5V、DVDD = 1.8V、IOVDD = 3.3 V、f_{CLK} = 27MHz、VREFP = 2.5V、VREFN = 0V、かつ全チャネル有効の条件で規定されています。

パラメータ		テスト条件	サブグループ (1) (2)	–55°C ～ +125° (5962L2521001VXC)			–55°C ～ +115° (5962L2521002VXC)			単位
				最小値	標準値	最大値	最小値	標準値	最大値	
ストップ バンド減衰	高分解能モード		4、5、6	95			95			dB
	その他のすべてのモード		4、5、6	100			100			
ストップ バンド	高分解能モード		4、5、6	0.547 f_{DATA}		127.453 f_{DATA}	0.547 f_{DATA}		127.453 f_{DATA}	Hz
	その他のすべてのモード		4、5、6	0.547 f_{DATA}		63.453 f_{DATA}	0.547 f_{DATA}		63.453 f_{DATA}	
群遅延	高分解能モード				39/f_{DATA}			39/f_{DATA}		s
	その他のすべてのモード				38/f_{DATA}			38/f_{DATA}		
セトリング タイム (レイテンシ)	高分解能モード	セトリング完了			78/f_{DATA}			78/f_{DATA}		s
	その他のすべてのモード	セトリング完了			76/f_{DATA}			76/f_{DATA}		
電圧リファレンス入力										
基準入力電圧 (V_{REF}) (V_{REF} = VREFP – VREFN)		f_{CLK} = 27MHz	1、2、3	0.5	2.5	3.1	0.5	2.5	3.1	V
		f_{CLK} = 32.768MHz(5)	1、2、3	0.5	2.5	2.6	0.5	2.5	2.6	
負のリファレンス入力 (VREFN)			1、2、3	AGND - 0.1		AGND + 0.1	AGND - 0.1		AGND + 0.1	V
正のリファレンス入力 (VREFP)			1、2、3	VREFN + 0.5		AVDD + 0.1	VREFN + 0.5		AVDD + 0.1	V
リファレンス入力インピーダンス	高速モード				0.65			0.65		kΩ
	高分解能モード				0.65			0.65		
	低電力モード				1.3			1.3		
	低速度モード				6.5			6.5		
デジタル入出力 (IOVDD = 1.8V ～ 3.6V)										
V_{IH}			4、5、6	0.7 IOVDD		IOVDD	0.7 IOVDD		IOVDD	V
V_{IL}			4、5、6	DGND		0.3 IOVDD	DGND		0.3 IOVDD	V
V_{OH}		I_{OH} = 4mA	4、5、6	0.8 IOVDD		IOVDD	0.8 IOVDD		IOVDD	V
V_{OL}		I_{OL} = 4mA	4、5、6	DGND		0.2 IOVDD	DGND		0.2 IOVDD	V
入力リーケージ		0 < $V_{IN\ DIGITAL}$ < IOVDD	4、5、6			±11			±10	µA
クロック入力 (f_{CLK})		高速モード(5)	4、5、6	0.1		32.768	0.1		32.768	MHz
		その他のモード	1、2、3	0.1		27	0.1		27	
電源										
AVDD			1、2、3	4.75		5	4.75		5	V
DVDD			1、2、3	1.65	1.8	1.95	1.65	1.8	1.95	V
IOVDD			1、2、3	1.65		3.6	1.65		3.6	V
パワーダウン電流	AVDD		1、2、3		1	11		1	10	µA
	DVDD		1、2、3		1	52		1	50	
	IOVDD		1、2、3		1	12		1	11	
AVDD 電流	高速モード		1、2、3		97	148		97	145	mA
	高分解能モード		1、2、3		97	148		97	145	
	低電力モード		1、2、3		44	66		44	64	
	低速度モード		1、2、3		9	20		9	20	
DVDD 電流	高速モード		1、2、3		23	31		23	30	mA
	高分解能モード		1、2、3		16	21		16	20	
	低電力モード		1、2、3		12	18		12	17	
	低速度モード		1、2、3		2.5	7		2.5	7	

Copyright © 2026 Texas Instruments Incorporated

特に記述のない限り、すべての仕様は、T_A = –55°C ～ 125°C、AVDD = 5V、DVDD = 1.8V、IOVDD = 3.3 V、f_{CLK} = 27MHz、VREFP = 2.5V、VREFN = 0V、かつ全チャネル有効の条件で規定されています。

パラメータ		テスト条件	サブグループ (1) (2)	–55°C ～ +125° (5962L2521001VXC)			–55°C ～ +115° (5962L2521002VXC)			単位
				最小値	標準値	最大値	最小値	標準値	最大値	
IOVDD 電流	高速モード		1、2、3		0.25	1.5		0.25	1	mA
	高分解能モード		1、2、3		0.125	0.8		0.125	0.6	
	低電力モード		1、2、3		0.125	0.8		0.125	0.6	
	低速度モード		1、2、3		0.035	0.5		0.035	0.3	
消費電力	高速モード		1、2、3		530	805		530	785	mW
	高分解能モード		1、2、3		515	785		515	765	
	低電力モード		1、2、3		245	370		245	355	
	低速度モード		1、2、3		50	110		50	110	

(1) サブグループの定義については、品質適合検査表を参照してください。
(2) サブグループは –55°C ～ +125°C カラムにのみ適用されます。
(3) FSR = フルスケール レンジ = $2V_{REF}$。
(4) SPS = 毎秒メガサンプル。
(5) 高速モードでは f_{CLK} = 32.768MHz の最大値、その他のすべてのモードでは 27MHz の最大値。f_{CLK} > 27MHz の場合、動作はフレーム同期モードと V_{REF} ≤ 2.6V に制限されます。
(6) ベスト フィット方式。
(7) 最小 SNR は、DC ノイズ仕様の制限によって検証されています。
(8) THD は入力信号の第 9 次高調波までを含みます。低速モードでは、第 5 次高調波までが含まれます。
(9) 1 チャネル以上の間で発生する最悪ケースのチャネル クロストーク。

5.6 品質適合検査

MIL-STD-883、方法 5005 - グループ A

サブグループ	説明	温度 (°C)
1	静的テスト	25
2	静的テスト	125
3	静的テスト	-55
4	動的テスト	25
5	動的テスト	125
6	動的テスト	-55
7	機能テスト	25
8A	機能テスト	125
8B	機能テスト	-55
9	スイッチング テスト	25
10	スイッチング テスト	125
11	スイッチング テスト	-55
12	時刻の設定	25
13	時刻の設定	125
14	時刻の設定	-55

Copyright © 2026 Texas Instruments Incorporated

5.7 タイミング要件：SPI フォーマット

T_A = –55°C ～ 125°C、IOVDD = 1.65V ～ 3.6V、DVDD = 1.65V ～ 1.95V の場合。(6)

記号	パラメータ	最小値	標準値	最大値	単位
t_{CLK}	CLK 周期 ($1/f_{CLK}$)(1)	37		10,000	ns
t_{CPW}	CLK の正または負のパルス幅	15			ns
t_{CONV}	変換時間 ($1/f_{DATA}$)(2)	256		2560	t_{CLK}
t_{CD} (3)	CLK の立ち下がりエッジから $\overline{DRDY}$ の立ち下がりエッジまで		22		ns
t_{DS} (3)	データ取得のための、$\overline{DRDY}$ の立ち下がりエッジから最初の SCLK の立ち上がりエッジまでの時間	1			t_{CLK}
t_{MSBPD}	$\overline{DRDY}$ の立ち下がりエッジから DOUT の MSB が有効になるまでの時間 (伝搬遅延)			16	ns
t_{SD} (3)	SCLK の立ち下がりエッジから $\overline{DRDY}$ の立ち上がりエッジまでの時間		18		ns
t_{SCLK} (4)	SCLK 周期	1			t_{CLK}
t_{SPW}	SCLK の正または負のパルス幅	0.4			t_{CLK}
t_{DOHD} (3) (5)	SCLK の立ち下がりエッジから新しい DOUT が無効になるまでの時間 (ホールド時間)	10			ns
t_{DOPD} (3)	SCLK の立ち下がりエッジから新しい DOUT が有効になるまでの時間 (伝搬遅延)			32	ns
t_{DIST}	新しい DIN が有効になってから SCLK の立ち下がりエッジまでの時間 (セットアップ時間)	6			ns
t_{DIHD} (5)	旧 DIN は SCLK の立ち下がりエッジまで有効 (ホールド時間)	6			ns

(1) f_{CLK} = 最大 27MHz。
(2) MODE[1:0] および CLKDIV の設定に依存します。表 6-5 (f_{CLK}/f_{DATA}) を参照してください。
(3) $\overline{DRDY}$ および DOUT = 20pF の負荷。
(4) 最高の性能を得るには、f_{SCLK}/f_{CLK} を 1、1/2、1/4、1/8 などの比率に制限します。
(5) t_{DOHD} (DOUT ホールド時間) と t_{DIHD} (DIN ホールド時間) は、逆のワースト ケース条件 (デジタル電源電圧と周囲温度) の下で規定されています。同一条件下で、DOUT を DIN に直接接続した場合、タイミング マージンは 4ns 以上です。
(6) タイミング パラメータは、規定された温度条件において設計上の評価または検証は行われていますが、量産時の試験は実施されていません。

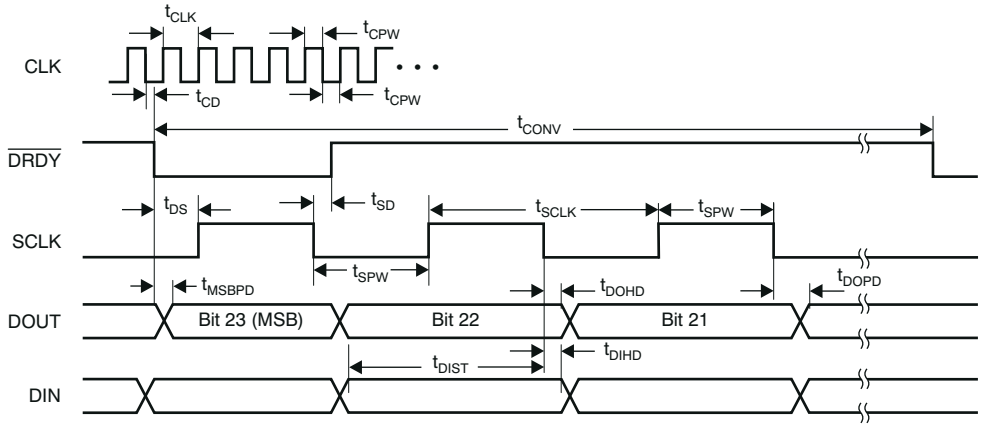


図 5-1. SPI フォーマットのタイミング特性

Copyright © 2026 Texas Instruments Incorporated

5.8 タイミング要件：フレーム同期形式

自由気流での動作温度範囲内 (特に記述のない限り) (4)

記号	パラメータ		最小値	標準値	最大値	単位
t_{CLK}	CLK 周期 ($1/f_{CLK}$)	すべてのモード	37		10,000	ns
		高速モードのみ	30.5			ns
t_{CPW}	CLK の正または負のパルス幅		12			ns
t_{CS}	CLK の立ち下がりエッジから SCLK の立ち下がりエッジまで		-0.25		0.25	t_{CLK}
t_{FRAME}	フレーム周期 ($1/f_{DATA}$)(1)		256		2560	t_{CLK}
t_{FPW}	FSYNC の正または負のパルス幅		1			t_{SCLK}
t_{FS}	FSYNC の立ち上がりエッジから SCLK の立ち上がりエッジまで		5			ns
t_{SF}	SCLK の立ち上がりエッジから FSYNC の立ち上がりエッジまで		5			ns
t_{SCLK}	SCLK 周期(2)		1			t_{CLK}
t_{SPW}	SCLK の正または負のパルス幅		0.4			t_{CLK}
t_{DOHD} (5) (3)	SCLK の立ち下がりエッジから、以前の DOUT が無効になるまで (ホールド時間)		10			ns
t_{DOPD} (3)	SCLK の立ち下がりエッジから新しい DOUT が有効になるまでの時間 (伝搬遅延)				31	ns
t_{MSBPD}	FSYNC 立ち上がりエッジから DOUT MSB が有効になるまでの時間 (伝搬遅延)				31	ns
t_{DIST}	新しい DIN が有効になってから SCLK の立ち下がりエッジまでの時間 (セットアップ時間)		6			ns
t_{DIHD} (5)	旧 DIN は SCLK の立ち下がりエッジまで有効 (ホールド時間)		6			ns

(1) MODE[1:0] および CLKDIV の設定に依存します。表 6-5 (f_{CLK}/f_{DATA}) を参照してください。
(2) SCLK は連続的に動作させる必要があり、f_{CLK} に対して 1、1/2、1/4、1/8 の比率に制限されます。
(3) DOUT = 20pF 時の負荷。
(4) タイミング パラメータは、規定された温度条件において設計上の評価または検証は行われていますが、量産時の試験は実施されていません。
(5) t_{DOHD} (DOUT ホールド時間) と t_{DIHD} (DIN ホールド時間) は、逆のワースト ケース条件 (デジタル電源電圧と周囲温度) の下で規定されています。同一条件下で、DOUT を DIN に直接接続した場合、タイミング マージンは 4ns 以上です。

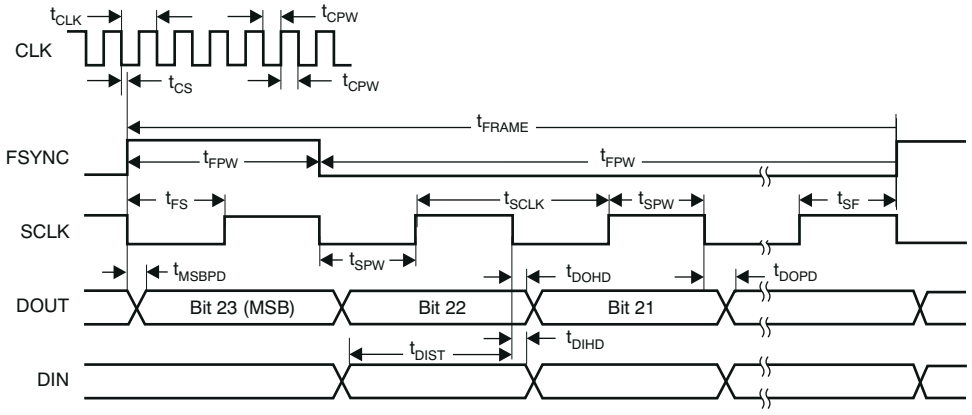


図 5-2. フレーム同期形式のタイミング特性

5.9 代表的特性

T_A = 25°C、高速モード、AVDD = 5V、DVDD = 1.8V、IOVDD = 3.3V、f_{CLK} = 27MHz、VREFP = 2.5V、VREFN = 0V (特に記載のない限り)。

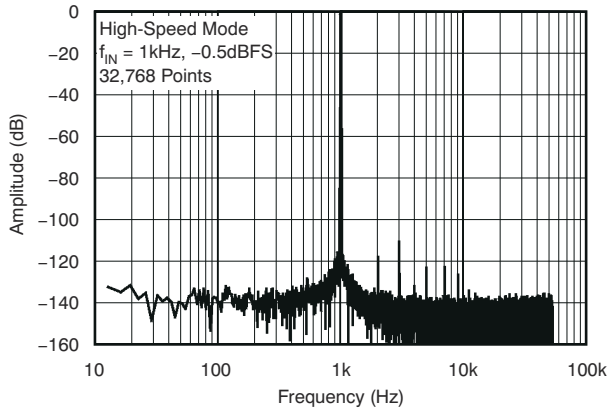


図 5-3. 出力スペクトラム

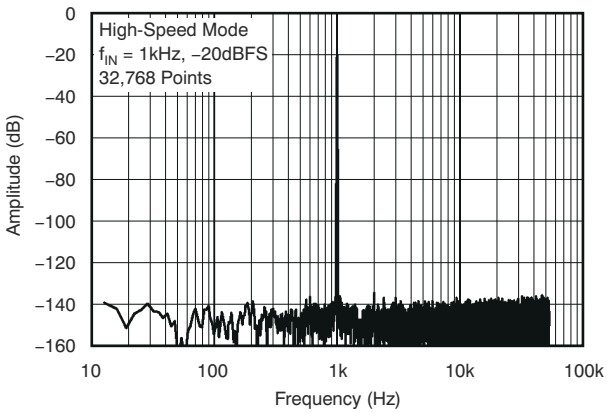


図 5-4. 出力スペクトラム

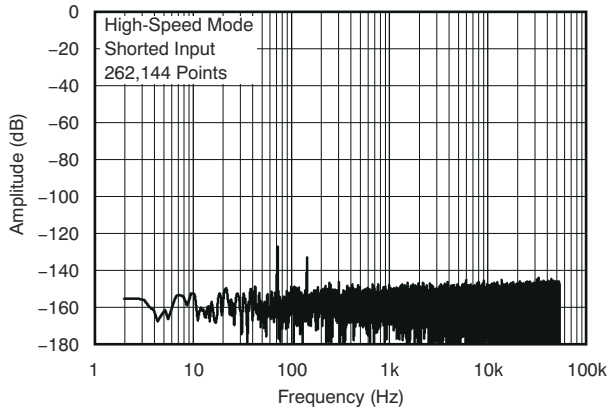


図 5-5. 出力スペクトラム

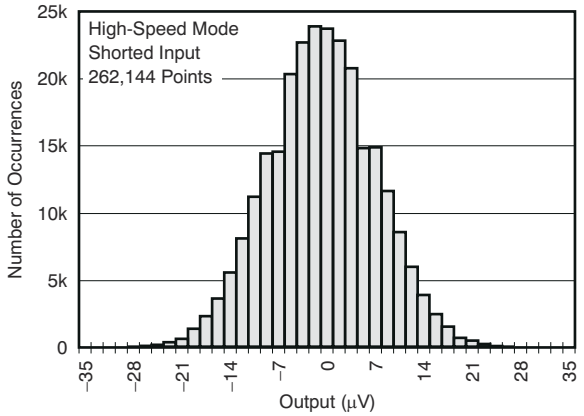


図 5-6. ノイズ ヒストグラム

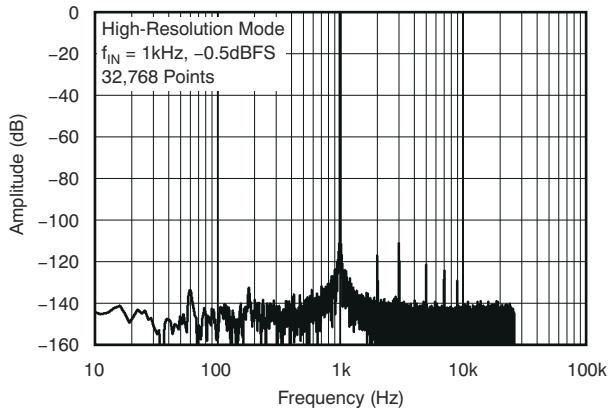


図 5-7. 出力スペクトラム

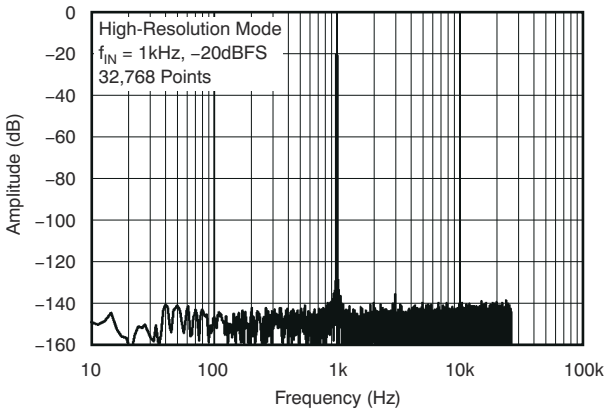


図 5-8. 出力スペクトラム

Copyright © 2026 Texas Instruments Incorporated

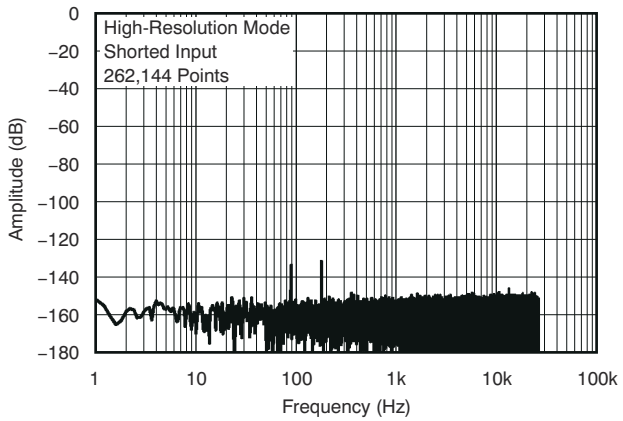


図 5-9. 出力スペクトラム

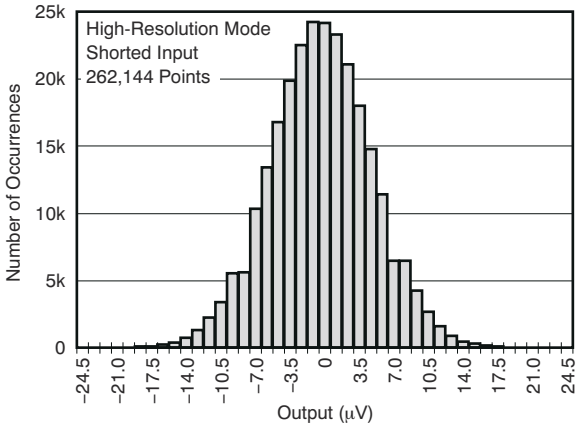


図 5-10. ノイズ ヒストグラム

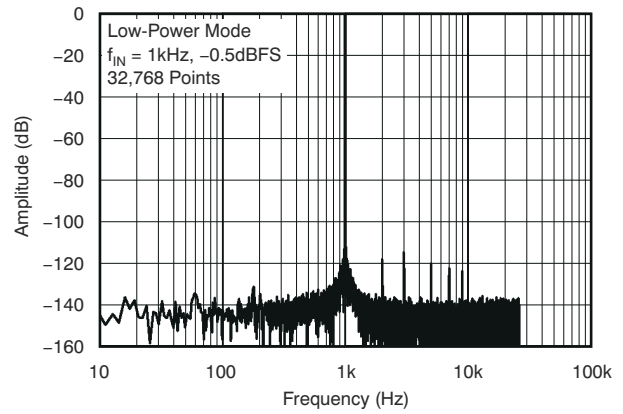


図 5-11. 出力スペクトラム

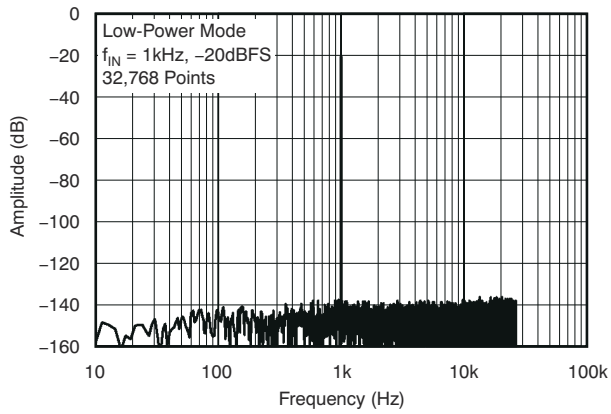


図 5-12. 出力スペクトラム

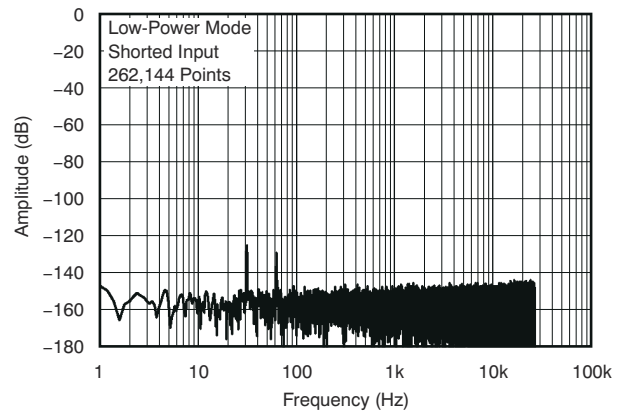


図 5-13. 出力スペクトラム

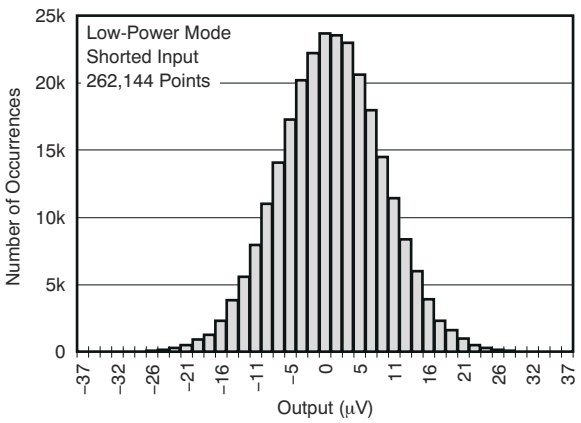


図 5-14. ノイズ ヒストグラム

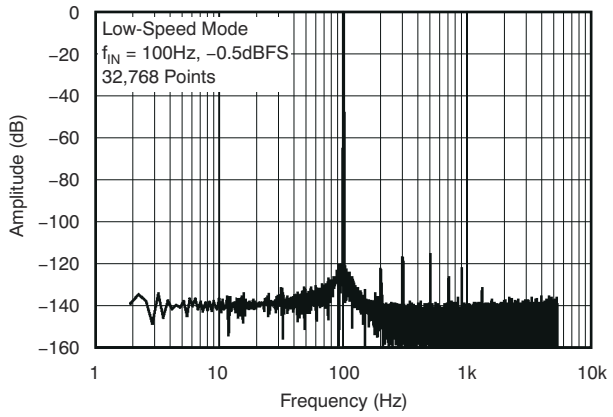


図 5-15. 出力スペクトラム

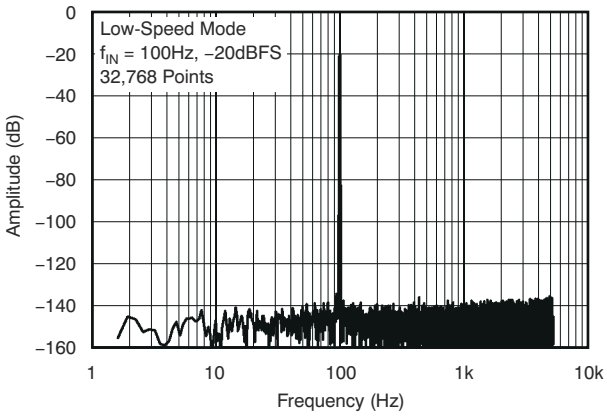


図 5-16. 出力スペクトラム

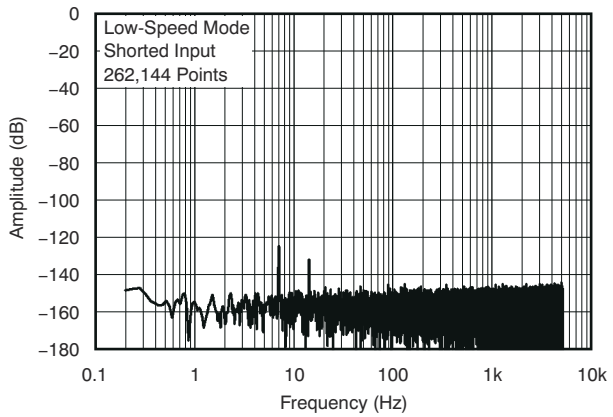


図 5-17. 出力スペクトラム

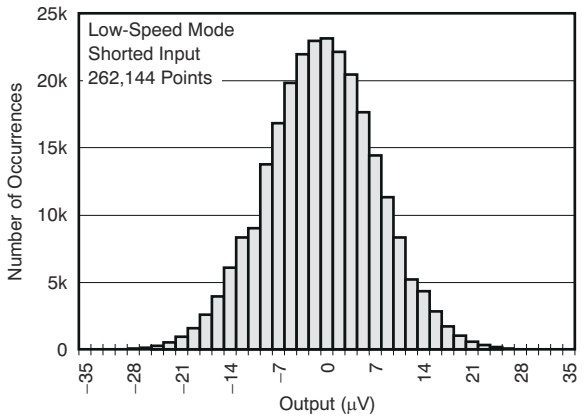


図 5-18. ノイズ ヒストグラム

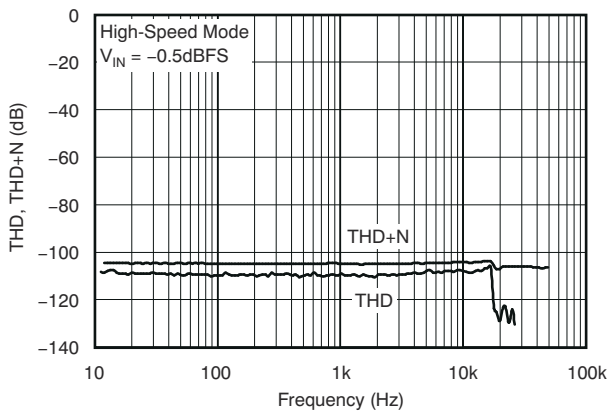


図 5-19. 全高調波歪と周波数との関係

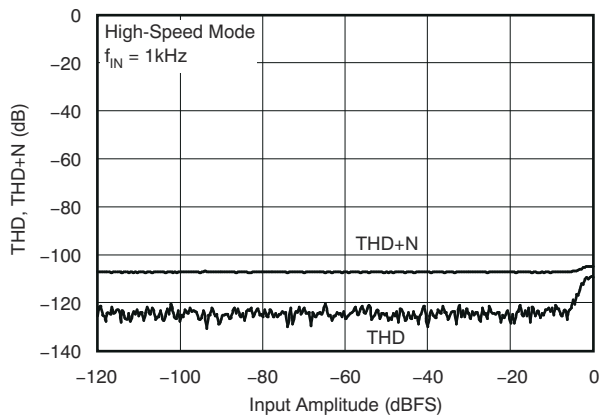


図 5-20. 全高調波歪みと入力電圧との関係

Copyright © 2026 Texas Instruments Incorporated

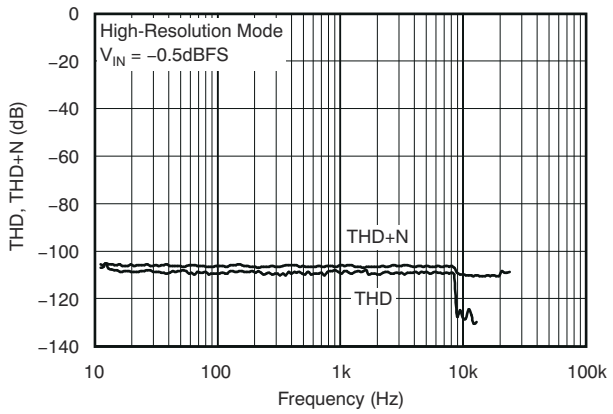


図 5-21. 全高調波歪と周波数との関係

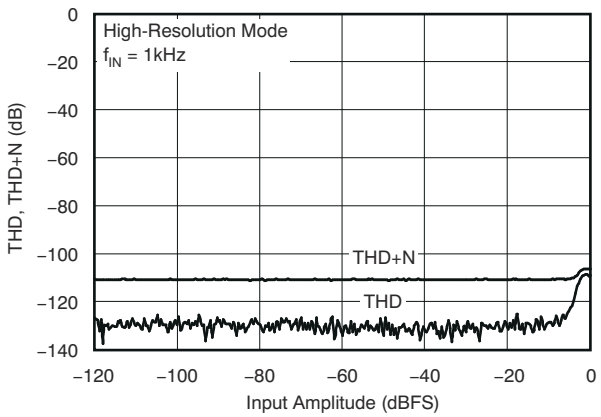


図 5-22. 全高調波歪みと入力電圧との関係

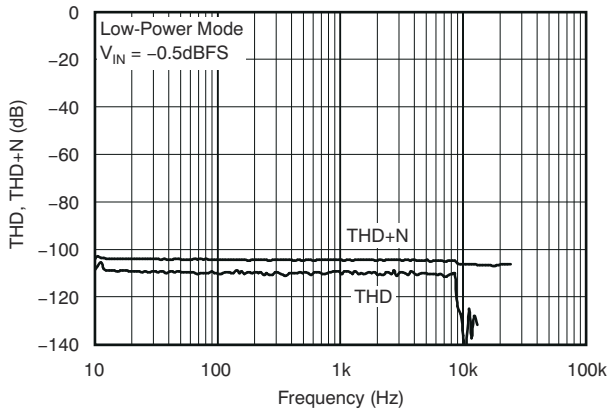


図 5-23. 全高調波歪と周波数との関係

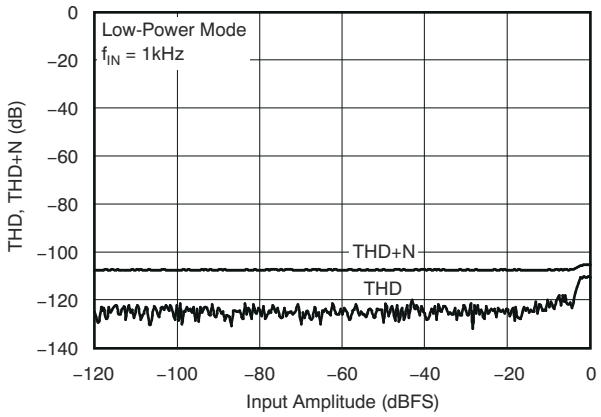


図 5-24. 全高調波歪みと入力電圧との関係

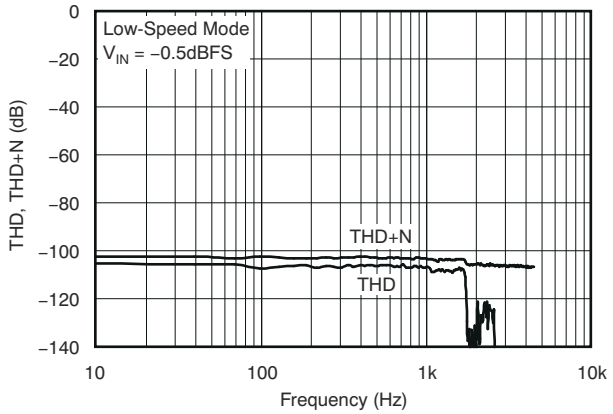


図 5-25. 全高調波歪と周波数との関係

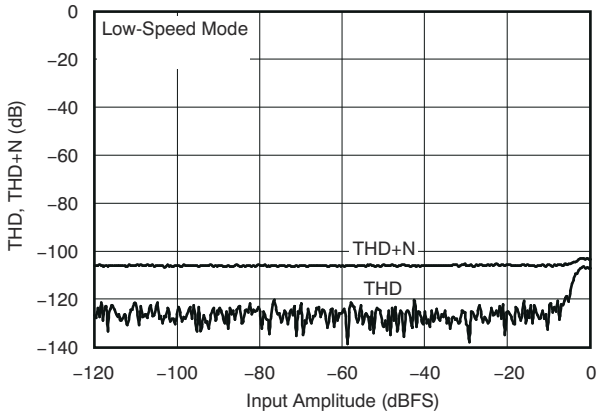


図 5-26. 全高調波歪みと入力電圧との関係

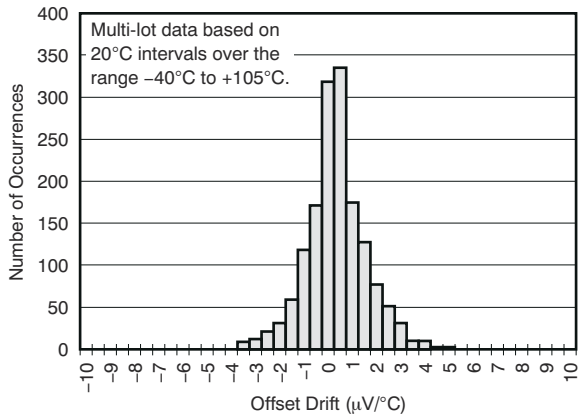


図 5-27. オフセットのドリフトのヒストグラム

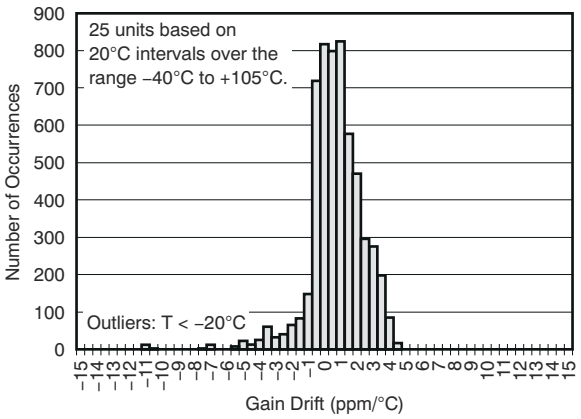


図 5-28. ゲインのドリフトのヒストグラム

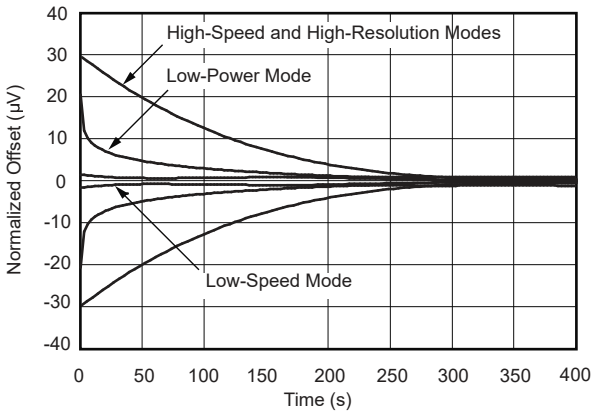


図 5-29. オフセット ウォームアップ ドリフトの応答帯域

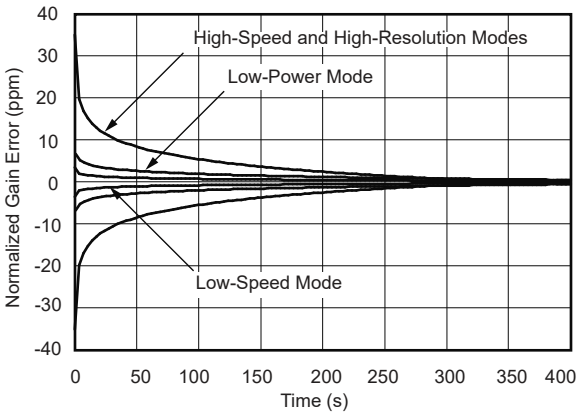


図 5-30. ゲイン ウォームアップ ドリフト応答帯域

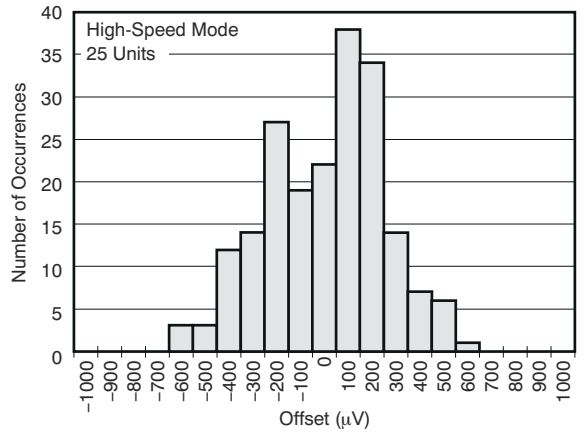


図 5-31. オフセット誤差のヒストグラム

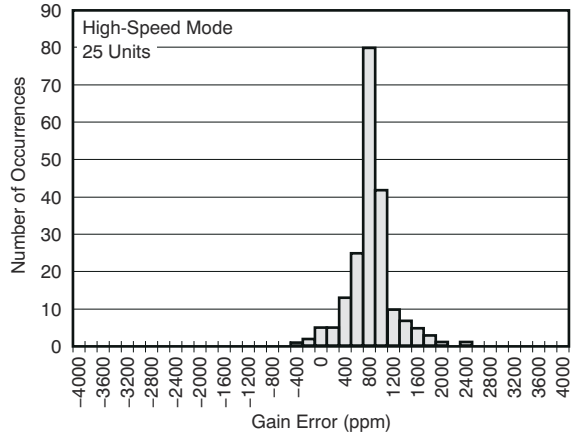


図 5-32. ゲイン誤差のヒストグラム

Copyright © 2026 Texas Instruments Incorporated

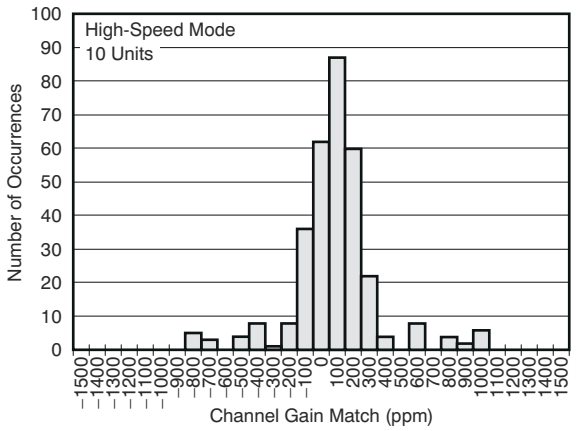


図 5-33. チャネル ゲイン マッチングのヒストグラム

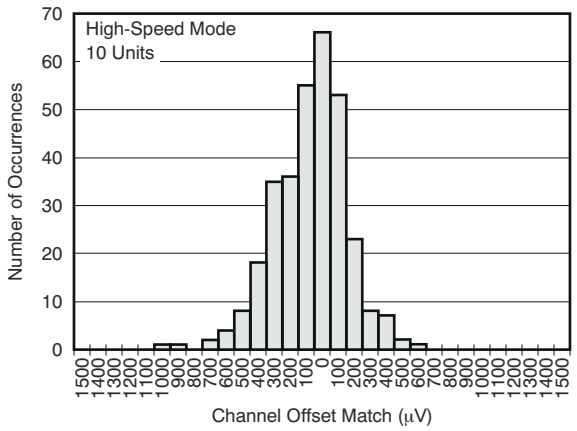


図 5-34. チャネル オフセットのマッチングのヒストグラム

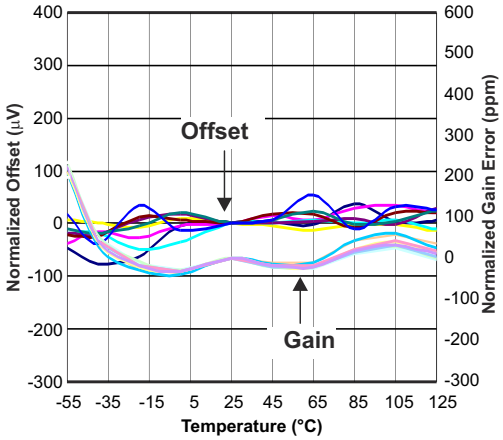


図 5-35. オフセットおよびゲインと温度との関係

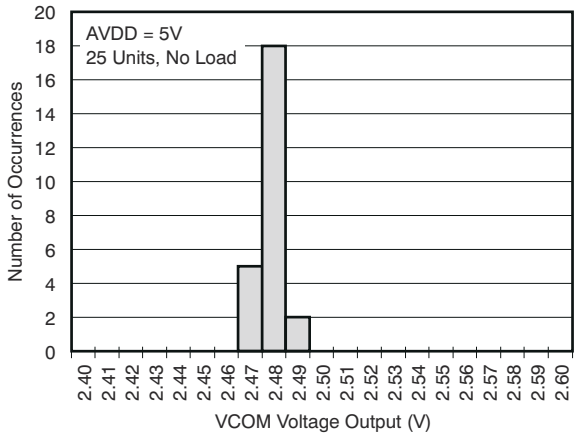


図 5-36. VCOM 電圧出力ヒストグラム

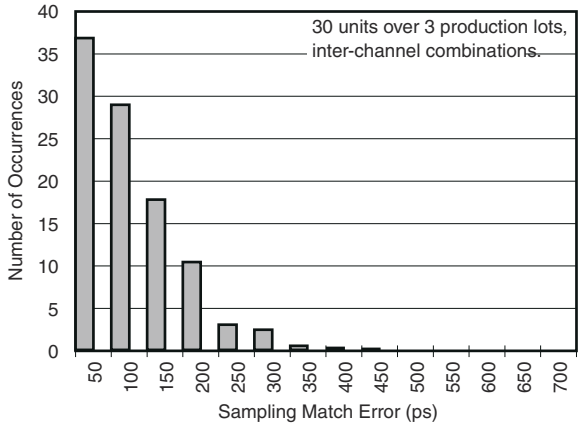


図 5-37. サンプリング一致誤差のヒストグラム

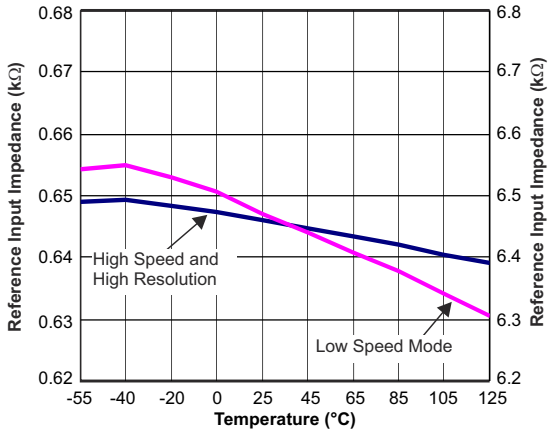


図 5-38. リファレンス入力差動インピーダンスと温度との関係

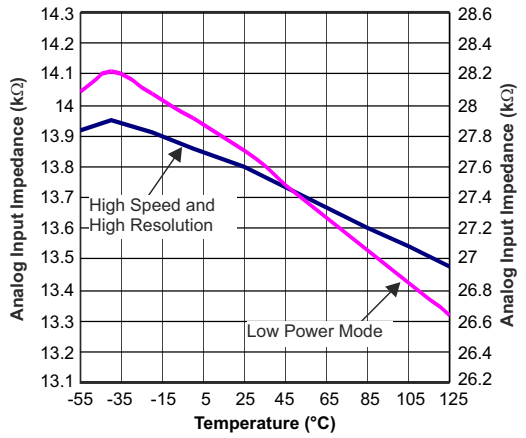


図 5-39. アナログ入力差動インピーダンスと温度との関係

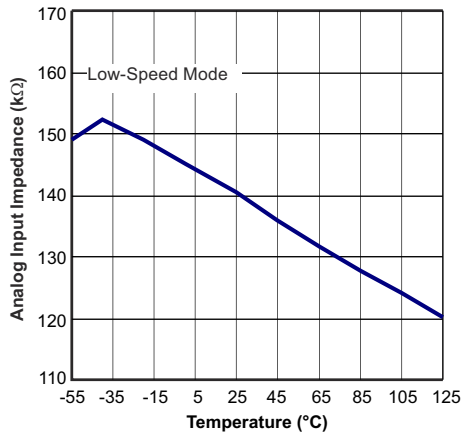


図 5-40. アナログ入力差動インピーダンスと温度との関係

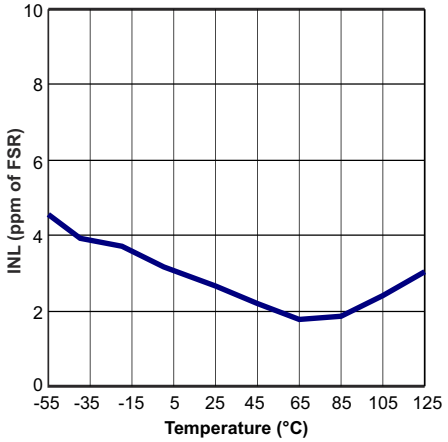


図 5-41. 積分非線形性と温度との関係

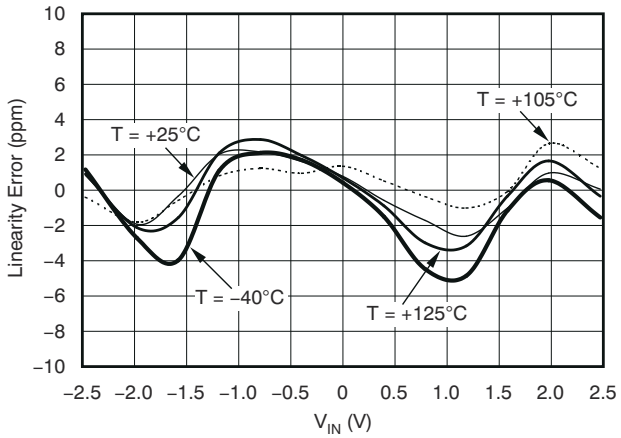


図 5-42. 直線性誤差と入力レベルとの関係

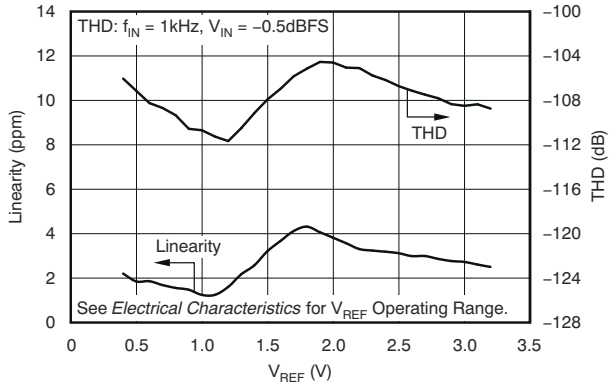


図 5-43. 挑戦性および合計高調波歪みと入力電圧との関係

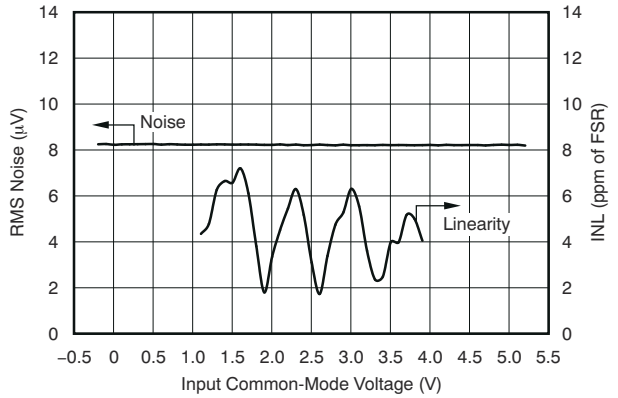


図 5-44. ノイズおよび直線性と入力同相電圧との関係

Copyright © 2026 Texas Instruments Incorporated

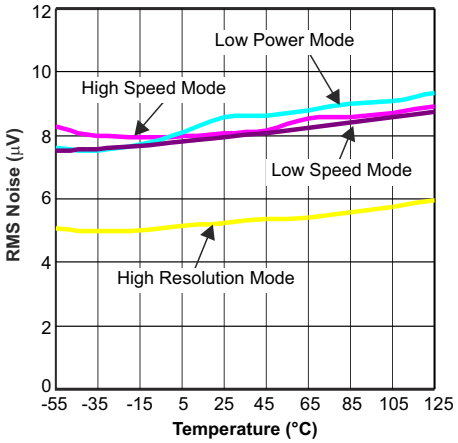


図 5-45. ノイズと温度との関係

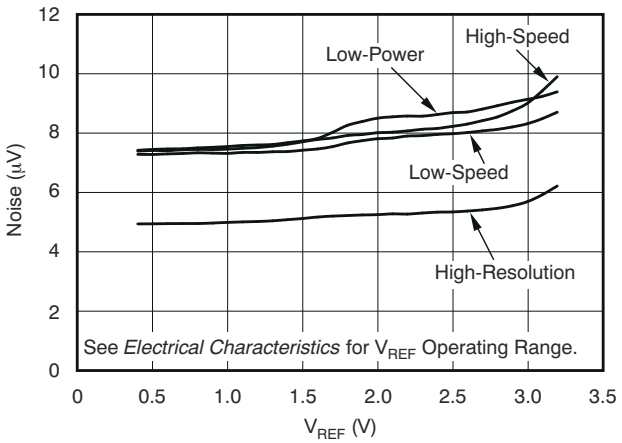


図 5-46. ノイズとリファレンス電圧との関係

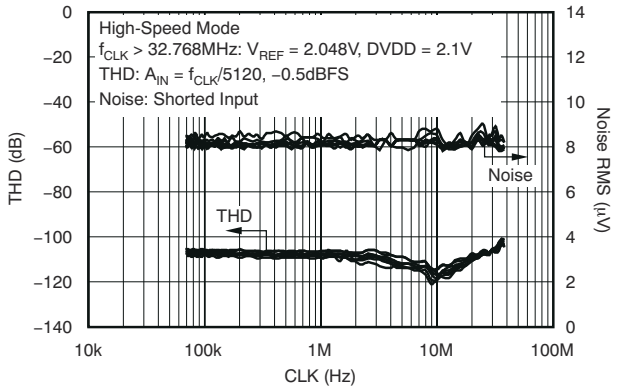


図 5-47. 全高調波歪およびノイズと CLK との関係

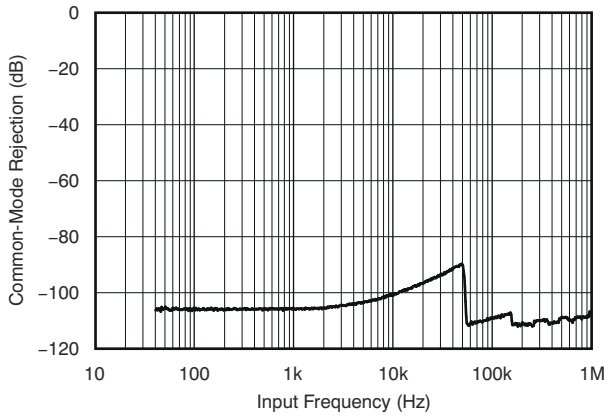


図 5-48. 同相信号除去と入力周波数との関係

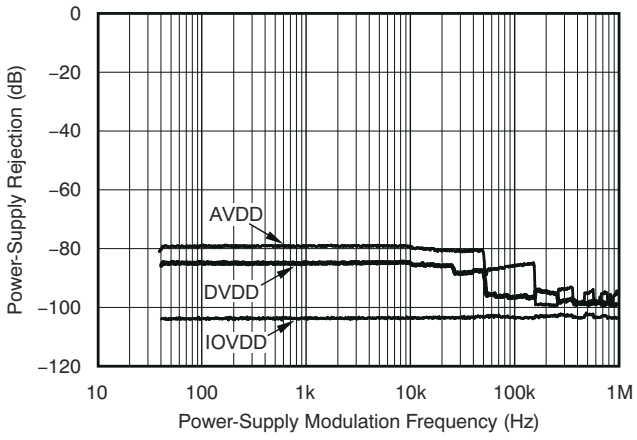


図 5-49. 電源除去と電源周波数との関係

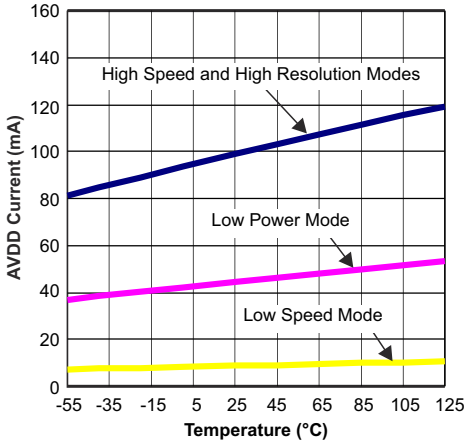


図 5-50. AVDD 電流と温度との関係

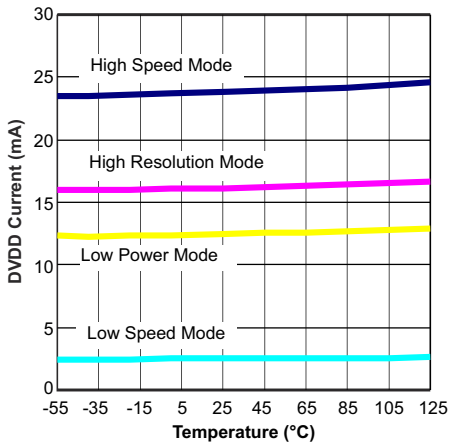


図 5-51. DVDD 電流と温度との関係

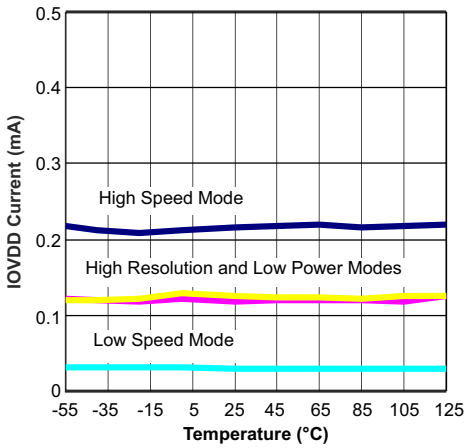


図 5-52. IOVDD 電流と温度との関係

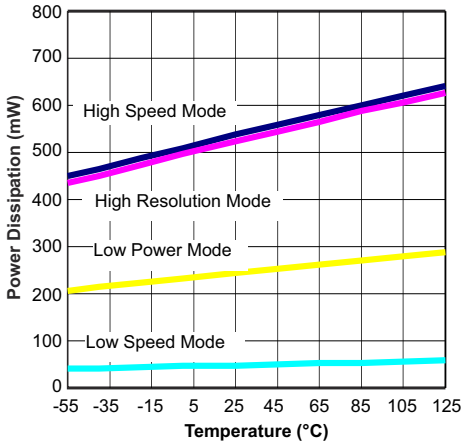


図 5-53. 消費電力と温度との関係

Copyright © 2026 Texas Instruments Incorporated

6 詳細説明

6.1 概要

ADS1278QML-SP は、8 つの独立したコンバータで構成されたデルタシグマ ADC で、8 つの入力信号を並列にデジタル化します。

このコンバータは、ADC 変換を行うために、モジュレータとデジタル フィルタという 2 つの主要な機能ブロックで構成されています。モジュレータは、入力信号とリファレンス電圧を同時にサンプリングし、1 の密度出力ストリームを生成します。出力ストリームの密度は、基準電圧に対してアナログ入力レベルに比例します。パルス ストリームは内部のデジタル フィルタで処理され、そこで最終的な変換結果が生成されます。

動作時には、入力信号はモジュレータによって高いサンプリング レートでサンプリングされます (通常、最終的な出力データ レートの 64 倍)。モジュレータの量子化ノイズは高周波帯域へシフトされ、内部デジタル フィルタによってそのノイズが除去されます。オーバーサンプリングにより、信号の通過帯域内のノイズレベルは非常に低くなります。

入力信号は非常に高いレートでサンプリングされるため、入力信号の周波数がモジュレータのサンプリング レートに達するまで、エイリアシングは発生しません。このアーキテクチャでは、モジュレータのサンプリング レートが非常に高いため、外付けアンチエイリアシング フィルタの要件が大幅に緩和されます。

ADS1278QML-SP は、8 チャネル構成の 24 ビット デルタ シグマ型 ADC です。このデバイスは、優れた dc 精度と優れた ac 性能を組み合わせています。機能ブロック図に、このデバイスの主要なブロックを示します。このコンバータは、8 個の高度な第 6 次チョッパ安定化デルタ シグマ モジュレータと、その後段に配置された低リップル、線形位相の FIR フィルタで構成されています。変調器は、差動入力信号 V_{IN} = (AINP − AINN) を、差動リファレンス V_{REF} = (VREFP − VREFN) と比較して測定します。デジタル フィルタはモジュレータ信号を受け取り、低ノイズのデジタル出力を提供します。速度、分解能、および消費電力のトレードオフを可能にするため、4 つの動作モードがサポートされています:

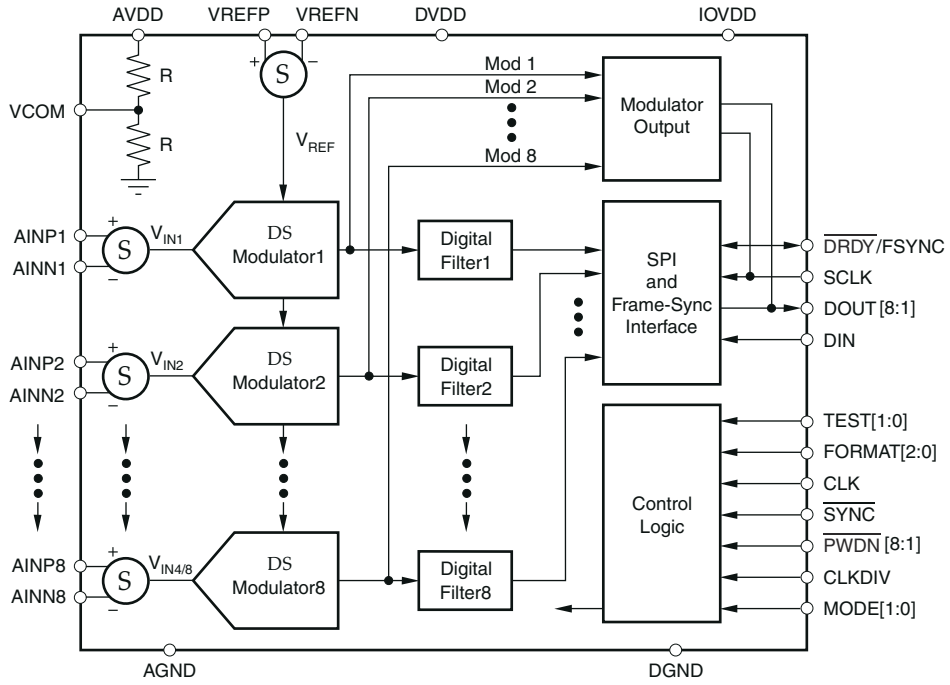
高速、高分解能、低消費電力、低速。表 6-15 に、各モードの性能を示します。

高速モードでは、最大データ レートは 128kSPS です (128kSPS で動作させる場合は、フレーム同期形式を使用する必要があります)。高分解能モードでは SNR = 111dB (V_{REF} = 3.0V)、低消費電力モードではチャネルあたりの消費電力は 31mW/ チャネルです。低速モードでは、10.5kSPS での消費電力はチャネルあたりわずか 7mW/ チャネルです。デジタル フィルタをバイパスできるため、変調器の出力に直接アクセスできます。

ADS1278QML-SP は、適切な I/O ピンを設定するだけで構成されます。プログラムするレジスタはありません。データは、SPI 形式およびフレーム同期形式の両方をサポートするシリアル インターフェイスを介して取得されます。ADS1278QML-SP はデイジー チェーン接続が可能な出力を備えており、外部と同期する機能があるため、8 チャネルを超える必要のあるシステムでこのデバイスを簡単に使用できます。

Copyright © 2026 Texas Instruments Incorporated

6.2 機能ブロック図



6.3 機能説明

6.3.1 サンプリング アパーチャ マッチング

ADS1278QML-SP コンバータは、同じ CLK 入力で動作します。CLK 入力は、変調器のサンプリングの瞬間のタイミングを制御します。このコンバータは、チャネル間のサンプリング スキュー、すなわちモジュレータのサンプリング アパーチャの一致が制御されるように設計されています。さらに、デジタル フィルタは同期され、同じ変調器クロック サイクルで畳み込み位相が開始されます。この設計により、ADS1278QML-SP チャネル間で優れた位相マッチングを実現しています。

ADS1278QML-SP のデバイス間チャネル サンプル マッチングを図 5-37 に示します。

6.3.2 周波数応答

デジタル フィルタは、全体的な周波数応答を設定します。このフィルタは、マルチステージ FIR トポロジを使用して線形位相を実現し、通過帯域リップルを最小限に抑え、ストップバンド減衰を高くします。フィルタ係数は、ADS1271 で使用されている係数と同じです。デジタルフィルタのオーバーサンプリング比 (つまり、出力データレートに対する変調器サンプリングの比、または f_{MOD}/f_{DATA}) は、表 6-1 に示すように、選択したモードの関数です。

表 6-1. オーバーサンプリング レートとモードとの関係

モード選択	オーバーサンプリング レート (f_{MOD}/f_{DATA})
高速	64
高解像度	128
低消費電力	64
ロースピード	64

Copyright © 2026 Texas Instruments Incorporated

6.3.2.1 高速、低消費電力、および低速の各モード

オーバーサンプリング比を 64 に設定した場合、デジタル フィルタの構成は高速、低消費電力、および低速の各モードで共通です。f_{DATA} に正規化された高速、低消費電力、低速モードでの周波数応答を図 6-1 に示します。通過帯域リップルを、図 6-2 に示します。パス バンドからストップ バンドへの遷移を、図 6-3 に示します。図 6-4 に示すように、全体の周波数応答は、変調器の周波数 f_{MOD} の 64 倍で繰り返されます。

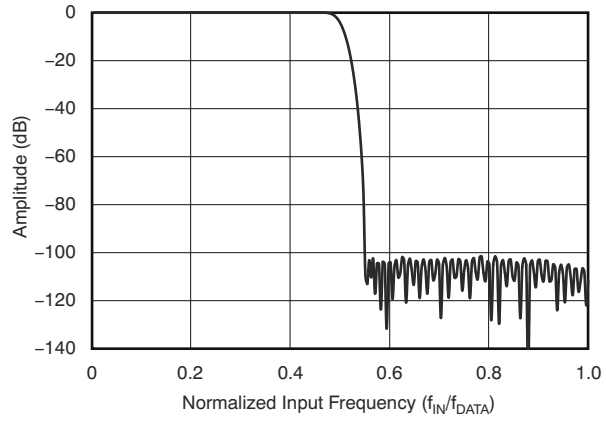


図 6-1. 高速、低消費電力、および低速の各モードの周波数応答

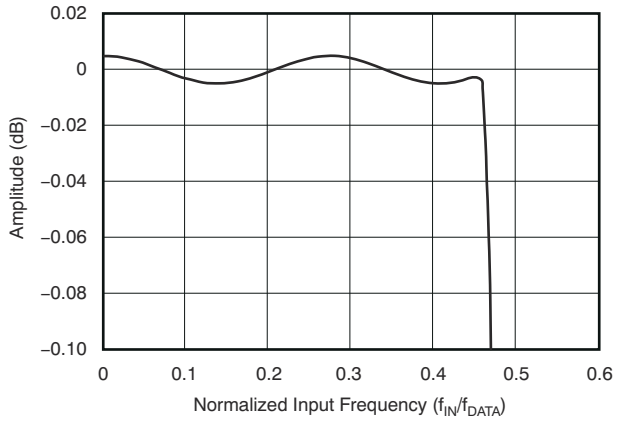


図 6-2. 高速、低消費電力、低速モードでのパスバンド応答

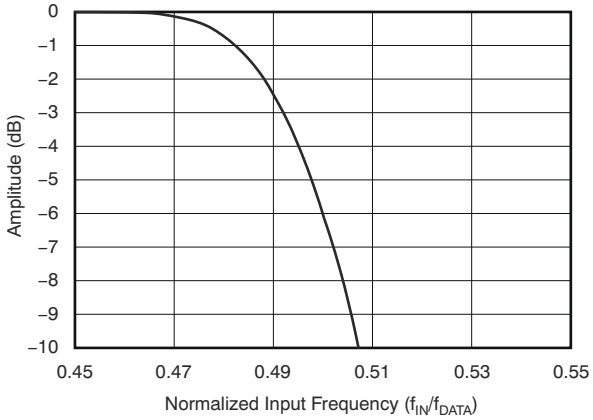


図 6-3. 高速、低消費電力、および低速の各モードの遷移バンドの応答

Copyright © 2026 Texas Instruments Incorporated

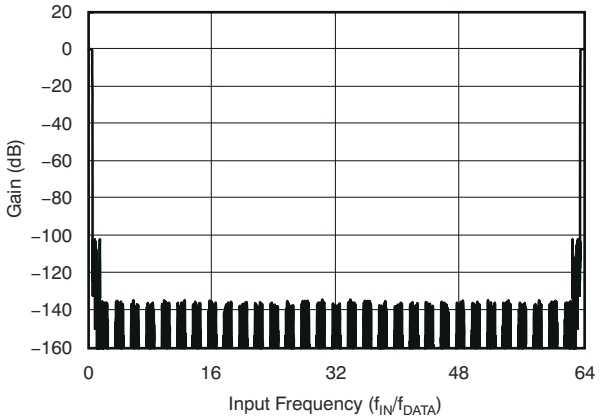


図 6-4. 高速、低消費電力、低速度モードの場合、F_{MOD} までの周波数応答

これらのイメージ周波数は、外部フィルタリングされていない信号に存在する場合、パスバンドに折り返されてエラーを引き起こします。ADS1278QML-SP のストップ バンドは、パスバンドを超えて開始され f_{MOD} まで継続される周波数を 100dB 減衰させます。ADS1278QML-SP 入力の前に、アンチエイリアシング、ローパス フィルタを配置することで、大振幅の帯域外信号、ノイズを制限することを推奨します。多くの場合、単純な RC フィルタで十分です。表 6-2 に、画像除去と外部フィルタ次数の関係を示します。

表 6-2. アンチエイリアス フィルタ次数イメージの除去

アンチエイリアス フィルタの次数	イメージ除去 (dB) (f_{DATA} で f_{-3dB})	
	HS、LP、LS	HR
1	39	45
2	75	87
3	111	129

6.3.2.2 高分解能モード

高分解能モードではオーバーサンプリング レートは 128 です。f_{DATA} に正規化した高分解能モードでの周波数応答を、図 6-5 に示します。図 6-6 は通過帯域リップルを示し、パスバンドからストップ バンドへの遷移を図 6-7 に示します。図 6-8 に示すように、全体の周波数応答は、変調器の周波数 f_{MOD} (128 × f_{DATA}) の倍数で繰り返されます。ADS1278QML-SP のストップ バンドは、パスバンドを超えて開始され f_{MOD} まで継続される周波数を 100dB 減衰させます。ADS1278QML-SP 入力の前にアンチ エイリアス、ローパス フィルタを配置することを推奨します。これは、大振幅の帯域外信号やノイズの可能性を制限するためです。多くの場合、単純な RC フィルタで十分です。表 6-2 に、画像除去と外部フィルタ次数の関係を示します。

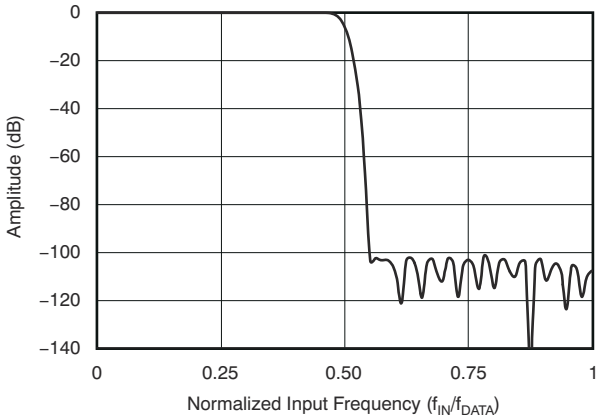


図 6-5. 高分解能モードでの周波数応答

Copyright © 2026 Texas Instruments Incorporated

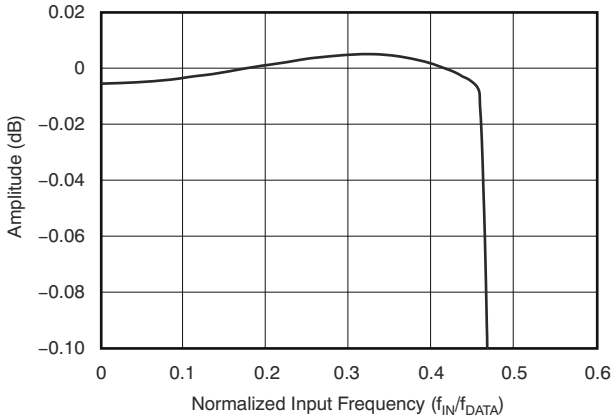


図 6-6. 高分解能モードでのパスバンド応答

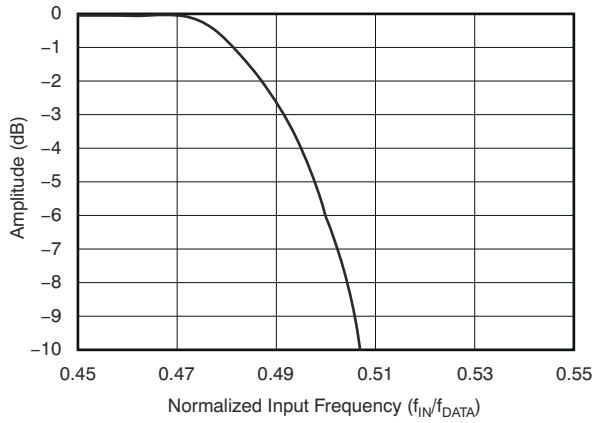


図 6-7. 高分解能モードでの遷移バンド応答

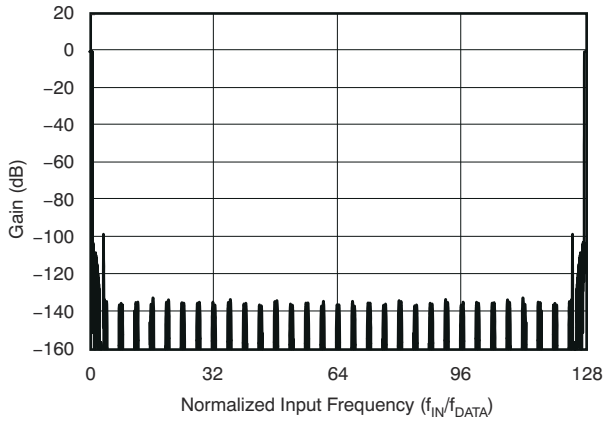


図 6-8. 高分解能モードの場合、F_{MOD} までの周波数応答

6.3.3 位相応答

ADS1278QML-SP は、多段構成の線形位相デジタル フィルタを内蔵しています。線形位相フィルタは、入力周波数に対して遅延時間が一定 (一定のグループ遅延) という特性を示します。この特性により、入力信号の任意の時点から出力データの同じ時点までの時間遅延は一定となり、入力信号の周波数には依存しません。この動作により、マルチトーン信号を解析する際に位相誤差は実質的にゼロとなります。

Copyright © 2026 Texas Instruments Incorporated

6.3.4 セトリング タイム

周波数応答と位相応答と同様に、デジタル フィルタによってセトリング タイムも決定されます。図 6-9 に、変換時間に正規化されたアナログ入力のステップ変化後の出力セトリング動作を示します。X 軸は変換単位で示されています。入力にステップ変化が生じた後、30 回の変換期間が経過するまで、出力データはほとんど変化しないことに注意してください。出力データは、高速モードおよび低消費電力モードでは 76 変換期間後に、また高分解能モードでは 78 変換期間後に完全に安定します。

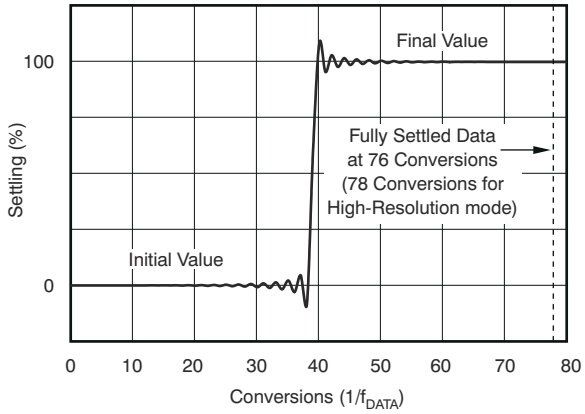


図 6-9. ステップ応答

6.3.5 データ形式

ADS1278QML-SP は、24 ビットのデータを 2 の補数形式で出力します。

正のフルスケール入力では理想的な出力コードは 7FFFFFh となり、負のフルスケール入力では理想的な出力コードは 800000h となります。フルスケールを超える信号に対しては、出力はこれらのコードでクリップされます。表 6-3 に、各種入力信号の理想的な出力コードを示します。

表 6-3. 理想的な出力コードと入力信号との関係

入力信号 V_{IN} (AINP – AINN)	理想的な出力コード (1)
≥ $+V_{REF}$	7FFFFFh
$\frac{+ V_{REF}}{2^{23} - 1}$	000001h
0	000000h
$\frac{- V_{REF}}{2^{23} - 1}$	FFFFFFh
$\leq -V_{REF}\left(\frac{2^{23}}{2^{23} - 1}\right)$	800000h

(1) には、ノイズ、INL、オフセット、ゲイン誤差の影響は含まれません。

6.3.6 アナログ入力 (AINP、AINN)

ADS1278QML-SP は、各差動入力信号 V_{IN} = (AINP – AINN) を、差動基準電圧 V_{REF} = (VREFP – VREFN) に対して測定します。測定可能な差動入力の最大の正の値は $+V_{REF}$ であり、このとき最も正のデジタル出力コードである 7FFFFFh が生成されます。同様に、最も負の測定可能な差動入力は $–V_{REF}$ で、これは最も負のデジタル出力コード 800000h を生成します。

Copyright © 2026 Texas Instruments Incorporated

最適な性能を得るために、ADS1278QML-SP の入力は差動駆動されることを想定しています。シングルエンド用途では、入力の一方 (AINP または AINN) を駆動し、もう一方の入力は固定します (通常は AGND または 2.5V に固定)。入力を 2.5V に固定するとバイポーラ動作が可能になるため、コンバータの範囲全体を完全に使用できます。

ADS1278QML-SP は差動入力信号を測定するのに対して、絶対入力電圧も重要です。この値は、AGND を基準とした各入力 (AINP または AINN) の電圧です。この電圧の範囲は次のとおりです:

–0.1V < (AINN または AINP) < AVDD +0.1V

いずれかの入力が –0.4V 未満、または (AVDD +0.4V) を超えると、入力に備わっている ESD 保護ダイオードが導通する可能性があります。これらの条件が起こり得る場合、入力電流を安全な値に制限するために、外付けのショットキー クランプ ダイオードや直列抵抗が必要になることがあります (絶対最大定格表を参照)。

ADS1278QML-SP は非常に高性能の ADC です。最適な性能を得るには、ADS1278QML-SP 入力を駆動するために適切な回路を使用する必要があります。いくつかの推奨回路については、アプリケーション情報セクションを参照してください。

ADS1278QML-SP は、スイッチト キャパシタ回路を使用して入力電圧を測定します。内部コンデンサは入力によって充電され、放電されます。図 6-10 は、これらの回路の概念図を示しています。スイッチ S_2 は、サンプリング コンデンサの放電における変調器回路の正味の影響を表します。実際の実装は異なります。スイッチ S_1 および S_2 のタイミングを図 6-11 に示します。サンプリング時間 (t_{SAMPLE}) は、変調器のサンプリング周波数の逆数 (f_{MOD}) で、表 6-4 に示すように、モード、CLKDIV 入力、CLK 周波数の関数です。

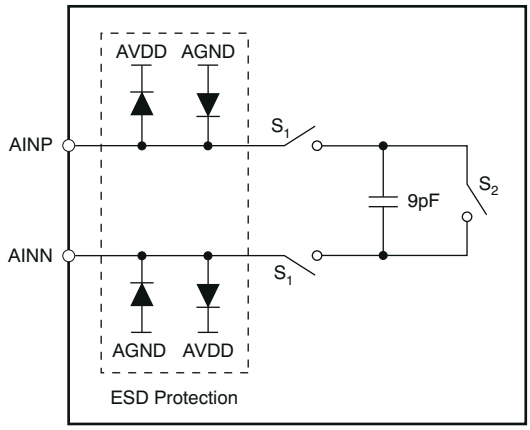


図 6-10. 等価アナログ入力回路

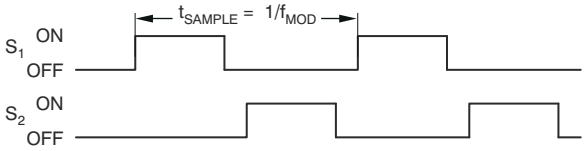


図 6-11. 図 6-10 の S_1 および S_2 スイッチのタイミング

表 6-4. 変調器の周波数 (F_{MOD}) のモード選択

モード選択	CLKDIV	f_{MOD}
高速	1	$f_{CLK}/4$
高解像度	1	$f_{CLK}/4$
低消費電力	1	$f_{CLK}/8$
	0	$f_{CLK}/4$

Copyright © 2026 Texas Instruments Incorporated

表 6-4. 変調器の周波数 (F_{MOD}) のモード選択 (続き)

モード選択	CLKDIV	f_{MOD}
ロースピード	1	$f_{CLK}/40$
	0	$f_{CLK}/8$

スイッチト キャパシタ入力から得られる平均負荷は、図 6-12 に示すように、実効差動インピーダンスでモデル化できます。実効インピーダンスは f_{MOD} の関数であることに注意します。

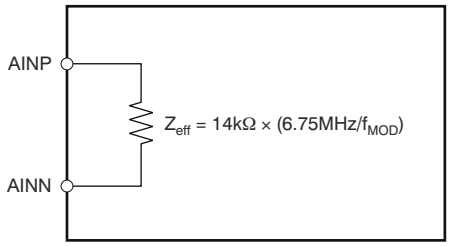


図 6-12. 実効入力インピーダンス

6.3.7 電圧リファレンス入力 (VREFP、VREFN)

ADS1278QML-SP ADC の電圧リファレンスは、VREFP と VREFN の間の差動電圧です: V_{REF} = (VREFP – VREFN)。電圧リファレンスは、すべてのチャネルで共通です。リファレンス入力は、図 6-13 に示す基準入力の等価回路を持つアナログ入力と同様の構造を使用します。アナログ入力と同様に、図 6-14 に示すように、スイッチト キャパシタによって示される負荷は実効インピーダンスを使用してモデル化できます。ただし、リファレンス入力インピーダンスは、f_{MOD} に加えてアクティブ (イネーブル) チャネルの数に依存します。チャネルのイネーブル / ディスエーブルによって発生するリファレンス入力インピーダンスの変化の結果、読み取り値に影響を与えないように、外部リファレンスのレギュレーションと設定時間に注意する必要があります。

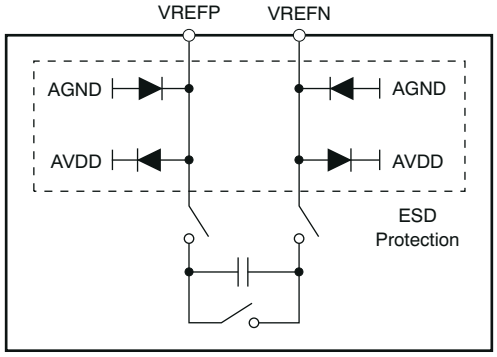


図 6-13. 等価リファレンス入力回路

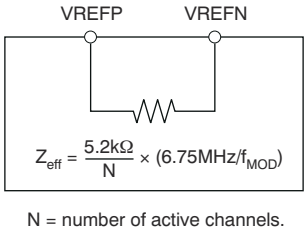


図 6-14. 有効なリファレンスインピーダンス

ESD ダイオードはリファレンス入力を保護します。これらのダイオードが導通しないようにするため、リファレンス ピンの電圧が AGND より 0.4V 以上低くならず、また同様に AVDD を 0.4V 以上超えないようにします。これらの条件が起こり得る

Copyright © 2026 Texas Instruments Incorporated

場合、入力電流を安全な値に制限するために、外付けのショットキー クランプ ダイオードや直列抵抗が必要になることがあります (絶対最大定格表を参照)。

なお、リファレンス入力の有効な動作範囲は、以下のパラメータによって制限されます:

-0.1V ≤ VREFN ≤ +0.1V

VREFN + 0.5V ≤ VREFP ≤ AVDD + 0.1V

6.3.8 クロック入力 (CLK)

ADS1278QML-SP は動作のためにクロック入力を必要とします。ADS1278QML-SP の個別のコンバータは、同じクロック入力で動作します。最大データ レート時には、クロック入力は CLKDIV 入力の設定により、低消費電力モードでは 27MHz または 13.5MHz、低速モードでは 27MHz または 5.4MHz のいずれかになります。高速モードでは、最大 CLK 入力周波数は 32.768MHz です。高分解能モードの場合、最大 CLK 入力周波数は 27MHz です。外部クロック周波数 (f_{CLK}) の選択は、ADS1278QML-SP の分解能に影響しません。より低速の f_{CLK} を使用すると、外部クロック バッファの消費電力を減らすことができます。出力データ レートはクロック周波数に応じてスケーリングされ、f_{CLK} = 100kHz の最小クロック周波数に下がります。表 6-5 は、4 つの動作モードのクロック入力周波数 (f_{CLK}) とデータ レート (f_{DATA})、最大データ レート、および対応する最大クロック入力との比率をまとめたものです。

他の高速データコンバータと同様に、最適な性能を得るには、高品質で低ジッタのクロックが不可欠です。推奨されるクロック ソースは、水晶発振器です。クロック入力で過度なリンギングが発生しないよう注意してください。クロック配線をできるだけ短くし、ソース側の近くに 50Ω の直列抵抗を挿入すると、多くの場合に有効です。

表 6-5. クロック入力オプション

モード選択	MAX f_{CLK} (MHz)	CLKDIV	f_{CLK}/f_{DATA}	データ レート (SPS)
高速	32.768	1	256	128,000
高解像度	27	1	512	52,734
低消費電力	27	1	512	52,734
	13.5	0	256	
ロースピード	27	1	2,560	10,547
	5.4	0	512	

6.3.9 モード選択 (MODE)

ADS1278QML-SP は、4 つのモードの動作をサポートしています:高速、高分解能、低消費電力、低速。これらのモードは、速度、分解能、消費電力の最適化を可能にします。モードの選択は、表 6-6 に示すように、デジタル入力 MODE[1:0] ピンの状態によって決まります。ADS1278QML-SP は、動作中に MODE ピンのステータスを継続的に監視しています。

表 6-6. モード選択

MODE[1:0]	モード選択	最大 f_{DATA} (1)
00	高速	128,000
01	高解像度	52,734
10	低消費電力	52,734
11	ロースピード	10,547

(1) f_{CLK} = 最大 27MHz (高速モードで最大 32.768MHz)。

SPI プロトコルを使用する場合、セトリング (または有効) データの準備が整うまで、モード変更が発生した後で $\overline{DRDY}$ は High に保持されます。図 6-15 および表 6-7 を参照してください。

フレーム同期プロトコルでは、モード変更が発生した後、セトリング データの準備が整うまで DOUT ピンは Low に保持されます。図 6-15 と表 6-7 を参照してください。DOUT が論理 1 に変化したタイミングを検出するためにデバイスからデータを読み取ることができ、その変化はデータが有効であることを示します。

Copyright © 2026 Texas Instruments Incorporated

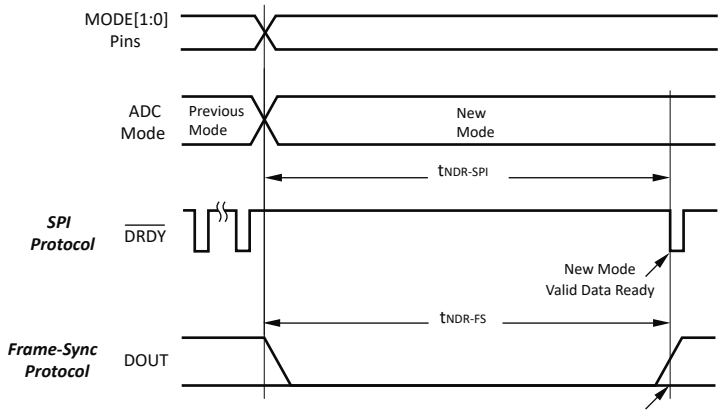


図 6-15. モード変化時間

表 6-7. モード変更後の新しいデータ

記号	説明	最小値	標準値	最大値	単位
$t_{NDR-SPI}$	新しいデータが準備完了するまでの時間 (SPI)			129	変換 ($1/f_{DATA}$)
t_{NDR-FS}	新しいデータが準備完了するまでの時間 (フレーム同期)	127		128	変換 ($1/f_{DATA}$)

6.3.10 同期 (SYNC)

ADS1278QML-SP は、$\overline{SYNC}$ ピンを Low にパルスしてから High に戻すことで同期できます。このピンが Low になると、変換処理は停止し、デジタル フィルタで使用される内部カウンタがリセットされます。$\overline{SYNC}$ ピンが high に戻ると、変換プロセスが再開されます。同期を行うことで、アナログ入力の外部マルチプレクサの切り替えや、基準タイミング パルスなどの外部イベントに合わせて変換を整列させることができます。

ADS1278QML-SP コンバータは、同じクロック入力で並列で動作し、同じ $\overline{SYNC}$ 入力制御を使用するため、これらのコンバータは常に互いに同期します。内部チャネル間のアパーチャ マッチングは通常 500ps 未満です。ただし、複数デバイスの同期方法は多少異なります。デバイスの電源投入時には、デバイスごとの内部リセットしきい値のばらつきにより、変換タイミングに不確定性が生じる可能性があります。

$\overline{SYNC}$ ピンを使用して、複数のデバイスを同じ CLK サイクル内で同期できます。図 6-16 に、SPI 形式の $\overline{SYNC}$ と CLK のタイミング要件を示します。

フレーム同期フォーマットのタイミング要件については、図 6-17 を参照してください。

同期後の有効データの示し方は、SPI 形式を使用するかフレーム同期形式を使用するかによって異なります。

SPI 形式では、$\overline{SYNC}$ が Low になるとすぐに $\overline{DRDY}$ は High になります。図 6-16 を参照してください。$\overline{SYNC}$ が High に戻った後、デジタル フィルタがセトリングしている間、$\overline{DRDY}$ は high のままです。有効なデータを取得する準備が整うと、$\overline{DRDY}$ は low になります。

フレーム同期形式では、$\overline{SYNC}$ が Low になるとすぐに DOUT は low になります。図 6-17 を参照してください。$\overline{SYNC}$ が High に戻った後、デジタル フィルタがセトリングしている間、DOUT は low に維持されます。有効なデータが取得できるようになると、DOUT は有効なデータの出力を開始します。適切に同期するには、$\overline{SYNC}$ を high にする前に FSYNC、SCLK、CLK を確立してから、動作状態を維持する必要があります。その後でクロック入力 (CLK、FSYNC、または SCLK) が中断またはリセットされた場合、$\overline{SYNC}$ ピンを再度アサートします。

一貫した性能を確保するため、データが最初に表示されたときに、デバイスの電源オン後に $\overline{SYNC}$ を再アサートします。

Copyright © 2026 Texas Instruments Incorporated

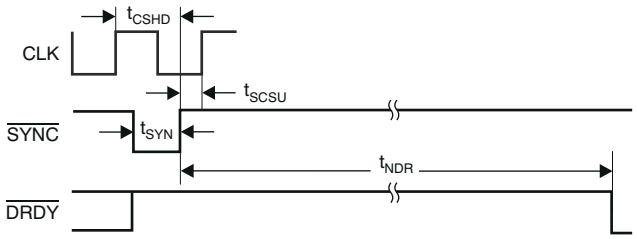


図 6-16. 同期タイミング (SPI プロトコル)

表 6-8. SPI プロトコル

記号	説明	最小値	標準値	最大値	単位
t_{CSHD}	CLK から $\overline{SYNC}$ までのホールド時間	10			ns
t_{SCSU}	$\overline{SYNC}$ から CLK までのセットアップ時間	5			ns
t_{SYN}	同期パルス幅	1			CLK 周期
t_{NDR}	新しいデータが準備されるまでの時間			129	変換 ($1/f_{DATA}$)

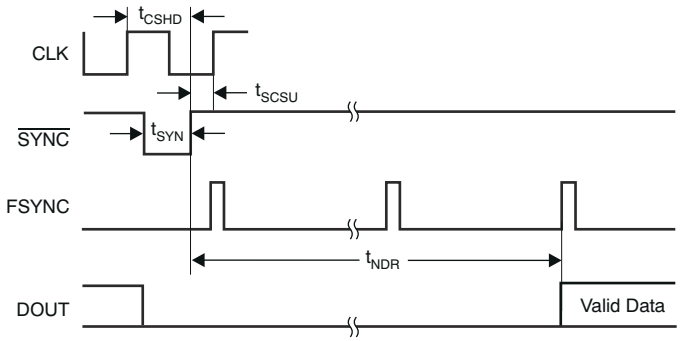


図 6-17. 同期タイミング (フレーム同期プロトコル)

表 6-9. フレーム同期プロトコル

記号	説明	最小値	標準値	最大値	単位
t_{CSHD}	CLK から $\overline{SYNC}$ までのホールド時間	10			ns
t_{SCSU}	$\overline{SYNC}$ から CLK までのセットアップ時間	5			ns
t_{SYN}	同期パルス幅	1			CLK 周期
t_{NDR}	新しいデータが準備されるまでの時間	127		128	変換 ($1/f_{DATA}$)

6.3.11 パワーダウン (PWDN)

ADS1278QML-SP のチャネルは、$\overline{PWDN}$ 入力を使用することで独立してパワーダウンできます。パワーダウン モードに移行するには、それぞれの $\overline{PWDN}$ ピンを 2 CLK サイクル以上の間 low に保持します。パワーダウンを終了するには、対応する $\overline{PWDN}$ ピンを high に戻します。なお、すべてのチャネルがパワーダウンされると、/ADS1278QML-SP はマイクロワット (µW) レベルの低消費電力状態に入り、内部のすべてのバイアス回路が無効化されます。この状態では、TEST[1:0] 入力ピンを駆動する必要があります。その他のすべての入力ピンはフローティングにしてもかまいません。ADS1278QML-SP 出力は駆動されたままになります。

図 6-18 および表 6-10 に示すように、パワーダウン解除後にデータを読み取る前に、SPI では最大 130 回の変換サイクル、フレーム同期形式では 129 回の変換サイクルが経過する必要があります。すでに動作しているチャネルからのデータには影響ありません。ユーザー ソフトウェアは、次のいずれかの方法で、必要な遅延時間を実行できます:

1. $\overline{PWDN}$ ピンを high にした後のデータ変換数をカウントします。
2. $\overline{PWDN}$ ピンを high にした後、$129/f_{DATA}$ または $130/f_{DATA}$ の時間だけ待ってから、データを読み取ってください。

Copyright © 2026 Texas Instruments Incorporated

3. パワーアップしたチャネルで、データがゼロでないことを確認してください。

1 つまたは複数のチャネルに電源を投入した後、各チャネルは互いに同期されます。チャネルの同期に $\overline{\text{SYNC}}$ ピンを使用する必要はありません。

TDM データ形式においてチャネルがパワーダウンされると、そのチャネルのデータは、固定位置 TDM データ モードではゼロに強制されるか、動的位置 TDM データ モードでは、空いたデータ位置に次のチャネルのデータがシフトされて置き換えられます。

ディスクリート データ フォーマットでは、データは常に強制的にゼロになります。動的位置 TDM データ形式モードでチャネルをパワーアップすると、データが有効になるまでチャネル データは詰められた状態のまま保持され、データの準備が整った時点で、当該チャネルのデータを含むようにデータ フレームが拡張されます。詳細については、データ フォーマットセクションを参照してください。

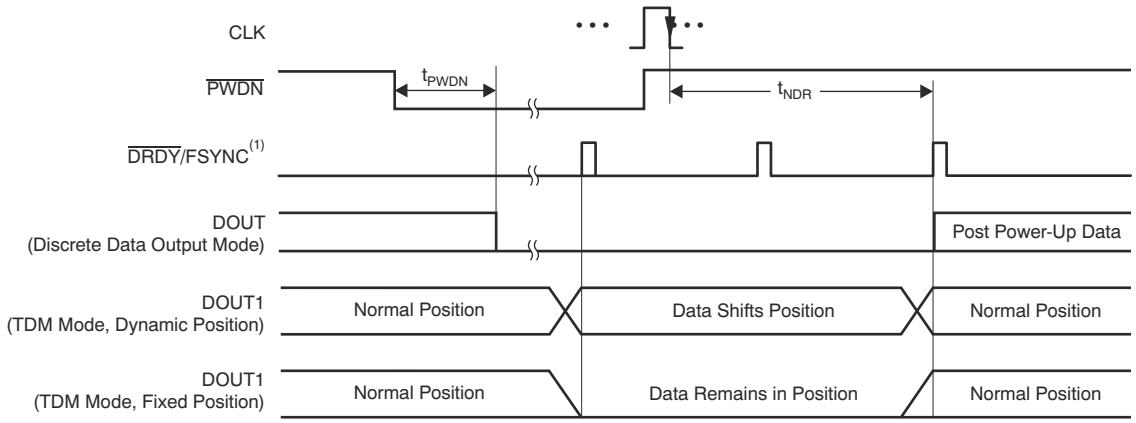


図 6-18. パワーダウンのタイミング

表 6-10. パワーダウンのタイミング

記号	説明	最小値	標準値	最大値	単位
t_{PWDN}	パワーダウン モードに移行するための $\overline{\text{PWDN}}$ パルス幅	2			CLK 周期
t_{NDR}	新しいデータが有効になるまでの時間 (SPI)	129		130	変換 ($1/f_{DATA}$)
t_{NDR}	新しいデータが有効になるまでの時間 (フレーム同期)	128		129	変換 ($1/f_{DATA}$)

6.3.12 Format[2:0]

ADS1278QML-SP から、2 つのインターフェイス プロトコル (SPI またはフレーム同期) と、複数のデータ形式のオプション (TDM / ディスクリート データ位置および固定 / 動的データ位置) を使用してデータを読み取ることができます。FORMAT[2:0] 入力は、各オプションを選択するために使用されます。表 6-11 は利用可能なオプションを示しています。DOUT モードとデータ位置の詳細については、「DOUT モード」セクションを参照します。

表 6-11. データ出力形式

FORMAT[2:0]	インターフェイス プロトコル	DOUT モード	データ位置
000	SPI	TDM	動的
001	SPI	TDM	固定
010	SPI	ディスクリート	—
011	フレーム同期	TDM	動的
100	フレーム同期	TDM	固定
101	フレーム同期	ディスクリート	—
110	変調モード	—	—

Copyright © 2026 Texas Instruments Incorporated

6.3.13 シリアル インターフェイス プロトコル

データは、シリアル インターフェイスを使用して ADS1278QML-SP から取得されます。次の 2 つのプロトコルを使用できます：SPI およびフレーム同期。両方のインターフェイスで同じピンが使用されます：SCLK、$\overline{\text{DRDY}}$/FSYNC、DOUT[8:1] および DIN。FORMAT[2:0] ピンは、使用するインターフェイス プロトコルを選択します。

6.3.14 SPI シリアル インターフェイス

SPI 互換フォーマットは、読み取り専用のインターフェイスです。データの取得準備が整うと $\overline{\text{DRDY}}$ 出力が立ち下がり、データは SCLK の立ち下がりエッジで、MSB ファーストでシフトアウトされます。複数のデバイスを使用する場合、DIN 入力を用いてインターフェイスをデイジーチェーン接続できます。詳細については、「デイジー チェーン」セクションを参照してください。

注

注：SPI 形式では、CLK 入力周波数は最大 27MHz に制限されます。CLK 入力が 27MHz を超える動作 (高速モードのみ) では、フレーム同期形式を使用します。

6.3.14.1 SCLK

シリアル クロック (SCLK) はシュミット トリガ入力を備えており、立ち下がりエッジで DOUT にデータをシフトアウトします。SCLK は、このピンがデイジーチェーンに使用されている場合、立ち下がりエッジで DIN からデータをシフトインします。デバイスは立ち下がりエッジでデータをシフトアウトし、ユーザーは通常、データを立ち上がりエッジでシフトインします。

SCLK 入力にはヒステリシスがありますが、意図しないデータ シフトを引き起こすグリッチを防ぐため、SCLK は可能な限りクリーンに保ちます。

SCLK は CLK 周波数と同じ速度で動作できます。SCLK はフリーランニングでも、変換の間でストップ クロック動作でもかまいません。$\overline{\text{DRDY}}$ の立ち下がりエッジの後、SCLK の最初の立ち上がりエッジまでに 1 つの f_{CLK} が必要であることに注意してください。最高の性能を得るには、f_{SCLK}/f_{CLK} を 1、1/2、1/4、1/8 などの比率に制限します。デバイスが変調器出力用に構成されている場合、SCLK は変調器クロック出力になります (「モジュレータ出力」セクションを参照)。

6.3.14.2 $\overline{\text{DRDY}}$/FSYNC (SPI フォーマット)

SPI フォーマットでは、このピンは $\overline{\text{DRDY}}$ 出力として機能します。このピンは、データの取得準備が整うと Low になり、その後、最初の SCLK の立下りエッジで High に戻ります。データが取得されない場合 (つまり、SCLK が low に保持される)、図 6-19 に示すように、次の変換データが準備される直前に $\overline{\text{DRDY}}$ パルスが high になります。新しいデータは、$\overline{\text{DRDY}}$ が low になるまでの 1 CLK サイクル以内にロードされます。上書きされないように、この時間より前にすべてのデータをシフトアウトする必要があります。

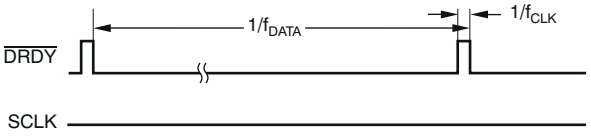


図 6-19. $\overline{\text{DRDY}}$ のタイミング (読み戻しなし)

6.3.14.3 DOUT

変換データは DOUT[8:1] に出力されます。$\overline{\text{DRDY}}$ が Low になった後、MSB データは DOUT[8:1] 上で有効となります。後続のビットは、SCLK の各立ち下がりエッジごとにシフトアウトされます。デイジーチェーン接続時には、DIN を用いてシフトインされたデータは、すべてのチャネル データがシフトアウトされた後に DOUT に現れます。デバイスを変調器出力に設定すると、DOUT[8:1] は各チャネルの変調器データ出力となります (変調器出力セクションを参照)。

6.3.14.4 DIN

この入力は、複数の ADS1278QML-SP をデイジーチェーン接続する場合に使用されます。最初のデバイスの DOUT1 ピンは次のデバイスの DIN ピンに接続され、同様に順次接続されます。DIN は、SPI またはフレーム同期形式で使用で

Copyright © 2026 Texas Instruments Incorporated

きます。データは SCLK の立ち下がりエッジでシフトインされます。 ADS1278QML-SP を 1 つのみ使用する場合は、DIN を Low に接続します。詳細については、「デイジー チェーン」セクションを参照してください。

6.3.15 フレーム同期シリアル インターフェイス

フレーム同期形式は、オーディオ ADC で一般的に使用されるインターフェイスに似ています。フレーム同期はターゲット方式で動作します。ユーザーはフレーミング信号 FSYNC (ステレオ オーディオ ADC の左 / 右クロックと同様) とシリアル クロック SCLK (オーディオ ADC のビット クロックと同様) を供給する必要があります。 データは FSYNC の立ち上がりエッジで最初に MSB が出力され、左揃えになっています。フレーム同期形式を使用する場合、FSYNC および SCLK 入力は、「タイミング要件: フレーム同期形式」の表に記載されています。

6.3.15.1 SCLK

シリアル クロック (SCLK) はシュミット トリガ入力を備えており、立ち下がりエッジで DOUT にデータをシフトアウトします。SCLK は、このピンがデイジーチェーンに使用されている場合、立ち下がりエッジで DIN からデータをシフトインします。SCLK にはヒステリシスがありますが、誤ってデータがシフトされる原因となるグリッチを防ぐため、SCLK は可能な限りクリーンに保ちます。フレーム同期形式を使用する場合、SCLK は連続的に実行する必要があります。SCLK がシャットダウンされると、データの読み戻しが破損する可能性があります。フレーム期間 (FSYNC クロック) 内の SCLK の数は、1 フレーム内ですべてのチャネルのデータ出力をシフトアウトできるだけのサイクル数が確保されている限り、CLK サイクルに対して 2 の累乗比 (1、1/2、1/4 など) のいずれでも構いません。デバイスが変調器出力用に構成されている場合、SCLK は変調器クロック出力になります (「モジュレータ出力」セクションを参照)。

6.3.15.2 $\overline{\text{DRDY}}$/FSYNC (フレーム同期形式)

フレーム同期形式では、このピンは FSYNC 入力として使われます。フレーム同期入力 (FSYNC) はフレーム期間を設定し、この期間はデータ レートと同一である必要があります。各 FSYNC 周期に必要な f_{CLK} サイクル数は、モード選択と CLKDIV 入力によって異なります。表 6-5 は各フレームまでの CLK サイクル数を示します (f_{CLK}/f_{DATA})。FSYNC 周期が適切な値ではない場合、データの読み戻しが破損する可能性があります。

6.3.15.3 DOUT

変換データは DOUT[8:1] からシフトアウトされます。FSYNC が high になった後、MSB データは DOUT[8:1] 上で有効になります。後続のビットは、SCLK の立ち下がりエッジごとにシフトアウトされます。デイジーチェーン接続時には、DIN を用いてシフトインされたデータは、すべてのチャネル データがシフトアウトされた後に DOUT[8:1] に現れます。デバイスが変調器出力用に構成されている場合、DOUT は変調器データ出力になります (変換器出力セクションを参照)。

6.3.15.4 DIN

この入力は、複数の ADS1278QML-SP をデイジーチェーン接続する場合に使用されます。DIN は、SPI またはフレーム同期形式で使用できます。データは SCLK の立ち下がりエッジでシフトインされます。 ADS1278QML-SP を 1 つのみ使用する場合は、DIN を Low に接続します。詳細については、「デイジー チェーン」セクションを参照してください。

6.3.16 DOUT モード

SPI およびフレーム同期の両インターフェイス プロトコルにおいて、データは、個別チャネルの DOUT ピンから並列データ形式でシフトアウトされる (ディスクリート モード) か、または全チャネルのデータが共通ピン DOUT1 を介してシリアル形式でシフトアウトされます (TDM モード)。

6.3.16.1 TDM モード

TDM (時分割多重化) データ出力モードでは、すべてのチャネルのデータが 1 本のピン (DOUT1) から順次シフトアウトされます。図 6-20 に示すように、最初にチャネル 1 のデータがシフトアウトされ、次にチャネル 2 のデータがシフトアウトされます。最後のチャネルからのデータがシフトアウトされた後、DIN 入力からのデータが続きます。DIN は、追加の ADS1278QML-SP または他の互換デバイスからのデータ出力をデイジーチェーン接続するために使用されます。ADS1278QML-SP のすべてのチャネルが無効化されると、インターフェイスも無効になり、その結果 DIN 入力も無効になります。デバイスの 1 つ以上のチャネルがパワーダウンされている場合、TDM モードのデータ形式は固定または動的になります。

Copyright © 2026 Texas Instruments Incorporated

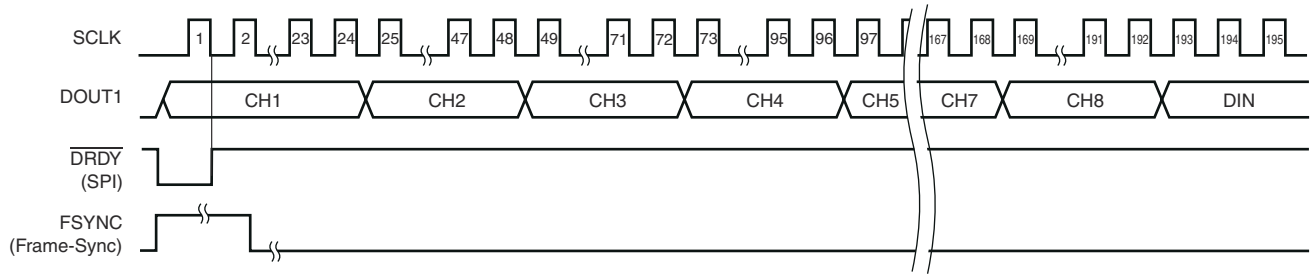


図 6-20. TDM モード (すべてのチャネルが有効)

6.3.16.2 TDM モード、固定位置データ

この TDM データ出力モードでは、チャネルがパワーダウンされているかどうかに関係なく、各チャネルのデータ位置は固定されたままです。チャネルのパワーダウン時には、データは強制的にゼロになりますが、データ ストリーム内では同じ位置を占有します。チャネル 1 とチャネル 3 がパワーダウンしたときのデータ ストリームを、図 6-21 に示します。

6.3.16.3 TDM モード、動的位置データ

この TDM データ出力モードでは、あるチャネルがパワーダウンされると、上位チャネルのデータがデータ ストリーム内で 1 つ分シフトし、空いたデータ スロットを埋めます。チャネル 1 とチャネル 3 がパワーダウンしたときのデータ ストリームを、図 6-22 に示します。

6.3.16.4 ディスクリート データ出力モード

ディスクリート データ出力モードでは、各チャネルのデータが個別のチャネル データ出力ピン DOUT[8:1] を用いて並列にシフトアウトされます。24 番目の SCLK の後、チャネル データは強制的にゼロになります。パワーダウンされたチャネルの場合も、データは強制的にゼロになります。ディスクリート データ出力の形式を、図 6-23 に示します。

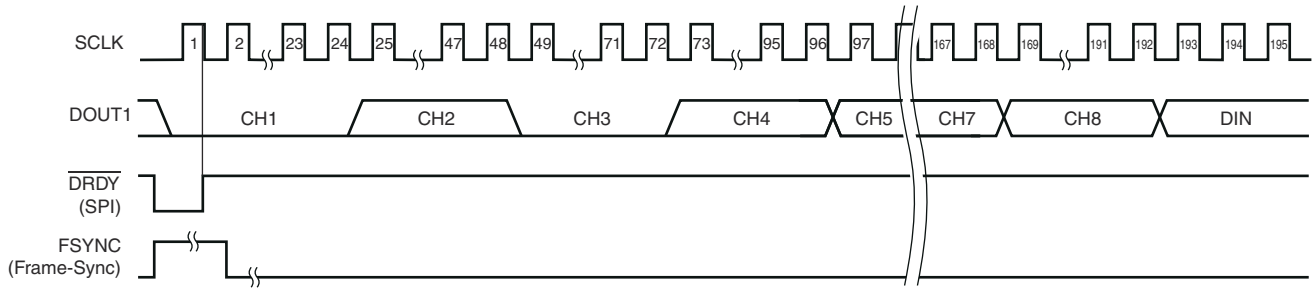


図 6-21. TDM モード、固定位置データ (チャネル 1 および 3 をパワーダウンした例)

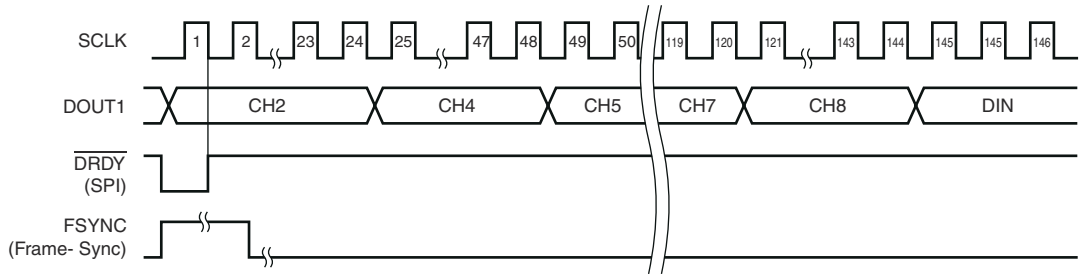


図 6-22. TDM モード、動的位置データ (チャネル 1 および 3 をパワーダウンした例)

Copyright © 2026 Texas Instruments Incorporated

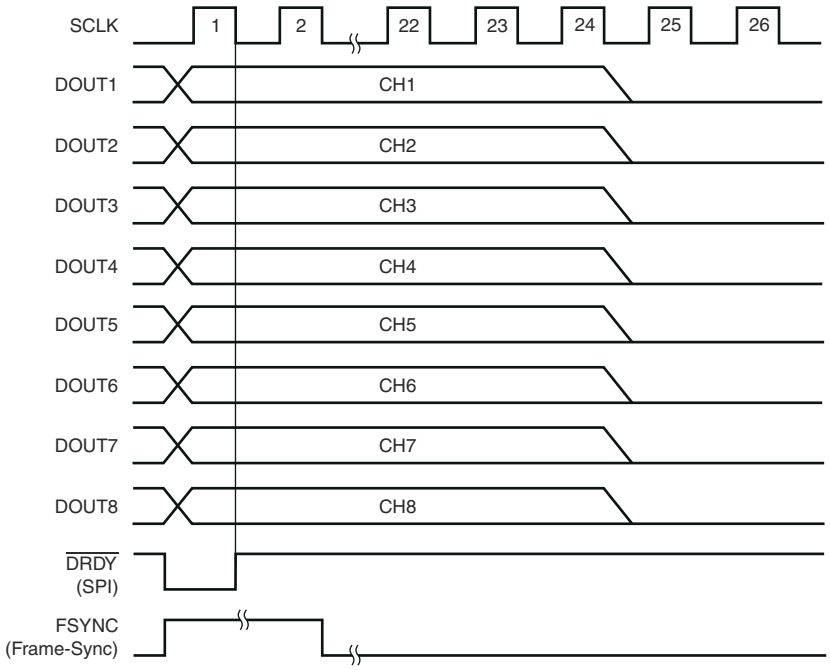


図 6-23. ディスクリート データ出力モード

6.3.17 デイジーチェーン

複数の ADS1278QML-SP をデイジーチェーン接続することで、1 つのピンでデータを出力できます。一方のデバイスの DOUT1 出力ピンを、次段デバイスの DIN ピンに接続します。図 6-24 に示すように、デバイス 1 の DOUT1 ピンはコントローラに出力データを供給し、デバイス 2 の DIN はグランドに接続されています。図 6-25 に、データの読み取り時のデータ フォーマットを示します。

このようにデイジーチェーン接続できるチャネルの最大数は、f_{SCLK} の周波数、モード選択、CLKDIV 入力によって制限されます。f_{SCLK} の周波数は、1 つの f_{DATA} 周期内にすべてのチャネルのデータを完全にシフトアウトできるだけ十分に高い必要があります。表 6-12 は、$f_{SCLK} = f_{CLK}$ のときのデイジーチェーン接続されたチャネルの最大数を示します。

チェーン内で使用可能なデータ チャネル数を増やすために、2 つのデータ ストリームを生成するセグメント化された DOUT 方式を使用できます。図 6-26 には、4 個の ADS1278QML-SP が示されており、ADS1278QML-SP のペア同士がデイジーチェーン接続されています。デイジーチェーン接続されたペアのチャネル データは並列にシフトアウトされ、独立したデータ チャネルを介してプロセッサに受信されます。

表 6-12. デイジーチェーン内の最大チャネル ($F_{SCLK} = F_{CLK}$)

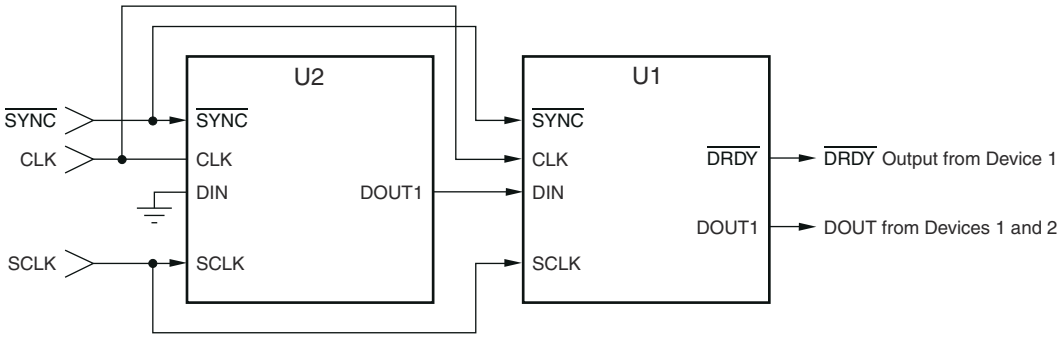
モード選択	CLKDIV	最大チャネル数
高速	1	10
高解像度	1	21
低消費電力	1	21
	0	10
ロースピード	1	106
	0	21

インターフェイス プロトコルが SPI とフレーム同期のどちらであっても、$\overline{SYNC}$ 入力を互いに接続して、すべてのデバイスを同期します。SPI プロトコルで同期する場合、1 つの ADS1278QML-SP の $\overline{DRDY}$ 出力のみを監視します。

フレーム同期インターフェイス プロトコルでは、FSYNC の立ち上がりエッジ後に、すべてのデバイスのデータが有効になります。

Copyright © 2026 Texas Instruments Incorporated

DOUT1 と DIN はいずれも SCLK の立ち下がりエッジでシフトされるため、DOUT1 の伝搬遅延は DIN に対するセットアップ時間を形成します。タイミング違反を防ぐため、SCLK のスキューを最小限に抑えます。



デイジーチェーン接続できるデバイス数は、SCLK のレートおよびデバイスの動作モードによって制限されます。

図 6-24. 2 つのデバイスのデイジーチェーン接続、SPI プロトコル (Format[2:0] = 000 または 001)

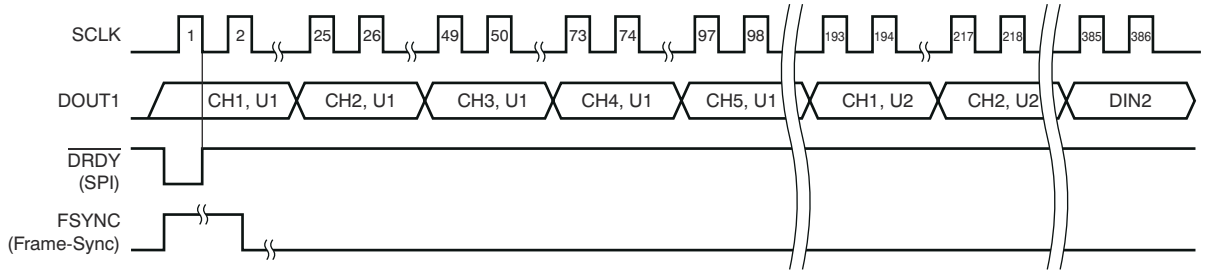
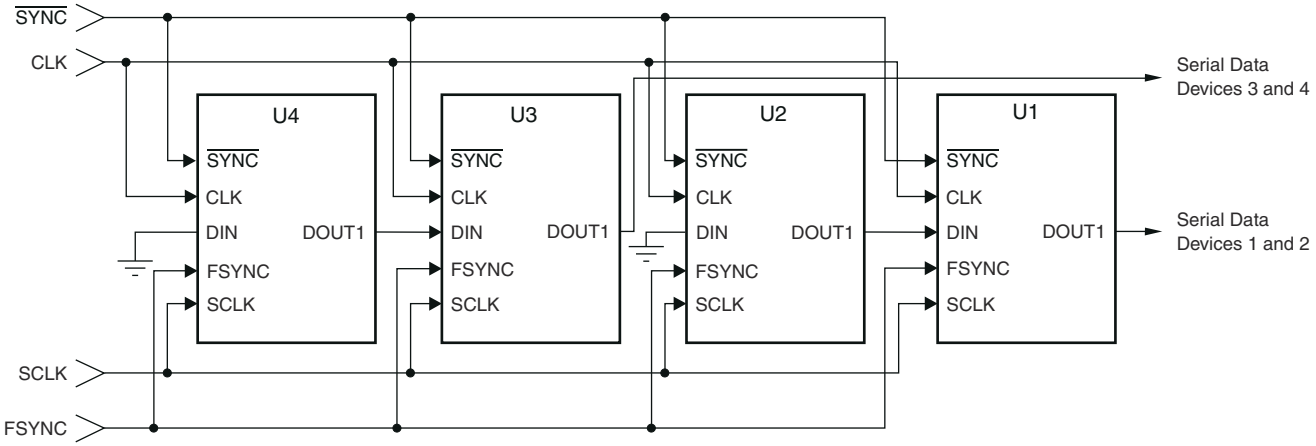


図 6-25. 図 6-24 のデイジーチェーン データ フォーマット



デイジーチェーン接続できるデバイス数は、SCLK のレートおよびデバイスの動作モードによって制限されます。

図 6-26. セグメント化 DOUT デイジーチェーン、フレーム同期プロトコル (Format[2:0] = 011 または 100)

6.3.18 変調器出力

ADS1278QML-SP には、6 次、シングル ビットのチョッパ安定化変調器が組み込まれており、それに続いて複数段のデジタル フィルタが組み込まれており、変換結果を生成します。変調器のデータ ストリーム出力は、内部デジタル フィルタをバイパスして直接利用できます。デジタルフィルタはディスエーブルされ、表 6-13 に示すように DVDD 電流が減少します。このモードでは、ASIC や FPGA などのデバイスに実装された外部デジタル フィルタが必要になります。モジュレータ

Copyright © 2026 Texas Instruments Incorporated

出力を有効にするには、図 6-27 に示すように FORMAT[2:0] を接続します。その結果、DOUT[8:1] は各チャネルのモジュレータ データ ストリーム出力となり、SCLK はモジュレータ クロック出力になります。$\overline{\text{DRDY}}$/FSYNC ピンは未使用の出力になり、無視できます。図 6-27 に示すように、フレーム同期と SPI の通常動作はディスエーブルであり、SCLK の機能は入力から出力に変化します。

表 6-13. モジュレータ出力クロック周波数

MODE [1:0]	CLKDIV	変調器クロック出力 (SCLK)	DVDD (mA)
00	1	$f_{CLK}/4$	8
01	1	$f_{CLK}/4$	7
10	1	$f_{CLK}/8$	4
	0	$f_{CLK}/4$	4
11	1	$f_{CLK}/40$	1
	0	$f_{CLK}/8$	1

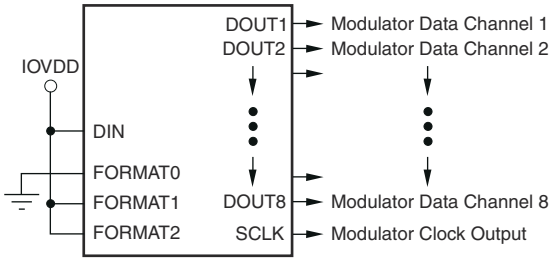


図 6-27. 変調器出力

変調器出力モードでは、変調器のクロック出力 (SCLK) の周波数は、ADS1278QML-SP のモード選択によって決まります。表 6-13 に、変調器クロック出力周波数および DVDD 電流とデバイスモードとの関係を示します。

図 6-28 に、変調器のクロックとデータ出力のタイミング関係を示します。

データ出力は、変調された 1s 密度データ ストリームです。$V_{IN} = +V_{REF}$ のとき、1 の密度は約 80% となり、$V_{IN} = -V_{REF}$ のとき、1 の密度は約 20% となります。

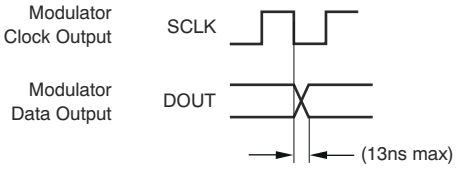


図 6-28. 変調器出力タイミング

6.3.19 Test[1:0] 入力を使用したピン テスト

および ADS1278QML-SP のテスト モード機能により、デジタル I/O ピンの導通テストが可能です。このモードでは、表 6-14 に示すように、デジタル ピンの通常の機能がディスエーブルされ、内部ロジック経由でペアとして互いに配線されます。左側の列のピンは、右側の列の出力ピンを駆動します。**注:** 一部のデジタル入力ピンは出力となるため、これらの出力を設計上考慮する必要があります。アナログ入力、電源、グランド ピンはすべて、通常どおりに接続されたままです。TEST[1:0] ピンを 11 に設定することで、テスト モードが有効になります。通常のコンバータ動作では、TEST[1:0] を 00 に設定します。「01」または「10」は使用しないでください。

Copyright © 2026 Texas Instruments Incorporated

表 6-14. テスト モードのピン マップ (Test[1:0] = 11)

テスト モードのピン マップ	
入力ピン	出力ピン
$\overline{\text{PWDN}}$1	DOUT1
$\overline{\text{PWDN}}$2	DOUT2
$\overline{\text{PWDN}}$3	DOUT3
$\overline{\text{PWDN}}$4	DOUT4
$\overline{\text{PWDN}}$5	DOUT5
$\overline{\text{PWDN}}$6	DOUT6
$\overline{\text{PWDN}}$7	DOUT7
$\overline{\text{PWDN}}$8	DOUT8
MODE0	DIN
MODE1	$\overline{\text{SYNC}}$
FORMAT0	CLKDIV
FORMAT1	FSYNC/$\overline{\text{DRDY}}$
FORMAT2	SCLK

6.3.20 VCOM 出力

VCOM ピンは、AVDD/2 に等しい電圧出力を供給します。この出力の用途は、アナログ入力ドライバの出力同相レベルを設定することです。出力の駆動能力には制限があるため、この出力は高インピーダンスのノード (> 1MΩ) を駆動する用途にのみ使用する必要があります。場合によっては、外部バッファが必要になることがあります。ノイズのピックアップを低減するため、0.1µF バイパス コンデンサを推奨します。

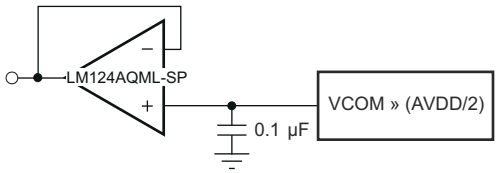


図 6-29. VCOM 出力

6.4 デバイスの機能モード

表 6-15. 動作モードの性能の概要

モード	最大データ レート (SPS)	通過帯域 (kHz)	SNR (dB)	ノイズ (μV_{RMS})	電力 / チャネル (mW)
高速	128,000	57,984	106	8.5	70
高解像度	52,734	23,889	110	5.5	64
低消費電力	52,734	23,889	106	8.5	31
ロースピード	10,547	4,798	107	8.0	7

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

ADS1278QML-SP は、放射線耐性が強化された高分解能のデルタ シグマ ADC であり、高精度センシングおよび高精度計測アプリケーションに理想的です。8 個の 24 ビット同時サンプリング ADC を内蔵することで、このデバイスは 8 系統のアナログ信号をデジタル化するために必要な基板面積を削減します。

7.2 代表的なアプリケーション

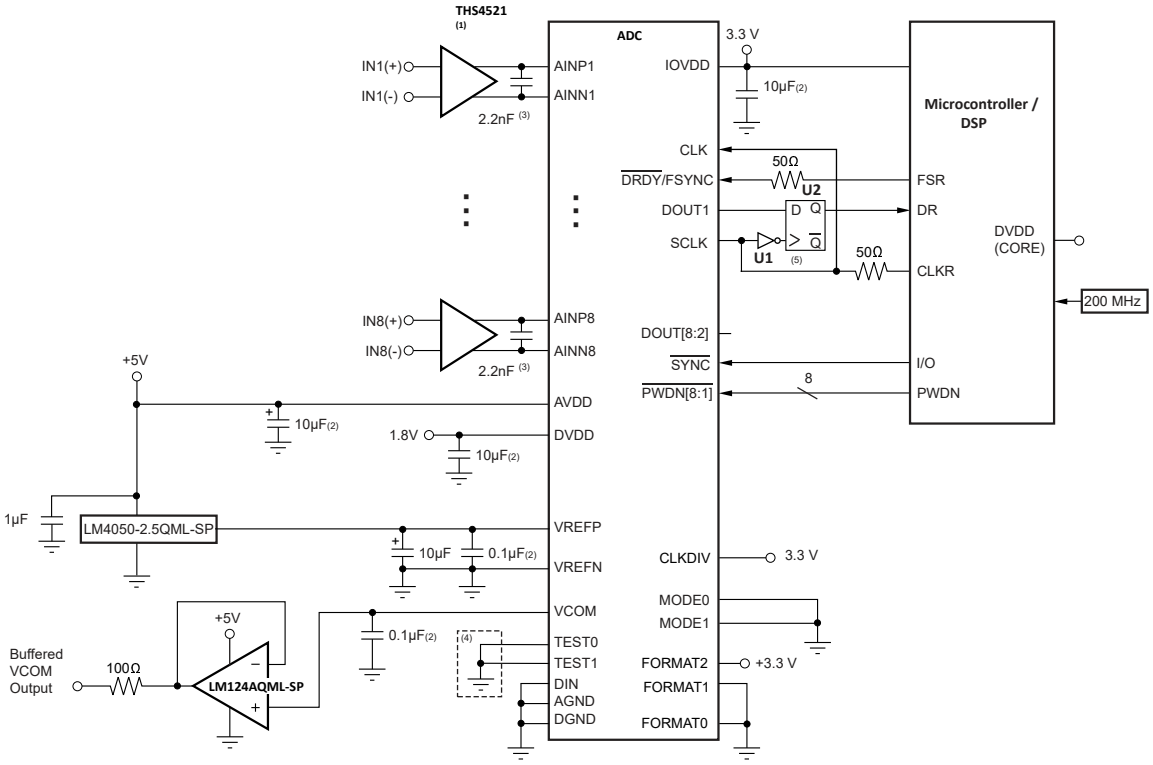


図 7-1. 代表的なアプリケーション回路図

1. 入力の過電圧を防ぐために、外付けのショットキー クランプ ダイオードまたは直列抵抗が必要になる場合があります。THS4521 ドライバは ADC 入力の近くに配置します。
2. セラミック コンデンサを示します。
3. COG セラミック コンデンサを示します。
4. オプション。ピン テスト モードの場合。
5. U1：SN74LVC1G04、U2: SN74LVC2G74 の詳細を示します。これらのオプション部品は、ADC のデータ出力を再クロックし、TMS320VC5509 とのインターフェイスを可能にします。

7.2.1 設計要件

ADS1278QML-SP によってデジタル化されるセンシング アプリケーションの精度および速度要件に応じて、最初に最適なデバイス構成を決定する必要があります。表 7-1 に、各構成での最大 fCLKIN に対してデバイスの可能な構成を示しま

Copyright © 2026 Texas Instruments Incorporated

す。最初の 4 列は、デバイスに対するユーザー定義の入力 (I/O ピン経由) を示しており、斜体の行は、リファレンス デザインとして提供されている ADS1278EVM-CVAL EVM のデフォルト構成を示します。図に示すように、高分解能モードを使用した場合、最大 52,734 SPS のデータ レートが可能で、このときの代表的な SNR は 111dB、または ENOB は 18 ビットとなります。

表 7-1. ADS1278QML-SP 構成モード

モード	CLKDIV	f_{CLK}/f_{MOD}	f_{CLKIN_max} (MHz)	オーバーサンプリング (f_{MOD}/f_{DATA})	f_{MOD} (MHz)	f_{DATA_max} (SPS)	f_{CLKIN}/f_{MOD}
高速	1	4	32.768	64	8.192	128000	4
高速	1	4	32.768	64	8.192	128000	4
高速	*1*	*4*	*27*	*64*	*6.75*	*105469*	*4*
高解像度	1	4	27	128	6.75	52734	4
低消費電力	1	8	27	64	3.375	52734	8
低消費電力	0	4	13.5	64	3.375	52734	4
ロースピード	1	40	27	64	0.675	10547	40
ロースピード	0	8	5.4	64	0.675	10547	8

7.2.2 詳細な設計手順

ADS1278QML-SP から仕様の性能を得るには、以下のレイアウトと部品のガイドラインを考慮する必要があります。

1. **電源**デバイスを正常に動作させるためには、3 つの電源が必要です:DVDD、IOVDD および AVDD。DVDD の許容電圧範囲は 1.65V ～ 1.95V、IOVDD の電圧範囲は 1.65V ～ 3.6V であり、AVDD は 4.75V ～ 5V に制限されます。すべての電源について、0.1µF セラミック コンデンサでバイパスされる 10µF タンタル コンデンサをデバイスピンの近くに配置します。代わりに、10µF のセラミック コンデンサを 1 個使用することもできます。電源は十分に低ノイズである必要があるため、リレーや LED ディスプレイドライバなど、電圧スパイクを発生させるデバイスとの共用は避けるようにします。スイッチング電源を使用する場合、電圧リップルは低く (2mV 未満)、かつスイッチング周波数はコンバータの通過帯域外である必要があります。
2. **グランド プレーン**:AGND ピンと DGND ピンの両方を接続する単一のグランド プレーンを使用できます。デジタル グランドとアナログ グランドを分けて使用する場合は、コンバータで両者を接続します。
3. **デジタル入力**:デバイスへのデジタル入力は、50Ω の直列抵抗を用いてソース終端します。抵抗は、デジタル信号源 (発振器、ロジック ゲート、DSP など) の駆動側に近い位置に配置する必要があります。この配置により、デジタル配線上のリンギングを低減できます (リンギングは ADC の性能低下につながる可能性があります)。
4. **アナログ / デジタル回路**:アナログ回路 (入力バッファ、リファレンス) および関連する配線はまとめて配置し、デジタル回路 (DSP、マイコン、ロジック) から離します。ノイズ結合やクロストークを低減するため、デジタル配線がアナログ配線を横切らないようにします。
5. **リファレンス入力**:リファレンス入力である VREFP および VREFN の直近に、10µF 以上のタンタル コンデンサと 0.1µF のセラミック コンデンサを直接接続します。リファレンス入力は、低インピーダンスの信号源で駆動する必要があります。最良の性能を得るためには、リファレンスのインバンド ノイズを $3\mu V_{RMS}$ 未満に抑える必要があります。このレベルを超えるノイズを持つリファレンスの場合、外付けのリファレンス フィルタが必要になることがあります。
6. **アナログ入力**:規定の性能を得るためには、アナログ入力ピンを差動で駆動する必要があります。この目的には、真の差動ドライバ、または (ac アプリケーションでは) トランスを使用できます。アナログ入力配線 (AINP、AINN) は、バッファからコンバータまでをペアとして、短く直線的に配線し、デジタル配線から離して配置します。アナログ入力ピン AINP と AINN の間に 1nF ～ 10nF のコンデンサを直接接続する必要があります。低い THD を維持するために、低 k 誘電率 (COG やフィルム タイプなど) を使用する必要があります。各アナログ入力からグランドへのコンデンサを使用できます。ac 同相モード性能を維持するため、コンデンサの容量は差動コンデンサ (通常 100pF) の 10 分の 1 以下である必要があります。
7. **部品の配置**:電源、アナログ入力、およびリファレンス入力のバイパス コンデンサは、デバイスの各ピンのできるだけ近くに配置します。このレイアウトは、値が小さいセラミック コンデンサでは特に重要です。大容量の (バルク) デカップリング コンデンサは、小型のセラミック コンデンサほどデバイス直近に配置する必要はありません。

Copyright © 2026 Texas Instruments Incorporated

7.2.3 アプリケーション曲線

図 7-2 は、使用するモードによってデバイスのノイズ、ひいては SNR がどのように決まるかを示しています。

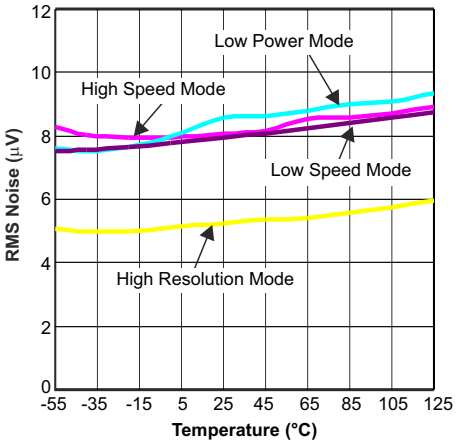


図 7-2. ノイズと温度との関係

7.3 電源に関する推奨事項

ADS1278QML-SP には、3 つの電源が必要です:AVDD、DVDD および IOVDD。AVDD はモジュレータに電力を供給するアナログ電源、DVDD はデジタル コアに電力を供給するデジタル電源、IOVDD はデジタル I/O 用の電源です。IOVDD 電源と DVDD 電源は、必要に応じて互いに接続できます (1.8V)。定格性能を得るために、電源ピンのできるだけ近くに配置した 0.1µF および 10µF のコンデンサで、各電源をバイパスする必要があります。2 つのコンデンサの代わりに、単一の 10µF セラミック コンデンサを置き換えることもできます。

図 7-3 に、ADS1278QML-SP のスタートアップ シーケンスを示します。電源投入時は、まず DVDD を立ち上げ、次に IOVDD、最後に AVDD を立ち上げます。各電源の立ち上がり速度を含めて、電源シーケンスが正しい順序になっていることを確認します。DVDD と IOVDD は、電源が互いに接続されている場合、同時にシーケンシングできます。各電源には内部リセット回路が備わっており、それらの出力が合成されて、グローバルなパワーオン リセットが生成されます。電源がリセットスレッショルドを超えた後、コンバータが変換プロセスを開始する前に、2^{18} f_{CLK} サイクルがカウントされます。CLK サイクル後には、129 変換のデータは ADS1278QML-SP によって抑制され、完全にセトリングされたデータを出力できるようになります。SPI プロトコルでは、この期間中 $\overline{DRDY}$ は high に保持されます。フレーム同期プロトコルでは、DOUT は強制的にゼロになります。アナログ ピンまたはデジタル ピンを駆動する前に、必ず電源を投入する必要があります。一貫した性能を得るため、データが最初に表示されたときにデバイスの電源オン後に $\overline{SYNC}$ をアサートします。

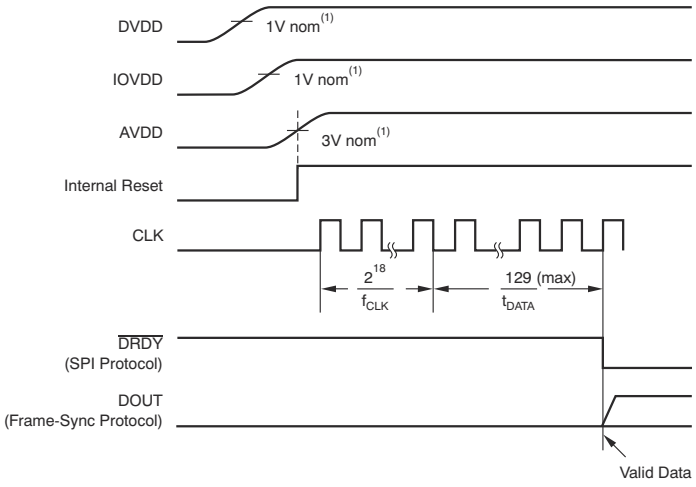


図 7-3. スタートアップ シーケンス

Copyright © 2026 Texas Instruments Incorporated

7.4 レイアウト

7.4.1 レイアウトのガイドライン

あらゆるミックスド シグナル システム設計において、電源およびグラウンド設計は非常に重要な役割を果たします。このデバイスは、2 種類の異なるグラウンドを区別します：AVSS (アナログ グランド) および DGND (デジタル グランド)。熱電対による温度計測のような低周波アプリケーションでは、単一のグランド プレーンを用いたプリント基板 (PCB) レイアウトで十分ですが、グラウンド ループを避けるよう注意が必要です。グラウド ループはループ アンテナのように動作し、干渉電流を拾って電圧変動へと変換します。これらの変動は実質的にはノイズであり、高分解能アプリケーションではシステム性能を低下させる可能性があります。部品を配置し、グランド プレーン上に配線するときは、グランド電流が流れる経路に細心の注意を払います。デジタル機能のリターン電流が、アナログの感度の高いデバイスや配線の近くを流れないようにします。

さらに、デジタル デバイスがアナログ信号チェーンの近くに配置されると、システムに不要なノイズが誘起される可能性があります。ノイズの主な発生源の一つは、データ出力シリアライザやデータを受信するマイクロプロセッサなどのデジタル回路から発生するスイッチング ノイズです。このデバイスでは、デバイス内部におけるアナログ電源とデジタル電源の相互干渉が最小限に抑えられていることを確認するため、十分な注意が必要です。デジタル部およびアナログ部から結合し、伝搬されるノイズの大きさは、それぞれの電源およびグランド接続の実効インダクタンスに依存します。電源ピンおよびグランド ピンの実効インダクタンスが小さいほど、ノイズ抑制性能は向上します。このため、複数のピンを使用してデジタル グランドに接続します。PCB レイアウト設計全体を通じて、適切なプレーン構成と層厚を用いることで、低インダクタンス特性を維持する必要があります。

電源ピンを介したノイズ結合を防ぐため、TI は感度の高い入力ピンを DVDD および DGND プレーンから離して配置することを推奨しています。これらのピンに接続された配線やビアを、これらのプレーン上に配線しないでください。つまり、アナログ入力ピンの下にデジタル電源プレーンを配置することは避ける必要があります。インダクタンスを最小限に抑え、デジタル信号をアナログ部から離して配線するよう注意する必要があります。

アナログ入力は ADC の中で最も感度の高いノードであり、この信号の完全性がどれだけ維持されるかによって、システム全体の精度が左右されます。ADC へのアナログ差動入力は、同相モード除去を確保するため、密結合かつ対称に配線する必要があります。潜在的なノイズ源への暴露を最小限に抑えるため、これらの入力はできるだけ短くする必要があります。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 レイアウト例

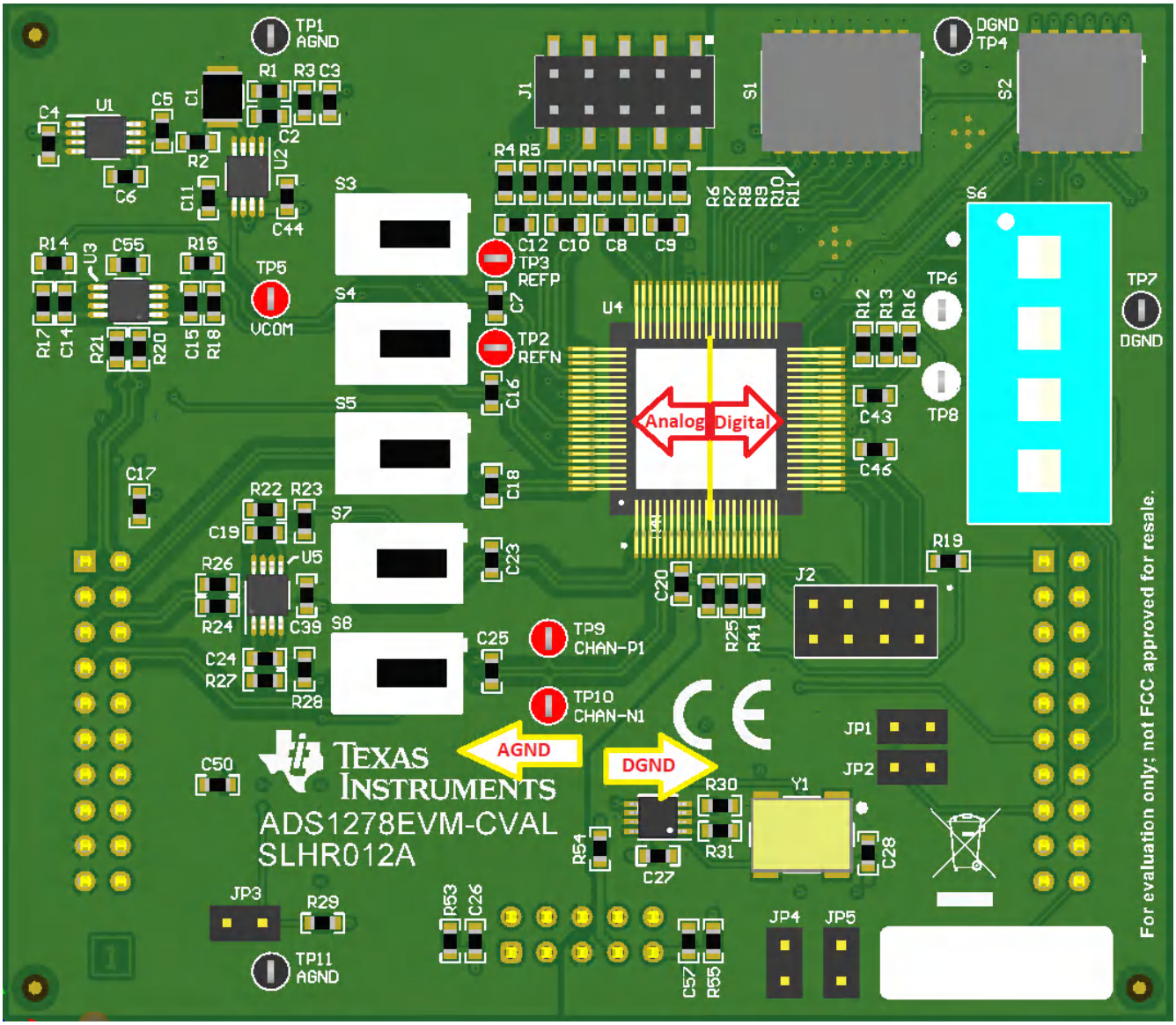


図 7-4. ADS1278QML-SP レイアウトの例

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の *アラートを受け取る*をクリックして登録すると、製品情報の更新に関する週次ダイジェストを受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 コミュニティ リソース

8.3 商標

SPI™ is a trademark of Motorola, Inc.
すべての商標は、それぞれの所有者に帰属します。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
January 2026	*	初版リリース

Copyright © 2026 Texas Instruments Incorporated

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962L2521001VXC	Active	Production	null (null) |	72 | SMALL T&R	ROHS Exempt	Call TI	Call TI	-55 to 125	5962L2521001VXC ADS1278-SP
ADS1278QMLV/EM	Active	Production	CFP (HFQ) | 84	72 | SMALL T&R	ROHS Exempt	Call TI	Call TI	-55 to 125	ADS1278QML/EM EVAL ONLY

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

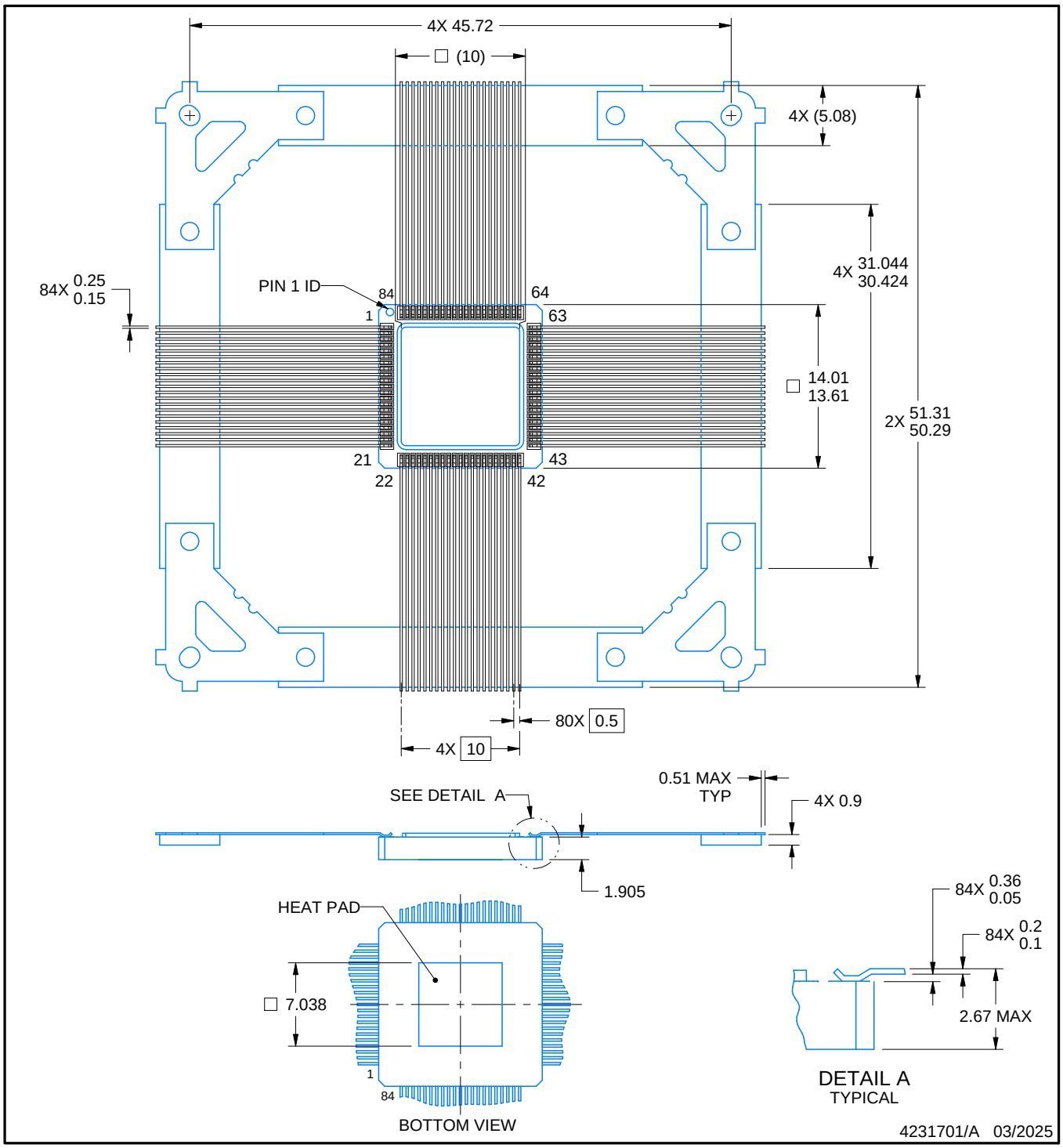
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

HFQ0084A

PACKAGE OUTLINE

CFP - 2.67 mm max height

CFP



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Ceramic quad flatpack with flat leads brazed to non-conductive tie bar carrier.
4. This package is hermetically sealed with a metal lid.
5. The leads are gold plated and can be solder dipped.
6. The lid and the heat sink are connected to ground leads.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月