ADS1288 地震検出アプリケーション向け、32 ビット、デルタ シグマ ADC

1 特長

- 消費電力:
  - PGA 動作:5mW (標準値)
  - バッファ動作:3mW (標準値)
- ダイナミック レンジ:
  - PGA ゲイン:1、500SPS (122dB、標準値)
  - バッファ動作:500SPS (122dB、標準値)
- THD:< –120dB (標準値)
- CMRR:120dB (標準値)
- フレキシブルなデジタル フィルタ:
  - Sinc + FIR + IIR (選択可能)
  - 線形または最小位相
  - ハイパス フィルタ
- データ レート:125SPS～2000SPS
- PGA ゲイン:1～64
- SYNC 入力
- クロック誤差補償
- 2 チャネル マルチプレクサ
- オフセットおよびゲインの較正
- 汎用デジタル I/O
- アナログ電源の動作:5V、3.3V または ±2.5V

2 アプリケーション

- エネルギー探査
- 受動的地震波観測
- 地球科学および地質学
- 高精度計測機器

3 概要

ADS1288 は、プログラマブル ゲイン アンプ (PGA) と有限インパルス応答 (FIR) フィルタを備えた 32 ビット、低消費電力の A/D コンバータ (ADC) です。この ADC は、低消費電力による長いバッテリ動作時間が求められる地震関連機器の厳しい要件に合わせて設計されています。

低ノイズ PGA により、ADC のゲイン 1～64 のダイナミック レンジが拡張されます。この PGA により、外付けアンプを使用せずに、ジオフォンやトランス結合のハイドロフォンを直接接続できます。オプションのユニティ ゲイン バッファによって消費電力が低減されます。

この ADC は、高分解能のデルターシグマ (ΔΣ) 変調器と、位相応答を設定できる FIR フィルタを内蔵しています。ハイパス フィルタは、DC および低周波数成分を信号から除去します。サンプル レート コンバータは、最大 7ppb の分解能の精度でクロック周波数誤差を補償します。

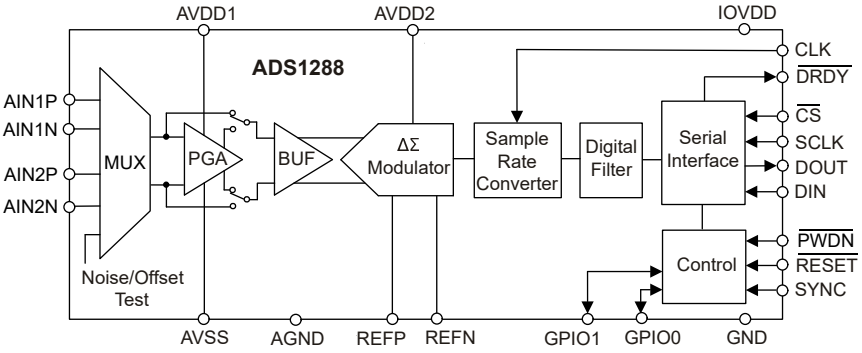
デバイスの消費電力を最小限に抑えるため、この ADC は 3.3V の動作をサポートしています。消費電力は、バッファ モード動作で 3mW (標準値)、PGA モード動作で 5mW (標準値) です。

この ADC は小型の 5mm × 5mm VQFN パッケージで供給され、–40℃～+85℃の周囲温度範囲で仕様が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
ADS1288	RHB (VQFN、32)	5mm × 5mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



機能ブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.... 1
2 アプリケーション.... 1
3 概要.... 1
4 ピン構成および機能.... 3
5 仕様.... 5
5.1 絶対最大定格.... 5
5.2 ESD 定格.... 5
5.3 推奨動作条件.... 5
5.4 熱に関する情報.... 6
5.5 電気的特性.... 7
5.6 タイミング要件：1.65V ≤ IOVDD ≤ 1.95V および 2.7V ≤ IOVDD ≤ 3.6V.... 9
5.7 スイッチング特性: 1.65V ≤ IOVDD ≤ 1.95V および 2.7V ≤ IOVDD ≤ 3.6V.... 9
5.8 タイミング図.... 10
5.9 代表的特性.... 12
6 パラメータ測定情報.... 17
6.1 ノイズ性能.... 17
7 詳細説明.... 17
7.1 概要.... 17
7.2 機能ブロック図.... 18
7.3 機能説明.... 19
7.4 デバイスの機能モード.... 33
7.5 プログラミング.... 37
8 レジスタ マップ.... 42
8.1 レジスタの説明.... 42
9 アプリケーションと実装.... 48
9.1 アプリケーション情報.... 48
9.2 代表的なアプリケーション.... 48
9.3 電源に関する推奨事項.... 50
9.4 レイアウト.... 51
10 デバイスおよびドキュメントのサポート.... 51
10.1 ドキュメントの更新通知を受け取る方法.... 51
10.2 サポート・リソース.... 52
10.3 商標.... 52
10.4 静電気放電に関する注意事項.... 52
10.5 用語集.... 52
11 改訂履歴.... 52
12 メカニカル、パッケージ、および注文情報.... 52

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

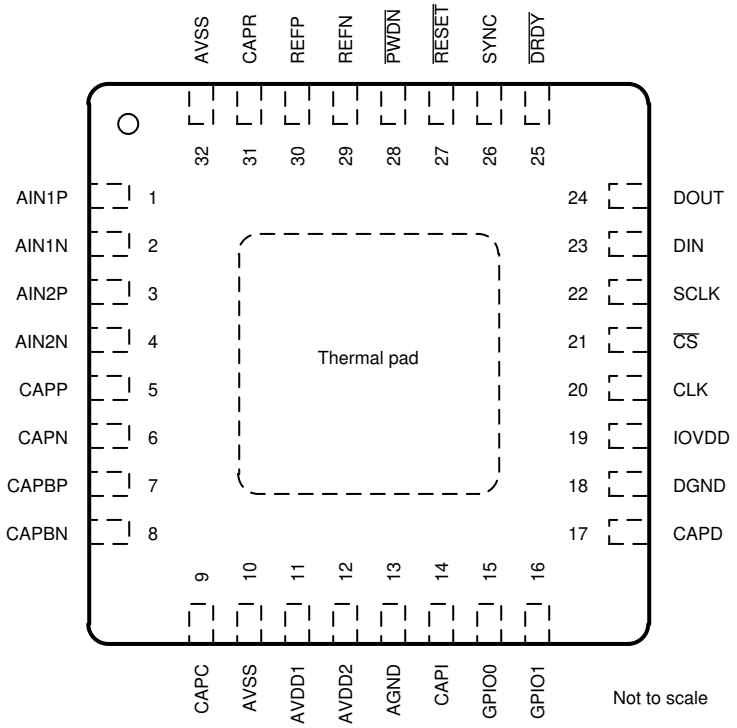


図 4-1. RHB パッケージ、 32 ピン、5mm x 5mm VQFN (上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
番号	名称		
1	AIN1P	アナログ入力	チャネル 1 の正入力。
2	AIN1N	アナログ入力	チャネル 1 の負入力。
3	AIN2P	アナログ入力	チャネル 2 の正入力。
4	AIN2N	アナログ入力	チャネル 2 の負入力。
5	CAPP	アナログ内部	PGA の正コンデンサ。CAPP と CAPN の間に、10nF の C0G コンデンサを接続します。
6	CAPN	アナログ内部	PGA 負電圧コンデンサ。CAPP と CAPN の間に、10nF の C0G コンデンサを接続します。
7	CAPBP	アナログ内部	バッファの正のコンデンサ。47nF の C0G コンデンサを AVSS に接続します。
8	CAPBN	アナログ内部	バッファの負のコンデンサ。47nF の C0G コンデンサを AVSS に接続します。
9	CAPC	アナログ内部	チャージ ポンプ コンデンサ。4.7nF、最低 10V 定格のコンデンサを AGND に接続します。
10	AVSS	アナログ電源	PGA 負のアナログ電源。詳細については、*アナログ電源* セクションを参照してください。
11	AVDD1	アナログ電源	PGA の正アナログ電源。詳細については、*アナログ電源* セクションを参照してください。
12	AVDD2	アナログ電源	変調器のアナログ電源。詳細については、*アナログ電源* セクションを参照してください。
13	AGND	アナログ グランド	アナログ グランド。
14	CAPI	アナログ内部	入力バイアス コンデンサ。100nF のセラミックコンデンサを AGND に接続します。
15	GPIO0	デジタル I/O	汎用 I/O。
16	GPIO1	デジタル I/O	汎用 I/O。
17	CAPD	アナログ出力	デジタル低ドロップアウト レギュレータ (LDO) 出力。220nF のセラミックコンデンサを DGND に接続します。
18	DGND	グランド	デジタル グランド。
19	IOVDD	デジタル電源	デジタル I/O 電。詳細については、*IOVDD の電源* セクションを参照してください。

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
番号	名称		
20	CLK	デジタル入力	ADC クロック入力。
21	$\overline{CS}$	デジタル入力	シリアル インターフェース選択、アクティブ Low。
22	SCLK	デジタル入力	シリアル インターフェイス クロック。
23	DIN	デジタル入力	シリアル インターフェースのデータ入力。
24	DOUT	デジタル出力	シリアル インターフェイスのデータ出力。
25	$\overline{DRDY}$	デジタル出力	データ準備完了、アクティブ Low。
26	SYNC	デジタル入力	ADC 同期、アクティブ High。
27	$\overline{RESET}$	デジタル入力	ADC リセット、アクティブ Low。
28	$\overline{PWDN}$	デジタル入力	ADC パワーダウン、アクティブ Low。
29	REFN	アナログ入力	負のリファレンス入力。詳細については、*電圧リファレンス入力* セクションを参照してください。
30	REFP	アナログ入力	正のリファレンス入力。詳細については、*電圧リファレンス入力* セクションを参照してください。
31	CAPR	アナログ内部	リファレンス バイアス コンデンサ。100nF のセラミックコンデンサを AVSS に接続します。
32	AVSS	アナログ電源	PGA 負電源。
サーマル パッド			サーマル パッドを AVSS に接続します。底面側の部品を実装する場合、プリント基板 (PCB) ランドに配置するサーマル ビアは任意です。

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)[1]

		最小値	最大値	単位
電源電圧	AVDD1 から AVSS へ	-0.3	5.5	V
	AVSS から AGND へ	-2.8	0.3	
	AVDD2 から AGND へ	-0.3	5.5	
	AVDD2 から AVSS へ	-0.3	5.5	
	IOVDD から DGND へ	-0.3	3.9	
	IOVDD から DGND へ (IOVDD は CAPD に接続)	-0.3	2.2	
グランド	AGND から DGND へ	-0.3	0.3	V
アナログ入力電圧	AIN1P、AIN1N、AIN2P、AIN2N、REFP、REFN	AVSS - 0.3	AVDD1 + 0.3	V
デジタル入力電圧	CLK、DIN、SCLK、$\overline{CS}$、GPIO0、GPIO1、SYNC、$\overline{RESET}$、$\overline{PWDN}$	DGND - 0.3	IOVDD + 0.3	V
入力電流	連続的、任意のデジタルまたはアナログ ピン[2]	-10	10	mA
温度	接合部、T_J		150	°C
	保存、T_{stg}	-60	150	

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件や、推奨動作条件を超えたその他の条件でデバイスが動作することを保証するものではありません。推奨動作条件を一時的に外れていても、絶対最大定格の範囲内であればデバイスが損傷しない場合もありますが、完全には動作しない可能性があります。これは、デバイスの信頼性、機能、性能に影響し、デバイスの寿命を短くすることにつながります。

(2) アナログ入力ピン AIN1P、AIN1N、AIN2P、AIN2N、REFP、REFN は、AVDD1 と AVSS にダイオードでクランプされています。アナログ入力電圧が AVDD1 + 0.3V または AVSS – 0.3V を超えた場合、入力電流を 10mA に制限します。デジタル入力ピンは、IOVDD と DGND にクランプされます。デジタル入力電圧が IOVDD + 0.3V または DGND - 0.3V を超える場合、入力電流を制限します。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[1]	2000	V
		デバイス帯電モデル (CDM)、JEDEC JESD22-C101 準拠 [2]	1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
電源						
	アナログ電源	AVDD1 から AVSS へ	3		5.25	V
		AVDD1 から AGND へ	2.375			V
		AVSS から AGND へ	-2.625		0	
		AVDD2 から AGND へ	2.375		5.25	
		AVDD2 から AVSS へ			5.25	
	デジタル電源	IOVDD から DGND へ	2.7		3.6	V
		CAPD に接続された IOVDD	1.65		1.95	
アナログ入力						
V_{IN}	差動入力電圧	$V_{IN} = V_{AINP} – V_{AINN}$		$\pm V_{REF}$ / ゲイン		V
	絶対入力電圧	バッファ動作	AVSS + 0.1		AVDD1 - 0.1	V
		PGA 動作	AVSS + 1.1		AVDD1 - 0.85	

5.3 推奨動作条件 (続き)

動作時周囲温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
	絶対出力電圧	バッファ動作	AVSS + 0.1		AVDD1 - 0.1	V
		PGA 動作	AVSS + 0.15		AVDD1 - 0.15	
	較正範囲[1]				6%	FSR
電圧リファレンス入力						
V_{REF}	$V_{REF} = V_{REFP} – V_{REFN}$		2.4	2.5	2.6	V
V_{REFN}	負のリファレンス入力		AVSS - 0.05			V
V_{REFP}	正のリファレンス入力				AVDD1 + 0.1	V
デジタル入力						
V_{INL}	Low レベル入力電圧				0.2 × IOVDD	V
V_{INH}	High レベル入力電圧		0.8 × IOVDD			V
f_{CLK}	クロック入力周波数		3	4.096	4.15	MHz
温度						
T_A	周囲温度	動作中	-50		85	°C
		仕様	-40		85	

(1) 較正範囲は、オフセット補正とゲイン誤差補正の合計です。

5.4 熱に関する情報

熱評価基準[1]		ADS1288 RHB (VQFN) 32 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	30	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	19.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	10.9	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	0.2	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	10.8	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	1.8	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性

–40°C～+85°C にわたる最小および最大仕様、典型値は 25°C でのものです。すべての仕様は、AVDD1 = 5V、AVDD2 = 2.5V～5V、AVSS = 0V、IOVDD = 1.8V、V_{REFP} = 2.5V、V_{REFN} = 0V、V_{CM} = 2.5V、PGA ゲイン = 1、R_S = 0Ω、f_{CLK} = 4.096MHz、f_{DATA} = 500SPS の条件で測定されています (特記がない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
アナログ入力							
	入力マルチプレクサのオン抵抗	入力 1 と入力 2 の交差接続			60		Ω
PGA 動作							
I_B	入力電流				45		nA
I_{OS}	入力オフセット電流				±3		nA
	ゲイン				1、2、4、8、16、32、64		V/V
$e_{n\text{-}PGA}$	入力電圧ノイズ密度	PGA ゲイン = 16			20		nV/√Hz
$i_{n\text{-}PGA}$	入力電流ノイズ密度	差動			2.5		pA/√Hz
	アンチエイリアス フィルタ周波数				30		kHz
バッファ動作							
I_B	入力電流	V_{IN} = 2.5V			±0.3		µA
DC 特性							
e_n	ノイズ			詳細については、ノイズ性能セクションを参照してください			
V_{OS}	オフセット誤差	PGA 動作		–350/ ゲイン - 10	±30/ ゲイン + 5	350/ ゲイン + 10	µV
		バッファ動作		-600	±50	600	
		キャリブレーション後			±1		
	オフセット誤差のドリフト	PGA 動作			0.5/ ゲイン		µV/°C
		バッファ動作			1		
	ゲイン誤差	PGA 動作、ゲイン = 1		-0.05%	±0.02%	0.05%	
		キャリブレーション後			2		ppm
		バッファ動作		-0.07%	±0.05%	0.07%	
	ゲイン マッチング	PGA ゲイン = 1 を基準		-0.2%	±0.06%	0.2%	
	ゲイン ドリフト	すべての PGA ゲイン			2		ppm/°C
CMRR	同相除去比	f = 60Hz		104	120		dB
PSRR	電源除去比	AVDD2	DC 時	80	95		dB
		AVSS、AVDD1	DC 時	85	110		
		IOVDD	DC 時	100	120		
AC 特性							
$e_{n\text{-}MOD}$	変調器電圧ノイズ密度				100		nV/√Hz
THD	全高調波歪	AVDD1 = 3.3V、AVSS = 0V、f_{IN} = 31.25Hz、V_{IN} = –0.5dBFS	バッファ動作		-124	-117	dB
			PGA ゲイン = 2		-122		
			PGA ゲイン = 4		-124	-116	
			PGA ゲイン = 8		-125		
			PGA ゲイン = 16		-123	-115	
			PGA ゲイン = 32 および 64		-124		
		AVDD1 = 5V、AVSS = 0V、f_{IN} = 31.25Hz、V_{IN} = –0.5dBFS	バッファ動作		-123	-117	
			PGA ゲイン = 1		-121	-115	
			PGA ゲイン = 2		-124		
			PGA ゲイン = 4		-125	-115	
			PGA ゲイン = 8		-122		
			PGA ゲイン = 16		-121	-113	
			PGA ゲイン = 32 および 64		-123		
SFDR	スプリアスフリー ダイナミック レンジ	f_{IN} = 31.25Hz、V_{IN} = –0.5dBFS			115		dB
	クロストーク	f_{IN} = 31.25Hz、V_{IN} = –0.5dBFS			-140		dB
電圧リファレンス入力							
	基準入力電流				80		µA/V
FIR デジタル フィルタ							
f_{DATA}	データ レート			125		2000	SPS

5.5 電気的特性 (続き)

–40°C～+85°C にわたる最小および最大仕様、典型値は 25°C でのものです。すべての仕様は、AVDD1 = 5V、AVDD2 = 2.5V～5V、AVSS = 0V、IOVDD = 1.8V、V_{REFP} = 2.5V、V_{REFN} = 0V、V_{CM} = 2.5V、PGA ゲイン = 1、R_S = 0Ω、f_{CLK} = 4.096MHz、f_{DATA} = 500SPS の条件で測定されています (特記がない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
	パス バンド リップル			-0.003		0.003	dB
	パスバンド (–0.01 dB)				0.375 × f_{DATA}		Hz
	帯域幅 (–3dB)				0.413 × f_{DATA}		Hz
	ストップ バンド				0.5 × f_{DATA}		Hz
	ストップ バンド減衰(1)			135			dB
	群遅延	dc での最小位相フィルタ			5 / f_{DATA}		s
		線形位相フィルタ			31/ f_{DATA}		
	セトリング タイム (レイテンシ)	最小位相フィルタ			62 / f_{DATA}		s
		線形位相フィルタ			62 / f_{DATA}		
IIR デジタル フィルタ							
	ハイパス コーナー周波数			0.1		10	Hz
サンプル レート コンバータ							
	周波数補償範囲			-244		244	ppm
	分解能				7.45		ppb
デジタル入出力							
V_{OH}	High レベル出力電圧	I_{OH} = 1mA		0.8 × IOVDD			V
V_{OL}	Low レベル出力電圧	I_{OL} = -1mA				0.2 × IOVDD	V
I_{lkg}	入力リーケージ			-1		1	µA
電源							
I_{AVDD1}、I_{AVSS}	AVDD1、AVSS 電流	AVDD1 = 3.3 V	PGA 動作		0.85	1.1	mA
			バッファ動作		0.25	0.45	
		AVDD1 = 5 V	PGA 動作		0.85	1.1	
			バッファ動作		0.25	0.45	
		パワーダウン モード			1	5	µA
I_{AVDD2}	AVDD2 電流	AVDD2 = 2.5 V			0.7	0.85	mA
		パワーダウン モード			1	5	µA
I_{IOVDD}	IOVDD 電流				0.24	0.4	mA
		パワーダウン モード			1	10	µA
		スタンバイ モード			200		
	IOVDD 追加電流	サンプル レート コンバータの動作			0.6		mA
P_d	電力散逸 (2)	AVDD1 = 3.3V AVDD2 = 2.5V	PGA 動作		5.0	6.5	mW
			バッファ動作		3.0	4.2	
		AVDD1 = 5V AVDD2 = 2.5V	PGA 動作		6.4	8.3	
			バッファ動作		3.4	5.1	

(1) N × 16 kHz ± f_{DATA} / 2 (*N* = 1, 2, 3,…) の入力周波数は、チョッパ クロックと相互変調を起こします。これらの周波数では、ストップ バンド減衰 = –90dBFS (標準値) です。

(2) 電圧リファレンス入力やサンプル レート コンバータの動作で消費される電流は除きます。サンプル レート コンバータ動作時の電圧リファレンス入力電流および IOVDD 供給電流を参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.6 タイミング要件：1.65V ≤ IOVDD ≤ 1.95V および 2.7V ≤ IOVDD ≤ 3.6V

動作時周囲温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
クロック					
$t_{c(CLK)}$	CLK 周期	241	244.14	332	ns
$t_{w(CLKH)}$	パルス幅、CLK high	110			ns
$t_{w(CLKL)}$	パルス幅、CLK low	110			ns
シリアル インターフェイス					
$t_{w(CSH)}$	パルス幅、$\overline{CS}$ High	20			ns
$t_{d(CSSC)}$	遅延時間、$\overline{CS}$ 立ち下がりエッジから最初の SCLK 立ち上がりエッジまで	20			ns
$t_{c(SCLK)}$	SCLK 周期	120			ns
$t_{w(SCH)}$	パルス幅、SCLK high	50			ns
$t_{w(SCL)}$	パルス幅、SCLK low	50			ns
$t_{su(DI)}$	セットアップ時間、DIN 有効から SCLK 立ち下がりエッジまでの時間	10			ns
$t_{h(DI)}$	ホールド時間、SCLK の立ち上がりエッジの後も、DIN が有効であり続ける必要がある時間	10			ns
$t_{su(SRC-W)}$	セットアップ時間、$\overline{DRDY}$ の立ち下がりエッジの前に、SRC[1:0] レジスタの書き込みが完了する時間	256			1 / $f_{(CLK)}$
SYNC					
$t_{w(SYNL)}$	パルス幅、SYNC low	2			1 / $f_{(CLK)}$
$t_{w(SYNH)}$	パルス幅、SYNC high	2			1 / $f_{(CLK)}$
$t_{su(SYNCLK)}$	セットアップ時間、CLK の立ち上がりエッジの前に SYNC が High になっている時間	10			ns
$t_{h(SYNCLK)}$	ホールド時間、CLK の立ち上がりエッジの後 SYNC が High のまま保持されている時間	10			ns
$\overline{RESET}$					
$t_{w(RSTL)}$	パルス幅、$\overline{RESET}$ Low	2			1 / $f_{(CLK)}$
$t_{su(RSTCLK)}$	セットアップ時間、CLK の立ち上がりエッジの前に、$\overline{RESET}$ が High になっている時間	10			ns
$t_{h(RSTCLK)}$	ホールド時間、CLK の立ち上がりエッジの後 $\overline{RESET}$ が High のまま保持されている時間	10			ns

5.7 スイッチング特性: 1.65V ≤ IOVDD ≤ 1.95V および 2.7V ≤ IOVDD ≤ 3.6V

動作時周囲温度範囲全体、C_{LOAD} = 20pF (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
シリアル インターフェイス					
$t_{w(DRH)}$	パルス幅、$\overline{DRDY}$ High			8	1 / $f_{(CLK)}$
$t_{p(CSDO)}$	伝搬遅延時間、$\overline{CS}$ 立ち下がりエッジから DOUT 駆動状態まで			50	ns
$t_{p(SCDO)}$	伝搬遅延時間、SCLK の立ち下がりエッジから新しい DOUT が有効になるまでの時間			50	ns
$t_{h(SCDO)}$	伝搬遅延時間、SCLK 立ち下がりエッジから DOUT 無効まで	5			ns
SYNC					
$t_{p(SYNDR)}$	伝搬遅延時間、SYNC 立ち上がりエッジから、有効なデータを示す $\overline{DRDY}$ 立ち下がりエッジまで		62.98145 / f_{DATA} + 930 / f_{CLK}		s
$\overline{RESET}$					
$t_{p(RSTDR)}$	伝搬遅延時間、$\overline{RESET}$ 立ち下がりエッジから $\overline{DRDY}$ 立ち上がりエッジまで		516,874		1/ f_{CLK}
$\overline{PWDN}$					
$t_{p(PDDR)}$	伝搬遅延時間、$\overline{PWDN}$ 立ち下がりエッジから $\overline{DRDY}$ 立ち上がりエッジまで		62.98145 / f_{DATA} + 946 / $f_{(CLK)}$		s
電源オン					
$t_{p(SUPDR)}$	伝搬遅延時間、電源と CLK が最初 の $\overline{DRDY}$ パルスに印加されます		650,000		1 / f_{CLK}

5.8 タイミング図

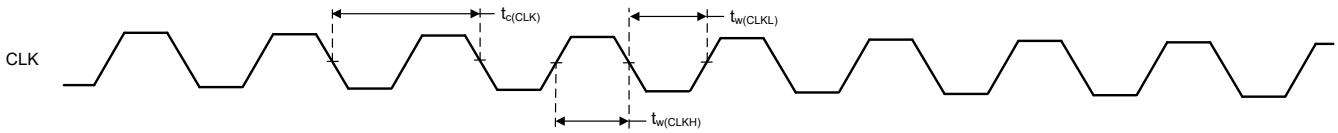


図 5-1. クロックのタイミング要件

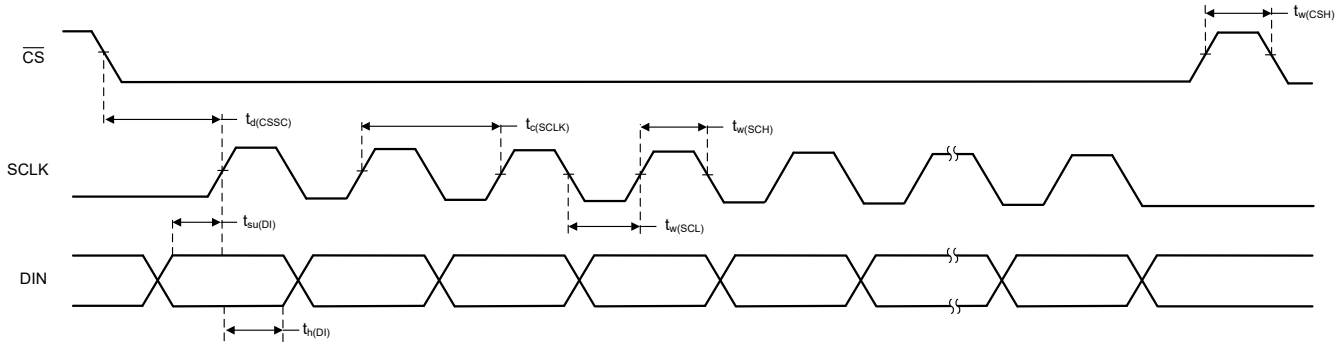


図 5-2. シリアル インターフェイスのタイミング要件

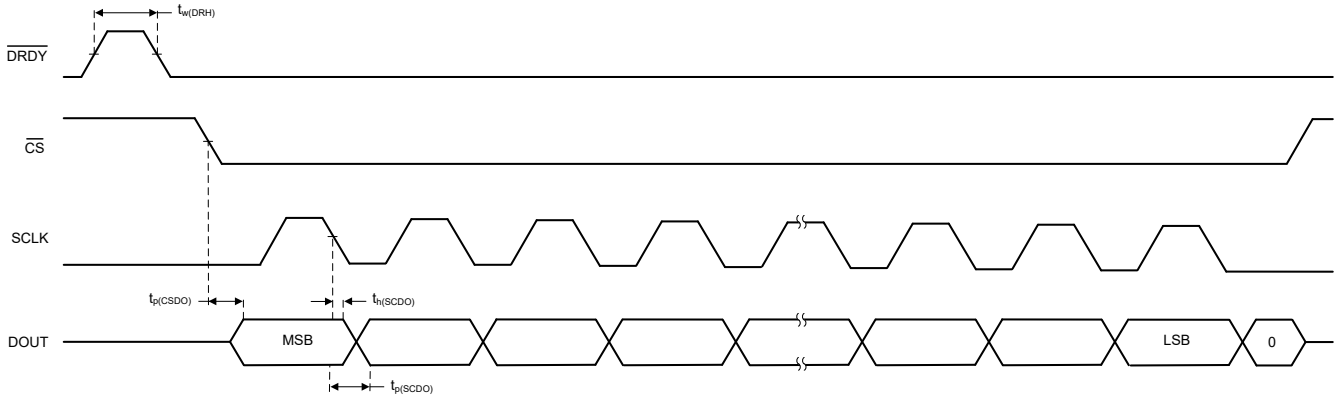


図 5-3. シリアル インターフェイスのスイッチング特性

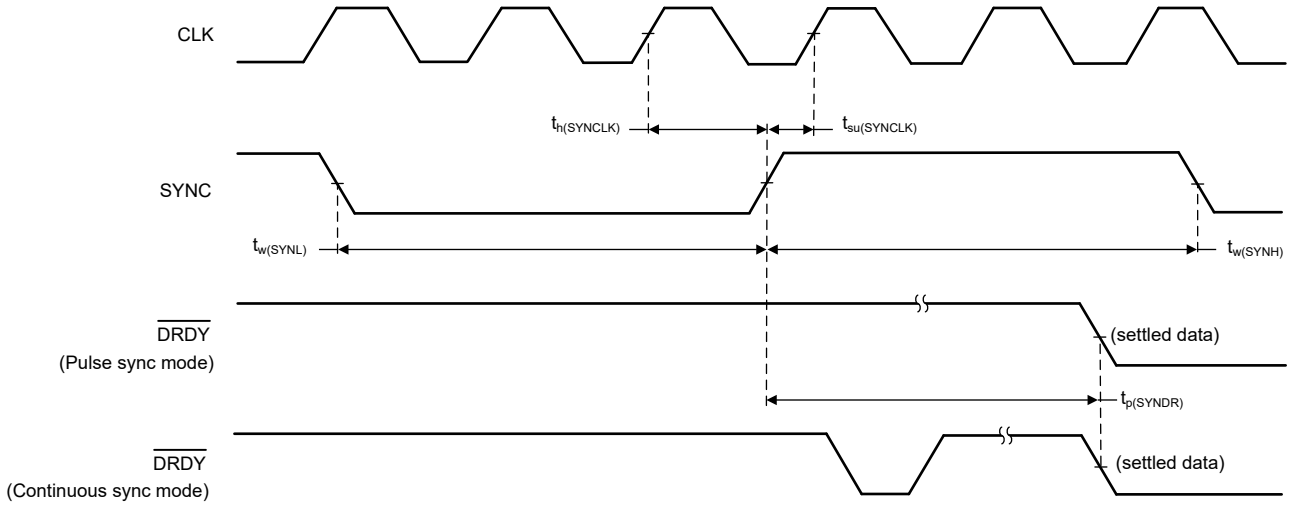


図 5-4. SYNC のタイミング要件およびスイッチング特性

Copyright © 2025 Texas Instruments Incorporated

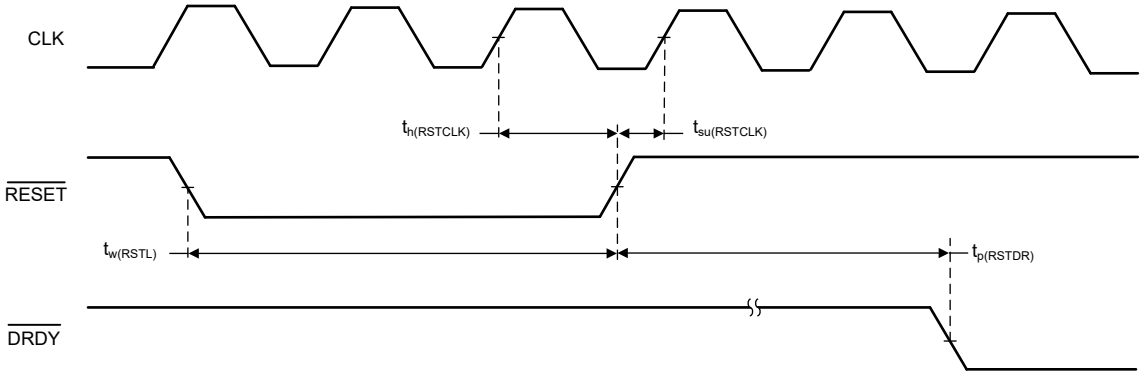


図 5-5. RESET のタイミング要件およびスイッチング特性

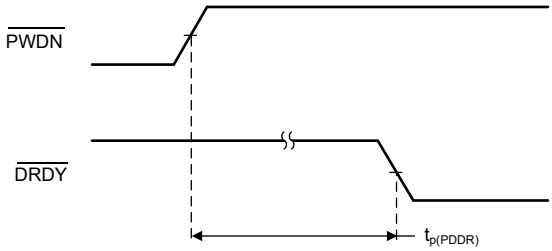


図 5-6. PWDN のスイッチング特性

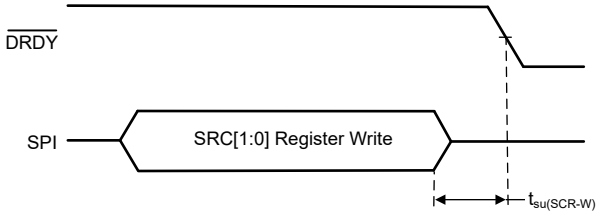


図 5-7. サンプル レートコンバータ レジスタ - 書き込みのタイミング要件

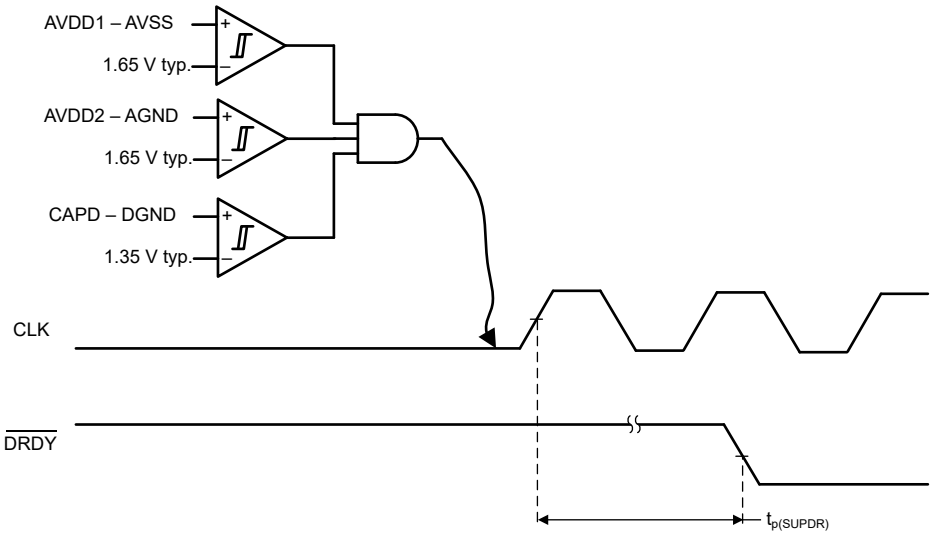
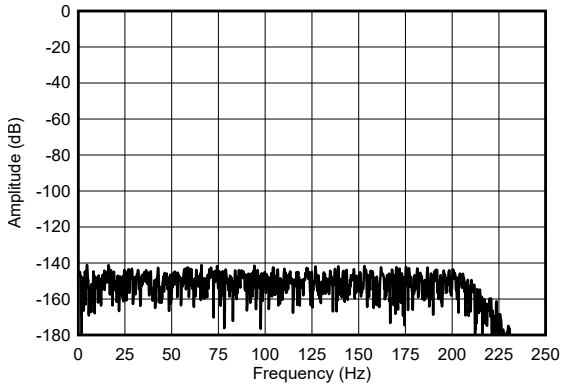


図 5-8. パワーアップ時のスイッチング特性

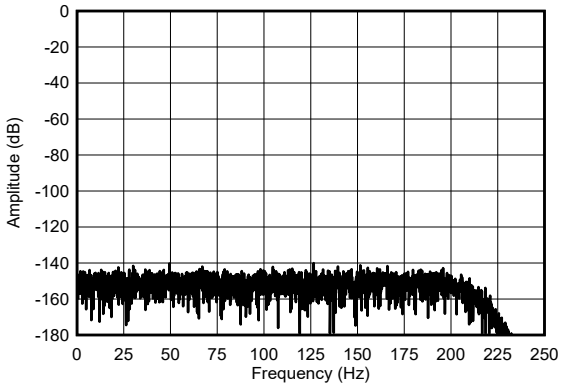
5.9 代表的特性

at T_A = 25°C、AVDD1 = 5V、AVSS = 0V、AVDD2 = 2.5V、IOVDD = 1.8V、f_{CLK} = 4.096MHz、V_{REFP} = 2.5V、V_{REFN} = 0V、PGA ゲイン = 1、R_S = 0Ω、V_{CM} = 2.5V および f_{DATA} = 500SPS (特に記述のない限り)



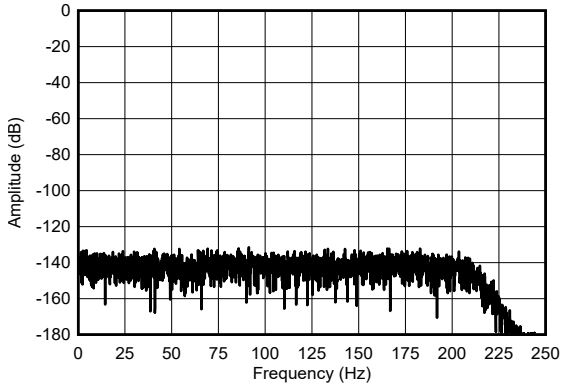
バッファ モード

図 5-9. 入力 FFT の短絡



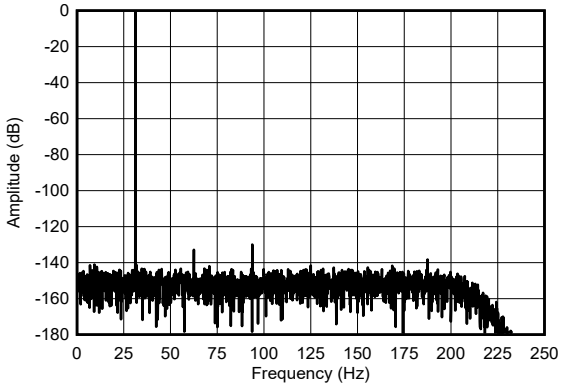
PGA ゲイン = 2

図 5-10. 入力 FFT の短絡



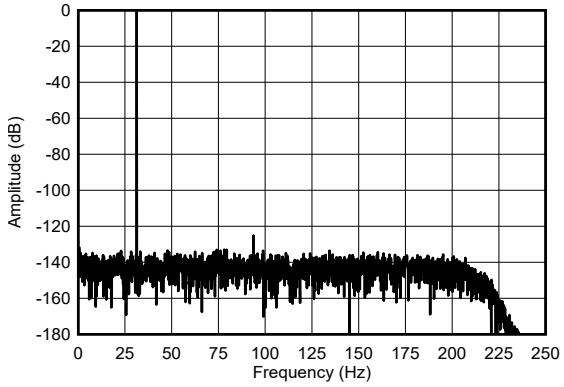
PGA ゲイン = 16

図 5-11. 入力 FFT の短絡



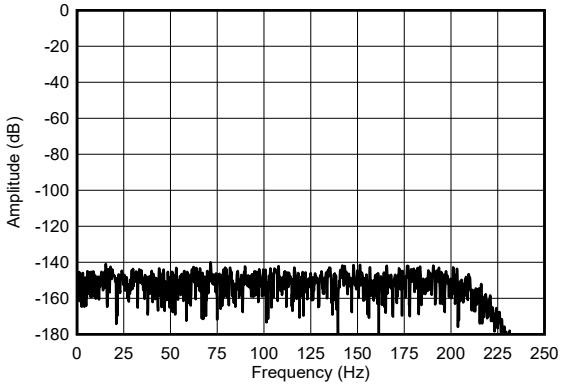
PGA ゲイン = 2

図 5-12. フルスケールの入力 FFT



PGA ゲイン = 16

図 5-13. フルスケールの入力 FFT



AIN2:31.25Hz、–0.5dBFS 信号、AIN1:入力短絡測定チャネル

図 5-14. チャネル クロストーク

Copyright © 2025 Texas Instruments Incorporated

5.9 代表的特性 (続き)

at T_A = 25°C、AVDD1 = 5V、AVSS = 0V、AVDD2 = 2.5V、IOVDD = 1.8V、f_{CLK} = 4.096MHz、V_{REFP} = 2.5V、V_{REFN} = 0V、PGA ゲイン = 1、R_S = 0Ω、V_{CM} = 2.5V および f_{DATA} = 500SPS (特に記述のない限り)

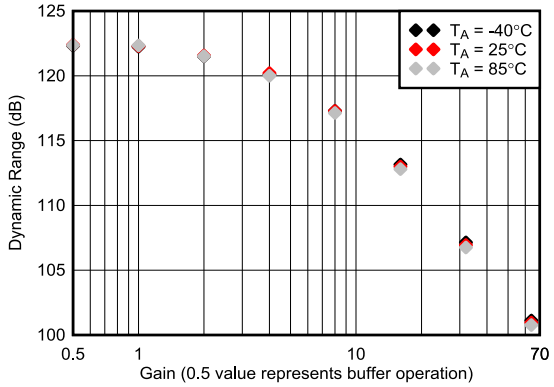
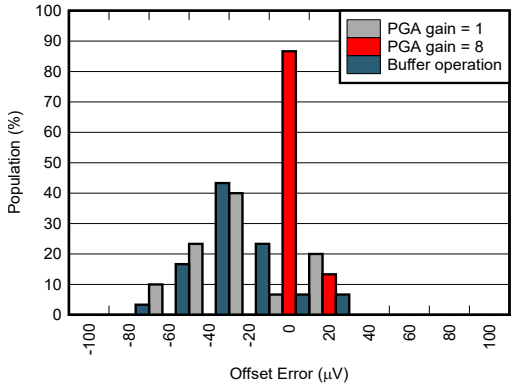
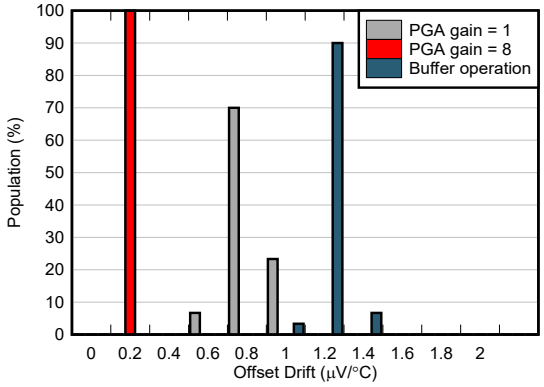


図 5-15. ダイナミック レンジと PGA ゲインとの関係



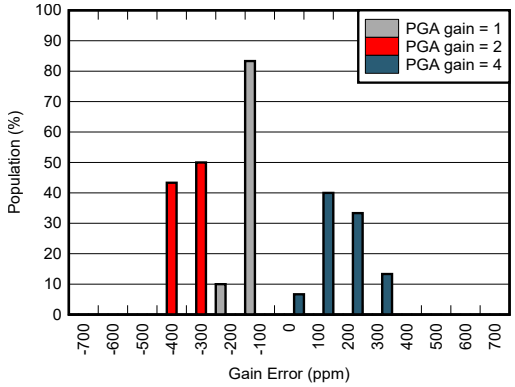
30 ユニット

図 5-16. オフセット誤差の分布



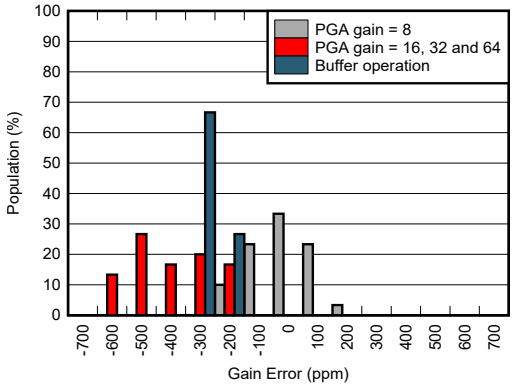
30 ユニット

図 5-17. オフセット ドリフトの分布



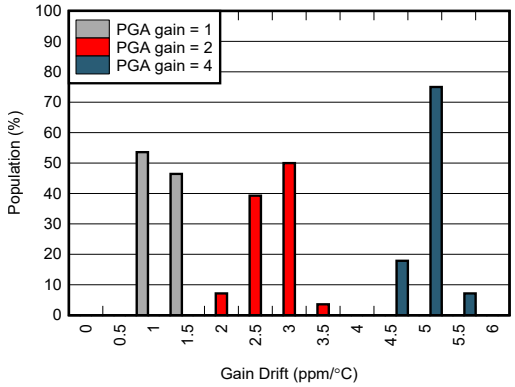
30 ユニット

図 5-18. ゲイン誤差の分布



30 ユニット

図 5-19. ゲイン誤差の分布

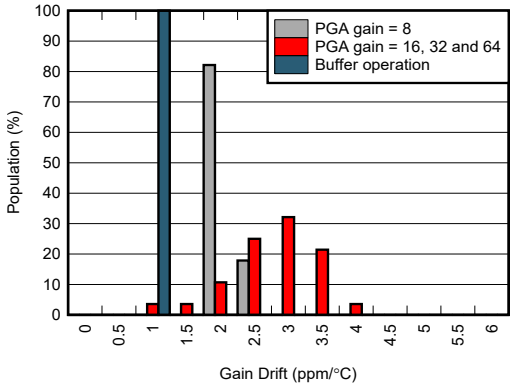


30 ユニット

図 5-20. ゲイン ドリフトの分布

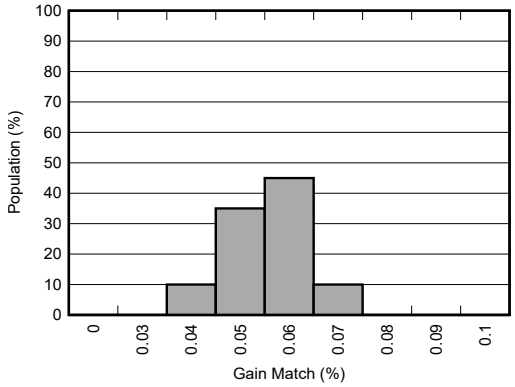
5.9 代表的特性 (続き)

at T_A = 25°C、AVDD1 = 5V、AVSS = 0V、AVDD2 = 2.5V、IOVDD = 1.8V、f_{CLK} = 4.096MHz、V_{REFP} = 2.5V、V_{REFN} = 0V、PGA ゲイン = 1、R_S = 0Ω、V_{CM} = 2.5V および f_{DATA} = 500SPS (特に記述のない限り)



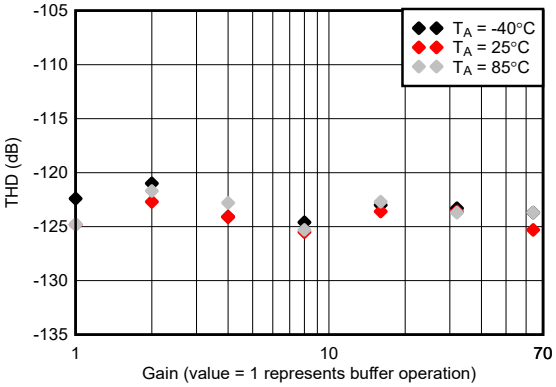
30 ユニット

図 5-21. ゲイン ドリフトの分布



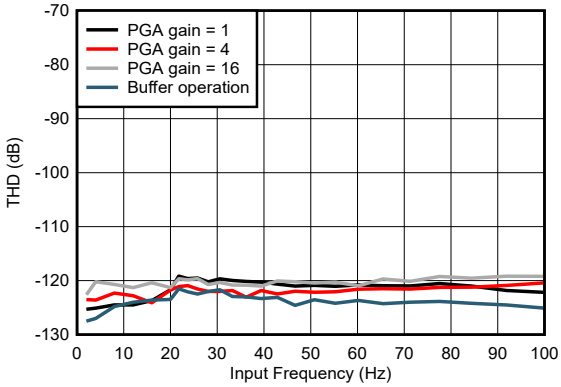
30 ユニット

図 5-22. ゲイン マッチングの分布



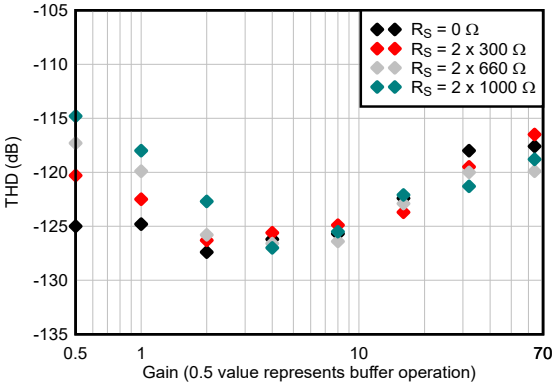
AVDD1 = 3.3V、f_{IN} = 31.25Hz、V_{IN} = –0.5dBFS

図 5-23. THD と PGA ゲインとの関係



f_{IN} = 31.25Hz、V_{IN} = –0.5dBFS

図 5-24. THD と入力周波数との関係



f_{IN} = 31.25Hz、V_{IN} = –0.5dBFS

図 5-25. THD+N とソース インピーダンスとの関係

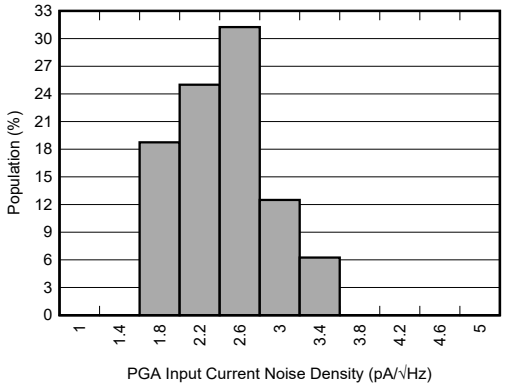


図 5-26. PGA 入力電流ノイズの分布

Copyright © 2025 Texas Instruments Incorporated

5.9 代表的特性 (続き)

at T_A = 25°C、AVDD1 = 5V、AVSS = 0V、AVDD2 = 2.5V、IOVDD = 1.8V、f_{CLK} = 4.096MHz、V_{REFP} = 2.5V、V_{REFN} = 0V、PGA ゲイン = 1、R_S = 0Ω、V_{CM} = 2.5V および f_{DATA} = 500SPS (特に記述のない限り)

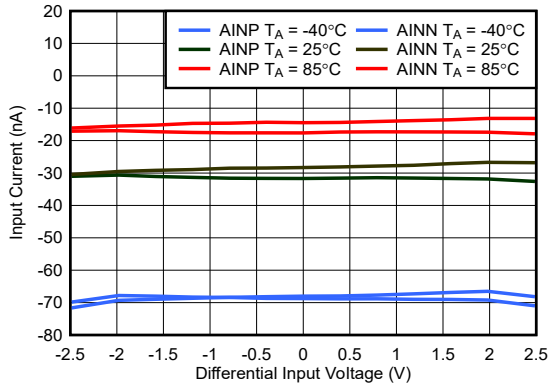


図 5-27. PGA 入力電流と入力電圧との関係

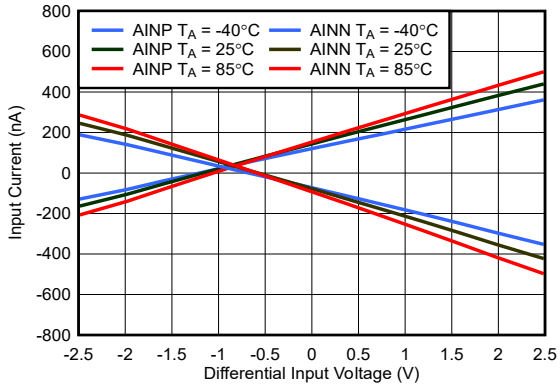


図 5-28. バッファ入力電流と入力電圧との関係

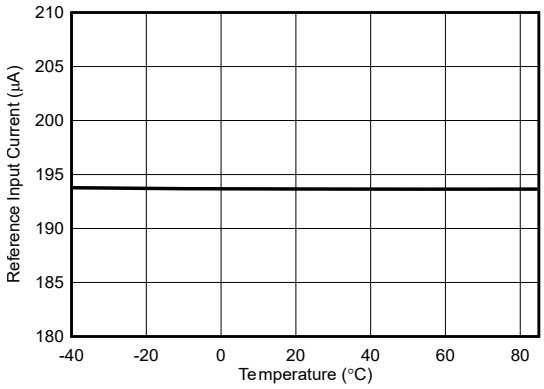
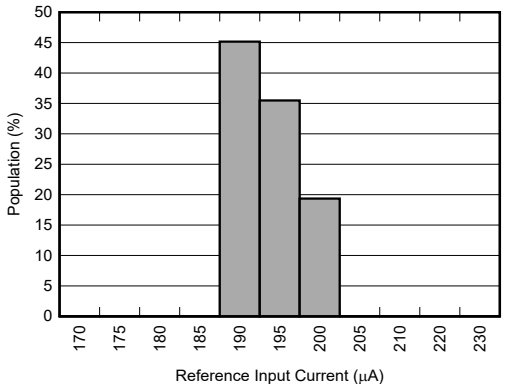


図 5-29. リファレンス入力電流と温度との関係



30 ユニット

図 5-30. リファレンス入力電流の分布

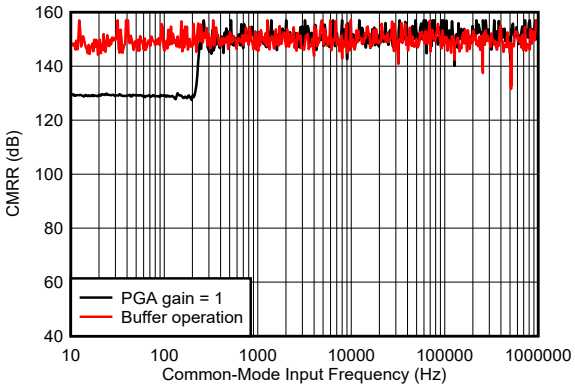
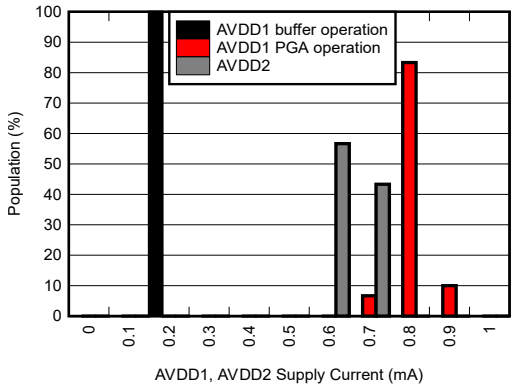


図 5-31. CMRR と同相モード入力周波数との関係



30 ユニット

図 5-32. 電源電流の分布

5.9 代表的特性 (続き)

at T_A = 25°C、AVDD1 = 5V、AVSS = 0V、AVDD2 = 2.5V、IOVDD = 1.8V、f_{CLK} = 4.096MHz、V_{REFP} = 2.5V、V_{REFN} = 0V、PGA ゲイン = 1、R_S = 0Ω、V_{CM} = 2.5V および f_{DATA} = 500SPS (特に記述のない限り)

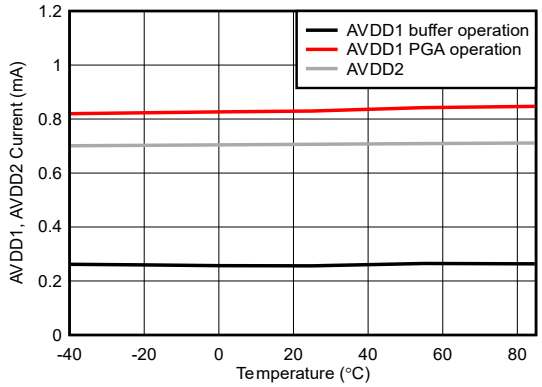


図 5-33. 電源電流と温度との関係

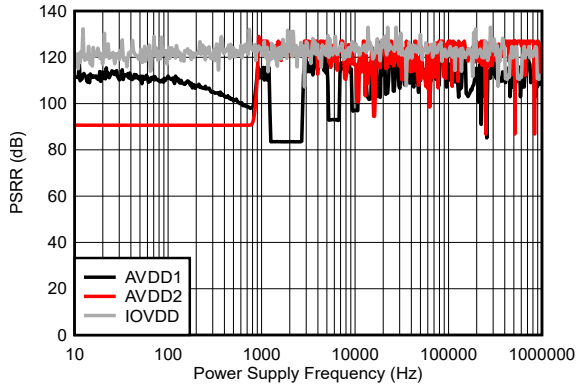


図 5-34. PSRR と電源周波数との関係

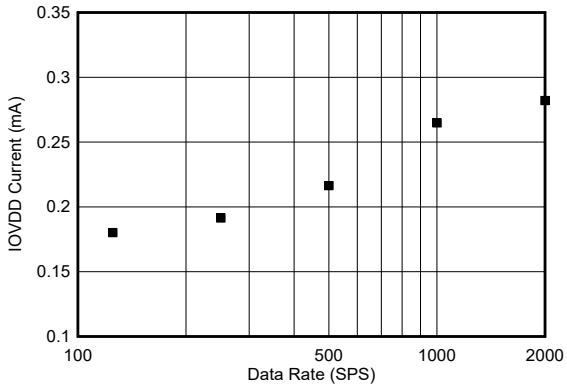


図 5-35. IOVDD 電流とデータ レートとの関係

Copyright © 2025 Texas Instruments Incorporated

6 パラメータ測定情報

6.1 ノイズ性能

ADS1288 は、オーバーサンプリング方式を採用した、低消費電力・低ノイズのデルタ シグマ ADC です。オーバーサンプリングは、変調器の高周波データを平均化して最終的な出力データを生成します。オーバーサンプリング比を上げると、変調器からのサンプルをより多く平均して 1 回の変換結果を得るため、データ レートと対応する信号帯域幅、そして合計ノイズが低下します。

ノイズ値が入力を基準とすると、PGA のゲインによりノイズが低減されます。ゲインを上げると、入力電圧範囲に対する入力換算電圧ノイズの比が小さくなるため、ダイナミック レンジ性能は低下します。

ダイナミック レンジと入力ノイズは、ADC で利用可能な分解能を表す等価パラメータです。式 1 は入力換算ノイズ データからダイナミック レンジを導出します:

$$\text{Dynamic Range (dB)} = 20\times\log\left[\frac{1.768\ \text{V}}{\text{Gain}\times e_n}\right] \tag{1}$$

ここで

- e_n = 入力換算電圧ノイズ (RMS)

表 6-1 は、入力ソース抵抗 (R_S) = 0Ω の条件で試験したダイナミック レンジと入力換算ノイズ性能を示しています。ノイズ データは T_A = 25°C であり、代表的な ADC の性能を表しています。このデータは、ADC の入力をショートした状態で連続する 4096 回の ADC 変換結果の標準偏差を示したもので、0.413 × f_{DATA} の帯域幅で測定されています。ノイズは統計的な性質を持つため、繰り返し測定するとノイズ性能の結果が変動することがあります。

表 6-1. ノイズ性能 (AVDD1 = 3.3V または 5V、R_S = 0 Ω)

ゲイン	モード	ダイナミック レンジ (dB)					e_n、入力換算ノイズ (μV_{RMS})				
		f_{DATA} (SPS)					f_{DATA} (SPS)				
		125	250	500	1000	2000	125	250	500	1000	2000
1	バッファ	128	125	122	119	116	0.70	0.99	1.4	2.0	2.8
1[(1)]	PGA	128	125	122	119	116	0.70	0.99	1.4	2.0	2.8
2	PGA	127	124	121	118	115	0.39	0.56	0.79	1.1	1.6
4	PGA	126	123	120	117	114	0.23	0.32	0.45	0.63	0.89
8	PGA	123	120	117	114	111	0.16	0.22	0.31	0.44	0.62
16	PGA	118	115	112	109	106	0.14	0.20	0.28	0.39	0.55
32	PGA	112	109	106	103	100	0.14	0.20	0.28	0.39	0.55
64	PGA	106	103	100	97	94	0.14	0.20	0.28	0.39	0.55

(1) PGA ゲイン = 1 のダイナミック レンジ性能は、AVDD1 = 5V の条件で規定されています。

7 詳細説明

7.1 概要

ADS1288 は、低消費電力と高い分解能が要求されるエネルギー探査、地質学、地震監視のアプリケーション向けに設計された高分解能、低消費電力の A/D コンバータ (ADC) です。出力データの分解能は 32 ビットで、125SPS から 2000SPS までのデータ レートに対応しています。プログラマブル ゲイン アンプ (PGA) は、±2.5V_{PP} ～ ±0.039V_{PP} の 7 種類の入力レンジによってシステムのダイナミック レンジを拡張します。

*機能ブロック図*に示すように、ADC は以下のセクションで構成されています。入力マルチプレクサ (MUX)、プログラマブル ゲイン アンプ (PGA)、ユニティ ゲイン バッファ、デルタ シグマ (ΔΣ) モジュレータ、サンプル レート コンバータ、無限インパルス応答 (IIR) ハイパス フィルタ (HPF)、有限インパルス応答 (FIR) ローパス フィルタ (LPF)、そしてデバイス設定と変換データの読み出しの両方に使用される SPI 互換のシリアル インターフェイスです。

入力マルチプレクサは、入力 1 または入力 2、さらにデバイスのオフセットやノイズ性能をテストするための入力短絡接続など、自己テスト用に設計された内部オプションを選択します。

入力マルチプレクサの後に低ノイズ PGA が接続されています。PGA のゲイン範囲は 1～16 で、ゲイン 32 と 64 はデジタル ゲインとして実装されています。PGA は、1/f ノイズと入力オフセット電圧を低減するために、チョッパ安定化方式が採用されています。PGA の出力は、モジュレータを駆動するバッファに接続されています。PGA 出力ピン CAPP および CAPN に接続された外部 10nF コンデンサは、入力信号用のアンチエイリアス フィルタになります。

PGA を無効にし、ユニティ ゲイン バッファで ADC を動作させることで、デバイスの消費電力を低減できます。各バッファ出力に接続された外部の 47nF コンデンサは、変調器のサンプリング パルスをフィルタ処理します。

ΔΣ 変調器は、PGA の出力にある差動入力信号 (V_{IN}) を、差動リファレンス電圧 (V_{REF} = 2.5V) と比較して測定します。変調器のデータはデジタル フィルタによって処理され、最終的な変換結果が生成されます。デジタル フィルタは、同期フィルタに続いて、プログラム可能な位相の FIR ローパス フィルタと IIR ハイパス フィルタで構成されています。ハイパス フィルタは、データから dc 成分や低周波成分を除去します。

サンプル レート コンバータ (SRC) は、出力データを再サンプリングして出力データレートを補正することで、クロック信号の誤差を補償します。データ レートを補正するために、希望する補償値を SRC レジスタに書き込みます。補正精度は最大 7ppb です。

ユーザが設定できるゲインおよびオフセットのキャリブレーション レジスタによって、オフセット誤差とゲイン誤差を補正します。

SYNC ピンは ADC を同期します。同期には、パルス同期と連続同期という 2 つの動作モードがあります。$\overline{\text{RESET}}$ ピンは、ユーザ構成設定を含む ADC をリセットします。これらの端子はノイズに強いシュミット トリガ入力となっており、ノイズの多い環境でも信頼性が高まります。

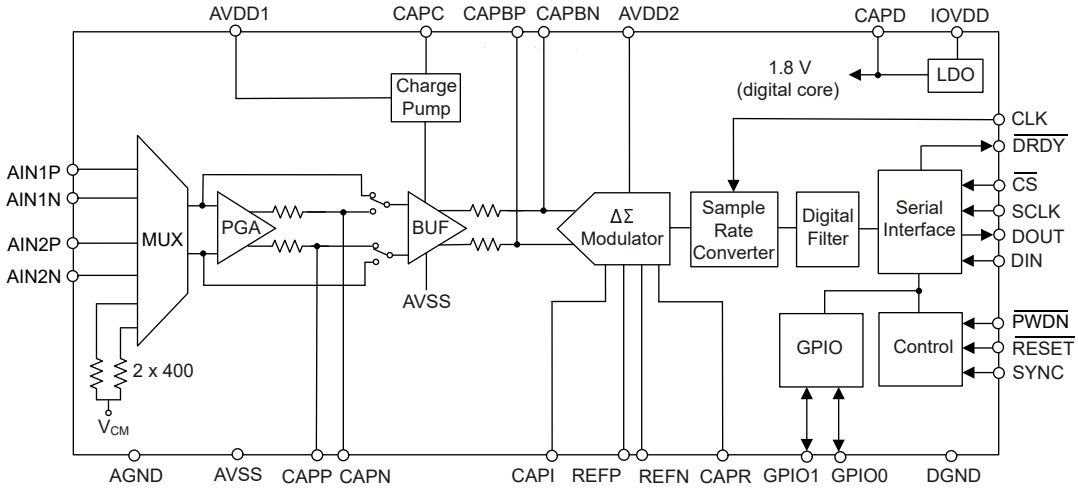
$\overline{\text{PWDN}}$ ピンを使用しないときは、ADC の電源がオフになります。ソフトウェアのパワーダウン モード (スタンバイ) は、シリアル インターフェイス経由で利用できます

4 線式の SPI 互換シリアル インターフェイスは、変換データの読み取りや、デバイス レジスタ データの読み書きを行います。

診断テスト用に外部スイッチを制御できる汎用デジタル I/O が 2 つ利用できます。

PGA とバッファの電源は、AVDD1 と AVSS ピンから供給されます。チャージ ポンプ式の電圧レギュレータがバッファの電源電圧を昇圧し、入力電圧レンジを広げます。変調器の電源は AVDD2 ピンから供給されます。デジタル I/O 電圧ピン (IOVDD) は、1.8V の低ドロップアウト レギュレータ (LDO) を通してデジタル ロジック コアに電力を供給します。

7.2 機能ブロック図



Copyright © 2025 Texas Instruments Incorporated

7.3 機能説明

7.3.1 アナログ入力

図 7-1 に、アナログ入力回路と入力マルチプレクサを示します。

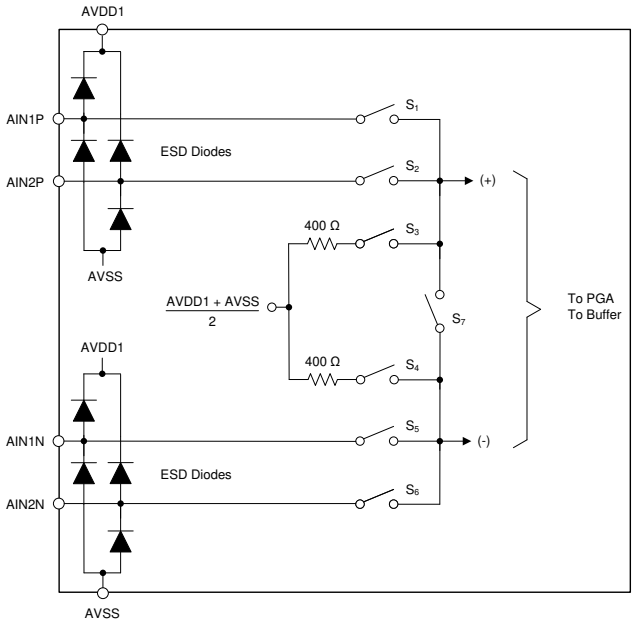


図 7-1. アナログ入力およびマルチプレクサ

静電放電 (ESD) ダイオードは、デバイスの製造工程や、ESD 管理された環境でプリント基板 (PCB) を組み立てる際に発生する ESD 事象から ADC 入力を保護するために組み込まれています。システム レベルで保護するためには、ESD にさらされる入力を保護できる外付けの ESD 保護デバイスを使用することを検討してください。

入力が AVSS - 0.3V より下か、AVDD1 + 0.3V より上に駆動されると、保護ダイオードが導通することがあります。このような条件が起きる可能性がある場合は、外付けのクランプ ダイオード、直列抵抗、または両方を使用して、入力電流を指定の最大値に制限します。未使用の入力チャネルに過大入力を加えると、使用中の入力チャネルの変換結果に影響を及ぼすことがあります。チャネル間のクロストークを防ぐために、ショットキー ダイオードを使用して過大入力電圧をクランプします。

ADC には 2 つの差動入力チャネルが組み込まれています。マルチプレクサは、測定のために 2 つの差動入力から選択します。ノイズとオフセットを測定するためのテスト モードも、マルチプレクサによって提供されます。短絡入力のテスト構成は、800Ω のジオフォンで発生する熱雑音を模擬するために、400Ω の抵抗を使用する場合と使用しない場合のどちらも利用できます。表 7-1 に、マルチプレクサの構成を示します。

表 7-1. 入力マルチプレクサ モード

MUX[2:0] のビット	スイッチ	説明
000	S_1、S_5	入力 AIN1P、AIN1N 接続。
001	S_2、S_6	入力 AIN2P、AIN2N 接続。
010	S_3、S_4	オフセットおよびノイズ テスト用 400Ω 入力短絡テスト モード。
011	S_1、S_5、S_2、S_6	相互接続テスト モード。入力 AIN1P、AIN2P *および* AIN2P、AIN2N が接続。
100	—	予約済み
101	S_3、S_4、S_7	オフセットおよびノイズ テスト用、0Ω 入力短絡テスト モード。

ジオフォンの THD 性能をテストするには、直列抵抗を介してテスト チャネルにテスト信号を印加します。直列抵抗は、通常ジオフォンのインピーダンス値の半分が使用されます。相互接続テスト モードのマルチプレクサを選択します (MUX[2:0] = 011b)。相互接続モードでは、テスト信号がジオホン入力にクロスフィードされます。

ジオフォン THD テスト性能は、マルチプレクサの非線形オン抵抗 (R_{SW}) の影響を受ける可能性があります。図 7-2 に、ジオホン THD テストの入力マルチプレクサ抵抗のモデルを示します。図 7-3 に、THD ジオフォン抵抗をシミュレートするために使用されるテスト抵抗 (R_{LOAD}) との関係を示します。小振幅のテスト信号(V_{IN} = 0.221V など)では、ジオフォン抵抗が 500Ω 未満の場合、THD 性能の劣化が少なくなります。

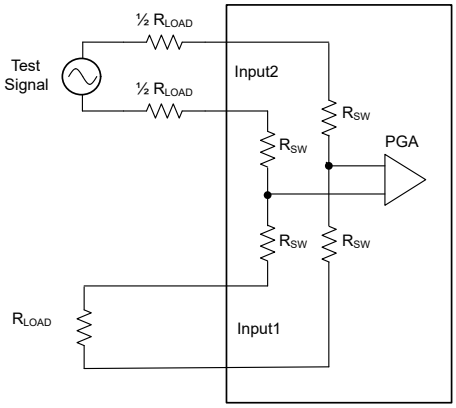


図 7-2. THD と R_{LOAD} との関係のテスト回路

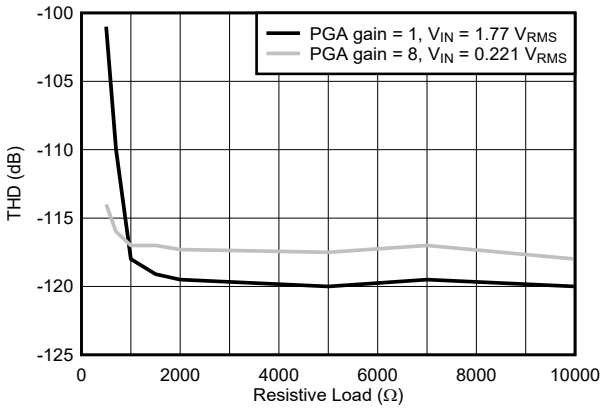


図 7-3. THD 性能と R_{LOAD} との関係

7.3.2 PGA およびバッファ

図 7-4 に、PGA とバッファの簡略化したブロック図を示します。

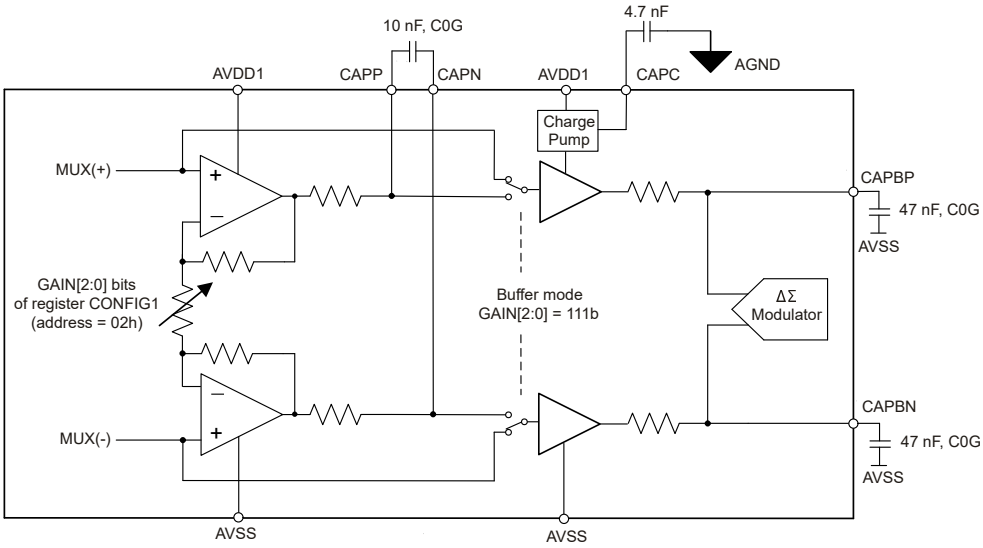


図 7-4. PGA とバッファのブロック図

このデバイスは、PGA またはユニティゲイン バッファで動作できます。バッファ動作では PGA が無効化され、デバイスの消費電力が低減します。AVDD1 を 3.3V で動作させる場合、PGA ゲイン = 1 では入力ヘッドルームが不足するため、この条件ではバッファを使用する必要があります。

Copyright © 2025 Texas Instruments Incorporated

7.3.2.1 プログラマブル ゲイン アンプ (PGA)

PGA は低ノイズのチョッパ安定化差動アンプで、ADC のダイナミックレンジ性能を拡張します。PGA は 1 ～ 16 のアナログ ゲインを備えており、32 および 64 のゲインはデジタル スケーリングによって得られます。PGA 出力信号は、270Ω の抵抗を経由して CAPP および CAPN ピンに配線されます。10nF の外付け C0G 誘電体コンデンサを、これらのピンの間に接続します。これらの部品によってアンチエイリアス フィルタが形成され、変調器のエイリアシング周波数 (f_{MOD}) での信号レベルを減衰させます。

図 7-4 に示すように、PGA と変調器の間でバッファを使用します。各バッファ出力から 2 つの 47nF C0G 誘電体コンデンサを AVSS (CAPBP および CAPBN) に接続します。電圧チャージ ポンプは、バッファの入力電圧のヘッドルームを増加させます。チャージ ポンプ動作のために、CAPC と AGND との間に外付けの 4.7nF コンデンサを接続します。

速度モードは、CONFIG1 レジスタの GAIN[2:0] ビットによってプログラムされます。表 7-2 に、PGA のゲイン設定とバッファ選択を示します。

表 7-2. PGA ゲイン

GAIN[2:0] レジスタ ビット	PGA ゲイン	入力信号範囲 (V_{PP})
000	1	±2.5
001	2	±1.25
010	4	±0.625
011	8	±0.3125
100	16	±0.15625
101	32	±0.078125
110	64	±0.0390625
111	バッファ モード、ゲイン = 1	±2.5

PGA の入力および出力電圧のヘッドルームの仕様を確認します。図 7-5 に、AVDD1 = 5V、入力同相電圧 (V_{CM}) = 2.5V、差動入力電圧 = ±2.5V_{PP}、ゲイン = 1 で動作しているときの、入力および出力電圧のヘッドルームを示します。PGA 入力の絶対最小および最大入力電圧 (1.25V と 3.75V) は、差動信号電圧の±1/2 に同相電圧を加えた値です。PGA は、負のピークで 0.15V の入力電圧マージン、正のピークで 0.4V の入力電圧マージンを提供します。PGA は、正と負のピークで 1.1V の出力電圧マージンを提供します。

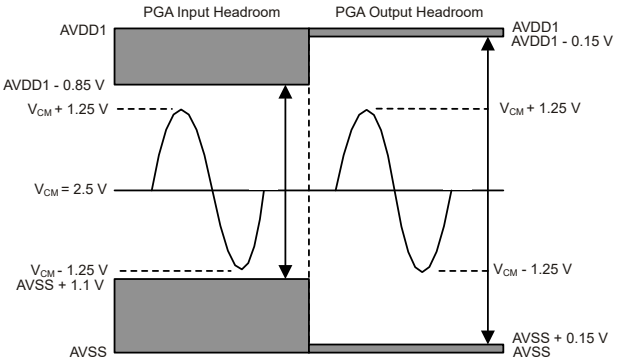


図 7-5. PGA ヘッドルーム (AVDD1 = 5V、ゲイン = 1)

AVDD1 = 3.3V で動作している場合、PGA は±2.5V_{PP} の入力信号をサポートできません。±2.5V_{PP} の入力信号には、バッファを使用します。±1.25V_{PP} の入力信号 (PGA ゲイン = 2) の場合、同相電圧を 0.1V から AVSS + 1.75V まで上げることで、入力ヘッドルームが増加します。図 7-6 に、AVDD1 = 3.3V、V_{CM} = 1.75V、入力信号 = ±1.25V_{PP}、ゲイン = 2 の入力および出力動作ヘッドルームを示します。

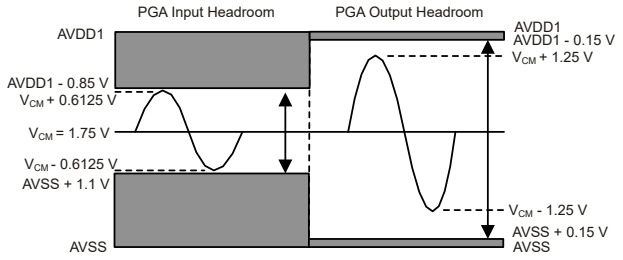


図 7-6. PGA ヘッドルーム (AVDD1 = 3.3V、ゲイン = 2)

7.3.2.2 バッファ動作 (PGA バイパス)

ADC には、PGA をバイパスするバッファ オプションがあります。PGA はバッファ モードではパワーダウンします。AVDD1 を 3.3V で動作させる場合、±2.5V_{PP} の入力信号には、バッファを使用します。CONFIG1 レジスタの GAIN[2:0] ビットを 111b に設定すると、バッファ動作が有効になります。

図 7-7 は、AVDD1 = 3.3V、V_{CM} = 1.65V、入力信号 = ±2.5V_{PP} のときのバッファ電圧のヘッドルームを示します。AVDD1 = 3.3V で動作させている場合、このバッファには ±2.5V_{PP} の入力信号に対して十分な電圧ヘッドルームがあります。

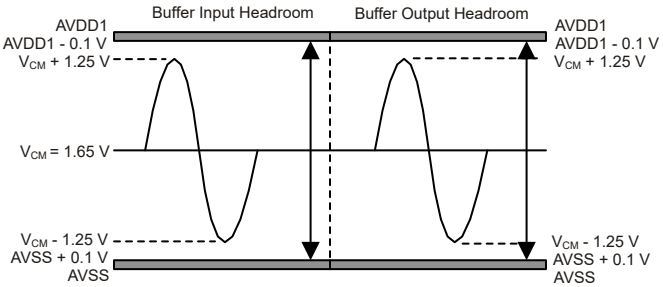


図 7-7. バッファ ヘッドルーム (3.3V の動作を図示)

PGA 動作でもバッファ動作でも、各バッファ出力(CAPBP と CAPBN) から AVSS に、C0G 誘電体の 47nF コンデンサを 2 個接続します。電圧チャージ ポンプは、バッファ入力の動作ヘッドルームを増加させます。チャージ ポンプ動作のために、CAPC と AGND との間に外付けの 4.7nF コンデンサを接続します。

7.3.3 電圧リファレンス入力

ADC は、動作にリファレンス電圧を必要とします。リファレンス電圧入力は差動で、REFP ピンと REFN ピンの間の電圧として定義されます：$V_{REF} = V_{REFP} – V_{REFN}$。差動入力のため、グランド ノイズを拾わないように、VREFN の配線は電圧リファレンスのグランド端子に接続します。測定帯域幅において、ノイズが 2μV_{RMS} 未満の精密な 2.5V 電圧リファレンスを使用してください。

図 7-8 に、簡略化されたリファレンス入力回路を示します。アナログ入力と同様に、リファレンス入力は ESD ダイオードによって保護されます。リファレンス入力が AVSS - 0.3V より下か、AVDD1 + 0.3V より上に駆動されると、保護ダイオードが導通することがあります。このような条件が起きる可能性がある場合は、外付けのクランプ ダイオード、直列抵抗、または両方を使用して、リファレンス入力電流を指定の値に制限します。

Copyright © 2025 Texas Instruments Incorporated

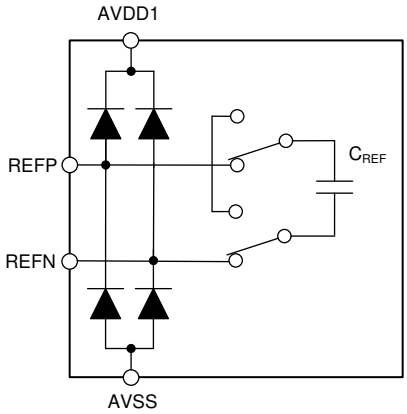


図 7-8. 簡略化された電圧リファレンス入力回路

ADC は内部コンデンサ (C_{REF}) によってリファレンス電圧をサンプリングし、変調器のサンプリング周波数 (f_{MOD}) でコンデンサを放電します。サンプリング動作では、過渡電流がリファレンス入力に流れます。リファレンスピンのすぐ近くに配置した 0.1µF のセラミック コンデンサで過渡電流をフィルタし、さらに基準電圧の出力側には 10µF～47µF の大きめのコンデンサを追加して安定させます。電圧リファレンスが複数の ADC を駆動するアプリケーションでは、各 ADC で 0.1µF コンデンサを使用します。

外付けコンデンサが電流過渡をフィルタリングし、その結果、平均リファレンス電流は 80µA/V になります。V_{REF} = 2.5V の場合、リファレンス入力電流は 80µA / V × 2.5V = 200µA です。

7.3.4 IOVDD の電源

IOVDD デジタル電源は、次の 2 つの電圧範囲で動作します：1.65V ～ 1.95V と 2.7V ～ 3.6V。1.65V ～ 1.95V の範囲で IOVDD を動作させる場合は、IOVDD を CAPD ピンに直接接続します。IOVDD が 1.65V ～ 1.95V の範囲で動作している場合に必要な接続を、図 7-9 に示します。それ以外の場合、2.7V ～ 3.6V の範囲で IOVDD を動作させる場合、これらのピンを互いに接続しないでください。

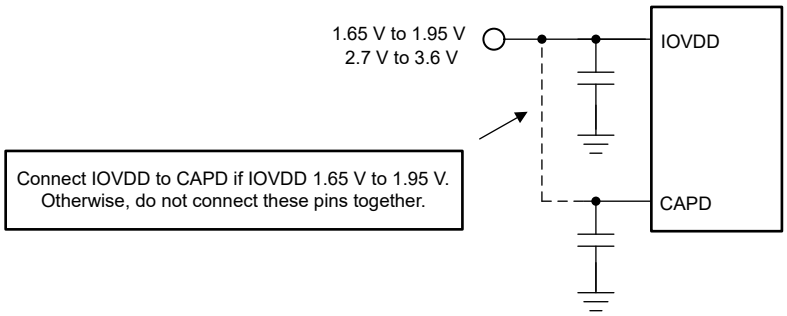


図 7-9. IOVDD 電源の接続

7.3.5 変調器

変調器はマルチビットのデルタ シグマ アーキテクチャで、低消費電力であり、出力中のスプリアス成分が非常に少ないという特徴があります。変調器は内部量子化器の量子化ノイズを帯域外の周波数成分へとシェイピングし、ノイズはデジタル フィルタによって除去されます。通過帯域内に残るノイズは熱ノイズであり、一定のノイズ密度をもつ (ホワイト ノイズ) という特性があります。ADC 出力の合計ノイズは、デジタル フィルタの OSR によって決まります。

7.3.5.1 変調器のオーバードライブ

変調器は本質的に安定した設計であるため、入力オーバードライブから予測可能な回復を示します。入力信号のピークで変調器がオーバードライブされると、フィルタの出力データがクリップすることがあります。ただし、デジタル フィルタによるデータ平均化の影響で、オーバードライブの持続時間によっては必ずしもクリップするとは限りません。変調器が大きく

オーバードライブされると、出力で変換データがクリップする可能性が高くなります。デジタル フィルタのグループ遅延によって、入力のオーバードライブ発生時点から出力データに反映されるまでの時間が遅れることに注意してください。

7.3.6 デジタル フィルタ

デジタル フィルタは変調器のデータに対して間引きとフィルタ処理を行い、高分解能のデータを出力します。OSR によってフィルタ量を調整することで、出力データのノイズと帯域幅の間でバランスを取ることができます。OSR を上げると、出力データのノイズは減少しますが、信号帯域幅は狭くなります。

図 7-10 に示すように、サンプル レート コンバータ (SRC) は、デジタル フィルタ ブロックの前で変調器からデータを受け取ります。詳細については、*サンプル レート コンバータ* セクションを参照してください。

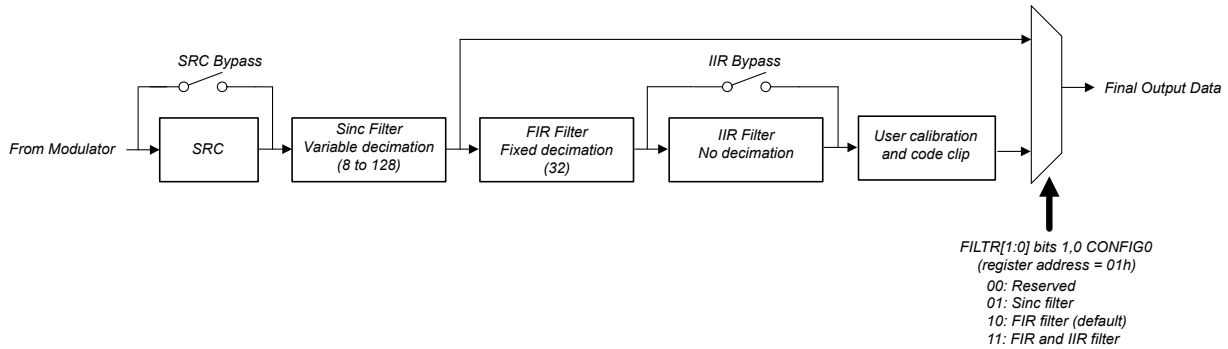


図 7-10. デジタルフィルタのブロック図

デジタルフィルタは、次の三つのセクションで構成されています。可変デシメーションの sinc フィルタ、可変係数で固定デシメーションの FIR フィルタ、そしてプログラム可能なハイパス フィルタ(IIR) です。希望するフィルタ セクションは、CONFIG0 レジスタの FILTER[1:0] ビットで選択します。sinc フィルタは部分的にフィルタ処理されたデータを提供し、FIR フィルタ、HPF フィルタ、およびユーザ較正ステージをバイパスします。完全にフィルタ処理されたデータの場合は、FIR フィルタ オプションを選択します。IIR フィルタ段は、dc および低周波数のデータを削除します。FIR フィルタ、および FIR ＋ IIR の複合フィルタは、ユーザー較正ブロックと出力コード クリッピング ブロックへルーティングされます。ユーザ較正の詳細については、*オフセットおよびゲインの較正* セクションを参照してください。

7.3.6.1 Sinc フィルタ セクション

デジタル フィルタの最初のセクションは、可変デシメーションの 5 次シンク フィルタ (sinx/x) です。変調器のデータは、サンプル レート コンバータを通り、標準レート $f_{MOD} = f_{CLK} / 4 = 1.024MHz$ でシンクフィルタに渡されます。sinc フィルタは、FIR フィルタのデータの一部フィルタリングを行い、最終的な周波数応答を生成します。sinc フィルタ出力データは、最終的な周波数応答を形成するために後処理フィルタとともに使用することを意図しています。

sinc フィルタのデシメーション比と結果として生じる出力データレートを 表 7-3 に示します。sinc フィルタのデータ レートは、CONFIG0 レジスタの DR[2:0] ビットによって設定されます。

表 7-3. Sinc フィルタのデータ レート

DR[2:0] ビット	SINC デシメーション比 (N)	データ レート (SPS)
000	256	4,000
001	128	8,000
010	64	16,000
011	32	32,000
100	16	64,000

sinc フィルタの Z 領域伝達関数を、式 2 に示します。

Copyright © 2025 Texas Instruments Incorporated

$$H(Z) = \left[\frac{1 - Z^{-N}}{N(1 - Z^{-1})}\right]^5 \tag{2}$$

ここで

- N = 表 7-3 のデシメーション比

sinc フィルタの周波数ドメイン伝達関数を、式 3 に示します。

$$|H(f)| = \left|\frac{\sin\left(\frac{\pi N \times f}{f_{MOD}}\right)}{N \sin\left(\frac{\pi \times f}{f_{MOD}}\right)}\right|^5 \tag{3}$$

ここで

- 表 7-3 に、N = デシメーション比を示します
- f = 入力信号の周波数
- f_{MOD} = 変調器のサンプリング周波数 = $f_{CLK}/4$ (サンプル レート コンバータはディスエーブル)

sinc フィルタの周波数応答には、出力データ レートとその倍数でノッチ (またはゼロ) が発生します。これらの周波数では、フィルタのゲインはゼロになります。sinc フィルタの広帯域周波数応答を 図 7-11 に示し、図 7-12 に –3dB 応答を示します。

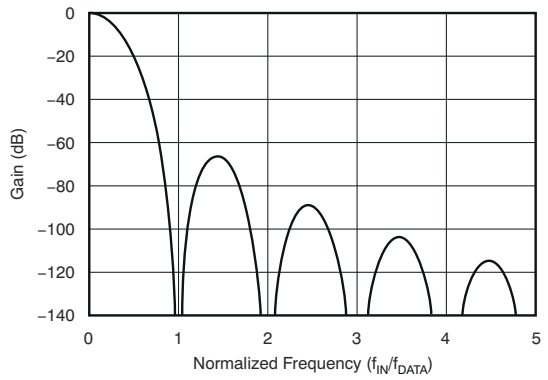


図 7-11. Sinc フィルタの周波数応答

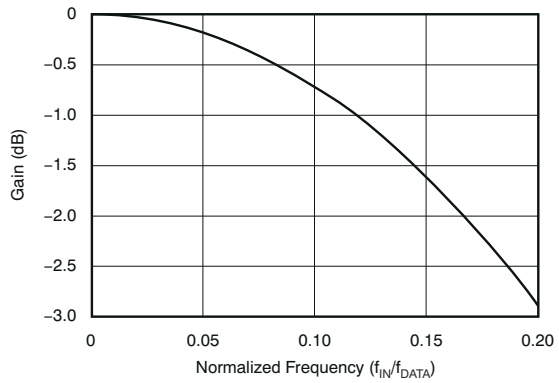


図 7-12. Sinc フィルタの –3dB 応答

f_{DATA} = 32kSPS での sinc フィルタの周波数応答を図 7-13 に示します。1kHz および高調波のトーンは、アイドルトーンを抑制するために変調器入力にディザリングを追加した結果です。デザリング信号の周波数は、表 7-4 に示されている合成デジメーション比で f_{MOD} を割った値です 2kHz でのノイズ フロアの上昇は、変調器のノイズ成形によるものです。sinc フィルタのデシメーション N = 32 (データ レート = 32kSPS) の場合、外部ポスト フィルタを使用したときの有効帯域幅は 500Hz です。

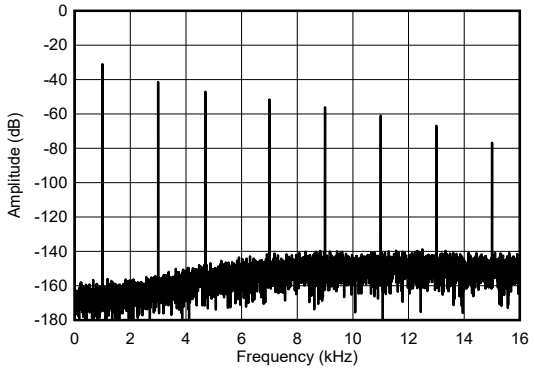


図 7-13. Sinc フィルタの FFT 出力 (f_{DATA} = 32kSPS)

sinc フィルタのデータは、データ スケーリング、クリップ処理、ユーザ キャリブレーション ステージを通過しないため、FIR フィルタ データの場合とは異なるスケーリングになります。sinc フィルタのデータ スケーリングの詳細については、*変換データの形式* セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

7.3.6.2 FIR フィルタ セクション

デジタル フィルタの 2 番目のセクションは、多段 FIR ローパス フィルタです。シンク フィルタで部分的にフィルタ処理されたデータが、FIR フィルタに入力されます。FIR フィルタは、最終的な出力データの周波数応答と位相応答を決定します。図 7-14 は、FIR フィルタが 4 つの段で構成されることを示しています。

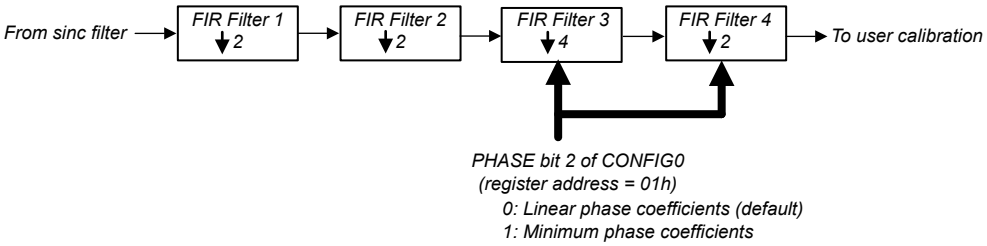


図 7-14. FIR フィルタ

最初の 2 つの FIR 段はハーフバンド フィルタで、各段のデシメーション率は 2 です。3 番目と 4 番目の FIR 段では、最終的な周波数応答と位相応答が決まります。第 3 段と第 4 段では、デシメーション率はそれぞれ 4 と 2 です。FIR フィルタの合計デシメーション比は 32 です。第 3 段と第 4 段の異なるフィルタ係数セットによって、リニア位相か最小位相かのフィルタ特性が決まります。位相応答は、CONFIG0 レジスタの位相ビットによって選択されます。sinc および FIR フィルタ段の合成デシメーション比、および対応する FIR フィルタ データ レートを、表 7-4 に示します。

表 7-4. FIR フィルタのデータ レート

DR[2:0] ビット	合成デシメーション比	データ レート (SPS)
000	8192	125
001	4096	250
010	2048	500
011	1024	1000
100	512	2000

表 7-5 に、FIR フィルタ係数と、線形および最小位相係数のデータ スケーリングを示します。

表 7-5. FIR フィルタ係数

係数	STAGE 1	STAGE 2	STAGE 3		STAGE 4	
	SCALE = 1/512	SCALE = 1/8388608	SCALE = 1/134217728		SCALE = 1/134217728	
	線形位相	線形位相	線形位相	最小位相	線形位相	最小位相
b_0	3	-10944	0	819	-132	11767
b_1	0	0	0	8211	-432	133882
b_2	-25	103807	-73	44880	-75	769961
b_3	0	0	-874	174712	2481	2940447
b_4	150	-507903	-4648	536821	6692	8262605
b_5	256	0	-16147	1372637	7419	17902757
b_6	150	2512192	-41280	3012996	-266	30428735
b_7	0	4194304	-80934	5788605	-10663	40215494
b_8	-25	2512192	-120064	9852286	-8280	39260213
b_9	0	0	-118690	14957445	10620	23325925
b_{10}	3	-507903	-18203	20301435	22008	-1757787
b_{11}		0	224751	24569234	348	-21028126
b_{12}		103807	580196	26260385	-34123	-21293602
b_{13}		0	893263	24247577	-25549	-3886901
b_{14}		-10944	891396	18356231	33460	14396783
b_{15}			293598	9668991	61387	16314388
b_{16}			-987253	327749	-7546	1518875
b_{17}			-2635779	-7171917	-94192	-12979500

表 7-5. FIR フィルタ係数 (続き)

係数	STAGE 1	STAGE 2	STAGE 3		STAGE 4	
	SCALE = 1/512	SCALE = 1/8388608	SCALE = 1/134217728		SCALE = 1/134217728	
	線形位相	線形位相	線形位相	最小位相	線形位相	最小位相
b_{18}			-3860322	-10926627	-50629	-11506007
b_{19}			-3572512	-10379094	101135	2769794
b_{20}			-822573	-6505618	134826	12195551
b_{21}			4669054	-1333678	-56626	6103823
b_{22}			12153698	2972773	-220104	-6709466
b_{23}			19911100	5006366	-56082	-9882714
b_{24}			25779390	4566808	263758	-353347
b_{25}			27966862	2505652	231231	8629331
b_{26}			25779390	126331	-215231	5597927
b_{27}			19911100	-1496514	-430178	-4389168
b_{28}			12153698	-1933830	34715	-7594158
b_{29}			4669054	-1410695	580424	-428064
b_{30}			-822573	-502731	283878	6566217
b_{31}			-3572512	245330	-588382	4024593
b_{32}			-3860322	565174	-693209	-3679749
b_{33}			-2635779	492084	366118	-5572954
b_{34}			-987253	231656	1084786	332589
b_{35}			293598	-9196	132893	5136333
b_{36}			891396	-125456	-1300087	2351253
b_{37}			893263	-122207	-878642	-3357202
b_{38}			580196	-61813	1162189	-3767666
b_{39}			224751	-4445	1741565	1087392
b_{40}			-18203	22484	-522533	3847821
b_{41}			-118690	22245	-2490395	919792
b_{42}			-120064	10775	-688945	-2918303
b_{43}			-80934	940	2811738	-2193542
b_{44}			-41280	-2953	2425494	1493873
b_{45}			-16147	-2599	-2338095	2595051
b_{46}			-4648	-1052	-4511116	-79991
b_{47}			-874	-43	641555	-2260106
b_{48}			-73	214	6661730	-963855
b_{49}			0	132	2950811	1482337
b_{50}			0	33	-8538057	1480417
b_{51}			0	0	-10537298	-586408
b_{52}					9818477	-1497356
b_{53}					41426374	-168417
b_{54}					56835776	1166800
b_{55}					41426374	644405
b_{56}					9818477	-675082
b_{57}					-10537298	-806095
b_{58}					-8538057	211391
b_{59}					2950811	740896
b_{60}					6661730	141976
b_{61}					641555	-527673
b_{62}					-4511116	-327618
b_{63}					-2338095	278227
b_{64}					2425494	363809
b_{65}					2811738	-70646
b_{66}					-688945	-304819
b_{67}					-2490395	-63159
b_{68}					-522533	205798
b_{69}					1741565	124363

Copyright © 2025 Texas Instruments Incorporated

表 7-5. FIR フィルタ係数 (続き)

係数	STAGE 1	STAGE 2	STAGE 3		STAGE 4	
	SCALE = 1/512	SCALE = 1/8388608	SCALE = 1/134217728		SCALE = 1/134217728	
	線形位相	線形位相	線形位相	最小位相	線形位相	最小位相
b_{70}					1162189	-107173
b_{71}					-878642	-131357
b_{72}					-1300087	31104
b_{73}					132893	107182
b_{74}					1084786	15644
b_{75}					366118	-71728
b_{76}					-693209	-36319
b_{77}					-588382	38331
b_{78}					283878	38783
b_{79}					580424	-13557
b_{80}					34715	-31453
b_{81}					-430178	-1230
b_{82}					-215231	20983
b_{83}					231231	7729
b_{84}					263758	-11463
b_{85}					-56082	-8791
b_{86}					-220104	4659
b_{87}					-56626	7126
b_{88}					134826	-732
b_{89}					101135	-4687
b_{90}					-50629	-976
b_{91}					-94192	2551
b_{92}					-7546	1339
b_{93}					61387	-1103
b_{94}					33460	-1085
b_{95}					-25549	314
b_{96}					-34123	681
b_{97}					348	16
b_{98}					22008	-349
b_{99}					10620	-96
b_{100}					-8280	144
b_{101}					-10663	78
b_{102}					-266	-46
b_{103}					7419	-42
b_{104}					6692	9
b_{105}					2481	16
b_{106}					-75	0
b_{107}					-432	-4
b_{108}					-132	0
b_{109}					0	0

図 7-15 は、0.375 × f_{DATA} までの FIR パスバンド周波数応答を、±0.003dB のパスバンド リップルで示しています。図 7-16 は、0Hz から f_{DATA} までの、パスバンド、遷移バンド、ストップ バンドの性能を示します。このフィルタは、ナイキスト周波数において −135 dB のストップバンド減衰となるように設計されています。

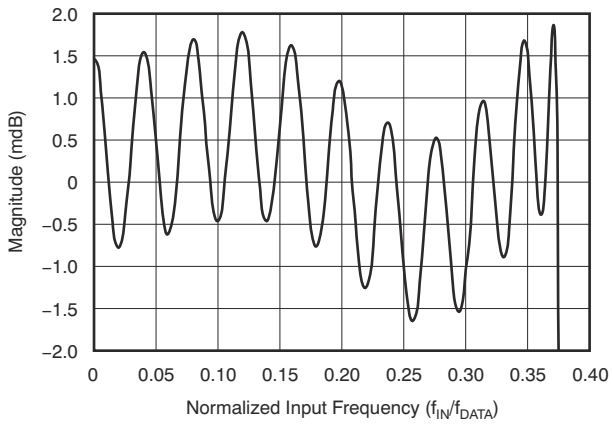


図 7-15. FIR フィルタのパスバンド応答

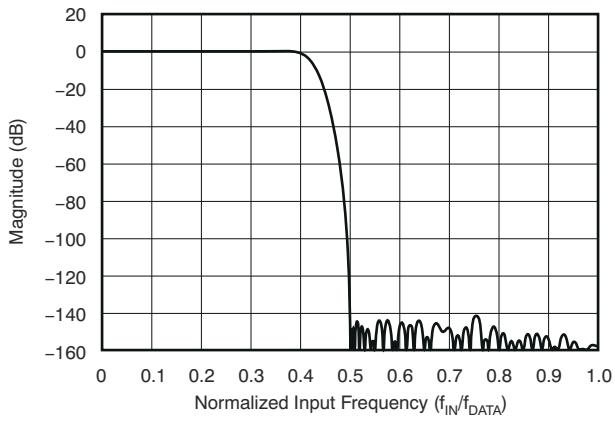


図 7-16. FIR フィルタの遷移帯域応答

多くのサンプリング システムと同様に、このフィルタ応答は変調器のサンプル レート (f_{MOD}) の整数倍の周波数で繰り返されます。フィルタ応答は、周波数 N × f_{MOD} ±f_0 で、ここで N = 1, 2, …、f_0 はフィルタのパスバンド周波数において繰り返されます。信号中にこれらの周波数が含まれている場合、それらは折り返して (エイリアスして) 通過帯域に入り込み、誤差を引き起こします。入力部のローパス入力フィルタが帯域外の信号を除去し、エイリアシング誤差を減らします。多くのジオフォンに見られる低周波の出力信号に対しては、PGA 出力に設けた 1 次フィルタだけで、ジオフォンの熱ノイズによるエイリアシングを十分に低減できます。

7.3.6.3 グループ遅延とステップ応答

FIR フィルタは、線形フィルタと最小位相フィルタのオプションを提供します。リニアおよび最小位相フィルタのパスバンド、遷移バンド、ストップ バンドの応答は同じですが、位相応答とステップ応答の動作が異なります。

7.3.6.3.1 線形位相応答

線形位相フィルタは、入力から出力までの遅延がすべての入力周波数にわたって一定である (すなわち、一定の群遅延) 独自の特性を持っています。一定遅延特性は入力信号の性質 (インパルスまたはスイープ トーン) に依存しないため、位相は周波数全体で線形であるため、マルチトーン信号を解析する際に重要なことがあります。ただし、図 7-17 に示すように、線形位相フィルタでは、最小位相よりもグループ遅延は長くなります。線形フィルタと最小フィルタのどちらの場合でも、ステップ入力の変化が発生してから 62 回の変換後 に、完全に安定したデータが得られます。

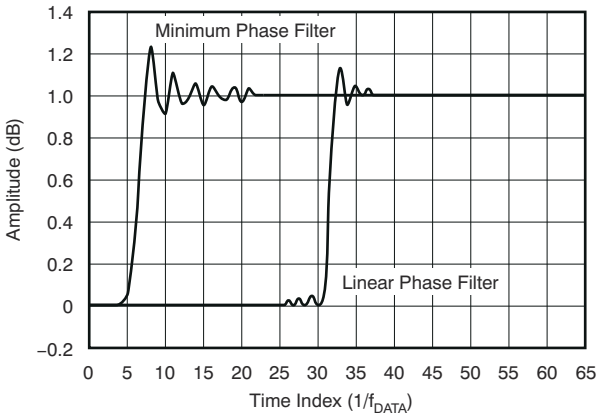


図 7-17. FIR ステップ応答

Copyright © 2025 Texas Instruments Incorporated

7.3.6.3.2 最小位相応答

最小位相フィルタにより、フィルタ入力からフィルタ出力までのデータの短いグループ遅延が得られます。最小および線形位相フィルタのグループ遅延を、図 7-18 に示します。最小位相フィルタのグループ遅延は、信号周波数の関数です。CONFIG0 レジスタの PHASE ビットは、フィルタの位相を設定します。

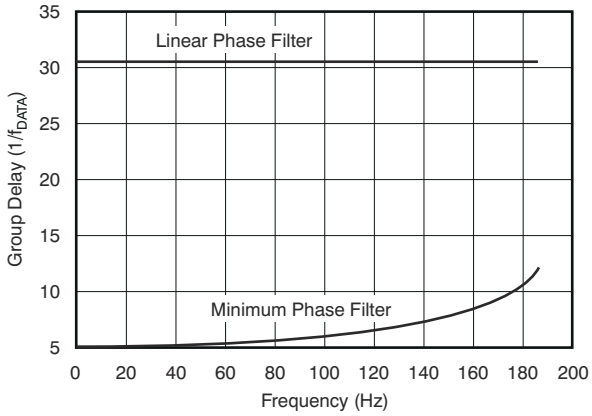


図 7-18. FIR グループ遅延 (f_{DATA} = 500SPS)

7.3.6.4 HPF ステージ

デジタル フィルタの最後の段はハイパス フィルタ (HPF) です。ハイパス フィルタは、1 次の IIR フィルタとして実装されています。ハイパス フィルタは、データから dc 成分や低周波成分を除去します。HPF は、CONFIG0 レジスタの FILTR[1:0] ビットを 11b に設定することで有効になります。

式 4 には、このフィルタの z 領域での伝達関数が示されています:

$$H(z) = \frac{2 - a}{2} \frac{1 - z^{-1}}{1 - (1 - a)z^{-1}} \tag{4}$$

ここで

- $a = \frac{2\sin(\omega_N)}{\cos(\omega_N) + \sin(\omega_N)}$
- $\omega_N = \pi \times f_C / f_{DATA}$ (正規化されたコーナー周波数、ラジアン)
- f_C = コーナー周波数 (Hz)
- f_{DATA} = 出力データ レート (Hz)

コーナー周波数プログラミングは f_{DATA} の関数であることに注意してください。式 5 に示すように、HPF1、HPF0 レジスタに書き込まれる値は *a* で、式 4×2^{16} で計算されます。

$$HPF[15:0] = a \times 2^{16} \tag{5}$$

表 7-6 に、ハイパス フィルタのプログラミング例を示します。

表 7-6. ハイパス フィルタの値の例

HPF[15:0]	f_C (Hz)	f_{DATA} (SPS)
0332h	0.5	250
0332h	1.0	500
019Ah	1.0	1000

HPF は、ハイパス機能を実行するためにデータを蓄積します。入力に dc ステップ変化が加わった後のアナログ HPF の動作と同様に、このフィルタも信号から dc 成分を除去するためにデータを蓄積する時間が必要になります。コーナー周波数が低いほど、フィルタの安定性は長くなります。

HPF セトリング時間を短縮するために、オフセット レジスタは HPF アキュームレータのシード値として使用されます。アキュームレータには、HPF 状態が*ディスエーブル*から*イネーブル*に変更されるたびに、オフセットレジスタがロードされます。オフセットレジスタには、推定値をあらかじめ設定することも、dc レベルが分かっている場合は較正済みの値を設定することもできます。精度を向上させるためには、オフセット値を GAIN[3:0] / 400000h の逆数でスケーリングします。HPF が有効化されている場合、通常のオフセット動作は無効化されます。

HPF アキュームレータを OFFSET[2:0] レジスタで初期化する場合:

1. HPF をディスエーブルにします。
2. 希望する値を OFFSET[2:0] レジスタに書き込みます。
3. HPF をイネーブルにします。OFFSET[2:0] は HPF のデータ アキュームレータにロードされます。
4. HPF は、信号からの残りの dc 値を追跡します。

その後に OFFSET[2:0] レジスタへ書き込みを行っても無視されます。OFFSET[2:0] レジスタの内容を HPF に再ロードするには、HPF を無効化し、再度有効化します。

7.3.7 クロック入力

動作にはクロック信号が必要です。クロック信号は、4.096MHz の CLK ピンに印加されます。多くの高精度データ コンバータと同様、本デバイスでもデータシートどおりの性能を得るには低ジッタのクロックが必要です。R-C クロック発振器は使用しないでください。水晶振動子ベースのクロック ソースを推奨します。クロック信号のリンギングを防ぐため、クロック用の PCB 配線に直列抵抗を入れてソース終端します。クロック信号は、他のクロック信号、入力ピン、アナログ部品から遠ざけて配線してください。

7.3.8 GPIO

ADC には 2 本の汎用 I/O (GPIO) ピンがあり、デジタル入出力として使用できます。GPIO の電圧レベルは、IOVDD および DGND です。図 7-19 に GPIO のブロック図を示します。

GPIO は、GPIO レジスタによってプログラムされます。GPIO は、GPIOx_DIR ビットによって、入力または出力としてプログラムされます。GPIO の状態は、GPIOx_DAT ビットで読み書きされます。出力としてプログラムされている場合、GPIOx_DAT ビットを読み出すと、以前に書き込まれたレジスタ ビット値が返されます。GPIO を使用しない場合は、ピンがフローティングにならないように、プルダウン抵抗で GPIO を終端します。

Copyright © 2025 Texas Instruments Incorporated

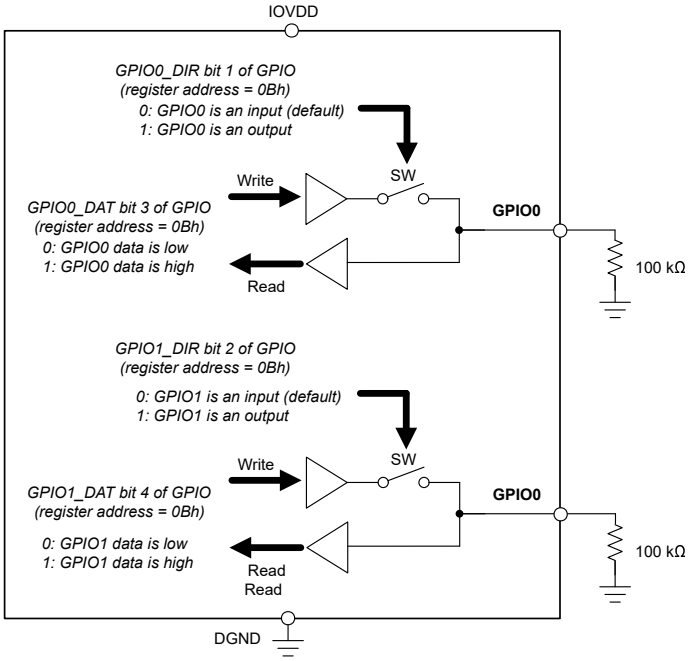


図 7-19. GPIO 動作

7.4 デバイスの機能モード

7.4.1 パワーダウン モード

パワーダウンは、$\overline{\text{PWDN}}$ ピンを low にするか、またはソフトウェア制御によって、スタンバイ コマンドを送信することで開始されます。パワーダウンを終了するには、$\overline{\text{PWDN}}$ を high にするか、ウェークアップ コマンドを送信して、ソフトウェアのパワーダウンを終了します (クロックは動作中)。パワーダウンではアナログ回路がディスエーブルになりますが、デジタル LDO (CAPD ピン) はバイアスされたままで、IOVDD から小さなバイアス電流が流れます。これに対し、ソフトウェアのパワーダウンでは IOVDD バイアス電流が大きくなります。どちらのパワーダウン モードでも、デジタル出力の ac 信号は停止しますが、high または low に駆動されたままになります。デジタル入力をフローティングにすることはできません。フローティングにしないと、IOVDD 電源からリーク電流が流れる可能性があります。パワーダウン時にクロックが中断された場合は、ADC をリセットします。パワーダウン時に同期が失われるため、ADC を再同期します。

7.4.2 リセット

ADC は、パワーオン リセット (POR) 、$\overline{\text{RESET}}$ ピン、RESET コマンドの 3 つの方法でリセットされます。パワーオン リセットは、電源の電圧が対応するスレッショルドを超えると発生します。詳細については、パワーアップ時のスイッチング特性を参照してください。ピンで ADC をリセットするには、2 つ以上の f_{CLK} サイクルにわたって $\overline{\text{RESET}}$ を low に駆動し、リセットのために high に戻ります。コマンドにより、リセットは、リセット コマンドの SCLK の 8 番目の立ち上がりエッジの後の、次の f_{CLK} の立ち上がりエッジで有効になります。リセット時に、フィルタが再起動され、ユーザ レジスタはデフォルトにリセットされます。リセットのタイミングを、図 5-5 に示します。

7.4.3 同期

ADC は SYNC ピンまたは SYNC コマンドによって同期され、デジタル フィルタのサイクルが再スタートします。ピンによる同期は、SYNC が CLK の立ち下がりエッジで High にされた後、次の CLK の立ち上がりエッジで発生します。同期コマンドによる同期は、コマンドの 8 番目のビットの後の CLK の立ち上がりエッジで発生します。

次の結果、同期が失われます:

- 電源投入サイクルまたは ADC リセットが発生した場合
- ハードウェアまたはソフトウェアのパワーダウン モードに移行するとき
- 以下のレジスタ モードが変更されます:

- DR[2:0] (データ レート)
- PHASE (フィルタ位相)
- SYNC (同期モード)
- SRC[1:0] (サンプル レート コンバータの有効 / 無効)

同期制御モードには、パルス同期と連続同期の 2 つがあります。同期モードは、ID/SYNC レジスタの同期ビットによってプログラムされます。

7.4.3.1 パルス同期モード

パルス同期モードでは、SYNC の立ち上がりエッジで無条件に ADC が同期されます。同期が行われると、内部フィルタメモリがリセットされ、$\overline{\text{DRDY}}$ が high になり、フィルタ サイクルが再開されます。デジタル フィルタをセトリングするため、以下の 63 $\overline{\text{DRDY}}$ 期間はディスエーブルされます。変換データの準備が完了すると、$\overline{\text{DRDY}}$ は low になります。同期のタイミングの詳細については、図 5-4 を参照してください。

7.4.3.2 連続同期モード

連続同期モードでは、SYNC ピンに連続クロック信号を受け取ることができます。ADC は、同期クロック信号の周期を $\overline{\text{DRDY}}$ 信号の *N* 周期と比較し、再同期を認定します。最初に、最初の同期の正のエッジが ADC を同期します。再同期は、SYNC の立ち上がりエッジ間の時間が、*N* 個分の $\overline{\text{DRDY}}$ 期間に対して、少なくとも ±1 サイクル分の f_{CLK} のずれが生じた場合にのみ発生します。ここで、*N* = 1、2、3 です。それ以外の場合、同期クロック周期は既存の $\overline{\text{DRDY}}$ パルスと同期しているため、再同期は行われません。サンプル レート コンバータがイネーブルの場合、連続同期モードは使用できないことに注意してください。

同期後、$\overline{\text{DRDY}}$ はパルスを継続しますが、デジタル フィルタを安定させるために、データは 63 のデータ期間にわたって Low に保持されます。$\overline{\text{DRDY}}$ の動作については、図 5-4 を参照してください。デジタル フィルタの初期遅延のため、同期入力信号と $\overline{\text{DRDY}}$ パルスはオフセット時間を示します。オフセット時間は、データ レートの関数で表されます。

7.4.4 サンプル レート コンバータ

サンプル レート コンバータ (SRC) は、SRC レジスタに書き込まれた補正係数で設定される新しいレートで変調器データを再サンプリングし、クロック周波数の誤差を補正します。補償範囲は、分解能 7.45ppb ($1/2^{27}$) で ±244ppm です。

クロック周波数誤差は、SCR0 および SRC1 レジスタに値を書き込むことで補償されます。レジスタ値は、正と負の誤差補償のために 2 の補数形式で表されています。レジスタの値が正の場合、データ レート周波数は低下します(周期は長くなります)。補正後のデータ レートの周波数は、$\overline{\text{DRDY}}$ 信号の周波数によって観測されます。

SRC 補償の値の例を、表 7-7 に示します。8000h はサンプル レート コンバータを無効化します。0000h は補償なしでデータを通過させますが、SYNC 入力の既存の遅延時間から $\overline{\text{DRDY}}$ パルスへの $8/f_{CLK}$ 遅延を追加します。

表 7-7. SRC 補償値の例

SRC[15:0] 値	補償係数
7FFFh	$(1 – 32{,}767 / 2^{27}) \times f_{DATA}$
0001h	$(1 – 1 / 2^{27}) \times f_{DATA}$
0000h	$1 \times f_{DATA}$
FFFFh	$(1 + 1 / 2^{27}) \times f_{DATA}$
8001h	$(1 + 32{,}767 / 2^{27}) \times f_{DATA}$
8000h	$1 \times f_{DATA}$ (SRC 無効)

サンプル レート コンバータを有効または無効にした後、ADC を再同期します。

SRC はデジタル機能なので、動作はエラーなしで確定的です。目標の補償値が決まったら、その値をすぐに ADC に書き込むこともできますし、出力周波数のステップ変化の影響を抑えるために、決めた値まで段階的に書き込むこともできます。SRC レジスタには 2 バイトが使用されるため、マルチバイト コマンド操作を使って SRC レジスタへ書き込み、$\overline{\text{DRDY}}$ の立ち下がりエッジの 256 CLK サイクル前 までに書き込み処理を完了する必要があります。この手順では、補償のために上位バイトと下位バイトを同時にロードします。詳しくは、図 5-7 を参照してください。

Copyright © 2025 Texas Instruments Incorporated

7.4.5 オフセットおよびゲインの較正

ADC には、オフセット誤差とゲイン誤差を補正するための較正レジスタが組み込まれています。式 6 および 図 7-20 に示されているように、24 ビットのオフセット値 (OFFSET[23:0]) は、24 ビットのゲイン値 (GAIN[23:0]) で乗算され (400000h で割られる) 前に、フィルタ データから減算されます。最終的な出力を得るため、データは 32 ビットにクリッピングされます。ハイパス フィルタが有効化されると、オフセット動作はバイパスされます。

$$\text{Output} = (\text{Input} - \text{OFFSET[23:0]}) \cdot \frac{\text{GAIN[23:0]}}{400000\text{h}} \tag{6}$$

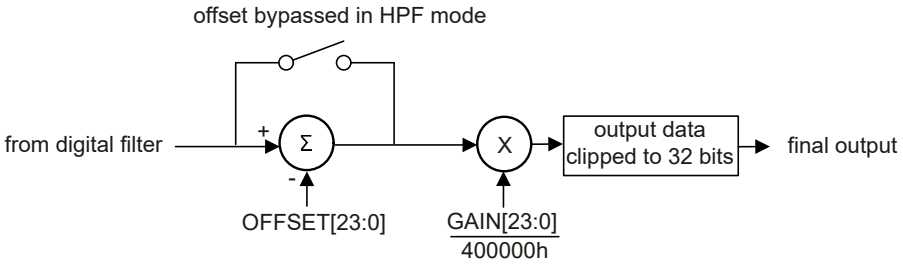


図 7-20. 較正のブロック図

7.4.5.1 OFFSET レジスタ

オフセット補正は 24 ビット ワードで、3 つの 8 ビット レジスタ (上位アドレスは MSB) で構成されます。オフセット値は左揃えされ、32 ビットのデータに合わせて調整されます。オフセット値は 2 の補数形式で符号化されており、最大の正値は 7FFFFFh、最大の負値は 800000h です。表 7-8 に示されているように、変換データからオフセット値が減算されます。オフセット誤差は、入力短絡のマルチプレクサ オプションを用いたオフセット校正コマンドで補正するか、ショート入力の ADC データを収集してその値をレジスタに書き込むことで補正します。

オフセット補正の範囲は - FS から FS ですが、オフセット補正とゲイン補正の合計は較正されていない範囲の 106% を超えないようにする必要があります。

ハイパス フィルタを有効化すると、オフセット補正が無効化されます。ハイパス フィルタのセトリング時間を短縮するための開始値として、代わりにオフセット値を使用しています。オフセット値を HPF にリロードするには、ハイパス フィルタディスエーブルしてから再度イネーブルします。詳細については、「*HPF ステージ*」セクションを参照してください。

表 7-8. オフセット較正値

OFFSET[31:0]	較正済み出力コード(1)
00007Fh	FFFF8100h
000000h	00000000h
FFFF7Fh	00008100h

(1) オフセット誤差がない理想的なコード値。

7.4.5.2 GAIN レジスタ

ゲイン補正は 24 ビット ワードによって行われ、3 つの 8 ビット レジスタ (上位アドレス = MSB) で構成されます。ゲイン値は 24 ビットで、ストレート バイナリで符号化されており、GAIN[23:0] が 400000h のときに 1.0 へ正規化されます。較正信号が適用された場合、ゲイン較正コマンド、または ADC データを収集して計算された値をゲイン レジスタに書き込むことで、ゲイン誤差が較正されます。表 7-9 には、GAIN[23:0] レジスタ値の例が示されています。ゲイン値の範囲は 1 より大きくても小さくても構いませんが、オフセット補正とゲイン補正の合計は、未校正レンジの 106% を超えてはなりません。

表 7-9. ゲイン較正値

GAIN[31:0]	ゲイン補正係数
433333h	1.05
400000h	1.00

表 7-9. ゲイン較正値 (続き)

GAIN[31:0]	ゲイン補正係数
3CCCCCh	0.95

7.4.5.3 較正手順

ADC 較正は、ADC 較正コマンドまたは手動較正によって実行されます。較正手順は以下のとおりです:

1. 較正のために、PGA もしくはバッファ動作、入力チャネル、そして PGA のゲイン条件を選択します。
2. オフセット レジスタ = 000000h、GAIN レジスタ = 400000h をプリセットします。
3. オフセット較正のため、ハイパス フィルタを無効化します。システムへの入力を短絡するか、入力マルチプレクサを使用して入力短絡を行えるようにします。システム レベルの入力短絡が発生すると、より正確な較正が可能です。入力が安定したら、OFSCAL コマンドを送信するか、手動較正を実行します。
   a. OFSCAL コマンド。コマンドが送信された後、$\overline{\text{DRDY}}$ は 81 変換時間後に Low に駆動され、較正が完了したことを示します。オフセット レジスタは、新しい較正値に更新されます。図 7-21 に示すように、最初のデータ出力では新しいオフセット値が使用されます。
   b. 手動較正。デジタル フィルタが安定するまで、少なくとも 64 回の変換を待ち、その後、複数のデータ ポイントを平均化して較正精度を向上させます。24 ビット オフセット レジスタに値を書き込みます。
4. ゲイン較正電圧を印加します。入力が安定したら、GANCAL コマンドを送信するか、手動較正を実行します。
   a. GANCAL コマンド。正の dc フルスケール較正電圧を印加します。コマンドが送信された後、$\overline{\text{DRDY}}$ は 81 変換時間後に Low に駆動され、較正が完了したことを示します。ADC は、印加された較正信号とフルスケール コードが等しくなるようにゲインを計算します。図 7-21 に示すように、最初のデータ出力は新しいゲイン値を使用します。
   b. 手動較正。サンプル レートと同期した交流信号、またはフルスケールよりわずかに低い直流較正信号 (たとえばゲイン = 1 の場合は 2.4V) を印加します。較正信号をフルスケール レンジ未満に使用すると、較正が不正確になるような出力コードのクリッピングを防ぐことができます。デジタル フィルタが安定するまで 64 回の変換を待ち、その後、複数のデータ ポイントを平均して較正精度を向上させます。ac 信号の較正では、いくつかのコヒーレント信号周期を使用して RMS 値を計算します。

   式 7 は手動較正のゲイン値を計算します。

$$\text{GAIN[23:0]} = 400000\text{h} \cdot \frac{\text{Expected Output Code}}{\text{Actual Output Code}} \tag{7}$$

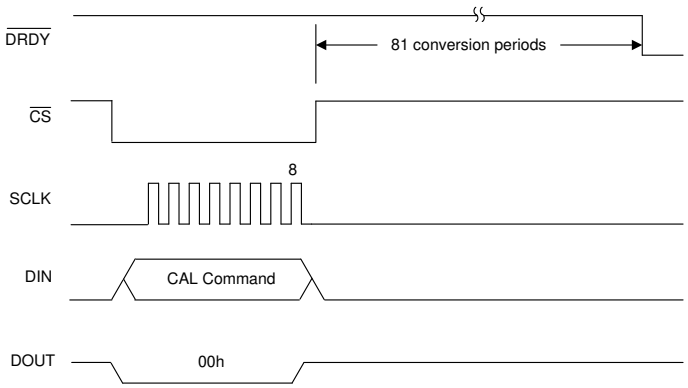


図 7-21. 較正コマンド

Copyright © 2025 Texas Instruments Incorporated

7.5 プログラミング

7.5.1 シリアル インターフェイス

変換データは、SPI 互換のシリアル インターフェイスを介して読み取られ、ADC 構成が行われます。インターフェイスは次の 4 つの信号で構成されています:$\overline{CS}$、SCLK、DIN、DOUT。$\overline{DRDY}$ は、変換データの準備が完了すると Low になります。シリアル インターフェイスはパッシブ (ペリフェラル モード) で、シリアル クロック (SCLK) が入力です。この ADC は SPI モード 0 (CPOL = 0、CPHA = 0) で動作します。モード 0 では、SCLK はアイドル時に Low で、データは SCLK の立ち下がりエッジで更新され、SCLK の立ち上がりエッジで読み取られます。

7.5.1.1 チップ セレクト ($\overline{CS}$)

$\overline{CS}$ はアクティブ Low 入力で、シリアル インターフェイスの通信をイネーブルします。通信フレームは $\overline{CS}$ を low にすると開始され、$\overline{CS}$ を igh にすると終了します。フレームごとに 1 つのコマンドしか許可されないため、コマンド間で $\overline{CS}$ を切り替えます。コマンドが完了する前に $\overline{CS}$ を high にすると、動作がリセットされ、それ以上の SCLK 入力はブロックされます。$\overline{CS}$ igh は、DOUT を高インピーダンス状態に強制します。$\overline{DRDY}$ は、$\overline{CS}$ の状態にかかわらずアクティブ出力です。

7.5.1.2 シリアル クロック (SCLK)

SCLK は、ADC からデータを出し入れするためのシリアル クロック入力です。ADC は、SCLK の立ち上がりエッジで DIN データをラッチします。DOUT のデータは、SCLK の立ち下がりエッジでシフトアウトされます。アクティブでないときは、SCLK を Low に保ちます。SCLK ピンはシュミット トリガ入力で、SCLK ノイズへの感度を低下させます。ただし、データが誤ってシフトされるのを防ぐため、SCLK 信号はできるだけノイズのない状態に保ちます。

7.5.1.3 データ入力 (DIN)

ADC への DIN 入力データ。DIN のデータは、SCLK の立ち上がりエッジでラッチされます。

7.5.1.4 データ出力 (DOUT)

DOUT はデータ出力ピンです。データは SCLK の立ち下がりエッジでシフト アウトされ、立ち上がりエッジでホスト側にラッチされます。$\overline{CS}$ が low ($\overline{DRDY}$ low) に駆動されたとき、変換データの MSB は DOUT であるため、データの MSB は SCLK の最初の立ち上がりエッジで読み取られます。ピンの負荷容量を減らすため、パターン長を最短にします。PCB パターンのインピーダンスを終端するため、ピンの近くに直列終端抵抗を配置します。$\overline{CS}$ を high にすると、DOUT は強制的に高インピーダンス状態になります。

7.5.1.5 データ準備完了 ($\overline{DRDY}$)

$\overline{DRDY}$ は、変換データの準備が完了したことを示すアクティブ Low 出力です。$\overline{DRDY}$ は、$\overline{CS}$ の状態にかかわらずアクティブです。$\overline{DRDY}$ は、データの読み取り中かコマンドが入力されているかにかかわらず、SCLK の最初の立ち下がりエッジで high に駆動されます。図 7-22 に示すように、データが取得されない場合、$\overline{DRDY}$ パルスは 8 f_{CLK} 周期にわたって high になります。

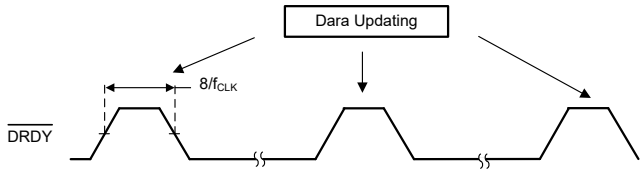


図 7-22. データ取得なしの $\overline{DRDY}$

7.5.2 変換データの形式

表 7-10 に示すように、変換データは、正と負の数を表すために、32 ビットの 2 の補数形式で符号化されています。必要なら、$\overline{CS}$ を high にすることで、データ読み取り動作を 24 ビットに短縮できます。sinc フィルタ モードでは、FIR フィルタ モードと比べてデータが 1/2 にスケーリングされます。

表 7-10. 出力データ フォーマット

V_{IN} (V)	変換コード(1)	
	FIR フィルタ	SINC フィルタ(2)
≥ 2.5V × (2^{31} – 1) / 2^{31} / ゲイン	7FFFFFFFh	3FFFFFFFh
2.5V/ (ゲイン× (2^{31}–1))	00000001h	<00000001h
0	00000000h	00000000h
–2.5V / (ゲイン × 2^{31})	FFFFFFFFh	>FFFFFFFFh
≤ –2.5 V/ ゲイン	80000000h	C0000000h

(1) 基準電圧誤差、ノイズ、直線性、オフセット、ゲイン誤差の影響は除きます。
(2) OSR が低いため、sinc フィルタ モードでは 32 ビットのフル分解能は利用できません。入力信号がオーバードライブされた場合、変調器が飽和してクリップするまで、sinc フィルタは定格フルスケール値を超えたコード値を出力し続けます。

7.5.3 コマンド

表 7-11 に、ADC のコマンドを示します。ほとんどのコマンドは 1 バイトの長さです。ただし、レジスタの読み取りおよび書き込みコマンドのバイト数は、コマンドで指定されているレジスタ データの量によって異なります。

表 7-11. コマンドの説明

ニーモニック	タイプ	説明	BYTE 1(1)	BYTE 2
ウェークアップ	制御	スタンバイ モードまたは NOP からのウェークアップ	0000 000x (00h または 01h)	—
STANDBY	制御	スタンバイの開始 (ソフトウェア パワーダウン モード)	0000 001x (02h または 03h)	—
SYNC	制御	同期	0000 010x (04h または 5h)	—
リセット	制御	リセット	0000 011x (06h または 07h)	—
RDATA	データ	変換データの読み取り	0001 0010 (12h)	—
RREG	登録	アドレス *rrrr* から始まる *nnnn* レジスタを読み取ります	0010 *rrrr* (20h + *rrrr*)(2)	0000 *nnnn* (00h + *nnnn*)(3)
WREG	登録	アドレス *rrrr* から始まる *nnnn* レジスタを書き込みます	0100 *rrrr* (40h + *rrrr*)(2)	0000 *nnnn* (00h + *nnnn*)(3)
OFSCAL	較正	オフセット キャリブレーション	0110 0000 (60h)	—
GANCAL	較正	ゲイン較正	0110 0001 (61h)	—

(1) x = 未使用。
(2) rrrr = レジスタ読み取りおよび書き込みコマンドの開始アドレス。
(3) nnnn = 読み書きするレジスタの数 –1。たとえば、3 つのレジスタを読み出しまたは書き込みする場合は、*nnnn* = 2 です。

7.5.3.1 シングル バイトのコマンド

図 7-23 に、シングル バイト コマンドの一般的なフォーマットを示します。RDATA コマンドの応答バイトについては、RDATA コマンドを参照してください。

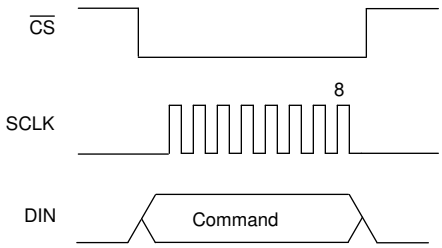


図 7-23. シングル バイトのコマンド形式

Copyright © 2025 Texas Instruments Incorporated

7.5.3.2 ウェークアップ：ウェーク コマンド

ウェークアップ コマンドは、スタンバイ モードを終了して、通常動作を再開します。ADC にすでに電源が供給されている場合、このコマンドは動作しません (NOP)。スタンバイ モードを終了するとき、ADC を再同期する必要があります。パワーダウン モードの詳細については、*パワーダウン モード* セクションを参照してください。

7.5.3.3 STANDBY：ソフトウェア パワーダウン コマンド

STANDBY コマンドは、ソフトウェアのパワーダウン モードに移行します。ADC は、ウェークアップ コマンドによってソフトウェア パワーダウン モードを終了します。パワーダウン モードの詳細については、*パワーダウン モード* セクションを参照してください。

7.5.3.4 SYNC：同期コマンド

SYNC コマンドは ADC を同期します。同期は、SYNC コマンド バイトの 8 ビット目で発生します。同期されると、現在の変換は停止され、再開されます。ソフトウェア コマンドで複数の ADC を同期するには、すべてのデバイスに同時にコマンドを送信します。コマンドを使用するときは、SYNC ピンを high にする必要があります。同期の詳細については、*同期*セクションを参照してください。

7.5.3.5 RESET：リセット コマンド

RESET コマンドは ADC をリセットします。リセット動作の詳細については、「*リセット*」セクションを参照してください。

7.5.3.6 データの直接読み取り

変換データを読み取るには、データの直接読み取りと、コマンドによるデータの読み取りの 2 つの方法があります。

データの直接読み取りにはコマンドは必要ありません。代わりに、$\overline{\text{DRDY}}$ が Low に低下した後、単純に SCLK を適用してデータを読み取ります。データの直接読み取り動作を、図 7-24 に示します。$\overline{\text{DRDY}}$ が Low に低下したとき、$\overline{\text{CS}}$ を Low にして読み取り動作を開始します。$\overline{\text{CS}}$ が Low になると、DOUT はトライステートモードからデータ MSB の出力に遷移します。データは SCLK の立ち上がりエッジで読み取られ、SCLK の立ち下がりエッジで更新されます。$\overline{\text{DRDY}}$ は、SCLK の最初の立ち下がりエッジで high に戻ります。32 データ ビットが読み出された後 DOUT は Low になります。新しいデータが使用可能になる前に同じデータを再度読み取るには、RDATA コマンドを使用します。

変換データを読み取るときは、DIN を low に保ちます。RDATA (読み取り変換データ) または RREG (レジスタ データの読み取り) コマンドが送信された場合、このコマンドに応答して出力データが中断されます。読み取り動作中に $\overline{\text{DRDY}}$ が low に低下した場合、少なくとも 3 バイトの古いデータが読み取られるまで、新しいデータは失われます。

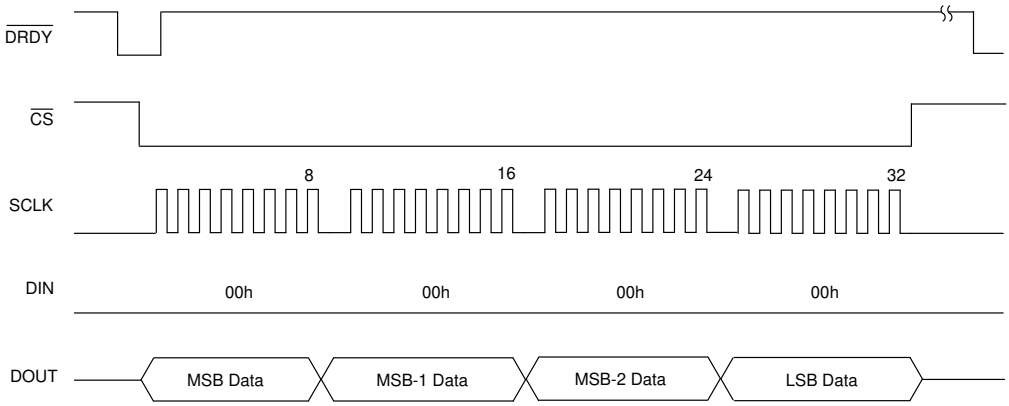


図 7-24. データの直接読み取り

7.5.3.7 RDATA：変換データ読み取りコマンド

RDATA コマンド (図 7-25) は、同じ変換期間内にデータを再読み取りする場合、またはレジスタ読み取りコマンドによって割り込みされたデータを読み取る場合に役立ちます。どちらの場合も、前の動作の最初の SCLK で $\overline{\text{DRDY}}$ は high に

駆動されるため、$\overline{\text{DRDY}}$ は high です。$\overline{\text{DRDY}}$ が high の場合、最初の出力バイトは 0 になり、その後にデータが続きます。Low の場合、最初の出力バイトは変換データのバイト 1 で、出力バイト 2 に対して再起動されます。

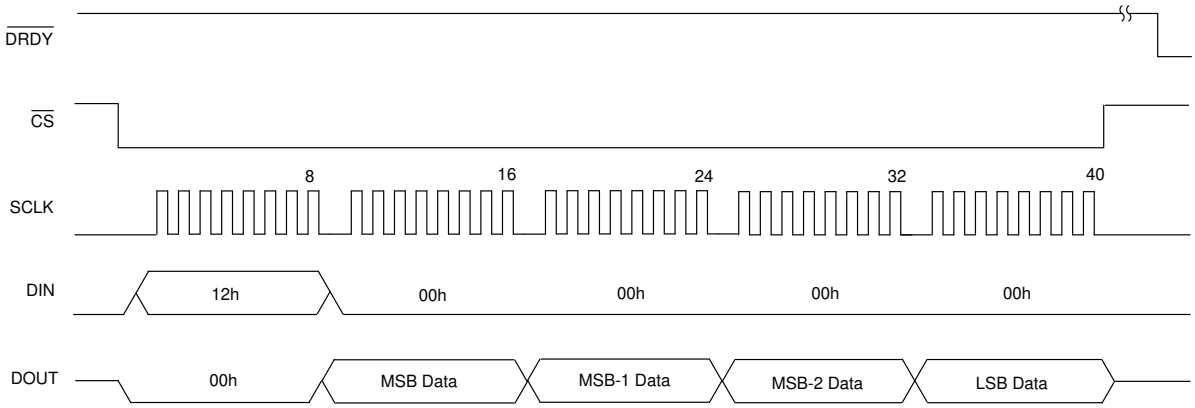


図 7-25. コマンドにより変換データを読み取り

7.5.3.8 RREG：レジスタ読み取りコマンド

RREG コマンドはレジスタ データを読み取ります。このコマンドは 2 バイトで構成され、その後に指定されたレジスタ バイト数が出力されます。ADC は、コマンドのバイト 2 で指定されたレジスタ数まで、アドレスを自動的にインクリメントします。インクリメントされているアドレスはラップされません。コマンドの最初のバイトは、オペコードに読み取り開始アドレスを加えたもので、2 バイト目は読み取るレジスタ数から 1 を引いた値になります。

- 最初のコマンド バイト:0010 rrrr。ここで *rrrr* は開始レジスタ アドレスです
- 2 番目のコマンド バイト:0000 nnnn。ここで、*nnnn* は読み出すレジスタ数から 1 を引いた値です

レジスタ アドレス 01h から始まる 3 レジスタ読み取り動作の例を、図 7-26 に示します。最初のレジスタのデータは、SCLK の 16 番目の立ち下がりエッジで DOUT に現れます。データは SCLK の立ち上がりエッジでラッチされます。

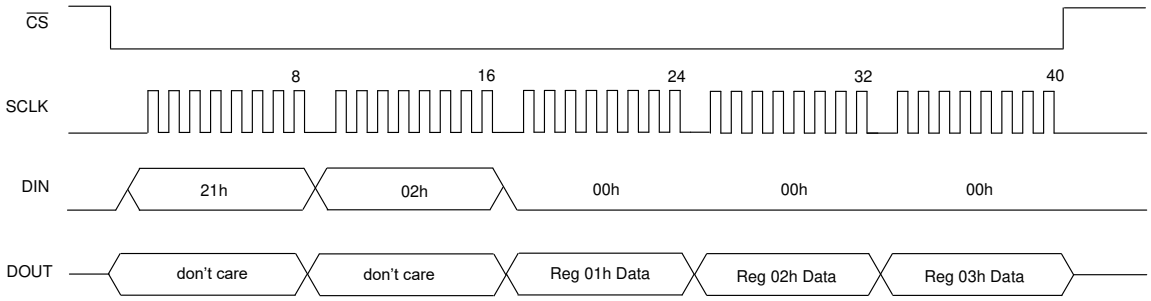


図 7-26. レジスタ データの読み取り

7.5.3.9 WREG：レジスタ書き込みコマンド

WREG コマンドはレジスタ データを書き込みます。このコマンドの後に 2 バイトのコマンドが続き、指定された数の書き込みレジスタ バイトが続きます。ADC は、コマンドで指定されたレジスタ数まで、アドレスを自動的にインクリメントします。インクリメントされているアドレスはラップされません。コマンドの最初のバイトは、オペコードに読み取り開始アドレスを加えたもので、2 バイト目は書き込むレジスタ数から 1 を引いた値になります。

- 最初のコマンド バイト:0100 rrrr。ここで、*rrrr* は最初のレジスタの開始アドレスです
- 2 番目のコマンド バイト:0000 nnnnn。ここで、*nnnn* は書き込むレジスタ数から 1 を引いた値です
- データ バイト:指定されたレジスタの数に応じて、数が異なります

レジスタ アドレス 01h から始まる 3 レジスタ書き込み動作の例を、図 7-27 に示します。

Copyright © 2025 Texas Instruments Incorporated

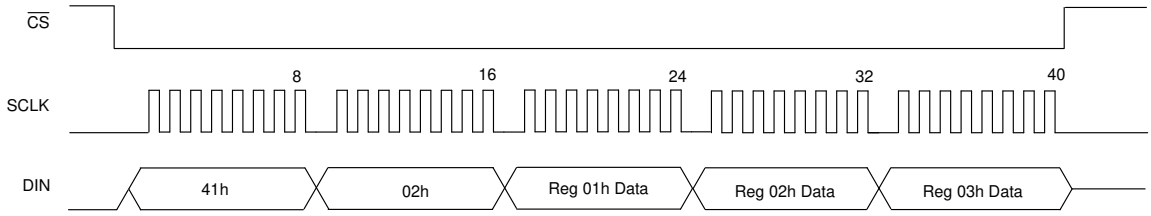


図 7-27. レジスタ データの書き込み

7.5.3.10 OFSCAL：オフセット較正コマンド

OFSCAL コマンドはオフセット較正を実行します。動作の詳細については、「*較正手順*」セクションを参照してください。

7.5.3.11 GANCAL：ゲイン較正コマンド

GANCAL コマンドはゲイン較正を実行します。動作の詳細については、「*較正手順*」セクションを参照してください。

8 レジスタ マップ

レジスタには、デバイスを構成するために必要な情報 (データ レート、フィルタ モード、特定のリファレンス電圧など) がすべて含まれています。このレジスタには、読み取りおよび書き込みコマンド (RREG と WREG) によってアクセスします。レジスタには個別にアクセスすることも、コマンド フィールドで指定されたレジスタの数で与えられる倍数でアクセスすることもできます。

特定のレジスタ ビットに変更を加えると、フィルタがリセットされるため、ADC を再同期する必要があります。詳細については、*同期* セクションを参照してください。

表 8-1. レジスタ マップ

アドレス	REG LINK	リセット	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
00h	ID/SYNC	xxxx0010b	REVID[3:0]				DEVID[2:0]			SYNC
01h	CONFIG0	10010010b	予約済み		DR[2:0]			PHASE	FILTR[1:0]	
02h	CONFIG1	00010000b	MUX[2:0]			予約済み		GAIN[2:0]		
03h	HPF0	00110010h	HPF[7:0]							
04h	HPF1	00000011b	HPF[15:8]							
05h	OFFSET0	00000000b	OFFSET[7:0]							
06h	OFFSET1	00000000b	OFFSET[15:8]							
07h	OFFSET2	00000000b	OFFSET[23:16]							
08h	GAIN0	00000000b	GAIN[7:0]							
09h	GAIN1	00000000b	GAIN[15:8]							
0Ah	GAIN2	01000000b	GAIN[23:16]							
0Bh	GPIO	000xx000b	予約済み			GPIO1_DAT	GPIO0_DAT	GPIO1_DIR	GPIO0_DIR	予約済み
0Ch	SRC0	00000000b	SRC[7:0]							
0Dh	SRC1	10000000b	SRC[15:8]							

8.1 レジスタの説明

表 8-2 に、ADS1288 レジスタのレジスタアクセス コードを一覧します。

表 8-2. ADS1288 のアクセス コード

アクセス タイプ	コード	説明
R	R	読み出し
R/W	R/W	読み出しまたは書き込み
W	W	書き込み
-n		リセット後の値またはデフォルト値

Copyright © 2025 Texas Instruments Incorporated

8.1.1 ID/SYNC：デバイス ID、同期レジスタ (アドレス = 00h) [リセット = xxxx0010b]

図 8-1. ID/SYNC レジスタ

7	6	5	4	3	2	1	0
REVID[3:0]				DEVID[2:0]			SYNC
R-xxxxb				R-001b			R/W-0b

表 8-3. ID/SYNC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	REVID[3:0]	R	xxxxb	出荷時にプログラムされるダイリビジョン。 これらのビットは、ダイのリビジョンを示します。ダイのリビジョンは、通知なく変更される可能性があります。
3:1	DEVID[2:0]	R	001b	出荷時にプログラムされたデバイス識別。 これらのビットは、ADC を識別します。 001b = ADS1288
0	SYNC	R/W	0b	同期モードの選択。 詳細については、*同期*セクションを参照してください。 0b = パルス同期モード 1b = 連続同期モード

8.1.2 CONFIG0：構成レジスタ (アドレス = 01h) [リセット = 92h]

図 8-2. CONFIG0 レジスタ

7	6	5	4	3	2	1	0
予約済み		DR[2:0]			PHASE	FILTR[1:0]	
R-10b		R/W-010b			R/W-0b	R/W-10b	

表 8-4. CONFIG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	10b	予約済みビット
5:3	DR[2:0]	R/W	010b	データ レートの選択。 詳細については*デジタルフィルタ*セクションを参照してください。 000b = 125SPS 001b = 250SPS 010b = 500SPS 011b = 1000SPS 100b = 2000SPS 101b –111b = 予約済み
2	PHASE	R/W	0b	FIR フィルタの位相選択。 詳細については、*デジタル フィルタ*セクションを参照してください。 0b = 直線性位相 1b = 最小位相
1:0	FILTR[1:0]	R/W	10b	デジタル フィルタの構成。 詳細については、*デジタル フィルタ*セクションを参照してください。 00b = 予約済み 01b = Sinc フィルタ出力 10b = FIR フィルタ出力 11b = FIR + IIR フィルタ出力

8.1.3 CONFIG1：構成レジスタ 1 (アドレス = 02h) [リセット = 10h]

図 8-3. CONFIG1 レジスタ

7	6	5	4	3	2	1	0
MUX[2:0]			予約済み		GAIN[2:0]		
R/W-000b			R-10b		R/W-000b		

表 8-5. CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	MUX[2:0]	R/W	000b	入力 MUX の選択。 詳細については、*アナログ入力*セクションを参照してください。 000b = 入力 1 001b = 入力 2 010b = 400Ω 抵抗による内部短絡 011b = 入力 1 および入力 2 100b = 予約済み 101b = 0Ω 抵抗による内部短絡 110b、111b = 予約済み
4:3	予約済み	R	10b	予約済みビット
2:0	GAIN[2:0]	R/W	000b	PGA のゲイン選択。 詳細については、*PGA およびバッファ* セクションを参照してください。 000b = 1 001b = 2 010b = 4 011b = 8 100b = 16 101b = 32 110b = 64 111b = バッファ動作

8.1.4 HPF0、HPF1：ハイパス フィルタ レジスタ (アドレス = 03h、04h) [リセット = 32h、03h]

図 8-4. HPF0 レジスタ

7	6	5	4	3	2	1	0
HPF[7:0]							
R/W-32h							

図 8-5. HPF1 レジスタ

7	6	5	4	3	2	1	0
HPF[15:8]							
R/W-03h							

表 8-6. HPF0、HPF1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	HPF[15:0]	R/W	0332h	ハイパス フィルタのプログラミング。 これらのレジスタは、ハイパス フィルタのコーナー周波数をプログラムします。詳細については、*HPF ステージ*セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

8.1.5 OFFSET0、OFFSET1、OFFSET2：オフセット較正レジスタ (アドレス = 05h、06h、07h) [リセット = 00h、00h、00h]

図 8-6. OFFSET0 レジスタ

7	6	5	4	3	2	1	0
OFFSET[7:0]							
R/W-00h							

図 8-7. OFFSET1 レジスタ

7	6	5	4	3	2	1	0
OFFSET[15:8]							
R/W-00h							

図 8-8. OFFSET2 レジスタ

7	6	5	4	3	2	1	0
OFFSET[23:16]							
R/W-00h							

表 8-7. OFFSET0、OFFSET1、OFFSET2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23:0	OFFSET[23:0]	R/W	000000h	オフセット較正。 これらのビットは、24 ビットのオフセット較正ワードです。形式は 2 の補数コーディングです。ADC はゲイン較正動作の前に、変換結果からオフセット値を減算します。詳細については、*オフセットおよびゲインの較正* セクションを参照してください。

8.1.6 GAIN0、GAIN1、GAIN2：ゲイン較正レジスタ (アドレス = 08h、09h、0Ah) [リセット = 00h、00h、40h]

図 8-9. GAIN0 レジスタ

7	6	5	4	3	2	1	0
GAIN[7:0]							
R/W-00h							

図 8-10. GAIN1 レジスタ

7	6	5	4	3	2	1	0
GAIN[15:8]							
R/W-00h							

図 8-11. GAIN2 レジスタ

7	6	5	4	3	2	1	0
GAIN[23:16]							
R/W-40h							

表 8-8. GAIN0、GAIN1、GAIN2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23:0	GAIN[23:0]	R/W	400000h	ゲイン較正。 これらのビットは、24 ビットのゲイン較正ワードを形成します。ゲイン較正はストレート バイナリ形式で符号化されます。レジスタ値を 400000h (2^{22}) で除算し、変換データを乗算します。ゲイン演算は、オフセット演算の後に発生します。詳細については、*オフセットおよびゲインの較正* セクションを参照してください。

8.1.7 GPIO：デジタル入力 / 出力バレジスタ (アドレス = 0Bh) [リセット = 000xx000b]

図 8-12. GPIO レジスタ

7	6	5	4	3	2	1	0
予約済み			GPIO1_DAT	GPIO0_DAT	GPIO1_DIR	GPIO0_DIR	予約済み
R/W-000b			R/W-xb	R/W-xb	R/W-0b	R/W-0b	R/W-0b

表 8-9. GPIO レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R/W	000b	常に 000b を書き込みます。
4	GPIO1_DAT	R/W	xb	GPIO1 データ。 詳細については、「*GPIO*」セクションを参照してください。 0b = GPIO1 は low 1b = GPIO1 は high
3	GPIO0_DAT	R/W	xb	GPIO0 データ。 0b = GPIO0 は low 1b = GPIO0 は high
2	GPIO1_DIR	R/W	0b	GPIO1 の方向。 0b = GPIO1 は入力 1b = GPIO1 は出力
1	GPIO0_DIR	R/W	0b	GPIO0 の方向。 0b = GPIO0 は入力 1b = GPIO0 は出力
0	予約済み	R/W	0b	常に 0b を書き込みます。

8.1.8 SRC0、SRC1：サンプル レート コンバータ レジスタ (アドレス = 0Ch、0Dh) [リセット = 00h、80h]

図 8-13. SRC0 レジスタ

7	6	5	4	3	2	1	0
SRC[7:0]							
R/W-00h							

図 8-14. SRC1 レジスタ

7	6	5	4	3	2	1	0
SRC[15:8]							
R/W-80h							

Copyright © 2025 Texas Instruments Incorporated

表 8-10. SRC0、SRC1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	SRC[15:0]	R/W	8000h	サンプル レート コンバータ。 これらのレジスタは、サンプル レート コンバータをプログラムします。動作の詳細については、「*サンプル レート コンバータ*」セクションを参照してください。 8000h = SRC 機能は無効です。

9 アプリケーションと実装

注

以下のアプリケーション セクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

ADS1288 は、低消費電力の地震探査用データ取得装置向けに設計された高分解能 ADC です。性能を最適化するには、サポート回路とプリント基板 (PCB) レイアウトに特に注意する必要があります。可能な限り、マイコン、オシレータ、スイッチング レギュレータなどのノイズ源となる回路部品は、ADC の入力回路部品、基準電圧、およびクロック信号から離れた場所に配置します。

9.2 代表的なアプリケーション

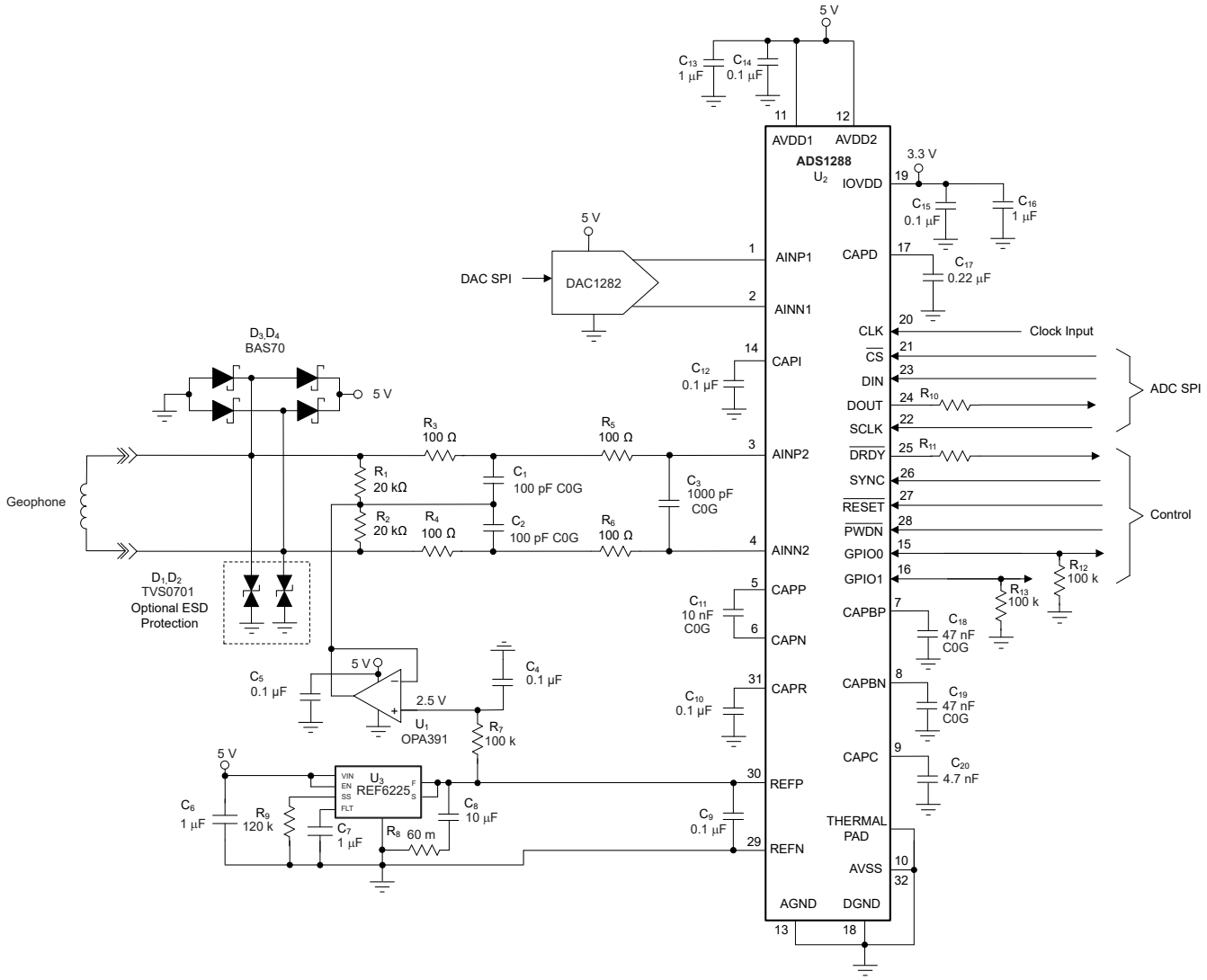


図 9-1. ジオホン入力アプリケーションの例

Copyright © 2025 Texas Instruments Incorporated

9.2.1 設計要件

図 9-1 に、ジオフォン入力回路の一般的な用途を示します。このアプリケーションでは、5V 電源と、ADC 入力に 2.5V のレベルシフト電圧が印加される ADC を示します。この評価の目的は、ソース抵抗に起因するノイズの影響を分析することです。ソース抵抗は、直列入力抵抗とジオフォン出力抵抗の合計です。

9.2.2 詳細な設計手順

図 9-1 に示すように、ショットキー ダイオード (BAS70 または同等品) は、電圧過負荷から ADC 入力を保護します。ADC 入力は、オプションの ESD 保護ダイオード (TVS0701) によって ESD イベントから保護されています。ジオホン信号は、入力終端抵抗 (R_1 および R_2) の共通ポイントを 2.5V に駆動することで、中電圧にレベルシフトされます。レベルシフト電圧はリファレンス電圧から生成され、OPA391 オペアンプによってバッファされます。 入力終端抵抗は、ADC 入力に対する入力バイアス電流の帰路としても機能します。

入力信号は、帯域外ノイズを低減するためにフィルタ処理されます。このフィルタは、同相モードおよび差動セクションで構成されています。同相セクションでは、R_3、R_4、C_1、C_2 で構成される両方の入力に関連するノイズをフィルタ処理します。差動セクションは、R_3 ～ R_6 と C_3 で構成される差動ノイズをフィルタ処理します。これらの抵抗値は小さく保つことで、熱ノイズを低減しています。

REF6225 は、2.5V のリファレンス電圧を供給します。

AVDD1 の電源電圧は 5V とし、AVSS は AGND に接続します。電源要件を簡素化するため、AVDD2 も 5V とします。IOVDD は 3.3V で示されています。IOVDD = 1.8V の場合、CAPD ピン (19 ピン) を IOVDD に接続します。

電源ピン以外にも、特定のピンに追加のコンデンサを配置します。CAPP–CAPN、REFP–REFN の間、そして CAPBP、CAPBN、CAPI、CAPR、CAPC、CAPD の各ピンには、図 9-1 に示されている容量値のコンデンサが必要です。CAPP–CAPN、CAPBP、および CAPBN コンデンサは C0G のタイプです。

DAC1282 は、THD の性能を検証するための低歪み信号を供給し、さらに DAC1282 の dc テスト モードを使用することで、ジオフォンのインパルス応答をテストできます。ADS1288 の THD テスト性能を最適化するため、DAC1282 コンデンサ CAPP と CAPN の値を 10nF に増やします。回路の付加的な詳細については、DAC1282 データシートをご覧ください。

9.2.3 アプリケーション曲線

表 9-1 は、ジオフォンのソース抵抗 (R_S) の影響と、入力電流ノイズが合計ノイズ性能に及ぼす影響を示しています。ジオフォン R_S = 1000Ω、5000Ω、および図 9-2 の入力電流ノイズ分布から得られた 2 つの値の入力電流ノイズ。入力電流ノイズの値 = 1.5pA/√Hz と 3pA/√Hz が評価されます。ジオフォンの R_S 熱ノイズ、電流ノイズ × R_S、ADC 入力換算ノイズを加算して、合計ノイズを導出します。

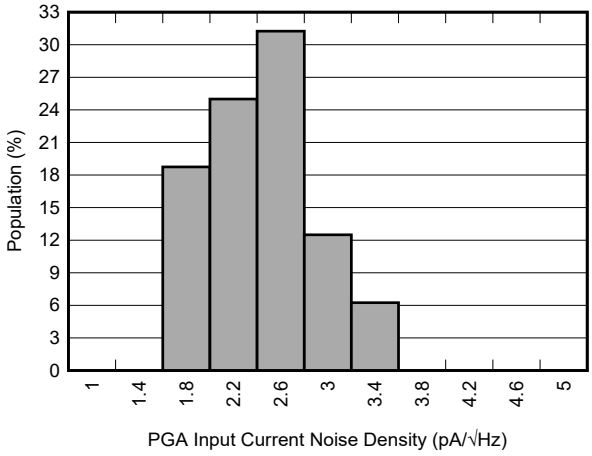


図 9-2. PGA 入力電流ノイズの分布

表 9-1. 合計ノイズ

R_S (Ω)	ゲイン	R_S ノイズ (µV)	i_n ノイズ (pA/√Hz)	$i_n \times R_S$ ノイズ (µV)	ADC ノイズ (µV)	合計ノイズ (µV)
1000	1	0.06	1.5	0.024	1.4	1.4
		0.06	3	0.048		1.4
	16	0.06	1.5	0.024	0.28	0.29
		0.06	3	0.048		0.29
5000	1	0.13	1.5	0.11	1.4	1.41
		0.13	3	0.22		1.41
	16	0.13	1.5	0.11	0.28	0.33
		0.13	3	0.22		0.38

この分析データは、ノイズ帯域幅が 206Hz (f_{DATA}= 500SPS) を前提としています。データからは、ADC ノイズ単独と比較した合計ノイズの増加の最大値は、5000Ω のジオホン ソース抵抗、PGA ゲイン = 16、i_n = 3pA/√Hz であることが示されています。1000Ω のジオフォン ソース抵抗は、同じ条件下でわずかなノイズ増加を示しています。

9.3 電源に関する推奨事項

ADC には、4 つの電源があります：AVDD1、AVDD2、AVSS および IOVDD。電源オプションの中では、AVDD1、AVDD2、IOVDD を単一の 3.3V 電源にまとめ、AVSS をグランドに接続することで、電源を 1 系統に減らすことができます。3.3V で動作させる場合、ゲイン = 1 ではバッファを使用する必要があることに注意してください。

電源はどの順序で投入してもかまいません。電源が立ち上がりパワーオン電圧スレッショルドを超え、クロック信号が印加されるまで、ADC はリセット状態に保持されます (電圧スレッショルドの詳細については、図 5-8 を参照してください)。

9.3.1 アナログ電源

ADC には AVDD1、AVDD2、AVSS の 3 つのアナログ電源があり、いずれも良好に安定化され、スイッチング電源ノイズ (電圧リップル < 1mV) がない状態である必要があります。AVDD1 電源電圧は AVSS を基準としており、PGA とバッファに電力を供給します。AVSS は負電源です。ADC は、AVSS をグランドに接続し、AVDD1 = 5V または 3.3V に設定することで、シングル電源動作に構成できます。AVDD1 と AGND の最小電圧差が 2.375V であるため、AVDD1 – AVSS = ±2.5V の場合にのみデュアル電源動作が可能です。単一電源動作には、入力終端抵抗を介したジオホン入力でのレベルシフト電圧が必要です。レベルシフト電圧は通常、AVDD1/2 と等しくなります。AVDD1 と AVSS の間に、1µF と 0.1µF のコンデンサを並列に接続してバイパスします。

AVDD2 電源は、変調器に電力を供給します。システムの電源管理を簡素化するために、AVDD1 と AVSS がシングル電源でもデュアル電源でも、AVDD2 は AVDD1 に接続できます (AVDD2 の電圧範囲は AGND に対して 2.375V～5.25V)。AVDD2 と AGND の間に、1µF と 0.1µF のコンデンサを並列に接続してバイパスします。

9.3.2 デジタル電源

IOVDD はデジタル電源です。IOVDD はデジタル ピンの入出力電圧であり、1.8V の低ドロップアウト レギュレータ (LDO) によってデジタル コアにも電力を供給します。LDO の出力は CAPD ピンであり、0.22µF のコンデンサを DGND に接続してバイパスします。CAPD 電圧出力を外部的に負荷に接続しないでください。IOVDD ピンを 1µF および 0.1µF の並列コンデンサを使用して DGND にバイパスします。

IOVDD が 1.65V ～ 1.95V の範囲内の場合は、IOVDD ピンと CAPD ピンを互いに接続します。この接続により、内部 LDO が強制的にオフになるため、IOVDD 電圧がデジタル コアに直接電力を供給するようになります。デバイスの損傷を避けるため、CAPD ピンを駆動する IOVDD の絶対最大電圧定格に注意してください。

9.3.3 グランド

ADC には、AGND と DGND の 2 本のグランド ピンがあります。短い直接接続を使用して、AGND ピンと DGND ピンを共に ADC で 1 つのグランド プレーンに接続します。

Copyright © 2025 Texas Instruments Incorporated

9.3.4 サーマル パッド

サーマル パッドにはデバイスの電流は流れませんが、半田付けして、最も負の電源電圧 (AVSS) に接続する必要があります。消費電力が低いため、PCB サーマル ビアを省略して、デバイスの下の下層にある部品のためのスペースを確保できます。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

図 9-3 に、図 9-1 のジオホン入力アプリケーション例のレイアウトを示します。ほとんどの場合、アナログ部とデジタル部のグランドをつなぐ、途切れのない単一のグランド プレーンが推奨されます。4 層 PCB を使用し、内部層をグラウンド層と電源層に割り当てます。THD 性能を維持するには、抵抗の小さい電源プレーンが必要です。

グランド ノイズ結合を防止するため、ADC の REFN ピンを電圧リファレンスのグランド端子に直接接続します。同様に、まず抵抗を互いに接続してからグランドに接続することで、終端抵抗 R_1 と R_2 の接続点の間のグランド ノイズを回避します (デュアル電源動作)。

並列で使う電源バイパス用コンデンサのうち、小さい方をデバイスの電源ピンに最も近い位置に配置します。パッケージのサーマル パッドは、負の最も近い電源電圧 (AVSS) に接続されます。図 9-3 に、単一電源動作を示します。AVSS を AGND に接続します。この場合、サーマル パッドは AGND に接続されます。デュアル電源動作の場合は、サーマル パッドを AVSS に接続します。

9.4.2 レイアウト例

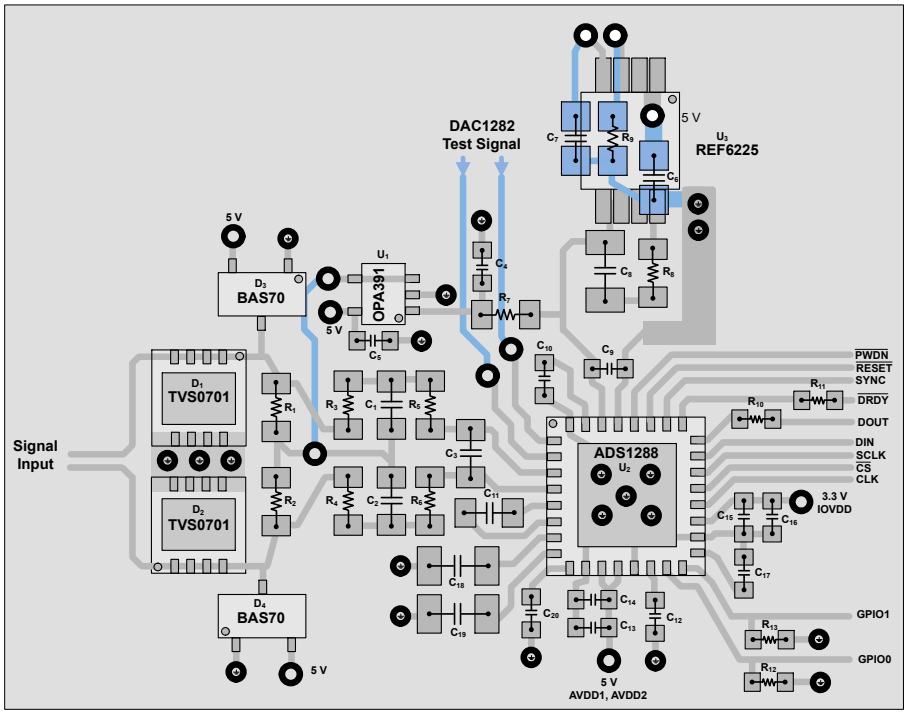


図 9-3. レイアウト例

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (February 2024) to Revision A (November 2025)	Page
• *サンプル レート コンバータ* セクションにある *SRC 値の例*表の 4 行目を変更	34

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS1288IRHBR	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 85	ADS 1288
ADS1288IRHBR.A	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 85	ADS 1288
ADS1288IRHBT	Active	Production	VQFN (RHB) | 32	250 | SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 85	ADS 1288
ADS1288IRHBT.A	Active	Production	VQFN (RHB) | 32	250 | SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 85	ADS 1288

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

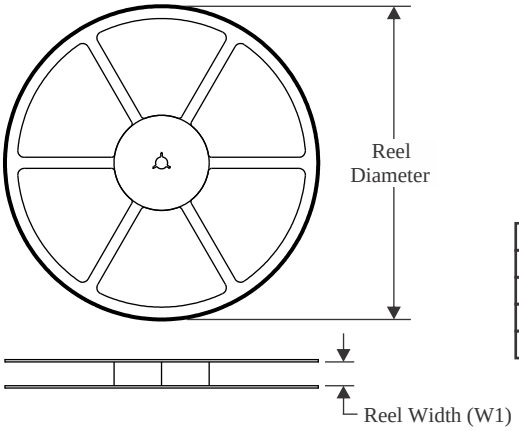
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

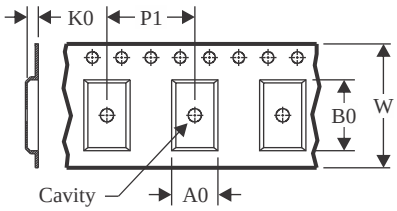
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

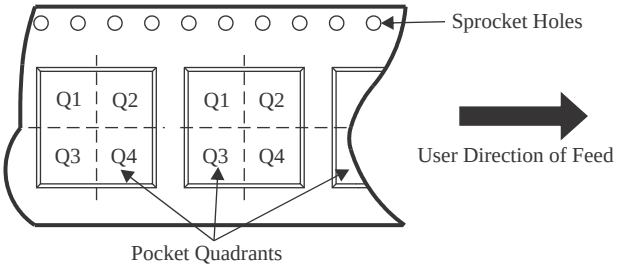


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

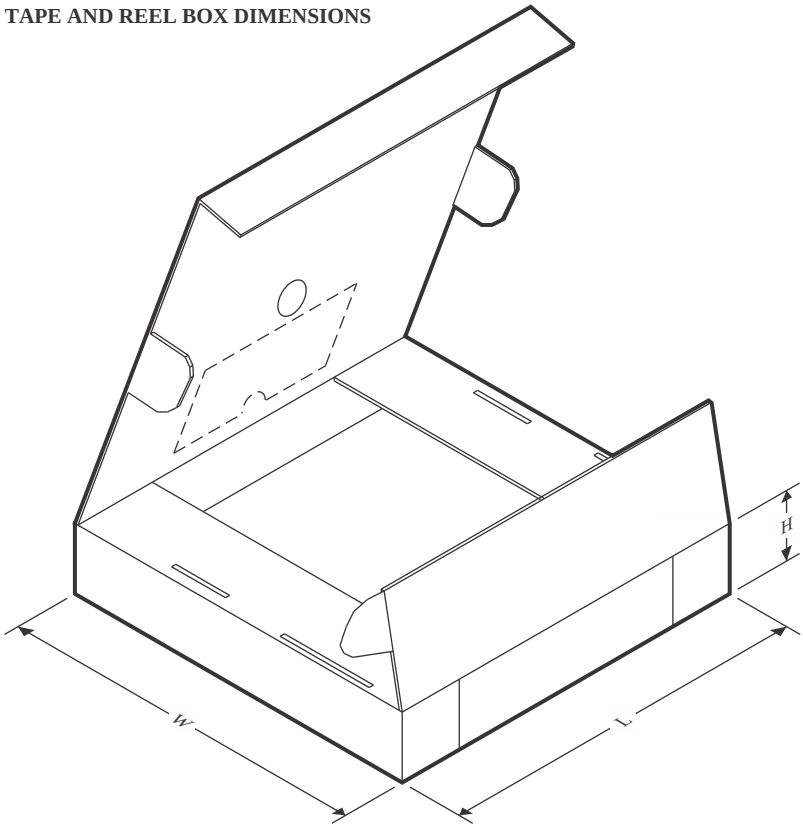
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS1288IRHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
ADS1288IRHBT	VQFN	RHB	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS1288IRHBR	VQFN	RHB	32	3000	360.0	360.0	36.0
ADS1288IRHBT	VQFN	RHB	32	250	210.0	185.0	35.0

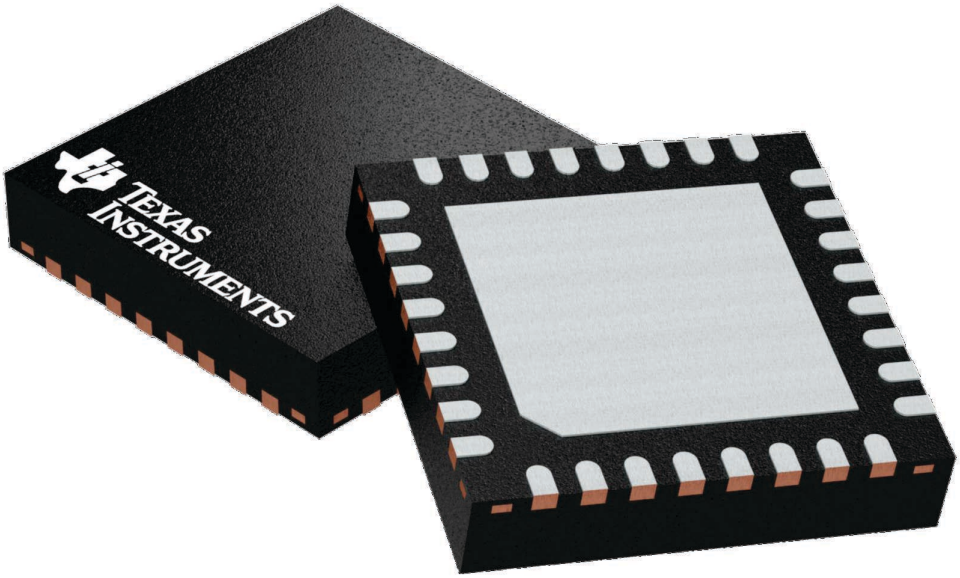
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

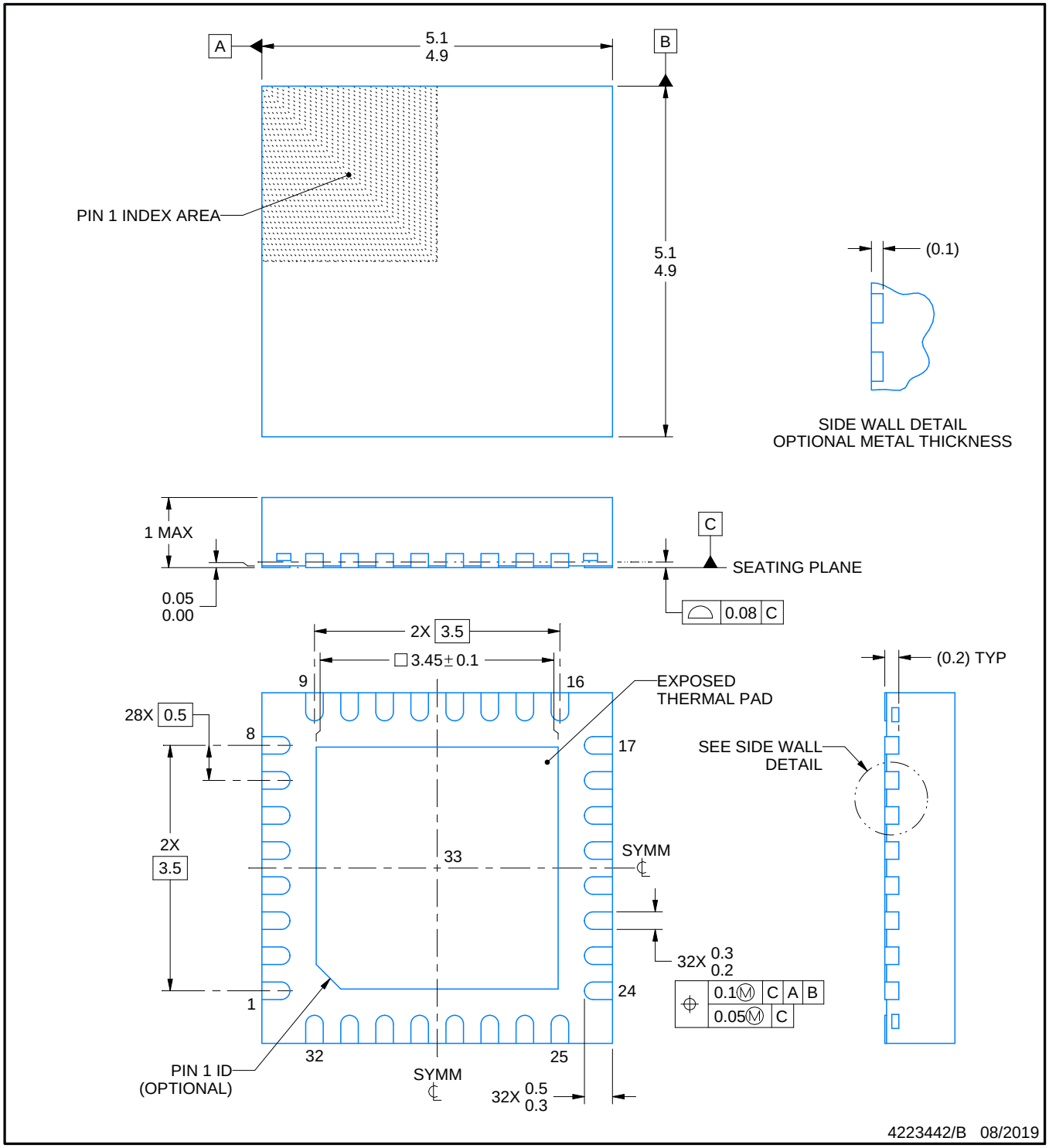
4224745/A

RHB0032E

PACKAGE OUTLINE

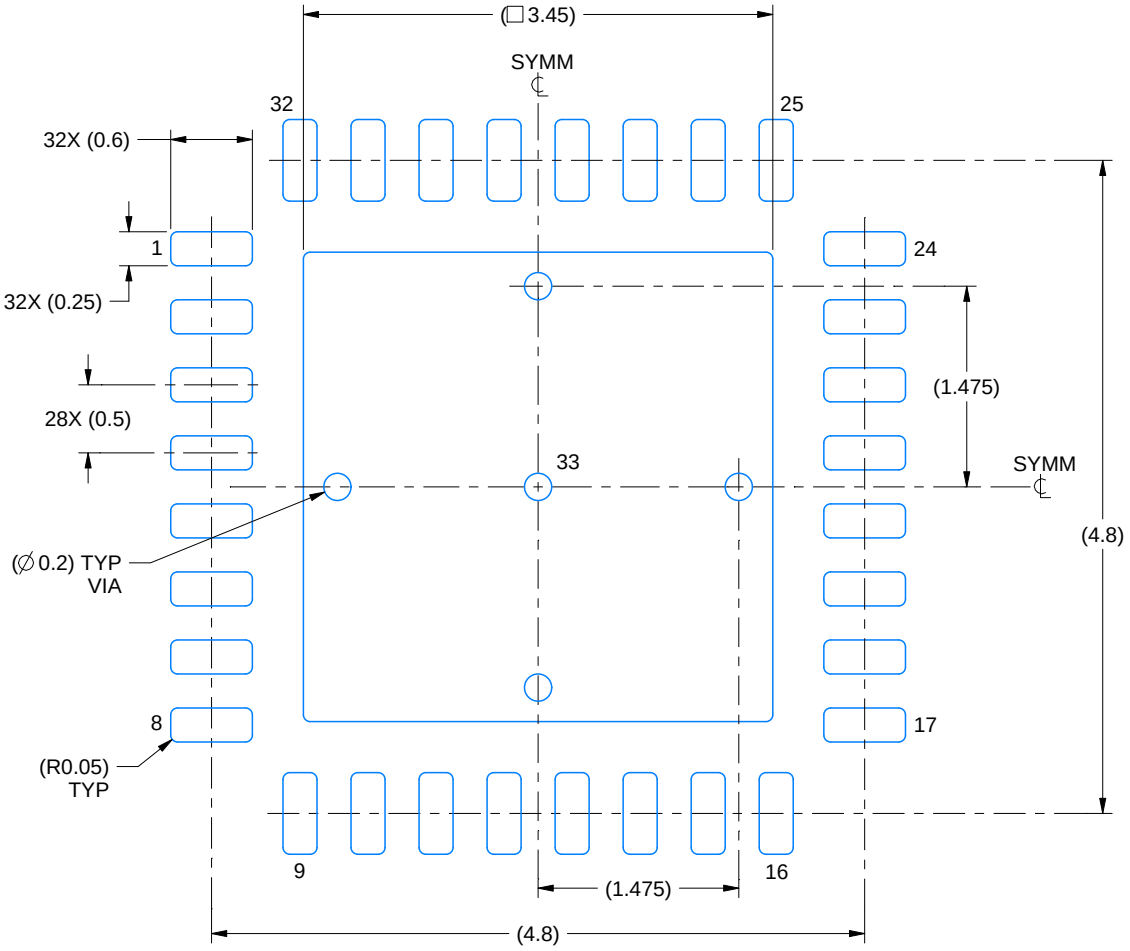
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

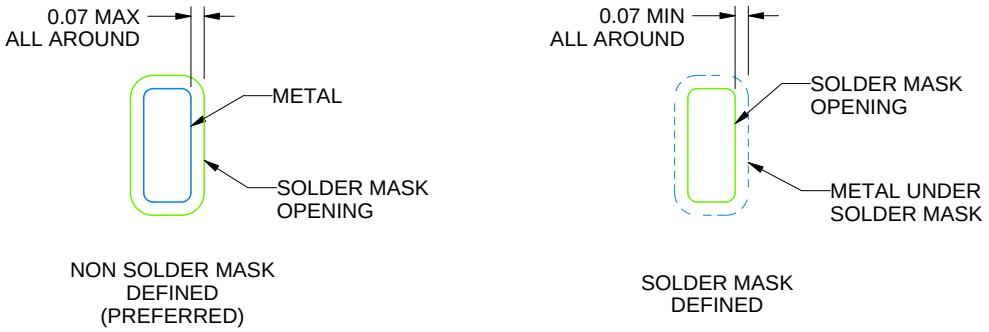


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:18X

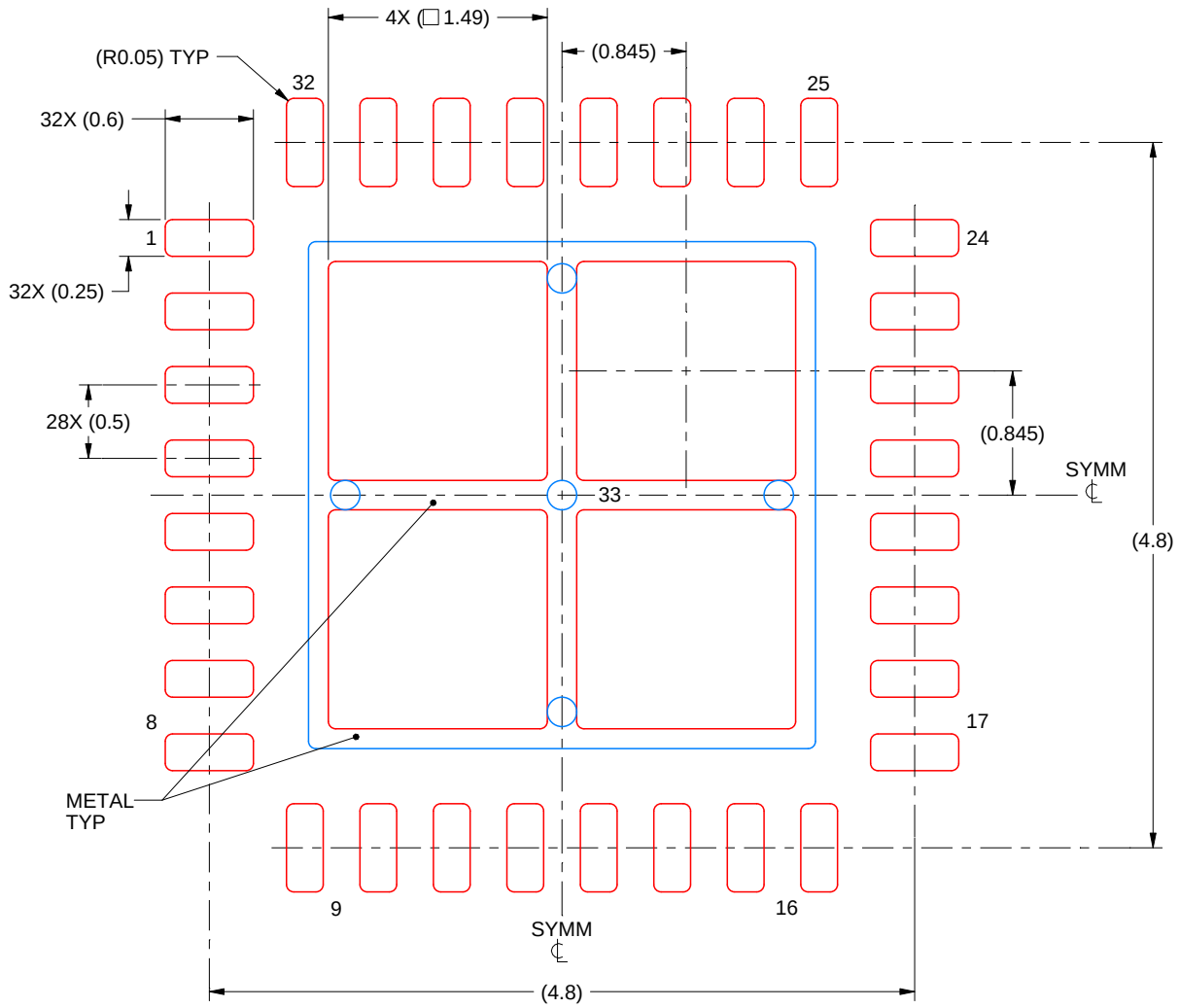


SOLDER MASK DETAILS

4223442/B 08/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4223442/B 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月