

ADS892xB 16 ビット、高速 SAR ADC (リファレンスバッファ内蔵、拡張性能機能搭載)

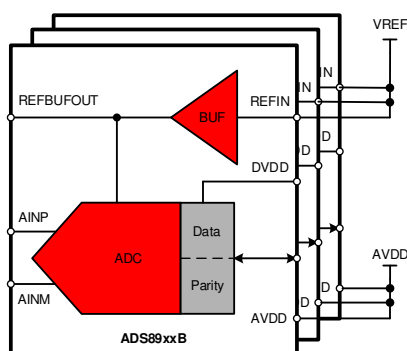
1 特長

- 分解能: 16 ビット
- 高いサンプリングレートとレイテンシなしの出力
 - ADS8920B: 1MSPS
 - ADS8922B: 500kSPS
 - ADS8924B: 250kSPS
- 内蔵 LDO により、低消費電力の単一電源動作が可能
- 低消費電力でドループなしのリファレンスバッファ
- 優れた AC および DC 性能:
 - 信号対雑音比: 96.8dB、THD: -125dB
 - INL: $\pm 0.25\text{LSB}$
 - DNL: $\pm 0.2\text{LSB}$ 、16 ビット、ノー ミッシング コード
- 広い入力範囲:
 - ユニポーラ差動入力範囲: $\pm V_{\text{REF}}$
 - V_{REF} 入力範囲: 2.5V ~ 5V
- 拡張 SPI デジタル インターフェイス
 - インターフェイス SCLK: 1MSPS で 18MHz
 - 構成可能なデータパリティ出力
- 拡張温度範囲: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
- 小型サイズ: 4mm × 4mm VQFN

2 アプリケーション

- 高精度マルチファンクション入出力 DAQ
- パラメトリック測定ユニット (PMU)
- AC アナログ入力モジュール

Multi-ADC System with Single Supply and Reference



ADS89xxB の統合機能を使用したシステム設計が容易

3 説明

ADS8920B、ADS8922B、ADS8924B (ADS892xB) はピン互換の高速、シングル チャネル、高精度の 16 ビット逐次比較型レジスタ(SAR)ベースのアナログ/デジタル コンバータ(ADC)ファミリに属し、リファレンス バッファと低ドロップアウト レギュレータ(LDO)が搭載されています。このデバイス ファミリには、ADS890xB (20 ビット) および ADS891xB (18 ビット) の分解能バリエーションが含まれます。

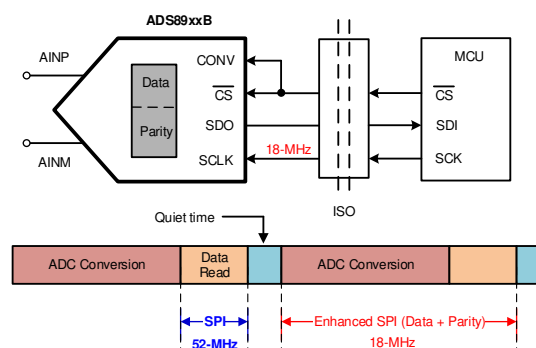
ADS892xB は、TI の拡張 SPI 機能を使用して高分解能データ転送を維持しながらアナログ性能を向上させます。拡張 SPI により、ADS89xxB は低いクロック速度で高いスループットを達成できるため、基板レイアウトを簡素化し、システムコストを低減できます。また、拡張 SPI によりデータのクロックインが簡素化されるため、このデバイスは FPGA、DSP に関係するアプリケーションに最適です。ADS89xxB は、標準の SPI と互換性があります。

表 3-1. パッケージ情報

デバイス	パッケージ (1)	パッケージ サイズ (2)
ADS8920B ADS8922B ADS8924B	RGE (VQFN, 24)	4mm × 4mm

- 詳細については、[メカニカル](#)、[パッケージ](#)、および[注文情報](#)を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

Lowest Clock Speeds at 1-MSPS using 3-Wire Enhanced-SPI



目次

1 特長.....	1	6.5 プログラミング.....	30
2 アプリケーション.....	1	7 レジスタ マップ.....	56
3 説明.....	1	7.1 デバイス構成およびレジスタ マップ.....	56
4 ピン構成および機能.....	3	8 アプリケーションと実装.....	64
5 仕様.....	5	8.1 使用上の注意.....	64
5.1 絶対最大定格.....	5	8.2 代表的なアプリケーション.....	67
5.2 ESD 定格.....	5	8.3 電源に関する推奨事項.....	73
5.3 推奨動作条件.....	5	8.4 レイアウト.....	74
5.4 熱に関する情報.....	6	9 デバイスおよびドキュメントのサポート.....	76
5.5 電気的特性.....	7	9.1 ドキュメントのサポート.....	76
5.6 タイミング要件.....	9	9.2 ドキュメントの更新通知を受け取る方法.....	76
5.7 スイッチング特性.....	11	9.3 サポート・リソース.....	76
5.8 代表的特性.....	15	9.4 商標.....	76
6 詳細説明.....	20	9.5 静電気放電に関する注意事項.....	76
6.1 概要.....	20	9.6 用語集.....	76
6.2 機能ブロック図.....	20	10 改訂履歴.....	76
6.3 機能説明.....	21	11 メカニカル、パッケージ、および注文情報.....	77
6.4 デバイスの機能モード.....	27		

4 ピン構成および機能

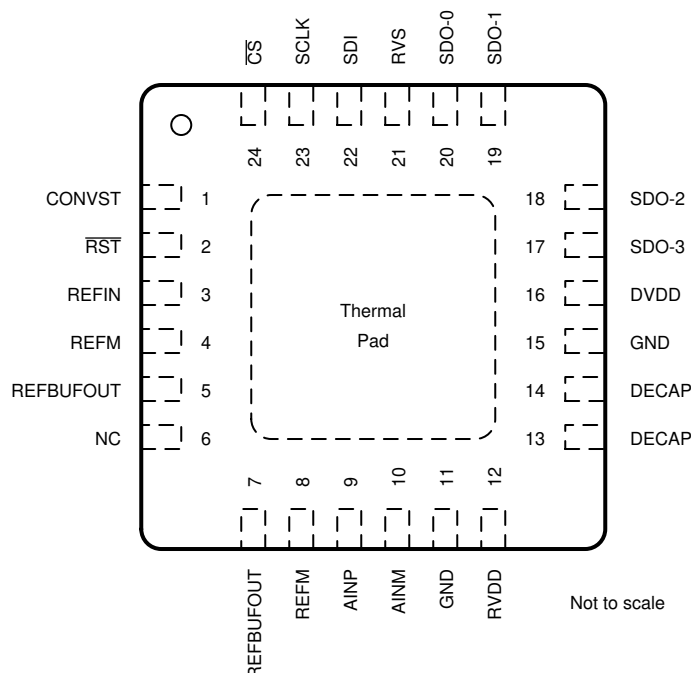


図 4-1. RGE パッケージ 24 ピン VQFN 上面図

表 4-1. ピンの機能

ピン		機能	説明
名称	番号		
AINM	10	アナログ入力	負アナログ入力
AINP	9	アナログ入力	正アナログ入力。
CS	24	デジタル入力	チップ セレクト入力ピン、アクティブ Low CS が Low のとき、デバイスはデータ バスを制御します。 CS が High のとき、SDO - x ピンがハイ インピーダンスに移行します。
CONVST	1	デジタル入力	変換開始入力ピン。 CONVST の立ち上がりエッジにより、デバイスが ACQ 状態から CNV 状態に移行します。
DECAP	13、14	電源	内部電源の場合、ここにデカップリング コンデンサを配置します。ピン 13 と 14 を互いに短絡させます。
DVDD	16	電源	インターフェイス電源ピン
GND	11、15	電源	グランド
NC	6	内部接続なし。	これらのピンをフローティング状態にし、外部接続をしないでください。
REFBUFOUT	5、7	アナログ入出力	内部リファレンス バッファ出力、外部リファレンス入力。ピン 5 と 7 を互いに短絡させます。
REFIN	3	アナログ入力	入力基準電圧
REFM	4、8	アナログ入力	リファレンス グランド電位
RST	2	デジタル入力	非同期リセット入力ピン。 RST ピンでの Low パルスにより、デバイスはリセットされます。すべてのレジスタビットはデフォルト状態に戻ります。
RVDD	12	電源	アナログ電源ピン。
RVS	21	デジタル出力	マルチファンクション出力ピン。 CS を high に保持すると、RVS は内部 ADCST 信号のステータスを反映します。 CS が low の場合、RVS のステータスは出力プロトコルの選択によって異なります。
SCLK	23	デジタル入力	シリアル インターフェースのクロック入力ピン。 すべてのシステム同期データ転送プロトコルは、SCLK 信号を基準にタイミングが調整されます。

表 4-1. ピンの機能 (続き)

ピン		機能	説明
名称	番号		
SDI	22	デジタル入力	シリアル データ入力ピン。 このピンを使用して、データまたはコマンドをデバイスに供給します。
SDO-0	20	デジタル出力	シリアル通信ピン: データ出力 0
SDO-1	19	デジタル出力	シリアル通信ピン: データ出力 1
SDO-2	18	デジタル出力	シリアル通信ピン: データ出力 2
SDO-3	17	デジタル出力	シリアル通信ピン: データ出力 3
サーマル パッド		電源	露出しているサーマル パッド、GND に接続します。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

	最小値	最大値	単位
RVDD から GND	-0.3	7	V
DVDD から GND	-0.3	7	V
REFIN から REFM	-0.3	RV _{DD} + 0.3	V
REFM から GND へ	-0.1	0.1	V
アナログ入力 (AINP、AINM) から GND	-0.3	V _{REF} + 0.3	V
デジタル入力 ($\overline{\text{RST}}$ 、CONVST、 $\overline{\text{CS}}$ 、SCLK、SDI) から GND	-0.3	DV _{DD} + 0.3	V
デジタル出力 (RVS、SDO - 0、SDO - 1、SDO - 2、SDO - 3) から GND	-0.3	DV _{DD} + 0.3	V
アナログ入力 (AINP、AINM) から RVDD および GND	-130	130	mA
自由気流での動作温度 (T _A)	-40	125	°C
保管温度、T _{stg}	-65	150	°C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

		値	単位
V _(ESD) 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22C101 に準拠 ⁽²⁾	±500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
RV _{DD}	アナログ電源電圧 (RVDD から AGND)	3	5	5.5	V
DV _{DD}	デジタル電源電圧 (DVDD から AGND)	動作	1.65	3	5.5
			規定スレーブット	3	5.5
V _{REF}	REFIN のリファレンス入力電圧	2.5		RV _{DD} - 0.3	V
C _{REFBUF}	外部セラミック デカップリング コンデンサ	10			μF
R _{ESR}	外付け直列抵抗	0		1.3	Ω
T _A	規定の自由大気動作温度	-40	25	125	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		ADS892xB	単位
		RGE (VQFN)	
		24 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	31.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	29.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	8.9	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	8.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	2.0	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
[spra953](#)

5.5 電気的特性

$R_{VDD} = 5.5\text{ V}$, $DV_{DD} = 1.65\text{ V} \sim 5.5\text{ V}$, $V_{REF} = 5\text{ V}$ 、最大スループット (特に記述のない限り)。
 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ における最小値と最大値、 $T_A = 25^\circ\text{C}$ における標準値

パラメータ		テスト条件	最小値	標準値	最大値	単位
アナログ入力						
FSR	フルスケール入力範囲 (AINP – AINM)		-V _{REF}		V _{REF}	V
V _{IN}	絶対入力電圧 (AINP および AINM から REFM)		0		V _{REF}	V
V _{CM}	同相電圧 (AINP + AINM)/2		(V _{REF} /2) – 0.1	V _{REF} /2	(V _{REF} /2) + 0.1	V
C _{IN}	入力容量	サンプル モード	60			pF
		ホールド モード	4			pF
電圧リファレンス入力 (REFIN)						
I _{REF}	基準入力電流	V _{REF} = 5V		0.1	1	μA
C _{REF}	内部容量			10		pF
リファレンス バッファ出力 (REFBUFOUT)						
V _(RO)	リファレンス バッファのオフセット電圧 (V _{REFBUFOUT} – V _{REF})	EN_MARG = 0b ⁽¹⁾ 、T _A = 25°C ⁽⁵⁾ の場合	-250		250	μV
C _{REFBUF}	外部セラミック デカップリング コンデンサ		10			μF
R _{ESR}	外付け直列抵抗		0		1.3	Ω
I _{SHRT}	短絡電流			30		mA
	マーゼニング範囲	EN_MARG = 1b ⁽¹⁾ の場合		±4.5		mV
	マーゼニング分解能	EN_MARG = 1b ⁽¹⁾ の場合		280		μV
DC 精度 ⁽²⁾ (C _{REFBUF} = 10μF、R _{ESR} = 0Ω)						
	分解能			16		ビット
NMC	ミッシング コードなし		16			ビット
INL	積分非線形性 ⁽³⁾		-0.5	±0.3	0.5	LSB ⁽⁴⁾
DNL	微分非直線性 ⁽³⁾		-0.5	±0.2	0.5	LSB ⁽⁴⁾
E _(IO)	入力オフセット誤差 ⁽³⁾	T _A = 25°C ⁽⁵⁾	-3	±0.5	3	LSB ⁽⁴⁾
		T _A = -40°C ～ +125°C ⁽⁵⁾	-5	±3	5	
dV _{OS} /dT	入力オフセットの熱ドリフト ⁽⁵⁾			1		μV/°C
G _E	ゲイン誤差 ⁽³⁾	EN_MARG = 0b ⁽¹⁾ ⁽⁶⁾	-0.03	±0.005	0.03	%FSR
dG _E /dT	ゲイン誤差の熱ドリフト	EN_MARG = 0b ⁽¹⁾ ⁽⁶⁾		3.6		ppm/°C
TNS	変換ノイズ			0.5		LSB ⁽⁴⁾
	バースト モードのデータ アクイジションにおける最初の出力コード偏差	参照 セクション 6.3.2	-3		3	TNS
CMRR	同相信号除去比	dc ～ 20kHz		80		dB
サンプリングのダイナミック特性						
	アパーチャの遅延			4		ns
t _{j-rms}	アパーチャ ジッタ			2		ps RMS
f _{3-DB(small)}	小信号帯域幅			23		MHz

5.5 電気的特性 (続き)

$R_{VDD} = 5.5\text{ V}$, $DV_{DD} = 1.65\text{ V} \sim 5.5\text{ V}$, $V_{REF} = 5\text{ V}$, 最大スループット (特に記述のない限り)。

$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ における最小値と最大値、 $T_A = 25^\circ\text{C}$ における標準値

パラメータ	テスト条件	最小値	標準値	最大値	単位
AC 精度^{(2) (7)} ($C_{REFBUF} = 10\mu\text{F}$, $R_{ESR} = 0\Omega$)					
SINAD 信号対雑音 + 歪み	$f_{IN} = 2\text{kHz}$	95.7	95.9		dB
SNR 信号対雑音比	$f_{IN} = 2\text{kHz}$	96	96.8		dB
	$f_{IN} = 100\text{kHz}$		95		
THD 全高調波歪	$f_{IN} = 2\text{kHz}$		-125		dB
	$f_{IN} = 100\text{kHz}$		-110		
SFDR スプリアスフリー ダイナミックレンジ	$f_{IN} = 2\text{kHz}$		25		dB
LDO 出力 (DECAP)					
V_{LDO} LDO 出力電圧 (DECAP ピン)			2.85		V
C_{LDO} DECAP ピンの外付けセラミック コンデンサ		1			μF
t_{PU_LDO} LDO のパワーアップ時間	$C_{LDO} = 1\mu\text{F}$, $R_{VDD} > V_{LDO}$		1		ms
$I_{SHRT-LDO}$ 短絡電流			100		mA
デジタル入力					
V_{IH} High レベル入力電圧	$1.65\text{V} < DV_{DD} < 2.3\text{V}$	$0.8DV_{DD}$		$DV_{DD} + 0.3$	V
	$2.3\text{V} < DV_{DD} < 5.5\text{V}$	$0.7DV_{DD}$		$DV_{DD} + 0.3$	
V_{IL} Low レベル入力電圧	$1.65\text{V} < DV_{DD} < 2.3\text{V}$	-0.3		$0.2DV_{DD}$	V
	$2.3\text{V} < DV_{DD} < 5.5\text{V}$	-0.3		$0.3DV_{DD}$	
入力電流			± 0.01	0.1	μA
デジタル出力					
V_{OH} High レベル出力電圧	$I_{OH} = 500\mu\text{A}$ ソース	$0.8DV_{DD}$		DV_{DD}	V
V_{OL} Low レベル出力電圧	$I_{OH} = 500\mu\text{A}$ シンク	0		$0.2DV_{DD}$	V
電源					
I_{RVDD} アナログ電源電流	ADS8920B ($R_{VDD} = 5\text{V}$, 1MSPS の場合)		4.2	5.3	mA
	ADS8922B ($R_{VDD} = 5\text{V}$, 500KSPS の場合)		3.2	4	mA
	ADS8924B ($R_{VDD} = 5\text{V}$, 250KSPS の場合)		2.8	3.5	mA
	静的、変換なし		970		μA
	静的、 $PD_ADC = 1b^{(8)}$		900		μA
	静的、 $PD_REFBUF = 1b^{(8)}$		120		μA
	静的、 $PD_ADC = 1b$, $PD_REFBUF = 1b^{(8)}$		40		μA
I_{DVDD} デジタル電源電流	$DV_{DD} = 3\text{V}$, $C_{LOAD} = 10\text{pF}$, 変換なし		1		μA
P_{RVDD} 消費電力	ADS8920B ($R_{VDD} = 5\text{V}$, 1MSPS の場合)		21	26.5	mW
	ADS8922B ($R_{VDD} = 5\text{V}$, 500KSPS の場合)		16	20	
	ADS8924B ($R_{VDD} = 5\text{V}$, 250KSPS の場合)		14	17.5	

- 『REF_MRG レジスタ』を参照してください。
- 内部リファレンス バッファと LDO で動作している場合。
- DNL、INL、オフセット、およびゲイン誤差パラメータの統計分布データについては、図 5-8、図 5-9、図 5-14、および図 5-15 を参照してください。
- LSB = 最下位ビット。16 ビット 分解能での 1LSB は、約 15ppm です。
- 選択した V_{REF} については、『OFST_CAL レジスタ』を参照してください。
- 内部リファレンス バッファ エラーとドリフトを含みます。
- $V_{IN} = -0.1\text{dBFS}$ の場合。
- 『PD_CNTL レジスタ』を参照してください。

5.6 タイミング要件

		最小値	標準値	最大値	単位	タイミング図
変換サイクル						
f _{cycle}	サンプリング周波数	ADS8920B		1000	kHz	図 5-1
		ADS8922B		500		
		ADS8924B		250		
t _{cycle}	ADC サイクル時間周期	ADS8920B	1		μs	
		ADS8922B	2			
		ADS8924B	4			
t _{wh_CONVST}	パルス幅 CONVST が High	30			ns	
t _{wl_CONVST}	パルス幅 CONVST が Low	30			ns	
t _{acq}	アキュイジション時間	300			ns	
t _{qt_acq}	静かなアキュイジション時間	30			ns	図 6-15 (セクション 6.5.4 を参照)
t _{d_cnvcap}	静かなアパーチャ時間	20			ns	
非同期リセットおよび低消費電力モード						
t _{wl_RST}	パルス幅 RST が Low	100			ns	図 5-2
SPI 互換シリアル インターフェイス						
f _{CLK}	シリアル クロック周波数	2.35V ≤ D _{VDD} ≤ 5.5V、 T _A = -40°C ~ +125°C、 V _{IH} > 0.7D _{VDD} 、V _{IL} < 0.3D _{VDD}		70	MHz	図 5-3
		1.65V ≤ D _{VDD} < 2.35V、 T _A = -40°C ~ +125°C、 V _{IH} > 0.8D _{VDD} 、V _{IL} < 0.2D _{VDD}		20		
		1.65V ≤ D _{VDD} < 2.35V、 T _A = 0°C ~ +60°C、 V _{IH} > 0.8D _{VDD} 、V _{IL} < 0.2D _{VDD}		57		
		1.65V ≤ D _{VDD} < 2.35V、 T _A = -40°C ~ +125°C、 V _{IH} > 0.9D _{VDD} 、V _{IL} < 0.1D _{VDD}		68		
		1.71V ≤ D _{VDD} < 1.89V、 T _A = +20°C ~ +90°C、 V _{IH} > 0.75D _{VDD} 、V _{IL} < 0.25D _{VDD}		52		
t _{CLK}	シリアル クロック期間	1/f _{CLK}			ns	図 5-3
t _{ph_CK}	SCLK High 時間	0.45		0.55	t _{CLK}	図 5-3
t _{pl_CK}	SCLK Low 時間	0.45		0.55	t _{CLK}	
t _{su_CSCK}	セットアップ時間: $\overline{CS}$ 立ち下がりから最初の SCLK キャプチャ エッジ	12			ns	
t _{su_CKDI}	セットアップ時間: SDI データが有効になってから SCLK のキャプチャ エッジまでの時間	1.5			ns	
t _{ht_CKDI}	ホールド時間: SCLK キャプチャ エッジから SDI での (前の) データ有効まで	1			ns	
t _{ht_CKCS}	遅延時間: 最後の SCLK 立ち下がりエッジから $\overline{CS}$ 立ち上がりまで	7			ns	
ソース同期シリアル インターフェイス (外部クロック) ⁽¹⁾						

		最小値	標準値	最大値	単位	タイミング図
f _{CLK}	シリアル クロック周波数			70	MHz	図 5-4 (セクション 6.5.4 を参照)
	SDR (DATA_RATE = 0b)、 2.35V ≤ DV _{DD} ≤ 5.5V					
	DDR (DATA_RATE = 1b)、 2.35V ≤ DV _{DD} ≤ 5.5V			35		
t _{CLK}	シリアル クロック期間	1/f _{CLK}			ns	

(1) DV_{DD} < 2.35V で動作させている場合、外部クロック オプションは推奨されません。表 6-9 を参照してください。

5.7 スイッチング特性

$R_{VDD} = 5.5V$, $DV_{DD} = 1.65V \sim 5.5V$, $V_{REF} = 5V$ 、最大スループット (特に記述のない限り)。

$T_A = -40^\circ C \sim +125^\circ C$ における最小値と最大値、 $T_A = 25^\circ C$ における標準値

パラメータ (1)			最小値	標準値	最大値	単位	タイミング図
変換サイクル							
t _{conv}	変換時間	ADS8920B	580		640	ns	図 5-1
		ADS8922B	1100		1200		
		ADS8924B	2400		2500		
非同同期リセットおよび低消費電力モード							
t _{d_rst}	遅延時間: RST 立ち上がりから RVS 立ち上がり				3	ms	図 5-2
t _{PU_ADC}	コンバータ モジュールのパワーアップ時間		1			ms	『PD_CNTL レジスタ』を参照してください
t _{PU_REFBUF}	内部リファレンス バッファのパワーアップ時間、C _{REFBUF} = 10μF		10			ms	
t _{PU_Device}	デバイスのパワーアップ時間	C _{LDO} = 1μF、C _{REFBUF} = 10μF	10			ms	
SPI 互換シリアル インターフェイス							
t _{den_CSDO}	遅延時間: CS 立ち下がりエッジからデータが有効になるまで				9	ns	図 5-3
t _{dz_CSDO}	遅延時間: CS 立ち上がりから SDO のハイ インピーダンスへの移行まで				10	ns	
t _{d_CKDO}	遅延時間: SCLK 起動エッジから SDO - x での (次の) データが有効になるまで				13	ns	
t _{d_CSRDY_f}	遅延時間: CS 立ち下がりから RVS 立ち下がりまで				12	ns	図 5-4
t _{d_CSRDY_r}	遅延時間:	NOP 動作の後			30	ns	図 5-4
	CS 立ち上がりから RVS 立ち上がりまで	WR または RD 動作後			120		
ソース同期シリアル インターフェイス (外部クロック) (1)							
t _{d_CKSTR_r}	遅延時間: SCLK 起動エッジから RVS 立ち上がり				13	ns	図 5-4
t _{d_CKSTR_f}	遅延時間: SCLK 立ち下がりエッジから RVS 立ち下がり				13	ns	
t _{off_STRDO_f}	時間オフセット: RVS 立ち下がりから (次の) SDO データ有効までの時間		-2		2	ns	
t _{off_STRDO_r}	時間オフセット: RVS 立ち上がりから (次の) SDO データ有効までの時間		-2		2	ns	
t _{ph_STR}	ストローブ出力 High 時間、2.35V ≤ DV _{DD} ≤ 5.5V		0.45		0.55	t _{STR}	
t _{pl_STR}	ストローブ出力 Low 時間、2.35V ≤ DV _{DD} ≤ 5.5V		0.45		0.55	t _{STR}	
ソース同期シリアル インターフェイス (内部クロック)							
t _{d_CSSTR}	遅延時間: CS 立ち下がりエッジから RVS 立ち上がりエッジ		15		50	ns	図 5-5
t _{STR}	ストローブ出力時間	INTCLK オプション		15	ns		
		INTCLK/2 オプション		30			
		INTCLK/4 オプション		60			
t _{ph_STR}	ストローブ出力 High 時間		0.45		0.55	t _{STR}	
t _{pl_STR}	ストローブ出力 Low 時間		0.45		0.55	t _{STR}	

(1) $DV_{DD} < 2.35V$ で動作させている場合、外部クロック オプションは推奨されません。表 6-9 を参照してください。

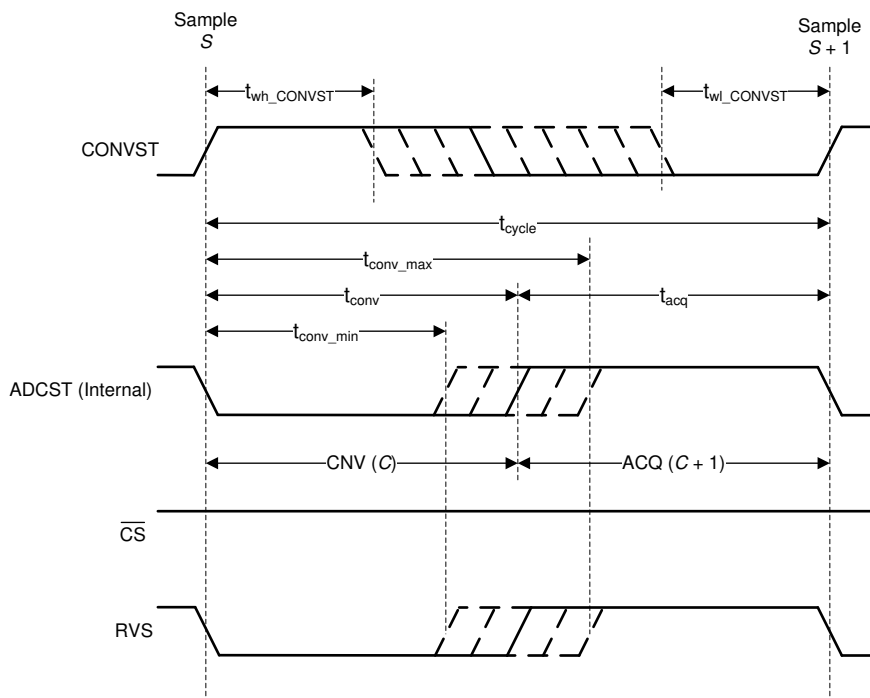


図 5-1. 変換サイクルのタイミング

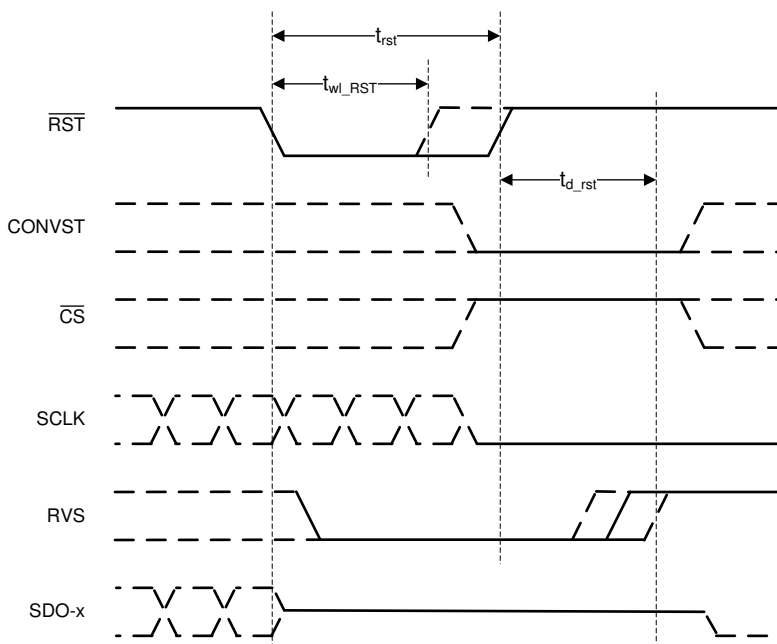
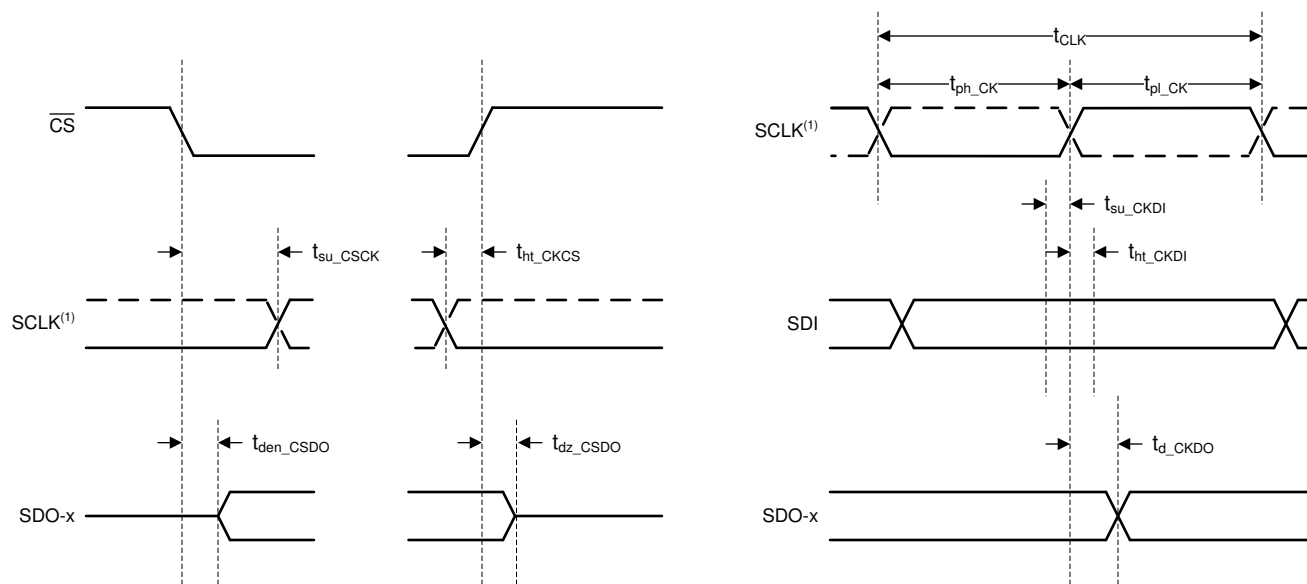


図 5-2. 非同期リセットのタイミング



1. SCLK の極性、起動エッジ、およびキャプチャ エッジは、選択された SPI プロトコルに依存します。

図 5-3. SPI 互換のシリアル インターフェイスのタイミング

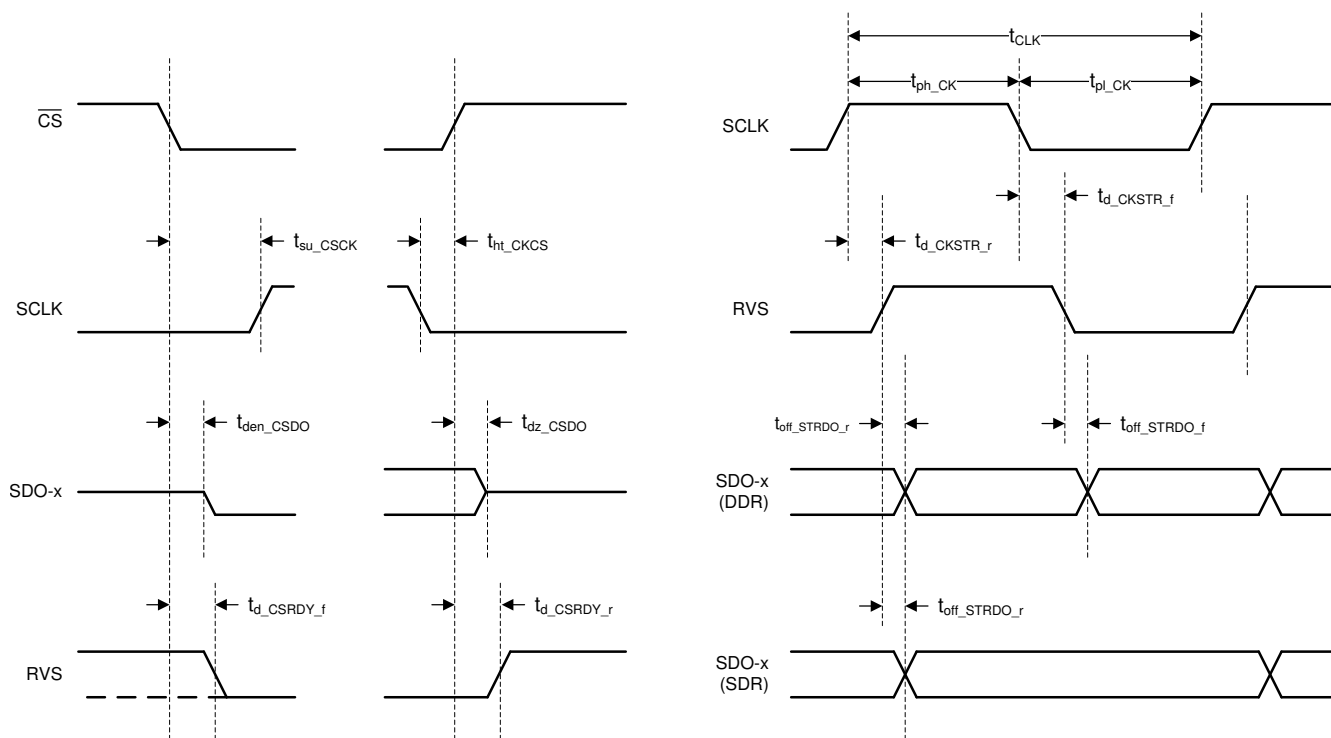


図 5-4. ソース同期シリアル インターフェイスのタイミング (外部クロック)

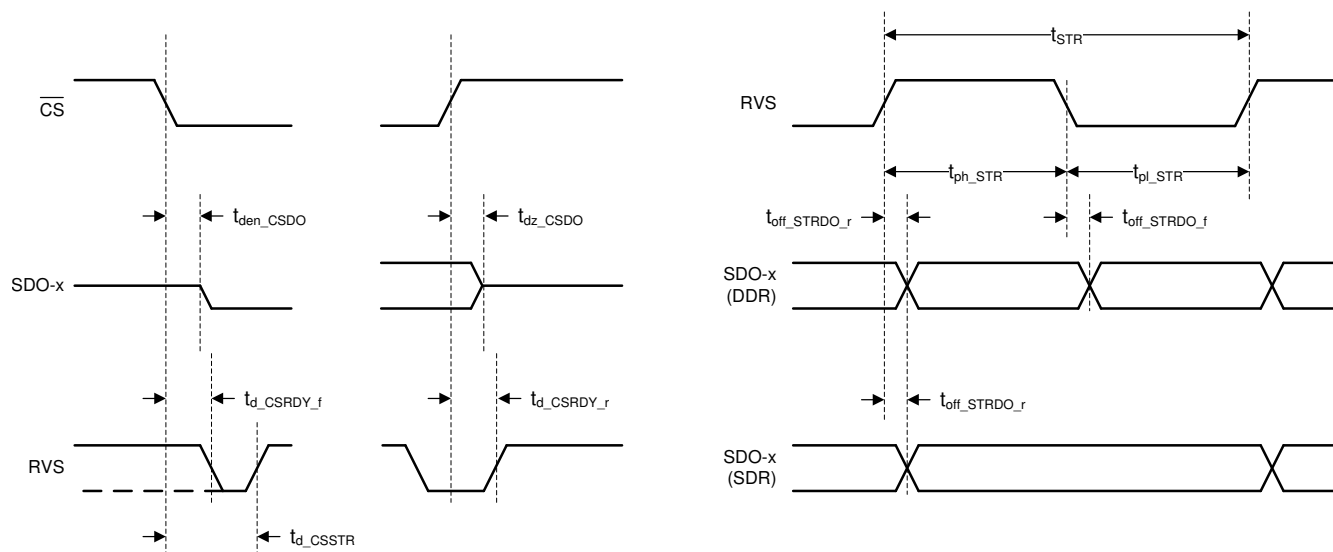


図 5-5. ソース同期シリアル インターフェイスのタイミング (内部クロック)

5.8 代表的特性

$T_A = 25^\circ\text{C}$, $R_{V_{DD}} = 5.5\text{V}$, $DV_{DD} = 3\text{V}$, $V_{REF} = 5\text{V}$, および最大定格スループット (特に記述のない限り)

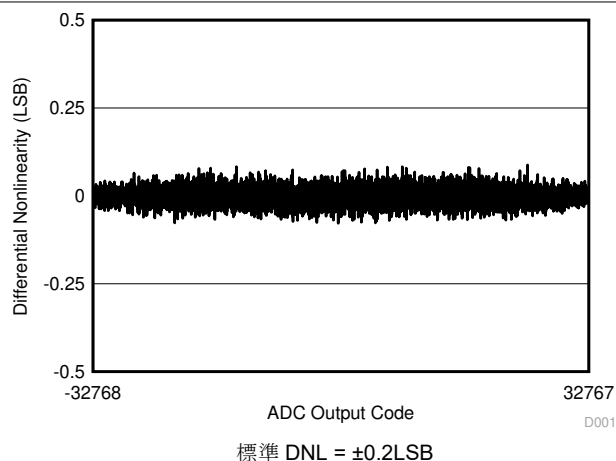


図 5-6. 標準 DNL

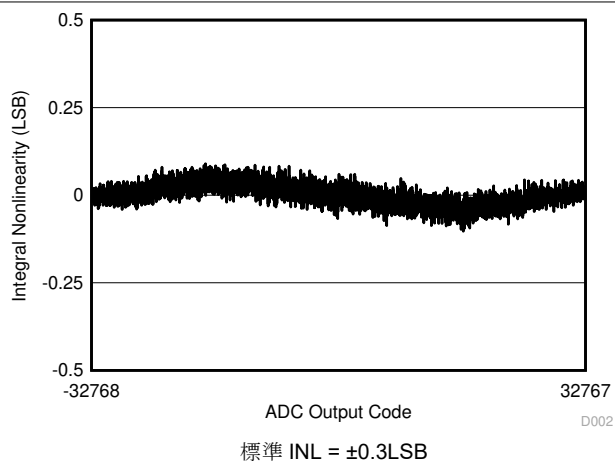


図 5-7. 標準 INL

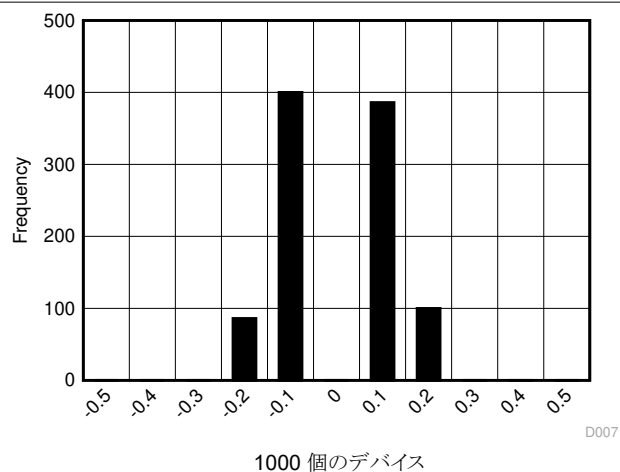


図 5-8. DNL の標準的な分布

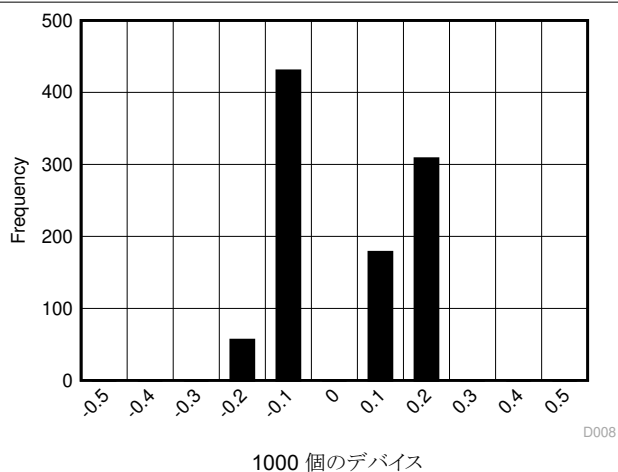


図 5-9. INL の標準的な分布

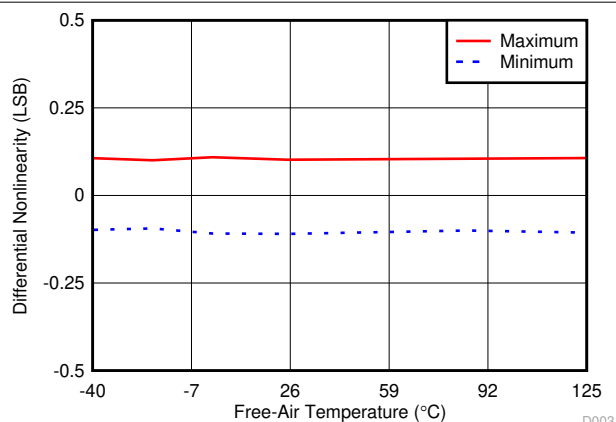


図 5-10. DNL と温度との関係

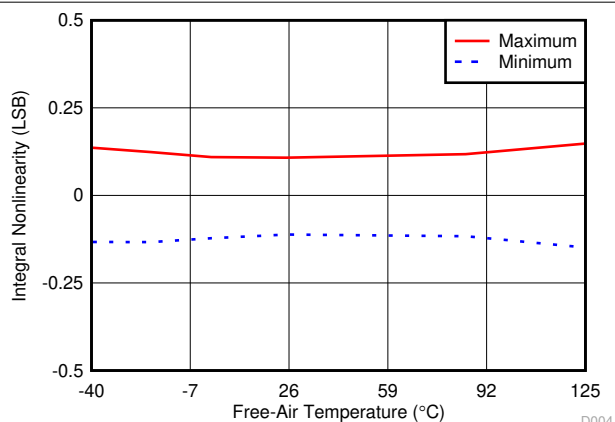


図 5-11. INL と温度との関係

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $R_{V_{DD}} = 5.5\text{V}$, $DV_{DD} = 3\text{V}$, $V_{REF} = 5\text{V}$, および最大定格スループット (特に記述のない限り)

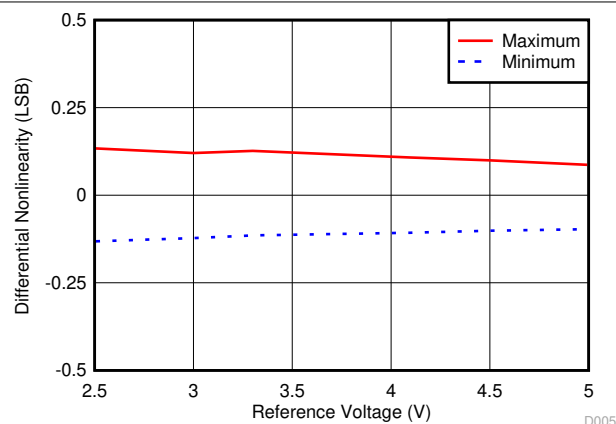


図 5-12. DNL 電圧とリファレンス電圧との関係

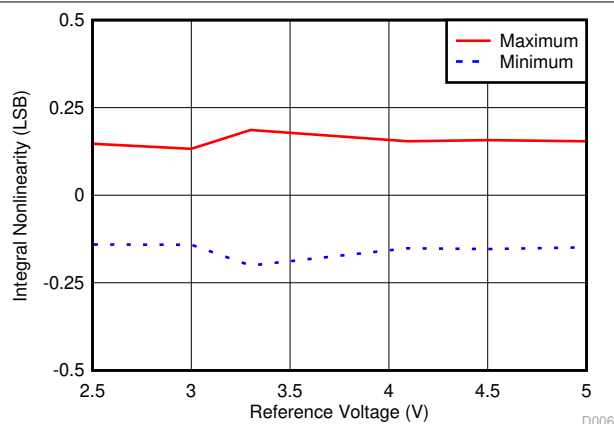


図 5-13. INL 電圧とリファレンス電圧との関係

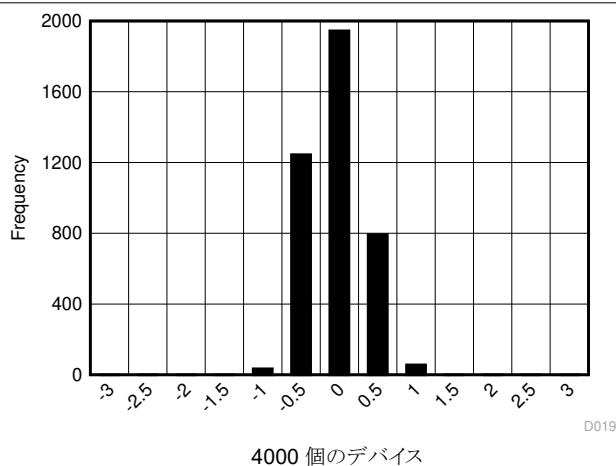


図 5-14. 標準的なオフセットの分布

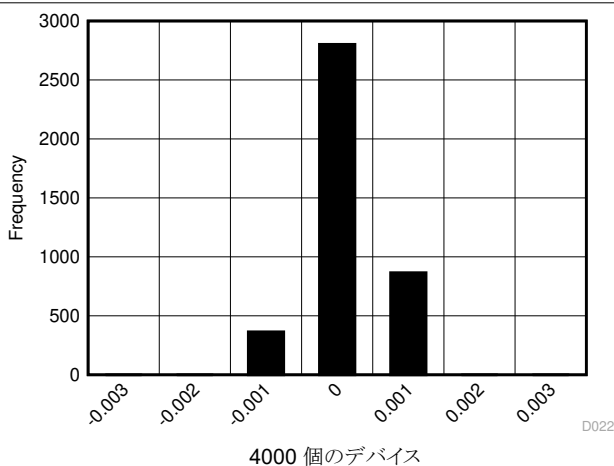


図 5-15. 標準的なゲイン誤差の分布

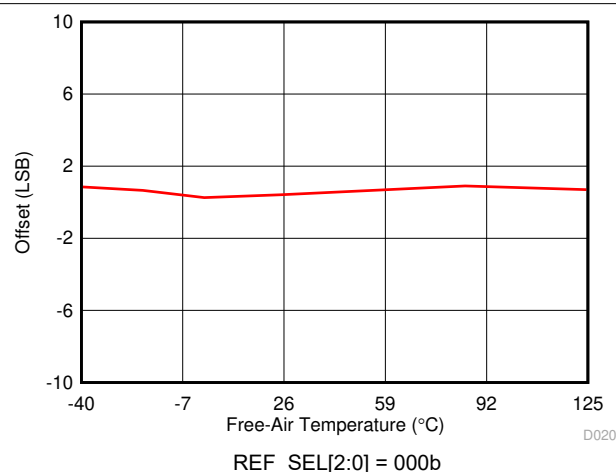


図 5-16. オフセットと温度との関係

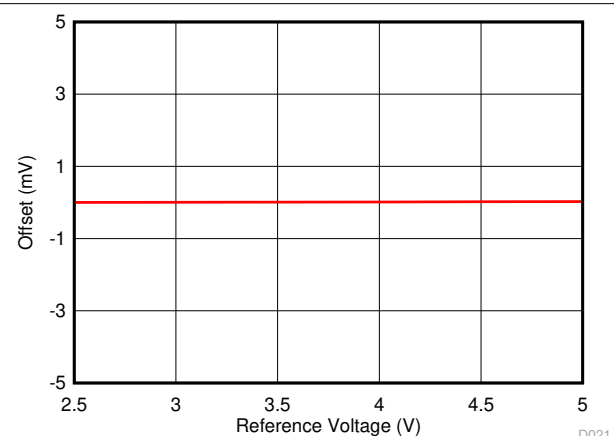


図 5-17. オフセットとリファレンス電圧との関係

適切な REF_SEL[2:0] については、[OFST_CAL](#) を参照してください

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $R_{V_{DD}} = 5.5\text{V}$, $DV_{DD} = 3\text{V}$, $V_{REF} = 5\text{V}$, および最大定格スループット (特に記述のない限り)

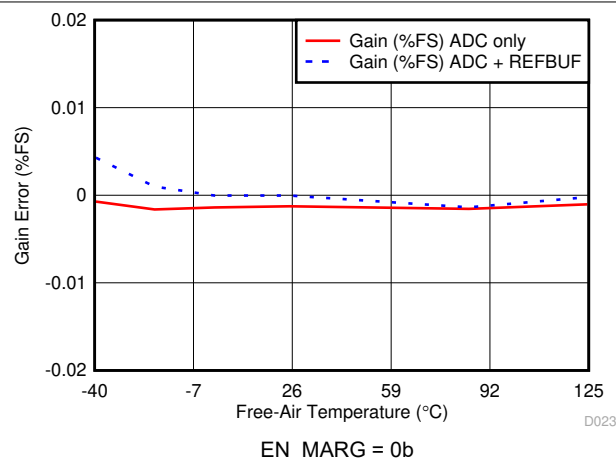


図 5-18. ゲイン誤差と温度との関係

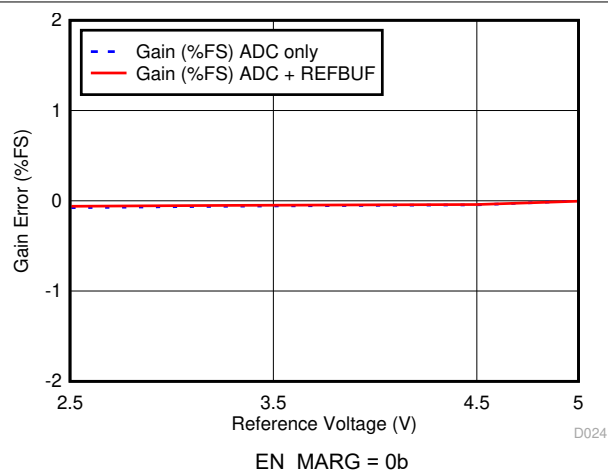


図 5-19. ゲイン誤差とリファレンス電圧との関係

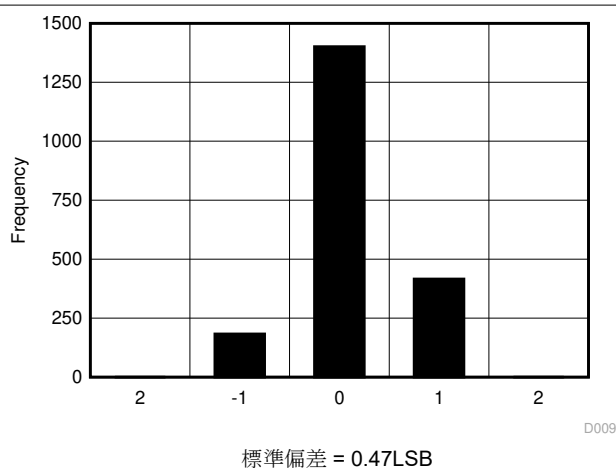


図 5-20. DC 入力ヒストグラム

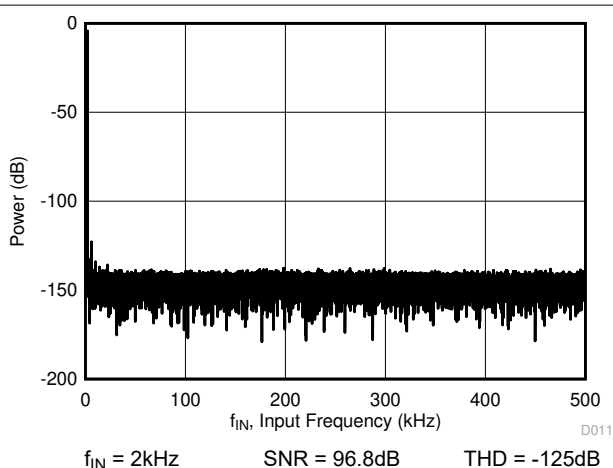


図 5-21. 標準 FFT - ADS8920B

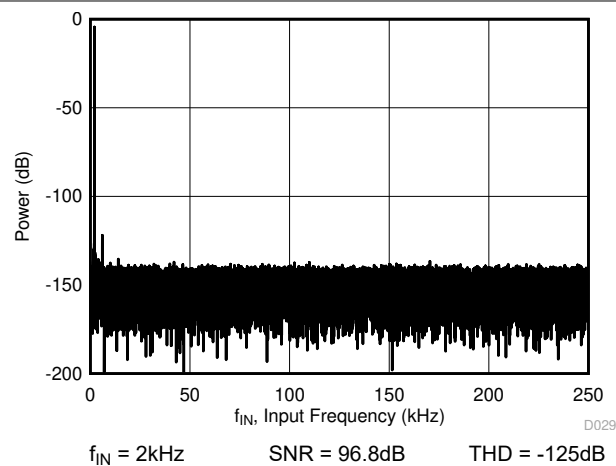


図 5-22. 標準 FFT - ADS8922B

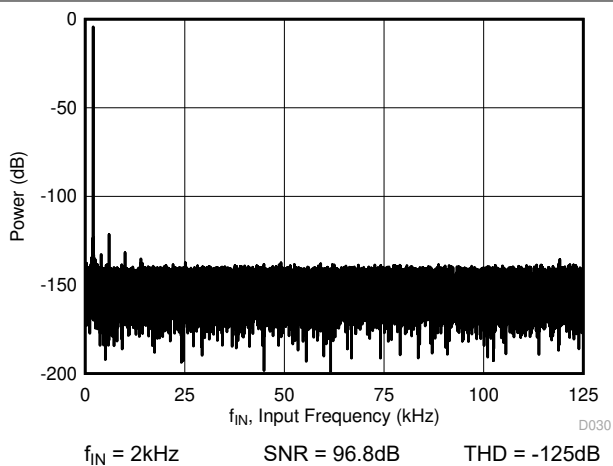


図 5-23. 標準 FFT - ADS8924B

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $R_{V_{DD}} = 5.5\text{V}$, $DV_{DD} = 3\text{V}$, $V_{REF} = 5\text{V}$, および最大定格スループット (特に記述のない限り)

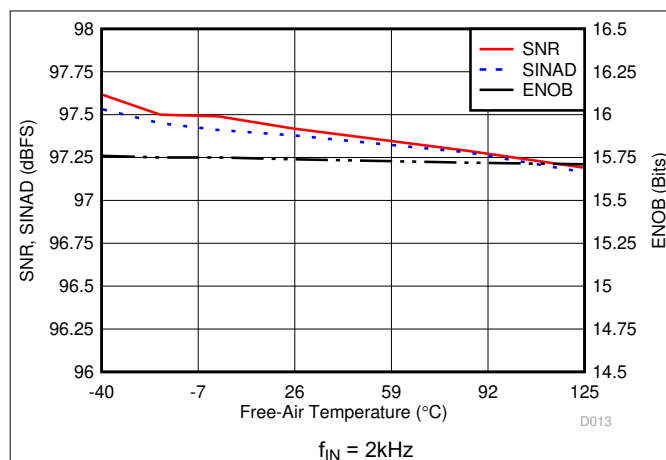


図 5-24. ノイズ性能と温度との関係

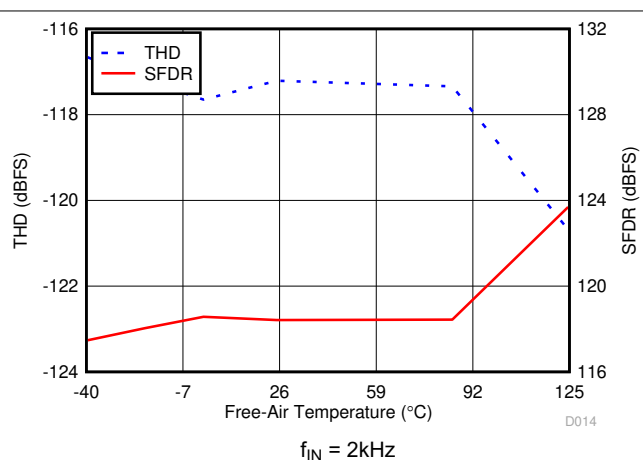


図 5-25. 歪み特性と温度との関係

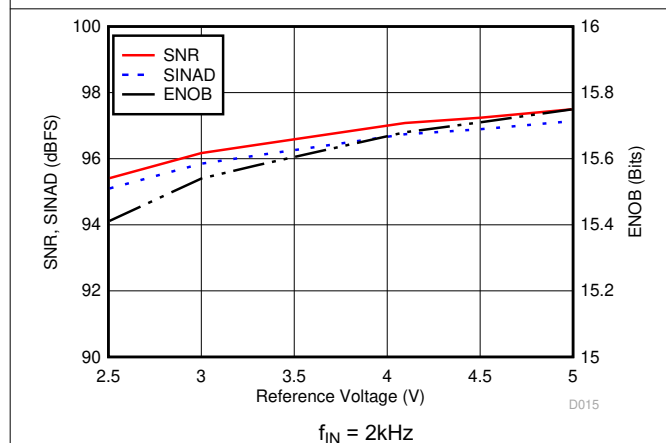


図 5-26. ノイズ性能とリファレンス電圧との関係

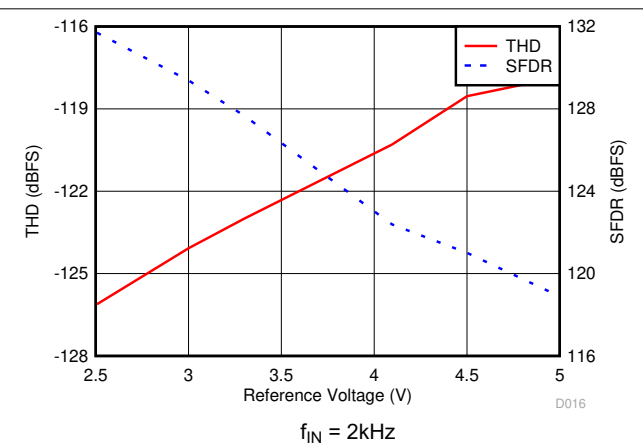


図 5-27. 歪み特性とリファレンス電圧との関係

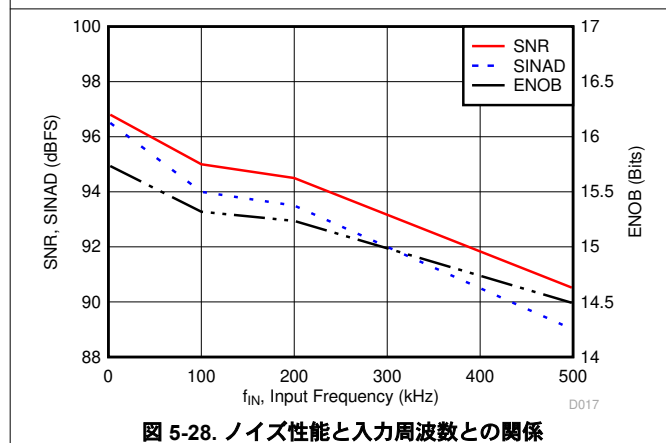


図 5-28. ノイズ性能と入力周波数との関係

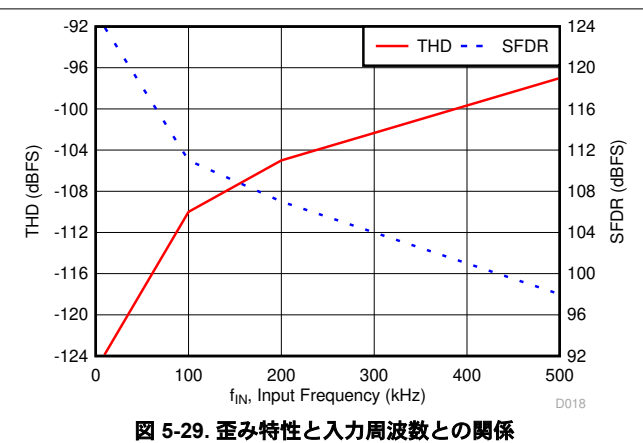


図 5-29. 歪み特性と入力周波数との関係

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $R_{VDD} = 5.5\text{V}$, $DV_{DD} = 3\text{V}$, $V_{REF} = 5\text{V}$, および最大定格スループット (特に記述のない限り)

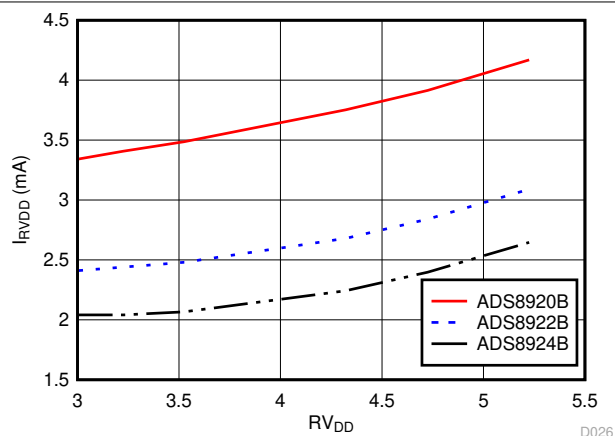


図 5-30. アナログ電源電流と電源電圧との関係

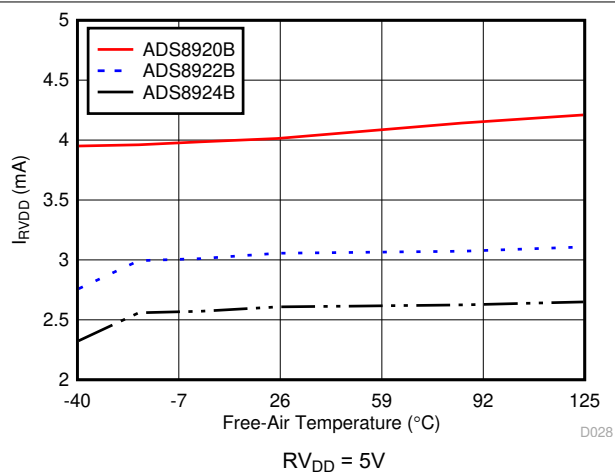


図 5-31. アナログ電源電流と温度との関係

6 詳細説明

6.1 概要

ADS892xB は、電荷再配分アーキテクチャをベースとする、高速、逐次比較型 (SAR) A/D コンバータ (ADC) ファミリです。これらの小型デバイスは、リファレンス バッファと LDO を内蔵しており、高スループット、低消費電力で高性能を実現します。

このデバイス ファミリは、ユニポーラ、完全差動、アナログ入力信号をサポートします。内蔵のリファレンス バッファは、2.5V ~ 5V の範囲の外部リファレンス電圧に対するデータ アクイジションのバースト モードをサポートし、追加の入力スケールなしに、入力範囲を幅広く選択できます。

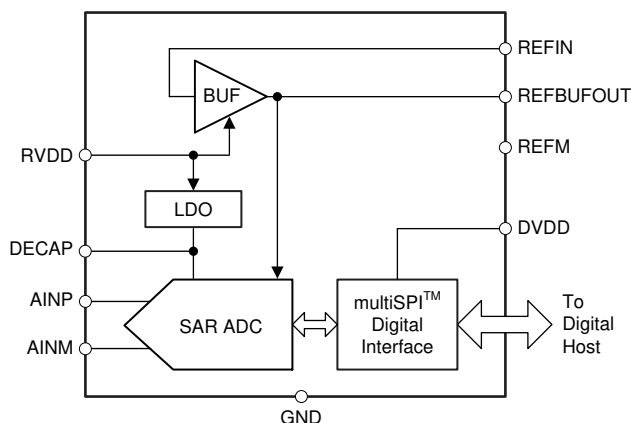
変換開始時に、AINP ピンと AINM ピン間の差動入力が入部コンデンサ アレイにサンプリングされます。このデバイスは、内部クロックを使用して変換を実行します。変換処理中は、両方のアナログ入力が入部回路から切り離されます。変換処理の終了時に、デバイスはサンプリング コンデンサを AINP ピンおよび AINM ピンに再接続し、アクイジション フェーズに移行します。

内蔵 LDO により、デバイスは単一電源である RV_{DD} で動作できます。このデバイスは、定格最大スループットが 1MSPS、500kSPS、または 250kSPS で動作し、内部リファレンス バッファと LDO が有効なとき、消費電力がわずか 21mW、16mW、または 14mW です。

拡張 multiSPI™ デジタル インターフェイスは、従来の SPI プロトコルと下位互換性があります。構成可能な機能により、基板レイアウト、タイミング、ファームウェアが簡素化され、低いクロック速度で高いスループットをサポートするため、各種のマイコン、DSP、FPGA と簡単に接続できます。

ADS892xB は、試験および測定、医療、産業用途で、高速、低ノイズ、低歪み、低消費電力のデータ アクイジションを小型のフォーム ファクタで実現できます。

6.2 機能ブロック図



6.3 機能説明

「機能ブロック図」セクションに示すように、機能的な観点から、このデバイスは低ドロップアウトレギュレータ (LDO)、リファレンスバッファ (BUF)、コンバータ (SAR ADC)、インターフェイス (multiSPI デジタルインターフェイス) の 4 つのモジュールで構成されています。

この LDO モジュールは RV_{DD} 電源から電力供給され、デバイスの内部回路ブロック用バイアス電圧を生成します。リファレンスバッファモジュールは、変換プロセス中にリファレンスピンに存在する動的な容量性スイッチング負荷から、外部リファレンス電圧源をバッファリングします。コンバータモジュールは、アナログ入力をサンプリングして、等価なデジタル出力コードに変換します。インターフェイスモジュールは、デバイスとホストコントローラ間の通信およびデータ転送を行います。

6.3.1 LDO モジュール

単一電源動作を可能にするため、このデバイスには低ドロップアウトレギュレータ (LDO) が内蔵されています。LDO は RV_{DD} 電源から電力供給され、2 つの DECAP ピンでそれを出力できます。この LDO 出力は、デバイス内の重要なアナログブロックに電力を供給し、他の外部目的で使用することはできません。

図 6-1 に示すように、2 つの DECAP を互いに短絡させ、10V 定格の $1\mu\text{F}$ 、X7R グレードのセラミックコンデンサを配置することで、GND ピンでデカップリングします。デカップリングコンデンサの値に上限はありませんが、デカップリングコンデンサが大きいと、デバイスのパワーアップ時間が長くなります。レイアウトに関する推奨事項については、「レイアウト」セクションを参照してください。

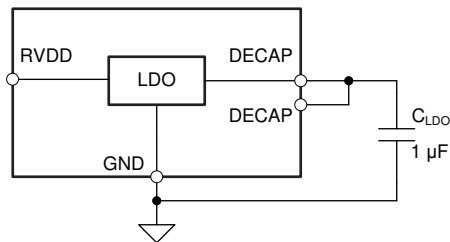


図 6-1. 内部 LDO の接続

6.3.2 リファレンスバッファモジュール

CONVST の立ち上がりエッジで、デバイスは ACQ 状態から CONV 状態に移行し、逐次比較アルゴリズムに従って内部コンデンサが REFBUFOUT ピンに切り替わります。変換プロセス中に必要なスイッチング電荷のほとんどは、外付けのデカップリングコンデンサ C_{REFBUF} によって供給されます。次の CONVST の立ち上がりエッジの前に C_{REFBUF} で失われた電荷が補充されない場合、REFBUFOUT ピンの電圧は $V_{REFBUFOUT}$ 未満になります。以後の変換はこの異なるリファレンス電圧で発生し、出力コードに比例誤差が生じます。デバイスの内部リファレンスバッファは、REFBUFOUT ピンの電圧を $V_{REFBUFOUT}$ の 0.5LSB 以内に維持します。デバイスのすべての性能特性は、内部リファレンスバッファで規定されており、 C_{REFBUF} および R_{ESR} の値が規定されています。

バーストモード動作において、デバイスは長期間 ACQ 状態に維持され、その後バーストモード変換を実行します。アキュイジション状態 (ACQ) では、サンプリングコンデンサ (C_S) が差動入力ピンに接続され、REFBUFOUT ピンから電荷は消費されません。ただし、最初の変換サイクル中に、REFBUFOUT ピンから引き込まれる電流にステップ変化が生じます。負荷のこの急激な変化により、リファレンスバッファで過渡セトリング応答がトリガされます。入力電圧を固定した場合、変換サイクルの終了時に過渡セトリング誤差が発生すると、図 6-2 に示すように、以後の変換では出力コードが変化します。ADS89xxB の内部リファレンスバッファを C_{REFBUF} および R_{ESR} の推奨値と組み合わせて使用すると、各変換サイクルの終了時の過渡セトリング誤差を 0.5LSB 以内に維持できます。このため、このデバイスはバーストモード動作をサポートしており、すべての変換結果はデータシートの仕様に準拠しています。

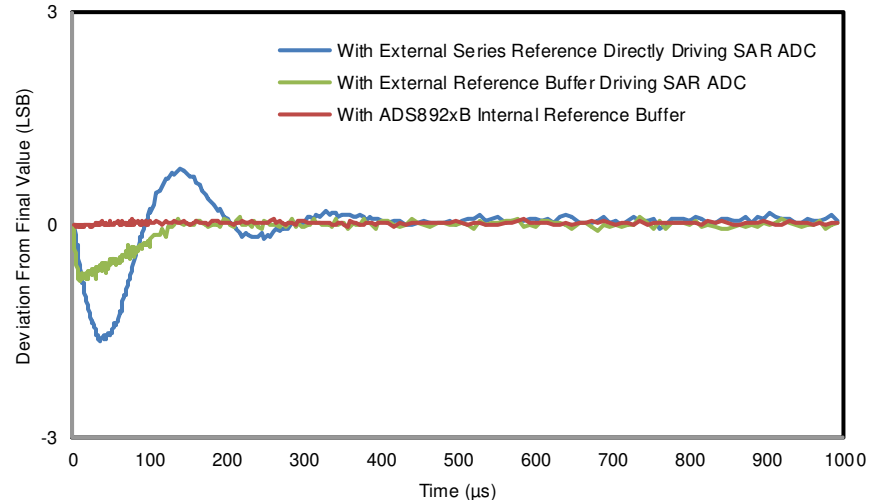


図 6-2. 各種 ADC リファレンス バッファによるバースト モード動作時の ADC 出力コード

図 6-3 に、内部リファレンス バッファのブロック図を示します。

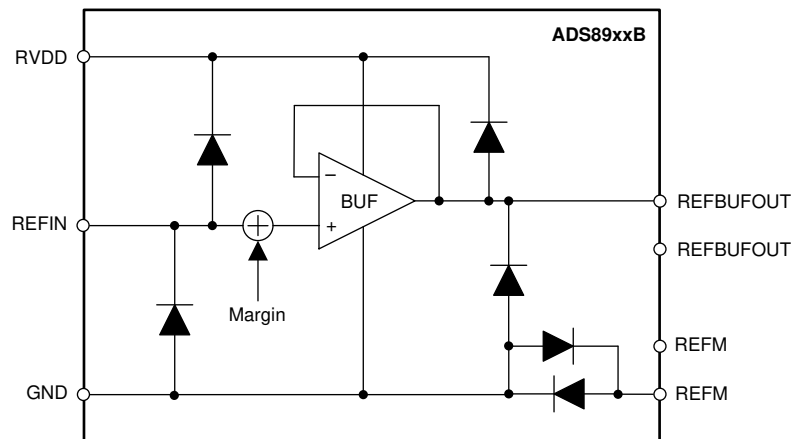


図 6-3. 内部リファレンス バッファのブロック図

このデバイスの入力範囲は、REFIN ピンに印加される外部電圧 (V_{REF}) によって設定されます。REFIN ピンには、RVDD ピンおよび GND ピンに接続された静電放電 (ESD) 保護ダイオードが搭載されています。入力オフセット誤差を最小限に抑えるには (「電気的特性」に規定された $E_{(IO)}$ を参照)、REF_SEL[2:0] ビットを V_{REF} に最も近い値に設定します (OFST_CAL レジスタを参照)。

内部リファレンス バッファの標準ゲインは 1V/V で、オフセット誤差は最小限です (「電気的特性」に規定されている $V_{(RO)}$ を参照)。また、バッファの出力は REFBUFOUT ピンと REFM ピンとの間で利用できます。REF_OFST[4:0] ビットを設定して、意図的なオフセット電圧を加算または減算します (REF_MRG レジスタを参照)。

図 6-4 に、内部リファレンス バッファに必要な外部接続を示します。

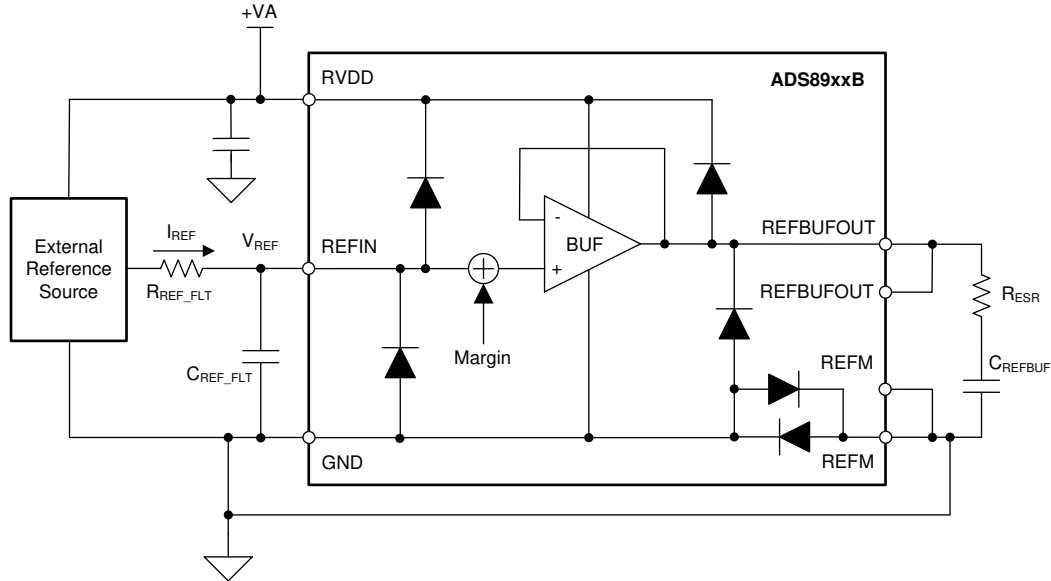


図 6-4. 内部リファレンス バッファに対する外部接続

外部基準電圧源からの広帯域ノイズの寄与を制限するため、 R_{REF_FLT} と C_{REF_FLT} を選択します。このデバイスは、REFIN ピン (通常は $0.1\mu A$) からの電流 I_{REF} をほとんど必要としません。ただし、この電流は R_{REF_FLT} を流れるため、ゲイン誤差が増大する可能性があります。

2 つの REFBUFOUT ピンを外部で短絡します。2 つの REFM ピンを外部で GND に短絡します。図 6-4 に示すように、 R_{ESR} と C_{REFBUF} (「電気的特性」を参照) の組み合わせを、デバイスにできる限り近づけて、REFBUFOUT ピンと REFM ピンとの間に配置します。レイアウトに関する推奨事項については、「レイアウト」セクションを参照してください。

6.3.3 コンバータ モジュール

図 6-5 に示すように、コンバータ モジュールは、アナログ入力信号 (AINP ピンと AINM ピン間に入力される信号) をサンプリングし、この信号をリファレンス電圧 (REFBUFOUT ピンと REFM ピン間に印加される電圧) と比較して、それに対応するデジタル出力コードを生成します。

コンバータ モジュールは、インターフェイス モジュールから $\overline{RST}$ および CONVST 入力を受信し、ADCST 信号と変換結果をインターフェイス モジュールに出力します。

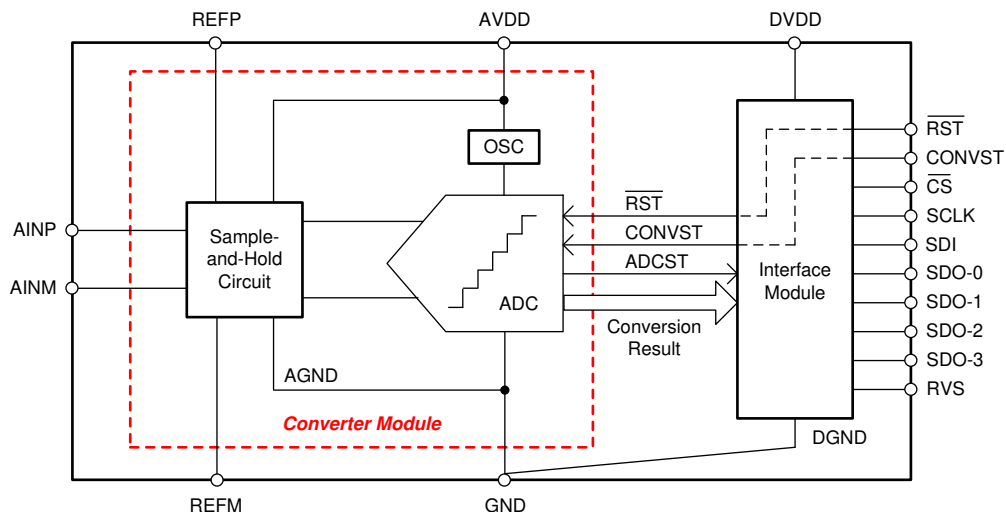


図 6-5. コンバータ モジュール

6.3.3.1 サンプル アンド ホールド回路

これらのデバイスは、ユニポラ、完全差動、アナログ入力信号をサポートします。図 6-6 サンプル/ホールド回路の小信号の等価回路を、に示します。各サンプリング スイッチは、理想スイッチ (SW₁ および SW₂) と直列に接続された抵抗 (R_{S1} および R_{S2}、通常 50Ω) で表されます。サンプリング コンデンサ C_{S1} および C_{S2} は通常 60pF です。

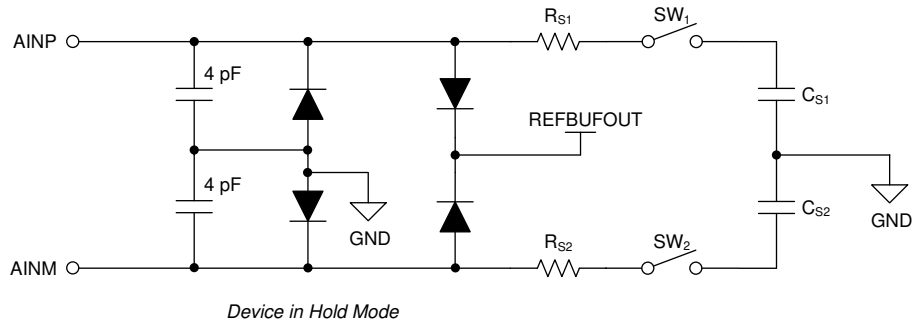


図 6-6. 入力サンプリング段の等価回路

アキュイジション プロセス中 (ACQ 状態) において、正と負の両方の入力がそれぞれ C_{S1} および C_{S2} で個別にサンプリングされます。変換処理中 (CNV 状態) において、デバイスはサンプリングされた 2 つの値の電圧差を変換します: V_{AINP} – V_{AINM}

各アナログ入力ピンには、REFBUFOUT および GND に対する静電放電 (ESD) 保護ダイオードが備えられています。ダイオードがオンにならないように、アナログ入力を規定の範囲内に維持します。

式 2 および式 3 に、REFIN ピンに印加される任意の外部リファレンス電圧 (V_{REF}) に対して、アナログ入力でサポートされるフルスケール入力範囲 (FSR) と同相電圧範囲 (V_{CM}) をそれぞれ示します。

$$\text{FSR} = \pm V_{\text{REF}} \quad (1)$$

$$\text{FSR} = V_{\text{REF}} \quad (2)$$

$$V_{\text{CM}} = \left(\frac{V_{\text{REF}}}{2} \right) \pm 0.1\text{V} \quad (3)$$

6.3.3.2 内部発振器

このデバイス ファミリーには、変換クロックを供給する内部発振器 (OSC) が搭載されています。図 6-5 を参照してください。変換期間は、「スイッチング特性」表で規定されている t_{conv} の最小値および最大値の範囲内に収まります。

インターフェイス モジュールは、この内部クロック (OSC)、外部クロック (SCLK ピンにホスト コントローラから供給されるクロック)、または内部クロックと外部クロック両方の組み合わせを使用して、デバイスとホスト コントローラ間のデータ転送処理を実行できます。詳細については、「インターフェイス モジュール」セクションを参照してください。

6.3.3.3 ADC の伝達関数

このデバイス ファミリーは、ユニポーラ、完全差動 アナログ入力をサポートします。デバイスの出力は、2 の補数形式です。図 6-7 および 表 6-1 は、デバイスの理想的な伝達特性を示します。

ADC の最下位ビット (LSB) は、式 4 で計算されます：

$$1 \text{ LSB} = \frac{FSR}{2^{16}} = 2 \times \frac{V_{REF}}{2^{16}} \quad (4)$$

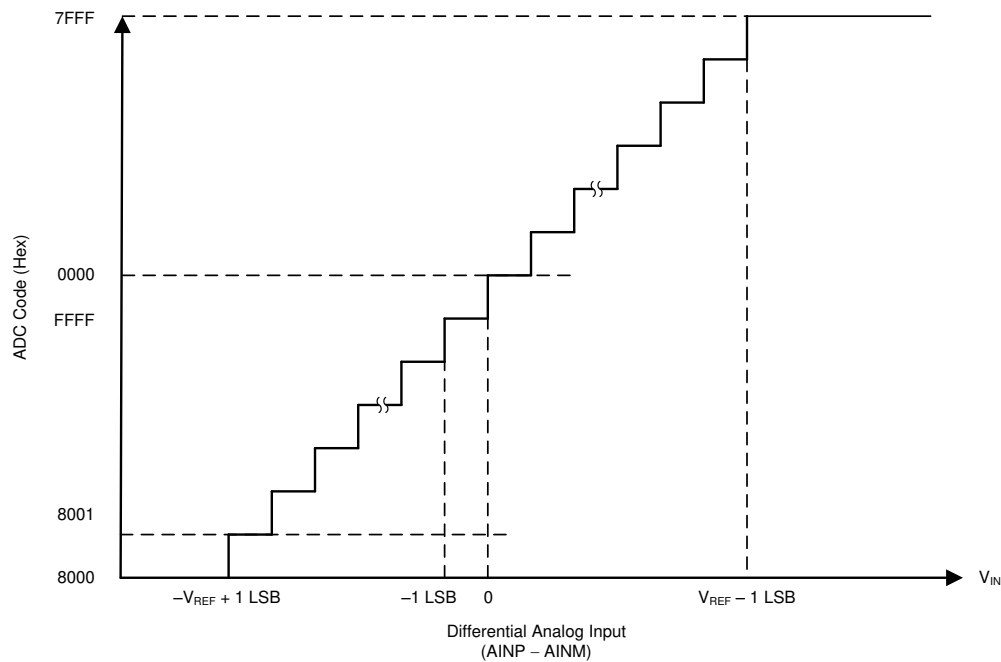


図 6-7. 伝達特性

表 6-1. 伝達特性

差動アナログ入力電圧 (AINP – AINM)	出力コード (HEX)
$< -V_{REF}$	8000
$-V_{REF} + 1\text{LSB}$	8001
-1LSB	FFFF
0	0000
1LSB	0001
$> V_{REF} - 1\text{LSB}$	7FFF

6.3.4 インターフェイス モジュール

インターフェイス モジュールは、デバイスとホストコントローラ間の通信およびデータ転送を行います。図 6-8 に示されているように、この モジュールはシフトレジスタ (入力と出力の両方)、構成レジスタ、およびプロトコル ユニットで構成されます。

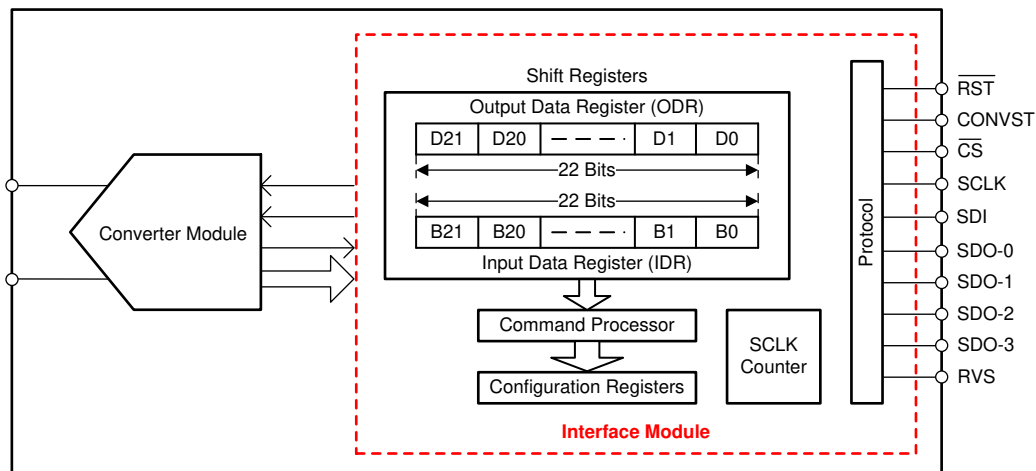


図 6-8. インターフェイス モジュール

「ピン構成および機能」セクションには、インターフェイス ピンの説明が記載されています。「データ転送フレーム」セクションでは、シフトレジスタ、SCLK カウンタ、コマンド プロセッサの機能について詳しく説明します。「データ転送プロトコル」セクションでは、サポートされているプロトコルについて詳しく説明します。「レジスタ マップ」セクションでは、構成レジスタとビット設定について説明します。

6.4 デバイスの機能モード

図 6-9 に示されているように、このデバイス ファミリーは以下の 3 つの機能状態をサポートしています: RST、ACQ、CNV。デバイスのステータスは、ホスト コントローラから供給される CONVST および $\overline{\text{RST}}$ 制御信号の状態によって決まります。

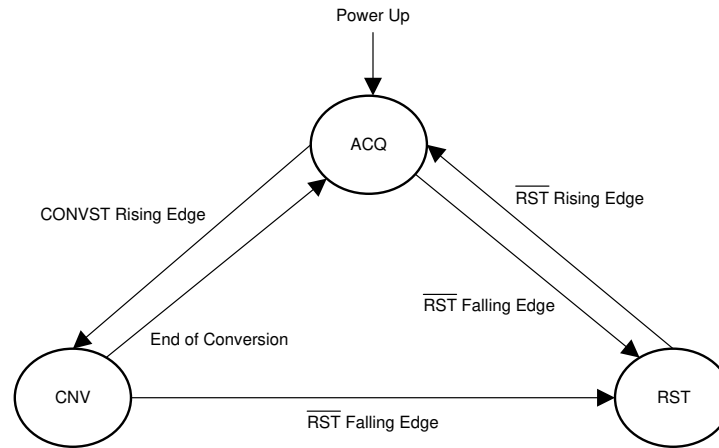


図 6-9. デバイスの機能状態

6.4.1 RST 状態

$\overline{\text{RST}}$ ピンは、デバイスに対する非同期デジタル入力です。RST 状態に移行するために、ホスト コントローラは $\overline{\text{RST}}$ ピンを Low にプルダウンし、(「[タイミング要件](#)」で規定されている) $t_{\text{wl_RST}}$ 時間の間、ピンを Low に保持します。

RST 状態では、すべての設定レジスタ (「[レジスタ マップ](#)」セクションを参照) はデフォルト値にリセットされ、RVS ピンは Low のままとなり、SDO-x ピンはハイ インピーダンス状態になります。

図 6-10 に示すように、RST 状態から抜けるために、CONVST および SCLK を Low に保持し、 $\overline{\text{CS}}$ を High に保持した状態で、ホスト コントローラが $\overline{\text{RST}}$ ピンを High にプルアップします。 $t_{\text{d_rst}}$ の遅延後、デバイスは ACQ 状態に移行し、RVS ピンは high になります。

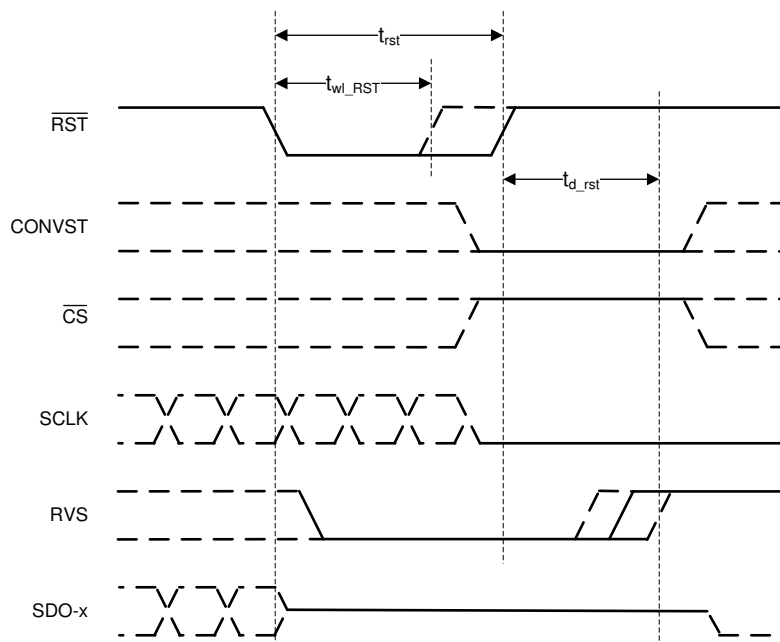


図 6-10. 非同期リセット

デバイスを ACQ または CNV 状態で動作させるには、 $\overline{\text{RST}}$ を High に保持する必要があります。 $\overline{\text{RST}}$ ピンが high に保持されると、CONVST ピンでの遷移により、デバイスの機能状態が決まります。

標準的な変換プロセスを、図 6-11 に示します。内部信号 ADCST は、変換中は Low となり、変換終了時に High になります。 $\overline{CS}$ を high に保持すると、RVS は ADCST のステータスを反映します。

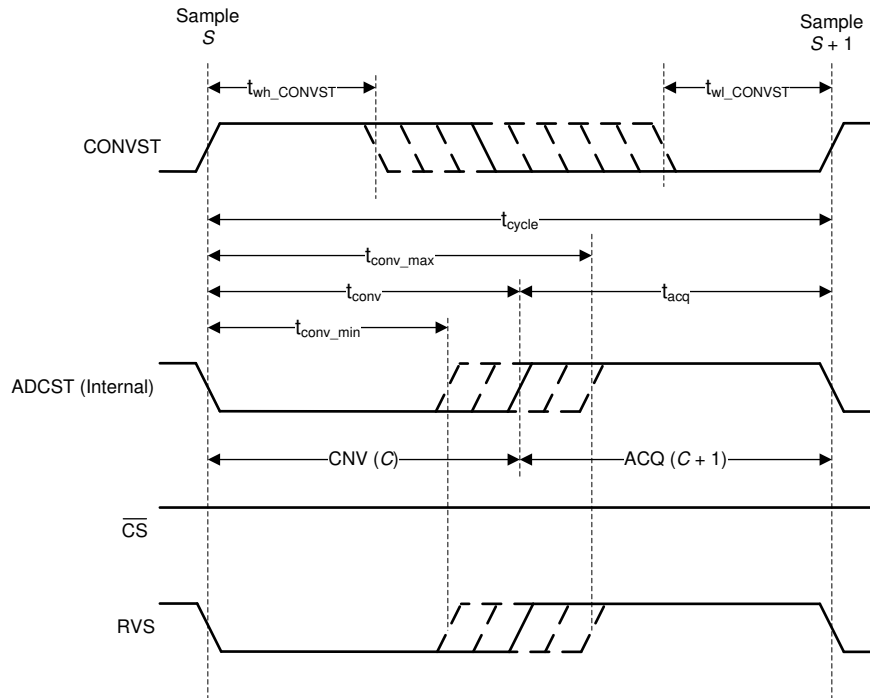


図 6-11. 標準的な変換プロセス

6.4.2 ACQ 状態

ACQ 状態では、デバイスはアナログ入力信号を取得します。デバイスは、パワーアップ時、パワーダウンから復帰したとき (「PD 制御」セクションを参照)、非同期リセット後、すべての変換の終了時に ACQ 状態に移行します。

$\overline{RST}$ 立ち下がりエッジで、デバイスは ACQ 状態から RST 状態になります。CONVST の立ち上がりエッジにより、デバイスは ACQ 状態から CNV 状態へ遷移します。

6.4.3 CNV 状態

デバイスは、CONVST ピンの立ち上がりエッジで ACQ 状態から CNV 状態へ遷移します。変換プロセスでは、内部クロックを使用します。デバイスは変換が完了するまで (すなわち、 t_{conv} の期間中)、CONVST 信号のそれ以降の遷移を無視します。

変換が終了すると、デバイスは ACQ 状態に入ります。式 5 の式で、デバイスのサイクル時間を計算します。

$$t_{cycle-min} = t_{conv} + t_{acq-min} \quad (5)$$

注

(「スイッチング特性」表に指定されているように、) 変換時間 t_{conv} は、 $t_{conv-min}$ および $t_{conv-max}$ の制限内で変動します。変換開始後、ホスト コントローラは、新たな操作 (データ転送または変換) を開始する前に、RVS ピンの Low から High への遷移を監視するか、または $t_{conv-max}$ 時間が経過するのを待つ必要があります。RVS が監視されていない場合は、式 5 の t_{conv} を $t_{conv-max}$ に置き換えます。

6.5 プログラミング

このデバイス ファミリーには 9 つの構成レジスタがあります (「[レジスタ マップ](#)」セクションで説明)。内部構成レジスタにアクセスするため、これらのデバイスは表 6-2 に示すコマンドをサポートしています。

表 6-2. サポートされている コマンド

B[21:17]	B[16:8]	B[7:0]	コマンドの頭 字語	コマンドの説明
00000	000000000	00000000	NOP	無操作
10000	<9 ビット アドレス>	<8 ビット非マスク ビット>	CLR_BITS	<9 ビット アドレス> から <8 ビット非マスク ビット> をクリア
10001	<9 ビット アドレス>	00000000	RD_REG	<9-bit address> から内容を読み取り
10010	<9 ビット アドレス>	<8 ビット データ>	WR_REG	<9 ビット アドレス> に <8 ビット データ> を書き込み
10011	<9 ビット アドレス>	<8 ビット非マスク ビット>	SET_BITS	<9 ビットアドレス> から <8 ビット非マスク ビット> を設定
11111	111111111	11111111	NOP	無操作
残りの組み合わせ	XXXXXXXXX	XXXXXXXXX	予約済み	これらのコマンドは予約されており、デバイスでは無操作として扱われます

これらのデバイスは、データ書き込み (ホスト コントローラがデバイスを構成) と、データ読み取り (ホスト コントローラがデバイスからデータを読み取り) の 2 種類のデータ転送操作に対応しています。

デバイスへのデータ書き込みは、常に SCLK ピンに供給される外部クロックと同期します。WR_REG コマンドは、コマンド文字列で指定された 9 ビット アドレスに 8 ビットデータを書き込みます。CLR_BITS コマンドは、(他のビットに影響を与えずに) 9 ビット アドレスにある (1 で識別される) 指定されたビットをクリアします。また、SET_BITS コマンドは、(他のビットに影響を与えずに) 9 ビット アドレスにある (1 で識別される) 指定されたビットを設定します。

デバイスから読み取られるデータは、構成レジスタを設定することにより、同じ外部クロックまたはデバイスの内部クロックに同期させることができます (詳細については「[データ転送プロトコル](#)」セクションを参照)。

6.5.1 出力データ ワード

任意のデータ転送フレームにおいて、内部の 22 ビットの出力データ ワードの内容が、SDO ピンからシフト アウトされます。任意のフレーム $F + 1$ について、22 ビット出力データワードの D[21:6]D ビットは、次の式で決定されます:

- フレーム $F + 1$ に適用可能な DATA_VAL ビットの値 ([DATA_CNTL レジスタ](#)を参照)
- フレーム F で発行されたコマンド

フレーム F で有効な RD_REG コマンドが実行されると、フレーム $F + 1$ の D[21:14] ビットに選択されたレジスタの内容が反映され、D[13:0] ビットはゼロになります。

フレーム $F + 1$ の DATA_VAL ビットが 1 に設定されている場合、フレーム $F + 1$ の D[21:6] ビットは、DATA_PATN[15:0] ビットによって置き換えられます。

それ以外のすべての組み合わせでは、フレーム $F + 1$ の D[21:6] ビットが最新の変換結果です。

図 6-12 に、出力データ ワードを示します。図 6-13 は、図 6-12 に示されているパリティ計算ユニットの詳細をさらに示しています。

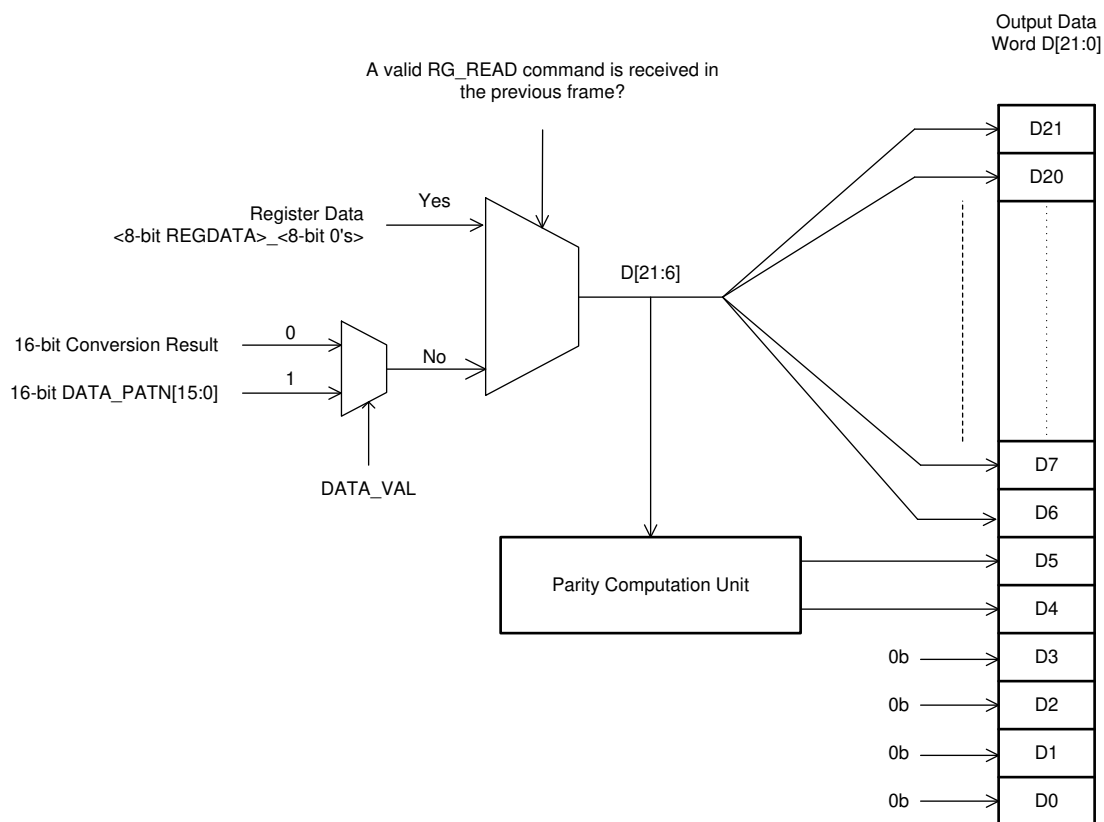


図 6-12. 出力データ ワード (D[21:0])

Output Data Word D[21:0]

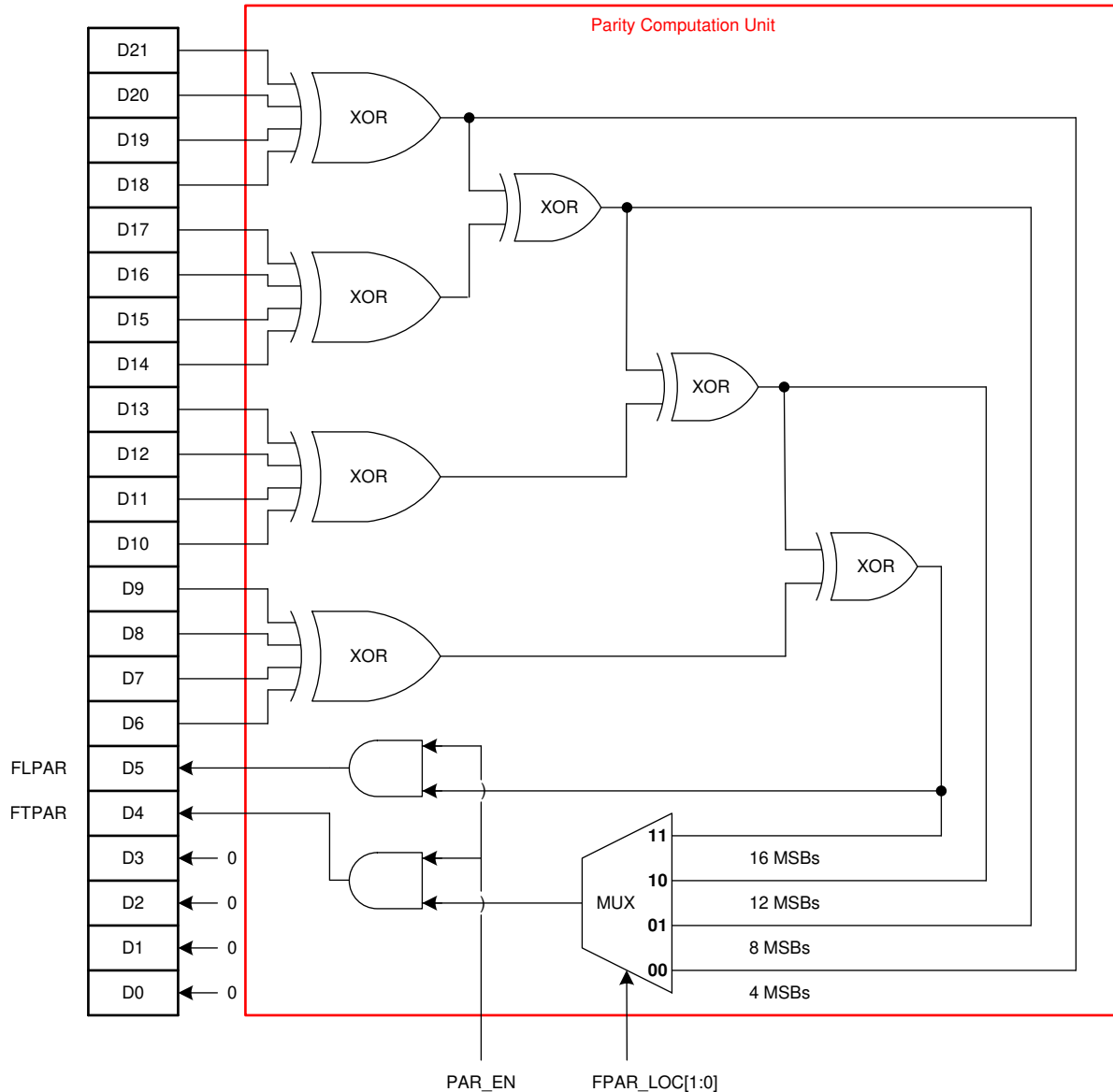


図 6-13. パリティ ビット計算

PAR_EN ビットを 0 に設定すると、出力データワードの D[5] および D[4] ビットが 0 (デフォルト構成) に設定されます。

PAR_EN ビットが 1 に設定されている場合、デバイスはパリティビット (FLPAR と FTPAR) を計算し、これらをビット D[5] および D[4] として付加します。

- FLPAR は、ビット D[21:6] で計算された偶数パリティです。
- FTPAR は、FPAR_LOC[1:0] で定義されたビットに対して計算される偶数パリティです。

FPAR_LOC[1:0] ビット設定の詳細については、[DATA_CNTL レジスタ](#)を参照してください。ビット D[3:0] は 0000b に設定されます。

6.5.2 データ転送フレーム

デバイスとホスト コントローラ間のデータ転送フレームは、 $\overline{\text{CS}}$ の立ち下がりエッジからその後の $\overline{\text{CS}}$ の立ち上がりエッジまでの間で規定されます。ホスト コントローラは、(図 6-14 に示すように) CONVST 信号のステータスに関係なく任意のタイミングでデータ転送フレームを開始できますが、そのようなデータ転送フレーム中に読み出されるデータは、CONVST 信号と $\overline{\text{CS}}$ 信号の相対的なタイミングに依存します。

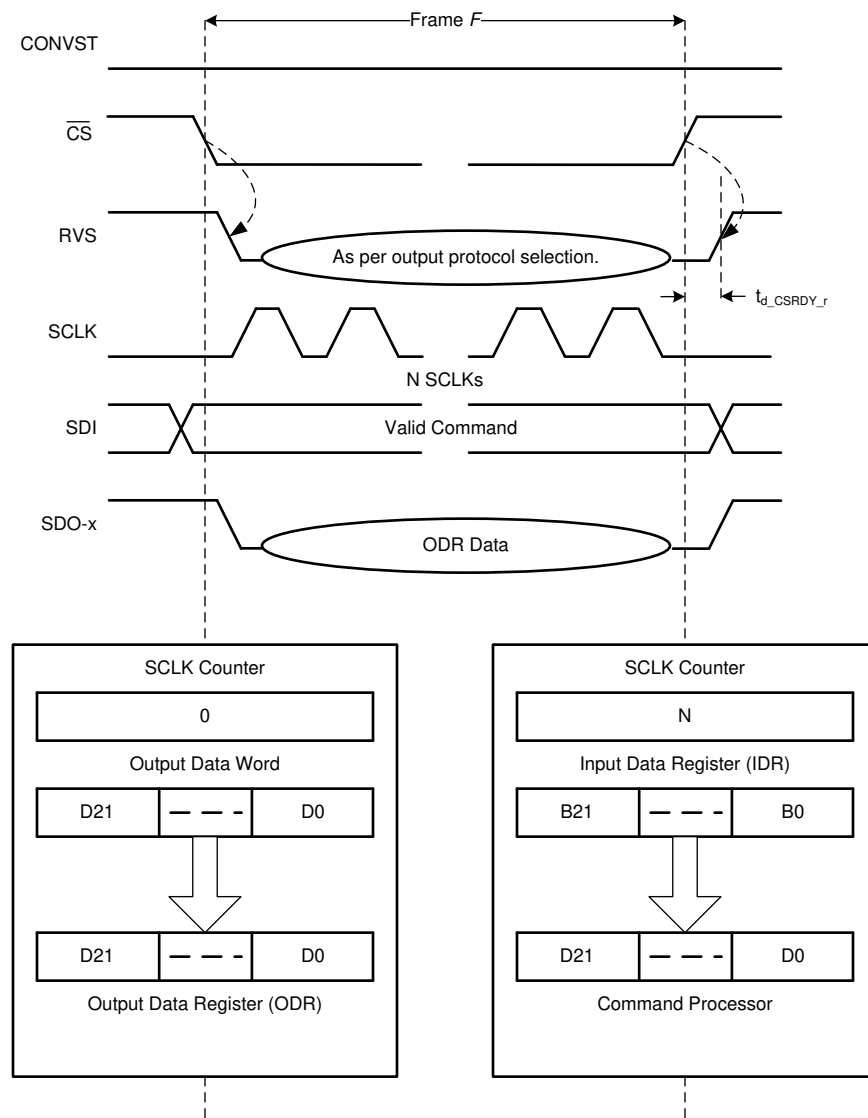


図 6-14. データ転送フレーム

この説明では、CONVST 信号が Low のままであると仮定します。

一般的なデータ転送フレーム F は、この順序に従います：

1. ホスト コントローラは $\overline{\text{CS}}$ を Low にプルし、データ転送フレームを開始します。 $\overline{\text{CS}}$ の立ち下がりエッジ時：
 - RVS が Low になり、データ転送フレームの開始を示します。
 - SCLK カウンタが 0 にリセットされます。
 - デバイスがデータ バスの制御を取得します。図 6-14 に示すように、出力データワード (図 6-12 参照) の 22 ビットの内容が、22 ビットの出力データレジスタ (ODR、図 6-8 参照) にロードされます。
 - 22 ビットの入力データレジスタ (IDR、図 6-8 参照) は 000000h にリセットされ、NOP コマンドに対応します。

2. フレーム中、ホストコントローラは **SCLK** ピンにクロックを供給します。デバイス内部:
 - 各 **SCLK** のキャプチャ エッジで、**SCLK** カウンタがインクリメントされ、**SDI** ピンで受信されたデータビットが **IDR** にシフト インされます。
 - 出力クロック (この場合は **SCLK**) の各ローンチ エッジで、選択された **SDO - x** ピンから **ODR** のデータがシフト アウトされます。
 - **RVS** ピンのステータスは出力プロトコルの選択に依存します ([「デバイスからの読み出しプロトコル」](#) セクションを参照)。
3. ホストコントローラは $\overline{\text{CS}}$ ピンを **High** にして、データ転送フレームを終了します。 $\overline{\text{CS}}$ の立ち上がりエッジ時:
 - **SDO - x** ピンがハイ インピーダンスになります。
 - **RVS** は ($t_{\text{d_CSRdy_r}}$ の遅延の後) **High** になります。
 - [図 6-14](#) に示されているように、**IDR** の 22 ビットの内容は、デコードおよび後続の処理のためにコマンド プロセッサ ([図 6-8](#) を参照) に転送されます。

$\overline{\text{CS}}$ を **High** にした後、ホストコントローラは **RVS** ピンの **Low** から **High** への遷移を監視するか、または $t_{\text{d_CSRdy_r}}$ の時間経過するのを待機してから ([「スイッチング特性」](#) 表を参照)、新しい動作 (データ転送または変換) を開始します。データ転送フレーム **F** の遅延 $t_{\text{d_CSRdy_r}}$ は、フレーム **F** で実行されるデータ転送動作によって異なります。

データ転送フレーム **F** の終了時:

- **SCLK** カウンタが 22 未満の場合、**IDR** は **SDI** から 22 ビット未満しかキャプチャしません。この場合、デバイスは、フレーム **F** を「短いコマンドフレーム」として扱います。短いコマンドフレームの終了時に、**IDR** は更新されず、デバイスはそのフレームを無操作 (**NOP**) コマンドとして扱います。
- **SCLK** カウンタが 22 の場合、**IDR** は **SDI** からちょうど 22 ビットをキャプチャします。この場合、デバイスは、フレーム **F** を「最適なコマンドフレーム」として扱います。最適なコマンドフレームの終了時に、コマンド プロセッサは **IDR** の 22 ビットの内容を有効なコマンドワードとしてデコードします。
- **SCLK** カウンタが 22 を超える場合、**IDR** は **SDI** から 22 ビットを超えるデータをキャプチャしますが、「最後の 22 ビット」のみが保持されます。この場合、デバイスは、フレーム **F** を「長いコマンドフレーム」として扱います。長いコマンドフレームの終了時に、コマンド プロセッサは **IDR** の 22 ビットの内容を有効なコマンドワードとして扱います。データ転送フレーム **F** 内で提供できるクロックの最大数に制限はありません。ただし、上記で説明しているように、 $\overline{\text{CS}}$ の立ち上がりエッジの前にデバイスにシフトインされた最後の 22 ビットが目的のコマンドを構成するようにしてください。

短いコマンドフレームでは、デバイスへの書き込み操作は無効となりますが、短いコマンドフレーム中に転送される出力データビットは有効な出力データです。したがって、ホストコントローラは、このような短いデータ転送フレームを使用して、22 ビットの出力データワードから必要な数の **MSB** ビットのみを読み取ることができます。[図 6-12](#) に示すように、**ADS892xB** デバイスの「最適な読み取りフレーム」は、出力データワードの 16 **MSB** ビットのみを読み取る必要があります。最適な読み取りフレームの長さは、出力プロトコルの選択によって異なります。詳細については、「[デバイスからの読み取りのためのプロトコル](#)」セクションを参照してください。

注

前記の例では、**SCLK** ピンに供給される外部クロックに同期したデータの読み取りおよび書き込み動作を示しています。

一方で、このデバイスは、内部クロックと同期したデータ読み取り動作もサポートしています。詳細については、「[デバイスからの読み取りのためのプロトコル](#)」セクションを参照してください。この場合、**ODR** の内容は内部クロックのローンチ エッジで **SDO** (複数可) にシフト出力される一方で、デバイスは **SCLK** のキャプチャ エッジで **SDI** データを **IDR** に取り込み続けます (**SCLK** カウンタをインクリメントします)。

6.5.3 変換サイクルとデータ転送フレームのインターリーブ

ホスト コントローラは、変換サイクルとデータ転送フレームをインターリーブすることで、所望のスループットでデバイスを操作します。

デバイスのサイクル時間 t_{cycle} は、ホスト コントローラによって供給される連続する 2 つの CONVST の立ち上がりエッジ間の時間差です。デバイスの応答時間 t_{resp} は、ホスト コントローラが変換 C を開始してから、ホスト コントローラが変換 C の完全な結果を受信するまでの時間差です。

図 6-15 に、次の 3 変換サイクル: C、C + 1、C + 2 を示します。変換 C は、 $t = 0$ の時点における CONVST の立ち上がりエッジによって開始され、変換結果は t_{conv} の時点でデータ転送に利用可能となります。ただし、この結果は、後続の $\overline{\text{CS}}$ の立ち下がりエッジでのみ ODR にロードされます。この $\overline{\text{CS}}$ の立ち下がりエッジは、変換 C + 1 の完了前 (すなわち、 $t_{\text{cycle}} + t_{\text{conv}}$ より前) に供給される必要があります。

定格性能仕様を達成するために、ホスト コントローラは、静止取得時間 ($t_{\text{qt_acq}}$) および静止アパーチャ時間 ($t_{\text{d_cnvcap}}$) の間にデジタル信号がトグルしないことを保証する必要があります。 $t_{\text{d_cnvcap}}$ の間のいかなるノイズも進行中の変換結果に悪影響を及ぼす可能性があるのに対して、 $t_{\text{qt_acq}}$ の間のいかなるノイズも以後の変換結果に悪影響を及ぼす可能性があります。

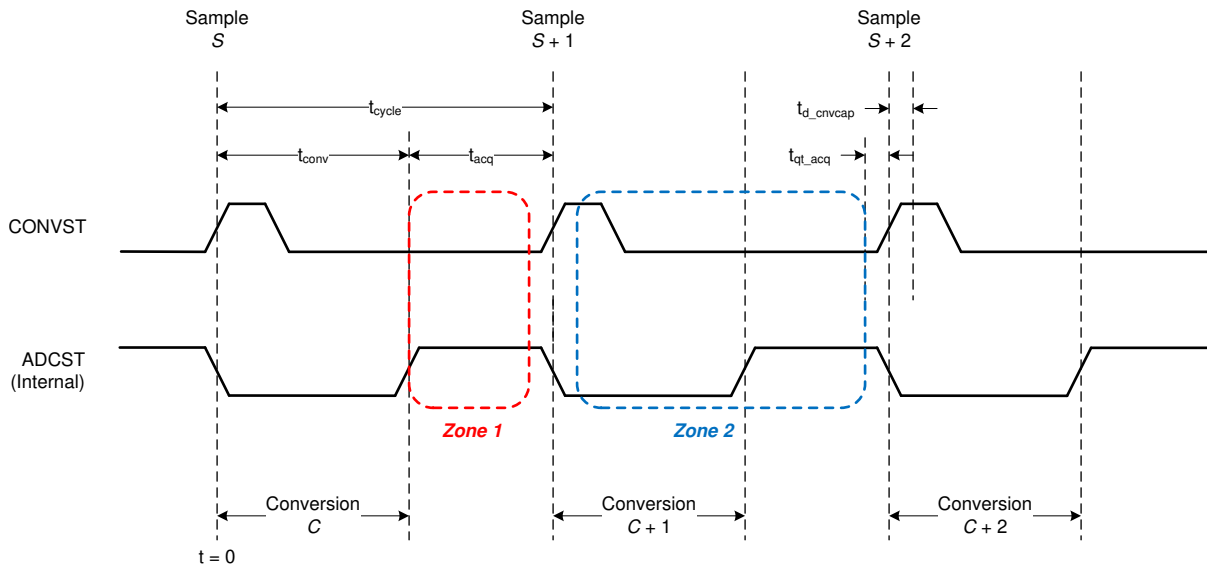


図 6-15. データ転送ゾーン

このアーキテクチャにより、各変換に対して 2 つの異なる時間領域 (ゾーン 1 およびゾーン 2) でデータ転送が可能になります。変換 C のゾーン 1 およびゾーン 2 は、表 6-3 で定義されます。

表 6-3. データ転送ゾーンのタイミング

ゾーン	開始時間	終了時間
変換 C のゾーン 1	t_{conv}	$t_{\text{cycle}} - t_{\text{qt_acq}}$
変換 C のゾーン 2	$t_{\text{cycle}} + t_{\text{d_cnvcap}}$	$t_{\text{cycle}} + t_{\text{cycle}} - t_{\text{qt_acq}}$

応答時間は変換時間とデータ転送時間を含むため、選択されたデータ転送ゾーンに依存します。

図 6-16 および図 6-17 に、ゾーン 1 とゾーン 2 の 3 つのデータ転送フレーム (F、F + 1、F + 2) による 3 つの変換サイクル (C、C + 1、C + 2) のインターリーブを示します。

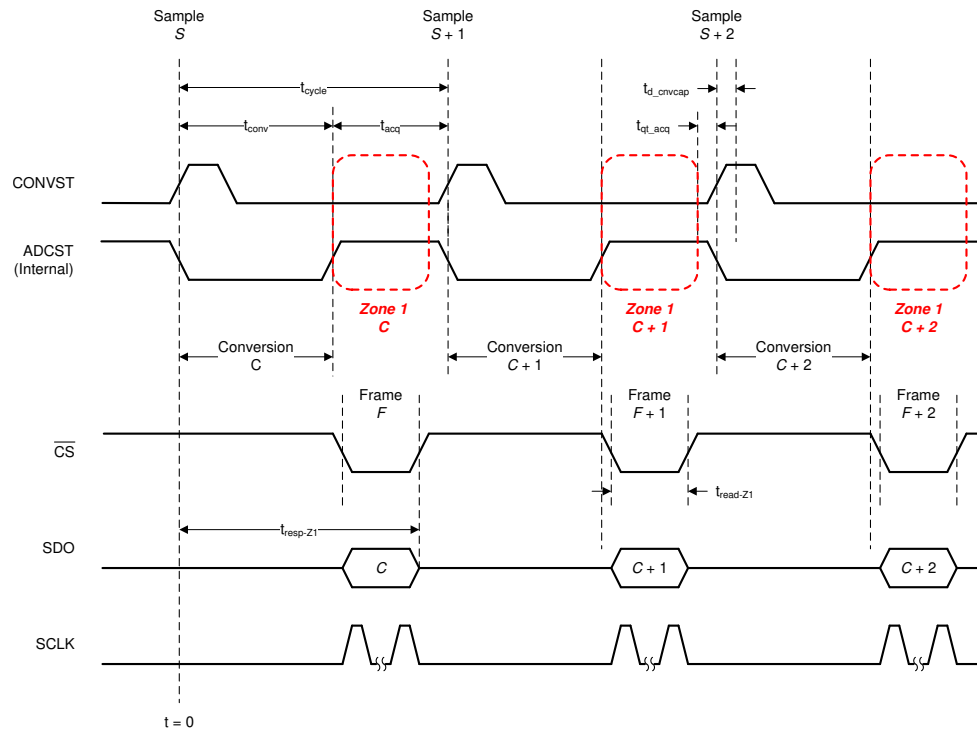


図 6-16. ゾーン 1 データ転送

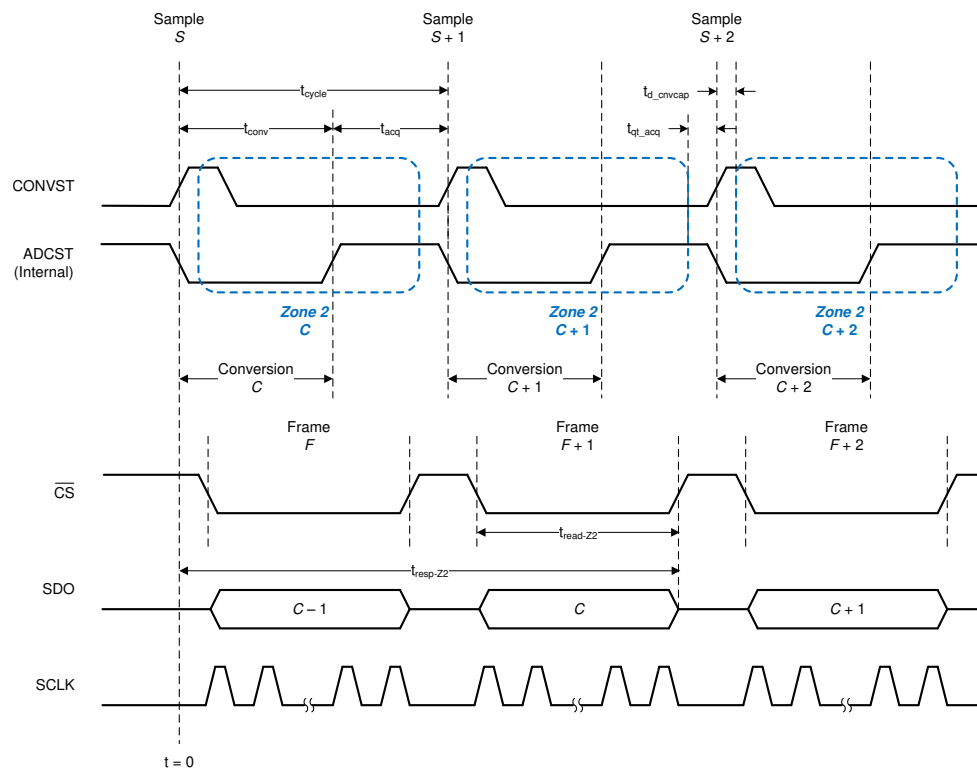


図 6-17. ゾーン 2 データ転送

サイクル時間 t_{cycle} を達成するために、ゾーン 1 における読み取り時間は式 6 によって計算されます：

$$t_{\text{read-Z1}} \leq t_{\text{cycle}} - t_{\text{conv}} - t_{\text{qt_acq}} \quad (6)$$

最適なデータ転送フレームの場合、式 6 から式 7 によって与えられる SCLK 周波数が得られます：

$$f_{\text{SCLK}} \geq \frac{16}{t_{\text{read-Z1}}} \quad (7)$$

次に、ゾーン 1 のデータ転送は、式 8 に定義された応答時間を達成します：

$$t_{\text{resp-Z1-min}} = t_{\text{conv}} + t_{\text{read-Z1}} \quad (8)$$

SCLK の速度が低いと、 $t_{\text{read-Z1}}$ が増加し、応答時間が遅くなり、サイクル時間が長くなります。

同じサイクル時間 t_{cycle} を達成するために、ゾーン 2 における読み取り時間は式 9 によって計算されます：

$$t_{\text{read-Z2}} \leq t_{\text{cycle}} - t_{\text{d_cnvcap}} - t_{\text{qt_acq}} \quad (9)$$

最適なデータ転送フレームの場合、式 9 から式 10 によって与えられる SCLK 周波数が得られます：

$$f_{\text{SCLK}} \geq \frac{16}{t_{\text{read-Z2}}} \quad (10)$$

次に、ゾーン 2 のデータ転送は、式 11 に定義された応答時間を達成します：

$$t_{\text{resp-Z2-min}} = t_{\text{cycle}} + t_{\text{d_cnvcap}} + t_{\text{read-Z2}} \quad (11)$$

$t_{\text{read-Z2}}$ を長くすると、応答時間が増加し、サイクル時間が長くなる場合があります。

所定のサイクル時間において、ゾーン 1 のデータ転送は明らかにより高速な応答時間を実現できますが、より高い SCLK 速度を必要とします (式 6、式 7、および式 8 から明らかです)。一方、ゾーン 2 のデータ転送はより低い SCLK 速度で動作可能ですが、応答時間は遅くなります (式 9、式 10、および式 11 から明らかです)。

注

データ転送フレームは ゾーン 1 で開始し、その後ゾーン 2 にまたがって延長できますが、ホスト コントローラは $t_{\text{qt_acq}}$ および $t_{\text{d_cnvcap}}$ の時間区間において、デジタル信号の遷移が発生しないようにする必要があります。

注

ADC クロック マスタ プロトコル

(SDO_MODE[1:0] = 11b) を使用したゾーン 2 でのデータ転送動作において、このデバイスは外部クロック エコー オプション

(SSYNC_CLK_SEL[1:0] = 00b) のみをサポートしています (表 6-9 を参照)。

6.5.4 データ転送プロトコル

このデバイス ファミリーは multiSPI デジタル インターフェイスを備えており、ホスト コントローラがより遅い SCLK 速度で動作しても、必要なスループットと応答時間を実現できます。multiSPI デジタル インターフェイス モジュールは、データ転送に必要な SCLK 速度を低減するための 3 つのオプションを提供します：

- 出力データ バスの幅を増やすオプション。
- ダブル データ レート (DDR) 転送を有効にするオプション。

- 拡張データ転送ウィンドウ オプション。(図 6-17 参照)

これらの 3 つのオプションは組み合わせて使用でき、SCLK 速度をさらに低減できます。

システム内の最大 SCLK 周波数を制限する要因はさまざまです。

図 6-18 は、一般的なシリアル通信におけるホスト コントローラとデバイス間の通信チャネルにおける遅延を示します。

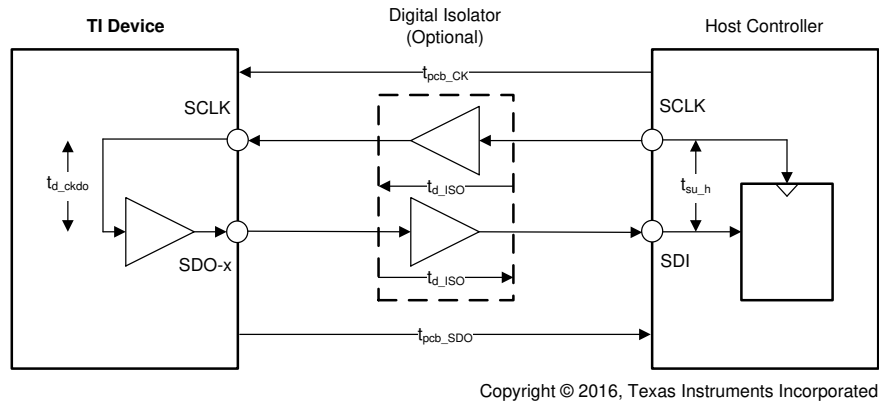


図 6-18. シリアル通信の遅延

たとえば、 t_{pcb_CK} および t_{pcb_SDO} が、それぞれシリアル クロック信号および SDO 信号に対するプリント基板 (PCB) パターンによって生じる遅延であり、 t_{d_ckdo} がデバイスのクロック対データ遅延、 t_{d_iso} がデジタル アイソレータによって生じる伝搬遅延、 t_{su_h} がホスト コントローラのセットアップ時間仕様である場合、パス全体の遅延は式 12 によって求められます：

$$t_{d_total_serial} = t_{pcb_CK} + t_{d_iso} + t_{d_ckdo} + t_{d_iso} + t_{pcb_SDO} + t_{su_h} \quad (12)$$

標準的な SPI プロトコルでは、ホスト コントローラとデバイスは、交互の SCLK エッジでデータ ビットを送出し、キャプチャします。したがって、 $t_{d_total_serial}$ 遅延は SCLK 持続時間の半分未満に保つ必要があります。式 13 に、SPI プロトコルで許容される最高速クロックを示します：

$$f_{clk-SPI} \leq \frac{1}{2 \times t_{d_total_serial}} \quad (13)$$

$t_{d_total_serial}$ 遅延の値が大きくなると、SPI プロトコルにおける最大 SCLK 速度が制限され、読み取り時間および応答時間が長くなり、スループットが低下する可能性があります。

図 6-19 に、キャプチャパス (ホスト コントローラ内部) に生じる遅延 (t_{d_delcap}) を示します。

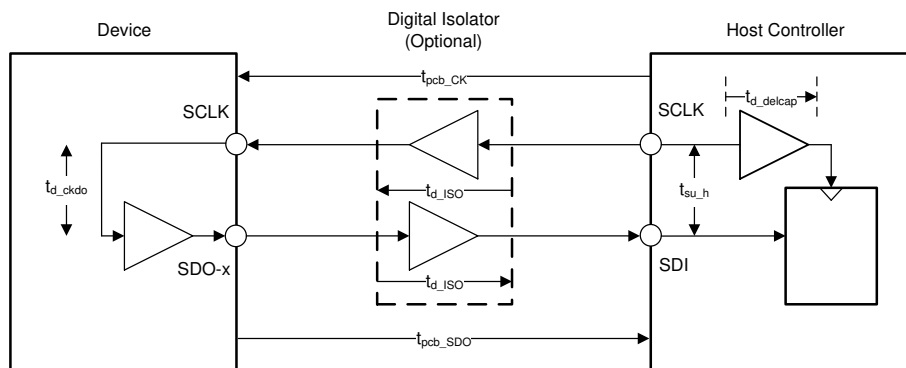


図 6-19. 遅延キャプチャ

パスの合計遅延は式 14 に変更されます:

$$t_{d_total_serial} = t_{pcb_CK} + t_{d_iso} + t_{d_ckdo} + t_{d_iso} + t_{pcb_SDO} + t_{su_h} - t_{d_delcap} \quad (14)$$

この総遅延を低減することで、SPI プロトコルはより高いクロック速度で動作できます。

multiSPI デジタル インターフェイス モジュールには、SCLK 速度の制限を解除するための次の 2 つの追加オプションがあります:

- 早期データ起動 (EDL) 動作モード

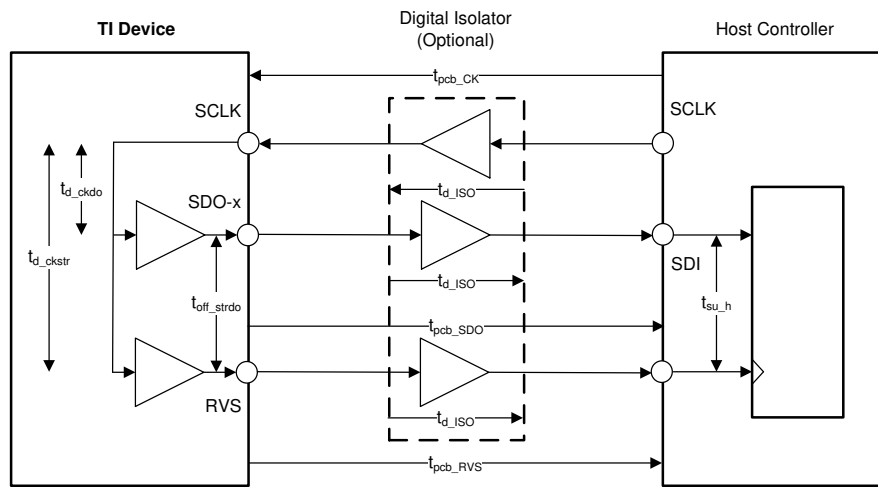
EDL モードにおいて、デバイスは、標準の SPI プロトコルと比較してハーフ クロック前の SDO-x ピン (複数可) で出力データを起動します。したがって、式 13 は式 15 に変更されます:

$$f_{ck-SPI} \leq \frac{1}{t_{d_total_serial}} \quad (15)$$

総遅延を短縮することで、シリアル インターフェイスはより高いクロック速度で動作できます。

- ADC クロック マスタ (ソース同期) 動作モード

図 6-20 に示すように、ADC クロック マスタモードでは、デバイスは出力データ (SDO - x ピン) とともに同期出力クロック (RVS ピン) を供給します。



Copyright © 2016, Texas Instruments Incorporated

図 6-20. ADC クロック マスタ (ソース同期) モードでの遅延

t_{off_STRDO} の値が無視できる場合、ソース同期データ転送のパスの合計遅延は式 16 で求められます:

$$t_{d_total_srcsync} = t_{pcb_RVS} - t_{pcb_SDO} + t_{su_h} \quad (16)$$

式 12 と式 16 との差が示すように、ADC クロック マスタ モードを使用することで、アイソレータ遅延 (t_{d_iso}) とクロック 対データ遅延 (t_{d_ckdo}) の影響は完全に除去されます。これは通常、遅延計算全体の最も大きな要因です。

さらに、 t_{pcb_RVS} および t_{pcb_SDO} の実際の値は重要ではありません。ほとんどの場合、 $t_{d_total_srcsync}$ 遅延は、RVS ラインと SDO ラインを PCB 上で配線することで最小限に抑えることができます。したがって、ADC クロック マスタ モードにより、ホスト コントローラとデバイス間のデータ転送は、はるかに高い SCLK 速度で動作することが可能になります。

6.5.4.1 デバイス構成のプロトコル

表 6-4 に示されているように、ホスト コントローラは、4 種類の従来の SPI 互換プロトコル (SPI-00S、SPI-01S、SPI-10S、または SPI-11S) のいずれかを使用して、デバイスにデータを書き込むことができます。

表 6-4. デバイス構成の SPI プロトコル

プロトコル	SCLK の極性 (At $\overline{CS}$ 立ち下がりエッジ)	SCLK 位相 (キャプチャ エッジ)	SDI_CNTL	SDO_CNTL	番号 SCLK 数 (最適なコマンド フレーム)	タイミング図
SPI-00S	低	立ち上がり	00h	00h	22	図 6-21
SPI-01S	低	立ち下がり	01h	00h	22	図 6-22
SPI-10S	高	立ち下がり	02h	00h	22	図 6-23
SPI-11S	高	立ち上がり	03h	00h	22	図 6-24

パワーアップ時、または非同期リセットから復帰した後に、データの読み取りおよびデータ書き込み動作のために、デバイスは SPI-00S プロトコルをサポートします。

別の SPI 互換プロトコルを選択するには、[SDI_CNTL レジスタ](#)の SDI_MODE[1:0] ビットをプログラムします。この最初の書き込み動作は、SPI-00S プロトコルに準拠する必要があります。以降のすべてのデータ転送フレームは、新たに選択されたプロトコルに従う必要があります。

[図 6-21](#) ~ [図 6-24](#) は、最適なコマンド フレームを用いた 4 つのプロトコルの詳細を示しています。関連するタイミング パラメータについては、「[タイミング要件](#)」および「[スイッチング特性](#)」表を参照してください。

注

「[データ転送フレーム](#)」セクションで説明されているとおり、デバイスへの有効な書き込み操作には、データ転送フレーム内で少なくとも 22 個の SCLK が供給される必要があります。

デバイスへのデータ書き込み動作は、データ読み取り動作に選択されたプロトコルに関係なく、[SDI_CNTL レジスタ](#)で選択された SPI 互換プロトコルに従う必要があります。

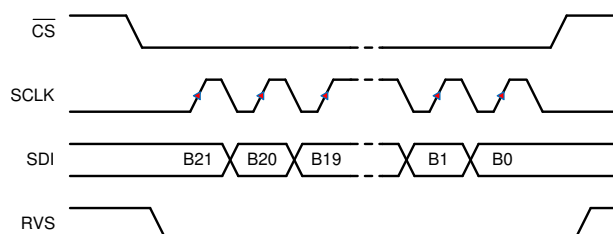


図 6-21. SPI-00S プロトコル、最適なコマンド フレーム

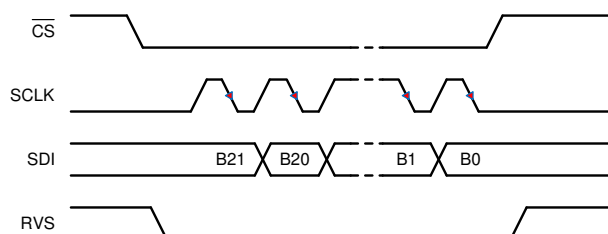


図 6-22. SPI-01S プロトコル、最適なコマンド フレーム

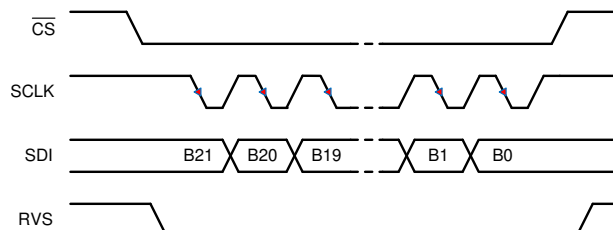


図 6-23. SPI-10S プロトコル、最適なコマンド フレーム

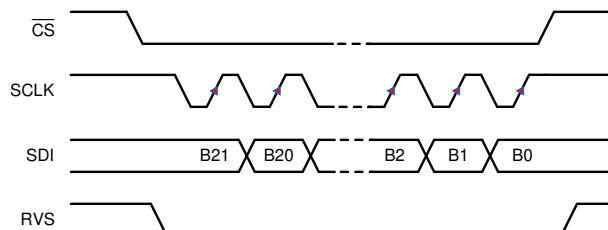


図 6-24. SPI-11S プロトコル、最適なコマンド フレーム

6.5.4.2 デバイスからの読み取りの Protokol

データ読み取り動作の Protokol は、大きく 3 つのカテゴリに分類されます:

1. 従来の SPI 互換 (SPI-xy-S) Protokol
2. バス幅オプション (SPI-xy-D と SPI-xy-Q) を備えた SPI 互換 Protokol
3. ソース同期 (SRC) Protokol

6.5.4.2.1 従来の SPI 互換 (SYS - xy - S) Protokol

表 6-5 に示されているように、ホスト コントローラは、4 種類の従来の SPI 互換 Protokol (SPI-00S、SPI-01S、SPI-10S、または SPI-11S) のいずれかを使用して、デバイスからデータを書き込むことができます。

表 6-5. デバイスから読み取りを行う SPI Protokol

Protokol	SCLK の極性 (CS 立ち下がりエッジ時)	SCLK 位相 (キャプチャエッジ)	MSB ビット起動エッジ	SDI_CNTL	SDO_CNTL	番号 OF SCLK (最適な読み取りフレーム)	タイミング図
SPI-00S	低	立ち上がり	$\overline{CS}$ 立ち下がり	00h	00h	16	図 6-25
SPI-01S	低	立ち下がり	1 番目の SCLK 立ち上がり	01h	00h	16	図 6-26
SPI-10S	高	立ち下がり	$\overline{CS}$ 立ち下がり	02h	00h	16	図 6-27
SPI-11S	高	立ち上がり	1 番目の SCLK 立ち下がり	03h	00h	16	図 6-28

パワーアップ時、または非同期リセットから復帰した後に、データの読み取りおよびデータ書き込み動作のために、デバイスは SPI-00S Protokol をサポートします。両方のデータ転送動作で、SPI 互換の別の Protokol を選択するには、次の手順に従います。

1. **SDI_CNTL レジスタ**の SDI_MODE[1:0] ビットをプログラムします。この最初の書き込み動作は、SPI-00S Protokol に準拠する必要があります。以降のすべてのデータ転送フレームは、新たに選択された Protokol に従う必要があります。
2. **SDO_CNTL レジスタ**の SDO_MODE[1:0] ビットを 00b に設定します。

図 6-25 ~ 図 6-28 では、出力データワードの 22 ビットすべてを読み出すための最適なコマンドフレームを用いて、4 つの Protokol の詳細を説明しています。表 6-5 は、各種の出力 Protokol 選択に最適な読み取りフレームに必要な SCLK の数を示しています。

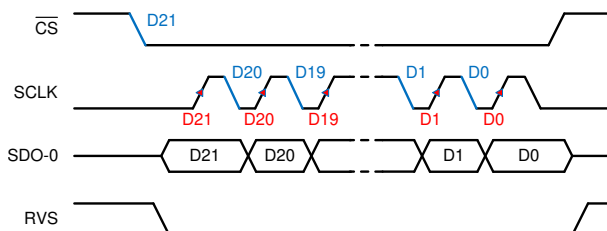


図 6-25. SPI-00S Protokol、22 SCLK

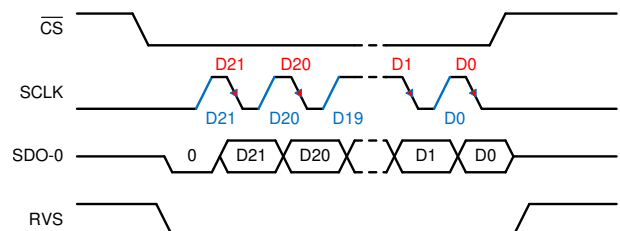


図 6-26. SPI-01S Protokol、22 SCLK

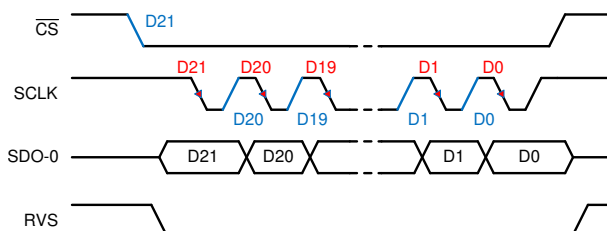


図 6-27. SPI-10S Protokol、22 SCLK

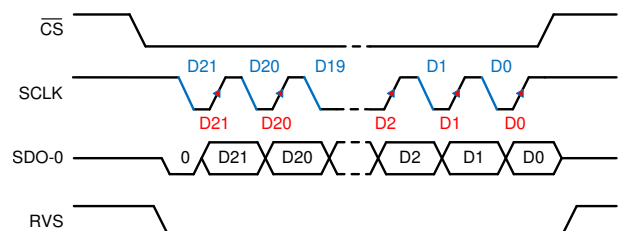


図 6-28. SPI-11S Protokol、22 SCLK

SDI_MODE[1:0] = 00b または 10b の場合、このデバイスは早期データ起動 (EDL) オプションに対応しています。この機能を有効にするには、[SDO_CNTL レジスタ](#)で SDO_MODE[1:0] = 01b に設定します (表 6-6 を参照)。SDI_MODE[1:0] = 01b または 11b の場合、SDO_MODE[1:0] = 01b を設定しても影響はありません。

表 6-6. 早期データ起動による SPI プロトコル

プロトコル	SCLK の極性 (CS 立ち下がりエッジ時)	SCLK 位相 (キャプチャエッジ)	MSB ビット起動エッジ	SDI_CNTL	SDO_CNTL	番号 OF SCLK (最適な読み取りフレーム)	タイミング図
SPI-00S-EDL	低	立ち上がり	$\overline{\text{CS}}$ 立ち下がり	00h	01h	16	図 6-25
SPI-10S-EDL	高	立ち下がり	$\overline{\text{CS}}$ 立ち下がり	02h	01h	16	図 6-27

[図 6-29](#) および [図 6-30](#) に示すように、このデバイスは、標準の SPI プロトコルと比較して、SDO - 0 ピンのハーフ クロックより前で出力データビットを起動します。

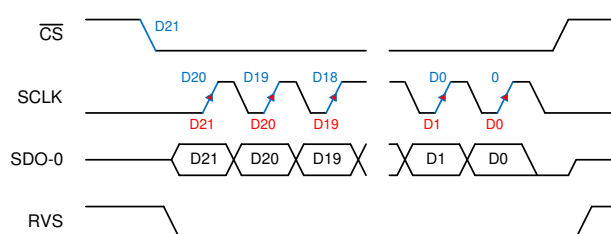


図 6-29. SPI-00S-EDL プロトコル、22 SCLK

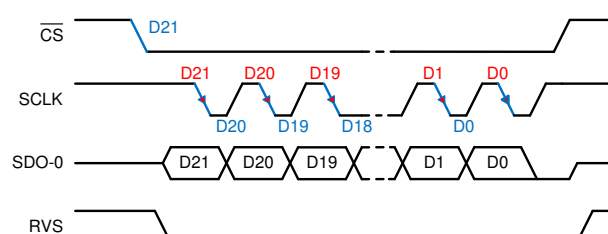


図 6-30. SPI-10S-EDL プロトコル、22 SCLK

これらの SPI 互換プロトコルを使用する場合、RVS 出力はデータ転送フレーム全体を通して Low のままとなります。関連するタイミング パラメータについては「[タイミング要件](#)」および「[スイッチング特性](#)」の表を参照してください。

SDO_CNTL[7:0] = 00h または 01h の場合、ホストコントローラが長いデータ転送フレームを使用すると、デバイスはデイズーチェーン動作を行います (「[複数のデバイス: デイズーチェーン トポロジ](#)」セクションを参照)。

注

SPI 互換のプロトコルを使用して、表 6-2 で指定された RD_REG、WR_REG、CLR_BITS、および SET_BITS コマンドを実行します。

6.5.4.2.2 バス幅オプション付きの SPI 互換プロトコル

このデバイスは、4 つの従来の SPI 互換プロトコルのいずれかで動作する場合、SDO バス幅を 1 ビット (デフォルト、シングル SDO) から、2 ビット (デュアル SDO) または 4 ビット (クワッド SDO) へ拡張するオプションを備えています。

SDO バス幅を選択するには、[SDO_CNTRL レジスタ](#)の SDO_WIDTH[1:0] ビットを設定します。SCLK の起動エッジは、SPI プロトコルの選択によって異なります (表 6-7 を参照)。

表 6-7. バス幅オプション付きの SPI 互換プロトコル

プロトコル	SCLK の極性 ($\overline{CS}$ 立ち下がりエッジ時)	SCLK 位相 (キャプチャエッジ)	MSB ビット起動エッジ	SDI_CNTRL	SDO_CNTRL	#SCLK (最適な読み取りフレーム)	タイミング図
SPI-00D	低	立ち上がり	$\overline{CS}$ 立ち下がり	00h	08h	8	図 6-31
SPI-01D	低	立ち下がり	最初の SCLK 立ち上がり	01h	08h	8	図 6-32
SPI-10D	高	立ち下がり	$\overline{CS}$ 立ち下がり	02h	08h	8	図 6-33
SPI-11D	高	立ち上がり	最初の SCLK 立ち下がり	03h	08h	8	図 6-34
SPI-00-Q	低	立ち上がり	$\overline{CS}$ 立ち下がり	00h	0Ch	4	図 6-35
SPI-01-Q	低	立ち下がり	最初の SCLK 立ち上がり	01h	0Ch	4	図 6-36
SPI-10-Q	高	立ち下がり	$\overline{CS}$ 立ち下がり	02h	0Ch	4	図 6-37
SPI-11-Q	高	立ち上がり	最初の SCLK 立ち下がり	03h	0Ch	4	図 6-38

デュアル SDO モード (SDO_WIDTH[1:0] = 10b) では、各 SCLK の起動エッジごとに、2 ビットのデータが 2 つの SDO ピン (SDO - 0 および SDO - 1) から出力されます。

クワッド SDO モード (SDO_WIDTH[1:0] = 11b) では、各 SCLK の起動エッジごとに、4 ビットのデータが 4 つの SDO ピン (SDO - 0、SDO - 1、SDO - 2、および SDO - 3) から出力されます。

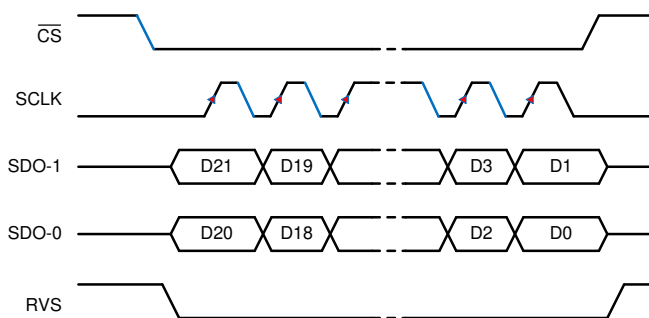


図 6-31. SPI-00D プロトコル

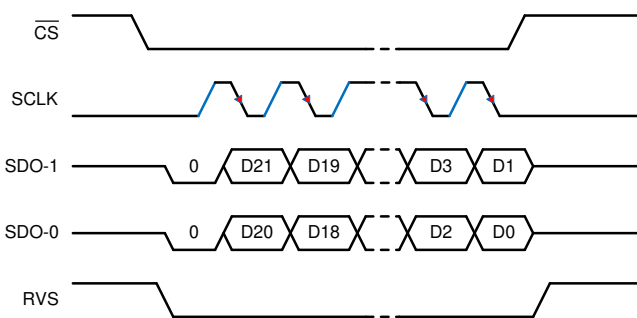


図 6-32. SPI-01D プロトコル

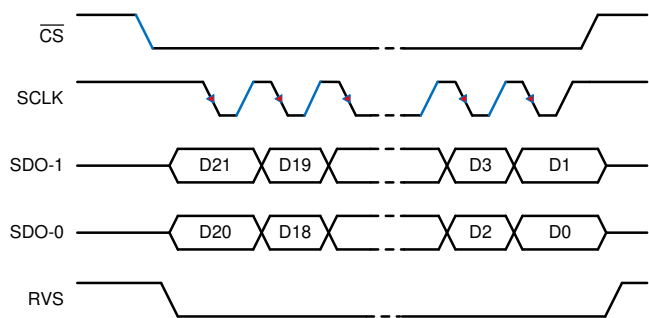


図 6-33. SPI-10D プロトコル

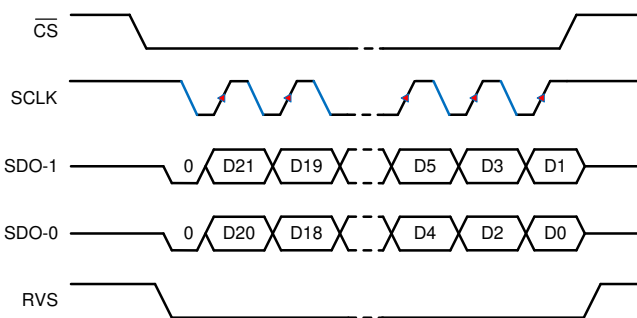


図 6-34. SPI-11D プロトコル

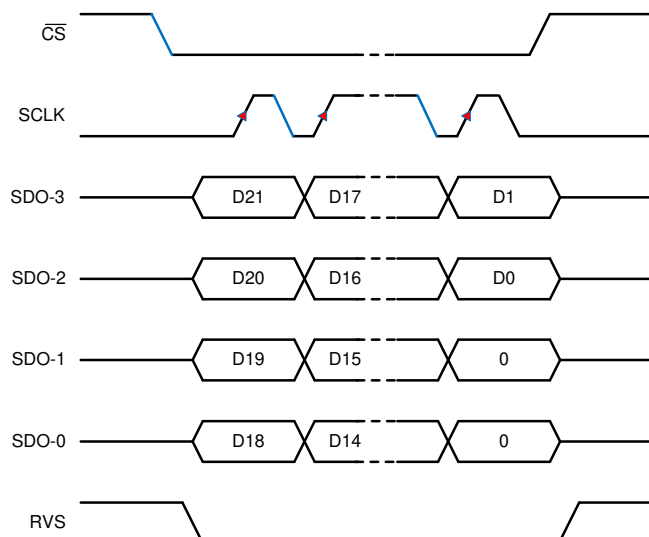


図 6-35. SPI - 00 - Q プロトコル

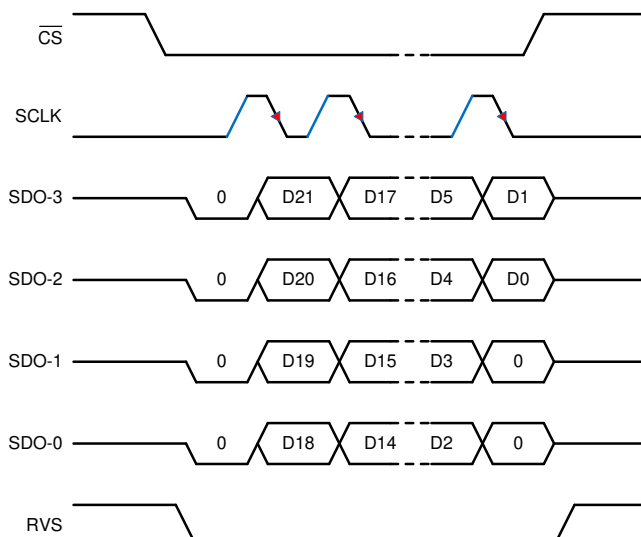


図 6-36. SPI - 01 - Q プロトコル

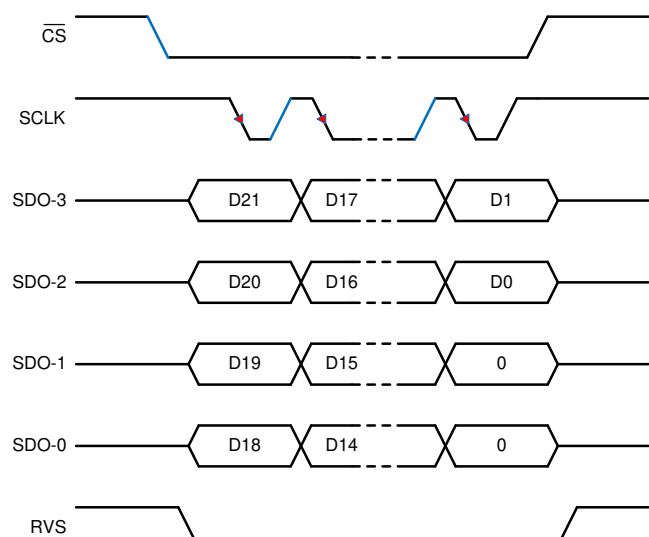


図 6-37. SPI - 10 - Q プロトコル

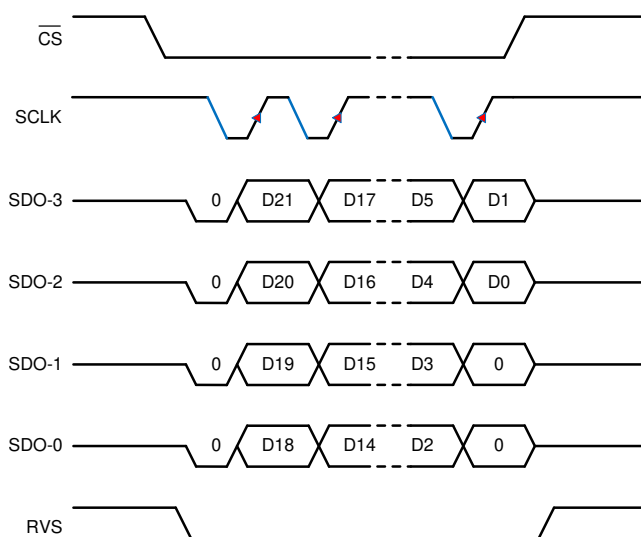


図 6-38. SPI - 11 - Q プロトコル

SDI_MODE[1:0] = 00b または 10b の場合、このデバイスは早期データ起動 (EDL) オプションに対応しています。この機能を有効にするには、[SDO_CNTL レジスタ](#)で SDO_MODE[1:0] = 01b に設定します (表 6-8 を参照)。SDI_MODE[1:0] = 01b または 11b の場合、SDO_MODE[1:0] = 01b を設定しても影響はありません。

表 6-8. 早期データ起動による SPI プロトコル

プロトコル	SCLK の極性 (CS 立ち下がりエッジ時)	SCLK 位相 (キャプチャエッジ)	MSB ビット起動エッジ	SDI_CNTL	SDO_CNTL	番号 OF SCLK (最適な読み取りフレーム)	タイミング図
SPI-00D-EDL	低	立ち上がり	CS 立ち下がり	00h	09h	8	図 6-31
SPI-10D-EDL	高	立ち下がり	CS 立ち下がり	02h	09h	8	図 6-33
SPI-00-Q-EDL	低	立ち上がり	CS 立ち下がり	00h	0Dh	4	図 6-35
SPI-10-Q-EDL	高	立ち下がり	CS 立ち下がり	02h	0Dh	4	図 6-37

図 6-29 と図 6-30 に示すように、このデバイスは、標準の SPI プロトコルと比較して、ハーフ クロック前の SDO-x ピンで出力データビットを送信します。

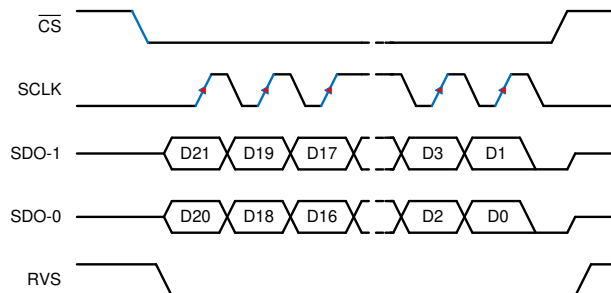


図 6-39. SPI-00D-EDL プロトコル

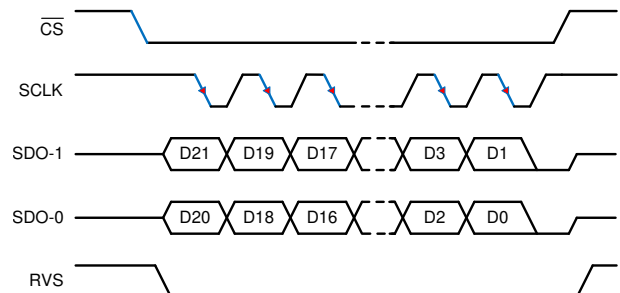


図 6-40. SPI-10D-EDL プロトコル

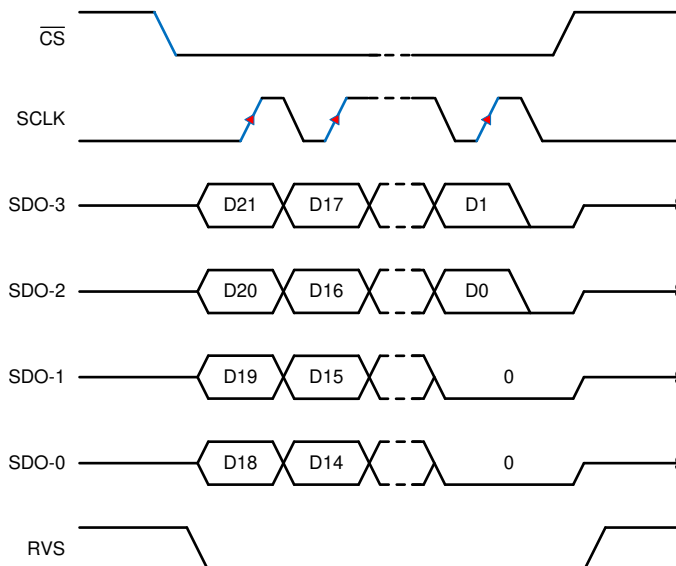


図 6-41. SPI-00-Q-EDL プロトコル

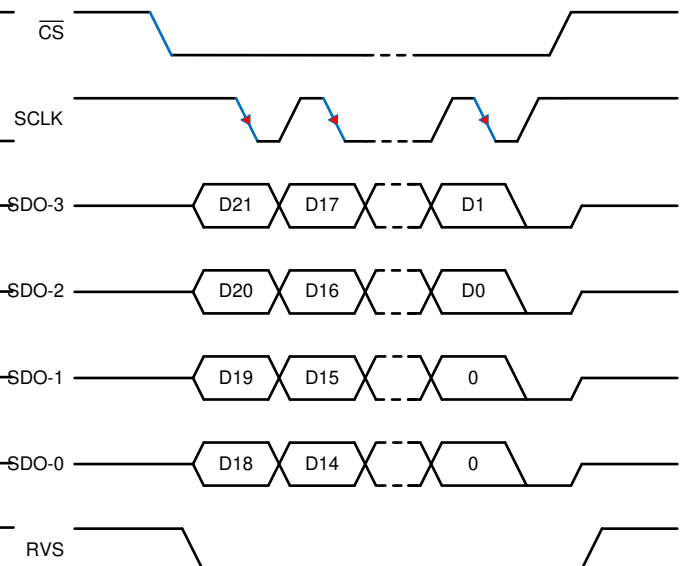


図 6-42. SPI-10-Q-EDL プロトコル

SPI 互換プロトコルのいずれかを使用する場合、RVS 出力はデータ転送フレーム全体を通して Low のままとなります。関連するタイミング パラメータについては「[タイミング要件](#)」および「[スイッチング特性](#)」の表を参照してください。

図 6-31 ~ 図 6-42 では、データ バス幅を拡張することで、ホスト コントローラがより短いデータ転送フレームを使用して出力データワードの 22 ビットすべてを読み取れることを示しています。表 6-7 および表 6-8 は、各種の出力プロトコル選択に最適な読み取りフレームに必要な SCLK の数を示しています。

注

SDO_CNTL[7:0] ≠ 00h または 01h の場合、長いデータ転送フレームを使用しても、デ이지チェーン動作にはなりません。SDO ピン (複数可) 上では、出力データワードの 22 ビットの後にゼロが続きます。

6.5.4.2.3 ソース同期 (SRC) プロトコル

「データ転送プロトコル」セクションで説明しているように、multiSPI デジタル インターフェイスは、デバイスとホストコントローラ間のデータ転送において、ADC クロック マスタ モードまたはソース同期モードをサポートします。このモードでは、デバイスは出力データと同期した出力クロックを供給します。さらに、ホストコントローラは、出力クロック ソース、データ バス幅、およびデータ転送レートも選択できます。

6.5.4.2.3.1 SRC プロトコルを使用した出力クロック ソースのオプション

すべての SRC プロトコルで、RVS ピンが出力クロックを供給します。このデバイスでは、この出力クロックを、SCLK ピンに入力される外部クロック、またはデバイス内部クロックのいずれかに同期させることができます。さらに、この内部クロックを 2 または 4 倍に分周して、データ レートを下げることができます。

図 6-43 に示すように、出力クロック ソースを選択するには、SDO_CNTL レジスタの SSYNC_CLK_SEL[1:0] ビットを設定します。

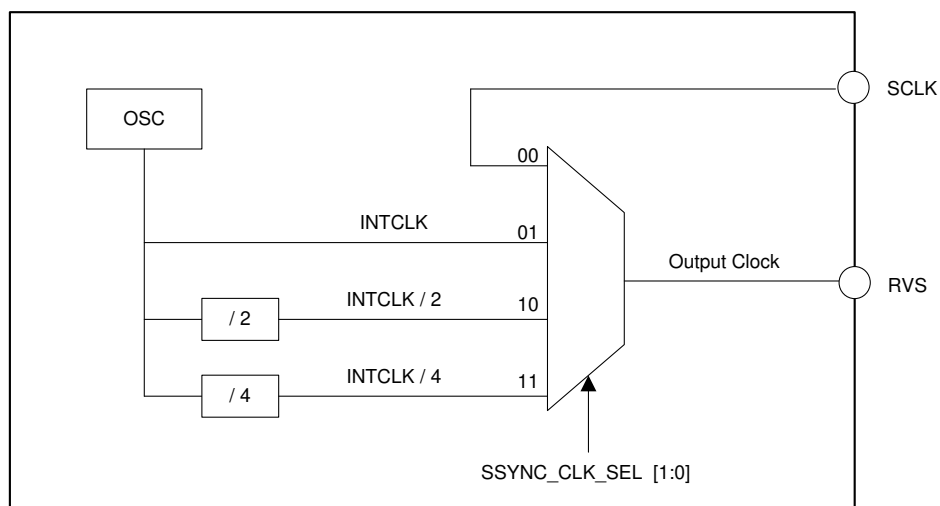


図 6-43. SRC プロトコルを使用した出力クロック ソースのオプション

6.5.4.2.3.2 SRC プロトコルを使用するバス幅オプション

このデバイスは、SRC プロトコルのいずれかで動作する際に、SDO バス幅を 1 ビット (デフォルト、シングル SDO) から、2 ビット (デュアル SDO) または 4 ビット (クワッド SDO) へ拡張するオプションを提供します。SDO バス幅を選択するには、[SDO_CNTL レジスタ](#)の SDO_WIDTH[1:0] ビットを設定します。

デュアル SDO モード (SDO_WIDTH[1:0] = 10b) では、各 SCLK の立ち上がりエッジごとに、2 ビットのデータが 2 つの SDO ピン (SDO - 0 および SDO - 1) から出力されます。

クワッド SDO モード (SDO_WIDTH[1:0] = 11b) では、各 SCLK 立ち上がりのエッジごとに、4 ビットのデータが 4 つの SDO ピン (SDO - 0、SDO - 1、SDO - 2、および SDO - 3) から出力されます。

6.5.4.2.3.3 SRC プロトコルによる出力データ レート オプション

このデバイスは、データをホスト コントローラに対して、シングル データ レート (デフォルト、SDR) またはダブル データ レート (DDR) で転送するオプションを提供します。[SDO_CNTL レジスタ](#)の DATA_RATE ビットを設定して、データ転送レートを選択します。

SDR モード (DATA_RATE = 0b) では、RVS ピンは Low から High にトグルし、出力データ ビットは出力クロックの立ち上がりエッジで SDO ピンから出力されます。

DDR モード (DATA_RATE = 1b) では、RVS ピンは (Low から High に、または High から Low に) トグルし、出力データ ビットは最初の立ち上がりエッジから開始して、出力クロックのすべてのエッジで SDO ピンから出力されます。

このデバイスは、出力クロック ソース、バス幅、および出力データ レートの 24 通りすべての組み合わせをサポートしており、その内容は表 6-9 に示されています。

表 6-9. SRC プロトコルの組み合わせ

プロトコル	出力クロック ソース	バス幅	出力データレート	SDI_CNTL	SDO_CNTL	#OUTPUT CLOCK (最適な読み取りフレームム)	タイミング図
SRC - EXT - SS	SCLK ⁽¹⁾	シングル	SDR	00h、01h、 02h、または 03h ⁽¹⁾	03h	8	図 6-44
SRC - INT - SS	INTCLK ⁽²⁾	シングル	SDR		43h	8	図 6-45
SRC-IB2-SS	INTCLK/2 ⁽²⁾	シングル	SDR		83h	8	
SRC-IB4-SS	INTCLK/4 ⁽²⁾	シングル	SDR		C3h	8	
SRC - EXT - DS	SCLK ⁽¹⁾	デュアル	SDR		0Bh	8	図 6-48
SRC - INT - DS	INTCLK ⁽²⁾	デュアル	SDR		4Bh	8	図 6-49
SRC-IB2-DS	INTCLK/2 ⁽²⁾	デュアル	SDR		8Bh	8	
SRC-IB4-DS	INTCLK/4 ⁽²⁾	デュアル	SDR		CBh	8	
SRC - EXT - QS	SCLK ⁽¹⁾	クワッド	SDR		0Fh	4	図 6-52
SRC - INT - QS	INTCLK ⁽²⁾	クワッド	SDR		4Fh	4	図 6-53
SRC-IB2-QS	INTCLK/2 ⁽²⁾	クワッド	SDR		8Fh	4	
SRC-IB4-QS	INTCLK/4 ⁽²⁾	クワッド	SDR		CFh	4	
SRC - EXT - SD	SCLK ⁽¹⁾	シングル	DDR		13h	8	図 6-46
SRC - INT - SD	INTCLK ⁽¹⁾	シングル	DDR		53h	8	図 6-47
SRC-IB2-SD	INTCLK/2 ⁽²⁾	シングル	DDR		93h	8	
SRC-IB4-SD	INTCLK/4 ⁽²⁾	シングル	DDR		D3h	8	
SRC - EXT - DD	SCLK ⁽¹⁾	デュアル	DDR		1Bh	4	図 6-50
SRC - INT - DD	INTCLK ⁽²⁾	デュアル	DDR		5Bh	4	図 6-51
SRC-IB2-DD	INTCLK/2 ⁽²⁾	デュアル	DDR		9Bh	4	
SRC-IB4-DD	INTCLK/4 ⁽²⁾	デュアル	DDR		DBh	4	
SRC - EXT - QD	SCLK ⁽¹⁾	クワッド	DDR		1Fh	2	図 6-54
SRC - INT - QD	INTCLK ⁽²⁾	クワッド	DDR		5Fh	2	図 6-51
SRC-IB2-QD	INTCLK/2 ⁽²⁾	クワッド	DDR		9Fh	2	
SRC-IB4-QD	INTCLK/4 ⁽²⁾	クワッド	DDR		DFh	2	

- (1) $DV_{DD} < 2.35V$ で動作させている場合、EXTCLK オプションは推奨されません。
(2) このデバイスは、ゾーン 1 のデータ転送動作に対する INTCLK、INTCLK/2、INTCLK/4 オプションのみをサポートしています。EXTCLK オプションは、ゾーン 1 とゾーン 2 でサポートされています。[図 6-15](#) を参照してください。

[図 6-44](#) ~ [図 6-55](#) は、さまざまなソース同期プロトコルの詳細を示しています。[表 6-9](#) に、各種出力プロトコル選択に対応するために、最適な読み取りフレームで必要とされる出力クロックの数を示します。

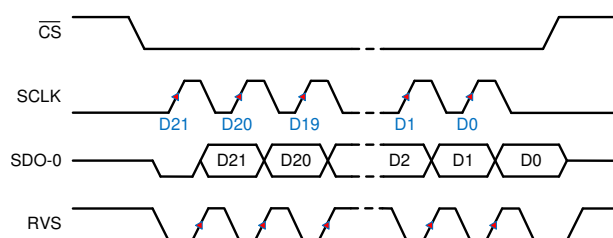


図 6-44. SRC - EXT - SS : SRC、SCLK、シングル SDO、SDR

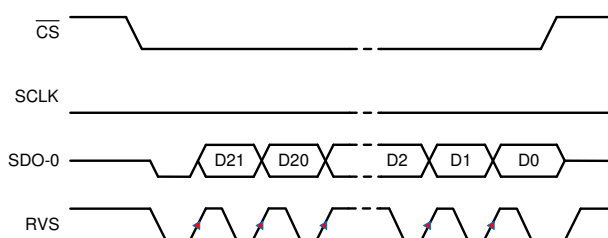


図 6-45. SRC - INT - SS: SRC、INTCLK、シングル SDO、SDR

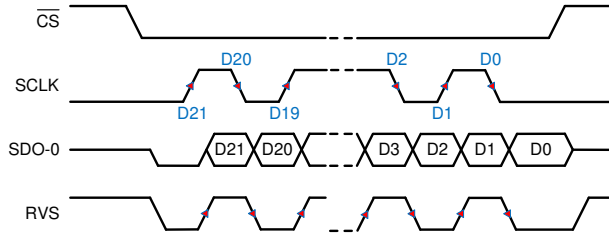


図 6-46. SRC - EXT - SD: SRC, SCLK, シングル SDO, DDR

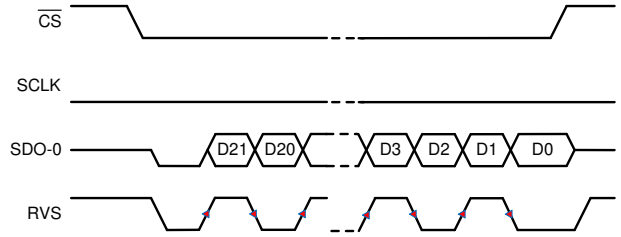


図 6-47. SRC - INT - SD: SRC, INTCLK, シングル SDO, DDR

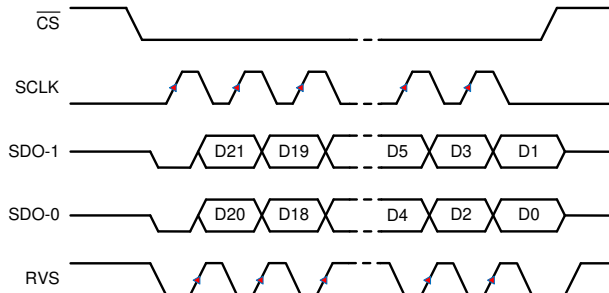


図 6-48. SRC - EXT - DS: SRC, SCLK, デュアル SDO, SDR

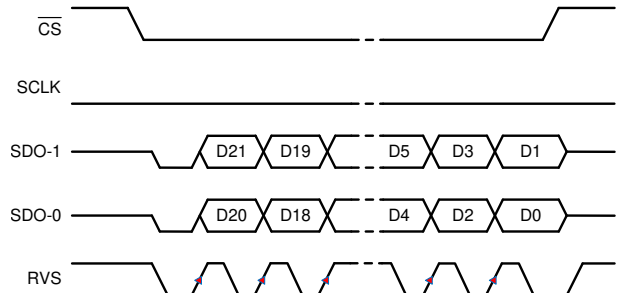


図 6-49. SRC - INT - DS: SRC, INTCLK, デュアル SDO, SDR

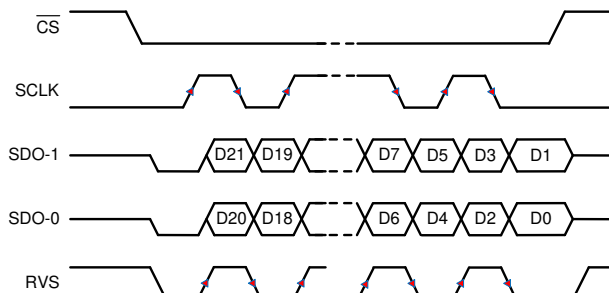


図 6-50. SRC - EXT - DD: SRC, SCLK, デュアル SDO, DDR

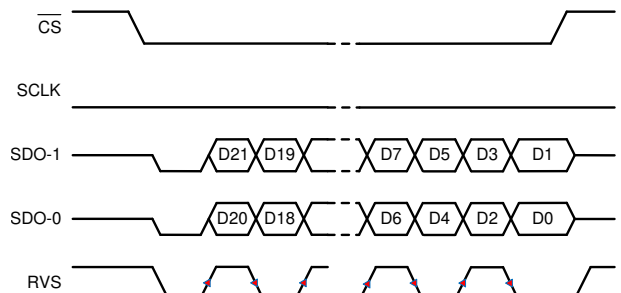


図 6-51. SRC - INT - DD: SRC, INTCLK, デュアル SDO, DDR

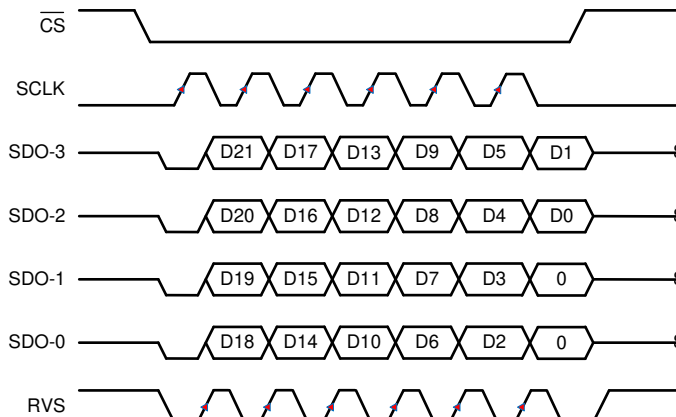


図 6-52. SRC - EXT - QS: SRC, SCLK, クワッド SDO, SDR

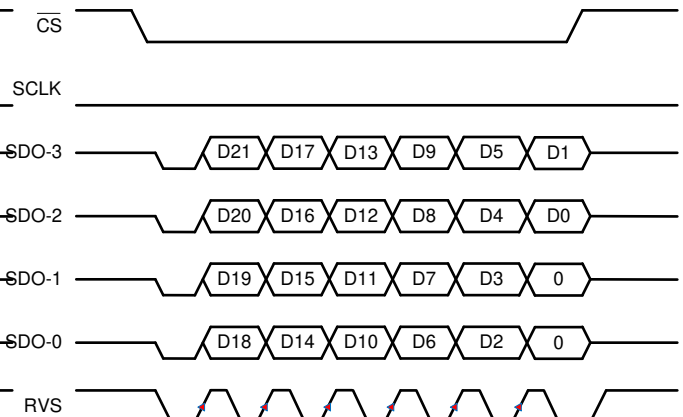


図 6-53. SRC - INT - QS: SRC, INTCLK, クワッド SDO, SDR

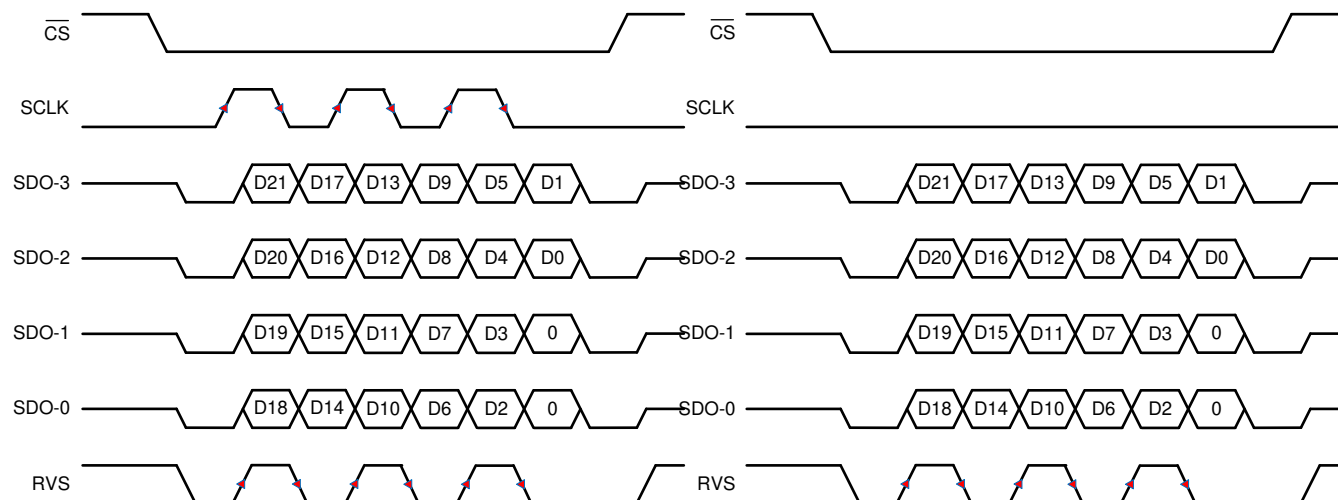


図 6-54. SRC - EXT - QD: SRC、SCLK、クワッド SDO、DDR

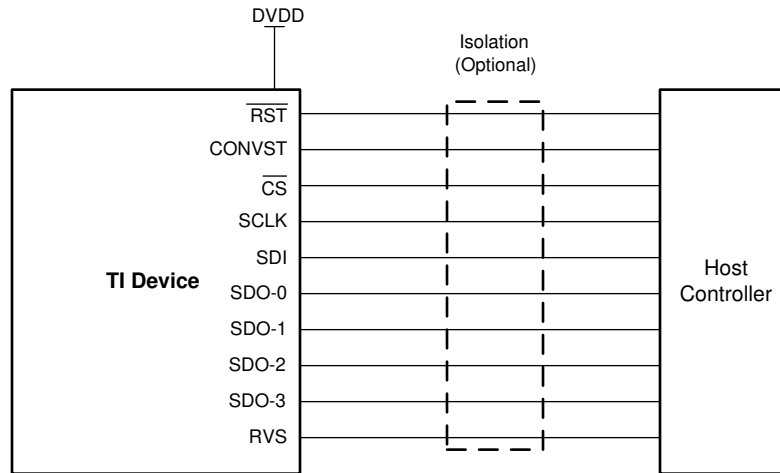
図 6-55. SRC - INT - QD: SRC、INTCLK、クワッド SDO、DDR

6.5.5 デバイスのセットアップ

multiSPI デジタル インターフェイスおよびデバイスの構成レジスタは、複数の動作モードを提供します。ここでは、さまざまなシステム要件を満たすためにハードウェア接続トポロジを選択する方法について説明します。

6.5.5.1 シングル デバイス : すべての multiSPI オプション

図 6-56 に、multiSPI デジタル インターフェイスが提供するすべてのオプションを実行するために、ホスト コントローラとシングル デバイス間の接続を示します。

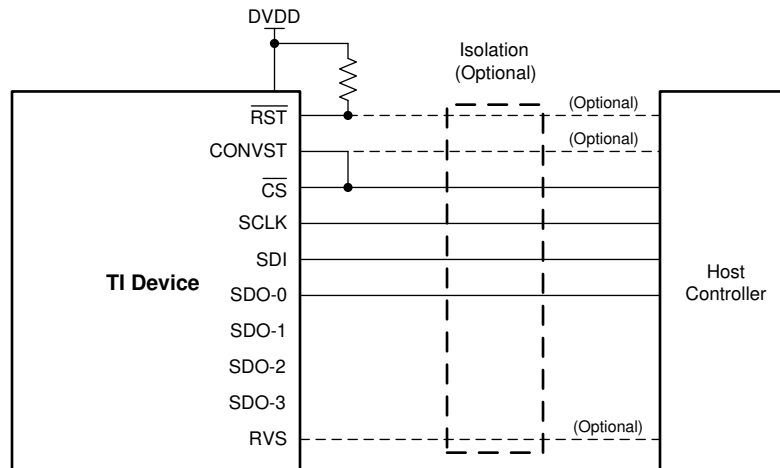


Copyright © 2016, Texas Instruments Incorporated

図 6-56. MultiSPI デジタル インターフェイス、すべてのピン

6.5.5.2 シングル デバイス : 標準 SPI の最小ピン

図 6-57 に、標準 SPI プロトコルを使用したアプリケーションの最小ピン インターフェイスを示します。



Copyright © 2016, Texas Instruments Incorporated

図 6-57. SPI、最小ピン

$\overline{\text{CS}}$ 、SCLK、SDI、および SDO - 0 ピンは、ホスト コントローラの標準 SPI ポートを構成します。CONVST ピンは $\overline{\text{CS}}$ に接続され、 $\overline{\text{RST}}$ ピンは DVDD に接続されます。SDO - 1、SDO - 2、SDO - 3 ピンには外部接続はありません。次の機能も使用できます：

- CONVST ピンを個別に制御して、タイミングの柔軟性を高めることができます。
- $\overline{\text{RST}}$ ピンを個別に制御して、非同期リセット機能を追加できます。

- タイミングの利点をさらに得るために、RVS ピンを監視します。

6.5.5.3 複数のデバイス：デジチェーン トポロジ

図 6-58 に、デジチェーン トポロジの複数のデバイスを扱う代表的な接続図を示します。

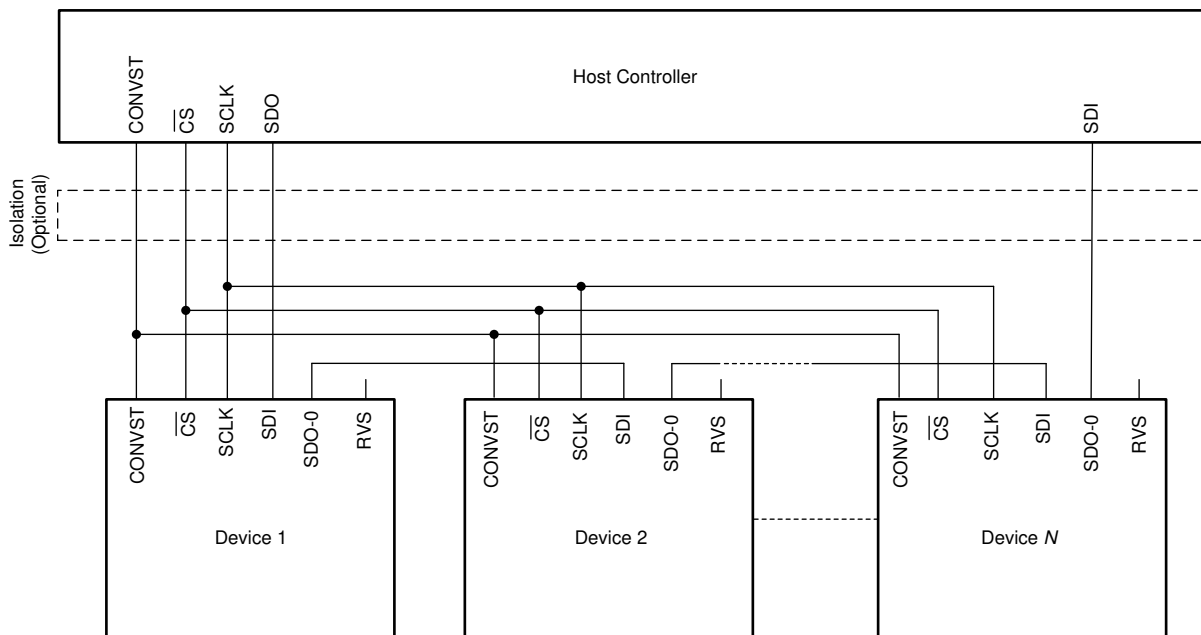


図 6-58. デジチェーン接続

すべてのデバイスの $\overline{\text{CONVST}}/\overline{\text{CS}}$ および SCLK 入力は相互に接続され、それぞれホスト コントローラの単一の $\overline{\text{CONVST}}/\overline{\text{CS}}$ および SCLK ピンによって制御されます。チェーン内の最初のデバイス (デバイス 1) の SDI 入力ピンはホスト コントローラの SDO ピンに接続され、デバイス 1 の SDO-0 出力ピンはデバイス 2 の SDI 入力ピンに接続され、以降も同様に接続されます。チェーンの最後のデバイス (デバイス N) の SDO-0 出力ピンは、ホスト コントローラの SDI ピンに接続されます。

デジチェーン トポロジで複数のデバイスを動作させるために、ホスト コントローラは各デバイスの設定レジスタを同一の値に設定し、データの読み出しおよび書き込み動作には、従来の SPI 互換プロトコルのいずれかを使用します ($\text{SDO_CNT}[7:0] = 00\text{h}$ または 01h)。これらの構成設定では、図 6-59 に示すように、各デバイスの 22 ビット ODR レジスタと 22 ビット IDR レジスタが一体化して、デバイスごとに 1 つの 22 ビットの統合シフト レジスタ (USR) が形成されます。

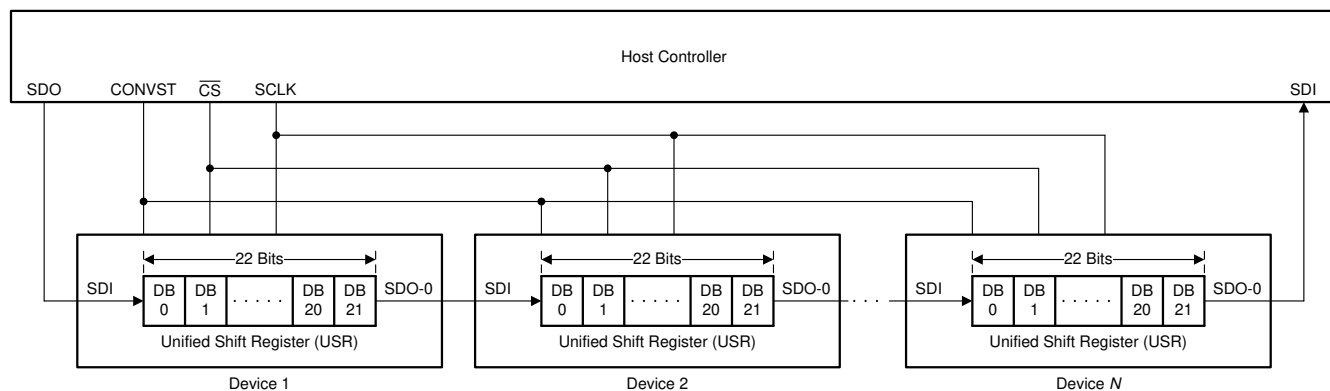


図 6-59. 統合シフト レジスタ

デジチェーントポロジ内のすべてのデバイスは、 $\overline{\text{CONVST}}$ の立ち上がりエッジで、それぞれのデバイスのアナログ入力信号をサンプリングします。データ転送フレームは、 $\overline{\text{CS}}$ の立ち下がりエッジで開始されます。 SCLK の送信エッジごとに、チェーン内のすべてのデバイスは、それぞれの USR の MSB を対応する $\text{SDO} - 0$ ピンヘシフト出力します。 SCLK のキャプチャエッジごとに、チェーン内の各デバイスは、それぞれの SDI ピンで受信したデータを対応する USR の LSB ビットとしてシフト入力します。したがって、デジチェーン構成では、ホストコントローラはデバイス N のデータを受信した後、デバイス $N - 1$ のデータを受信します (以下同様、MSB ファースト)。 $\overline{\text{CS}}$ の立ち上がりエッジで、各デバイスはそれぞれの USR の内容をデコードし、適切なアクションを実行します。

図 6-60 に、デジチェーントポロジで接続された 3 台のデバイスに対し、SPI-00S プロトコルを使用した場合の代表的なタイミング図を示します。

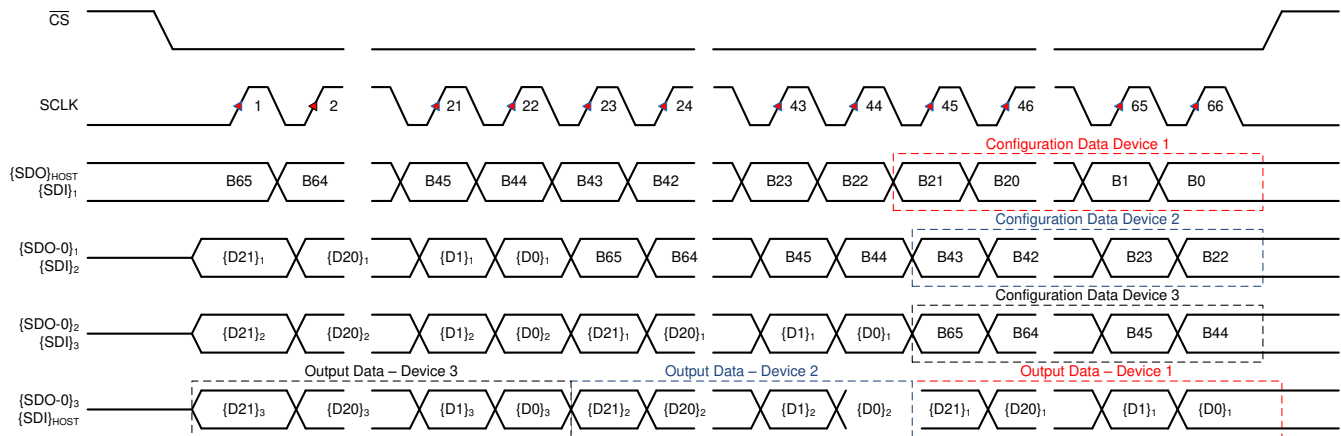


図 6-60. 3 デバイス、デジチェーンのタイミング図

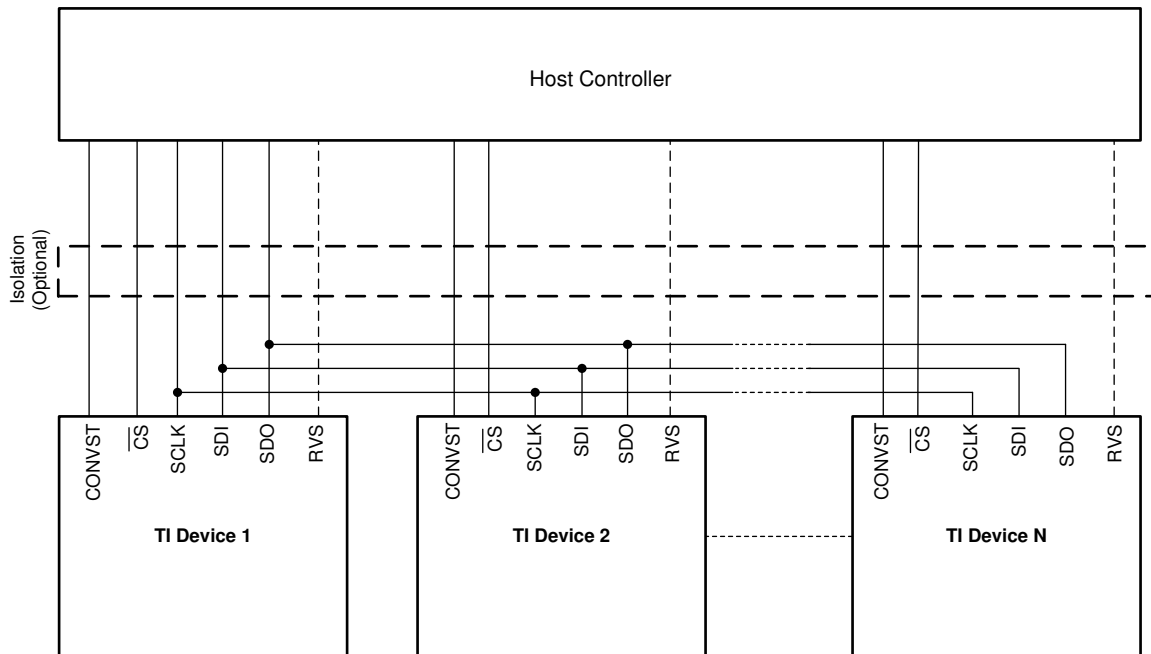
デジチェーントポロジでは、デジチェーンに接続されるデバイスが増えるにつれて、システムの全体的なスループットはそれに比例して低下します。

注

デジチェーントポロジで接続された N 台のデバイスの場合、最適なデータ転送フレームには $22 \times N$ 個の SCLK キャプチャエッジを含める必要があります。データ転送フレームを長くする (フレーム内の SCLK 数 $> 22 \times N$) 場合、ホストコントローラは、 $\overline{\text{CS}}$ を High にする前に各デバイスの構成データを適切に揃える必要があります。データ転送フレームが短い (フレーム内の SCLK 数が $22 \times N$ 未満) 場合、デバイス構成に誤りが生じる可能性があるため、回避する必要があります。

6.5.5.4 複数のデバイス：スタートポロジ

図 6-61 に、スタートポロジで複数のデバイスを扱う代表的な接続図を示します。すべてのデバイスの CONVST、SDI、および SCLK 入力はそれぞれ共通接続され、ホストコントローラの単一の CONVST、SDO、および SCLK ピンによって制御されます。同様に、すべてのデバイスの SDO 出力ピンは共通に接続され、ホストコントローラの単一の SDI 入力ピンに接続されます。各デバイスの CS 入力ピンは、ホストコントローラからの個別の CS 制御ラインによって個別に制御されます。



Copyright © 2016, Texas Instruments Incorporated

図 6-61. スタートポロジ接続

スタートポロジで接続された 3 台のデバイスのタイミング図を図 6-62 に示します。SDO ラインを同時に駆動する複数のデバイスに関連する競合を避けるため、ホストコントローラが特定の時点で 1 台のデバイスの CS 信号のみをプルダウンするようにしてください。

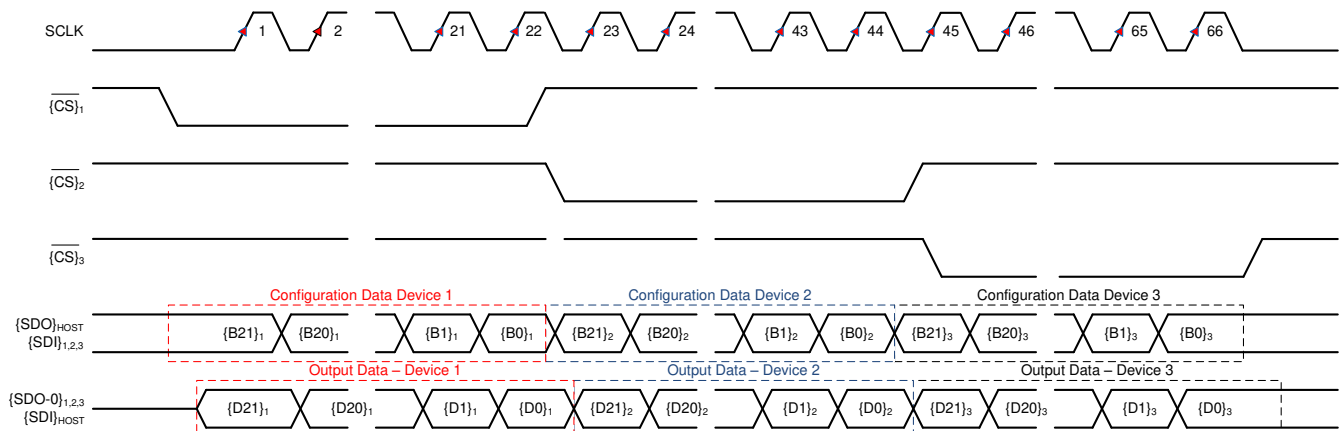


図 6-62. 3 デバイス、スター接続のタイミング図

7 レジスタ マップ

7.1 デバイス構成およびレジスタ マップ

デバイスには、表 7-1 で説明されているようにマッピングされた 9 つの構成レジスタがあります。

表 7-1. 構成レジスタのマッピング

アドレス	レジスタ名	レジスタの説明
004h	PD_CNTL	ローパワー モード制御
008h	SDI_CNTL	SDI 入力プロトコル選択
00Ch	SDO_CNTL	SDO 出力プロトコル選択
010h	DATA_CNTL	出力データ ワード構成
014h	PATN_LSB	出力パターンの 8 最下位ビット (LSB)
015h	PATN_MID	出力パターンの 8 中間ビット
016h	PATN_MSB	出力パターンの 4 最上位ビット (MSB)
020h	OFST_CAL	オフセット キャリブレーション
030h	REF_MRG	基準マージン

7.1.1 PD_CNTL レジスタ (アドレス = 04h) [リセット = 08h]

このレジスタは、デバイスが提供する低消費電力モードを制御します。

図 7-1. PD_CNTL レジスタ

7	6	5	4	3	2	1	0
0	0	0	0	1	PD_REFBUF	PD_ADC	0
R-0b	R-0b	R-0b	R-0b	R-1b	R/W-0b	R/W-0b	R-0b

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-2. PD_CNTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	0	R	00001b	予約済みビット。読み取り 00001b を返す。
2	PD_REFBUF	R/W	0b	このビットは、内部リファレンス バッファをパワーダウンします。 0b = 内部リファレンス バッファをパワーアップ 1b = 内部リファレンス バッファをパワーダウン
1	PD_ADC	R/W	0b	このビットは、コンバータ モジュールをパワーダウンします。 0b = コンバータ モジュールをパワーアップ 1b = コンバータ モジュールをパワーダウン
0	0	R	0b	予約済みビット。書き込まないでください。読み取り 0b を返す。

コンバータ モジュールのパワーダウンを行うには、PD_CNTL レジスタの PD_ADC ビットを設定します。コンバータ モジュールは、 $\overline{\text{CS}}$ の立ち上がりエッジでパワーダウンします。コンバータ モジュールのパワーアップを行うには、PD_CNTL レジスタの PD_ADC ビットをリセットします。コンバータ モジュールは、 $\overline{\text{CS}}$ の立ち上がりエッジでパワーアップを開始します。変換またはデータ転送動作を開始する前に、 $t_{\text{PU_ADC}}$ 時間待機します。

内部リファレンス バッファをパワーダウンするには、PD_CNTL レジスタの PD_REFBUF ビットを設定します。内部リファレンス バッファは、 $\overline{\text{CS}}$ の立ち上がりエッジでパワーダウンします。内部リファレンス バッファをパワーアップするには、PD_CNTL レジスタの PD_REFBUF ビットをリセットします。内部リファレンス バッファは、 $\overline{\text{CS}}$ の立ち上がりエッジでパワーアップを開始します。変換を開始する前に、 $t_{\text{PU_REFBUF}}$ 時間待機します。

7.1.2 SDI_CNTL レジスタ (アドレス = 008h) [リセット = 00h]

このレジスタは、デバイスにデータを書き込むために使用される SPI プロトコルを選択します。

図 7-2. SDI_CNTL レジスタ

7	6	5	4	3	2	1	0
0	0	0	0	0	0	SDI_MODE[1:0]	
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R/W-00b	

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-3. SDI_CNTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	0	R	000000b	予約済みビット。書き込まないでください。読み取り 000000b を返す。
1-0	SDI_MODE[1:0]	R/W	00b	これらのビットは、デバイスにデータを書き込むためのプロトコルを選択します。 00b = 標準 SPI、CPOL = 0 および CPHASE = 0 01b = 標準 SPI、CPOL = 0 および CPHASE = 1 10b = 標準 SPI、CPOL = 1 および CPHASE = 0 11b = 標準 SPI、CPOL = 1 および CPHASE = 1

7.1.3 SDO_CNTL レジスタ (アドレス = 0Ch) [リセット = 00h]

このレジスタは、デバイスからデータを読み取るためのプロトコルを設定します。

図 7-3. SDO_CNTL レジスタ

7	6	5	4	3	2	1	0
SSYNC_CLK_SEL[1:0]		0	DATA_RATE	SDO_WIDTH[1:0]		SDO_MODE[1:0]	
R/W-00b		R-0b	R/W-0b	R/W-00b		R/W-00b	

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-4. SDO_CNTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	SSYNC_CLK_SEL[1:0]	R/W	00b	これらのビットは、ADC クロック マスタ モードにおけるクロックのソースおよび周波数を選択するものであり、SDO_MODE[1:0] = 11b の場合にのみ有効です。 00b = 外部 SCLK エコー 01b = 内部クロック (INTCLK) 10b = 内部クロック / 2 (INTCLK/2) 11b = 内部クロック / 4 (INTCLK/4)
5	0	R	0b	予約済みビット。書き込まないでください。読み取り 0b を返す。
4	DATA_RATE	R/W	0b	このビットは、SDO_MODE[1:0] = 00b の場合は無視されます。 SDO_MODE[1:0] = 11b の場合: 0b = SDO は、出力クロックに対してシングル データ レート (SDR) で更新されます 1b = SDO は、出力クロックに対してダブル データ レート (DDR) で更新されます
3-2	SDO_WIDTH[1:0]	R/W	00b	これらのビットは、出力バスの幅を設定します。 0xb = データは SDO - 0 でのみ出力されます 10b = データは SDO - 0 および SDO - 1 でのみ出力されます 11b = SDO - 0、SDO - 1、SDO - 2、SDO - 3 でデータを出力します

表 7-4. SDO_CNTL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	SDO_MODE[1:0]	R/W	00b	これらのビットは、デバイスからデータを読み出すためのプロトコルを選択します。 00b = SDO は SDI_CNTL レジスタ で選択された SPI プロトコルに従います 01b = SDO は SDI_CNTL レジスタ で選択された SPI プロトコルに従いますが、早期データ起動機能は有効です。 表 6-6 を参照してください。 10b = 無効な構成であり、このデバイスでサポートされていません 11b = SDO はソース同期プロトコルに従います

7.1.4 DATA_CNTL レジスタ (アドレス = 010h) [リセット = 00h]

このレジスタは、22 ビットの出力データワード (D[21:0]) の内容を設定します。

図 7-4. DATA_CNTL レジスタ

7	6	5	4	3	2	1	0
0	0	0	0	FPAR_LOC[1:0]		PAR_EN	DATA_VAL
R-0b	R-0b	R-0b	R-0b	R/W-00b		R/W-0b	R/W-0b

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-5. DATA_CNTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	0	R	0000b	予約済みビット。読み取り 0000b を返す。
3-2	FPAR_LOC[1:0]	R/W	00b	これらのビットは、FTPAR ビット (出力データワードのビット D[4]) を計算するためのデータスパンを制御します。 00b = D[4] は、4MSB に対して計算された偶数パリティを反映 01b = D[4] は、8MSB に対して計算された偶数パリティを反映 10b = D[4] は、12MSB に対して計算された偶数パリティを反映 11b = D[4] は、全 16 ビットに対して計算された偶数パリティを反映 (つまり、FLPAR と同じ)
1	PAR_EN	R/W	0b	0b = 出力データにパリティ情報は含まれていない D[5] = 0 D[4] = 0 1b = パリティ情報を出力データの LSB に付加 D[5] = ビット D[21:6] で計算された偶数パリティ D[4] = FPAR_LOC[1:0] 設定に従って選択された D[21:6] の MSB 数で計算された偶数パリティ パリティ計算の詳細については、図 6-13 を参照してください。
0	DATA_VAL	R/W	0b	これらのビットは、出力データワードのビット D[21:6] を制御します。 0b = 16 ビット変換出力 1b = 16 ビット固定パターン レジスタの内容 詳細については、PATN_CNTL を参照してください。

7.1.5 PATN_LSB レジスタ (アドレス = 014h) [リセット = 00h]

このレジスタは、DATA_VAL = 1b のとき、出力パターンの下位 8 ビットを制御します。図 7-8 を参照してください。

図 7-5. PATN_LSB レジスタ

7	6	5	4	3	2	1	0
PATN_LSB_BITS							
R/W-00000000b							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-6. PATN_LSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PATN_LSB_BITS	R/W	00000000b	出力パターンの 8LSB

7.1.6 PATN_MID レジスタ (アドレス = 015h) [リセット = 00h]

このレジスタは、DATA_VAL = 1b のとき、出力パターンの中間 8 ビットを制御します。図 7-8 を参照してください。

図 7-6. PATN_MID レジスタ

7	6	5	4	3	2	1	0
PATN_MID_BITS							
R/W-00000000b							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-7. PATN_MID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PATN_MID_BITS	R/W	00000000b	出力パターンの 8 中間ビット

7.1.7 PATN_MSB レジスタ (アドレス = 016h) [リセット = 00h]

このレジスタは、DATA_VAL = 1b のとき、出力パターンの上位 4 ビットを制御します。図 7-8 を参照してください。

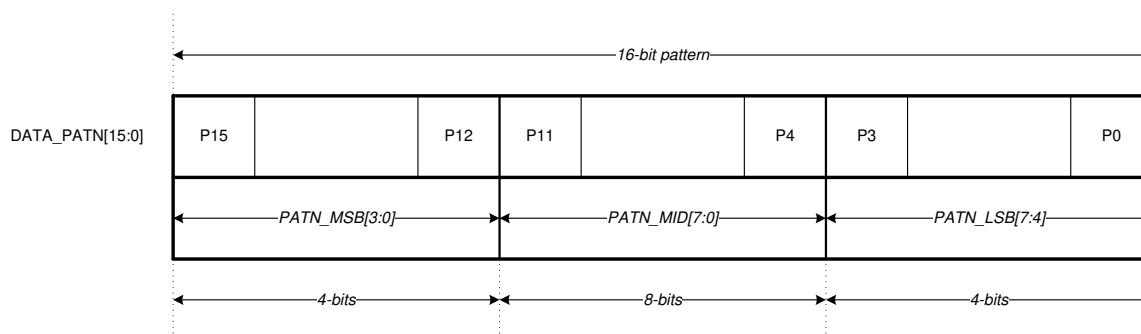
図 7-7. PATN_MSB レジスタ

7	6	5	4	3	2	1	0
0	0	0	0	PATN_MSB_BITS			
R-0b	R-0b	R-0b	R-0b	R/W-0000b			

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-8. PATN_MSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	0	R	0000b	予約済みビット。読み取り 0000b を返す。
3-0	PATN_MSB_BITS	R/W	0000b	出力パターンの 4MSB




7-8. DATA_PATN[15:0]

7.1.8 OFST_CAL レジスタ (アドレス = 020h) [リセット = 00h]

このレジスタは、最適なオフセット キャリブレーションのための外部リファレンス範囲を選択します。

図 7-9. OFST_CAL レジスタ

7	6	5	4	3	2	1	0
0	0	0	0	0	REF_SEL[2:0]		
R-0b	R-0b	R-0b	R-0b	R-0b	R/W-000b		

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-9. OFST_CAL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	0	R	00000b	予約済みビット。読み取り 00000b を返す。
2-0	REF_SEL[2:0]	R/W	000b	これらのビットは、最適なオフセットを得るための外部リファレンス範囲を選択します。 000b = $V_{REF} = 5.0V$ に最適なオフセット キャリブレーション 001b = $V_{REF} = 4.5V$ に最適なオフセット キャリブレーション 010b = $V_{REF} = 4.096V$ に最適なオフセット キャリブレーション 011b = $V_{REF} = 3.3V$ に最適なオフセット キャリブレーション 100b = $V_{REF} = 3.0V$ に最適なオフセット キャリブレーション 101b = $V_{REF} = 2.5V$ に最適なオフセット キャリブレーション 110b = $V_{REF} = 5.0V$ に最適なオフセット キャリブレーション 111b = $V_{REF} = 5.0V$ に最適なオフセット キャリブレーション

7.1.9 REF_MRG レジスタ (アドレス = 030h) [リセット = 00h]

このレジスタは、リファレンス バッファ出力に加算または減算するマーギニングを選択します。「リファレンス バッファ モジュール」セクションを参照してください。

図 7-10. REF_MRG レジスタ

7	6	5	4	3	2	1	0
0	0	EN_MARG	REF_OFST[4:0]				
R-0b	R-0b	R/W-0b	R/W-00000b				

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-10. REF_MRG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	0	R	00b	予約済みビット。読み取り 00b を返す。
5	EN_MARG	R/W	0b	このビットは、マーギニングを有効にします。 0b = マーギニングが無効 1b = マーギニングが有効
4-0	REF_OFST[4:0]	R/W	00000b	これらのビットは、表 7-11 に従ってリファレンス オフセット値を選択します。

表 7-11. REF_OFST[4:0] の設定

REF_OFST[4:0]	$\Delta V_{\text{REFBUFOUT}}$ (標準値 ⁽¹⁾)
00000b	0mV
00001b	280μV
00010b	580μV
00011b	840μV
00100b	1.12mV
00101b	1.4mV
00110b	1.68mV
00111b	1.96mV
01000b	2.24mV
01001b	2.52mV
01010b	2.8mV
01011b	3.08mV
01100b	3.36mV
01101b	3.64mV
01110b	3.92mV
01111b	4.2mV
10000b	-4.5mV
10001b	-4.22mV
10010b	-3.94mV
10011b	-3.66mV
10100b	-3.38mV
10101b	-3.1mV
10110b	-2.82mV
10111b	-2.54mV
11000b	-2.26mV
11001b	-1.98mV
11010b	-1.7mV
11011b	-1.42mV
11100b	-1.14mV
11101b	-860 μV
11110b	-580 μV
11111b	-280 μV

- (1) 実際の $V_{\text{REFBUFOUT}}$ の値は、表 7-11 から $\pm 10\%$ 変動する可能性があります

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

高精度の逐次比較型 (SAR) A/D コンバータ (ADC) の性能を最大化するために必要な主要な回路は、入力ドライバ回路とリファレンスドライバ回路の 2 つです。このセクションでは、これらの回路を設計するための一般的な原理について説明し、ADS892xB を使用して設計したアプリケーション回路を次に示します。

8.1.1 ADC リファレンス ドライバ

外部リファレンス ソースは、ADS892xB の REFIN ピンに、低ドリフトで非常に精度の高い電圧を供給する必要があります。ほとんどのリファレンスの出力広帯域ノイズは、数百 μV_{RMS} 程度になる場合があります。したがって、ADC のノイズ性能の劣化を防ぐために、数百 Hz のカットオフ周波数を持つローパス フィルタを用いて、電圧リファレンスの出力を適切にフィルタしてください。

ADS892xB の内部リファレンス バッファは、変換プロセス時に REFBUFOUT ピンに印加される動的負荷を供給します。推奨される C_{REFBUF} および R_{ESR} を使用して、REFBUFOUT ピンを REFM ピンからデカップリングします。レイアウトに関する推奨事項については、「[レイアウト](#)」セクションを参照してください。

8.1.2 ADC 入力ドライバ

高精度 ADC の入力ドライバ回路は、主に 2 つの部分で構成されます。すなわち、駆動アンプとチャージ キックバック フィルタです。このアンプは入力信号のシグナル コンディショニングに使用され、アンプの低い出力インピーダンスにより、ADC の信号源とスイッチト キャパシタ入力との間のバッファとして機能します。電荷キックバックフィルタは、ADC のスイッチト キャパシタ入力段からのサンプリング時の電荷注入を減衰させるとともに、フロントエンド回路に起因する広帯域ノイズを帯域制限します。ADS892xB の直線性およびノイズ性能を満たすには、フロントエンド回路を慎重に設計することが重要です。

8.1.2.1 チャージ キックバック フィルタ

チャージ キックバック フィルタは ADC の入力ピンに配置された RC フィルタで、フロントエンドドライバ回路からの広帯域ノイズをフィルタリングし、ADC のスイッチト キャパシタ入力段からのサンプリング チャージ インジェクションを減衰します。フィルタ コンデンサ C_{FLT} は、ADC の各入力ピンからグランドに接続されます (図 8-1 を参照)。このコンデンサは、サンプリング時の電荷注入を低減するのに役立つとともに、取得動作中に内部のサンプル / ホールド コンデンサを迅速に充電するための電荷バッファとして機能します。一般的に、このコンデンサの値は、ADC のサンプリング容量の規定値の少なくとも 20 倍以上にする必要があります。ADS892xB では、入力サンプリング容量は 60pF と等しくなるため、最適な性能を得るため、 C_{FLT} を 1.2nF よりも大きい値に維持してください。このコンデンサには COG または NPO タイプを使用する必要があります。COG または NPO セラミック コンデンサで使用される誘電体のタイプは、電圧、周波数、温度の変化に対して最も安定した電気特性を提供します。

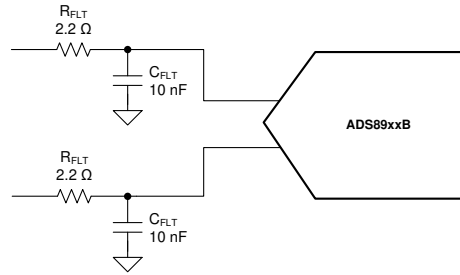


図 8-1. チャージ キックバック フィルタの構成

容量性負荷の駆動は、入力アンプの位相マージンを低下させ、結果としてアンプを不安定に近い状態にする可能性があります。アンプの安定性問題を回避するために、アンプの出力には直列のアイソレーション抵抗 (R_{FLT}) が使用されます。 R_{FLT} の値が大きいほど、アンプの安定性の観点からは役立ちますが、ADC の非線形入力インピーダンスとの相互作用の結果として歪みが発生します。歪みは、ソース インピーダンス、入力信号周波数、および入力信号振幅の増加とともに大きくなります。したがって、 R_{FLT} を選択するには、ドライバアンプの安定性と設計の歪み性能とのバランスを取る必要があります。駆動アンプとチャージキックバックフィルタの安定性とセトリング動作を必ず TINA-TI™ SPICE シミュレーションで検証してください。入力を平衡な状態に維持するため、選択する抵抗の公差を 1% 未満に維持してください。

8.1.2.2 入力アンプの選択

入力アンプの選定基準は、入力信号の種類およびデータアキュイジションシステムの性能目標に大きく依存します。ADC 入力を駆動するアンプの選択において考慮すべき主な仕様は、次のとおりです：

- **小信号帯域幅。** システムの電力予算を満たした上で、入力アンプの小信号帯域幅は可能な限り高くなるように選択します。帯域幅を高くすると、アンプの閉ループ出力インピーダンスが低下するため、アンプは ADC の入力で ADC のサンプル/ホールドコンデンサおよび RC フィルタ (「チャージキックバックフィルタ」を参照) をより簡単に駆動できます。帯域幅を高くすると、アンプはチャージキックバックフィルタの容量性負荷を駆動しながらセトリング時間を短縮できるため、入力周波数が高い場合に高調波歪みを低減できます。入力ドライバ回路の全体的な安定性を維持するため、式 17 に示すように、ユニティゲイン帯域幅 (UGB) を持つアンプを選択します：

$$UGB \geq 4 \times \left(\frac{1}{2\pi \times R_{FLT} \times C_{FLT}} \right) \quad (17)$$

- **歪み。** ADC および入力ドライバの両方が、データアキュイジションブロックに歪みをもたらします。式 18 に示されているように、データアキュイジションシステムの歪み性能がフロントエンド回路によって制限されないようにするため、入力ドライバの歪みは、ADC の歪みより少なくとも 10dB 低くする必要があります。

$$THD_{AMP} \leq THD_{ADC} - 10 \text{ (dB)} \quad (18)$$

- **ノイズ。** フロントエンドアンプのノイズ寄与は、システムの SNR 性能の劣化を防ぐため、可能な限り低く抑える必要があります。一般に、データアキュイジションシステムのノイズ性能がフロントエンド回路によって制限されないようにするため、フロントエンド回路からの合計ノイズ寄与は、ADC の入力換算ノイズの 20% 未満に抑える必要があります。式 19 で説明されているように、入力ドライバ回路のノイズは、カットオフ周波数を低く設定したチャージキックバックフィルタにより帯域制限されます。

$$N_G \times \sqrt{2} \times \sqrt{\left(\frac{V_{1/f_AMP_PP}}{6.6} \right)^2 + e_{n_RMS}^2 \times \frac{\pi}{2} \times f_{-3dB}} \leq \frac{1}{5} \times \frac{V_{REF}}{\sqrt{2}} \times 10^{-\left(\frac{SNR(dB)}{20} \right)} \quad (19)$$

ここで

- V_{1/f_AMP_PP} は、 μV 単位で表したピークツーピークのフリッカーノイズです
- e_{n_RMS} は、アンプの広帯域ノイズ密度 ($nV/\sqrt{Hz}$) です
- f_{-3dB} は、チャージキックバックフィルタの 3dB 帯域幅です
- N_G は、フロントエンド回路のノイズゲインで、バッファ構成では 1 に等しくなります
- **セトリングタイム。** 多重化アプリケーションで一般的な高速過渡を持つ dc 信号の場合、アキュイジション時間ウィンドウ中に、デバイス入力で入力信号を 16 ビットの精度で安定化させる必要があります。この条件は、ADC の全体的な直線

性性能を維持するために重要です。通常、アンプのデータシートでは出力セトリング性能が最大 0.1% ~ 0.001% ま
でしか規定されていませんが、これは目的の 16 ビットの精度を満たすとは限りません。したがって、アンプを選択する
前に、入力ドライバのセトリング動作を TINA-TI SPICE シミュレーションによって必ず検証してください。

8.2 代表的なアプリケーション

8.2.1 差動入力で歪みとノイズ性能を最小限に抑えるデータ アクイジション (DAQ) 回路

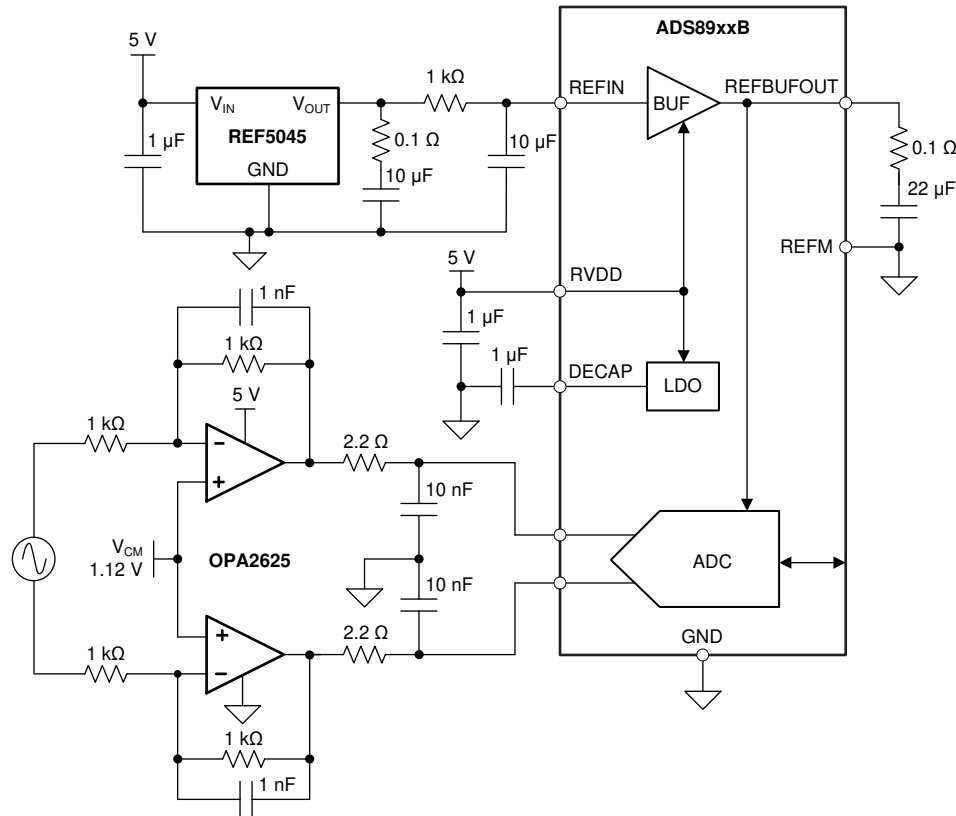


図 8-2. ADS892xB を使用した歪みとノイズを最小限に抑える差動入力 DAQ 回路

8.2.1.1 設計要件

この例では、設計パラメータを表 8-1 に記載しています。

表 8-1. 設計パラメータ

設計パラメータ	数値の例
ADC のサンプリング レート	指定された最大スループット
入力信号	2kHz 入力、4.5V _{PP} 完全差動
ノイズ特性、SNR	> 96dB
歪み、THD	< -120dB
直線性、INL	< ±0.5LSB
リファレンス	4.5V
電源	< 5.5V のアナログ、3.3V I/O

8.2.1.2 詳細な設計手順

アプリケーション回路を図 8-2 に示します。簡略化のため、これらの回路図には電源デカップリング コンデンサは示していません。推奨されるガイドラインについては、「[電源に関する推奨事項](#)」セクションを参照してください。

4.5V のリファレンス電圧は、高精度、低ノイズの [REF5045](#) 回路によって生成されます。リファレンスの出力広帯域ノイズは、3dB カットオフ周波数が 16Hz のローパス フィルタによって大幅に除去されます。

一般的に、入力ドライバによる歪みは、ADC の歪みよりも少なくとも 10dB 低くする必要があります。低消費電力入力ドライバとしての [OPA2625](#) (反転ゲイン構成で高帯域幅、低歪み、高精度のアンプ) は、きわめて低い歪みと高帯域幅の仕様により、非常に優れた AC 性能を発揮します。同相モード信号の変動によって生じる歪みは、[OPA2625](#) を反転利得構成で使用することにより除去されます。デバイスのダイナミックレンジを最大限に活用するために、[ADS892xB](#) 入力における同相電圧は、[OPA2625](#) アンプの非反転入力ピンを用いて $2.25V$ ($4.5V/2$) に設定されます。さらに、チャージキックバックフィルタの各コンポーネントは、入力信号に歪みを加えることなく、フロントエンド回路からのノイズを低く抑えます。

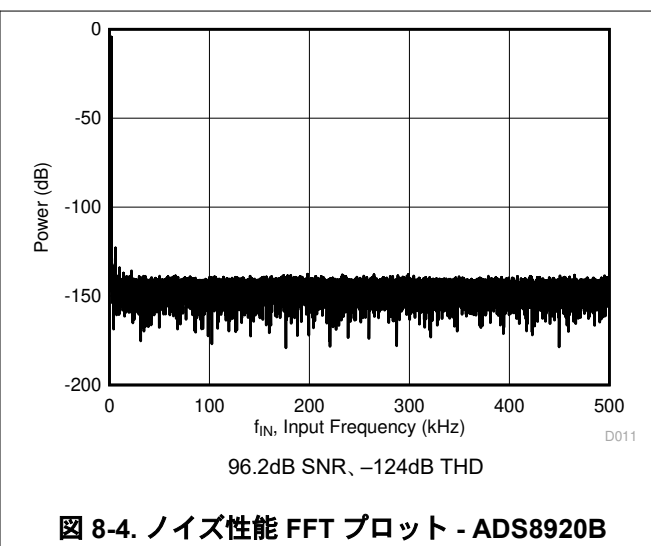
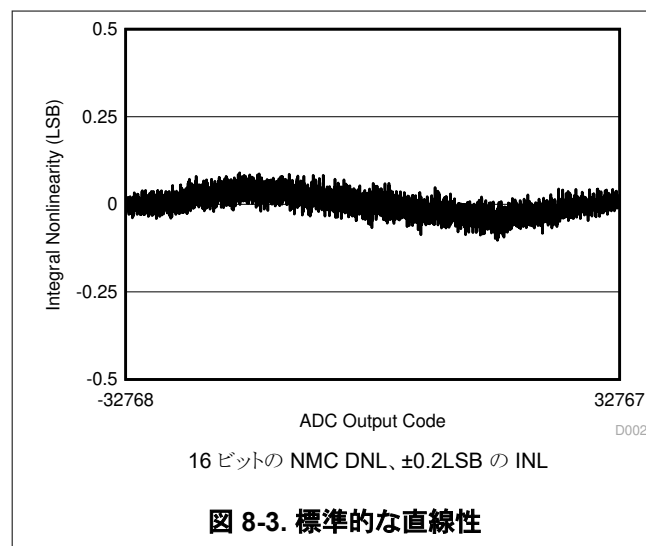
包括的な回路図については、www.ti.com の Web フォルダ内、[ADS8920B SAR A/D コンバータ評価基板](#)にある『[ADS8920BEVM-PDK ユーザーガイド](#)』を参照してください。

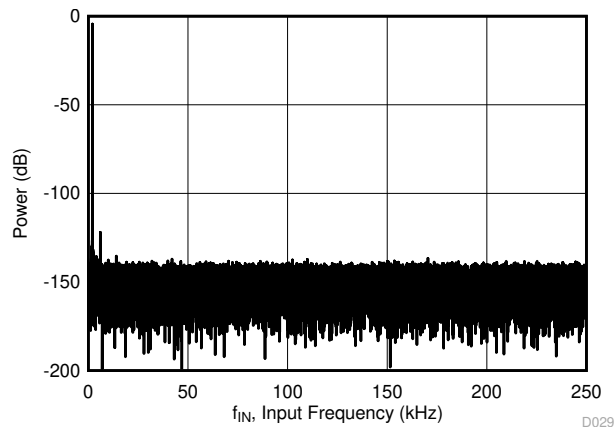
同様の回路は、リファレンス デザイン [TIPD211](#) で使用されています。[TIPD211](#) は、4 つの [ADS8900B](#) SAR ADC、4 つの [OPA2625](#) 高精度アンプ、1 つの [REF5050](#) 高精度リファレンスを使用した、試験および測定用途向けの 20 ビット、1MSPS、4 チャンネルの小型フォームファクタ デザインを設計するための詳細な手順を示します。



設計の詳細手順、回路図、部品表、PCB ファイル、シミュレーション結果、テスト結果については、[TI Precision Design](#) 『[TIPD211 試験および測定用途向けの 18 ビット、1MSPS、4 チャンネルの小型フォームファクタ デザイン](#)』も参照してください (TIDUBW7)。

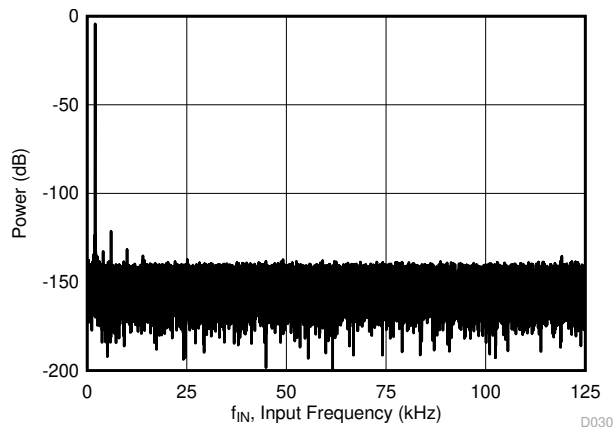
8.2.1.3 アプリケーション曲線





96.2dB SNR, -124dB THD

図 8-5. ノイズ性能 FFT プロット - ADS8922B



96.2dB SNR, -124dB THD

図 8-6. ノイズ性能 FFT プロット - ADS8924B

8.2.2 FDA 入力ドライバとシングル エンドまたは差動入力を備えた DAQ 回路

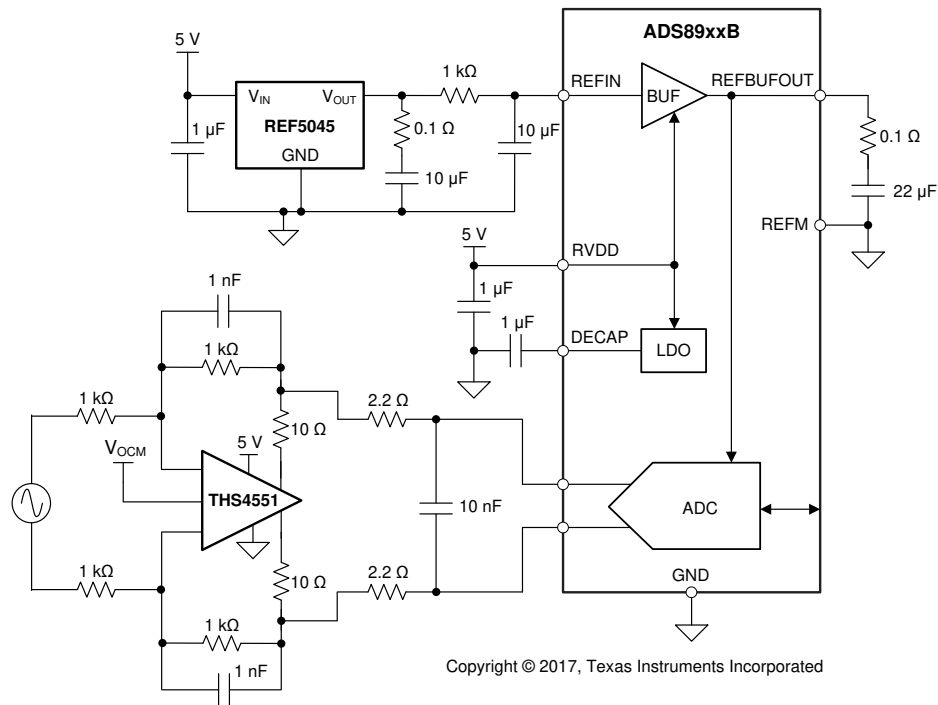


図 8-7. FDA 入力ドライバと差動入力を搭載した DAQ 回路

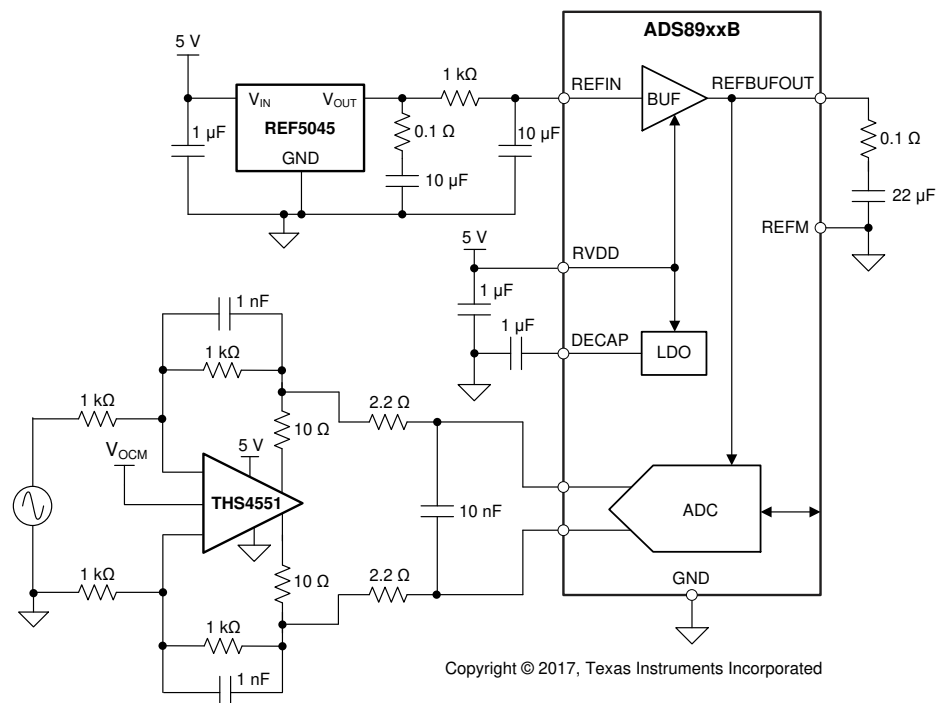


図 8-8. FDA 入力ドライバとシングル エンド入力を搭載した DAQ 回路

8.2.3 設計要件

この例では、設計パラメータを表 8-2 に記載しています。

表 8-2. 設計パラメータ

設計パラメータ	数値の例
ADC のサンプリング レート	指定された最大スループット
入力信号	2kHz 入力、 $\pm 4.5V_{pp}$ 完全差動および $\pm 4.5V_{pp}$ シングルエンド バイポーラ信号
ノイズ特性、SNR	> 96dB
歪み、THD	< -120dB
直線性、INL	< $\pm 0.5LSB$
リファレンス	4.5V
電源	< 5.4V のアナログ、3.3V I/O

8.2.4 詳細な設計手順

図 8-7 と図 8-8 に、アプリケーション回路を示します。両方のアプリケーションにおいて、入力信号は、ゲイン 1 V/V で設計された高帯域幅、低歪みのフル差動アンプ (FDA) およびローパス RC フィルタを通して処理された後、ADC に入力されます。

4.5V のリファレンス電圧は、高精度、低ノイズの REF5045 回路によって生成されます。リファレンスの出力広帯域ノイズは、3dB カットオフ周波数が 16Hz のローパス フィルタによって大幅に除去されます。

一般的に、入力ドライバによる歪みは、ADC の歪みよりも少なくとも 10dB 低くする必要があります。同相モード信号の変動によって生じる歪みは、回路の同相モードレベルを固定する反転ゲイン構成で FDA を使用することにより除去されます。この構成は、アンプ入力におけるレール ツー レール スイングの要件も不要にします。したがって、これらの回路では、非常に低歪みかつ高帯域幅の特性により優れた ac 特性を提供する低消費電力の THS4551 を入力ドライバとして使用しています。さらに、チャージ キックバック フィルタの各コンポーネントは、入力信号に歪みを加えることなく、フロントエンド回路からのノイズを低く抑えます。

図 8-7 の回路は、THS4551 および ADS892xB を使用して、低歪み、低ノイズに最適化されたフル差動データ アクイジション (DAQ) ブロックを示しています。このフロントエンド回路構成では、FDA の入力に差動信号が必要であり、ADC 入力を駆動するために差動出力を提供します。ADC に供給される入力信号の同相電圧は、THS4551 の V_{OCM} ピンによって設定されます (図 8-7 には示されていません)。ADC のダイナミック レンジを最大限に使用するために、 V_{OCM} は単純な抵抗分圧回路を用いて $V_{REF}/2$ に設定することができます。

図 8-8 の回路は、THS4551 と ADS892xB を使用し、低歪みと低ノイズを実現するよう最適化されたシングルエンドから差動への DAQ ブロックを示しています。このフロントエンド回路構成では、FDA の入力にシングルエンドのバイポーラ信号が必要であり、ADC 入力を駆動するためにフル差動出力を提供します。ADC に供給される入力信号の同相電圧は、THS4551 の V_{OCM} ピンによって設定されます (図 8-8 には示されていません)。ADC のダイナミック レンジを最大限に使用するために、 V_{OCM} は単純な抵抗分圧回路を用いて $V_{REF}/2$ に設定することができます。

8.2.5 アプリケーション曲線

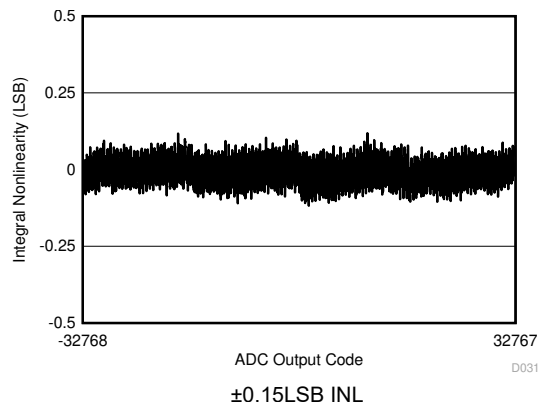


図 8-9. 標準的な直線性、差動入力

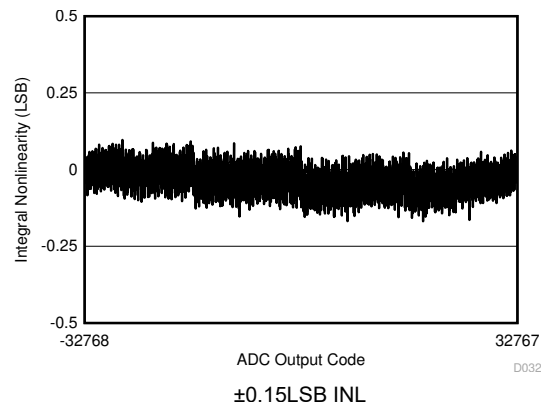


図 8-10. 標準的な直線性、シングル エンド入力

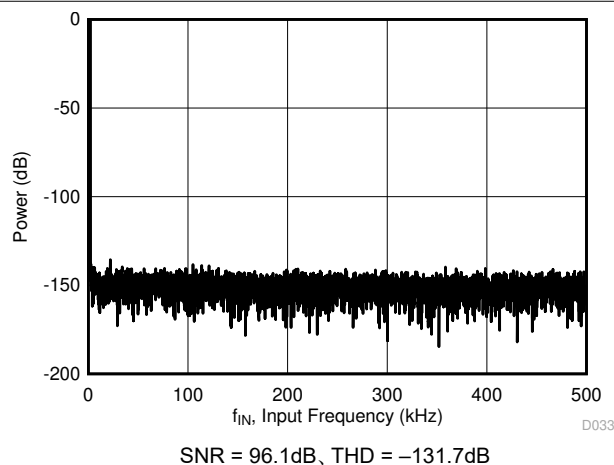


図 8-11. ノイズ性能 FFT プロット : ADS8920B、差動 入力

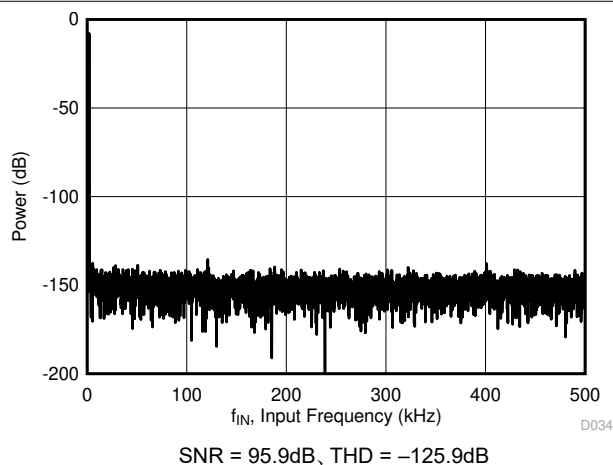


図 8-12. ノイズ性能 FFT プロット : ADS8920B、シン グル エンド入力

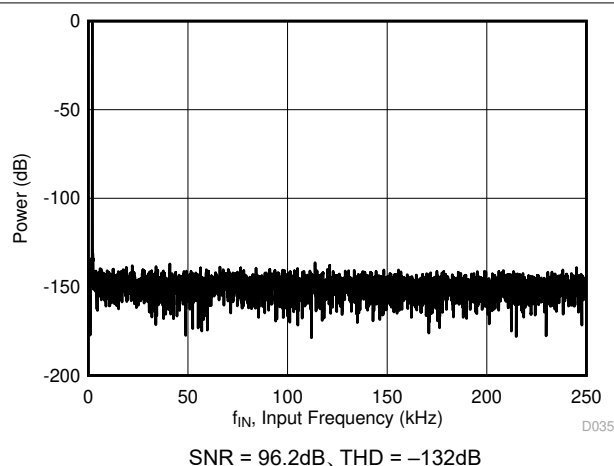


図 8-13. ノイズ性能 FFT プロット : ADS8922B、差動 入力

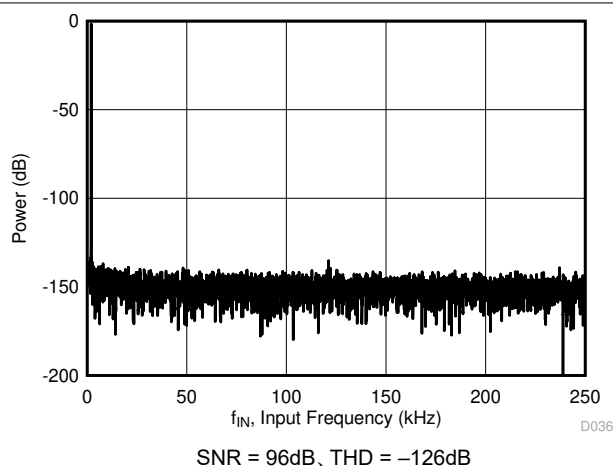


図 8-14. ノイズ性能 FFT プロット : ADS8922B、シン グル エンド入力

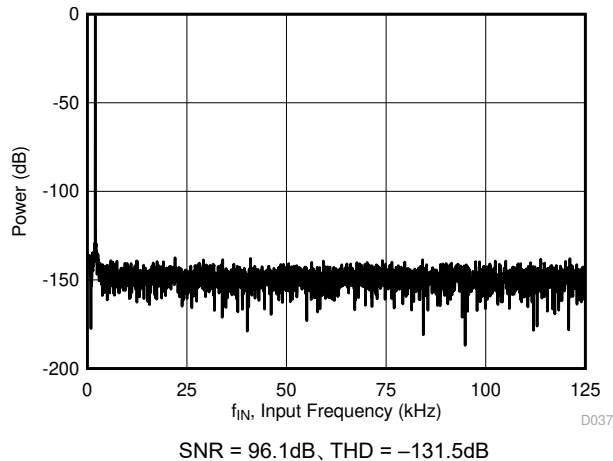


図 8-15. ノイズ性能 FFT プロット : ADS8924B、差動入力

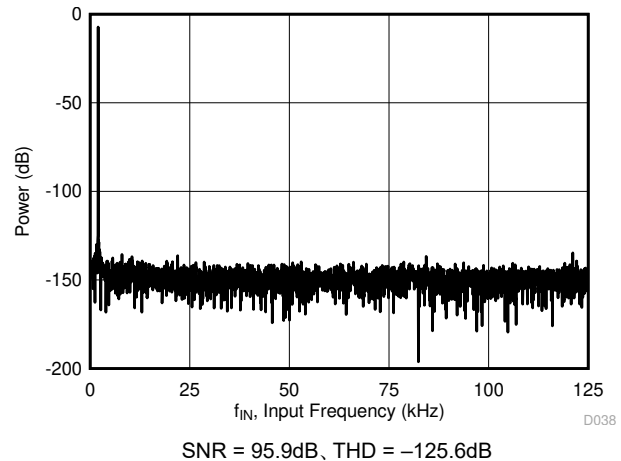


図 8-16. ノイズ性能 FFT プロット : ADS8924B、シングルエンド入力

8.3 電源に関する推奨事項

デバイスには以下の 2 つの独立した電源があります: RV_{DD} および DV_{DD} 。内部リファレンス バッファと内部 LDO は RV_{DD} で動作します。ADC コアは LDO 出力 (DECAP ピンで利用可能) で動作します。 DV_{DD} は、インターフェイス回路に使用されます。 RV_{DD} と DV_{DD} は、許容範囲内の任意の値に個別に設定できます。

RV_{DD} の電源電圧の値は、REFIN ピンの外部リファレンス電圧 V_{REF} の許容範囲を次のように定義します:

$$2.5V \leq V_{REF} \leq (RV_{DD} - 0.3)V \quad (20)$$

つまり、 V_{REF} の外部リファレンス電圧を使用するには、次のように RV_{DD} を設定します:

$$3V \leq RV_{DD} \leq (V_{REF} + 0.3)V \quad (21)$$

図 8-17 に示すように、 RV_{DD} ピンと GND ピンとの間、および DV_{DD} ピンと GND ピンとの間に $10\mu F$ デカップリング コンデンサを配置します。最小 $1\mu F$ のデカップリング コンデンサを DECAP ピンと GND ピンとの間に使用します。

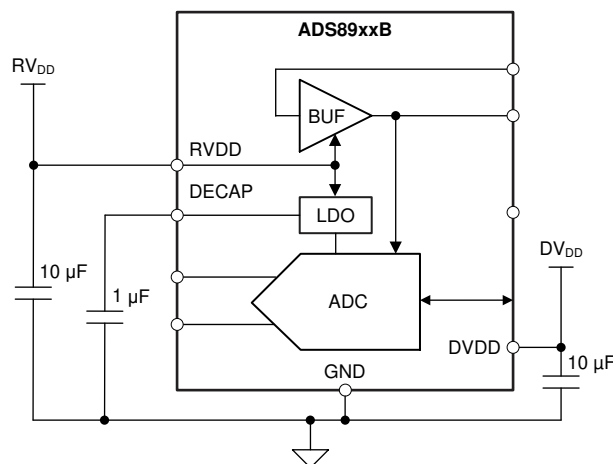


図 8-17. 電源のデカップリング

8.4 レイアウト

8.4.1 レイアウトのガイドライン

このセクションでは、ADS892xB ADS892xB デバイス ファミリで最適な性能を実現するためのレイアウト ガイドラインをいくつか紹介します。

8.4.1.1 信号路

図 8-18 に示すように、アナログ入力信号はデジタル接続とは逆方向に配線されています。リファレンス デカップリング部品は、スイッチング デジタル信号から離して配置されています。この配置により、デジタル スwitching動作によって発生するノイズが、敏感なアナログ信号に結合するのを防ぎます。

8.4.1.2 グランディングと PCB スタックアップ

最適な性能を実現するには、低インダクタンスのグランディングが重要です。接地インダクタンスは、15mil のグランディングビアと、少なくとも 4 層のプリント回路基板 (PCB) のレイアウト設計により、1nH 未満に抑えられています。信号チェーンのすべての重要なコンポーネントはトップ層に配置し、後続の内層に連続したアナログ グランドを設けることで、グラウンドへのビア長を最小化します。

インダクタンスのグランディングを最小限に抑えるため、ADS892xB ADS892xB (ピン 11 およびピン 15) の GND ピンをデバイスのサーマル パッドに直接接続し、デバイスのサーマル パッドに 4 つ以上の 8mil グランドビアを配置します。

8.4.1.3 電源のデカップリング

RV_{DD}、LDO 出力、および DV_{DD} のデカップリング コンデンサをそれぞれのピンから 20mil 以内に配置し、各コンデンサからグラウンドへ 15mil のビアを使用します。電源ピンとそれぞれのデカップリング コンデンサの間にビアを配置しないでください。

8.4.1.4 リファレンス デカップリング

変換フェーズ中、REFBUFOUT ピンおよび REFM ピンには動的電流も流れるため、最適な性能を実現するには優れたデカップリングが必要です。図 8-18 に示すように、10V 以上の定格で、ESR が 1Ω の 10μF、X7R グレードのセラミックコンデンサを、REFBUFOUT ピンと REFM ピンとの間に配置してください。等価直列インダクタンス (ESL) を低く抑えるため、0603 または 0805 サイズのコンデンサを選択してください。REFM ピンを、グラウンドビアの前にあるデカップリングコンデンサに接続してください。

8.4.1.5 差動入力デカップリング

ADS892xB の差動アナログ入力にも動的電流が存在します。これらの入力をデカップリングするためには、C0G または NPO タイプのコンデンサを使用してください。これらのタイプのコンデンサでは、入力電圧範囲全体にわたって静電容量がほぼ一定に保たれるためです。低品質のコンデンサ (X5R、X7R など) では、入力電圧範囲全体にわたって容量が大きくなり、デバイスの性能が低下する可能性があります。

8.4.2 レイアウト例

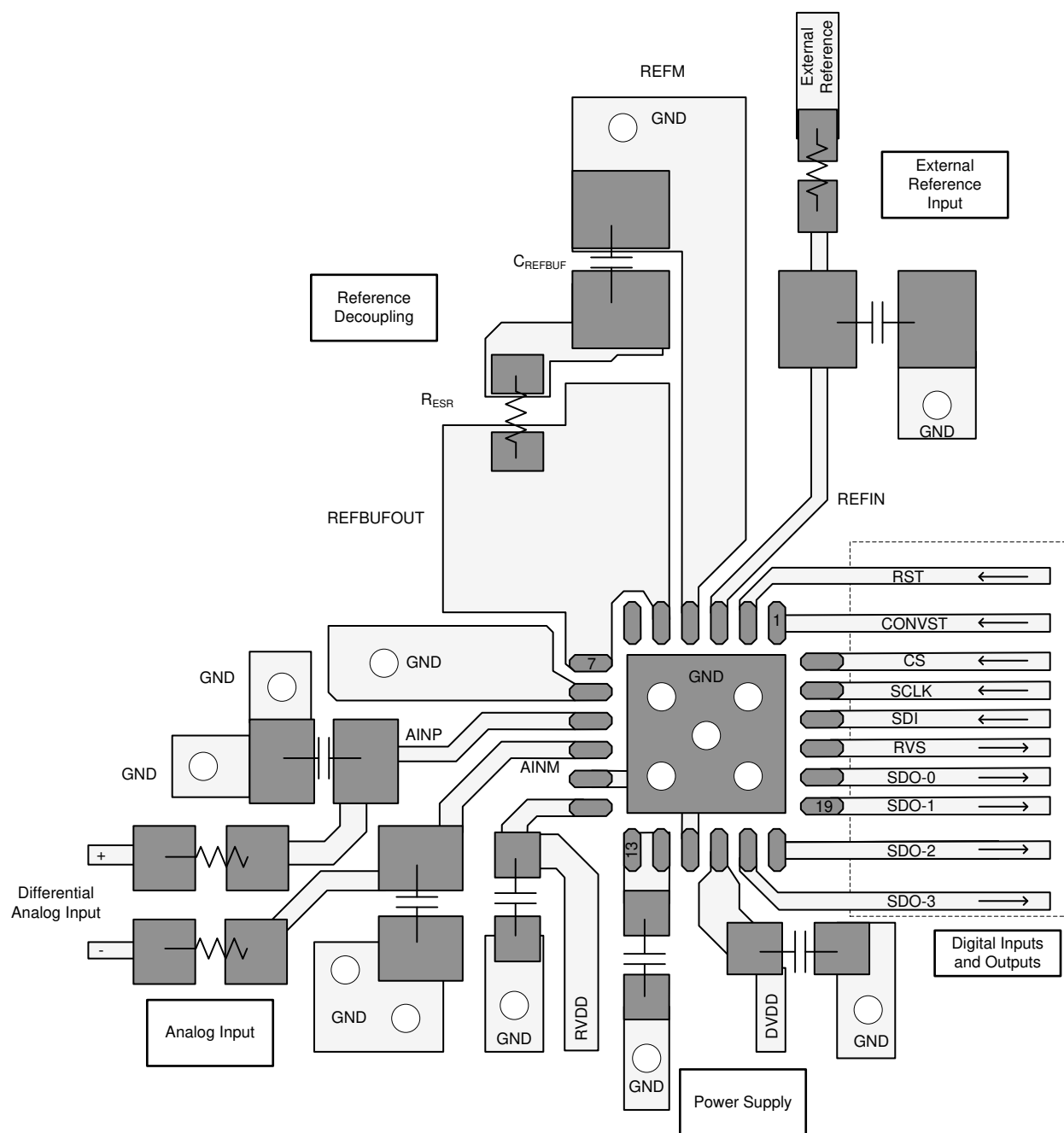


図 8-18. 推奨レイアウト

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- 『『』』『 [ADS8920BEVM-PDK ユーザー ガイド](#) 』
- 『TI の [multiSPI™](#) デジタル インターフェイスにより可能となる、より高速で、スマートで、より堅牢な SAR ADC 用のシステム ソリューション』
- 『超音波 CW ドップラー集計と 20 ビットの真の未加工データ変換のリファレンス デザイン』
- 『テストおよび測定アプリケーション用の 20 ビット、1MSPS、4 チャンネルの小型フォーム ファクタ設計のリファレンス デザイン』
- 『アイソレータの最適化によって SNR とサンプル レートを最大化する、20 ビット、1MSPS のデータ収集リファレンス デザイン』
- 『20 ビット、1MSPS の絶縁型データ アクイジション (DAQ) のリファレンス デザインによる、ジッタ最適化による SNR およびサンプル レートの最大化』
- 『OPAx625 高帯域幅、高精度、低 THD+N、16 ビットおよび 18 ビット A/D コンバータ (ADC) ドライバ データシート』
- 『REF5050 低ノイズ、超低ドリフト、高精度の電圧リファレンス データシート』
- 『THS4551 低ノイズ、高精度、150MHz 完全差動アンプ』

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

multiSPI™, TINA-TI™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (August 2017) to Revision C (August 2026)	Page
• 最初のページの表を削除し、「パッケージ情報」表を追加	1
• 「タイミング特性」表にシリアル クロック周波数の条件を追加	9
• PD_CNTL のリセット値を 08h に変更	56

Changes from Revision A (July 2016) to Revision B (August 2017)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 「製品情報」表を「1MSPS での SPI クロック」表に変更	1
• 先頭ページの図を変更	1
• REFBUFOUT ピンの説明を「リファレンス バッファ出力、ADC リファレンス入力」から「内部リファレンス バッファ出力、外部リファレンス入力」に変更	3
• 「電気的特性」の条件行の DV_{DD} 範囲を 2.35V ~ 3.6V から 1.65V ~ 5.5V に変更	7
• 「電気的特性」、「タイミング要件」、「スイッチング特性」の DV_{DD} 範囲の最大値を 3.6V から 5.5V に変更	7
• 「電気的特性」表のリファレンス バッファ オフセット電圧テスト条件に $T_A = 25^\circ\text{C}$ を追加	7
• 入力オフセットの温度ドリフトの標準値を 10 から 1 に変更	7
• 「電気的特性」表の SFDR に $f_{IN} = 2\text{kHz}$ のテスト条件を追加	7
• 「タイミング要件」表のシリアル クロック周波数に新しい条件を追加	9
• 「タイミング特性」表のシリアル クロックの周期を変更	9
• 「タイミング特性」表にシリアル クロック周波数の条件を追加	9
• 「タイミング特性」表のシリアル クロックの周期を変更	9
• 「スイッチング特性」表にスロープ出力時間を追加	11
• 「リファレンス バッファ モジュール」セクションに説明文と図を 1 つ追加	21
• ゾーン 2 のデータ転送アクティビティに関する最初の注記からテキストを削除	35
• 「データ転送プロトコル」セクションに、multiSPI デジタル インターフェイス モジュールの新しいオプションの箇条書き項目を追加	37
• 表 9 に SCLK の新しい注 (1) を追加	47
• 「ADS892xB においては、直線性性能の著しい劣化を避けるため、 R_{FLT} の値は最大 2.5Ω に制限してください。」を削除(「チャージ キックバック フィルタ」セクションの最後の段落から)	64
• 明確化のため、「歪みとノイズ性能を最小限に抑えるデータ アクイジション (DAQ) 回路」セクションを変更	67
• 「設計パラメータ」表に設計パラメータをさらに追加	67
• 「詳細な設計手順」セクションを明確化のため変更	67
• 2 つの新しいアプリケーション曲線を追加	68
• 新しい代表的なアプリケーションのサブセクションを追加	70

Changes from Revision * (June 2016) to Revision A (July 2016)	Page
• 「製品プレビュー」から「量産データ」に変更	1
• 「推奨動作条件」の DV_{DD} で規定されたスループット値を 3.6V から 5.5V に変更	5

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーションをご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS8920BRGER	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8920B
ADS8920BRGER.B	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8920B
ADS8920BRGET	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8920B
ADS8920BRGET.B	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8920B
ADS8920BRGETG4	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8920B
ADS8920BRGETG4.B	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8920B
ADS8922BRGER	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8922B
ADS8922BRGER.B	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8922B
ADS8922BRGET	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8922B
ADS8922BRGET.B	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8922B
ADS8924BRGER	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8924B
ADS8924BRGER.B	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8924B
ADS8924BRGET	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8924B
ADS8924BRGET.B	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8924B

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

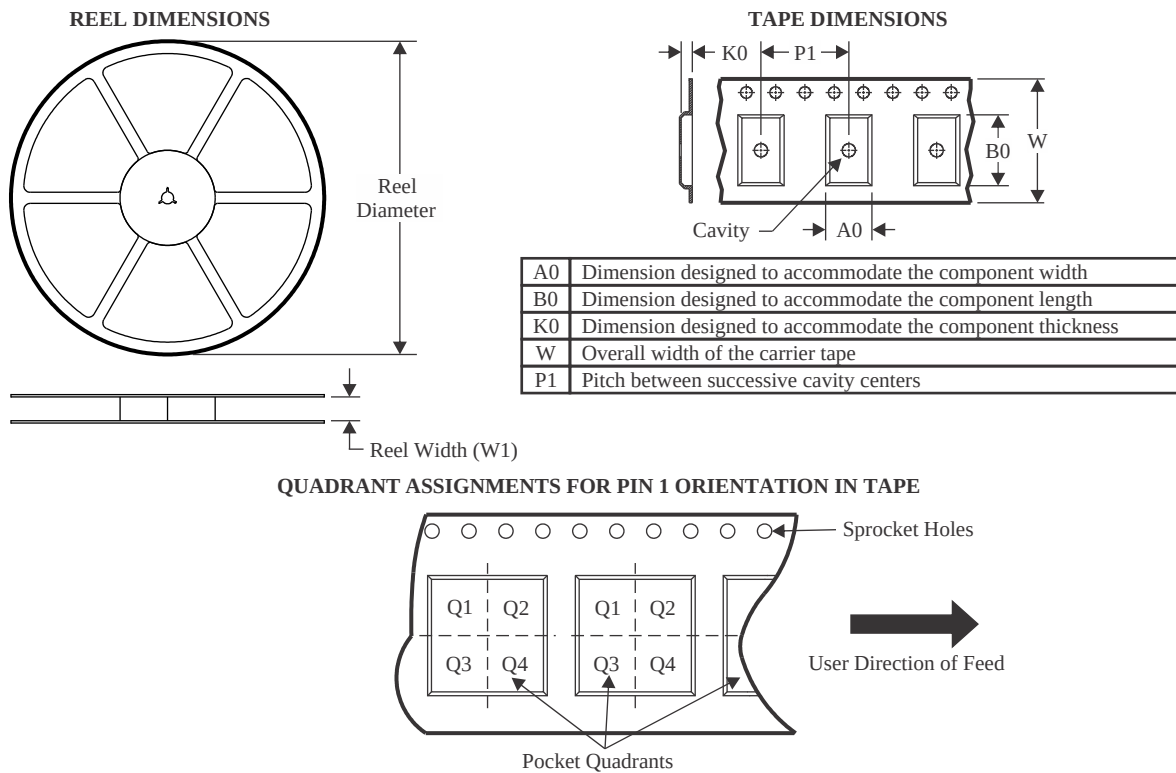
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

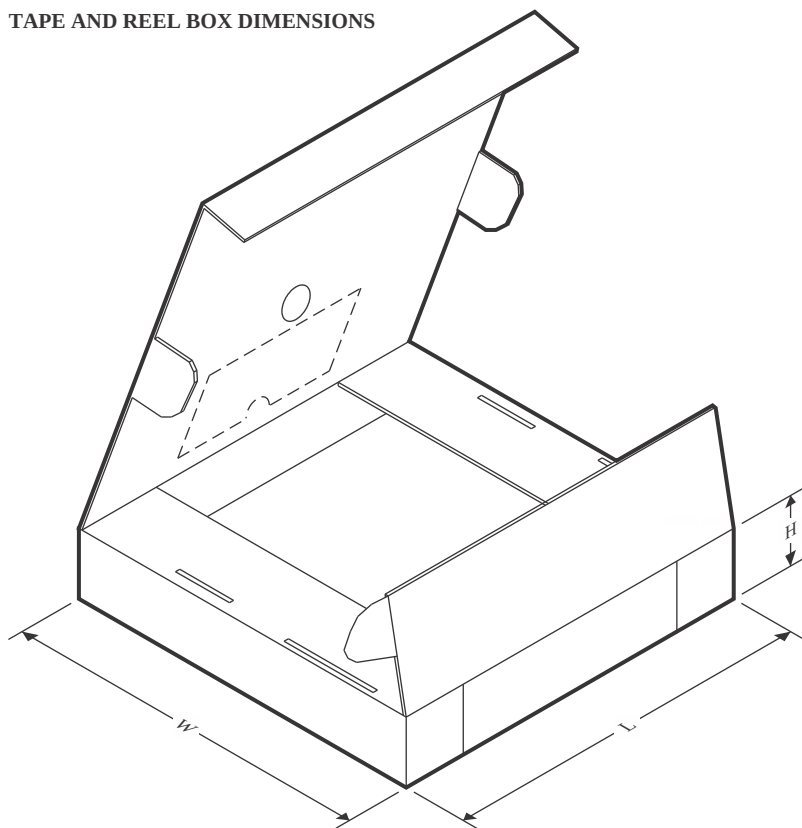
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS8920BRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADS8920BRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADS8920BRGETG4	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADS8922BRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADS8922BRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADS8924BRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADS8924BRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

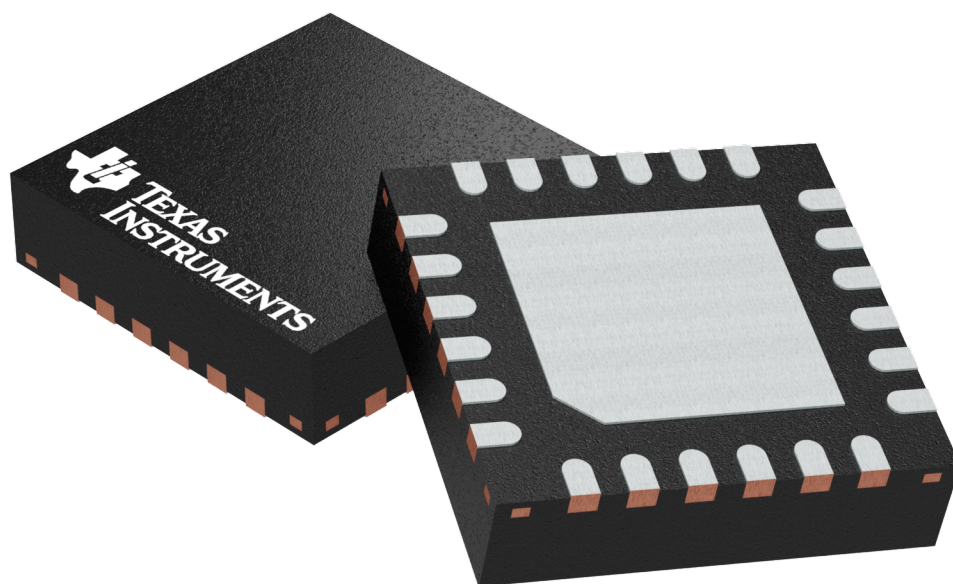
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS8920BRGER	VQFN	RGE	24	3000	346.0	346.0	33.0
ADS8920BRGET	VQFN	RGE	24	250	210.0	185.0	35.0
ADS8920BRGETG4	VQFN	RGE	24	250	210.0	185.0	35.0
ADS8922BRGER	VQFN	RGE	24	3000	346.0	346.0	33.0
ADS8922BRGET	VQFN	RGE	24	250	210.0	185.0	35.0
ADS8924BRGER	VQFN	RGE	24	3000	346.0	346.0	33.0
ADS8924BRGET	VQFN	RGE	24	250	210.0	185.0	35.0

RGE 24

GENERIC PACKAGE VIEW

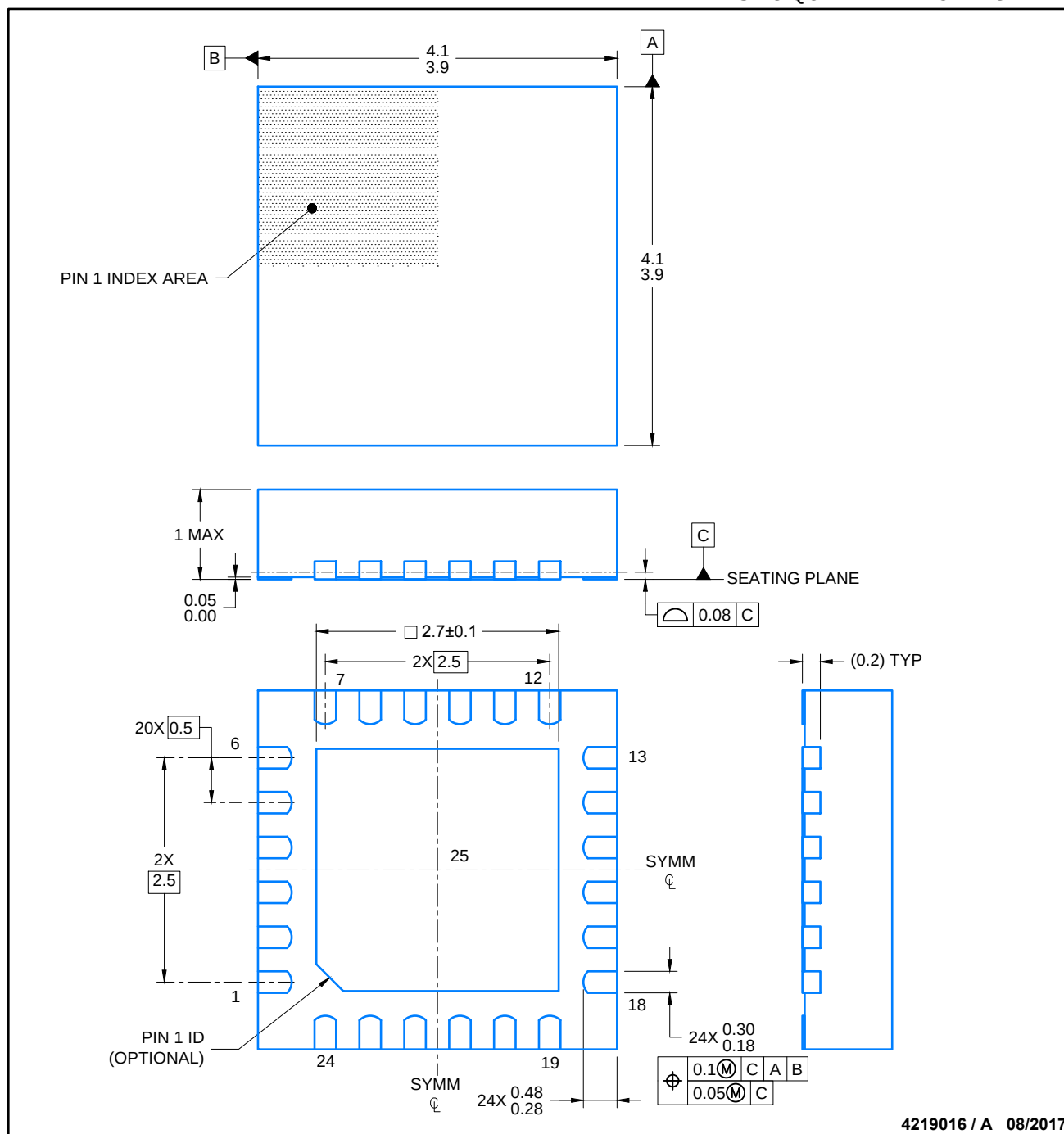
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4204104/H



4219016 / A 08/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

VQFN - 1 mm max height

This mechanical drawing shows a 19-pin connector layout. The overall width is 3.825 inches, and the overall height is 3.825 inches. The drawing includes the following dimensions and callouts:

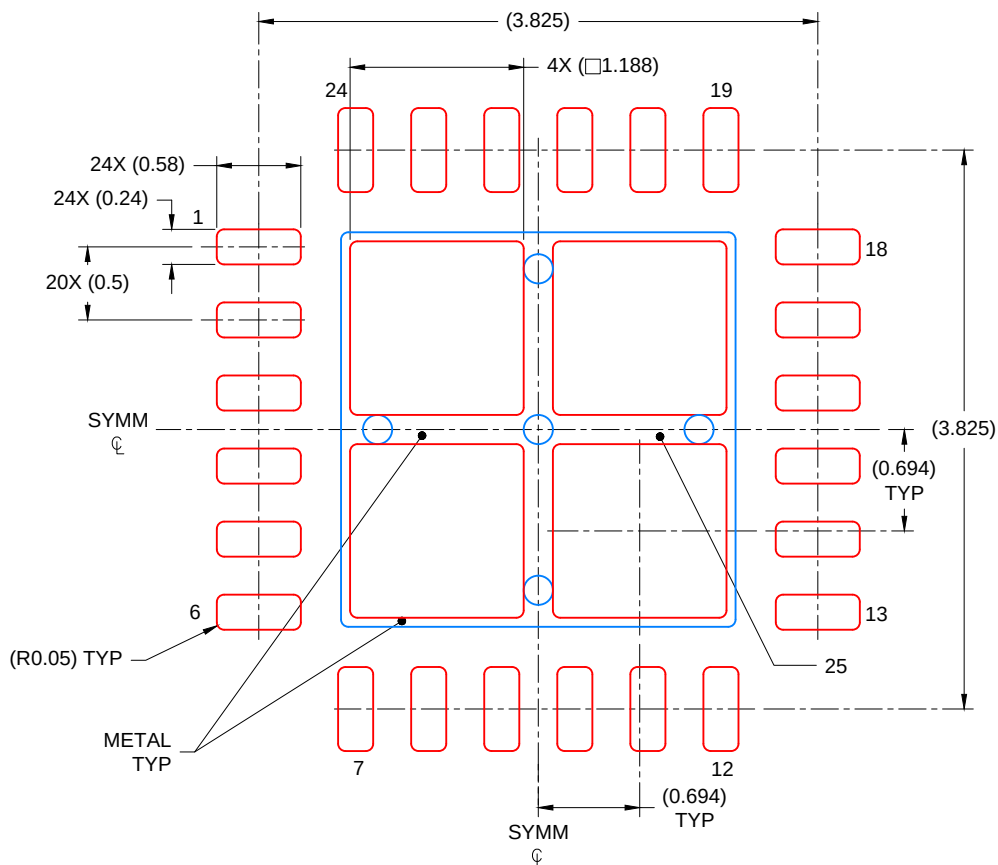
- Width Dimensions:**
 - Overall width: 3.825
 - Pin pitch (between pins 24 and 19): 2.7
 - Distance from left edge to pin 24: 24X (0.58)
 - Distance between pin 24 and the centerline: 24X (0.24)
 - Distance from centerline to pin 19: 20X (0.5)
 - Distance from centerline to pin 18: 2X (1.1)
- Height Dimensions:**
 - Overall height: 3.825
 - Distance from top edge to pin 18: 2X (1.1)
 - Distance from pin 18 to pin 13: 2X (1.1)
- Pin and Feature Callouts:**
 - Pins are numbered 24, 19, 18, 13, 7, and 12.
 - Feature 25 is located at the center of the connector.
 - Feature 6 is a hole with a diameter of $\varnothing 0.2$ (typical).
 - Feature 1 is a hole with a diameter of R0.05.
- Symmetry:**
 - The drawing is symmetrical about a vertical centerline (SYMM $\varnothing$).
 - The drawing is also symmetrical about a horizontal centerline (SYMM $\varnothing$).

The diagram illustrates two types of solder mask openings on a metal pad:

- NON SOLDER MASK DEFINED (PREFERRED):** This type shows a metal pad with a solder mask opening. The dimensions are specified as 0.07 MAX ALL AROUND. The labels include METAL, SOLDER MASK OPENING, and a dimension line indicating the maximum width of the opening.
- SOLDER MASK DEFINED:** This type shows a metal pad with a solder mask opening. The dimensions are specified as 0.07 MIN ALL AROUND. The labels include SOLDER MASK OPENING, METAL UNDER SOLDER MASK, and a dimension line indicating the minimum width of the opening.

SOLDER MASK DETAILS

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
78% PRINTED COVERAGE BY AREA
SCALE: 20X

4219016 / A 08/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations..

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月