AFE7903 2T2R 5MHz ～ 7.4GHz RF サンプリング AFE、12GSPS DAC および 3GSPS ADC、400MHz IBW 搭載

1 特長

- データシート全体のご請求
- デュアル RF サンプリング 12GSPS 送信 DAC
- デュアル RF サンプリング 3GSPS 受信 ADC
- TX または RX ごとの最大信号帯域幅：400MHz
- RF 周波数範囲：5MHz～7.4GHz
- デジタル ステップ アッテネータ (DSA)：
  - TX：40dB レンジ、0.125dB ステップ
  - RX：25dB レンジ、0.5dB ステップ
- TX と RX 向けにシングルバンドまたはデュアルバンド DUC / DDC を搭載
- TX / RX に対応する 16 個の NCO
- DAC / ADC クロック用の内部 PLL / VCO、または DAC もしくは ADC サンプル レートでの外部クロックを選択可能
- Sysref アライメント検出器
- SerDes データ インターフェイス：
  - JESD204B、JESD204C 適合
  - 8 つの SerDes トランシーバ (最大 29.5Gbps)
  - サブクラス 1 のマルチデバイス同期
- パッケージ：17mm × 17mm FCBGA、0.8mm ピッチ

2 アプリケーション

- レーダー
- シーカー・フロント・エンド
- 防衛無線
- 技術通信インフラストラクチャ
- ワイヤレス通信テスト

3 説明

AFE7903 は、高性能で広帯域のマルチチャネル トランシーバで、2 つの RF サンプリング トランスミッタ チェーンと 2 つの RF サンプリング レシーバ チェーンを内蔵しています。このデバイスは、最大 7.4GHz で動作するため、追加の周波数変換段を必要とせず、HF、VHF、UHF、L、S、C バンドの周波数範囲について直接 RF サンプリングが可能です。この密度と柔軟性の向上により、多くのチャネル数を持つマルチミッション システムが可能になります。

TX 信号パスは、最大 400MHz の信号帯域幅を実現する補間およびデジタル アップ コンバージョン オプションをサポートしています。DUC の出力は、2 次ナイキスト動作を拡張する混在モード出力方式で 12GSPS の DAC (D/A コンバータ) を駆動します。DAC 出力は、40dB レンジ、1dB アナログ ステップ、0.125dB デジタル ステップの可変ゲイン アンプ (TX DSA) を内蔵しています。

各レシーバ チェーンは、3GSPS の ADC (A/D コンバータ) に接続された 25dB レンジの DSA (デジタル ステップ アッテネータ) を備えています。各レシーバ チャネルは、外部または内部の自律的な AGC (自動ゲイン制御) を補助するためのアナログ ピーク電力検出器とさまざまなデジタル電力検出器、およびデバイスの信頼性を確保するための RF 過負荷検出器を備えています。柔軟なデシメーション オプションによりデータ帯域幅を 2 つの RX では最高 400MHz で最適化できます。

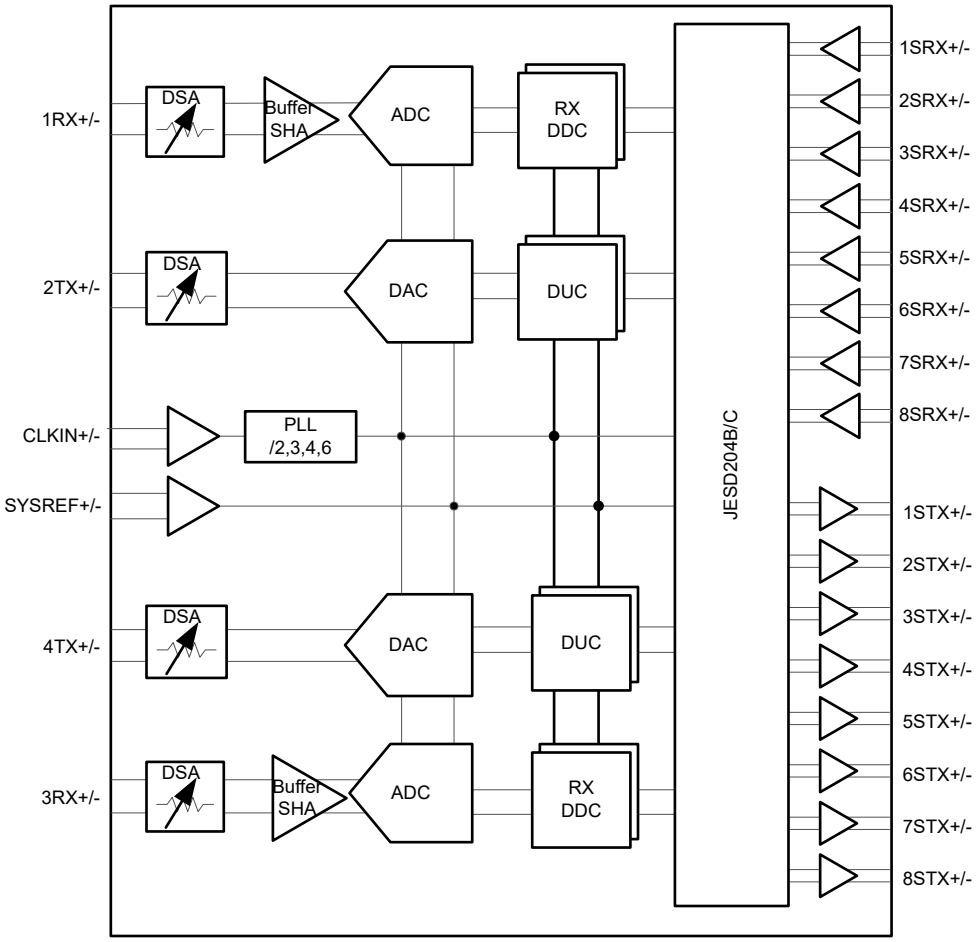
SYSREF タイミング検出器を搭載しているため、デバイス クロックを基準とした SYSREF 入力タイミングの最適化が可能です。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
AFE7903	FC-BGA	17mm × 17mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



機能ブロック図

Copyright © 2025 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 仕様.....4
4.1 絶対最大定格.....4
4.2 ESD 定格.....4
4.3 推奨動作条件.....5
4.4 熱に関する情報.....5
4.5 トランスミッタの電気的特性.....6
4.6 RF ADC の電気的特性.....16
4.7 PLL / VCO / クロックの電気的特性.....22
4.8 デジタルの電気的特性.....24
4.9 電源の電気的特性.....26
4.10 タイミング要件.....31
4.11 スイッチング特性.....32
4.12 代表的特性.....33
5 デバイスおよびドキュメントのサポート.....160
5.1 ドキュメントの更新通知を受け取る方法.....160
5.2 サポート・リソース.....160
5.3 商標.....160
5.4 静電気放電に関する注意事項.....160
5.5 用語集.....160
6 改訂履歴.....160
7 メカニカル、パッケージ、および注文情報.....161

Copyright © 2025 Texas Instruments Incorporated

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電源電圧範囲	DVDD0P9、VDDT0P9	-0.3	1.2	V
	VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2PLL、VDD1P2PLLCLKREF、VDD1P2FB、VDD1P2FBCML、VDD1P2RXCML	-0.3	1.4	V
	VDD1P8RX、VDD1P8RXCLK、VDD1P8TX、VDD1P8TXDAC、VDD1P8TXENC、VDD1P8PLL、VDD1P8PLLVCO、VDD1P8FB、VDD1P8FBCLK、VDD1P8GPIO、VDDA1P8	-0.5	2.1	V
ピン電圧範囲	{1/3}RXIN+/-	-0.5	VDDRX1P8+0.3	V
	{1/3}TXOUT+/-	-0.5	VDDTX1P8+0.3	V
	REFCLK+/-、SYSREF+/-	-0.3	1.4	V
	{1:8}SRX+/-	-0.3	1.4	V
	{1:8}STX+/-	-0.3	1.4	V
	GPIO{B/C/D/E}x、SPICLK、SPISDIO、SPISDO、SPISEN、RESETZ、BISTB0、BISTB1	-0.5	VDD1P8GPIO + 0.3	V
	IFORCE、VSENSE	-0.3	VDDCLK1P8 + 0.3	V
	SRDAMUX1、SRDAMUX2	-0.3	VDDA1P8+0.3	V
P_{MAX}(xRXIN+/-)	f_{IN} = 5MHz、DSA = 20dB		19.7	dBm
	f_{IN} = 30MHz、DSA = 20dB		17.8	
	f_{IN} = 410MHz、DSA = 20dB		17.6	
	f_{IN} = 830MHz、DSA = 20dB		16.7	
	f_{IN} = 1760MHz、DSA = 20dB		17.0	
	f_{IN} = 2610MHz、DSA = 20dB		18	
	f_{IN} = 3610MHz、DSA = 20dB		18.5	
	f_{IN} = 4910MHz、DSA = 20dB		19.3	
ピーク入力電流	任意の入力		20	mA
T_J	接合部温度		150	℃
T_{stg}	保存温度	-65	150	℃

(1) 絶対最大定格の状態に長時間置くと、デバイスの信頼性に影響を及ぼす可能性があります。絶対最大定格の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。セクション 4.3

4.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	1000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠、すべてのピン	150	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

Copyright © 2025 Texas Instruments Incorporated

4.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
DVDD0P9、VDDT0P9	電源電圧 0.9V	0.9	0.925	0.95	V
VDD1P2{RX/TXCLK/TXENC/FB/PLL/PLLCLKREF/FBCML/RXCML}	電源電圧 1.2V	1.15	1.2	1.25	V
VDD1P8{RX/RXCLK/TX/TXDAC/TXENC/PLL/PLLVCO/FB/FBCLK/GPIO}、VDDA1P8	電源電圧 1.8V	1.75	1.8	1.85	V
T_A	周囲温度	-40		85	℃
T_J	動作時の接合部温度			110(1)	℃
	最大動作接合部温度	125			℃

(1) この接合部温度以上で長時間使用すると、デバイスの時間あたりの故障回数 (FIT) レートが上昇する可能性があります。詳細については、SBAA403 アプリケーション ノートを参照してください

4.4 熱に関する情報

熱評価基準(1)		17 x 17mm FC-BGA	単位
		400 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	16.2	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	0.42	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	4.85	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.12	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	4.6	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

4.5 トランスミッタの電気的特性

T_A = +25°C の代表値、全動作温度範囲は $T_{A,MIN}$ = -40°C ～ $T_{J,MAX}$ = +110°C、TX 入力レート = 491.52MSPS (6GHz および 500MSPS 以下、6GHz 超)、f_{DAC} = 11796.48MSPS (6GHz および 9GSPS 以下、6GHz 超)、PLL クロック モード (6GHz 未満)、外部クロック モード (6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
DAC_{RES}	DAC の分解能			14		ビット
f_{RFout}	RF 出力周波数範囲	f_{DAC} = 12GSPS、1 次ナイキスト	5		6000	MHz
		f_{DAC} = 9GSPS、1 次ナイキスト	5		4500	
		f_{DAC} = 9GSPS、2 次ナイキスト	4500		7400	
		f_{DAC} = 6GSPS、1 次ナイキスト	5		3000	
		f_{DAC} = 6GSPS、2 次ナイキスト	3000		6000	
P_{max_FS}	デバイス ピンでの最大フルスケール出力電力、最大ゲインの 1 トーン	f_{out} = 10MHz、f_{DAC} = 6GSPS、-0.1dBFS		6.5		dBm
		f_{out} = 30MHz、f_{DAC} = 6GSPS、-0.1dBFS		6.5		dBm
		f_{out} = 400MHz、f_{DAC} = 6GSPS、-0.1dBFS		5.6		dBm
		f_{out} = 850MHz、f_{DAC} = 5898.24MSPS、-0.5dBFS		4.3		dBm
		f_{out} = 1800MHz、f_{DAC} = 5898.24MSPS、-0.5dBFS		3.2		dBm
		f_{out} = 2600MHz、f_{DAC} = 8847.36MSPS、-0.5dBFS		2.3		dBm
		f_{out} = 3500MHz、-0.5dBFS		2.9		dBm
		f_{out} = 4900MHz、-0.5dBFS		-0.6		dBm
		f_{out} = 3500MHz、f_{DAC} = 5898.24MSPS、-0.5dBFS、ストレート モード		-2.3		dBm
		f_{out} = 4900MHz、f_{DAC} = 5898.24MSPS、-0.5dBFS、ストレート モード		-3.4		dBm
		f_{out} = 4900MHz、f_{DAC} = 8847.36MSPS、-0.5dBFS、ストレート モード		-3.9		dBm
R_{TERM}	出力の終端抵抗	デフォルト設定		100		Ω
ATT_{range}	DSA 減衰範囲			40		dB
ATT_{step}	DSA アナログ減衰ステップ			1.0		dB
	DSA 減衰ステップ精度 (DNL)(1)	0 < 減衰 < 40dB、キャリブレーション後		±0.1		dB
		0 < 減衰 < 40dB、キャリブレーション前		±0.2		
ATT_{step}	DSA ゲイン ステップ位相精度、任意の 8dB レンジ(1)	f_{out} = 30MHz		±1		度
		f_{out} = 400MHz		±1		度
		f_{out} = 850MHz		±1		度
		f_{out} = 1800MHz		±1		度
		f_{out} =2600MHz		±1		度
		f_{out} = 3500MHz		±1		
		f_{out} = 4900MHz		±1		度

Copyright © 2025 Texas Instruments Incorporated

4.5 トランスミッタの電気的特性 (続き)

T_A = +25°C の代表値、全動作温度範囲は $T_{A,MIN}$ = -40°C ～ $T_{J,MAX}$ = +110°C、TX 入力レート = 491.52MSPS (6GHz および 500MSPS 以下、6GHz 超)、f_{DAC} = 11796.48MSPS (6GHz および 9GSPS 以下、6GHz 超)、PLL クロック モード (6GHz 未満)、外部クロック モード (6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
G_{flat}	ゲイン平坦性	任意の 20MHz		0.1		dB
		600MHz 帯域帯、F_{out} < 4.9G		1.2		
IMD3	3 次相互変調歪	f_{DAC} = 6 GSPS、f_{OUT} = 5MHz±1MHz、各トーン -7dBFS		-48		dBc
		f_{DAC} = 6 GSPS、f_{OUT} = 30MHz±1MHz、各トーン -7dBFS		-47		dBc
		f_{DAC} = 6 GSPS、f_{OUT} = 400MHz±2MHz、各トーン -7dBFS		-51		dBc
		f_{out} = 850MHz ±10MHz、各トーン -7dBFS		-61		dBc
		f_{out} = 1800MHz ±10MHz、各トーン -7dBFS		-62		dBc
		f_{out} = 2600MHz ±10MHz、各トーン -7dBFS		-64		dBc
		f_{out} = 3500MHz ±10MHz、各トーン -7dBFS		-63		dBc
		f_{out} = 4900MHz ±10MHz、各トーン -7dBFS		-64		dBc
		f_{out} = 5MHz ±1MHz、各トーン -13dBFS		-72		dBc
		f_{DAC} = 6 GSPS、f_{OUT} = 30MHz±1MHz、各トーン -13dBFS		-71		dBc
		f_{DAC} = 6 GSPS、f_{OUT} = 400MHz±2MHz、各トーン -13dBFS		-72		dBc
		f_{out} = 850MHz ±10MHz、各トーン -13dBFS		-73		dBc
		f_{out} = 1800MHz ±10MHz、各トーン -13dBFS		-75		dBc
		f_{out} = 2600MHz ±10MHz、各トーン -13dBFS		-79		dBc
		f_{out} = 3500MHz ±10MHz、各トーン -13dBFS		-77		dBc
		f_{out} = 4900MHz ±10MHz、各トーン -13dBFS		-77		dBc

Copyright © 2025 Texas Instruments Incorporated

4.5 トランスミッタの電気的特性 (続き)

T_A = +25°C の代表値、全動作温度範囲は $T_{A,MIN}$ = -40°C ～ $T_{J,MAX}$ = +110°C、TX 入力レート = 491.52MSPS (6GHz および 500MSPS 以下、6GHz 超)、f_{DAC} = 11796.48MSPS (6GHz および 9GSPS 以下、6GHz 超)、PLL クロック モード (6GHz 未満)、外部クロック モード (6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
SFDR	スプリアス フリー ダイナミック レンジ (ナイキスト ゾーン内)	f_{OUT} = 30 MHz 、f_{DAC} = 6000MSPS、インターリーブ モード、20Gbps SerDes レート		45		dBc
		f_{OUT} = 400 MHz 、f_{DAC} = 6000MSPS、インターリーブ モード、20Gbps SerDes レート		48		dBc
		f_{OUT} = 850MHz、f_{DAC} = 11796.48 MSPS		62		dBc
		f_{OUT} = 1800MHz、f_{DAC} = 11796.48 MSPS		56		dBc
		f_{OUT} = 2600MHz、f_{DAC} = 11796.48 MSPS		39		dBc
		f_{OUT} = 3500MHz、f_{DAC} = 11796.48 MSPS		42		dBc
		f_{OUT} = 4900 MHz、f_{DAC} = 11796.48 MSPS		60		dBc
$f_S/2 - f_{OUT}$	インターリービング イメージ	f_{DAC} = 5898.24MSPS、インターリーブ モード		-47		dBc
		f_{DAC} = 8847.36MSPS、インターリーブ モード		-43		dBc
		f_{DAC} = 11796.48MSPS、インターリーブ モード		-43		dBc
HD2	2 次高調波歪み (ナイキスト ゾーン内)	f_{DAC} = 6 GSPS、f_{out} = 5 MHz		-72		dBc
		f_{DAC} = 6 GSPS、f_{out} = 30 MHz		-75		dBc
		f_{DAC} = 6 GSPS、f_{out} = 100 MHz		-73		dBc
		f_{out} = 400MHz		-46		dBc
		f_{out} = 850MHz		-65		dBc
		f_{out} = 1800MHz		-68		dBc
		f_{out} = 2600MHz		-47		dBc
		f_{out} = 3500MHz		-59		dBc
		f_{out} = 4900MHz		-48		dBc
		f_{out} = 850MHz、A_{OUT} = -12dBFS		-74		dBc
		f_{out} = 1800MHz、A_{OUT} = -12dBFS		-67		dBc
		f_{out} = 2600MHz、A_{OUT} = -12dBFS		-58		dBc
		f_{out} = 3500MHz、A_{OUT} = -12dBFS		-69		dBc
		f_{out} = 4900MHz、A_{OUT} = -12dBFS		-59		dBc

Copyright © 2025 Texas Instruments Incorporated

4.5 トランスミッタの電気的特性 (続き)

T_A = +25°C の代表値、全動作温度範囲は $T_{A,MIN}$ = -40°C ～ $T_{J,MAX}$ = +110°C、TX 入力レート = 491.52MSPS (6GHz および 500MSPS 以下、6GHz 超)、f_{DAC} = 11796.48MSPS (6GHz および 9GSPS 以下、6GHz 超)、PLL クロック モード (6GHz 未満)、外部クロック モード (6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
HD3	3 次高調波歪み (ナイキスト ゾーン内)	f_{DAC} = 6 GSPS、f_{out} = 5 MHz		-46		dBc
		f_{DAC} = 6 GSPS、f_{out} = 30 MHz		-48		dBc
		f_{DAC} = 6 GSPS、f_{out} = 100 MHz		-49		dBc
		f_{DAC} = 6 GSPS、f_{out} = 400 MHz		-49		dBc
		f_{out} = 850MHz		-56		dBc
		f_{out} = 1800MHz		-58		dBc
		f_{out} = 2600MHz		-60		dBc
		f_{out} = 3500MHz		-63		dBc
		f_{out} = 4900MHz		-66		dBc
		f_{DAC} =6 GSPS、f_{out} = 5 MHz、A_{OUT}= -12dBFS		-83		dBc
		f_{DAC} =6 GSPS、f_{out} = 30 MHz、A_{OUT}= -12dBFS		-83		dBc
		f_{DAC} =6 GSPS、f_{out} = 100 MHz、A_{OUT}= -12dBFS		-82		dBc
		f_{DAC} =6 GSPS、f_{out} = 400 MHz、A_{OUT}= -12dBFS		-79		dBc
		f_{out} = 850MHz、A_{OUT} = -12dBFS		-87		dBc
		f_{out} = 1800MHz、A_{OUT} = -12dBFS		-84		dBc
		f_{out} = 2600MHz、A_{OUT} = -12dBFS		-79		dBc
		f_{out} = 3500MHz、A_{OUT} = -12dBFS		-84		dBc
		f_{out} = 4900MHz、A_{OUT} = -12dBFS		-88		dBc

Copyright © 2025 Texas Instruments Incorporated

4.5 トランスミッタの電気的特性 (続き)

T_A = +25°C の代表値、全動作温度範囲は $T_{A,MIN}$ = -40°C ～ $T_{J,MAX}$ = +110°C、TX 入力レート = 491.52MSPS (6GHz および 500MSPS 以下、6GHz 超)、f_{DAC} = 11796.48MSPS (6GHz および 9GSPS 以下、6GHz 超)、PLL クロック モード (6GHz 未満)、外部クロック モード (6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
HDn、n≧4	高調波歪み n≧4 (ナイキスト ゾーン内)	f_{DAC} = 6 GSPS、f_{out} = 5 MHz		-58		dBc
		f_{DAC} = 6 GSPS、f_{out} = 30 MHz		-60		dBc
		f_{DAC} = 6 GSPS、f_{out} = 100 MHz		-61		dBc
		f_{DAC} = 6 GSPS、f_{out} = 400 MHz		-50		dBc
		f_{out} = 850MHz		-85		dBc
		f_{out} = 1800MHz		-90		dBc
		f_{out} = 2600MHz		-84		dBc
		f_{out} = 3500MHz		-86		dBc
		f_{out} = 4900MHz		-87		dBc
		f_{DAC} =6 GSPS、f_{out} = 5 MHz、A_{OUT}= -12dBFS		-92		dBc
		f_{DAC} =6 GSPS、f_{out} = 30 MHz、A_{OUT}= -12dBFS		-94		dBc
		f_{DAC} =6 GSPS、f_{out} = 100 MHz、A_{OUT}= -12dBFS		-93		dBc
		f_{DAC} =6 GSPS、f_{out} = 400 MHz、A_{OUT}= -12dBFS		-85		dBc
		f_{out} = 850MHz、A_{OUT} = -12dBFS		-89		dBc
		f_{out} = 1800MHz、A_{OUT} = -12dBFS		-92		dBc
		f_{out} = 2600MHz、A_{OUT} = -12dBFS		-87		dBc
		f_{out} = 3500MHz、A_{OUT} = -12dBFS		-88		dBc
		f_{out} = 4900MHz、A_{OUT} = -12dBFS		-89		dBc
SFDR +/- 250MHz	+/- 250MHz 以内のスプリアス フリー ダイナミック レンジ	f_{DAC} = 6 GSPS、f_{out} = 400 MHz		87		dBc
		f_{OUT} = 850MHz、f_{DAC} = 11796.48 MSPS		84		dBc
		f_{OUT} = 1800MHz、f_{DAC} = 11796.48 MSPS		78		dBc
		f_{OUT} = 2600MHz、f_{DAC} = 11796.48 MSPS		80		dBc
		f_{OUT} = 3500MHz、f_{DAC} = 11796.48 MSPS		81		dBc
		f_{OUT} = 4900 MHz、f_{DAC} = 11796.48 MSPS		74		dBc
$f_S/4$	固定スプリアス	f_{DAC} = 5898.24MSPS、f_{OUT}=f_{DAC}/4-50MHz		-95		dBFS
		f_{DAC} = 8847.36MSPS、f_{OUT}=f_{DAC}/4-50MHz		-88		dBFS
		f_{DAC} = 11796.48MSPS、f_{OUT}=f_{DAC}/4-50MHz		-76		dBFS

Copyright © 2025 Texas Instruments Incorporated

4.5 トランスミッタの電気的特性 (続き)

T_A = +25°C の代表値、全動作温度範囲は $T_{A,MIN}$ = -40°C ～ $T_{J,MAX}$ = +110°C、TX 入力レート = 491.52MSPS (6GHz および 500MSPS 以下、6GHz 超)、f_{DAC} = 11796.48MSPS (6GHz および 9GSPS 以下、6GHz 超)、PLL クロック モード (6GHz 未満)、外部クロック モード (6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$f_S/2$	固定スプリアス	f_{DAC} = 5898.24MSPS、$f_{OUT}=f_{DAC}/2$-50MHz		-52		dBFS
		f_{DAC} = 8847.36MSPS、$f_{OUT}=f_{DAC}/2$-50MHz		-45		dBFS
		f_{DAC} = 11796.48MSPS、$f_{OUT}=f_{DAC}/2$ ～ 50MHz		-49		dBFS
$3*f_S/4$	固定スプリアス	2 次ナイキスト、f_{DAC} = 5898.24MSPS、f_{OUT}= 3 * $f_{DAC}/4$ -50MHz		-82		dBFS
		2 次ナイキスト、f_{DAC} = 8847.36MSPS、f_{OUT}= 3 * $f_{DAC}/4$ -50MHz		-75		dBFS
		2 次ナイキスト、f_{DAC} = 11796.48MSPS、f_{OUT}= 3 * $f_{DAC}/4$ -50MHz		-49		dBFS
$ACPR_{1xcarr}$	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア f_{OUT} = 0.85GHz	減衰 = 0dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-70		dBc
		減衰 = 20dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-66		dBc
		減衰 = 28dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-62		dBc
		減衰 = 39dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-51		dBc
$ACPR_{1xcarr}$	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア f_{OUT} = 1.8425GHz	減衰 = 0dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-71		dBc
		減衰 = 20dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-66		dBc
		減衰 = 28dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-61		dBc
		減衰 = 39dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-50		dBc
$ACPR_{1xcarr}$	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア f_{OUT} = 2.6GHz	減衰 = 0dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-72		dBc
		減衰 = 20dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-66		dBc
		減衰 = 28dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-60		dBc
		減衰 = 39dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-49		dBc
$ACPR_{1xcarr}$	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア f_{OUT} = 3.5GHz	減衰 = 0dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-71		dBc
		減衰 = 20dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-65		dBc
		減衰 = 28dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-58		dBc
		減衰 = 39dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-47		dBc

Copyright © 2025 Texas Instruments Incorporated

4.5 トランスミッタの電気的特性 (続き)

T_A = +25°C の代表値、全動作温度範囲は $T_{A,MIN}$ = -40°C ～ $T_{J,MAX}$ = +110°C、TX 入力レート = 491.52MSPS (6GHz および 500MSPS 以下、6GHz 超)、f_{DAC} = 11796.48MSPS (6GHz および 9GSPS 以下、6GHz 超)、PLL クロック モード (6GHz 未満)、外部クロック モード (6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$ACPR_{1xcarr}$	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア f_{OUT} = 4.9GHz	減衰 = 0dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-69		dBc
		減衰 = 20dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-64		dBc
		減衰 = 28dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-58		dBc
		減衰 = 39dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-47		dBc
$ACPR_{1xcarr}$	ACPR - 1 キャリア、NR 100MHz E-TM1.1 キャリア f_{OUT} = 2.6GHz	減衰 = 0dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-65		dBc
		減衰 = 20dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-59		dBc
		減衰 = 28dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-53		dBc
		減衰 = 39dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-41		dBc
$ACPR_{1xcarr}$	ACPR - 1 キャリア、NR 100MHz E-TM1.1 キャリア f_{OUT} = 3.5GHz	減衰 = 0dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-63		dBc
		減衰 = 20dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-56		dBc
		減衰 = 28dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-49		dBc
		減衰 = 39dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-38		dBc
$ACPR_{1xcarr}$	ACPR - 1 キャリア、NR 100MHz E-TM1.1 キャリア f_{OUT} = 4.9GHz	減衰 = 0dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-63		dBc
		減衰 = 20dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-56		dBc
		減衰 = 28dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-51		dBc
		減衰 = 39dB、f_{DAC} = 11796.48MSPS、Pout=-13dBFS		-41		dBc
EVM	エラー ベクトル振幅、1x 20MHz E-TM3.1/3.1a、リファレンスなし、クロック ノイズ	F_{out} =0.85 GHz、f_{DAC} = 11796.48MSPS、P_{OUT}=-13dBFs		0.16		%
		F_{out} =1.8425 GHz、f_{DAC} = 11796.48MSPS、P_{OUT}=-13dBFs		0.21		%
		F_{out} =2.6 GHz、f_{DAC} = 11796.48MSPS、P_{OUT}=-13dBFs		0.24		%
		F_{out} = 3.5GHz、P_{OUT} = -13dBFS		0.27		%
		F_{out} = 4.9GHz、P_{OUT} = -13dBFS		0.38		%

Copyright © 2025 Texas Instruments Incorporated

4.5 トランスミッタの電気的特性 (続き)

T_A = +25°C の代表値、全動作温度範囲は $T_{A,MIN}$ = -40°C ～ $T_{J,MAX}$ = +110°C、TX 入力レート = 491.52MSPS (6GHz および 500MSPS 以下、6GHz 超)、f_{DAC} = 11796.48MSPS (6GHz および 9GSPS 以下、6GHz 超)、PLL クロック モード (6GHz 未満)、外部クロック モード (6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NSD_{dBFS}	ノイズ スペクトル密度 20MHz オフセット f_{OUT} = 5MHz	Atten=0dB、f_{DAC} = 6000MSPS、20Gbps SerDes レート、Pout=-12dBFs		-148		dBFS/Hz
		Atten=20dB、f_{DAC} = 6000MSPS、20Gbps SerDes レート、Pout=-12dBFs		-143		dBFS/Hz
		Atten=28dB、f_{DAC} =6000MSPS、20Gbps SerDes レート、Pout=-12dBFs		-139		dBFS/Hz
		Atten=39dB、f_{DAC} = 6000MSPS、20Gbps SerDes レート、Pout=-12dBFs		-129		dBFS/Hz
NSD_{dBFS}	ノイズ スペクトル密度 20MHz オフセット f_{OUT} = 30MHz	Atten=0dB、f_{DAC} = 6000MSPS、20Gbps SerDes レート、Pout=-12dBFs		-154		dBFS/Hz
		Atten=20dB、f_{DAC} = 6000MSPS、20Gbps SerDes レート、Pout=-12dBFs		-146		dBFS/Hz
		Atten=28dB、f_{DAC} =6000MSPS、20Gbps SerDes レート、Pout=-12dBFs		-142		dBFS/Hz
		Atten=39dB、f_{DAC} = 6000MSPS、20Gbps SerDes レート、Pout=-12dBFs		-132		dBFS/Hz
NSD_{dBFS}	ノイズ スペクトル密度 20MHz オフセット f_{OUT} = 100MHz	Atten=0dB、f_{DAC} = 6000MSPS、20Gbps SerDes レート、Pout=-12dBFs		-158		dBFS/Hz
		Atten=20dB、f_{DAC} = 6000MSPS、20Gbps SerDes レート、Pout=-12dBFs		-150		dBFS/Hz
		Atten=28dB、f_{DAC} =6000MSPS、20Gbps SerDes レート、Pout=-12dBFs		-146		dBFS/Hz
		Atten=39dB、f_{DAC} = 6000MSPS、20Gbps SerDes レート、Pout=-12dBFs		-136		dBFS/Hz
NSD_{dBFS}	ノイズ スペクトル密度 20MHz オフセット f_{OUT} = 400MHz	Atten=0dB、f_{DAC} = 6000MSPS、20Gbps SerDes レート、Pout=-12dBFs		-160		dBFS/Hz
		Atten=20dB、f_{DAC} = 6000MSPS、20Gbps SerDes レート、Pout=-12dBFs		-153		dBFS/Hz
		Atten=28dB、f_{DAC} =6000MSPS、20Gbps SerDes レート、Pout=-12dBFs		-150		dBFS/Hz
		Atten=39dB、f_{DAC} = 6000MSPS、20Gbps SerDes レート、Pout=-12dBFs		-139		dBFS/Hz
NSD_{dBFS}	ノイズ スペクトル密度 20MHz オフセット f_{OUT} = 0.85GHz	減衰 = 0dB、f_{DAC} = 5898.24MSPS、Pout = -13dBFS		-158.8		dBFS/Hz
		減衰 = 20dB、f_{DAC} = 5898.24MSPS、Pout = -13dBFS		-152.7		dBFS/Hz
		減衰 = 28dB、f_{DAC} = 5898.24MSPS、Pout = -13dBFS		-148.7		dBFS/Hz
		減衰 = 39dB、f_{DAC} = 5898.24MSPS、Pout = -13dBFS		-137.9		dBFS/Hz

Copyright © 2025 Texas Instruments Incorporated

4.5 トランスミッタの電気的特性 (続き)

T_A = +25°C の代表値、全動作温度範囲は $T_{A,MIN}$ = -40°C ～ $T_{J,MAX}$ = +110°C、TX 入力レート = 491.52MSPS (6GHz および 500MSPS 以下、6GHz 超)、f_{DAC} = 11796.48MSPS (6GHz および 9GSPS 以下、6GHz 超)、PLL クロック モード (6GHz 未満)、外部クロック モード (6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NSD_{dBFS}	ノイズ スペクトル密度 20MHz オフセット f_{OUT} = 1.8GHz	減衰 = 0dB、f_{DAC} = 5898.24MSPS、Pout = -13dBFS		-157.9		dBFS/Hz
		減衰 = 20dB、f_{DAC} = 5898.24MSPS、Pout = -13dBFS		-151.3		dBFS/Hz
		減衰 = 28dB、f_{DAC} = 5898.24MSPS、Pout = -13dBFS		-145.6		dBFS/Hz
		減衰 = 39dB、f_{DAC} = 5898.24MSPS、Pout = -13dBFS		-134.8		dBFS/Hz
NSD_{dBFS}	ノイズ スペクトル密度 20MHz オフセット f_{OUT} = 2.6GHz	減衰 = 0dB、f_{DAC} = 8847.36MSPS、Pout = -13dBFS		-158.3		dBFS/Hz
		減衰 = 20dB、f_{DAC} = 8847.36MSPS、Pout = -13dBFS		-151.6		dBFS/Hz
		減衰 = 28dB、f_{DAC} = 8847.36MSPS、Pout = -13dBFS		-144.9		dBFS/Hz
		減衰 = 39dB、f_{DAC} = 8847.36MSPS、Pout = -13dBFS		-134.0		dBFS/Hz
NSD_{dBFS}	ノイズ スペクトル密度 20MHz オフセット F_{OUT} = 3.5GHz	減衰 = 0dB、f_{DAC} = 11796.48MSPS、Pout = -13dBFS		-158.2		dBFS/Hz
		減衰 = 20dB、f_{DAC} = 11796.48MSPS、Pout = -13dBFS		-150.9		dBFS/Hz
		減衰 = 28dB、f_{DAC} = 11796.48MSPS、Pout = -13dBFS		-144.4		dBFS/Hz
		減衰 = 39dB、f_{DAC} = 11796.48MSPS、Pout = -13dBFS		-133.4		dBFS/Hz
NSD_{dBFS}	ノイズ スペクトル密度 20MHz オフセット F_{OUT} = 4.9GHz	減衰 = 0dB、f_{DAC} = 11796.48MSPS、Pout = -13dBFS		-154.6		dBFS/Hz
		減衰 = 20dB、f_{DAC} = 11796.48MSPS、Pout = -13dBFS		-147.0		dBFS/Hz
		減衰 = 28dB、f_{DAC} = 11796.48MSPS、Pout = -13dBFS		-140.7		dBFS/Hz
		減衰 = 39dB、f_{DAC} = 11796.48MSPS、Pout = -13dBFS		-129.9		dBFS/Hz
S22	出力リターン ロス、+/- fc * 10%	マッチングを使用		-12		dB

Copyright © 2025 Texas Instruments Incorporated

4.5 トランスミッタの電気的特性 (続き)

T_A = +25°C の代表値、全動作温度範囲は $T_{A,MIN}$ = -40°C ～ $T_{J,MAX}$ = +110°C、TX 入力レート = 491.52MSPS (6GHz および 500MSPS 以下、6GHz 超)、f_{DAC} = 11796.48MSPS (6GHz および 9GSPS 以下、6GHz 超)、PLL クロック モード (6GHz 未満)、外部クロック モード (6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
絶縁	ファー チャネル: 2TXOUT から 4TXOUT	f_{out} = 10 MHz、f_{DAC} =6000MSPS、ストレート モード(2)		-104		dB
		f_{out} = 30 MHz、f_{DAC} = 6000MSPS、ストレート モード(2)		-100		dB
		f_{out} = 100 MHz、f_{DAC} = 6000MSPS、ストレート モード(2)		-105		dB
		f_{out} = 400 MHz、f_{DAC} = 6000MSPS、ストレート モード(3)		-97		dB
		f_{OUT} = 900MHz、f_{DAC} = 8847.36MSPS、ストレート モード		-90		dB
		f_{out} = 1850 MHz、f_{DAC} = 8847.36MSPS、ストレート モード		-91		dB
		f_{out} = 2600 MHz、f_{DAC} = 8847.36MSPS、ストレート モード		-93		dB
		f_{out} = 3500 MHz、f_{DAC} = 8847.36MSPS、ストレート モード		-94		dB
		f_{out} = 4900MHz、f_{DAC} = 8847.36MSPS、ストレート モード		-83.2		dB
PN_{TXADD}	追加の位相ノイズの外部クロック モード (4)	f_{OUT} = 3.7GHz、f_{OFFSET} = 100Hz		-97		dBc/Hz
		f_{OUT} = 3.7GHz、f_{OFFSET} = 1kHz		-106		dBc/Hz
		f_{OUT} = 3.7GHz、f_{OFFSET} = 10kHz		-117		dBc/Hz
		f_{OUT} = 3.7GHz、f_{OFFSET} = 100kHz		-128		dBc/Hz
		f_{OUT} = 3.7GHz、f_{OFFSET} = 1MHz		-138		dBc/Hz
		f_{OUT} = 3.7GHz、f_{OFFSET} = 10MHz		-144		dBc/Hz

(1) DSA キャリブレーション手順の後
(2) 1µH の DC フィード インダクタを使用して測定
(3) 0.39µH の DC フィード インダクタを使用して測定
(4) 入力クロック位相ノイズを減算しました。

Copyright © 2025 Texas Instruments Incorporated

4.6 RF ADC の電気的特性

T_A = +25℃ での代表値、全動作温度範囲は $T_{A,\ MIN}$ = -40℃～$T_{J,\ MAX}$ = +110℃、RX 出力レート = 491.52MSPS および 500MSPS (6GHz 超)、f_{ADC} = 2949.12MSPS (6GHz)、f_{ADC} = 3000MSPS (6GHz 超)、PLL クロック モードは f_{REF} = 491.52MHz (入力周波数 6GHz 未満)、外部クロック モードは f_{CLK} = 9GHz (入力周波数 6GHz 超)、公称電源、DSA 設定 = 3dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
ADC_{RES}	ADC の分解能			14		ビット
F_{RFin}	RF 入力周波数範囲		5		7400	MHz
$P_{FS_CW,min}$	デバイス ピンでの最小フルスケール入力電力 (1)	f_{IN} = 5MHz、DSA = 0dB、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		-0.4		dBm
		f_{IN} = 30MHz、DSA = 0dB、f_{ADC} = 1500MSPS、f_{NCO} = 30MHz、24 でデシメーション		-2.2		dBm
		f_{IN} = 410MHz、DSA = 0dB、f_{ADC} = 3000MSPS、f_{NCO} = 400MHz、12 でデシメーション		-2.5		dBm
		f_{IN} = 830MHz、DSA = 0dB		-2.9		dBm
		f_{IN} = 1760MHz、DSA = 0dB		-2.8		dBm
		f_{IN} = 2610MHz、DSA = 0dB		-1.8		dBm
		f_{IN} = 3610MHz、DSA = 0dB		-0.4		dBm
		f_{IN} = 4910MHz、DSA = 0dB		0.1		dBm
R_{TERM}	入力リファレンス インピーダンス			100.0		Ω
ATT_{range}	DSA 減衰範囲			25.0		dB
ATT_{step}	DSA 減衰ステップ			0.5		dB
	DSA 減衰ステップ精度	デルタ = Gatt(X) - Gatt(X - 1)、F_{in} = 3610MHz、キャリブレーション後		0.1		dB
	DSA ゲイン ステップ位相精度 任意の 8dB レンジ	F_{in} = 3610MHz、キャリブレーション後		0.9		度
	DSA ゲイン ステップ位相精度 任意の 8dB レンジ	F_{in} = 4910MHz、キャリブレーション後		1.8		度
G_{flat}	ゲイン平坦性	80MHz 帯域幅で測定		0.2		dB
		200MHz 帯域幅で測定		0.5		dB
		400MHz 帯域幅で測定		1.1		dB

Copyright © 2025 Texas Instruments Incorporated

4.6 RF ADC の電気的特性 (続き)

T_A = +25℃ での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、RX 出力レート = 491.52MSPS および 500MSPS (6GHz 超)、f_{ADC} = 2949.12MSPS (6GHz)、f_{ADC} = 3000MSPS (6GHz 超)、PLL クロック モードは f_{REF} = 491.52MHz (入力周波数 6GHz 未満)、外部クロック モードは f_{CLK} = 9GHz (入力周波数 6GHz 超)、公称電源、DSA 設定 = 3dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NSD	ノイズ密度[3] (小信号 = -30dBFS)	f_{IN} = 5MHz、DSA = 3dB、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		-147.1		dBFS/Hz
		f_{IN} = 30MHz、DSA = 3dB、f_{ADC} = 1500MSPS、f_{NCO} = 30MHz、24 でデシメーション		-150.7		dBFS/Hz
		f_{IN} = 410MHz、DSA = 3dB、f_{ADC} = 3000MSPS、f_{NCO} = 400MHz、24 でデシメーション		-155.4		dBFS/Hz
		f_{IN} = 830MHz、DSA = 3dB		-156.2		dBFS/Hz
		f_{IN} = 1760MHz、DSA = 3dB		-156.0		dBFS/Hz
		f_{IN} = 2610MHz、DSA = 3dB		-155.4		dBFS/Hz
		f_{IN} = 3610MHz、DSA = 3dB		-155.1		dBFS/Hz
		f_{IN} = 4910MHz、DSA = 3dB		-155.1		dBFS/Hz
		f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション、3 <= 減衰 <= 22		-147.8		dBFS/Hz
		f_{IN} = 30MHz、f_{ADC} = 1500MSPS、f_{NCO} = 30MHz、24 でデシメーション、3 <= 減衰 <= 22		-151.5		dBFS/Hz
		f_{IN} = 410MHz、3 <= 減衰 <= 22、f_{ADC} = 3000MSPS、f_{NCO} = 400MHz、24 でデシメーション		-156.6		dBFS/Hz
		f_{IN} = 830MHz、3≦減衰≦22		-156.0		dBFS/Hz
		f_{IN} = 1760MHz、3≦減衰≦25		-155.8		dBFS/Hz
		f_{IN} = 2610MHz、3≦減衰≦25		-155.7		dBFS/Hz
		f_{IN} = 3610MHz、3≦減衰≦25		-155.4		dBFS/Hz
		f_{IN} = 4910MHz、3≦減衰≦25		-155.8		dBFS/Hz
NF_{min}	ノイズ指数最小値 DSA 減衰 = 0～3dB	f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		29.4		dB
		f_{IN} = 30MHz、f_{ADC} = 1500MSPS、f_{NCO} = 30MHz、24 でデシメーション		24.5		dB
		f_{IN} = 410MHz、f_{ADC} = 3000MSPS、f_{NCO} = 400MHz、24 でデシメーション		19.3		dB
		f_{IN} = 830MHz		19.1		dB
		f_{IN} = 1760MHz		19.0		dB
		f_{IN} = 2610MHz		20.9		dB
		f_{IN} = 3610MHz		22.8		dB
		f_{IN} = 4910MHz		22.4		dB

Copyright © 2025 Texas Instruments Incorporated

4.6 RF ADC の電気的特性 (続き)

T_A = +25℃ での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、RX 出力レート = 491.52MSPS および 500MSPS (6GHz 超)、f_{ADC} = 2949.12MSPS (6GHz)、f_{ADC} = 3000MSPS (6GHz 超)、PLL クロック モードは f_{REF} = 491.52MHz (入力周波数 6GHz 未満)、外部クロック モードは f_{CLK} = 9GHz (入力周波数 6GHz 超)、公称電源、DSA 設定 = 3dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NF	ノイズ指数[4] DSA 減衰 = 4dB	f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		30.6		dB
		f_{IN} = 30MHz、f_{ADC} = 1500MSPS、f_{NCO} = 30MHz、24 でデシメーション		25.1		dB
		f_{IN} = 410MHz、f_{ADC} = 3000MSPS、f_{NCO} = 400MHz、24 でデシメーション		20.1		dB
		f_{IN} = 830MHz		20.0		dB
		f_{IN} = 1760MHz		20.6		dB
		f_{IN} = 2610MHz		21.9		dB
		f_{IN} = 3610MHz		23.5		dB
		f_{IN} = 4910MHz		22.3		dB
NF_{max}	ノイズ指数 DSA 減衰 = 20dB	f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		45.9		dB
		f_{IN} = 30MHz、f_{ADC} = 1500MSPS、f_{NCO} = 30MHz、24 でデシメーション		40.2		dB
		f_{IN} = 410MHz、f_{ADC} = 3000MSPS、f_{NCO} = 400MHz、24 でデシメーション		35.0		dB
		f_{IN} = 830MHz		34.7		dB
		f_{IN} = 1760MHz		35.2		dB
		f_{IN} = 2610MHz		36.0		dB
		f_{IN} = 3610MHz		37.3		dB
		f_{IN} = 4910MHz		37.6		dB
IMD3	第 3 次インターモジュレーション : f_{IN} ± 10MHz の 2 トーン (各トーン –7dBFS)	f_{IN} = 30±1 MHz、f_{ADC} = 1500MSPS、f_{NCO} = 30MHz、24 でデシメーション		-82		dBc
		f_{IN} = 400MHz および 405MHz、f_{ADC} = 3000MSPS、f_{NCO} = 400MHz、24 でデシメーション		-75		dBc
		f_{IN} = 840MHz		-82		dBc
		f_{IN} = 1770MHz		-84		dBc
		f_{IN} = 2610MHz		-74		dBc
		f_{IN} = 3610MHz		-77		dBc
		f_{IN} = 4920MHz		-76		dBc

Copyright © 2025 Texas Instruments Incorporated

4.6 RF ADC の電気的特性 (続き)

T_A = +25℃ での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、RX 出力レート = 491.52MSPS および 500MSPS (6GHz 超)、f_{ADC} = 2949.12MSPS (6GHz)、f_{ADC} = 3000MSPS (6GHz 超)、PLL クロック モードは f_{REF} = 491.52MHz (入力周波数 6GHz 未満)、外部クロック モードは f_{CLK} = 9GHz (入力周波数 6GHz 超)、公称電源、DSA 設定 = 3dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
SFDR	スプリアス フリー ダイナミック レンジ 出力帯域幅内、A_{IN} = -3dBFS	f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		78		dBFS
		f_{IN} = 30MHz、f_{ADC} = 1500MSPS、f_{NCO} = 30MHz、24 でデシメーション		100		dBFS
		f_{IN} = 410MHz、f_{ADC} = 3000MSPS、f_{NCO} = 400MHz、24 でデシメーション		94		dBFS
		f_{IN} = 830MHz		88		dBFS
		f_{IN} = 1760MHz		81		dBFS
		f_{IN} = 2610MHz		88		dBFS
		f_{IN} = 3610MHz		84		dBFS
		f_{IN} = 4910MHz		79		dBFS
HD2	2 次高調波歪み A_{IN} = -3dBFS(2)	f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		-84		dBFS
		f_{IN} = 30 MHz、f_{ADC} = 1500MSPS、バイパス モード (TI 専用テスト モード)		-91		dBFS
		f_{IN} = 410 MHz、f_{ADC} = 3000MSPS、バイパス モード (TI 専用テスト モード)		-90		dBFS
		f_{IN} = 830MHz		-86		dBFS
		f_{IN} = 1760MHz		-90		dBFS
		f_{IN} = 2610MHz		-88		dBFS
		f_{IN} = 3610MHz		-87		dBFS
		f_{IN} = 4910MHz		-84		dBFS
HD3	3 次高調波歪み A_{IN} = -3dBFS	f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		-78		dBFS
		f_{IN} = 30 MHz、f_{ADC} = 1500MSPS、バイパス モード (TI 専用テスト モード)		-96		dBFS
		f_{IN} = 410 MHz、f_{ADC} = 3000MSPS、バイパス モード (TI 専用テスト モード)		-94		dBFS
		f_{IN} = 830MHz		-80		dBFS
		f_{IN} = 1760MHz		-85		dBFS
		f_{IN} = 2610MHz		-86		dBFS
		f_{IN} = 3610MHz		-78		dBFS
		f_{IN} = 4910MHz		-75		dBFS

Copyright © 2025 Texas Instruments Incorporated

4.6 RF ADC の電気的特性 (続き)

T_A = +25℃ での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、RX 出力レート = 491.52MSPS および 500MSPS (6GHz 超)、f_{ADC} = 2949.12MSPS (6GHz)、f_{ADC} = 3000MSPS (6GHz 超)、PLL クロック モードは f_{REF} = 491.52MHz (入力周波数 6GHz 未満)、外部クロック モードは f_{CLK} = 9GHz (入力周波数 6GHz 超)、公称電源、DSA 設定 = 3dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
HDn、n > 3	HD2 と HD3 を除く SFDR A_{IN} = -3dBFS	f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		-94		dBFS
		f_{IN} = 30MHz、f_{ADC} = 1500MSPS、f_{NCO} = 30MHz、24 でデシメーション		-94		dBFS
		f_{IN} = 410MHz、f_{ADC} = 3000MSPS、f_{NCO} = 400MHz、24 でデシメーション		-94		dBFS
		f_{IN} = 830MHz		-88		dBFS
		f_{IN} = 1760MHz		-81		dBFS
		f_{IN} = 2610MHz		-88		dBFS
		f_{IN} = 3610MHz		-84		dBFS
		f_{IN} = 4910MHz		-82		dBFS
SFDR	スプリアス フリー ダイナミック レンジ A_{IN} = -13 dBFS	f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		101		dBFS
		f_{IN} = 30MHz、f_{ADC} = 1500MSPS、f_{NCO} = 30MHz、24 でデシメーション		105		dBFS
		f_{IN} = 410MHz、f_{ADC} = 3000MSPS、f_{NCO} = 400MHz、24 でデシメーション		95		dBFS
		f_{IN} = 830MHz		89		dBFS
		f_{IN} = 1760MHz		89		dBFS
		f_{IN} = 2610MHz		95		dBFS
		f_{IN} = 3610MHz		87		dBFS
		f_{IN} = 4910MHz		90		dBFS
HD2	2 次高調波歪み[2] A_{IN} = -13 dBFS	f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		-104		dBFS
		f_{IN} = 30 MHz、f_{ADC} = 1500MSPS、バイパス モード (TI 専用テスト モード)		-91		dBFS
		f_{IN} = 410 MHz、f_{ADC} = 3000MSPS、バイパス モード (TI 専用テスト モード)		-104		dBFS
		f_{IN} = 830MHz、基板トリムを使用		-79		dBFS
		f_{IN} = 1760MHz、基板トリムを使用		-102		dBFS
		f_{IN} = 2610MHz、基板トリムを使用		-100		dBFS
		f_{IN} = 3610MHz、基板トリムを使用		-101		dBFS
		f_{IN} = 4910MHz、基板トリムを使用		-99		dBFS

Copyright © 2025 Texas Instruments Incorporated

4.6 RF ADC の電気的特性 (続き)

T_A = +25℃ での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、RX 出力レート = 491.52MSPS および 500MSPS (6GHz 超)、f_{ADC} = 2949.12MSPS (6GHz)、f_{ADC} = 3000MSPS (6GHz 超)、PLL クロック モードは f_{REF} = 491.52MHz (入力周波数 6GHz 未満)、外部クロック モードは f_{CLK} = 9GHz (入力周波数 6GHz 超)、公称電源、DSA 設定 = 3dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
HD3	3 次高調波歪み A_{IN} = -13dBFS	f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		-103		dBFS
		f_{IN} = 30 MHz、f_{ADC} = 1500MSPS、バイパス モード (TI 専用テスト モード)		-84		dBFS
		f_{IN} = 381 MHz、f_{ADC} = 3000MSPS、バイパス モード (TI 専用テスト モード)		-91		dBFS
		f_{IN} = 830MHz		-95		dBFS
		f_{IN} = 1760MHz		-95		dBFS
		f_{IN} = 2610MHz		-98		dBFS
		f_{IN} = 3610MHz		-97		dBFS
		f_{IN} = 4910MHz		-94		dBFS
HDn、n > 3	HD2 と HD3 を除く SFDR A_{IN} = -13dBFS	f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		-104		dBFS
		f_{IN} = 30MHz、f_{ADC} = 1500MSPS、f_{NCO} = 30MHz、24 でデシメーション		-105		dBFS
		f_{IN} = 410MHz、f_{ADC} = 3000MSPS、f_{NCO} = 400MHz、24 でデシメーション		-95		dBFS
		f_{IN} = 830MHz		-89		dBFS
		f_{IN} = 1760MHz		-89		dBFS
		f_{IN} = 2610MHz		-95		dBFS
		f_{IN} = 3610MHz		-90		dBFS
		f_{IN} = 4910MHz		-90		dBFS
TX-RX 絶縁	2TXOUT から 1RXIN 4TXOUT から 3RXIN	f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		-105		dB
		f_{IN} = 30MHz、f_{ADC} = 1500MSPS、f_{NCO} = 30MHz、24 でデシメーション		-101		dB
		f_{IN} = 400MHz		-99		dB
		f_{IN} = 830MHz		-86		dB
		f_{IN} = 1760MHz		-87		dB
		f_{IN} = 2610MHz		-84		dB
		f_{IN} = 3610MHz		-82		dB
		f_{IN} = 4910MHz		-82		dB

(1) DSA にデジタル ゲイン範囲を追加して DSA の有効範囲を拡張することで、最小減衰でのフルスケール入力を低減できます。デジタル ゲイン範囲全体にわたってノイズ指数は一定に保たれます。
(2) 特定のプリント基板で HD2 トリムを実施した後。
(3) DSA = 3dB～0dB まで、NSD は DSA dB あたり 1dB 上昇
(4) DSA = 3dB 超では、NF は DSA 1dB あたり 1dB 上昇

Copyright © 2025 Texas Instruments Incorporated

4.7 PLL / VCO / クロックの電気的特性

TA = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、リファレンス クロック入力周波数 491.52MHz (特に記述のない限り)、f_{DAC} = f_{VCO}、f_{OUT} = f_{DAC}/4、f_{VCO} に正規化

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{VCO1}	VCO1 の最小周波数				7.2	GHz
	VCO1 の最大周波数		7.68			GHz
f_{VCO2}	VCO2 の最小周波数				8.848	GHz
	VCO2 の最大周波数		9.216			GHz
f_{VCO3}	VCO3 の最小周波数				9.8304	GHz
	VCO3 の最大周波数		10.24			GHz
f_{VCO4}	VCO4 の最小周波数				11.7965	GHz
	VCO4 の最大周波数		12.288			GHz
DIV_{DAC}	DAC サンプル レート分周器			1、2、または 3		
DIV_{RXADC}				1、2、3、4、6、または 8		
PN_{VCO}	閉ループ位相ノイズ (F_{PLL} = 11.79848GHz、F_{REF} = 491.52MHz)	600kHz		-113		dBc/Hz
		800kHz		-116		dBc/Hz
		1MHz		-119		dBc/Hz
		1.8MHz		-125		dBc/Hz
		5MHz		-133		dBc/Hz
		50MHz		-141		dBc/Hz
	閉ループ位相ノイズ (F_{PLL} = 8.84736GHz、F_{REF} = 491.52MHz)	600kHz		-114		dBc/Hz
		800kHz		-118		dBc/Hz
		1MHz		-120		dBc/Hz
		1.8MHz		-127		dBc/Hz
		5MHz		-135		dBc/Hz
		50MHz		-142		dBc/Hz
	閉ループ位相ノイズ (F_{PLL} = 9.8403GHz、F_{REF} = 491.52MHz)	600kHz		-113		dBc/Hz
		800kHz		-116		dBc/Hz
		1MHz		-119		dBc/Hz
		1.8MHz		-125		dBc/Hz
		5MHz		-134		dBc/Hz
		50MHz		-140		dBc/Hz
	閉ループ位相ノイズ (F_{PLL} = 7.86432GHz、F_{REF} = 491.52MHz)	600kHz		-116		dBc/Hz
		800kHz		-119		dBc/Hz
		1MHz		-122		dBc/Hz
		1.8MHz		-127		dBc/Hz
		5MHz		-136		dBc/Hz
		50MHz		-143		dBc/Hz
F_{rms}	クロック PLL 積分位相誤差 (1)	f_{PLL} = 11.79848GHz、[1kHz、100MHz]		-43.4		dBc/Hz
		f_{PLL} = 8.8536GHz、[1kHz、100MHz]		-47.6		dBc/Hz
		f_{PLL} = 9.8304GHz、[1kHz、100MHz]		-46.2		dBc/Hz
f_{PFD}	PFD 周波数		100		500	MHz
PN_{pll_flat}	正規化された PLL フラット ノイズ	f_{VCO} = 11796.48MHz		-226.5		dBc/Hz

Copyright © 2025 Texas Instruments Incorporated

4.7 PLL / VCO / クロックの電気的特性 (続き)

TA = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、リファレンス クロック入力周波数 491.52MHz (特に記述のない限り)、f_{DAC} = f_{VCO}、f_{OUT} = f_{DAC}/4、f_{VCO} に正規化

パラメータ		テスト条件	最小値	標準値	最大値	単位
F_{REF}	入力クロック周波数		0.1		12	GHz
V_{SS}	入力クロック レベル		0.6		1.8	Vppdiff
結合				AC 結合のみ		
	REFCLK 入力インピーダンス (2)	並列抵抗		100		Ω
		並列容量		0.5		pF

(1) シングル サイドバンド。リファレンス クロックの影響は含まれません
(2) インピーダンスと周波数との関係については、テキサス・インスツルメンツが提供している S11 データを参照してください

Copyright © 2025 Texas Instruments Incorporated

4.8 デジタルの電気的特性

TA = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
CML SerDes 入力 [8:1]SRX+/-						
V_{SRDIFF}	SerDes レシーバ入力振幅	差動	100		1200	mVpp
V_{SRCOM}	SerDes 入力コモン モード			400		mV
Z_{SRdiff}	SerDes 内部差動終端 (1)			100		Ω
F_{SerDes}	SerDes ビット レート	フル レート モード	19		29.5	Gbps
		ハーフ レート モード	9.5		16.25	
		クォーター レート モード	4.75		8.125	
		1/8th	2.375		4.062	
		1/16th	1.1875		2.031	
	挿入損失許容 (2)	SerDes 電源 = 1.8V		25		dB
TJ	総ジッタ許容				0.42	UI
CML SerDes 出力 [8:1]STX+/-						
V_{STDIFF}	SerDes トランスミッタ出力振幅	差動	500		1000	mVpp
V_{STCOM}	SerDes 出力コモン モード		0.4	0.45	0.55	V
Z_{STdiff}	SerDes 出力インピーダンス			100		Ω
TRF	出力の立ち上がりおよび立ち下がり時間	20～80%	8			ps
TEQS	イコライゼーション範囲				7	dB
TTJ	出力の総ジッタ				0.21	UI
CMOS I/O:GPIO{B/C/D/E}x、SPICLK、SPISDIO、SPISDO、SPISEN、RESETZ、BISTB0、BISTB1						
V_{IH}	High レベル入力電圧		0.6×VDD1P8GPIO			V
V_{IL}	Low レベル入力電圧				0.4×VDD1P8GPIO	V
I_{IH}	High レベル入力電流		-250		250	µA
I_{IL}	Low レベル入力電流		-250		250	µA
C_L	CMOS 入力容量			2		pF
V_{OH}	High レベル入力電圧		VDD1P8GPIO–0.2			V
V_{OL}	Low レベル入力電圧				0.2	V
差動入力:SYSREF+/- モード A						
$F_{SYSREFMAX}$	SYSREF 入力周波数最大値			40		MHz
$V_{SWINGSRMAX}$	SYSREF 入力スイング最大値			1.8		Vppdiff(3)
$V_{SWINGSRMIN}$	SYSREF 入力スイング最小値	f_{REF} < 500MHz		0.3		Vppdiff(3)
$V_{SWINGSRMIN}$	SYSREF 入力スイング最小値	f_{REF} > 500MHz		0.6		Vppdiff(3)
$V_{COMSRMAX}$	SYSREF 入力コモン モード電圧最大値			0.8		V
$V_{COMSRMIN}$	SYSREF 入力コモン モード電圧最小値			0.6		V
Z_T	入力の終端	差動		100 (1)		Ω
C_L	入力容量	各ピンから GND		0.5		pF
LVDS 入力:0SYNCIN+/- および 1SYNCIN+/-						
V_{ICOM}	入力コモン モード電圧			1.2		V
V_{ID}	差動入力電圧スイング			450		Vppdiff(3)
Z_T	入力の終端	差動		100		Ω

Copyright © 2025 Texas Instruments Incorporated

4.8 デジタルの電気的特性 (続き)

TA = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
LVDS 出力:0SYNCOUT+/- および 1SYNCOUT+/-						
V_{OCOM}	出力コモン モード電圧			1.2		V
V_{OD}	差動出力電圧スイング			500		Vppdiff(3)
Z_T	内部終端			100		Ω

(1) SYSREF 終端は 100Ω、150Ω、300Ω の間で設定可能です。
(2) 損失許容はバンプ間の STX から SRX です。
(3) Vppdiff は最大差動電圧 (正の値) と最小差動電圧 (負の値) の差です。

Copyright © 2025 Texas Instruments Incorporated

4.9 電源の電気的特性

特に記述のない限り、T_A = +25℃ での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃ ～ $T_{J,MAX}$ = +110℃、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps。

パラメータ		テスト条件	最小値 標準値 最大値	単位
I_{VDD1P8}	グループ 3A：VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 1a：2T2R - TDD、50%/50% デューティ サイクル TX：125MSPS 入力、24x Int、f_{DAC} = 3GSPS RX：f_{ADC} = 1.5GSPS、12x Dec、125MSPS 出力 $f_{OUT} = f_{IN}$ = 400MHz SerDes：8b/10b、10Gbps TX/RX LMFS：1-4-8-1	260	mA
	グループ 3B：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		297	mA
	グループ 3C：VDD1P8PLL + VDD1P8PLLVCO		70	mA
I_{VDD1P2}	グループ 2A：VDD1P2FB + VDD1P2RX		89	mA
	グループ 2B：VDD1P2TXCLK + VDD1P2TXENC		288	mA
	グループ 2C：VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF		76	mA
I_{VDD0P9}	グループ 1A：DVDD0P9 + VDDT0P9		536	mA
P_{diss}	電力散逸		2166	mW
I_{VDD1P8}	グループ 3A：VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 1b：2T2R - TX アクティブ、RX スタンバイ、 TX：125MSPS 入力、24x Int、f_{DAC} = 3GSPS RX：f_{ADC} = 1.5GSPS、12x Dec、125MSPS 出力 $f_{OUT} = f_{IN}$ = 400MHz SerDes：8b/10b、10Gbps TX/RX LMFS：1-4-8-1	205	mA
	グループ 3B：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		282	mA
	グループ 3C：VDD1P8PLL + VDD1P8PLLVCO		71	mA
I_{VDD1P2}	グループ 2A：VDD1P2FB + VDD1P2RX		21	mA
	グループ 2B：VDD1P2TXCLK + VDD1P2TXENC		365	mA
	グループ 2C：VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF		76	mA
I_{VDD0P9}	グループ 1A：DVDD0P9 + VDDT0P9		499	mA
P_{diss}	電力散逸		2014	mW
I_{VDD1P8}	グループ 3A：VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 1c：2T2R - RX アクティブ、TX スタンバイ TX：125MSPS 入力、24x Int、f_{DAC} = 3GSPS RX：f_{ADC} = 1.5GSPS、12x Dec、125MSPS 出力 $f_{OUT} = f_{IN}$ = 400MHz SerDes：8b/10b、10Gbps TX/RX LMFS：1-4-8-1	315	mA
	グループ 3B：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		313	mA
	グループ 3C：VDD1P8PLL + VDD1P8PLLVCO		70	mA
I_{VDD1P2}	グループ 2A：VDD1P2FB + VDD1P2RX		157	mA
	グループ 2B：VDD1P2TXCLK + VDD1P2TXENC		211	mA
	グループ 2C：VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF		76	mA
I_{VDD0P9}	グループ 1A：DVDD0P9 + VDDT0P9		573	mA
P_{diss}	電力散逸		2318	mW

Copyright © 2025 Texas Instruments Incorporated

4.9 電源の電気的特性 (続き)

特に記述のない限り、T_A = +25℃ での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃ ～ $T_{J,MAX}$ = +110℃、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VDD1P8}	グループ 3A：VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 2：2T2R - FDD TX：125MSPS 入力、24x Int、f_{DAC} = 3GSPS RX：f_{ADC} = 1.5GSPS、12x Dec、125MSPS 出力 f_{OUT} = 400MHz、f_{IN} = 500MHz SerDes：8B/10b、10Gbps TX/RX LMFS：1-4-8-1		458		mA
	グループ 3B：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			335		mA
	グループ 3C：VDD1P8PLL + VDD1P8PLLVCO			71		mA
I_{VDD1P2}	グループ 2A：VDD1P2FB + VDD1P2RX			158		mA
	グループ 2B：VDD1P2TXCLK + VDD1P2TXENC			386		mA
	グループ 2C：VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			77		mA
I_{VDD0P9}	グループ 1A：DVDD0P9 + VDDT0P9			728		mA
P_{diss}	電力散逸			2974		mW
I_{VDD1P8}	グループ 3A：VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 3a：2T2R - TDD、50%/50% デューティ サイクル TX：500MSPS 入力、24x Int、f_{DAC} = 12GSPS RX：f_{ADC} = 3GSPS、6x Dec、500MSPS 出力 f_{OUT} = f_{IN} = 3.5GHz SerDes：8b/20b、10Gbps TX/RX LMFS：2-4-4-1		307		mA
	グループ 3B：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			321		mA
	グループ 3C：VDD1P8PLL + VDD1P8PLLVCO			73		mA
I_{VDD1P2}	グループ 2A：VDD1P2FB + VDD1P2RX			157		mA
	グループ 2B：VDD1P2TXCLK + VDD1P2TXENC			397		mA
	グループ 2C：VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			89		mA
I_{VDD0P9}	グループ 1A：DVDD0P9 + VDDT0P9			1108		mA
P_{diss}	電力散逸			3047		mW
I_{VDD1P8}	グループ 3A：VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 3b：2T2R - TX アクティブ、RX スタンバイ TX：500MSPS 入力、24x Int、f_{DAC} = 12GSPS RX：f_{ADC} = 3GSPS、6x Dec、500MSPS 出力 f_{OUT} = f_{IN} = 3.5GHz SerDes：8b/20b、10Gbps TX/RX LMFS：2-4-4-1		266		mA
	グループ 3B：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			293		mA
	グループ 3C：VDD1P8PLL + VDD1P8PLLVCO			73		mA
I_{VDD1P2}	グループ 2A：VDD1P2FB + VDD1P2RX			26		mA
	グループ 2B：VDD1P2TXCLK + VDD1P2TXENC			545		mA
	グループ 2C：VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			89		mA
I_{VDD0P9}	グループ 1A：DVDD0P9 + VDDT0P9			1061		mA
P_{diss}	電力散逸			2899		mW

Copyright © 2025 Texas Instruments Incorporated

4.9 電源の電気的特性 (続き)

特に記述のない限り、T_A = +25℃ での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃ ～ $T_{J,MAX}$ = +110℃、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps。

パラメータ		テスト条件	最小値 標準値 最大値	単位
I_{VDD1P8}	グループ 3A：VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 3c：2T2R - RX アクティブ、TX スタンバイ TX：500MSPS 入力、24x Int、f_{DAC} = 12GSPS RX：f_{ADC} = 3GSPS、6x Dec、500MSPS 出力 f_{OUT} = f_{IN} = 3.5GHz SerDes：8b/20b、10Gbps TX/RX LMFS：2-4-4-1	349	mA
	グループ 3B：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		350	mA
	グループ 3C：VDD1P8PLL + VDD1P8PLLVCO		73	mA
I_{VDD1P2}	グループ 2A：VDD1P2FB + VDD1P2RX		287	mA
	グループ 2B：VDD1P2TXCLK + VDD1P2TXENC		248	mA
	グループ 2C：VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF		89	mA
I_{VDD0P9}	グループ 1A：DVDD0P9 + VDDT0P9		1155	mA
P_{diss}	電力散逸		3195	mW
I_{VDD1P8}	グループ 3A：VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 4：2T2R - FDD TX：500MSPS 入力、24x Int、f_{DAC} = 12GSPS RX：f_{ADC} = 3GSPS、6x Dec、500MSPS 出力 f_{OUT} = 3.5GHz、f_{IN} = 3.7GHz SerDes：8b/20b、10Gbps TX/RX LMFS：2-4-4-1	550	mA
	グループ 3B：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		371	mA
	グループ 3C：VDD1P8PLL + VDD1P8PLLVCO		73	mA
I_{VDD1P2}	グループ 2A：VDD1P2FB + VDD1P2RX		288	mA
	グループ 2B：VDD1P2TXCLK + VDD1P2TXENC		567	mA
	グループ 2C：VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF		89	mA
I_{VDD0P9}	グループ 1A：DVDD0P9 + VDDT0P9		1568	mA
P_{diss}	電力散逸		4354	mW
I_{VDD1P8}	グループ 3A：VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 5a：2T2R - TDD、50%/50% デューティ サイクル TX：デュアル 125MSPS 入力、48x Int、f_{DAC} = 6GSPS、混在モード RX：デュアル f_{ADC} = 3GSPS、24x Dec、125MSPS 出力 f_{OUT} = f_{IN} = 3.5GHz SerDes：8b/20b、10Gbps TX/RX LMFS：1-8-16-1	307	mA
	グループ 3B：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		312	mA
	グループ 3C：VDD1P8PLL + VDD1P8PLLVCO		73	mA
I_{VDD1P2}	グループ 2A：VDD1P2FB + VDD1P2RX		157	mA
	グループ 2B：VDD1P2TXCLK + VDD1P2TXENC		370	mA
	グループ 2C：VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF		88	mA
I_{VDD0P9}	グループ 1A：DVDD0P9 + VDDT0P9		1051	mA
P_{diss}	電力散逸		2948	mW

Copyright © 2025 Texas Instruments Incorporated

4.9 電源の電気的特性 (続き)

特に記述のない限り、T_A = +25℃ での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃ ～ $T_{J,MAX}$ = +110℃、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps。

パラメータ		テスト条件	最小値 標準値 最大値	単位
I_{VDD1P8}	グループ 3A：VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 5b：2T2R - TX アクティブ、RX スタンバイ TX：デュアル 125MSPS 入力、48x Int、f_{DAC} = 6GSPS、混在モード RX：デュアル f_{ADC} = 3GSPS、24x Dec、125MSPS 出力 $f_{OUT} = f_{IN}$ = 3.5GHz SerDes：8b/20b、10Gbps TX/RX LMFS：1-8-16-1	265	mA
	グループ 3B：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		284	mA
	グループ 3C：VDD1P8PLL + VDD1P8PLLVCO		73	mA
I_{VDD1P2}	グループ 2A：VDD1P2FB + VDD1P2RX		26	mA
	グループ 2B：VDD1P2TXCLK + VDD1P2TXENC		507	mA
	グループ 2C：VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF		88	mA
I_{VDD0P9}	グループ 1A：DVDD0P9 + VDDT0P9		969	mA
P_{diss}	電力散逸		2749	mW
I_{VDD1P8}	グループ 3A：VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 5c：2T2R - RX アクティブ、TX スタンバイ TX：デュアル 125MSPS 入力、48x Int、f_{DAC} = 6GSPS、混在モード RX：デュアル f_{ADC} = 3GSPS、24x Dec、125MSPS 出力 $f_{OUT} = f_{IN}$ = 3.5GHz SerDes：8b/20b、10Gbps TX/RX LMFS：1-8-16-1	348	mA
	グループ 3B：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		341	mA
	グループ 3C：VDD1P8PLL + VDD1P8PLLVCO		73	mA
I_{VDD1P2}	グループ 2A：VDD1P2FB + VDD1P2RX		287	mA
	グループ 2B：VDD1P2TXCLK + VDD1P2TXENC		234	mA
	グループ 2C：VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF		88	mA
I_{VDD0P9}	グループ 1A：DVDD0P9 + VDDT0P9		1133	mA
P_{diss}	電力散逸		3146	mW
I_{VDD1P8}	グループ 3A：VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 6：2T2R FDD TX：デュアル 125MSPS 入力、48x Int、f_{DAC} = 6GSPS、混在モード RX：デュアル f_{ADC} = 3GSPS、24x Dec、125MSPS 出力 $f_{OUT} = f_{IN}$ = 3.5GHz SerDes：8b/10b、10Gbps TX/RX LMFS：1-8-16-1	550	mA
	グループ 3B：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		362	mA
	グループ 3C：VDD1P8PLL + VDD1P8PLLVCO		73	mA
I_{VDD1P2}	グループ 2A：VDD1P2FB + VDD1P2RX		289	mA
	グループ 2B：VDD1P2TXCLK + VDD1P2TXENC		530	mA
	グループ 2C：VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF		89	mA
I_{VDD0P9}	グループ 1A：DVDD0P9 + VDDT0P9		1518	mA
P_{diss}	電力散逸		4253	mW

Copyright © 2025 Texas Instruments Incorporated

4.9 電源の電気的特性 (続き)

特に記述のない限り、T_A = +25℃ での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃ ～ $T_{J,MAX}$ = +110℃、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VDD1P8}	グループ 3A：VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 7：モード 2 と同じ構成、スリープ モード。SLEEP ピンは High にする。		16		mA
	グループ 3B：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			174		mA
	グループ 3C：VDD1P8PLL + VDD1P8PLLVCO			12		mA
I_{VDD1P2}	グループ 2A：VDD1P2FB + VDD1P2RX			4		mA
	グループ 2B：VDD1P2TXCLK + VDD1P2TXENC			33		mA
	グループ 2C：VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			37		mA
I_{VDD0P9}	グループ 1A：DVDD0P9 + VDDT0P9			155		mA
P_{diss}	電力散逸			596		mW

Copyright © 2025 Texas Instruments Incorporated

4.10 タイミング要件

T_A = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、TX 入力レート = 491.52MSPS、f_{DAC} = 8847.36MSPS、f_{ADC} = 2949.12MSPS、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps、特に記述のない限り。

		最小値	公称値	最大値	単位
タイミング:SYSREF+/-					
$t_{s(SYSREF)}$	セットアップ時間、SYSREF+/- 有効から CLK+/- の立ち上がりエッジまで		50		ps
$t_{h(SYSREF)}$	ホールド時間、CLK+/- の立ち上がりエッジの後の SYSREF+/- 有効の期間		50		ps
タイミング:シリアル ポート					
$t_{s(\overline{SDEN})}$	SCLK の立ち上がりエッジまでの $\overline{SDEN}$ のセットアップ時間		15		ns
$t_{h(\overline{SDEN})}$	SCLK の最後の立ち上がりエッジの後の $\overline{SDEN}$ のホールド時間 (1)		5 + t_{SCLK}		ns
$t_{s(SDIO)}$	セットアップ時間、SDIO 有効から SCLK の立ち上がりエッジまで		15		ns
$t_{h(SDIO)}$	ホールド時間、SCLK の立ち上がりエッジの後の SDIO 有効の期間		5		ns
$t_{(SCLK)_W}$	最小 SCLK 周期:レジスタ書き込み		25		ns
$t_{(SCLK)_R}$	最小 SCLK 周期:レジスタ読み取り		50		ns
$t_{d(data_out)}$	SCLK の立ち下がりエッジの後の最小データ出力遅延		0		ns
	SCLK の立ち下がりエッジの後の最大データ出力遅延		15		ns
t_{RESET}	最小 RESETZ パルス幅		1		ms

(1) $\overline{SDEN}$ では、最後の SCLK エッジでさらに 1 クロック サイクル、ホールドされる必要があります

Copyright © 2025 Texas Instruments Incorporated

4.11 スイッチング特性

T_A = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、TX 入力レート = 491.52MSPS、f_{DAC} = 8847.36MSPS、f_{ADC} = 2949.12MSPS、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
TX チャネル レイテンシ						
	SerDes レシーバのアナログ遅延	フル レート		2.8		ns
t_{JESDTX}	JESD から TX 出力までのレイテンシ	LMFSHd = 2-8-8-1、368.64MSPS の入力レート、24x 補間、SerDes レート = 16.22Gbps (JESD204C)		152		インターフェイス クロック サイクル (1)
		LMFSHd = 8-16-4-1、491.52MSPS 24x 補間、SerDes レート = 16.22Gbps (JESD204C)		176		
		LMFSHd = 4-16-8-1、245.76MSPS 48x 補間、SerDes レート = 16.22Gbps (JESD204C)		124		
		LMFSHd = 2-16-16-1、122.88MSPS 96x 補間、SerDes レート = 16.22Gbps (JESD204C)		97		
RX チャネル レイテンシ						
t_{JESDRX}	RX 入力から JESD 出力までのレイテンシ	LMFS = 2-16-16-1、122.88MSPS、24x デシメーション、SerDes レート = 16.22Gbps (JESD204C)		92		インターフェイス クロック サイクル (1)
		LMFS = 4-16-8-1、245.76MSPS、12x デシメーション、SerDes レート = 16.22Gbps (JESD204C)		108		
		LMFS = 2-8-8-1、368.64 MSPS、8x デシメーション、Serdes レート = 16.22Gbps (JESD204C)		118		
		LMFS = 4-8-4-1、491.52MSPS、6x デシメーション、SerDes レート = 16.22Gbps (JESD204C)		153		
	SerDes トランスミッタのアナログ遅延			3.6		ns

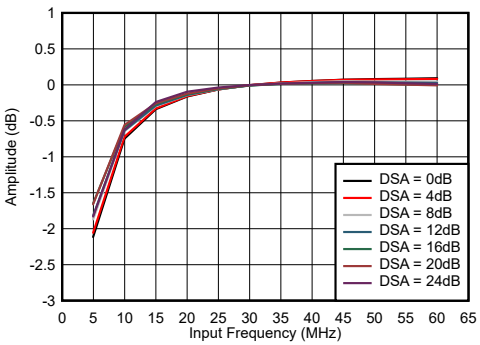
(1) インターフェイス クロック サイクルは、デジタル インターフェイスのクロック レートの周期です。たとえば、1GSPS = 1ns です。

Copyright © 2025 Texas Instruments Incorporated

4.12 代表的特性

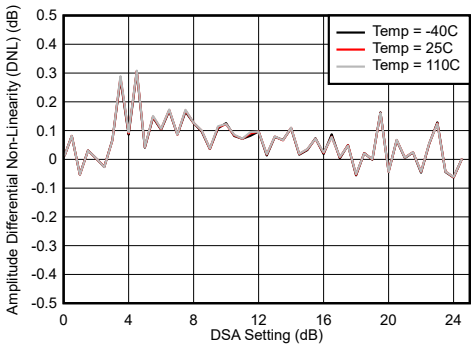
4.12.1 RX 代表的特性：30MHz～400MHz

T_A = +25℃ での標準値。30MHz でのデフォルト条件。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。400MHz のデフォルト条件：ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。



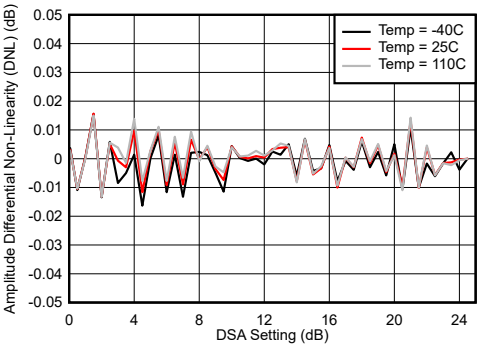
30MHz で正規化

図 4-1. RX 帯域内ゲイン平坦性 (f_{IN} = 30MHz)



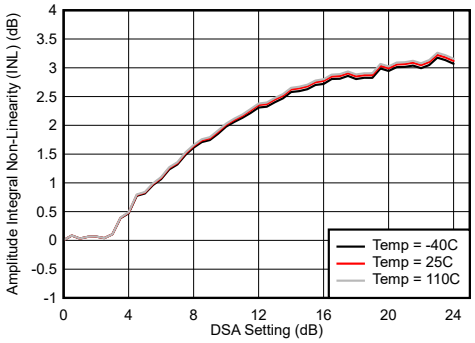
微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

図 4-2. RX 未較正微分振幅誤差と DSA 設定との関係 (30MHz)



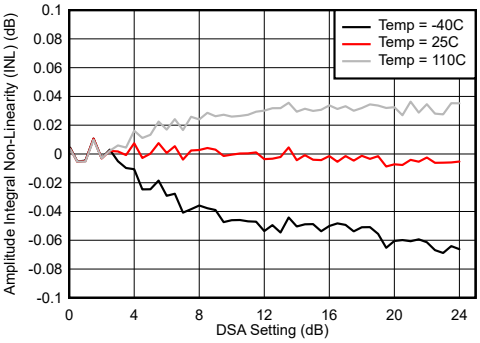
微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

図 4-3. RX 較正済み微分振幅誤差と DSA 設定との関係 (30MHz)



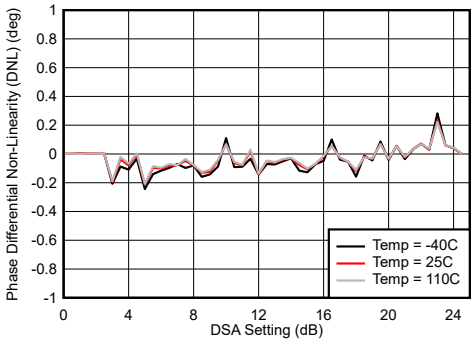
積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

図 4-4. RX 未較正積分振幅誤差と DSA 設定との関係 (30MHz)



積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

図 4-5. RX 較正済み積分振幅誤差と DSA 設定との関係 (30MHz)



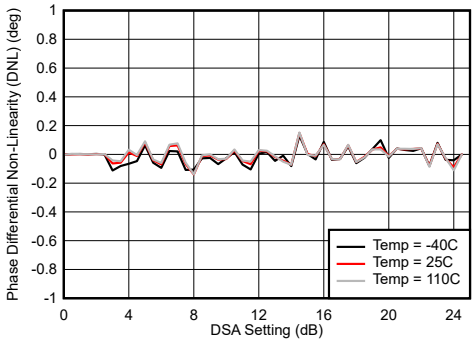
微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

図 4-6. RX 未較正微分位相誤差と DSA 設定との関係 (30MHz)

Copyright © 2025 Texas Instruments Incorporated

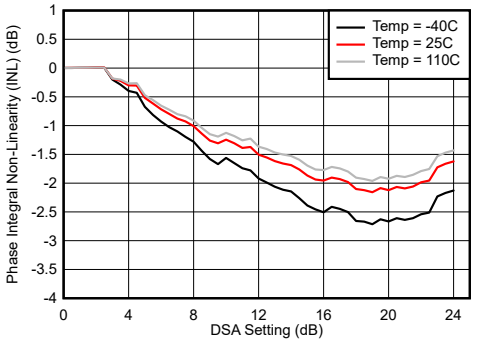
4.12.1 RX 代表的特性：30MHz～400MHz (続き)

T_A = +25℃ での標準値。30MHz でのデフォルト条件。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。400MHz のデフォルト条件：ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。



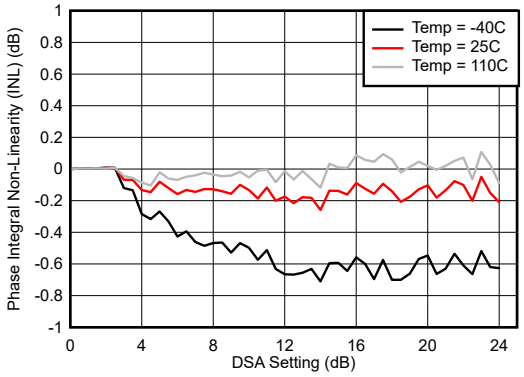
微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

図 4-7. RX 較正済み微分位相誤差と DSA 設定との関係 (30MHz)



積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

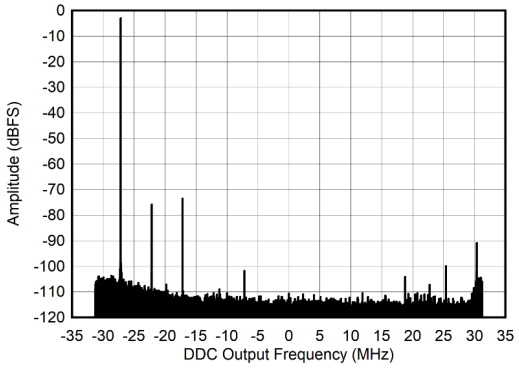
図 4-8. RX 未較正積分位相誤差と DSA 設定との関係 (30MHz)



0.8GHz 整合あり

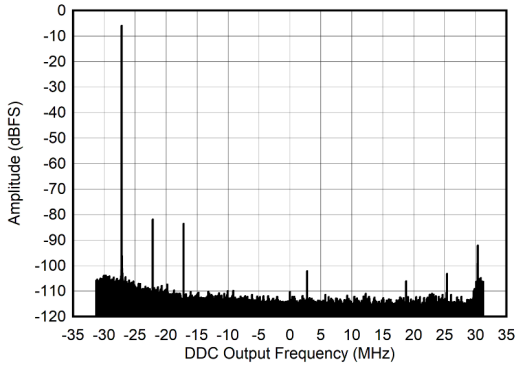
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-9. RX 較正済み積分位相誤差と DSA 設定との関係 (30MHz)



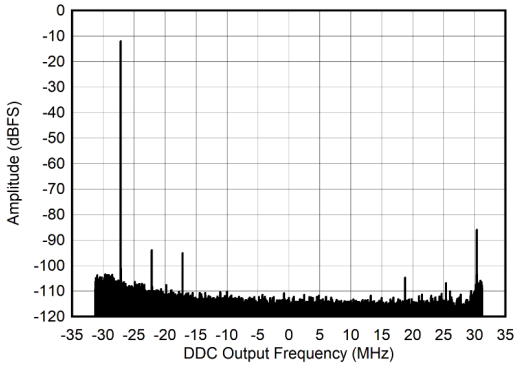
A_{IN} = -3dBFS、f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x でデシメーション

図 4-10. RX 出力 FFT (5MHz)



A_{IN} = -6dBFS、f_{ADC} = 1500MSPS、f_{NCO} = 32。24x でデシメーション

図 4-11. RX 出力 FFT (5MHz)



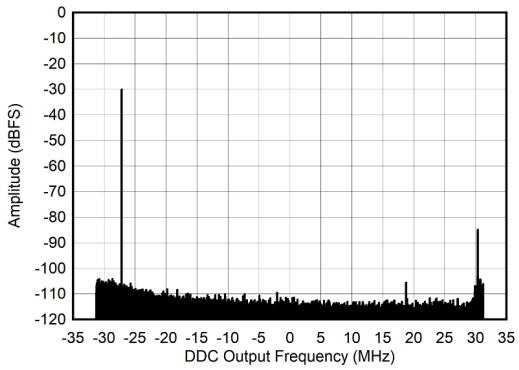
A_{IN} = -12dBFS、f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x でデシメーション

図 4-12. RX 出力 FFT (5MHz)

Copyright © 2025 Texas Instruments Incorporated

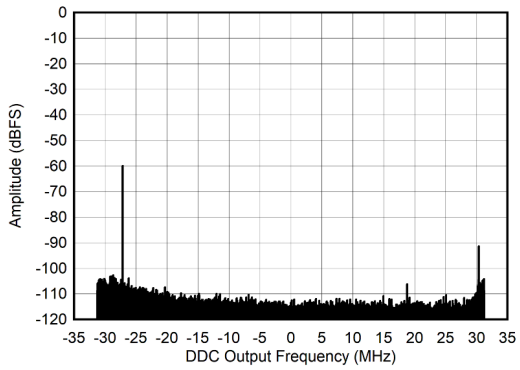
4.12.1 RX 代表的特性：30MHz～400MHz (続き)

T_A = +25℃ での標準値。30MHz でのデフォルト条件。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。400MHz のデフォルト条件：ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。



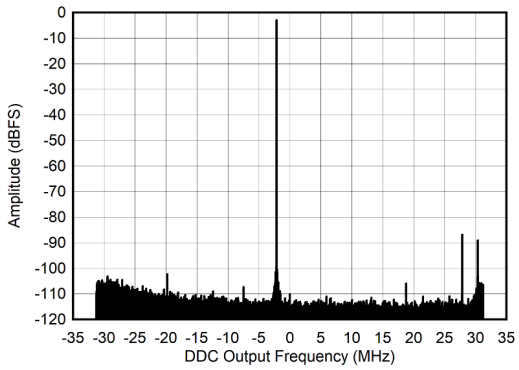
A_{IN} = -30dBFS、f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x でデシメーション

図 4-13. RX 出力 FFT (5MHz)



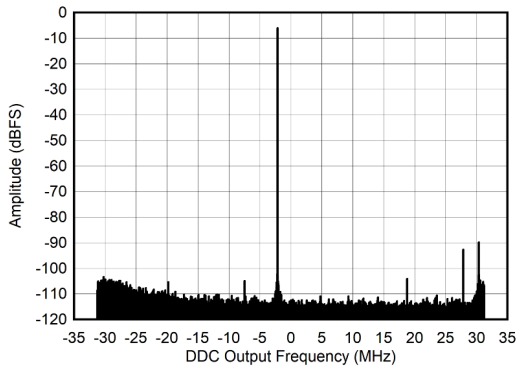
A_{IN} = -60dBFS、f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x でデシメーション

図 4-14. RX 出力 FFT (5MHz)



A_{IN} = -3dBFS、f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x でデシメーション

図 4-15. RX 出力 FFT (30MHz)



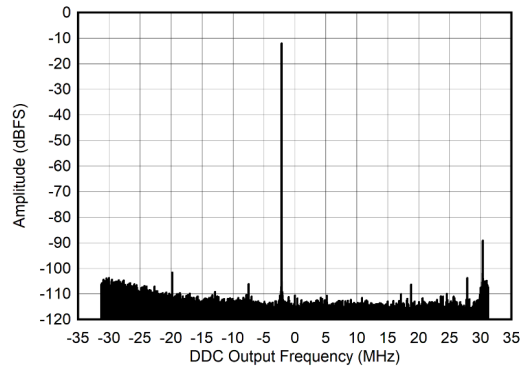
A_{IN} = -6dBFS、f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x でデシメーション

図 4-16. RX 出力 FFT (30MHz)

Copyright © 2025 Texas Instruments Incorporated

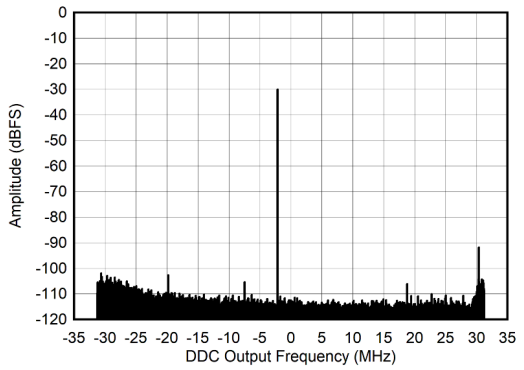
4.12.1 RX 代表的特性：30MHz～400MHz (続き)

T_A = +25℃ での標準値。30MHz でのデフォルト条件。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。400MHz のデフォルト条件：ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。



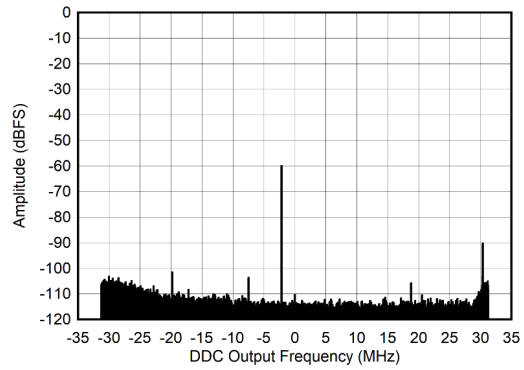
A_{IN} = -12dBFS、f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x でデシメーション

図 4-17. RX 出力 FFT (30MHz)



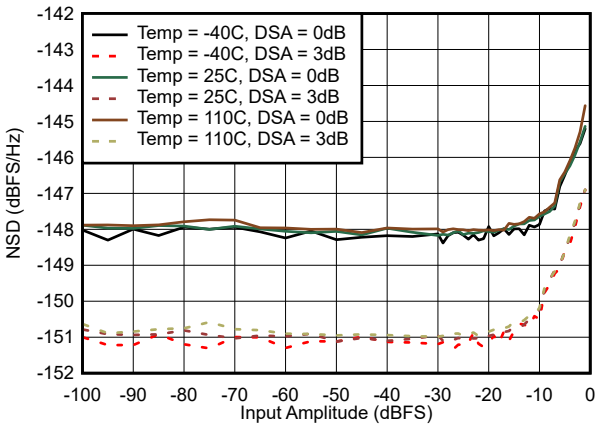
A_{IN} = -30dBFS、f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x でデシメーション

図 4-18. RX 出力 FFT (30MHz)



A_{IN} = -60dBFS、f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x でデシメーション

図 4-19. RX 出力 FFT (30MHz)



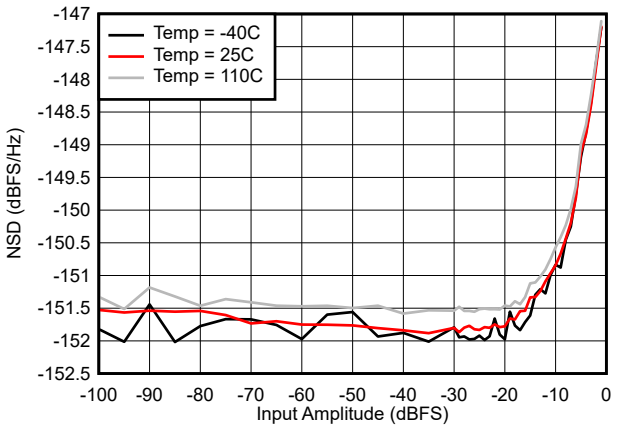
f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x でデシメーション

図 4-20. DSA = 0 および 3dB、30MHz での NSD と入力振幅との関係

Copyright © 2025 Texas Instruments Incorporated

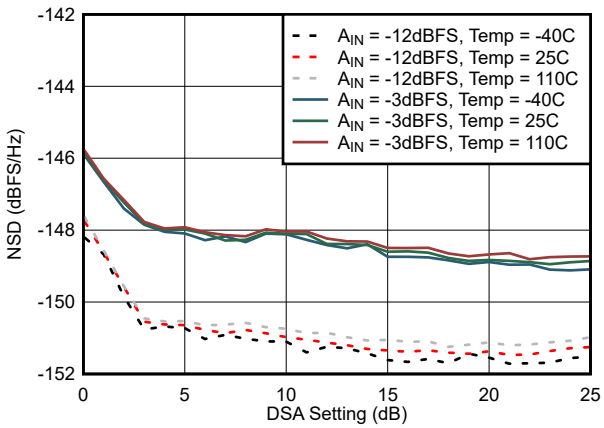
4.12.1 RX 代表的特性：30MHz～400MHz (続き)

T_A = +25℃ での標準値。30MHz でのデフォルト条件。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。400MHz のデフォルト条件：ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。



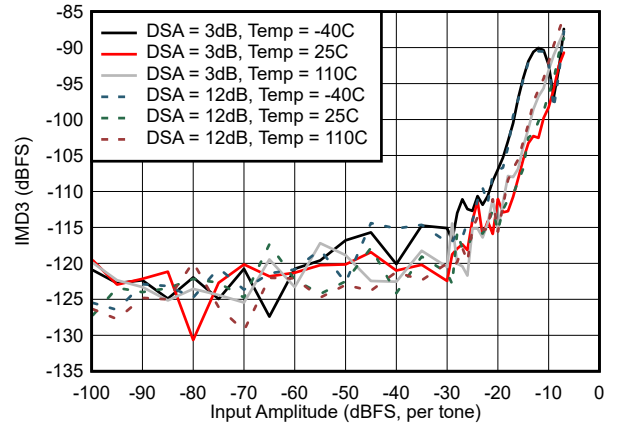
f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x によってデシメーション

図 4-21. 30MHz で NSD と入力振幅との関係 (DSA = 12)



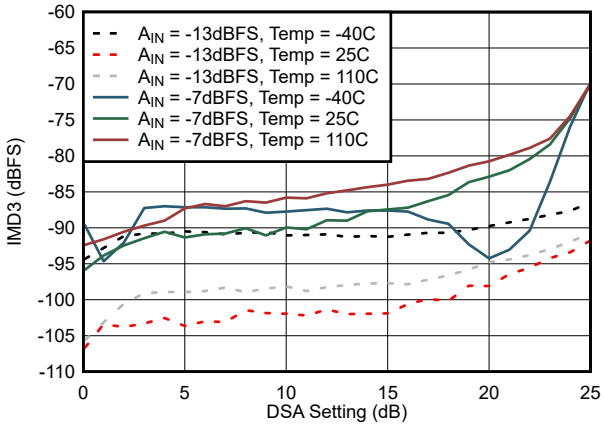
f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x によってデシメーション

図 4-22. 30MHz での NSD と DSA 減衰との関係



f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x によってデシメーション

図 4-23. 30MHz での IMD3 と入力振幅との関係



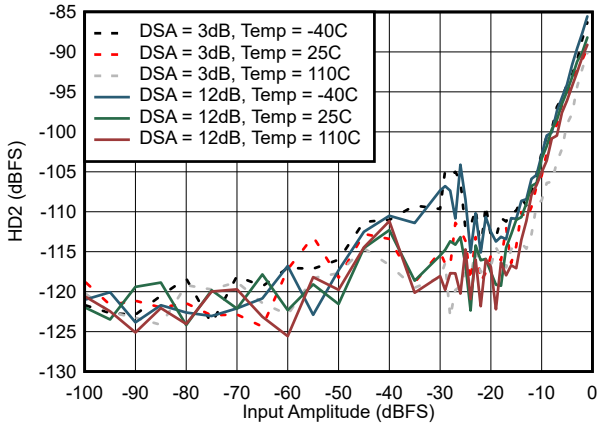
f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x によってデシメーション

図 4-24. 30MHz での IMD3 と DSA 設定との関係

Copyright © 2025 Texas Instruments Incorporated

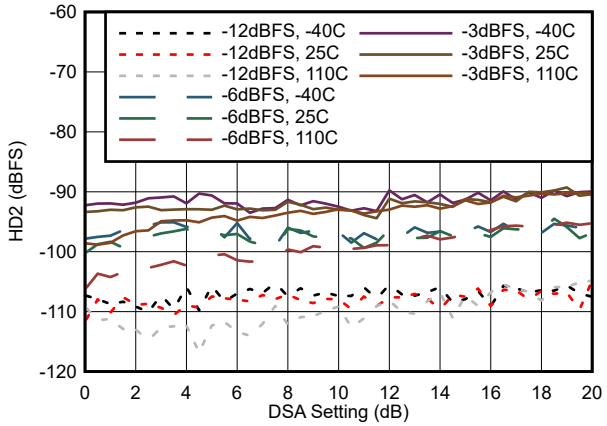
4.12.1 RX 代表的特性：30MHz～400MHz (続き)

T_A = +25℃ での標準値。30MHz でのデフォルト条件。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。400MHz のデフォルト条件：ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。



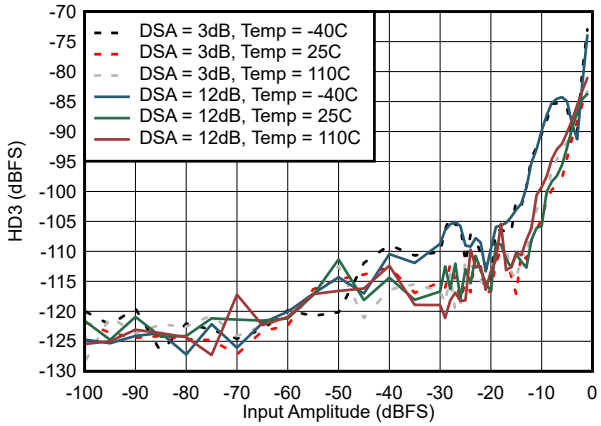
f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x によってデシメーション

図 4-25. 30MHz での HD2 と入力振幅との関係



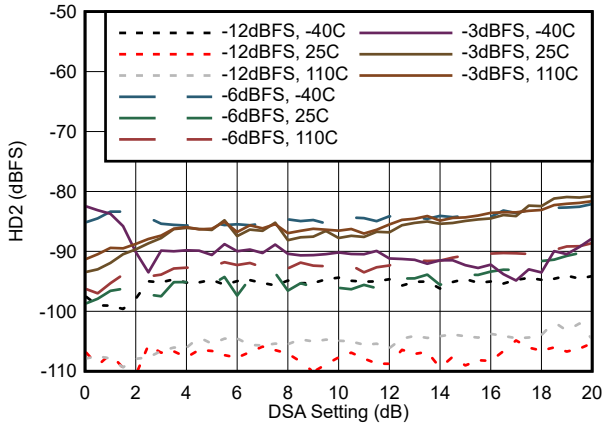
f_{ADC} = 1500MSPS、f_{NCO} = 32。24x でデシメーション

図 4-26. 30MHz での HD2 と DSA 設定との関係



f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x によってデシメーション

図 4-27. 30MHz での HD3 と入力振幅との関係



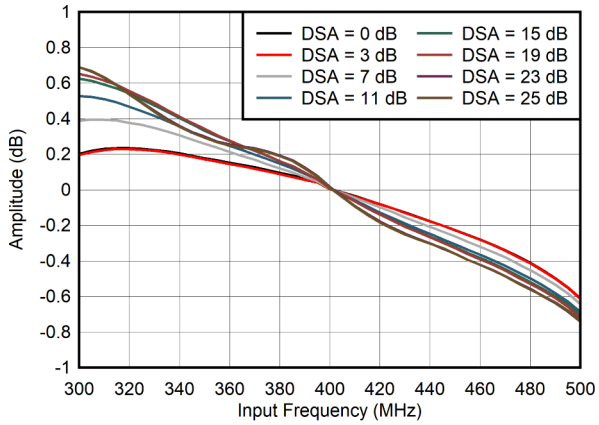
f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x によってデシメーション

図 4-28. 30MHz での HD3 と DSA 設定との関係

Copyright © 2025 Texas Instruments Incorporated

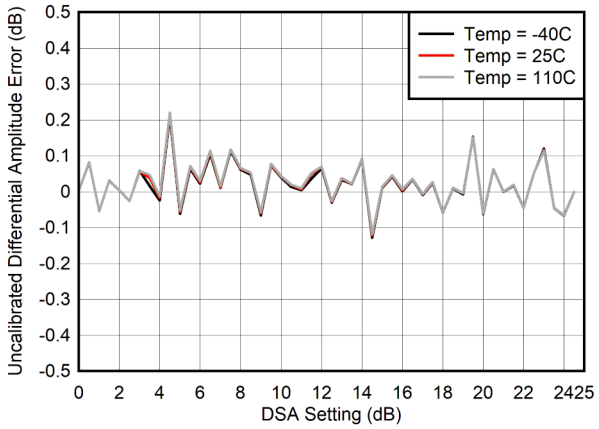
4.12.1 RX 代表的特性：30MHz～400MHz (続き)

T_A = +25℃ での標準値。30MHz でのデフォルト条件。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。400MHz のデフォルト条件：ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。



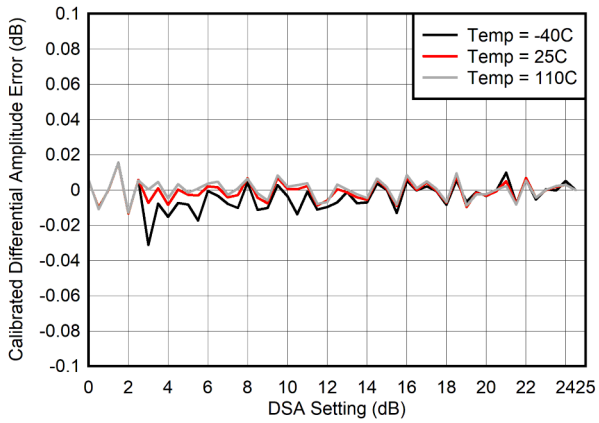
400MHz で正規化

図 4-29. RX 帯域内ゲイン平坦性 (f_{IN} = 400MHz)



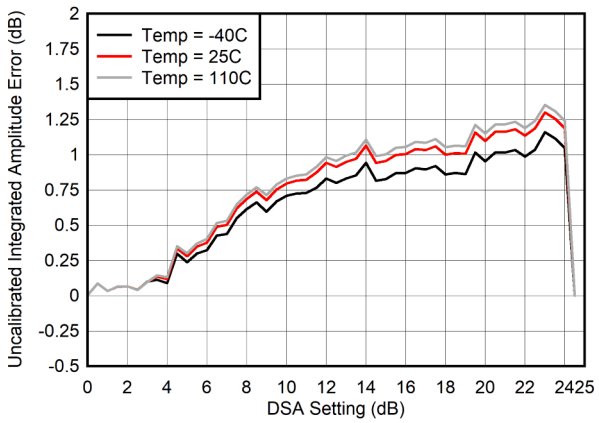
微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

図 4-30. RX 未較正微分振幅誤差と DSA 設定との関係 (30MHz)



微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

図 4-31. RX 較正済み微分振幅誤差と DSA 設定との関係 (400MHz)

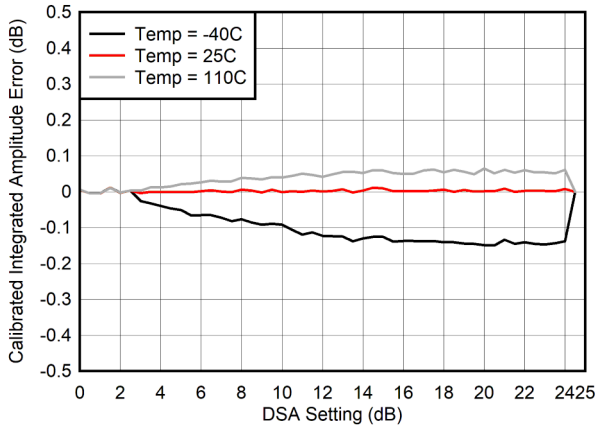


積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

図 4-32. RX 未較正積分振幅誤差と DSA 設定との関係 (400MHz)

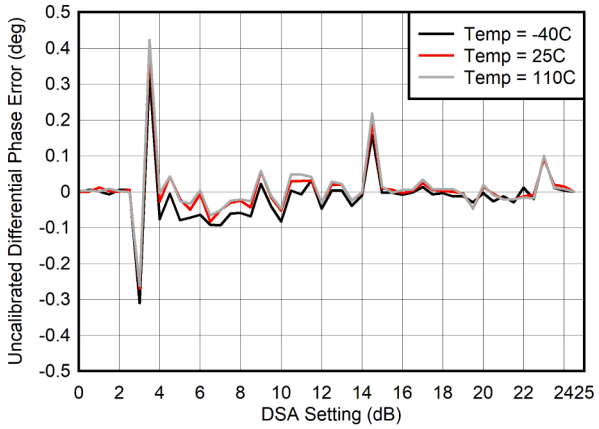
4.12.1 RX 代表的特性：30MHz～400MHz (続き)

T_A = +25℃ での標準値。30MHz でのデフォルト条件。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。400MHz のデフォルト条件：ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。



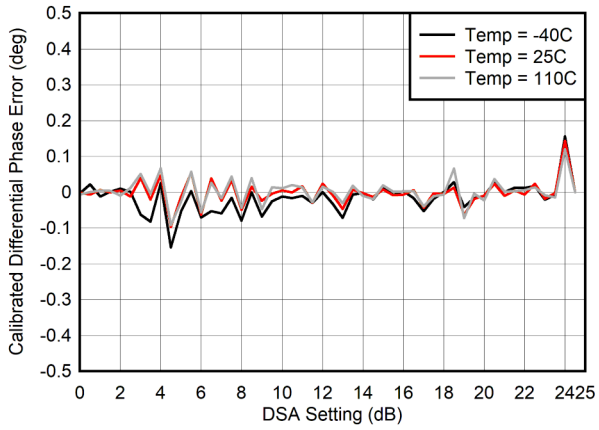
積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

図 4-33. RX 較正済み積分振幅誤差と DSA 設定との関係 (400MHz)



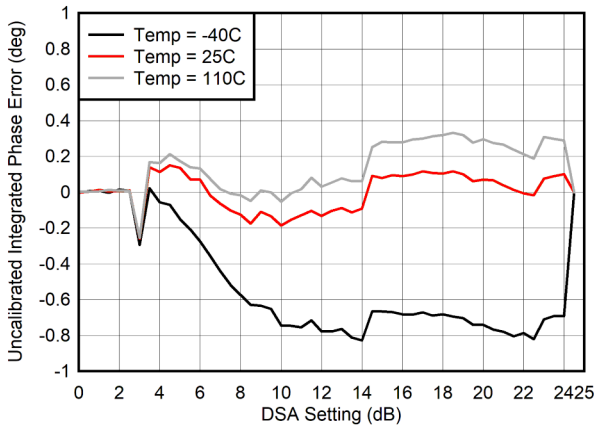
微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

図 4-34. RX 未較正微分位相誤差と DSA 設定との関係 (400MHz)



微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

図 4-35. RX 較正済み微分位相誤差と DSA 設定との関係 (400MHz)



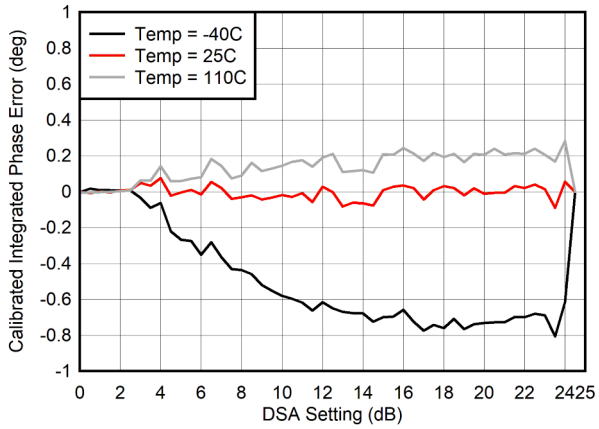
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-36. RX 未較正積分位相誤差と DSA 設定との関係 (400MHz)

Copyright © 2025 Texas Instruments Incorporated

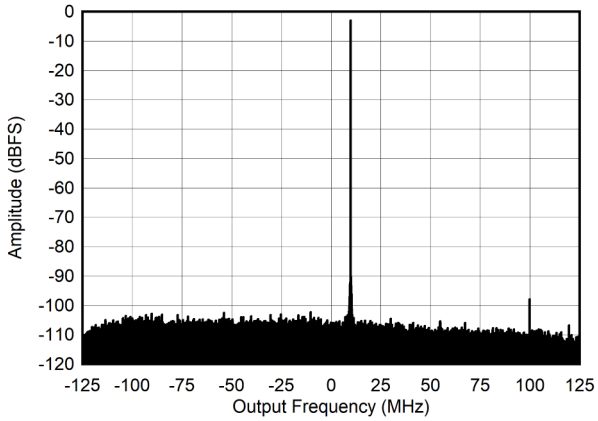
4.12.1 RX 代表的特性：30MHz～400MHz (続き)

T_A = +25℃ での標準値。30MHz でのデフォルト条件。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。400MHz のデフォルト条件：ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。



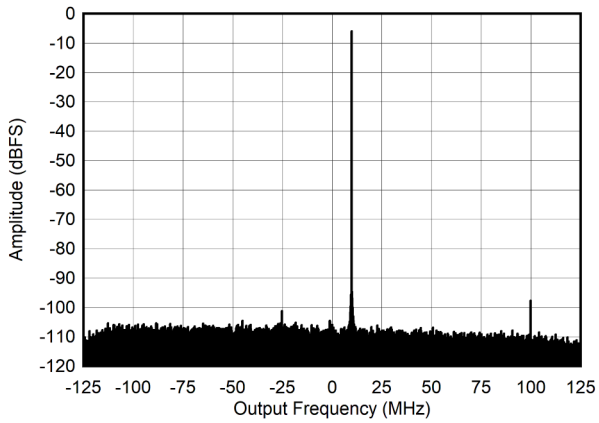
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-37. RX 較正済み積分位相誤差と DSA 設定との関係 (400MHz)



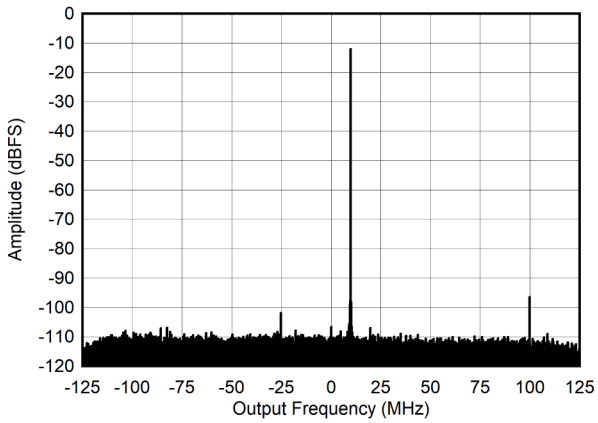
f_{NCO} = 400MHz

図 4-38. 405MHz、-3dBFS での RX 出力 FFT



f_{NCO} = 400MHz

図 4-39. 405MHz、-6dBFS での RX 出力 FFT



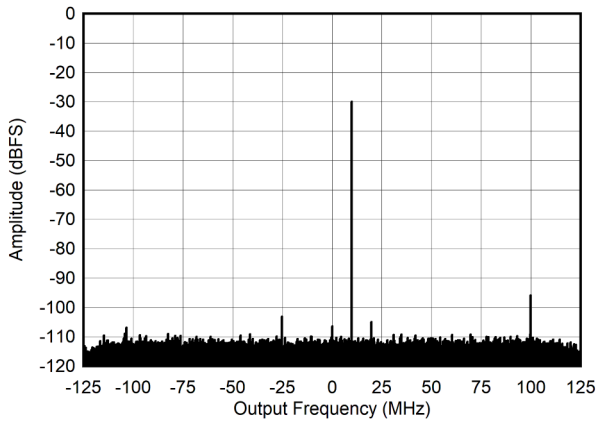
f_{NCO} = 400MHz

図 4-40. 405MHz、-12dBFS での RX 出力 FFT

Copyright © 2025 Texas Instruments Incorporated

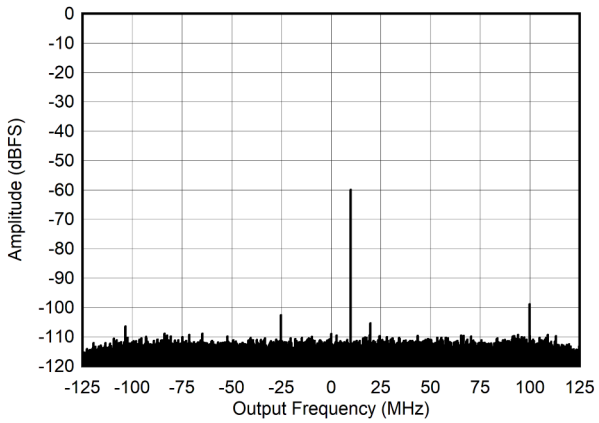
4.12.1 RX 代表的特性：30MHz～400MHz (続き)

T_A = +25℃ での標準値。30MHz でのデフォルト条件。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。400MHz のデフォルト条件：ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。



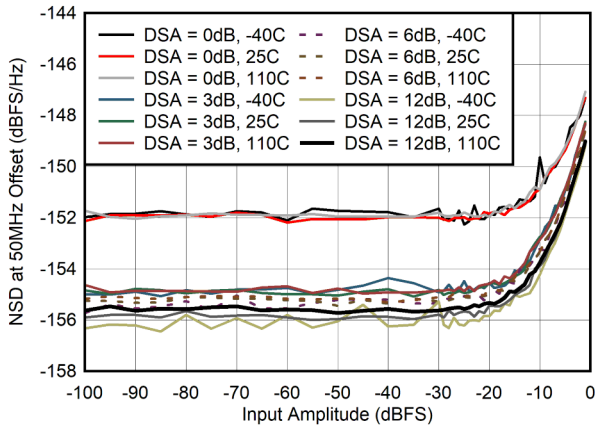
f_{NCO} = 400MHz

図 4-41. 405MHz、-30dBFS での RX 出力 FFT



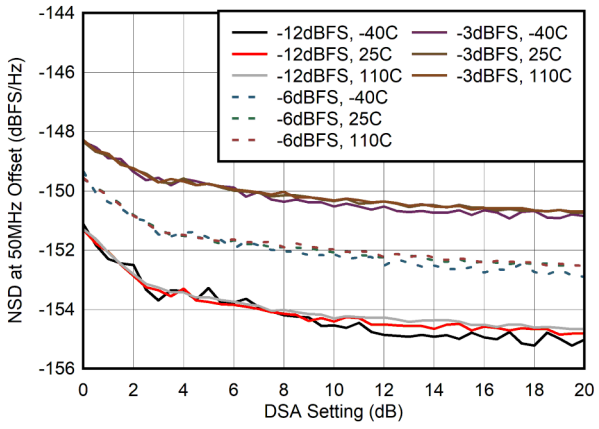
f_{NCO} = 400MHz

図 4-42. 405MHz、-60dBFS での RX 出力 FFT



f_{OFFSET} = 50MHz

図 4-43. 400MHz での NSD と入力振幅との関係



f_{OFFSET} = 50MHz

図 4-44. 400MHz での NSD と DSA 設定との関係

Copyright © 2025 Texas Instruments Incorporated

4.12.1 RX 代表的特性：30MHz～400MHz (続き)

T_A = +25℃ での標準値。30MHz でのデフォルト条件。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。400MHz のデフォルト条件：ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。

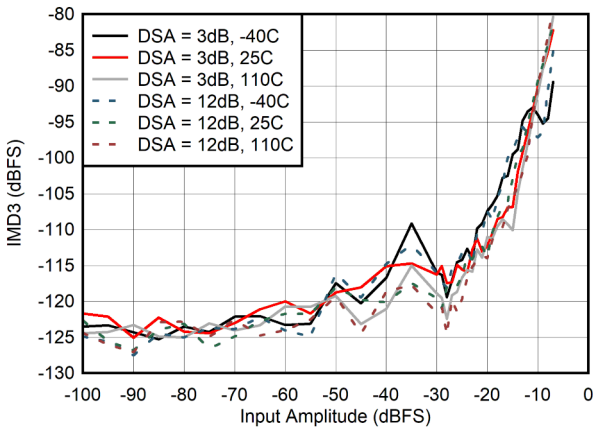


図 4-45. 400MHz での IMD3 と入力振幅との関係

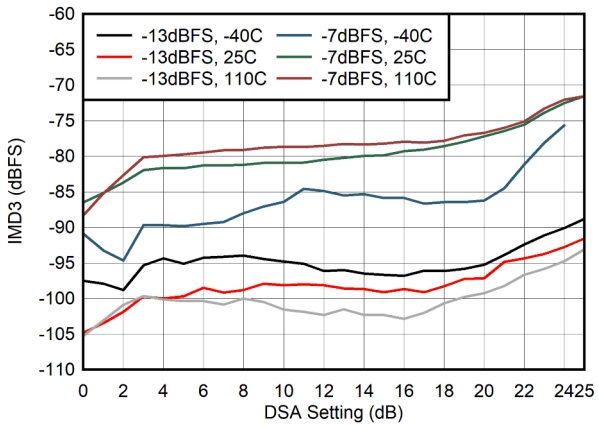


図 4-46. 400MHz での IMD3 と DSA 設定との関係

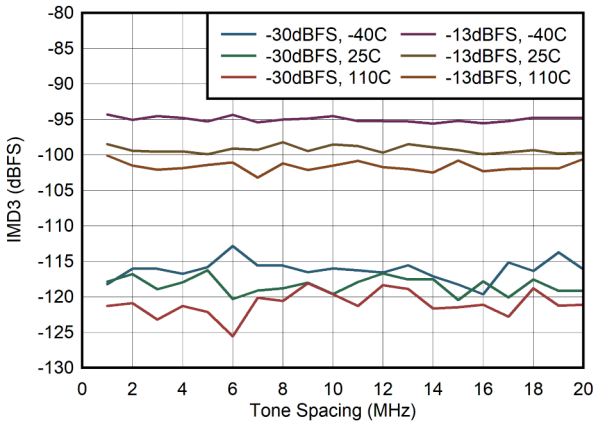


図 4-47. 400MHz での IMD3 とトーン間隔との関係

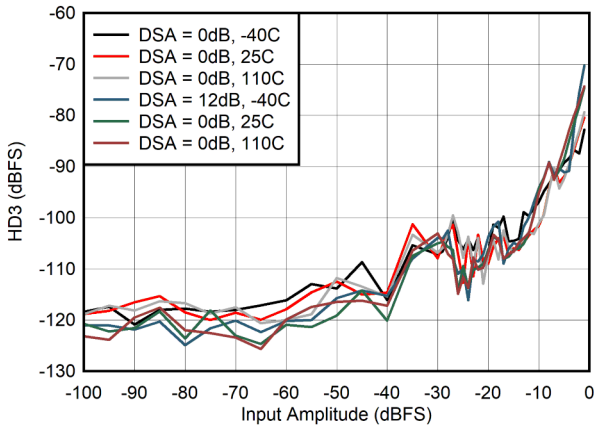


図 4-48. 400MHz での HD3 と入力振幅との関係

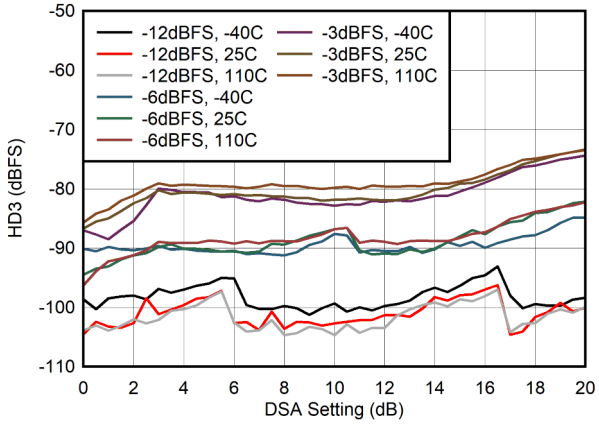
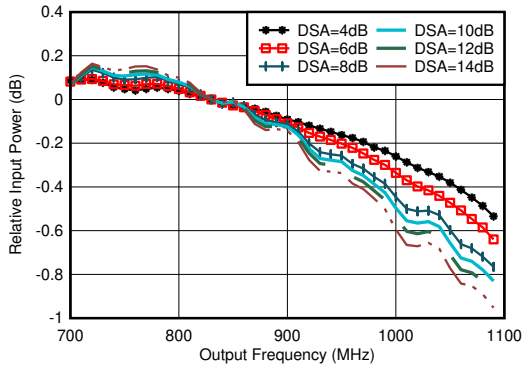


図 4-49. 400MHz での HD3 と DSA 設定との関係

Copyright © 2025 Texas Instruments Incorporated

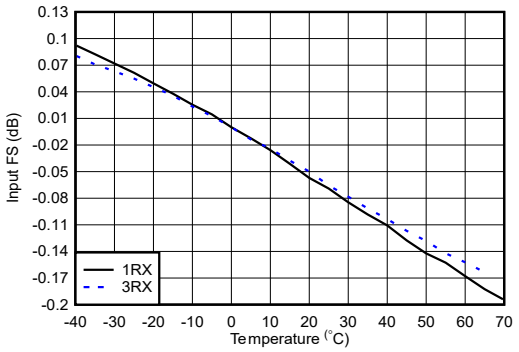
4.12.2 RX 代表的特性：800MHz

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



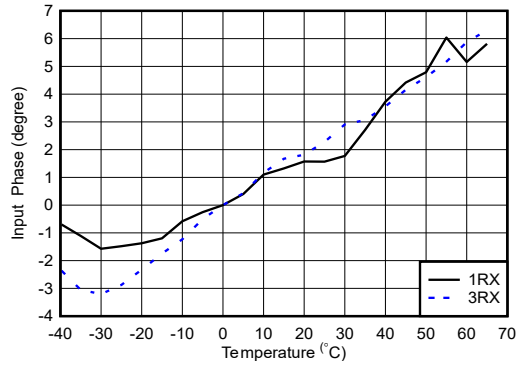
0.8GHz 整合あり、830MHz で正規化

図 4-50. RX 帯域内ゲイン平坦性 (チャネル 1RX、f_{IN} = 830MHz)



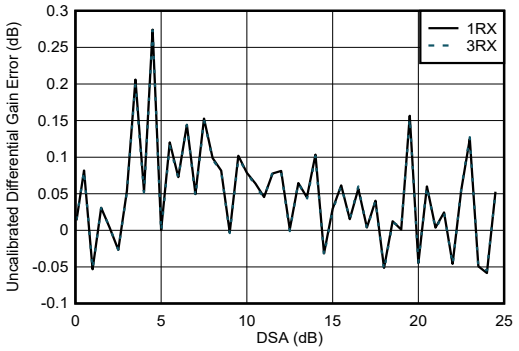
0.8GHz 整合あり、各チャネルについて 25℃のフルスケールで正規化

図 4-51. RX 入力フルスケールと温度との関係 (各種チャネル、800MHz)



0.8GHz 整合あり、25℃の位相で正規化

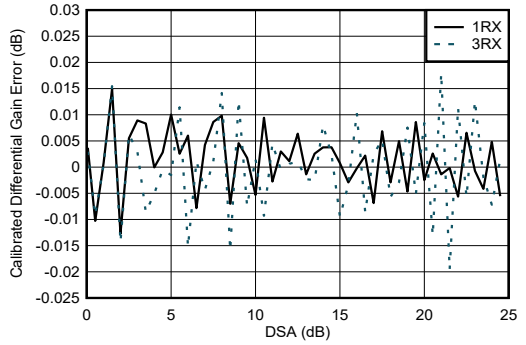
図 4-52. RX 入力位相と温度との関係 (各種 DSA、f_{OUT} = 0.8GHz)



0.8GHz 整合あり

微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

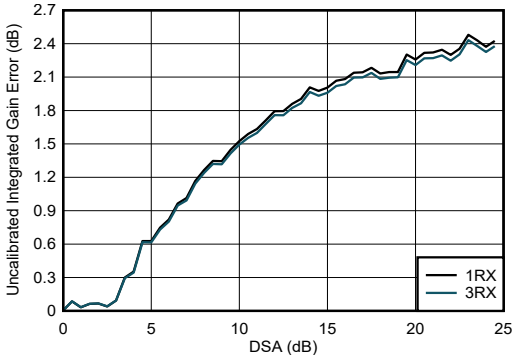
図 4-53. RX 未較正微分振幅誤差と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり

微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

図 4-54. RX 較正済み微分振幅誤差と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり

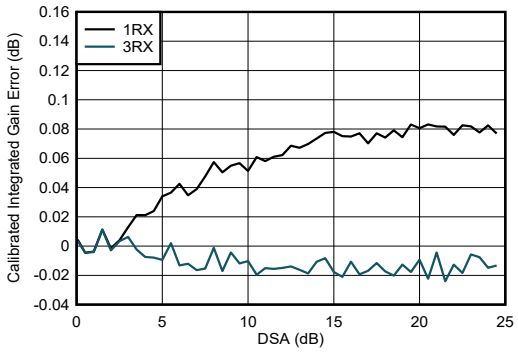
積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

図 4-55. RX 未較正積分振幅誤差と DSA 設定との関係 (0.8GHz)

Copyright © 2025 Texas Instruments Incorporated

4.12.2 RX 代表的特性：800MHz (続き)

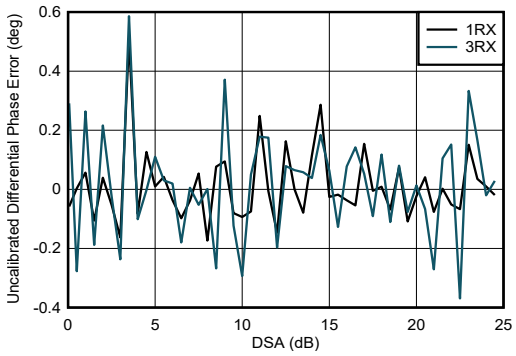
T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



0.8GHz 整合あり

積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

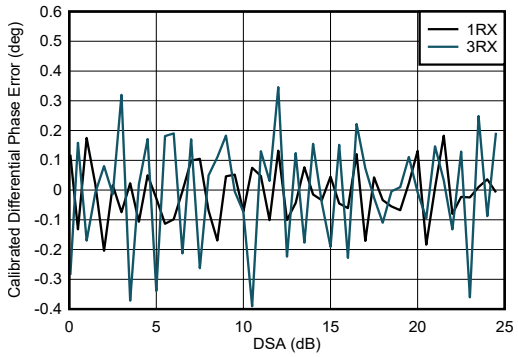
図 4-56. RX 較正済み積分振幅誤差と DSA 設定との関係 (2.6GHz)



0.8GHz 整合あり

微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

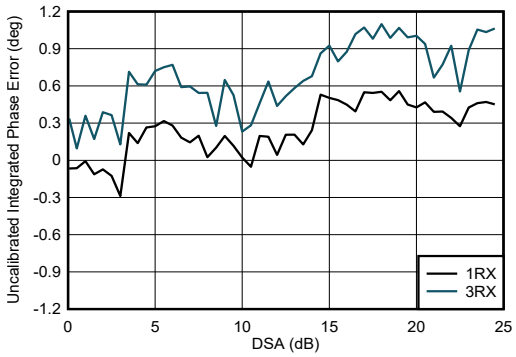
図 4-57. RX 未較正微分位相誤差と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり

微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

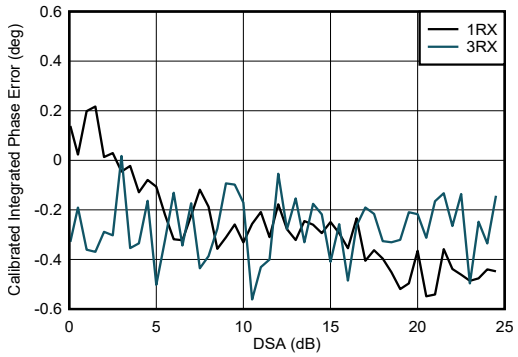
図 4-58. RX 較正済み微分位相誤差と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり

積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

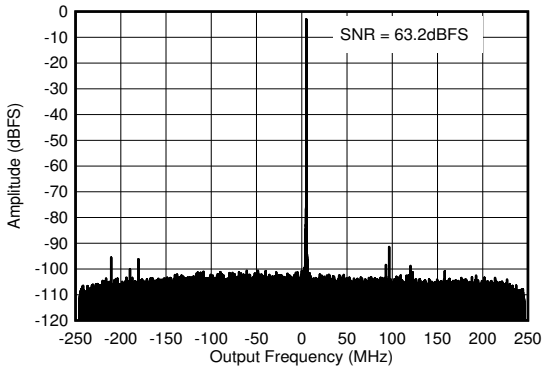
図 4-59. RX 未較正積分位相誤差と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり

積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-60. RX 較正済み積分位相誤差と DSA 設定との関係 (0.8GHz)

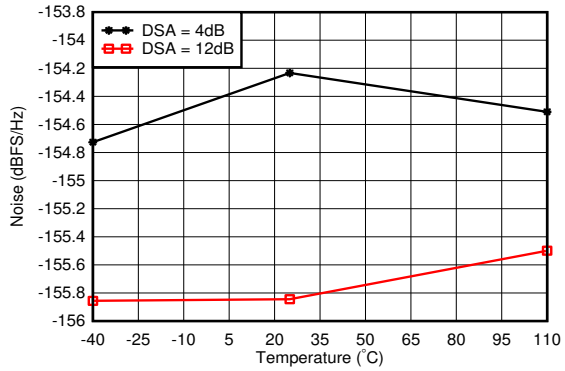


0.8GHz 整合あり、f_{IN} = 840MHz、A_{IN}= -3dBFS

図 4-61. RX 出力 FFT (0.8GHz)

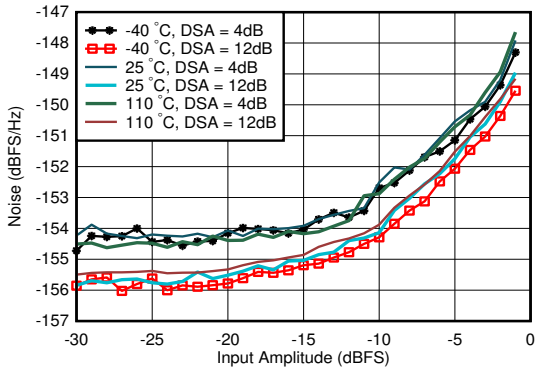
4.12.2 RX 代表的特性：800MHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



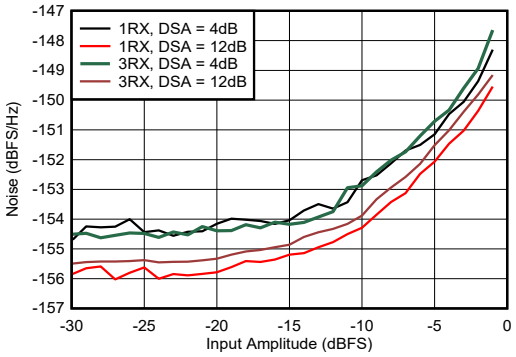
0.8GHz 整合あり、トーンからのオフセット 12.5MHz

図 4-62. RX ノイズ スペクトル密度と温度との関係 (0.8GHz)



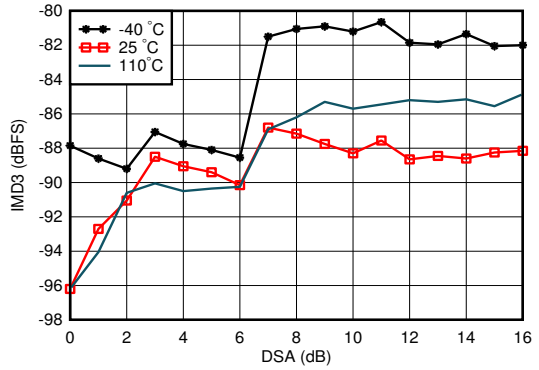
0.8GHz 整合あり、DSA 設定 = 12dB、トーンから 12.5MHz オフセット

図 4-63. RX ノイズ スペクトル密度と入力振幅との関係 (各種温度、0.8GHz)



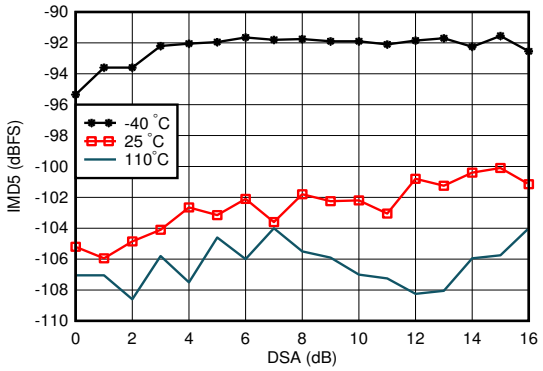
0.8GHz 整合あり、トーンからのオフセット 12.5MHz

図 4-64. RX ノイズ スペクトル密度と入力振幅との関係 (各種チャネル、0.8GHz)



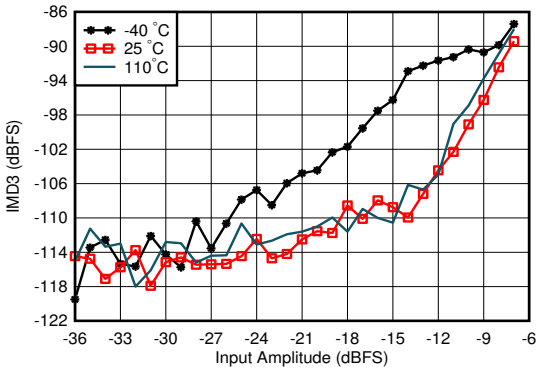
A. 0.8GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 4-65. RX IMD3 と DSA 設定との関係 (各種温度、0.8GHz)



0.8GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 4-66. RX IMD5 と DSA 設定との関係 (各種温度、0.8GHz)



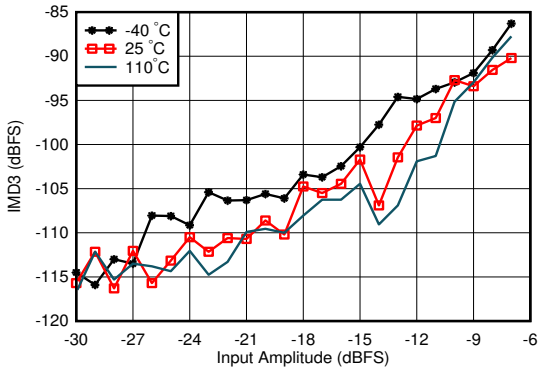
0.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 4dB

図 4-67. RX IMD3 と入力レベルとの関係 (各種温度、0.8GHz)

Copyright © 2025 Texas Instruments Incorporated

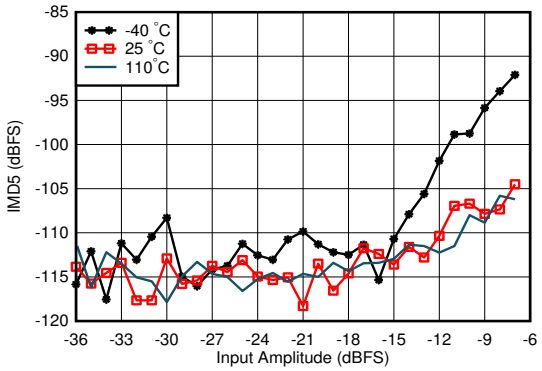
4.12.2 RX 代表的特性：800MHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



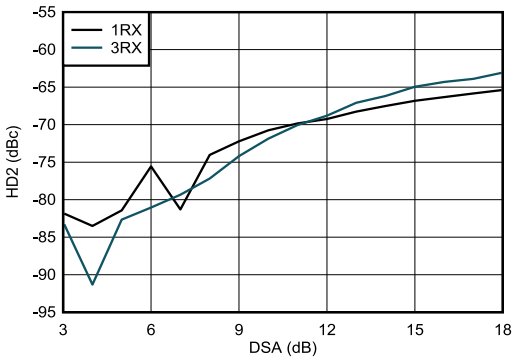
0.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 4-68. RX IMD3 と入力レベルとの関係 (各種温度、0.8GHz)



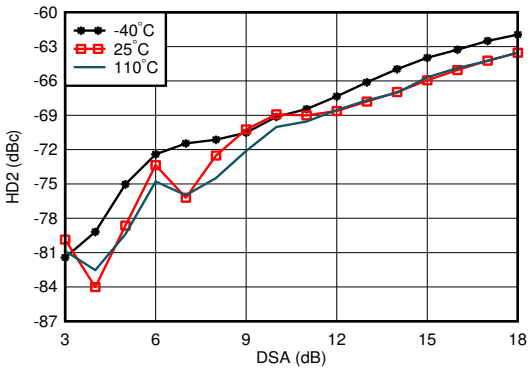
0.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 4-69. RX IMD5 と入力レベルとの関係 (各種温度、0.8GHz)



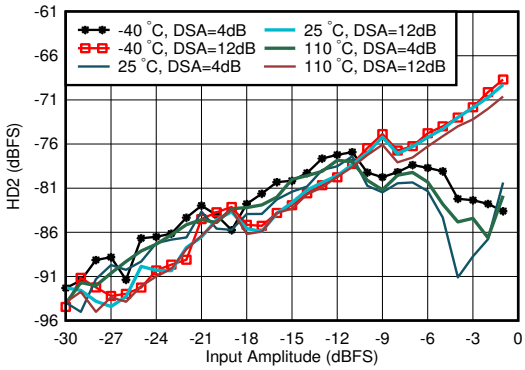
0.8GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-70. RX HD2 と DSA 設定との関係 (各種チャネル、0.8GHz)



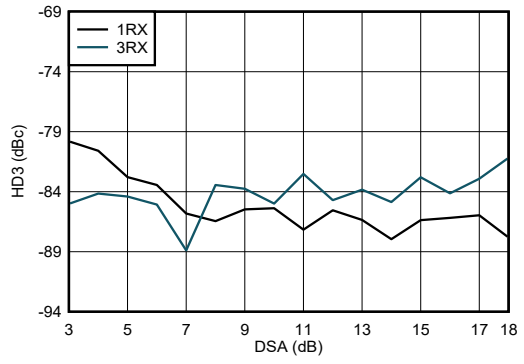
0.8GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-71. RX HD2 と DSA 設定との関係 (各種温度、0.8GHz)



0.8GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-72. RX HD2 と入力レベルとの関係 (各種温度、0.8GHz)



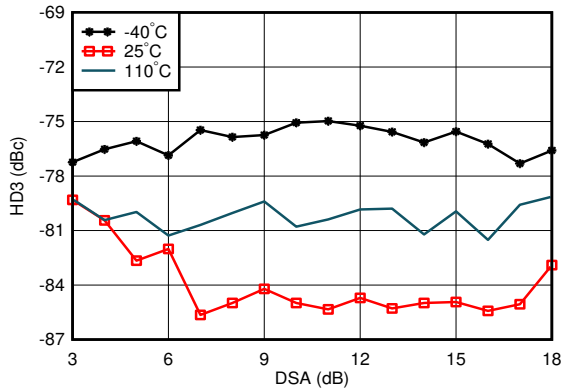
0.8GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-73. RX HD3 と DSA 設定との関係 (各種チャネル、0.8GHz)

Copyright © 2025 Texas Instruments Incorporated

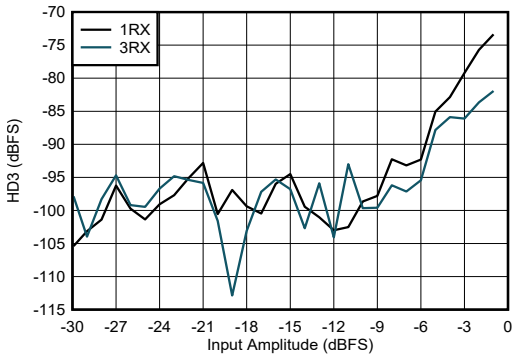
4.12.2 RX 代表的特性：800MHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



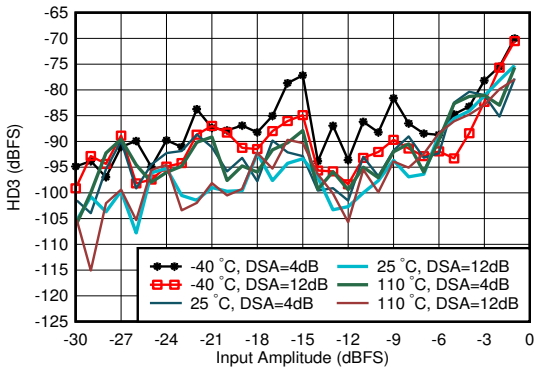
0.8GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-74. RX HD3 と DSA 設定との関係 (各種温度、0.8GHz)



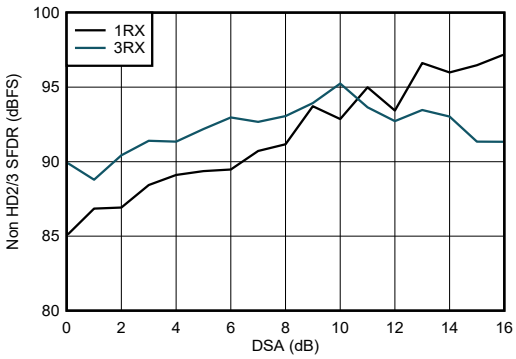
0.8GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-75. RX HD3 と入力レベルとの関係 (各種チャネル、0.8GHz)



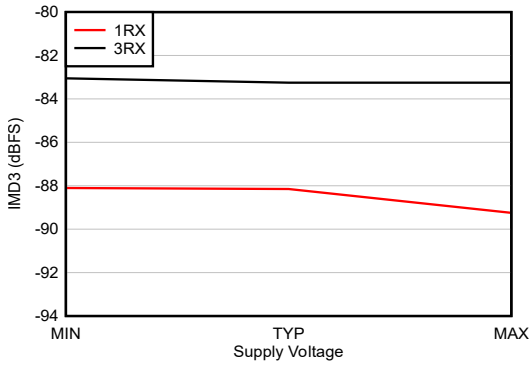
0.8GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-76. RX HD3 と入力レベルとの関係 (各種温度、0.8GHz)



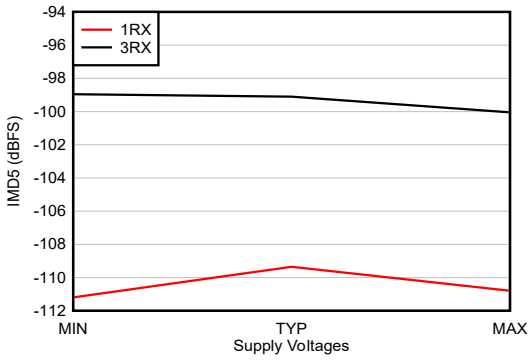
0.8GHz 整合あり

図 4-77. RX (HD2/3 を除く) と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-78. RX IMD3 と電源電圧との関係 (各種チャネル、0.8GHz)



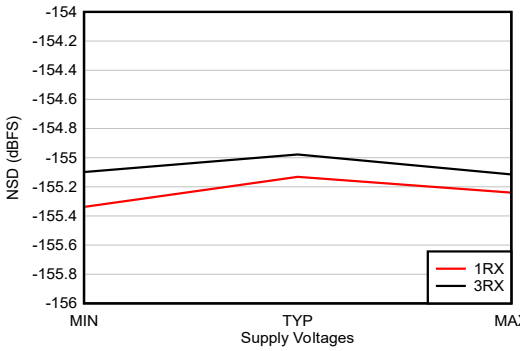
0.8GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-79. RX IMD5 と電源電圧との関係 (各種チャネル、0.8GHz)

Copyright © 2025 Texas Instruments Incorporated

4.12.2 RX 代表的特性：800MHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB

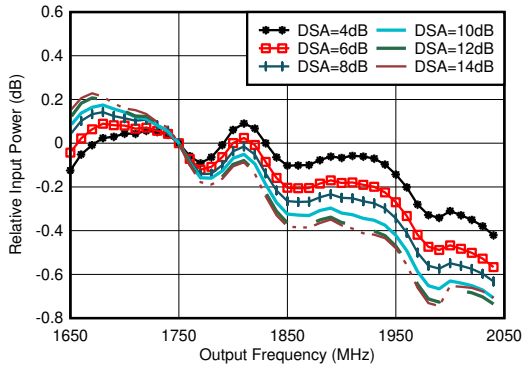


0.8GHz 整合あり、12.5MHz オフセット、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-80. RX ノイズ スペクトル密度と電源電圧との関係 (各種チャネル、0.8GHz)

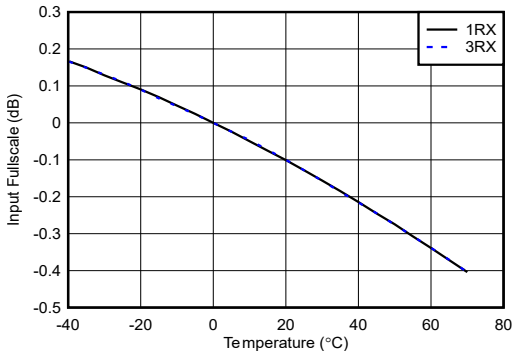
4.12.3 RX 代表的特性：1.75GHz～1.9GHz

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



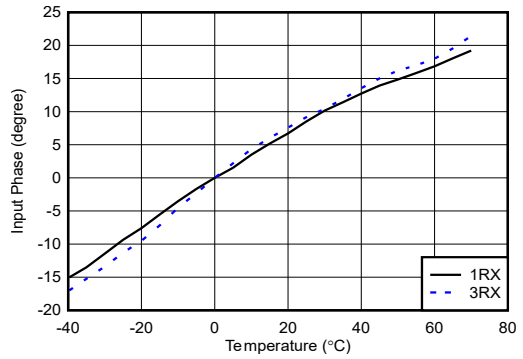
1.8GHz 整合あり、1.75GHz で正規化

図 4-81. RX 帯域内ゲイン平坦性 (f_{IN} = 1750MHz)



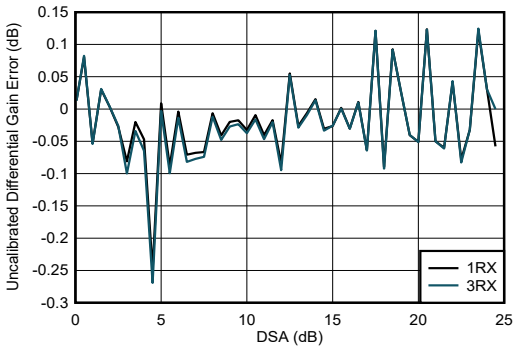
1.8GHz 整合あり、各チャネルについて 25℃のフルスケールで正規化

図 4-82. RX 入力フルスケールと温度との関係 (各種チャネル、1.75GHz)



1.8GHz 整合あり、25℃の位相で正規化

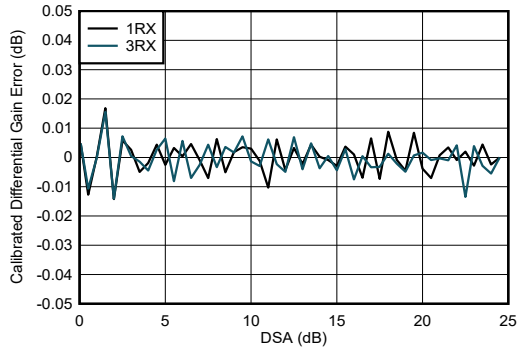
図 4-83. RX 入力位相と温度との関係 (各種 DSA、f_{IN} = 1.75GHz)



1.8GHz 整合あり

微分振幅誤差 = P_{IN} (DSA 設定 - 1) - P_{IN} (DSA 設定) + 1

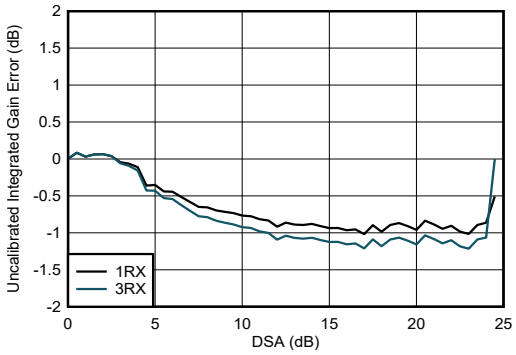
図 4-84. RX 未較正微分振幅誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

微分振幅誤差 = P_{IN} (DSA 設定 - 1) - P_{IN} (DSA 設定) + 1

図 4-85. RX 較正済み微分振幅誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

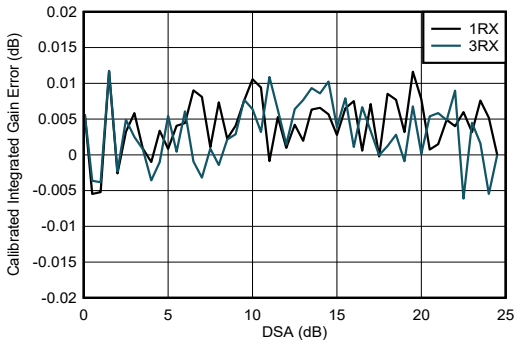
積分振幅誤差 = P_{IN} (DSA 設定) - P_{IN} (DSA 設定 = 0) + (DSA 設定)

図 4-86. RX 未較正積分振幅誤差と DSA 設定との関係 (1.75GHz)

Copyright © 2025 Texas Instruments Incorporated

4.12.3 RX 代表的特性：1.75GHz～1.9GHz (続き)

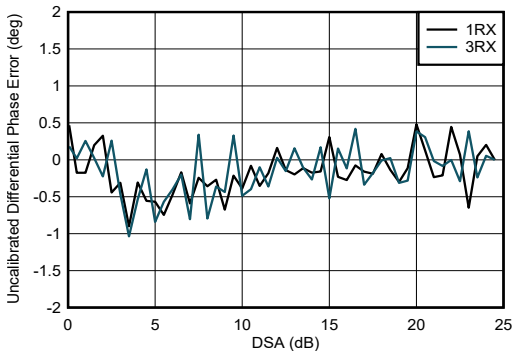
T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



1.8GHz 整合あり

積分振幅誤差 = P_{IN} (DSA 設定) - P_{IN} (DSA 設定 = 0) + (DSA 設定)

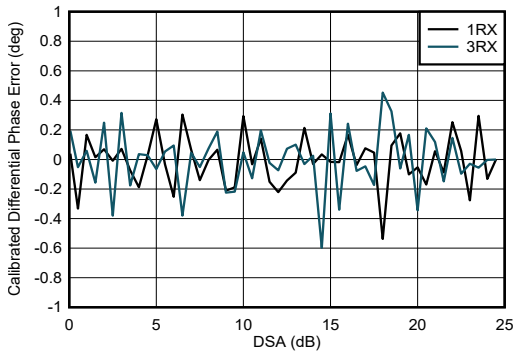
図 4-87. RX 較正済み積分振幅誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

微分位相誤差 = $Phase_{IN}$ (DSA 設定 - 1) - $Phase_{IN}$ (DSA 設定)

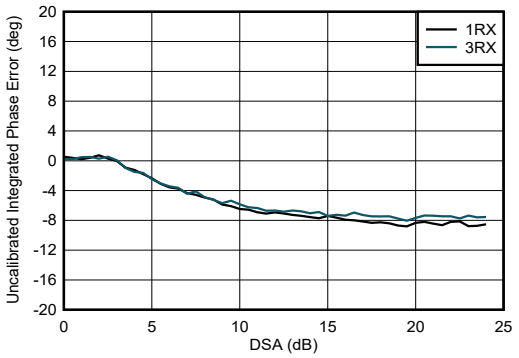
図 4-88. RX 未較正微分位相誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

微分位相誤差 = $Phase_{IN}$ (DSA 設定 - 1) - $Phase_{IN}$ (DSA 設定)

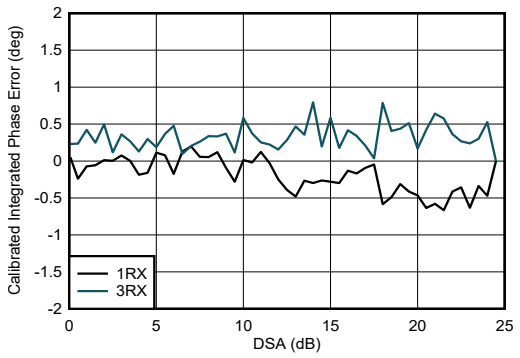
図 4-89. RX 較正済み微分位相誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

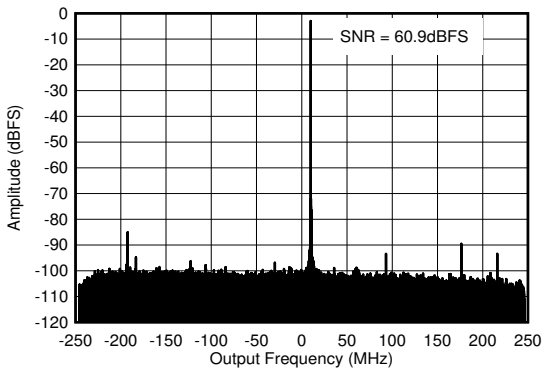
図 4-90. RX 未較正積分位相誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

積分位相誤差 = Phase (DSA 設定) - Phase (DSA 設定 = 0)

図 4-91. RX 較正済み積分位相誤差と DSA 設定との関係 (1.75GHz)



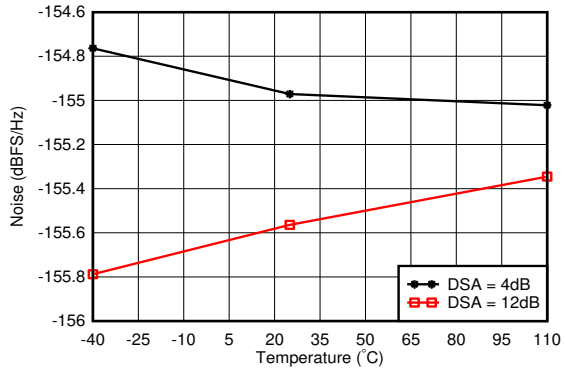
1.8GHz 整合あり、f_{IN} = 2610MHz、A_{IN}= -3dBFS

図 4-92. RX 出力 FFT (1.75GHz)

Copyright © 2025 Texas Instruments Incorporated

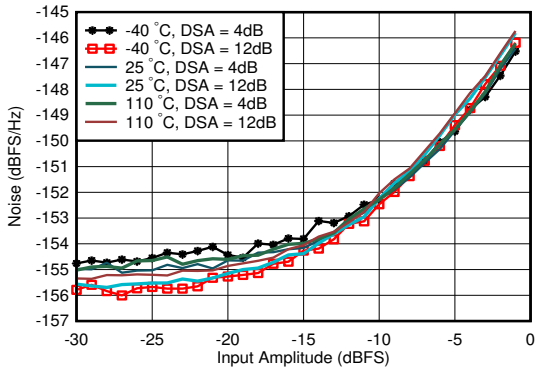
4.12.3 RX 代表的特性：1.75GHz～1.9GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



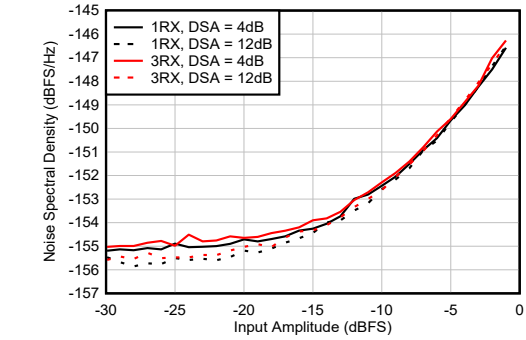
1.8GHz 整合あり、トーンからのオフセット 12.5MHz

図 4-93. RX ノイズ スペクトル密度と温度との関係 (1.75GHz)



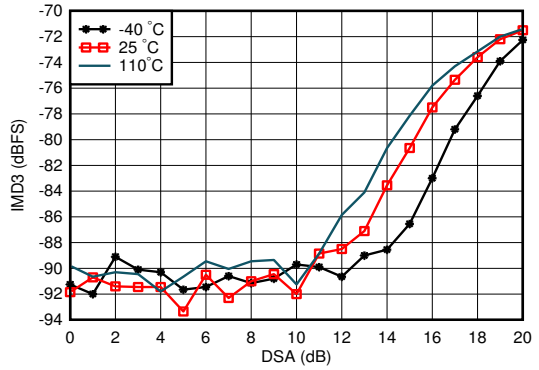
1.8GHz 整合あり、DSA 設定 = 12dB、トーンから 12.5MHz オフセット

図 4-94. RX ノイズ スペクトル密度と入力振幅との関係 (各種温度、1.75GHz)



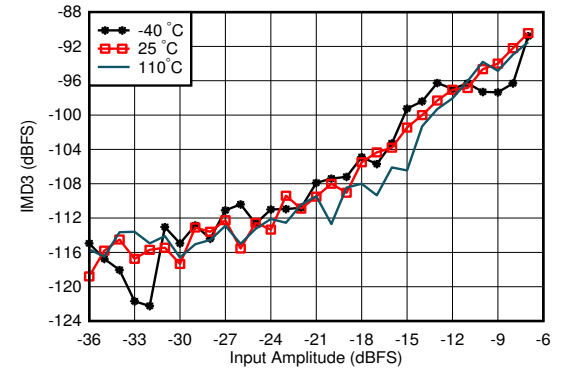
1.8GHz 整合あり、トーンからのオフセット 12.5MHz

図 4-95. RX ノイズ スペクトル密度と入力振幅との関係 (各種チャネル、1.75GHz)



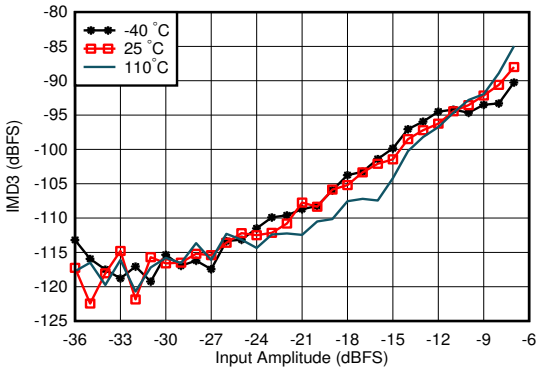
1.8GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 4-96. RX IMD3 と DSA 設定との関係 (各種温度、1.75GHz)



1.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 4dB

図 4-97. RX IMD3 と入力レベルとの関係 (各種温度、1.75GHz)



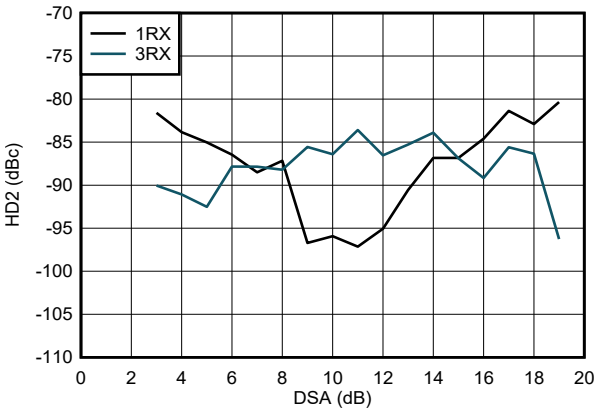
1.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 4-98. RX IMD3 と入力レベルとの関係 (各種温度、1.75GHz)

Copyright © 2025 Texas Instruments Incorporated

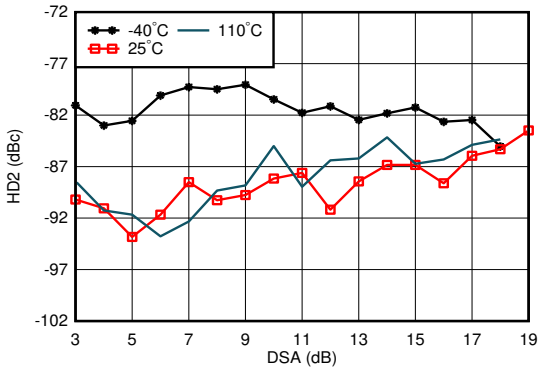
4.12.3 RX 代表的特性：1.75GHz～1.9GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



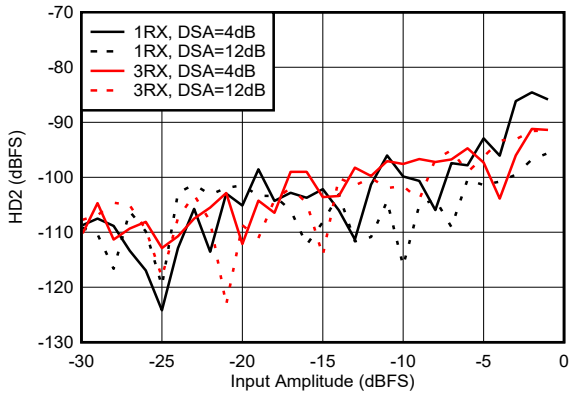
1.8GHz 整合あり、f_{in} = 1900MHz、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-99. RX HD2 と DSA 設定との関係 (各種チャネル、1.9GHz)



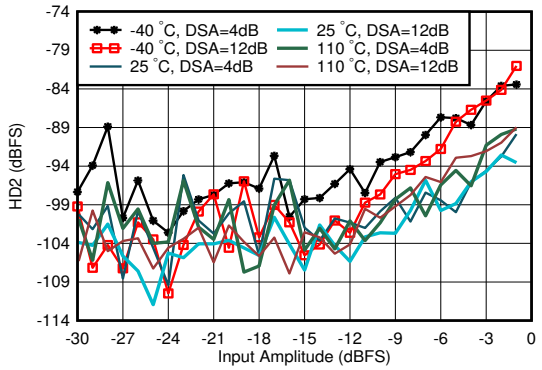
1.8GHz 整合あり、f_{in} = 1900MHz、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-100. RX HD2 と DSA 設定との関係 (各種温度、1.9GHz)



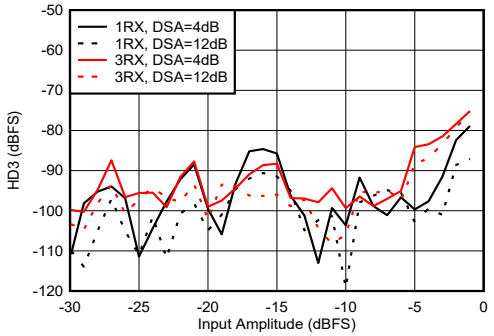
1.8GHz 整合あり、f_{in} = 1900MHz、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-101. RX HD2 と入力振幅との関係 (各種チャネル、1.9GHz)



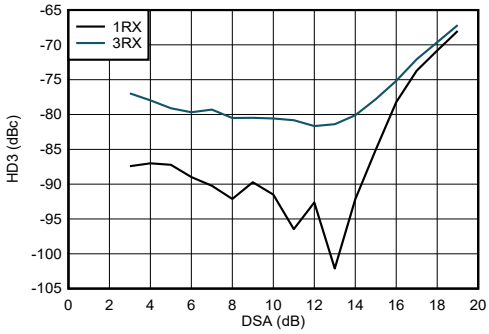
1.8GHz 整合あり、f_{in} = 1900MHz、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-102. RX HD2 と入力振幅との関係 (各種温度、1.9GHz)



1.8GHz 整合あり、f_{in} = 1900MHz、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-103. RX HD3 と DSA 設定との関係 (各種チャネル、1.9GHz)



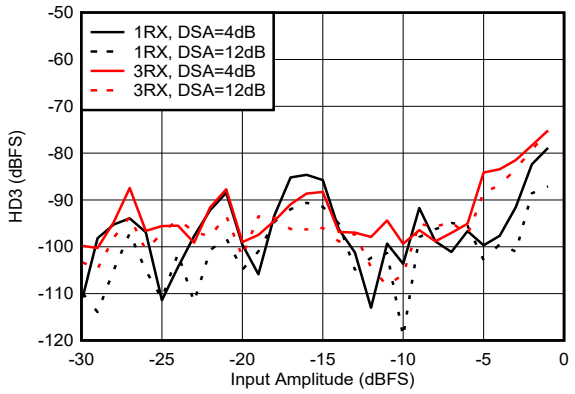
1.8GHz 整合あり、f_{in} = 1900MHz、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-104. RX HD3 と DSA 設定との関係 (各種温度、1.9GHz)

Copyright © 2025 Texas Instruments Incorporated

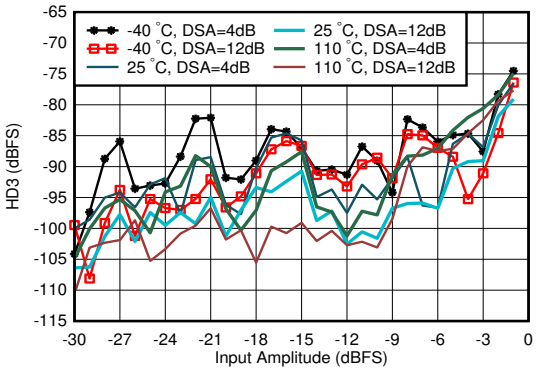
4.12.3 RX 代表的特性：1.75GHz～1.9GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



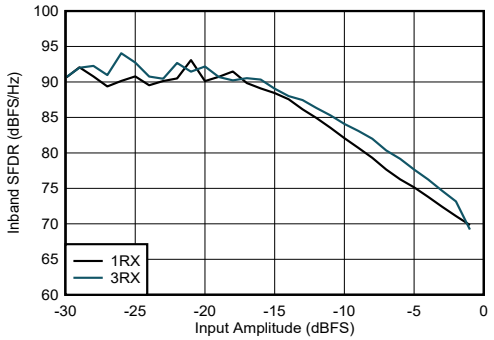
1.8GHz 整合あり、f_{in} = 1900MHz、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-105. RX HD3 と入力レベルとの関係 (各種チャネル、1.9GHz)



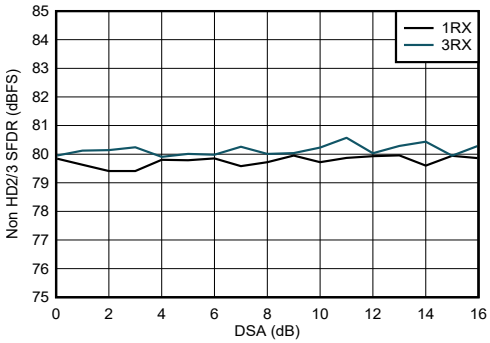
1.8GHz 整合あり、f_{in} = 1900MHz、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-106. RX HD3 と入力レベルとの関係 (各種温度、1.9GHz)



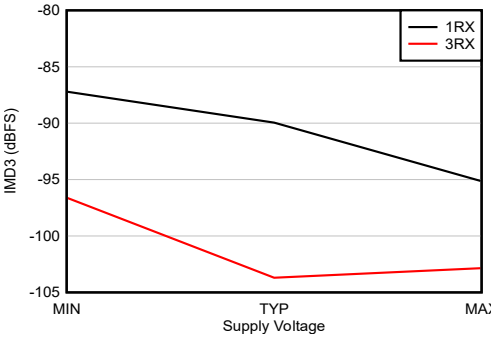
1.8GHz 整合あり、1/3 にデシメーション

図 4-107. RX 帯域内 SFDR (±400MHz) と入力振幅との関係 (1.75GHz)



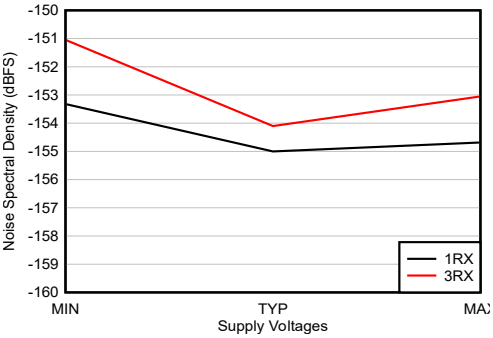
1.8GHz 整合あり

図 4-108. RX (HD2/3 を除く) と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-109. RX IMD3 と電源電圧との関係 (各種チャネル、1.75GHz)



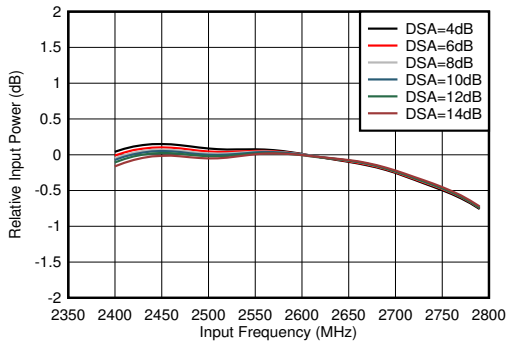
1.8GHz 整合あり、12.5MHz オフセット、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-110. RX ノイズ スペクトル密度と電源電圧との関係 (各種チャネル、1.75GHz)

Copyright © 2025 Texas Instruments Incorporated

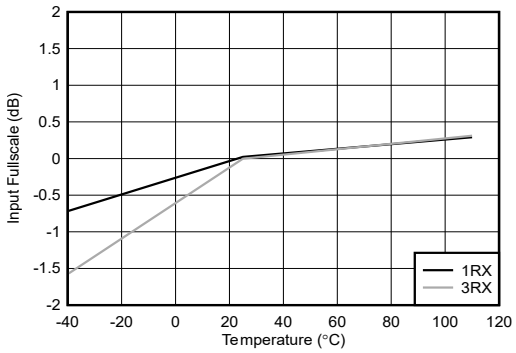
4.12.4 RX 代表的特性：2.6GHz

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



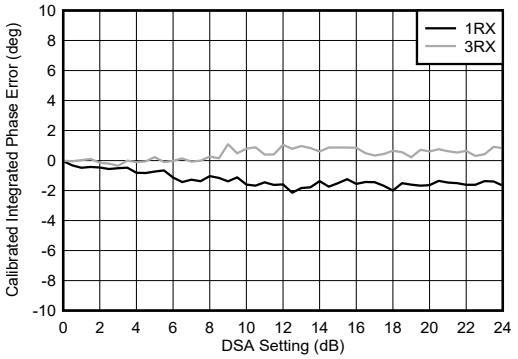
整合あり、各 DSA 設定について 2.6GHz の電力で正規化

図 4-111. RX 帯域内ゲイン平坦性 (f_{IN} = 2600MHz)



2.6GHz 整合あり、各チャネルについて 25℃のフルスケールで正規化

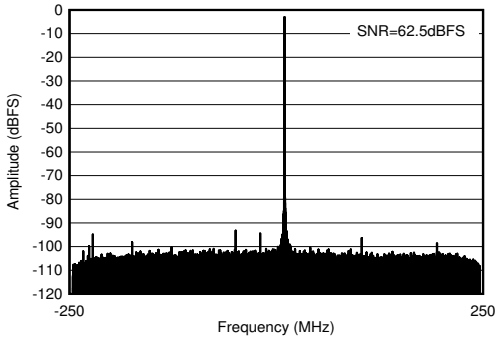
図 4-112. RX 入力フルスケールと温度との関係 (各種チャネル、2.6GHz)



2.6GHz 整合あり

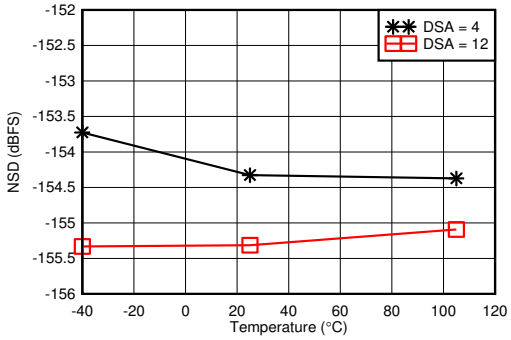
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-113. RX 較正済み積分位相誤差と DSA 設定との関係 (2.6GHz)



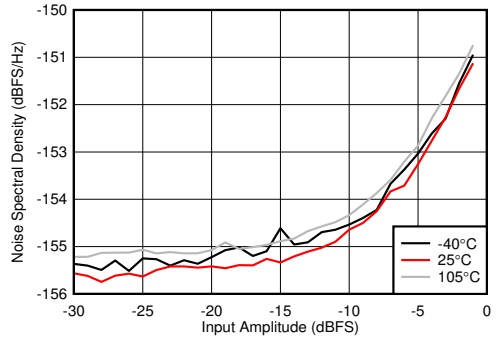
2.6GHz 整合あり、f_{IN} = 2610MHz、A_{IN}= -3dBFS

図 4-114. RX 出力 FFT (2.6GHz)



2.6GHz 整合あり、トーンからのオフセット 12.5MHz

図 4-115. RX ノイズ スペクトル密度と温度との関係 (2.6GHz)

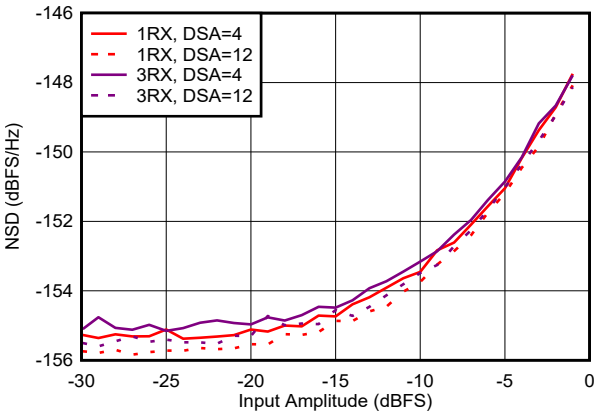


2.6GHz 整合あり、DSA 設定 = 12dB、トーンから 12.5MHz オフセット

図 4-116. RX ノイズ スペクトル密度と入力振幅との関係 (各種温度、2.6GHz)

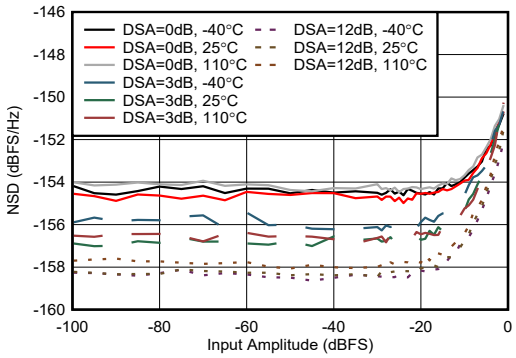
4.12.4 RX 代表的特性：2.6GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



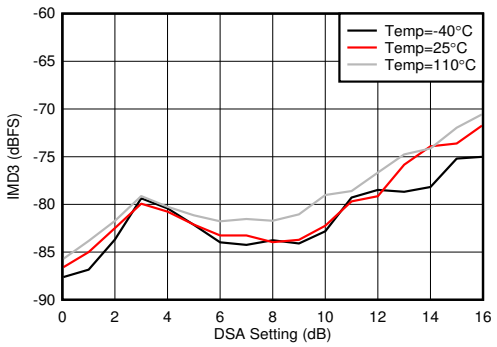
2.6GHz 整合あり、トーンからのオフセット 12.5MHz

図 4-117. RX ノイズ スペクトル密度と入力振幅との関係 (各種チャネル、2.6GHz)



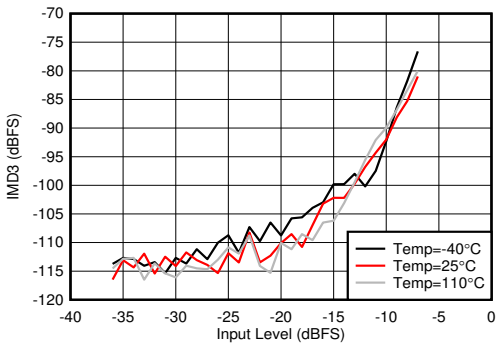
トーンから 50MHz のオフセット、外部クロック モード

図 4-118. 2.61GHz での RX ノイズ スペクトル密度と温度との関係 (外部クロック)



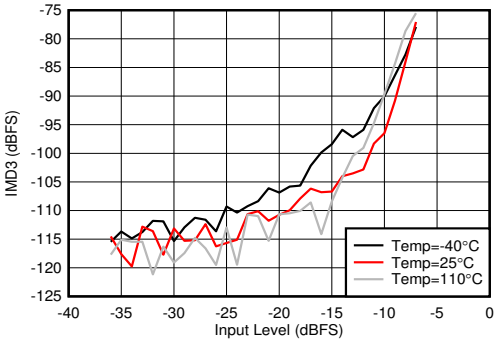
2.6GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 4-119. RX IMD3 と DSA 設定との関係 (各種温度、2.6GHz)



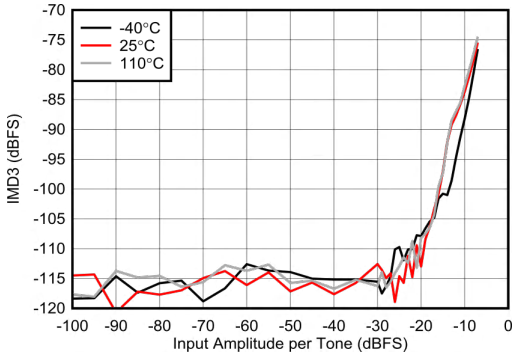
2.6GHz 整合あり、トーン間隔 = 20MHz、DSA = 4dB

図 4-120. RX IMD3 と入力レベルとの関係 (各種温度、2.6GHz)



2.6GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 4-121. RX IMD3 と入力レベルとの関係 (各種温度、2.6GHz)



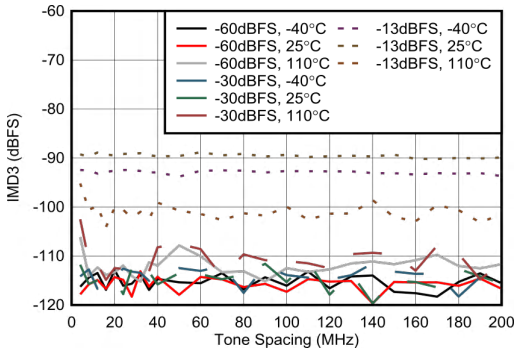
トーン間隔 = 50 MHz、外部クロック モード

図 4-122. 2.6GHz での RX IMD3 と入力レベルとの関係 (外部クロック)

Copyright © 2025 Texas Instruments Incorporated

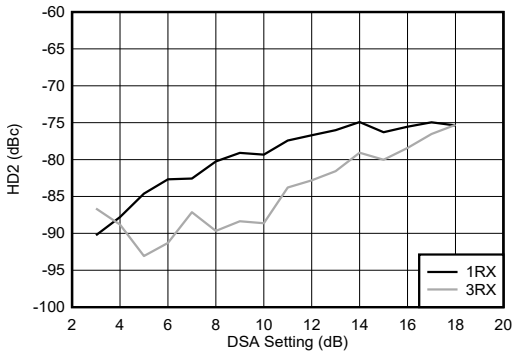
4.12.4 RX 代表的特性：2.6GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



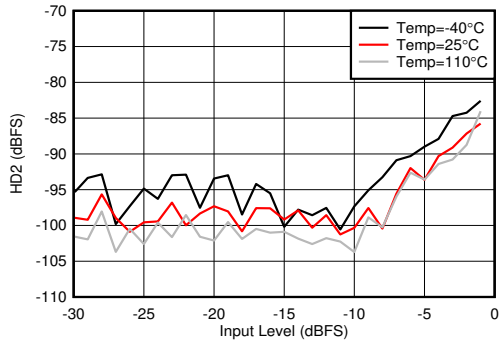
外部クロック モード

図 4-123. 2.6GHz での RX IMD3 とトーン間隔との関係 (外部クロック)



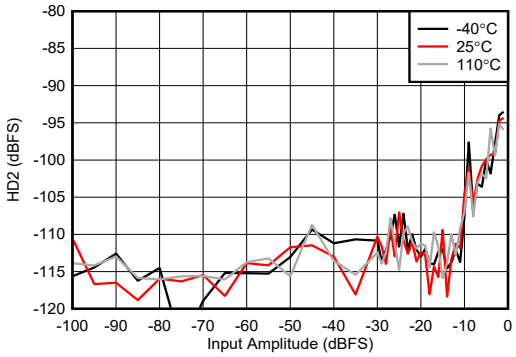
2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-124. RX HD2 と DSA 設定との関係 (各種チャネル、2.6GHz)



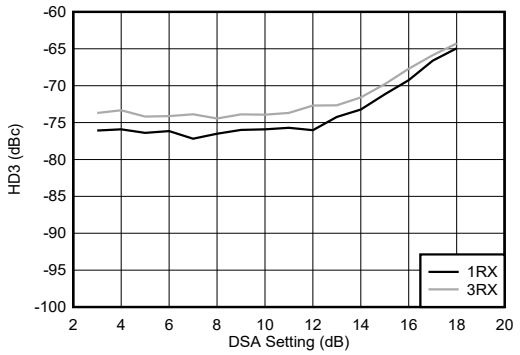
2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-125. RX HD2 と入力レベルとの関係 (各種温度、2.6GHz)



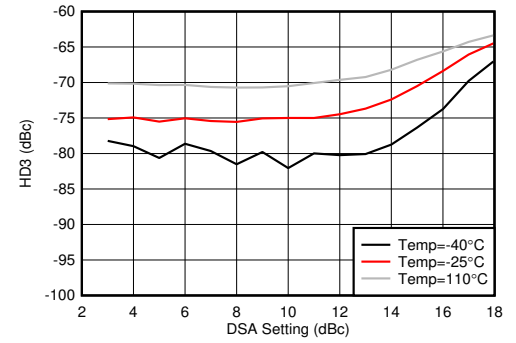
外部クロック モード

図 4-126. RX HD2 と入力レベルとの関係 (各種温度、2.6GHz)



2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-127. RX HD3 と DSA 設定との関係 (各種チャネル、2.6GHz)



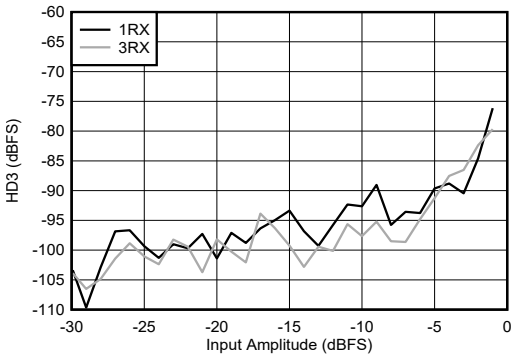
2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-128. RX HD3 と DSA 設定との関係 (各種温度、2.6GHz)

Copyright © 2025 Texas Instruments Incorporated

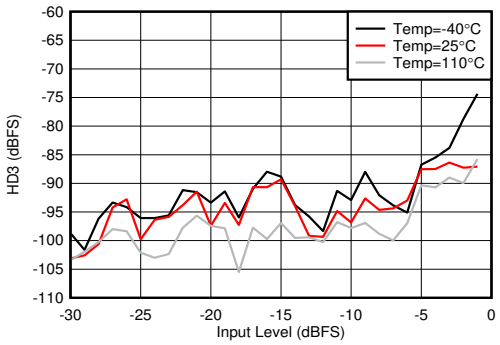
4.12.4 RX 代表的特性：2.6GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



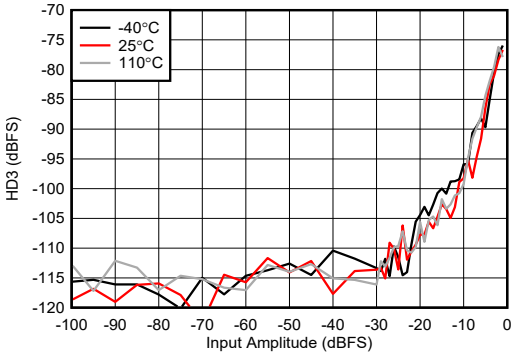
2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-129. RX HD3 と入力レベルとの関係 (各種チャネル、2.6GHz)



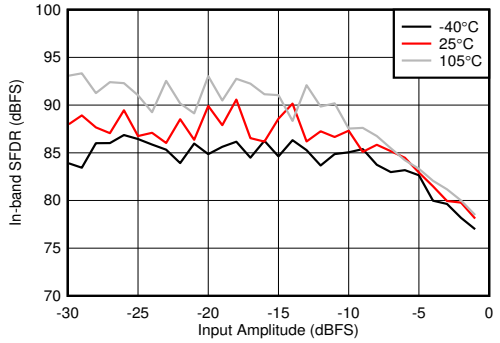
2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-130. RX HD3 と入力レベルとの関係 (各種温度、2.6GHz)



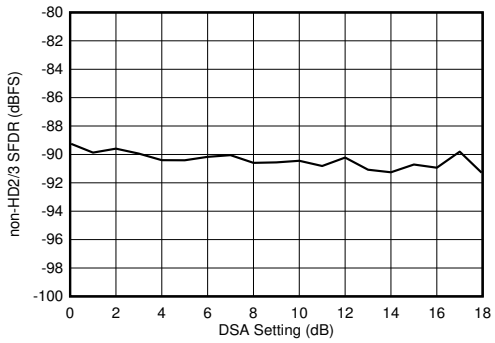
外部クロック モード

図 4-131. RX HD3 と入力レベルとの関係 (各種温度、2.6GHz)



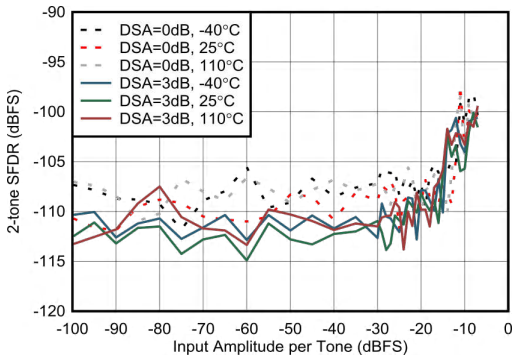
2.6GHz 整合あり、1/4 にデシメーション

図 4-132. RX 帯域内 SFDR (±300MHz) と入力振幅との関係 (各種温度、2.6GHz)



2.6GHz 整合あり

図 4-133. RX (HD2/3 を除く) と DSA 設定との関係 (2.6GHz)



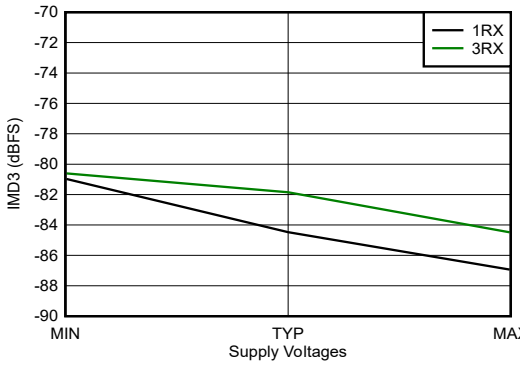
外部クロック モード、50MHz トーン間隔、3 次歪みを除く

図 4-134. 2.6 GHz での RX 2 トーン SFDR と入力振幅との関係

Copyright © 2025 Texas Instruments Incorporated

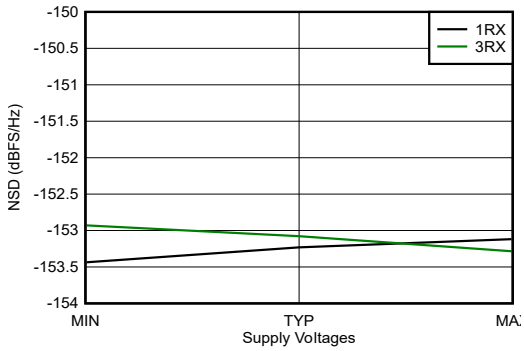
4.12.4 RX 代表的特性：2.6GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



2.6GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-135. RX IMD3 と電源電圧との関係 (各種チャネル、2.6GHz)

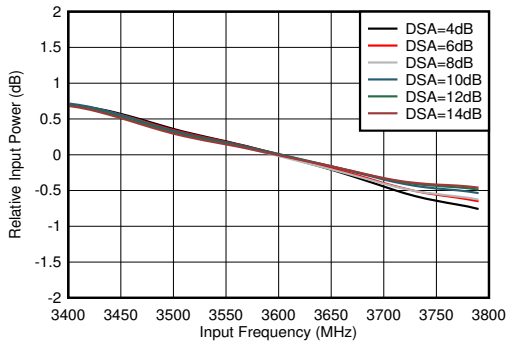


2.6GHz 整合あり、12.5MHz オフセット、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-136. RX ノイズ スペクトル密度と電源電圧との関係 (各種チャネル、2.6GHz)

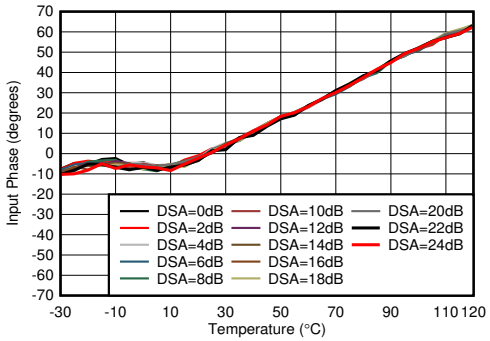
4.12.5 RX 代表的特性：3.5GHz

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



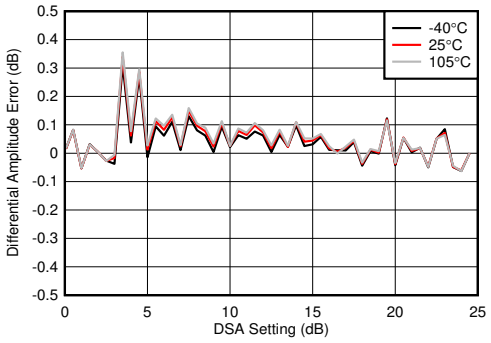
3.6GHz 整合あり、3.6GHz で正規化

図 4-137. RX 帯域内ゲイン平坦性 (f_{IN} = 3600MHz)



3.6GHz 整合あり、25℃の位相で正規化

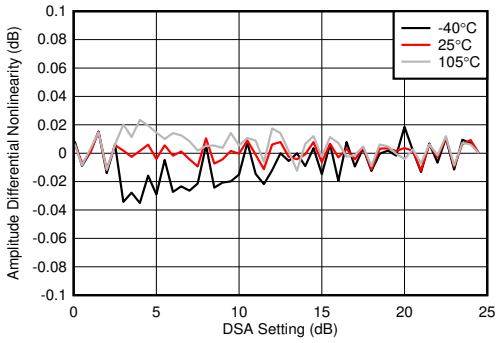
図 4-138. RX 入力位相と温度との関係 (3.6GHz)



3.6GHz 整合あり

微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

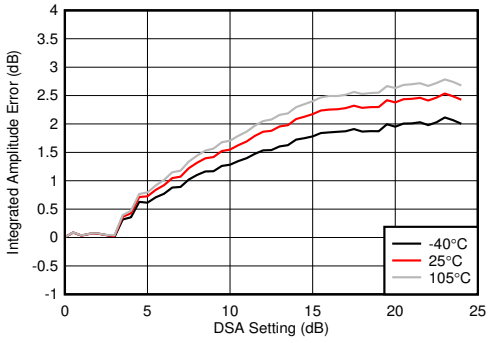
図 4-139. RX 未較正微分振幅誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり

微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

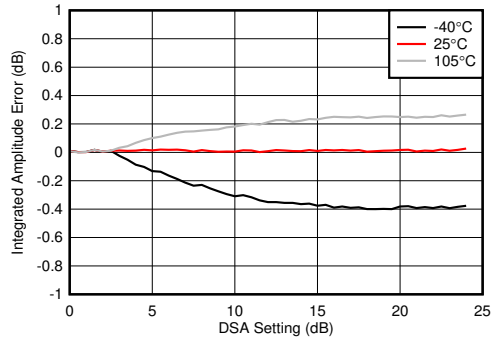
図 4-140. RX 較正済み微分振幅誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり

積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

図 4-141. RX 未較正積分振幅誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり

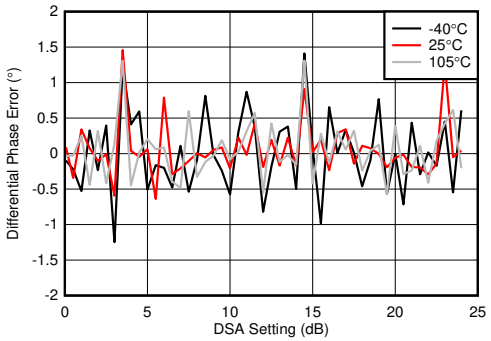
積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

図 4-142. RX 較正済み積分振幅誤差と DSA 設定との関係 (3.6GHz)

Copyright © 2025 Texas Instruments Incorporated

4.12.5 RX 代表的特性：3.5GHz (続き)

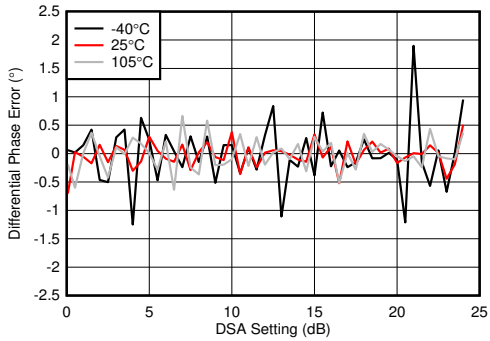
T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



3.6GHz 整合あり

微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

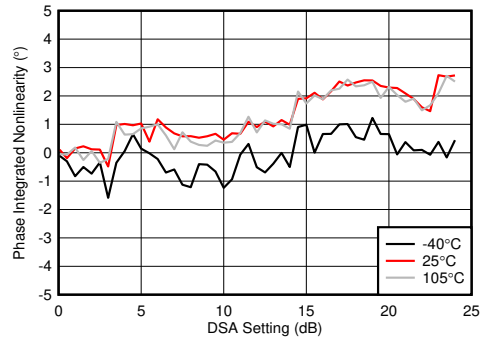
図 4-143. RX 未較正位相誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり

微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

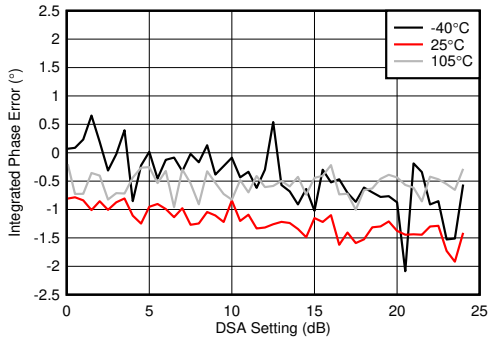
図 4-144. RX 較正済み微分位相誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり

積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

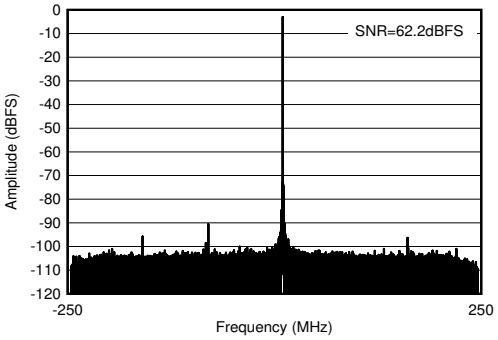
図 4-145. RX 未較正積分位相誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり

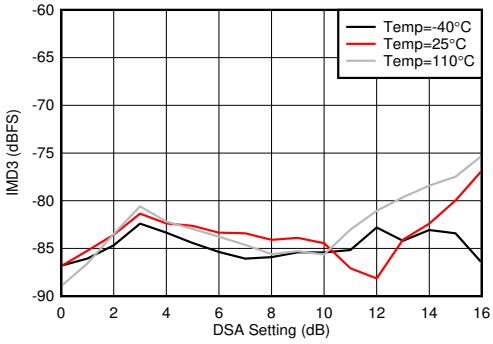
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-146. RX 較正済み積分位相誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり、f_{IN} = 3610MHz、A_{IN} = -3dBFS

図 4-147. RX 出力 FFT (3.6GHz)



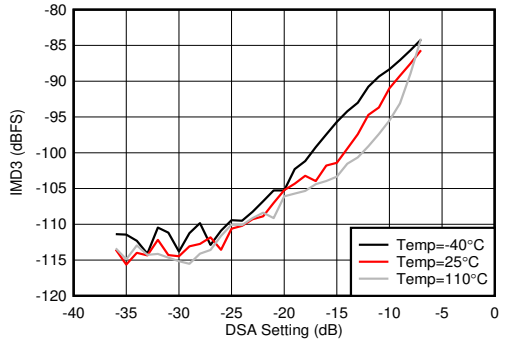
3.5GHz 整合あり、各トーンは -7dBFS、20MHz のトーン間隔

図 4-148. RX IMD3 と DSA 設定との関係 (各種温度、3.6GHz)

Copyright © 2025 Texas Instruments Incorporated

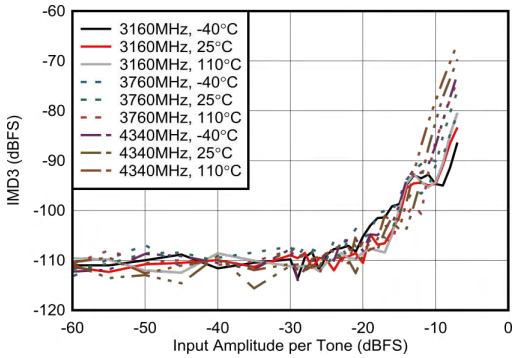
4.12.5 RX 代表的特性：3.5GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



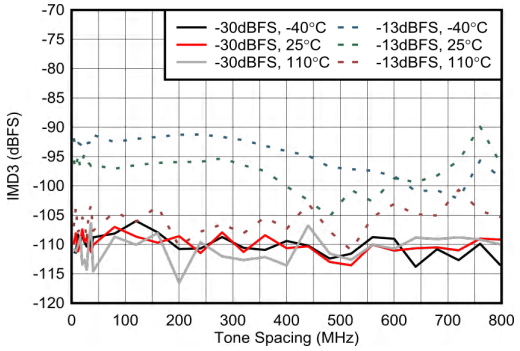
3.5GHz 整合あり、20MHz のトーン間隔

図 4-149. RX IMD3 と入力レベルとの関係 (各種温度、3.6GHz)



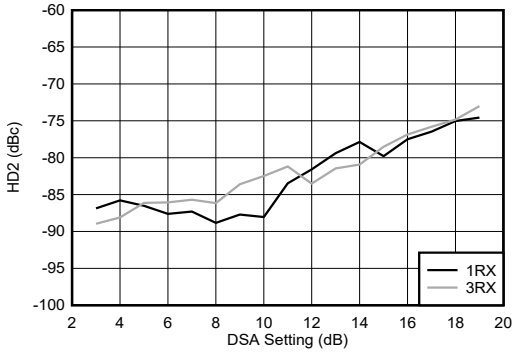
外部クロック モード、20MHz のトーン間隔、2x のデシメーション

図 4-150. RX IMD3 と入力レベルとの関係



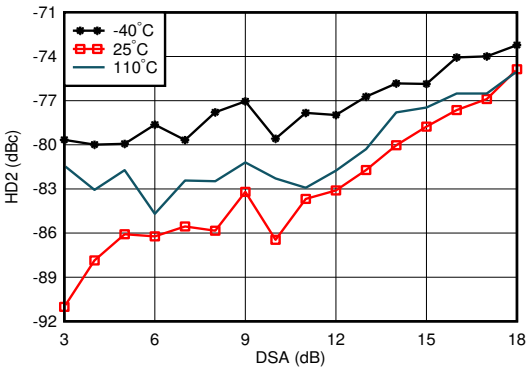
外部クロック モード イネーブル、2x のデシメーション

図 4-151. RX IMD3 とトーン間隔との関係 (3.76GHz)



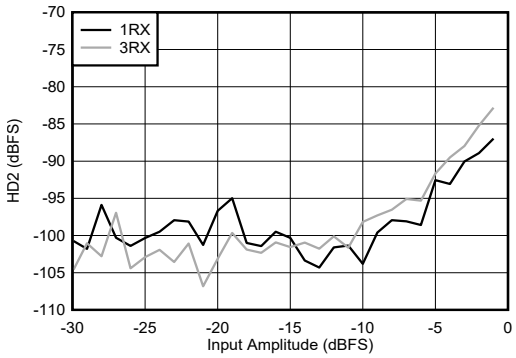
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-152. RX HD2 と DSA 設定との関係 (各種チャネル、3.6GHz)



3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-153. RX HD2 と DSA 設定との関係 (各種温度、3.6GHz)



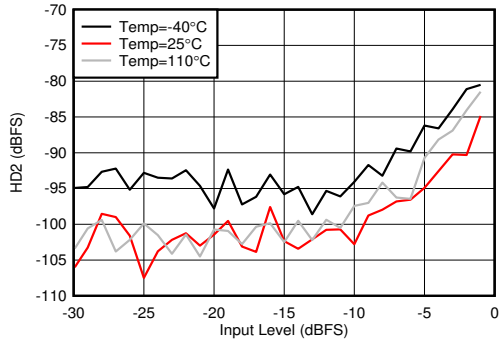
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-154. RX HD2 と入力レベルとの関係 (各種チャネル、3.6GHz)

Copyright © 2025 Texas Instruments Incorporated

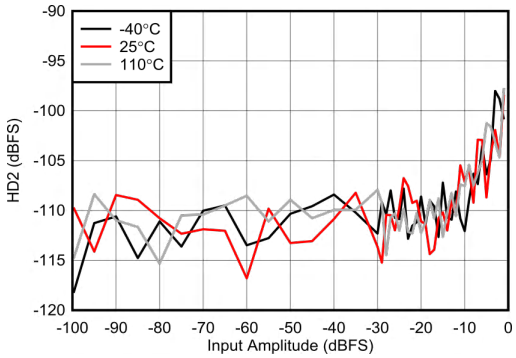
4.12.5 RX 代表的特性：3.5GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



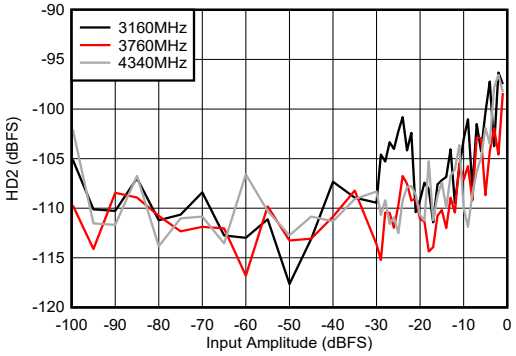
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-155. RX HD2 と入力レベルとの関係 (各種温度、3.6GHz)



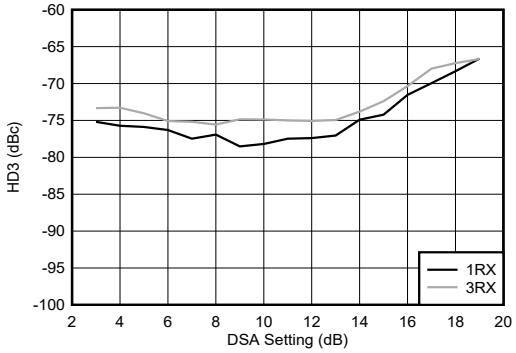
外部クロック モード イネーブル、2x のデシメーション

図 4-156. RX HD2 と入力レベルとの関係 (3.76GHz)



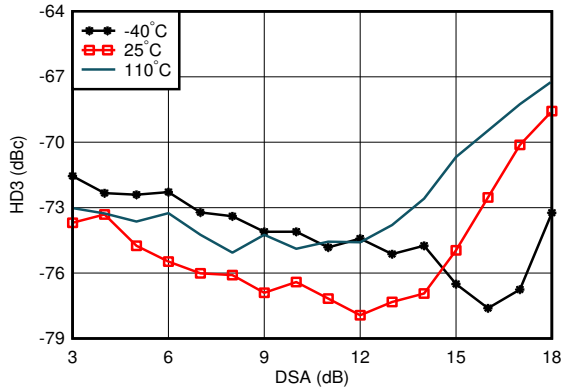
外部クロックモード、25°C、2x でのデシメーション

図 4-157. RX HD2 と入力レベルとの関係



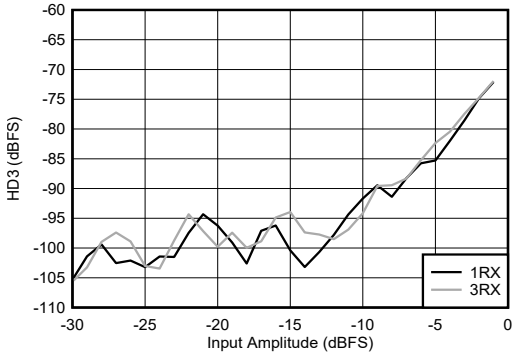
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-158. RX HD3 と DSA 設定との関係 (各種チャネル、3.6GHz)



3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-159. RX HD3 と DSA 設定との関係 (各種温度、3.6GHz)



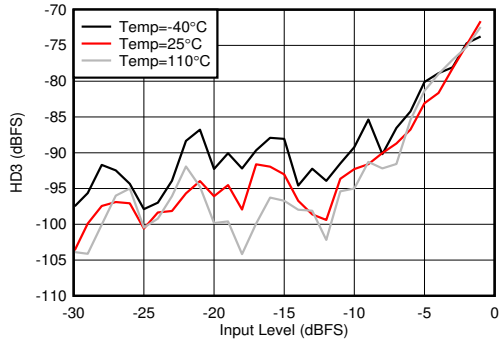
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-160. RX HD3 と入力レベルとの関係 (各種チャネル、3.6GHz)

Copyright © 2025 Texas Instruments Incorporated

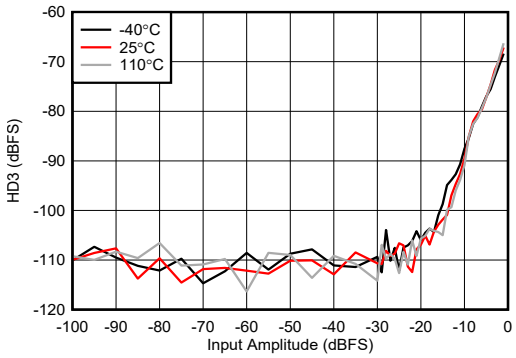
4.12.5 RX 代表的特性：3.5GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



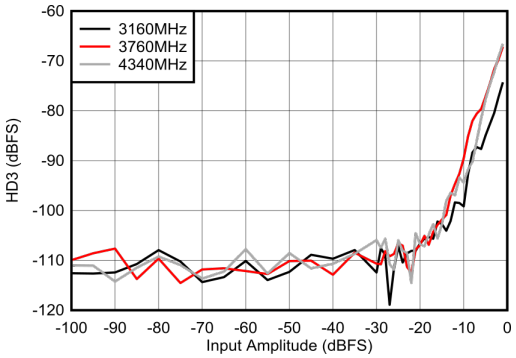
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-161. RX HD3 と入力レベルとの関係 (各種温度、3.6GHz)



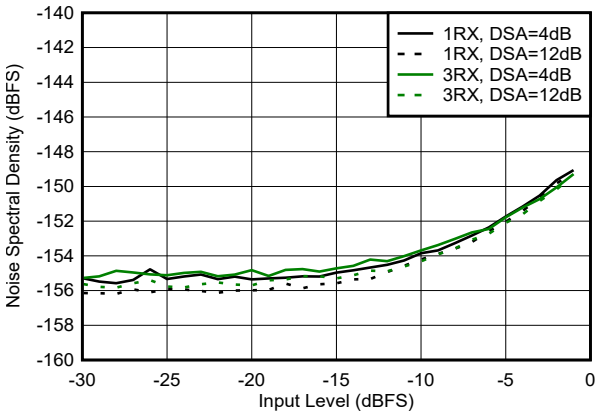
外部クロック モード イネーブル、2x のデシメーション

図 4-162. RX HD3 と入力レベルとの関係 (3.76GHz)



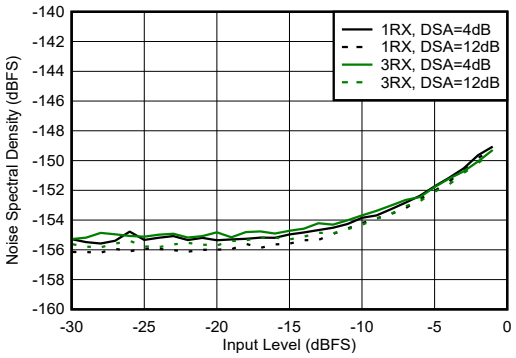
外部クロックモード、25°C、2x でのデシメーション

図 4-163. RX HD3 と入力レベルとの関係



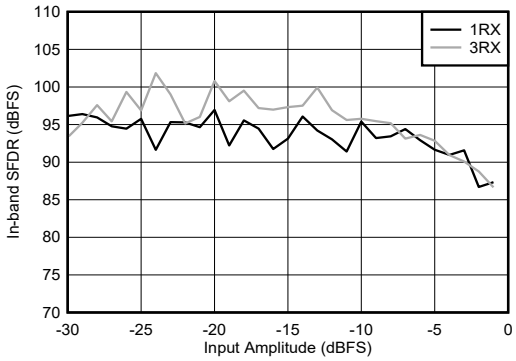
3.5GHz 整合あり、トーンからのオフセット 12.5MHz

図 4-164. RX ノイズ スペクトル密度と入力レベルとの関係 (各種 DSA 設定、3.6GHz)



外部クロックモード、25°C、2x でのデシメーション

図 4-165. RX ノイズ スペクトル密度と入力レベルとの関係 (3.76GHz)



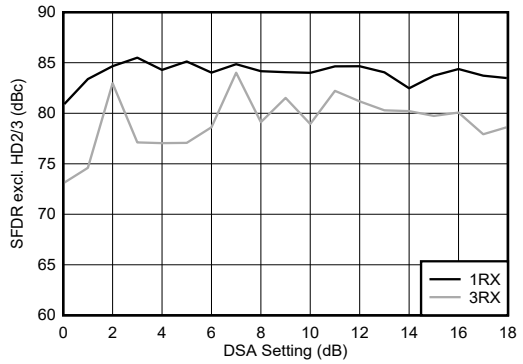
3.5GHz 整合あり

図 4-166. RX 帯域内 SFDR (±200MHz) と入力レベルとの関係 (各種チャネル、3.6GHz)

Copyright © 2025 Texas Instruments Incorporated

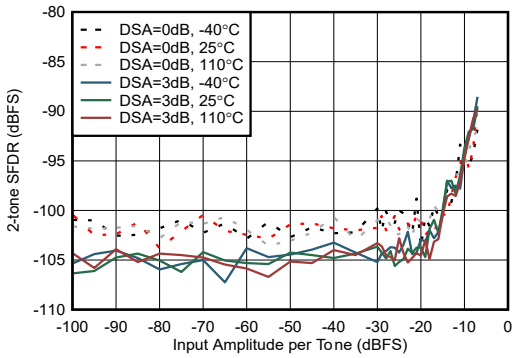
4.12.5 RX 代表的特性：3.5GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



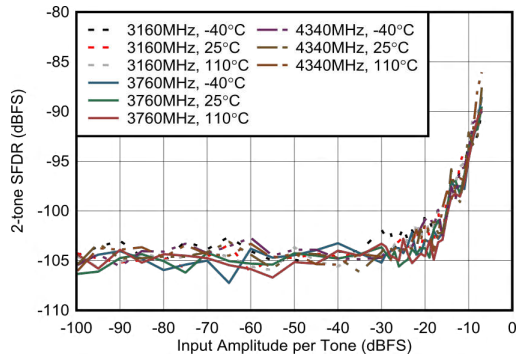
3.5GHz 整合あり

図 4-167. RX SFDR (HD2/3 を除く) と DSA 設定との関係 (各種チャネル、3.6GHz)



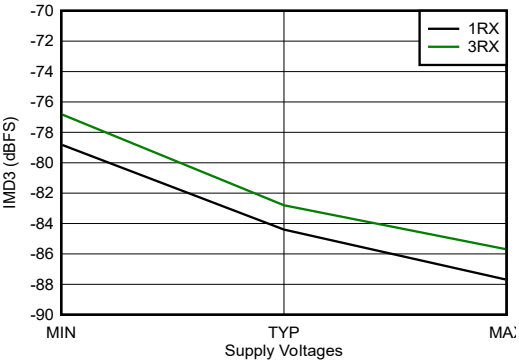
外部クロック モード、20MHz トーン間隔、3 次歪みを除く

図 4-168. RX 2 トーン SFDR と入力振幅、各種 DSA 設定との関係 (3.7 GHz)



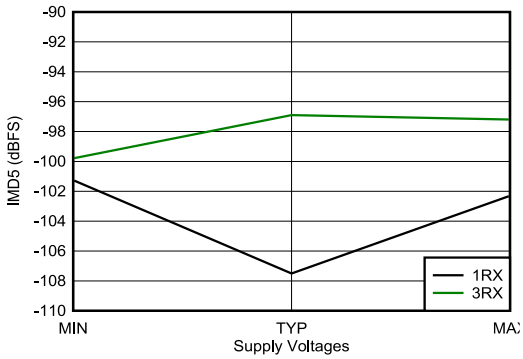
外部クロック モード、20MHz トーン間隔、3 次歪みを除く

図 4-169. RX 2 トーン SFDR 、入力新億、周波数との関係 (3.7GHz)



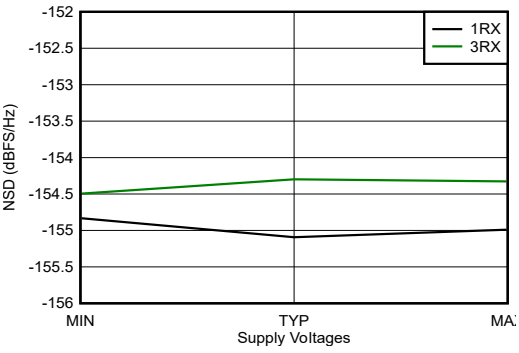
3.6GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-170. RX IMD3 と電源電圧との関係 (各種チャネル、3.6GHz)



3.6GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-171. RX IMD5 と電源電圧との関係 (各種チャネル、3.6GHz)



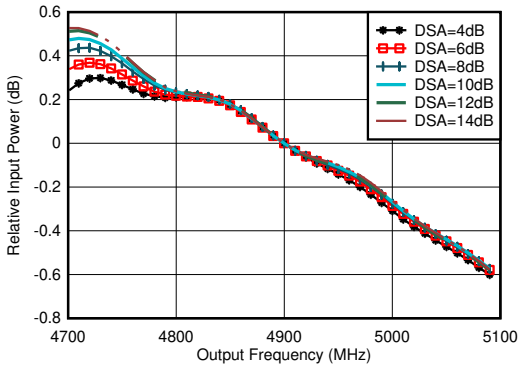
3.6GHz 整合あり、-20dBFS のトーン、12.5MHz のオフセット周波数、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-172. RX ノイズ スペクトル密度と電源電圧との関係 (各種チャネル、3.6GHz)

Copyright © 2025 Texas Instruments Incorporated

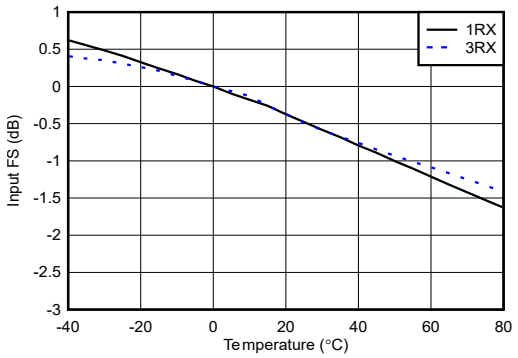
4.12.6 RX 代表的特性：4.9GHz

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



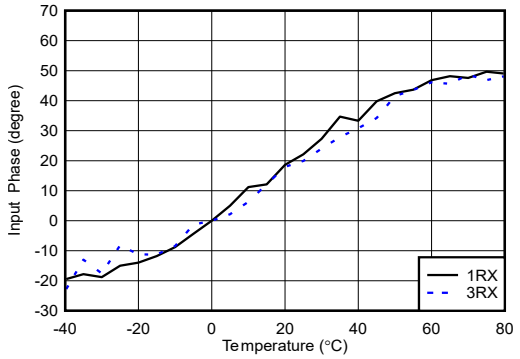
整合あり、各 DSA 設定について 4.9GHz の電力で正規化

図 4-173. RX 帯域内ゲイン平坦性 (f_{IN} = 4900MHz)



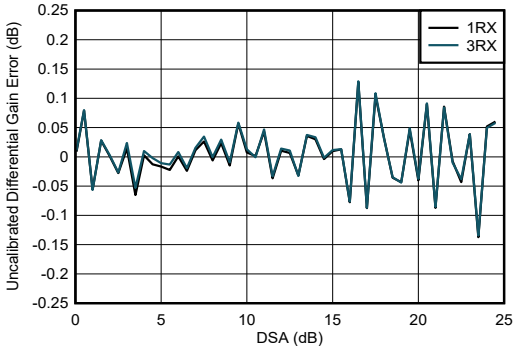
4.9GHz 整合あり、各チャネルについて 25℃のフルスケールで正規化

図 4-174. RX 入力フルスケールと温度との関係 (各種チャネル、4.9GHz)



4.9GHz 整合あり、25℃の位相で正規化

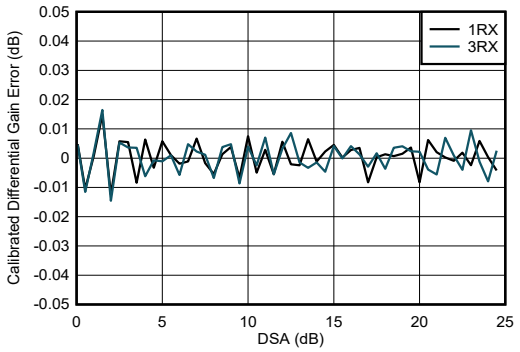
図 4-175. RX 入力位相と温度との関係 (各種 DSA、f_{OUT} = 4.9GHz)



4.9GHz 整合あり

微分振幅誤差 = P_{IN} (DSA 設定 – 1) – P_{IN} (DSA 設定) + 1

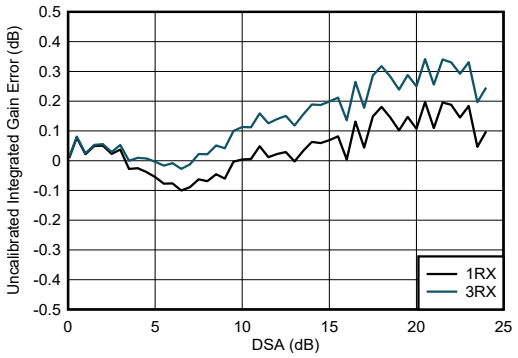
図 4-176. RX 未較正微分振幅誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

微分振幅誤差 = P_{IN} (DSA 設定 – 1) – P_{IN} (DSA 設定) + 1

図 4-177. RX 較正済み微分振幅誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

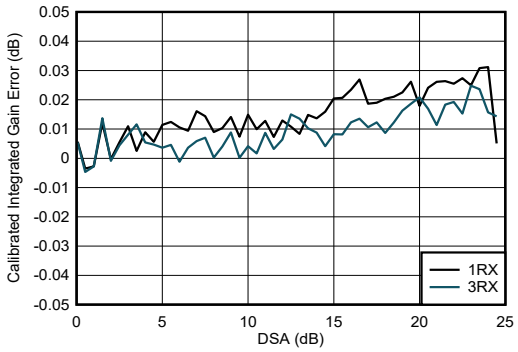
積分振幅誤差 = P_{IN} (DSA 設定) – P_{IN} (DSA 設定 = 0) + (DSA 設定)

図 4-178. RX 未較正積分振幅誤差と DSA 設定との関係 (4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

4.12.6 RX 代表的特性：4.9GHz (続き)

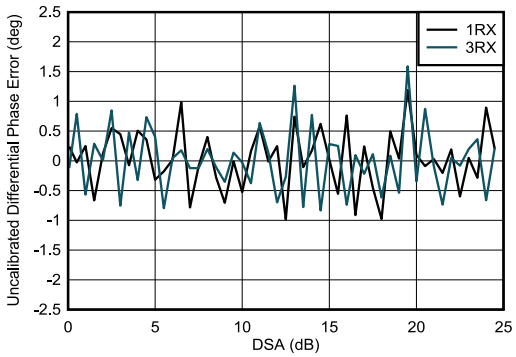
T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



4.9GHz 整合あり

積分振幅誤差 = P_{IN} (DSA 設定) – P_{IN} (DSA 設定 = 0) + (DSA 設定)

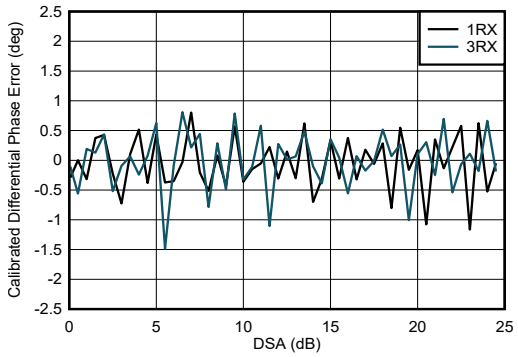
図 4-179. RX 較正済み積分振幅誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

微分位相誤差 = $Phase_{IN}$ (DSA 設定 – 1) – $Phase_{IN}$ (DSA 設定)

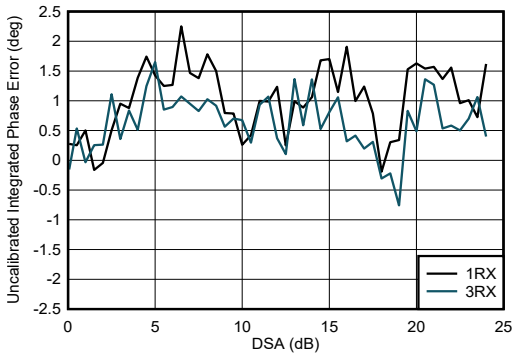
図 4-180. RX 未較正微分位相誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

微分位相誤差 = $Phase_{IN}$ (DSA 設定 – 1) – $Phase_{IN}$ (DSA 設定)

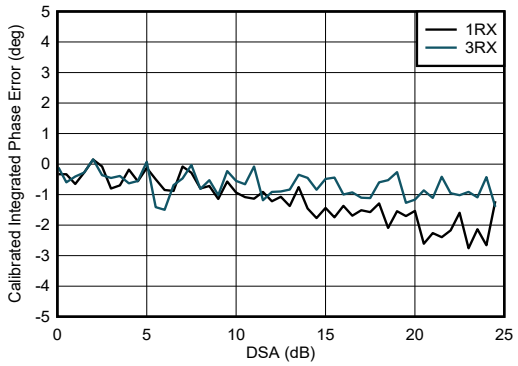
図 4-181. RX 較正済み微分位相誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

積分位相誤差 = Phase (DSA 設定) – Phase (DSA 設定 = 0)

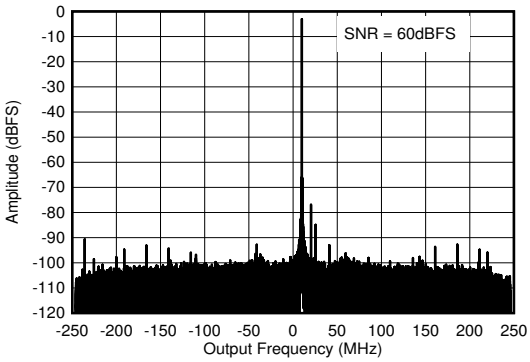
図 4-182. RX 未較正積分位相誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

積分位相誤差 = Phase (DSA 設定) – Phase (DSA 設定 = 0)

図 4-183. RX 較正済み積分位相誤差と DSA 設定との関係 (4.9GHz)

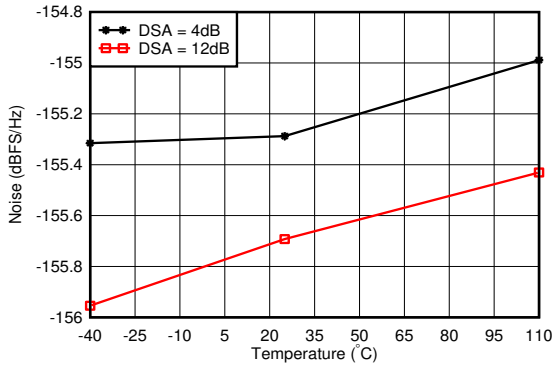


4.9GHz 整合あり、f_{IN} = 4910MHz、A_{IN}= -3dBFS

図 4-184. RX 出力 FFT (4.9GHz)

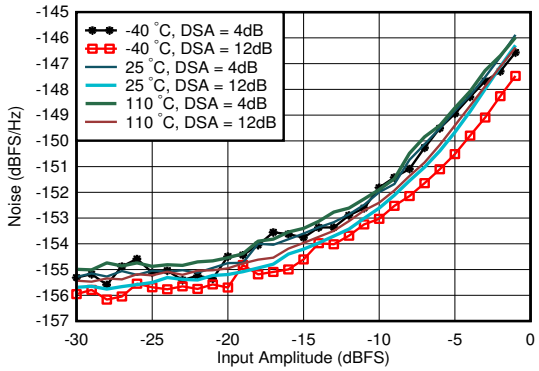
4.12.6 RX 代表的特性：4.9GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



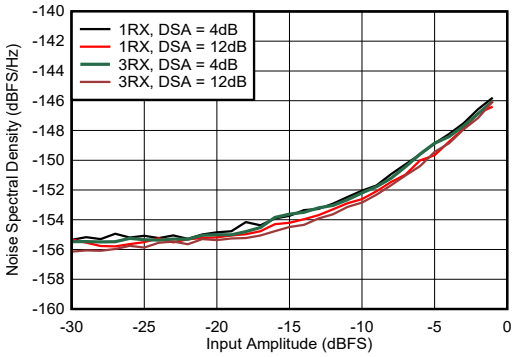
4.9GHz 整合あり、トーンからのオフセット 12.5MHz

図 4-185. RX ノイズ スペクトル密度と温度との関係 (4.9GHz)



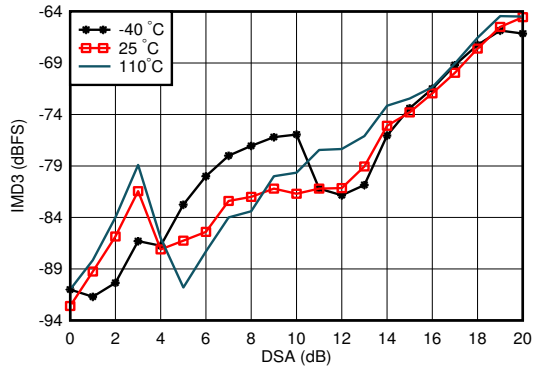
4.9GHz 整合あり、DSA 設定 = 12dB、トーンから 12.5MHz オフセット

図 4-186. RX ノイズ スペクトル密度と入力振幅との関係 (各種温度、4.9GHz)



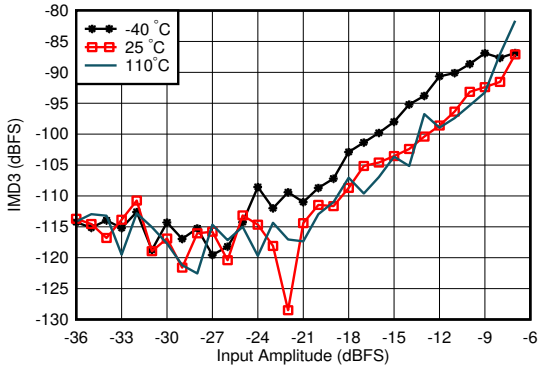
4.9GHz 整合あり、トーンからのオフセット 12.5MHz

図 4-187. RX ノイズ スペクトル密度と入力振幅との関係 (各種チャネル、4.9GHz)



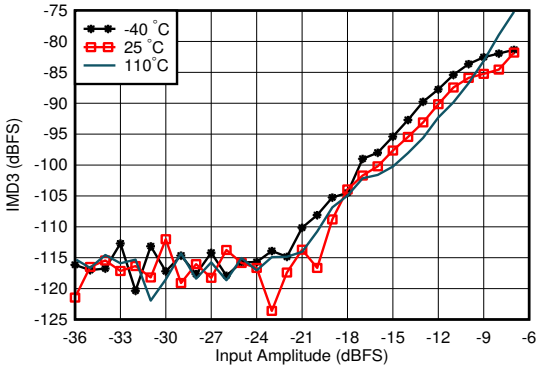
4.9GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 4-188. RX IMD3 と DSA 設定との関係 (各種温度、4.9GHz)



4.9GHz 整合あり、トーン間隔 = 20MHz、DSA = 4dB

図 4-189. RX IMD3 と入力レベルとの関係 (各種温度、4.9GHz)



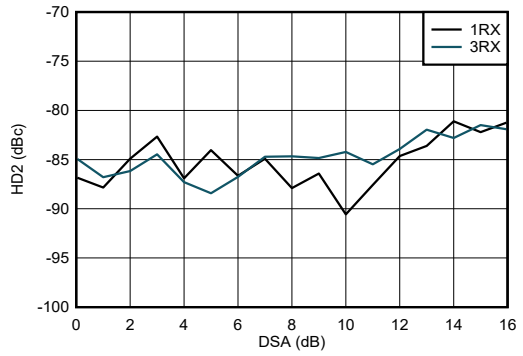
4.9GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 4-190. RX IMD3 と入力レベルとの関係 (各種温度、4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

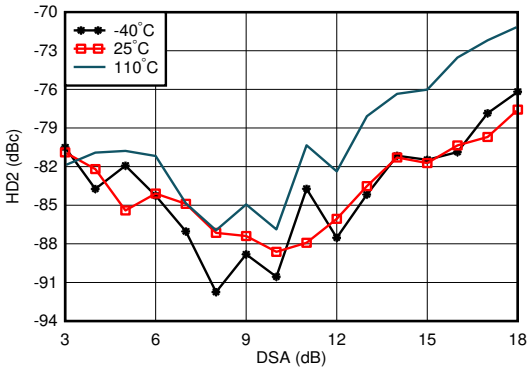
4.12.6 RX 代表的特性：4.9GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



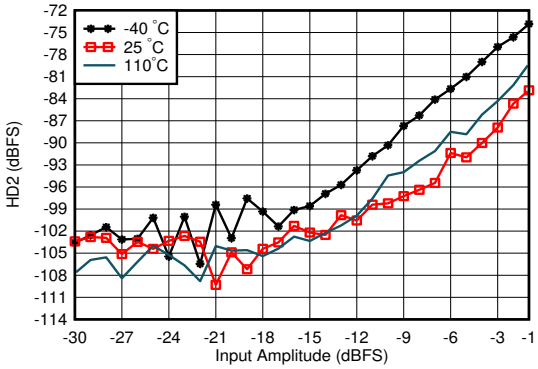
4.9GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-191. RX HD2 と DSA 設定との関係 (各種チャネル、4.9GHz)



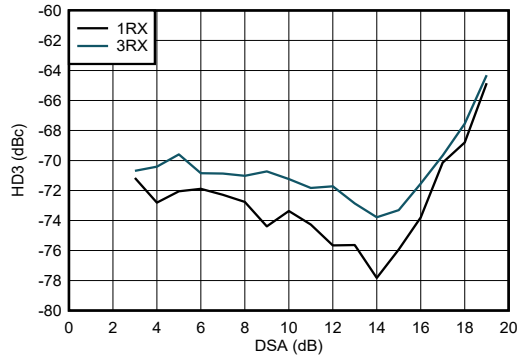
4.9GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-192. RX HD2 と DSA 設定との関係 (各種温度、4.9GHz)



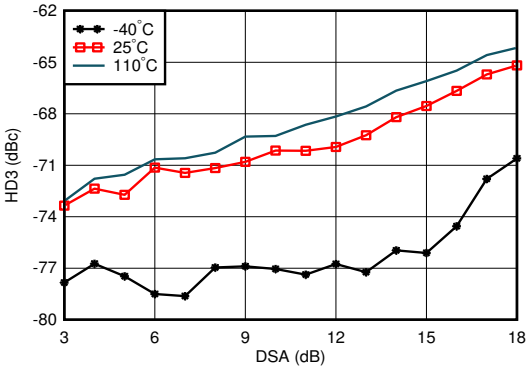
4.9GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-193. RX HD2 と入力レベルとの関係 (各種温度、4.9GHz)



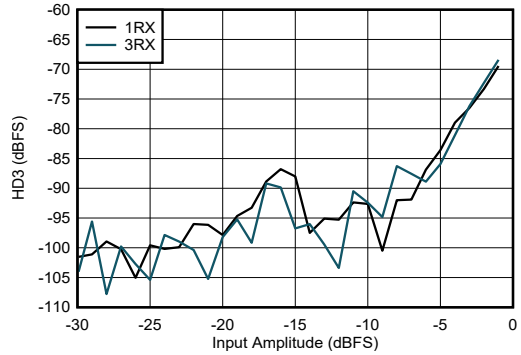
4.9GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-194. RX HD3 と DSA 設定との関係 (各種チャネル、4.9GHz)



4.9GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-195. RX HD3 と DSA 設定との関係 (各種温度、4.9GHz)



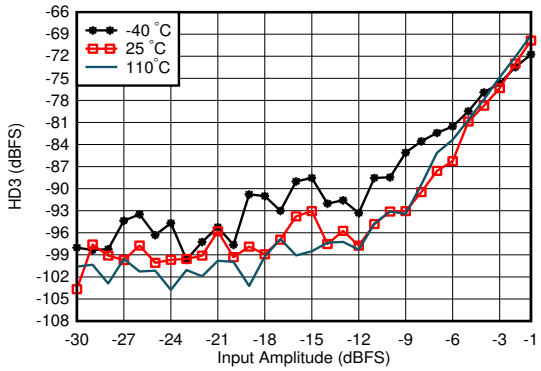
4.9GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-196. RX HD3 と入力レベルとの関係 (各種チャネル、4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

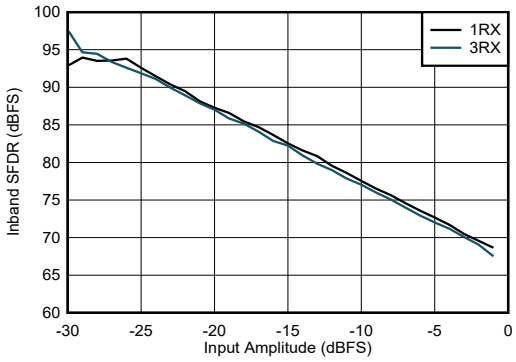
4.12.6 RX 代表的特性：4.9GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



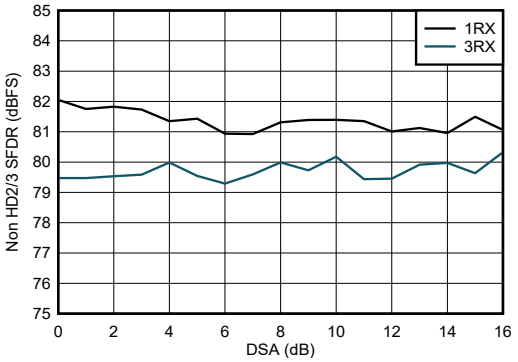
4.9GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-197. RX HD3 と入力レベルとの関係 (各種温度、4.9GHz)



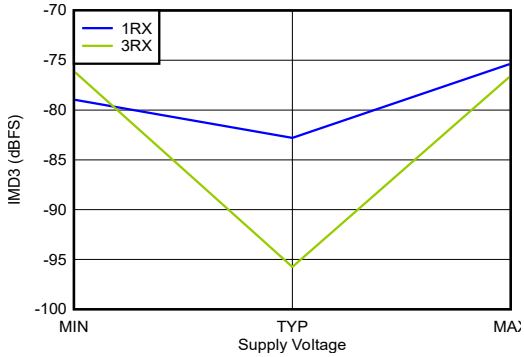
4.9GHz 整合あり、1/3 にデシメーション

図 4-198. RX 帯域内 SFDR (±400MHz) と入力振幅との関係 (各種チャネル、4.9GHz)



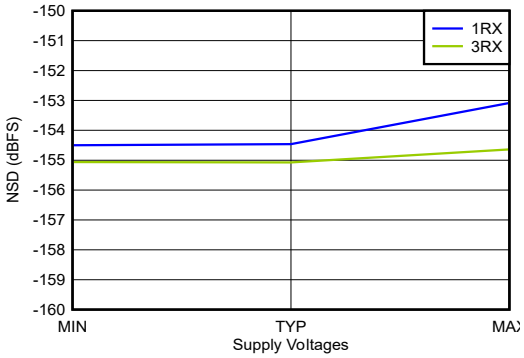
4.9GHz 整合あり

図 4-199. RX (HD2/3 を除く) と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-200. RX IMD3 と電源電圧との関係 (各種チャネル、4.9GHz)



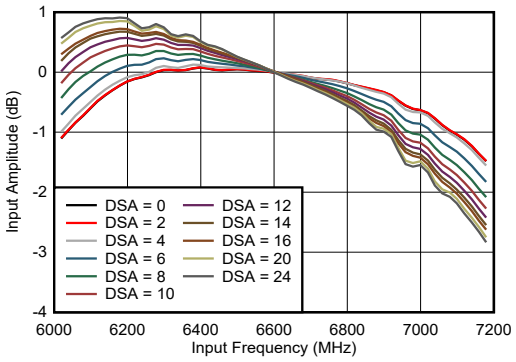
4.9GHz 整合あり、12.5MHz オフセット、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-201. RX ノイズ スペクトル密度と電源電圧との関係 (各種チャネル、4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

4.12.7 RX 代表的特性：6.8GHz

T_A = +25℃ での標準値。30MHz でのデフォルト条件。ADC サンプリング レート = 3000MSPS、出力サンプル レート = 500MSPS (6x にデシメーション)、外部クロック モード、A_{IN} = –3dBFS、DSA 設定= 3dB。



6.6GHz で正規化

図 4-202. RX 帯域内ゲイン平坦性

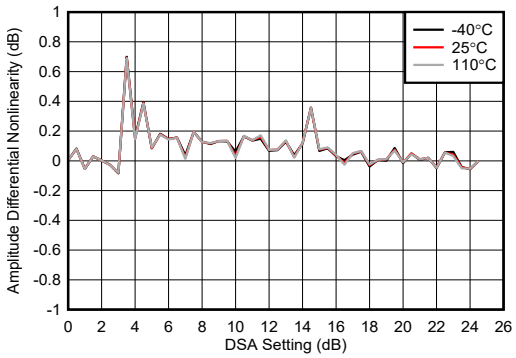
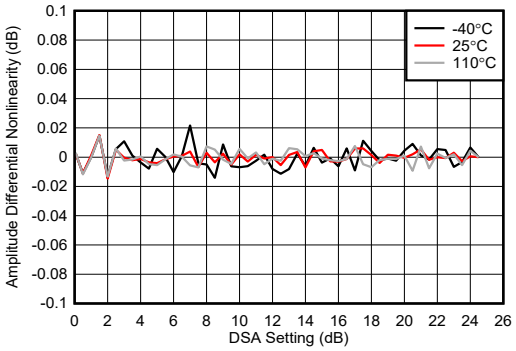


図 4-203. 6.851 GHz での RX 未較正微分振幅誤差



25°C で較正済み、-40°C および 110°C で保持

図 4-204. 6.851 GHz での RX 較正済み微分振幅誤差

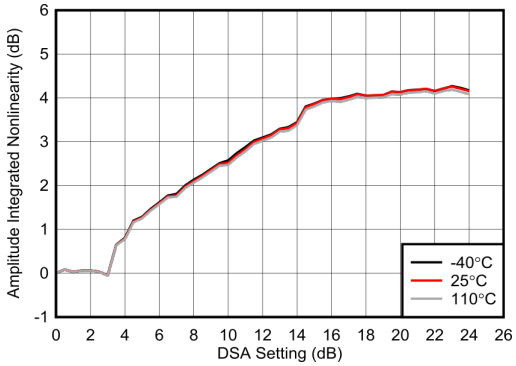
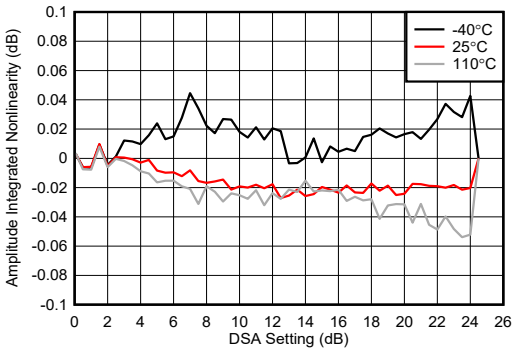


図 4-205. 6.851 GHz での RX 未較正積分振幅誤差



25°C で較正済み、-40°C および 110°C で保持

図 4-206. 6.851 GHz での RX 較正済み積分振幅誤差

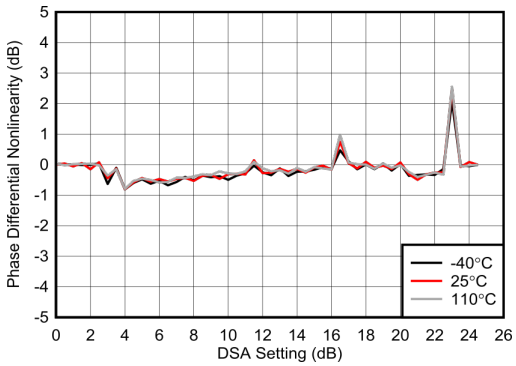
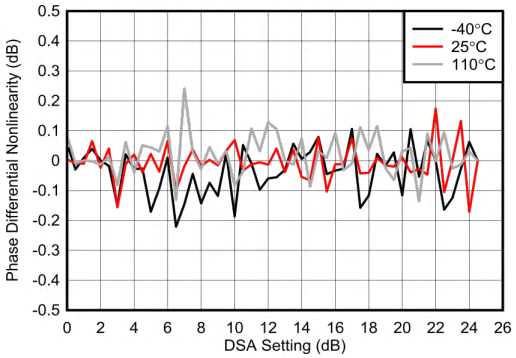


図 4-207. 6.851 GHz での RX 未較正微分位相誤差

4.12.7 RX 代表的特性：6.8GHz (続き)

T_A = +25℃ での標準値。30MHz でのデフォルト条件。ADC サンプリング レート = 3000MSPS、出力サンプル レート = 500MSPS (6x にデシメーション)、外部クロック モード、A_{IN} = –3dBFS、DSA 設定= 3dB。



25°C で較正済み、-40°C および 110°C で保持

図 4-208. 6.851 GHz での RX 較正済み微分位相誤差

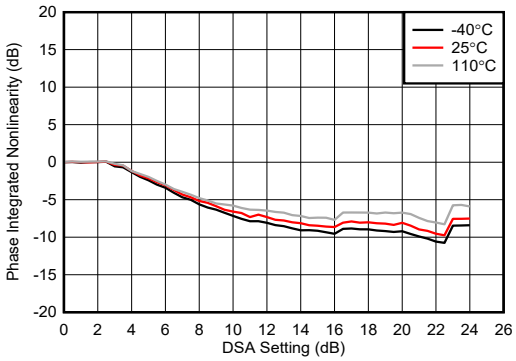
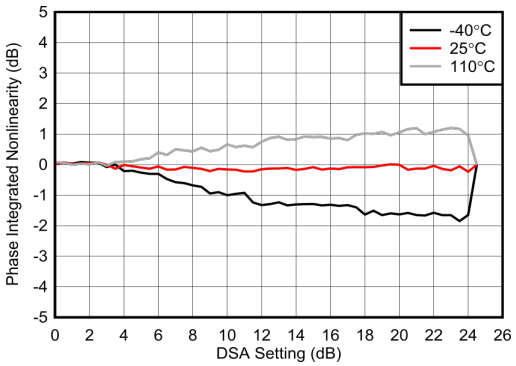
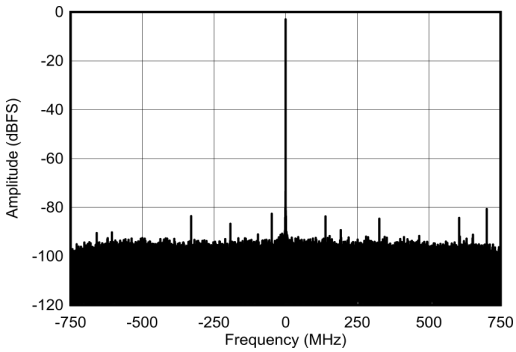


図 4-209. 6.851 GHz での RX 未較正積分位相誤差



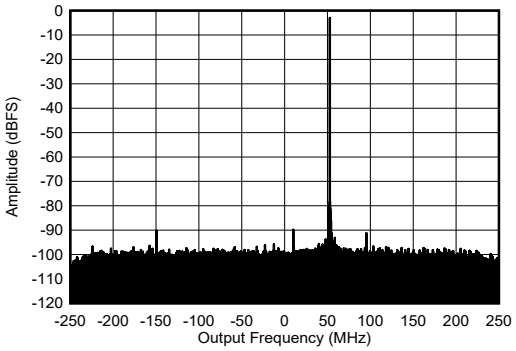
25°C で較正済み、-40°C および 110°C で保持

図 4-210. 6.851 GHz での RX 較正済み積分位相誤差



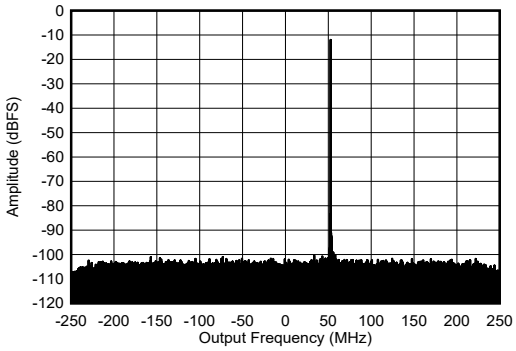
f_{IN} = 6.851GHz、f_{NCO} = 6.85GHz

図 4-211. 6.851GHz、-3 dBFS での RX 出力 FFT



f_{IN} = 6.851GHz、f_{NCO} = 6.85GHz

図 4-212. 6.851GHz、-6dBFS での RX 出力 FFT



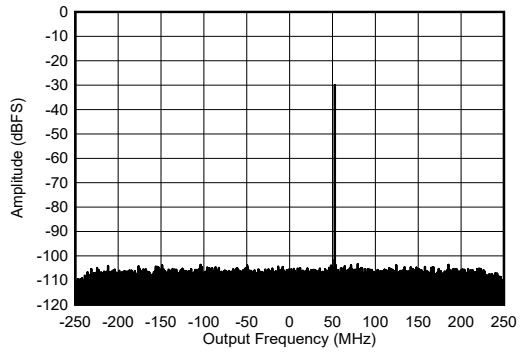
f_{IN} = 6.851GHz、f_{NCO} = 6.85GHz

図 4-213. 6.851GHz、-12 dBFS での RX 出力 FFT

Copyright © 2025 Texas Instruments Incorporated

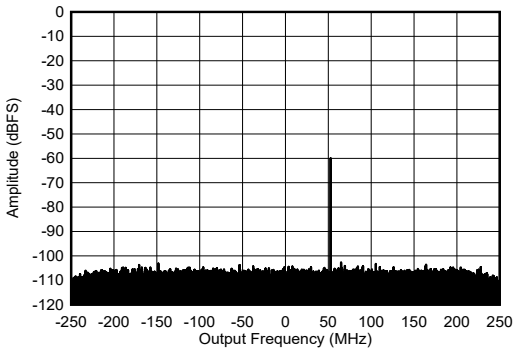
4.12.7 RX 代表的特性：6.8GHz (続き)

T_A = +25℃ での標準値。30MHz でのデフォルト条件。ADC サンプリング レート = 3000MSPS、出力サンプル レート = 500MSPS (6x にデシメーション)、外部クロック モード、A_{IN} = –3dBFS、DSA 設定= 3dB。



f_{IN} = 6.851GHz、f_{NCO} = 6.85GHz

図 4-214. 6.851GHz、-30 dBFS での RX 出力 FFT



f_{IN} = 6.851GHz、f_{NCO} = 6.85GHz

図 4-215. 6.851GHz、-60 dBFS での RX 出力 FFT

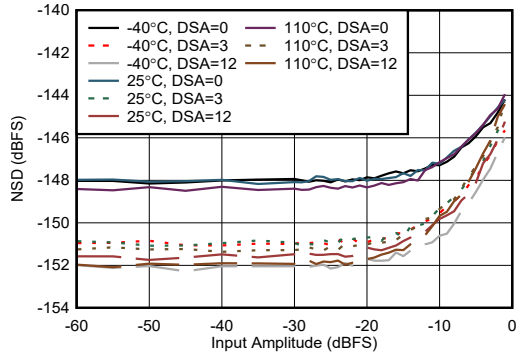
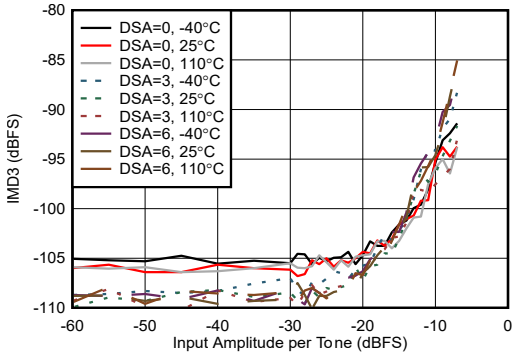
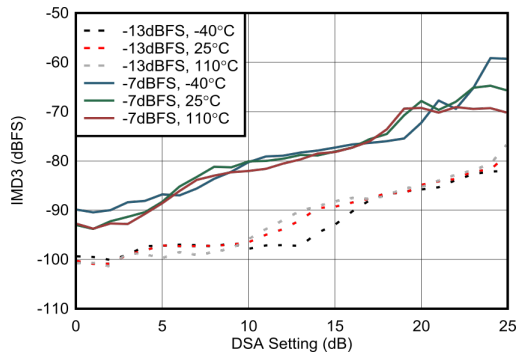


図 4-216. 6.851 GHz での RX NSD と入力振幅との関係



100MHz のトーン間隔

図 4-217. RX IMD3 と入力振幅との関係 (6.851GHz)



100MHz のトーン間隔

図 4-218. RX IMD3 と DSA 設定との関係 (6.851GHz)

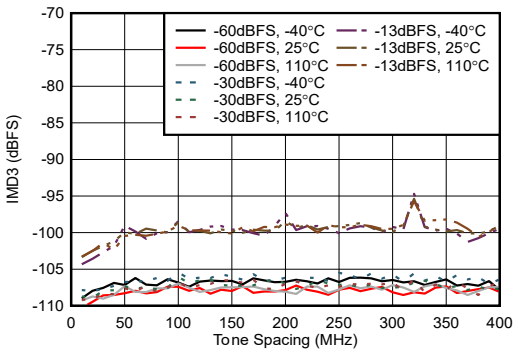


図 4-219. RX IMD3 とトーン間隔との関係 (6.851GHz)

Copyright © 2025 Texas Instruments Incorporated

4.12.7 RX 代表的特性：6.8GHz (続き)

T_A = +25℃ での標準値。30MHz でのデフォルト条件。ADC サンプリング レート = 3000MSPS、出力サンプル レート = 500MSPS (6x にデシメーション)、外部クロック モード、A_{IN} = –3dBFS、DSA 設定= 3dB。

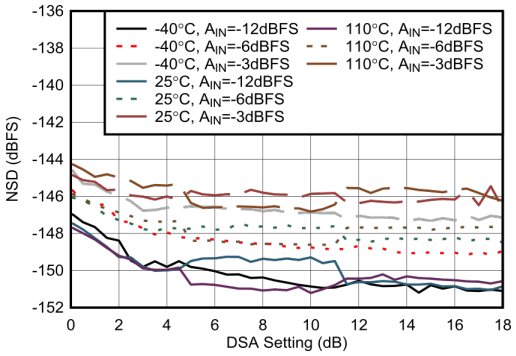
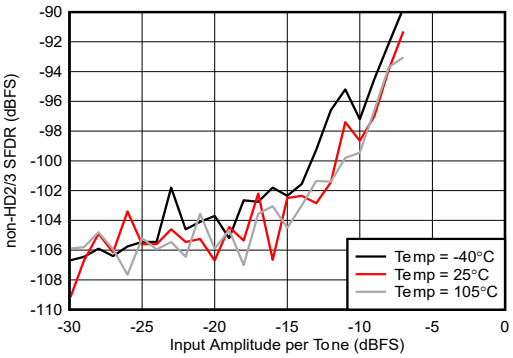


図 4-220. RX NSD と DSA 設定との関係 (6.851GHz)



3 次歪みを除く 50 MHz トーン間隔

図 4-221. 6.85 GHz での RX 2 トーン SFDR と入力振幅との関係

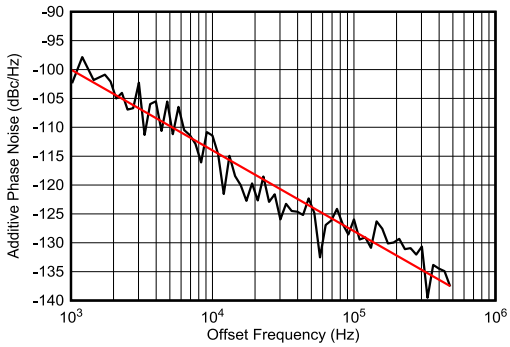
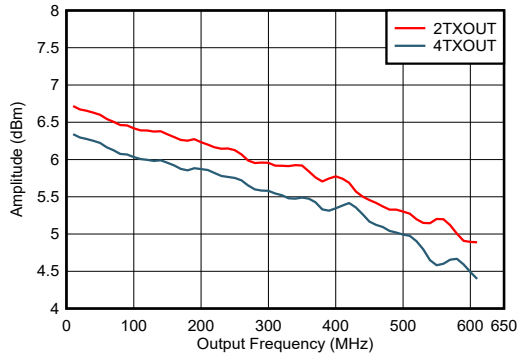


図 4-222. RX 付加位相ノイズ (6.85GHz)

Copyright © 2025 Texas Instruments Incorporated

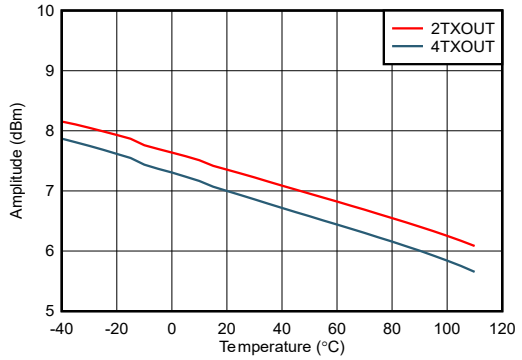
4.12.8 TX 代表的特性：30MHz～600MHz

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データレート = 125MSPS、f_{DAC} = 6000MSPS (48x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 500MHz による PLL クロックモード。すべてのプロットにデフォルト条件を追加、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



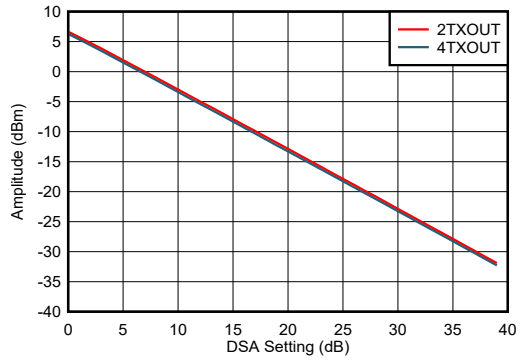
PCB とケーブルの損失を含む

図 4-223. TX 出力フルスケールと出力周波数との関係：5MHz～600MHz



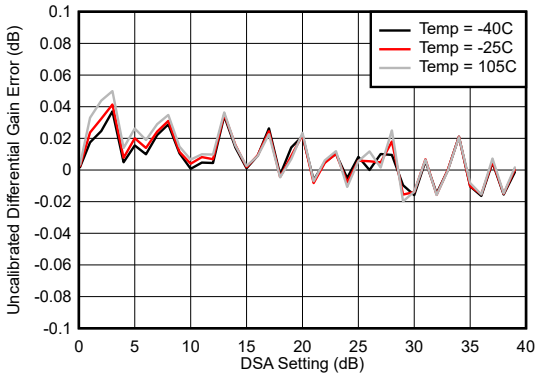
PCB とケーブルの損失を含む

図 4-224. 30MHz での TX 出力フルスケールと温度との関係



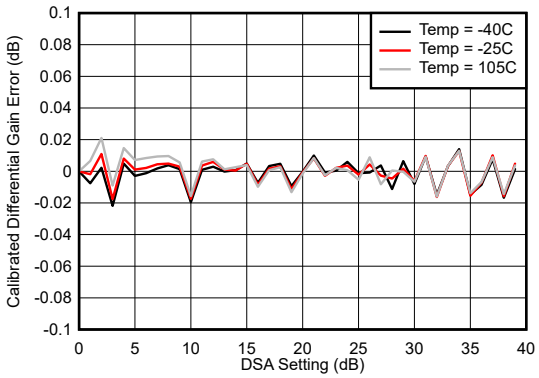
PCB とケーブルの損失を含む

図 4-225. 30MHz での TX 出力フルスケールと DSA 設定との関係



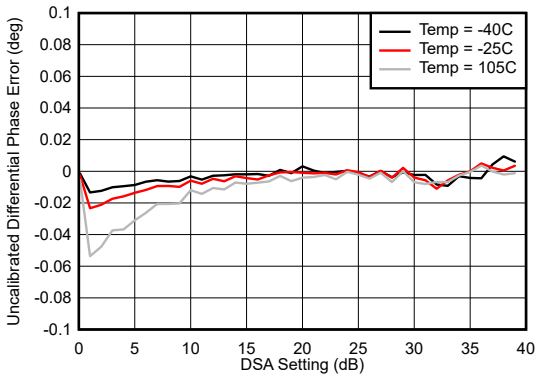
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 4-226. 30MHz での較正なし TX 差動ゲイン誤差 (DNL)



微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 4-227. 30MHz での較正済み TX 差動ゲイン誤差 (DNL)



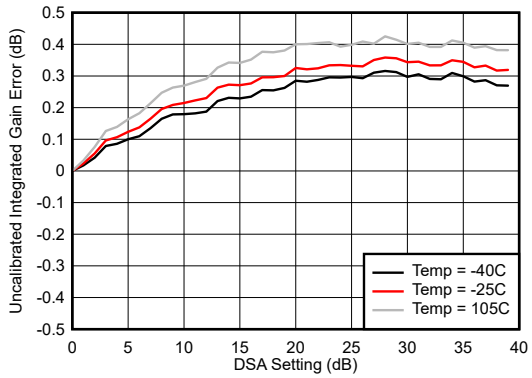
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 4-228. 30MHz での較正済み TX 差動ゲイン誤差 (DNL)

Copyright © 2025 Texas Instruments Incorporated

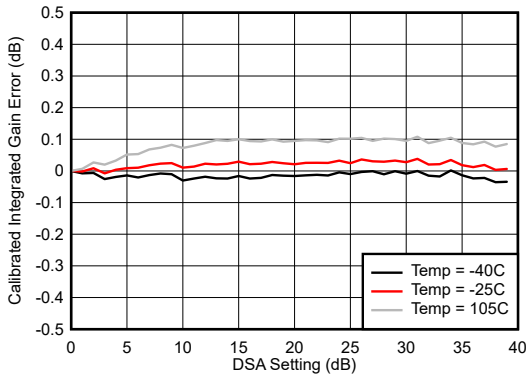
4.12.8 TX 代表的特性：30MHz～600MHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データレート = 125MSPS、f_{DAC} = 6000MSPS (48x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 500MHz による PLL クロックモード。すべてのプロットにデフォルト条件を追加、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



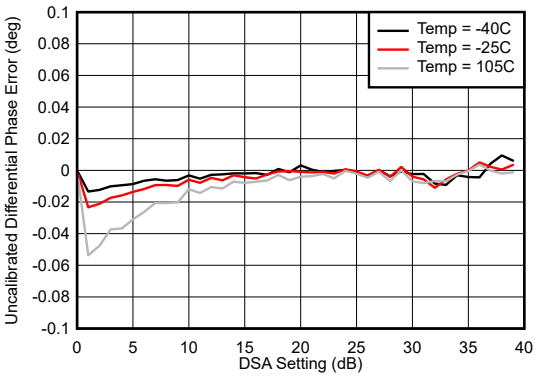
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 4-229. 30MHz での較正なしの TX 積分ゲイン誤差 (INL)



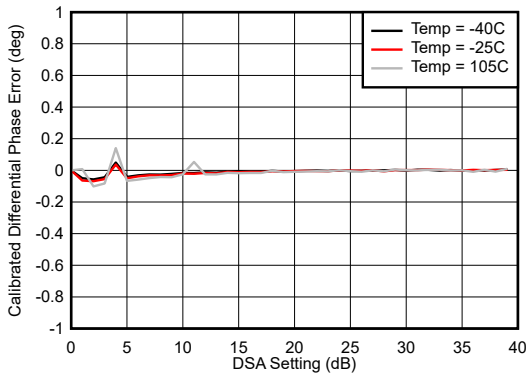
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 4-230. 30MHz での較正済みの TX 積分ゲイン誤差 (INL)



微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 4-231. 30MHz での較正なし TX 微分位相誤差 (DNL)



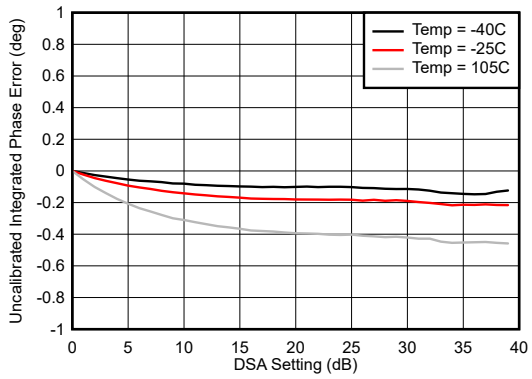
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 4-232. 30MHz での較正済み TX 微分位相誤差 (DNL)

Copyright © 2025 Texas Instruments Incorporated

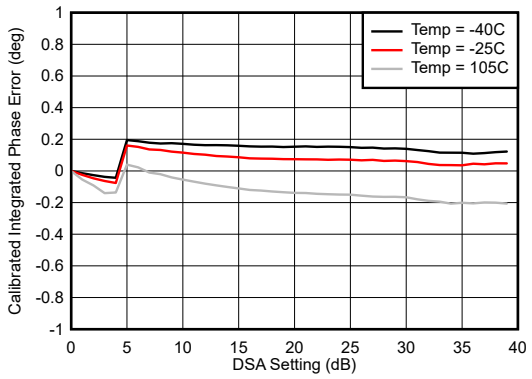
4.12.8 TX 代表的特性：30MHz～600MHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データレート = 125MSPS、f_{DAC} = 6000MSPS (48x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 500MHz による PLL クロックモード。すべてのプロットにデフォルト条件を追加、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



積分位相誤差 = $Phase_{OUT}$(DSA 設定) - $Phase_{OUT}$(DSA 設定 = 0)

図 4-233. 30MHz での較正なしの TX 積分位相誤差 (INL)



積分位相誤差 = $Phase_{OUT}$(DSA 設定) - $Phase_{OUT}$(DSA 設定 = 0)

図 4-234. 30MHz での較正済みの TX 積分位相誤差 (INL)

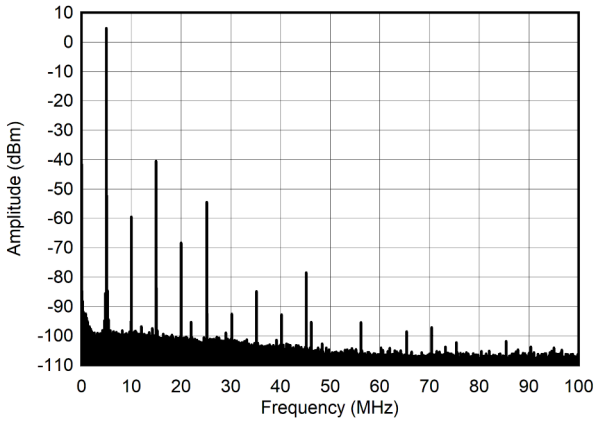


図 4-235. 5MHz、-1dBFS でのシングル トーン スペクトル (0 ～ 100MHz)

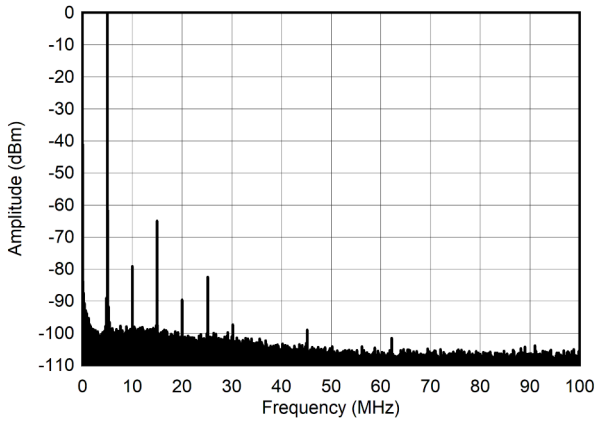


図 4-236. 5MHz、-6dBFS でのシングル トーン スペクトラム (0 ～ 100MHz)

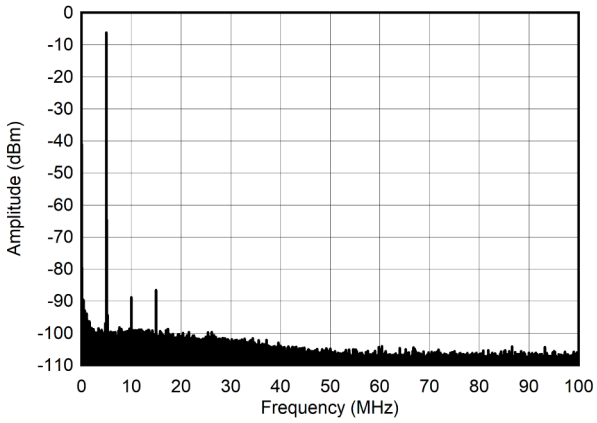


図 4-237. 5MHz、-12dBFS でのシングル トーン スペクトル (0 ～ 100MHz)

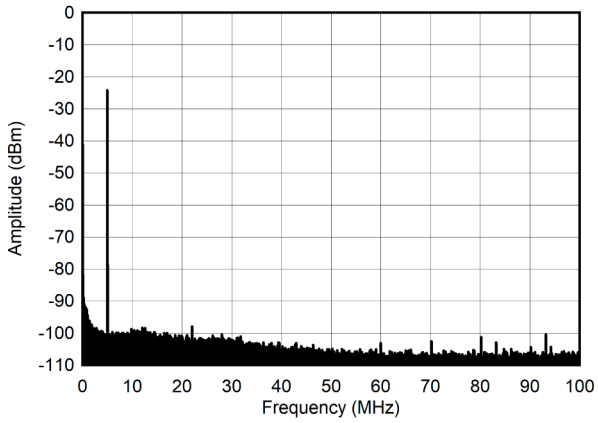


図 4-238. 5MHz、-30dBFS でのシングル トーン スペクトル (0 ～ 100MHz)

Copyright © 2025 Texas Instruments Incorporated

4.12.8 TX 代表的特性：30MHz～600MHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データレート = 125MSPS、f_{DAC} = 6000MSPS (48x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 500MHz による PLL クロックモード。すべてのプロットにデフォルト条件を追加、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。

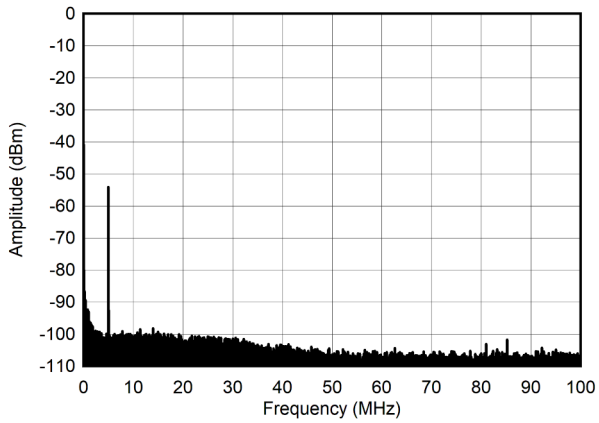


図 4-239. 5MHz、-60dBFS でのシングル トーン スペクトル (0 ～ 100MHz)

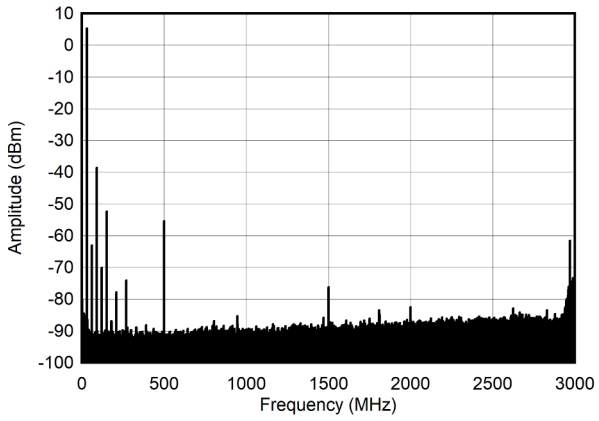


図 4-240. 30MHz、-1dBFS でのシングル トーン スペクトル (ナイキスト)

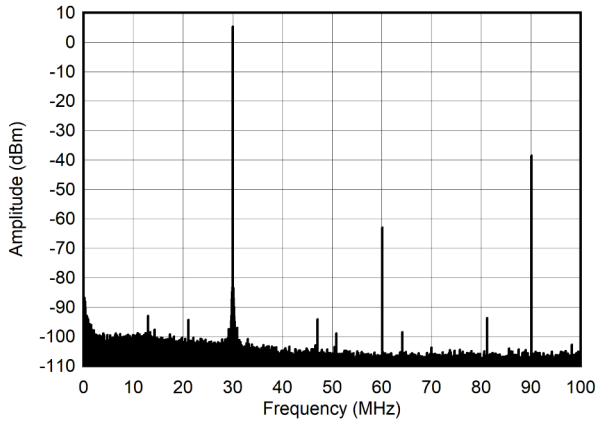


図 4-241. 30MHz、-1dBFS でのシングル トーン スペクトル (0 ～ 100MHz)

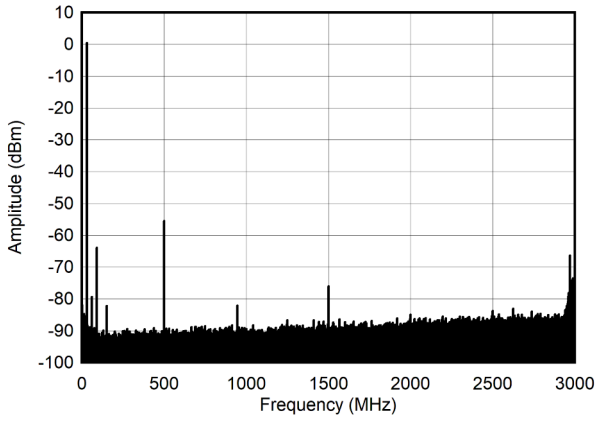


図 4-242. 30MHz、-6dBFS でのシングル トーン スペクトル (ナイキスト)

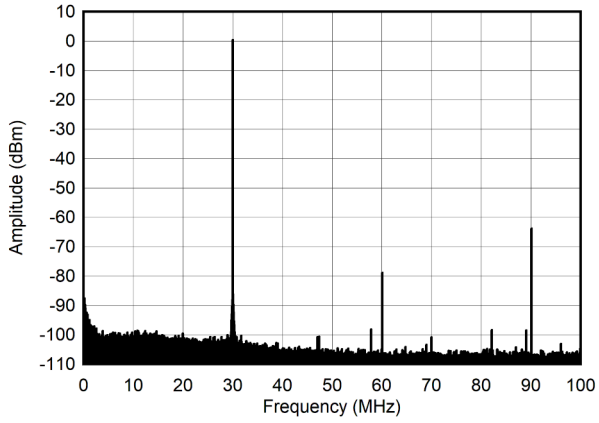


図 4-243. 30MHz、-6dBFS でのシングル トーン スペクトル (0 ～ 100MHz)

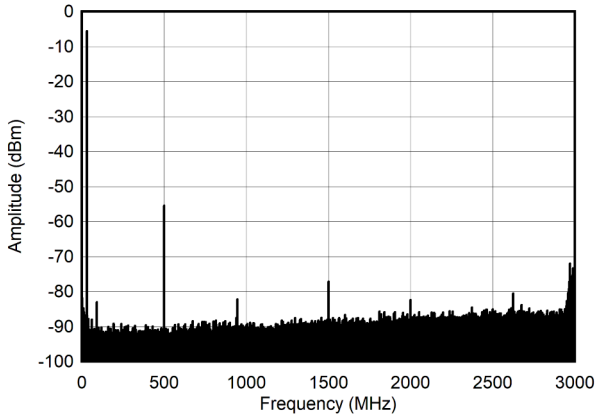


図 4-244. 30MHz、-12dBFS でのシングル トーン スペクトル (ナイキスト)

Copyright © 2025 Texas Instruments Incorporated

4.12.8 TX 代表的特性：30MHz～600MHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データレート = 125MSPS、f_{DAC} = 6000MSPS (48x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 500MHz による PLL クロックモード。すべてのプロットにデフォルト条件を追加、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。

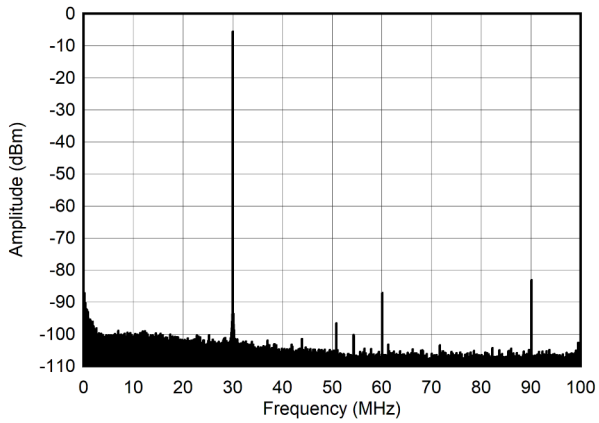


図 4-245. 30MHz、12dBFS でのシングル トーン スペクトル (0 ～ 100MHz)

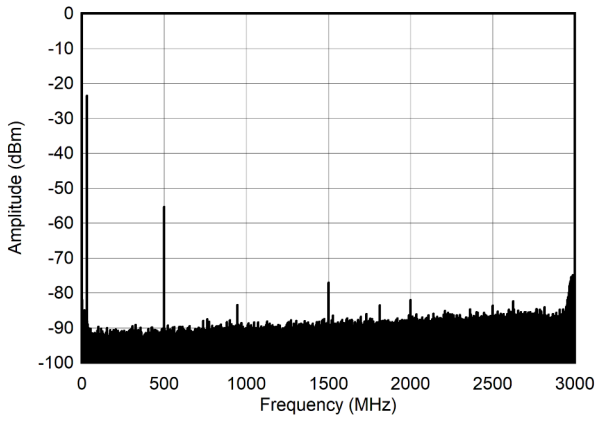


図 4-246. 30MHz、-30dBFS でのシングル トーン スペクトル (ナイキスト)

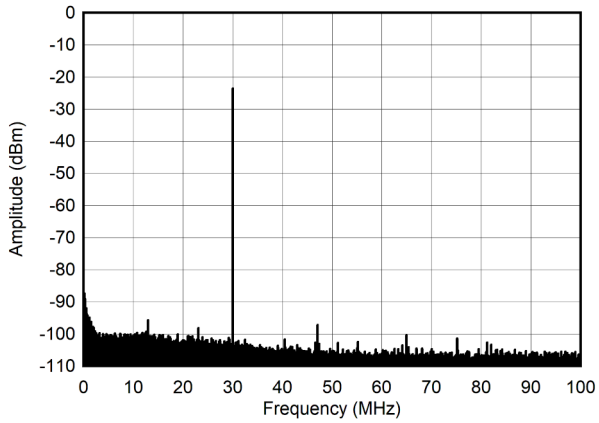


図 4-247. 30MHz、-30dBFS でのシングル トーン スペクトル (0 ～ 100MHz)

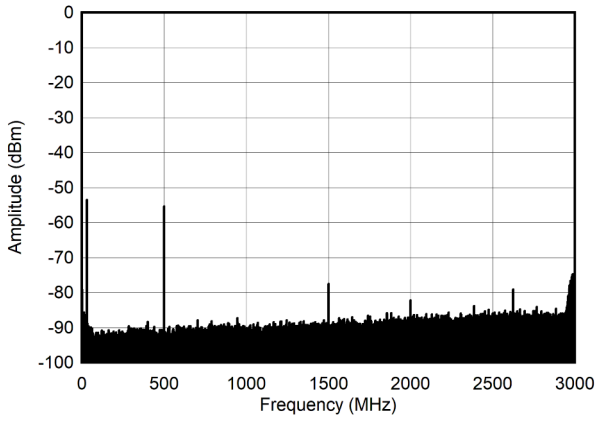


図 4-248. 30MHz、-60dBFS でのシングル トーン スペクトル (ナイキスト)

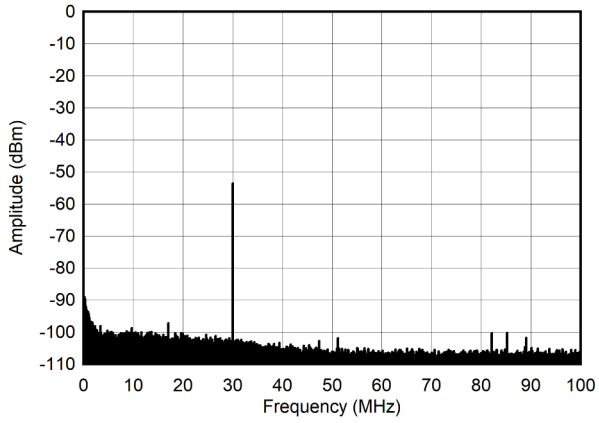


図 4-249. 30MHz、-60dBFS でのシングル トーン スペクトル (0 ～ 100MHz)

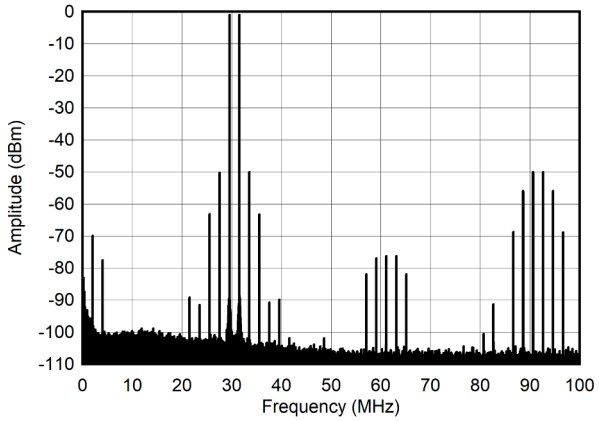


図 4-250. 30MHz、-7dBFS でのデュアル トーン スペクトル (0 ～ 100MHz)

4.12.8 TX 代表的特性：30MHz～600MHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データレート = 125MSPS、f_{DAC} = 6000MSPS (48x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 500MHz による PLL クロックモード。すべてのプロットにデフォルト条件を追加、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。

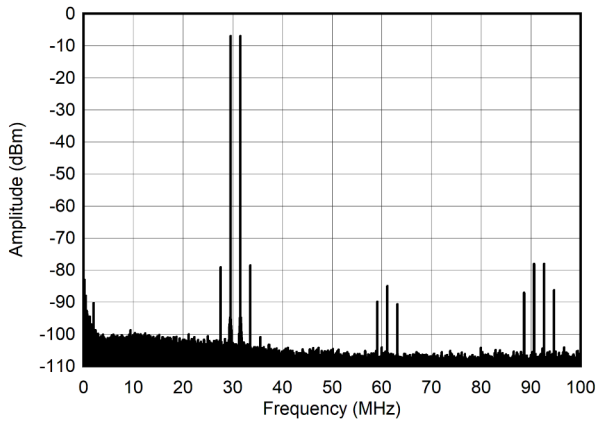


図 4-251. 30MHz、-13dBFS でのデュアル トーン スペクトル (0 ～ 100MHz)

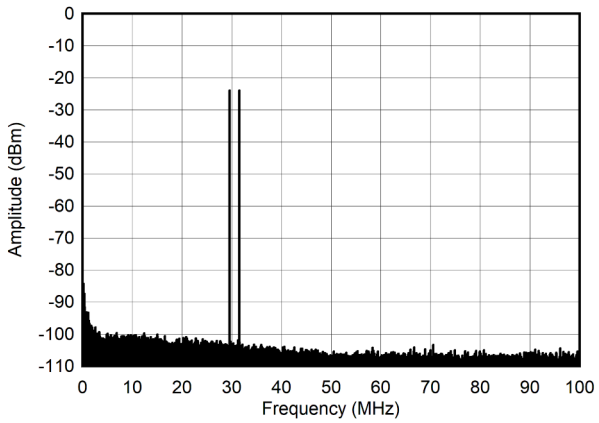


図 4-252. 30MHz、-30dBFS でのデュアル トーン スペクトル (0 ～ 100MHz)

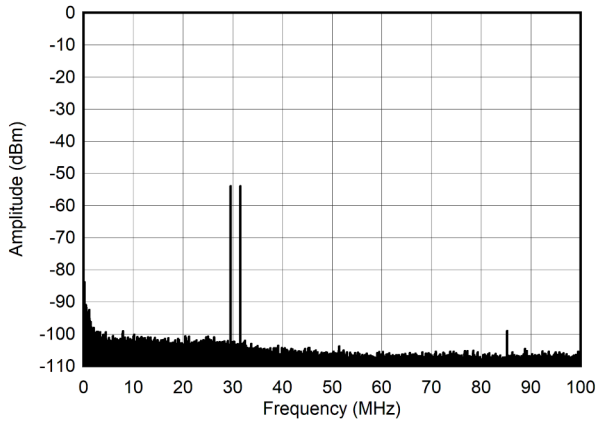
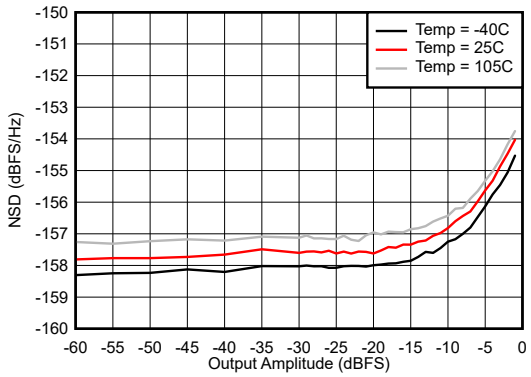
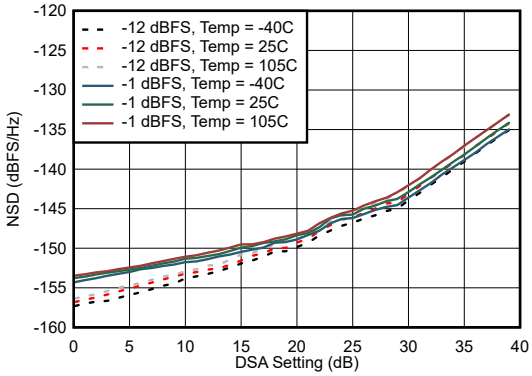


図 4-253. 30MHz、-60dBFS でのデュアル トーン スペクトル (0 ～ 100MHz)



50MHz オフセットで測定

図 4-254. 30MHz でのノイズ スペクトル密度とデジタル振幅



50MHz オフセットで測定

図 4-255. 30MHz でのノイズ スペクトル密度と DSA 設定の関係

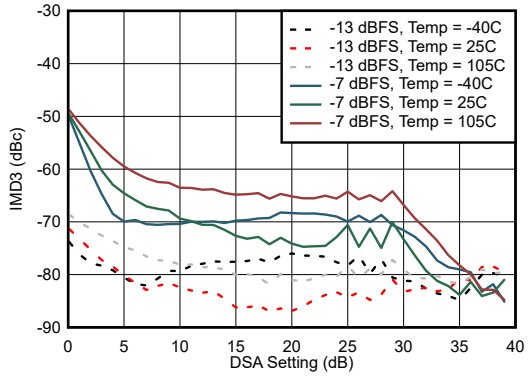


図 4-256. 30MHz での IMD3 と DSA 設定との関係

Copyright © 2025 Texas Instruments Incorporated

4.12.8 TX 代表的特性：30MHz～600MHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データレート = 125MSPS、f_{DAC} = 6000MSPS (48x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 500MHz による PLL クロックモード。すべてのプロットにデフォルト条件を追加、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。

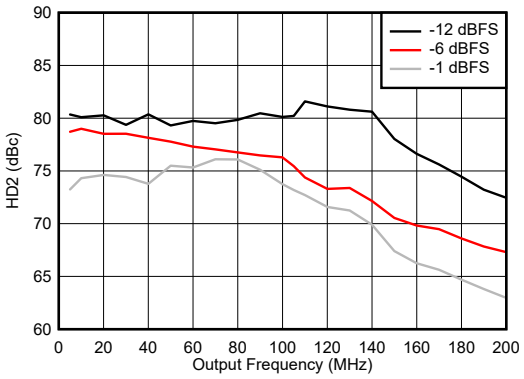


図 4-257. HD2 と周波数との関係 (0 ～200MHz)

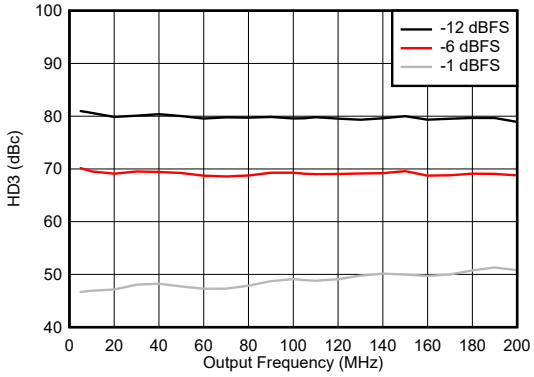
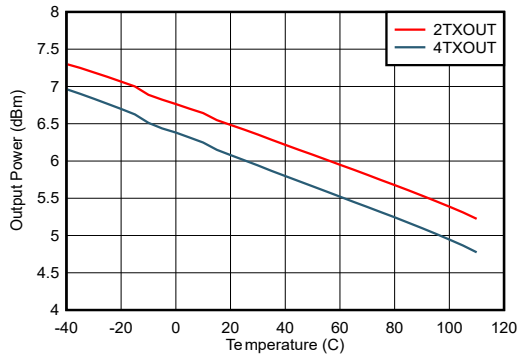
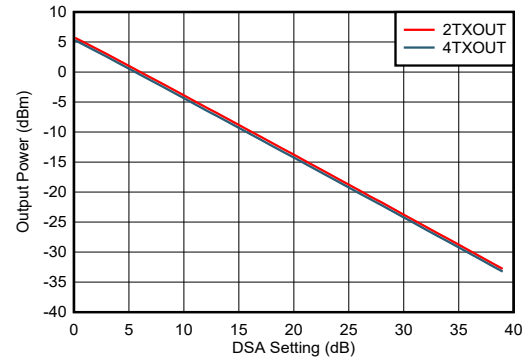


図 4-258. HD3 と周波数との関係 (0 ～200MHz)



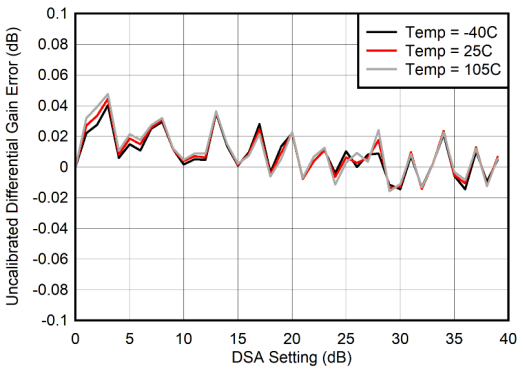
PCB とケーブルの損失を含む

図 4-259. 400MHz での TX 出力フルスケールと温度との関係



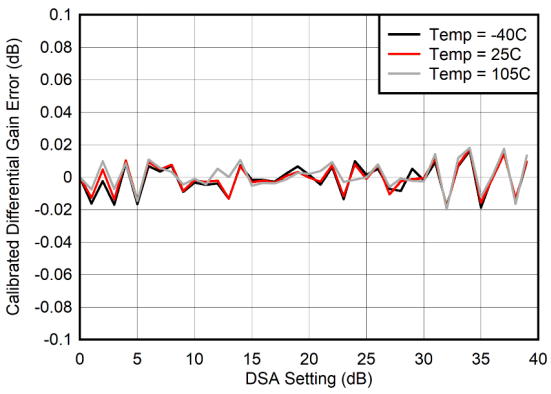
PCB とケーブルの損失を含む

図 4-260. 400MHz での TX 出力フルスケールと DSA 設定との関係



微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 4-261. 400MHz での較正なし TX 差動ゲイン誤差 (DNL)



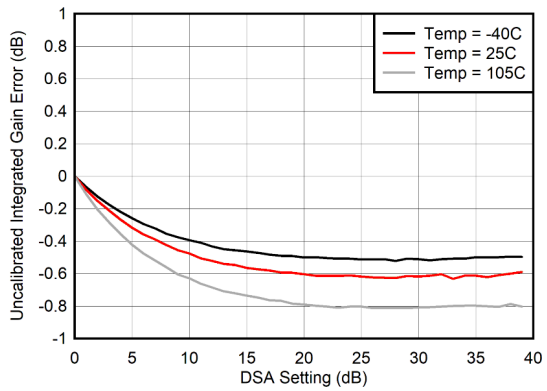
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 4-262. 400MHz での較正済み TX 差動ゲイン誤差 (DNL)

Copyright © 2025 Texas Instruments Incorporated

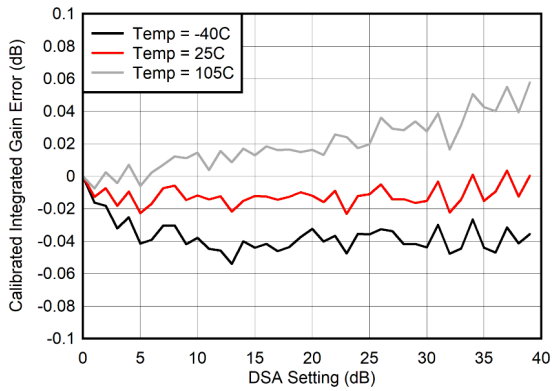
4.12.8 TX 代表的特性：30MHz～600MHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データレート = 125MSPS、f_{DAC} = 6000MSPS (48x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 500MHz による PLL クロックモード。すべてのプロットにデフォルト条件を追加、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



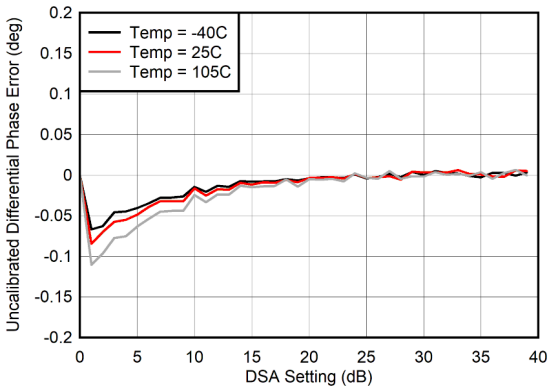
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 4-263. 400MHz での較正なしの TX 積分ゲイン誤差 (INL)



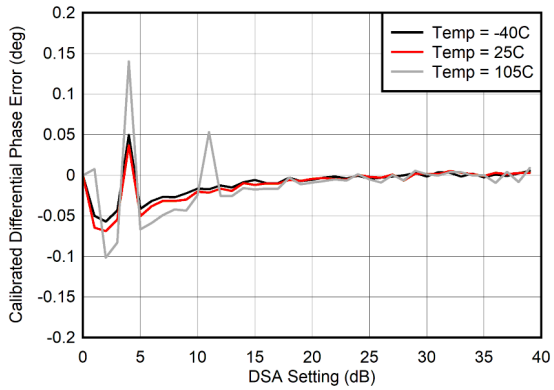
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 4-264. 400MHz での較正済みの TX 積分ゲイン誤差 (INL)



微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 4-265. 400MHz での較正なし TX 微分位相誤差 (DNL)



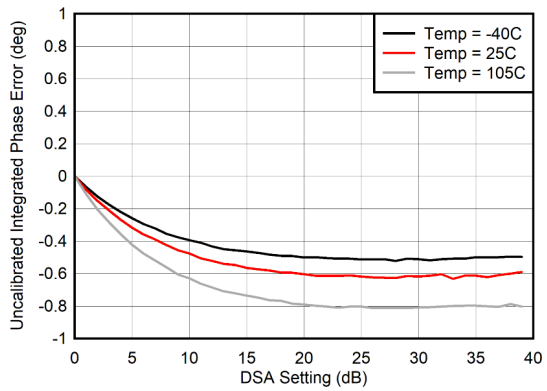
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 4-266. 400MHz での較正済み TX 微分位相誤差 (DNL)

Copyright © 2025 Texas Instruments Incorporated

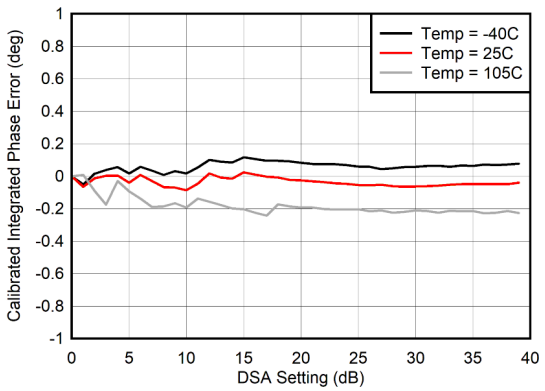
4.12.8 TX 代表的特性：30MHz～600MHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データレート = 125MSPS、f_{DAC} = 6000MSPS (48x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 500MHz による PLL クロックモード。すべてのプロットにデフォルト条件を追加、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



積分位相誤差 = $Phase_{OUT}$(DSA 設定) - $Phase_{OUT}$(DSA 設定 = 0)

図 4-267. 400MHz での較正なしの TX 積分位相誤差 (INL)



積分位相誤差 = $Phase_{OUT}$(DSA 設定) - $Phase_{OUT}$(DSA 設定 = 0)

図 4-268. 400MHz での較正済みの TX 積分位相誤差 (INL)

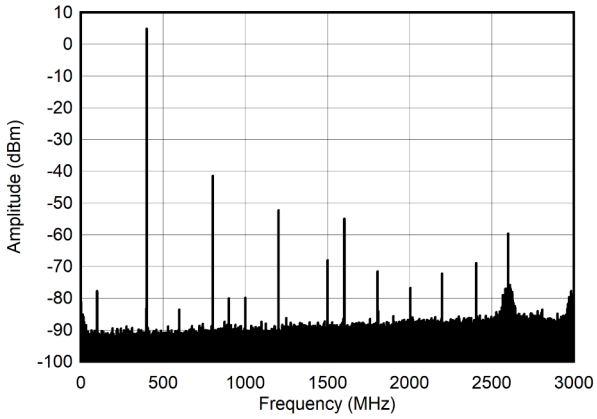


図 4-269. 400MHz、-1dBFS でのシングル トーン スペクトル (ナイキスト)

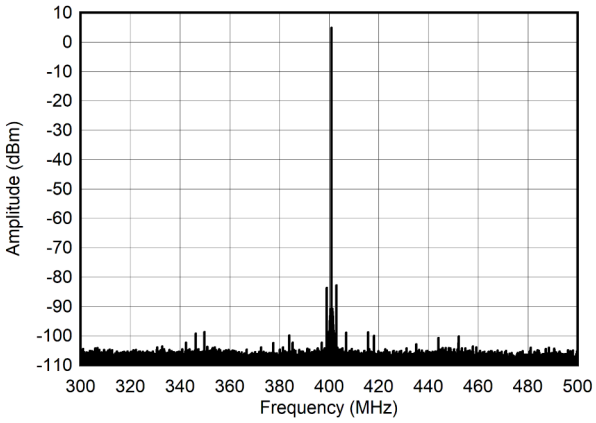


図 4-270. 400MHz、-1dBFS でのシングル トーン スペクトル (-±100MHz)

4.12.8 TX 代表的特性：30MHz～600MHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データレート = 125MSPS、f_{DAC} = 6000MSPS (48x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 500MHz による PLL クロックモード。すべてのプロットにデフォルト条件を追加、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。

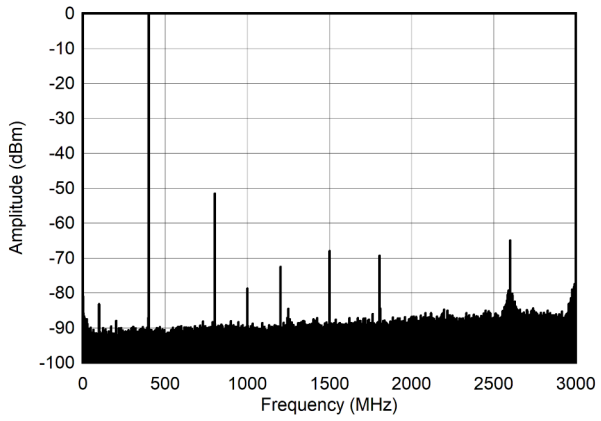


図 4-271. 400MHz、-6dBFS でのシングル トーン スペクトル (ナイキスト)

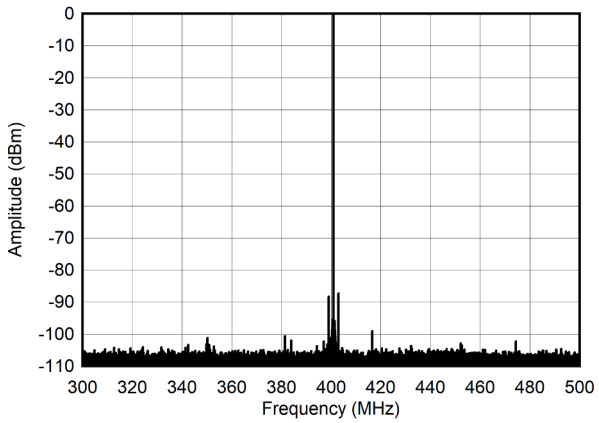


図 4-272. 400MHz、-6dBFS でのシングル トーン スペクトル (-±100MHz)

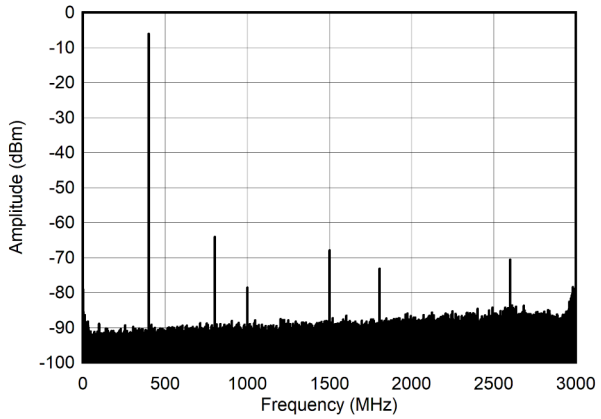


図 4-273. 400MHz、-12dBFS でのシングル トーン スペクトル (ナイキスト)

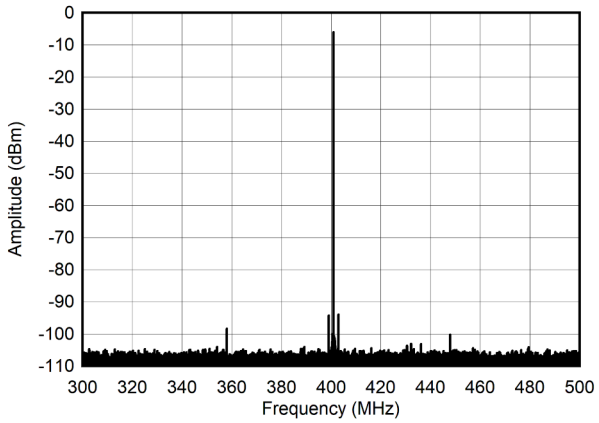


図 4-274. 400MHz、-12dBFS でのシングル トーン スペクトル (-±100MHz)

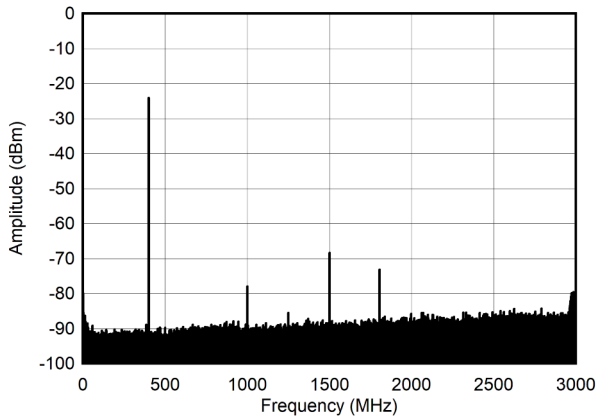


図 4-275. 400MHz、-30dBFS でのシングル トーン スペクトル (ナイキスト)

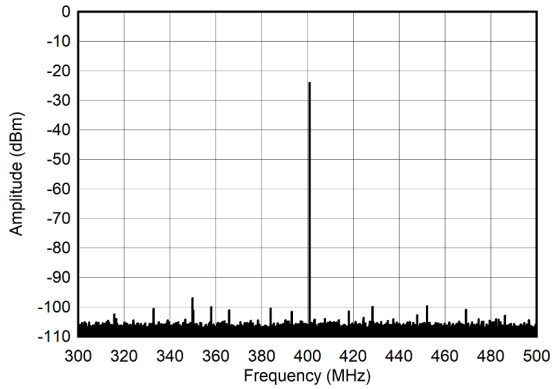


図 4-276. 400MHz、-30dBFS でのシングル トーン スペクトル (-±100MHz)

Copyright © 2025 Texas Instruments Incorporated

4.12.8 TX 代表的特性：30MHz～600MHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データレート = 125MSPS、f_{DAC} = 6000MSPS (48x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 500MHz による PLL クロックモード。すべてのプロットにデフォルト条件を追加、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。

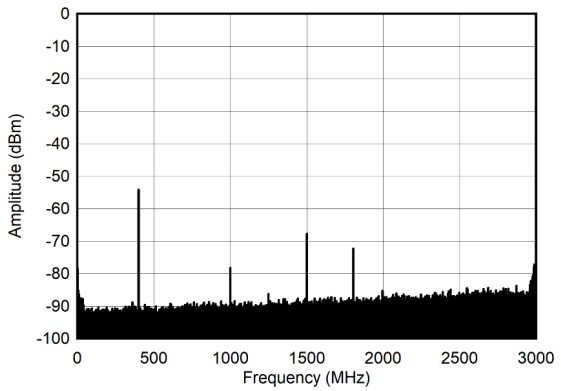


図 4-277. 400MHz、-60dBFS でのシングル トーン スペクトル (ナイキスト)

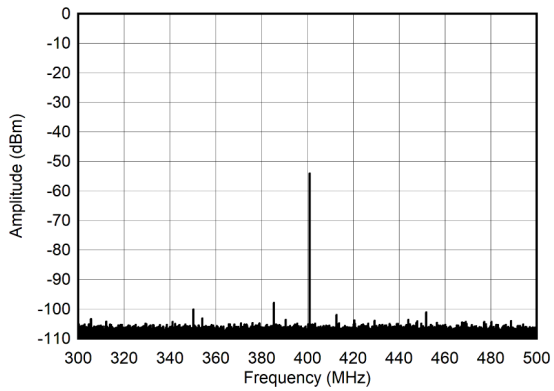
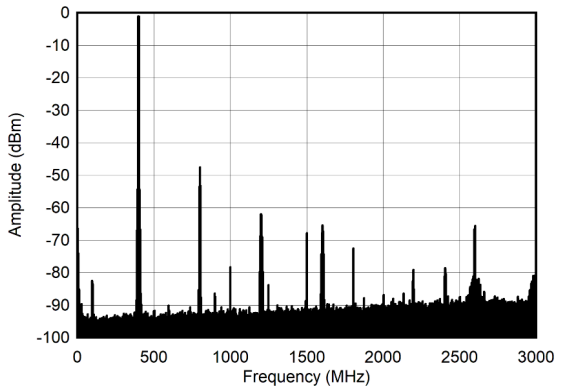
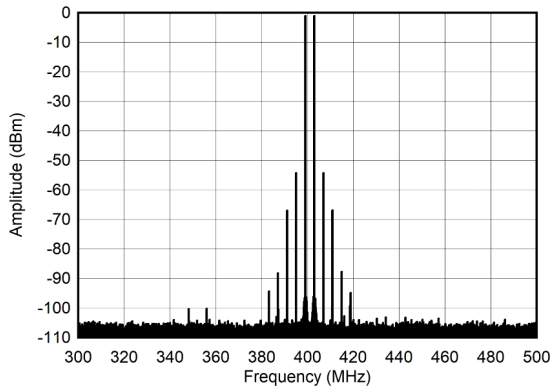


図 4-278. 400MHz、-60dBFS でのシングル トーン スペクトル (-±100MHz)



トーン間隔 = 4MHz

図 4-279. 400MHz、-7dBFS でのデュアル トーン スペクトル (ナイキスト)

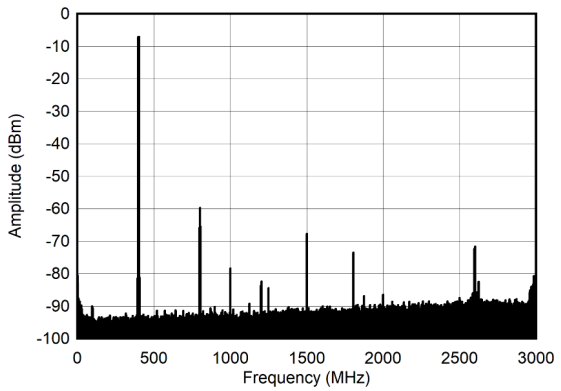


トーン間隔 = 4MHz

図 4-280. 400MHz、-7dBFS でのデュアル トーン スペクトル (±100MHz)

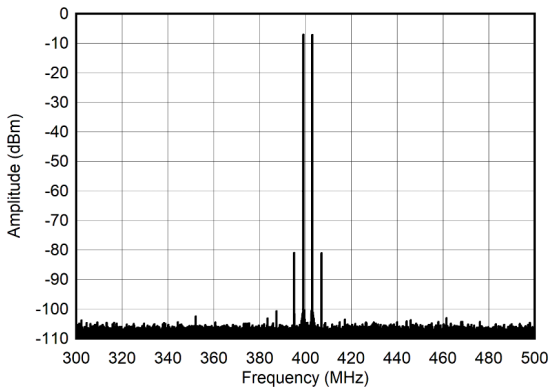
4.12.8 TX 代表的特性：30MHz～600MHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データレート = 125MSPS、f_{DAC} = 6000MSPS (48x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 500MHz による PLL クロックモード。すべてのプロットにデフォルト条件を追加、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



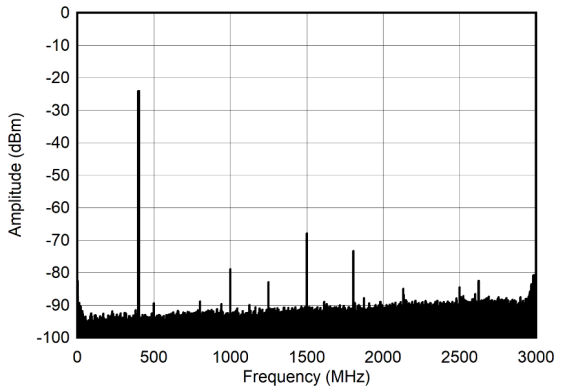
トーン間隔 = 4MHz

図 4-281. 400MHz、-13dBFS でのデュアル トーン スペクトル (ナイキスト)



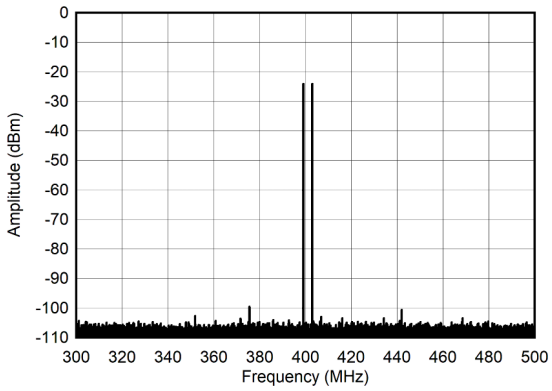
トーン間隔 = 4MHz

図 4-282. 400MHz、-13dBFS でのデュアル トーン スペクトル (±100MHz)



トーン間隔 = 4MHz

図 4-283. 400MHz、-30dBFS でのデュアル トーン スペクトル (ナイキスト)



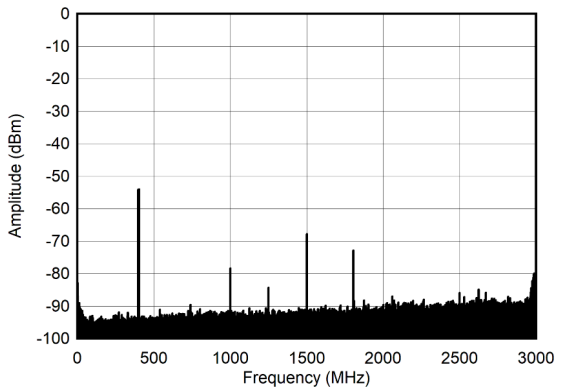
トーン間隔 = 4MHz

図 4-284. 400MHz、-30dBFS でのデュアル トーン スペクトル (±100MHz)

Copyright © 2025 Texas Instruments Incorporated

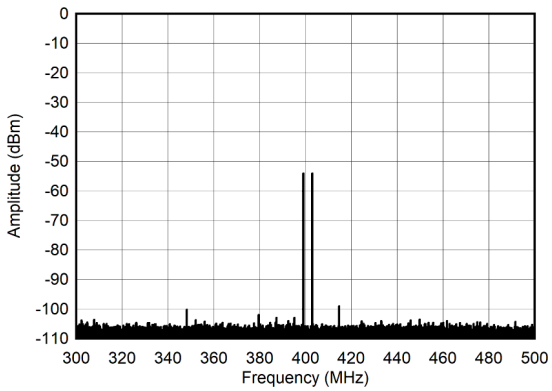
4.12.8 TX 代表的特性：30MHz～600MHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データレート = 125MSPS、f_{DAC} = 6000MSPS (48x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 500MHz による PLL クロックモード。すべてのプロットにデフォルト条件を追加、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



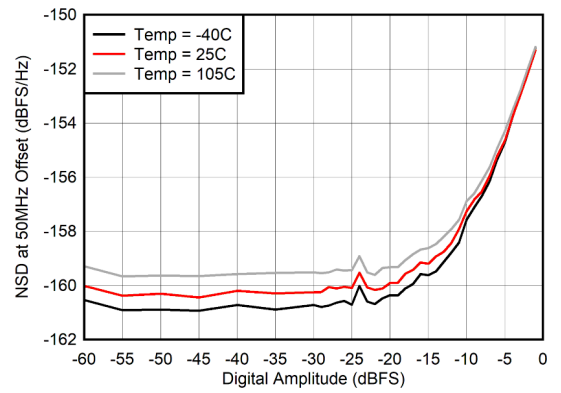
トーン間隔 = 4MHz

図 4-285. 400MHz、-60dBFS でのデュアル トーン スペクトル (ナイキスト)



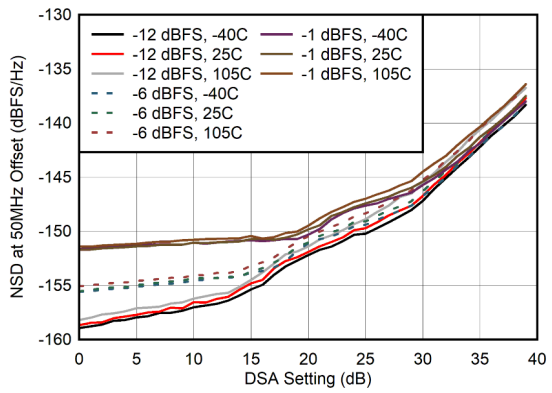
トーン間隔 = 4MHz

図 4-286. 400MHz、-60dBFS でのデュアル トーン スペクトル (±100MHz)



50MHz オフセットで測定

図 4-287. 400MHz でのノイズ スペクトル密度とデジタル振幅



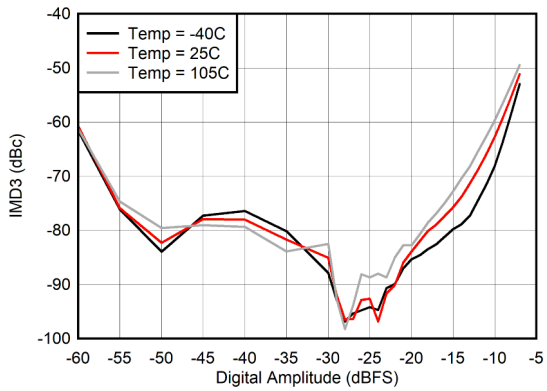
50MHz オフセットで測定

図 4-288. 400MHz でのノイズ スペクトル密度と DSA 設定の関係

Copyright © 2025 Texas Instruments Incorporated

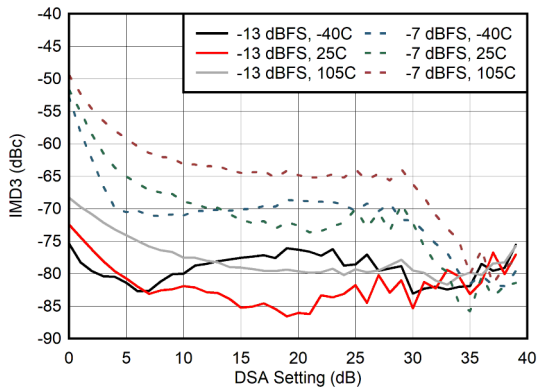
4.12.8 TX 代表的特性：30MHz～600MHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データレート = 125MSPS、f_{DAC} = 6000MSPS (48x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 500MHz による PLL クロックモード。すべてのプロットにデフォルト条件を追加、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



トーン間隔 = 4MHz

図 4-289. 400MHz での IMD3 とデジタル振幅との関係



トーン間隔 = 4MHz

図 4-290. 400MHz での IMD3 と DSA 設定との関係

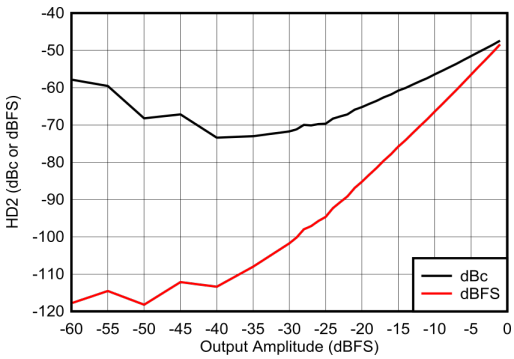


図 4-291. 400MHz での HD2 と振幅との関係

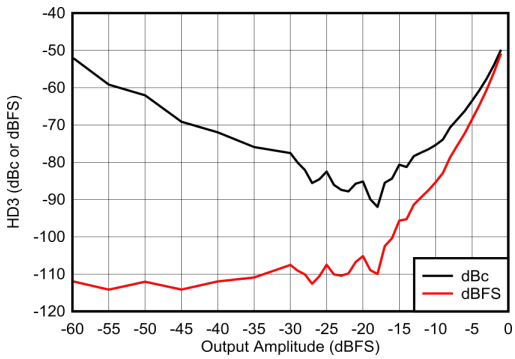
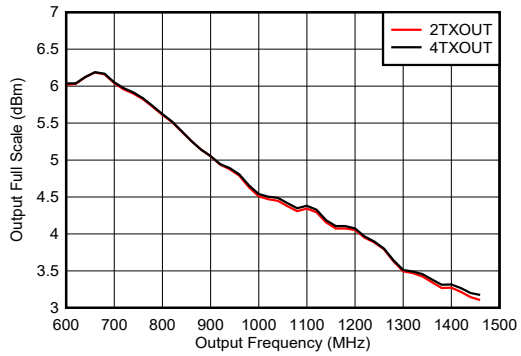


図 4-292. 400MHz での HD3 と振幅との関係

Copyright © 2025 Texas Instruments Incorporated

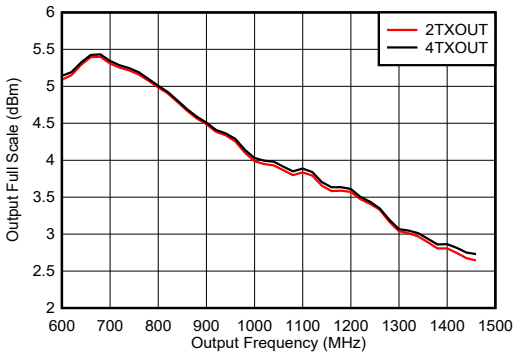
4.12.9 TX 代表的特性：800MHz

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



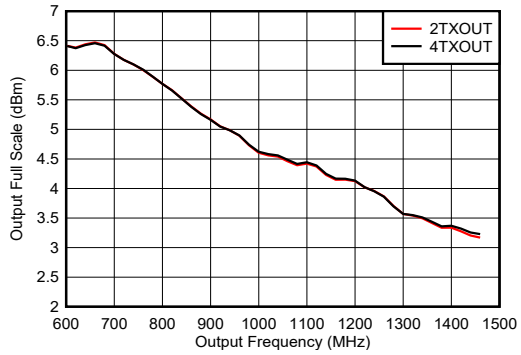
PCB とケーブルの損失を含む。A_{out} = -0.5 dFBS、DSA = 0、0.8GHz 整合あり

図 4-293. TX フルスケールと RF 周波数との関係 (各種チャネル、5898.24MSPS、ストレート モード)



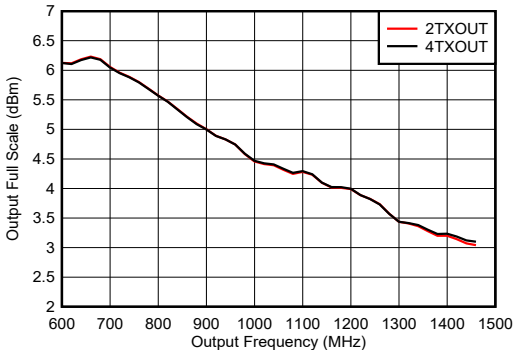
PCB とケーブルの損失を含む。A_{out} = -0.5dFBS、DSA = 0、0.8GHz 整合あり

図 4-294. TX フルスケールと RF 周波数の関係 (各種チャネル、8847.36MSPS、ストレート モード)



PCB とケーブルの損失を含む。A_{out} = -0.5 dFBS、DSA = 0、0.8GHz 整合あり

図 4-295. TX フルスケールと RF 周波数との関係 (各種チャネル、5898.24MSPS、インターリーブ モード)



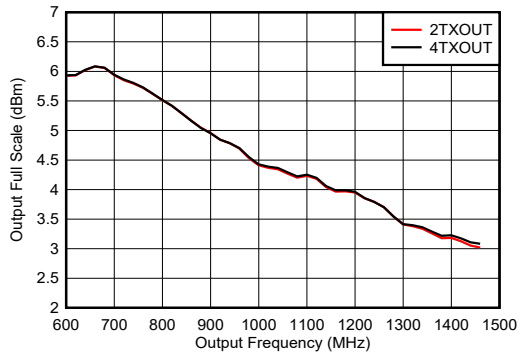
PCB とケーブルの損失を含む。A_{out} = -0.5 dFBS、DSA = 0、0.8GHz 整合あり

図 4-296. TX フルスケールと RF 周波数との関係 (各種チャネル、8847.36MSPS、インターリーブ モード)

Copyright © 2025 Texas Instruments Incorporated

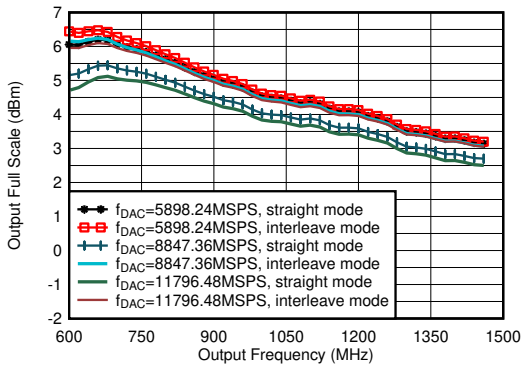
4.12.9 TX 代表的特性：800MHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



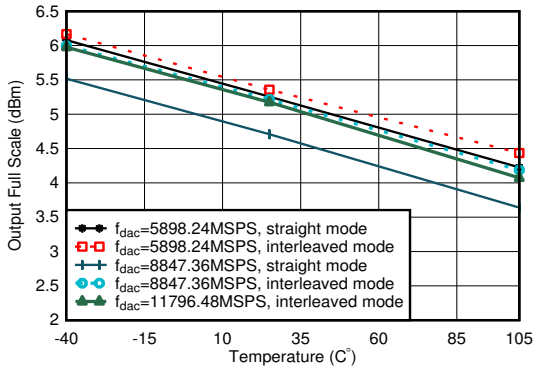
PCB とケーブルの損失を含む。A_{out} = -0.5 dFBS、DSA = 0、0.8GHz 整合あり

図 4-297. TX フルスケールと RF 周波数との関係 (各種チャネル、11796.48MSPS、インターリーブ モード)



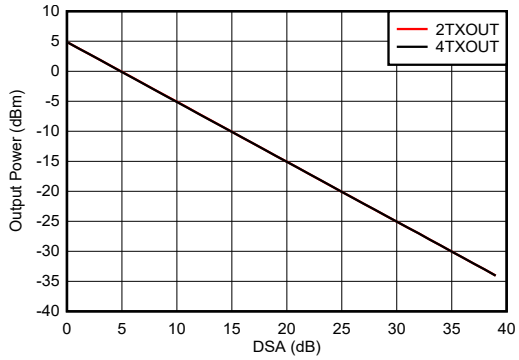
PCB とケーブルの損失を含む。A_{out} = -0.5dFBS、DSA = 0、0.8GHz 整合あり

図 4-298. TX 出力フルスケールと出力周波数との関係



PCB とケーブルの損失を含む。A_{out} = -0.5dFBS、DSA = 0、0.8GHz 整合あり

図 4-299. TX 出力フルスケールと温度との関係



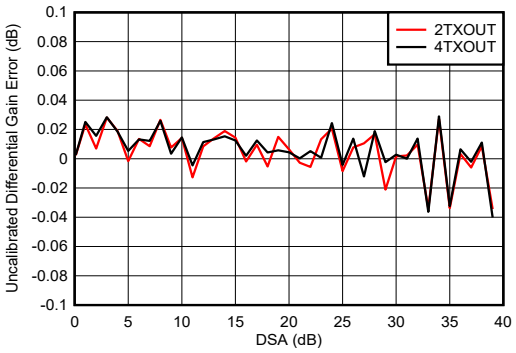
f_{DAC} = 11796.48 MSPS、インターリーブ モード、A_{OUT} = -0.5 dBFS、0.8GHz に整合

図 4-300. TX 出力電力と DSA 設定との関係 (各種チャネル、0.85GHz)

Copyright © 2025 Texas Instruments Incorporated

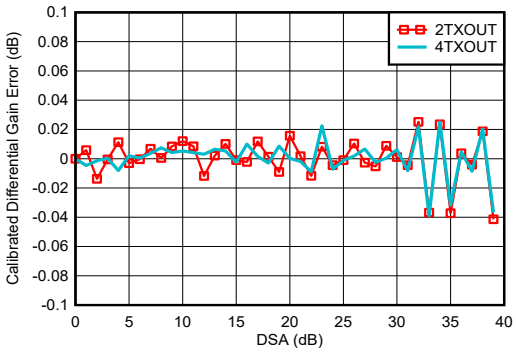
4.12.9 TX 代表的特性：800MHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



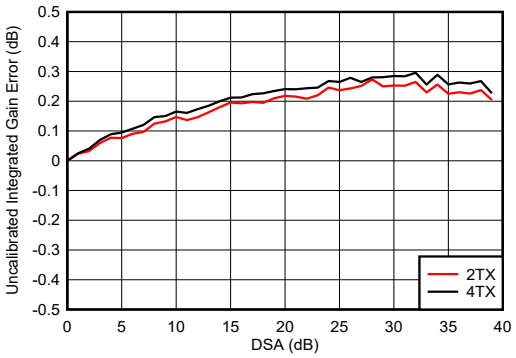
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 4-301. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種チャネル、0.85GHz)



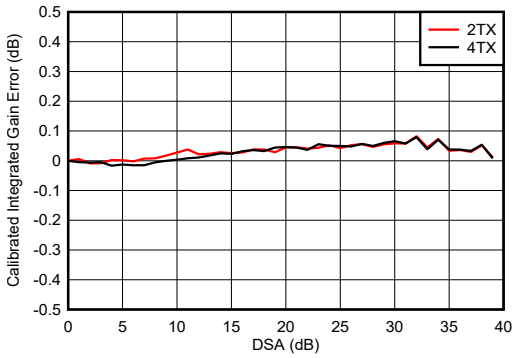
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 4-302. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種チャネル、0.85GHz)



f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + DSA 設定

図 4-303. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種チャネル、0.85GHz)



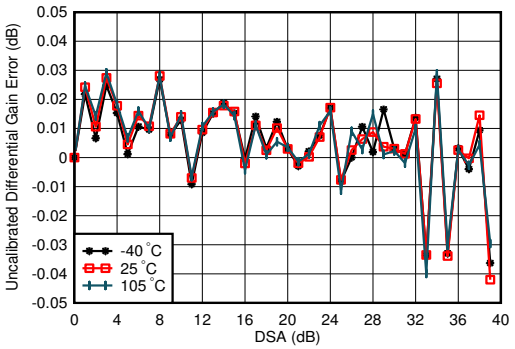
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + DSA 設定

図 4-304. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種チャネル、0.85GHz)

Copyright © 2025 Texas Instruments Incorporated

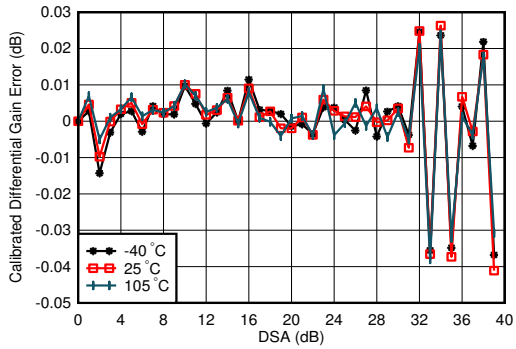
4.12.9 TX 代表的特性：800MHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



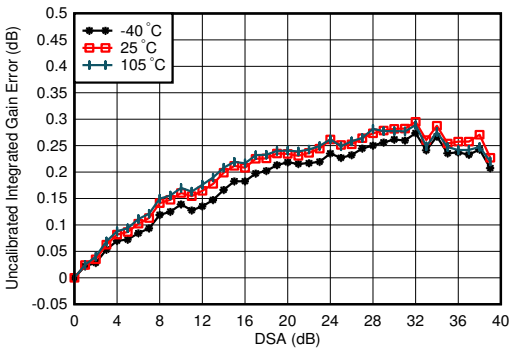
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 4-305. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種温度、0.85GHz)



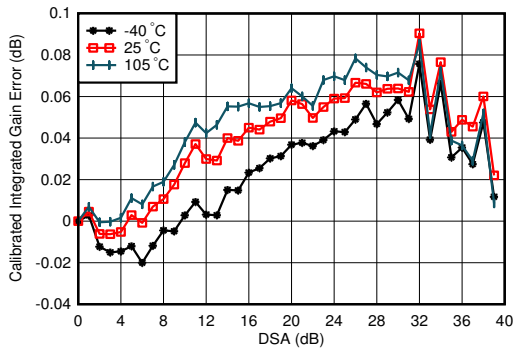
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 4-306. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種温度、0.85GHz)



f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + DSA 設定

図 4-307. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種温度、0.85GHz)



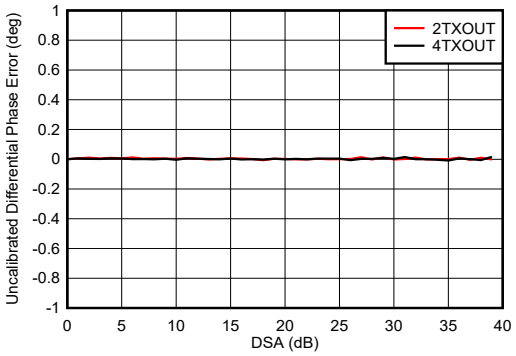
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + DSA 設定

図 4-308. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種温度、0.85GHz)

Copyright © 2025 Texas Instruments Incorporated

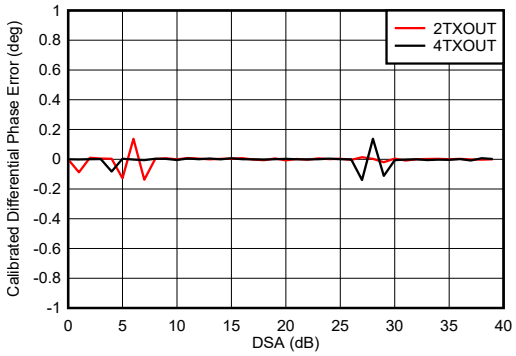
4.12.9 TX 代表的特性：800MHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



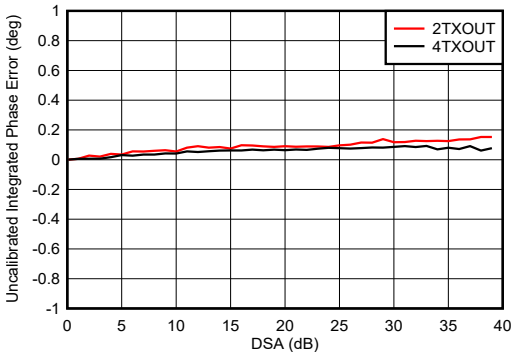
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 4-309. TX 未較正微分位相誤差と DSA 設定との関係 (各種チャネル、0.85GHz)



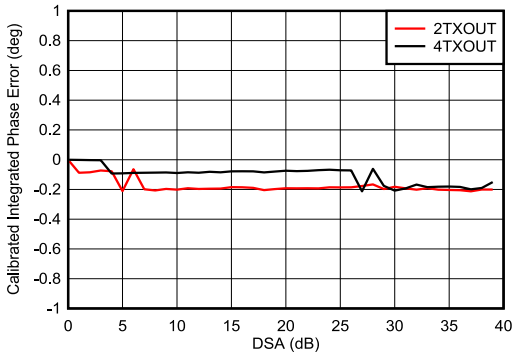
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)
位相 DNL スパイクは、すべての DSA 設定で発生する可能性があります。

図 4-310. TX 較正済み微分位相誤差と DSA 設定との関係 (各種チャネル、0.85GHz)



f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
積分位相誤差 = $Phase_{OUT}$(DSA 設定) - $Phase_{OUT}$(DSA 設定 = 0)

図 4-311. TX 未較正積分位相誤差と DSA 設定との関係 (チャネル 1、0.85GHz)



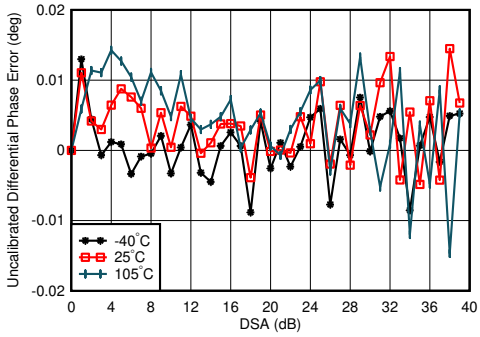
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
積分位相誤差 = $Phase_{OUT}$(DSA 設定) - $Phase_{OUT}$(DSA 設定 = 0)

図 4-312. TX 較正済み積分位相誤差と DSA 設定との関係 (各種チャネル、0.85GHz)

Copyright © 2025 Texas Instruments Incorporated

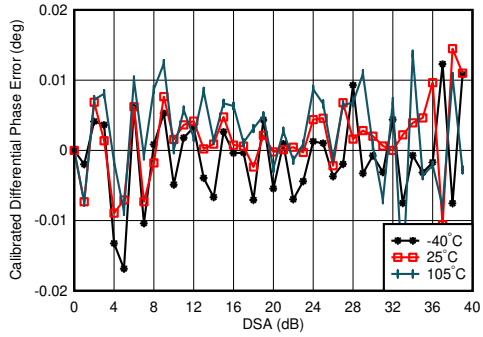
4.12.9 TX 代表的特性：800MHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



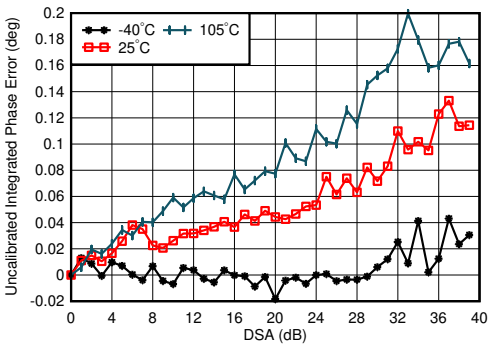
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定) + 1

図 4-313. TX 未較正微分位相誤差と DSA 設定との関係 (各種温度、0.85GHz)



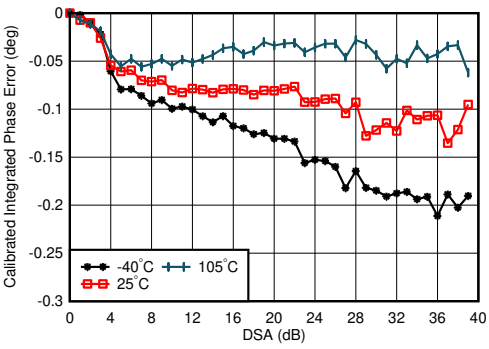
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合、全 DSA 設定にわたって 25℃での誤差が中央値であるチャネル
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定) + 1

図 4-314. TX 較正済み微分位相誤差と DSA 設定との関係 (各種温度、0.85GHz)



f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
積分位相誤差 = $Phase_{OUT}$(DSA 設定) - $Phase_{OUT}$(DSA 設定 = 0)

図 4-315. TX 未較正積分位相誤差と DSA 設定との関係 (各種温度、0.85GHz)



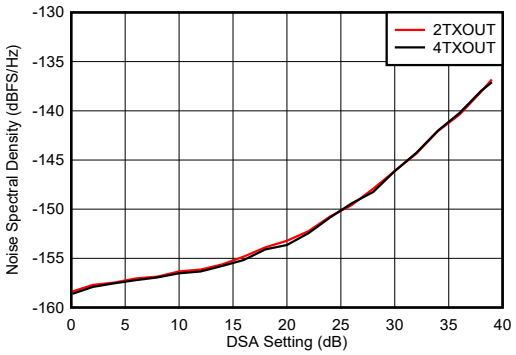
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
積分位相誤差 = $Phase_{OUT}$(DSA 設定) - $Phase_{OUT}$(DSA 設定 = 0)

図 4-316. TX 較正済み積分位相誤差と DSA 設定との関係 (各種温度、0.85GHz)

Copyright © 2025 Texas Instruments Incorporated

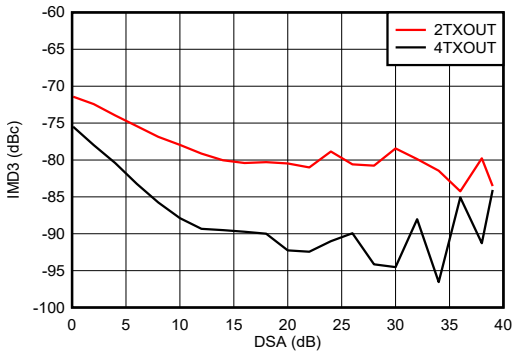
4.12.9 TX 代表的特性：800MHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



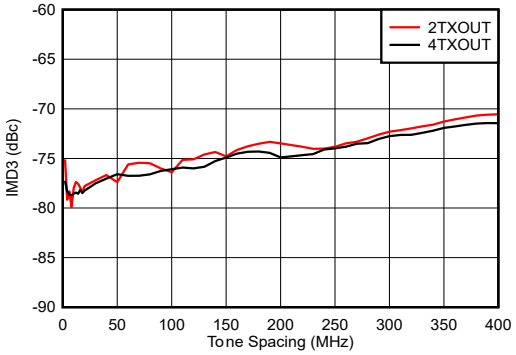
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合、P_{OUT} = -13dBFS

図 4-317. TX 出力ノイズと減衰量との関係 (各種チャネル、0.85GHz)



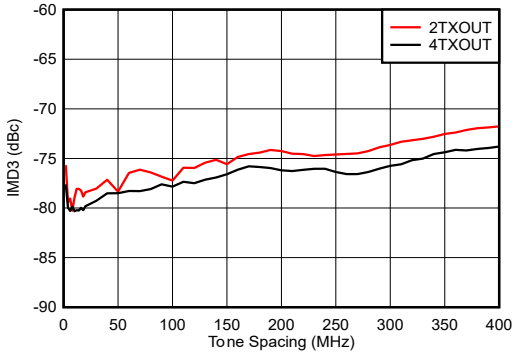
f_{DAC} = 11796.48MSPS、インターリーブ モード、f_{CENTER} = 0.85GHz、0.8GHz で整合、各トーン -13dBFS

図 4-318. TX IMD3 と DSA 設定との関係 (0.85GHz)



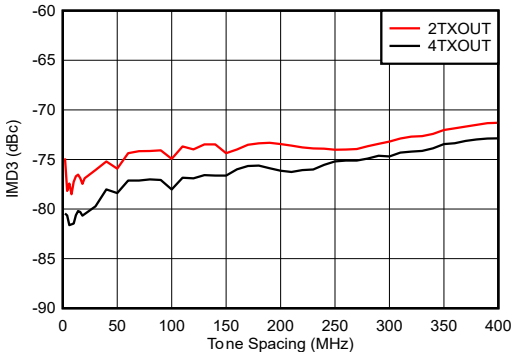
f_{DAC} = 5898.24MSPS、ストレート モード、f_{CENTER} = 0.85GHz、0.8GHz で整合、各トーン -13dBFS

図 4-319. TX IMD3 とトーン間隔との関係 (各種チャネル、0.85GHz)



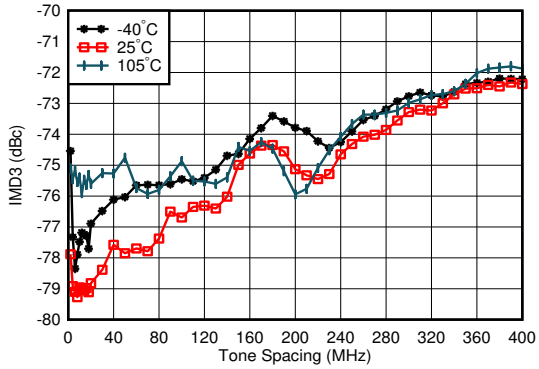
f_{DAC} = 8847.36MSPS、ストレート モード、f_{CENTER} = 0.85GHz、0.8GHz で整合、各トーン -13dBFS

図 4-320. TX IMD3 とトーン間隔との関係 (各種チャネル、0.85GHz)



f_{DAC} = 11796.48MSPS、インターリーブ モード、f_{CENTER} = 0.85GHz、0.8GHz で整合、各トーン -13dBFS

図 4-321. TX IMD3 とトーン間隔との関係 (各種チャネル、0.85GHz)



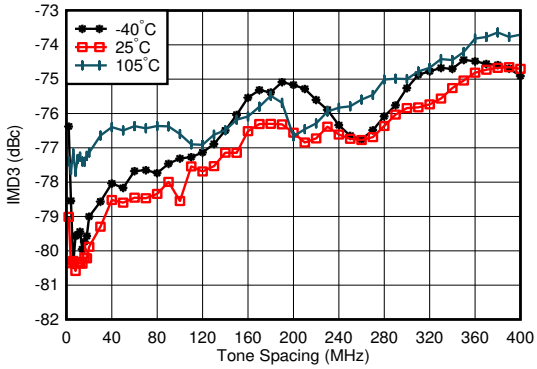
f_{DAC} = 5898.24MSPS、ストレート モード、f_{CENTER} = 0.85GHz、0.8GHz で整合、各トーン -13dBFS、ワースト チャネル

図 4-322. TX IMD3 とトーン間隔との関係 (各種温度、0.85GHz)

Copyright © 2025 Texas Instruments Incorporated

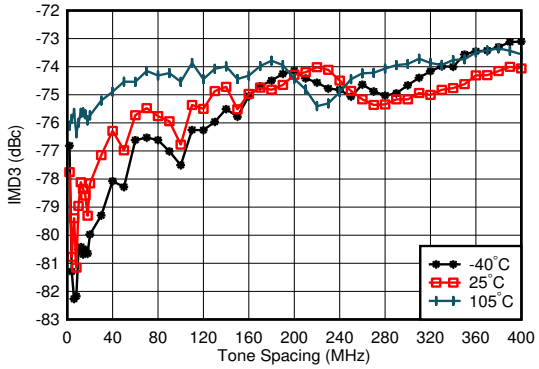
4.12.9 TX 代表的特性：800MHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



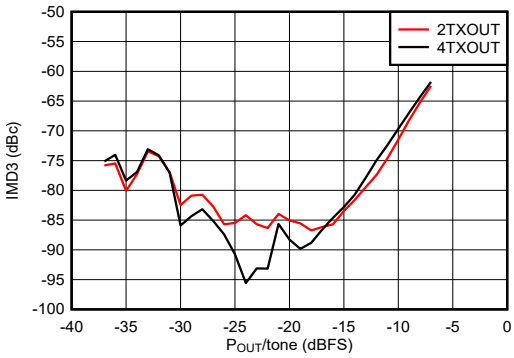
f_{DAC} = 8847.36MSPS、ストレート モード、f_{CENTER} = 0.85GHz、0.8GHz で整合、各トーン –13dBFS、ワースト チャネル

図 4-323. TX IMD3 とトーン間隔との関係 (各種温度、0.85GHz)



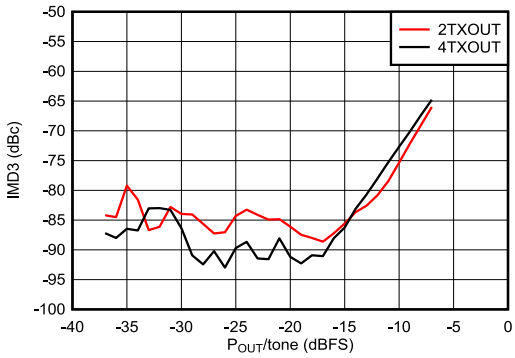
f_{DAC} = 11796.48MSPS、ストレート モード、f_{CENTER} = 0.85GHz、0.8GHz で整合、各トーン –13dBFS、ワースト チャネル

図 4-324. TX IMD3 とトーン間隔との関係 (各種温度、0.85GHz)



f_{DAC} = 5898.24MSPS、ストレート モード、f_{CENTER} = 0.85GHz、$f_{SPACING}$ = 20MHz、0.8GHz で整合

図 4-325. TX IMD3 とデジタル レベルとの関係 (0.85GHz)



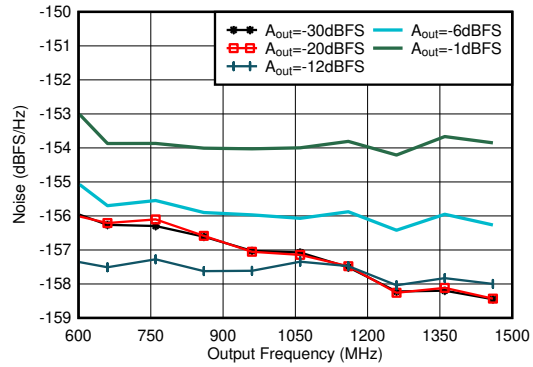
f_{DAC} = 8847.36MSPS、ストレート モード、f_{CENTER} = 0.85GHz、$f_{SPACING}$ = 20MHz、0.8GHz で整合

図 4-326. TX IMD3 とデジタル レベルとの関係 (0.85GHz)



f_{DAC} = 11796.48MSPS、インターリーブ モード、f_{CENTER} = 0.85GHz、$f_{SPACING}$ = 20MHz、0.8GHz で整合

図 4-327. TX IMD3 とデジタル レベルとの関係 (0.85GHz)



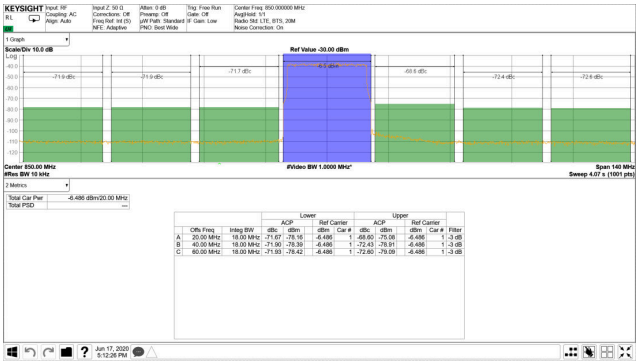
0.8GHz で整合、シングル トーン、f_{DAC} = 11.79648GSPS、インターリーブ モード、40MHz オフセット、DSA = 0dB

図 4-328. TX シングルトーン出力ノイズと周波数との関係 (各種振幅、0.85GHz)

Copyright © 2025 Texas Instruments Incorporated

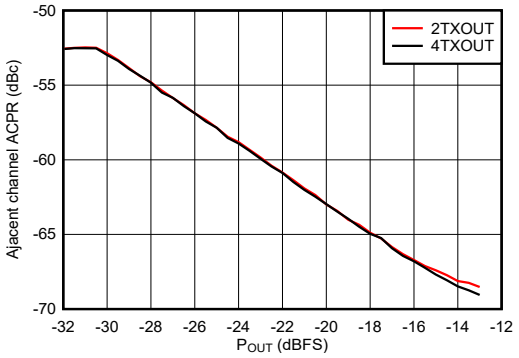
4.12.9 TX 代表的特性：800MHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



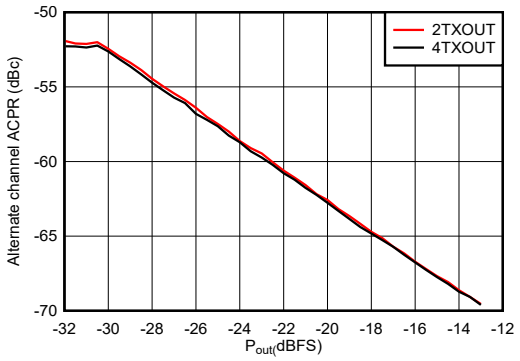
TM1.1、P_{OUT_RMS} = -13dBFS

図 4-329. TX 20MHz LTE 出力スペクトル (0.85GHz)



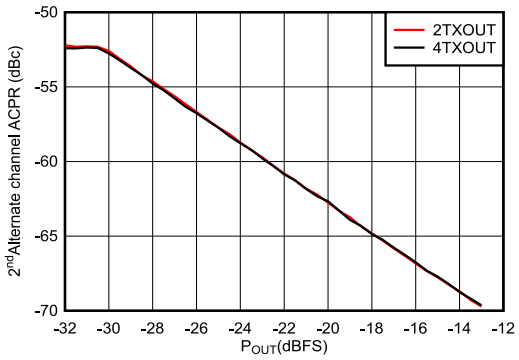
0.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 4-330. TX 20MHz LTE ACPR とデジタル レベルとの関係 (0.85GHz)



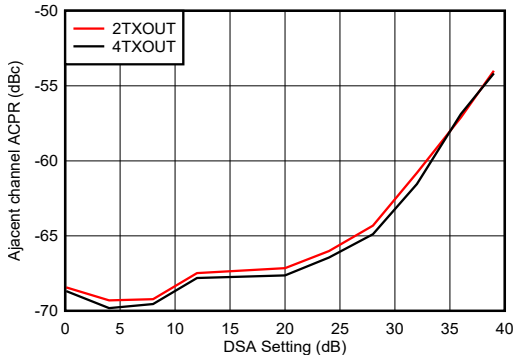
0.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 4-331. TX 20MHz LTE alt-ACPR とデジタル レベルとの関係 (0.85GHz)



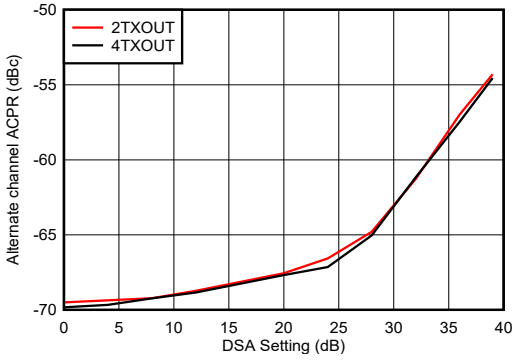
0.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 4-332. 0.85GHz での TX 20MHz LTE alt2-ACPR とデジタル レベルとの関係



0.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 4-333. TX 20MHz LTE ACPR と DSA 設定との関係 (0.85GHz)



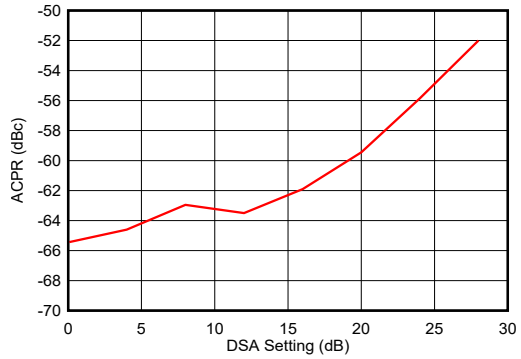
0.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 4-334. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (0.85GHz)

Copyright © 2025 Texas Instruments Incorporated

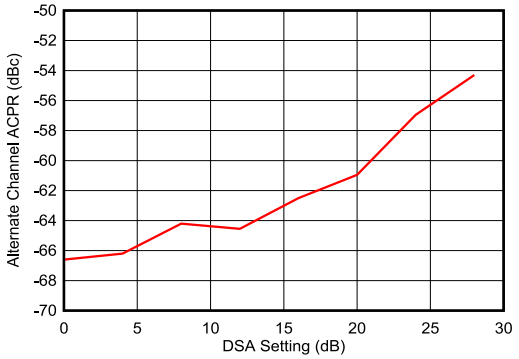
4.12.9 TX 代表的特性：800MHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



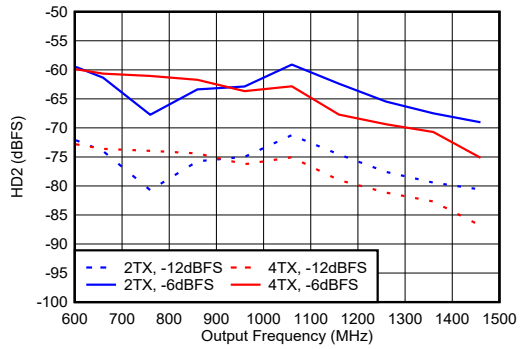
0.8GHz で整合、シングル キャリア 100MHz BW TM1.1 NR

図 4-335. TX 100MHz NR ACPR と DSA 設定との関係 (0.85GHz)



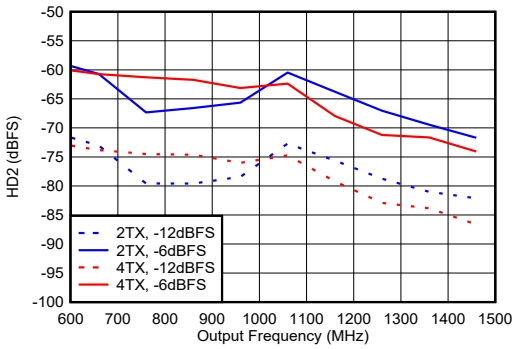
0.8GHz で整合、シングル キャリア 100MHz BW TM1.1 NR

図 4-336. TX 100MHz NR alt-ACPR と DSA 設定との関係 (0.85GHz)



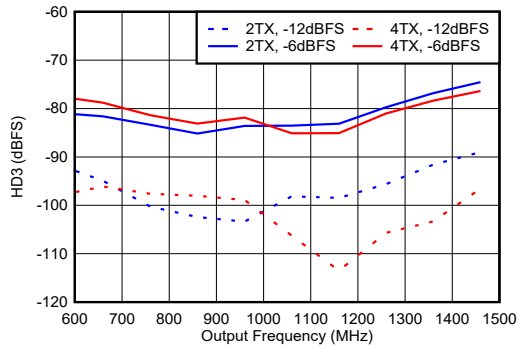
0.8GHz で整合、f_{DAC} = 5898.24GSPS、ストレート モード。

図 4-337. TX HD2 と出力周波数との関係 (各種デジタル振幅、0.85GHz)



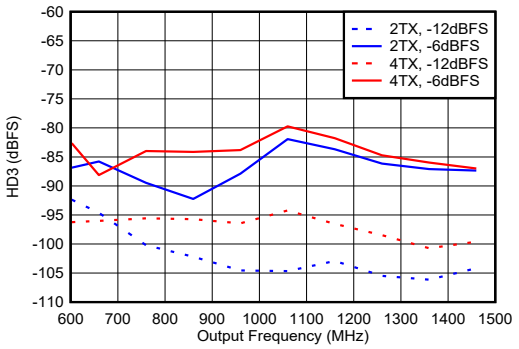
0.8GHz で整合、f_{DAC} = 8847.36GSPS、ストレート モード。

図 4-338. TX HD2 と出力周波数との関係 (各種デジタル振幅、0.85GHz)



0.8GHz で整合、f_{DAC} = 5898.24MSPS、ストレート モード、高調波周波数での出力電力で正規化。

図 4-339. TX HD3 と出力周波数との関係 (各種デジタル振幅、0.85GHz)



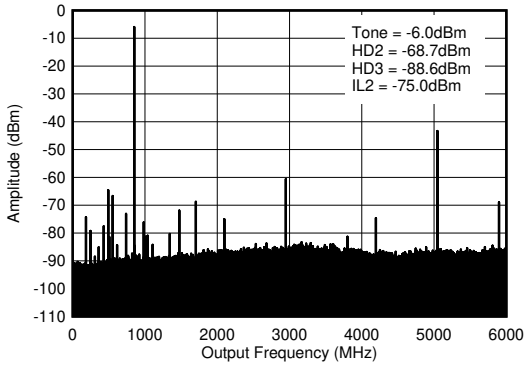
0.8GHz で整合、f_{DAC} = 8847.36MSPS、ストレート モード、高調波周波数での出力電力で正規化。

図 4-340. TX HD3 と出力周波数との関係 (各種デジタル振幅、0.85GHz)

Copyright © 2025 Texas Instruments Incorporated

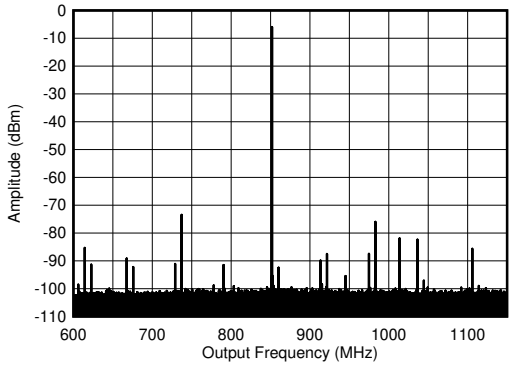
4.12.9 TX 代表的特性：800MHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



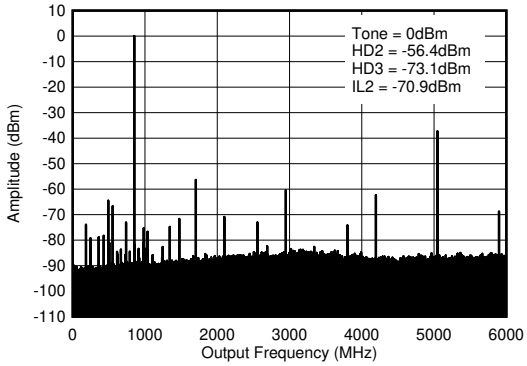
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$。

図 4-341. TX シングル トーン (-12dBFS) 出力スペクトル (0～f_{DAC}、0.85GHz)



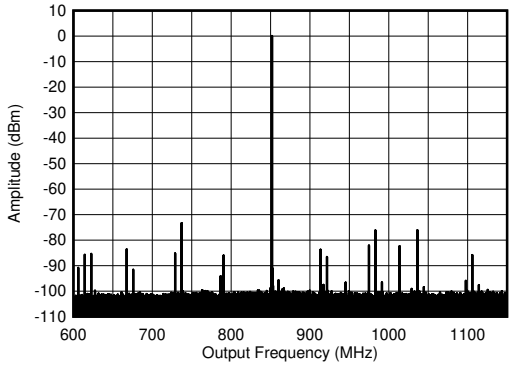
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz 整合あり、PCB とケーブルの損失を含む

図 4-342. 0.85GHz での TX シングル トーン (-12 dBFS) 出力スペクトル (±300 MHz)



f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$。

図 4-343. TX シングル トーン (-6dBFS) 出力スペクトル (0～f_{DAC}、0.85GHz)



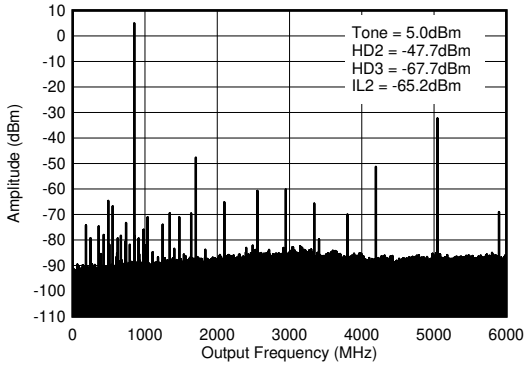
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz 整合あり、PCB とケーブルの損失を含む

図 4-344. 0.85GHz での TX シングル トーン (–6dBFS) 出力スペクトル (±300MHz)

Copyright © 2025 Texas Instruments Incorporated

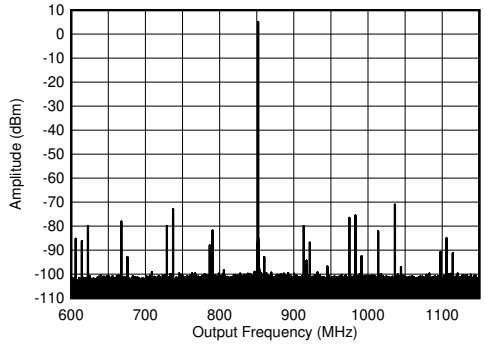
4.12.9 TX 代表的特性：800MHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



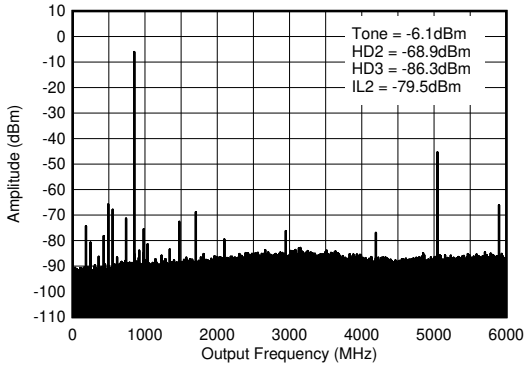
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$。

図 4-345. TX シングル トーン (-1dBFS) 出力スペクトル (0～f_{DAC}、0.85GHz)



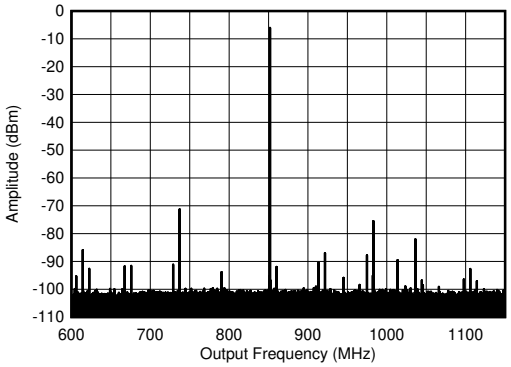
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz 整合あり、PCB とケーブルの損失を含む

図 4-346. 0.85GHz での TX シングル トーン (–1dBFS) 出力スペクトル (±300MHz)



f_{DAC} = 5898.24MSPS、ストレート モード、0.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$ (デジタル クロックとのミキシングに起因)。

図 4-347. TX シングル トーン (-12dBFS) 出力スペクトル (0～f_{DAC}、0.85GHz)



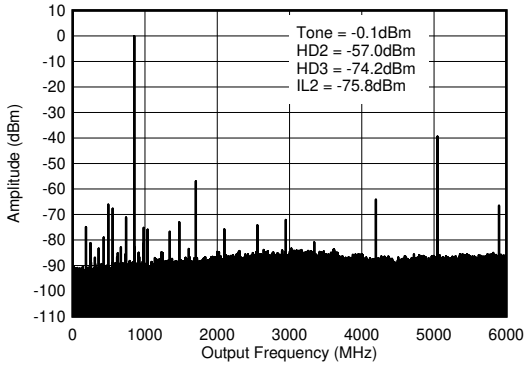
f_{DAC} = 5898.24 MSPS、ストレート モード、0.8GHz 整合あり、PCB とケーブルの損失を含む

図 4-348. 0.85GHz での TX シングル トーン (-12 dBFS) 出力スペクトル (±300 MHz)

Copyright © 2025 Texas Instruments Incorporated

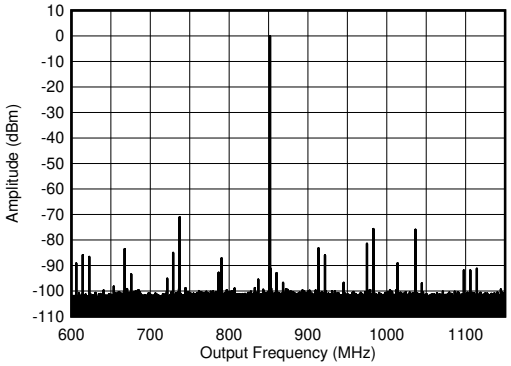
4.12.9 TX 代表的特性：800MHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



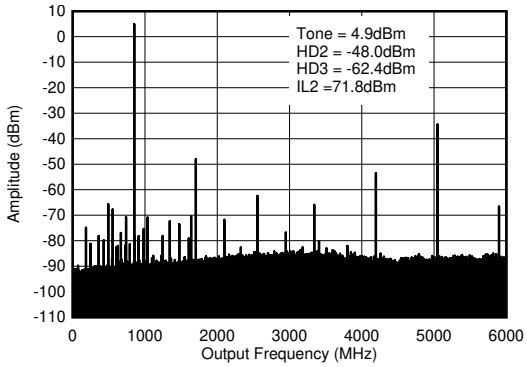
f_{DAC} = 5898.24MSPS、ストレート モード、0.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$ (デジタル クロックとのミキシングに起因)。

図 4-349. TX シングル トーン (-6dBFS) 出力スペクトル (0～f_{DAC}、0.85GHz)



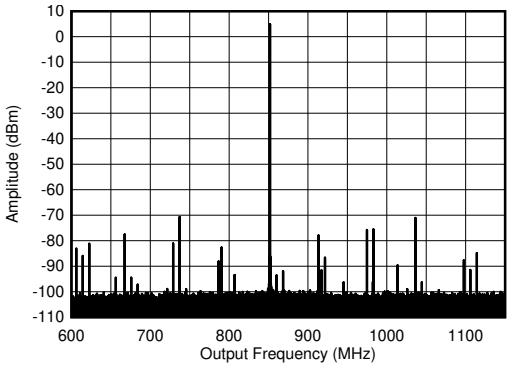
f_{DAC} = 5898.24 MSPS、ストレート モード、0.8GHz 整合あり、PCB とケーブルの損失を含む

図 4-350. 0.85GHz での TX シングル トーン (–6dBFS) 出力スペクトル (±300MHz)



f_{DAC} = 5898.24MSPS、ストレート モード、0.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$ (デジタル クロックとのミキシングに起因)。

図 4-351. TX シングル トーン (-1dBFS) 出力スペクトル (0～f_{DAC}、0.85GHz)



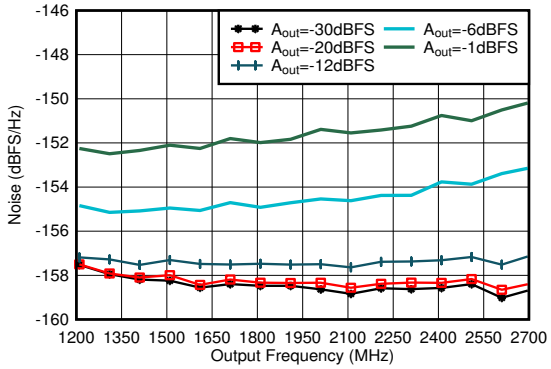
f_{DAC} = 5898.24MSPS、ストレート モード、0.8GHz 整合あり、PCB とケーブルの損失を含む

図 4-352. 0.85GHz での TX シングル トーン (–1dBFS) 出力スペクトル (±300MHz)

Copyright © 2025 Texas Instruments Incorporated

4.12.10 TX 代表的特性：1.8GHz

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



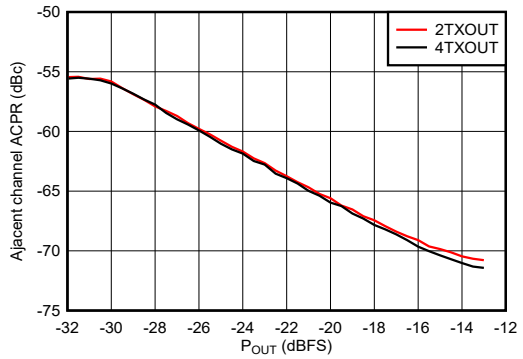
1.8GHz で整合、シングル トーン、f_{DAC} = 11.79648GSPS、インターリーブ モード、40MHz オフセット

図 4-353. TX シングルトーン出力ノイズと周波数との関係 (各種振幅、1.8GHz)



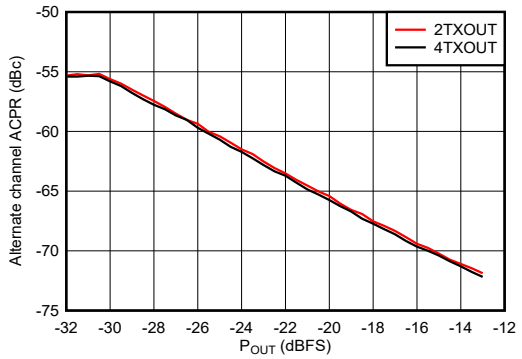
TM1.1、P_{OUT_RMS} = -13dBFS

図 4-354. TX 20MHz LTE 出力スペクトル (1.8425GHz)



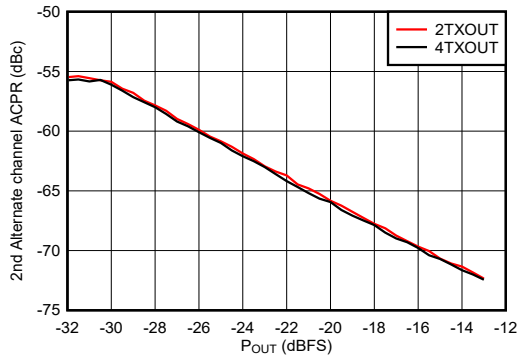
1.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 4-355. TX 20MHz LTE ACPR とデジタル レベルとの関係 (1.8425GHz)



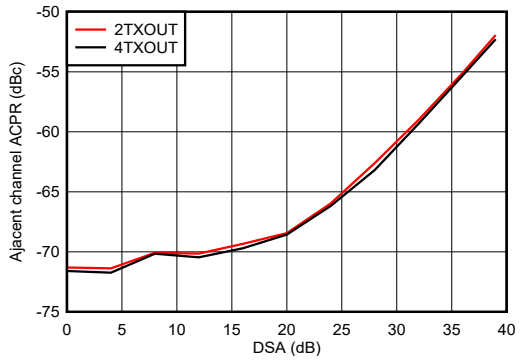
1.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 4-356. TX 20MHz LTE alt-ACPR とデジタル レベルとの関係 (1.8425GHz)



1.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 4-357. 1.8425GHz での TX 20MHz LTE alt2-ACPR とデジタル レベルとの関係



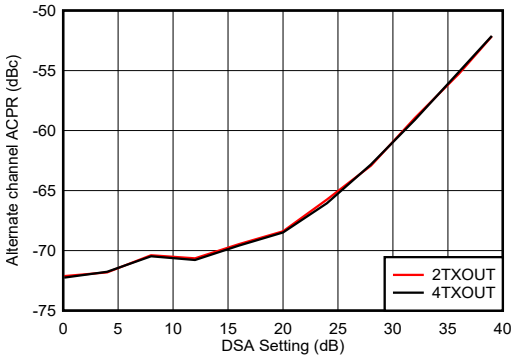
1.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 4-358. TX 20MHz LTE ACPR と DSA 設定との関係 (1.8GHz)

Copyright © 2025 Texas Instruments Incorporated

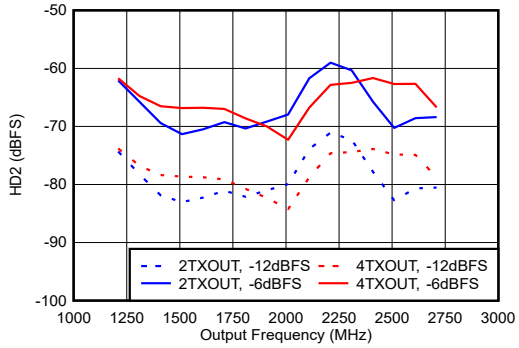
4.12.10 TX 代表的特性：1.8GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



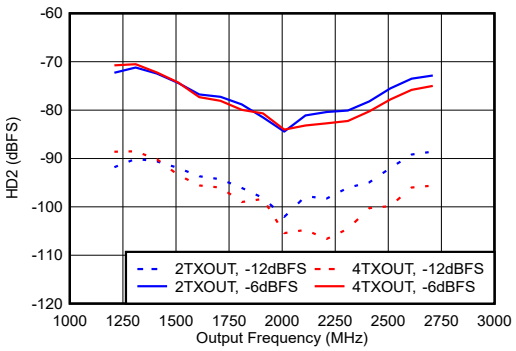
1.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 4-359. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (1.8GHz)



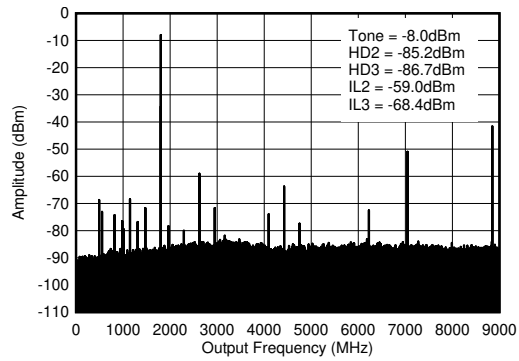
1.8GHz で整合、f_{DAC} = 11.79648GSPS、インターリーブ モード、高調波周波数での出力電力で正規化

図 4-360. TX HD2 と出力周波数との関係 (各種デジタル振幅、1.8GHz)



1.8GHz で整合、f_{DAC} = 11.79648GSPS、インターリーブ モード、高調波周波数での出力電力で正規化

図 4-361. TX HD3 と出力周波数との関係 (各種デジタル振幅、1.8GHz)

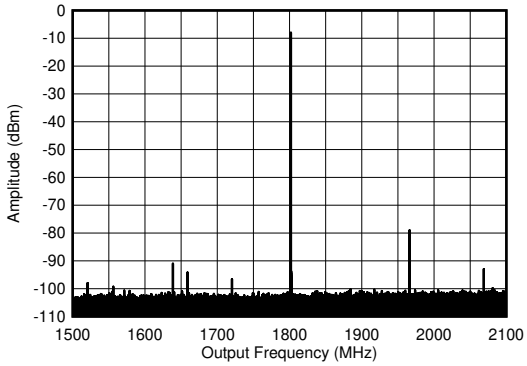


f_{DAC} = 8847.36MSPS、インターリーブ モード、1.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$。

図 4-362. TX シングル トーン (-12dBFS) 出力スペクトル (0～f_{DAC}、1.8GHz)

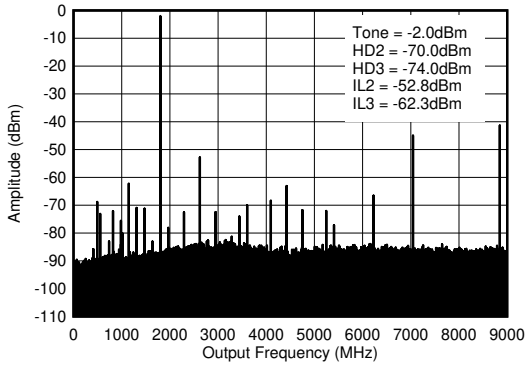
4.12.10 TX 代表的特性：1.8GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



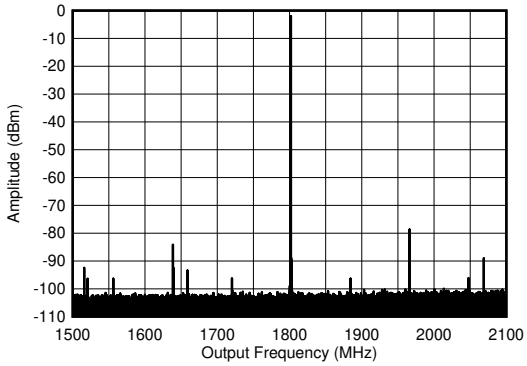
f_{DAC} = 8847.36MSPS、インターリーブ モード、1.8GHz 整合あり、PCB とケーブルの損失を含む

図 4-363. 1.8GHz での TX シングル トーン (-12 dBFS) 出力スペクトル (±300 MHz)



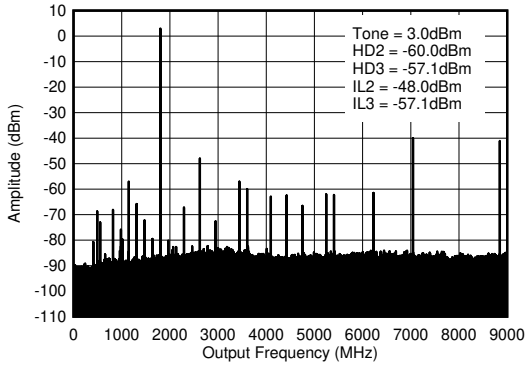
f_{DAC} = 8847.36MSPS、インターリーブ モード、1.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$。

図 4-364. TX シングル トーン (-6dBFS) 出力スペクトル (0～f_{DAC}、1.8GHz)



f_{DAC} = 8847.36MSPS、インターリーブ モード、1.8GHz 整合あり、PCB とケーブルの損失を含む

図 4-365. 1.8GHz での TX シングル トーン (–6dBFS) 出力スペクトル (±300MHz)



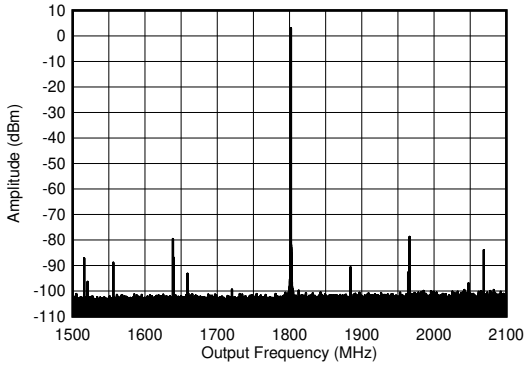
f_{DAC} = 8847.36MSPS、インターリーブ モード、1.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$。

図 4-366. TX シングル トーン (-1dBFS) 出力スペクトル (0～f_{DAC}、1.8GHz)

Copyright © 2025 Texas Instruments Incorporated

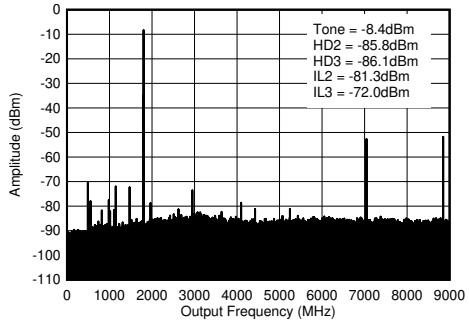
4.12.10 TX 代表的特性：1.8GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



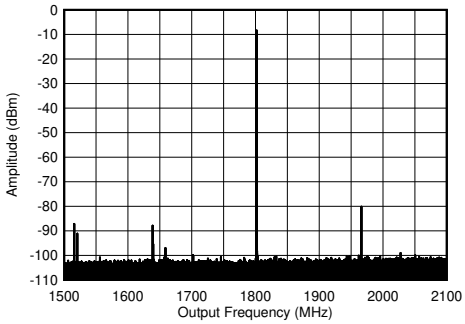
f_{DAC} = 8847.36MSPS、インターリーブ モード、1.8GHz 整合あり、PCB とケーブルの損失を含む

図 4-367. 1.8GHz での TX シングル トーン (–1dBFS) 出力スペクトル (±300MHz)



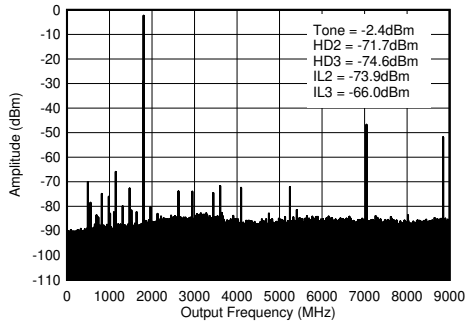
f_{DAC} = 8847.36MSPS、ストレート モード、1.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$ (デジタル クロックとのミキシングに起因)。

図 4-368. TX シングル トーン (-12dBFS) 出力スペクトル (0～f_{DAC}、1.8GHz)



f_{DAC} = 8847.36 MSPS、ストレート モード、1.8GHz 整合あり、PCB とケーブルの損失を含む

図 4-369. 1.8GHz での TX シングル トーン (-12 dBFS) 出力スペクトル (±300 MHz)

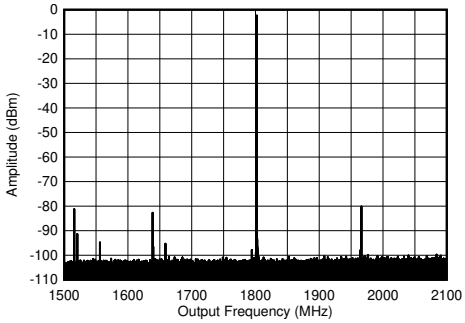


f_{DAC} = 8847.36MSPS、ストレート モード、1.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$ (デジタル クロックとのミキシングに起因)。

図 4-370. TX シングル トーン (-6dBFS) 出力スペクトル (0～f_{DAC}、1.8GHz)

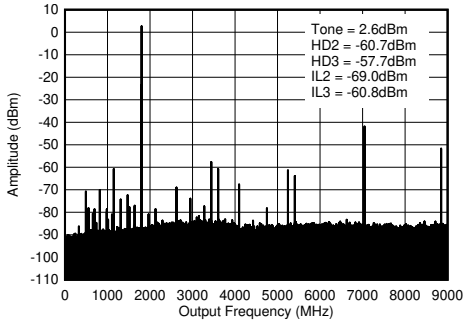
4.12.10 TX 代表的特性：1.8GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



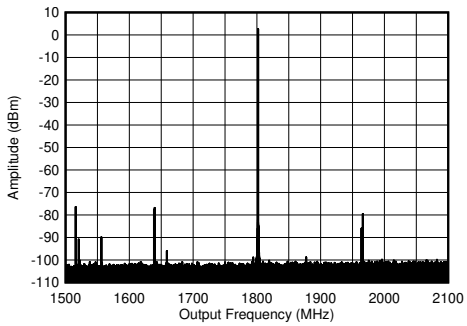
f_{DAC} = 8847.36 MSPS、ストレート モード、1.8GHz 整合あり、PCB とケーブルの損失を含む

図 4-371. 1.8GHz での TX シングル トーン (–6dBFS) 出力スペクトル (±300MHz)



f_{DAC} = 8847.36MSPS、ストレート モード、1.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$ (デジタル クロックとのミキシングに起因)。

図 4-372. TX シングル トーン (-1dBFS) 出力スペクトル (0～f_{DAC}、1.8GHz)



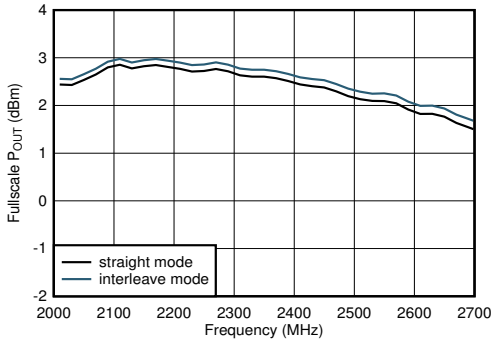
f_{DAC} = 8847.36 MSPS、ストレート モード、1.8GHz 整合あり、PCB とケーブルの損失を含む

図 4-373. 1.8GHz での TX シングル トーン (–1dBFS) 出力スペクトル (±300MHz)

Copyright © 2025 Texas Instruments Incorporated

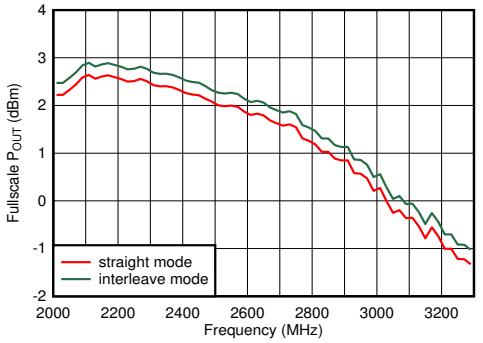
4.12.11 TX 代表的特性：2.6GHz

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データレート= 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = -1dBFS、1st 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



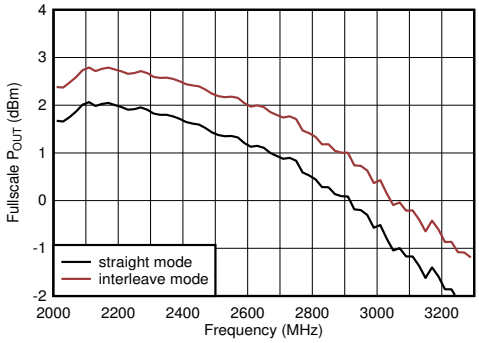
PCB とケーブルの損失を含む。A_{OUT} = -0.5dBFS、DSA = 0、2.6GHz 整合あり

図 4-374. TX フルスケールと RF 周波数との関係 (5898.24MSPS)



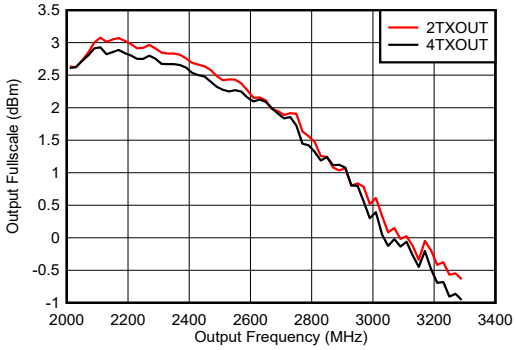
PCB とケーブルの損失を含む。A_{OUT} = -0.5dBFS、DSA = 0、2.6GHz 整合あり

図 4-375. TX フルスケールと RF 周波数との関係 (8847.36MSPS)



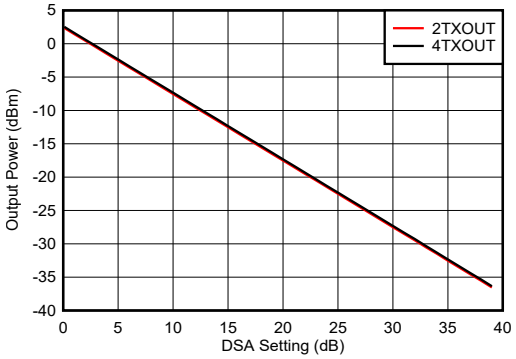
PCB とケーブルの損失を含む。A_{OUT} = -0.5dBFS、DSA = 0、2.6GHz 整合あり

図 4-376. TX フルスケールと RF 周波数との関係 (11796.48MSPS)



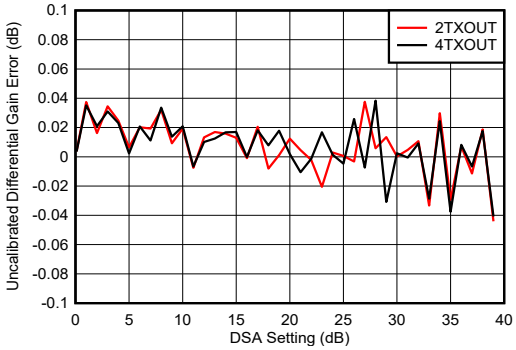
f_{DAC} = 8847.36MSPS、インターリーブ モード、PCB およびケーブルの損失を含む、A_{OUT} = -0.5dBFS、DSA = 0、2.6GHz 整合あり

図 4-377. TX 出力フルスケールと出力周波数とチャネルとの関係



f_{DAC} = 8847.36MSPS、A_{OUT} = -0.5dBFS、2.6GHz に整合

図 4-378. TX 出力電力と DSA 設定との関係 (各種チャネル、2.6GHz)



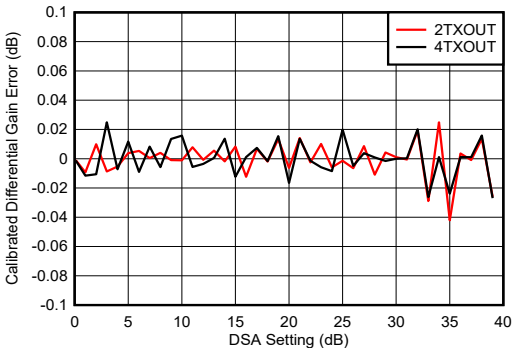
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 4-379. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種チャネル、2.6GHz)

Copyright © 2025 Texas Instruments Incorporated

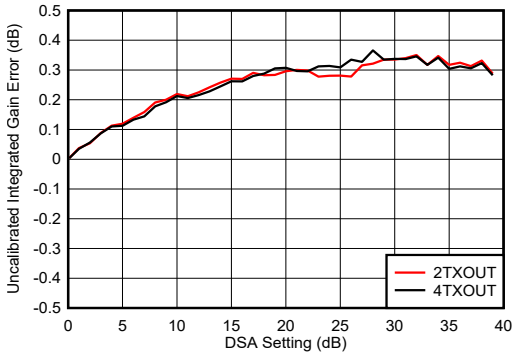
4.12.11 TX 代表的特性：2.6GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データレート= 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = -1dBFS、1st 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



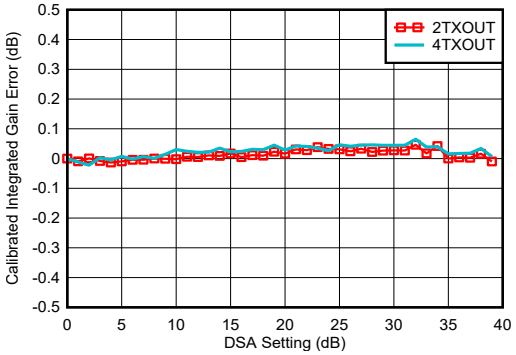
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 4-380. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種チャネル、2.6GHz)



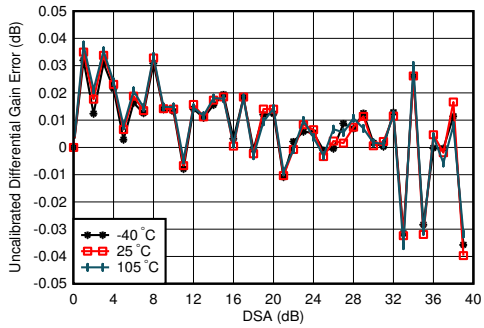
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 4-381. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種チャネル、2.6GHz)



f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 4-382. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種チャネル、2.6GHz)



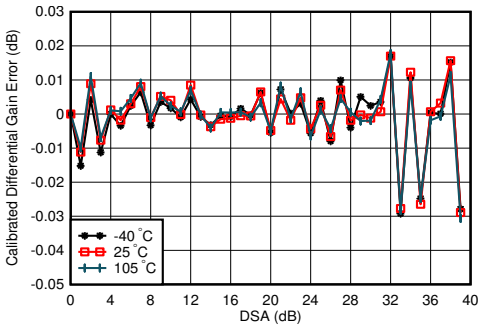
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合、全 DSA 設定にわたって 25℃での誤差が中央値であるチャネル
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 4-383. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種温度、2.6GHz)

Copyright © 2025 Texas Instruments Incorporated

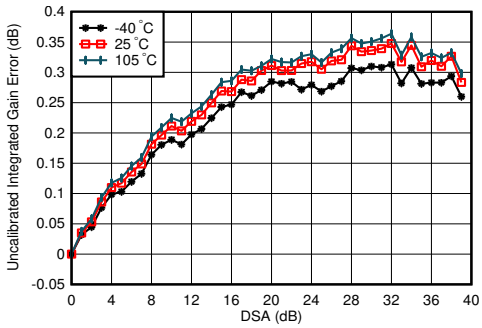
4.12.11 TX 代表的特性：2.6GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データレート= 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = -1dBFS、1st 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



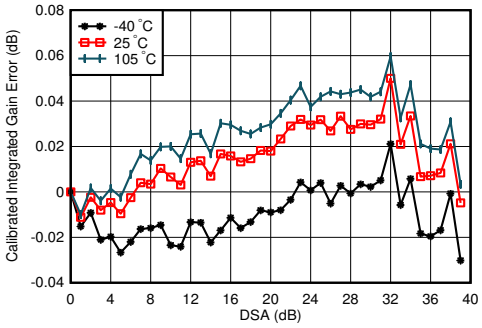
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合、全 DSA 設定にわたって 25℃での誤差が中央値であるチャネル
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 4-384. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種温度、2.6GHz)



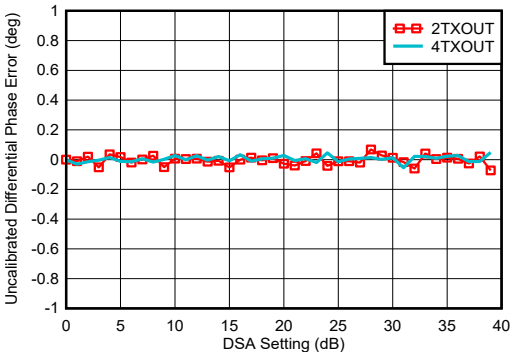
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合、全 DSA 設定にわたって 25℃での誤差が中央値であるチャネル
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 4-385. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種温度、2.6GHz)



f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合、全 DSA 設定にわたって 25℃での誤差が中央値であるチャネル
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 4-386. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種温度、2.6GHz)

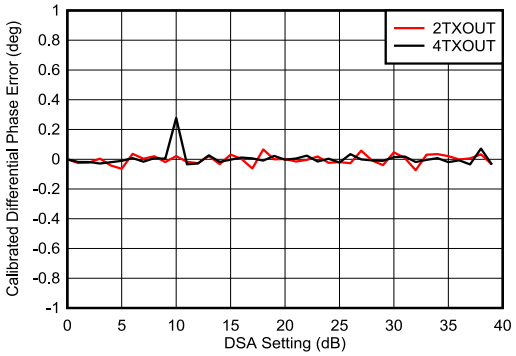


f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 4-387. TX 未較正微分位相誤差と DSA 設定との関係 (各種チャネル、2.6GHz)

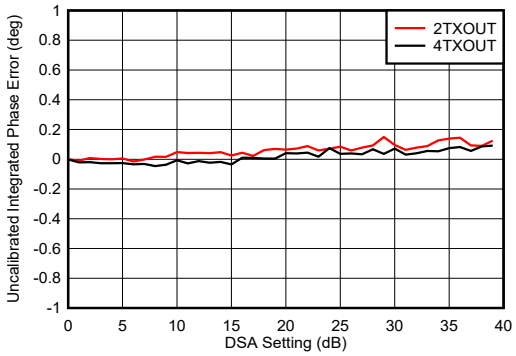
4.12.11 TX 代表的特性：2.6GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データレート= 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = -1dBFS、1st 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



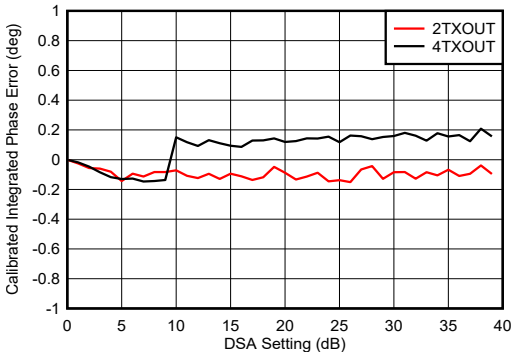
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)
位相 DNL スパイクは、すべての DSA 設定で発生する可能性があります。

図 4-388. TX 較正済み微分位相誤差と DSA 設定との関係 (各種チャネル、2.6GHz)



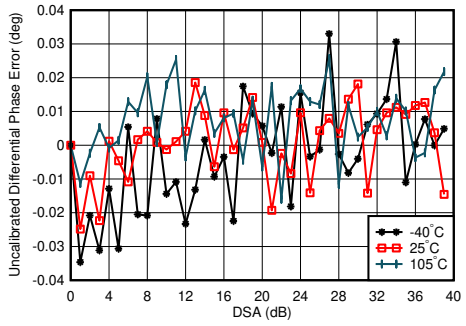
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-389. TX 未較正積分位相誤差と DSA 設定との関係 (チャネル 1、2.6GHz)



f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-390. TX 較正済み積分位相誤差と DSA 設定との関係 (各種チャネル、2.6GHz)



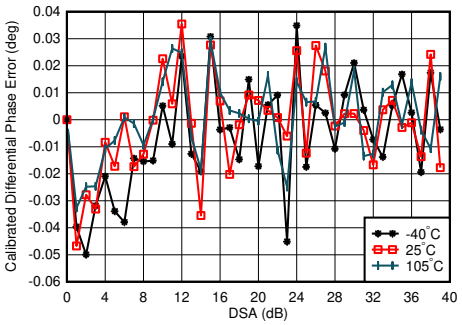
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合、全 DSA 設定にわたって 25℃での誤差が中央値であるチャネル
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 4-391. TX 未較正微分位相誤差と DSA 設定との関係 (各種温度、2.6GHz)

Copyright © 2025 Texas Instruments Incorporated

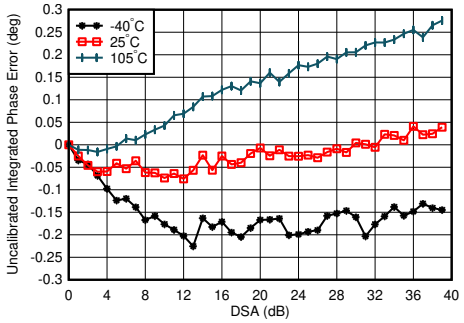
4.12.11 TX 代表的特性：2.6GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データレート= 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = -1dBFS、1st 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



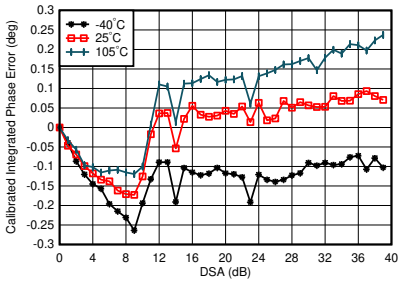
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合、全 DSA 設定にわたって 25℃での誤差が中央値であるチャネル
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 4-392. TX 較正済み微分位相誤差と DSA 設定との関係 (各種温度、2.6GHz)



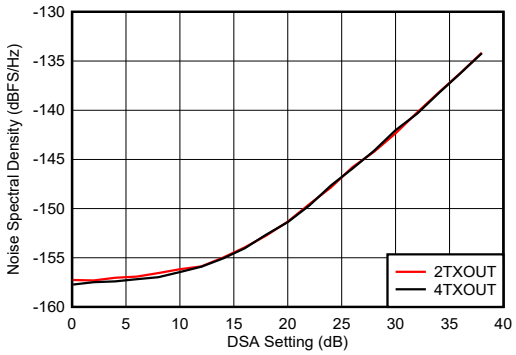
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合、全 DSA 設定にわたって 25℃での誤差が中位の大きさのチャネル
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-393. TX 未較正積分位相誤差と DSA 設定との関係 (各種温度、2.6GHz)



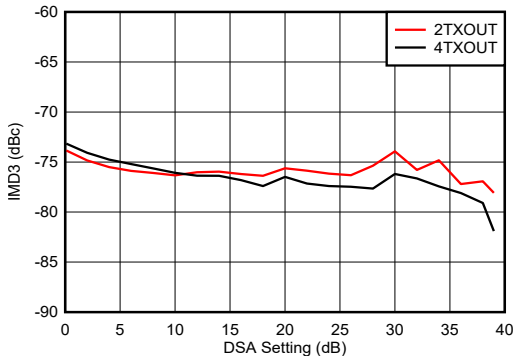
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合、全 DSA 設定にわたって 25℃での誤差が中央値であるチャネル
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-394. TX 較正済み積分位相誤差と DSA 設定との関係 (各種温度、2.6GHz)



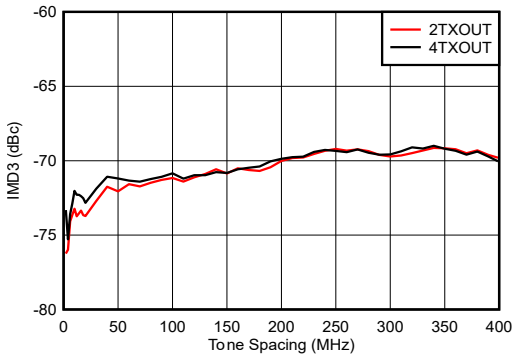
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合、P_{OUT} = -13dBFS

図 4-395. TX 出力ノイズと減衰量との関係 (各種チャネル、2.6GHz)



f_{DAC} = 8847.36MSPS、ストレート モード、f_{CENTER} = 2.6GHz、2.6GHz で整合、各トーン -13dBFS

図 4-396. TX IMD3 と DSA 設定との関係 (2.6GHz)



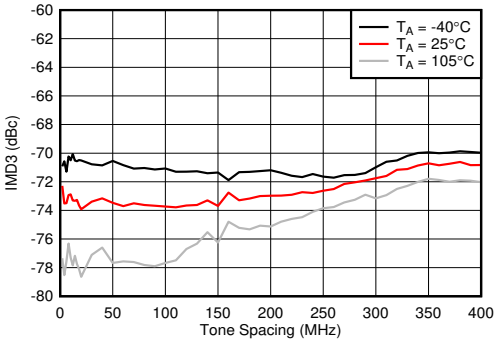
f_{DAC} = 8847.36MSPS、ストレート モード、f_{CENTER} = 2.6GHz、2.6GHz で整合、各トーン -13dBFS

図 4-397. TX IMD3 とトーン間隔との関係 (各種チャネル、2.6GHz)

Copyright © 2025 Texas Instruments Incorporated

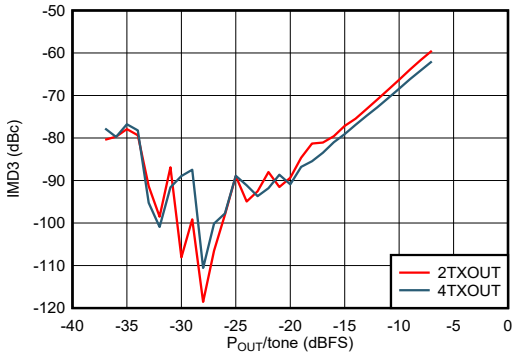
4.12.11 TX 代表的特性：2.6GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データレート= 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = -1dBFS、1st 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



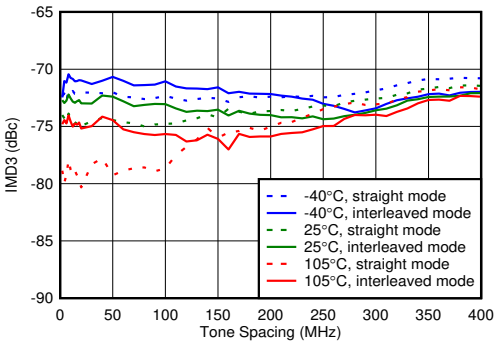
f_{DAC} = 8847.36MSPS、ストレート モード、f_{CENTER} = 2.6GHz、2.6GHz で整合、各トーン -13dBFS、ワースト チャネル、dither = 1。

図 4-398. TX IMD3 とトーン間隔との関係 (各種温度、2.6GHz)



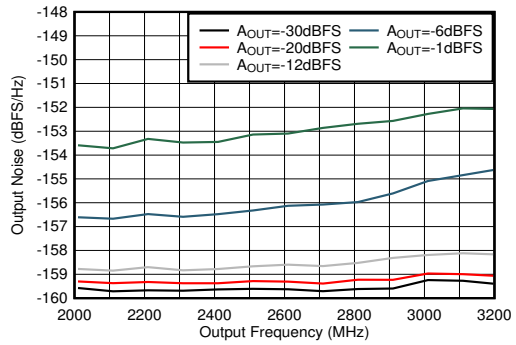
f_{DAC} = 8847.36MSPS、ストレート モード、f_{CENTER} = 2.6GHz、$f_{SPACING}$ = 20MHz、Dither = 1、2.6GHz で整合

図 4-399. TX IMD3 とデジタル レベルとの関係 (2.6GHz)



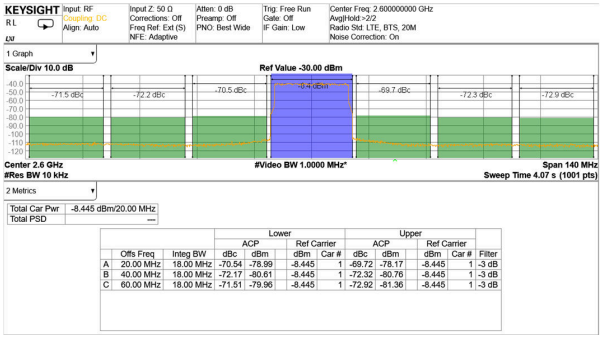
f_{DAC} = 8847.36MSPS、ストレート モード、f_{CENTER} = 2.6GHz、2.6GHz で整合、各トーン -13dBFS

図 4-400. TX IMD3 とトーン間隔との関係 (各種温度)



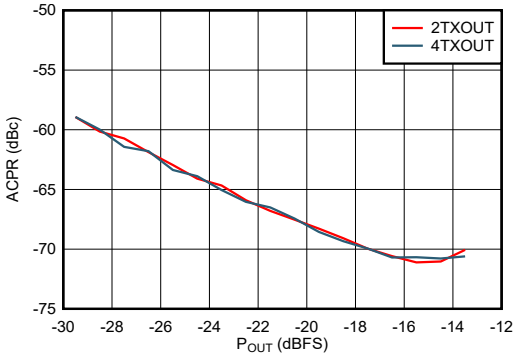
2.6GHz で整合、シングル トーン、f_{DAC} = 11.79648GSPS、インターリーブ モード、40MHz オフセット

図 4-401. TX シングルトーン出力ノイズと周波数との関係 (各種振幅、2.6GHz)



TM1.1、P_{OUT_RMS} = -13dBFS

図 4-402. TX 20MHz LTE 出力スペクトル (バンド 41、2.6GHz)



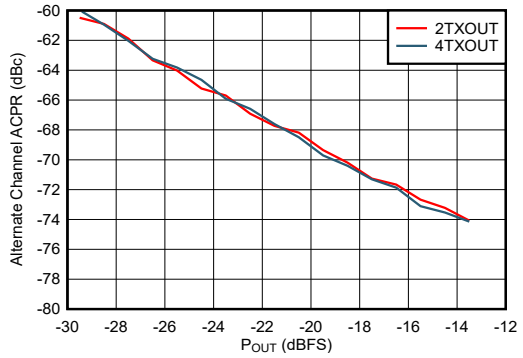
2.6GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 4-403. TX 20MHz LTE ACPR とデジタル レベルとの関係 (2.6GHz)

Copyright © 2025 Texas Instruments Incorporated

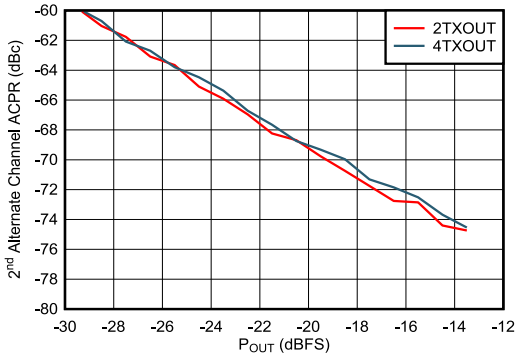
4.12.11 TX 代表的特性：2.6GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データレート= 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = -1dBFS、1st 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



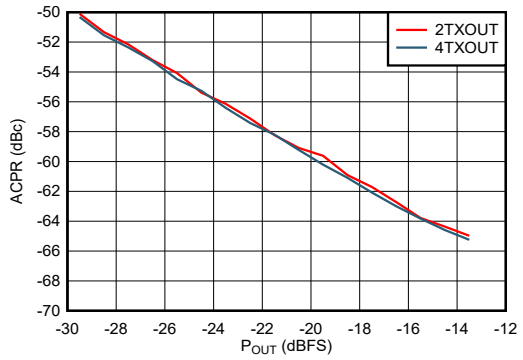
2.6GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 4-404. TX 20MHz LTE alt-ACPR とデジタル レベルとの関係 (2.6GHz)



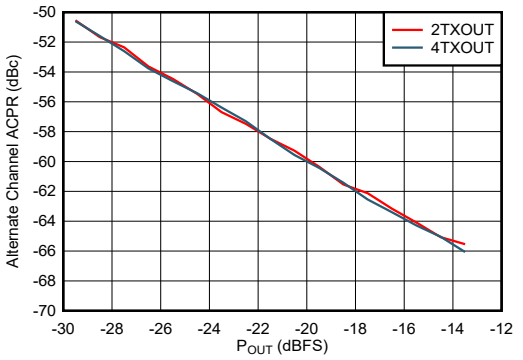
2.6GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 4-405. 2.6GHz での TX 20MHz LTE alt2-ACPR とデジタル レベルとの関係



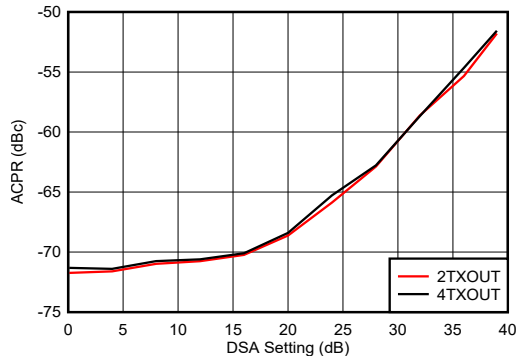
2.6GHz で整合、シングル キャリア 100MHz BW TM1.1 NR

図 4-406. 2.6GHz での TX 100MHz NR ACPR とデジタル レベルとの関係



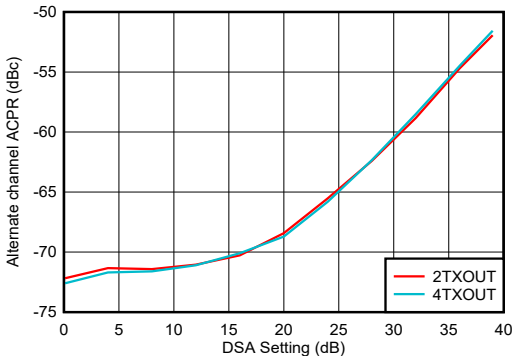
2.6GHz で整合、シングル キャリア 100MHz BW TM1.1 NR

図 4-407. 2.6GHz での TX 100MHz NR alt-ACPR とデジタル レベルとの関係



2.6GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 4-408. TX 20MHz LTE ACPR と DSA 設定との関係 (2.6GHz)



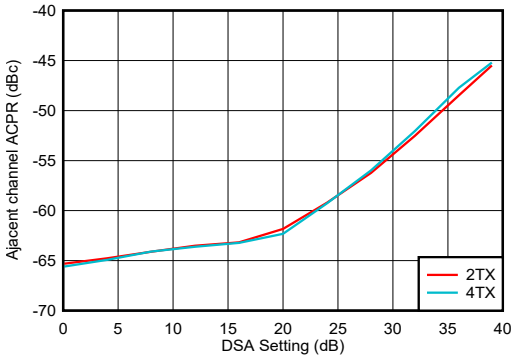
2.6GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 4-409. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (2.6GHz)

Copyright © 2025 Texas Instruments Incorporated

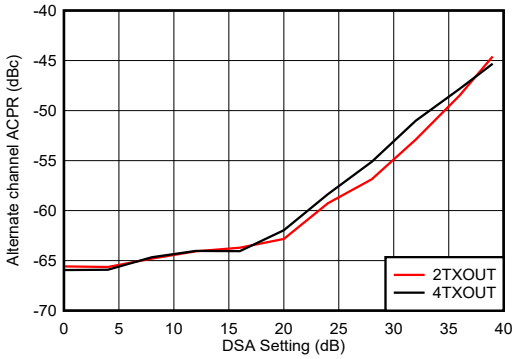
4.12.11 TX 代表的特性：2.6GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データレート= 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = -1dBFS、1st 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



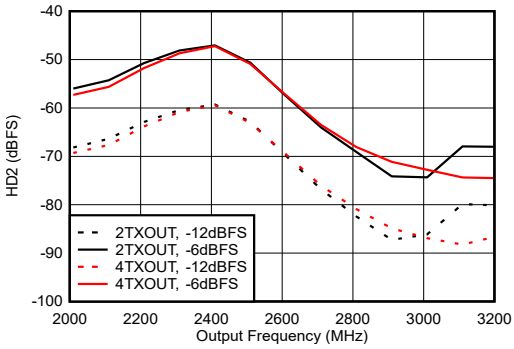
2.6GHz で整合、シングル キャリア 100MHz BW TM1.1 NR

図 4-410. TX 100MHz NR ACPR と DSA 設定との関係 (2.6GHz)



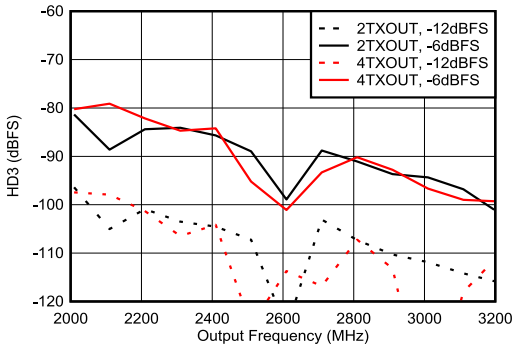
2.6GHz で整合、シングル キャリア 100MHz BW TM1.1 NR

図 4-411. TX 100MHz NR alt-ACPR と DSA 設定との関係 (2.6GHz)



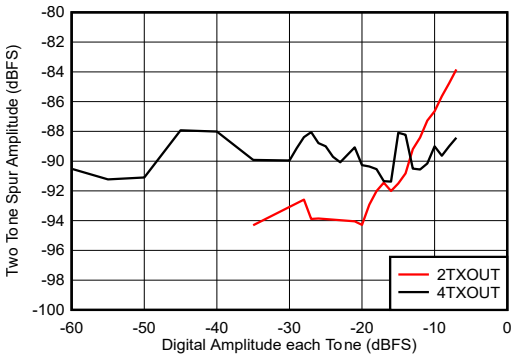
2.6GHz で整合、f_{DAC} = 11.79648GSPS、インターリーブ モード、高調波周波数での出力電力で正規化

図 4-412. TX HD2 と出力周波数との関係 (各種デジタル振幅、2.6GHz)



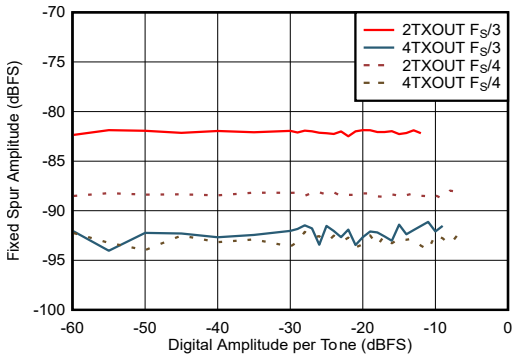
2.6GHz で整合、f_{DAC} = 11.79648GSPS、インターリーブ モード、高調波周波数での出力電力で正規化

図 4-413. TX HD3 と出力周波数との関係 (各種デジタル振幅、2.6GHz)



帯域内= 2600MHz ± 600MHz、f_{DAC} = 12GSPS、F_S /3 および F_S/4 を含まず、外部クロック モード、非インターリーブ モード

図 4-414. 2.6GHz での TX 2 トーン SFDR とデジタル振幅との関係



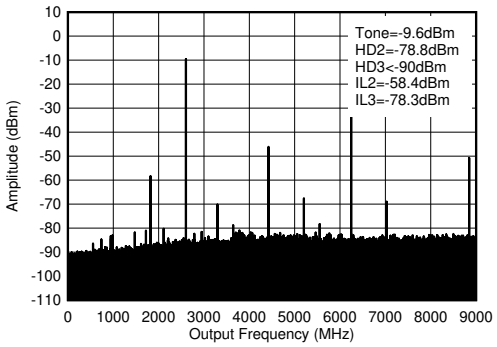
帯域内= 2600MHz±600MHz、f_{DAC} = 12GSPS、外部クロックモード、非インターリーブモード

図 4-415. 2.6GHz での 2 トーンインバンド固定スプリアスとデジタル振幅との関係

Copyright © 2025 Texas Instruments Incorporated

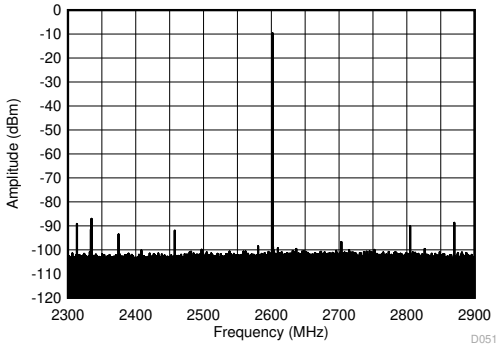
4.12.11 TX 代表的特性：2.6GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データレート= 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = -1dBFS、1st 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



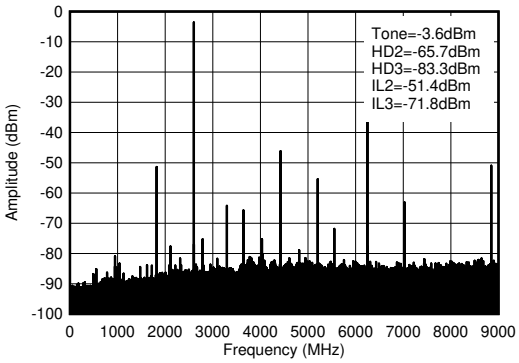
f_{DAC} = 8847.36MSPS、インターリーブ モード、2.6GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$。

図 4-416. TX シングル トーン (-12dBFS) 出力スペクトル (0～f_{DAC}、2.6GHz)



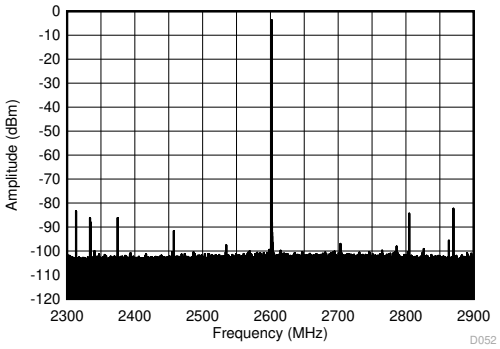
f_{DAC} = 8847.36MSPS、インターリーブ モード、2.6GHz 整合あり、PCB とケーブルの損失を含む

図 4-417. 2.6GHz での TX シングル トーン (-12 dBFS) 出力スペクトル (±300 MHz)



f_{DAC} = 8847.36MSPS、インターリーブ モード、2.6GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$。

図 4-418. TX シングル トーン (-6dBFS) 出力スペクトル (0～f_{DAC}、2.6GHz)



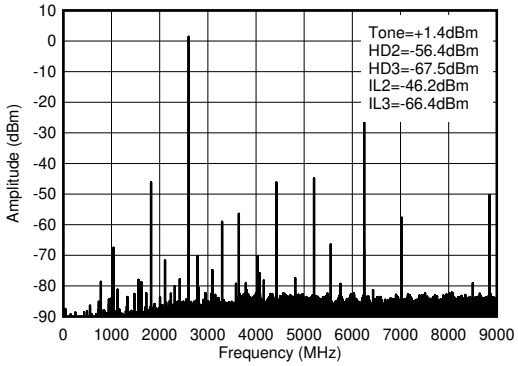
f_{DAC} = 8847.36MSPS、インターリーブ モード、2.6GHz 整合あり、PCB とケーブルの損失を含む

図 4-419. 2.6GHz での TX シングル トーン (-6dBFS) 出力スペクトル (±300MHz)

Copyright © 2025 Texas Instruments Incorporated

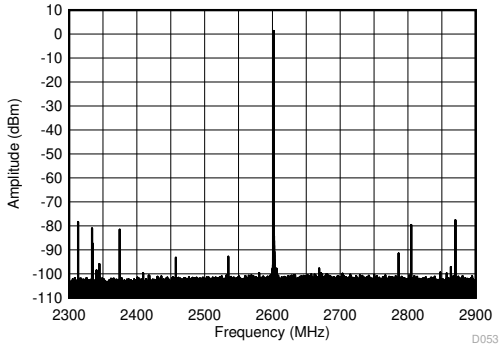
4.12.11 TX 代表的特性：2.6GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データレート= 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = -1dBFS、1st 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



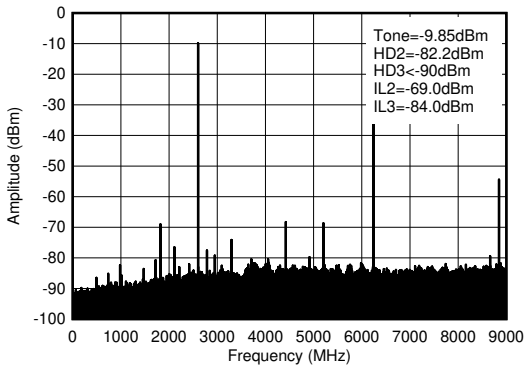
f_{DAC} = 8847.36MSPS、インターリーブ モード、2.6GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$。

図 4-420. TX シングル トーン (-1dBFS) 出力スペクトル (0～f_{DAC}、2.6GHz)



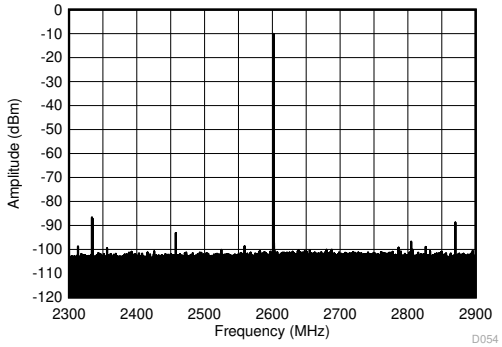
f_{DAC} = 8847.36MSPS、インターリーブ モード、2.6GHz 整合あり、PCB とケーブルの損失を含む

図 4-421. 2.6GHz での TX シングル トーン (-1dBFS) 出力スペクトル (±300MHz)



f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$ (デジタル クロックとのミキシングに起因)。

図 4-422. TX シングル トーン (-12dBFS) 出力スペクトル (0～f_{DAC}、2.6GHz)



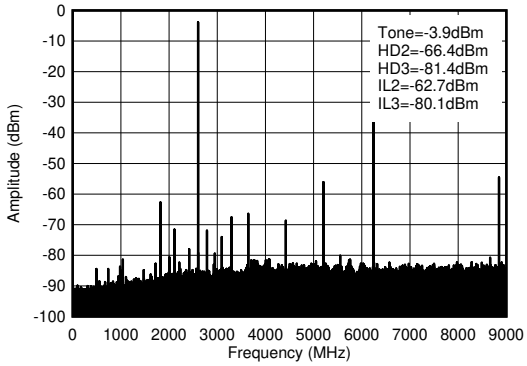
f_{DAC} = 8847.36 MSPS、ストレート モード、2.6GHz 整合あり、PCB とケーブルの損失を含む

図 4-423. 2.6GHz での TX シングル トーン (-12 dBFS) 出力スペクトル (±300 MHz)

Copyright © 2025 Texas Instruments Incorporated

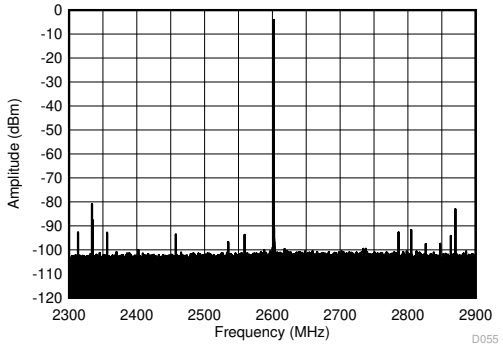
4.12.11 TX 代表的特性：2.6GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データレート= 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = -1dBFS、1st 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



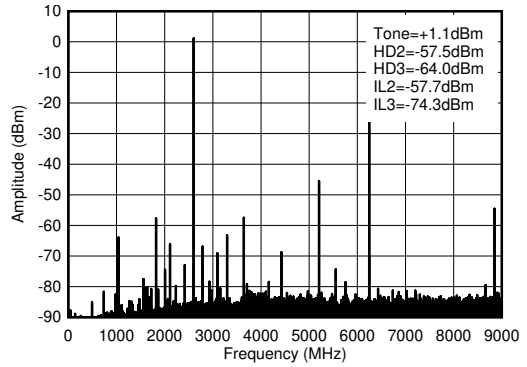
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$ (デジタル クロックとのミキシングに起因)。

図 4-424. TX シングル トーン (-6dBFS) 出力スペクトル (0～f_{DAC}、2.6GHz)



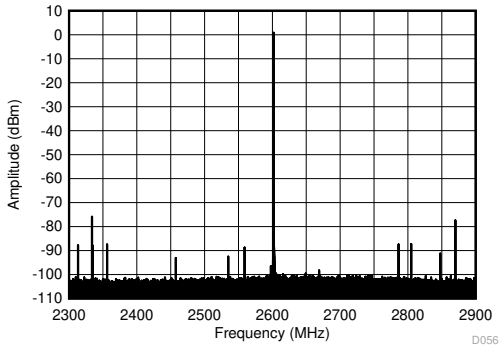
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz 整合あり、PCB とケーブルの損失を含む

図 4-425. 2.6GHz での TX シングル トーン (-6dBFS) 出力スペクトル (±300MHz)



f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$ (デジタル クロックとのミキシングに起因)。

図 4-426. TX シングル トーン (-1dBFS) 出力スペクトル (0～f_{DAC}、2.6GHz)



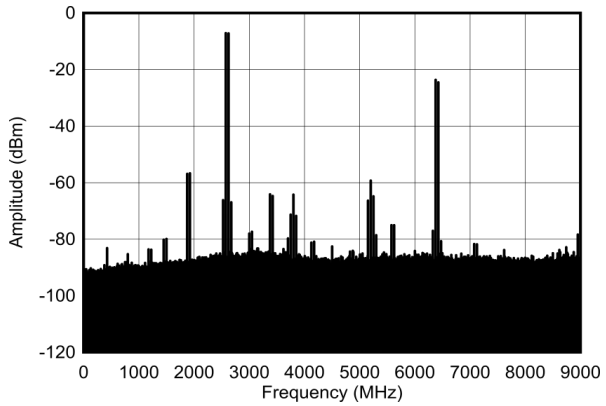
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz 整合あり、PCB とケーブルの損失を含む

図 4-427. 2.6GHz での TX シングル トーン (-1 dBFS) 出力スペクトル (±300 MHz)

Copyright © 2025 Texas Instruments Incorporated

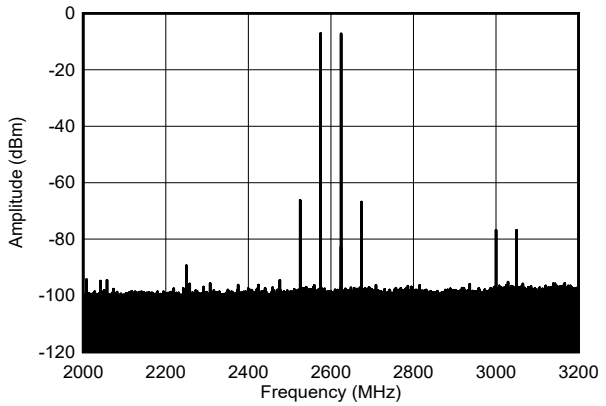
4.12.11 TX 代表的特性：2.6GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データレート= 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = -1dBFS、1st 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



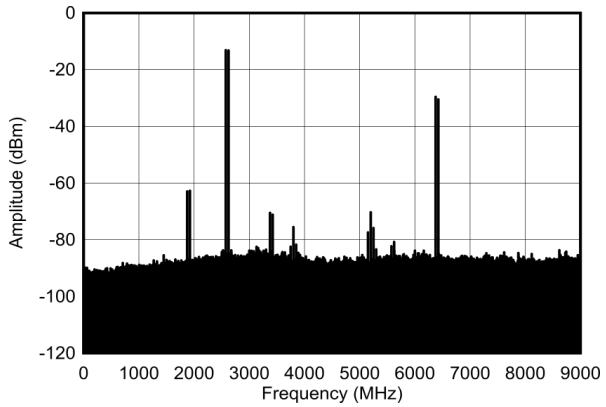
f_{DAC} = 9000MSPS、外部クロック モード、非インターリーブ モード

図 4-428. 2.6GHz での TX デュアルトーン出力スペクトル (各-7dBFS、0~$_{DAC}$)



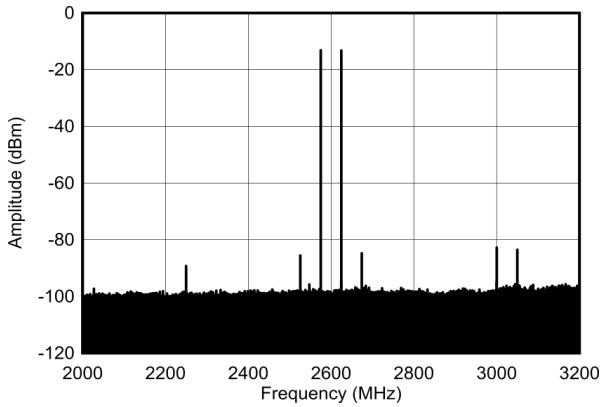
f_{DAC} = 9000MSPS、外部クロック モード、非インターリーブ モード

図 4-429. 2.6GHz での TX デュアルトーン出力スペクトル (各 -7dBFS、±600MHz)



f_{DAC} = 9000MSPS、外部クロック モード、非インターリーブ モード

図 4-430. 2.6GHz での TX デュアルトーン出力スペクトル (各-13dBFS、0~$_{DAC}$)



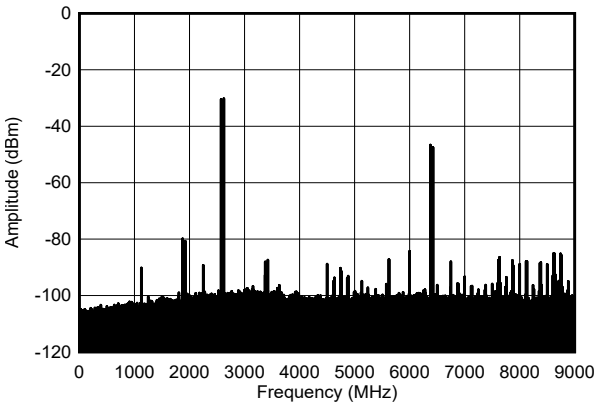
f_{DAC} = 9000MSPS、外部クロック モード、非インターリーブ モード

図 4-431. 2.6GHz での TX デュアル トーン出力スペクトル (それぞれ -13dBFS、±600MHz)

Copyright © 2025 Texas Instruments Incorporated

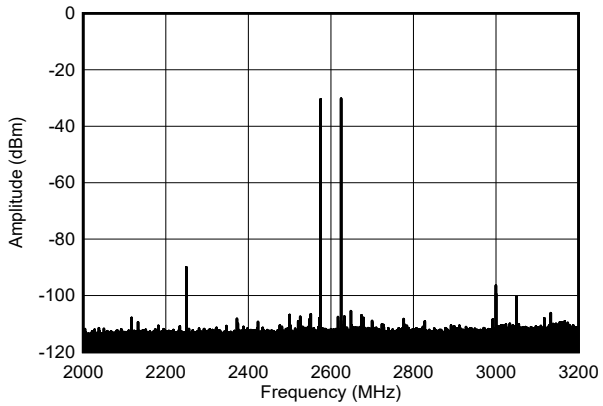
4.12.11 TX 代表的特性：2.6GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データレート= 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = -1dBFS、1st 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



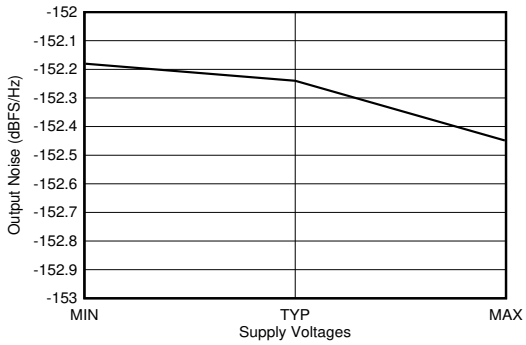
f_{DAC} = 9000MSPS、外部クロック モード、非インターリーブ モード

図 4-432. 2.6GHz での TX デュアル トーン出力スペクトル (各-30dBFS、0~$_{DAC}$)



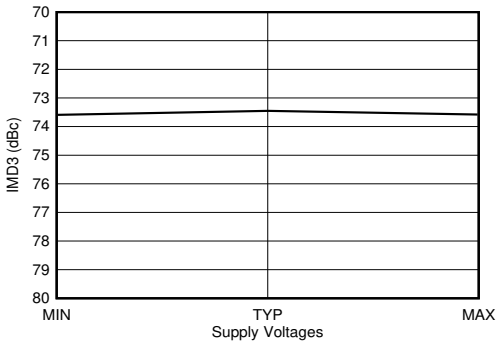
f_{DAC} = 9000MSPS、外部クロック モード、非インターリーブ モード

図 4-433. 2.6GHz での TX デュアル トーン出力スペクトル、各 -30dBFS (±600MHz)



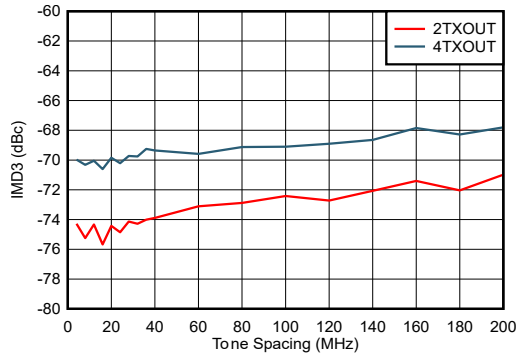
f_{DAC} = 11796.48MSPS、インターリーブ モード、2.6GHz 整合あり。トーンから 40MHz オフセット。出力電力 = -1dBFS。すべての電源電圧に最小値、代表値、最大値がある。

図 4-434. 2.6GHz での TX 出力ノイズと電源電圧との関係



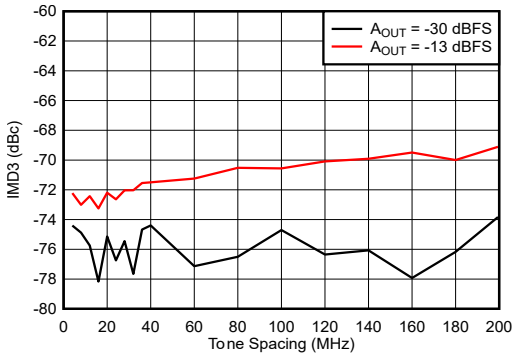
f_{DAC} = 11796.48MSPS、インターリーブ モード、2.6GHz 整合あり。トーンから 40MHz オフセット。出力電力 = -13dBFS。すべての電源電圧に最小値、代表値、最大値がある。

図 4-435. TX IMD3 と電源電圧との関係 (2.6GHz)



f_{DAC} = 9000MSPS、非インターリーブ モード、外部クロック モード

図 4-436. 2.6GHz での IMD3 とトーン間隔との関係 (各種チャネル)



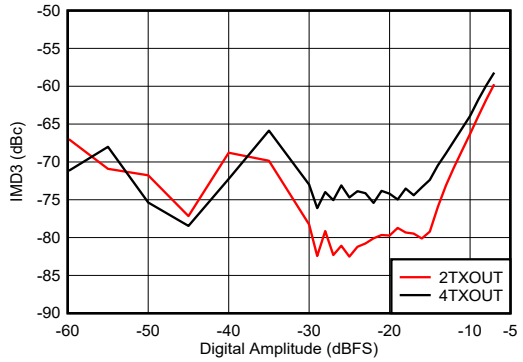
f_{DAC} = 9000MSPS、非インターリーブ モード、外部クロック モード

図 4-437. 2.6GHz での IMD3 とトーン間隔との関係 (各種チャネル)

Copyright © 2025 Texas Instruments Incorporated

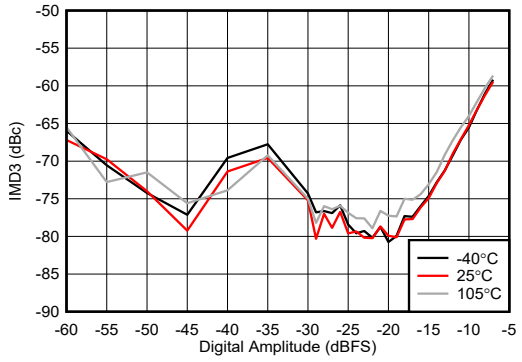
4.12.11 TX 代表的特性：2.6GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データレート= 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = -1dBFS、1st 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



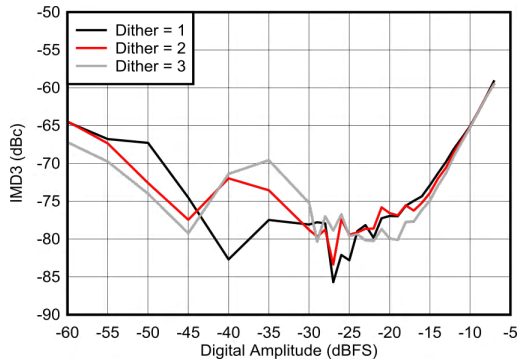
f_{DAC} = 9000MSPS、非インターリーブ モード、外部クロック モード

図 4-438. 2.6GHz での IMD3 とデジタル振幅との関係 (各種チャネル)



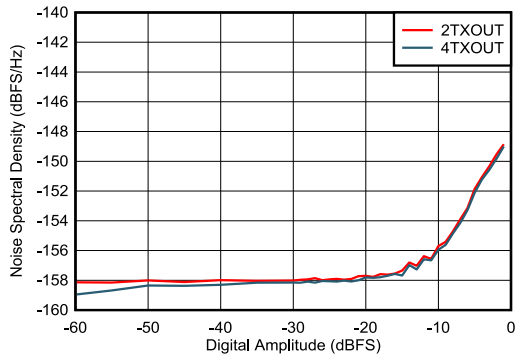
f_{DAC} = 9000MSPS、非インターリーブ モード、外部クロック モード

図 4-439. 2.6GHz での IMD3 とデジタル振幅との関係 (各種チャネル)



f_{DAC} = 9000MSPS、非インターリーブ モード、外部クロック モード

図 4-440. 2.6GHz での IMD3 とデジタル振幅、Dither との関係



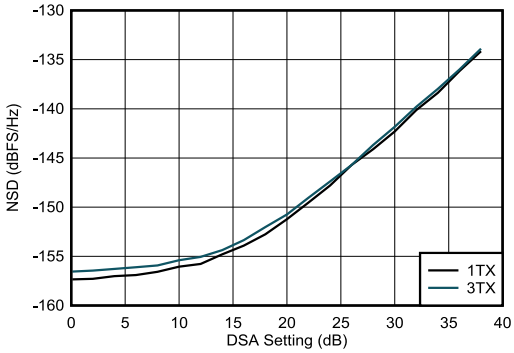
f_{DAC} = 9000MSPS、非インターリーブ モード、外部クロック モード、50MHz オフセット

図 4-441. 2.6GHz での NSD とデジタル振幅との関係 (各種チャネル、)

Copyright © 2025 Texas Instruments Incorporated

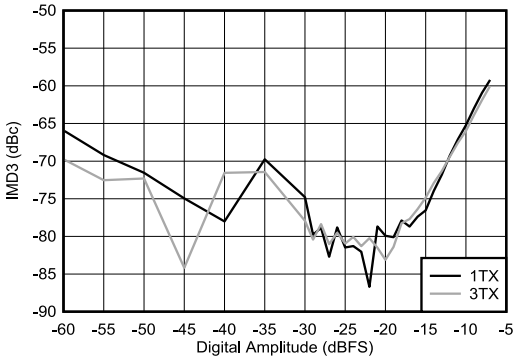
4.12.11 TX 代表的特性：2.6GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データレート= 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = -1dBFS、1st 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



f_{DAC} = 9000MSPS、非インターリーブ モード、外部クロック モード、50MHz オフセット

図 4-442. 2.6GHz での NSD とデジタル振幅との関係 (各種チャネル)

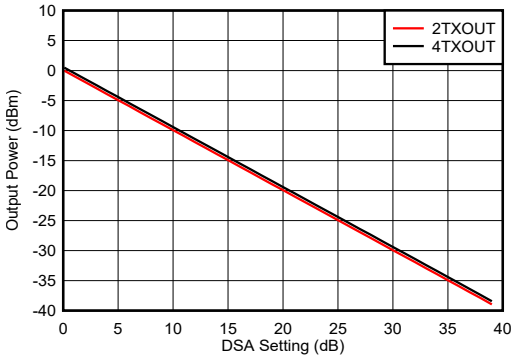


f_{DAC} = f_{CLK} = 9000MSPS、非インターリーブ モード

図 4-443. 2.6GHz での外部クロック付加位相ノイズ

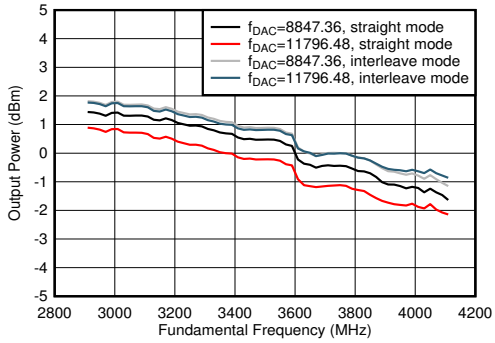
4.12.12 TX 代表的特性：3.5GHz

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



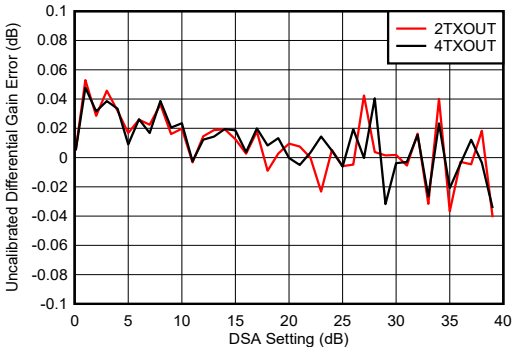
A_{out} = -0.5dFBS、3.5GHz 整合あり、PCB とケーブルの損失を含む。

図 4-444. TX 出力電力と DSA 設定との関係 (3.5GHz)



A_{out} = -0.5dFBS、3.5GHz 整合あり、PCB とケーブルの損失を含む。

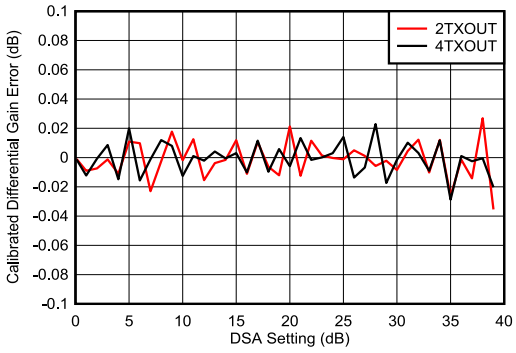
図 4-445. TX 出力電力と周波数との関係



3.5GHz 整合あり、PCB とケーブルの損失を含む。

微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 4-446. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種チャネル、3.5GHz)



3.5GHz 整合あり、PCB とケーブルの損失を含む。

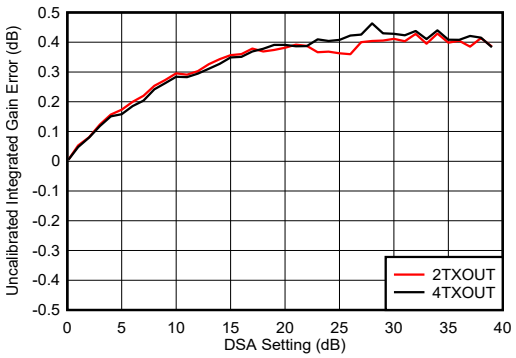
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 4-447. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種チャネル、3.5GHz)

Copyright © 2025 Texas Instruments Incorporated

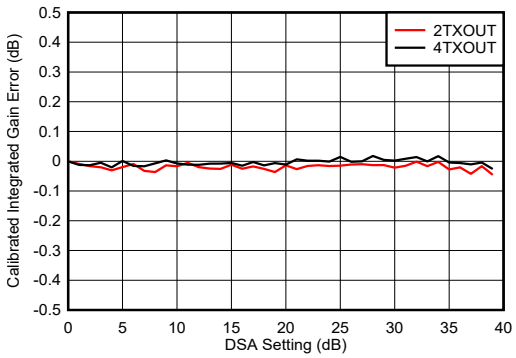
4.12.12 TX 代表的特性：3.5GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



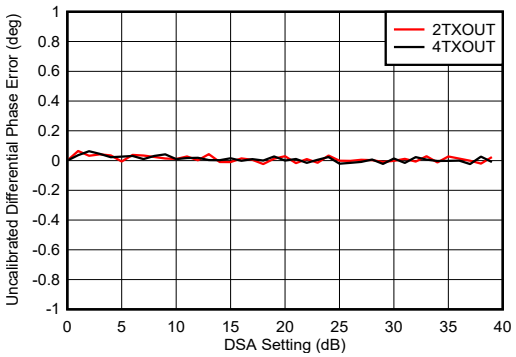
3.5GHz 整合あり、PCB とケーブルの損失を含む。
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 4-448. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種チャネル、3.5GHz)



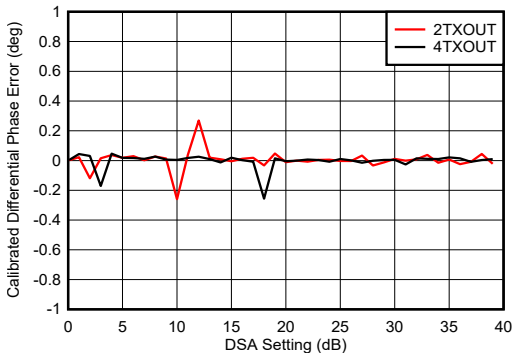
3.5GHz 整合あり、PCB とケーブルの損失を含む。
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 4-449. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種チャネル、3.5GHz)



3.5GHz 整合あり、PCB とケーブルの損失を含む。
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 4-450. TX 未較正微分位相誤差と DSA 設定との関係 (各種チャネル、3.5GHz)



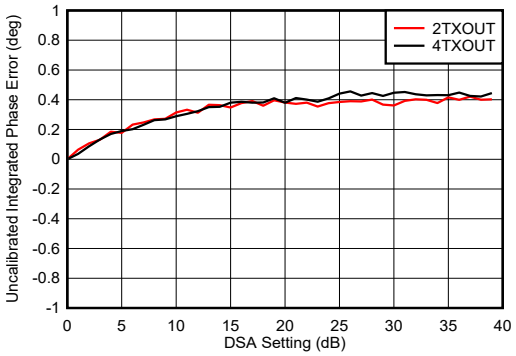
3.5GHz 整合あり、PCB とケーブルの損失を含む。
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)。位相 DNL スパイクは、すべての DSA 設定で発生する可能性があります。

図 4-451. TX 較正済み微分位相誤差と DSA 設定との関係 (各種チャネル、3.5GHz)

Copyright © 2025 Texas Instruments Incorporated

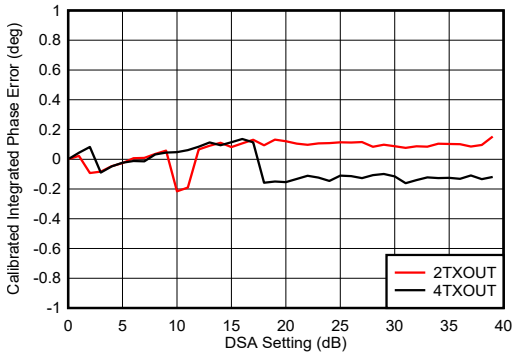
4.12.12 TX 代表的特性：3.5GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



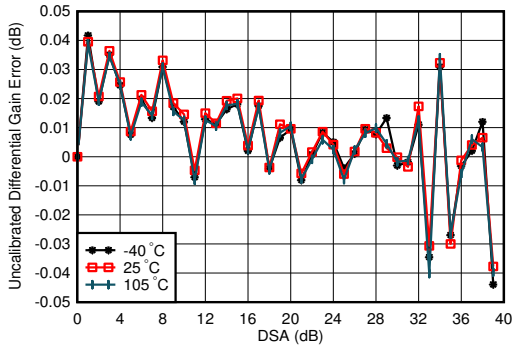
3.5GHz 整合あり、PCB とケーブルの損失を含む。
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-452. TX 未較正積分位相誤差と DSA 設定との関係 (チャネル 1、3.5GHz)



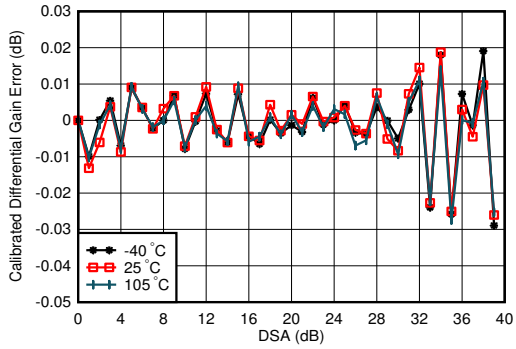
3.5GHz 整合あり、PCB とケーブルの損失を含む。
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-453. TX 較正済み積分位相誤差と DSA 設定との関係 (各種チャネル、3.5GHz)



3.5GHz 整合あり、1TX
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 4-454. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種温度、3.5GHz)



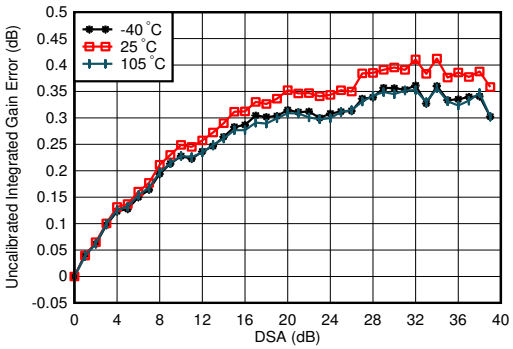
3.5GHz 整合あり、1TX、25℃で較正済み
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 4-455. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種温度、3.5GHz)

Copyright © 2025 Texas Instruments Incorporated

4.12.12 TX 代表的特性：3.5GHz (続き)

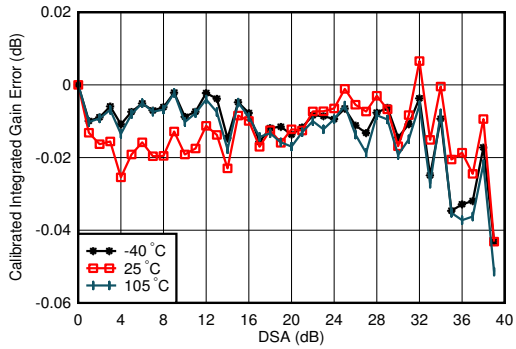
T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



3.5GHz 整合あり、1TX

積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

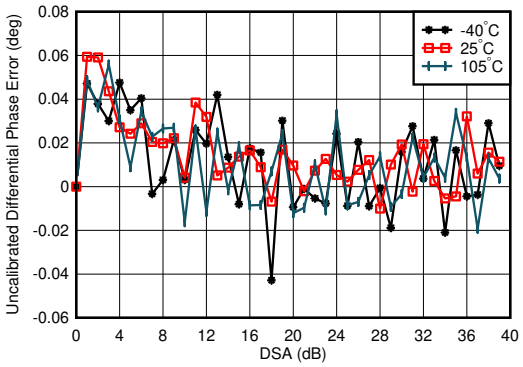
図 4-456. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種温度、3.5GHz)



3.5GHz 整合あり、1TX、25℃で較正済み

積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

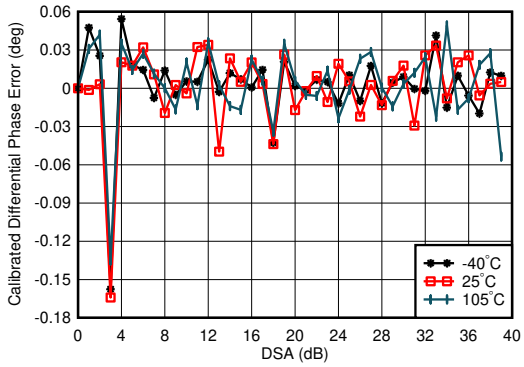
図 4-457. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種温度、3.5GHz)



3.5GHz 整合あり、1TX

微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 4-458. TX 未較正微分位相誤差と DSA 設定との関係 (各種温度、3.5GHz)



3.5GHz 整合あり、1TX、25℃で較正済み

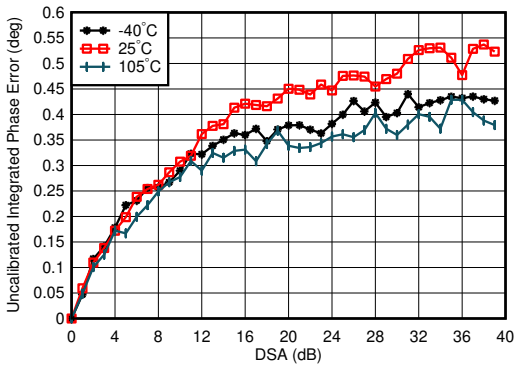
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 4-459. TX 較正済み微分位相誤差と DSA 設定との関係 (各種温度、3.5GHz)

Copyright © 2025 Texas Instruments Incorporated

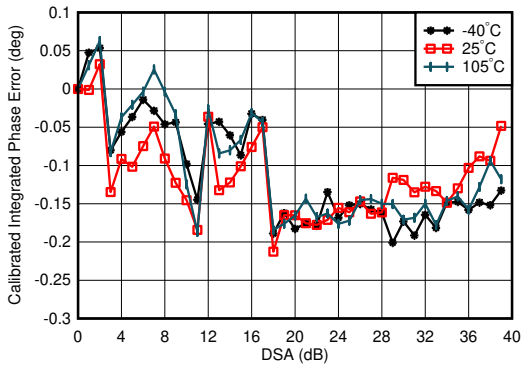
4.12.12 TX 代表的特性：3.5GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



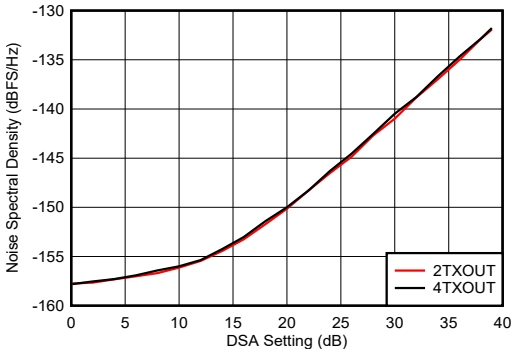
3.5GHz 整合あり、1TX
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-460. TX 未較正積分位相誤差と DSA 設定との関係 (各種温度、3.5GHz)



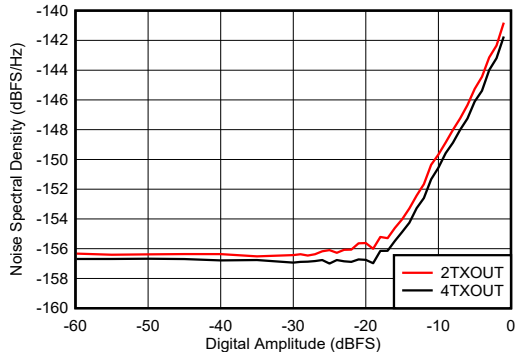
3.5GHz 整合あり、1TX、25℃で較正済み
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-461. TX 較正済み積分位相誤差と DSA 設定との関係 (各種温度、3.5GHz)



A. f_{DAC} = 11796.48MSPS、インターリーブ モード、3.5GHz で整合、A_{out} = -13dBFS。

図 4-462. TX NSD と DSA 設定との関係 (3.5GHz)



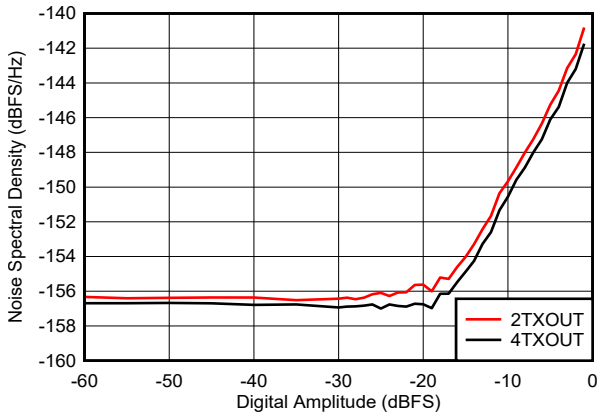
A. f_{DAC} = 12 MSPS、外部クロック モード、非インターリーブ モード

図 4-463. 3.75GHz での TX NSD とデジタル振幅と温度との関係

Copyright © 2025 Texas Instruments Incorporated

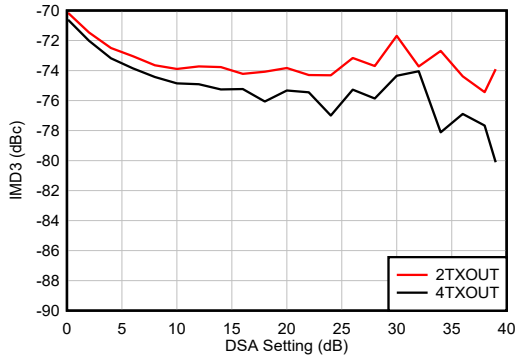
4.12.12 TX 代表的特性：3.5GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



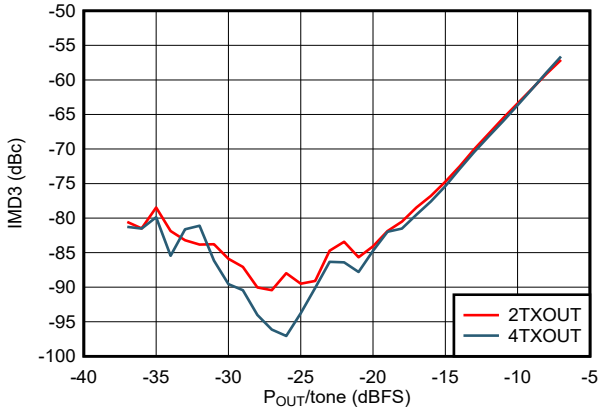
A. f_{DAC} = 12 MSPS、外部クロック モード、非インターリーブ モード

図 4-464. 3.75 GHz での TX NSD とデジタル振幅、チャネルとの関係



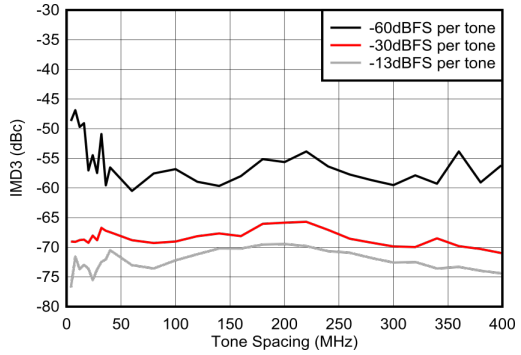
20MHz のトーン間隔、3.5GHz 整合あり、各トーン -13dBFS、PCB とケーブルの損失を含む。

図 4-465. TX IMD3 と DSA 設定との関係 (3.5GHz)



20MHz のトーン間隔、3.5GHz 整合あり

図 4-466. TX IMD3 とデジタル振幅との関係 (各種チャネル、3.5GHz)



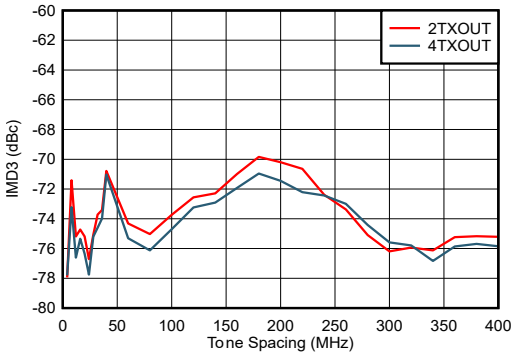
50MHz のトーン間隔、外部クロック モード、非インターリーブ・モード

図 4-467. 3.75 GHz での TX IMD3 とトーン間隔との関係

Copyright © 2025 Texas Instruments Incorporated

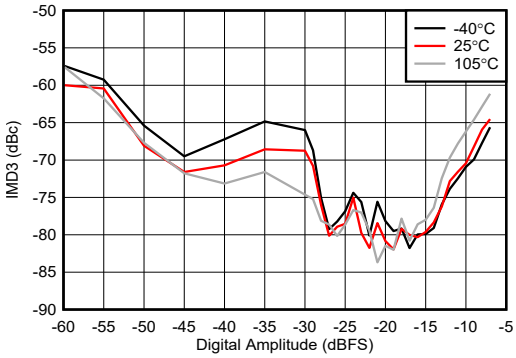
4.12.12 TX 代表的特性：3.5GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



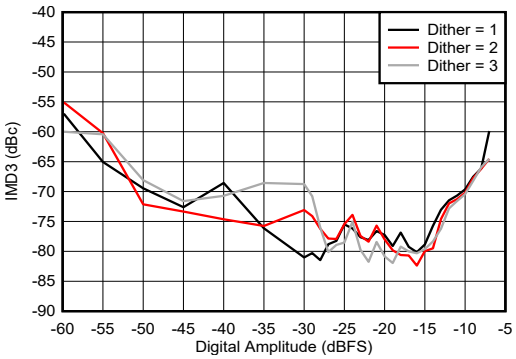
50MHz のトーン間隔、外部クロック モード、非インターリーブ・モード

図 4-468. TX IMD3 とトーン間隔との関係 (各種チャネル、3.75GHz)



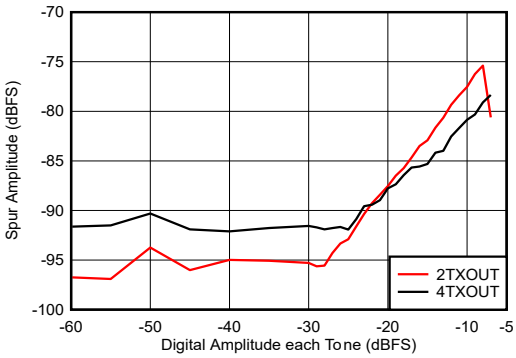
50MHz のトーン間隔、外部クロック モード、非インターリーブ・モード

図 4-469. 3.75 GHz での TX IMD3 とデジタル振幅と温度との関係



50MHz のトーン間隔、外部クロック モード、非インターリーブ・モード

図 4-470. TX IMD3 とデジタル振幅との関係 (各種ディザ、3.75GHz)



帯域内 = 3.75GHz ± 600 MHz、f_{DAC} = 9 GSPS、外部クロックモード、非インターリーブモード。

図 4-471. 3.75 GHz での TX 2 トーン SFDR とデジタル振幅との関係

Copyright © 2025 Texas Instruments Incorporated

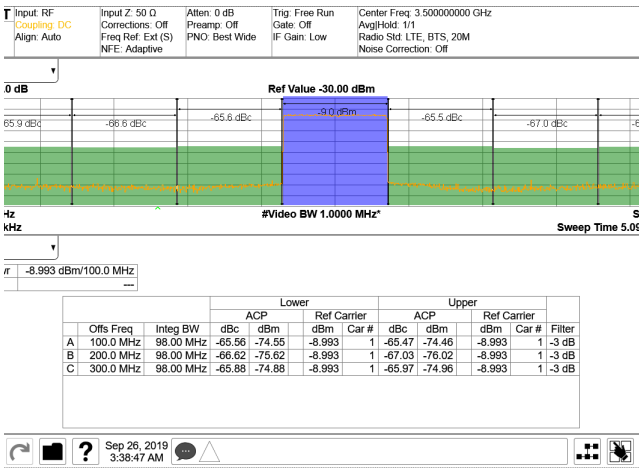
4.12.12 TX 代表的特性：3.5GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



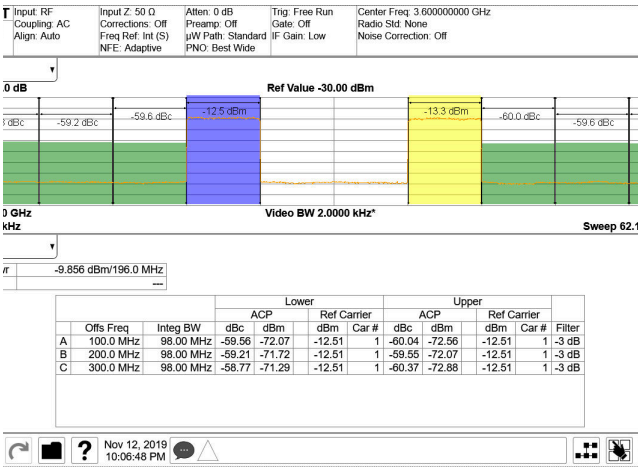
3.5GHz 整合あり、シングル キャリア 20MHz BW TM1.1 LTE

図 4-472. TX 20MHz LTE 出力スペクトル (バンド 42、3.5GHz)



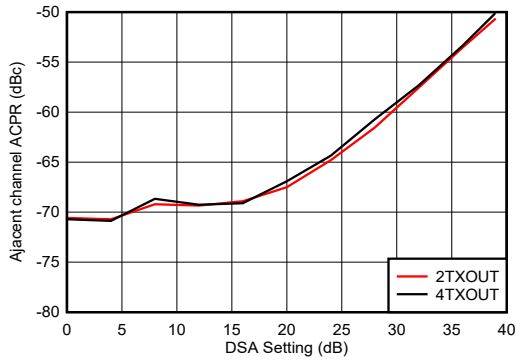
3.5GHz 整合あり、シングル キャリア 100MHz BW NR TM1.1

図 4-473. 3.5GHz での TX 100MHz NR 出力スペクトル (バンド 42)



3.5GHz 整合あり、シングル キャリア 100MHz BW NR TM1.1

図 4-474. 3.45 GHz および 3.75 GHz での TX 2 キャリア 100MHz NR 出力スペクトラム

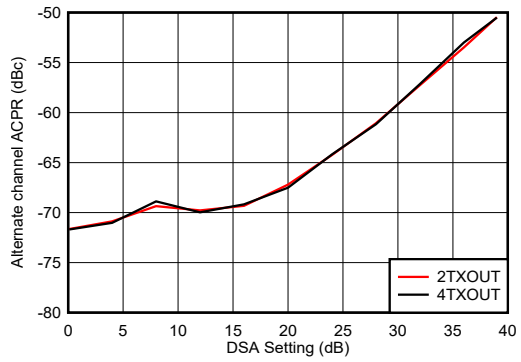


3.5GHz 整合あり、シングル キャリア 20MHz BW TM1.1 LTE

図 4-475. TX 20MHz LTE ACPR と DSA 設定との関係 (3.5GHz)

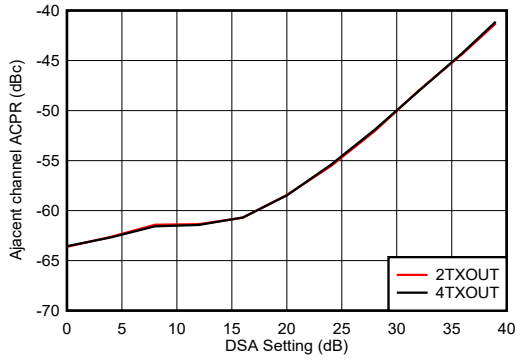
4.12.12 TX 代表的特性：3.5GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



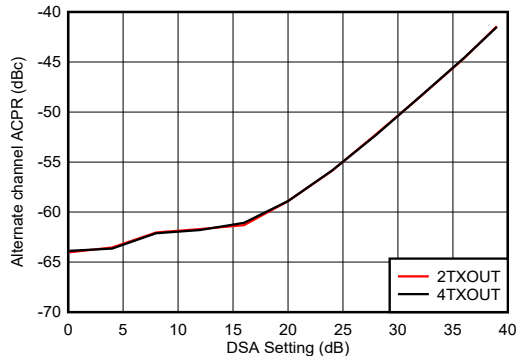
3.5GHz 整合あり、シングル キャリア 20MHz BW TM1.1 LTE

図 4-476. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (3.5GHz)



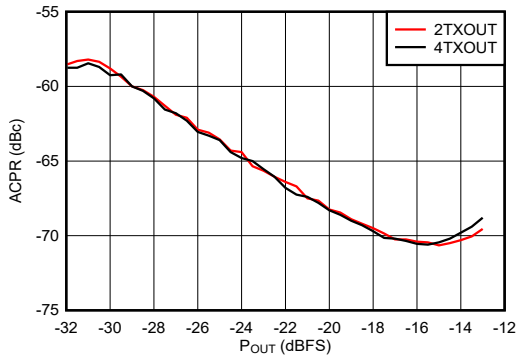
3.5GHz 整合あり、シングル キャリア 100MHz BW NR TM1.1

図 4-477. 3.5GHz での TX 100MHz NR ACPR と DSA 設定との関係



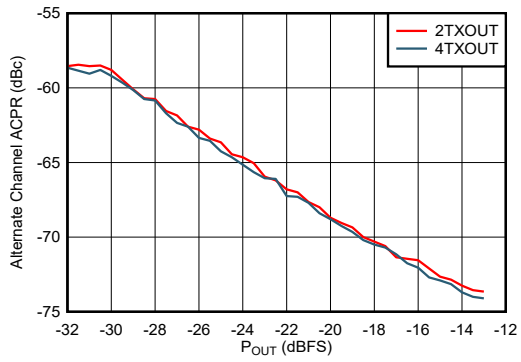
3.5GHz 整合あり、シングル キャリア 100MHz BW NR TM1.1

図 4-478. 3.5GHz での TX 100MHz NR alt-ACPR と DSA 設定との関係



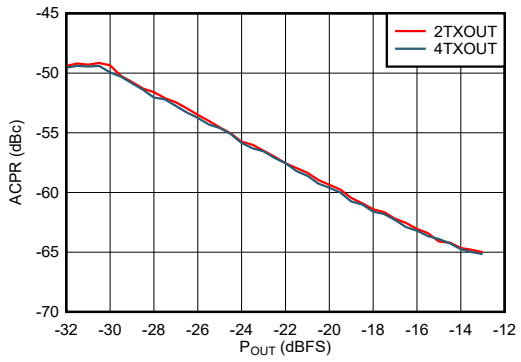
3.5GHz 整合あり、シングル キャリア 20MHz BW TM1.1 LTE

図 4-479. TX 20MHz LTE ACPR とデジタル レベルとの関係 (3.5GHz)



3.5GHz 整合あり、シングル キャリア 20MHz BW TM1.1 LTE

図 4-480. TX 20MHz LTE alt-ACPR とデジタル レベルとの関係 (3.5GHz)



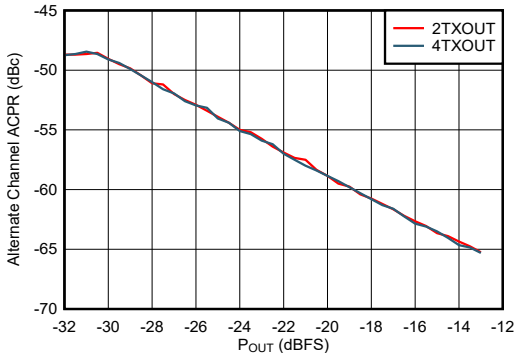
3.5GHz 整合あり、シングル キャリア 100MHz BW NR TM1.1

図 4-481. 3.5GHz での TX 100MHz NR ACPR とデジタル レベルとの関係

Copyright © 2025 Texas Instruments Incorporated

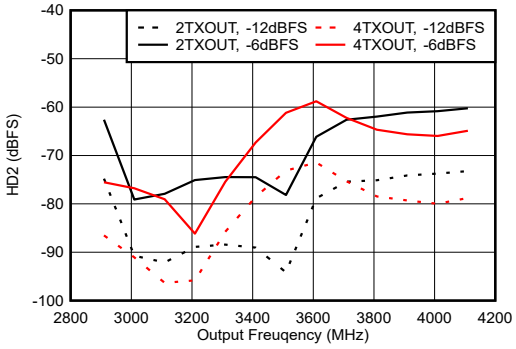
4.12.12 TX 代表的特性：3.5GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



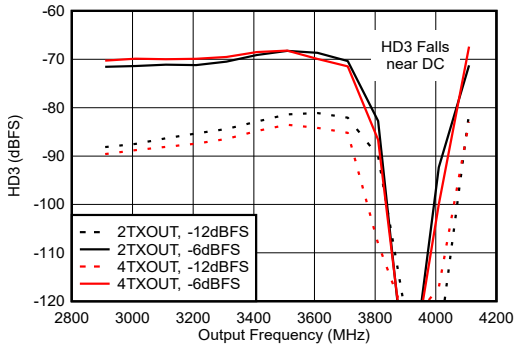
3.5GHz 整合あり、シングル キャリア 100MHz BW NR TM1.1

図 4-482. 3.5GHz での TX 100MHz NR alt-ACPR とデジタル レベルとの関係



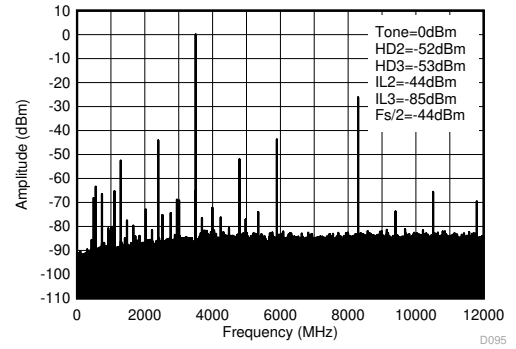
3.5GHz で整合、f_{DAC} = 11.79648GSPS、インターリーブ モード、高調波周波数での出力電力で正規化

図 4-483. TX シングル トーン HD2 と周波数との関係 (各種デジタル レベル、3.5GHz)



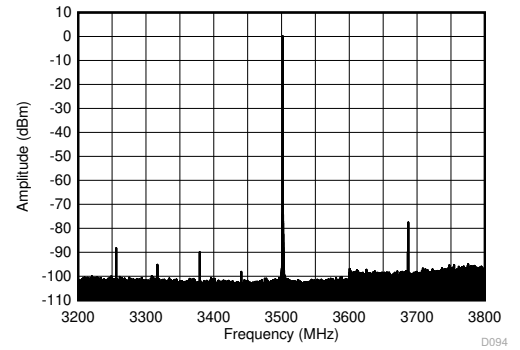
3.5GHz で整合、f_{DAC} = 11.79648GSPS、インターリーブ モード、高調波周波数での出力電力で正規化。ディップは、DC 付近での HD3 の低下に起因するものです。

図 4-484. TX シングル トーン HD3 と周波数との関係 (各種デジタル レベル、3.5GHz)



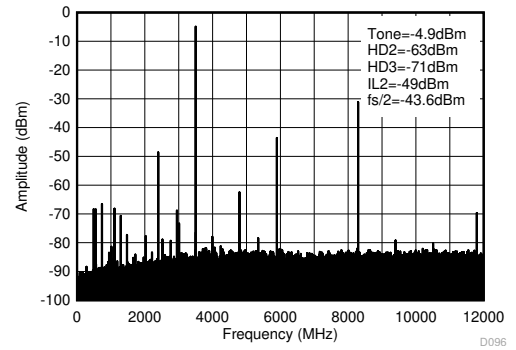
3.5GHz で整合、f_{DAC} = 11.79648GSPS、インターリーブ モード。

図 4-485. TX シングル トーン (-1dBFS) 出力スペクトル (0～f_{DAC}、3.5GHz)



3.5GHz で整合、f_{DAC} = 11.79648GSPS、インターリーブ モード。

図 4-486. 3.5 GHz での TX シングル トーン (-1dBFS) 出力スペクトル (±300 MHz)



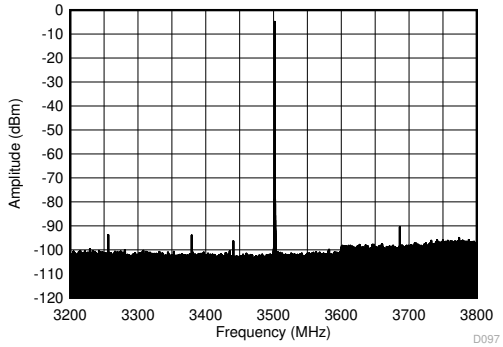
3.5GHz で整合、f_{DAC} = 11.79648GSPS、インターリーブ モード。

図 4-487. TX シングル トーン (-6dBFS) 出力スペクトル (0～f_{DAC}、3.5GHz)

Copyright © 2025 Texas Instruments Incorporated

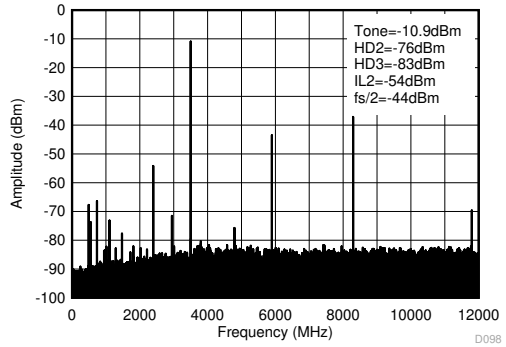
4.12.12 TX 代表的特性：3.5GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



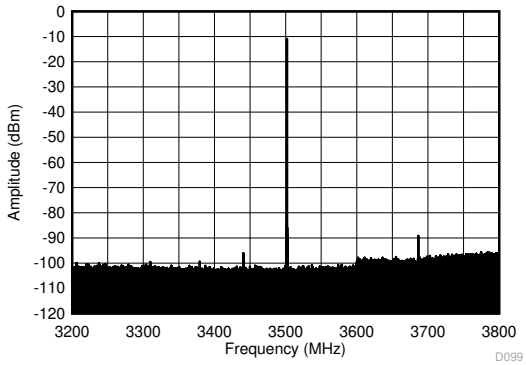
3.5GHz で整合、f_{DAC} = 11.79648GSPS、インターリーブ モード。

図 4-488. 3.5GHz での TX シングル トーン (-6dBFS) 出力スペクトル (±300 MHz)



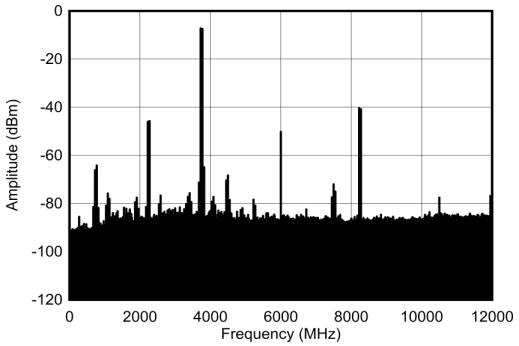
3.5GHz で整合、f_{DAC} = 11.79648GSPS、インターリーブ モード。

図 4-489. TX シングル トーン (-12dBFS) 出力スペクトル (0～f_{DAC}、3.5GHz)



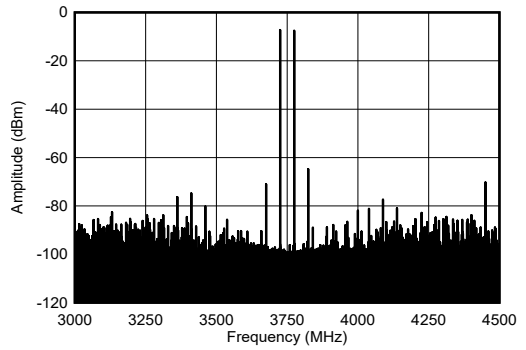
3.5GHz で整合、f_{DAC} = 11.79648GSPS、インターリーブ モード。

図 4-490. 3.5GHz での TX シングル トーン (-12 dBFS) 出力スペクトル (±300 MHz)



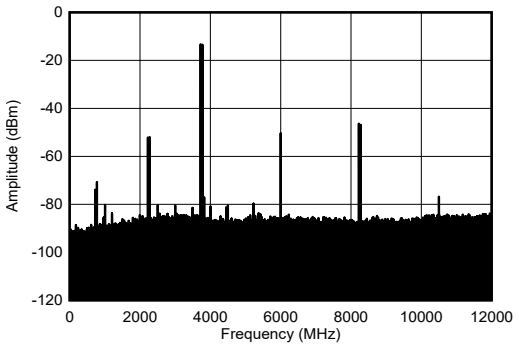
3.5GHz で整合、50MHz トーン間隔、f_{DAC} = 12GSPS、非インターリーブ モード。

図 4-491. 3.75 GHz での TX デュアル トーン出力スペクトル (各-7dBFS、0~f_{DAC})



3.5GHz で整合、50 MHz トーン間隔、f_{DAC} = 12GSPS、非インターリーブ モード。

図 4-492. 3.75 GHz での TX デュアルトーン出力スペクトル (各-7dBFS、±600 MHz)



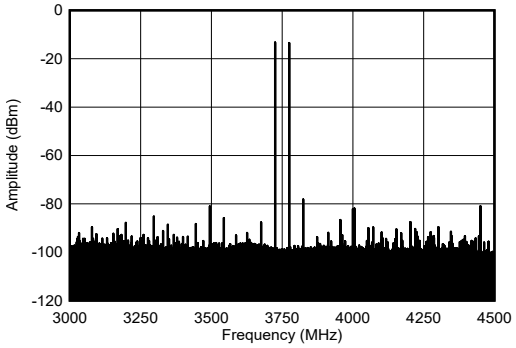
3.5GHz で整合、50 MHz トーン間隔、f_{DAC} = 12GSPS、非インターリーブ モード。

図 4-493. 3.75GHz での TX デュアル トーン出力スペクトル (各-13 dBFS、0~f_{DAC})

Copyright © 2025 Texas Instruments Incorporated

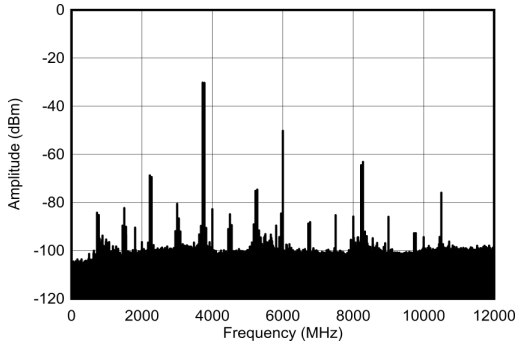
4.12.12 TX 代表的特性：3.5GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



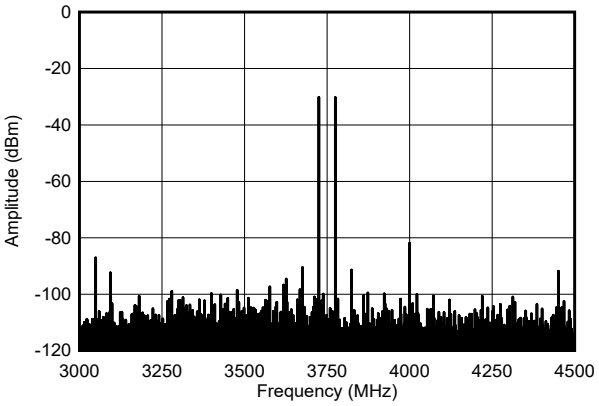
3.5GHz で整合、50 MHz トーン間隔、f_{DAC} = 12GSPS、非インターリーブ モード。

図 4-494. 3.75GHz での TX デュアル トーン出力スペクトル (それぞれ -13dBFS、±600 MHz)



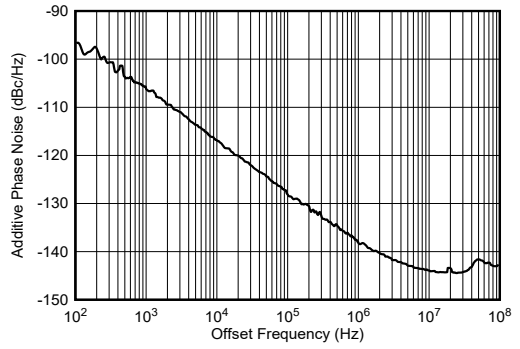
3.5GHz で整合、50 MHz トーン間隔、f_{DAC} = 12GSPS、非インターリーブ モード。

図 4-495. 3.75GHz での TX デュアル トーン出力スペクトル (各 -30dBFS、0 ～ f_{DAC})



3.5GHz で整合、50 MHz トーン間隔、f_{DAC} = 12GSPS、非インターリーブ モード。

図 4-496. 3.75 GHz での TX デュアルトーン出力スペクトル (各-30dBFS、±600 MHz)

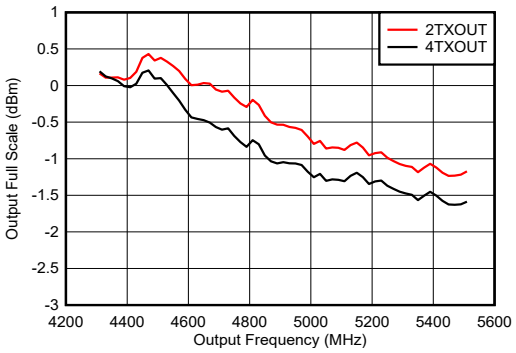


f_{DAC} = f_{CLK} = 12 GSPS、非インターリーブ モード。

図 4-497. 3.7GHz での外部クロック付加位相ノイズ

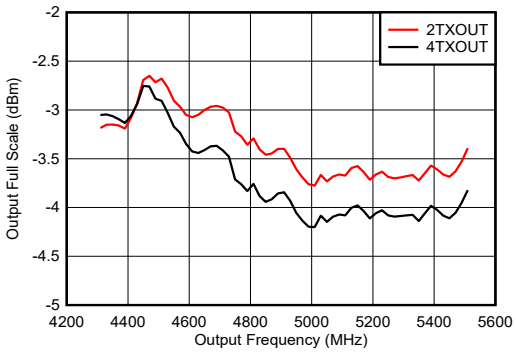
4.12.13 TX 代表的特性：4.9GHz

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



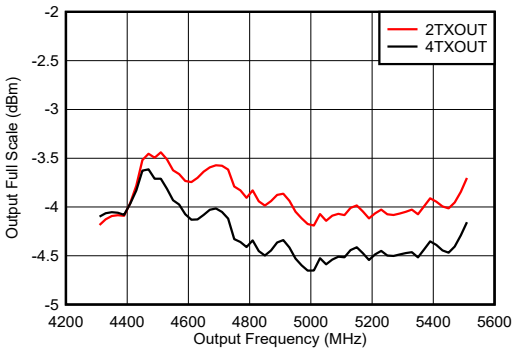
PCB とケーブルの損失を含む。A_{out} = -0.5dBFS、DSA = 0、4.9 GHz 整合あり

図 4-498. TX フルスケールと RF 周波数との関係 (各種チャネル、11796.48MSPS)



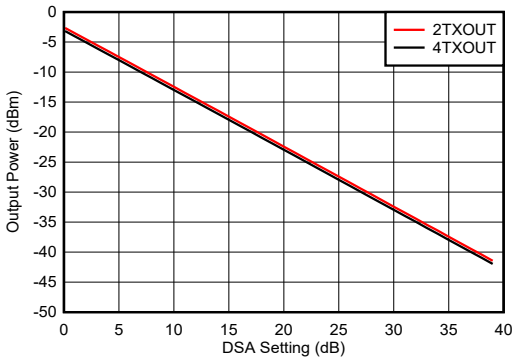
PCB とケーブルの損失を含む。A_{out} = -0.5dBFS、DSA = 0、4.9 GHz 整合あり

図 4-499. TX フルスケールと RF 周波数との関係 (各種チャネル、5898.24MSPS、混在モード、2 次ナイキスト ゾーン)



PCB とケーブルの損失を含む。A_{out} = -0.5dBFS、DSA = 0、4.9 GHz 整合あり

図 4-500. TX フルスケールと RF 周波数との関係 (各種チャネル、8847.36MSPS、混在モード、2 次ナイキスト ゾーン)



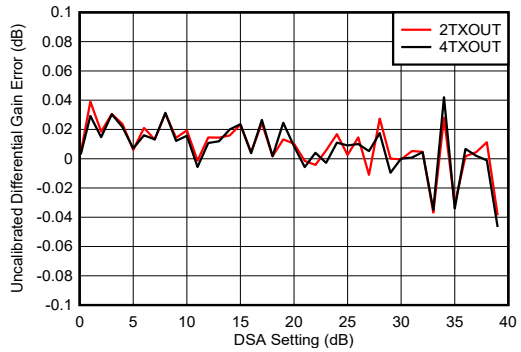
f_{DAC} = 11796.48 MSPS、A_{out} = -0.5 dBFS、4.9 GHz 整合あり

図 4-501. TX 出力電力と DSA 設定との関係 (各種チャネル、4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

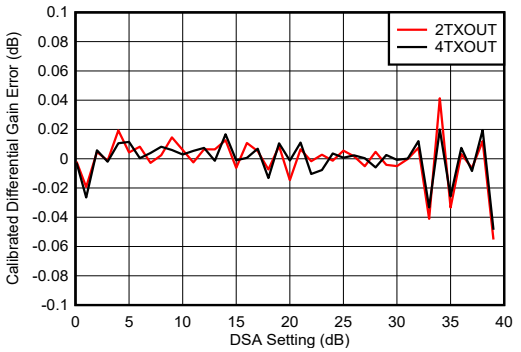
4.12.13 TX 代表的特性：4.9GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



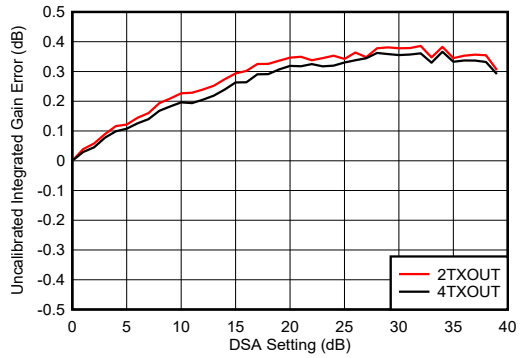
f_{DAC} = 11796.48 MSPS、インターリーブ モード、4.9GHz で整合
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 4-502. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種チャネル、4.9GHz)



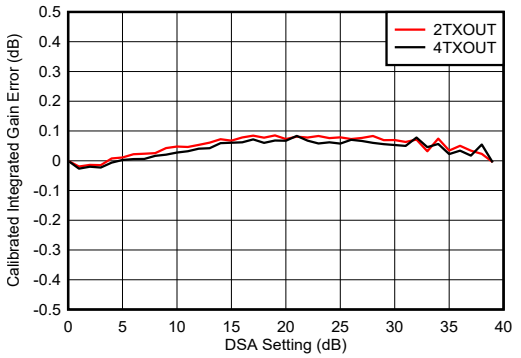
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 4-503. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種チャネル、4.9GHz)



f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 4-504. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種チャネル、4.9GHz)



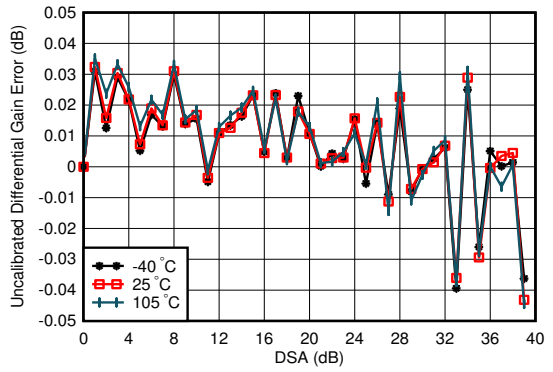
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 4-505. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種チャネル、4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

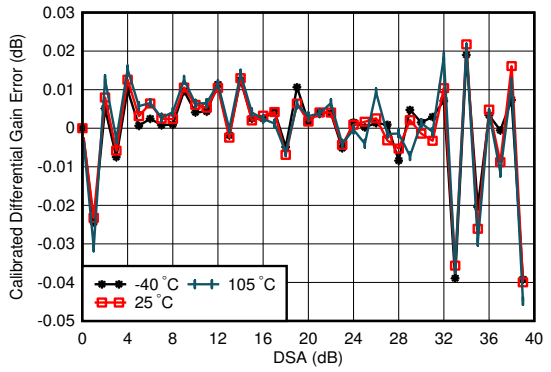
4.12.13 TX 代表的特性：4.9GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



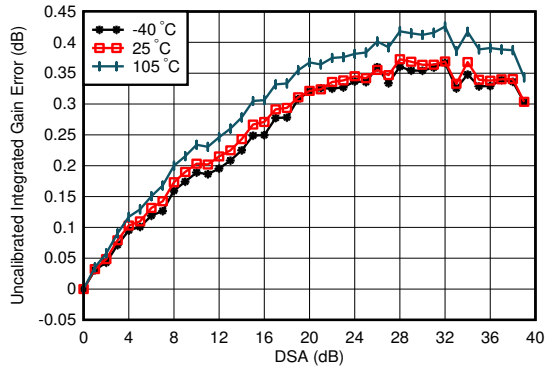
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 4-506. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種温度、4.9GHz)



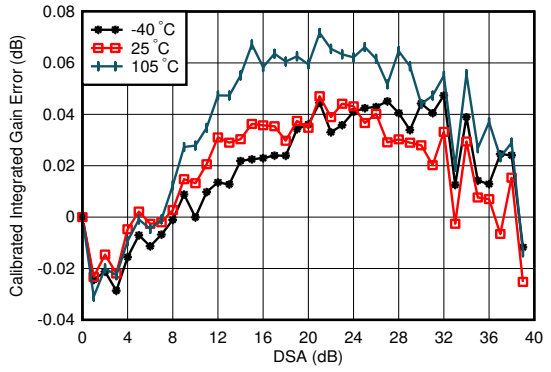
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 4-507. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種温度、4.9GHz)



f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 4-508. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種温度、4.9GHz)



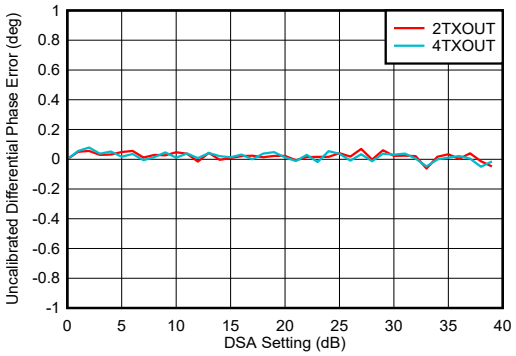
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 4-509. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種温度、4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

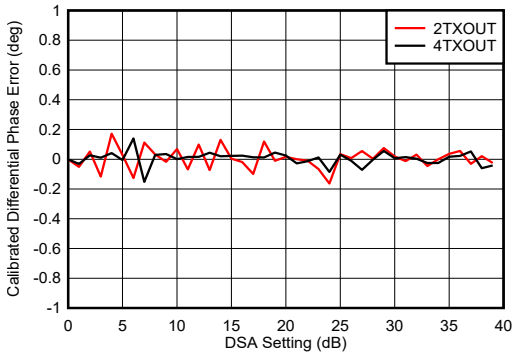
4.12.13 TX 代表的特性：4.9GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



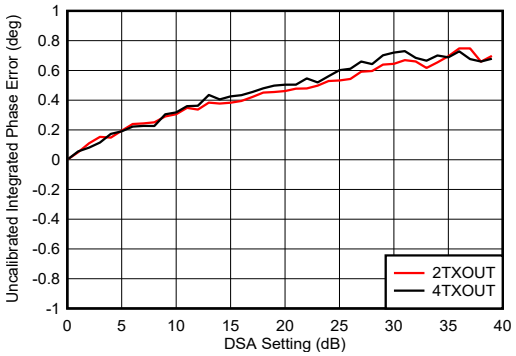
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 4-510. TX 未較正微分位相誤差と DSA 設定との関係 (各種チャネル、4.9GHz)



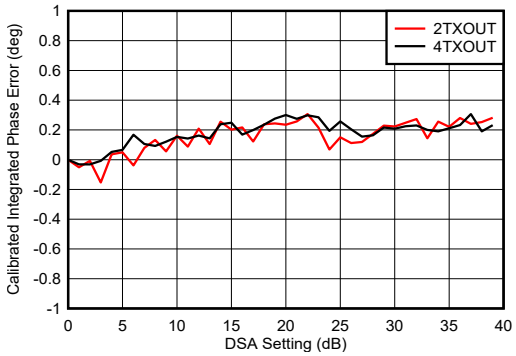
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)
位相 DNL スパイクは、すべての DSA 設定で発生する可能性があります。

図 4-511. TX 較正済み微分位相誤差と DSA 設定との関係 (各種チャネル、4.9GHz)



f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-512. TX 未較正積分位相誤差と DSA 設定との関係 (チャネル 1、4.9GHz)



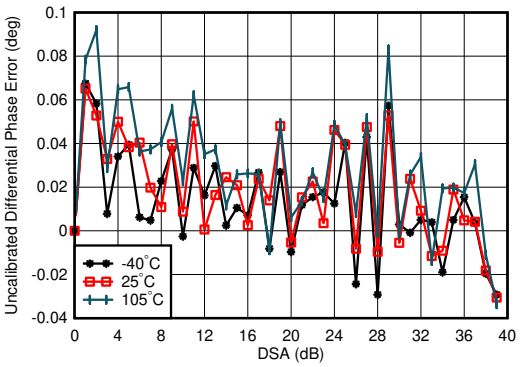
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-513. TX 較正済み積分位相誤差と DSA 設定との関係 (各種チャネル、4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

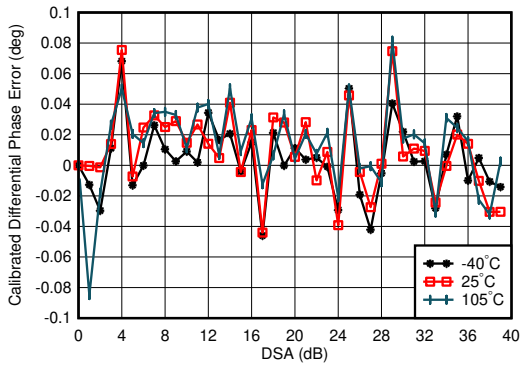
4.12.13 TX 代表的特性：4.9GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



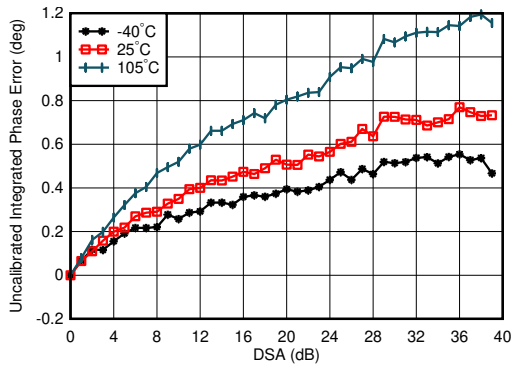
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 4-514. TX 未較正微分位相誤差と DSA 設定との関係 (各種温度、4.9GHz)



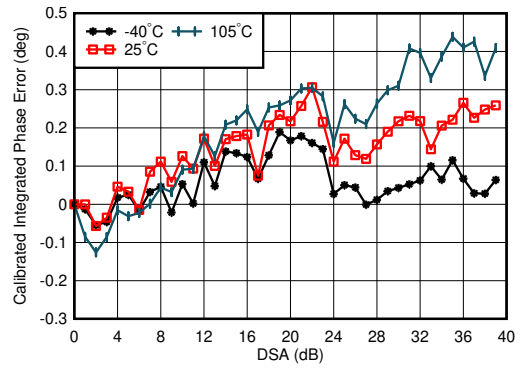
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 4-515. TX 較正済み微分位相誤差と DSA 設定との関係 (各種温度、4.9GHz)



f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-516. TX 未較正積分位相誤差と DSA 設定との関係 (各種温度、4.9GHz)



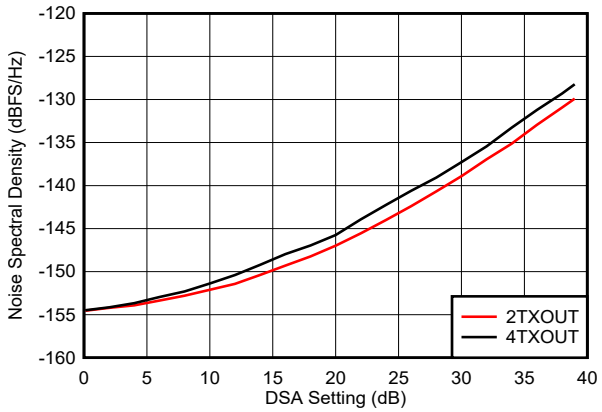
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-517. TX 較正済み積分位相誤差と DSA 設定との関係 (各種温度、4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

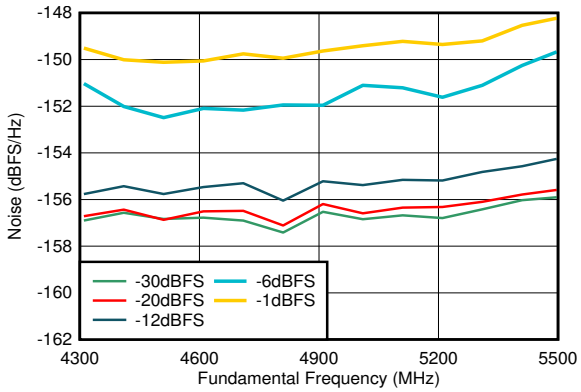
4.12.13 TX 代表的特性：4.9GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



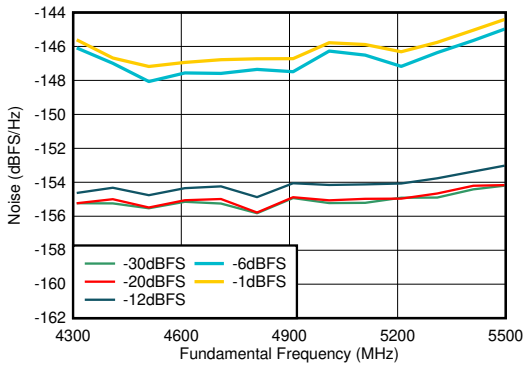
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合、P_{OUT} = -13dBFS

図 4-518. TX 出力ノイズと DSA 設定との関係 (各種チャネル、4.9GHz)



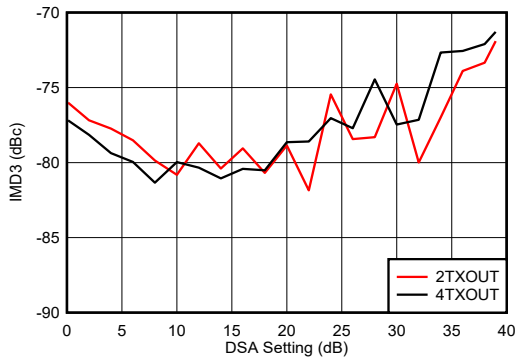
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合、A_{out} = -13dBFS。

図 4-519. 4.9 GHz での TX NSD と出力周波数と、デジタル振幅との関係 (DSA = 0dB)



f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合、A_{out} = -13dBFS。

図 4-520. 4.9 GHz での TX NSD と出力周波数と、デジタル振幅との関係 (DSA = 6dB)



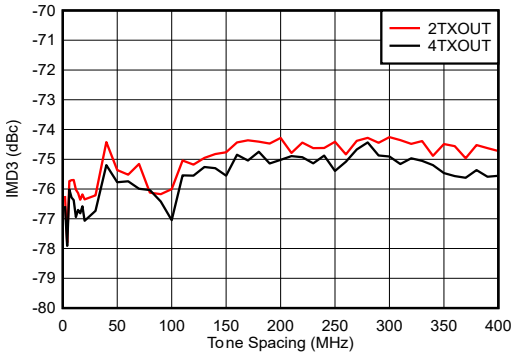
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合、f_{CENTER} = 4.9GHz、各トーン -13dBFS

図 4-521. TX IMD3 と DSA 設定との関係 (4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

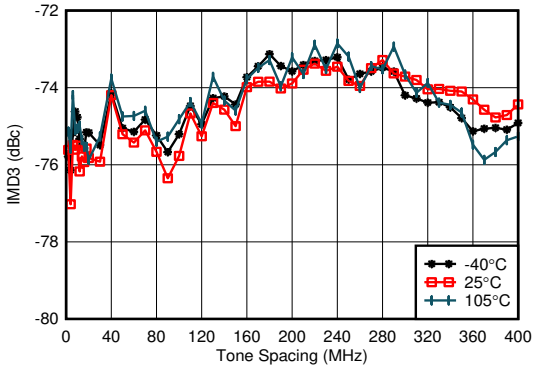
4.12.13 TX 代表的特性：4.9GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



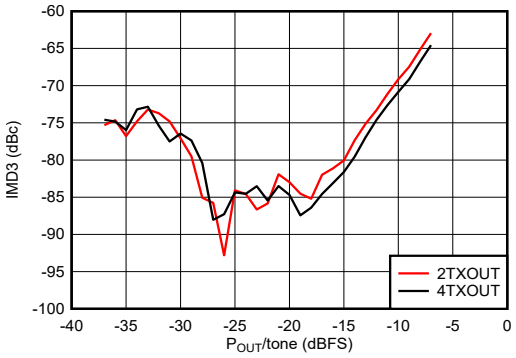
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合、f_{CENTER} = 4.9GHz、各トーン -13dBFS

図 4-522. TX IMD3 とトーン間隔との関係 (各種チャネル、4.9GHz)



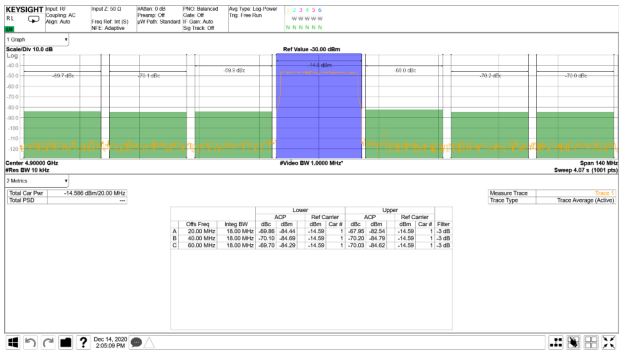
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合、f_{CENTER} = 4.9GHz、各トーン -13dBFS、ワースト チャネル

図 4-523. TX IMD3 とトーン間隔との関係 (各種温度、4.9GHz)



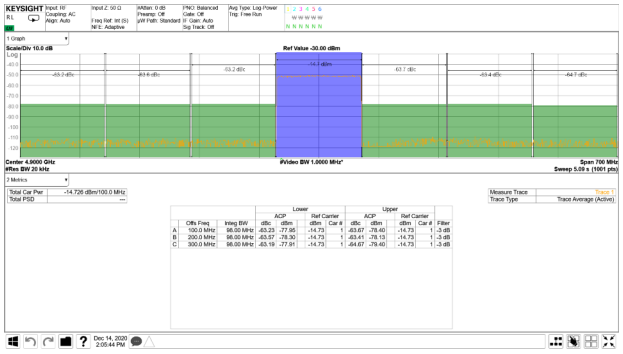
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合、f_{CENTER} = 4.9GHz、$f_{SPACING}$ = 20MHz

図 4-524. TX IMD3 とデジタル レベルとの関係 (4.9GHz)



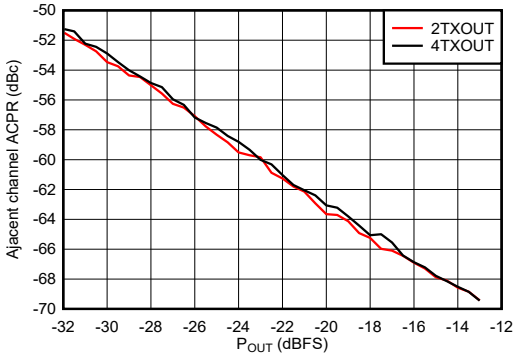
TM1.1、P_{OUT_RMS} = -13dBFS

図 4-525. TX 20MHz LTE 出力スペクトル (4.9GHz)



TM1.1、P_{OUT_RMS} = -13dBFS

図 4-526. 4.9 GHz での TX 100MHz NR 出力スペクトル



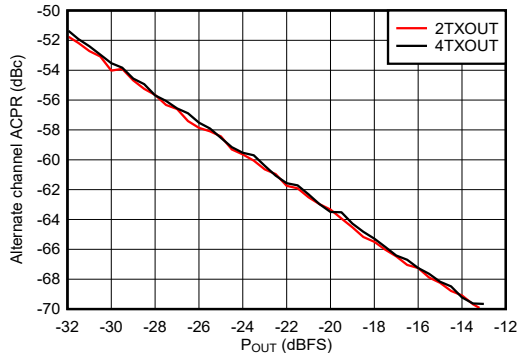
4.9GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 4-527. TX 20MHz LTE ACPR とデジタル レベルとの関係 (4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

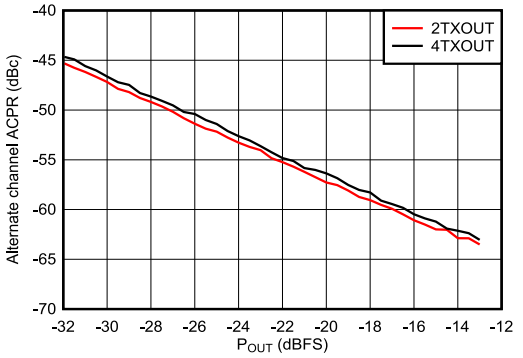
4.12.13 TX 代表的特性：4.9GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



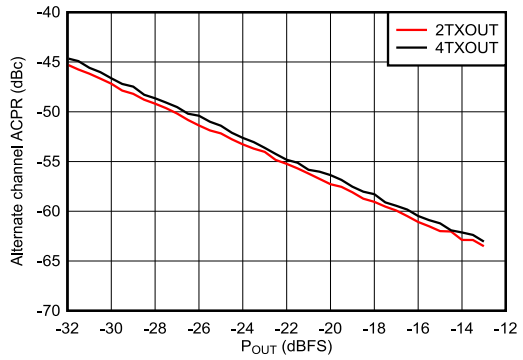
4.9GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 4-528. TX 20MHz LTE alt-ACPR とデジタル レベルとの関係 (4.9GHz)



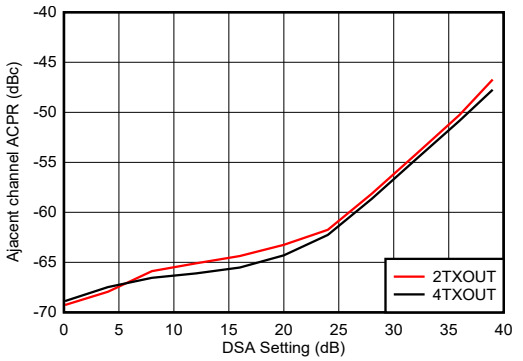
4.9GHz で整合、シングル キャリア 100MHz BW TM1.1 NR

図 4-529. 4.9GHz での TX 100MHz NR ACPR とデジタル レベルとの関係



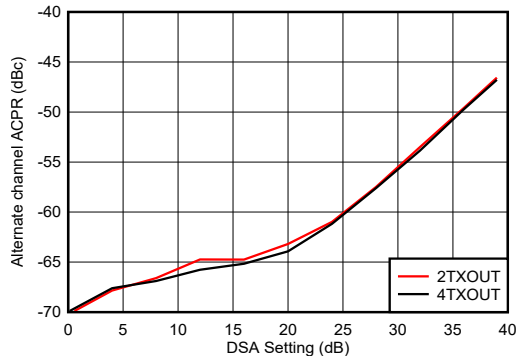
4.9GHz で整合、シングル キャリア 100MHz BW TM1.1 NR

図 4-530. 4.9GHz での TX 100MHz NR alt-ACPR とデジタル レベルとの関係



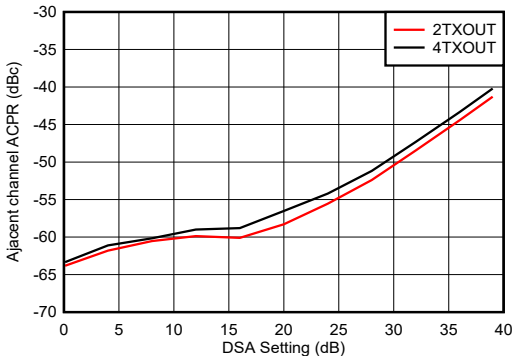
4.9GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 4-531. TX 20MHz LTE ACPR と DSA 設定との関係 (4.9GHz)



4.9GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 4-532. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (4.9GHz)

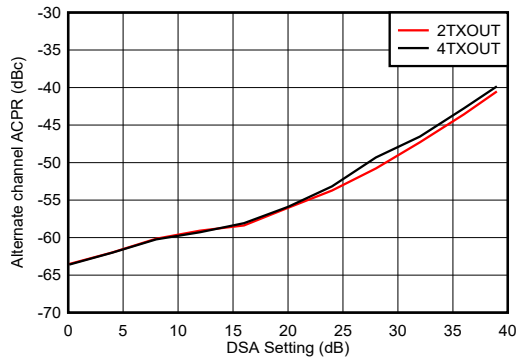


4.9GHz で整合、シングル キャリア 100MHz BW TM1.1 NR

図 4-533. TX 100MHz NR ACPR と DSA 設定との関係 (4.9GHz)

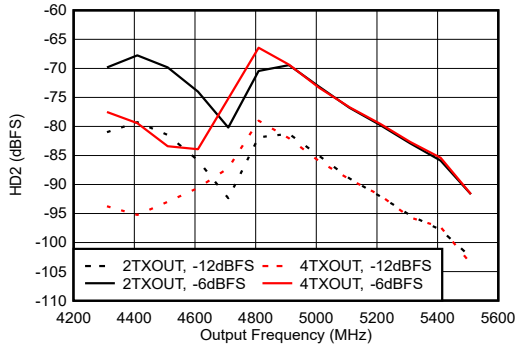
4.12.13 TX 代表的特性：4.9GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



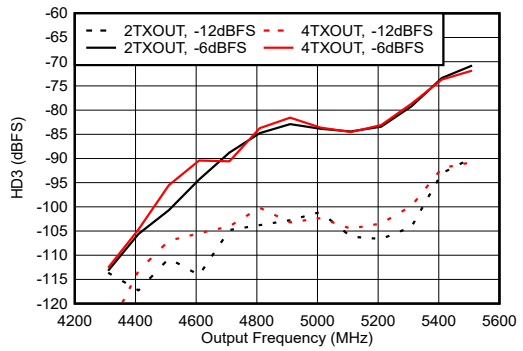
4.9GHz で整合、シングル キャリア 100MHz BW TM1.1 NR

図 4-534. TX 100MHz NR alt-ACPR と DSA 設定との関係 (4.9GHz)



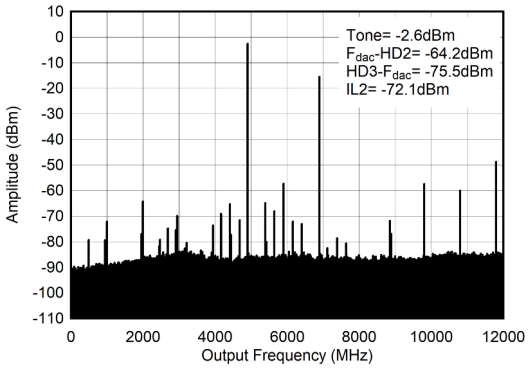
4.9GHz で整合、f_{DAC} = 11.79648GSPS、インターリーブ モード、高調波周波数での出力電力で正規化

図 4-535. TX HD2 と出力周波数との関係 (各種デジタル振幅、4.9GHz)



4.9GHz で整合、f_{DAC} = 11.79648GSPS、インターリーブ モード、高調波周波数での出力電力で正規化

図 4-536. TX HD3 と出力周波数との関係 (各種デジタル振幅、4.9GHz)



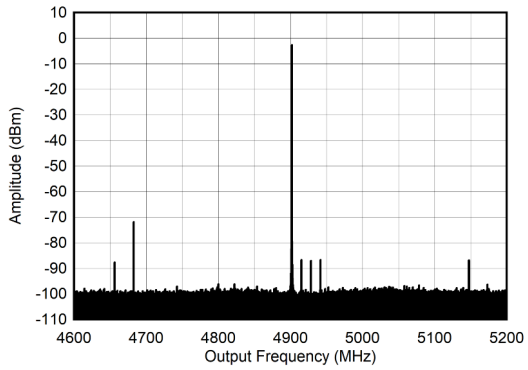
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$。

図 4-537. TX シングル トーン (-1dBFS) 出力スペクトル (0～f_{DAC}、4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

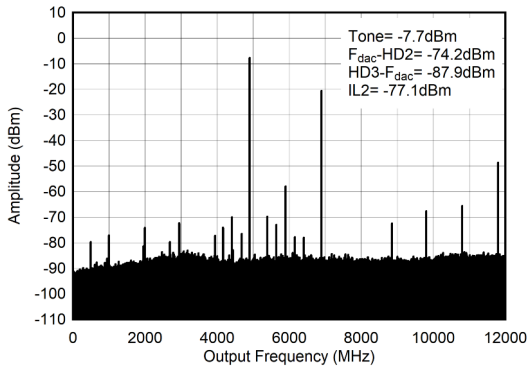
4.12.13 TX 代表的特性：4.9GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



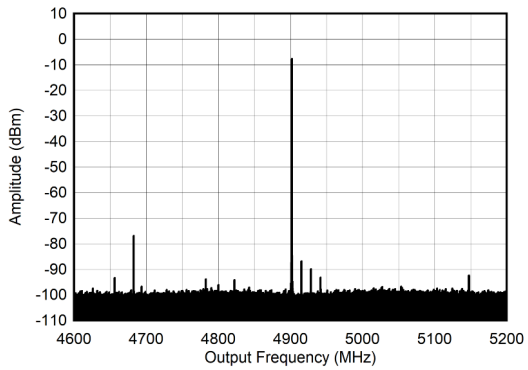
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz 整合あり、PCB とケーブルの損失を含む

図 4-538. 4.9GHz での TX シングル トーン (–1dBFS) 出力スペクトル (±300MHz)



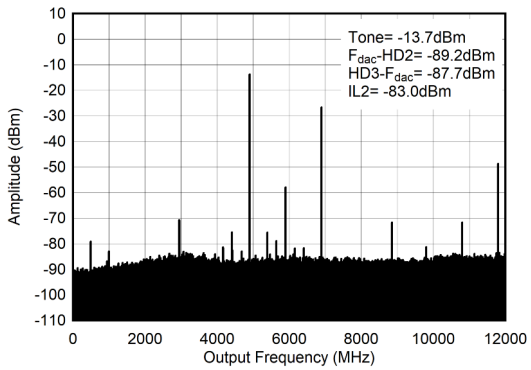
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$。

図 4-539. TX シングル トーン (-6dBFS) 出力スペクトル (0～f_{DAC}、4.9GHz)



f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz 整合あり、PCB とケーブルの損失を含む

図 4-540. 4.9GHz での TX シングル トーン (–6dBFS) 出力スペクトル (±300MHz)



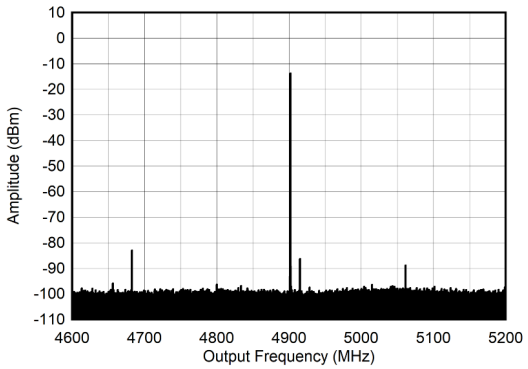
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$。

図 4-541. TX シングル トーン (-12dBFS) 出力スペクトル (0～f_{DAC}、4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

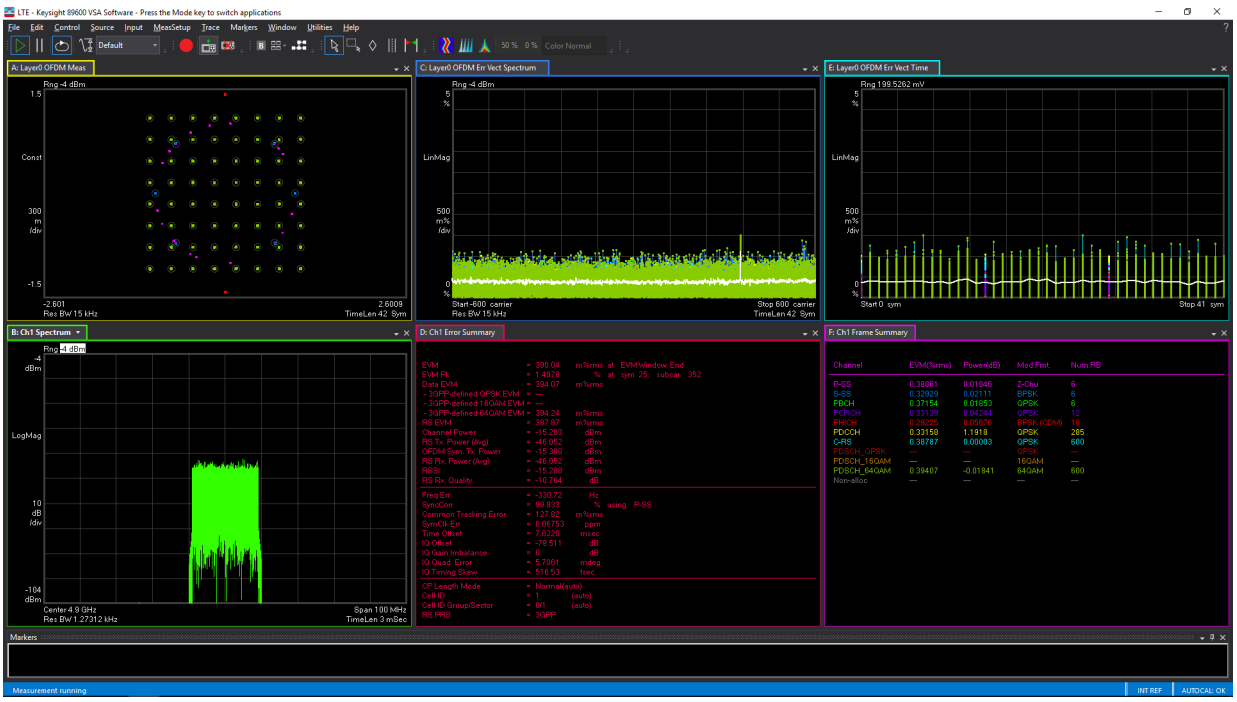
4.12.13 TX 代表的特性：4.9GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS、インターリーブ モード、A_{OUT} = –1dBFS、1 次ナイキスト ゾーン出力、内部 PLL、f_{REF} = 491.52MSPS、24x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み。



f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz 整合あり、PCB とケーブルの損失を含む

図 4-542. 4.9GHz での TX シングル トーン (-12 dBFS) 出力スペクトル (±300 MHz)



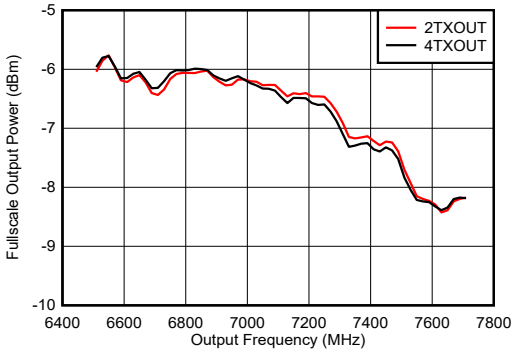
TM1.1、P_{OUT_RMS} = -13dBFS

図 4-543. 4.9GHz での TX 20-MHz LTE エラー ベクトル振幅

Copyright © 2025 Texas Instruments Incorporated

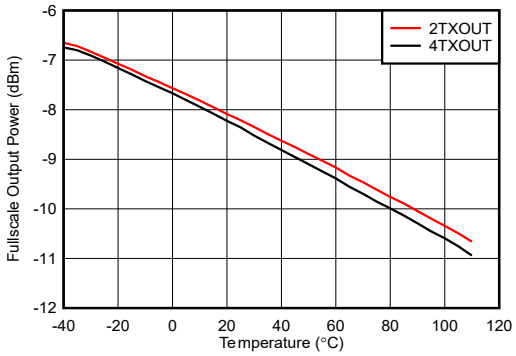
4.12.14 TX 代表的特性：7.1GHz

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データレート = 500MSPS、f_{DAC} = 9000MSPS、非インターリーブモード、A_{OUT} =-1dBFS、2 次ナイキスト ゾーン出力、外部クロックモード、18x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、7.1GHz 整合あり。



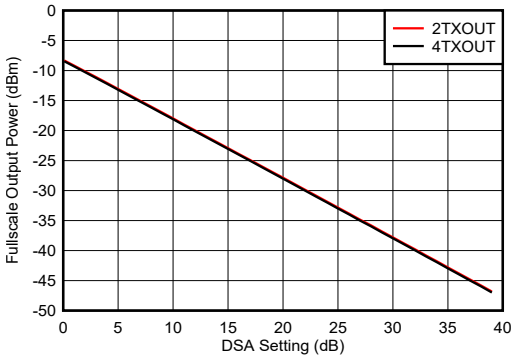
PCB とケーブルの損失を除く。

図 4-544. TX フルスケールと RF 周波数とチャネルとの関係



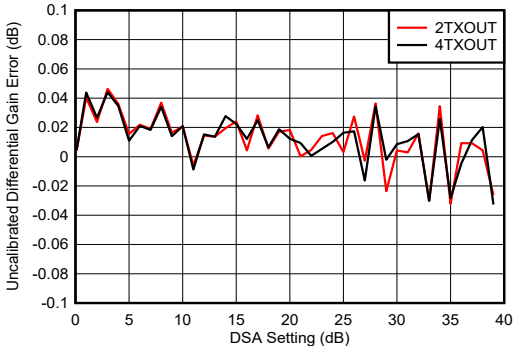
PCB とケーブルの損失を除く。

図 4-545. 7.1GHz での TX フルスケールと温度とチャネルとの関係



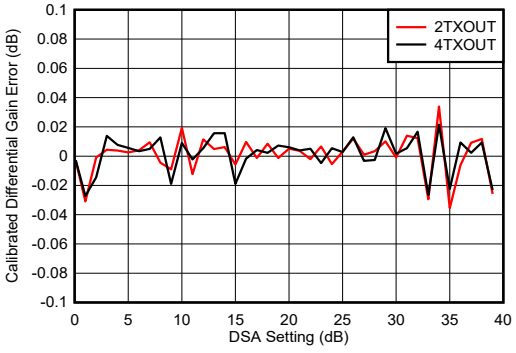
PCB とケーブルの損失を除く。

図 4-546. 7.1GHz での TX フルスケールと DSA 設定とチャネルとの関係



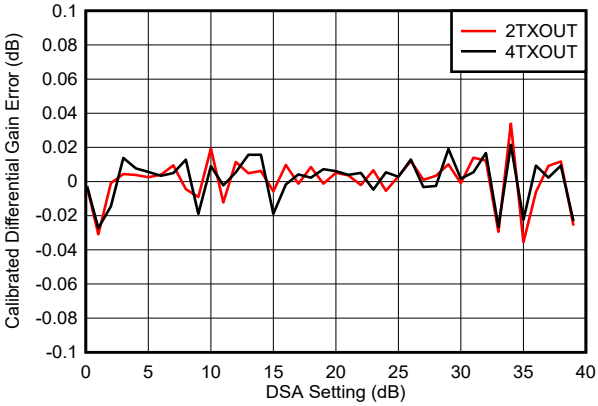
微分ゲイン誤差 = ゲイン (DSA 設定 - 1) - ゲイン (DSA 設定)

図 4-547. 7.1GHz での未較正ゲイン誤差とチャネルとの関係



微分ゲイン誤差 = ゲイン (DSA 設定 - 1) - ゲイン (DSA 設定)

図 4-548. 7.1GHz での未較正微分ゲイン誤差と温度との関係



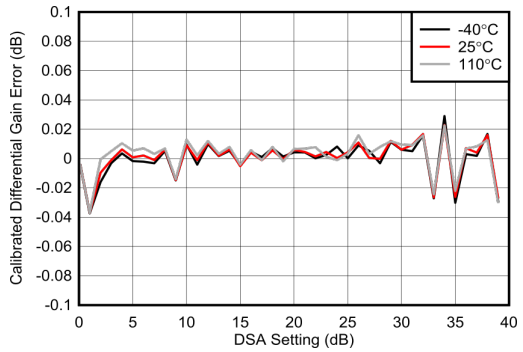
微分ゲイン誤差 = ゲイン (DSA 設定 - 1) - ゲイン (DSA 設定)

図 4-549. 7.1GHz での較正済み微分ゲイン誤差とチャネルとの関係

Copyright © 2025 Texas Instruments Incorporated

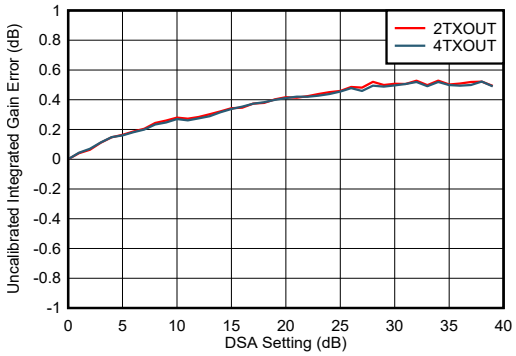
4.12.14 TX 代表的特性：7.1GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データレート = 500MSPS、f_{DAC} = 9000MSPS、非インターリーブモード、A_{OUT} =-1dBFS、2 次ナイキスト ゾーン出力、外部クロックモード、18x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、7.1GHz 整合あり。



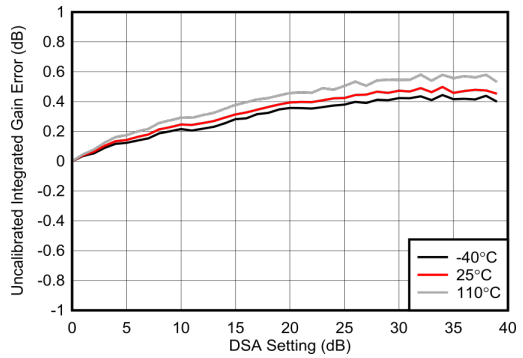
微分ゲイン誤差 = ゲイン (DSA 設定 - 1) - ゲイン (DSA 設定)

図 4-550. 7.1GHz での較正済み微分ゲイン誤差と温度との関係



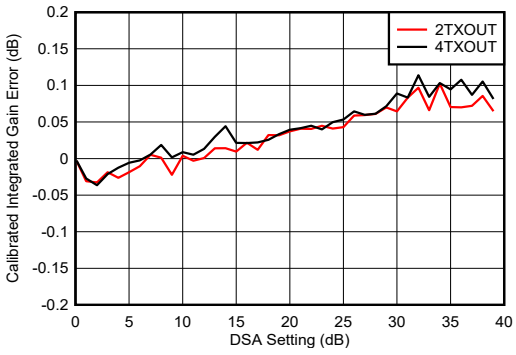
積分ゲイン誤差 = ゲイン (DSA 設定) - ゲイン (DSA 設定 = 0)

図 4-551. 7.1GHz での未較正積分ゲイン誤差とチャネルとの関係



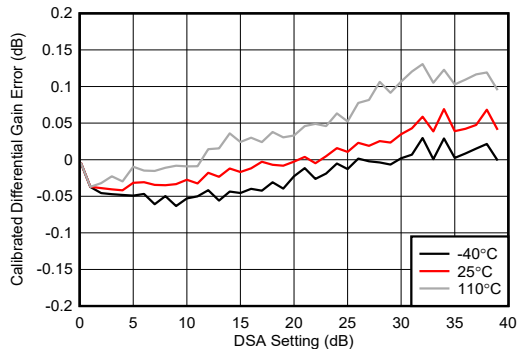
積分ゲイン誤差 = ゲイン (DSA 設定) - ゲイン (DSA 設定 = 0)

図 4-552. 7.1GHz での未較正積分ゲイン誤差と温度との関係



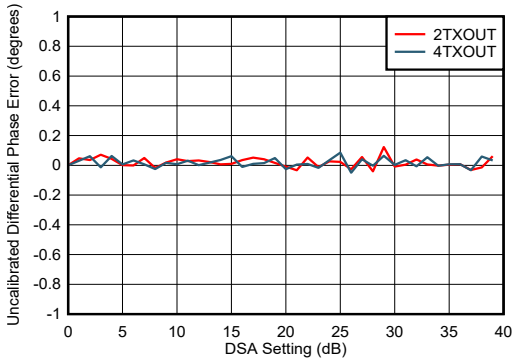
積分ゲイン誤差 = ゲイン (DSA 設定) - ゲイン (DSA 設定 = 0)

図 4-553. 7.1GHz での較正済み積分ゲイン誤差とチャネルとの関係



積分ゲイン誤差 = ゲイン (DSA 設定) - ゲイン (DSA 設定 = 0)

図 4-554. 7.1GHz での較正済み積分ゲイン誤差と温度との関係



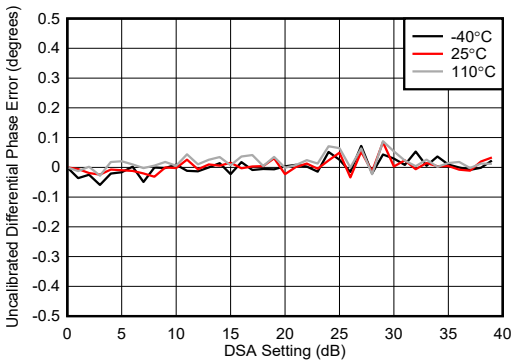
微分位相誤差 = 位相 (DSA 設定 - 1) - 位相(DSA 設定)

図 4-555. 7.1GHz での未較正微分位相誤差とチャネルとの関係

Copyright © 2025 Texas Instruments Incorporated

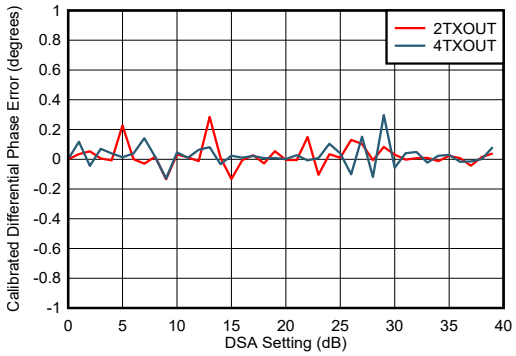
4.12.14 TX 代表的特性：7.1GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データレート = 500MSPS、f_{DAC} = 9000MSPS、非インターリーブモード、A_{OUT} =-1dBFS、2 次ナイキスト ゾーン出力、外部クロックモード、18x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、7.1GHz 整合あり。



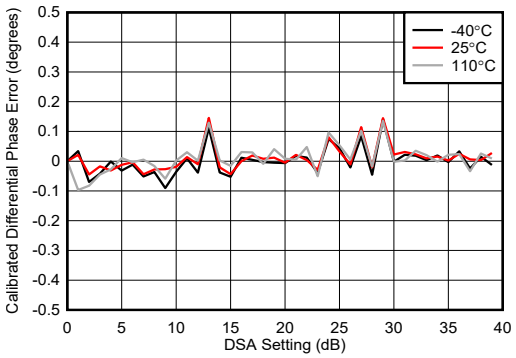
微分位相誤差 = 位相 (DSA 設定 - 1) - 位相(DSA 設定)

図 4-556. 7.1GHz での未較正微分位相誤差と温度との関係



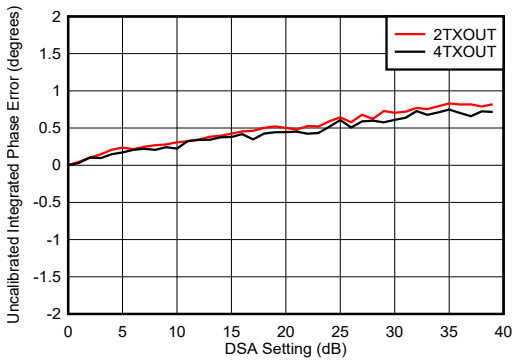
微分位相誤差 = 位相 (DSA 設定 - 1) - 位相(DSA 設定)

図 4-557. 7.1GHz での較正済み微分位相誤差とチャネルとの関係



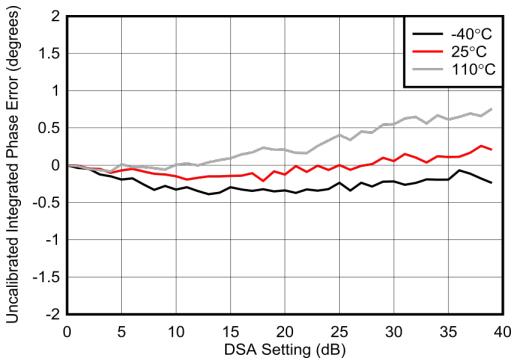
微分位相誤差 = 位相 (DSA 設定 - 1) - 位相(DSA 設定)

図 4-558. 7.1GHz での較正済み微分位相誤差と温度との関係



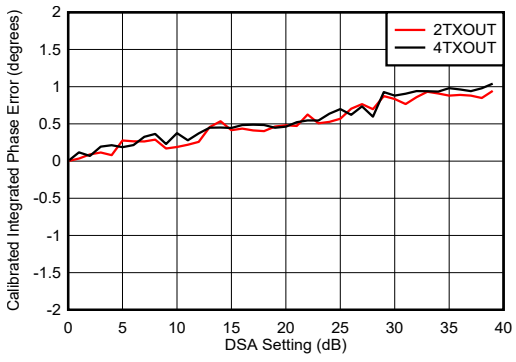
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-559. 7.1GHz での未較正積分位相誤差とチャネルとの関係



積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-560. 7.1GHz での未較正積分位相誤差と温度との関係



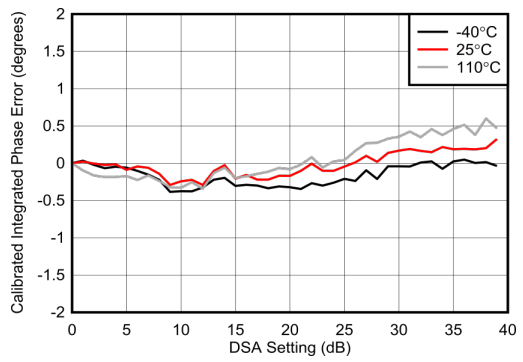
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-561. 7.1GHz での較正済み積分位相誤差とチャネルとの関係

Copyright © 2025 Texas Instruments Incorporated

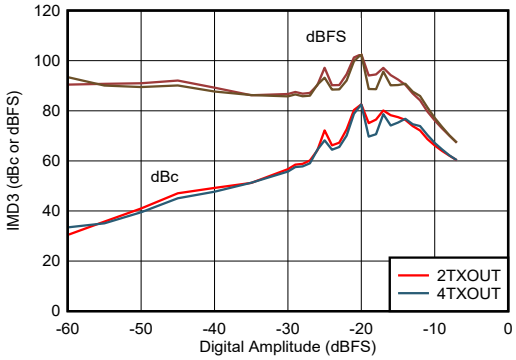
4.12.14 TX 代表的特性：7.1GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データレート = 500MSPS、f_{DAC} = 9000MSPS、非インターリーブモード、A_{OUT} =-1dBFS、2 次ナイキスト ゾーン出力、外部クロックモード、18x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、7.1GHz 整合あり。



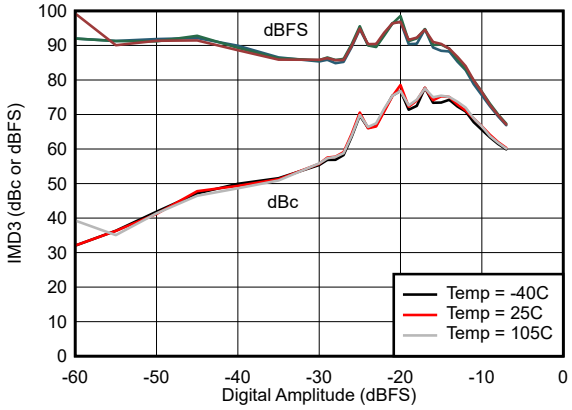
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-562. 7.1GHz での較正済み積分位相誤差と温度との関係



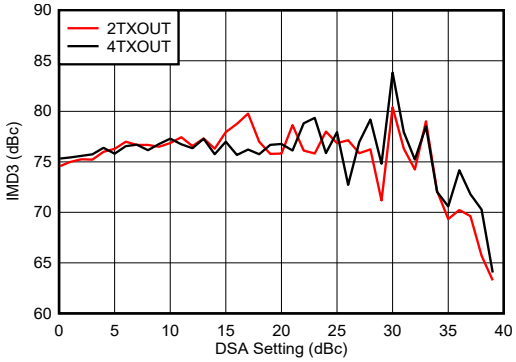
トーン間隔 = 50MHz

図 4-563. 7.1GHz での IMD3 とデジタル振幅との関係 (各種チャネル)



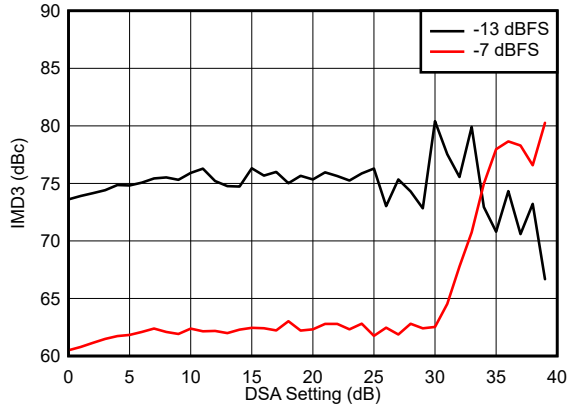
トーン間隔 = 50MHz

図 4-564. 7.1GHz での IMD3 とデジタル振幅と温度との関係



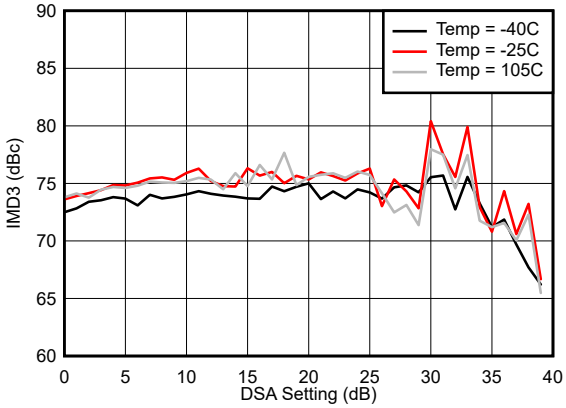
トーン間隔 = 50MHz

図 4-565. 7.1GHz での IMD3 と DSA 設定とチャネルとの関係



トーン間隔 = 50MHz

図 4-566. 7.1GHz での IMD3 と DSA 設定とデジタル振幅との関係



トーン間隔 = 50MHz

図 4-567. 7.1GHz での IMD3 と DSA 設定と温度との関係

Copyright © 2025 Texas Instruments Incorporated

4.12.14 TX 代表的特性：7.1GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データレート = 500MSPS、f_{DAC} = 9000MSPS、非インターリーブモード、A_{OUT} =-1dBFS、2 次ナイキスト ゾーン出力、外部クロックモード、18x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、7.1GHz 整合あり。

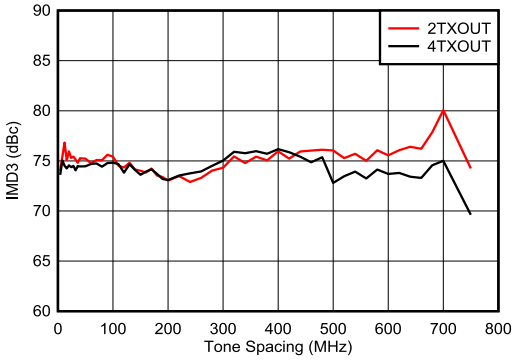


図 4-568. 7.1GHz での IMD3 とトーン間隔とチャネルとの関係

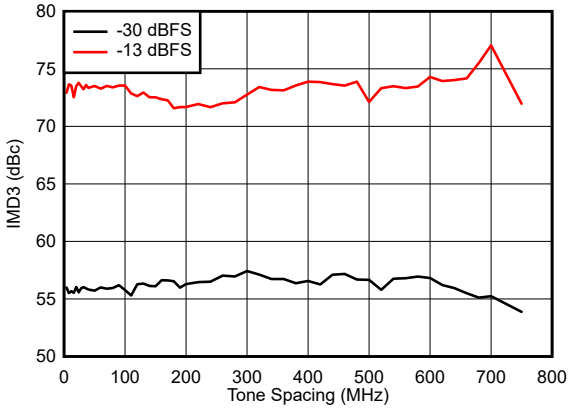


図 4-569. 7.1GHz での IMD3 とトーン間隔とデジタル振幅の関係

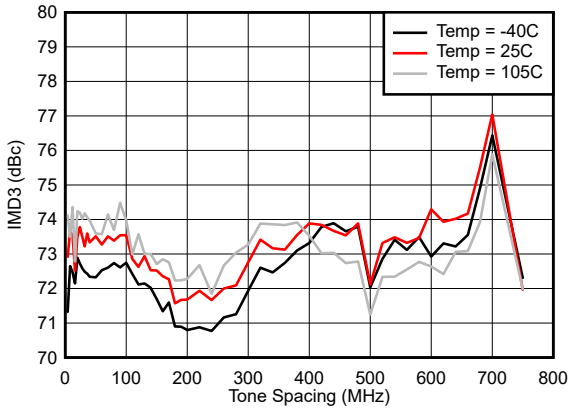
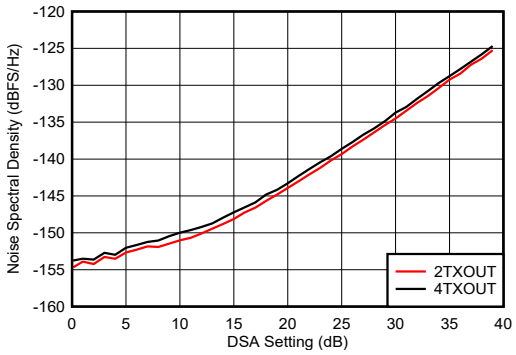
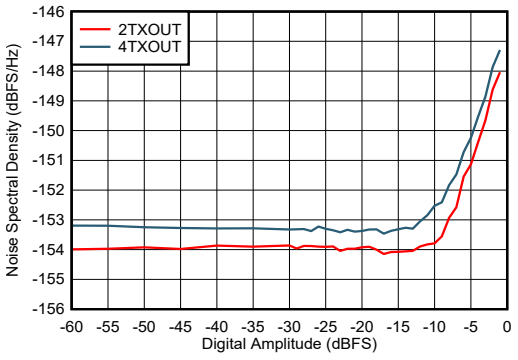


図 4-570. 7.1GHz での IMD3 とトーン間隔と温度との関係



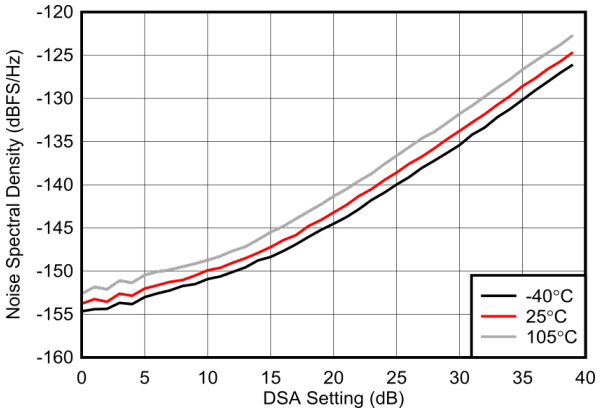
-12dBFS でのトーン、トーンからの 50MHz オフセット

図 4-571. 7.1GHz での NSD と DSA 設定とチャネルとの関係



トーンから 50MHz オフセット。

図 4-572. 7.1GHz での NSD と DSA 設定、振幅との関係



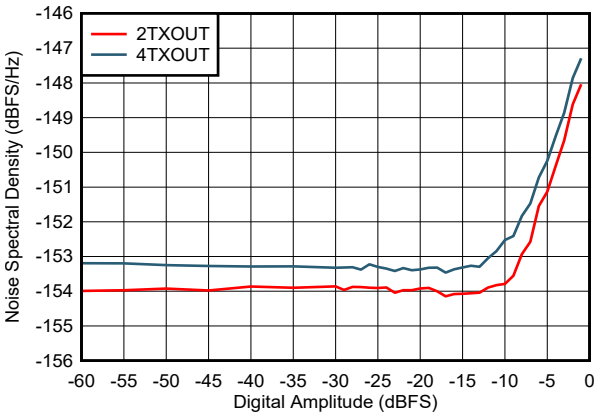
-12dBFS でのトーン、トーンからの 50MHz オフセット

図 4-573. 7.1GHz での NSD と DSA 設定と温度との関係

Copyright © 2025 Texas Instruments Incorporated

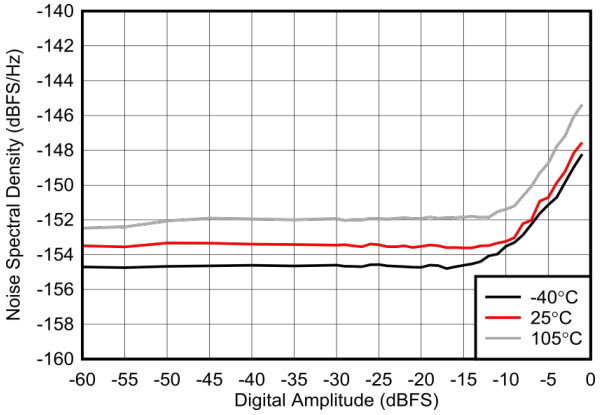
4.12.14 TX 代表的特性：7.1GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データレート = 500MSPS、f_{DAC} = 9000MSPS、非インターリーブモード、A_{OUT} =-1dBFS、2 次ナイキスト ゾーン出力、外部クロックモード、18x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、7.1GHz 整合あり。



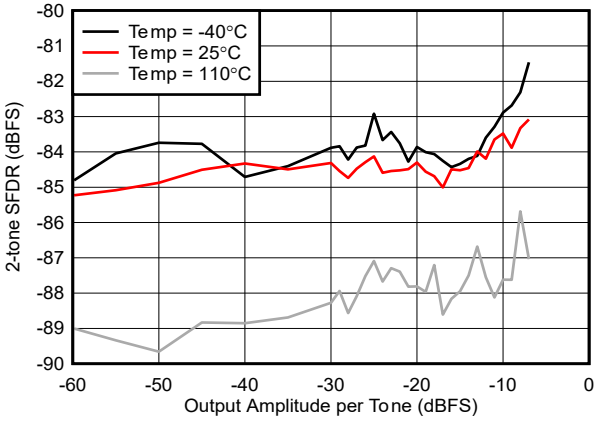
トーンから 50MHz オフセット。

図 4-574. 7.1GHz での NSD とデジタル振幅とチャネルとの関係



トーンから 50MHz オフセット。

図 4-575. 7.1GHz での NSD とデジタル振幅と温度との関係



50MHz トーン間隔、帯域内 = 7100MHz ± 200MHz。IMD3 成分を個別に除く

図 4-576. 7.1GHz での出力振幅に対する二信号インバンド SFDR

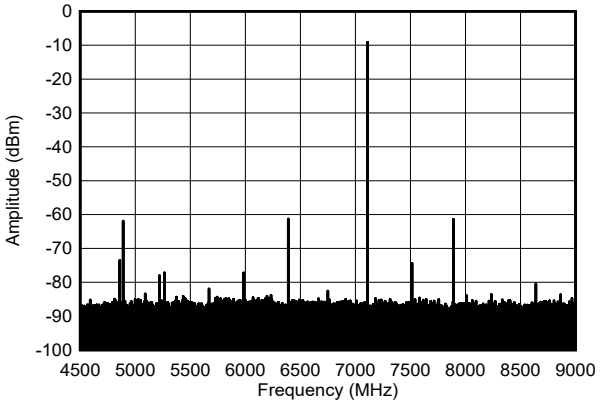


図 4-577. 7.1GHz、シングル トーン出力スペクトル、-1dBFS (ナイキスト)

Copyright © 2025 Texas Instruments Incorporated

4.12.14 TX 代表的特性：7.1GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データレート = 500MSPS、f_{DAC} = 9000MSPS、非インターリーブモード、A_{OUT} =-1dBFS、2 次ナイキスト ゾーン出力、外部クロックモード、18x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、7.1GHz 整合あり。

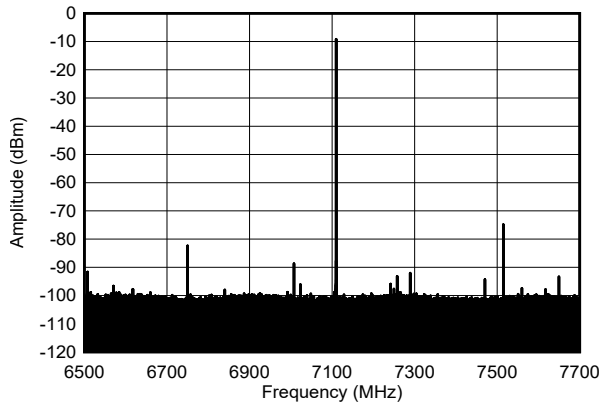


図 4-578. 7.1GHz、-1dBFS でのシングル トーン出力スペクトル (狭いスパン)

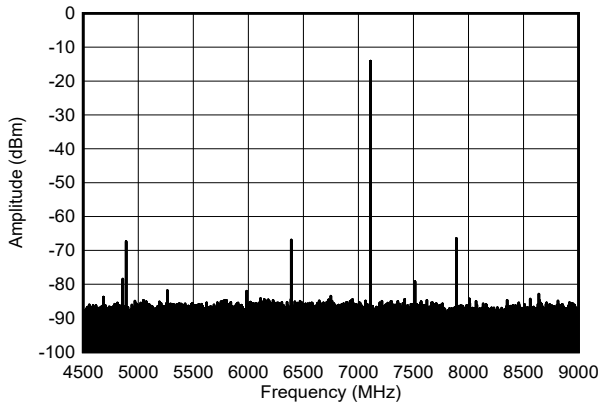


図 4-579. 7.1GHz、シングル トーン出力スペクトル、-6dBFS (ナイキスト)

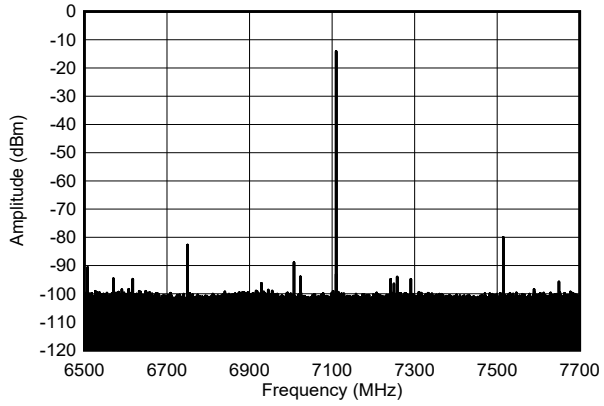


図 4-580. 7.1GHz、-6dBFS でのシングル トーン出力スペクトル (狭いスパン)

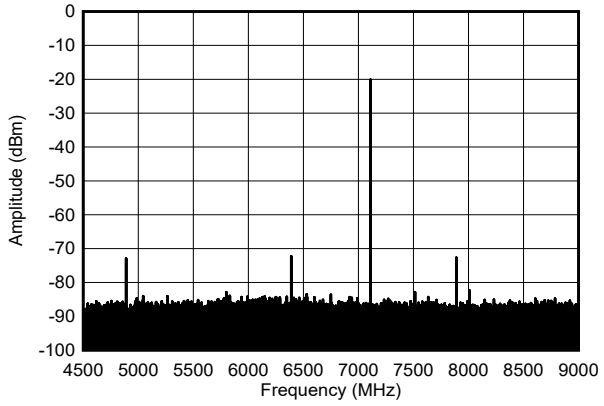


図 4-581. 7.1GHz、シングル トーン出力スペクトル、-12dBFS (ナイキスト)

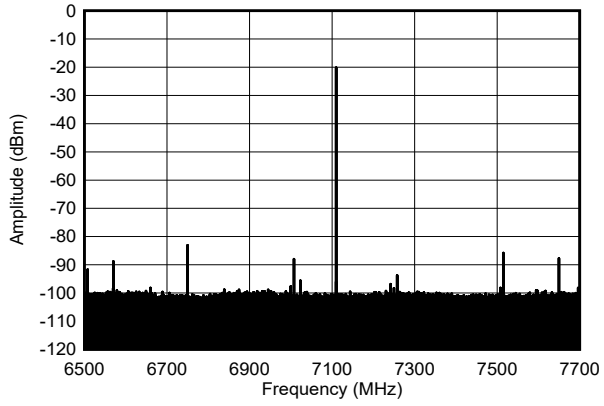
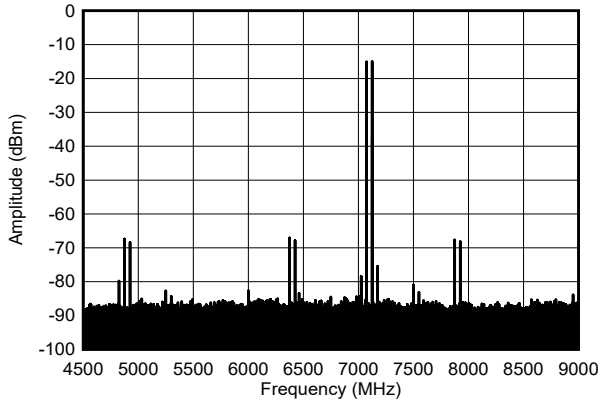


図 4-582. 7.1GHz、-12dBFS でのシングル トーン出力スペクトル (狭いスパン)

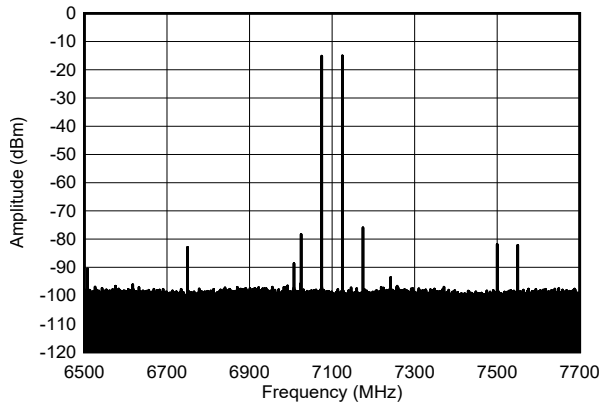


50MHz のトーン間隔

図 4-583. 7.1GHz、-7dBFS での 2 トーン出力スペクトル (ナイキスト)

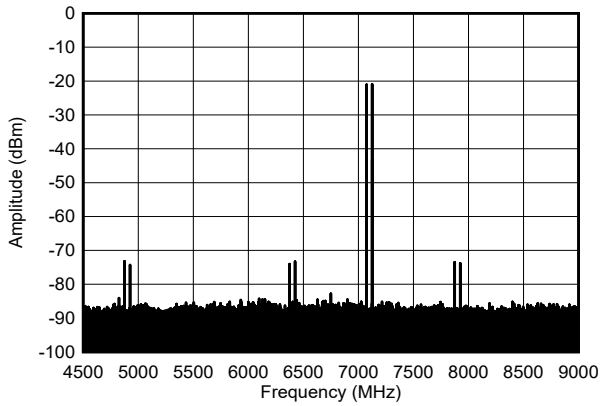
4.12.14 TX 代表的特性：7.1GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データレート = 500MSPS、f_{DAC} = 9000MSPS、非インターリーブモード、A_{OUT} =-1dBFS、2 次ナイキスト ゾーン出力、外部クロックモード、18x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、7.1GHz 整合あり。



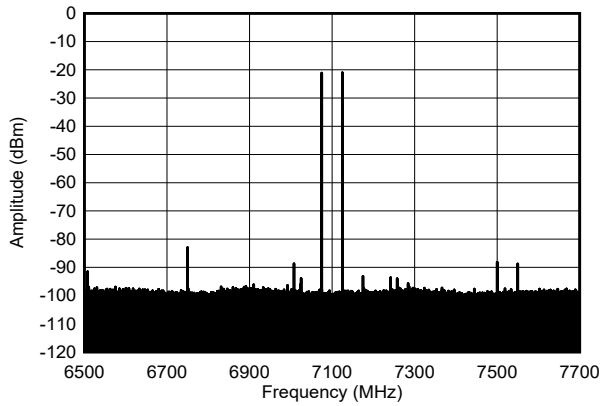
50MHz のトーン間隔

図 4-584. 7.1GHz、-7dBFS での 2 トーン出力スペクトル (ナロー バンド)



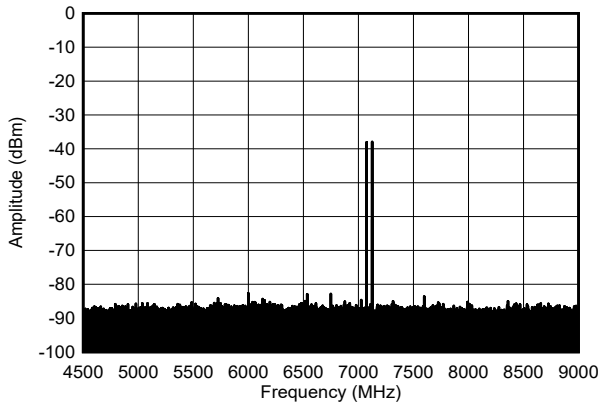
50MHz のトーン間隔

図 4-585. 7.1GHz、-13dBFS での 2 トーン出力スペクトル (ナイキスト)



50MHz のトーン間隔

図 4-586. 7.1GHz、-13dBFS での 2 トーン出力スペクトル (ナロースパン)



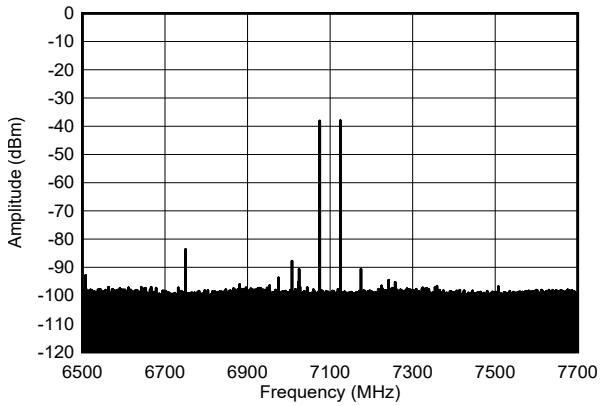
50MHz のトーン間隔

図 4-587. 7.1G Hz、-30dBFS での 2 トーン出力スペクトル (ナイキスト)

Copyright © 2025 Texas Instruments Incorporated

4.12.14 TX 代表的特性：7.1GHz (続き)

T_A = +25℃での代表値、公称電源。特に記述のない限り、TX 入力データレート = 500MSPS、f_{DAC} = 9000MSPS、非インターリーブモード、A_{OUT} =-1dBFS、2 次ナイキスト ゾーン出力、外部クロックモード、18x 補間、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、7.1GHz 整合あり。



50MHz のトーン間隔

図 4-588. 7.1GHz、-30dBFS での 2 トーン出力スペクトル (ナロースパン)

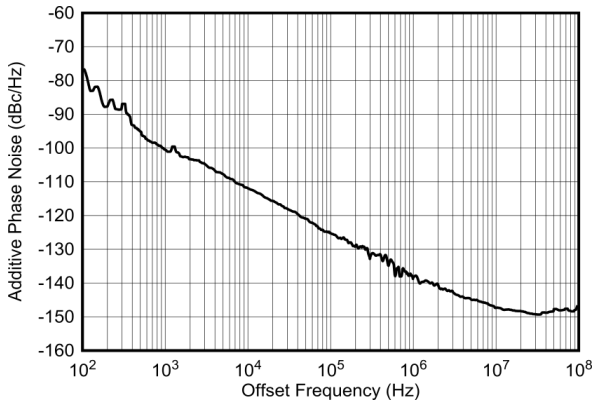
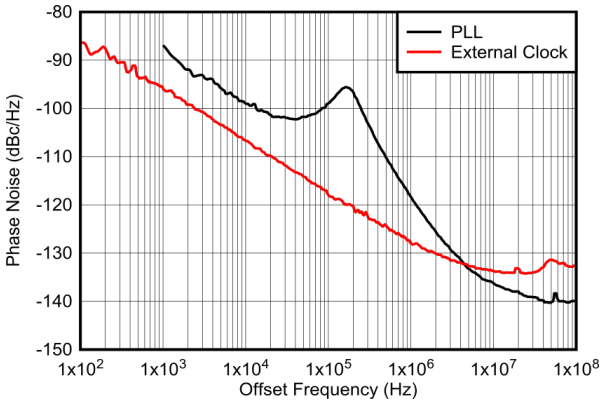


図 4-589. 7.1GHz での外部クロック付加位相ノイズ

4.12.15 PLL およびクロックの代表的特性

T_A = +25℃での代表値、公称電源。特に記述のない限り、f_{REF} = 491.52MHz、TX 出力で測定された位相ノイズ



TX 出力で測定、20*log10 で 12GHz に正規化 (12GHz/F_{OUT})

図 4-590. 位相ノイズとオフセット周波数との関係 (PLL、外部クロック、12GHz)

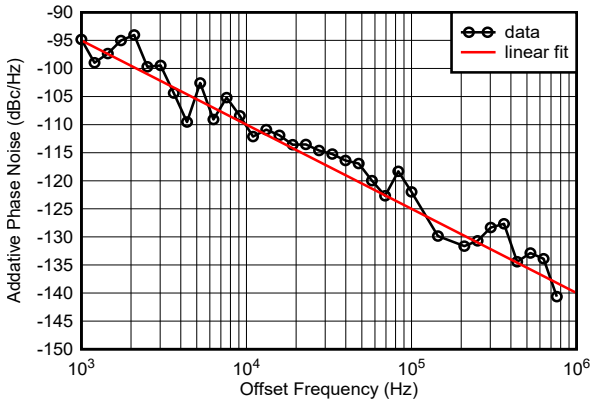
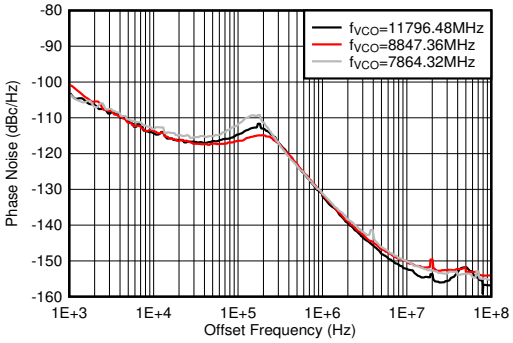
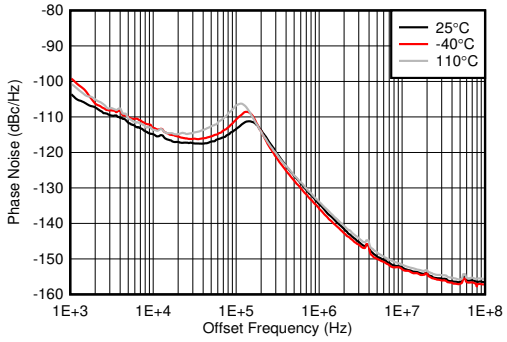


図 4-591. 9.61GHz における RX 加算位相雑音



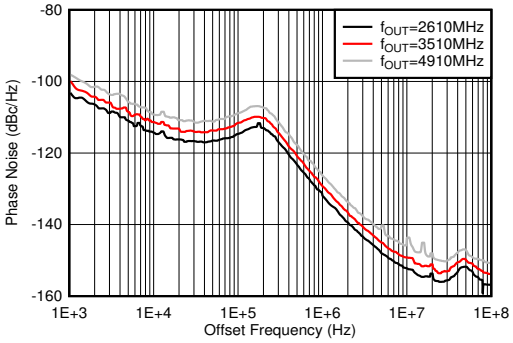
PLL イネーブル、f_{REF} = 491.52MSPS、2TXOUT で測定

図 4-592. 位相ノイズとオフセット周波数との関係 (各種 f_{VCO}、f_{OUT} = 2610MHz)



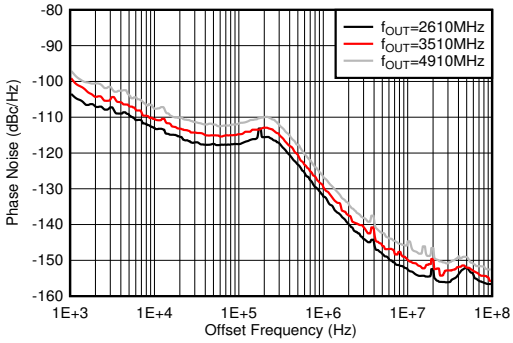
PLL イネーブル、f_{VCO} = 11796.48MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

図 4-593. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種温度、f_{OUT} = 1910MHz)



PLL イネーブル、f_{VCO} = 11796.48MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

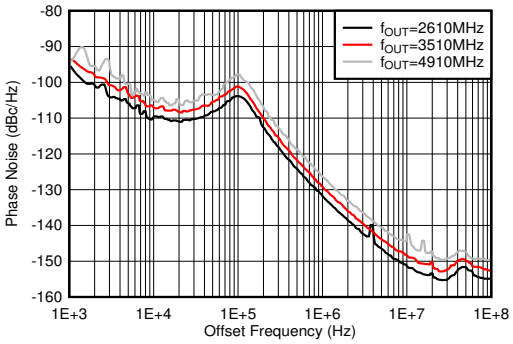
図 4-594. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、25℃)



PLL イネーブル、f_{VCO} = 11796.48MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

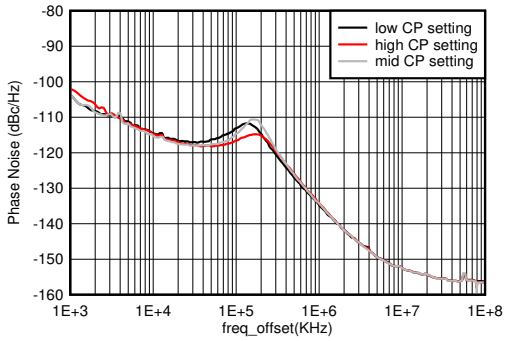
図 4-595. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、-40℃)

Copyright © 2025 Texas Instruments Incorporated



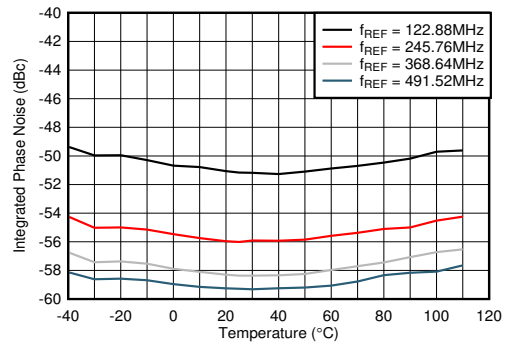
PLL イネーブル、f_{VCO} = 11796.48MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

図 4-596. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、110℃)



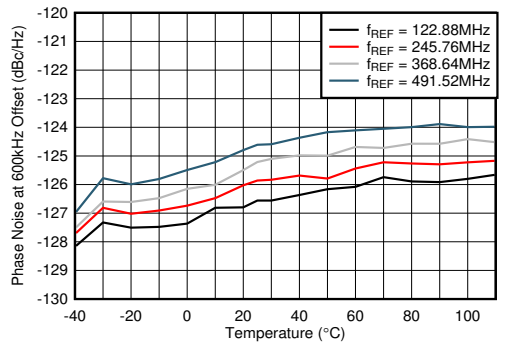
PLL イネーブル、f_{VCO} = 11796.48MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

図 4-597. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種 CP 設定、f_{OUT} = 2.6GHz)



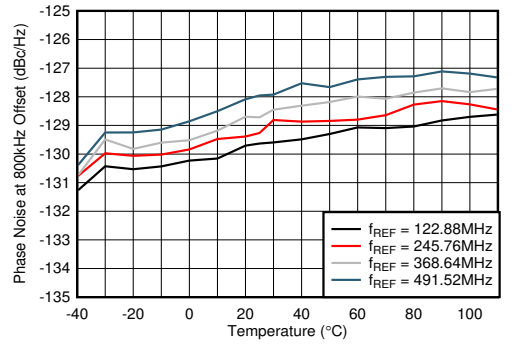
PLL イネーブル、f_{VCO} = 11796.48MHz、1kHz～100MHz、片側積分帯域幅、2TXOUT で測定

図 4-598. 12GHz VCO の積分位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz)



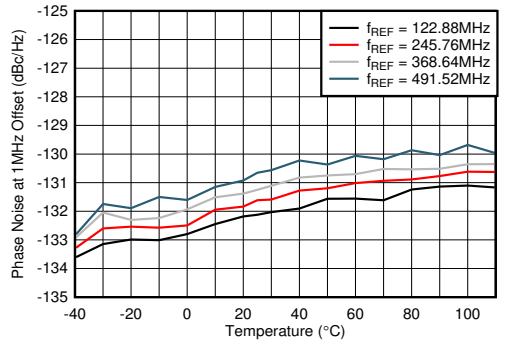
PLL イネーブル、f_{VCO} = 11796.48MHz、2TXOUT で測定

図 4-599. 12GHz VCO の位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz、600kHz オフセット)



A. PLL イネーブル、f_{VCO} = 11796.48MHz、2TXOUT で測定

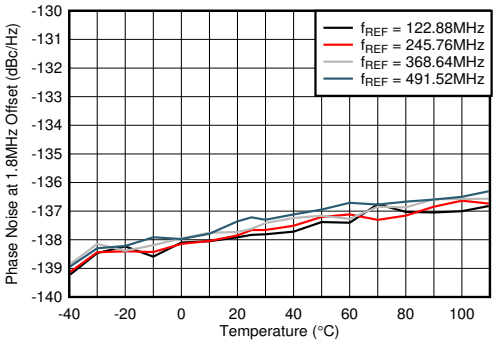
図 4-600. 12GHz VCO の位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz、800kHz オフセット)



PLL イネーブル、f_{VCO} = 11796.48MHz、2TXOUT で測定

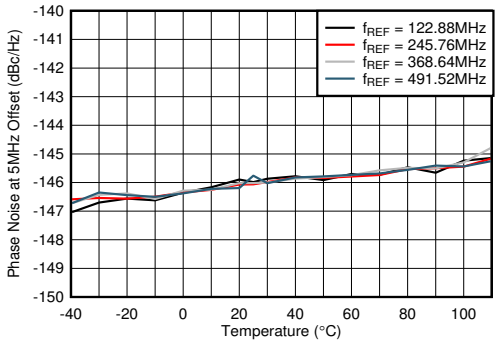
図 4-601. 1-MHz オフセットにおける 12-GHz VCO の位相雑音：温度および基準周波数 f_{REF}（f_{OUT} = 2.6GHz 時）

Copyright © 2025 Texas Instruments Incorporated



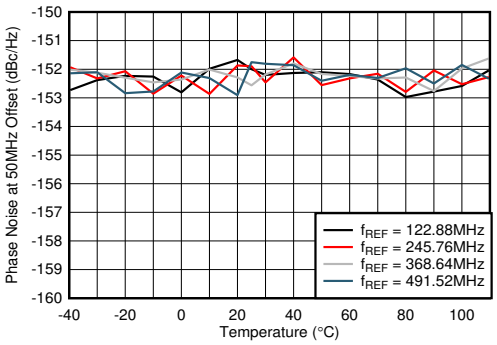
PLL イネーブル、f_{VCO} = 11796.48MHz、2TXOUT で測定

図 4-602. 1.8-MHz オフセットにおける 12-GHz VCO の位相雑音：温度および基準周波数 f_{REF}（f_{OUT} = 2.6GHz 時）



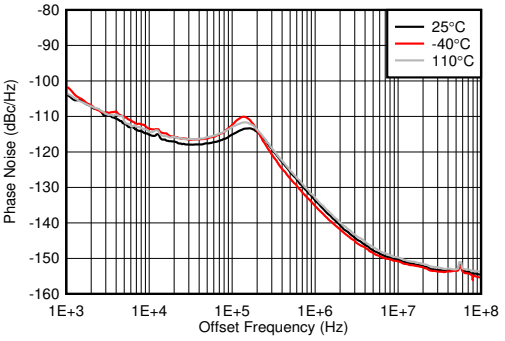
PLL イネーブル、f_{VCO} = 11796.48MHz、2TXOUT で測定

図 4-603. 5-MHz オフセットにおける 12-GHz VCO の位相雑音：温度および基準周波数 f_{REF}（f_{OUT} = 2.6GHz 時）



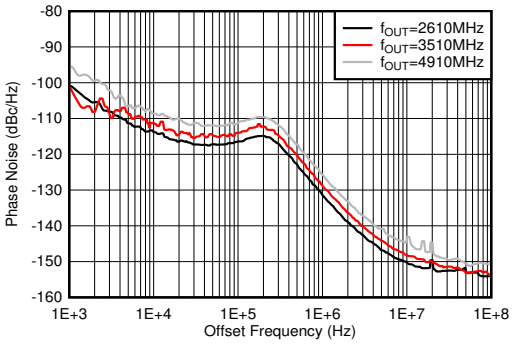
PLL イネーブル、f_{VCO} = 11796.48MHz、2TXOUT で測定

図 4-604. 50-MHz オフセットにおける 12-GHz VCO の位相雑音：温度および基準周波数 f_{REF}（f_{OUT} = 2.6GHz 時）



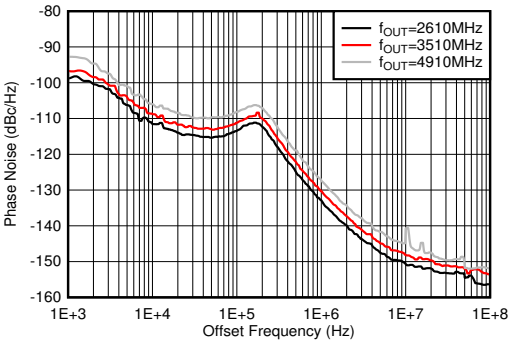
PLL イネーブル、f_{VCO} = 9830.4MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

図 4-605. 10GHz VCO の位相ノイズとオフセット周波数との関係 (各種温度、f_{OUT} = 1910MHz)



PLL イネーブル、f_{VCO} = 9830.4MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

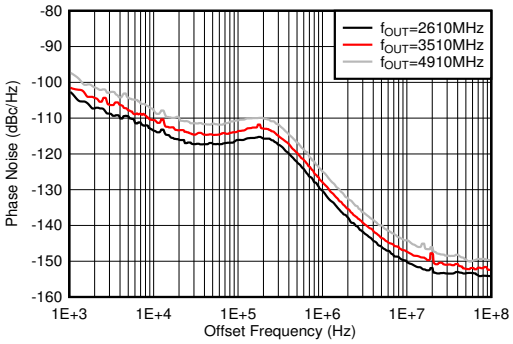
図 4-606. 10GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、25℃)



PLL イネーブル、f_{VCO} = 9830.4MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

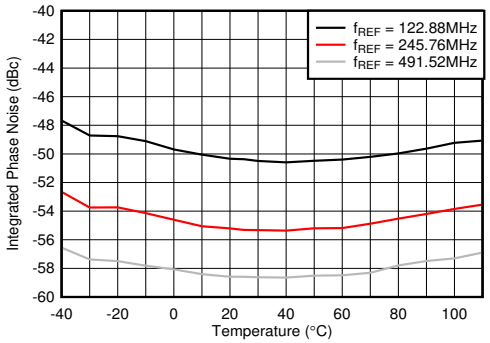
図 4-607. 10GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、-40℃)

Copyright © 2025 Texas Instruments Incorporated



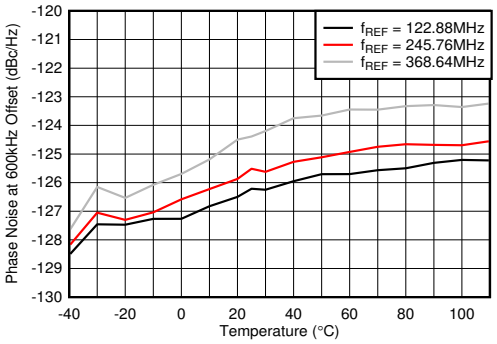
PLL イネーブル、f_{VCO} = 9830.4MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

図 4-608. 10GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、110℃)



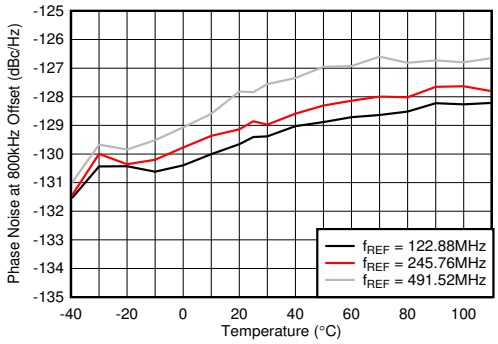
PLL イネーブル、f_{VCO} = 9830.4MHz、1kHz～100MHz、片側積分帯域幅、2TXOUT で測定

図 4-609. 10GHz VCO の積分位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz)



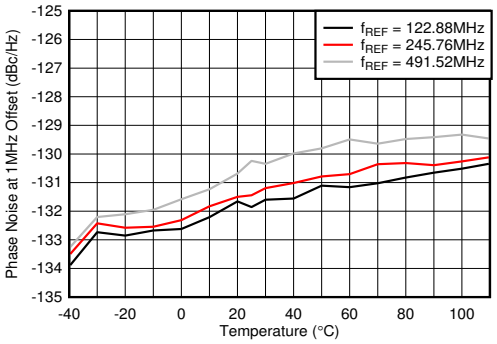
PLL イネーブル、f_{VCO} = 9830.4MHz、2TXOUT で測定

図 4-610. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz、600kHz オフセット)



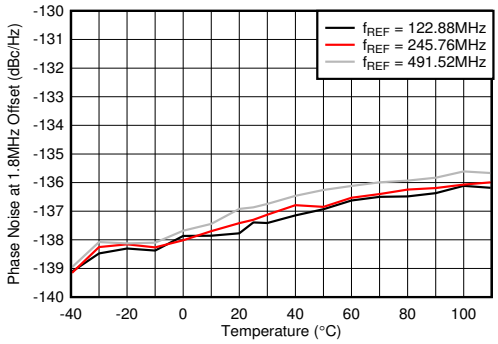
PLL イネーブル、f_{VCO} = 9830.4MHz、2TXOUT で測定

図 4-611. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz、800kHz オフセット)



PLL イネーブル、f_{VCO} = 9830.4MHz、2TXOUT で測定

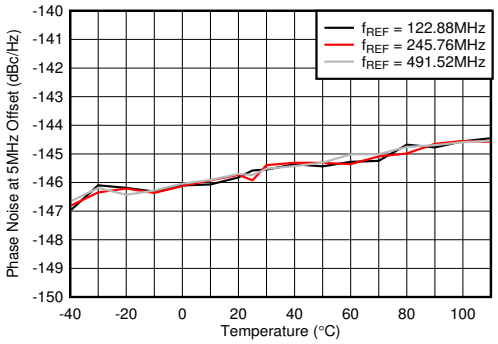
図 4-612. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz、1MHz オフセット)



PLL イネーブル、f_{VCO} = 9830.4MHz、2TXOUT で測定

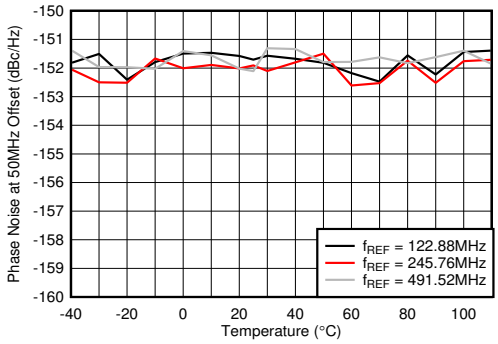
図 4-613. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz、1.8MHz オフセット)

Copyright © 2025 Texas Instruments Incorporated



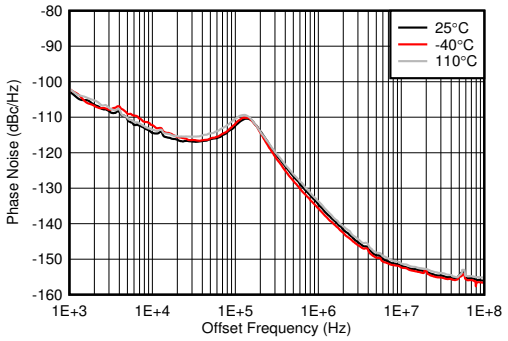
PLL イネーブル、f_{VCO} = 9830.4MHz、2TXOUT で測定

図 4-614. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz、5MHz オフセット)



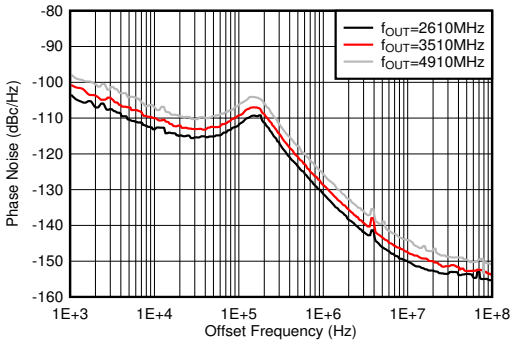
PLL イネーブル、f_{VCO} = 9830.4MHz、2TXOUT で測定

図 4-615. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz、50MHz オフセット)



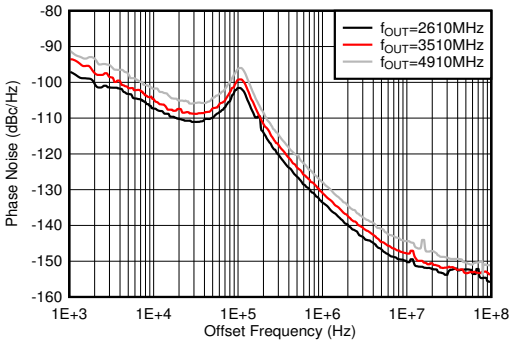
PLL イネーブル、f_{VCO} = 8847.36MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

図 4-616. 9GHz VCO の位相ノイズとオフセット周波数との関係 (各種温度、f_{OUT} = 1910MHz)



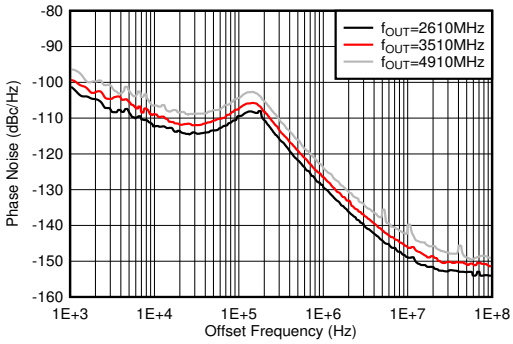
PLL イネーブル、f_{VCO} = 8847.36MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

図 4-617. 9GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、25℃)



PLL イネーブル、f_{VCO} = 8847.36MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

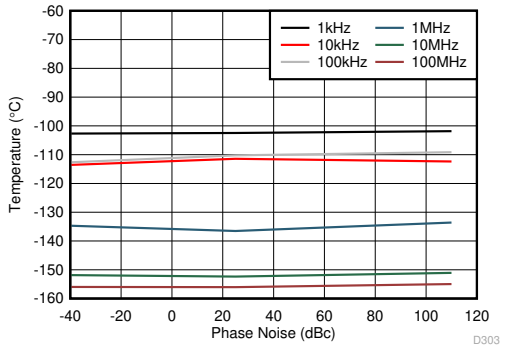
図 4-618. 9GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、-40℃)



PLL イネーブル、f_{VCO} = 8847.36MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

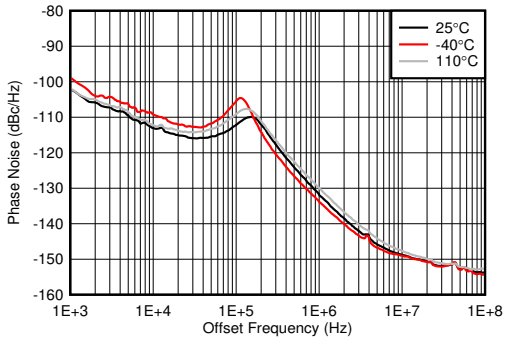
図 4-619. 9GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、110℃)

Copyright © 2025 Texas Instruments Incorporated



PLL イネーブル、f_{VCO} = 8847.36MHz、f_{REF} = 491.52MSPS、最小 LPF BW、2TXOUT で測定

図 4-620. 9GHz VCO の位相ノイズと温度との関係 (各種オフセット周波数、f_{OUT} = 2.6GHz)



PLL イネーブル、f_{VCO} = 7864.32MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

図 4-621. 8GHz VCO の位相ノイズとオフセット周波数との関係 (各種温度、f_{OUT} = 1910MHz)

5 デバイスおよびドキュメントのサポート

5.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

5.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

5.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

5.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

5.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

6 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from JUNE 5, 2023 to MAY 1, 2025 (from Revision B (June 2023) to Revision C (May 2025)) Page

- RX 入力の最大電力 RF ADC の電気的特性から「絶対最大定格」に移動 4

Changes from JULY 14, 2022 to JUNE 5, 2023 (from Revision A (July 2022) to Revision B (June 2023)) Page

- 「製品情報」を「パッケージ情報」表に変更 1
- I_{IH} と I_{IL} の単位を µA に変更 24
- TX 代表的特性と仕様ヘッダーから TX クロック ディザー イネーブルを削除 75
- セクション 4.12.14 内で 1st ナイキスト ゾーン出力を 2nd ナイキスト ゾーン出力に変更 145

Changes from MARCH 1, 2022 to JULY 14, 2022 (from Revision * (March 2022) to Revision A (July 2022)) Page

- DSA および NCO の特長から FB を削除 1

Copyright © 2025 Texas Instruments Incorporated

- ADC サンプル レート分周器 22
- 2.6~1.8GHz 整合ありを変更 50
- 条件とディザー プロットから Dither =1 を削除 75
- ディザ = 1 を条件から削除 89
- ディザ = 1 を条件から削除 102
- 条件から Dither = 1 を削除 107
- 0TX を 1TX に置き換え 122
- ディザ = 1 を条件とディザ プロットから削除 122
- ディザ = 1 を条件から削除 134
- 条件から Dither = 1 を削除 145

7 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AFE7903IABJ	Active	Production	FCBGA (ABJ) | 400	90 | JEDEC TRAY (5+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 85	AFE7903I
AFE7903IALK	Active	Production	FCBGA (ALK) | 400	90 | JEDEC TRAY (5+1)	No	SNPB	Level-3-220C-168 HR	-40 to 85	AFE7903 SNPB

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

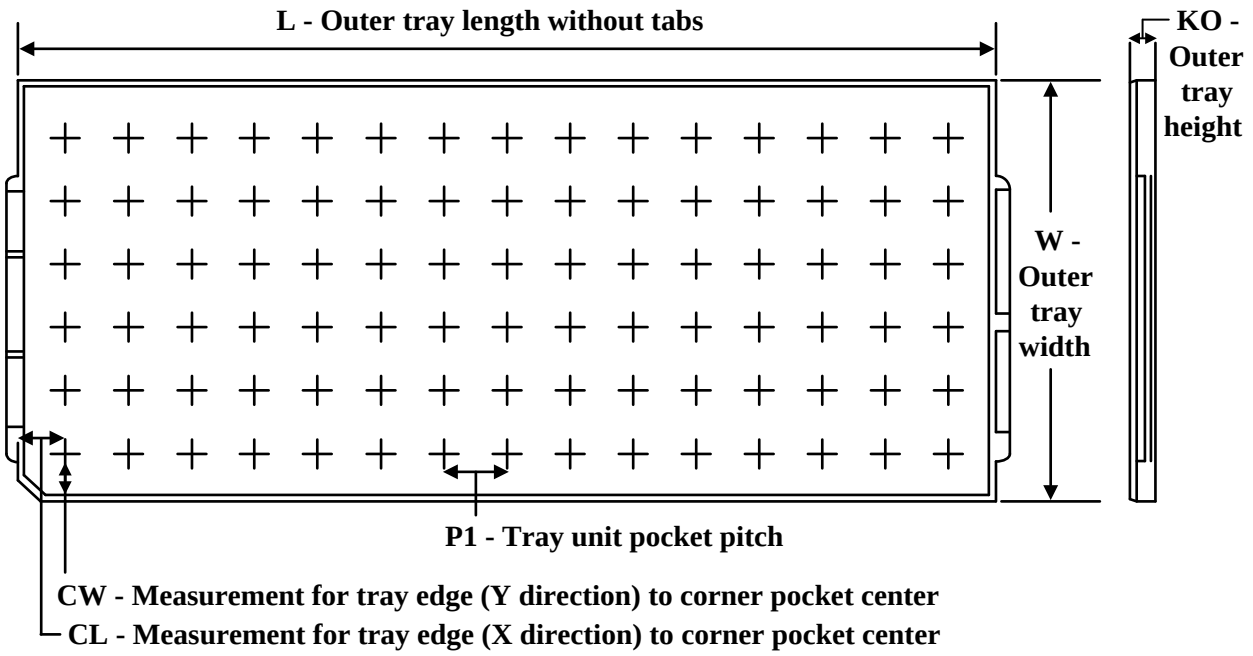
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

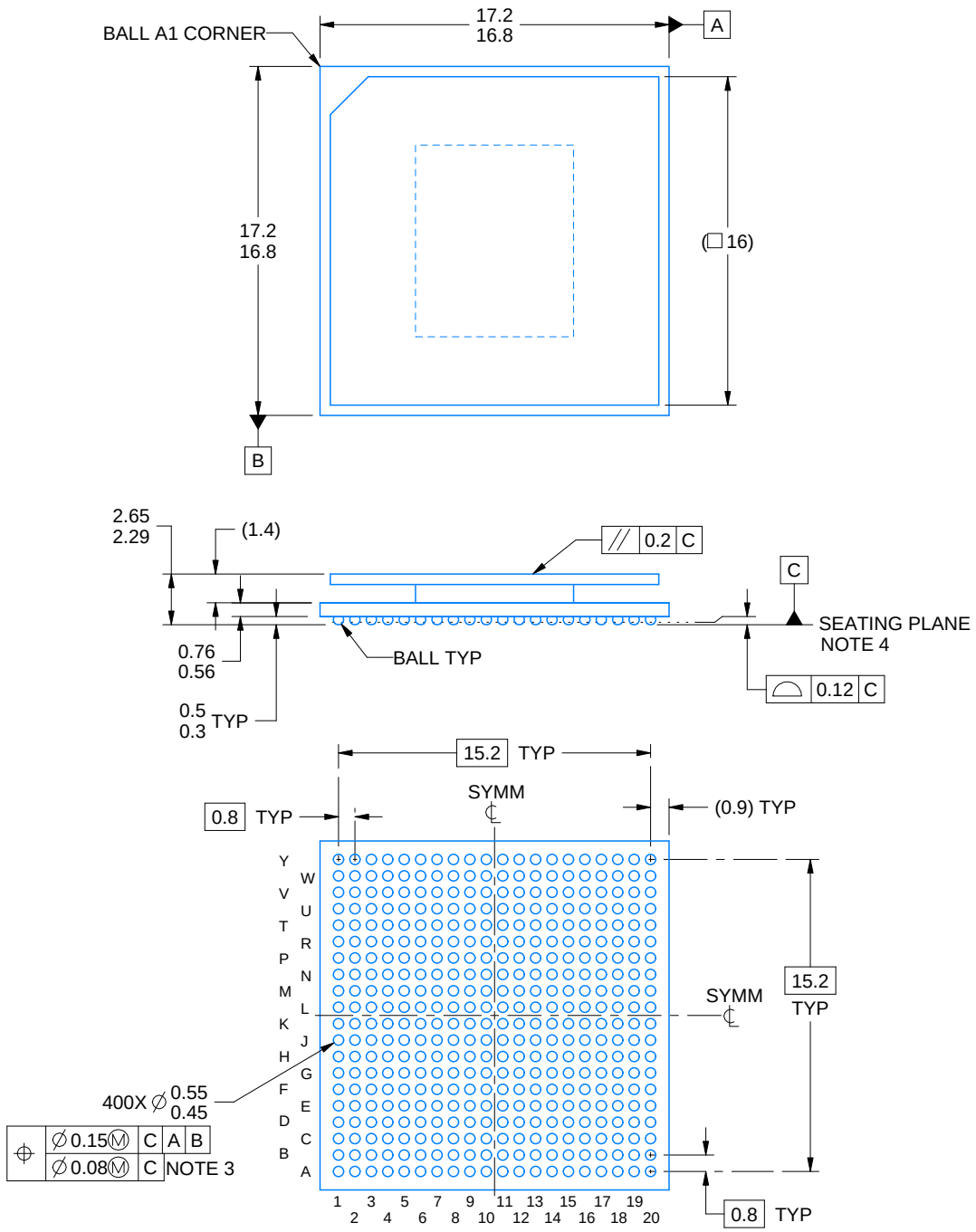
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
AFE7903IABJ	ABJ	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
AFE7903IABJ	ABJ	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
AFE7903IALK	ALK	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
AFE7903IALK	ALK	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2

ALK0400A

PACKAGE OUTLINE

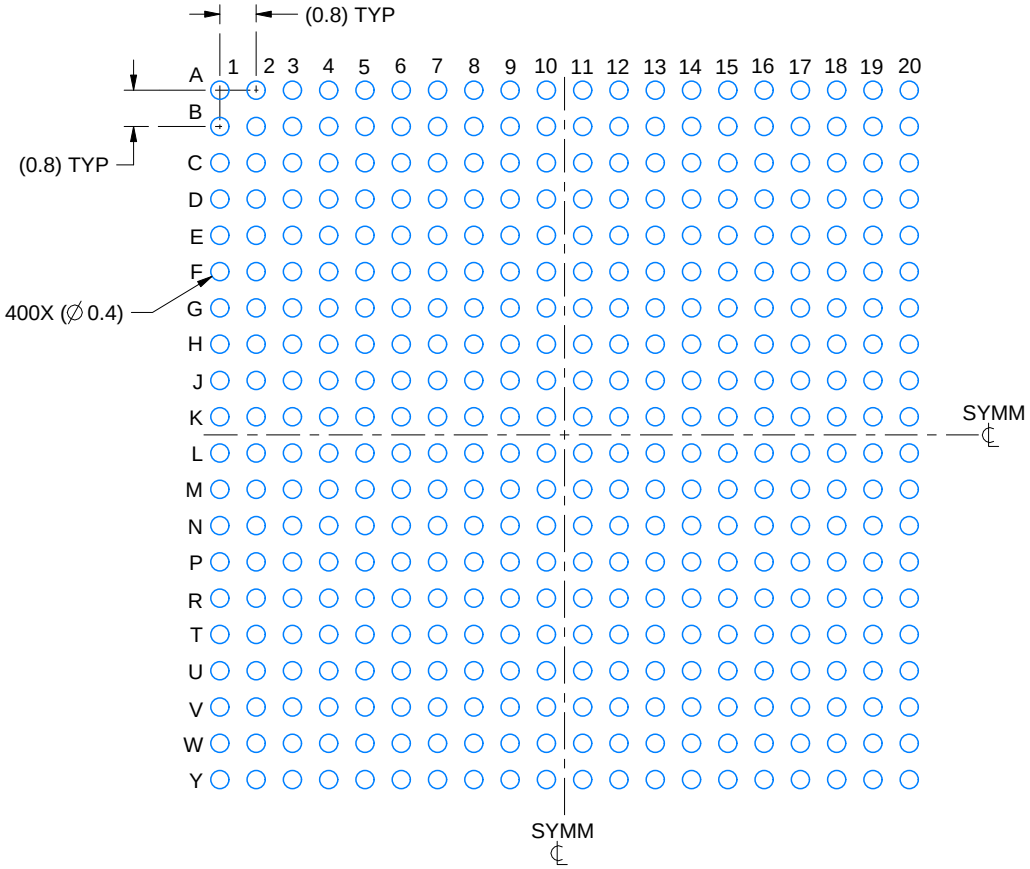
FCBGA - 2.65 mm max height

BALL GRID ARRAY

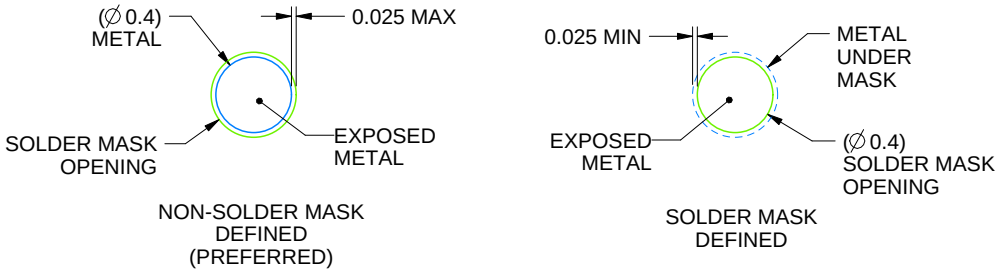


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Dimension is measured at the maximum solder ball diameter, parallel to primary datum C.
4. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.
5. Pb-Free die bump and SnPb solder ball.
6. The lids are electrically floating (e.g. not tied to GND).



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

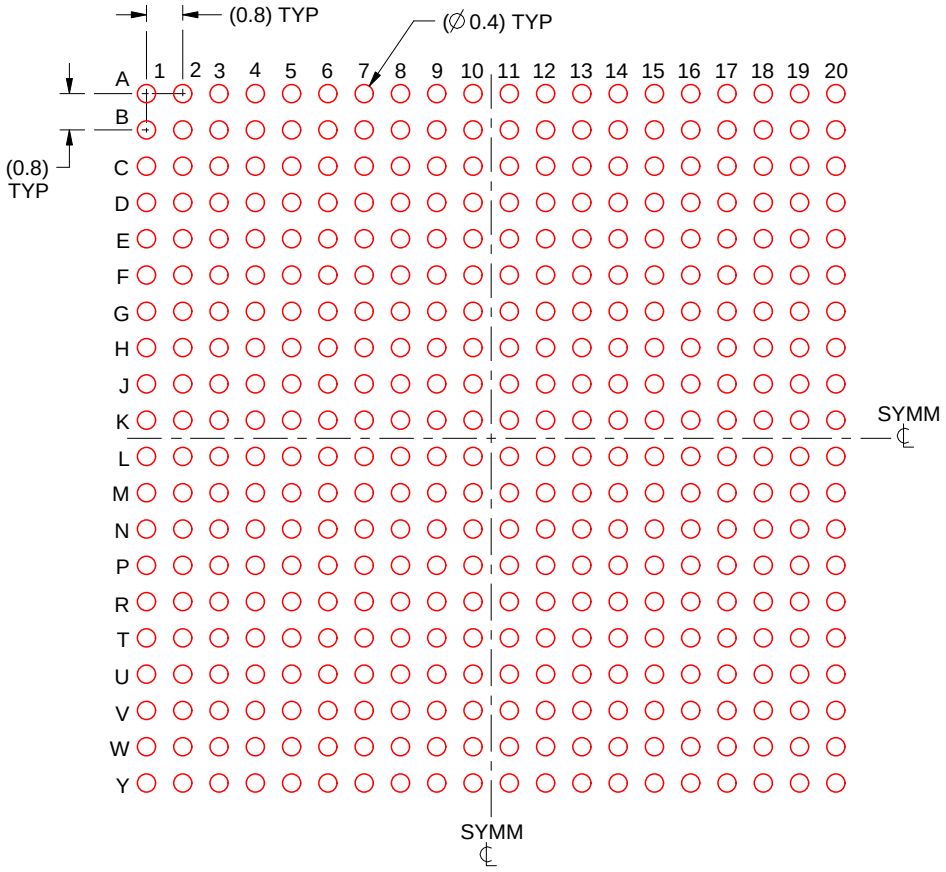


SOLDER MASK DETAILS
NOT TO SCALE

4225930/C 03/2023

NOTES: (continued)

7. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE:6X

4225930/C 03/2023

NOTES: (continued)

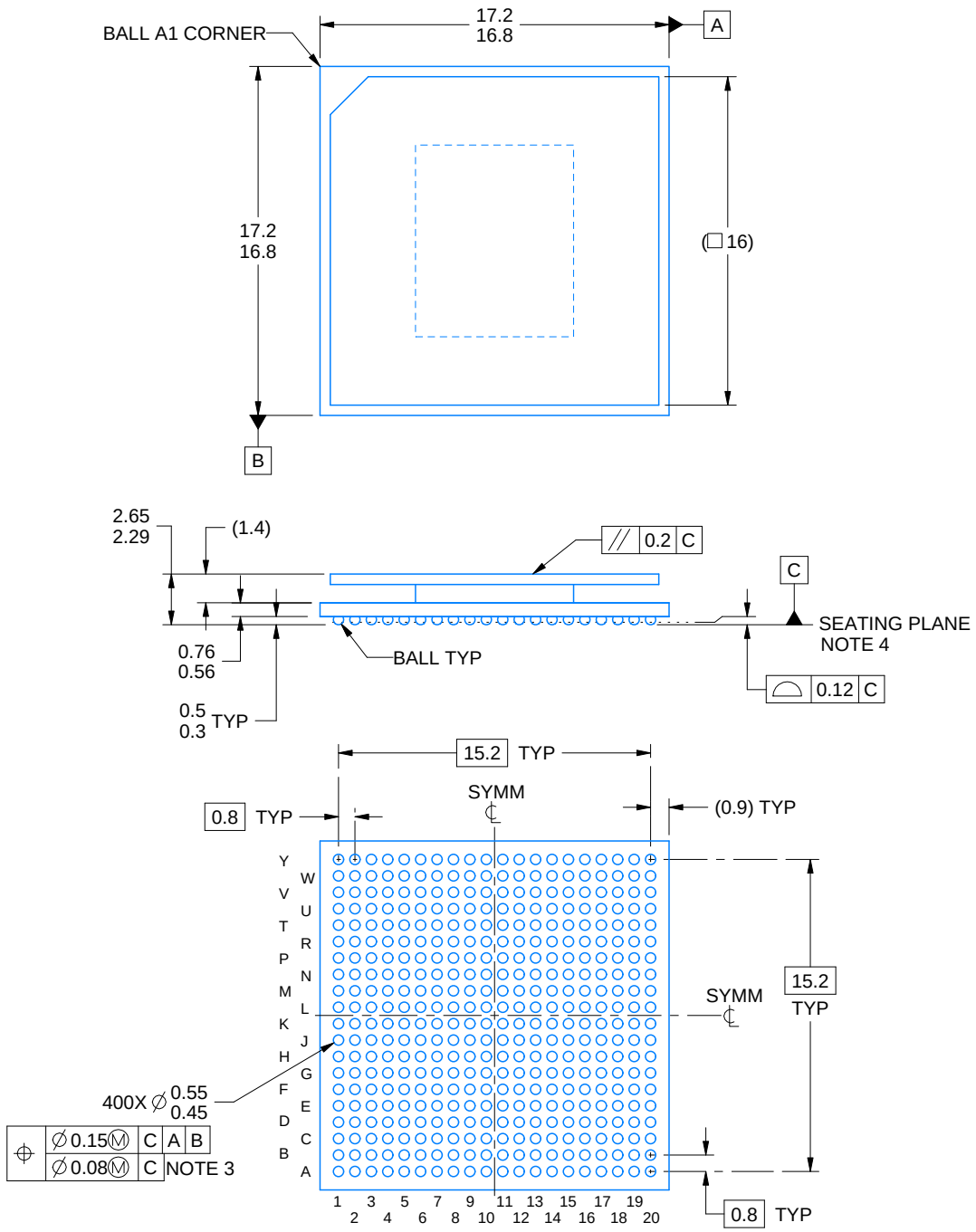
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PACKAGE OUTLINE

ABJ0400A

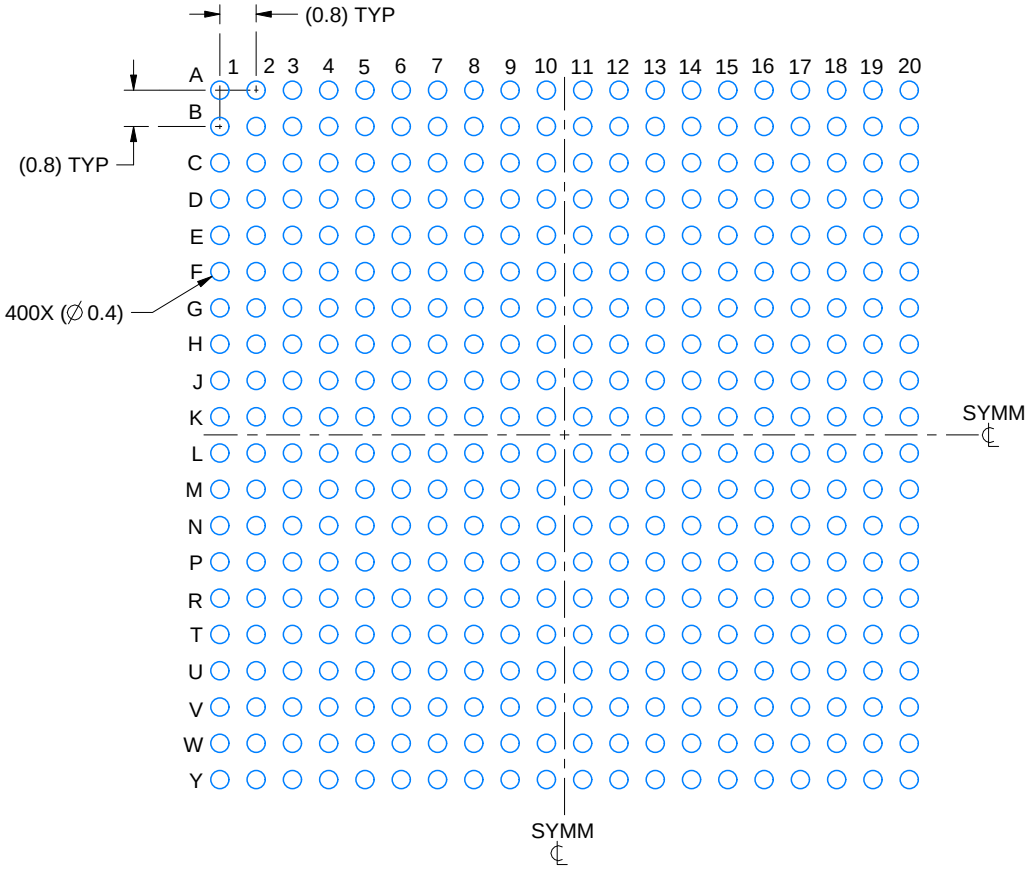
FCBGA - 2.65 mm max height

BALL GRID ARRAY

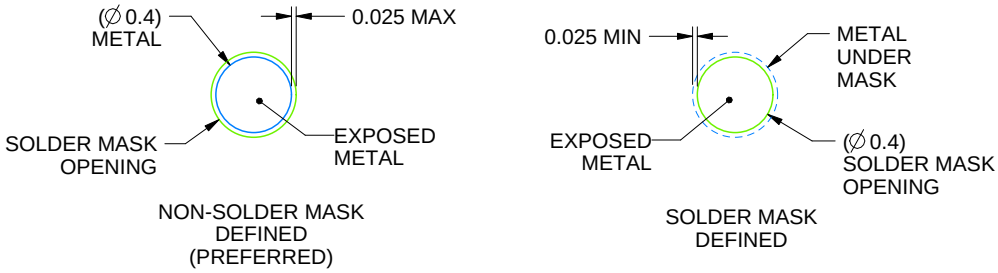


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Dimension is measured at the maximum solder ball diameter, parallel to primary datum C.
4. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.
5. The lids are electrically floating (e.g. not tied to GND).



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

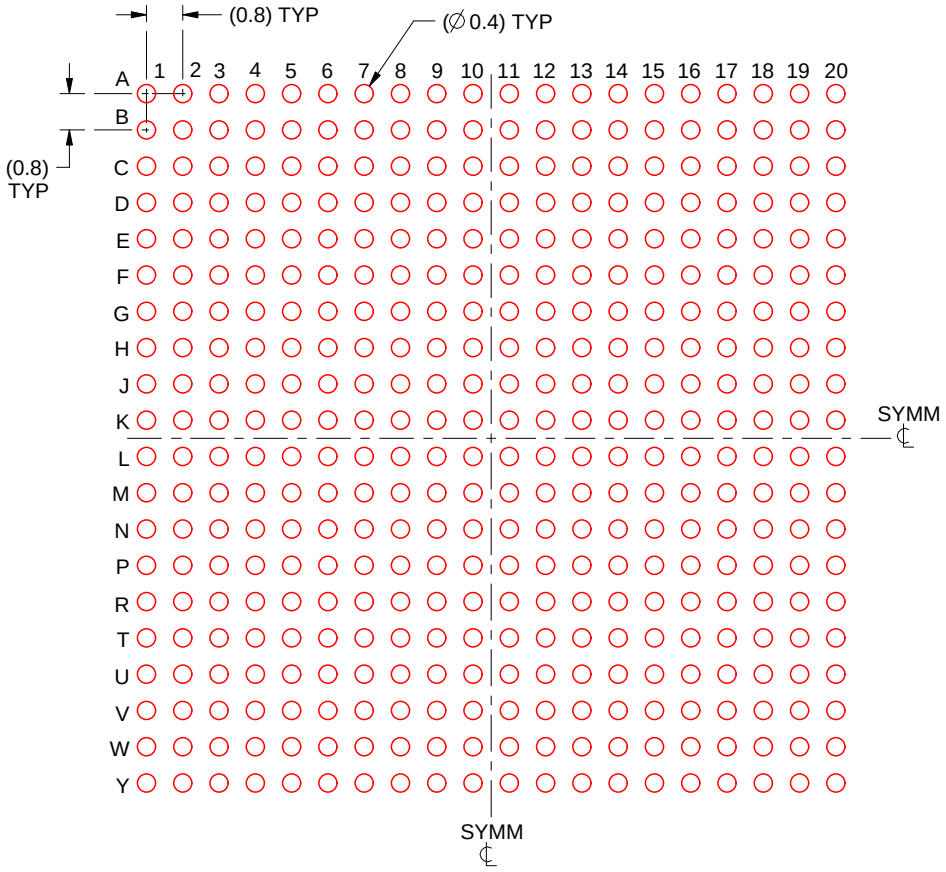


SOLDER MASK DETAILS
NOT TO SCALE

4221311/D 03/2023

NOTES: (continued)

6. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE:6X

4221311/D 03/2023

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月