TEXAS INSTRUMENTS
AFE7906
JAJSMT3D – JANUARY 2022 – REVISED MAY 2025

AFE790 6 チャネル、5MHz ～ 12GHz RF サンプリング レシーバ、3GSPS ADC 付き

1 特長

- データシート全体のご請求
- 6 個の RF サンプリング、14 ビット、3GSPS の ADC
- 最大 RF 信号帯域幅:
  - 4 つの ADC:ADC ごとに 1200MHz
  - 6 つの ADC:ADC ごとに 600MHz
- RF 周波数範囲:5MHz～12GHz
- デジタル ステップ アッテネータ (DSA):25dB レンジ、0.5dB ステップ
- シングル DDC (6 チャネルの場合) またはデュアルバンド DDC (4 チャネルの場合)
- DDC チャネルごとに 16 個の NCO
- ADC クロック用の内部 PLL / VCO、または ADC サンプル レートでの外部クロックを選択可能
- Sysref アライメント検出器
- SerDes データ インターフェイス:
  - JESD204B、JESD204C 適合
  - 8 つの SerDes トランスミッタ (最大 29.5Gbps)
  - サブクラス 1 のマルチデバイス同期
- パッケージ:17mm × 17mm FCBGA、0.8mm ピッチ

2 アプリケーション

- レーダー
- 追尾フロント・エンド
- 防衛無線
- ワイヤレス通信テスト

3 説明

AFE7906 は、高性能、広帯域幅のマルチチャネル レシーバで、6 つの RF サンプリング ADC を内蔵しています。このデバイスは、最大 12GHz で動作するため、追加の周波数変換段を必要とせず、L、S、C、X バンドの周波数範囲について直接 RF サンプリングが可能です。この密度と柔軟性の向上により、多くのチャネル数を持つマルチミッション システムが可能になります。

各レシーバ チェーンは、3GSPS の ADC (A/D コンバータ) に接続された 25dB レンジの DSA (デジタル ステップ アッテネータ) を備えています。4 つのレシーバ チャネルは、外部または内部の自律的な AGC (自動ゲイン制御) を補助するためのアナログ ピーク電力検出器とさまざまなデジタル電力検出器、およびデバイスの信頼性を確保するための RF 過負荷検出器を備えています。柔軟なデシメーション オプションによりデータ帯域幅を 4 つの RX では最高 1200MHz、または 600MHz で最適化できます。

SYSREF タイミング検出器を搭載しているため、デバイス クロックを基準とした SYSREF 入力タイミングの最適化が可能です。

各レシーバ チェーンは、3GSPS の ADC (A/D コンバータ) に接続された 25dB レンジの DSA (デジタル ステップ アッテネータ) を備えています。各レシーバ チャネルは、外部または内部の自律的な AGC (自動ゲイン制御) を補助するためのアナログ ピーク電力検出器とさまざまなデジタル電力検出器、およびデバイスの信頼性を確保するための RF 過負荷検出器を備えています。柔軟なデシメーション オプションによりデータ帯域幅を最適化でき、FB パスなしの 4 つの RX では最高 1200MHz、2 つの FB パス付き (それぞれ 1200MHz の帯域幅) では最高 600MHz が得られます。

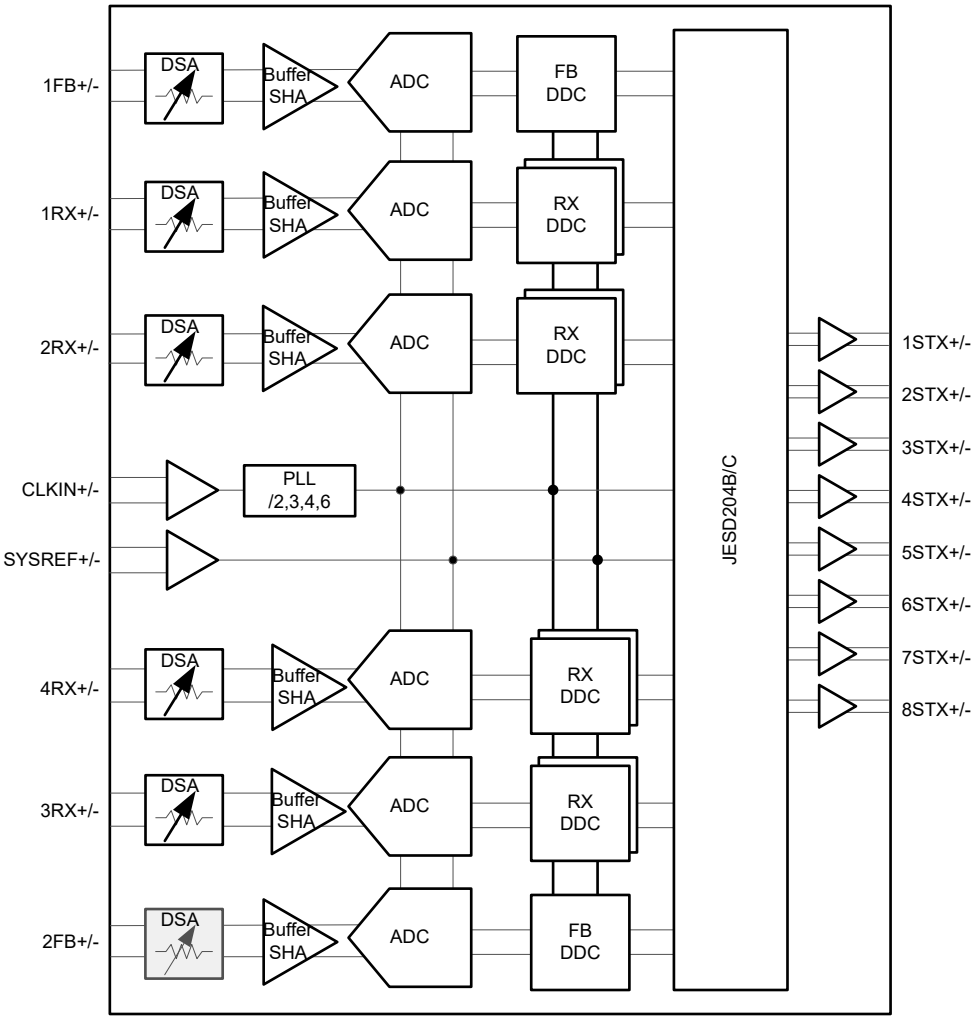
SYSREF タイミング検出器を搭載しているため、デバイス クロックを基準とした SYSREF 入力タイミングの最適化が可能です。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
AFE7906	FC-BGA	17mm × 17mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



機能ブロック図

Copyright © 2025 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 仕様.....4
4.1 絶対最大定格.....4
4.2 ESD 定格.....4
4.3 推奨動作条件.....5
4.4 熱に関する情報.....5
4.5 RF ADC の電気的特性.....6
4.6 PLL / VCO / クロックの電気的特性.....13
4.7 デジタルの電気的特性.....15
4.8 電源の電気的特性.....16
4.9 タイミング要件.....18
4.10 スイッチング特性.....19
4.11 代表的特性.....20
5 デバイスおよびドキュメントのサポート.....70
5.1 ドキュメントの更新通知を受け取る方法.....70
5.2 サポート・リソース.....70
5.3 商標.....70
5.4 静電気放電に関する注意事項.....70
5.5 用語集.....70
6 改訂履歴.....70
7 メカニカル、パッケージ、および注文情報.....71

Copyright © 2025 Texas Instruments Incorporated

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電源電圧範囲	DVDD0P9、VDDT0P9	-0.3	1.2	V
	VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2PLL、VDD1P2PLLCLKREF、VDD1P2FB、VDD1P2FBCML、VDD1P2RXCML	-0.3	1.4	V
	VDD1P8RX、VDD1P8RXCLK、VDD1P8TX、VDD1P8TXDAC、VDD1P8TXENC、VDD1P8PLL、VDD1P8PLLVCO、VDD1P8FB、VDD1P8FBCLK、VDD1P8GPIO、VDDA1P8	-0.5	2.1	V
ピン電圧範囲	{1/2/3/4}RXIN+/-	-0.5	VDDRX1P8+0.3	V
	1FBIN+/-、2FB+/-	-0.5	VDDFB1P8+0.3	V
	REFCLK+/-、SYSREF+/-	-0.3	1.4	V
	{1:8}STX+/-	-0.3	1.4	V
	GPIO{B/C/D/E}x、SPICLK、SPISDIO、SPISDO、SPISEN、RESETZ、BISTB0、BISTB1	-0.5	VDD1P8GPIO + 0.3	V
	IFORCE、VSENSE	-0.3	VDDCLK1P8 + 0.3	V
	SRDAMUX1、SRDAMUX2	-0.3	VDDA1P8+0.3	V
P_{MAX}(xRXIN+/-)	f_{IN} = 5MHz、DSA = 20dB		19.7	dBm
	f_{IN} = 30MHz、DSA = 20dB		17.8	
	f_{IN} = 410MHz、DSA = 20dB		17.6	
	f_{IN} = 830MHz、DSA = 20dB		16.7	
	f_{IN} = 1760MHz、DSA = 20dB		17.0	
	f_{IN} = 2610MHz、DSA = 20dB		18	
	f_{IN} = 3610MHz、DSA = 20dB		18.5	
	f_{IN} = 4910MHz、DSA = 20dB		19.3	
	f_{IN} = 8150MHz、DSA = 20dB		21.3	
	f_{IN} = 9610MHz、DSA = 20dB		23.5	
ピーク入力電流	任意の入力		20	mA
T_J	接合部温度		150	℃
T_{stg}	保存温度	-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、推奨動作条件に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

4.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	1000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン(2)	150	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。必要な予防措置をとれば、CDM の ESD 耐圧が 250V 未満でも製造可能です。

Copyright © 2025 Texas Instruments Incorporated

4.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
DVDD0P9、VDDT0P9	電源電圧 0.9V	0.9	0.925	0.95	V
VDD1P2{RX/TXCLK/TXENC/FB/PLL/PLLCLKREF/FBCML/RXCML}	電源電圧 1.2V	1.15	1.2	1.25	V
VDD1P8{RX/RXCLK/TX/TXDAC/TXENC/PLL/PLLVCO/FB/FBCLK/GPIO}、VDDA1P8	電源電圧 1.8V	1.75	1.8	1.85	V
T_A	周囲温度	-40		85	℃
T_J	動作時の接合部温度			110(1)	℃
	最大動作接合部温度	125			℃

(1) この接合部温度以上で長時間使用すると、デバイスの時間あたりの故障回数 (FIT) レートが上昇する可能性があります。詳細については、SBAA403 アプリケーション ノートを参照してください

4.4 熱に関する情報

熱評価基準(1)		AFE7906 FC-BGA 400 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	16.2	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	0.42	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	4.85	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.12	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	4.6	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

4.5 RF ADC の電気的特性

T_A = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃ ～ $T_{J,MAX}$ = +110℃、RX 出力レート = 491.52MSPS (入力周波数 6GHz 未満) および 1500MSPS (入力周波数 6GHz 超)、f_{ADC} = 2949.12MSPS、PLL クロック モードは f_{REF} = 491.52MHz (入力周波数 6GHz 未満)、外部クロック モードは f_{CLK} = 2949.12MHz (入力周波数 6GHz 超)、公称電源、DSA 設定 = 3dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
ADC_{RES}	ADC の分解能			14		ビット
F_{RFin}	RF 入力周波数範囲		5		12000	MHz
$P_{FS_CW,min}$	デバイス ピンでの最小フルスケール入力電力 (1)	f_{IN} = 5MHz、DSA = 0dB、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		-0.4		dBm
		f_{IN} = 30MHz、DSA = 0dB、f_{ADC} = 1500MSPS、f_{NCO} = 30 MHz、24 でデシメーション		-2.2		
		f_{IN} = 410MHz、DSA = 0dB、f_{ADC} = 3000MSPS、f_{NCO} = 400MHz、12 でデシメーション		-2.5		
		f_{IN} = 830MHz、DSA = 0dB		-2.9		
		f_{IN} = 1760MHz、DSA = 0dB		-2.8		
		f_{IN} = 2610MHz、DSA = 0dB		-1.8		
		f_{IN} = 3610MHz、DSA = 0dB		-0.4		
		f_{IN} = 4910MHz、DSA = 0dB		0.1		
		f_{IN} = 8150MHz、DSA = 0dB		2.1		
		f_{IN} = 9610MHz、DSA = 0dB		4.3		
R_{TERM}	入力リファレンス インピーダンス			100.0		Ω
ATT_{range}	DSA 減衰範囲			25.0		dB
ATT_{step}	DSA 減衰ステップ			0.5		dB
	DSA 減衰ステップ精度	デルタ = Gatt(X) - Gatt(X - 1)、F_{in} = 3610MHz、キャリブレーション後		0.1		
	DSA ゲイン ステップ位相精度 任意の 8dB レンジ	F_{in} = 3610MHz、キャリブレーション後		0.9		度
	DSA ゲイン ステップ位相精度 任意の 8dB レンジ	F_{in} = 4910MHz、キャリブレーション後		1.8		
G_{flat}	ゲイン平坦性	80MHz 帯域幅で測定		0.2		dB
		200MHz 帯域幅で測定		0.5		
		400MHz 帯域幅で測定		1.1		

Copyright © 2025 Texas Instruments Incorporated

4.5 RF ADC の電気的特性 (続き)

T_A = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃ ～ $T_{J,MAX}$ = +110℃、RX 出力レート = 491.52MSPS (入力周波数 6GHz 未満) および 1500MSPS (入力周波数 6GHz 超)、f_{ADC} = 2949.12MSPS、PLL クロック モードは f_{REF} = 491.52MHz (入力周波数 6GHz 未満)、外部クロック モードは f_{CLK} = 2949.12MHz (入力周波数 6GHz 超)、公称電源、DSA 設定 = 3dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NSD	ノイズ密度 (小信号 = -30dBFS)	f_{IN} = 5MHz、DSA = 3dB、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		-147.1		dBFS/Hz
		f_{IN} = 30MHz、DSA = 3dB、f_{ADC} = 1500MSPS、f_{NCO} = 30MHz、24 でデシメーション		-150.7		
		f_{IN} = 410MHz、DSA = 3dB、f_{ADC} = 3000MSPS、f_{NCO} = 400MHz、24 でデシメーション		-155.4		
		f_{IN} = 830MHz、DSA = 3dB (3)		-156.2		
		f_{IN} = 1760MHz、DSA = 3dB (3)		-156.0		
		f_{IN} = 2610MHz、DSA = 3dB (3)		-155.4		
		f_{IN} = 3610MHz、DSA = 3dB (3)		-155.1		
		f_{IN} = 4910MHz、DSA = 3dB (3)		-155.1		
		f_{IN} = 8110MHz、DSA = 3dB (3)		-152		
		f_{IN} = 9610MHz、DSA = 3dB (3)		-151		
		f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション、3 <= 減衰 <= 22		-147.8		
		f_{IN} = 30MHz、f_{ADC} = 1500MSPS、f_{NCO} = 30MHz、24 でデシメーション、3 <=減衰 <=22		-151.5		
		f_{IN} = 410MHz、3 <= 減衰 <= 22、f_{ADC} = 3000MSPS、f_{NCO} = 400MHz、24 でデシメーション		-156.6		
		f_{IN} = 830MHz、3≦減衰≦22		-156.0		
		f_{IN} = 1760MHz、3≦減衰≦25		-155.8		
		f_{IN} = 2610MHz、3≦減衰≦25		-155.7		
		f_{IN} = 3610MHz、3≦減衰≦25		-155.4		
		f_{IN} = 4910MHz、3≦減衰≦25		-155.8		
		f_{IN} = 8150MHz、3≦減衰≦25		-152.5		
		f_{IN} = 9610MHz、3≦減衰≦25		-152.5		

Copyright © 2025 Texas Instruments Incorporated

4.5 RF ADC の電気的特性 (続き)

T_A = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃ ～ $T_{J,MAX}$ = +110℃、RX 出力レート = 491.52MSPS (入力周波数 6GHz 未満) および 1500MSPS (入力周波数 6GHz 超)、f_{ADC} = 2949.12MSPS、PLL クロック モードは f_{REF} = 491.52MHz (入力周波数 6GHz 未満)、外部クロック モードは f_{CLK} = 2949.12MHz (入力周波数 6GHz 超)、公称電源、DSA 設定 = 3dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NF_{min}	ノイズ指数最小値 DSA 減衰 = 0～3dB	f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		29.4		dB
		f_{IN} = 30MHz、f_{ADC} = 1500MSPS、f_{NCO} = 30MHz、24 でデシメーション		24.5		
		f_{IN} = 410MHz、f_{ADC} = 3000 MSPS、f_{NCO} = 400MHz、24 でデシメーション		19.3		
		f_{IN} = 830MHz		19.1		
		f_{IN} = 1760MHz		19.0		
		f_{IN} = 2610MHz		20.9		
		f_{IN} = 3610MHz		22.8		
		f_{IN} = 4910MHz		22.4		
		f_{IN} = 8150MHz		27.3		
		f_{IN} = 9610MHz		30		
NF	ノイズ指数(4) DSA 減衰 = 4dB	f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		30.6		dB
		f_{IN} = 30MHz、f_{ADC} = 1500MSPS、f_{NCO} = 30MHz、24 でデシメーション		25.1		
		f_{IN} = 410MHz、f_{ADC} = 3000 MSPS、f_{NCO} = 400MHz、24 でデシメーション		20.1		
		f_{IN} = 830MHz		20.0		
		f_{IN} = 1760MHz		20.6		
		f_{IN} = 2610MHz		21.9		
		f_{IN} = 3610MHz		23.5		
		f_{IN} = 4910MHz		22.3		
		f_{IN} = 8150MHz		27.9		
		f_{IN} = 9610MHz		30.7		
NF_{max}	ノイズ指数(4) DSA 減衰 = 20dB	f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		45.9		dB
		f_{IN} = 30MHz、f_{ADC} = 1500MSPS、f_{NCO} = 30MHz、24 でデシメーション		40.2		
		f_{IN} = 410MHz、f_{ADC} = 3000 MSPS、f_{NCO} = 400MHz、24 でデシメーション		35.0		
		f_{IN} = 830MHz		34.7		
		f_{IN} = 1760MHz		35.2		
		f_{IN} = 2610MHz		36.0		
		f_{IN} = 3610MHz		37.3		
		f_{IN} = 4910MHz		37.6		
		f_{IN} = 8150MHz		42.8		
		f_{IN} = 9610MHz		45		

Copyright © 2025 Texas Instruments Incorporated

4.5 RF ADC の電気的特性 (続き)

T_A = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃ ～ $T_{J,MAX}$ = +110℃、RX 出力レート = 491.52MSPS (入力周波数 6GHz 未満) および 1500MSPS (入力周波数 6GHz 超)、f_{ADC} = 2949.12MSPS、PLL クロック モードは f_{REF} = 491.52MHz (入力周波数 6GHz 未満)、外部クロック モードは f_{CLK} = 2949.12MHz (入力周波数 6GHz 超)、公称電源、DSA 設定 = 3dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
IMD3	3 次相互変調、f_{IN} ± 10MHz で 2 トーン 各トーン -7dBFS	f_{IN} = 30±1MHz、f_{ADC} = 1500MSPS、f_{NCO} = 30MHz、24 でデシメーション		-82		dBc
		f_{IN} = 400MHz および 405MHz、f_{ADC} = 3000MSPS、f_{NCO} = 400MHz、24 でデシメーション		-75		
		f_{IN} = 840MHz、3≦減衰≦12		-82		
		f_{IN} = 1770MHz、3≦減衰≦12		-84		
		f_{IN} = 2610MHz、3≦減衰≦12		-74		
		f_{IN} = 3610MHz、3≦減衰≦12		-77		
		f_{IN} = 4920MHz、3≦減衰≦12		-76		
		f_{IN} = 8150MHz、3≦減衰≦12、25MHz のトーン間隔		-59		
		f_{IN} = 9610MHz、3≦減衰≦12、25MHz のトーン間隔		-60		
SFDR	スプリアス フリー ダイナミック レンジ 出力帯域幅内、A_{IN} = -3dBFS	f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		78		dBFS
		f_{IN} = 30MHz、f_{ADC} = 1500MSPS、f_{NCO} = 30MHz、24 でデシメーション		100		
		f_{IN} = 410MHz、f_{ADC} = 3000MSPS、f_{NCO} = 400MHz、24 でデシメーション		94		
		f_{IN} = 830MHz		88		
		f_{IN} = 1760MHz		81		
		f_{IN} = 2610MHz		88		
		f_{IN} = 3610MHz		84		
		f_{IN} = 4910MHz		79		
		f_{IN} = 8150MHz		78		
		f_{IN} = 9610MHz		71		
HD2	2 次高調波歪み A_{IN} = -3dBFS(2)	f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		-84		dBFS
		f_{IN} = 30MHz、f_{ADC} = 1500MSPS、バイパス モード (TI 専用テスト モード)		-91		
		f_{IN} = 410MHz、f_{ADC} = 3000MSPS、バイパス モード (TI 専用テスト モード)		-90		
		f_{IN} = 830MHz		-86		
		f_{IN} = 1760MHz		-90		
		f_{IN} = 2610MHz		-88		
		f_{IN} = 3610MHz		-87		
		f_{IN} = 4910MHz		-84		
		f_{IN} = 8150MHz		-70		
		f_{IN} = 9610MHz		-70		

Copyright © 2025 Texas Instruments Incorporated

4.5 RF ADC の電気的特性 (続き)

T_A = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃ ～ $T_{J,MAX}$ = +110℃、RX 出力レート = 491.52MSPS (入力周波数 6GHz 未満) および 1500MSPS (入力周波数 6GHz 超)、f_{ADC} = 2949.12MSPS、PLL クロック モードは f_{REF} = 491.52MHz (入力周波数 6GHz 未満)、外部クロック モードは f_{CLK} = 2949.12MHz (入力周波数 6GHz 超)、公称電源、DSA 設定 = 3dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
HD3	3 次高調波歪み A_{IN} = -3dBFS	f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		-78		dBFS
		f_{IN} = 30MHz、f_{ADC} = 1500MSPS、バイパス モード (TI 専用テスト モード)		-96		
		f_{IN} = 410MHz、f_{ADC} = 3000MSPS、バイパス モード (TI 専用テスト モード)		-94		
		f_{IN} = 830MHz		-80		
		f_{IN} = 1760MHz		-85		
		f_{IN} = 2610MHz		-86		
		f_{IN} = 3610MHz		-78		
		f_{IN} = 4910MHz		-75		
		f_{IN} = 8150MHz		-70		
		f_{IN} = 9610MHz		-70		
HDn、n > 3	HD2 と HD3 を除く SFDR A_{IN} = -3dBFS	f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		-94		dBFS
		f_{IN} = 30MHz、f_{ADC} = 1500MSPS、f_{NCO} = 30MHz、24 でデシメーション		-94		
		f_{IN} = 410MHz、f_{ADC} = 3000MSPS、f_{NCO} = 400MHz、24 でデシメーション		-94		
		f_{IN} = 830MHz		-88		
		f_{IN} = 1760MHz		-81		
		f_{IN} = 2610MHz		-88		
		f_{IN} = 3610MHz		-84		
		f_{IN} = 4910MHz		-82		
		f_{IN} = 8150MHz		-78		
		f_{IN} = 9610MHz		-71		
SFDR	スプリアス フリー ダイナミック レンジ A_{IN} = -13 dBFS	f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		101		dBFS
		f_{IN} = 30MHz、f_{ADC} = 1500MSPS、f_{NCO} = 30MHz、24 でデシメーション		105		
		f_{IN} = 410MHz、f_{ADC} = 3000MSPS、f_{NCO} = 400MHz、24 でデシメーション		95		
		f_{IN} = 830MHz		89		
		f_{IN} = 1760MHz		89		
		f_{IN} = 2610MHz		95		
		f_{IN} = 3610MHz		87		
		f_{IN} = 4910MHz		90		
		f_{IN} = 8150MHz		83		
		f_{IN} = 9610MHz		80		

Copyright © 2025 Texas Instruments Incorporated

4.5 RF ADC の電気的特性 (続き)

T_A = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃ ～ $T_{J,MAX}$ = +110℃、RX 出力レート = 491.52MSPS (入力周波数 6GHz 未満) および 1500MSPS (入力周波数 6GHz 超)、f_{ADC} = 2949.12MSPS、PLL クロック モードは f_{REF} = 491.52MHz (入力周波数 6GHz 未満)、外部クロック モードは f_{CLK} = 2949.12MHz (入力周波数 6GHz 超)、公称電源、DSA 設定 = 3dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
HD2	2 次高調波歪み[2] A_{IN} = -13dBFS	f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		-104		dBFS
		f_{IN} = 30MHz、f_{ADC} = 1500MSPS、バイパス モード (TI 専用テスト モード)		-91		
		f_{IN} = 410MHz、f_{ADC} = 3000MSPS、バイパス モード (TI 専用テスト モード)		-104		
		f_{IN} = 830MHz、基板トリムを使用		-79		
		f_{IN} = 1760MHz、基板トリムを使用		-102		
		f_{IN} = 2610MHz、基板トリムを使用		-100		
		f_{IN} = 3610MHz、基板トリムを使用		-101		
		f_{IN} = 4910MHz、基板トリムを使用		-99		
		f_{IN} = 8150MHz、基板トリムを使用		-107		
		f_{IN} = 9610MHz、基板トリムを使用		-107		
HD3	3 次高調波歪み A_{IN} = -13dBFS	f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		-103		dBFS
		f_{IN} = 30MHz、f_{ADC} = 1500MSPS、バイパス モード (TI 専用テスト モード)		-84		
		f_{IN} = 381MHz、f_{ADC} = 3000MSPS、バイパス モード (TI 専用テスト モード)		-91		
		f_{IN} = 830MHz		-95		
		f_{IN} = 1760MHz		-95		
		f_{IN} = 2610MHz		-98		
		f_{IN} = 3610MHz		-97		
		f_{IN} = 4910MHz		-94		
		f_{IN} = 8150MHz		-100		
		f_{IN} = 9610MHz		-102		
HDn、n > 3	HD2 と HD3 を除く SFDR A_{IN} = -13dBFS	f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		-104		dBFS
		f_{IN} = 30MHz、f_{ADC} = 1500MSPS、f_{NCO} = 30MHz、24 でデシメーション		-105		
		f_{IN} = 410MHz、f_{ADC} = 3000MSPS、f_{NCO} = 400MHz、24 でデシメーション		-95		
		f_{IN} = 830MHz		-89		
		f_{IN} = 1760MHz		-89		
		f_{IN} = 2610MHz		-95		
		f_{IN} = 3610MHz		-90		
		f_{IN} = 4910MHz		-90		
		f_{IN} = 8150MHz		-83		
		f_{IN} = 9610MHz		-80		

Copyright © 2025 Texas Instruments Incorporated

4.5 RF ADC の電気的特性 (続き)

T_A = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃ ～ $T_{J,MAX}$ = +110℃、RX 出力レート = 491.52MSPS (入力周波数 6GHz 未満) および 1500MSPS (入力周波数 6GHz 超)、f_{ADC} = 2949.12MSPS、PLL クロック モードは f_{REF} = 491.52MHz (入力周波数 6GHz 未満)、外部クロック モードは f_{CLK} = 2949.12MHz (入力周波数 6GHz 超)、公称電源、DSA 設定 = 3dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
RX-RX/FB 絶縁	ニア チャネル: 1RXIN から 2RXIN 3RXIN から 4RXIN 1FBIN から 1RXIN 2FBIN から 3RXIN	f_{IN} = 5MHz、f_{ADC} = 1500MSPS、f_{NCO} = 17MHz、48 でデシメーション		-98		dB
		f_{IN} = 30MHz、f_{ADC} = 1500MSPS、f_{NCO} = 30MHz、24 でデシメーション		-98		
		f_{IN} = 400MHz		-88		
		f_{IN} = 830MHz		-77		
		f_{IN} = 1760MHz		-71		
		f_{IN} = 2610MHz		-74		
		f_{IN} = 3610MHz		-77		
		f_{IN} = 4910MHz		-65		
		f_{IN} = 8150MHz		-68		
		f_{IN} = 9610MHz		-68		

(1) DSA にデジタル ゲイン範囲を追加して DSA の有効範囲を拡張することで、最小減衰でのフルスケール入力を低減できます。デジタル ゲイン範囲全体にわたってノイズ指数は一定に保たれます。
(2) 特定のプリント基板で HD2 トリムを実施した後。
(3) DSA = 3dB～0dB まで、NSD は DSA 1dB あたり 1dB 上昇
(4) DSA = 3dB 超では、NF は DSA 1dB あたり 1dB 上昇

Copyright © 2025 Texas Instruments Incorporated

4.6 PLL / VCO / クロックの電気的特性

TA = +25℃ での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、リファレンス クロック入力周波数 491.52MHz (特に記述のない限り)、位相ノイズを f_{VCO} に正規化。

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{VCO1}	VCO1 の最小周波数				7.2	GHz
	VCO1 の最大周波数		7.68			GHz
f_{VCO2}	VCO2 の最小周波数				8.848	GHz
	VCO2 の最大周波数		9.216			GHz
f_{VCO3}	VCO3 の最小周波数				9.8304	GHz
	VCO3 の最大周波数		10.24			GHz
f_{VCO4}	VCO4 の最小周波数				11.7965	GHz
	VCO4 の最大周波数		12.288			GHz
DIV_{FBADC}	VCO レートからの ADC サンプル レート分周器			1、2、3、4、6、または 8		
DIV_{RXADC}	ADC サンプル レート分周器			1、2、3、4、6、または 8		
PN_{VCO}	閉ループ位相ノイズ (F_{PLL} = 11.79848GHz、F_{REF} = 491.52MHz)	600kHz		-113		dBc/Hz
		800kHz		-116		dBc/Hz
		1MHz		-119		dBc/Hz
		1.8MHz		-125		dBc/Hz
		5MHz		-133		dBc/Hz
		50MHz		-141		dBc/Hz
	閉ループ位相ノイズ (F_{PLL} = 8.84736GHz、F_{REF} = 491.52MHz)	600kHz		-114		dBc/Hz
		800kHz		-118		dBc/Hz
		1MHz		-120		dBc/Hz
		1.8MHz		-127		dBc/Hz
		5MHz		-135		dBc/Hz
		50MHz		-142		dBc/Hz
	閉ループ位相ノイズ (F_{PLL} = 9.8403GHz、F_{REF} = 491.52MHz)	600kHz		-113		dBc/Hz
		800kHz		-116		dBc/Hz
		1MHz		-119		dBc/Hz
		1.8MHz		-125		dBc/Hz
		5MHz		-134		dBc/Hz
		50MHz		-140		dBc/Hz
	閉ループ位相ノイズ (F_{PLL} = 7.86432GHz、F_{REF} = 491.52MHz)	600kHz		-116		dBc/Hz
		800kHz		-119		dBc/Hz
		1MHz		-122		dBc/Hz
		1.8MHz		-127		dBc/Hz
		5MHz		-136		dBc/Hz
		50MHz		-143		dBc/Hz
F_{rms}	クロック PLL 積分位相誤差 (1)	f_{PLL} = 11.79848GHz、[1kHz、100MHz]		-43.4		dBc/Hz
		f_{PLL} = 8.8536GHz、[1kHz、100MHz]		-47.6		dBc/Hz
		f_{PLL} = 9.8304GHz、[1kHz、100MHz]		-46.2		dBc/Hz
f_{PFD}	PFD 周波数		100		500	MHz

Copyright © 2025 Texas Instruments Incorporated

4.6 PLL / VCO / クロックの電気的特性 (続き)

TA = +25℃ での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、リファレンス クロック入力周波数 491.52MHz (特に記述のない限り)、位相ノイズを f_{VCO} に正規化。

パラメータ		テスト条件	最小値	標準値	最大値	単位
PN_{pll_flat}	正規化された PLL フラット ノイズ	f_{VCO} = 11796.48MHz		-226.5		dBc/Hz
F_{REF}	入力クロック周波数		0.1		12	GHz
V_{SS}	入力クロック レベル		0.6		1.8	Vppdiff
結合				AC 結合のみ		
	REFCLK 入力インピーダンス (2)	並列抵抗		100		Ω
		並列容量		0.5		pF

(1) シングル サイドバンド。リファレンス クロックの影響は含まれません
(2) インピーダンスと周波数との関係については、テキサス・インスツルメンツが提供している S11 データを参照してください

Copyright © 2025 Texas Instruments Incorporated

4.7 デジタルの電気的特性

TA = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
CML SerDes 出力 [8:1]STX+/-						
F_{SerDes}	SerDes ビット レート	フル レート モード	19		29.5	Gbps
		ハーフ レート モード	9.5		16.25	
		クォーター レート モード	4.75		8.125	
		1/8 レートモード	2.375		4.062	
		1/16 レートモード	1.1875		2.031	
TJ	総ジッタ許容				0.42	UI
V_{STDIFF}	SerDes トランスミッタ出力振幅	差動	500		1000	mVpp
V_{STCOM}	SerDes 出力コモン モード		0.4	0.45	0.55	V
Z_{STdiff}	SerDes 出力インピーダンス			100		Ω
TRF	出力の立ち上がりおよび立ち下がり時間	20～80%	8			ps
TTJ	出力の総ジッタ				0.21	UI
CMOS I/O:GPIO{B/C/D/E}x、SPICLK、SPISDIO、SPISDO、SPISEN、RESETZ、BISTB0、BISTB1						
V_{IH}	High レベル入力電圧		0.6×VDD1P8GPIO			V
V_{IL}	Low レベル入力電圧				0.4×VDD1P8GPIO	V
I_{IH}	High レベル入力電流		-250		250	µA
I_{IL}	Low レベル入力電流		-250		250	µA
C_L	CMOS 入力容量			2		pF
V_{OH}	High レベル出力電圧		VDD1P8GPIO–0.2			V
V_{OL}	Low レベル出力電圧				0.2	V
差動入力:SYSREF+/- モード A						
$F_{SYSREFMAX}$	SYSREF 入力周波数最大値			40		MHz
$V_{SWINGSRMAX}$	SYSREF 入力スイング最大値			1.8		Vppdiff(2)
$V_{SWINGSRMIN}$	SYSREF 入力スイング最小値	f_{REF} < 500MHz		0.3		Vppdiff(2)
$V_{SWINGSRMIN}$	SYSREF 入力スイング最小値	f_{REF} > 500MHz		0.6		Vppdiff(2)
$V_{COMSRMAX}$	SYSREF 入力コモン モード電圧最大値			0.8		V
$V_{COMSRMIN}$	SYSREF 入力コモン モード電圧最小値			0.6		V
Z_T	入力の終端	差動		100 (1)		Ω
C_L	入力容量	各ピンから GND		0.5		pF
LVDS 入力:0SYNCIN+/- および 1SYNCIN+/-						
V_{ICOM}	入力コモン モード電圧			1.2		V
V_{ID}	差動入力電圧スイング			450		Vppdiff(2)
Z_T	入力の終端	差動		100		Ω
LVDS 出力:0SYNCOUT+/- および 1SYNCOUT+/-						
V_{OCOM}	出力コモン モード電圧			1.2		V
V_{OD}	差動出力電圧スイング			500		Vppdiff(2)
Z_T	内部終端			100		Ω

(1) SYSREF 終端は 100Ω、150Ω、300Ω の間で設定可能です。
(2) Vppdiff は最大差動電圧 (正の値) と最小差動電圧 (負の値) の差です。

Copyright © 2025 Texas Instruments Incorporated

4.8 電源の電気的特性

T_A = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃ ～ $T_{J,MAX}$ = +110℃、f_{ADC} = 2949.12MSPS、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VDD1P8}	グループ 3A：VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 1：4R 、f_{ADC} = 3GSPS、DDC_{RX} = 6x デシメーション、f_{RX} = 1.85GHz、8b/10b コーディング、20Gbps、RX：4-8-4-1		673		mA
	グループ 3B：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			376		mA
	グループ 3C：VDD1P8PLL + VDD1P8PLLVCO			17.5		mA
I_{VDD1P2}	グループ 2A：VDD1P2FB + VDD1P2RX			557		mA
	グループ 2B：VDD1P2TXCLK + VDD1P2TXENC			75		mA
	グループ 2C：VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			68		mA
I_{VDD0P9}	グループ 1A：DVDD0P9 + VDDT0P9			1582		mA
P_{diss}	電力散逸			4208		mW
I_{VDD1P8}	グループ 3A：VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 2：4R2F 、f_{ADC} = 3GSPS、DDC_{FB} = DDC_{RX} = 6x デシメーション、f_{RX} = 1.85GHz、8b/10b コーディング、20Gbps、RX：4-8-4-1、FB：2-4-4-1		1006		mA
	グループ 3B：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			548		mA
	グループ 3C：VDD1P8PLL + VDD1P8PLLVCO			17.5		mA
I_{VDD1P2}	グループ 2A：VDD1P2FB + VDD1P2RX			839		mA
	グループ 2B：VDD1P2TXCLK + VDD1P2TXENC			92		mA
	グループ 2C：VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			68		mA
I_{VDD0P9}	グループ 1A：DVDD0P9 + VDDT0P9			2174		mA
P_{diss}	電力散逸			5996		mW
I_{VDD1P8}	グループ 3A：VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 4：4R、f_{ADC} = 3GSPS、DDC_{RX} = 2x デシメーション 、f_{RX} = 2.25GHz、64/66 コーディング、24.75Gbps、RX：8-8-2-1		672		mA
	グループ 3B：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			506		mA
	グループ 3C：VDD1P8PLL + VDD1P8PLLVCO			17.5		mA
I_{VDD1P2}	グループ 2A：VDD1P2FB + VDD1P2RX			552		mA
	グループ 2B：VDD1P2TXCLK + VDD1P2TXENC			76		mA
	グループ 2C：VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			68		mA
I_{VDD0P9}	グループ 1A：DVDD0P9 + VDDT0P9			1613		mA
P_{diss}	電力散逸			4468		mW

Copyright © 2025 Texas Instruments Incorporated

4.8 電源の電気的特性 (続き)

T_A = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃ ～ $T_{J,MAX}$ = +110℃、f_{ADC} = 2949.12MSPS、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VDD1P8}	グループ 3A:VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 5:4R2F 、f_{ADC} = 3GSPS、DDC_{RX} = 12x デシメーションデュアルチャネル、DDC_{FB} = 3x デシメーション、f_{RX} = 1.85 および 2.65GHz、8b/10b コーディング、20Gbps、RX:4-16-8-1、FB:4-4-4-1		1005		mA
	グループ 3B:VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			562		mA
	グループ 3C:VDD1P8PLL + VDD1P8PLLVCO			17.5		mA
I_{VDD1P2}	グループ 2A:VDD1P2FB + VDD1P2RX			837		mA
	グループ 2B:VDD1P2TXCLK + VDD1P2TXENC			92		mA
	グループ 2C:VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			68		mA
I_{VDD0P9}	グループ 1A:DVDD0P9 + VDDT0P9			2359		mA
P_{diss}	電力散逸			6195		mW
I_{VDD1P8}	グループ 3A:VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 6:4R 、f_{ADC} = 3GSPS、DDC_{RX} = 12x デシメーションデュアルチャネル、f_{RX} = 1.85 および 2.65GHz、8b/10b コーディング、20Gbps、RX:4-16-8-1		671		mA
	グループ 3B:VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			374		mA
	グループ 3C:VDD1P8PLL + VDD1P8PLLVCO			17.5		mA
I_{VDD1P2}	グループ 2A:VDD1P2FB + VDD1P2RX			555		mA
	グループ 2B:VDD1P2TXCLK + VDD1P2TXENC			75		mA
	グループ 2C:VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			67		mA
I_{VDD0P9}	グループ 1A:DVDD0P9 + VDDT0P9			1702		mA
P_{diss}	電力散逸			4305		mW
I_{VDD1P8}	グループ 3A:VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 7:モード 2 と同じ構成、スリープ モード。SLEEP ピンは High にする。		16		mA
	グループ 3B:VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			295		mA
	グループ 3C:VDD1P8PLL + VDD1P8PLLVCO			12		mA
I_{VDD1P2}	グループ 2A:VDD1P2FB + VDD1P2RX			4		mA
	グループ 2B:VDD1P2TXCLK + VDD1P2TXENC			24		mA
	グループ 2C:VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			45		mA
I_{VDD0P9}	グループ 1A:DVDD0P9 + VDDT0P9			156		mA
P_{diss}	電力散逸			818		mW

Copyright © 2025 Texas Instruments Incorporated

4.9 タイミング要件

T_A = +25℃ での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃ ～ $T_{J,MAX}$ = +110℃、f_{ADC} = 2949.12MSPS、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps、特に記述のない限り。

		最小値	公称値	最大値	単位
タイミング：SYSREF+/-					
$t_{s(SYSREF)}$	セットアップ時間、SYSREF+/- 有効から CLK+/- の立ち上がりエッジまで		50		ps
$t_{h(SYSREF)}$	ホールド時間、CLK+/- の立ち上がりエッジの後の SYSREF+/- 有効の期間		50		ps
タイミング：シリアル ポート					
$t_{s(SENB)}$	SCLK の立ち上がりエッジまでの SENB のセットアップ時間		15		ns
$t_{h(SENB)}$	SCLK の最後の立ち上がりエッジの後の SENB のホールド時間 (1)		5 + t_{SCLK}		ns
$t_{s(SDIO)}$	セットアップ時間、SDIO 有効から SCLK の立ち上がりエッジまで		15		ns
$t_{h(SDIO)}$	ホールド時間、SCLK の立ち上がりエッジの後の SDIO 有効の期間		5		ns
$t_{(SCLK)_W}$	最小 SCLK 周期：レジスタ書き込み		25		ns
$t_{(SCLK)_R}$	最小 SCLK 周期：レジスタ読み取り		50		ns
$t_{d(data_out)}$	SCLK の立ち下がりエッジの後の最小データ出力遅延		0		ns
	SCLK の立ち下がりエッジの後の最大データ出力遅延		15		ns
t_{RESET}	最小 RESETZ パルス幅		1		ms

(1) SDEN\\ では、最後の SCLK エッジでさらに 1 クロック サイクル、ホールドされる必要があります

Copyright © 2025 Texas Instruments Incorporated

4.10 スイッチング特性

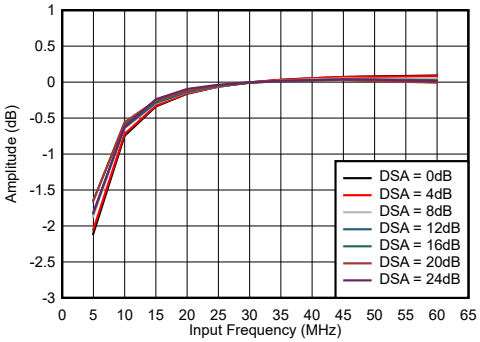
T_A = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃ ～ $T_{J,MAX}$ = +110℃、f_{ADC} = 2949.12MSPS、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
RX チャネル レイテンシ						
t_{JESDRX}	RX 入力から JESD 出力までのレイテンシ	LMFS = 2-16-16-1、122.88MSPS、24x デシメーション、SerDes レート = 16.22Gbps (JESD204C)		92		インターフェイス クロック サイクル (1)
		LMFS = 4-16-8-1、245.76MSPS、12x デシメーション、SerDes レート = 16.22Gbps (JESD204C)		108		
		LMFS= 2-8-8-1、368.64MSPS、8x デシメーション、SerDes レート= 16.22Gbps (JESD204C)		118		
		LMFS = 4-8-4-1、491.52MSPS、6x デシメーション、SerDes レート = 16.22Gbps (JESD204C)		153		
FB チャネル レイテンシ						
	SerDes トランスミッタのアナログ遅延			3.6		ns
t_{JESDFB}	FB 入力から JESD 出力までのレイテンシ	LMFS = 1-2-8-1、368.64MSPS、8x デシメーション		151		インターフェイス クロック サイクル (1)
		LMFS = 2-4-4-1、491.52MSPS、6x デシメーション		177		

(1) インターフェイス クロック サイクルは、デジタル インターフェイスのクロック レートの周期です。たとえば、1GSPS = 1ns です。

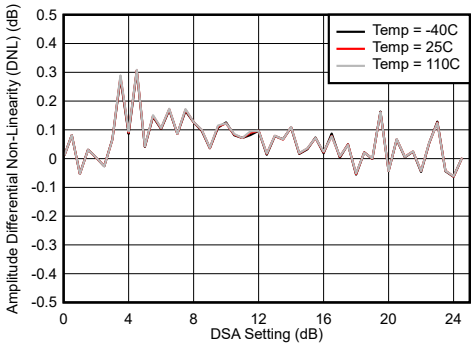
4.11.1 RX 代表的特性：30MHz～400MHz

T_A = +25℃ における代表値。デフォルト条件は 30MHz。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。400MHz のデフォルト条件：ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。



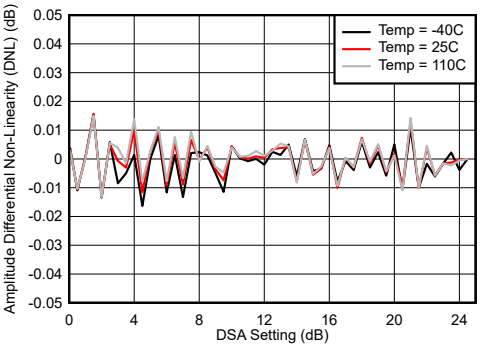
30MHz で正規化

図 4-1. RX 帯域内ゲイン平坦性 (f_{IN} = 30MHz)



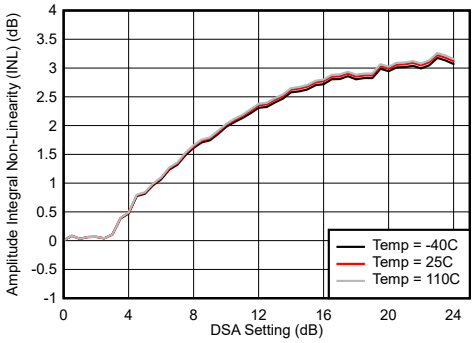
微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

図 4-2. RX 未較正微分振幅誤差と DSA 設定との関係 (30MHz)



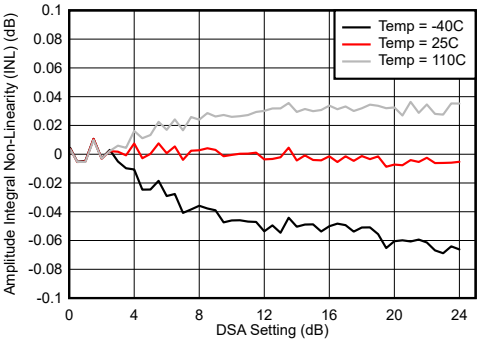
微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

図 4-3. RX 較正済み微分振幅誤差と DSA 設定との関係 (30MHz)



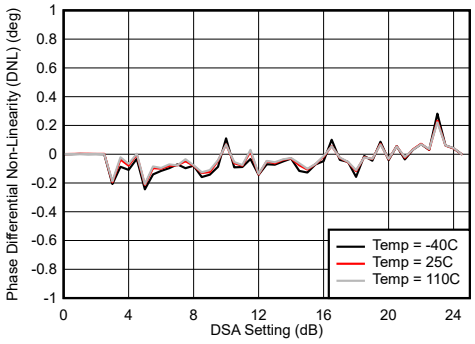
積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

図 4-4. RX 未較正積分振幅誤差と DSA 設定との関係 (30MHz)



積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

図 4-5. RX 較正済み積分振幅誤差と DSA 設定との関係 (30MHz)



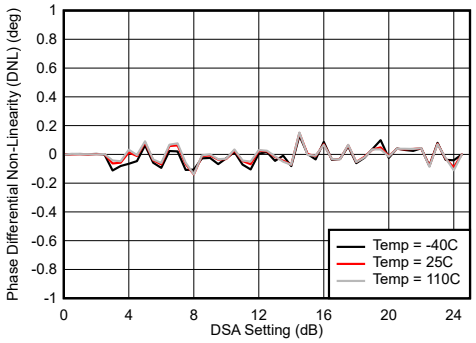
微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

図 4-6. RX 未較正微分位相誤差と DSA 設定との関係 (30MHz)

Copyright © 2025 Texas Instruments Incorporated

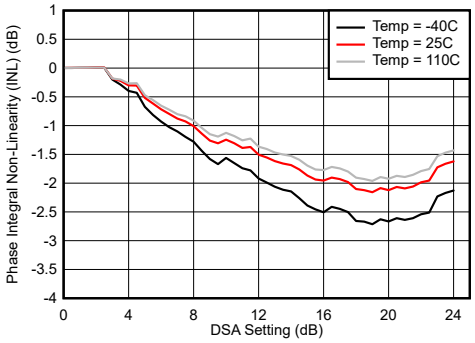
4.11.1 RX 代表的特性：30MHz～400MHz (続き)

T_A = +25℃ における代表値。デフォルト条件は 30MHz。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。400MHz のデフォルト条件：ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。



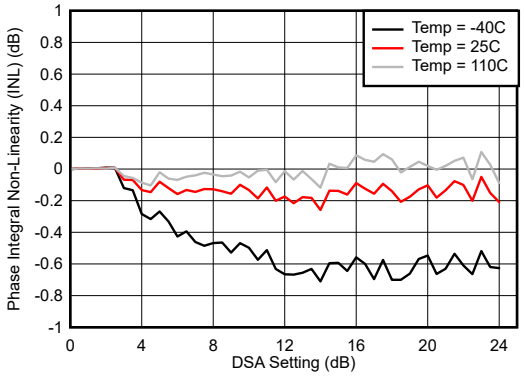
微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

図 4-7. RX 較正済み微分位相誤差と DSA 設定との関係 (30MHz)



積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

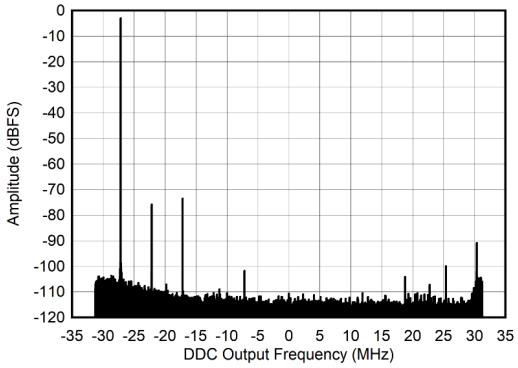
図 4-8. RX 未較正積分位相誤差と DSA 設定との関係 (30MHz)



0.8GHz 整合あり

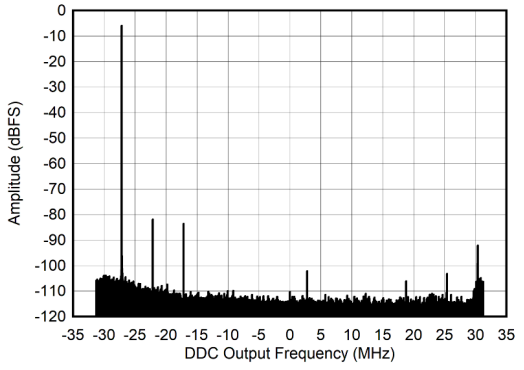
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-9. RX 較正済み積分位相誤差と DSA 設定との関係 (30MHz)



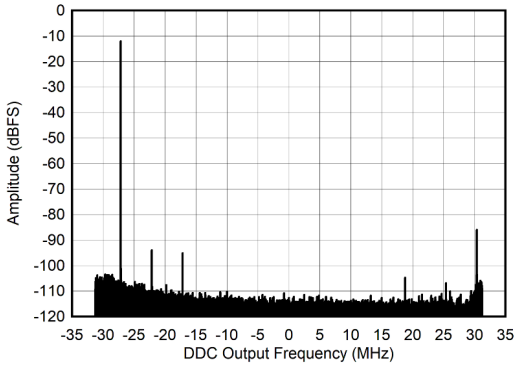
A_{IN} = -3dBFS、f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x でデシメーション

図 4-10. RX 出力 FFT (5MHz)



A_{IN} = -6dBFS、f_{ADC} = 1500MSPS、f_{NCO} = 32。24x でデシメーション

図 4-11. RX 出力 FFT (5MHz)



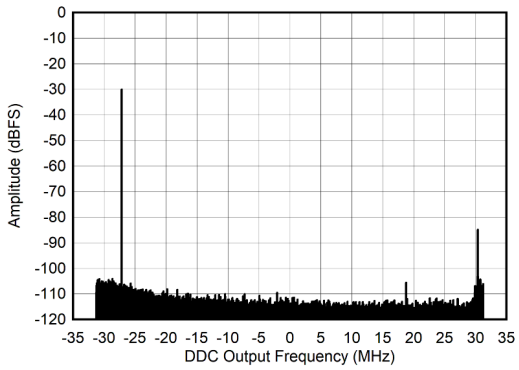
A_{IN} = -12dBFS、f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x でデシメーション

図 4-12. RX 出力 FFT (5MHz)

Copyright © 2025 Texas Instruments Incorporated

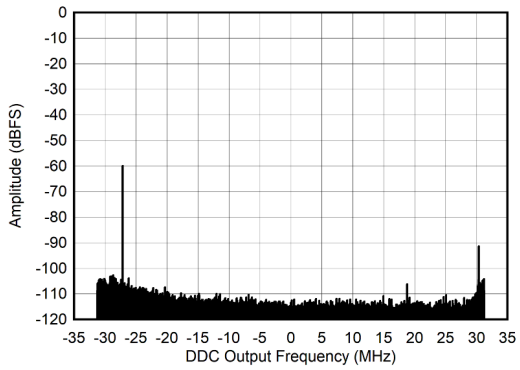
4.11.1 RX 代表的特性：30MHz～400MHz (続き)

T_A = +25℃ における代表値。デフォルト条件は 30MHz。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。400MHz のデフォルト条件：ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。



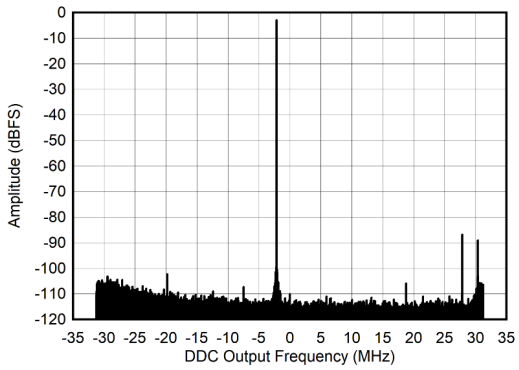
A_{IN} = -30dBFS、f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x でデシメーション

図 4-13. RX 出力 FFT (5MHz)



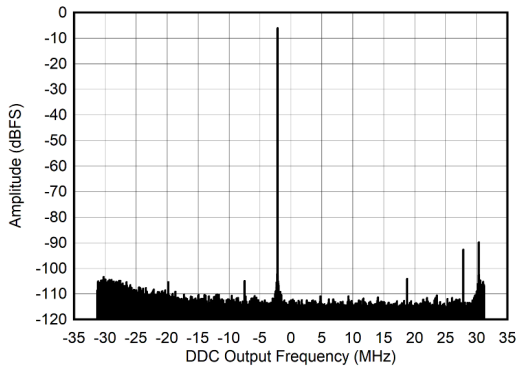
A_{IN} = -60dBFS、f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x でデシメーション

図 4-14. RX 出力 FFT (5MHz)



A_{IN} = -3dBFS、f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x でデシメーション

図 4-15. RX 出力 FFT (30MHz)



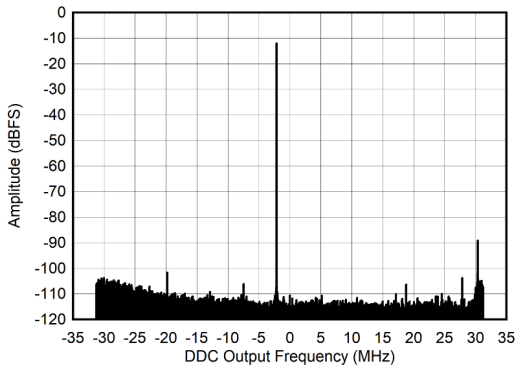
A_{IN} = -6dBFS、f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x でデシメーション

図 4-16. RX 出力 FFT (30MHz)

Copyright © 2025 Texas Instruments Incorporated

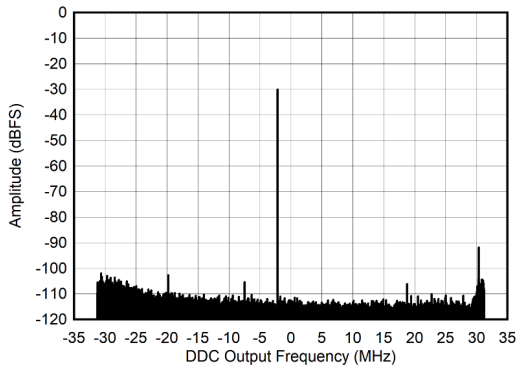
4.11.1 RX 代表的特性：30MHz～400MHz (続き)

T_A = +25℃ における代表値。デフォルト条件は 30MHz。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。400MHz のデフォルト条件：ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。



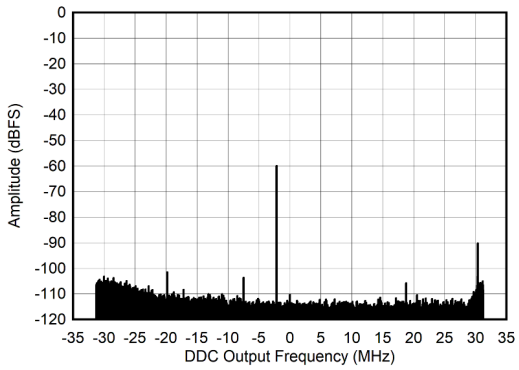
A_{IN} = -12dBFS、f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x でデシメーション

図 4-17. RX 出力 FFT (30MHz)



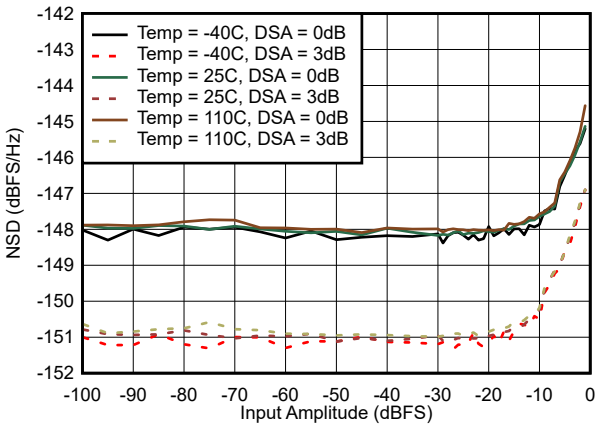
A_{IN} = -30dBFS、f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x でデシメーション

図 4-18. RX 出力 FFT (30MHz)



A_{IN} = -60dBFS、f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x でデシメーション

図 4-19. RX 出力 FFT (30MHz)

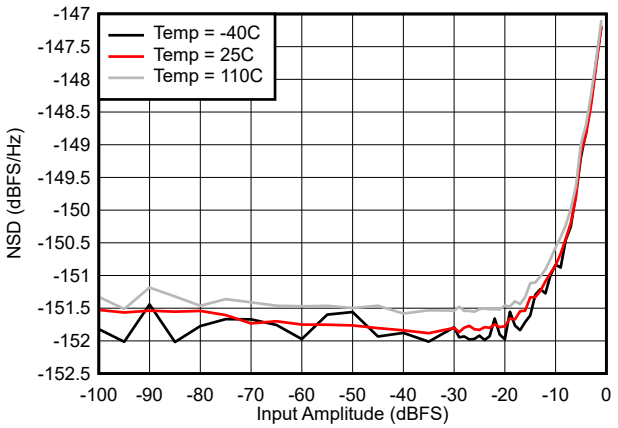


f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x でデシメーション

図 4-20. DSA = 0 および 3dB、30MHz での NSD と入力振幅との関係

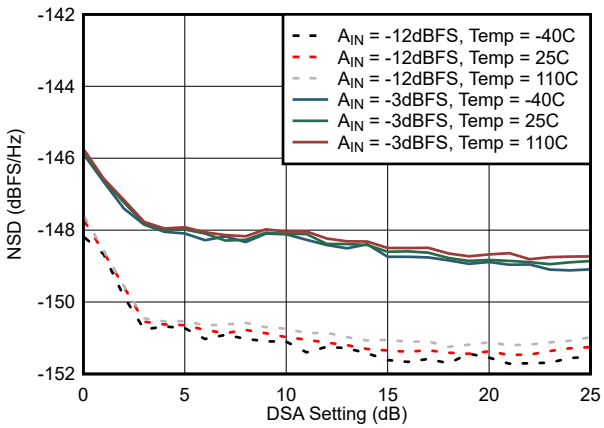
4.11.1 RX 代表的特性：30MHz～400MHz (続き)

T_A = +25℃ における代表値。デフォルト条件は 30MHz。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。400MHz のデフォルト条件：ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。



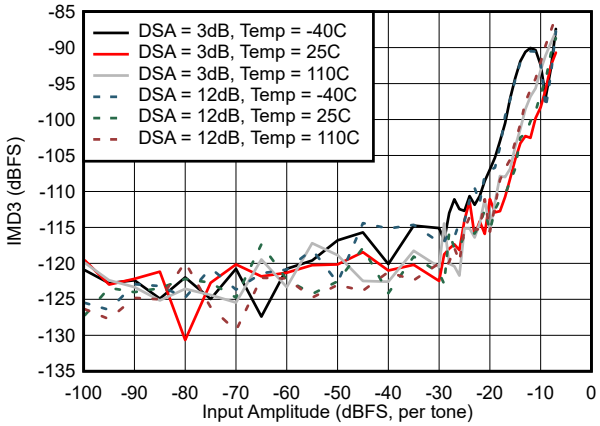
f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x によってデシメーション

図 4-21. 30MHz で NSD と入力振幅との関係 (DSA = 12)



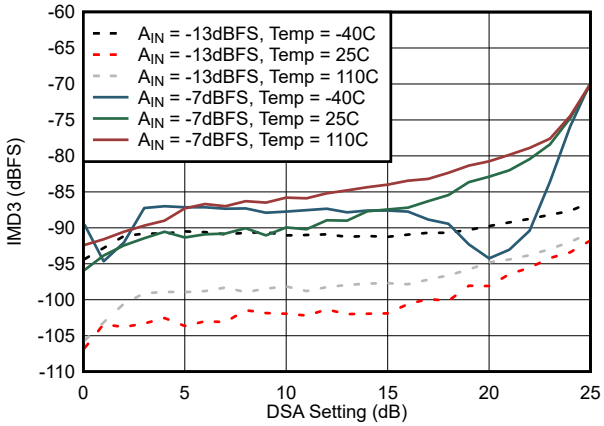
f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x によってデシメーション

図 4-22. 30MHz での NSD と DSA 減衰との関係



f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x によってデシメーション

図 4-23. 30MHz での IMD3 と入力振幅との関係



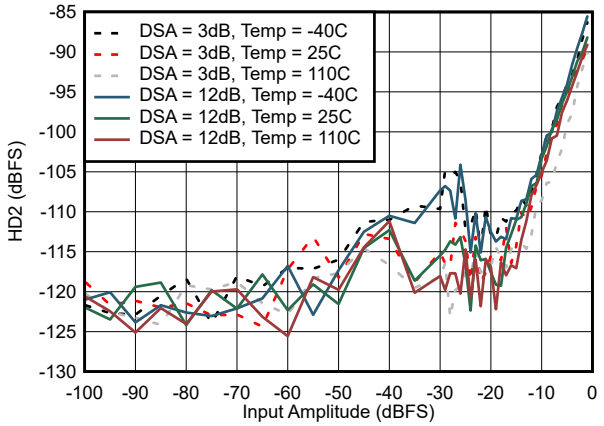
f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x によってデシメーション

図 4-24. 30MHz での IMD3 と DSA 設定との関係

Copyright © 2025 Texas Instruments Incorporated

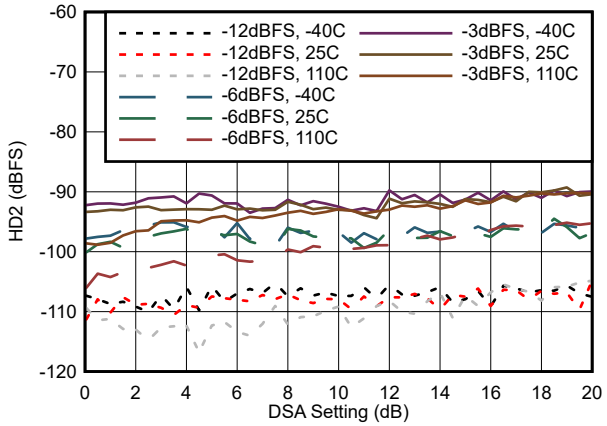
4.11.1 RX 代表的特性：30MHz～400MHz (続き)

T_A = +25℃ における代表値。デフォルト条件は 30MHz。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。400MHz のデフォルト条件：ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。



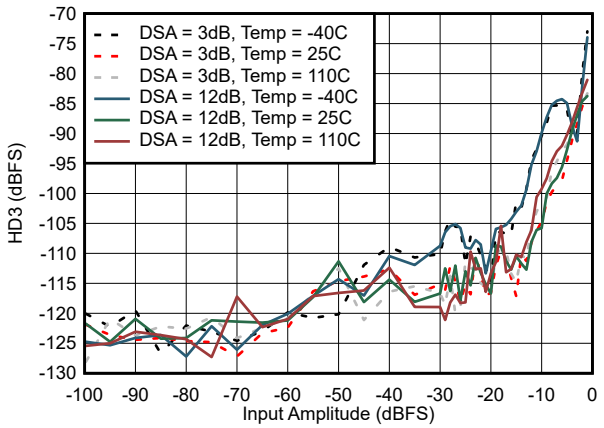
f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x によってデシメーション

図 4-25. 30MHz での HD2 と入力振幅との関係



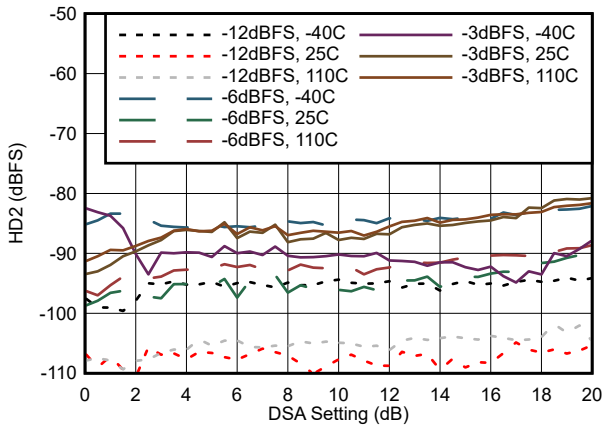
f_{ADC} = 1500MSPS、f_{NCO} = 32。24x でデシメーション

図 4-26. 30MHz での HD2 と DSA 設定との関係



f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x によってデシメーション

図 4-27. 30MHz での HD3 と入力振幅との関係



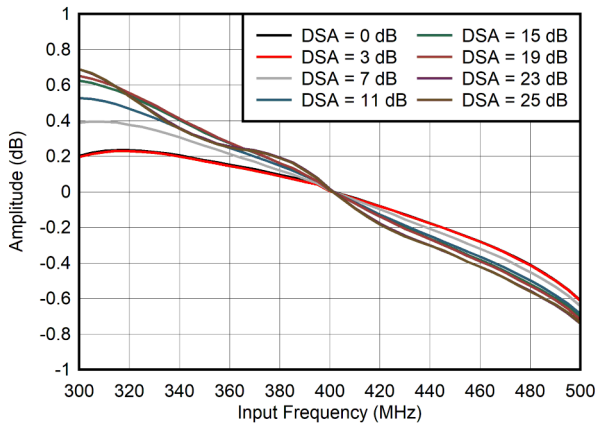
f_{ADC} = 1500MSPS、f_{NCO} = 32.13MHz、24x によってデシメーション

図 4-28. 30MHz での HD3 と DSA 設定との関係

Copyright © 2025 Texas Instruments Incorporated

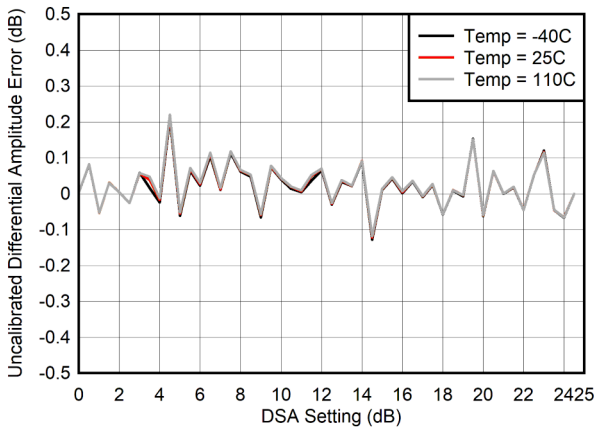
4.11.1 RX 代表的特性：30MHz～400MHz (続き)

T_A = +25℃ における代表値。デフォルト条件は 30MHz。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。400MHz のデフォルト条件：ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。



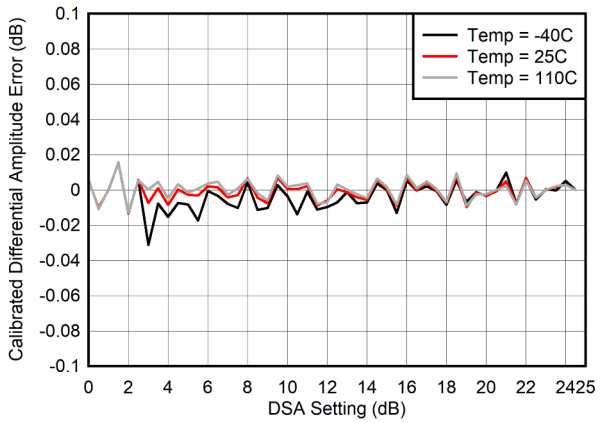
4000MHz で正規化

図 4-29. RX 帯域内ゲイン平坦性 (f_{IN} = 400MHz)



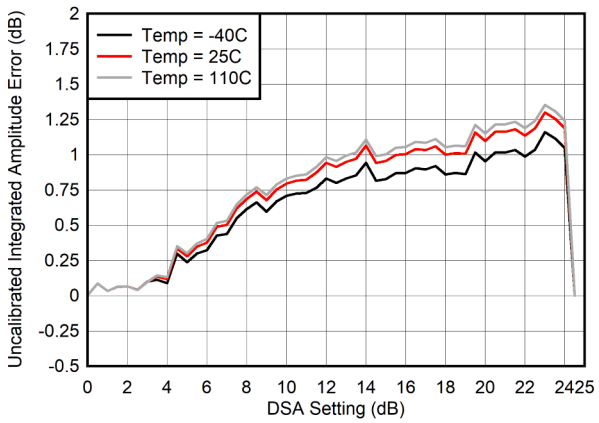
微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

図 4-30. RX 未較正微分振幅誤差と DSA 設定との関係 (30MHz)



微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

図 4-31. RX 較正済み微分振幅誤差と DSA 設定との関係 (400MHz)



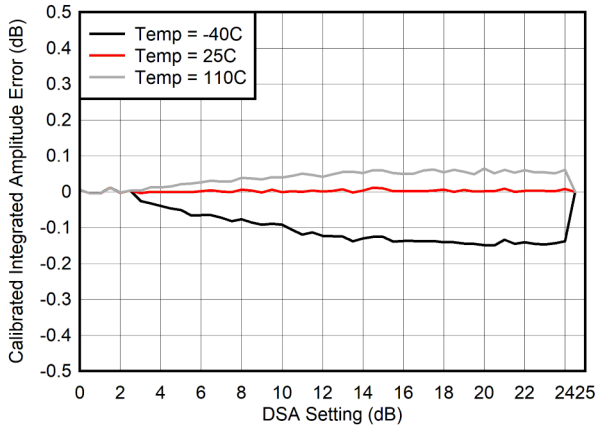
積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

図 4-32. RX 未較正積分振幅誤差と DSA 設定との関係 (400MHz)

Copyright © 2025 Texas Instruments Incorporated

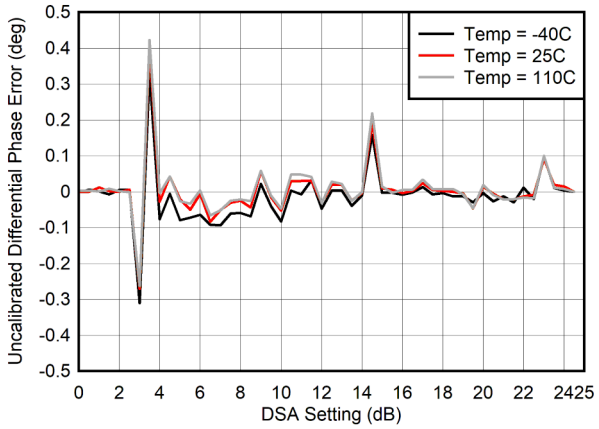
4.11.1 RX 代表的特性：30MHz～400MHz (続き)

T_A = +25℃ における代表値。デフォルト条件は 30MHz。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。400MHz のデフォルト条件：ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。



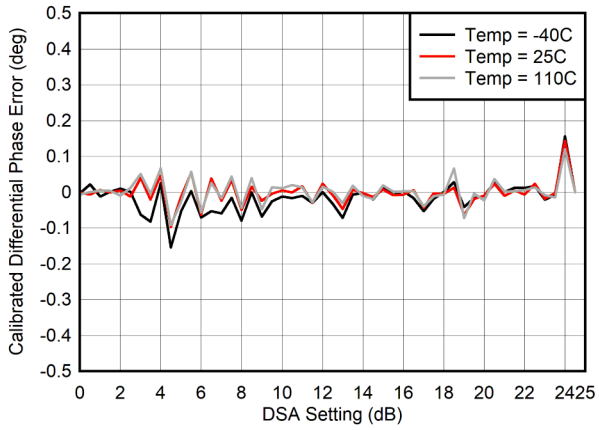
積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

図 4-33. RX 較正済み積分振幅誤差と DSA 設定との関係 (400MHz)



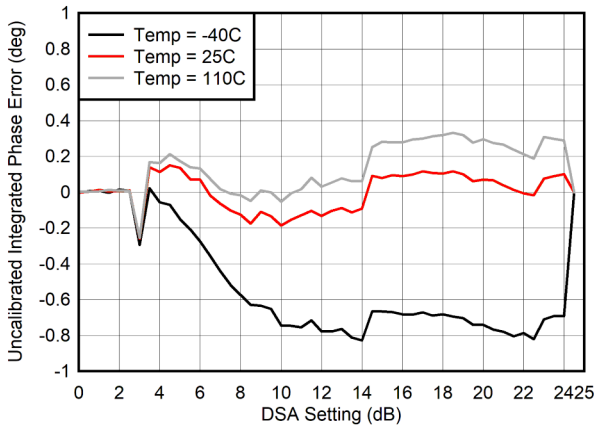
微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

図 4-34. RX 未較正微分位相誤差と DSA 設定との関係 (400MHz)



微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

図 4-35. RX 較正済み微分位相誤差と DSA 設定との関係 (400MHz)



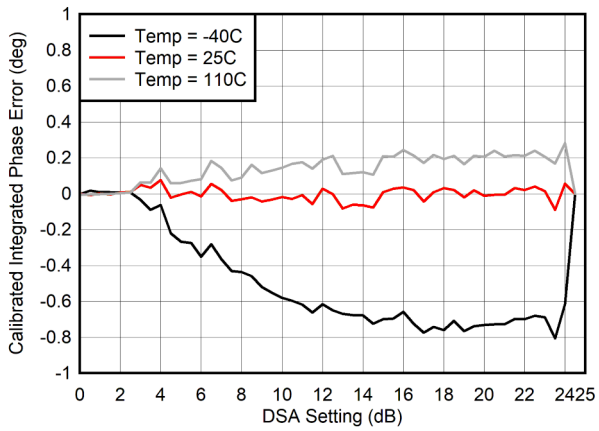
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-36. RX 未較正積分位相誤差と DSA 設定との関係 (400MHz)

Copyright © 2025 Texas Instruments Incorporated

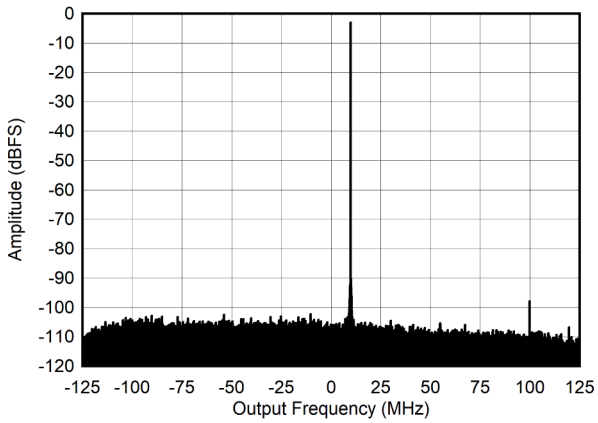
4.11.1 RX 代表的特性：30MHz～400MHz (続き)

T_A = +25℃ における代表値。デフォルト条件は 30MHz。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。400MHz のデフォルト条件：ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。



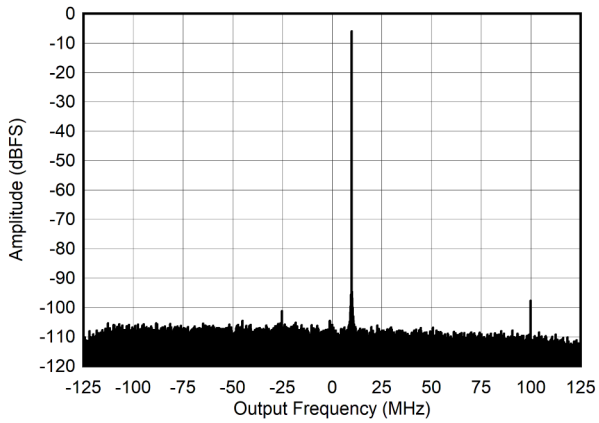
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-37. RX 較正済み積分位相誤差と DSA 設定との関係 (400MHz)



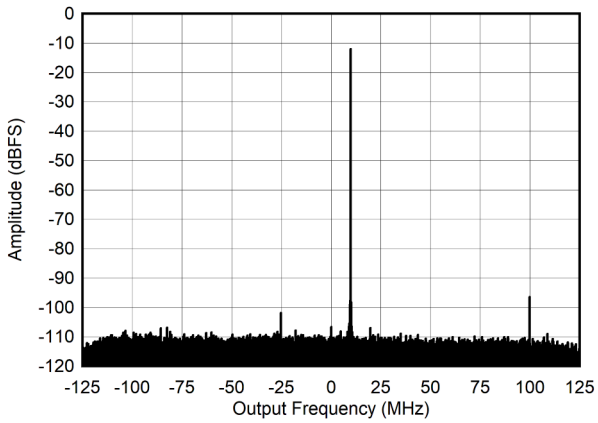
f_{NCO} = 400MHz

図 4-38. 405MHz、-3dBFS での RX 出力 FFT



f_{NCO} = 400MHz

図 4-39. 405MHz、-6dBFS での RX 出力 FFT



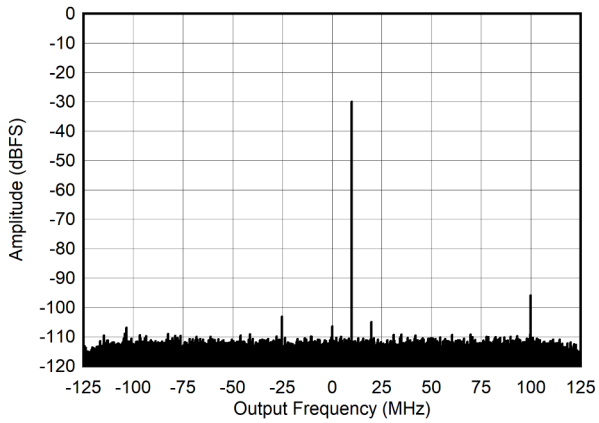
f_{NCO} = 400MHz

図 4-40. 405MHz、-12dBFS での RX 出力 FFT

Copyright © 2025 Texas Instruments Incorporated

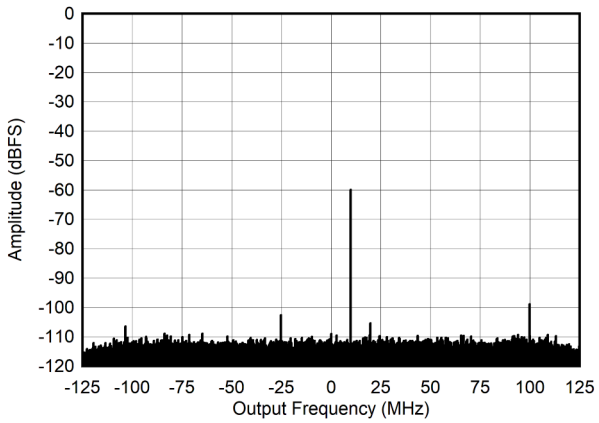
4.11.1 RX 代表的特性：30MHz～400MHz (続き)

T_A = +25℃ における代表値。デフォルト条件は 30MHz。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。400MHz のデフォルト条件：ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。



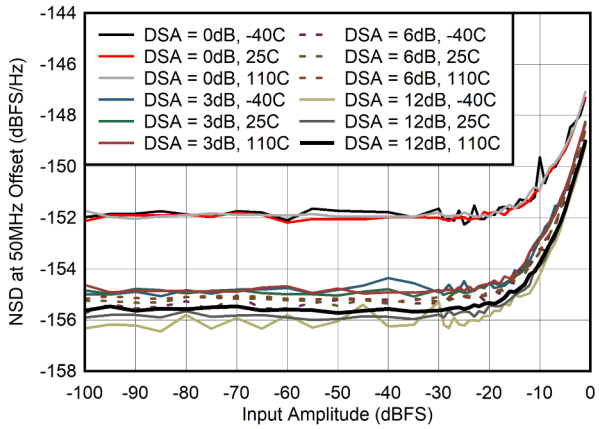
f_{NCO} = 400MHz

図 4-41. 405MHz、-30dBFS での RX 出力 FFT



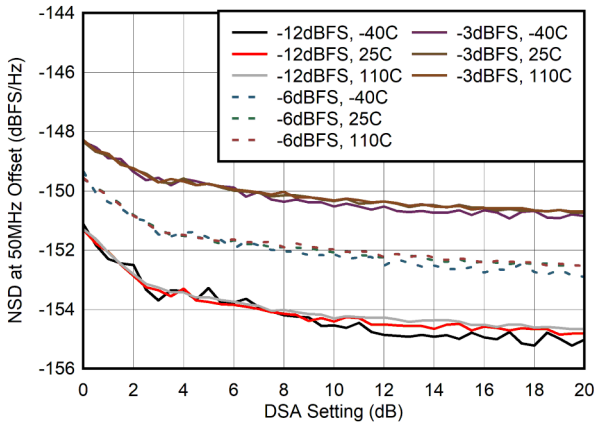
f_{NCO} = 400MHz

図 4-42. 405MHz、-60dBFS での RX 出力 FFT



f_{OFFSET} = 50MHz

図 4-43. 400MHz での NSD と入力振幅との関係



f_{OFFSET} = 50MHz

図 4-44. 400MHz での NSD と DSA 設定との関係

Copyright © 2025 Texas Instruments Incorporated

4.11.1 RX 代表的特性：30MHz～400MHz (続き)

T_A = +25℃ における代表値。デフォルト条件は 30MHz。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。400MHz のデフォルト条件：ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、f_{REF} = 500MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB。

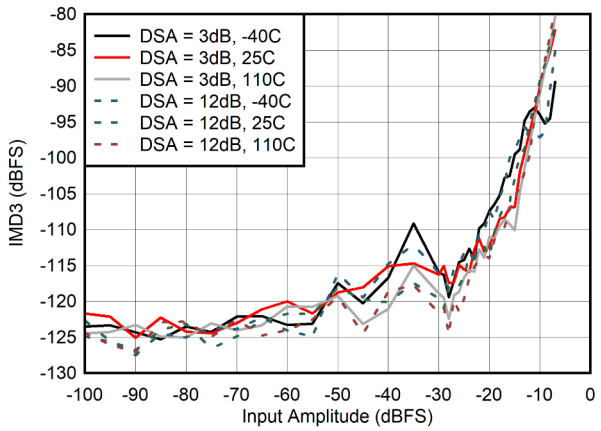


図 4-45. 400MHz での IMD3 と入力振幅との関係

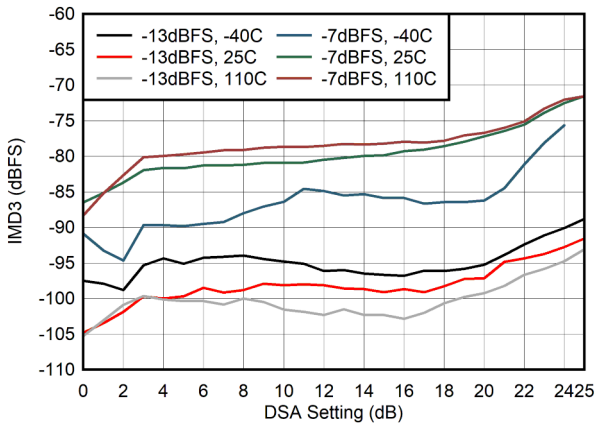


図 4-46. 400MHz での IMD3 と DSA 設定との関係

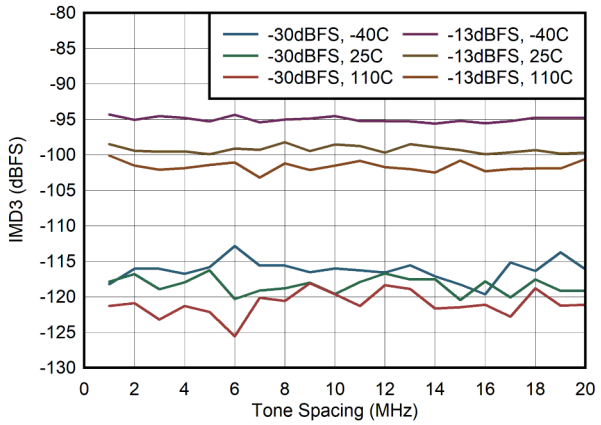


図 4-47. 400MHz での IMD3 とトーン間隔との関係

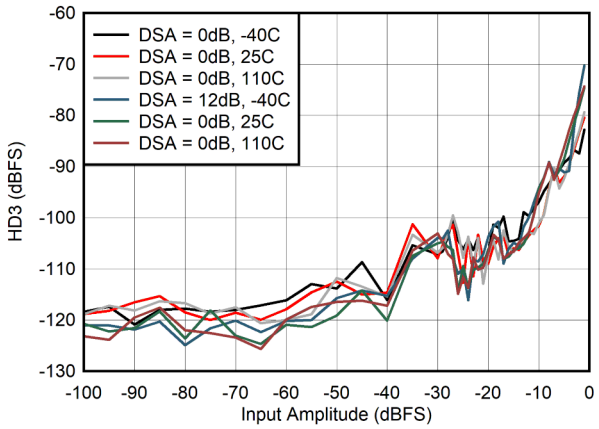


図 4-48. 400MHz での HD3 と入力振幅との関係

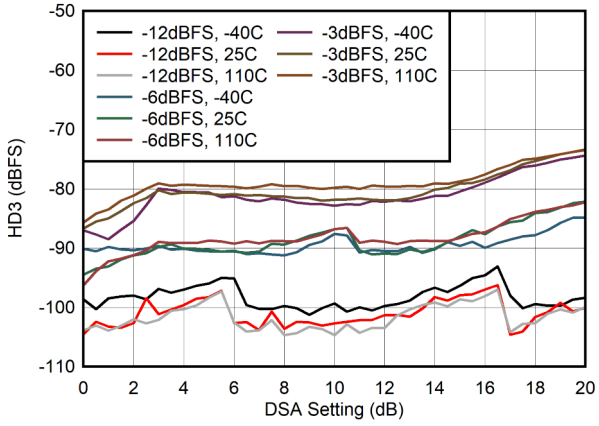
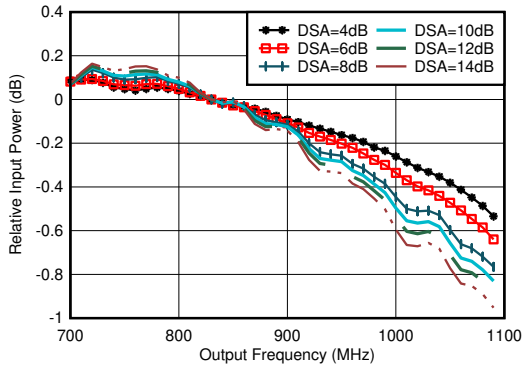


図 4-49. 400 MHz での HD3 と DSA 設定との関係

Copyright © 2025 Texas Instruments Incorporated

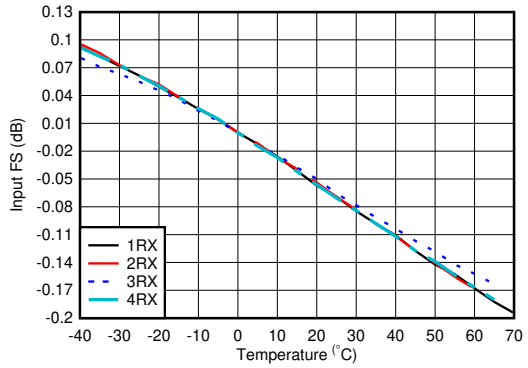
4.11.2 RX 代表的特性：800MHz

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



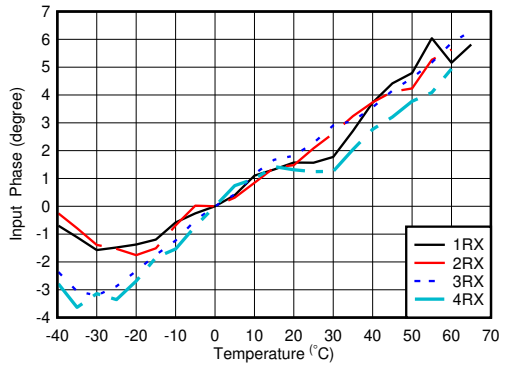
0.8GHz 整合あり、830MHz で正規化

図 4-50. RX 帯域内ゲイン平坦性 (チャネル 1RX、f_{IN} = 830MHz)



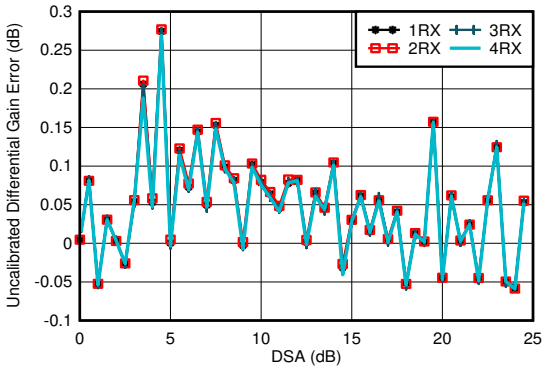
0.8GHz 整合あり、各チャネルについて 25℃のフルスケールで正規化

図 4-51. RX 入力フルスケールと温度との関係 (各種チャネル、800MHz)



0.8GHz 整合あり、25℃の位相で正規化

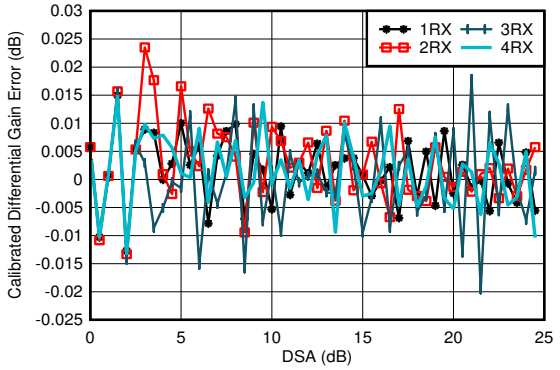
図 4-52. RX 入力位相と温度との関係 (各種 DSA、f_{OUT} = 0.8GHz)



0.8GHz 整合あり

微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

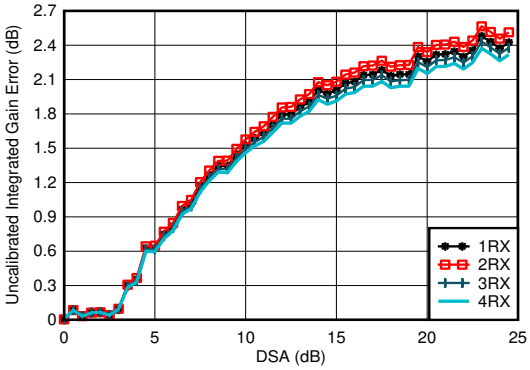
図 4-53. RX 未較正微分振幅誤差と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり

微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

図 4-54. RX 較正済み微分振幅誤差と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり

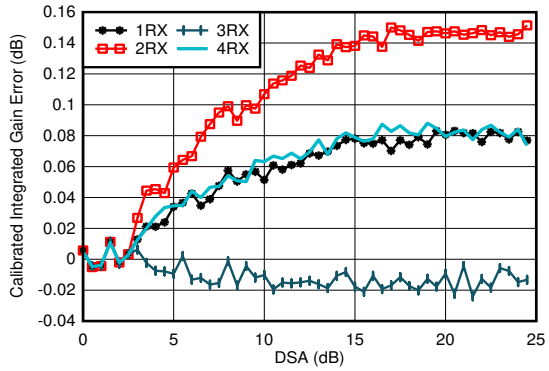
積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

図 4-55. RX 未較正積分振幅誤差と DSA 設定との関係 (0.8GHz)

Copyright © 2025 Texas Instruments Incorporated

4.11.2 RX 代表的特性：800MHz (続き)

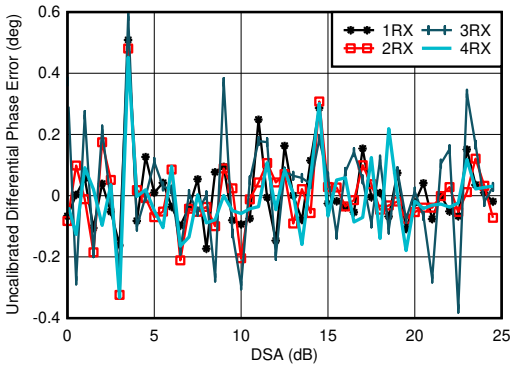
T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



0.8GHz 整合あり

積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

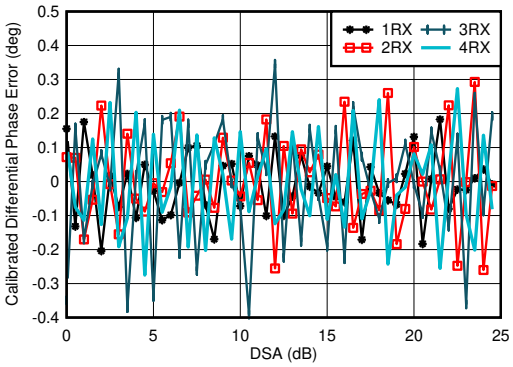
図 4-56. RX 較正済み積分振幅誤差と DSA 設定との関係 (2.6GHz)



0.8GHz 整合あり

微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

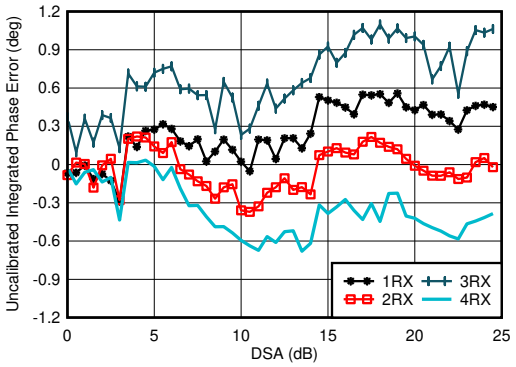
図 4-57. RX 未較正微分位相誤差と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり

微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

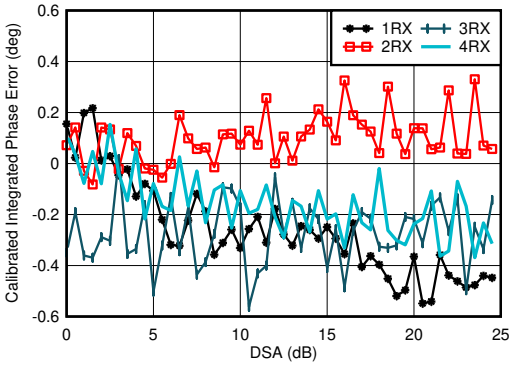
図 4-58. RX 較正済み微分位相誤差と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり

積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

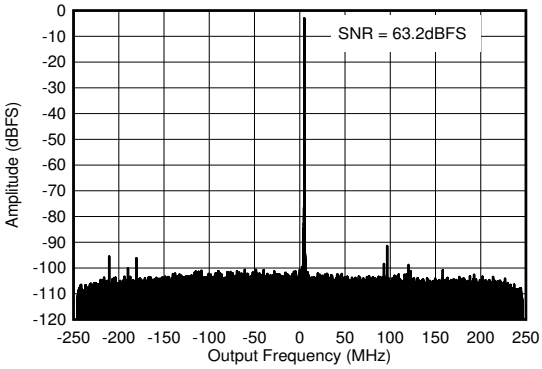
図 4-59. RX 未較正積分位相誤差と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり

積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-60. RX 較正済み積分位相誤差と DSA 設定との関係 (0.8GHz)



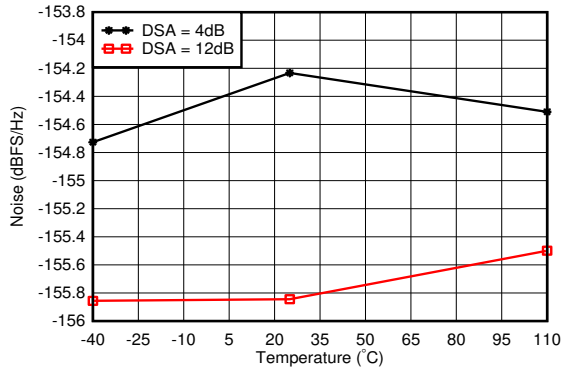
0.8GHz 整合あり、f_{IN} = 840MHz、A_{IN}= -3dBFS

図 4-61. RX 出力 FFT (0.8GHz)

Copyright © 2025 Texas Instruments Incorporated

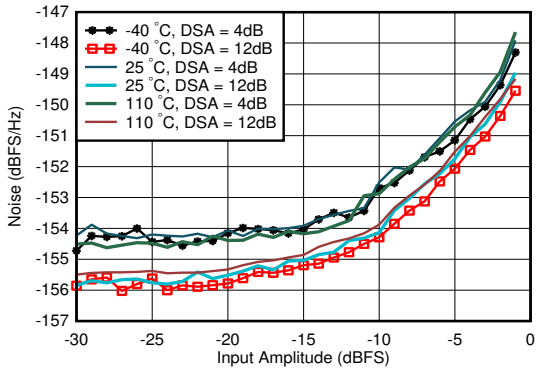
4.11.2 RX 代表的特性：800MHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



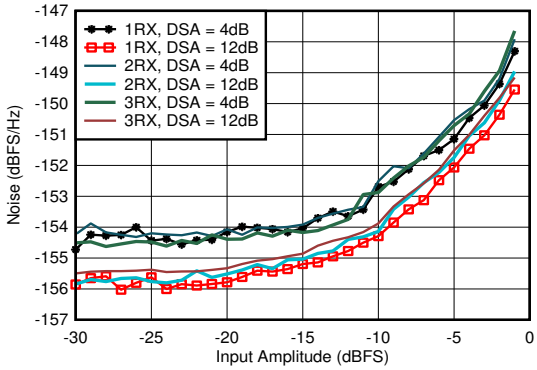
0.8GHz 整合あり、トーンからのオフセット 12.5MHz

図 4-62. RX ノイズ スペクトル密度と温度との関係 (0.8GHz)



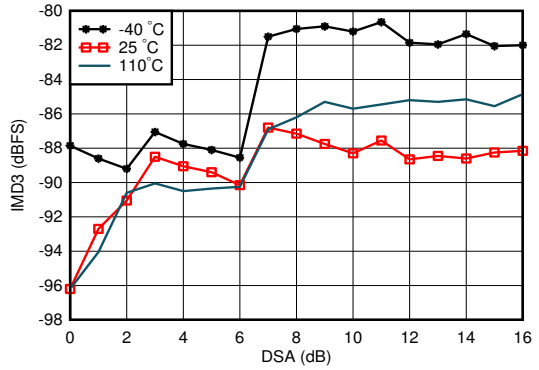
0.8GHz 整合あり、DSA 設定 = 12dB、トーンから 12.5MHz オフセット

図 4-63. RX ノイズ スペクトル密度と入力振幅との関係 (各種温度、0.8GHz)



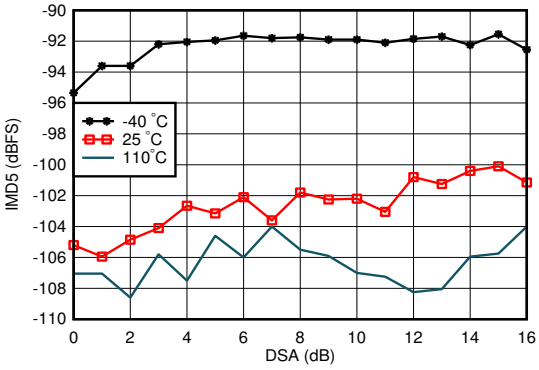
0.8GHz 整合あり、トーンからのオフセット 12.5MHz

図 4-64. RX ノイズ スペクトル密度と入力振幅との関係 (各種チャネル、0.8GHz)



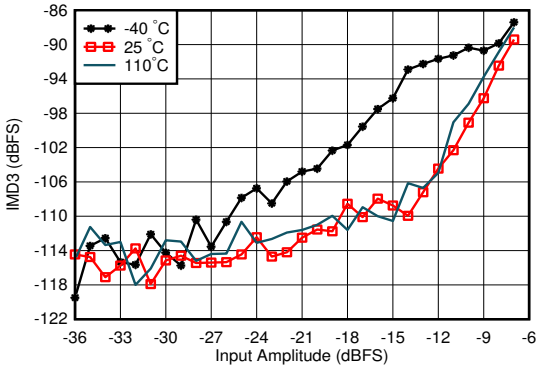
A. 0.8GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 4-65. RX IMD3 と DSA 設定との関係 (各種温度、0.8GHz)



0.8GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 4-66. RX IMD5 と DSA 設定との関係 (各種温度、0.8GHz)



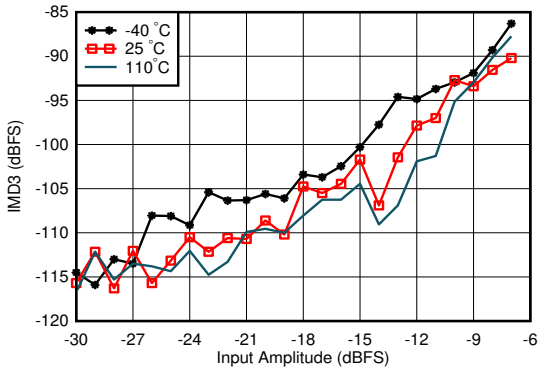
0.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 4dB

図 4-67. RX IMD3 と入力レベルとの関係 (各種温度、0.8GHz)

Copyright © 2025 Texas Instruments Incorporated

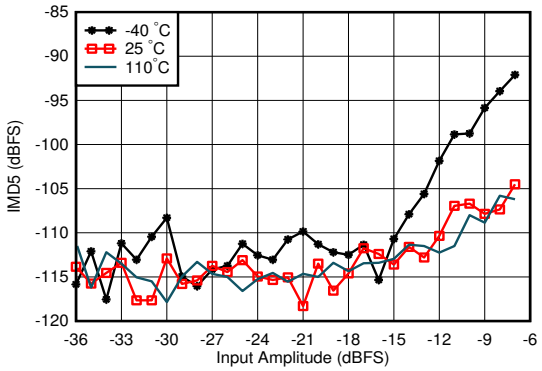
4.11.2 RX 代表的特性：800MHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



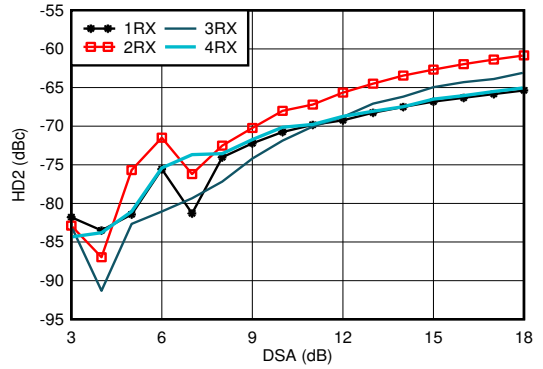
0.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 4-68. RX IMD3 と入力レベルとの関係 (各種温度、0.8GHz)



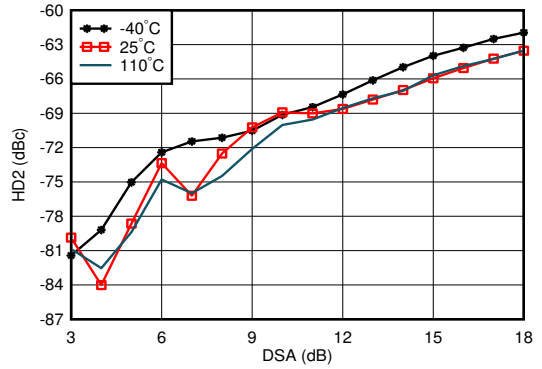
0.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 4-69. RX IMD5 と入力レベルとの関係 (各種温度、0.8GHz)



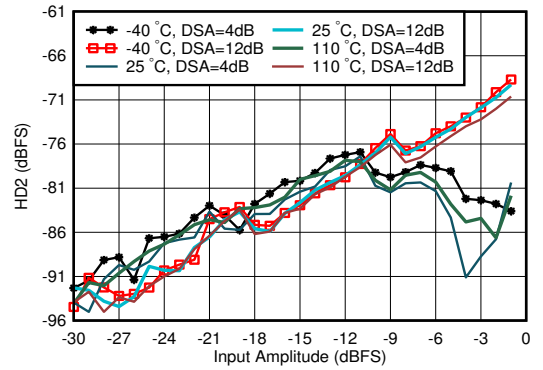
0.8GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-70. RX HD2 と DSA 設定との関係 (各種チャネル、0.8GHz)



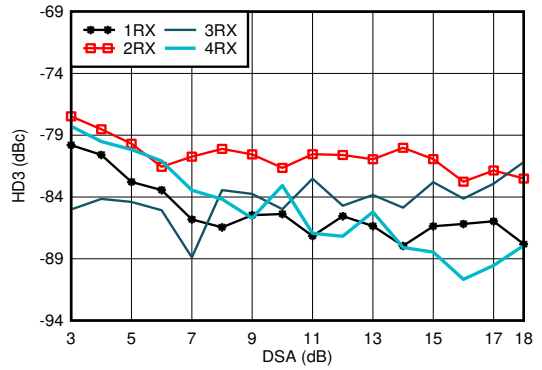
0.8GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-71. RX HD2 と DSA 設定との関係 (各種温度、0.8GHz)



0.8GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-72. RX HD2 と入力レベルとの関係 (各種温度、0.8GHz)



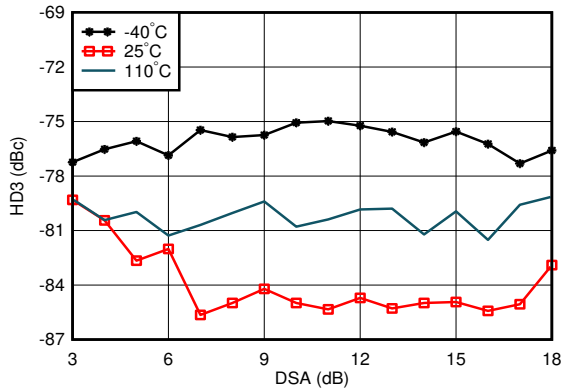
0.8GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-73. RX HD3 と DSA 設定との関係 (各種チャネル、0.8GHz)

Copyright © 2025 Texas Instruments Incorporated

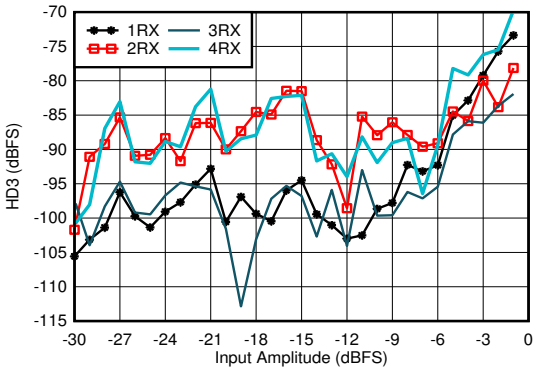
4.11.2 RX 代表的特性：800MHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



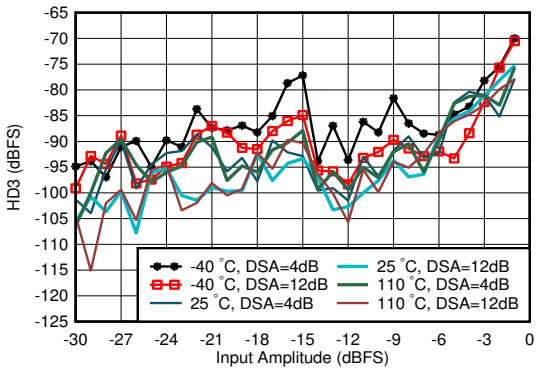
0.8GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-74. RX HD3 と DSA 設定との関係 (各種温度、0.8GHz)



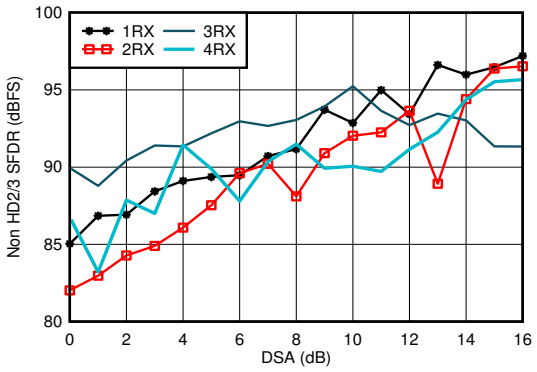
0.8GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-75. RX HD3 と入力レベルとの関係 (各種チャネル、0.8GHz)



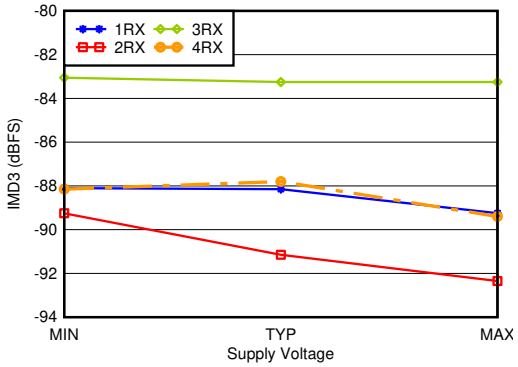
0.8GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-76. RX HD3 と入力レベルとの関係 (各種温度、0.8GHz)



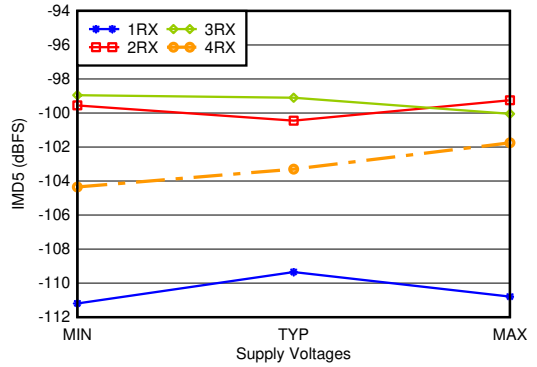
0.8GHz 整合あり

図 4-77. RX (HD2/3 を除く) と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-78. RX IMD3 と電源電圧との関係 (各種チャネル、0.8GHz)



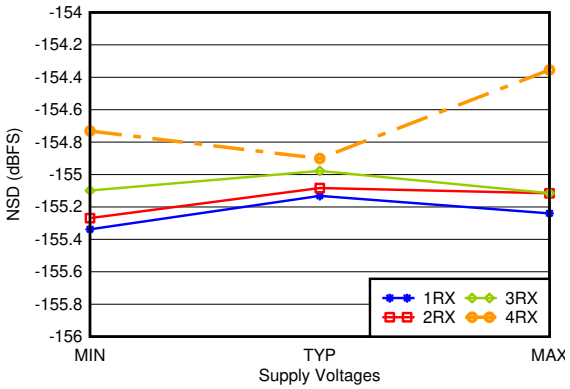
0.8GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-79. RX IMD5 と電源電圧との関係 (各種チャネル、0.8GHz)

Copyright © 2025 Texas Instruments Incorporated

4.11.2 RX 代表的特性：800MHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



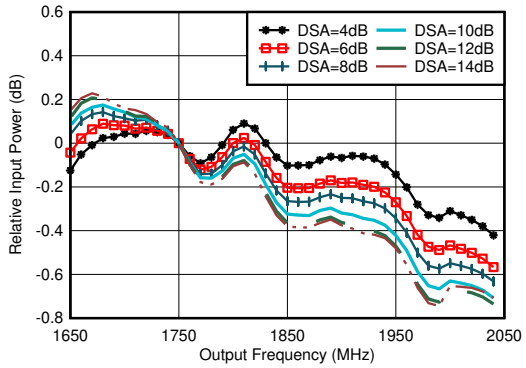
0.8GHz 整合あり、12.5MHz オフセット、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-80. RX ノイズ スペクトル密度と電源電圧との関係 (各種チャネル、0.8GHz)

Copyright © 2025 Texas Instruments Incorporated

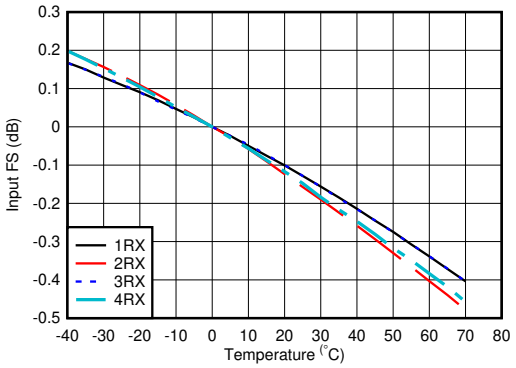
4.11.3 RX 代表的特性：1.75GHz～1.9GHz

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



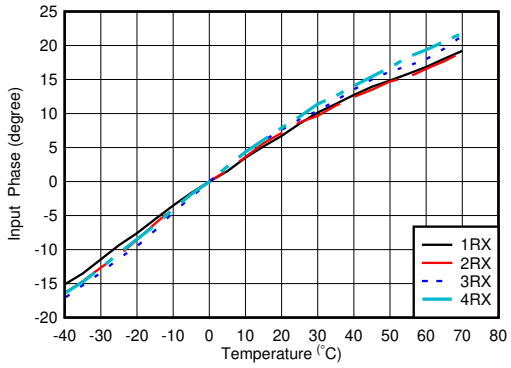
1.8GHz 整合あり、1.75GHz で正規化

図 4-81. RX 帯域内ゲイン平坦性 (f_{IN} = 1750MHz)



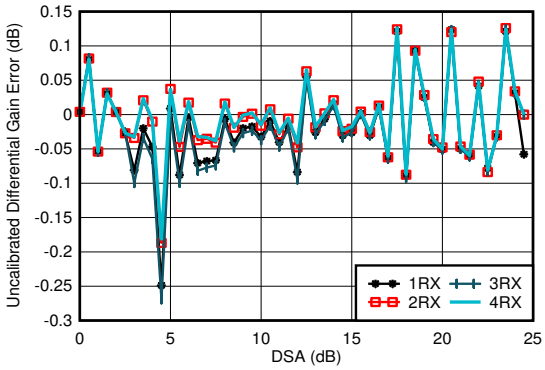
1.8GHz 整合あり、各チャネルについて 25℃のフルスケールで正規化

図 4-82. RX 入力フルスケールと温度との関係 (各種チャネル、1.75GHz)



2.6GHz 整合あり、25℃の位相で正規化

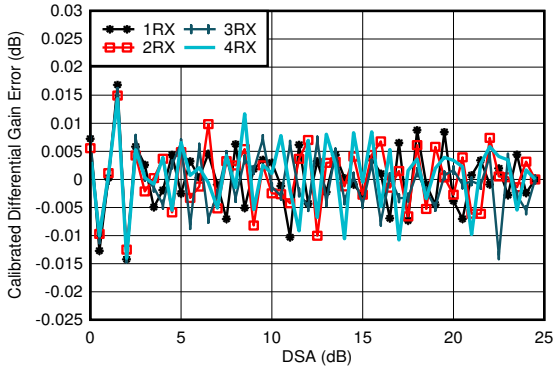
図 4-83. RX 入力位相と温度との関係 (各種 DSA、f_{IN} = 1.75GHz)



1.8GHz 整合あり

微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

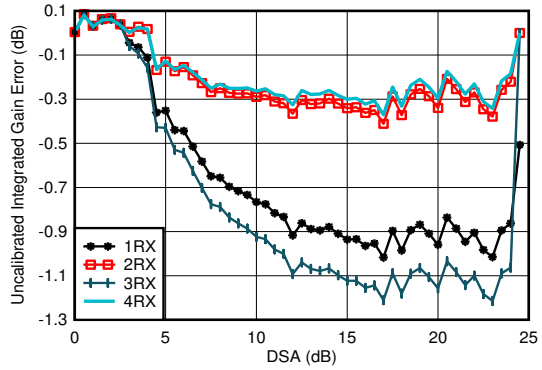
図 4-84. RX 未較正微分振幅誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

図 4-85. RX 較正済み微分振幅誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

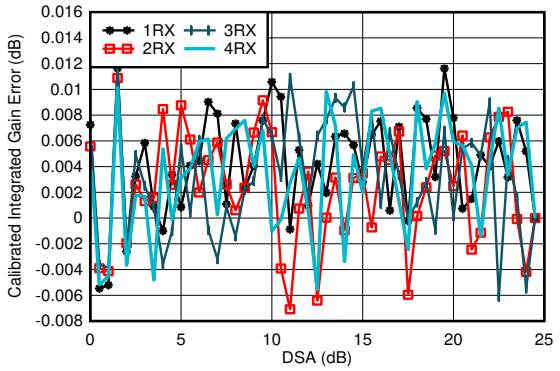
積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

図 4-86. RX 未較正積分振幅誤差と DSA 設定との関係 (1.75GHz)

Copyright © 2025 Texas Instruments Incorporated

4.11.3 RX 代表的特性：1.75GHz～1.9GHz (続き)

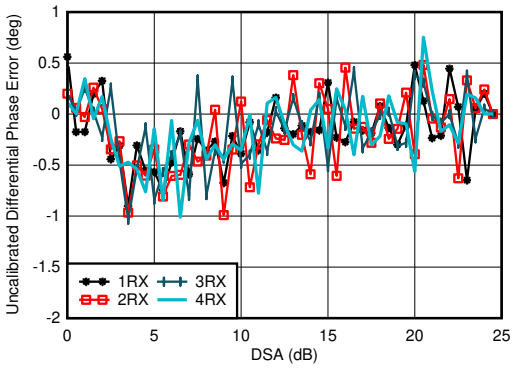
T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



1.8GHz 整合あり

積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

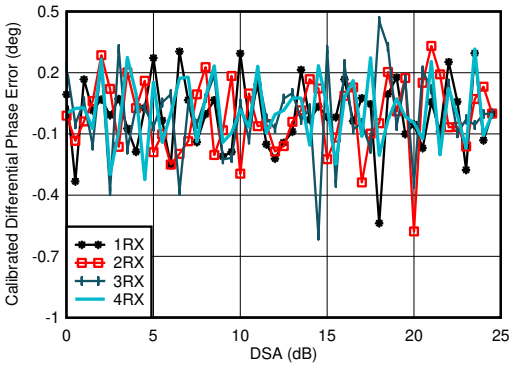
図 4-87. RX 較正済み積分振幅誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

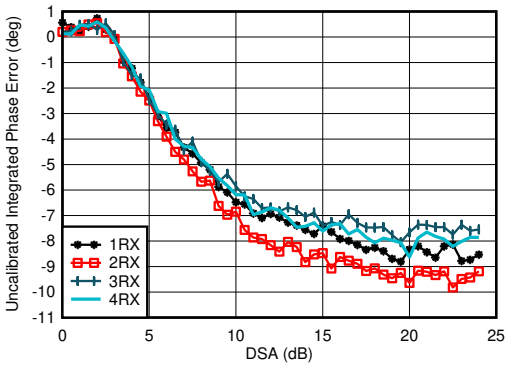
図 4-88. RX 未較正微分位相誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

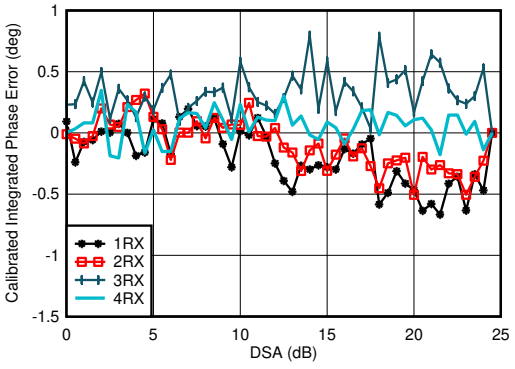
図 4-89. RX 較正済み微分位相誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

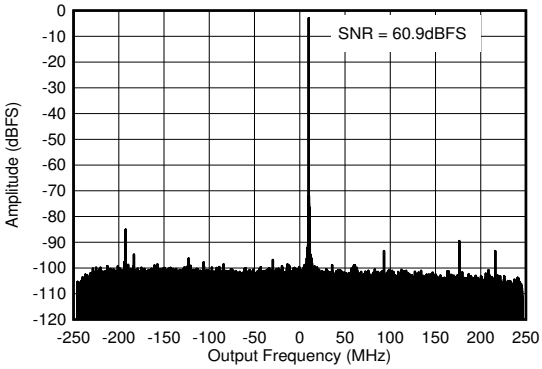
図 4-90. RX 未較正積分位相誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-91. RX 較正済み積分位相誤差と DSA 設定との関係 (1.75GHz)



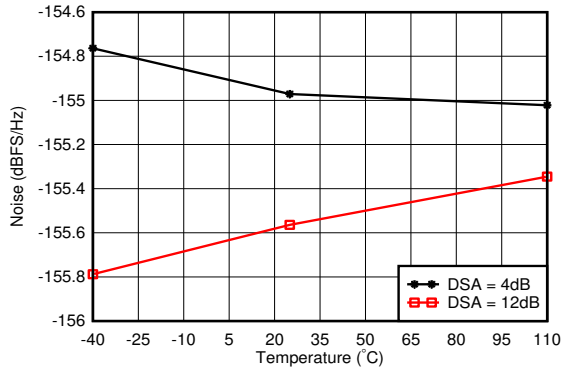
1.8GHz 整合あり、f_{IN} = 2610MHz、A_{IN}= -3dBFS

図 4-92. RX 出力 FFT (1.75GHz)

Copyright © 2025 Texas Instruments Incorporated

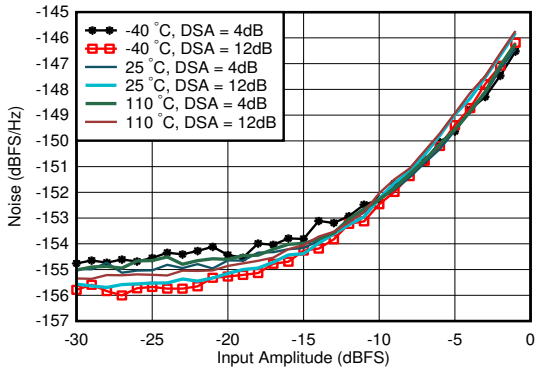
4.11.3 RX 代表的特性：1.75GHz～1.9GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



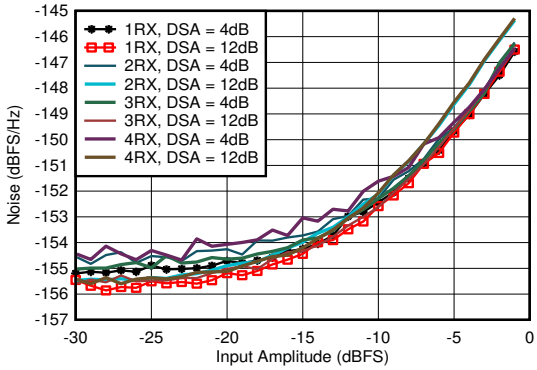
1.8GHz 整合あり、トーンからのオフセット 12.5MHz

図 4-93. RX ノイズ スペクトル密度と温度との関係 (1.75GHz)



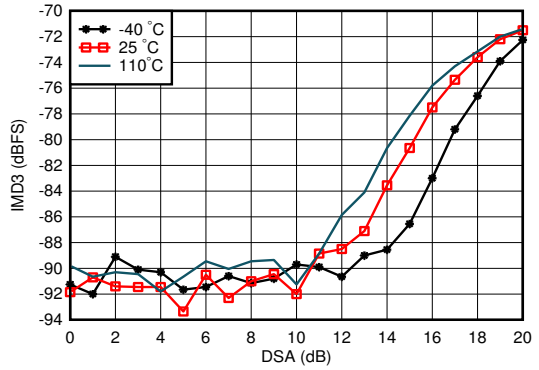
1.8GHz 整合あり、DSA 設定 = 12dB、トーンから 12.5MHz オフセット

図 4-94. RX ノイズ スペクトル密度と入力振幅との関係 (各種温度、1.75GHz)



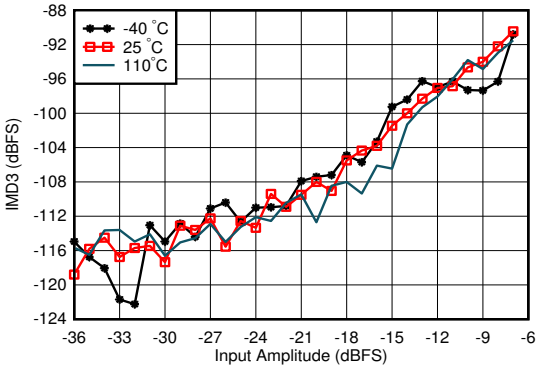
1.8GHz 整合あり、トーンからのオフセット 12.5MHz

図 4-95. RX ノイズ スペクトル密度と入力振幅との関係 (各種チャネル、1.75GHz)



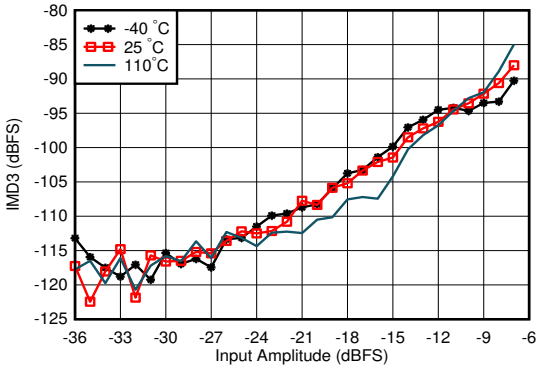
1.8GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 4-96. RX IMD3 と DSA 設定との関係 (各種温度、1.75GHz)



1.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 4dB

図 4-97. RX IMD3 と入力レベルとの関係 (各種温度、1.75GHz)



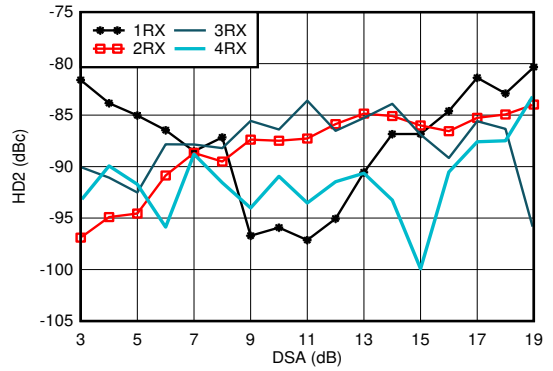
1.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 4-98. RX IMD3 と入力レベルとの関係 (各種温度、1.75GHz)

Copyright © 2025 Texas Instruments Incorporated

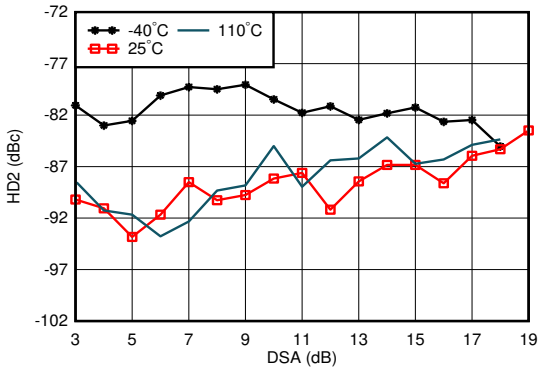
4.11.3 RX 代表的特性：1.75GHz～1.9GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



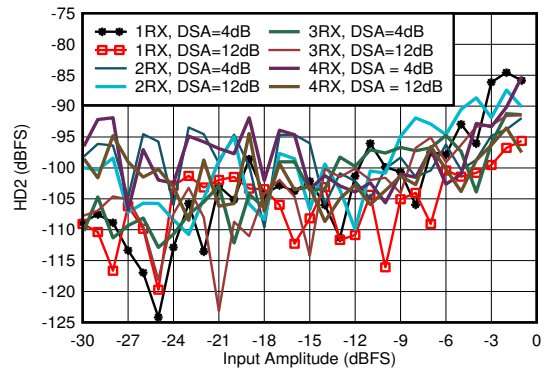
1.8GHz 整合あり、f_{in} = 1900MHz、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-99. RX HD2 と DSA 設定との関係 (各種チャネル、1.9GHz)



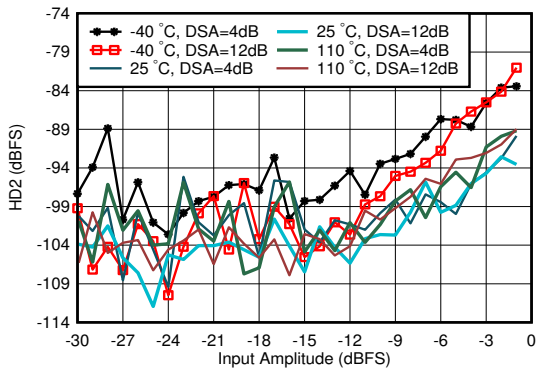
1.8GHz 整合あり、f_{in} = 1900MHz、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-100. RX HD2 と DSA 設定との関係 (各種温度、1.9GHz)



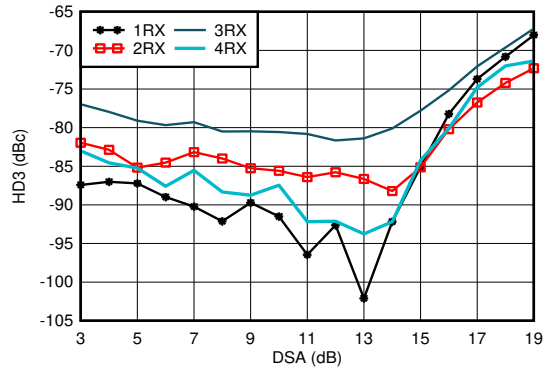
1.8GHz 整合あり、f_{in} = 1900MHz、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-101. RX HD2 と入力振幅との関係 (各種チャネル、1.9GHz)



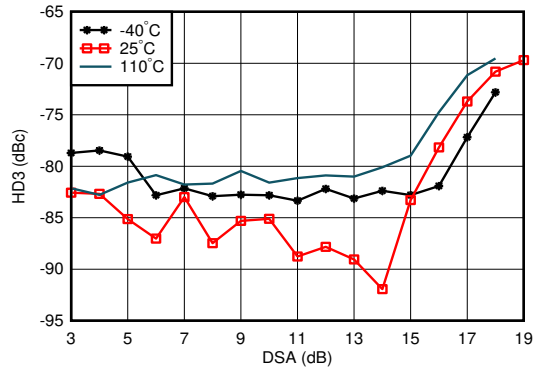
1.8GHz 整合あり、f_{in} = 1900MHz、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-102. RX HD2 と入力振幅との関係 (各種温度、1.9GHz)



1.8GHz 整合あり、f_{in} = 1900MHz、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-103. RX HD3 と DSA 設定との関係 (各種チャネル、1.9GHz)



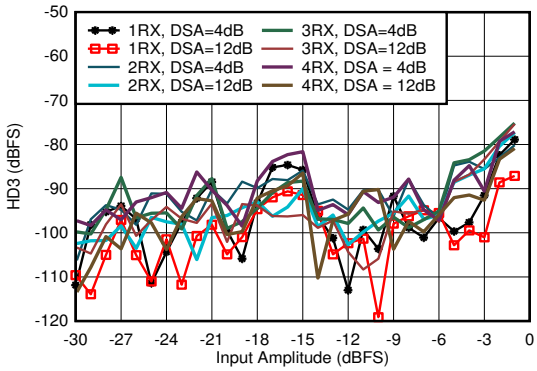
1.8GHz 整合あり、f_{in} = 1900MHz、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-104. RX HD3 と DSA 設定との関係 (各種温度、1.9GHz)

Copyright © 2025 Texas Instruments Incorporated

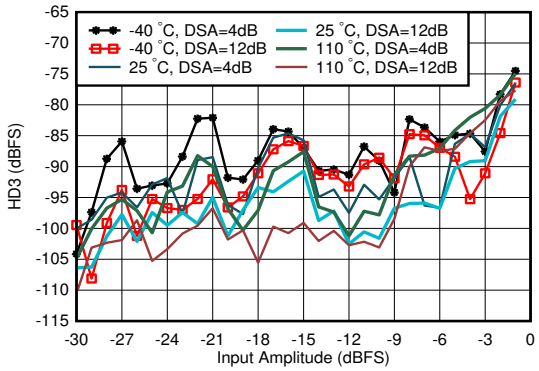
4.11.3 RX 代表的特性：1.75GHz～1.9GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



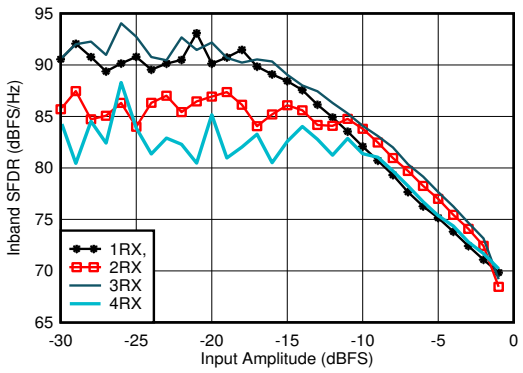
1.8GHz 整合あり、f_{in} = 1900MHz、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-105. RX HD3 と入力レベルとの関係 (各種チャネル、1.9GHz)



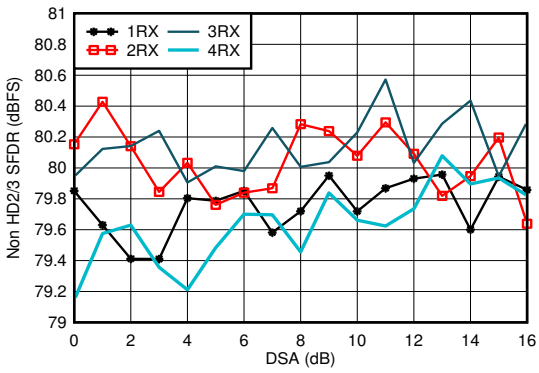
1.8GHz 整合あり、f_{in} = 1900MHz、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-106. RX HD3 と入力レベルとの関係 (各種温度、1.9GHz)



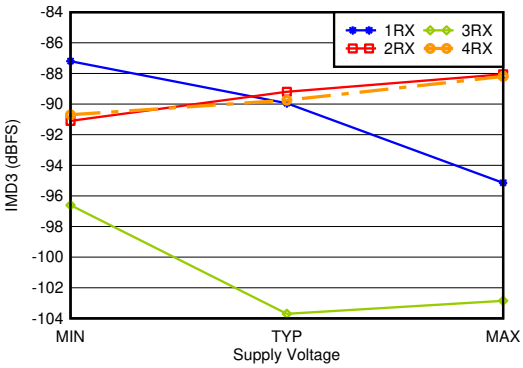
1.8GHz 整合あり、1/3 にデシメーション

図 4-107. RX 帯域内 SFDR (±400MHz) と入力振幅との関係 (1.75GHz)



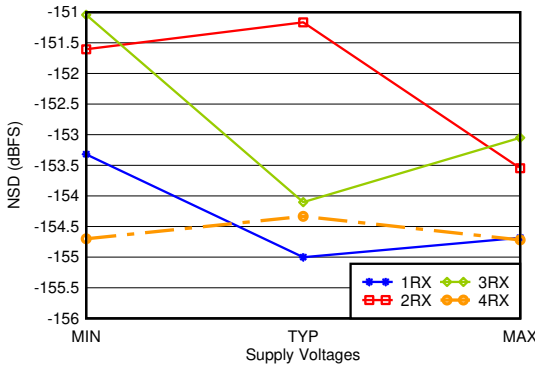
1.8GHz 整合あり

図 4-108. RX (HD2/3 を除く) と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-109. RX IMD3 と電源電圧との関係 (各種チャネル、1.75GHz)



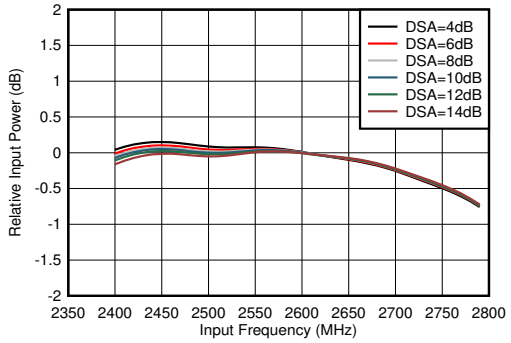
1.8GHz 整合あり、12.5MHz オフセット、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-110. RX ノイズ スペクトル密度と電源電圧との関係 (各種チャネル、1.75GHz)

Copyright © 2025 Texas Instruments Incorporated

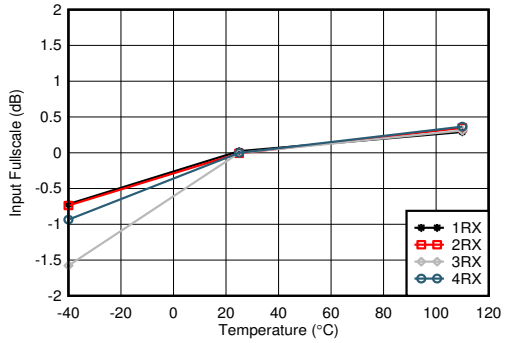
4.11.4 RX 代表的特性：2.6GHz

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



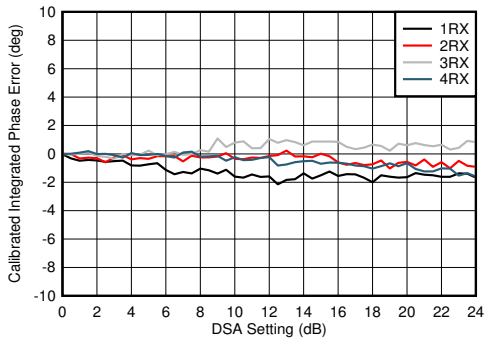
整合あり、各 DSA 設定について 2.6GHz の電力で正規化

図 4-111. RX 帯域内ゲイン平坦性 (f_{IN} = 2600MHz)



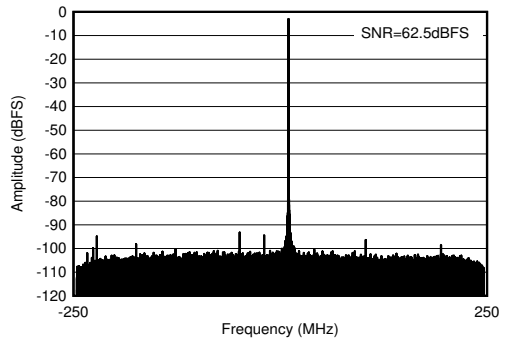
2.6GHz 整合あり、各チャネルについて 25℃のフルスケールで正規化

図 4-112. RX 入力フルスケールと温度との関係 (各種チャネル、2.6GHz)



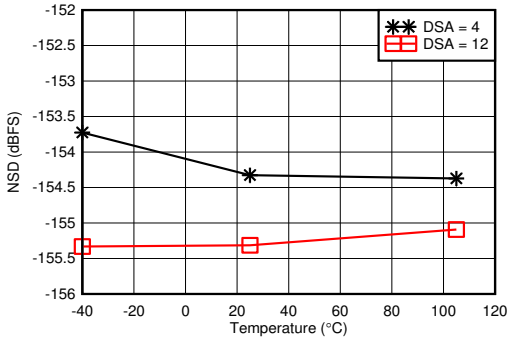
2.6GHz 整合あり
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-113. RX 較正済み積分位相誤差と DSA 設定との関係 (2.6GHz)



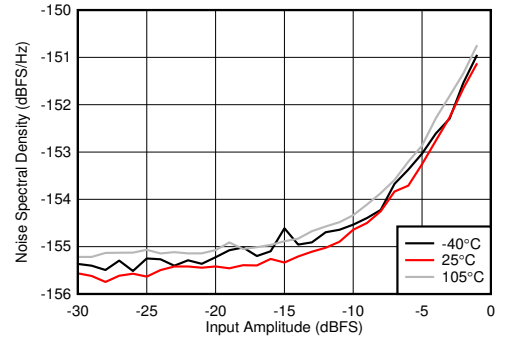
2.6GHz 整合あり、f_{IN} = 2610MHz、A_{IN}= -3dBFS

図 4-114. RX 出力 FFT (2.6GHz)



2.6GHz 整合あり、トーンからのオフセット 12.5MHz

図 4-115. RX ノイズ スペクトル密度と温度との関係 (2.6GHz)



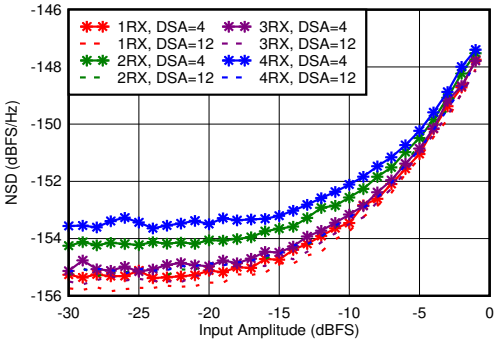
2.6GHz 整合あり、DSA 設定 = 12dB、トーンから 12.5MHz オフセット

図 4-116. RX ノイズ スペクトル密度と入力振幅との関係 (各種温度、2.6GHz)

Copyright © 2025 Texas Instruments Incorporated

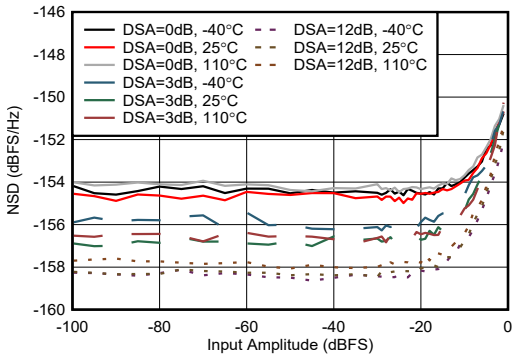
4.11.4 RX 代表的特性：2.6GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



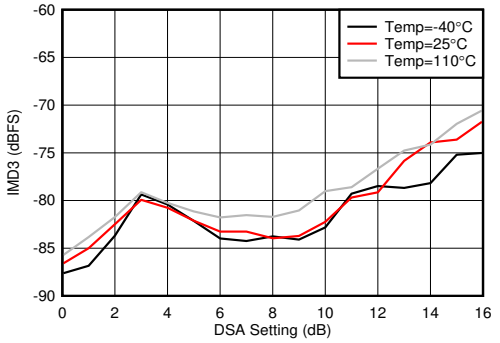
2.6GHz 整合あり、トーンからのオフセット 12.5MHz

図 4-117. RX ノイズ スペクトル密度と入力振幅との関係 (各種チャネル、2.6GHz)



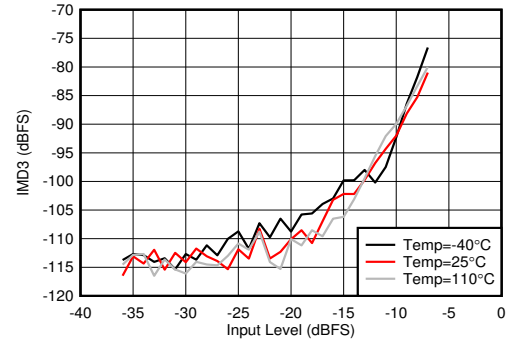
トーンから 50MHz のオフセット、外部クロック モード

図 4-118. 2.61GHz での RX ノイズ スペクトル密度と温度との関係 (外部クロック)



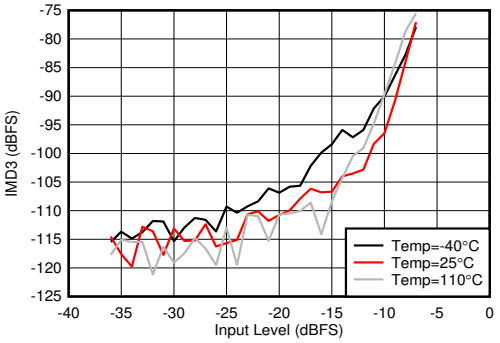
2.6GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 4-119. RX IMD3 と DSA 設定との関係 (各種温度、2.6GHz)



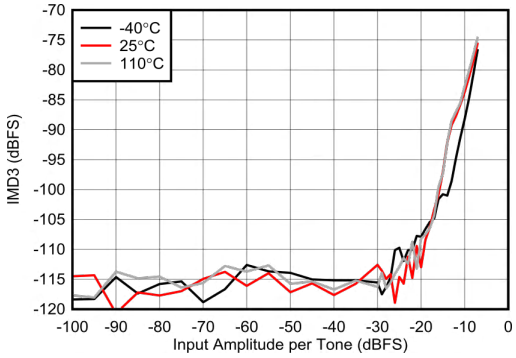
2.6GHz 整合あり、トーン間隔 = 20MHz、DSA = 4dB

図 4-120. RX IMD3 と入力レベルとの関係 (各種温度、2.6GHz)



2.6GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 4-121. RX IMD3 と入力レベルとの関係 (各種温度、2.6GHz)



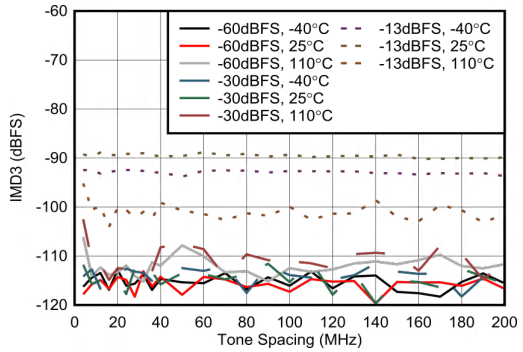
トーン間隔 = 50 MHz、外部クロック モード

図 4-122. 2.6GHz での RX IMD3 と入力レベルとの関係 (外部クロック)

Copyright © 2025 Texas Instruments Incorporated

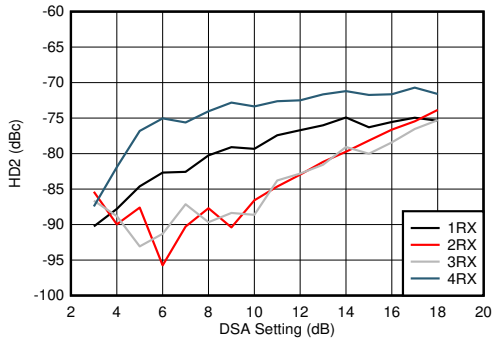
4.11.4 RX 代表的特性：2.6GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



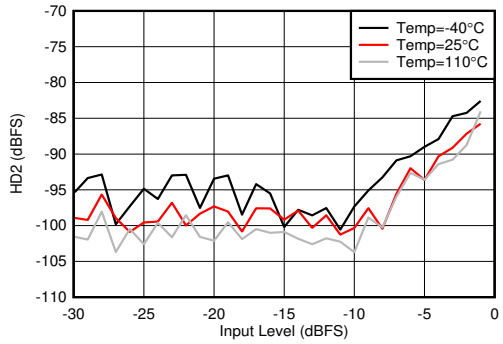
外部クロック モード

図 4-123. 2.6GHz での RX IMD3 とトーン間隔との関係 (外部クロック)



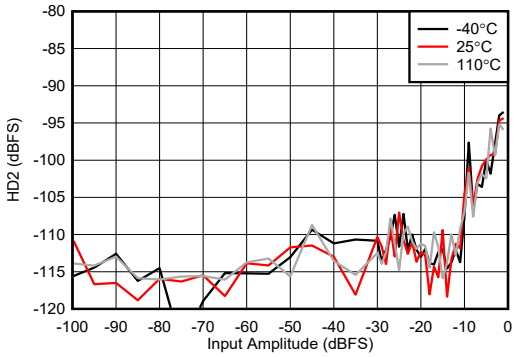
2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-124. RX HD2 と DSA 設定との関係 (各種チャネル、2.6GHz)



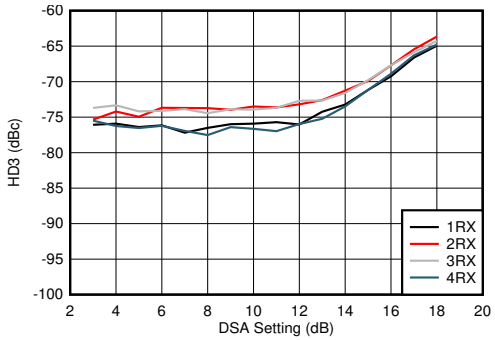
2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-125. RX HD2 と入力レベルとの関係 (各種温度、2.6GHz)



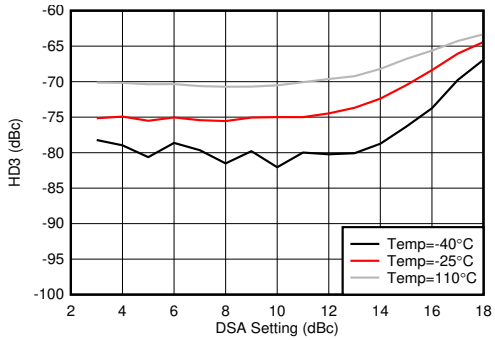
外部クロック モード

図 4-126. RX HD2 と入力レベルとの関係 (各種温度、2.6GHz)



2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-127. RX HD3 と DSA 設定との関係 (各種チャネル、2.6GHz)



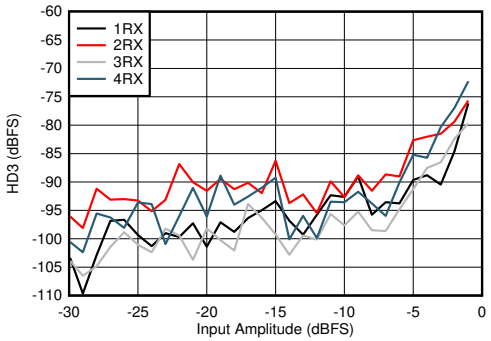
2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-128. RX HD3 と DSA 設定との関係 (各種温度、2.6GHz)

Copyright © 2025 Texas Instruments Incorporated

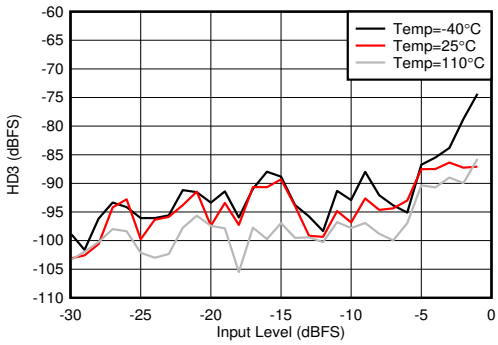
4.11.4 RX 代表的特性：2.6GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



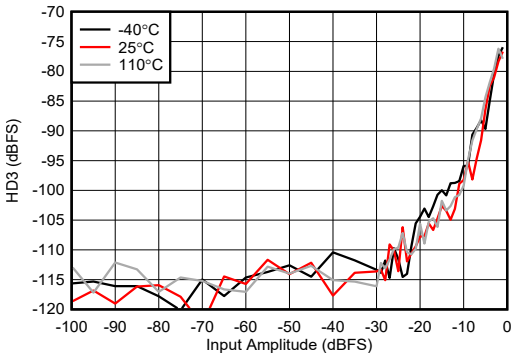
2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-129. RX HD3 と入力レベルとの関係 (各種チャネル、2.6GHz)



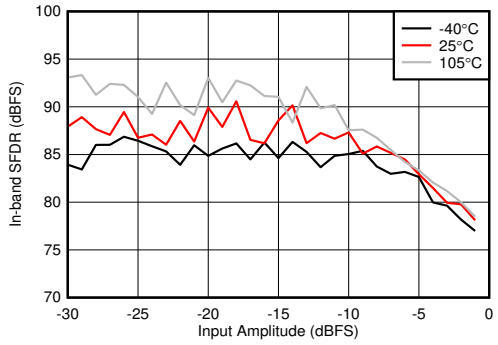
2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-130. RX HD3 と入力レベルとの関係 (各種温度、2.6GHz)



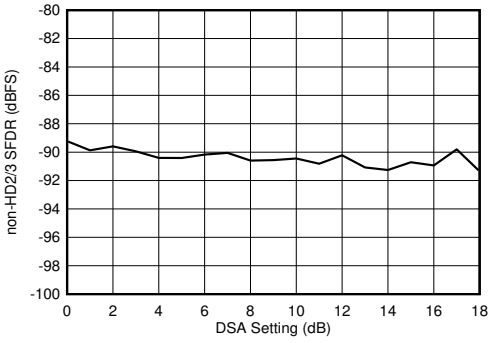
外部クロック モード

図 4-131. RX HD3 と入力レベルとの関係 (各種温度、2.6GHz)



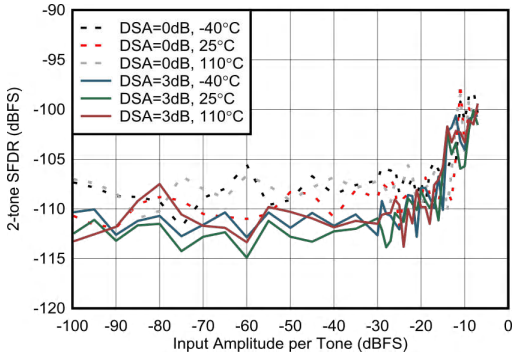
2.6GHz 整合あり、1/4 にデシメーション

図 4-132. RX 帯域内 SFDR (±300MHz) と入力振幅との関係 (各種温度、2.6GHz)



2.6GHz 整合あり

図 4-133. RX (HD2/3 を除く) と DSA 設定との関係 (2.6GHz)



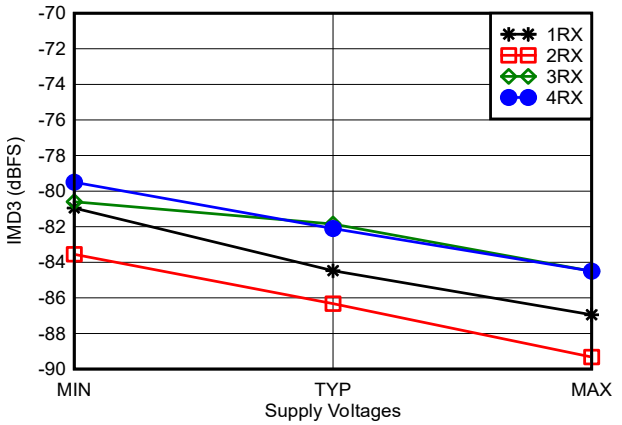
外部クロック モード、50MHz トーン間隔、3 次歪みを除く

図 4-134. 2.6GHz での RX 2 トーン SFDR と入力振幅との関係

Copyright © 2025 Texas Instruments Incorporated

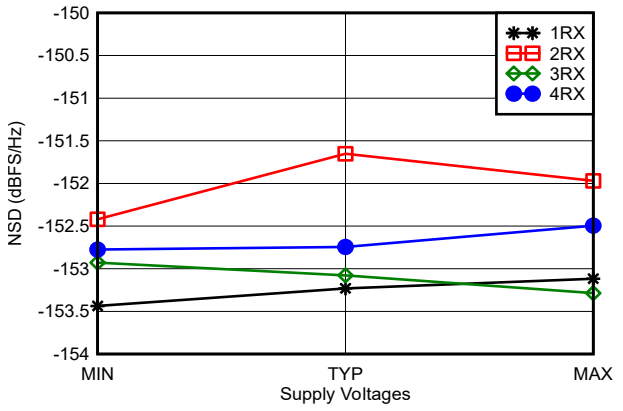
4.11.4 RX 代表的特性：2.6GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



2.6GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-135. RX IMD3 と電源電圧との関係 (各種チャネル、2.6GHz)



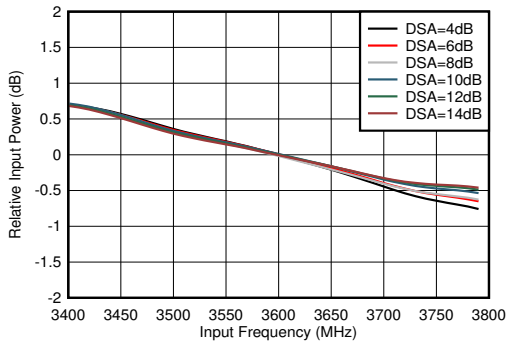
2.6GHz 整合あり、12.5MHz オフセット、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-136. RX ノイズ スペクトル密度と電源電圧との関係 (各種チャネル、2.6GHz)

Copyright © 2025 Texas Instruments Incorporated

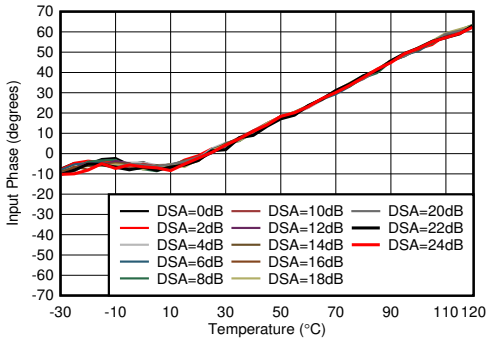
4.11.5 RX 代表的特性：3.5GHz

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



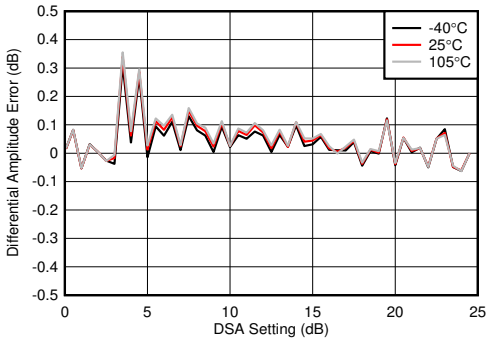
3.6GHz 整合あり、3.6GHz で正規化

図 4-137. RX 帯域内ゲイン平坦性 (f_{IN} = 3600MHz)



3.6GHz 整合あり、25℃の位相で正規化

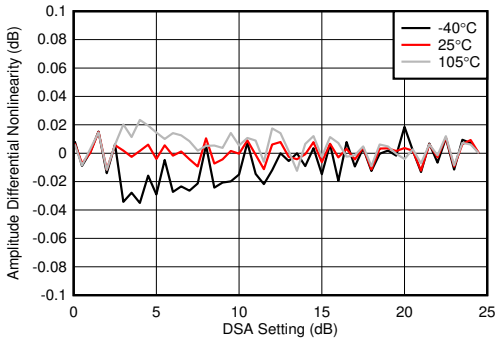
図 4-138. RX 入力位相と温度との関係 (3.6GHz)



3.6GHz 整合あり

微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

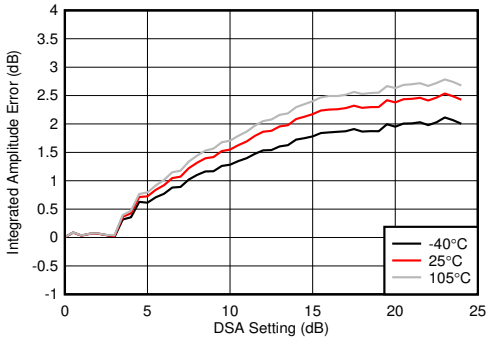
図 4-139. RX 未較正微分振幅誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり

微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

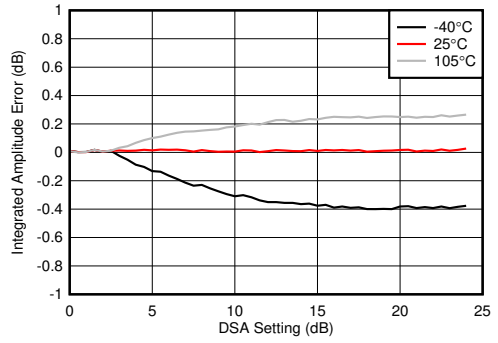
図 4-140. RX 較正済み微分振幅誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり

積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

図 4-141. RX 未較正積分振幅誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり

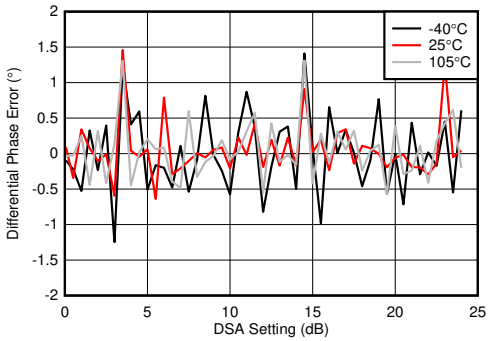
積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

図 4-142. RX 較正済み積分振幅誤差と DSA 設定との関係 (3.6GHz)

Copyright © 2025 Texas Instruments Incorporated

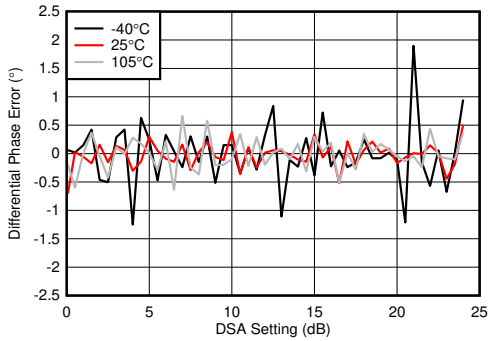
4.11.5 RX 代表的特性：3.5GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



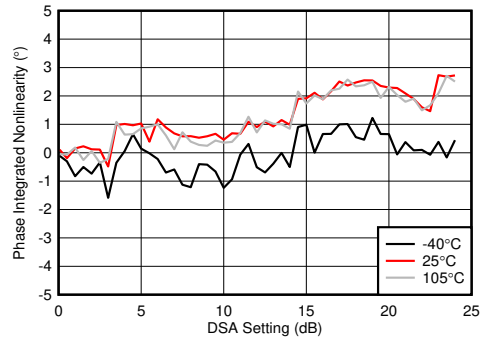
3.6GHz 整合あり
微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

図 4-143. RX 未較正位相誤差と DSA 設定との関係 (3.6GHz)



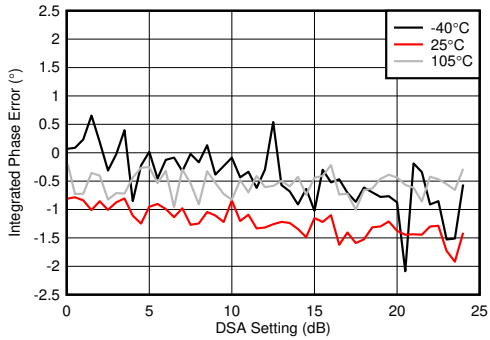
3.6GHz 整合あり
微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

図 4-144. RX 較正済み微分位相誤差と DSA 設定との関係 (3.6GHz)



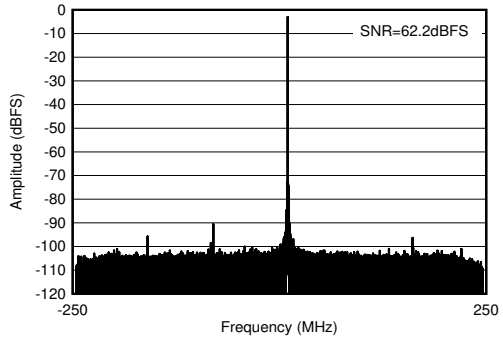
3.6GHz 整合あり
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-145. RX 未較正積分位相誤差と DSA 設定との関係 (3.6GHz)



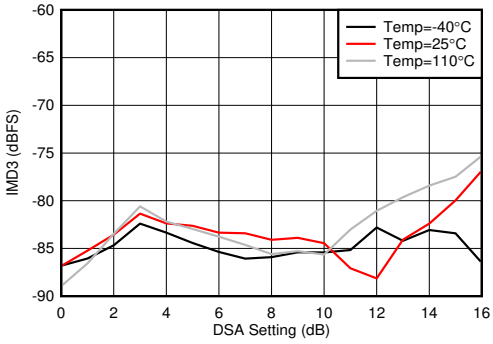
3.6GHz 整合あり
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-146. RX 較正済み積分位相誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり、f_{IN} = 3610MHz、A_{IN} = -3dBFS

図 4-147. RX 出力 FFT (3.6GHz)



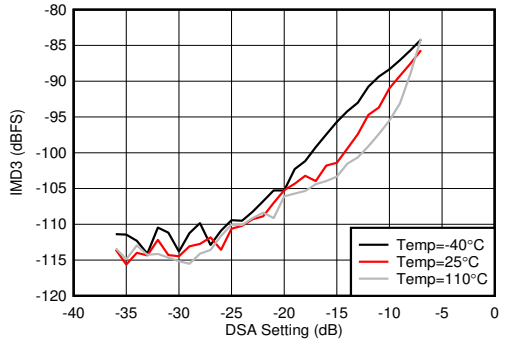
3.5GHz 整合あり、各トーンは -7dBFS、20MHz のトーン間隔

図 4-148. RX IMD3 と DSA 設定との関係 (各種温度、3.6GHz)

Copyright © 2025 Texas Instruments Incorporated

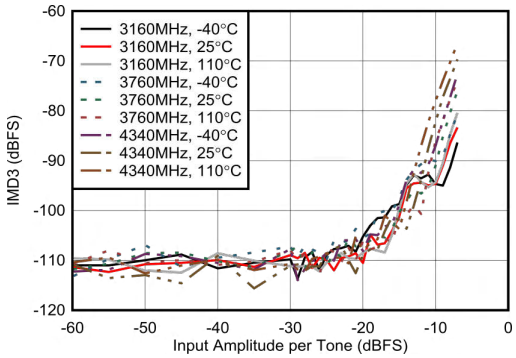
4.11.5 RX 代表的特性：3.5GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



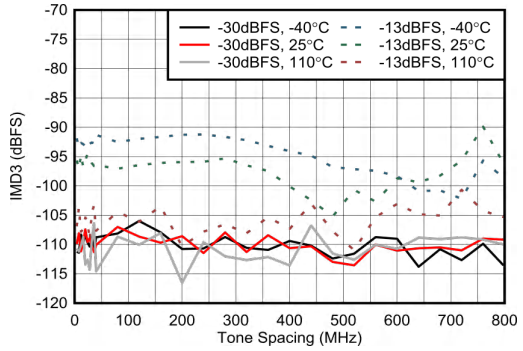
3.5GHz 整合あり、20MHz のトーン間隔

図 4-149. RX IMD3 と入力レベルとの関係 (各種温度、3.6GHz)



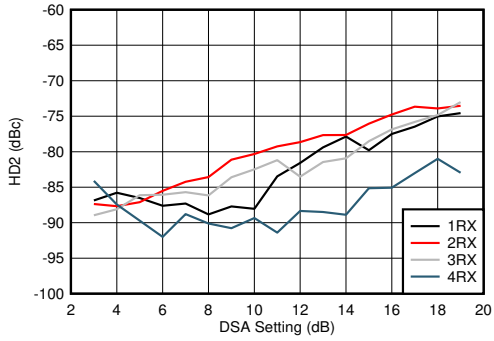
外部クロック モード、20MHz のトーン間隔、2x のデシメーション

図 4-150. RX IMD3 と入力レベルとの関係



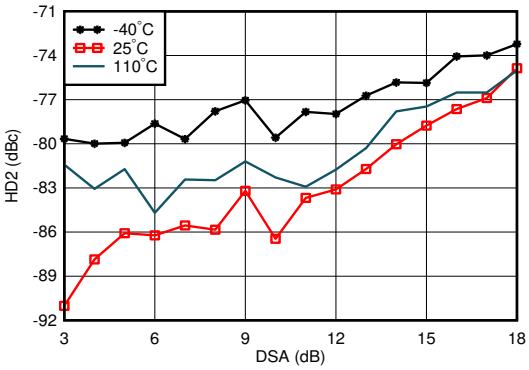
外部クロック モード イネーブル、2x のデシメーション

図 4-151. RX IMD3 とトーン間隔との関係 (3.76GHz)



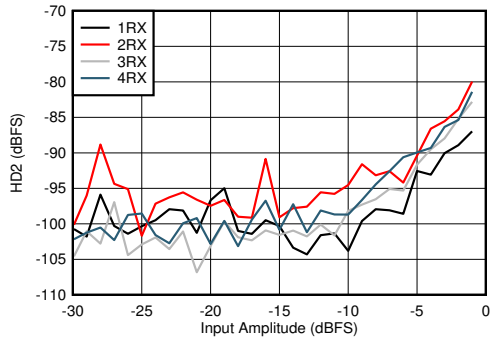
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-152. RX HD2 と DSA 設定との関係 (各種チャネル、3.6GHz)



3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-153. RX HD2 と DSA 設定との関係 (各種温度、3.6GHz)

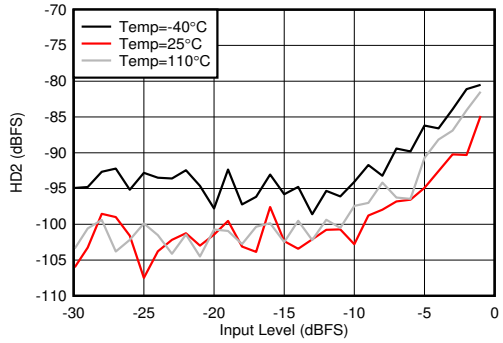


3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-154. RX HD2 と入力レベルとの関係 (各種チャネル、3.6GHz)

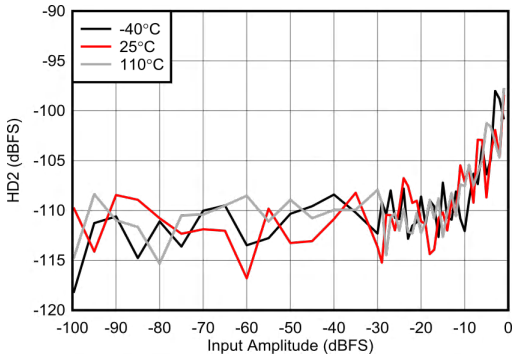
4.11.5 RX 代表的特性：3.5GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



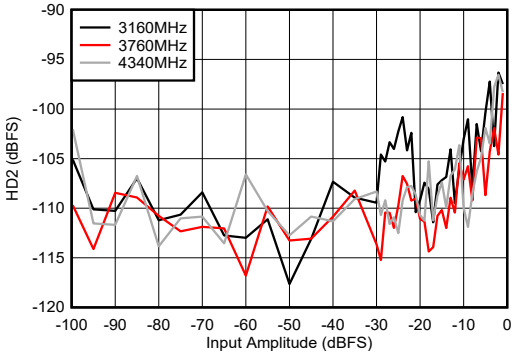
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-155. RX HD2 と入力レベルとの関係 (各種温度、3.6GHz)



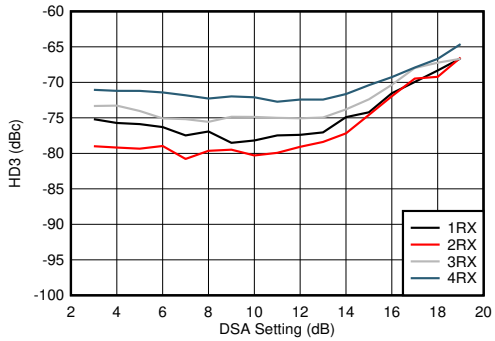
外部クロック モード イネーブル、2x のデシメーション

図 4-156. RX HD2 と入力レベルとの関係 (3.76GHz)



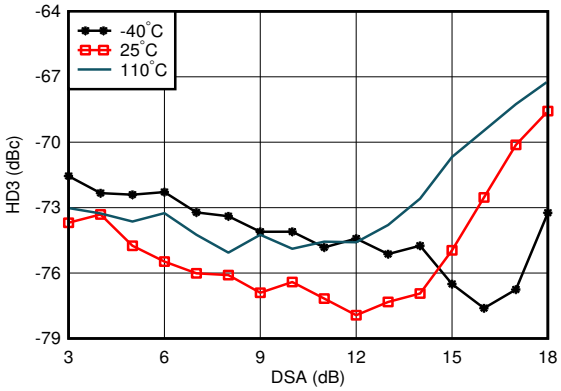
外部クロック モード、25°C、2x でのデシメーション

図 4-157. RX HD2 と入力レベルとの関係



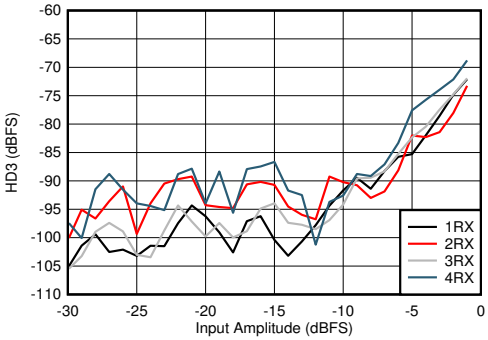
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-158. RX HD3 と DSA 設定との関係 (各種チャネル、3.6GHz)



3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-159. RX HD3 と DSA 設定との関係 (各種温度、3.6GHz)



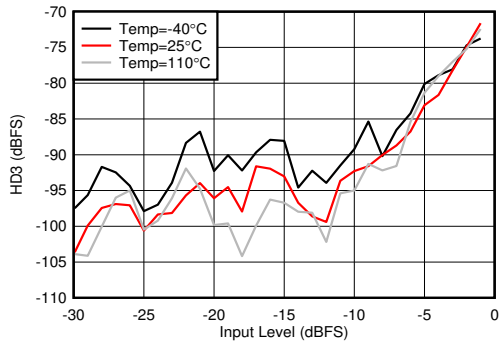
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-160. RX HD3 と入力レベルとの関係 (各種チャネル、3.6GHz)

Copyright © 2025 Texas Instruments Incorporated

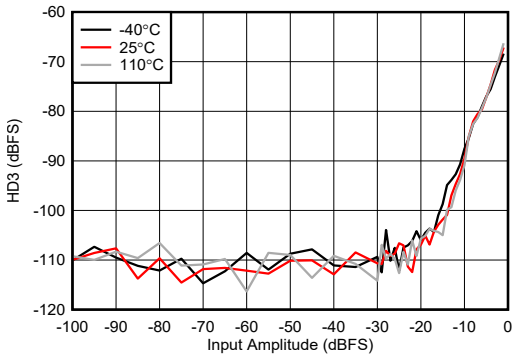
4.11.5 RX 代表的特性：3.5GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



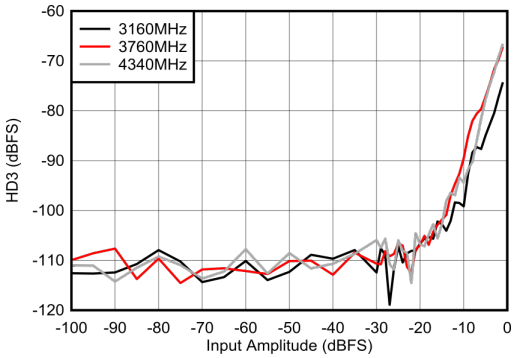
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-161. RX HD3 と入力レベルとの関係 (各種温度、3.6GHz)



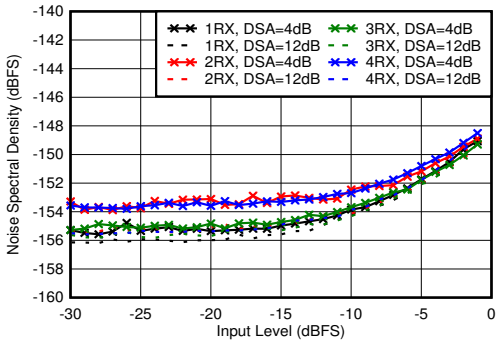
外部クロック モード イネーブル、2x のデシメーション

図 4-162. RX HD3 と入力レベルとの関係 (3.76GHz)



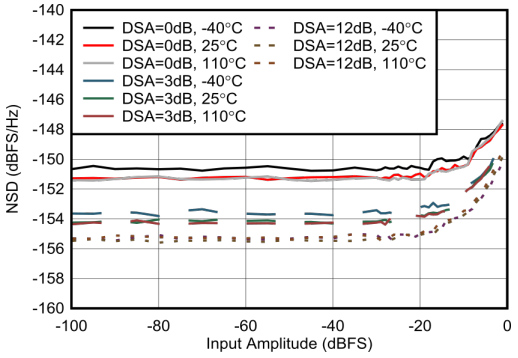
外部クロックモード、25°C、2x でのデシメーション

図 4-163. RX HD3 と入力レベルとの関係



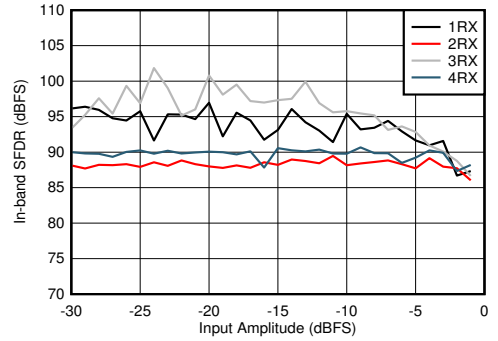
3.5GHz 整合あり、トーンからのオフセット 12.5MHz

図 4-164. RX ノイズ スペクトル密度と入力レベルとの関係 (各種 DSA 設定、3.6GHz)



外部クロックモード、25°C、2x でのデシメーション

図 4-165. RX ノイズ スペクトル密度と入力レベルとの関係 (3.76GHz)

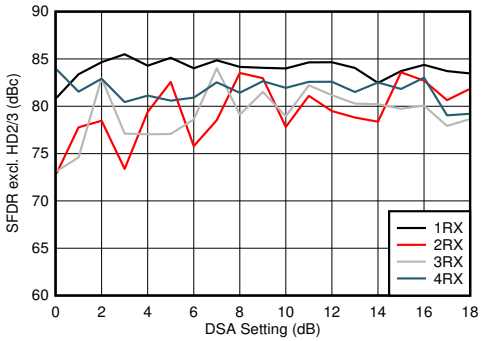


3.5GHz 整合あり

図 4-166. RX 帯域内 SFDR (±200MHz) と入力レベルとの関係 (各種チャネル、3.6GHz)

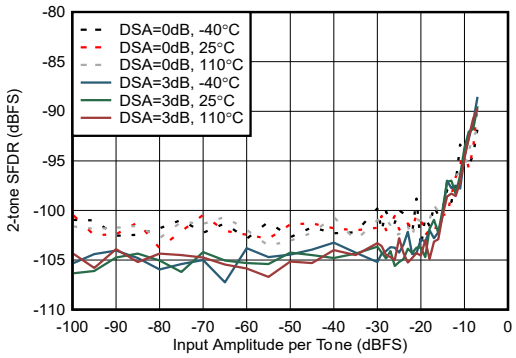
4.11.5 RX 代表的特性：3.5GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



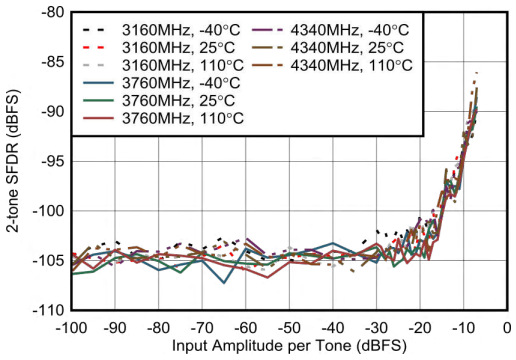
3.5GHz 整合あり

図 4-167. RX SFDR (HD2/3 を除く) と DSA 設定との関係 (各種チャネル、3.6GHz)



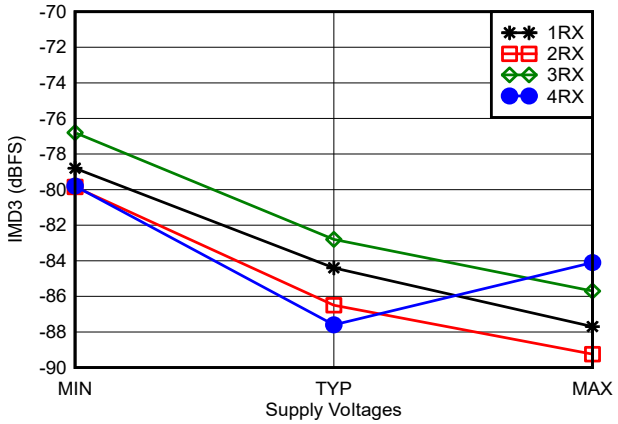
外部クロック モード、20MHz トーン間隔、3 次歪みを除く

図 4-168. RX 2 トーン SFDR と入力振幅、各種 DSA 設定との関係 (3.7 GHz)



外部クロック モード、20MHz トーン間隔、3 次歪みを除く

図 4-169. RX 2 トーン SFDR 、入力新億、周波数との関係 (3.7GHz)



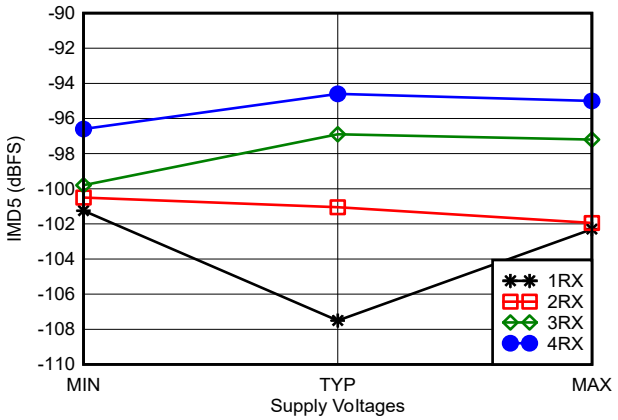
3.6GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-170. RX IMD3 と電源電圧との関係 (各種チャネル、3.6GHz)

Copyright © 2025 Texas Instruments Incorporated

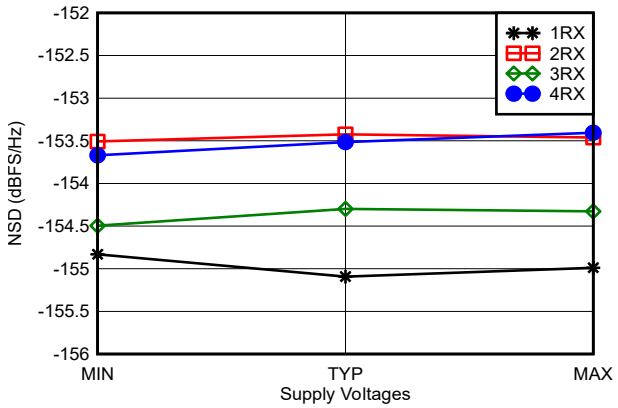
4.11.5 RX 代表的特性：3.5GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



3.6GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-171. RX IMD5 と電源電圧との関係 (各種チャネル、3.6GHz)

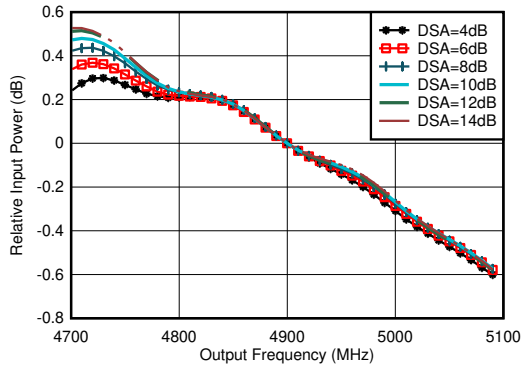


3.6GHz 整合あり、-20dBFS のトーン、12.5MHz のオフセット周波数、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-172. RX ノイズ スペクトル密度と電源電圧との関係 (各種チャネル、3.6GHz)

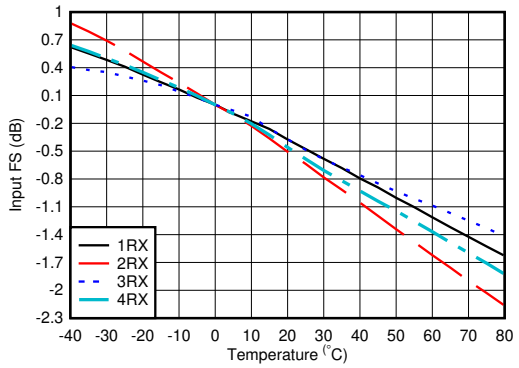
4.11.6 RX 代表的特性：4.9GHz

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB、



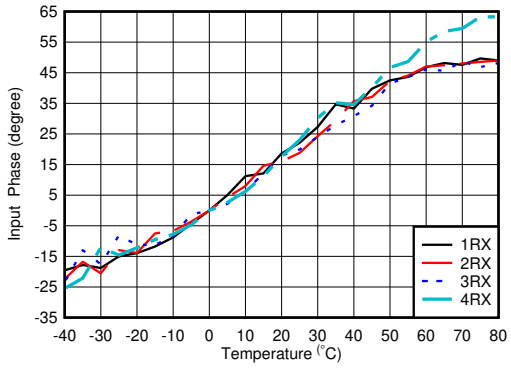
整合あり、各 DSA 設定について 4.9GHz の電力で正規化

図 4-173. RX 帯域内ゲイン平坦性 (f_{IN} = 4900MHz)



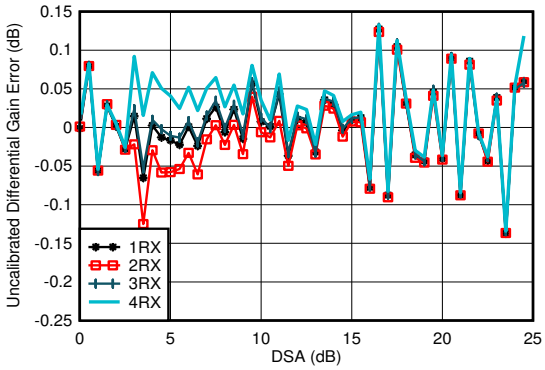
4.9GHz 整合あり、各チャネルについて 25℃のフルスケールで正規化

図 4-174. RX 入力フルスケールと温度との関係 (各種チャネル、4.9GHz)



4.9GHz 整合あり、25℃の位相で正規化

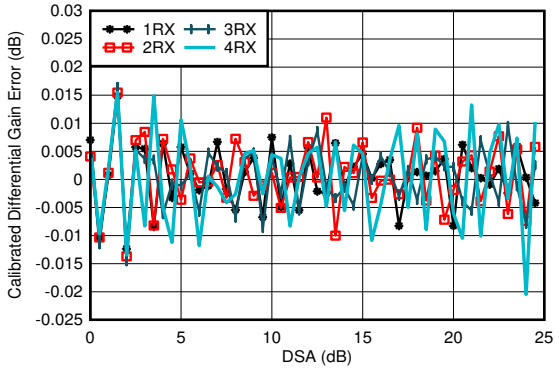
図 4-175. RX 入力位相と温度との関係 (各種 DSA、f_{OUT} = 4.9GHz)



4.9GHz 整合あり

微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

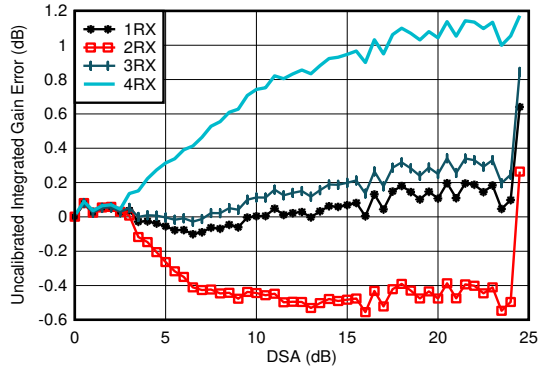
図 4-176. RX 未較正微分振幅誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

図 4-177. RX 較正済み微分振幅誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

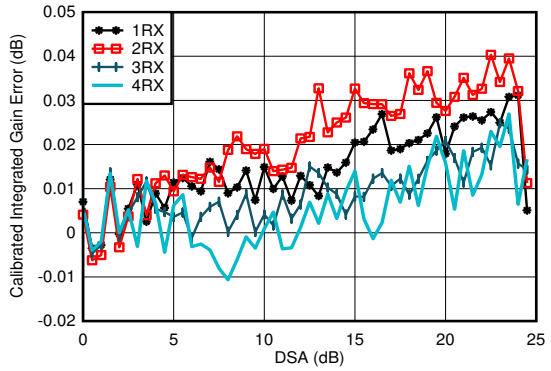
積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

図 4-178. RX 未較正積分振幅誤差と DSA 設定との関係 (4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

4.11.6 RX 代表的特性：4.9GHz (続き)

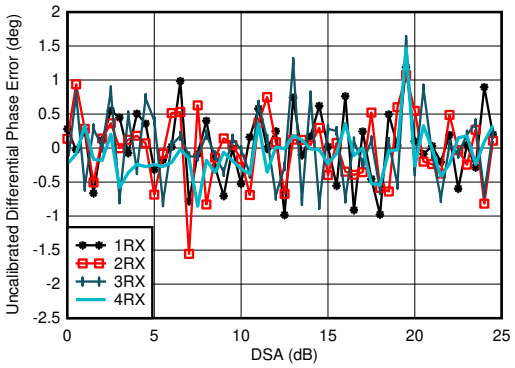
T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB、



4.9GHz 整合あり

積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

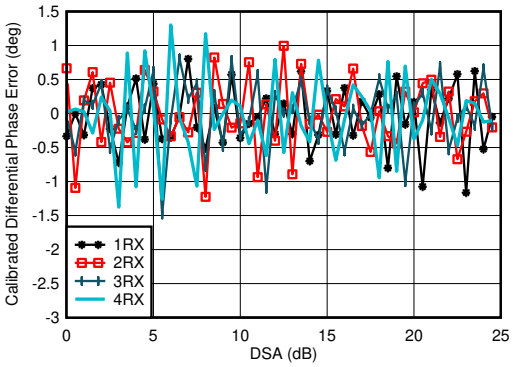
図 4-179. RX 較正済み積分振幅誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

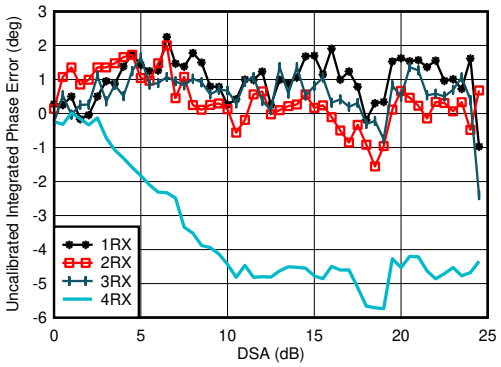
図 4-180. RX 未較正微分位相誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

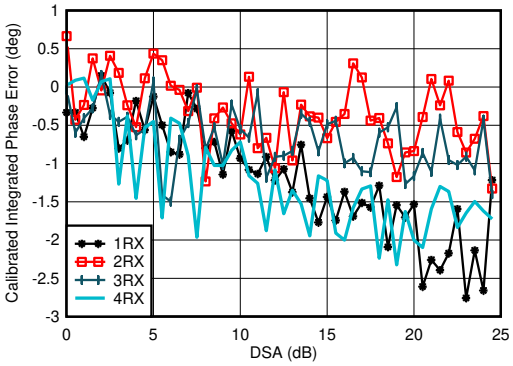
図 4-181. RX 較正済み微分位相誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

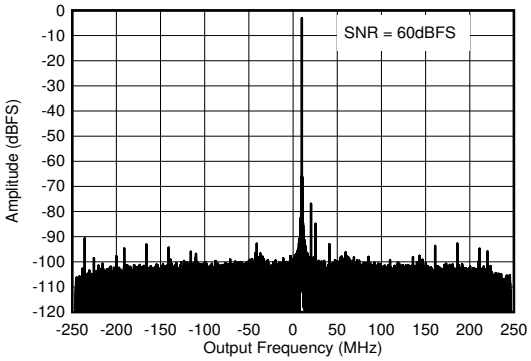
図 4-182. RX 未較正積分位相誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-183. RX 較正済み積分位相誤差と DSA 設定との関係 (4.9GHz)

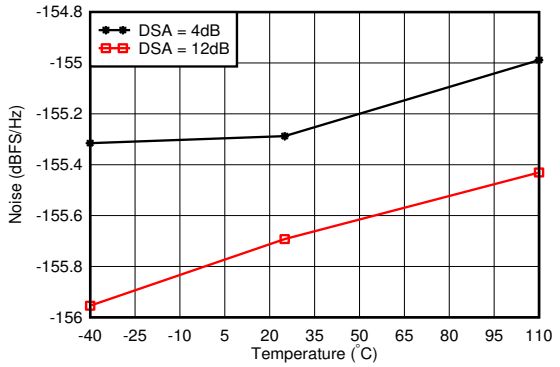


4.9GHz 整合あり、f_{IN} = 4910MHz、A_{IN}= -3dBFS

図 4-184. RX 出力 FFT (4.9GHz)

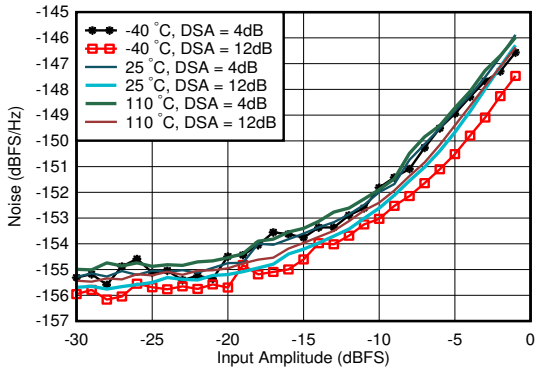
4.11.6 RX 代表的特性：4.9GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB、



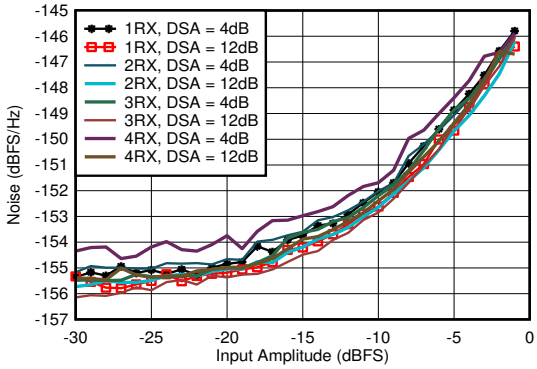
4.9GHz 整合あり、トーンからのオフセット 12.5MHz

図 4-185. RX ノイズ スペクトル密度と温度との関係 (4.9GHz)



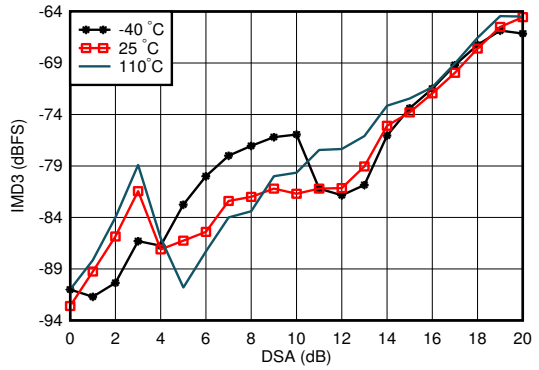
4.9GHz 整合あり、DSA 設定 = 12dB、トーンから 12.5MHz オフセット

図 4-186. RX ノイズ スペクトル密度と入力振幅との関係 (各種温度、4.9GHz)



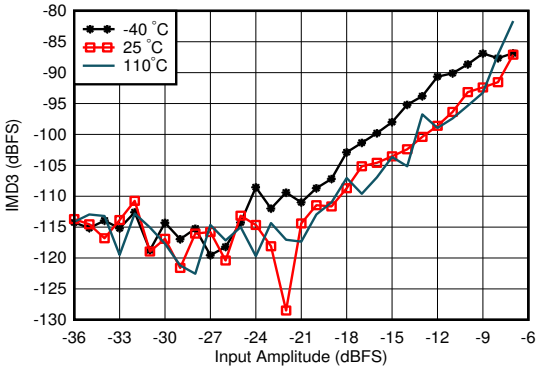
4.9GHz 整合あり、トーンからのオフセット 12.5MHz

図 4-187. RX ノイズ スペクトル密度と入力振幅との関係 (各種チャネル、4.9GHz)



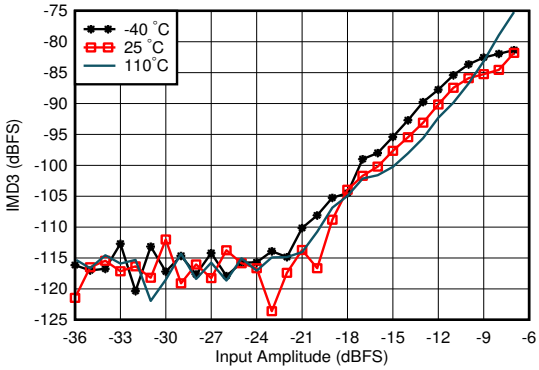
4.9GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 4-188. RX IMD3 と DSA 設定との関係 (各種温度、4.9GHz)



4.9GHz 整合あり、トーン間隔 = 20MHz、DSA = 4dB

図 4-189. RX IMD3 と入力レベルとの関係 (各種温度、4.9GHz)



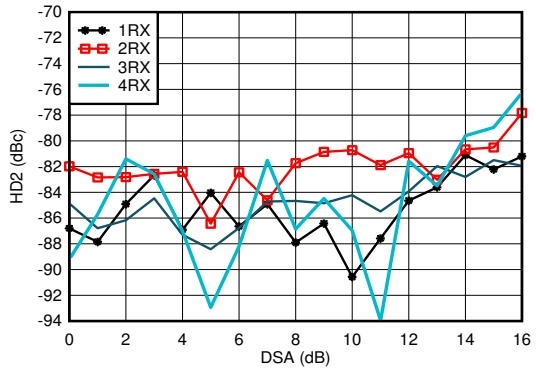
4.9GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 4-190. RX IMD3 と入力レベルとの関係 (各種温度、4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

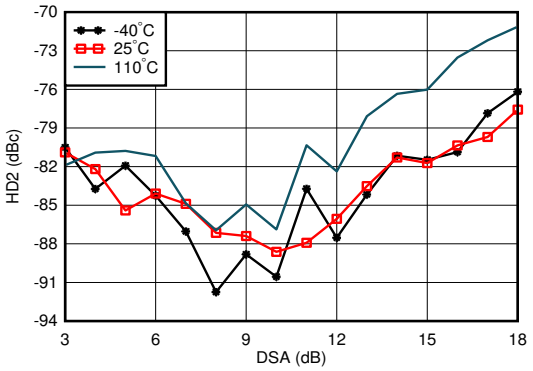
4.11.6 RX 代表的特性：4.9GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB、



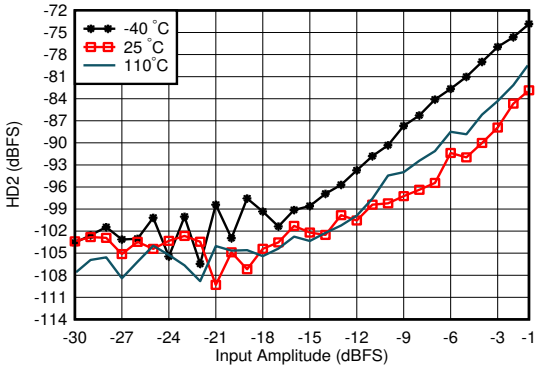
4.9GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-191. RX HD2 と DSA 設定との関係 (各種チャネル、4.9GHz)



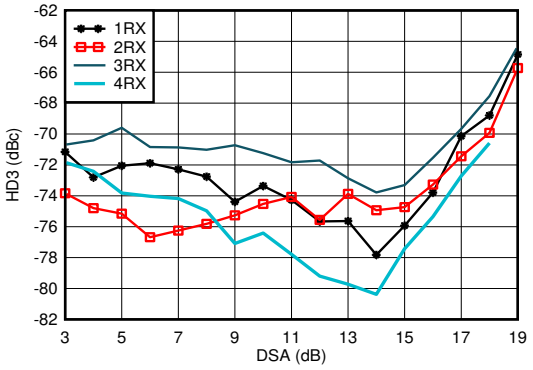
4.9GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-192. RX HD2 と DSA 設定との関係 (各種温度、4.9GHz)



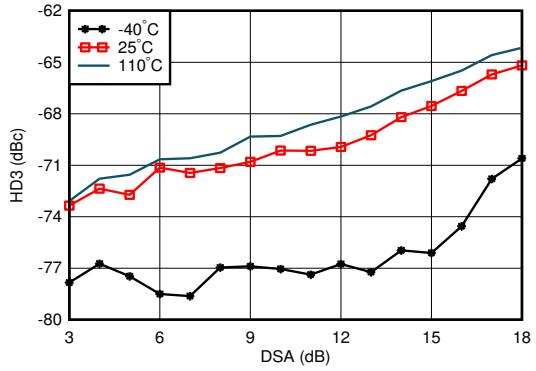
4.9GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-193. RX HD2 と入力レベルとの関係 (各種温度、4.9GHz)



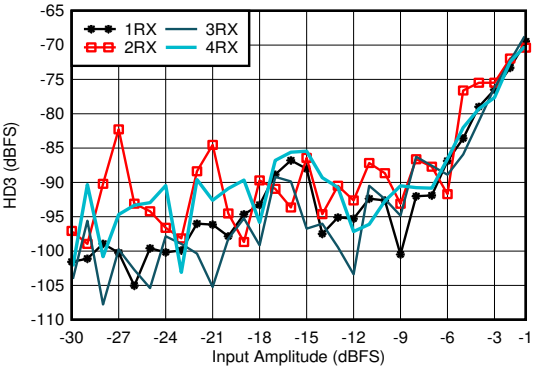
4.9GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-194. RX HD3 と DSA 設定との関係 (各種チャネル、4.9GHz)



4.9GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-195. RX HD3 と DSA 設定との関係 (各種温度、4.9GHz)



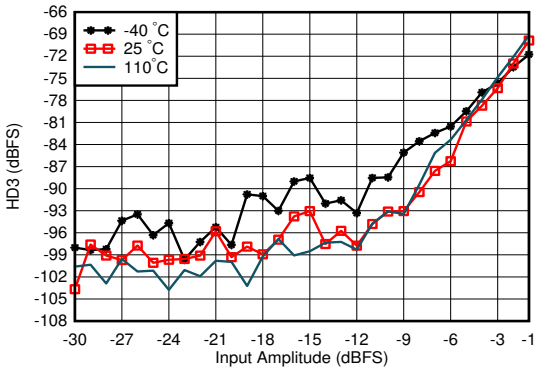
4.9GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-196. RX HD3 と入力レベルとの関係 (各種チャネル、4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

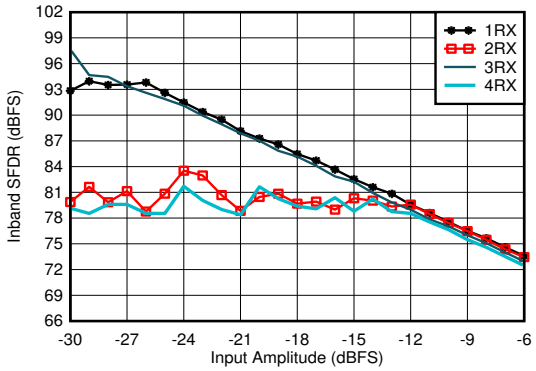
4.11.6 RX 代表的特性：4.9GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB、



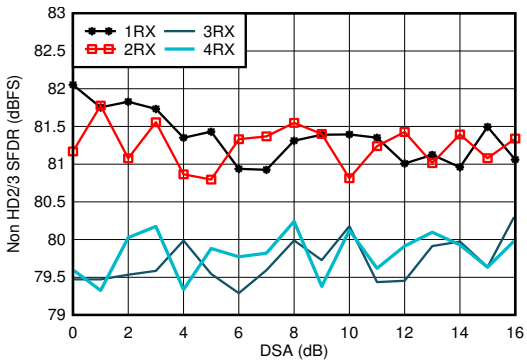
4.9GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-197. RX HD3 と入力レベルとの関係 (各種温度、4.9GHz)



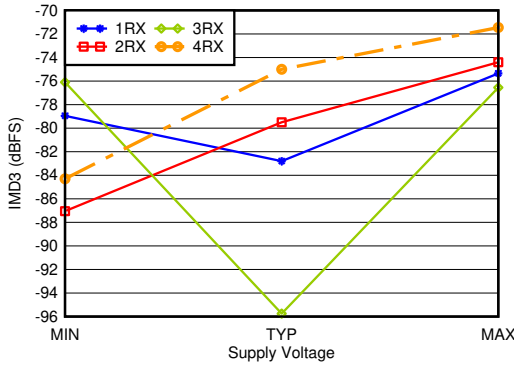
4.9GHz 整合あり、1/3 にデシメーション

図 4-198. RX 帯域内 SFDR (±400MHz) と入力振幅との関係 (各種チャネル、4.9GHz)



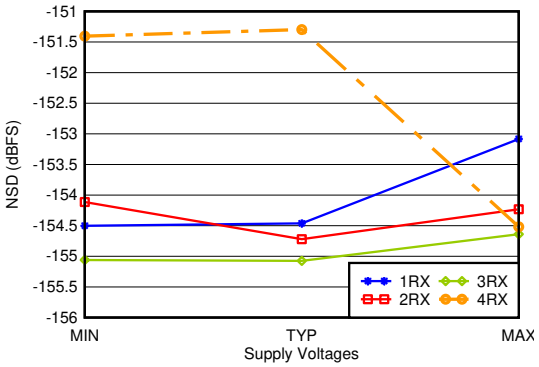
4.9GHz 整合あり

図 4-199. RX (HD2/3 を除く) と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-200. RX IMD3 と電源電圧との関係 (各種チャネル、4.9GHz)



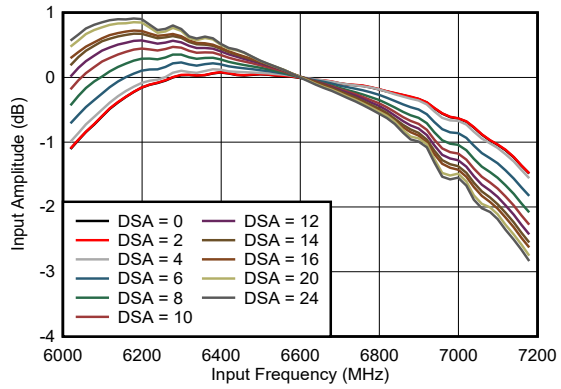
4.9GHz 整合あり、12.5MHz オフセット、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-201. RX ノイズ スペクトル密度と電源電圧との関係 (各種チャネル、4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

4.11.7 RX 代表的特性：6.8GHz

T_A = +25℃ における代表値。デフォルト条件は 30MHz。ADC サンプリング レート= 3000MSPS、出力サンプル レート= 1500MSPS (2x にデシメーション)、外部クロック モード、A_{IN} = -3dBFS、DSA 設定= 3dB。



6.6GHz で正規化

図 4-202. RX 帯域内ゲイン平坦性

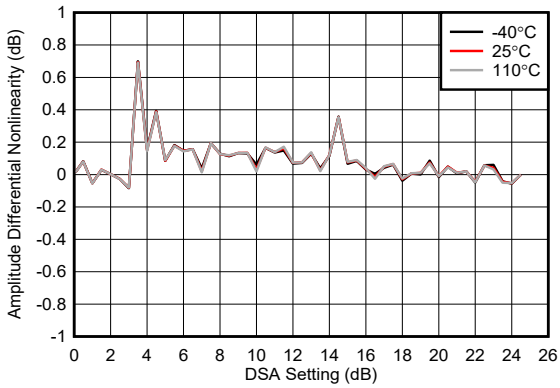
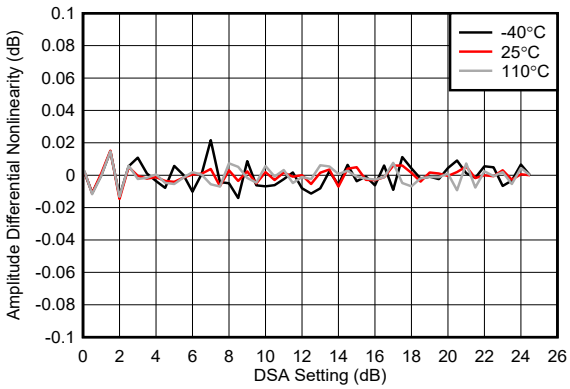


図 4-203. 6.851GHz での RX 未較正微分振幅誤差



25°C で較正済み、-40°C および 110°C で保持

図 4-204. 6.851GHz での RX 較正済み微分振幅誤差

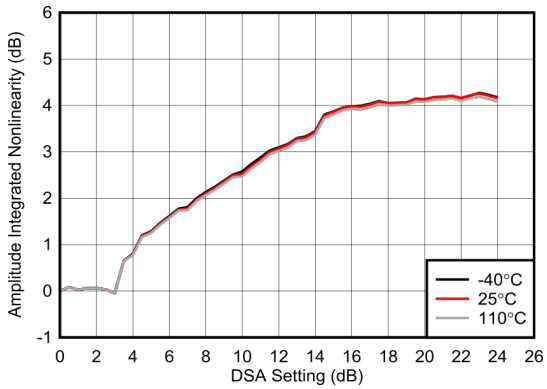
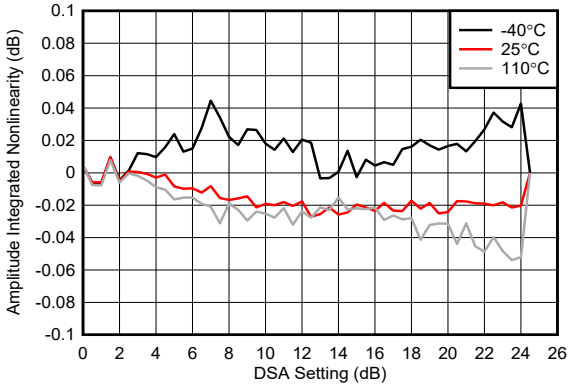


図 4-205. 6.851GHz での RX 未較正積分振幅誤差



25°C で較正済み、-40°C および 110°C で保持

図 4-206. 6.851GHz での RX 較正済み積分振幅誤差

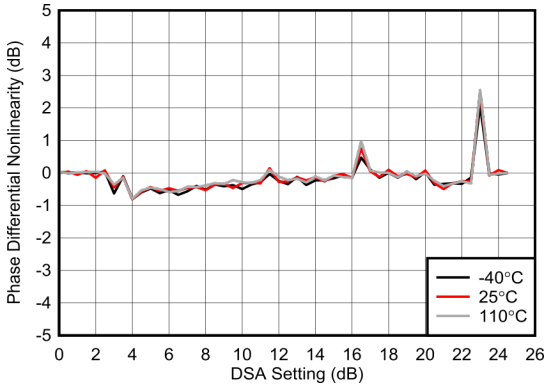
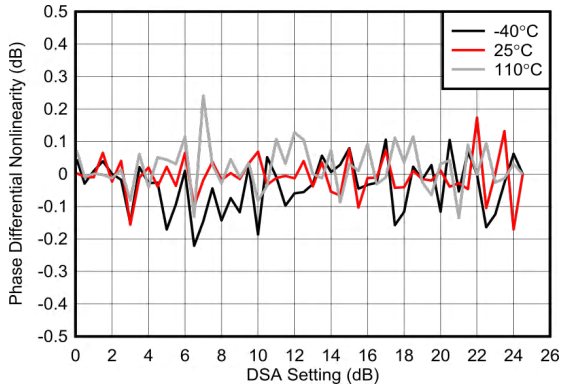


図 4-207. 6.851GHz での RX 未較正微分位相誤差

Copyright © 2025 Texas Instruments Incorporated

4.11.7 RX 代表的特性：6.8GHz (続き)

T_A = +25℃ における代表値。デフォルト条件は 30MHz。ADC サンプリング レート= 3000MSPS、出力サンプル レート= 1500MSPS (2x にデシメーション)、外部クロック モード、A_{IN} = -3dBFS、DSA 設定= 3dB。



25°C で較正済み、-40°C および 110°C で保持

図 4-208. 6.851GHz での RX 較正済み微分位相誤差

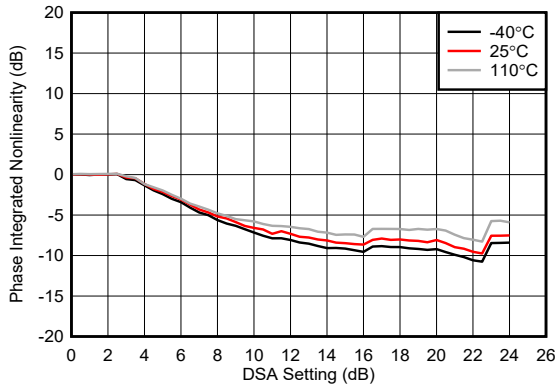
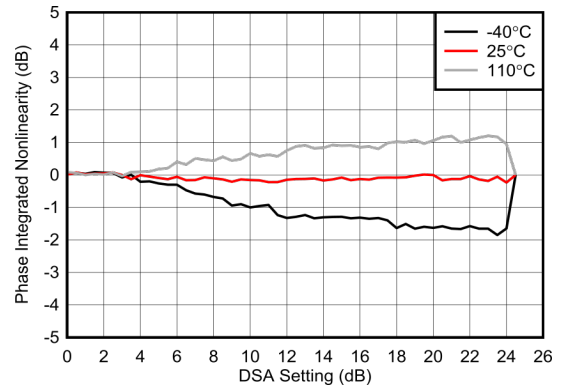
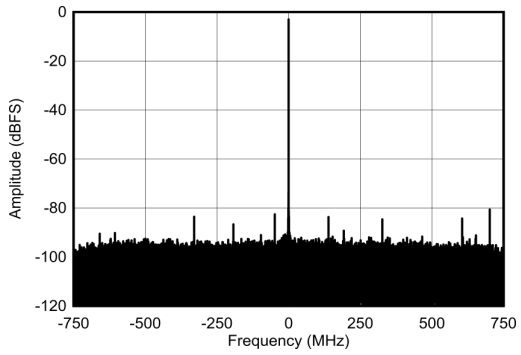


図 4-209. 6.851GHz での RX 未較正積分位相誤差



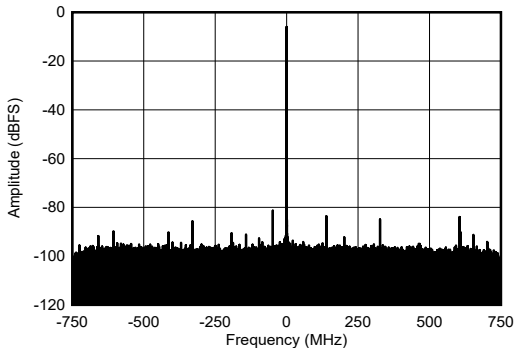
25°C で較正済み、-40°C および 110°C で保持

図 4-210. 6.851GHz での RX 較正済み積分位相誤差



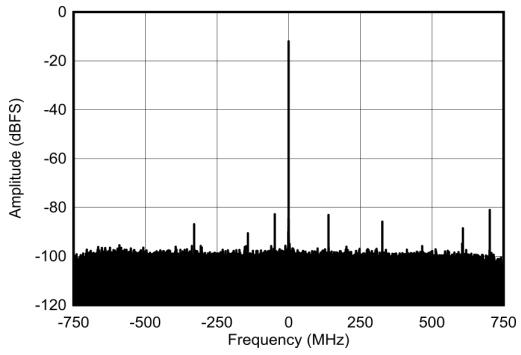
F_{NCO} = 6.851GHz、F_{IN} オフセット -130kHz

図 4-211. 6.851GHz、-3dBFS での RX 出力 FFT



F_{NCO} = 6.851GHz、F_{IN} オフセット -130kHz

図 4-212. 6.851GHz、-6dBFS での RX 出力 FFT



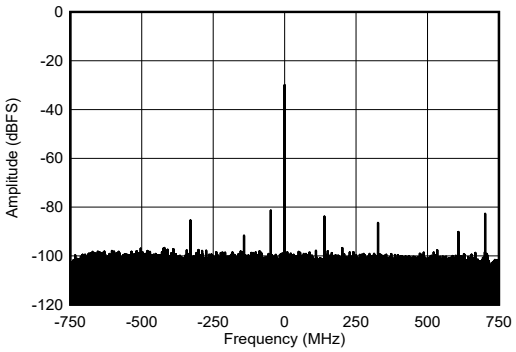
F_{NCO} = 6.851GHz、F_{IN} オフセット -130kHz

図 4-213. 6.851GHz、-12dBFS での RX 出力 FFT

Copyright © 2025 Texas Instruments Incorporated

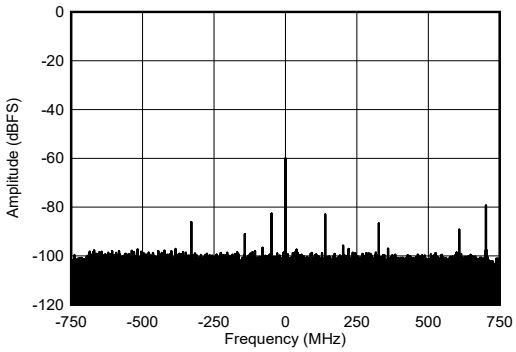
4.11.7 RX 代表的特性：6.8GHz (続き)

T_A = +25℃ における代表値。デフォルト条件は 30MHz。ADC サンプリング レート= 3000MSPS、出力サンプル レート= 1500MSPS (2x にデシメーション)、外部クロック モード、A_{IN} = -3dBFS、DSA 設定= 3dB。



F_{NCO} = 6.851GHz、F_{IN} オフセット -130kHz

図 4-214. 6.851GHz、-30dBFS での RX 出力 FFT



F_{NCO} = 6.851GHz、F_{IN} オフセット -130kHz

図 4-215. 6.851GHz、-60dBFS での RX 出力 FFT

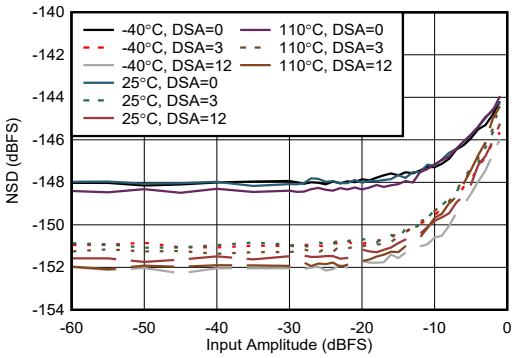
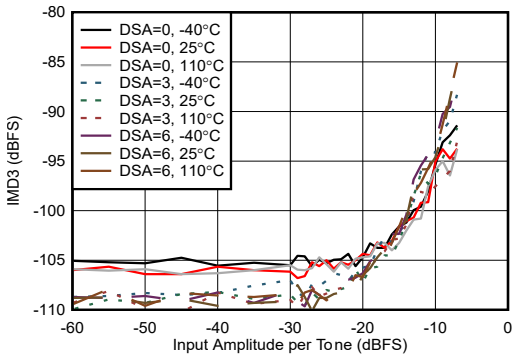
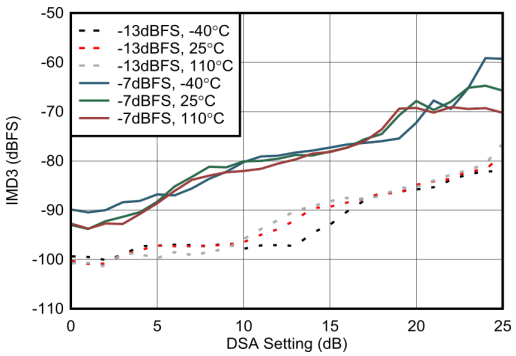


図 4-216. 6.851 GHz での RX NSD と入力振幅との関係



100MHz のトーン間隔

図 4-217. RX IMD3 と入力振幅との関係 (6.851GHz)



100MHz のトーン間隔

図 4-218. RX IMD3 と DSA 設定との関係 (6.851GHz)

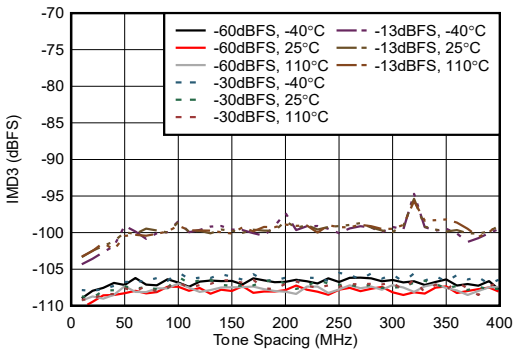


図 4-219. RX IMD3 とトーン間隔との関係 (6.851GHz)

4.11.7 RX 代表的特性：6.8GHz (続き)

T_A = +25℃ における代表値。デフォルト条件は 30MHz。ADC サンプリング レート= 3000MSPS、出力サンプル レート= 1500MSPS (2x にデシメーション)、外部クロック モード、A_{IN} = -3dBFS、DSA 設定= 3dB。

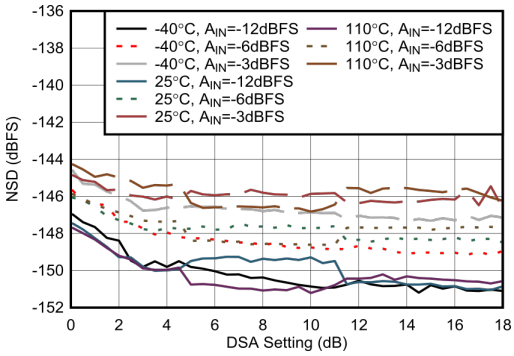


図 4-220. RX NSD と DSA 設定との関係 (6.851GHz)

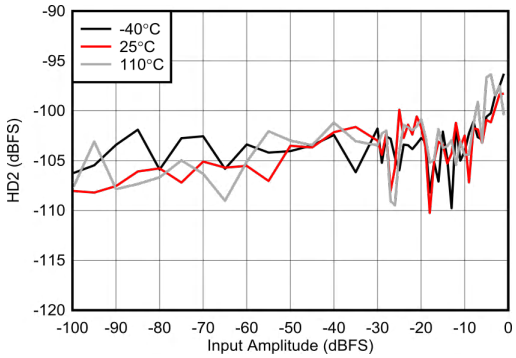
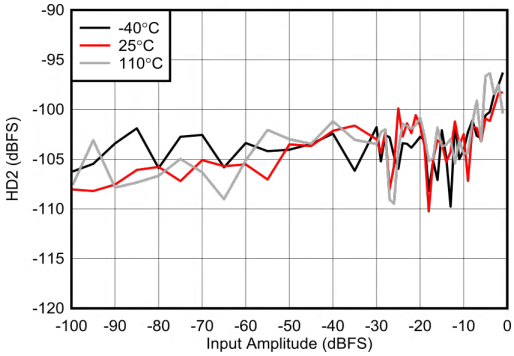
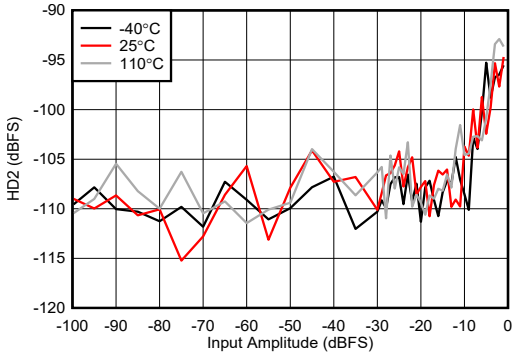


図 4-221. RX HD2 と入力振幅との関係 (6.851GHz)



DSA = 0dB

図 4-222. RX HD2 と入力振幅との関係 (6.851GHz)



DSA = 12dB

図 4-223. RX HD2 と入力振幅との関係 (6.851GHz)

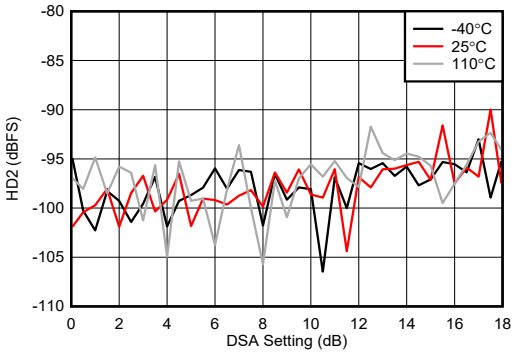


図 4-224. RX HD2 と DSA 設定との関係 (6.851GHz)

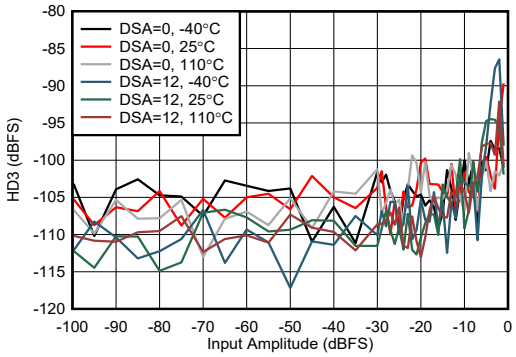


図 4-225. RX HD3 と入力振幅との関係 (6.851GHz)

Copyright © 2025 Texas Instruments Incorporated

4.11.7 RX 代表的特性：6.8GHz (続き)

T_A = +25℃ における代表値。デフォルト条件は 30MHz。ADC サンプリング レート= 3000MSPS、出力サンプル レート= 1500MSPS (2x にデシメーション)、外部クロック モード、A_{IN} = -3dBFS、DSA 設定= 3dB。

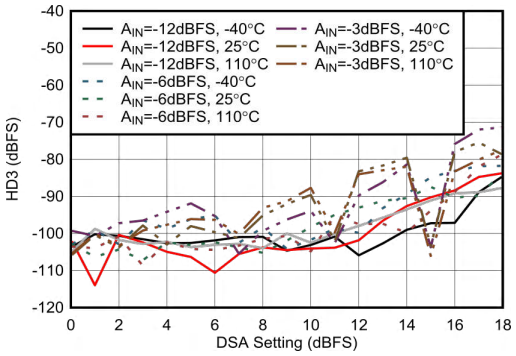
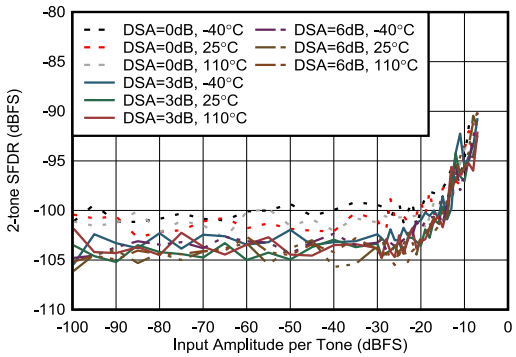


図 4-226. RX HD3 と DSA 設定との関係 (6.851GHz)



3 次歪みを除く 100MHz トーン間隔

図 4-227. 6.85 GHz での RX 2 トーン SFDR と入力振幅との関係

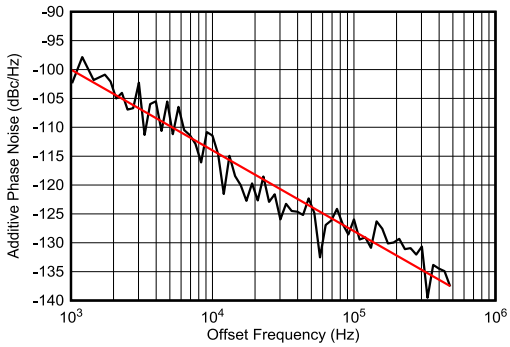
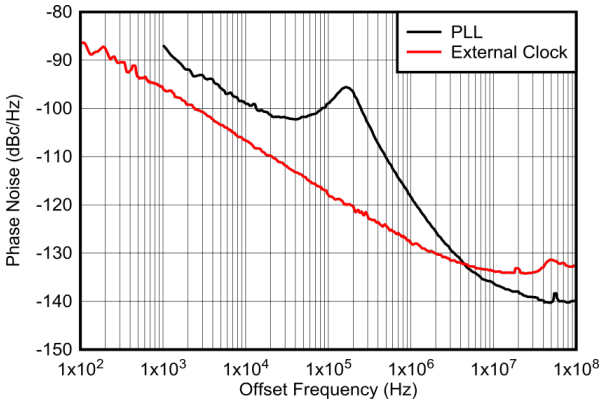


図 4-228. RX 付加位相ノイズ (6.85GHz)

4.11.8 PLL およびクロックの代表的特性

T_A = +25℃での代表値、公称電源。特に記述のない限り、f_{REF} = 491.52MHz、TX 出力で測定された位相ノイズ



TX 出力で測定、20*log10 で 12GHz に正規化 (12GHz/F_{OUT})

図 4-229. 位相ノイズとオフセット周波数との関係 (PLL、外部クロック、12GHz)

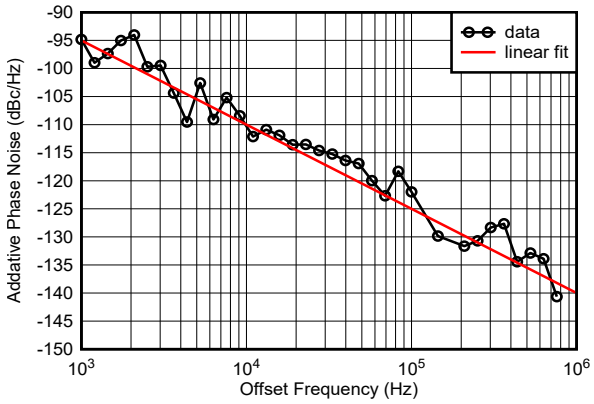
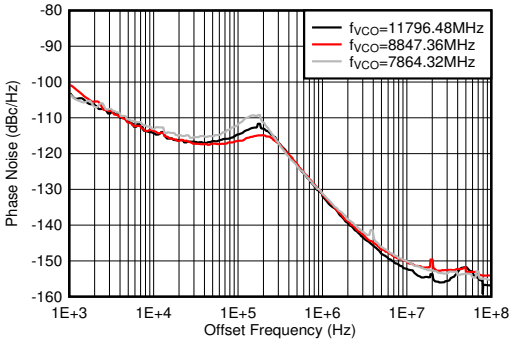


図 4-230. RX 付加位相ノイズ (9.61GHz)



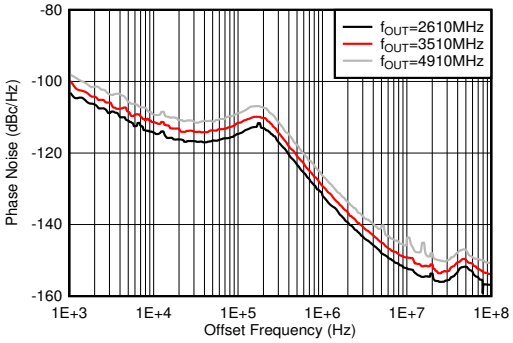
PLL イネーブル、f_{REF} = 491.52MSPS、2TXOUT で測定

図 4-231. 位相ノイズとオフセット周波数との関係 (各種 f_{VCO}、f_{OUT} = 2610MHz)



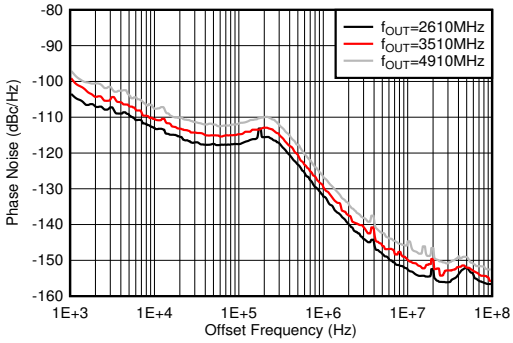
PLL イネーブル、f_{VCO} = 11796.48MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

図 4-232. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種温度、f_{OUT} = 1910MHz)



PLL イネーブル、f_{VCO} = 11796.48MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

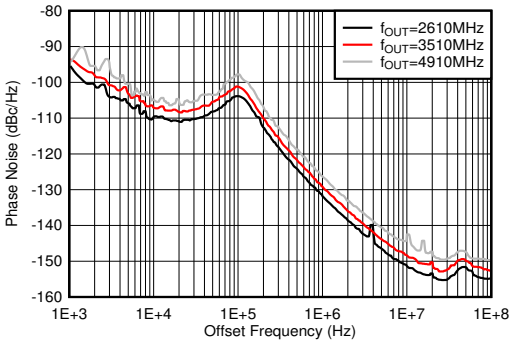
図 4-233. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、25℃)



PLL イネーブル、f_{VCO} = 11796.48MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

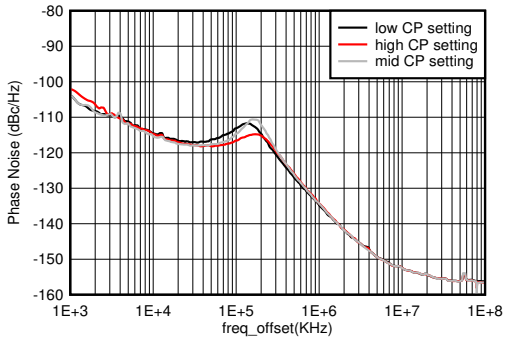
図 4-234. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、-40℃)

Copyright © 2025 Texas Instruments Incorporated



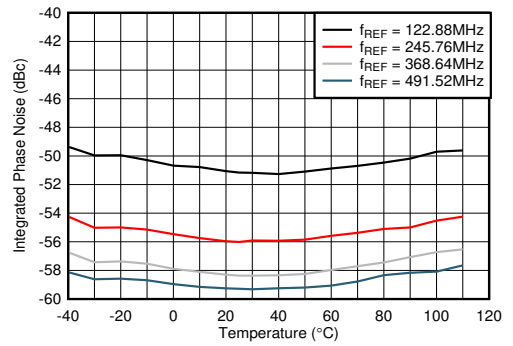
PLL イネーブル、f_{VCO} = 11796.48MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

図 4-235. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、110℃)



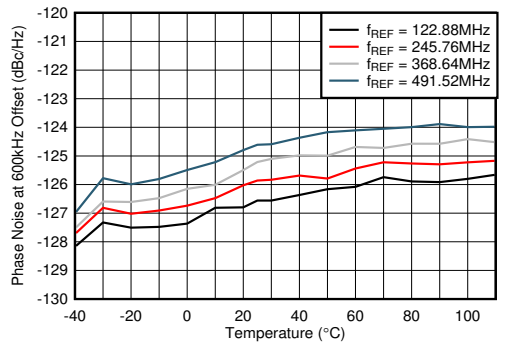
PLL イネーブル、f_{VCO} = 11796.48MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

図 4-236. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種 CP 設定、f_{OUT} = 2.6GHz)



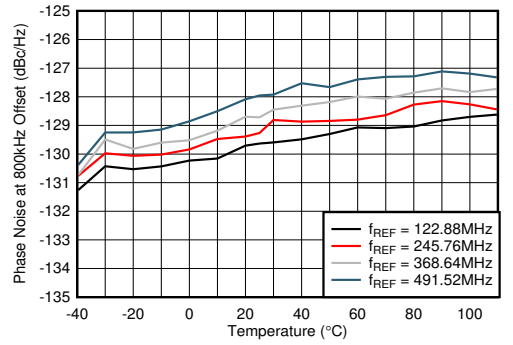
PLL イネーブル、f_{VCO} = 11796.48MHz、1kHz ～ 100MHz、片側積分帯域幅、2TXOUT で測定

図 4-237. 12GHz VCO の積分位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz)



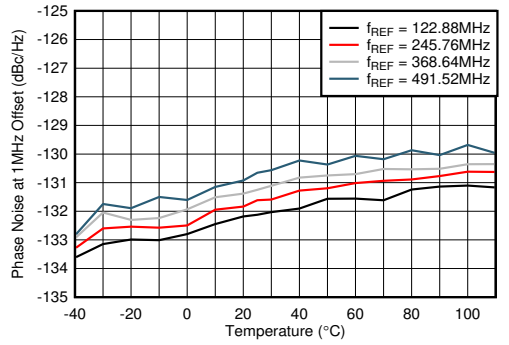
PLL イネーブル、f_{VCO} = 11796.48MHz、2TXOUT で測定

図 4-238. 12GHz VCO の位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz、600kHz オフセット)



A. PLL イネーブル、f_{VCO} = 11796.48MHz、2TXOUT で測定

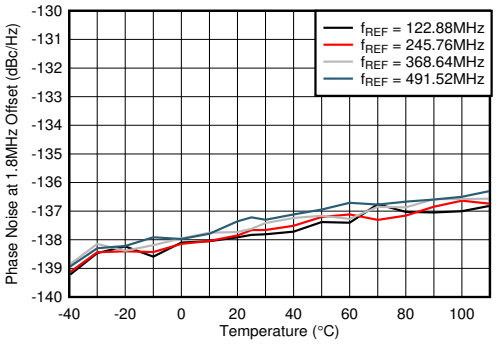
図 4-239. 12GHz VCO の位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz、800kHz オフセット)



PLL イネーブル、f_{VCO} = 11796.48MHz、2TXOUT で測定

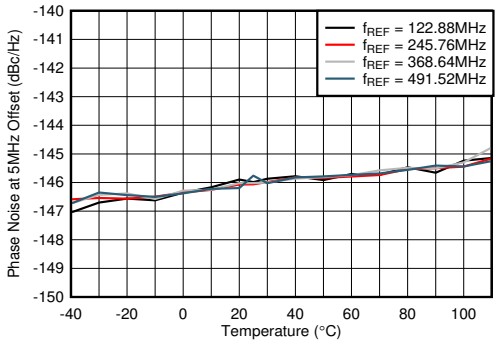
図 4-240. 1MHz オフセット時の 12GHz VCO の位相ノイズと温度の関係 (f_{OUT} = 2.6GHz のとき f_{REF})

Copyright © 2025 Texas Instruments Incorporated



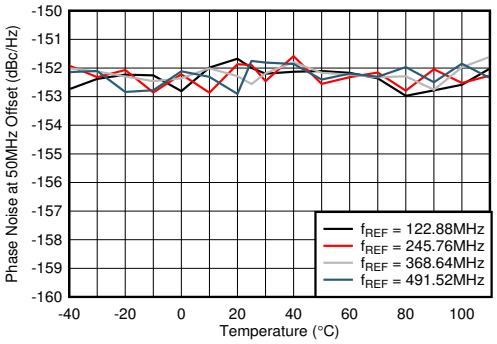
PLL イネーブル、f_{VCO} = 11796.48MHz、2TXOUT で測定

図 4-241. 1.8MHz オフセット時の 12GHz VCO の位相ノイズと温度の関係 (f_{OUT} = 2.6GHz のとき f_{REF})



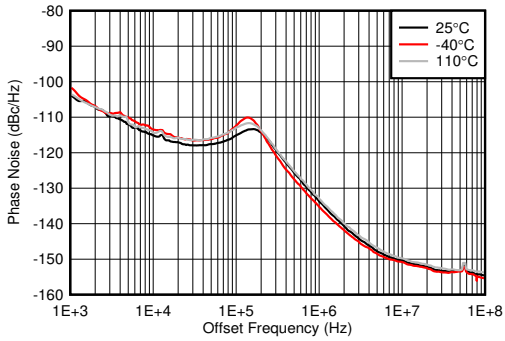
PLL イネーブル、f_{VCO} = 11796.48MHz、2TXOUT で測定

図 4-242. 5MHz オフセット時の 12GHz VCO の位相ノイズと温度の関係 (f_{OUT} = 2.6GHz のとき f_{REF})



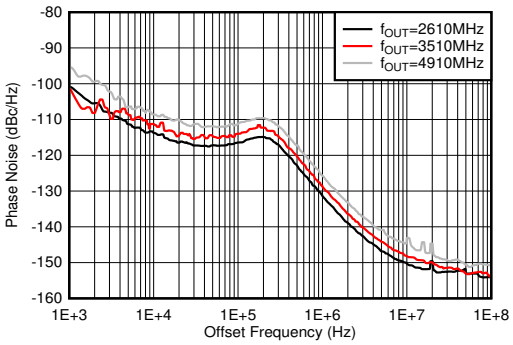
PLL イネーブル、f_{VCO} = 11796.48MHz、2TXOUT で測定

図 4-243. 50MHz オフセット時の 12GHz VCO の位相ノイズと温度の関係 (f_{OUT} = 2.6GHz のとき f_{REF})



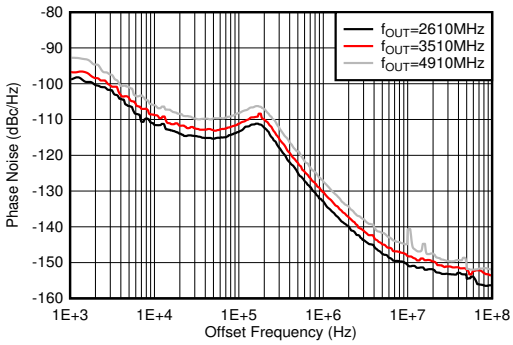
PLL イネーブル、f_{VCO} = 9830.4MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

図 4-244. 10GHz VCO の位相ノイズとオフセット周波数との関係 (各種温度、f_{OUT} = 1910MHz)



PLL イネーブル、f_{VCO} = 9830.4MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

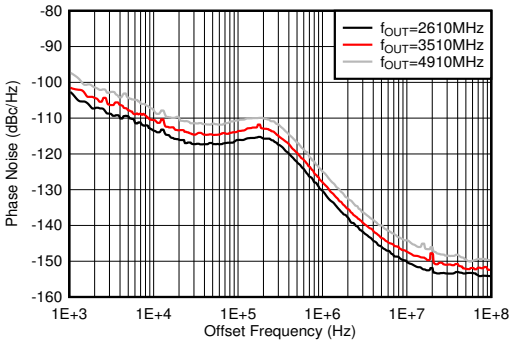
図 4-245. 10GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、25℃)



PLL イネーブル、f_{VCO} = 9830.4MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

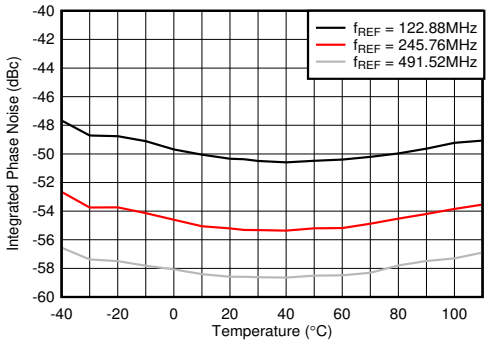
図 4-246. 10GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、-40℃)

Copyright © 2025 Texas Instruments Incorporated



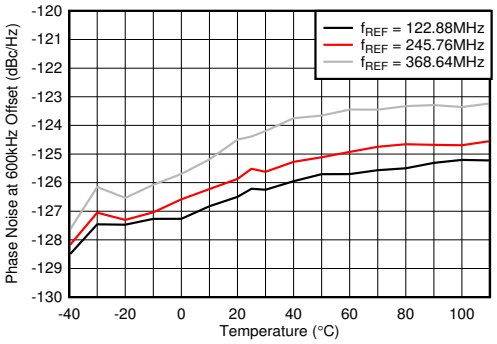
PLL イネーブル、f_{VCO} = 9830.4MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

図 4-247. 10GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、110℃)



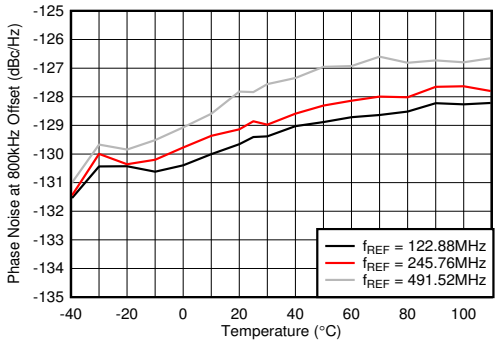
PLL イネーブル、f_{VCO} = 9830.4MHz、1kHz ～ 100MHz、片側積分帯域幅、2TXOUT で測定

図 4-248. 10GHz VCO の積分位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz)



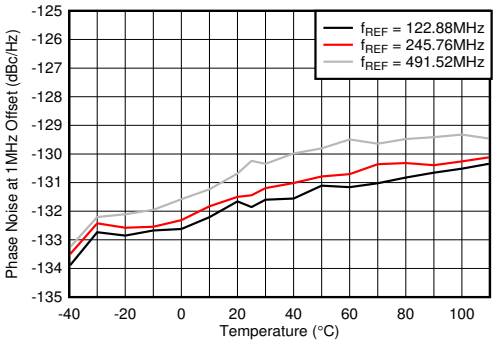
PLL イネーブル、f_{VCO} = 9830.4MHz、2TXOUT で測定

図 4-249. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz、600kHz オフセット)



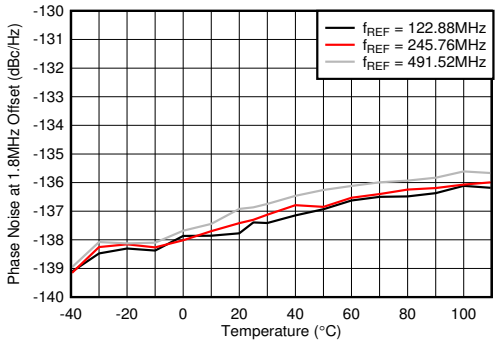
PLL イネーブル、f_{VCO} = 9830.4MHz、2TXOUT で測定

図 4-250. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz、800kHz オフセット)



PLL イネーブル、f_{VCO} = 9830.4MHz、2TXOUT で測定

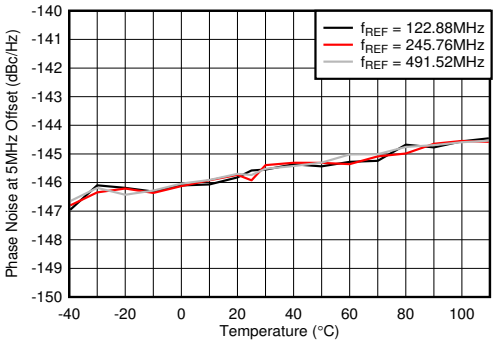
図 4-251. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz、1MHz オフセット)



PLL イネーブル、f_{VCO} = 9830.4MHz、2TXOUT で測定

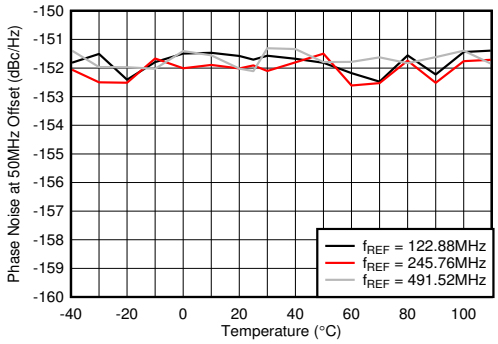
図 4-252. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz、1.8MHz オフセット)

Copyright © 2025 Texas Instruments Incorporated



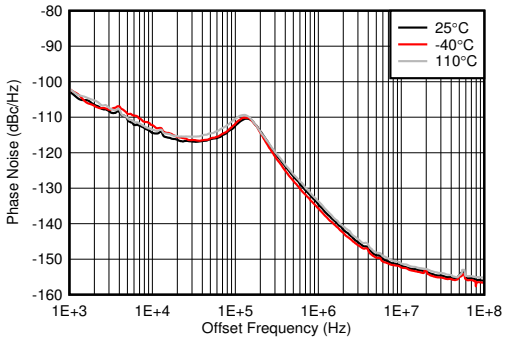
PLL イネーブル、f_{VCO} = 9830.4MHz、2TXOUT で測定

図 4-253. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz、5MHz オフセット)



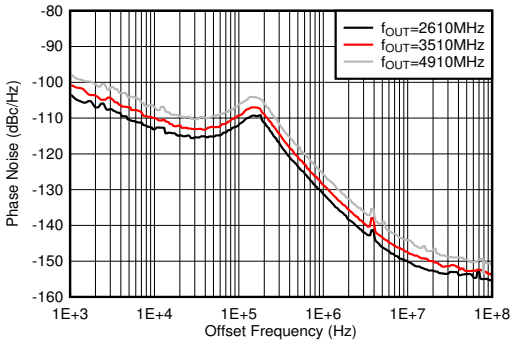
PLL イネーブル、f_{VCO} = 9830.4MHz、2TXOUT で測定

図 4-254. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz、50MHz オフセット)



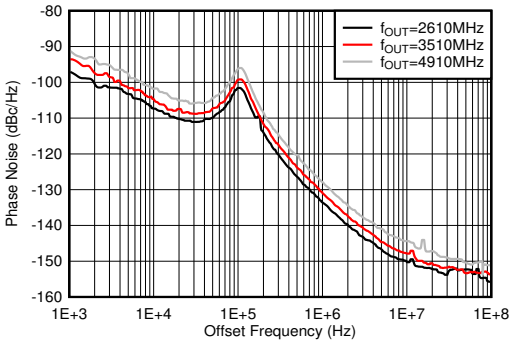
PLL イネーブル、f_{VCO} = 8847.36MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

図 4-255. 9GHz VCO の位相ノイズとオフセット周波数との関係 (各種温度、f_{OUT} = 1910MHz)



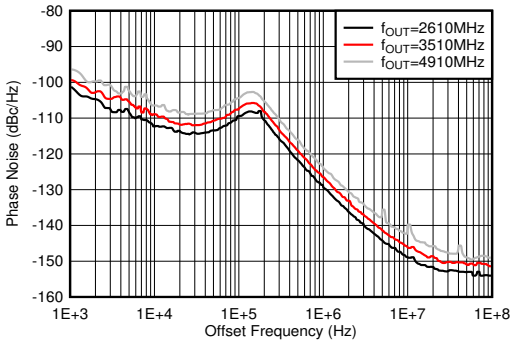
PLL イネーブル、f_{VCO} = 8847.36MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

図 4-256. 9GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、25℃)



PLL イネーブル、f_{VCO} = 8847.36MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

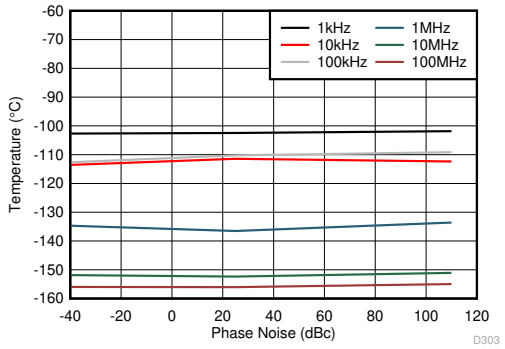
図 4-257. 9GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、-40℃)



PLL イネーブル、f_{VCO} = 8847.36MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

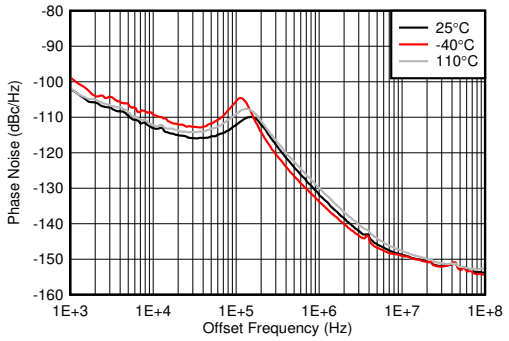
図 4-258. 9GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、110℃)

Copyright © 2025 Texas Instruments Incorporated



PLL イネーブル、f_{VCO} = 8847.36MHz、f_{REF} = 491.52MSPS、最小 LPF BW、2TXOUT で測定

図 4-259. 9GHz VCO の位相ノイズと温度との関係 (各種オフセット周波数、f_{OUT} = 2.6GHz)



PLL イネーブル、f_{VCO} = 7864.32MHz、f_{REF} = 491.52MSPS、2TXOUT で測定

図 4-260. 8GHz VCO の位相ノイズとオフセット周波数との関係 (各種温度、f_{OUT} = 1910MHz)

Copyright © 2025 Texas Instruments Incorporated

5 デバイスおよびドキュメントのサポート

5.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

5.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

5.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

5.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

5.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

6 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from JUNE 1, 2023 to MAY 1, 2025 (from Revision C (May 2023) to Revision D (May 2025)) **Page**

- RX 入力の最大電力 RF ADC の電気的特性から「絶対最大定格」に移動 4

Changes from JULY 9, 2022 to MAY 30, 2023 (from Revision B (July 2022) to Revision C (May 2023)) **Page**

- 「製品情報」を「パッケージ情報」表に変更 1
- I_{IH} と I_{IL} の単位を µA に変更 15

Changes from MARCH 11, 2022 to JULY 8, 2022 (from Revision A (March 2022) to Revision B (July 2022)) **Page**

- 「熱に関する情報」の表から ABJ を削除この表は、ABJ パッケージと ALK パッケージの両方に適用されます 4
- 複数の図で、0RX-3RX を 1RX-4RX に変更 42

Copyright © 2025 Texas Instruments Incorporated

- 複数の図で、0RX-3RX を 1RX-4RX に変更 47

Changes from Revision * (January 2022) to Revision A (March 2022) **Page**

- 「*特長*」に「データシート全体のご請求」を追加 1
- データシートに仕様表デバイスを追加 4
- パワーモード 4 を f_{RX} = 2.25GHz に変更 16
- データシートに代表的特性セクションを追加 20

7 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AFE7906IABJ	Active	Production	FCBGA (ABJ) | 400	90 | JEDEC TRAY (5+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 85	AFE7906I
AFE7906IALK	Active	Production	FCBGA (ALK) | 400	90 | JEDEC TRAY (5+1)	No	SNPB	Level-3-220C-168 HR	-40 to 85	AFE7906 SNPB

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

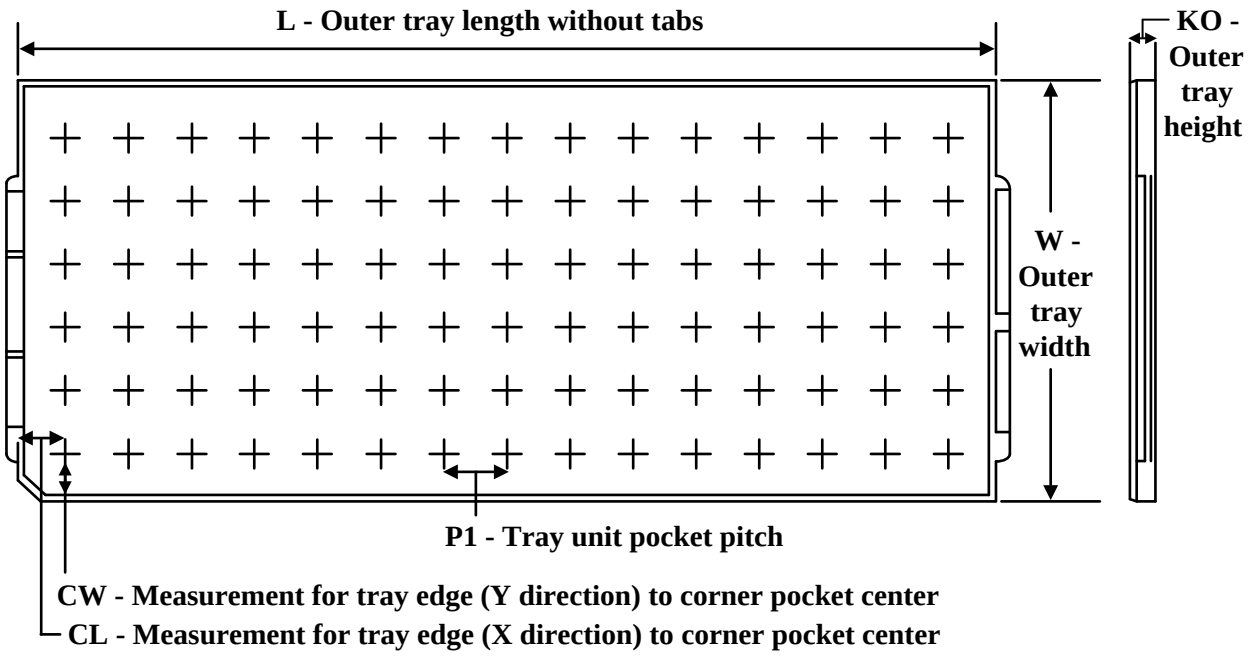
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

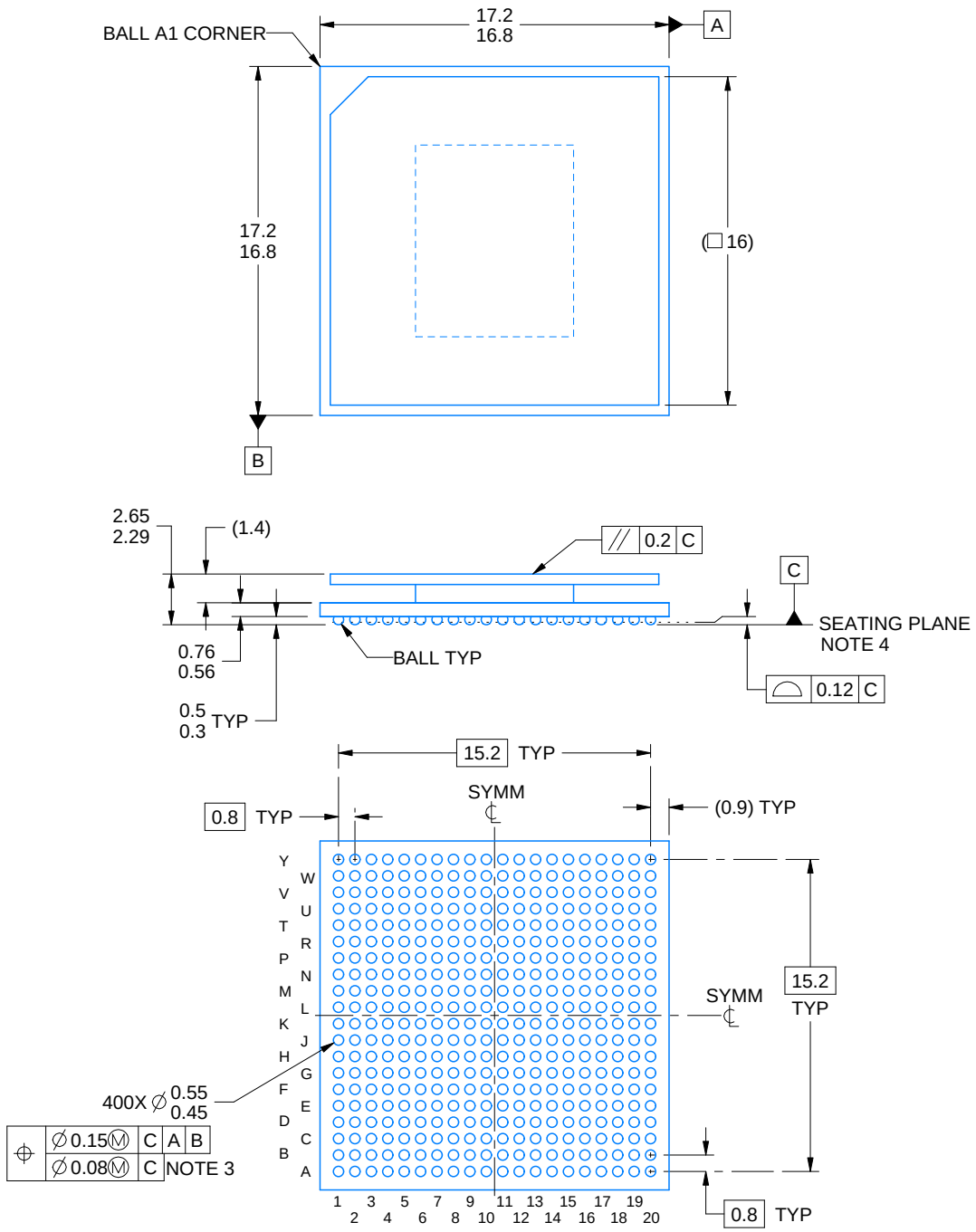
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
AFE7906IABJ	ABJ	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
AFE7906IABJ	ABJ	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
AFE7906IALK	ALK	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
AFE7906IALK	ALK	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2

PACKAGE OUTLINE

ABJ0400A

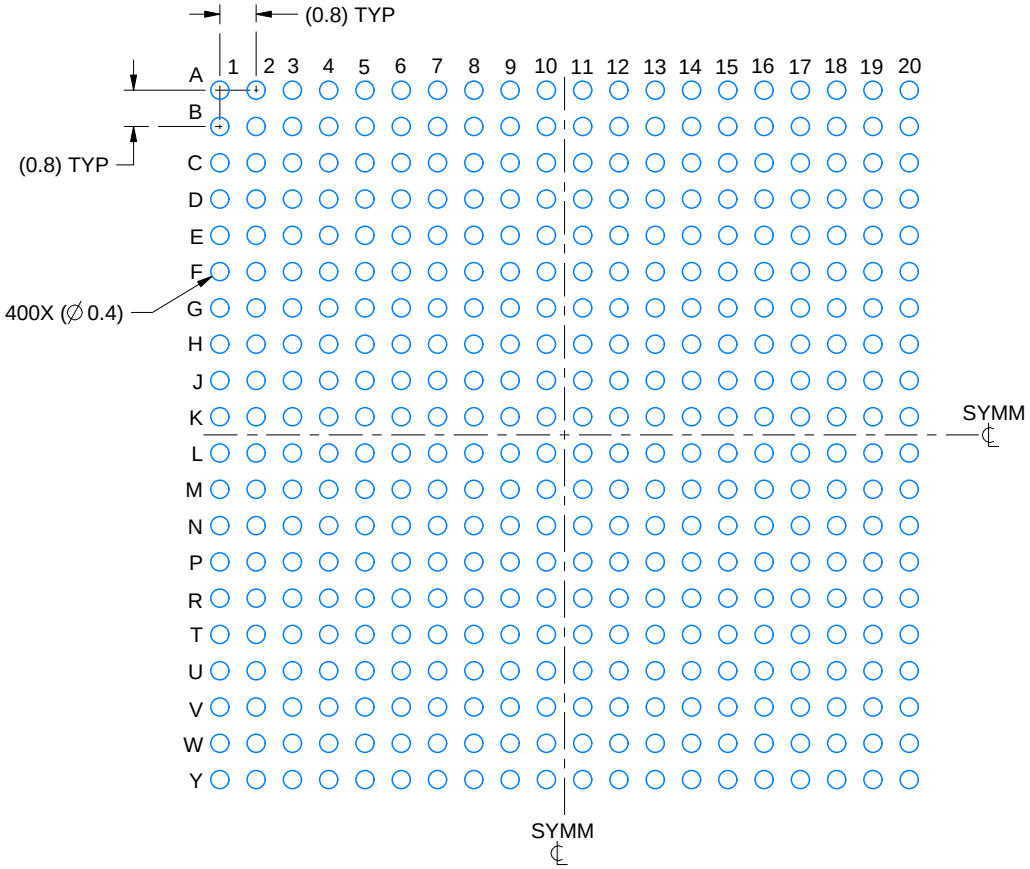
FCBGA - 2.65 mm max height

BALL GRID ARRAY

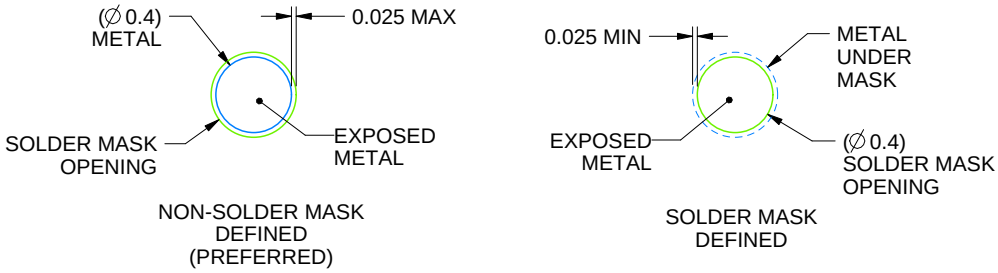


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Dimension is measured at the maximum solder ball diameter, parallel to primary datum C.
4. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.
5. The lids are electrically floating (e.g. not tied to GND).



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

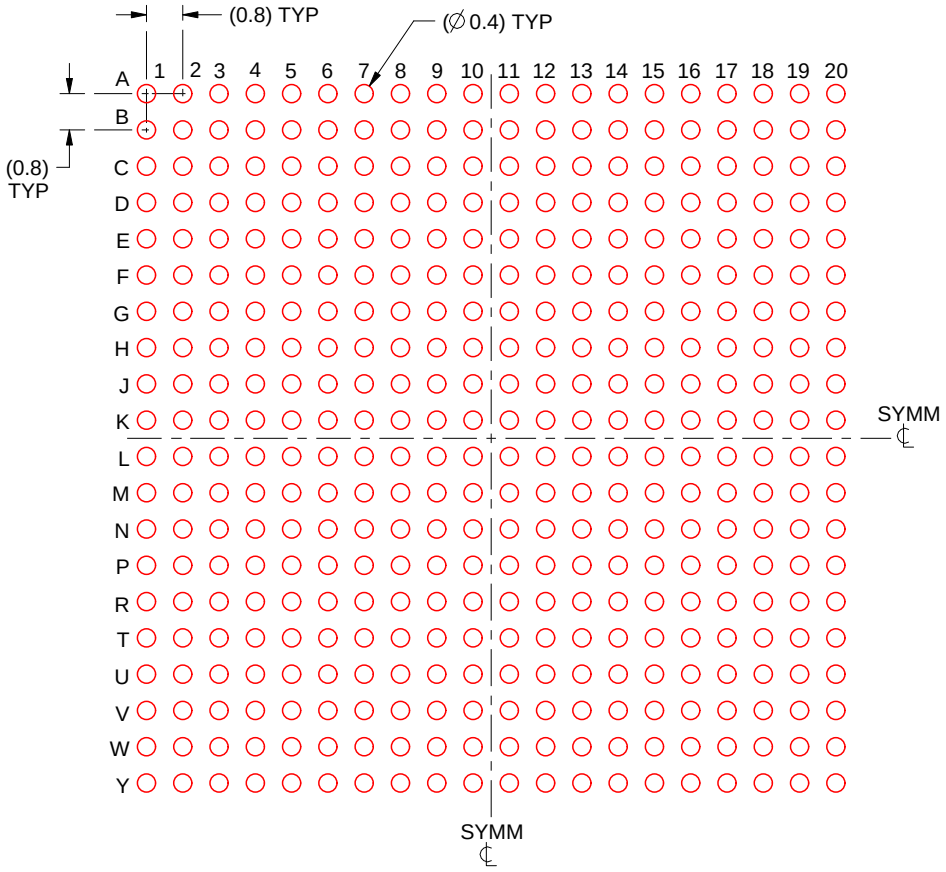


SOLDER MASK DETAILS
NOT TO SCALE

4221311/D 03/2023

NOTES: (continued)

6. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE:6X

4221311/D 03/2023

NOTES: (continued)

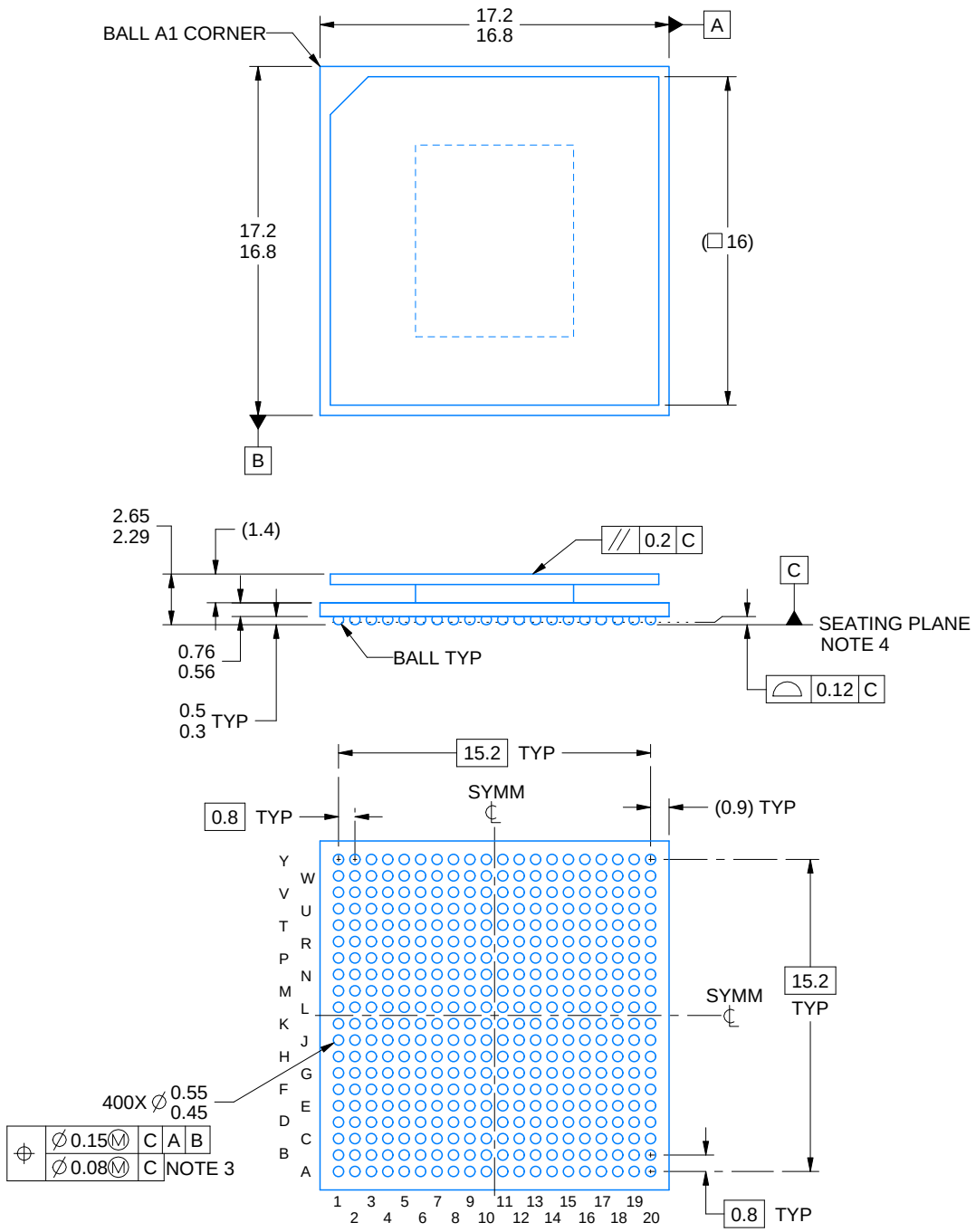
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

ALK0400A

PACKAGE OUTLINE

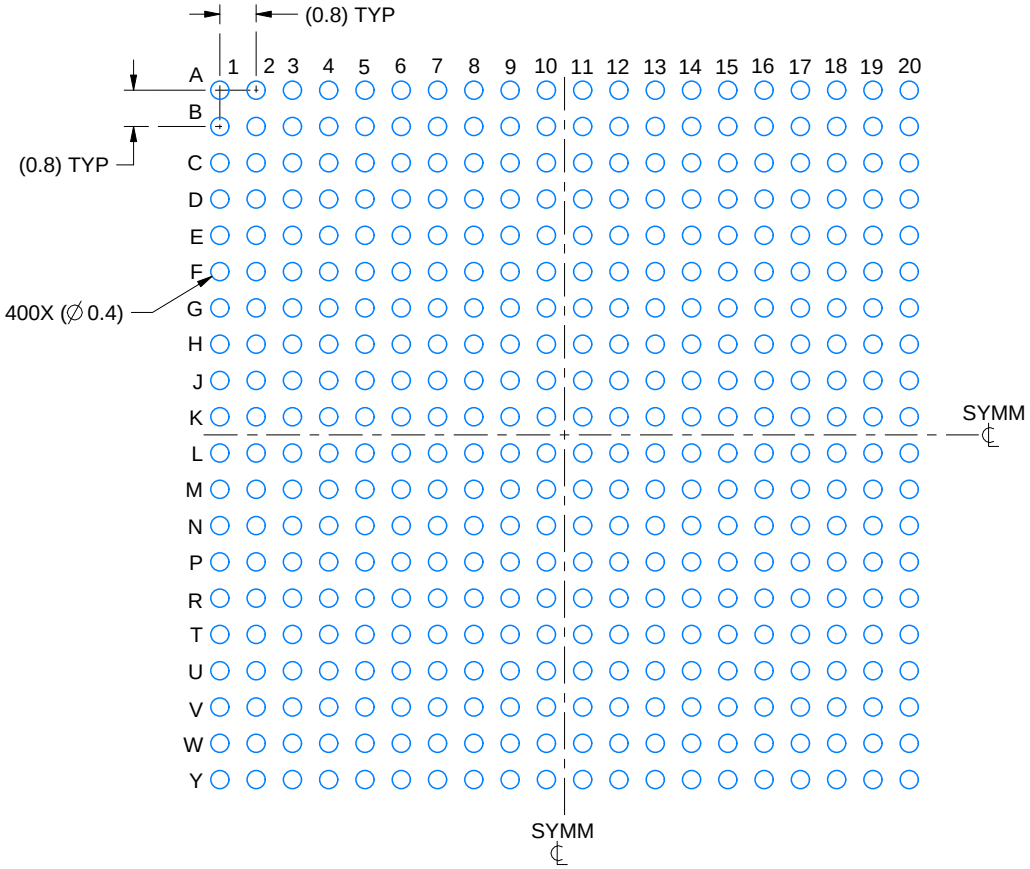
FCBGA - 2.65 mm max height

BALL GRID ARRAY

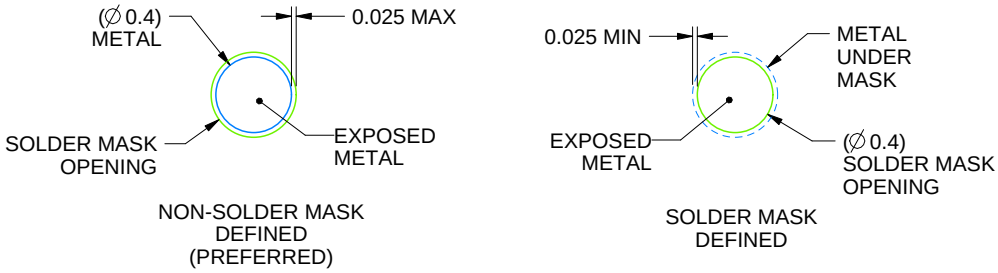


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Dimension is measured at the maximum solder ball diameter, parallel to primary datum C.
4. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.
5. Pb-Free die bump and SnPb solder ball.
6. The lids are electrically floating (e.g. not tied to GND).



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

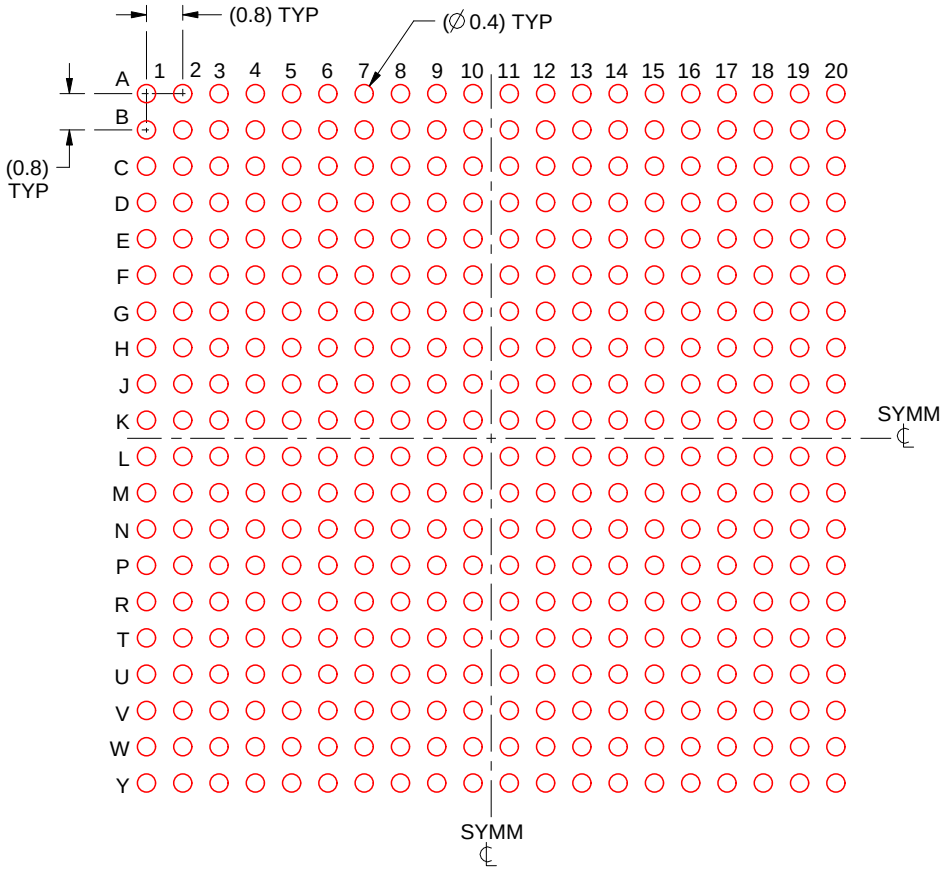


SOLDER MASK DETAILS
NOT TO SCALE

4225930/C 03/2023

NOTES: (continued)

7. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE:6X

4225930/C 03/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月