

# 12GSPS DAC / 3GSPS ADC 搭載、AFE7950-x 4T6R RF サンプルング AFE

## 1 特長

- データシート全体のご請求
- 放射線耐性保証 AFE7950-SP:
  - シングル イベント ラッチアップ (SEL): 70MeV-cm<sup>2</sup>/mg
  - RLAT 吸収線量 (TID): 100krad (Si)
- 耐放射線特性 AFE7950-SEP:
  - シングル イベント ラッチアップ (SEL): 43MeV-cm<sup>2</sup>/mg
  - RLAT 吸収線量 (TID): 30krad (Si)
- 4 個の RF サンプルング 12GSPS TX DAC
- 6 個の RF サンプルング 3GSPS RX ADC
- 最大 RF 信号帯域幅: 1200MHz (または 2TX の場合は 2400MHz)
- RF 周波数範囲:
  - TX: 600MHz ~ 12GHz
  - RX: 5MHz ~ 12GHz
- デジタル ステップ アッテネータ (DSA):
  - TX: 40dB レンジ, 0.125dB ステップ
  - RX または FB: 25dB レンジ, 0.5dB ステップ
- TX と RX 向けにシングルバンドまたはデュアルバンド DUC または DDC を搭載
- SerDes データ インターフェイス:
  - 8 個の SerDes トランシーバ (最大 24.75Gbps)
  - JESD204B/C サブクラス 1 互換
- パッケージ: 17mm × 17mm FCBGA, 0.8mm ピッチ
- 宇宙スクリーニングおよび保証:
  - ASTM E595 アウトガス仕様に適合 (AFE7950-SP, AFE7950-SEP)
  - 単一の製造、アセンブリ、テスト施設
  - ウェハー ロットをトレース可能
  - 長期にわたる製品ライフ サイクル
  - 放射線ロット受け入れ試験 (RLAT) (AFE7950-SP, AFE7950-SEP)
  - 量産時のバーンイン (AFE7950-SP)
- このデバイスには、純度 97% 以上の錫 (Sn) 仕上げの非カプセル化チップ コンデンサが含まれています。詳細については、信頼性レポートを参照してください

## 2 アプリケーション

- 衛星通信ペイロードのダウンリンク
- 衛星テレメトリ ペイロードのダウンリンク

## 3 説明

AFE7950-x は、高性能で広帯域幅のマルチチャネル トランシーバで、4 つの RF サンプルング トランスミッタ チェーン、4 つの RF サンプルング レシーバ チェーン、2 つの RF サンプルング フィードバック チェーン (合計 6 つの RF サンプルング ADC) を統合しています。このデバイスは、最大 12GHz で動作するため、追加の周波数変換段を必要とせず、L、S、C、X バンドの周波数範囲について直接 RF サンプルングが可能です。この密度と柔軟性の向上により、多くのチャネル数を持つマルチミッション システムが可能になります。

TX 信号パスは、4 個の TX で最大 1200MHz の信号帯域幅、または 2 個の TX で 2400MHz を実現する、補間およびデジタル アップコンバージョン オプションをサポートしています。DUC の出力は、2 次ナイキスト動作を拡張する混在モード出力方式で 12GSPS の DAC (D/A コンバータ) を駆動します。DAC 出力は、40dB レンジ、1dB アナログ ステップ、0.125dB デジタル ステップの可変ゲイン アンプ (TX DSA) を内蔵しています。

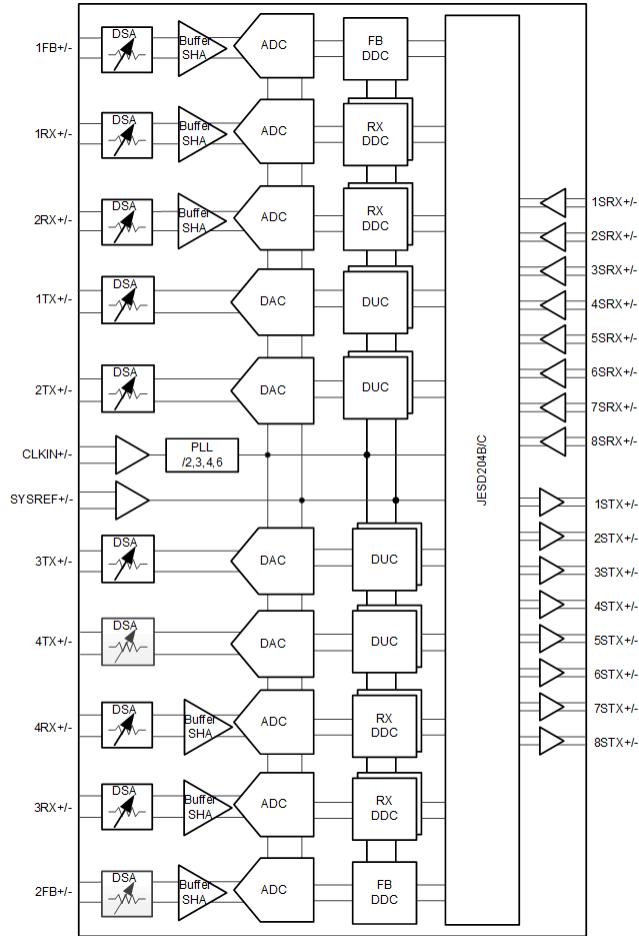
各レシーバ チェーンは、3GSPS の ADC (A/D コンバータ) に接続された 25dB レンジのデジタル ステップ アッテネータ (DSA) を備えています。各レシーバ チェーンは、外部または内部の自律的な AGC (自動ゲイン制御) を補助するためのアナログ ピーク電力検出器とさまざまなデジタル電力検出器、およびデバイスの信頼性を確保するための RF 過負荷検出器を備えています。柔軟なデシメーション オプションによりデータ帯域幅を最適化でき、FB パスなしの 4 つの RX では最高 1200MHz、2 つの FB パス付き (それぞれ 1200MHz の帯域幅) では最高 600MHz が得られます。

### 製品情報

部品番号	グレード	パッケージ サイズ <sup>(1)</sup> ( <sup>(2)</sup> )
AFE7950-SP	放射線耐性保証宇宙 (RHA)	17mm × 17mm プラスチック サブストレート
AFE7950-SEP	耐放射線特性の宇宙用エンハンスト製品	FC-BGA
AFE7950-EP <sup>(3)</sup>	エンハンスト製品	400 SnPb ボール 0.8mm ピッチ

- 詳細については、セクション 7 を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- 製品プレビュー





機能ブロック図

## 目次

<b>1 特長</b> .....	<b>1</b>	<b>4.9 電源の電気的特性</b> .....	<b>21</b>
<b>2 アプリケーション</b> .....	<b>1</b>	<b>4.10 タイミング要件</b> .....	<b>27</b>
<b>3 説明</b> .....	<b>1</b>	<b>4.11 スイッチング特性</b> .....	<b>28</b>
<b>4 仕様</b> .....	<b>4</b>	<b>4.12 代表的特性</b> .....	<b>29</b>
4.1 絶対最大定格.....	4	<b>5 デバイスおよびドキュメントのサポート</b> .....	<b>126</b>
4.2 ESD 定格.....	4	5.1 ドキュメントの更新通知を受け取る方法.....	126
4.3 推奨動作条件.....	5	5.2 サポート・リソース.....	126
4.4 熱に関する情報.....	5	5.3 商標.....	126
4.5 トランスミッタの電気的特性.....	6	5.4 静電気放電に関する注意事項.....	126
4.6 RF ADC の電気的特性.....	13	5.5 用語集.....	126
4.7 PLL / VCO / クロックの電気的特性.....	18	<b>6 改訂履歴</b> .....	<b>126</b>
4.8 デジタルの電気的特性.....	20	<b>7 メカニカル、パッケージ、および注文情報</b> .....	<b>126</b>

## 4 仕様

### 4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	最大値	単位
電源電圧範囲	DVDD0P9、VDDT0P9	-0.3	1.2	V
	VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2PLL、 VDD1P2PLLCLKREF、VDD1P2FB、VDD1P2FBCML、 VDD1P2RXCML	-0.3	1.4	V
	VDD1P8RX、VDD1P8RXCLK、VDD1P8TX、VDD1P8TXDAC、 VDD1P8TXENC、VDD1P8PLL、VDD1P8PLLVC0、VDD1P8FB、 VDD1P8FBCLK、VDD1P8GPIO、VDDA1P8	-0.5	2.1	V
ピン電圧範囲	{1/2/3/4}RXIN+/-	-0.5	VDDR1P8+0.3	V
	1FBIN+/-、2FB+/-	-0.5	VDDFB1P8+0.3	V
	{1/2/3/4}TXOUT+/-	-0.5	VDDTX1P8+0.3	V
	REFCLK+/-、SYSREF+/-	-0.3	1.4	V
	{1:8}SRX+/-	-0.3	1.4	V
	{1:8}STX+/-	-0.3	1.4	V
	GPIO{B/C/D/E}x、SPICLK、SPISDIO、SPISDO、SPISEN、RESETZ、 BISTB0、BISTB1	-0.5	VDD1P8GPIO + 0.3	V
	IFORCE、VSENSE	-0.3	VDDCLK1P8 + 0.3	V
SRDAMUX1、SRDAMUX2	-0.3	VDDA1P8+0.3	V	
ピーク入力電流	任意の入力		20	mA
T <sub>J</sub>	接合部温度		150	°C
T <sub>stg</sub>	保存温度	-65	150	°C

(1) 「絶対最大定格」に記載の値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて言及して、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

### 4.2 ESD 定格

		値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン <sup>(1)</sup>	1000
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン	150

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

### 4.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
DVDD0P9、VDDT0P9	電源電圧 0.9V	0.9	0.925	0.95	V
VDD1P2{RX/TXCLK/TXENC/FB/PLL/ PLLCLKREF/FBCML/RXCML}	電源電圧 1.2V	1.15	1.2	1.25	V
VDD1P8{RX/RXCLK/TX/TXDAC/ TXENC/PLL/PLLVCO/FB/FBCLK/ GPIO}, VDDA1P8	電源電圧 1.8V	1.75	1.8	1.85	V
T <sub>A</sub>	周辺温度	-45		85	°C
T <sub>J</sub>	動作時接合部温度			105	°C

### 4.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		FC-BGA	単位
		400 ピン	
R <sub>θJA</sub>	接合部から周囲への熱抵抗	15.3	°C/W
R <sub>θJC(top)</sub>	接合部からケース (上面) への熱抵抗	0.44	°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	4.8	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	4.5	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

#### 4.5 トランスミッタの電気的特性

$T_A = +25^\circ\text{C}$  での代表値、全動作温度範囲は  $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS (6GHz 未満) および 1474.56MSPS (6GHz 超)、 $f_{DAC} = 11796.48\text{MSPS}$ 、PLL クロック モード (出力周波数 6GHz 未満) および外部クロック モード (出力周波数 6GHz 超)、1 次 ナイキストではインターリーブ モード、2 次 ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 16.22Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
DAC <sub>RES</sub>	DAC の分解能			14		ビット
F <sub>DAC</sub>	DAC サンプル レート		9		12	GSPS
f <sub>RFout_MIN</sub>	RF 出力周波数範囲	周波数範囲に基づいて PCB が一致する 必要があります		600		MHz
f <sub>RFout_MAX</sub>	RF 出力周波数範囲	周波数範囲に基づいて PCB が一致する 必要があります		12000		MHz
P <sub>max_FS</sub>	デバイス ピンでの最大フルスケール出力 電力、最大ゲインの 1 トーン	f <sub>out</sub> = 850MHz、f <sub>DAC</sub> = 5898.24MSPS、-0.5dBFS		4.2		dBm
		f <sub>out</sub> = 1800MHz、f <sub>DAC</sub> = 5898.24MSPS、-0.5dBFS		4.6		dBm
		f <sub>out</sub> = 2600MHz、f <sub>DAC</sub> = 8847.36MSPS、-0.5dBFS		4.0		dBm
		f <sub>out</sub> = 3500MHz、-0.5dBFS		3.9		dBm
		f <sub>out</sub> = 4900MHz、-0.5dBFS		3.1		dBm
		f <sub>out</sub> = 3500MHz、f <sub>DAC</sub> = 5898.24MSPS、-0.5dBFS、ストレートモ ード		1.0		dBm
		f <sub>out</sub> = 4900MHz、f <sub>DAC</sub> = 5898.24MSPS、-0.5dBFS、ストレートモ ード		0.1		dBm
		f <sub>out</sub> = 4900MHz、f <sub>DAC</sub> = 8847.36MSPS、-0.5dBFS、ストレートモ ード		-0.7		dBm
		f <sub>out</sub> = 8100MHz、-0.1dBFS、混在モード		-2.8		dBm
		f <sub>out</sub> = 9600MHz、-0.1dBFS、混在モード		-4.3		dBm
R <sub>TERM</sub>	出力の終端抵抗	デフォルト設定		50		Ω
ATT <sub>range</sub>	DSA 減衰範囲			40		dB
ATT <sub>step</sub>	DSA アナログ減衰ステップ			1.0		dB
	DSA 減衰ステップ精度 (DNL)	0 < 減衰 < 40dB、キャリブレーション前		±0.2		dB
	DSA 減衰ステップ精度 (DNL)	0 < 減衰 < 40dB、キャリブレーション後		±0.1		dB
ATT <sub>phase-err</sub>	DSA ゲイン ステップ位相精度、任意の 8dB レンジ	f <sub>out</sub> = 850MHz <sup>(2)</sup>		±1		度
		f <sub>out</sub> = 1800MHz <sup>(2)</sup>		±1		度
		f <sub>out</sub> = 2600MHz <sup>(2)</sup>		±1		度
		f <sub>out</sub> = 3500MHz <sup>(2)</sup>		±1		度
		f <sub>out</sub> = 4900MHz <sup>(2)</sup>		±1		度
		f <sub>out</sub> = 8100MHz <sup>(2)</sup>		±2		度
G <sub>flat</sub>	ゲイン平坦性	任意の 20MHz		0.1		dB
		600MHz 帯域帯、F <sub>out</sub> < 4.9G		1.2		

$T_A = +25^\circ\text{C}$  での代表値、全動作温度範囲は  $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS (6GHz 未満) および 1474.56MSPS (6GHz 超)、 $f_{DAC} = 11796.48\text{MSPS}$ 、PLL クロック モード (出力周波数 6GHz 未満) および外部クロック モード (出力周波数 6GHz 超)、1 次 ナイキストではインターリーブ モード、2 次 ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 16.22Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
IMD3	3 次相互変調歪み、 $f_{IF} \pm 10\text{MHz}$ で 2 トーン	$f_{out} = 850\text{MHz}$ 、各トーン -7dBFS		-66		dBc
		$f_{out} = 1800\text{MHz}$ 、各トーン -7dBFS		-63		dBc
		$f_{out} = 2600\text{MHz}$ 、各トーン -7dBFS		-62		dBc
		$f_{out} = 3500\text{MHz}$ 、各トーン -7dBFS		-61		dBc
		$f_{out} = 4900\text{MHz}$ 、各トーン -7dBFS		-57		dBc
		$f_{out} = 8100\text{MHz}$ 、各トーン -7dBFS		-55		dBc
		$f_{out} = 9600\text{MHz}$ 、各トーン -7dBFS		-52		dBc
		$f_{out} = 850\text{MHz}$ 、各トーン -13dBFS		-74		dBc
		$f_{out} = 1800\text{MHz}$ 、各トーン -13dBFS		-71		dBc
		$f_{out} = 2501\text{MHz}$ 、各トーン -12dBFS		-67	-60	dBc
		$f_{out} = 2600\text{MHz}$ 、各トーン -13dBFS		-73		dBc
		$f_{out} = 3500\text{MHz}$ 、各トーン -13dBFS		-72		dBc
		$f_{out} = 4900\text{MHz}$ 、各トーン -13dBFS		-68		dBc
		$f_{out} = 8100\text{MHz}$ 、各トーン -13dBFS		-64		dBc
$f_{out} = 9600\text{MHz}$ 、各トーン -13dBFS		-68		dBc		
SFDR	スプリアス フリー ダイナミックレンジ (ナイキストゾーン内)	$f_{out} = 850\text{MHz}$		51		dBc
		$f_{out} = 1800\text{MHz}$		52		dBc
		$f_{out} = 2600\text{MHz}$		42		dBc
		$f_{out} = 3500\text{MHz}$		44		dBc
		$f_{out} = 4900\text{MHz}$		46		dBc
$f_s/2 - f_{OUT}$	インターリーブ イメージ	$f_{DAC} = 5898.24\text{MSPS}$ 、インターリーブモード		-52		dBc
		$f_{DAC} = 8847.36\text{MSPS}$ 、インターリーブモード		-46		dBc
		$f_{DAC} = 11796.48\text{MSPS}$ 、インターリーブモード		-42		dBc
HD2	2 次高調波歪み (ナイキストゾーン内)	$f_{out} = 850\text{MHz}$		-49		dBc
		$f_{out} = 1800\text{MHz}$		-53		dBc
		$f_{out} = 2600\text{MHz}$		-50		dBc
		$f_{out} = 3500\text{MHz}$		-48		dBc
		$f_{out} = 4900\text{MHz}$		-47		dBc
		$f_{out} = 8100\text{MHz}$		-50		dBc
		$f_{out} = 9600\text{MHz}$		-53		dBc
		$f_{out} = 850\text{MHz}$ 、 $A_{OUT} = -12\text{dBFS}$		-60		dBc
		$f_{out} = 1800\text{MHz}$ 、 $A_{OUT} = -12\text{dBFS}$		-64		dBc
		$f_{out} = 2600\text{MHz}$ 、 $A_{OUT} = -12\text{dBFS}$		-45		dBc
		$f_{out} = 3500\text{MHz}$ 、 $A_{OUT} = -12\text{dBFS}$		-57		dBc
		$f_{out} = 4900\text{MHz}$ 、 $A_{OUT} = -12\text{dBFS}$		-58		dBc
		$f_{out} = 8100\text{MHz}$ 、 $A_{OUT} = -12\text{dBFS}$		-60		dBc
		$f_{out} = 9600\text{MHz}$ 、 $A_{OUT} = -12\text{dBFS}$		-62		dBc

**AFE7950-SP, AFE7950-SEP**

JAJSN3B – MARCH 2024 – REVISED JUNE 2026

$T_A = +25^\circ\text{C}$  での代表値、全動作温度範囲は  $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS (6GHz 未満) および 1474.56MSPS (6GHz 超)、 $f_{DAC} = 11796.48\text{MSPS}$ 、PLL クロック モード (出力周波数 6GHz 未満) および外部クロック モード (出力周波数 6GHz 超)、1 次 ナイキストではインターリーブ モード、2 次 ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 16.22Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
HD3	3 次高調波歪み (ナイキストゾーン内)	$f_{out} = 850\text{MHz}$		-62		dBc
		$f_{out} = 1800\text{MHz}$		-55		dBc
		$f_{out} = 2600\text{MHz}$		-57		dBc
		$f_{out} = 3500\text{MHz}$		-60		dBc
		$f_{out} = 4900\text{MHz}$		-54		dBc
		$f_{out} = 8100\text{MHz}$		-54		dBc
		$f_{out} = 9600\text{MHz}$		-56		dBc
		$f_{out} = 850\text{MHz}$ , $A_{OUT} = -12\text{dBFS}$		-80		dBc
		$f_{out} = 1800\text{MHz}$ , $A_{OUT} = -12\text{dBFS}$		-79		dBc
		$f_{out} = 2600\text{MHz}$ , $A_{OUT} = -12\text{dBFS}$		-77		dBc
		$f_{out} = 3500\text{MHz}$ , $A_{OUT} = -12\text{dBFS}$		-77		dBc
		$f_{out} = 4900\text{MHz}$ , $A_{OUT} = -12\text{dBFS}$		-78		dBc
		$f_{out} = 8100\text{MHz}$ , $A_{OUT} = -12\text{dBFS}$		-82		dBc
		$f_{out} = 9600\text{MHz}$ , $A_{OUT} = -12\text{dBFS}$		-80		dBc
HDn, $n \geq 4$	高調波歪み $n \geq 4$ (ナイキストゾーン内)	$f_{out} = 850\text{MHz}$		-81		dBc
		$f_{out} = 1800\text{MHz}$		-88		dBc
		$f_{out} = 2600\text{MHz}$		-86		dBc
		$f_{out} = 3500\text{MHz}$		-79		dBc
		$f_{out} = 4900\text{MHz}$		-86		dBc
		$f_{out} = 8100\text{MHz}$		-87		dBc
		$f_{out} = 9600\text{MHz}$		-85		dBc
		$f_{out} = 850\text{MHz}$ , $A_{OUT} = -12\text{dBFS}$		-93		dBc
		$f_{out} = 1800\text{MHz}$ , $A_{OUT} = -12\text{dBFS}$		-98		dBc
		$f_{out} = 2600\text{MHz}$ , $A_{OUT} = -12\text{dBFS}$		-84		dBc
		$f_{out} = 3500\text{MHz}$ , $A_{OUT} = -12\text{dBFS}$		-87		dBc
		$f_{out} = 4900\text{MHz}$ , $A_{OUT} = -12\text{dBFS}$		-87		dBc
		$f_{out} = 8100\text{MHz}$ , $A_{OUT} = -12\text{dBFS}$		-87		dBc
		$f_{out} = 9600\text{MHz}$ , $A_{OUT} = -12\text{dBFS}$		-87		dBc
SFDR +/- 250MHz	+/- 250MHz 以内のスプリアス フリー ダイナミックレンジ	$f_{out} = 850\text{MHz}$		69		dBc
		$f_{out} = 1800\text{MHz}$		79		dBc
		$f_{out} = 2600\text{MHz}$		77		dBc
		$f_{out} = 3500\text{MHz}$		75		dBc
		$f_{out} = 4900\text{MHz}$		76		dBc
		$f_{out} = 8100\text{MHz}$		61		dBc
		$f_{out} = 9600\text{MHz}$		64		dBc
$f_s/4$	固定スプリアス	$f_{DAC} = 5898.24\text{MSPS}$		-64		dBFS
		$f_{DAC} = 8847.36\text{MSPS}$		-75		dBFS
		$f_{DAC} = 11796.48\text{MSPS}$		-67		dBFS
$f_s/2$	固定スプリアス	$f_{DAC} = 5898.24\text{MSPS}$		-49		dBFS
		$f_{DAC} = 8847.36\text{MSPS}$		-48		dBFS
		$f_{DAC} = 11796.48\text{MSPS}$		-48		dBFS

$T_A = +25^\circ\text{C}$  での代表値、全動作温度範囲は  $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS (6GHz 未満) および 1474.56MSPS (6GHz 超)、 $f_{DAC} = 11796.48\text{MSPS}$ 、PLL クロック モード (出力周波数 6GHz 未満) および外部クロック モード (出力周波数 6GHz 超)、1 次 ナイキストではインターリーブ モード、2 次 ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 16.22Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
3*f <sub>S</sub> /4	固定スプリアス	2 次ナイキスト、 $f_{DAC} = 5898.24\text{MSPS}$		-76		dBFS
		2 次ナイキスト、 $f_{DAC} = 8847.36\text{MSPS}$		-89		dBFS
		2 次ナイキスト、 $f_{DAC} = 11796.48\text{MSPS}$		-63		dBFS
ACPR <sub>1xcarr</sub>	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア $f_{OUT} = 0.85\text{GHz}$	減衰 = 0dB、Pout = -13dBFS		-68.5		dBc
		減衰 = 20dB、Pout = -13dBFS		-67.2		dBc
		減衰 = 28dB、Pout = -13dBFS		-64.5		dBc
		減衰 = 39dB、Pout = -13dBFS		-53.9		dBc
ACPR <sub>1xcarr</sub>	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア $f_{OUT} = 1.8425\text{GHz}$	減衰 = 0dB、Pout = -13dBFS		-70.7		dBc
		減衰 = 20dB、Pout = -13dBFS		-68.3		dBc
		減衰 = 28dB、Pout = -13dBFS		-62.9		dBc
		減衰 = 39dB、Pout = -13dBFS		-52.0		dBc
ACPR <sub>1xcarr</sub>	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア $f_{OUT} = 2.6\text{GHz}$	減衰 = 0dB、Pout = -13dBFS		-71		dBc
		減衰 = 20dB、Pout = -13dBFS		-68		dBc
		減衰 = 28dB、Pout = -13dBFS		-62		dBc
		減衰 = 39dB、Pout = -13dBFS		-51.3		dBc
ACPR <sub>1xcarr</sub>	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア $f_{OUT} = 3.5\text{GHz}$	減衰 = 0dB、Pout = -13dBFS		-70		dBc
		減衰 = 20dB、Pout = -13dBFS		-67		dBc
		減衰 = 28dB、Pout = -13dBFS		-60		dBc
		減衰 = 39dB、Pout = -13dBFS		-49.8		dBc
ACPR <sub>1xcarr</sub>	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア $f_{OUT} = 4.9\text{GHz}$	減衰 = 0dB、Pout = -13dBFS		-68.8		dBc
		減衰 = 20dB、Pout = -13dBFS		-65.9		dBc
		減衰 = 28dB、Pout = -13dBFS		-60.6		dBc
		減衰 = 39dB、Pout = -13dBFS		-49.5		dBc
ACPR <sub>1xcarr</sub>	ACPR - 1 キャリア、NR 100MHz E-TM1.1 キャリア $f_{OUT} = 2.6\text{GHz}$	減衰 = 0dB、Pout = -13dBFS		-65		dBc
		減衰 = 20dB、Pout = -13dBFS		-62		dBc
		減衰 = 20dB、Pout = -13dBFS		-55		dBc
		減衰 = 39dB、Pout = -13dBFS		-44.3		dBc
ACPR <sub>1xcarr</sub>	ACPR - 1 キャリア、NR 100MHz E-TM1.1 キャリア $f_{OUT} = 3.5\text{GHz}$	減衰 = 0dB、Pout = -13dBFS		-64		dBc
		減衰 = 20dB、Pout = -13dBFS		-59		dBc
		減衰 = 28dB、Pout = -13dBFS		-52		dBc
		減衰 = 39dB、Pout = -13dBFS		-41.1		dBc
ACPR <sub>1xcarr</sub>	ACPR - 1 キャリア、NR 100MHz E-TM1.1 キャリア $f_{OUT} = 4.9\text{GHz}$	減衰 = 0dB、Pout = -13dBFS		-64.1		dBc
		減衰 = 20dB、Pout = -13dBFS		-60.4		dBc
		減衰 = 28dB、Pout = -13dBFS		-53.5		dBc
		減衰 = 39dB、Pout = -13dBFS		-42.5		dBc
ACPR <sub>1xcarr</sub>	ACPR - 1 キャリア、NR 100MHz E-TM1.1 キャリア $f_{OUT} = 8.1\text{GHz}$	減衰 = 0dB、Pout = -13dBFS		-58		dBc
		減衰 = 20dB、Pout = -13dBFS		-53		dBc
		減衰 = 28dB、Pout = -13dBFS		-46		dBc
		減衰 = 39dB、Pout = -13dBFS		-36		dBc

**AFE7950-SP, AFE7950-SEP**

JAJSN3B – MARCH 2024 – REVISED JUNE 2026

$T_A = +25^\circ\text{C}$  での代表値、全動作温度範囲は  $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS (6GHz 未満) および 1474.56MSPS (6GHz 超)、 $f_{DAC} = 11796.48\text{MSPS}$ 、PLL クロック モード (出力周波数 6GHz 未満) および外部クロック モード (出力周波数 6GHz 超)、1 次 ナイキストではインターリーブ モード、2 次 ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 16.22Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
ACPR <sub>1xcarr</sub>	ACPR - 1 キャリア、NR 100MHz E-TM1.1 キャリア $f_{OUT} = 9.6\text{GHz}$	減衰 = 0dB、 $P_{out} = -13\text{dBFS}$		-57		dBc
		減衰 = 20dB、 $P_{out} = -13\text{dBFS}$		-50		dBc
		減衰 = 28dB、 $P_{out} = -13\text{dBFS}$		-42		dBc
		減衰 = 39dB、 $P_{out} = -13\text{dBFS}$		-31		dBc
EVM	エラー ベクトル振幅、1x 20MHz E-TM3.1/3.1a、リファレンスなし、クロック ノイズ	$F_{OUT} = 0.85\text{GHz}$ 、 $P_{OUT} = -13\text{dBFS}$		0.16		%
		$F_{OUT} = 1.8425\text{GHz}$ 、 $P_{OUT} = -13\text{dBFS}$		0.29		%
		$F_{OUT} = 2.6\text{GHz}$ 、 $P_{OUT} = -13\text{dBFS}$		0.28		%
		$F_{out} = 3.5\text{GHz}$ 、 $P_{OUT} = -13\text{dBFS}$		0.38		%
		$F_{out} = 4.9\text{GHz}$ 、 $P_{OUT} = -13\text{dBFS}$		0.43		%
NSD <sub>dBFS</sub>	ノイズ スペクトル密度 20MHz オフセット $f_{OUT} = 0.85\text{GHz}$	減衰 = 0dB、 $f_{DAC} = 5898.24\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-156		dBFS/Hz
		減衰 = 20dB、 $f_{DAC} = 5898.24\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-151		dBFS/Hz
		減衰 = 28dB、 $f_{DAC} = 5898.24\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-145		dBFS/Hz
		減衰 = 39dB、 $f_{DAC} = 5898.24\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-134		dBFS/Hz
NSD <sub>dBFS</sub>	ノイズ スペクトル密度 20MHz オフセット $f_{OUT} = 1.8\text{GHz}$	減衰 = 0dB、 $f_{DAC} = 5898.24\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-158		dBFS/Hz
		減衰 = 20dB、 $f_{DAC} = 5898.24\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-152		dBFS/Hz
		減衰 = 28dB、 $f_{DAC} = 5898.24\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-146		dBFS/Hz
		減衰 = 39dB、 $f_{DAC} = 5898.24\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-135		dBFS/Hz
NSD <sub>dBFS</sub>	ノイズ スペクトル密度 20MHz オフセット $f_{OUT} = 2.6\text{GHz}$	減衰 = 0dB、 $f_{DAC} = 8847.36\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-157		dBFS/Hz
		減衰 = 20dB、 $f_{DAC} = 8847.36\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-151		dBFS/Hz
		減衰 = 28dB、 $f_{DAC} = 8847.36\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-144		dBFS/Hz
		減衰 = 39dB、 $f_{DAC} = 8847.36\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-133		dBFS/Hz
NSD <sub>dBFS</sub>	ノイズ スペクトル密度 20MHz オフセット $F_{OUT} = 3.5\text{GHz}$	減衰 = 0dB、 $P_{out} = -13\text{dBFS}$		-158		dBFS/Hz
		減衰 = 20dB、 $P_{out} = -13\text{dBFS}$		-150		dBFS/Hz
		減衰 = 28dB、 $P_{out} = -13\text{dBFS}$		-143		dBFS/Hz
		減衰 = 39dB、 $P_{out} = -13\text{dBFS}$		-132		dBFS/Hz

$T_A = +25^\circ\text{C}$  での代表値、全動作温度範囲は  $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS (6GHz 未満) および 1474.56MSPS (6GHz 超)、 $f_{DAC} = 11796.48\text{MSPS}$ 、PLL クロック モード (出力周波数 6GHz 未満) および外部クロック モード (出力周波数 6GHz 超)、1 次 ナイキストではインターリーブ モード、2 次 ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 16.22Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NSD <sub>dBFS</sub>	ノイズ スペクトル密度 20MHz オフセット $F_{OUT} = 4.9\text{GHz}$	減衰 = 0dB、Pout = -13dBFS		-155		dBFS/ Hz
		減衰 = 20dB、Pout = -13dBFS		-148		dBFS/ Hz
		減衰 = 28dB、Pout = -13dBFS		-141		dBFS/ Hz
		減衰 = 39dB、Pout = -13dBFS		-130		dBFS/ Hz
NSD <sub>dBFS</sub>	ノイズ スペクトル密度 50MHz オフセット $F_{OUT} = 8.1\text{GHz}$	減衰 = 0dB、Pout = -13dBFS		-149		dBFS/ Hz
		減衰 = 20dB、Pout = -13dBFS		-147		dBFS/ Hz
		減衰 = 28dB、Pout = -13dBFS		-141		dBFS/ Hz
		減衰 = 39dB、Pout = -13dBFS		-130		dBFS/ Hz
NSD <sub>dBFS</sub>	ノイズ スペクトル密度 50MHz オフセット $F_{OUT} = 9.6\text{GHz}$	減衰 = 0dB、Pout = -13dBFS		-148		dBFS/ Hz
		減衰 = 20dB、Pout = -13dBFS		-144		dBFS/ Hz
		減衰 = 28dB、Pout = -13dBFS		-137		dBFS/ Hz
		減衰 = 39dB、Pout = -13dBFS		-126		dBFS/ Hz
S22	出力リターン ロス、< 6GHz、+/- fc * 10%	マッチングを使用		-17		dB
	出力リターン ロス、> 8GHz、+/- fc * 10%	マッチングを使用		-13		dB

$T_A = +25^\circ\text{C}$  での代表値、全動作温度範囲は  $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS (6GHz 未満) および 1474.56MSPS (6GHz 超)、 $f_{DAC} = 11796.48\text{MSPS}$ 、PLL クロック モード (出力周波数 6GHz 未満) および外部クロック モード (出力周波数 6GHz 超)、1 次 ナイキストではインターリーブ モード、2 次 ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 16.22Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
絶縁	ニア チャンネル: 1TXOUT から 2TXOUT、または 3TXOUT から 4TXOUT (1)	$f_{OUT} = 900\text{MHz}$ , $f_{DAC} = 8847.36\text{MSPS}$ 、ストレート モード		-49		dB
		$f_{out} = 1850\text{ MHz}$ , $f_{DAC} = 8847.36\text{MSPS}$ 、ストレート モード		-59		dB
		$f_{out} = 2600\text{ MHz}$ , $f_{DAC} = 8847.36\text{MSPS}$ 、ストレート モード		-64		dB
		$f_{out} = 3500\text{ MHz}$ , $f_{DAC} = 8847.36\text{MSPS}$ 、ストレート モード		-66		dB
		$f_{out} = 4900\text{MHz}$ , $f_{DAC} = 8847.36\text{MSPS}$ 、ストレート モード		-60		dB
		$f_{OUT} = 900\text{MHz}$ , $f_{DAC} = 8847.36\text{MSPS}$ 、ストレート モード		-90		dB
		$f_{out} = 1850\text{ MHz}$ , $f_{DAC} = 8847.36\text{MSPS}$ 、ストレート モード		-91		dB
		$f_{out} = 2600\text{ MHz}$ , $f_{DAC} = 8847.36\text{MSPS}$ 、ストレート モード		-93		dB
		$f_{out} = 3500\text{ MHz}$ , $f_{DAC} = 8847.36\text{MSPS}$ 、ストレート モード		-94		dB
		$f_{out} = 4900\text{MHz}$ , $f_{DAC} = 8847.36\text{MSPS}$ 、ストレート モード		-83		dB
		$f_{out} = 8100\text{MHz}$		-47		dB
		$f_{out} = 9600\text{MHz}$		-60		dB
	ファー チャンネル: 1/2TXOUT から 3/4TXOUT	$f_{out} = 8100\text{MHz}$		-80		dB
PN <sub>TXADD</sub>	追加の位相ノイズの外部クロック モード (3)	$f_{OUT} = 9.6\text{GHz}$ , $f_{OFFSET} = 100\text{Hz}$		-88		dBc/Hz
		$f_{OUT} = 9.6\text{GHz}$ , $f_{OFFSET} = 1\text{kHz}$		-102		dBc/Hz
		$f_{OUT} = 9.6\text{GHz}$ , $f_{OFFSET} = 10\text{kHz}$		-110		dBc/Hz
		$f_{OUT} = 9.6\text{GHz}$ , $f_{OFFSET} = 100\text{kHz}$		-123		dBc/Hz
		$f_{OUT} = 9.6\text{GHz}$ , $f_{OFFSET} = 1\text{MHz}$		-136		dBc/Hz
		$f_{OUT} = 9.6\text{GHz}$ , $f_{OFFSET} = 10\text{MHz}$		-143		dBc/Hz
		$f_{OUT} = 9.6\text{GHz}$ , $f_{OFFSET} = 100\text{MHz}$		-146		dBc/Hz

- (1) TxP/M で 50 オームの差動を使用して測定されます。各ピンで各 TxP/M に対する DC バイアスは 1.8V に維持され、削除されません。TX パス上の他の外部コンポーネントは切断されます。
- (2) DSA キャリブレーション手順の後
- (3) シングル サイド バンド、入力クロック位相ノイズ軽減。

#### 4.6 RF ADC の電気的特性

$T_A = +25^\circ\text{C}$  での代表値、全動作温度範囲は  $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、RX 出力レート = 491.52MSPS (入力周波数 6GHz 未満) および 1474.56MSPS (入力周波数 6GHz 超)、 $f_{ADC} = 2949.12\text{MSPS}$ 、PLL クロック モードは  $f_{REF} = 491.52\text{MHz}$  (入力周波数 6GHz 未満)、外部クロック モードは  $f_{CLK} = 11796.48\text{MHz}$  (入力周波数 6GHz 超)、公称電源、DSA 設定 = 4dB (6GHz 未満) および 3dB (6GHz 超)、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
ADC <sub>RES</sub>	ADC の分解能			14		ビット
F <sub>ADC</sub>	ADC サンプルレート		1.5		3	GSPS
F <sub>RFin_MAX</sub>	RF 入力周波数範囲	周波数範囲に基づいて PCB が一致する 必要があります		12000		MHz
F <sub>RFin_MIN</sub>	RF 入力周波数範囲	周波数範囲に基づいて PCB が一致する 必要があります		5		MHz
P <sub>FS_CW,min</sub>	デバイスピンでの最小フルスケール入力 電力 (1)	$f_{IN} = 830\text{MHz}$ , DSA = 0dB		-2.9		dBm
		$f_{IN} = 1760\text{MHz}$ , DSA = 0dB		-2.8		dBm
		$f_{IN} = 2610\text{MHz}$ , DSA = 0dB		-1.8		dBm
		$f_{IN} = 3610\text{MHz}$ , DSA = 0dB		-0.4		dBm
		$f_{IN} = 4910\text{MHz}$ , DSA = 0dB		0.1		dBm
		$f_{IN} = 8150\text{MHz}$ , DSA = 0dB		2.1		dBm
		$f_{IN} = 9610\text{MHz}$ , DSA = 0dB		4.3		dBm
P <sub>FS_CW,MAX</sub>	デバイスピンでの最大フルスケール入力 電力 - 信頼性は限定的	$f_{IN} = 830\text{MHz}$ , DSA = 20dB		16.7		dBm
		$f_{IN} = 1760\text{MHz}$ , DSA = 20dB		17.0		dBm
		$f_{IN} = 2610\text{MHz}$ , DSA = 20dB		18		dBm
		$f_{IN} = 3610\text{MHz}$ , DSA = 20dB		18.5		dBm
		$f_{IN} = 4910\text{MHz}$ , DSA = 20dB		19.3		dBm
		$f_{IN} = 8150\text{MHz}$ , DSA = 20dB		21.3		dBm
		$f_{IN} = 9610\text{MHz}$ , DSA = 20dB		23.5		dBm
S11	入力のリターンロス	マッチング ネットワークを使用		-12		dB
ATT <sub>range</sub>	DSA 減衰範囲			25		dB
ATT <sub>step</sub>	DSA 減衰ステップ			0.5		dB
	DSA 減衰ステップ精度	デルタ = $G_{att}(X) - G_{att}(X - 1)$ , $F_{in} = 3610\text{MHz}$ 、キャリブレーション後		±0.1		dB
	DSA ゲイン ステップ位相精度 任意の 8dB レンジ	$F_{in} = 3610\text{MHz}$ 、キャリブレーション後		±0.9		度
	DSA ゲイン ステップ位相精度 任意の 8dB レンジ	$F_{in} = 4910\text{MHz}$ 、キャリブレーション後		±1.8		度

**AFE7950-SP, AFE7950-SEP**

JAJSN3B – MARCH 2024 – REVISED JUNE 2026

$T_A = +25^\circ\text{C}$  での代表値、全動作温度範囲は  $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、RX 出力レート = 491.52MSPS (入力周波数 6GHz 未満) および 1474.56MSPS (入力周波数 6GHz 超)、 $f_{ADC} = 2949.12\text{MSPS}$ 、PLL クロック モードは  $f_{REF} = 491.52\text{MHz}$  (入力周波数 6GHz 未満)、外部クロック モードは  $f_{CLK} = 11796.48\text{MHz}$  (入力周波数 6GHz 超)、公称電源、DSA 設定 = 4dB (6GHz 未満) および 3dB (6GHz 超)、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NSD	ノイズ密度 (小信号)	$f_{IN} = 830\text{MHz}$ , DSA = 3dB <sup>(3)</sup>		-155.2		dBFS/Hz
		$f_{IN} = 1760\text{MHz}$ , DSA = 3dB <sup>(3)</sup>		-155.0		dBFS/Hz
		$f_{IN} = 2610\text{MHz}$ , DSA = 3dB <sup>(3)</sup>		-154.4		dBFS/Hz
		$f_{IN} = 3610\text{MHz}$ , DSA = 3dB <sup>(3)</sup>		-154.1		dBFS/Hz
		$f_{IN} = 4910\text{MHz}$ , DSA = 3dB <sup>(3)</sup>		-155.1		dBFS/Hz
		$f_{IN} = 8150\text{MHz}$ , DSA = 3dB <sup>(3)</sup>		-150		dBFS/Hz
		$f_{IN} = 9610\text{MHz}$ , DSA = 3dB <sup>(3)</sup>		-151		dBFS/Hz
		$f_{IN} = 830\text{MHz}$ , $3 \leq \text{減衰} \leq 22$		-156.0		dBFS/Hz
		$f_{IN} = 1760\text{MHz}$ , $3 \leq \text{減衰} \leq 25$		-155.8		dBFS/Hz
		$f_{IN} = 2610\text{MHz}$ , $3 \leq \text{減衰} \leq 25$		-155.7		dBFS/Hz
		$f_{IN} = 3610\text{MHz}$ , $3 \leq \text{減衰} \leq 25$		-155.4		dBFS/Hz
		$f_{IN} = 4910\text{MHz}$ , $3 \leq \text{減衰} \leq 25$		-155.8		dBFS/Hz
		$f_{IN} = 8150\text{MHz}$ , $3 \leq \text{減衰} \leq 25$		-152.5		dBFS/Hz
		$f_{IN} = 9610\text{MHz}$ , $3 \leq \text{減衰} \leq 25$		-152.5		dBFS/Hz
NF <sub>min</sub>	ノイズ指数最小値 DSA 減衰 = 0~3dB	$f_{IN} = 830\text{MHz}$		19.1		dB
		$f_{IN} = 1760\text{MHz}$		19.0		dB
		$f_{IN} = 2610\text{MHz}$		20.9		dB
		$f_{IN} = 3610\text{MHz}$		22.8		dB
		$f_{IN} = 4910\text{MHz}$		22.4		dB
		$f_{IN} = 8150\text{MHz}$		27.3		dB
		$f_{IN} = 9610\text{MHz}$		30		dB
NF	ノイズ指数 DSA 減衰 = 4dB	$f_{IN} = 830\text{MHz}$ <sup>(4)</sup>		20.0		dB
		$f_{IN} = 1760\text{MHz}$ <sup>(4)</sup>		20.6		dB
		$f_{IN} = 2610\text{MHz}$ <sup>(4)</sup>		21.9		dB
		$f_{IN} = 3610\text{MHz}$ <sup>(4)</sup>		23.5		dB
		$f_{IN} = 4910\text{MHz}$ <sup>(4)</sup>		22.3		dB
		$f_{IN} = 8150\text{MHz}$ <sup>(4)</sup>		27.9		dB
		$f_{IN} = 9610\text{MHz}$ <sup>(4)</sup>		30.7		dB
NF <sub>max</sub>	ノイズ指数 DSA 減衰 = 20dB	$f_{IN} = 830\text{MHz}$		34.7		dB
		$f_{IN} = 1760\text{MHz}$		35.2		dB
		$f_{IN} = 2610\text{MHz}$		36.0		dB
		$f_{IN} = 3610\text{MHz}$		37.3		dB
		$f_{IN} = 4910\text{MHz}$		37.6		dB
		$f_{IN} = 8150\text{MHz}$		42.8		dB
		$f_{IN} = 9610\text{MHz}$		45		dB

$T_A = +25^\circ\text{C}$  での代表値、全動作温度範囲は  $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、RX 出力レート = 491.52MSPS (入力周波数 6GHz 未満) および 1474.56MSPS (入力周波数 6GHz 超)、 $f_{ADC} = 2949.12\text{MSPS}$ 、PLL クロック モードは  $f_{REF} = 491.52\text{MHz}$  (入力周波数 6GHz 未満)、外部クロック モードは  $f_{CLK} = 11796.48\text{MHz}$  (入力周波数 6GHz 超)、公称電源、DSA 設定 = 4dB (6GHz 未満) および 3dB (6GHz 超)、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
IMD3	第 3 次 インターモジュレーション: $f_{IN} \pm 10\text{MHz}$ の 2 トーン (各トーン $-7\text{dBFS}$ )	$f_{IN} = 840\text{MHz}$ , $3 \leq \text{減衰} \leq 12$		-82		dBc
		$f_{IN} = 1770\text{MHz}$ , $3 \leq \text{減衰} \leq 12$		-84		dBc
		$f_{IN} = 2610\text{MHz}$ , $3 \leq \text{減衰} \leq 12$		-74		dBc
		$f_{IN} = 3610\text{MHz}$ , $3 \leq \text{減衰} \leq 12$		-77		dBc
		$f_{IN} = 4920\text{MHz}$ , $3 \leq \text{減衰} \leq 12$		-76		dBc
		$f_{IN} = 8150\text{MHz}$ , $3 \leq \text{減衰} \leq 12$ , 25MHz の トーン間隔		-55		dBc
		$f_{IN} = 9610\text{MHz}$ , $3 \leq \text{減衰} \leq 12$ , 25MHz の トーン間隔		-60		dBc
SFDR	スプリアス フリー ダイナミックレンジ 出力帯域幅内、 $A_{IN} = -3\text{dBFS}$	$f_{IN} = 830\text{MHz}$		88		dBFS
		$f_{IN} = 1760\text{MHz}$		81		dBFS
		$f_{IN} = 2610\text{MHz}$		88		dBFS
		$f_{IN} = 3610\text{MHz}$		84		dBFS
		$f_{IN} = 4910\text{MHz}$		79		dBFS
		$f_{IN} = 8150\text{MHz}$		78		dBFS
		$f_{IN} = 9610\text{MHz}$		71		dBFS
HD2	2 次高調波歪み $A_{IN} = -3\text{dBFS}^{(2)}$	$f_{IN} = 830\text{MHz}$		-86		dBFS
		$f_{IN} = 1760\text{MHz}$		-91		dBFS
		$f_{IN} = 2610\text{MHz}$		-88		dBFS
		$f_{IN} = 3610\text{MHz}$		-87		dBFS
		$f_{IN} = 4910\text{MHz}$		-84		dBFS
		$f_{IN} = 8150\text{MHz}$		-70		dBFS
		$f_{IN} = 9610\text{MHz}$		-70		dBFS
HD3	3 次高調波歪み $A_{IN} = -3\text{dBFS}$	$f_{IN} = 830\text{MHz}$		-80		dBFS
		$f_{IN} = 1760\text{MHz}$		-85		dBFS
		$f_{IN} = 2501\text{MHz}$		-80	-58	dBFS
		$f_{IN} = 2610\text{MHz}$		-85		dBFS
		$f_{IN} = 3610\text{MHz}$		-78		dBFS
		$f_{IN} = 4910\text{MHz}$		-75		dBFS
		$f_{IN} = 8150\text{MHz}$		-70		dBFS
		$f_{IN} = 9610\text{MHz}$		-70		dBFS
HDn, $n > 3$	HD2 と HD3 を除く SFDR $A_{IN} = -3\text{dBFS}$	$f_{IN} = 830\text{MHz}$		-88		dBFS
		$f_{IN} = 1760\text{MHz}$		-81		dBFS
		$f_{IN} = 2610\text{MHz}$		-88		dBFS
		$f_{IN} = 3610\text{MHz}$		-84		dBFS
		$f_{IN} = 4910\text{MHz}$		-82		dBFS
		$f_{IN} = 8150\text{MHz}$		-78		dBFS
		$f_{IN} = 9610\text{MHz}$		-78		dBFS

**AFE7950-SP, AFE7950-SEP**

JAJNSNC3B – MARCH 2024 – REVISED JUNE 2026

$T_A = +25^\circ\text{C}$  での代表値、全動作温度範囲は  $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、RX 出力レート = 491.52MSPS (入力周波数 6GHz 未満) および 1474.56MSPS (入力周波数 6GHz 超)、 $f_{ADC} = 2949.12\text{MSPS}$ 、PLL クロック モードは  $f_{REF} = 491.52\text{MHz}$  (入力周波数 6GHz 未満)、外部クロック モードは  $f_{CLK} = 11796.48\text{MHz}$  (入力周波数 6GHz 超)、公称電源、DSA 設定 = 4dB (6GHz 未満) および 3dB (6GHz 超)、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
SFDR	スプリアス フリー ダイナミック レンジ $A_{IN} = -13\text{dBFS}$ $0 \leq \text{減衰} \leq 16$	$f_{IN} = 830\text{MHz}$		89		dBFS
		$f_{IN} = 1760\text{MHz}$		89		dBFS
		$f_{IN} = 2610\text{MHz}$		95		dBFS
		$f_{IN} = 3610\text{MHz}$		90		dBFS
		$f_{IN} = 4910\text{MHz}$		90		dBFS
		$f_{IN} = 8150\text{MHz}$		83		dBFS
		$f_{IN} = 9610\text{MHz}$		80		dBFS
HD2	2 次高調波歪み $A_{IN} = -13\text{dBFS}$ $0 \leq \text{減衰} \leq 16$	$f_{IN} = 830\text{MHz}$ 、基板トリムを使用		-79		dBFS
		$f_{IN} = 1760\text{MHz}$ 、基板トリムを使用		-102		dBFS
		$f_{IN} = 2610\text{MHz}$ 、基板トリムを使用		-100		dBFS
		$f_{IN} = 3610\text{MHz}$ 、基板トリムを使用		-101		dBFS
		$f_{IN} = 4910\text{MHz}$ 、基板トリムを使用		-99		dBFS
		$f_{IN} = 8150\text{MHz}$ 、基板トリムを使用		-107		dBFS
		$f_{IN} = 9610\text{MHz}$ 、基板トリムを使用		-107		dBFS
HD3	3 次高調波歪み $A_{IN} = -13\text{dBFS}$ $0 \leq \text{減衰} \leq 16$	$f_{IN} = 830\text{MHz}$		-95		dBFS
		$f_{IN} = 1760\text{MHz}$		-95		dBFS
		$f_{IN} = 2610\text{MHz}$		-98		dBFS
		$f_{IN} = 3610\text{MHz}$		-97		dBFS
		$f_{IN} = 4910\text{MHz}$		-94		dBFS
		$f_{IN} = 8150\text{MHz}$		-100		dBFS
		$f_{IN} = 9610\text{MHz}$		-102		dBFS
HDn, $n > 3$	HD2 と HD3 を除く SFDR $A_{IN} = -13\text{dBFS}$ $0 \leq \text{減衰} \leq 16$	$f_{IN} = 830\text{MHz}$		-89		dBFS
		$f_{IN} = 1760\text{MHz}$		-89		dBFS
		$f_{IN} = 2610\text{MHz}$		-95		dBFS
		$f_{IN} = 3610\text{MHz}$		-90		dBFS
		$f_{IN} = 4910\text{MHz}$		-90		dBFS
		$f_{IN} = 8150\text{MHz}$		-83		dBFS
		$f_{IN} = 9610\text{MHz}$		-80		dBFS
RX-RX 絶縁	ニア チャネル: 1RXIN から 2RXIN 3RXIN から 4RXIN	$f_{IN} = 830\text{MHz}$		-77		dBc
		$f_{IN} = 1760\text{MHz}$		-71		dBc
		$f_{IN} = 2610\text{MHz}$		-74		dBc
		$f_{IN} = 3610\text{MHz}$		-77		dBc
		$f_{IN} = 4910\text{MHz}$		-65		dBc
		$f_{IN} = 8150\text{MHz}$		-64		dBc
		$f_{IN} = 9610\text{MHz}$		-60		dBc
TX-FB 絶縁	ニア チャネル: 2TXOUT から 1FBIN 4TXOUT から 2FBIN	$f_{IN} = 830\text{MHz}$		-84		dBc
		$f_{IN} = 1760\text{MHz}$		-88		dBc
		$f_{IN} = 2610\text{MHz}$		-85		dBc
		$f_{IN} = 3610\text{MHz}$		-75		dBc
		$f_{IN} = 4910\text{MHz}$		-82		dBc
		$f_{IN} = 8150\text{MHz}$		-71		dBc
		$f_{IN} = 9610\text{MHz}$		-69		dBc

$T_A = +25^\circ\text{C}$  での代表値、全動作温度範囲は  $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、RX 出力レート = 491.52MSPS (入力周波数 6GHz 未満) および 1474.56MSPS (入力周波数 6GHz 超)、 $f_{ADC} = 2949.12\text{MSPS}$ 、PLL クロック モードは  $f_{REF} = 491.52\text{MHz}$  (入力周波数 6GHz 未満)、外部クロック モードは  $f_{CLK} = 11796.48\text{MHz}$  (入力周波数 6GHz 超)、公称電源、DSA 設定 = 4dB (6GHz 未満) および 3dB (6GHz 超)、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
TX-RX 絶縁	ニア チャンネル: 2TXOUT から 1RXIN 4TXOUT から 3RXIN	$f_{IN} = 830\text{MHz}$		-86		dBc
		$f_{IN} = 1760\text{MHz}$		-87		dBc
		$f_{IN} = 2610\text{MHz}$		-91		dBc
		$f_{IN} = 3610\text{MHz}$		-83		dBc
		$f_{IN} = 4910\text{MHz}$		-82		dBc
		$f_{IN} = 8150\text{MHz}$		-68		dBc
		$f_{IN} = 9610\text{MHz}$		-68		dBc

- (1) DSA にデジタル ゲイン範囲を追加して DSA の有効範囲を拡張することで、最小減衰でのフルスケール入力を低減できます。デジタル ゲイン範囲全体にわたってノイズ指数は一定に保たれます。
- (2) HD2 の NLE 補正
- (3) DSA = 3dB ~ 0dB まで、NSD は DSA dB あたり 1dB 上昇
- (4) DSA = 3dB 超では、NF は DSA 1dB あたり 1dB 上昇

#### 4.7 PLL / VCO / クロックの電気的特性

TA = +25°Cでの代表値、全動作温度範囲は T<sub>A,MIN</sub> = -40°C ~ T<sub>J,MAX</sub> = +110°C、リファレンス クロック入力周波数 491.52MHz (特に記述のない限り)、f<sub>DAC</sub> = f<sub>VCO</sub>、f<sub>OUT</sub> = f<sub>DAC</sub>/4、f<sub>VCO</sub> に正規化

パラメータ		テスト条件	最小値	標準値	最大値	単位
f <sub>VCO1</sub>	VCO1 の最小周波数				7.2	GHz
	VCO1 の最大周波数		7.68			GHz
f <sub>VCO2</sub>	VCO2 の最小周波数				8.8	GHz
	VCO2 の最大周波数		9.1			GHz
f <sub>VCO3</sub>	VCO3 の最小周波数				9.7	GHz
	VCO3 の最大周波数		10.24			GHz
f <sub>VCO4</sub>	VCO4 の最小周波数				11.6	GHz
	VCO4 の最大周波数		12.08			GHz
DIV <sub>DAC</sub>	DAC サンプル レート分周器			1、2、または 3		
DIV <sub>FBADC</sub>	DAC サンプル レートからの ADC サンプル レート分周器			1、2、3、4、6、または 8		
DIV <sub>RXADC</sub>	ADC サンプル レート分周器			1、2、3、4、6、または 8		
PN <sub>VCO</sub>	閉ループ位相ノイズ (F <sub>PLL</sub> = 11.79848GHz、F <sub>REF</sub> = 491.52MHz)	600kHz			-113	dBc/Hz
		800kHz			-116	dBc/Hz
		1MHz			-119	dBc/Hz
		1.8MHz			-125	dBc/Hz
		5MHz			-133	dBc/Hz
		50MHz			-141	dBc/Hz
	閉ループ位相ノイズ (F <sub>PLL</sub> = 8.84736GHz、F <sub>REF</sub> = 491.52MHz)	600kHz			-114	dBc/Hz
		800kHz			-118	dBc/Hz
		1MHz			-120	dBc/Hz
		1.8MHz			-127	dBc/Hz
		5MHz			-135	dBc/Hz
		50MHz			-142	dBc/Hz
	閉ループ位相ノイズ (F <sub>PLL</sub> = 9.8403GHz、F <sub>REF</sub> = 491.52MHz)	600kHz			-113	dBc/Hz
		800kHz			-116	dBc/Hz
		1MHz			-119	dBc/Hz
		1.8MHz			-125	dBc/Hz
		5MHz			-134	dBc/Hz
		50MHz			-140	dBc/Hz
	閉ループ位相ノイズ (F <sub>PLL</sub> = 7.86432GHz、F <sub>REF</sub> = 491.52MHz)	600kHz			-116	dBc/Hz
		800kHz			-119	dBc/Hz
		1MHz			-122	dBc/Hz
		1.8MHz			-127	dBc/Hz
		5MHz			-136	dBc/Hz
		50MHz			-143	dBc/Hz
F <sub>rms</sub>	クロック PLL 積分位相誤差 <sup>(1)</sup>	f <sub>PLL</sub> = 11.79848GHz、[1kHz、100MHz]			-43.4	dBc/Hz
		f <sub>PLL</sub> = 8.8536GHz、[1kHz、100MHz]			-47.6	dBc/Hz
		f <sub>PLL</sub> = 9.8304GHz、[1kHz、100MHz]			-46.2	dBc/Hz

TA = +25°Cでの代表値、全動作温度範囲は T<sub>A,MIN</sub> = -40°C ~ T<sub>J,MAX</sub> = +110°C、リファレンス クロック入力周波数 491.52MHz (特に記述のない限り)、f<sub>DAC</sub> = f<sub>VCO</sub>、f<sub>OUT</sub> = f<sub>DAC</sub>/4、f<sub>VCO</sub> に正規化

パラメータ		テスト条件	最小値	標準値	最大値	単位
f <sub>PFD</sub>	PFD 周波数		100		500	MHz
F <sub>REF</sub>	入力クロック最小周波数			0.1		GHz
F <sub>REF</sub>	入力クロック最大周波数			12		GHz
V <sub>CLKMIN</sub>	入力クロック最小レベル			0.6		Vppdiff
V <sub>CLKMAX</sub>	入力クロック最大レベル			1.8		Vppdiff
PN <sub>pll_flat</sub>	正規化された PLL フラット ノイズ	f <sub>VCO</sub> = 11796.48MHz		-226.5		dBc/Hz
結合				AC 結合のみ		
	REFCLK 入力インピーダンス (2)	並列抵抗		100		Ω
		並列容量		0.5		pF

- (1) シングル サイドバンド。リファレンス クロックの影響は含まれません  
(2) インピーダンスと周波数との関係については、テキサス・インスツルメンツが提供している S11 データを参照してください

## 4.8 デジタルの電気的特性

TA = +25°Cでの代表値、全動作温度範囲は T<sub>A,MIN</sub> = -40°C ~ T<sub>J,MAX</sub> = +110°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>CML SerDes 入力 [8:1]SRX+/-</b>						
V <sub>SRDIFF</sub>	SerDes レシーバ最小入力振幅			100		mVpp
V <sub>SRDIFF</sub>	SerDes レシーバ最大入力振幅			1200		mVpp
V <sub>SRCOM</sub>	SerDes 最小入力同相モード			0.5		V
V <sub>SRCOM</sub>	SerDes 最大入力同相モード			0.6		V
Z <sub>SRdiff</sub>	SerDes 内部差動終端 <sup>(1)</sup>			115		Ω
F <sub>SerDes</sub>	SerDes ビットレート	最小フルレート モード		19		Gbps
F <sub>SerDes</sub>	SerDes ビットレート	最大フルレート モード		24.75		Gbps
F <sub>SerDes</sub>	SerDes ビットレート	最小ハーフレート モード		9.5		Gbps
F <sub>SerDes</sub>	SerDes ビットレート	最大ハーフレート モード		16.25		Gbps
F <sub>SerDes</sub>	SerDes ビットレート	最小クォーター レート モード		4.75		Gbps
F <sub>SerDes</sub>	SerDes ビットレート	最大クォーター レート モード		8.125		Gbps
	挿入損失許容 <sup>(2)</sup>	SerDes 電源 = 1.8V		25		dB
TJ	総ジッタ許容			0.42		UI
<b>CML SerDes 出力 [8:1]STX+/-</b>						
V <sub>STDIFF</sub>	SerDes トランスミッタ最小出力振幅	差動		500		mVpp
V <sub>STDIFF</sub>	SerDes トランスミッタ最大出力振幅	差動		1000		mVpp
V <sub>STCOM</sub>	SerDes 最小出力同相モード			0.5		V
V <sub>STCOM</sub>	SerDes 出力コモン モード			0.6		V
Z <sub>STdiff</sub>	SerDes 出力インピーダンス			115		Ω
TRF	出力の立ち上がりおよび立ち下がり時間	20~80%		8		ps
TEQS	イコライゼーション範囲			7		dB
TTJ	出力の総ジッタ			0.21		UI
<b>CMOS I/O: GPIO{B/C/D/E}x, SPICLK, SPISDIO, SPISDO, SPISEN, RESETZ, BISTB0, BISTB1</b>						
V <sub>IH</sub>	High レベル入力電圧		0.6×VDD1 P8GPIO			V
V <sub>IL</sub>	Low レベル入力電圧			0.4×VDD1 P8GPIO		V
V <sub>OH</sub>	High レベル出力電圧		VDD1P8G PIO-0.2			V
V <sub>OL</sub>	Low レベル出力電圧			0.2		V
<b>差動入力:SYSREF+/- モード A</b>						
F <sub>SYSREFMAX</sub>	SYSREF 入力周波数最大値			40		MHz
V <sub>SWINGSRMAX</sub>	SYSREF 入力スイング最大値			1.8		Vppdiff <sup>(3)</sup>
V <sub>SWINGSRMIN</sub>	SYSREF 入力スイング最小値	f <sub>REF</sub> < 500MHz		0.3		Vppdiff <sup>(3)</sup>
V <sub>SWINGSRMIN</sub>	SYSREF 入力スイング最小値	f <sub>REF</sub> > 500MHz		0.6		Vppdiff <sup>(3)</sup>
V <sub>COMSRMAX</sub>	SYSREF 入力コモン モード電圧最大値			0.8		V
V <sub>COMSRMIN</sub>	SYSREF 入力コモン モード電圧最小値			0.6		V
Z <sub>T</sub>	入力の終端	差動		108 <sup>(1)</sup>		Ω
C <sub>L</sub>	入力容量	各ピンから GND		0.5		pF
<b>LVDS 入力:0SYNCIN+/- および 1SYNCIN+/-</b>						
V <sub>ICOM</sub>	入力コモン モード電圧			1.2		V

TA = +25°Cでの代表値、全動作温度範囲は T<sub>A,MIN</sub> = -40°C ~ T<sub>J,MAX</sub> = +110°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V <sub>ID</sub>	差動入力電圧スイング			450		mVppdiff <sup>(3)</sup>
Z <sub>T</sub>	入力の終端	差動		100		Ω
<b>LVDS 出力: 0SYNCOUT+/- および 1SYNCOUT+/-</b>						
V <sub>OCOM</sub>	出力コモン モード電圧			1.2		V
V <sub>OD</sub>	差動出力電圧スイング			355		mVppdiff <sup>(3)</sup>

- (1) デフォルト設定。SYSREF 終端は公称 100Ω、150Ω、300Ω の間で設定可能です
- (2) 損失許容はパンプ間の STX から SRX です。
- (3) Vppdiff は最大差動電圧 (正の値) と最小差動電圧 (負の値) の差です。

#### 4.9 電源の電气的特性

T<sub>A</sub> = +25°Cでの代表値、全動作温度範囲は T<sub>A,MIN</sub> = -40°C ~ T<sub>J,MAX</sub> = +110°C、TX 入力レート = 491.52MSPS、f<sub>DAC</sub> = 8847.36MSPS インターリーブ モード、f<sub>ADC</sub> = 2949.12MSPS、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I <sub>VDD1P8</sub>	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 1: 4T2F - FDD FB 100%、RX TX/FB レートなし: 491.52MSPS シングルバンド: 12x Int, FB 6x Dec f <sub>DAC</sub> = 5898.24SPS f <sub>ADC</sub> = 2949.12MSPS f <sub>TX</sub> = 1.85GHz 64/66 コーディング、16.22Gbps TX: 4-8-4-1、FB: 2-4-4-1		948.2		mA
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			533.7		mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0			77.3		mA
I <sub>VDD1P2</sub>	グループ 2A: VDD1P2FB + VDD1P2RX			299.4		mA
	グループ 2B: VDD1P2TXCLK + VDD1P2TXENC			804.5		mA
	グループ 2C: VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			49.1		mA
I <sub>VDD0P9</sub>	グループ 1A: DVDD0P9 + VDDT0P9			2041.3		mA
P <sub>diss</sub>	消費電力			6027.1		mW
I <sub>VDD1P8</sub>	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX		モード 2: 4T4R - TDD 1F を RX TX 75%、RX 25%、FB 75% のデュアルバンドと共有: 12x Int, FB 6x Dec, RX 24x Dec TX/FB レート 491.52MSPS RX レート 122.88MSPS f <sub>DAC</sub> = 8847.36MSPS f <sub>ADC</sub> = 2949.12MSPS f <sub>OUT</sub> =f <sub>IN</sub> = 1.9、2.6GHz 64/66 コーディング、16.22Gbps TX: 8-16-4-1、FB: 2-4-4-1、RX: 2-16-16-1		820.4	
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			735.2		mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0			74.4		mA
I <sub>VDD1P2</sub>	グループ 2A: VDD1P2FB + VDD1P2RX			289.0		mA
	グループ 2B: VDD1P2TXCLK + VDD1P2TXENC			822.0		mA
	グループ 2C: VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			45.6		mA
I <sub>VDD0P9</sub>	グループ 1A: DVDD0P9 + VDDT0P9			2263.8		mA
P <sub>diss</sub>	消費電力			6359.2		mW

**AFE7950-SP, AFE7950-SEP**

JAJ5NC3B – MARCH 2024 – REVISED JUNE 2026

$T_A = +25^{\circ}\text{C}$ での代表値、全動作温度範囲は  $T_{A,MIN} = -40^{\circ}\text{C} \sim T_{J,MAX} = +110^{\circ}\text{C}$ 、TX 入力レート = 491.52MSPS、 $f_{DAC} = 8847.36\text{MSPS}$  インターリーブ モード、 $f_{ADC} = 2949.12\text{MSPS}$ 、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{VDD1P8}$	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 3: 4T4R2F - TX デュアル バンドで FDD FB 100%: 12x Int, FB 6x Dec RX デュアル バンド: RX 24x TX/FB レート 491.52MSPS RX レート 122.88MSPS $f_{DAC} = 11796.48\text{MSPS}$ $f_{ADC} = 2949.12\text{MSPS}$ $f_{TX} = 1.85 + 2.15\text{GHz}$ $f_{RX} = 1.75 + 1.88\text{GHz}$ 64/66 コーディング、16.22Gbps TX: 8-16-4-1, FB: 2-4-4-1, RX: 2-16-16-1	1668.6			mA
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		965.1			mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0		77.6			mA
$I_{VDD1P2}$	グループ 2A: VDD1P2FB + VDD1P2RX		893.4			mA
	グループ 2B: VDD1P2TXCLK + VDD1P2TXENC		879.5			mA
	グループ 2C: VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF		50.7			mA
$I_{VDD0P9}$	グループ 1A: DVDD0P9 + VDDT0P9		3826.9			mA
$P_{diss}$	消費電力		10513.0			mW
$I_{VDD1P8}$	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX		モード 4: 4T4R2F - 7.5GSPS DAC、2.5GSPS ADC シングル バンドで FDD FB 100%: 15x Int, FB 5x Dec デュアル バンド: RX 20x TX/FB レート 491.52MSPS RX レート 122.88MSPS $f_{DAC} = 7372.8\text{MSPS}$ $f_{ADC} = 2457.6\text{MSPS}$ $f_{TX} = 1.85 + 2.15\text{GHz}$ $f_{RX} = 1.75 + 1.88\text{GHz}$ 64/66 コーディング、16.22Gbps TX: 4-8-4-1, FB: 2-4-4-1, RX: 2-16-16-1	1611.5		
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8	694.5				mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0	72.8				mA
$I_{VDD1P2}$	グループ 2A: VDD1P2FB + VDD1P2RX	768.5				mA
	グループ 2B: VDD1P2TXCLK + VDD1P2TXENC	940.5				mA
	グループ 2C: VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF	45.5				mA
$I_{VDD0P9}$	グループ 1A: DVDD0P9 + VDDT0P9	3000.5				mA
$P_{diss}$	消費電力	9087.4				mW
$I_{VDD1P8}$	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 5: 4T4R - TDD 1F を RX TX 75%、RX 25%、FB 75% のシングル バンドと共有: 12x Int, FB 3x Dec, RX 6x Dec TX/FB レート = 983.04MSPS RX レート 491.52MSPS $f_{DAC} = 11796.48\text{MSPS}$ $f_{ADC} = 2949.12\text{MSPS}$ $f_{TX} = 3.5\text{GHz}$ $f_{RX} = 3.5\text{GHz}$ 64/66 コーディング、16.22Gbps TX: 8-8-2-1, FB: 4-4-4-2, RX: 4-8-4-1		821.8		
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		808.5			mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0		77.4			mA
$I_{VDD1P2}$	グループ 2A: VDD1P2FB + VDD1P2RX		289.5			mA
	グループ 2B: VDD1P2TXCLK + VDD1P2TXENC		682.0			mA
	グループ 2C: VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF		49.0			mA
$I_{VDD0P9}$	グループ 1A: DVDD0P9 + VDDT0P9		2123.3			mA
$P_{diss}$	消費電力		6209.3			mW

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は  $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS、 $f_{DAC} = 8847.36\text{MSPS}$  インターリーブ モード、 $f_{ADC} = 2949.12\text{MSPS}$ 、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位	
$I_{VDD1P8}$	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 7a: TDD 4T1FB (スタンバイでの RX) TX 9G および FB 3G -16 ビット: 368.64M、 DSA = 6dB、非インターリーブ モード RX 3G: 368.64M の詳細を示します。16 ビット、スタンバイ SerDes: 25Gbps) -> Rx/FB (レーン共有) 用に 2 レーン、Tx 用に 2 レーン		658.1		mA	
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			431.1		mA	
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0			75.3		mA	
$I_{VDD1P2}$	グループ 2A: VDD1P2FB + VDD1P2RX				189.2		mA
	グループ 2B: VDD1P2TXCLK + VDD1P2TXENC				1041.1		mA
	グループ 2C: VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF				39.0		mA
$I_{VDD0P9}$	グループ 1A: DVDD0P9 + VDDT0P9				2208.7		mA
$P_{diss}$	消費電力				5607.0		mW
$I_{VDD1P8}$	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX		モード 7b: TDD 4R (スタンバイでの TX) TX 9G および FB 3G -16 ビット: 368.64M、 DSA = 6dB、非インターリーブ モード、スタンバイ RX 3G: 368.64M の詳細を示します。16 ビット SerDes: 25Gbps) -> Rx/FB (レーン共有) 用に 2 レーン、Tx 用に 2 レーン		789.5		mA
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			471.3		mA	
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0			73.4		mA	
$I_{VDD1P2}$	グループ 2A: VDD1P2FB + VDD1P2RX				599.3		mA
	グループ 2B: VDD1P2TXCLK + VDD1P2TXENC				169.6		mA
	グループ 2C: VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF				39.1		mA
$I_{VDD0P9}$	グループ 1A: DVDD0P9 + VDDT0P9				1645.3		mA
$P_{diss}$	消費電力				4851.9		mW
$I_{VDD1P8}$	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 7c: TDD 4T4R1FB TX 9G および FB 3G -16 ビット: 368.64M、 DSA = 6dB、非インターリーブ モード、RX 3G で 75%: 368.64M の詳細を示します。SerDes で 16 ビット 25%: 25Gbps) -> Rx/FB (レーン共有) 用に 2 レーン、Tx 用に 2 レーン			691.0		mA
$I_{VDD1P8}$	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			441.2		mA	
$I_{VDD1P8}$	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0			74.8		mA	
$I_{VDD1P2}$	グループ 2A: VDD1P2FB + VDD1P2RX				291.7		mA
$I_{VDD1P2}$	グループ 2B: VDD1P2TXCLK + VDD1P2TXENC				823.2		mA
$I_{VDD1P2}$	グループ 2C: VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF				39.0		mA
$I_{VDD0P9}$	グループ 1A: DVDD0P9 + VDDT0P9				2067.9		mA
$P_{diss}$	消費電力				5418.2		mW

**AFE7950-SP, AFE7950-SEP**

JAJNSNC3B – MARCH 2024 – REVISED JUNE 2026

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は  $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS、 $f_{DAC} = 8847.36\text{MSPS}$  インターリーブ モード、 $f_{ADC} = 2949.12\text{MSPS}$ 、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{VDD1P8}$	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 7d: FDD 4T4R1FB TX 9G および FB 3G -16 ビット: 368.64M、 DSA = 6dB、非インターリーブ モード、 RX 3G: 368.64M の詳細を示します。16 ビット SerDes: 25Gbps -> Rx/FB (レーン共有) 用に 2 レーン、Tx 用に 2 レーン		1283.8		mA
$I_{VDD1P8}$	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			752.0		mA
$I_{VDD1P8}$	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0			74.6		mA
$I_{VDD1P2}$	グループ 2A: VDD1P2FB + VDD1P2RX			750.5		mA
$I_{VDD1P2}$	グループ 2B: VDD1P2TXCLK + VDD1P2TXENC			1077.6		mA
$I_{VDD1P2}$	グループ 2C: VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			47.7		mA
$I_{VDD0P9}$	グループ 1A: DVDD0P9 + VDDT0P9			2695.5		mA
$P_{diss}$	消費電力		8475.5		mW	
$I_{VDD1P8}$	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 8: モード 7 と同じ構成、スリープ モード。 SLEEP ピンは High にする。		20.3		mA
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			292.8		mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0			12.6		mA
$I_{VDD1P2}$	グループ 2A: VDD1P2FB + VDD1P2RX			4.6		mA
	グループ 2B: VDD1P2TXCLK + VDD1P2TXENC			54.3		mA
	グループ 2C: VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			15.3		mA
$I_{VDD0P9}$	グループ 1A: DVDD0P9 + VDDT0P9			313.1		mA
$P_{diss}$	消費電力			956.8		mW
$I_{VDD1P8}$	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX		モード 9: 4T4R2F - TX シングル バンドで FDD FB 100%: 24x Int, FB 12x Dec RX シングル バンド: RX 24x TX/FB レート 245.76MSPS RX レート 122.88MSPS $f_{DAC}$ = 5898.24MSPS $f_{ADC} = 2949.12\text{MSPS}$ $f_{TX}$ = 0.85GHz $f_{RX} = 0.8\text{GHz}$ 8/10 コーディン グ、9.8304Gbps TX: 4-8-4-1, FB: 2-4-4-1, RX: 2-8-8-1		1593.2	
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			840.6		mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0			77.3		mA
$I_{VDD1P2}$	グループ 2A: VDD1P2FB + VDD1P2RX			905.0		mA
	グループ 2B: VDD1P2TXCLK + VDD1P2TXENC			817.7		mA
	グループ 2C: VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			52.1		mA
$I_{VDD0P9}$	グループ 1A: DVDD0P9 + VDDT0P9			2405.2		mA
$P_{diss}$	消費電力			8814.3		mW

$T_A = +25^{\circ}\text{C}$ での代表値、全動作温度範囲は  $T_{A,MIN} = -40^{\circ}\text{C} \sim T_{J,MAX} = +110^{\circ}\text{C}$ 、TX 入力レート = 491.52MSPS、 $f_{DAC} = 8847.36\text{MSPS}$  インターリーブ モード、 $f_{ADC} = 2949.12\text{MSPS}$ 、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{VDD1P8}$	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 10: 4T4R2F - TX シングル バンドで FDD FB 100%: 18x Int, FB 6x Dec RX シングル バンド: RX 12x TX/FB レート 491.52MSPS RX レート 245.76MSPS $f_{DAC} = 8847.36\text{MSPS}$ $f_{ADC} = 2949.12\text{MSPS}$ $f_{TX} = 1.85\text{GHz}$ $f_{RX} = 1.75\text{GHz}$ 8/10 コーディング、9.8304Gbps TX: 8-8-2-1、FB: 4-4-2-1、RX: 4-8-4-1	1626.2			mA
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		976.4			mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0		74.6			mA
$I_{VDD1P2}$	グループ 2A: VDD1P2FB + VDD1P2RX		902.7			mA
	グループ 2B: VDD1P2TXCLK + VDD1P2TXENC		1111.9			mA
	グループ 2C: VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF		48.0			mA
$I_{VDD0P9}$	グループ 1A: DVDD0P9 + VDDT0P9		3578.9			mA
$P_{diss}$	消費電力		10515.0			mW
$I_{VDD1P8}$	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX		モード 11a: TDD 4T1FB (スタンバイでの RX) シングル バンド: 8x Int, FB 2x Dec, RX が使用する FB TX/FB/RX レート = 1474.56MSPS $f_{DAC} = 11796.48\text{MSPS}$ $f_{ADC} = 2949.12\text{MSPS}$ $f_{TX} = f_{RX} = 8\text{GHz}$ 64/66 コーディング、24.33Gbps TX: 8-8-2-1、FB/RX: 4-4-4-2	800		
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8	840				mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0	73				mA
$I_{VDD1P2}$	グループ 2A: VDD1P2FB + VDD1P2RX	190				mA
	グループ 2B: VDD1P2TXCLK + VDD1P2TXENC	1440				mA
	グループ 2C: VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF	75				mA
$I_{VDD0P9}$	グループ 1A: DVDD0P9 + VDDT0P9	3070				mA
$P_{diss}$	消費電力	8010				mW
$I_{VDD1P8}$	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 11b: TDD 4R (スタンバイでの TX) シングル バンド: 8x Int, FB 2x Dec, RX が使用する FB TX/FB/RX レート = 1474.56MSPS $f_{DAC} = 11796.48\text{MSPS}$ $f_{ADC} = 2949.12\text{MSPS}$ $f_{TX} = f_{RX} = 8\text{GHz}$ 64/66 コーディング、24.33Gbps TX: 8-8-2-1、FB/RX: 4-4-4-2		750		
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		890			mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0		72			mA
$I_{VDD1P2}$	グループ 2A: VDD1P2FB + VDD1P2RX		610			mA
	グループ 2B: VDD1P2TXCLK + VDD1P2TXENC		280			mA
	グループ 2C: VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF		72			mA
$I_{VDD0P9}$	グループ 1A: DVDD0P9 + VDDT0P9		2360			mA
$P_{diss}$	消費電力		6460			mW

**AFE7950-SP, AFE7950-SEP**

JAJ3NC3B – MARCH 2024 – REVISED JUNE 2026

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は  $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS、 $f_{DAC} = 8847.36\text{MSPS}$  インターリーブ モード、 $f_{ADC} = 2949.12\text{MSPS}$ 、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{VDD1P8}$	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 11c: TDD 4T4R1FB 平均 TX/FB: 75%, RX 25% シングルバンド: 8x Int, FB 2x Dec, RX が 使用する FB TX/FB/RX レート = 1474.56MSPS $f_{DAC} = 11796.48\text{MSPS}$ $f_{ADC} = 2949.12\text{MSPS}$ $f_{TX} = f_{RX} = 8\text{GHz}$ 64/66 コーディング、24.33Gbps TX: 8-8-2-1, FB/RX: 4-4-4-2		790		mA
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			850		mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0			73		mA
$I_{VDD1P2}$	グループ 2A: VDD1P2FB + VDD1P2RX			300		mA
	グループ 2B: VDD1P2TXCLK + VDD1P2TXENC			1150		mA
	グループ 2C: VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			75		mA
$I_{VDD0P9}$	グループ 1A: DVDD0P9 + VDDT0P9			2890		mA
$P_{diss}$	消費電力			7620		mW
$I_{VDD1P8}$	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX		モード 11d: FDD 4T4R シングルバンド: 8x Int, RX が使用する FB TX/FB/RX レート = 1474.56MSPS $f_{DAC} = 11796.48\text{MSPS}$ $f_{ADC} = 2949.12\text{MSPS}$ $f_{TX} = f_{RX} = 8\text{GHz}$ 64/66 コーディング、 24.33Gbps TX: 8-8-2-1, FB/RX: 4-4-4-2		1260	
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			940		mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0			73		mA
$I_{VDD1P2}$	グループ 2A: VDD1P2FB + VDD1P2RX			630		mA
	グループ 2B: VDD1P2TXCLK + VDD1P2TXENC			1480		mA
	グループ 2C: VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			78		mA
$I_{VDD0P9}$	グループ 1A: DVDD0P9 + VDDT0P9			4200		mA
$P_{diss}$	消費電力			10640		mW

#### 4.10 タイミング要件

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は  $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS、 $f_{DAC} = 8847.36\text{MSPS}$ 、 $f_{ADC} = 2949.12\text{MSPS}$ 、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps、特に記述のない限り。

		最小値	公称値	最大値	単位
<b>タイミング:SYSREF+/-</b>					
$t_s(\text{SYSREF})$	セットアップ時間、SYSREF+/- 有効から CLK+/- の立ち上がりエッジまで		50		ps
$t_h(\text{SYSREF})$	ホールド時間、CLK+/- の立ち上がりエッジの後の SYSREF+/- 有効の期間		50		ps
<b>タイミング:シリアル ポート</b>					
$t_s(\text{SENB})$	SCLK の立ち上がりエッジまでの SENB のセットアップ時間		15		ns
$t_h(\text{SENB})$	SCLK の最後の立ち上がりエッジの後の SENB のホールド時間 <sup>(1)</sup>		$5 + t_{\text{SCLK}}$		ns
$t_s(\text{SDIO})$	セットアップ時間、SDIO 有効から SCLK の立ち上がりエッジまで		15		ns
$t_h(\text{SDIO})$	ホールド時間、SCLK の立ち上がりエッジの後の SDIO 有効の期間		5		ns
$t_{\text{(SCLK)_W}}$	最小 SCLK 周期:レジスタ書き込み		25		ns
$t_{\text{(SCLK)_R}}$	最小 SCLK 周期:レジスタ読み取り		50		ns
$t_{\text{(SCLK)_R}}$	SCLK 周期:温度センサ <sup>(2)</sup>		1000		ns
$t_d(\text{data\_out})$	SCLK の立ち下がりエッジの後の最小データ出力遅延		0		ns
	SCLK の立ち下がりエッジの後の最大データ出力遅延		15		ns
$t_{\text{RESET}}$	最小 RESETZ パルス幅		1		ms

- (1) SDEN\I では、最後の SCLK エッジでさらに 1 クロック サイクル、ホールドされる必要があります  
 (2) 温度センサには最大 1MHz の SCLK サイクルが必要です。

## 4.11 スイッチング特性

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は  $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS、 $f_{DAC} = 8847.36\text{MSPS}$ 、 $f_{ADC} = 2949.12\text{MSPS}$ 、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps、特に記述のない限り。

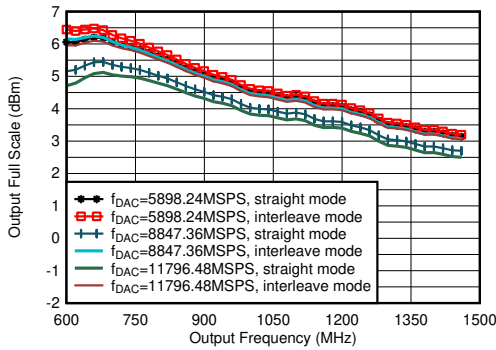
パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>TX チャンネル レイテンシ</b>						
$t_{JESD\text{TX}}$	JESD から TX 出力までのレイテンシ	LMFSHd = 2-8-8-1、368.64MSPS の入力レート、24x 補間、SerDes レート = 16.22Gbps (JESD204C)		152		インターフェイス クロックサイ クル (1)
		LMFSHd = 8-16-4-1、491.52MSPS 24x 補間、SerDes レート = 16.22Gbps (JESD204C)		176		
		LMFSHd = 4-16-8-1、245.76MSPS 48x 補間、SerDes レート = 16.22Gbps (JESD204C)		124		
		LMFSHd = 2-16-16-1、122.88MSPS 96x 補間、SerDes レート = 16.22Gbps (JESD204C)		97		
<b>RX チャンネル レイテンシ</b>						
	SerDes トランスミッタのアナログ遅延			3.6		ns
$t_{JESD\text{RX}}$	RX 入力から JESD 出力までのレイテンシ	LMFS = 2-16-16-1、122.88MSPS、24x デシメーション、SerDes レート = 16.22Gbps (JESD204C)		92		インターフェイス クロックサイ クル (1)
		LMFS = 4-16-8-1、245.76MSPS、12x デシメーション、SerDes レート = 16.22Gbps (JESD204C)		108		
		LMFS = 4-8-4-1、491.52MSPS、6x デシメーション、SerDes レート = 16.22Gbps (JESD204C)		153		
<b>FB チャンネル レイテンシ</b>						
	SerDes トランスミッタのアナログ遅延			3.6		ns
$t_{JESD\text{FB}}$	FB 入力から JESD 出力までのレイテンシ	LMFS = 1-2-8-1、368.64MSPS、8x デシメーション		151		インターフェイス クロックサイ クル (1)
		LMFS = 2-4-4-1、491.52MSPS、6x デシメーション		177		

(1) インターフェイス クロック サイクルは、デジタル インターフェイスのサンプル レートの周期です。たとえば、1GSPS = 1ns です。

## 4.12 代表的特性

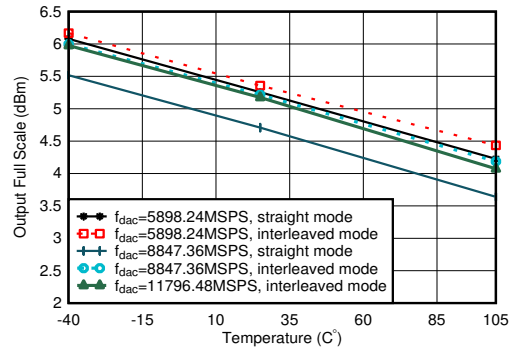
### 4.12.1 TX 代表的特性 : 800MHz

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  較正済み



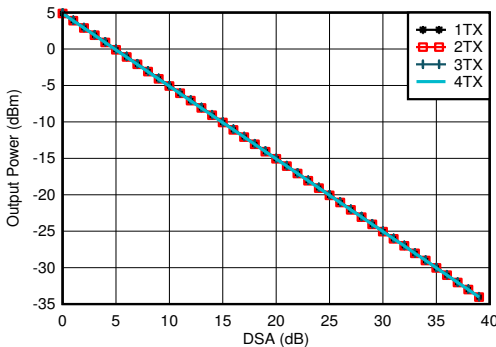
PCB とケーブルの損失を含める。 $A_{\text{out}} = -0.5\text{dBFS}$ 、 $\text{DSA} = 0$ 、 $0.8\text{GHz}$  整合あり

図 4-1. TX 出力フルスケールと出力周波数との関係



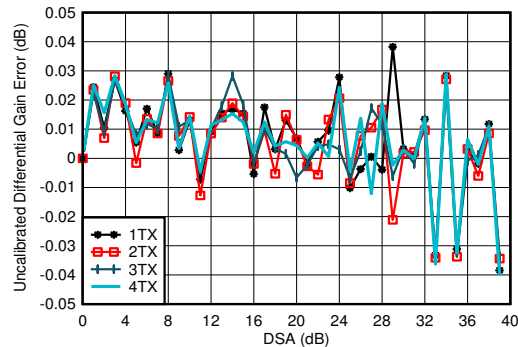
PCB とケーブルの損失を含める。 $A_{\text{out}} = -0.5\text{dBFS}$ 、 $\text{DSA} = 0$ 、 $0.8\text{GHz}$  整合あり

図 4-2. TX 出力フルスケールと温度との関係



$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{out}} = -0.5\text{dBFS}$ 、 $0.8\text{GHz}$  に整合

図 4-3. TX 出力電力と DSA 設定との関係 (各種チャネル、 $0.85\text{GHz}$ )

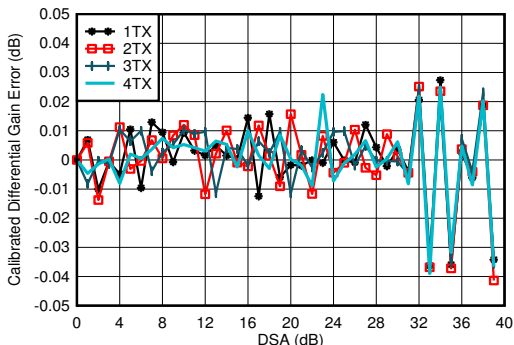


$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、 $0.8\text{GHz}$  で整合  
微分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 4-4. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種チャネル、 $0.85\text{GHz}$ )

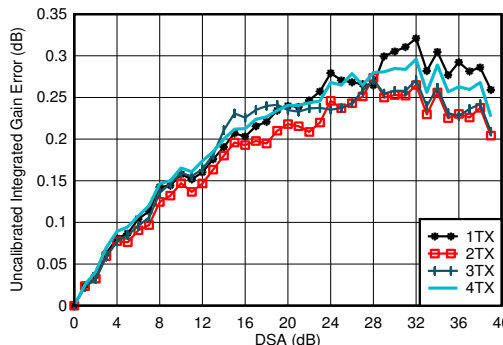
**4.12.1 TX 代表的特性 : 800MHz (続き)**

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件:TX 入力データレート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{REF} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み



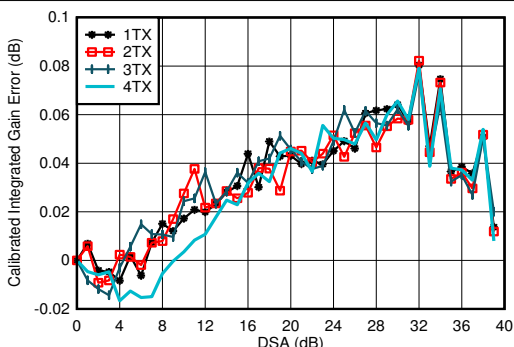
$f_{DAC} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHzで整合  
 微分ゲイン誤差 =  $P_{OUT}(DSA \text{ 設定} - 1) - P_{OUT}(DSA \text{ 設定}) + 1$

図 4-5. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種チャネル、0.85GHz)



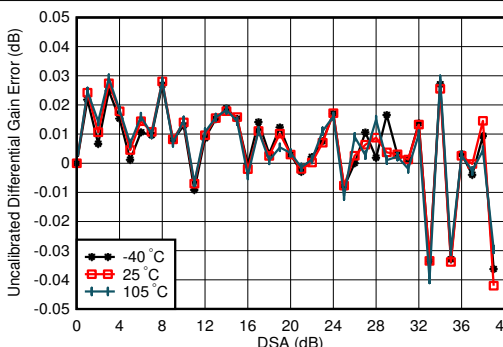
$f_{DAC} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHzで整合  
 積分ゲイン誤差 =  $P_{OUT}(DSA \text{ 設定}) - P_{OUT}(DSA \text{ 設定} = 0) + DSA \text{ 設定}$

図 4-6. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種チャネル、0.85GHz)



$f_{DAC} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHzで整合  
 積分ゲイン誤差 =  $P_{OUT}(DSA \text{ 設定}) - P_{OUT}(DSA \text{ 設定} = 0) + DSA \text{ 設定}$

図 4-7. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種チャネル、0.85GHz)

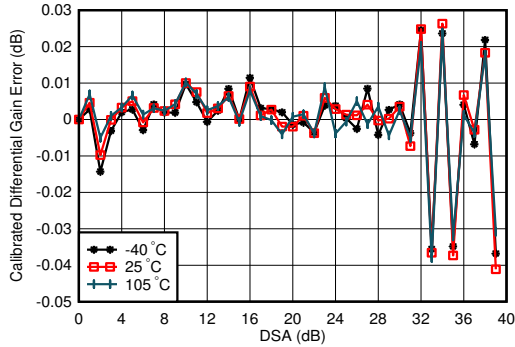


$f_{DAC} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHzで整合  
 微分ゲイン誤差 =  $P_{OUT}(DSA \text{ 設定} - 1) - P_{OUT}(DSA \text{ 設定}) + 1$

図 4-8. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種温度、0.85GHz)

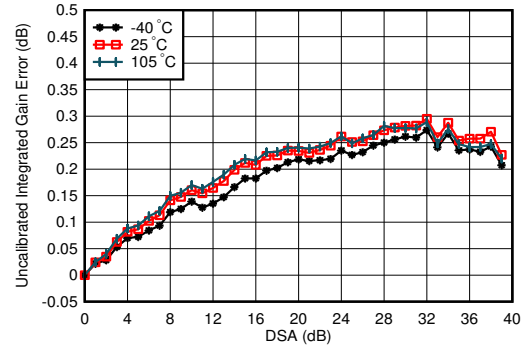
#### 4.12.1 TX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  較正済み



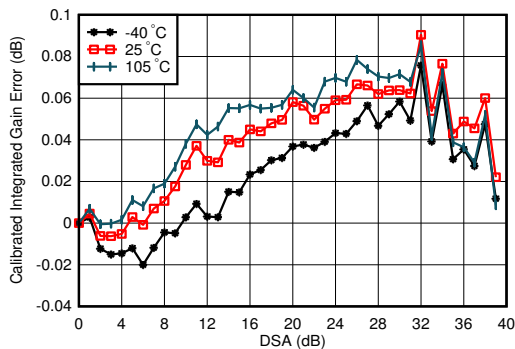
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHzで整合  
微分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 4-9. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種温度、0.85GHz)



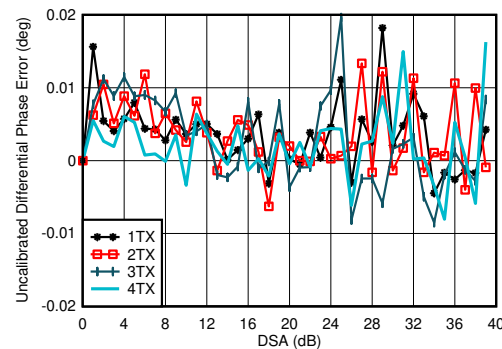
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHzで整合  
積分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + \text{DSA 設定}$

図 4-10. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種温度、0.85GHz)



$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHzで整合  
積分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + \text{DSA 設定}$

図 4-11. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種温度、0.85GHz)

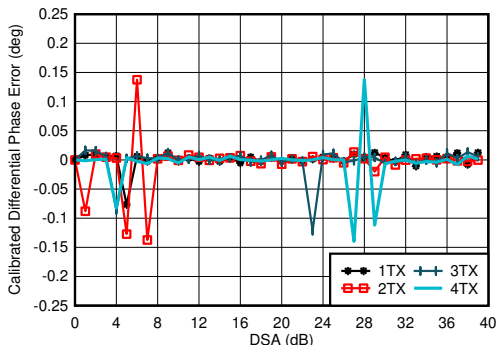


$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHzで整合  
微分位相誤差 =  $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 4-12. TX 未較正微分位相誤差と DSA 設定との関係 (各種チャネル、0.85GHz)

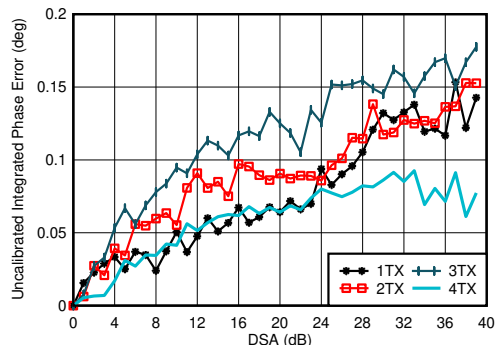
4.12.1 TX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{REF} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、DSA 較正済み



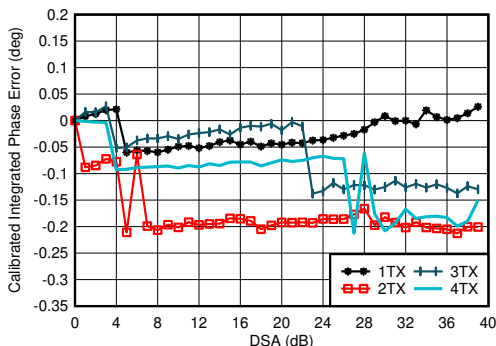
$f_{DAC} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHzで整合  
微分位相誤差 =  $\text{Phase}_{OUT}(\text{DSA 設定} - 1) - \text{Phase}_{OUT}(\text{DSA 設定})$   
位相 DNL スパイクは、すべての DSA 設定で発生する可能性があります。

図 4-13. TX 較正済み微分位相誤差と DSA 設定との関係 (各種チャネル、0.85GHz)



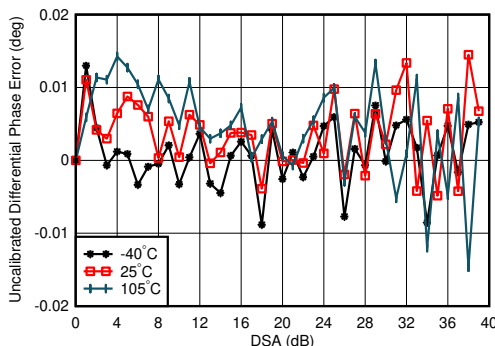
$f_{DAC} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHzで整合  
積分位相誤差 =  $\text{Phase}_{OUT}(\text{DSA 設定}) - \text{Phase}_{OUT}(\text{DSA 設定} = 0)$

図 4-14. TX 未較正積分位相誤差と DSA 設定との関係 (チャネル 1、0.85GHz)



$f_{DAC} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHzで整合  
積分位相誤差 =  $\text{Phase}_{OUT}(\text{DSA 設定}) - \text{Phase}_{OUT}(\text{DSA 設定} = 0)$

図 4-15. TX 較正済み積分位相誤差と DSA 設定との関係 (各種チャネル、0.85GHz)

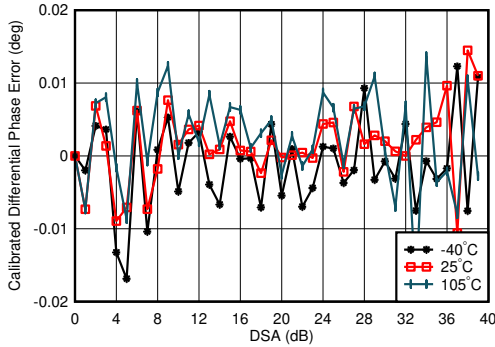


$f_{DAC} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHzで整合  
微分位相誤差 =  $\text{Phase}_{OUT}(\text{DSA 設定} - 1) - \text{Phase}_{OUT}(\text{DSA 設定}) + 1$

図 4-16. TX 未較正微分位相誤差と DSA 設定との関係 (各種温度、0.85GHz)

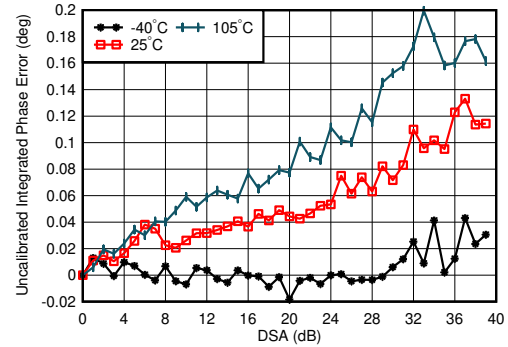
#### 4.12.1 TX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 $\text{DSA}$ 校正済み



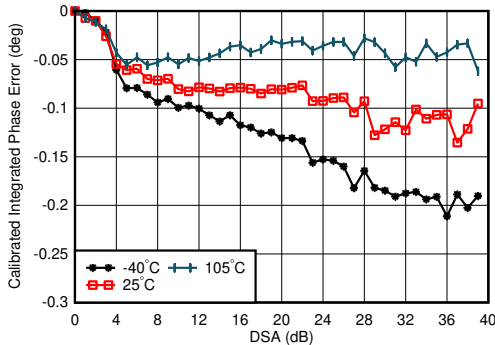
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHzで整合、全 DSA 設定にわたって 25°Cでの誤差が中央値であるチャンネル  
微分位相誤差 =  $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定}) + 1$

図 4-17. TX 校正済み微分位相誤差と DSA 設定との関係 (各種温度、0.85GHz)



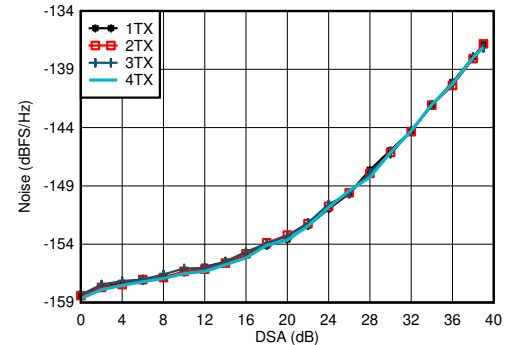
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHzで整合  
積分位相誤差 =  $\text{Phase}_{\text{OUT}}(\text{DSA 設定}) - \text{Phase}_{\text{OUT}}(\text{DSA 設定} = 0)$

図 4-18. TX 未校正積分位相誤差と DSA 設定との関係 (各種温度、0.85GHz)



$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHzで整合  
積分位相誤差 =  $\text{Phase}_{\text{OUT}}(\text{DSA 設定}) - \text{Phase}_{\text{OUT}}(\text{DSA 設定} = 0)$

図 4-19. TX 校正済み積分位相誤差と DSA 設定との関係 (各種温度、0.85GHz)

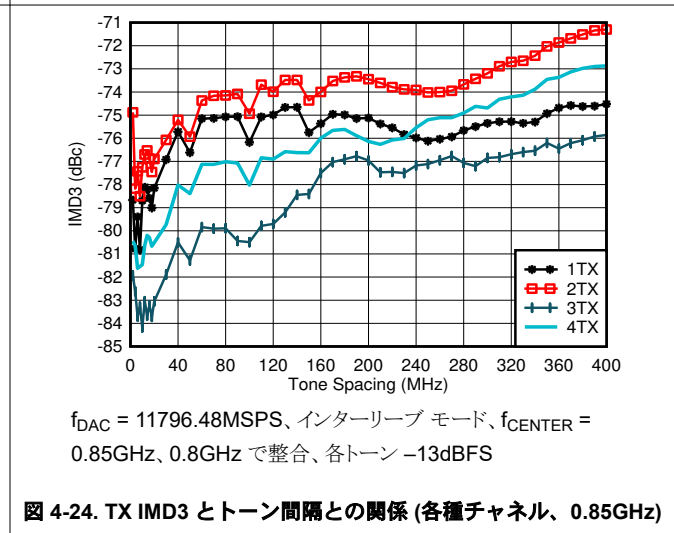
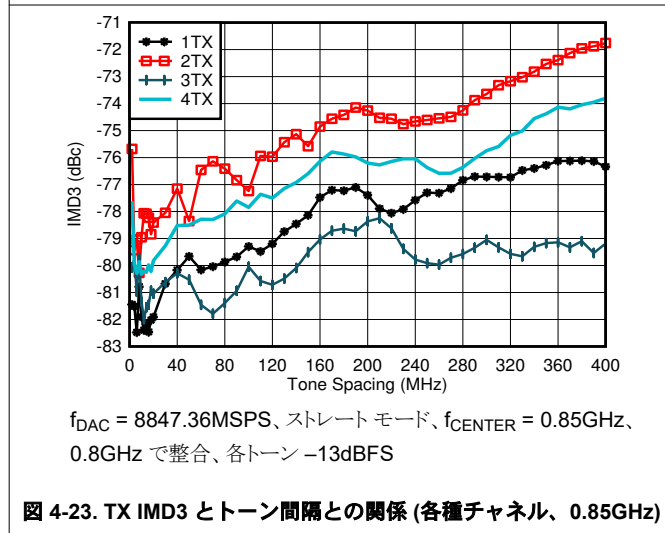
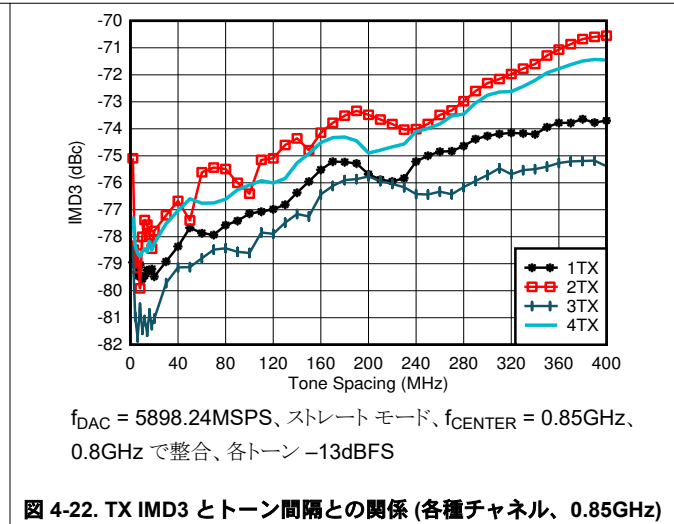
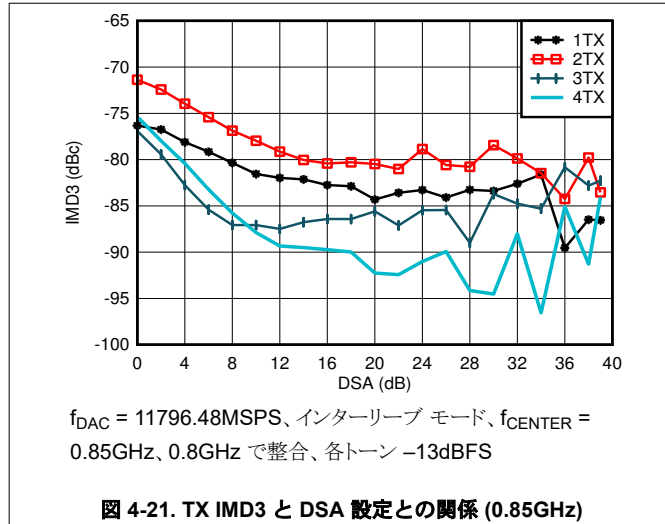


$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHzで整合、 $P_{\text{OUT}} = -13\text{dBFS}$

図 4-20. TX 出力ノイズと減衰量との関係 (各種チャンネル、0.85GHz)

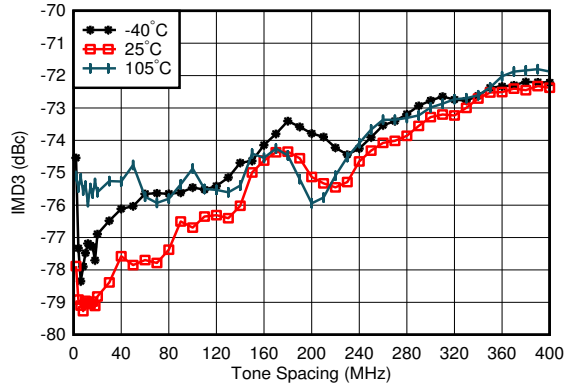
4.12.1 TX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{REF} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 $DSA$ 校正済み



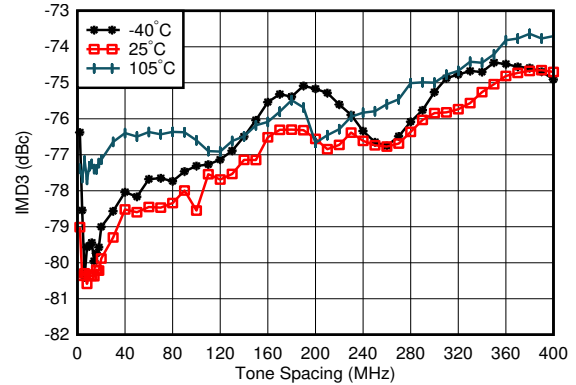
#### 4.12.1 TX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  校正済み



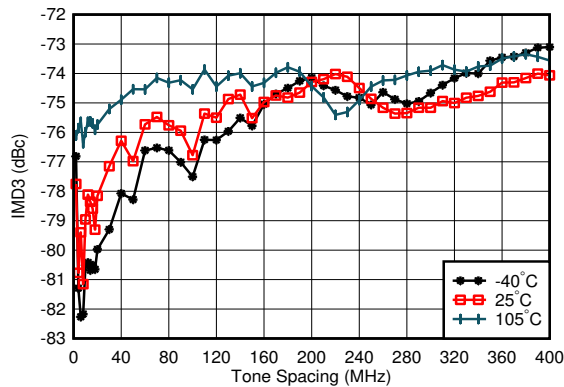
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、ストレートモード、 $f_{\text{CENTER}} = 0.85\text{GHz}$ 、 $0.8\text{GHz}$ で整合、各トーン  $-13\text{dBFS}$ 、ワーストチャンネル

図 4-25. TX IMD3 とトーン間隔との関係 (各種温度、0.85GHz)



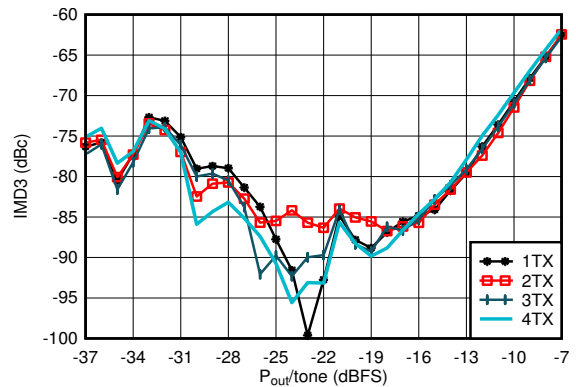
$f_{\text{DAC}} = 8847.3\text{MSPS}$ 、ストレートモード、 $f_{\text{CENTER}} = 0.85\text{GHz}$ 、 $0.8\text{GHz}$ で整合、各トーン  $-13\text{dBFS}$ 、ワーストチャンネル

図 4-26. TX IMD3 とトーン間隔との関係 (各種温度、0.85GHz)



$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、ストレートモード、 $f_{\text{CENTER}} = 0.85\text{GHz}$ 、 $0.8\text{GHz}$ で整合、各トーン  $-13\text{dBFS}$ 、ワーストチャンネル

図 4-27. TX IMD3 とトーン間隔との関係 (各種温度、0.85GHz)

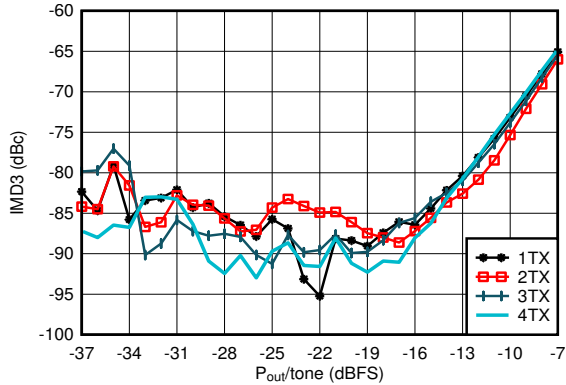


$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、ストレートモード、 $f_{\text{CENTER}} = 0.85\text{GHz}$ 、 $f_{\text{SPACING}} = 20\text{MHz}$ 、 $0.8\text{GHz}$ で整合

図 4-28. TX IMD3 とデジタルレベルとの関係 (0.85GHz)

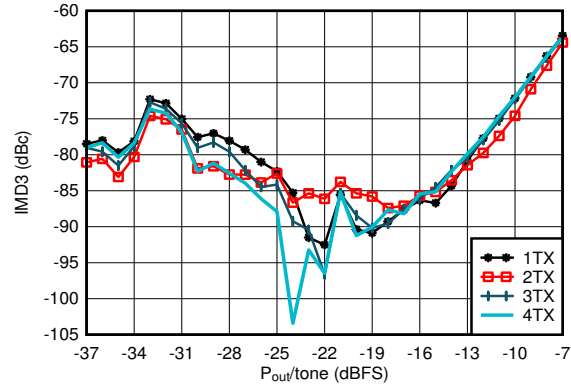
4.12.1 TX 代表的特性 : 800MHz (続き)

T<sub>A</sub> = +25°Cでの代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、f<sub>DAC</sub> = 11796.48MSPS (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、f<sub>REF</sub> = 491.52MHz による PLL クロックモード、A<sub>OUT</sub> = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み



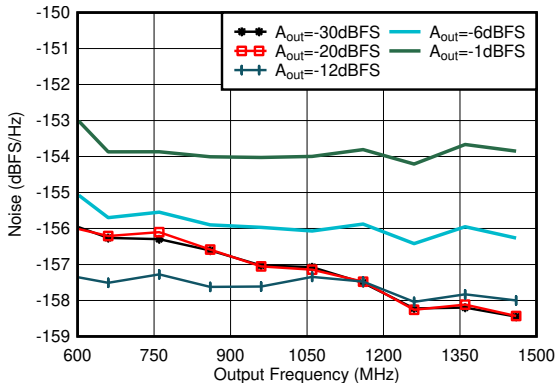
f<sub>DAC</sub> = 8847.36MSPS、ストレートモード、f<sub>CENTER</sub> = 0.85GHz、f<sub>SPACING</sub> = 20MHz、0.8GHz で整合

図 4-29. TX IMD3 とデジタル レベルとの関係 (0.85GHz)



f<sub>DAC</sub> = 11796.48MSPS、インターリーブモード、f<sub>CENTER</sub> = 0.85GHz、f<sub>SPACING</sub> = 20MHz、0.8GHz で整合

図 4-30. TX IMD3 とデジタル レベルとの関係 (0.85GHz)



2.6GHz で整合、シングルトーン、f<sub>DAC</sub> = 11.79648GSPS、インターリーブモード、40MHz オフセット、DSA = 0dB

図 4-31. TX シングルトーン出力ノイズと周波数との関係 (各種振幅、0.85GHz)

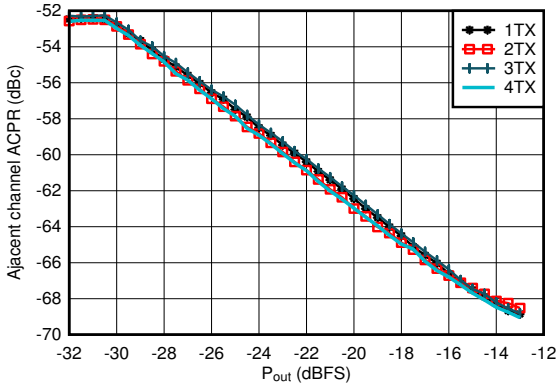


TM1.1、P<sub>OUT\_RMS</sub> = -13dBFS

図 4-32. TX 20MHz LTE 出カスペクトル (0.85GHz)

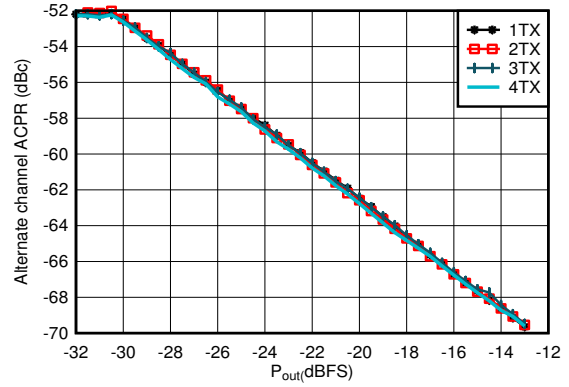
#### 4.12.1 TX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 $\text{DSA}$ 校正済み



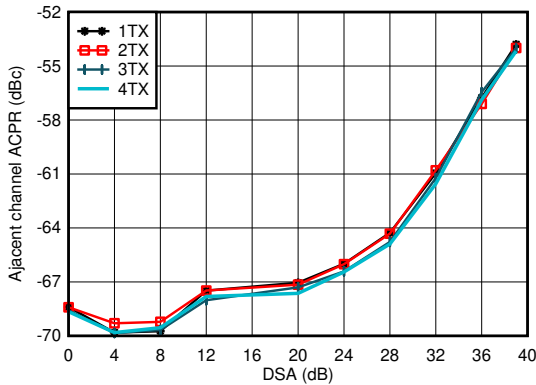
0.8GHz で整合、シングルキャリア 20MHz BW TM1.1 LTE

図 4-33. TX 20MHz LTE ACPR とデジタル レベルとの関係 (0.85GHz)



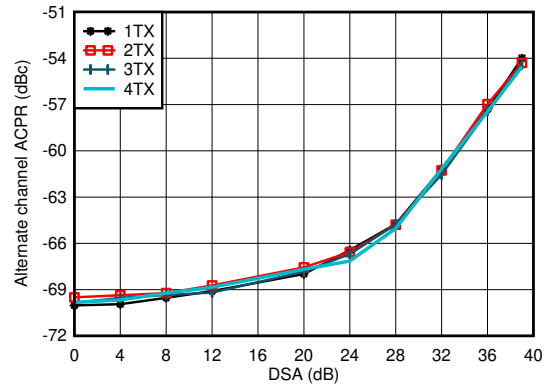
0.8GHz で整合、シングルキャリア 20MHz BW TM1.1 LTE

図 4-34. TX 20MHz LTE alt-ACPR とデジタル レベルとの関係 (0.85GHz)



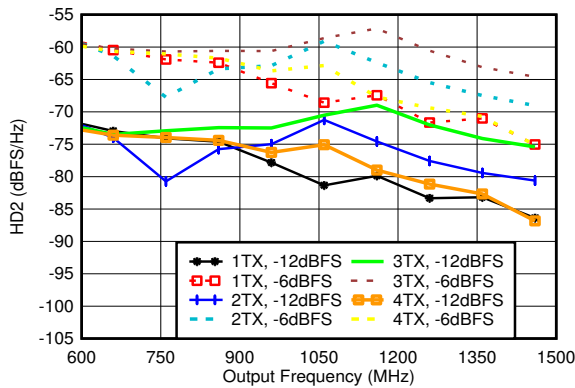
0.8GHz で整合、シングルキャリア 20MHz BW TM1.1 LTE

図 4-35. TX 20MHz LTE ACPR と DSA との関係 (0.85GHz)



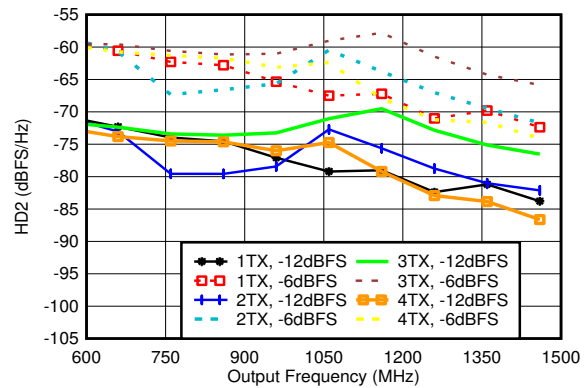
0.8GHz で整合、シングルキャリア 20MHz BW TM1.1 LTE

図 4-36. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (0.85GHz)



0.8GHz で整合、 $f_{\text{DAC}} = 5898.2\text{GSPS}$ 、ストレートモード

図 4-37. TX HD2 と出力周波数との関係 (各種デジタル振幅、0.85GHz)

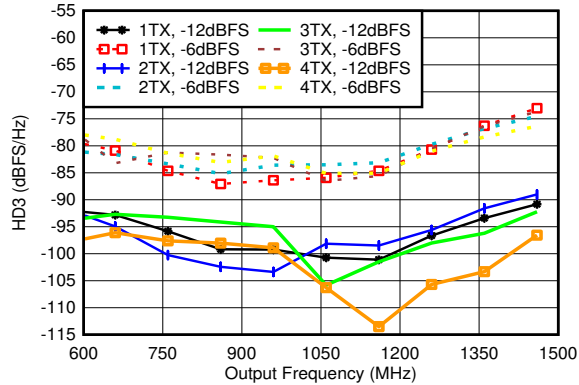


0.8GHz で整合、 $f_{\text{DAC}} = 8847.36\text{GSPS}$ 、ストレートモード

図 4-38. TX HD2 と出力周波数との関係 (各種デジタル振幅、0.85GHz)

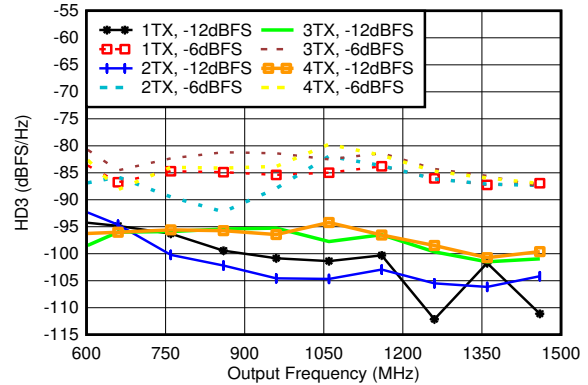
4.12.1 TX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{REF} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み



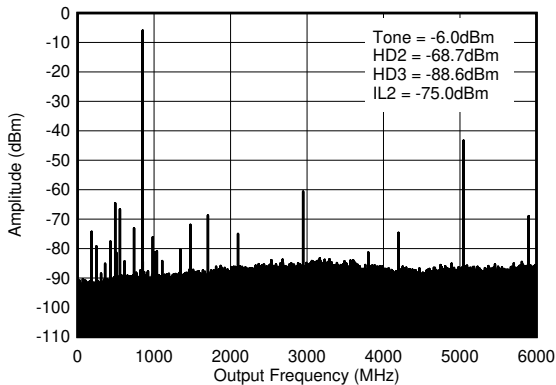
0.8GHz で整合、 $f_{DAC} = 5898.24\text{MSPS}$ 、ストレートモード、高調波周波数での出力電力で正規化

図 4-39. TX HD3 と出力周波数との関係 (各種デジタル振幅、0.85GHz)



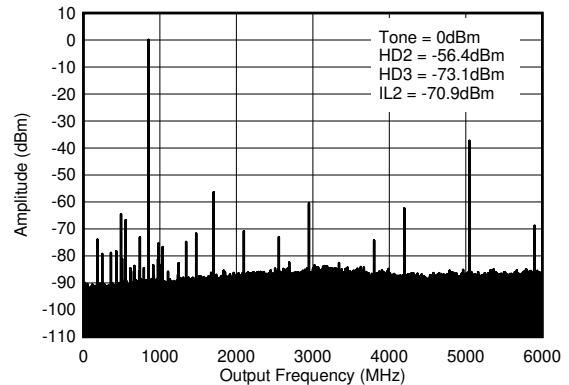
0.8GHz で整合、 $f_{DAC} = 8847.36\text{MSPS}$ 、ストレートモード、高調波周波数での出力電力で正規化

図 4-40. TX HD3 と出力周波数との関係 (各種デジタル振幅、0.85GHz)



$f_{DAC} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHz 整合あり、PCB とケーブルの損失を含む。ILn =  $f_s/n \pm f_{OUT}$ 。

図 4-41. TX シングル トーン (-12dBFS) 出力スペクトル (0~ $f_{DAC}$ 、0.85GHz)

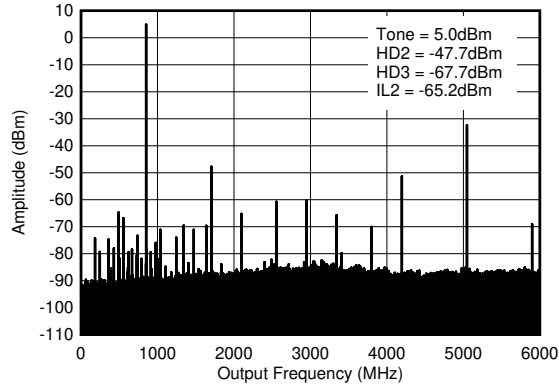


$f_{DAC} = 5898.2\text{MSPS}$ 、インターリーブモード、0.8GHz 整合あり、PCB とケーブルの損失を含む。ILn =  $f_s/n \pm f_{OUT}$ 。

図 4-42. TX シングル トーン (-6dBFS) 出力スペクトル (0.85GHz、0- $f_{DAC}$ )

#### 4.12.1 TX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  較正済み

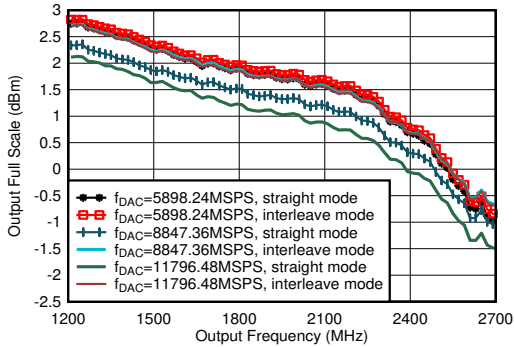


$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHz 整合あり、PCB とケーブルの損失を含む。 $\text{ILn} = f_{\text{S}}/n \pm f_{\text{OUT}}$ 。

図 4-43. TX シングル トーン (-1dBFS) 出力スペクトル (0.85GHz、0- $f_{\text{DAC}}$ )

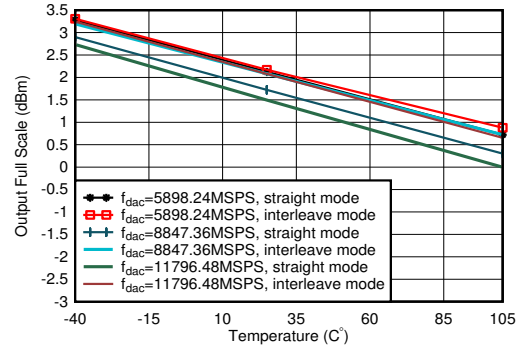
### 4.12.2 TX 代表的特性 : 1.8GHz

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{REF} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、DSA 較正済み



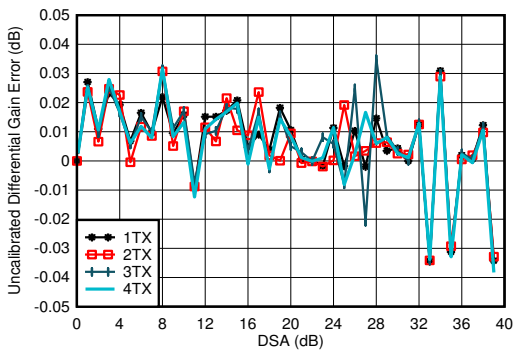
PCB とケーブルの損失を含める。  $A_{out} = -0.5\text{dBFS}$ 、 $DSA = 0$ 、1.8GHz 整合あり

図 4-44. TX 出力フルスケールと出力周波数との関係



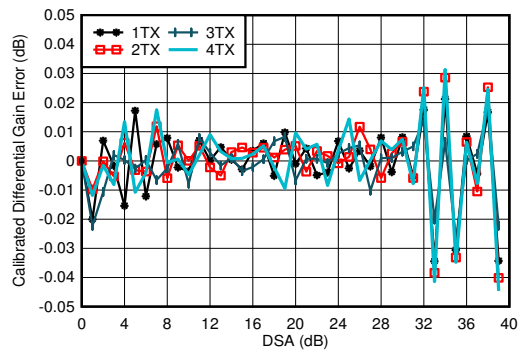
$A_{out} = -0.5\text{dBFS}$ 、1.8GHz に整合

図 4-45. TX 出力電力と温度との関係 (1.8GHz)



$f_{DAC} = 5898.24\text{MSPS}$ 、インターリーブモード、1.8GHz で整合  
微分ゲイン誤差 =  $P_{OUT}(DSA \text{ 設定} - 1) - P_{OUT}(DSA \text{ 設定}) + 1$

図 4-46. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種チャネル、1.8GHz)

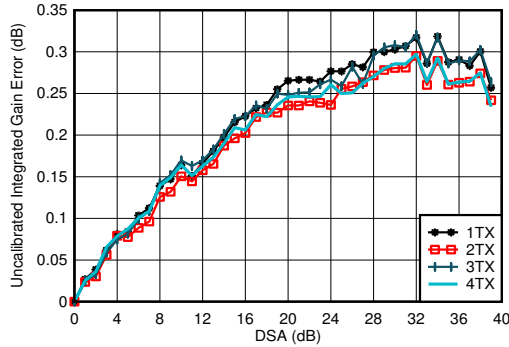


$f_{DAC} = 5898.24\text{MSPS}$ 、インターリーブモード、1.8GHz で整合  
微分ゲイン誤差 =  $P_{OUT}(DSA \text{ 設定} - 1) - P_{OUT}(DSA \text{ 設定}) + 1$

図 4-47. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種チャネル、1.8GHz)

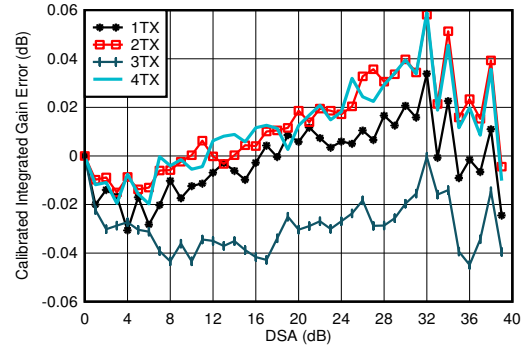
#### 4.12.2 TX 代表的特性 : 1.8GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 $\text{DSA}$ 校正済み



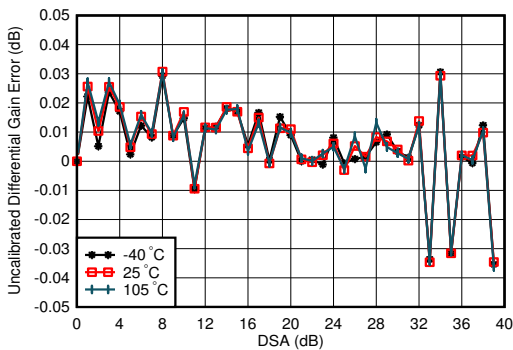
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、1.8GHzで整合  
積分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) +$   
( $\text{DSA 設定}$ )

図 4-48. TX 未校正積分ゲイン誤差と DSA 設定との関係 (各種チャネル、1.8GHz)



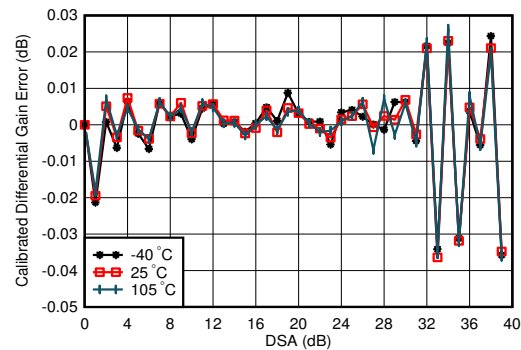
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、1.8GHzで整合  
積分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) +$   
( $\text{DSA 設定}$ )

図 4-49. TX 校正済み積分ゲイン誤差と DSA 設定との関係 (各種チャネル、1.8GHz)



$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、1.8GHzで整合  
微分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 4-50. TX 未校正微分ゲイン誤差と DSA 設定との関係 (各種温度、1.8GHz)

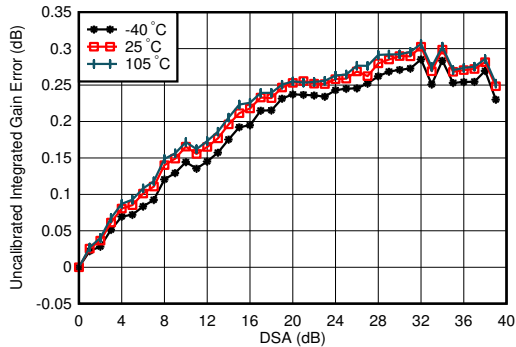


$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、1.8GHzで整合  
微分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 4-51. TX 校正済み微分ゲイン誤差と DSA 設定との関係 (各種温度、1.8GHz)

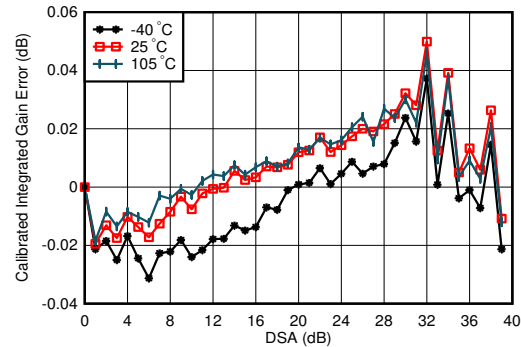
#### 4.12.2 TX 代表的特性 : 1.8GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、DSA 較正済み



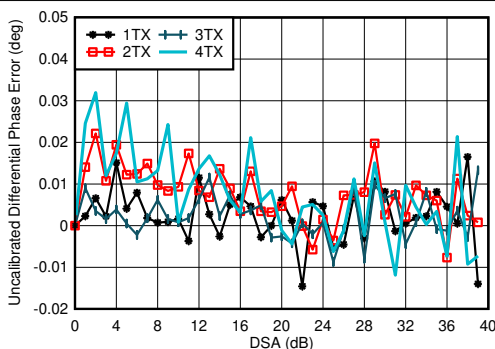
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、1.8GHzで整合  
積分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) +$   
(DSA 設定)

図 4-52. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種温度、1.8GHz)



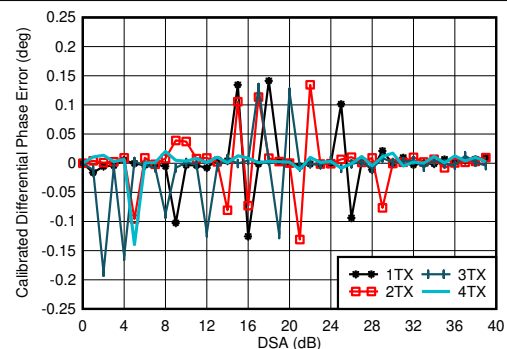
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、1.8GHzで整合  
積分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) +$   
(DSA 設定)

図 4-53. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種温度、1.8GHz)



$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、1.8GHzで整合  
微分位相誤差 =  $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 4-54. TX 未較正微分位相誤差と DSA 設定との関係 (各種チャネル、1.8GHz)



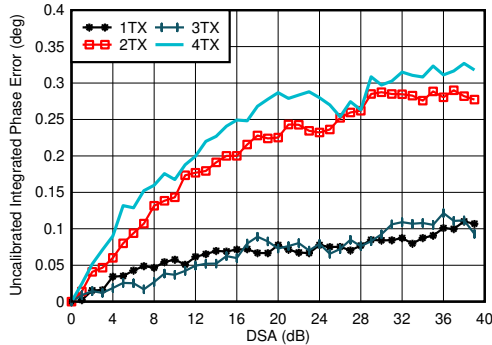
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHzで整合  
微分位相誤差 =  $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

位相 DNL スパイクは、すべての DSA 設定で発生する可能性があります。

図 4-55. TX 較正済み微分位相誤差と DSA 設定との関係 (各種チャネル、1.8GHz)

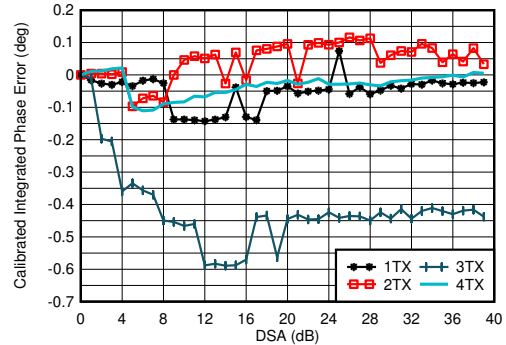
#### 4.12.2 TX 代表的特性 : 1.8GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 $\text{DSA}$ 校正済み



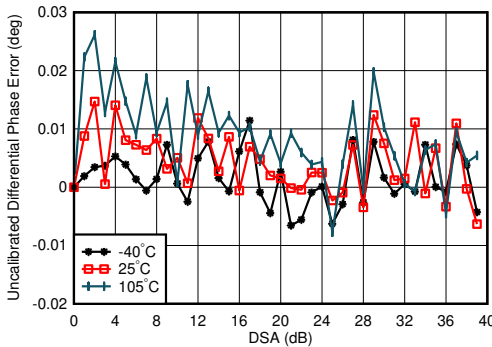
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、1.8GHzで整合  
積分位相誤差 =  $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 4-56. TX 未校正積分位相誤差と DSA 設定との関係 (チャンネル 1、1.8GHz)



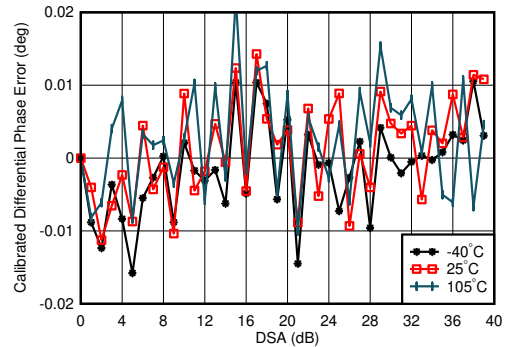
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、1.8GHzで整合  
積分位相誤差 =  $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 4-57. TX 校正済み積分位相誤差と DSA 設定との関係 (各種チャンネル、1.8GHz)



$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、1.8GHzで整合  
微分位相誤差 =  $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 4-58. TX 未校正微分位相誤差と DSA 設定との関係 (各種温度、1.8GHz)

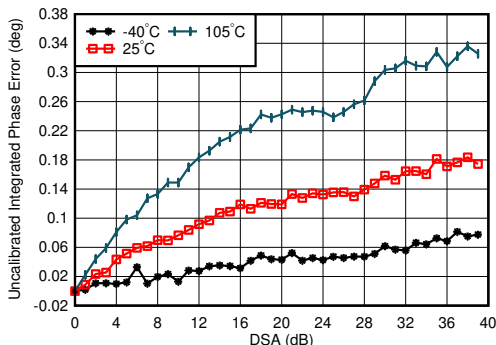


$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、1.8GHzで整合、  
全 DSA 設定にわたって 25°Cでの誤差が中央値であるチャンネル  
微分位相誤差 =  $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 4-59. TX 校正済み微分位相誤差と DSA 設定との関係 (各種温度、1.8GHz)

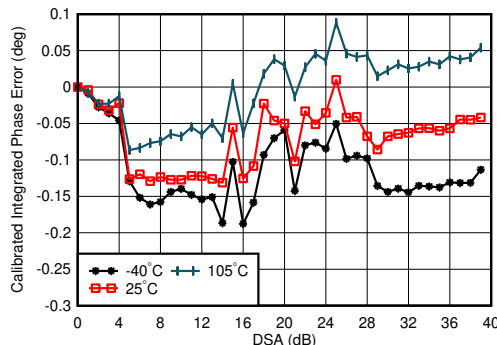
### 4.12.2 TX 代表的特性 : 1.8GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  校正済み



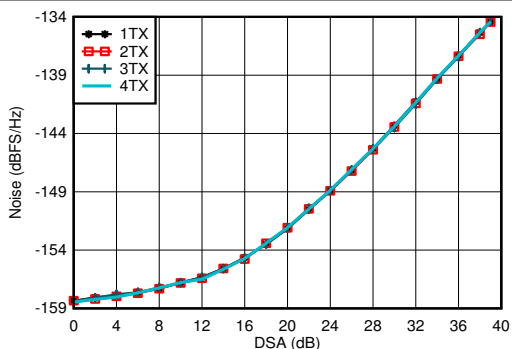
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、1.8GHzで整合、全 DSA 設定にわたって 25°Cでの誤差が中央値であるチャンネル積分位相誤差 =  $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 4-60. TX 未校正積分位相誤差と DSA 設定との関係 (各種温度、1.8GHz)



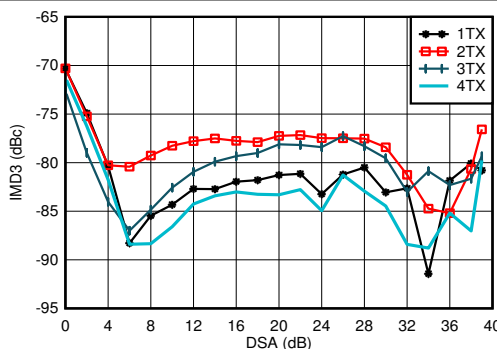
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、1.8GHzで整合、全 DSA 設定にわたって 25°Cでの誤差が中央値であるチャンネル積分位相誤差 =  $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 4-61. TX 校正済み積分位相誤差と DSA 設定との関係 (各種温度、1.8GHz)



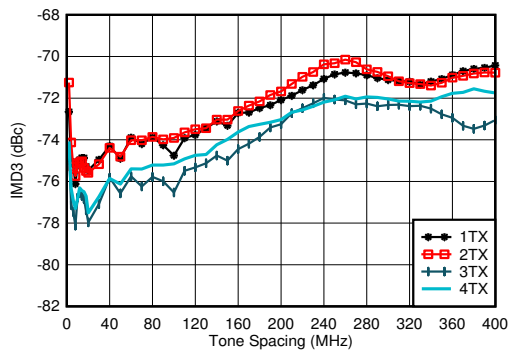
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、1.8GHzで整合、 $P_{\text{OUT}} = -13\text{dBFS}$

図 4-62. TX 出力ノイズと減衰量との関係 (各種チャンネル、1.8GHz)



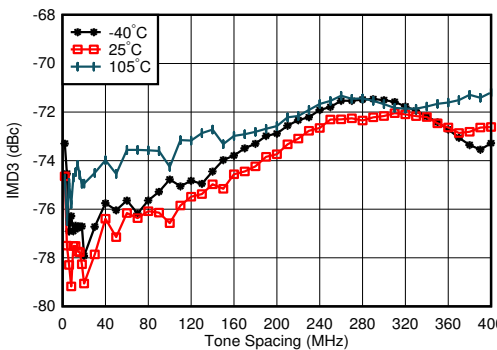
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $f_{\text{CENTER}} = 1.8\text{GHz}$ 、1.8GHzで整合、各トーン  $-13\text{dBFS}$

図 4-63. TX IMD3 と DSA 設定との関係 (1.8GHz)



$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $f_{\text{CENTER}} = 1.8\text{GHz}$ 、1.8GHzで整合、各トーン  $-13\text{dBFS}$

図 4-64. TX IMD3 とトーン間隔との関係 (各種チャンネル、1.8GHz)

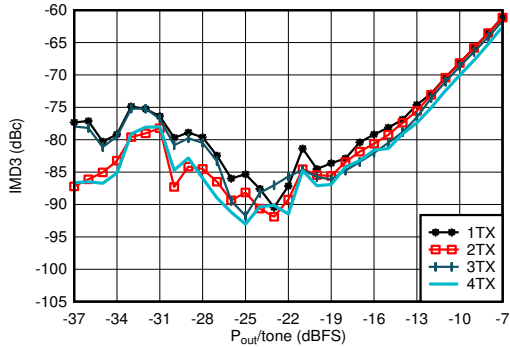


$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $f_{\text{CENTER}} = 1.8\text{GHz}$ 、1.8GHzで整合、各トーン  $-13\text{dBFS}$ 、ワーストチャンネル

図 4-65. TX IMD3 とトーン間隔との関係 (各種温度、1.8GHz)

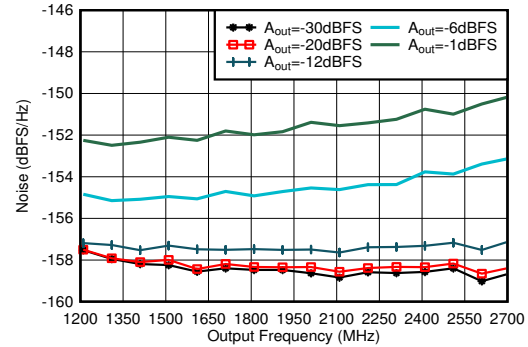
#### 4.12.2 TX 代表的特性 : 1.8GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 $\text{DSA}$ 校正済み



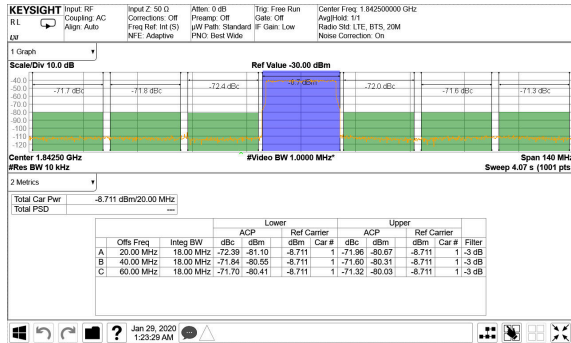
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $f_{\text{CENTER}} = 1.8\text{GHz}$ 、 $f_{\text{SPACING}} = 20\text{MHz}$ 、 $1.8\text{GHz}$ で整合

図 4-66. TX IMD3 とデジタル レベルとの関係 (1.8GHz)



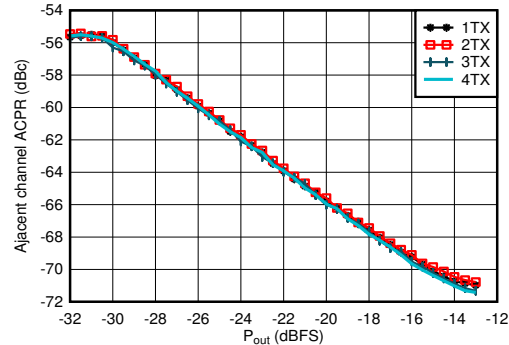
$2.6\text{GHz}$ で整合、シングルトーン、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブモード、 $40\text{MHz}$ オフセット

図 4-67. TX シングルトーン出力ノイズと周波数との関係 (各種振幅、1.8GHz)



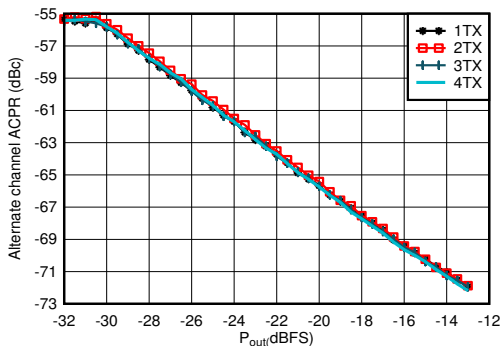
TM1.1、 $P_{\text{OUT\_RMS}} = -13\text{dBFS}$

図 4-68. TX 20MHz LTE 出力スペクトル (1.8425GHz)



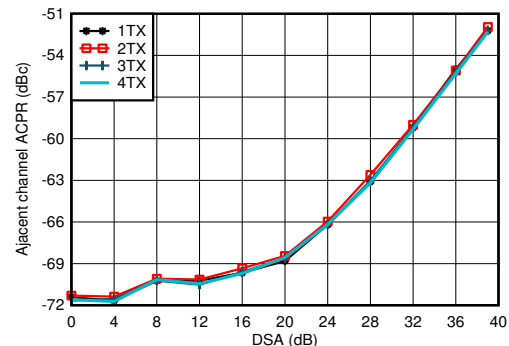
$1.8\text{GHz}$ で整合、シングルキャリア  $20\text{MHz}$  BW TM1.1 LTE

図 4-69. TX 20MHz LTE ACPR とデジタル レベルとの関係 (1.8425GHz)



$1.8\text{GHz}$ で整合、シングルキャリア  $20\text{MHz}$  BW TM1.1 LTE

図 4-70. TX 20MHz LTE alt-ACPR とデジタル レベルとの関係 (1.8425GHz)

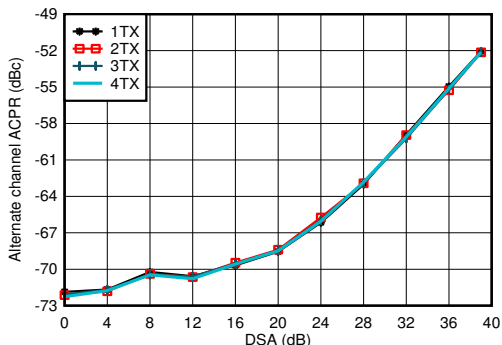


$1.8\text{GHz}$ で整合、シングルキャリア  $20\text{MHz}$  BW TM1.1 LTE

図 4-71. TX 20MHz LTE ACPR と DSA との関係 (1.8GHz)

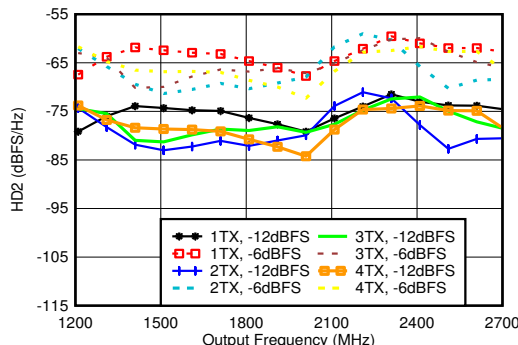
4.12.2 TX 代表的特性 : 1.8GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{REF} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{OUT} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み



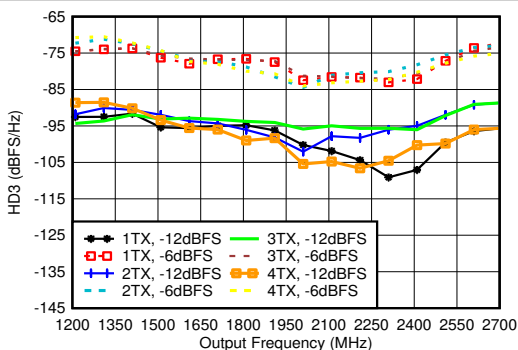
1.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 4-72. TX 20MHz LTE alt-ACPR と DSA との関係 (1.8GHz)



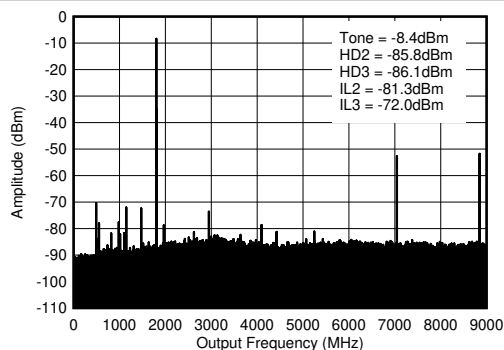
1.8GHz で整合、 $f_{DAC} = 11.79648\text{GSPPS}$ 、インターリーブモード、高調波周波数での出力電力で正規化

図 4-73. TX HD2 と出力周波数との関係 (各種デジタル振幅、1.8GHz)



1.8GHz で整合、 $f_{DAC} = 11.79648\text{GSPPS}$ 、インターリーブモード、高調波周波数での出力電力で正規化

図 4-74. TX HD3 と出力周波数との関係 (各種デジタル振幅、1.8GHz)

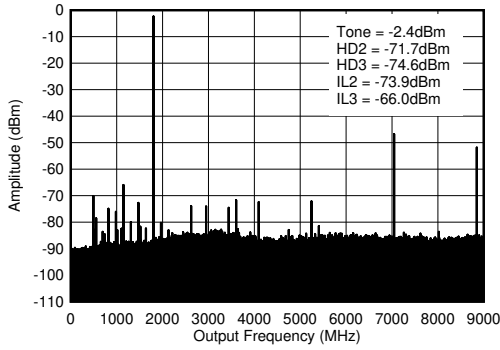


$f_{DAC} = 8847.36\text{MSPS}$ 、ストレートモード、1.8GHz 整合あり、PCB とケーブルの損失を含む。ILn =  $f_s/n \pm f_{OUT}$  (デジタルクロックとのミキシングに起因)。

図 4-75. TX シングル トーン (-12dBFS) 出力スペクトル (0~ $f_{DAC}$ 、1.8GHz)

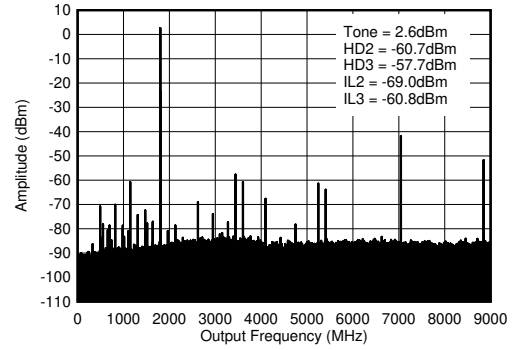
#### 4.12.2 TX 代表的特性 : 1.8GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  校正済み



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、1.8GHz 整合あり、PCBとケーブルの損失を含む。ILn =  $f_s/n \pm f_{\text{OUT}}$  (デジタルクロックとのミキシングに起因)。

**図 4-76. TX シングル トーン (-6dBFS) 出力スペクトル (0~ $f_{\text{DAC}}$ 、1.8GHz)**

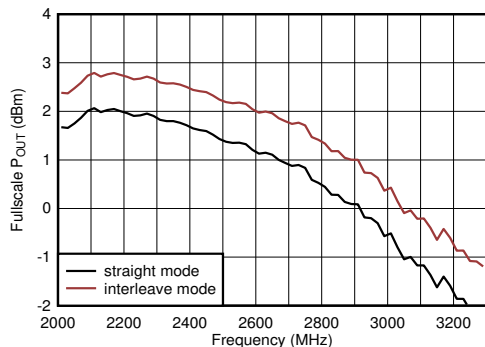


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、1.8GHz 整合あり、PCBとケーブルの損失を含む。ILn =  $f_s/n \pm f_{\text{OUT}}$  (デジタルクロックとのミキシングに起因)。

**図 4-77. TX シングル トーン (-1dBFS) 出力スペクトル (1.8GHz、0- $f_{\text{DAC}}$ )**

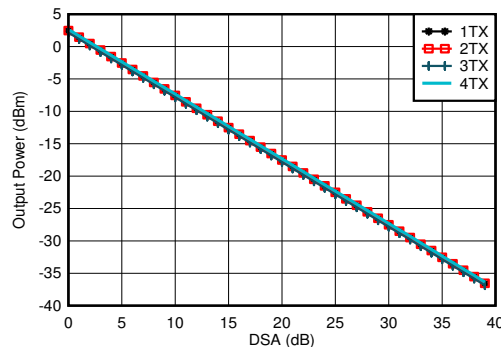
### 4.12.3 TX 代表的特性 : 2.6GHz

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件:TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 $\text{DSA}$ 校正済み



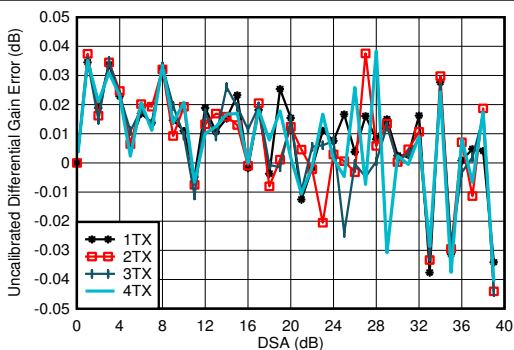
PCB とケーブルの損失を含む。 $A_{\text{out}} = -0.5\text{dBFS}$ 、 $\text{DSA} = 0$ 、 $2.6\text{GHz}$  整合あり。

図 4-78. TX フルスケールと RF 周波数との関係 (11796.48MSPS)



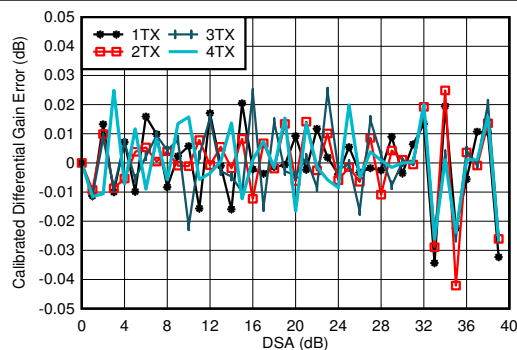
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、 $A_{\text{out}} = -0.5\text{dBFS}$ 、 $2.6\text{GHz}$  で整合

図 4-79. TX 出力電力と DSA 設定との関係 (各種チャネル、 $2.6\text{GHz}$ )



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、 $2.6\text{GHz}$  で整合  
 微分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 4-80. TX 未校正微分ゲイン誤差と DSA 設定との関係 (各種チャネル、 $2.6\text{GHz}$ )

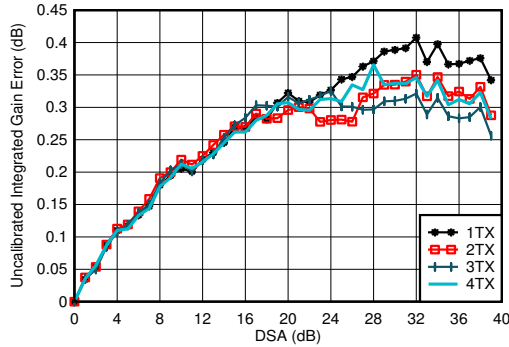


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、 $2.6\text{GHz}$  で整合  
 微分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 4-81. TX 校正済み微分ゲイン誤差と DSA 設定との関係 (各種チャネル、 $2.6\text{GHz}$ )

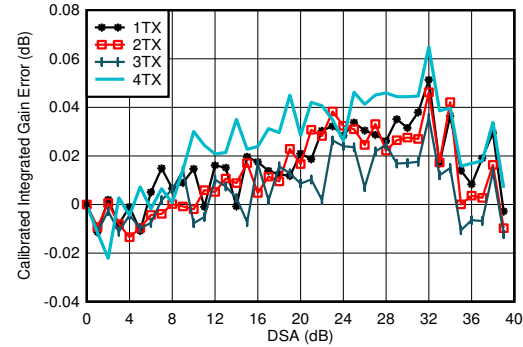
### 4.12.3 TX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 $\text{DSA}$ 校正済み



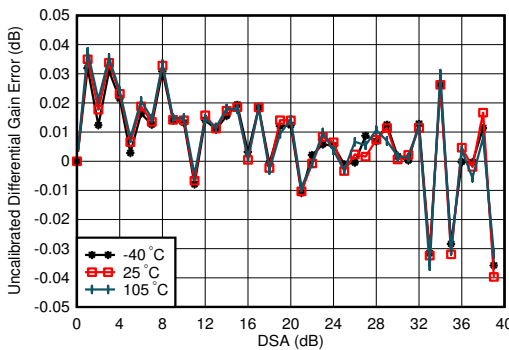
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHzで整合  
積分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) +$   
(DSA 設定)

図 4-82. TX 未校正積分ゲイン誤差と DSA 設定との関係 (各種チャンネル、2.6GHz)



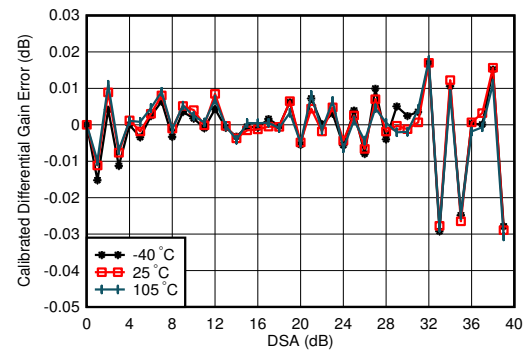
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHzで整合  
積分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) +$   
(DSA 設定)

図 4-83. TX 校正済み積分ゲイン誤差と DSA 設定との関係 (各種チャンネル、2.6GHz)



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHzで整合、全  
DSA 設定にわたって 25°Cでの誤差が中央値であるチャンネル  
微分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 4-84. TX 未校正微分ゲイン誤差と DSA 設定との関係 (各種温度、2.6GHz)

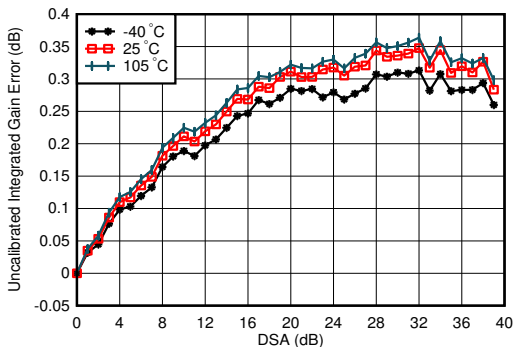


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHzで整合、全  
DSA 設定にわたって 25°Cでの誤差が中央値であるチャンネル  
微分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 4-85. TX 校正済み微分ゲイン誤差と DSA 設定との関係 (各種温度、2.6GHz)

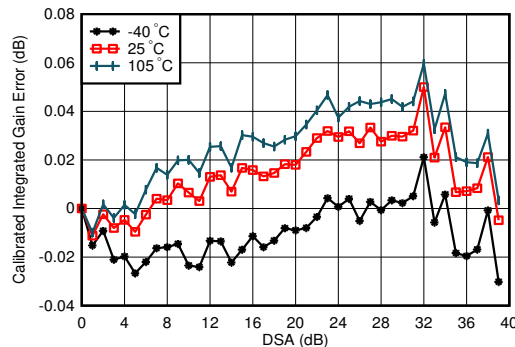
4.12.3 TX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、DSA 較正済み



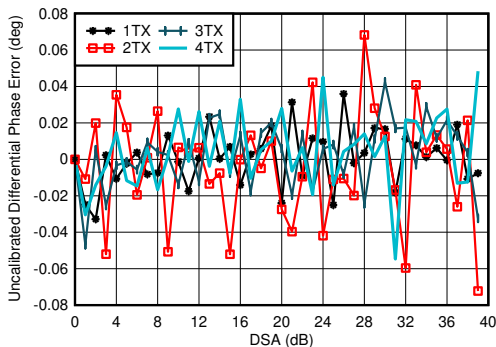
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHzで整合、全 DSA 設定にわたって 25°Cでの誤差が中央値であるチャンネル積分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 4-86. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種温度、2.6GHz)



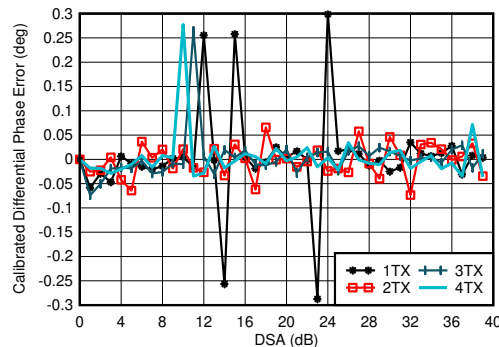
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHzで整合、全 DSA 設定にわたって 25°Cでの誤差が中央値であるチャンネル積分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 4-87. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種温度、2.6GHz)



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHzで整合  
微分位相誤差 =  $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 4-88. TX 未較正微分位相誤差と DSA 設定との関係 (各種チャンネル、2.6GHz)



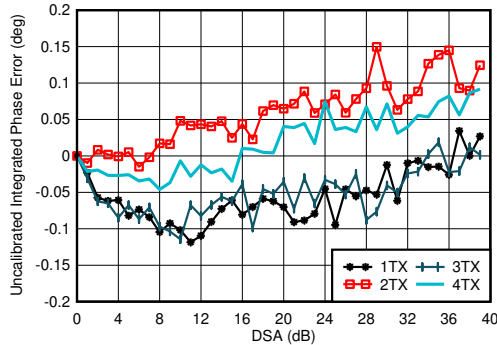
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHzで整合  
微分位相誤差 =  $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

位相 DNL スパイクは、すべての DSA 設定で発生する可能性があります。

図 4-89. TX 較正済み微分位相誤差と DSA 設定との関係 (各種チャンネル、2.6GHz)

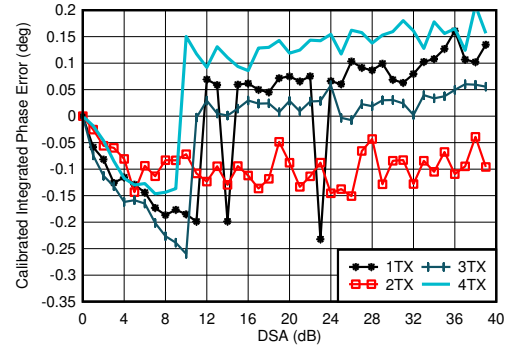
### 4.12.3 TX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み



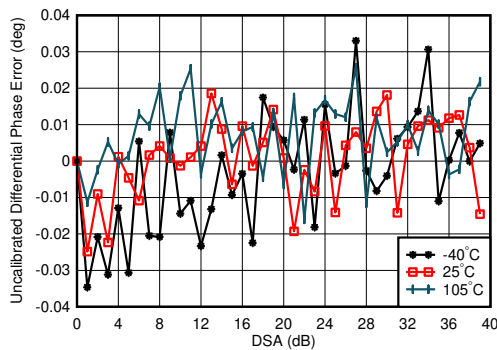
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHzで整合  
積分位相誤差 =  $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 4-90. TX 未較正積分位相誤差と DSA 設定との関係 (チャンネル 1、2.6GHz)



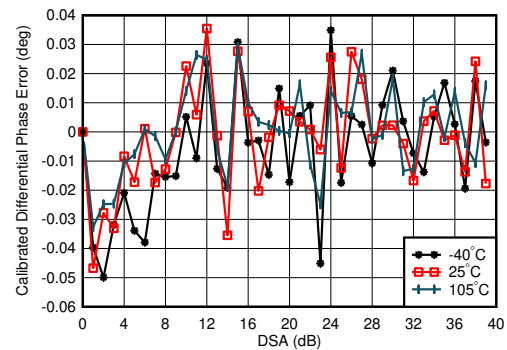
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHzで整合  
積分位相誤差 =  $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 4-91. TX 較正済み積分位相誤差と DSA 設定との関係 (各種チャンネル、2.6GHz)



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHzで整合、全  
DSA 設定にわたって 25°Cでの誤差が中央値であるチャンネル  
微分位相誤差 =  $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 4-92. TX 未較正微分位相誤差と DSA 設定との関係 (各種温度、2.6GHz)

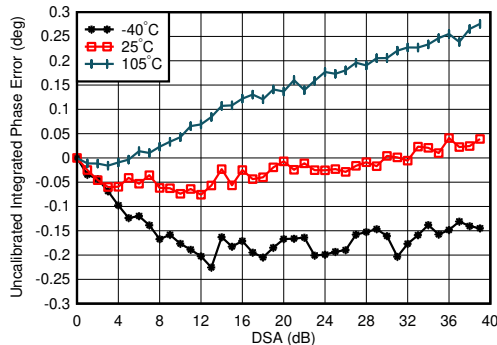


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHzで整合、全  
DSA 設定にわたって 25°Cでの誤差が中央値であるチャンネル  
微分位相誤差 =  $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 4-93. TX 較正済み微分位相誤差と DSA 設定との関係 (各種温度、2.6GHz)

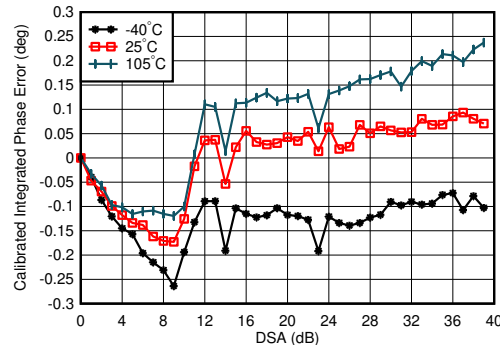
#### 4.12.3 TX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  校正済み



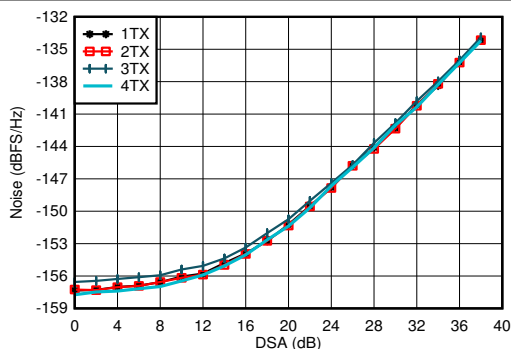
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHzで整合、全 DSA 設定にわたって 25°Cでの誤差が中央値であるチャンネル積分位相誤差 =  $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 4-94. TX 未校正積分位相誤差と DSA 設定との関係 (各種温度、2.6GHz)



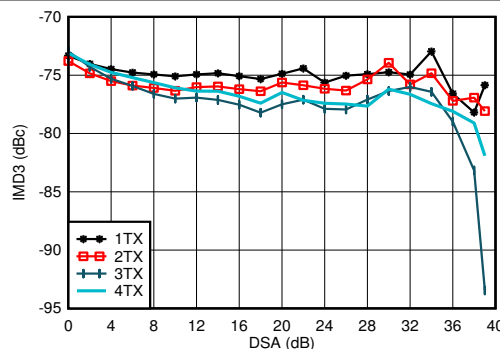
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHzで整合、全 DSA 設定にわたって 25°Cでの誤差が中央値であるチャンネル積分位相誤差 =  $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 4-95. TX 校正済み積分位相誤差と DSA 設定との関係 (各種温度、2.6GHz)



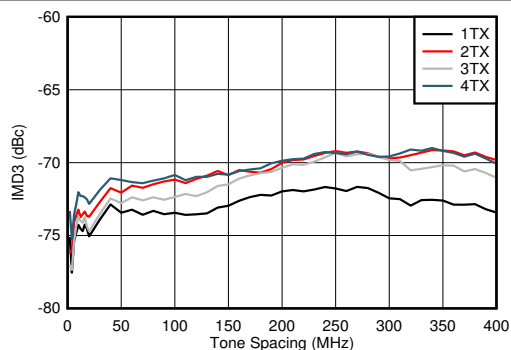
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHzで整合、 $P_{\text{OUT}} = -13\text{dBFS}$

図 4-96. TX 出力ノイズと減衰量との関係 (各種チャンネル、2.6GHz)



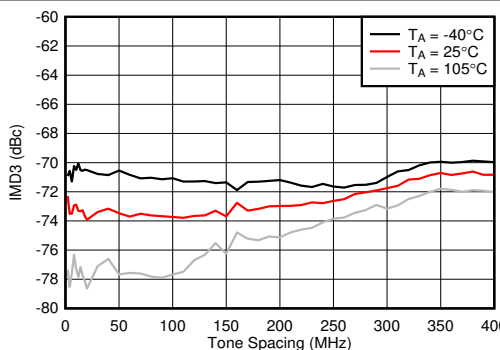
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、 $f_{\text{CENTER}} = 2.6\text{GHz}$ 、2.6GHzで整合、各トーン -13dBFS

図 4-97. TX IMD3 と DSA 設定との関係 (2.6GHz)



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、 $f_{\text{CENTER}} = 2.6\text{GHz}$ 、2.6GHzで整合、各トーン -13dBFS

図 4-98. TX IMD3 と トーン間隔との関係 (各種チャンネル、2.6GHz)

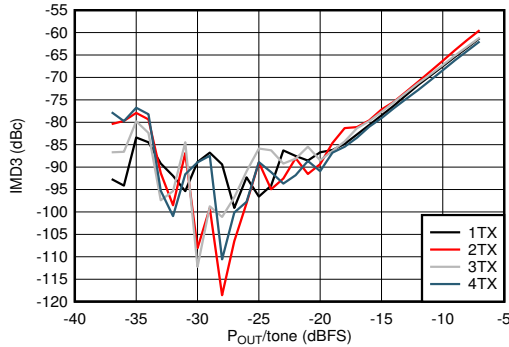


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、 $f_{\text{CENTER}} = 2.6\text{GHz}$ 、2.6GHzで整合、各トーン -13dBFS、ワーストチャンネル

図 4-99. TX IMD3 と トーン間隔との関係 (各種温度、2.6GHz)

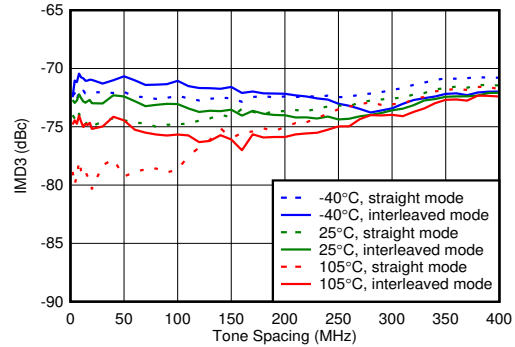
### 4.12.3 TX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 $\text{DSA}$ 校正済み



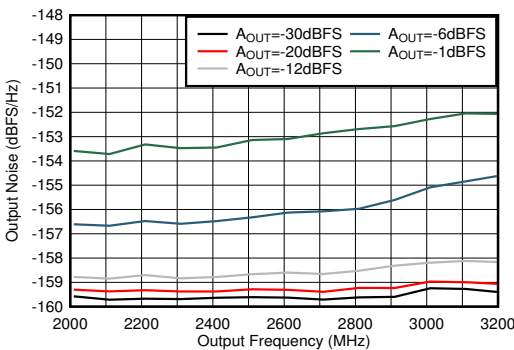
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、 $f_{\text{CENTER}} = 2.6\text{GHz}$ 、 $f_{\text{SPACING}} = 20\text{MHz}$ 、2.6GHzで整合

図 4-100. TX IMD3 とデジタル レベルとの関係 (2.6GHz)



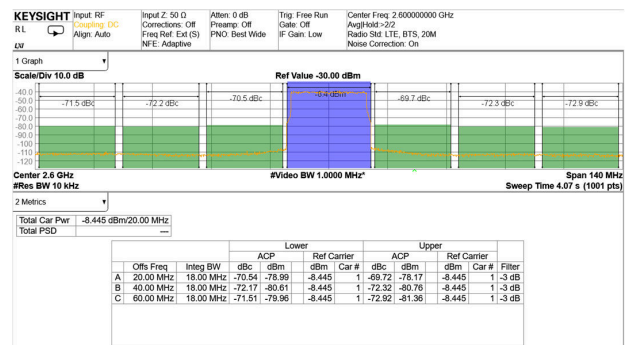
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、 $f_{\text{CENTER}} = 2.6\text{GHz}$ 、2.6GHzで整合、各トーン -13dBFS

図 4-101. TX IMD3 とトーン間隔との関係 (各種温度)



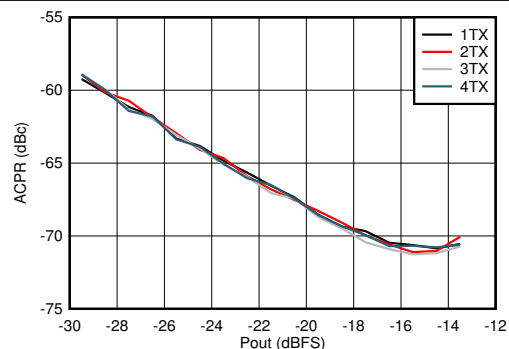
2.6GHzで整合、シングルトーン、 $f_{\text{DAC}} = 11.79648\text{GSPPS}$ 、インターリーブモード、40MHzオフセット

図 4-102. TX シングルトーン出力ノイズと周波数との関係 (各種振幅、2.6GHz)



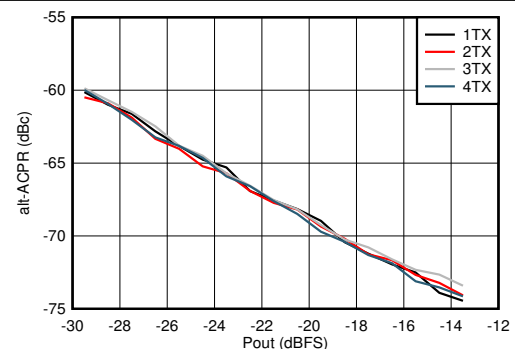
TM1.1、 $P_{\text{OUT\_RMS}} = -13\text{dBFS}$

図 4-103. TX 20MHz LTE 出力スペクトル (バンド 41、2.6GHz)



2.6GHzで整合、シングルキャリア 20MHz BW TM1.1 LTE

図 4-104. TX 20MHz LTE ACPR とデジタル レベルとの関係 (2.6GHz)

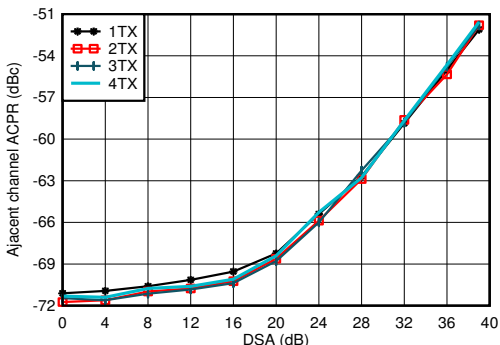


2.6GHzで整合、シングルキャリア 20MHz BW TM1.1 LTE

図 4-105. TX 20MHz LTE alt-ACPR とデジタル レベルとの関係 (2.6GHz)

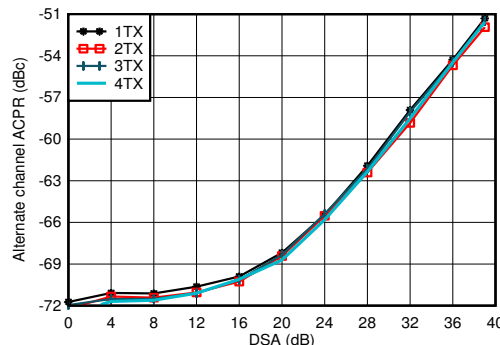
### 4.12.3 TX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 $\text{DSA}$ 校正済み



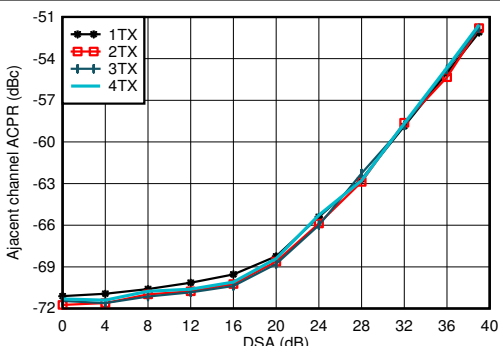
2.6GHz で整合、シングルキャリア 20MHz BW TM1.1 LTE

図 4-106. TX 20MHz LTE ACPR と DSA 設定との関係 (2.6GHz)



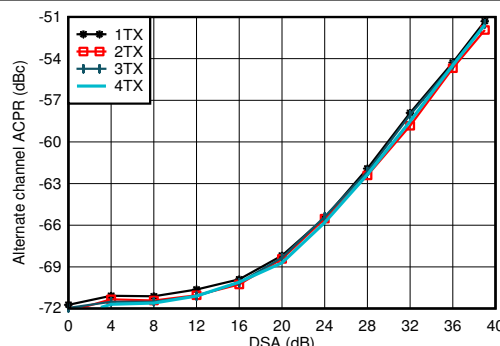
2.6GHz で整合、シングルキャリア 20MHz BW TM1.1 LTE

図 4-107. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (2.6GHz)



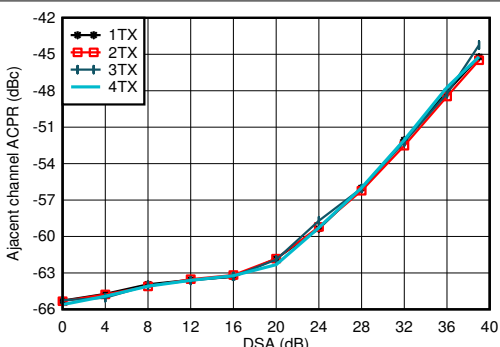
2.6GHz で整合、シングルキャリア 20MHz BW TM1.1 LTE

図 4-108. TX 20MHz LTE ACPR と DSA 設定との関係 (2.6GHz)



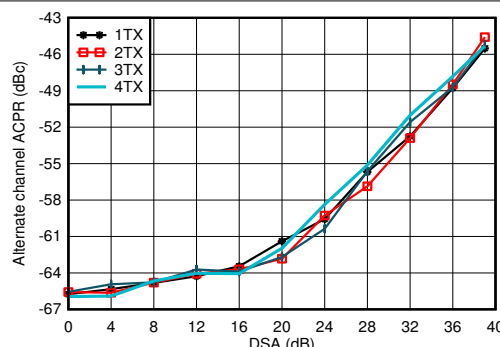
2.6GHz で整合、シングルキャリア 20MHz BW TM1.1 LTE

図 4-109. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (2.6GHz)



2.6GHz で整合、シングルキャリア 100MHz BW TM1.1 NR

図 4-110. TX 100MHz NR ACPR と DSA 設定との関係 (2.6GHz)

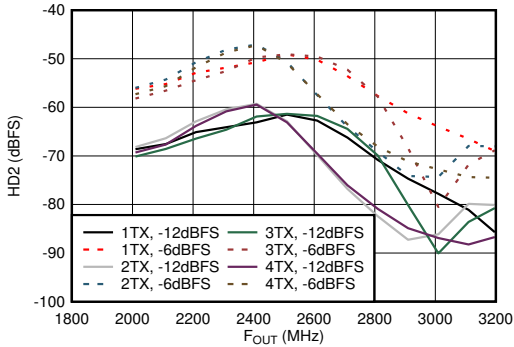


2.6GHz で整合、シングルキャリア 100MHz BW TM1.1 NR

図 4-111. TX 100MHz NR alt-ACPR と DSA 設定との関係 (2.6GHz)

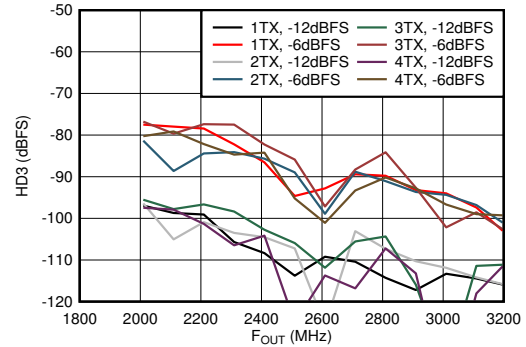
### 4.12.3 TX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  較正済み



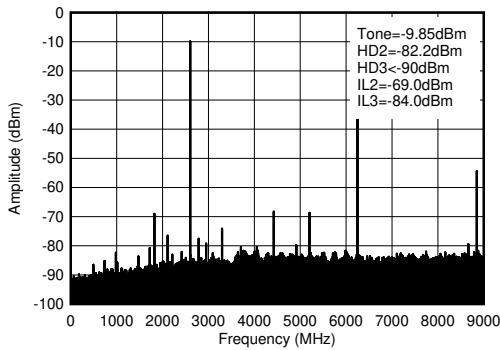
2.6GHzで整合、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブモード、高調波周波数での出力電力で正規化

図 4-112. TX HD2 と出力周波数との関係 (各種デジタル振幅、2.6GHz)



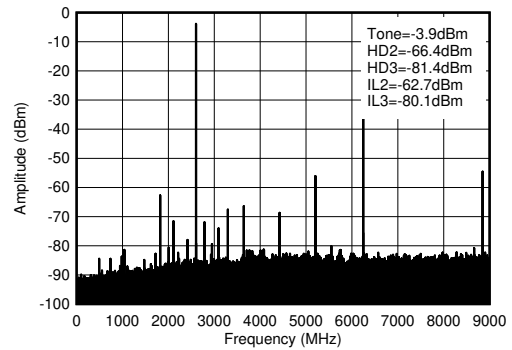
2.6GHzで整合、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブモード、高調波周波数での出力電力で正規化

図 4-113. TX HD3 と出力周波数との関係 (各種デジタル振幅、2.6GHz)



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHz 整合あり、PCB とケーブルの損失を含む。ILn =  $f_s/n \pm f_{\text{OUT}}$  (デジタルクロックとのミキシングに起因)。

図 4-114. TX シングル トーン (-12dBFS) 出力スペクトル (2.6GHz、 $0-f_{\text{DAC}}$ )

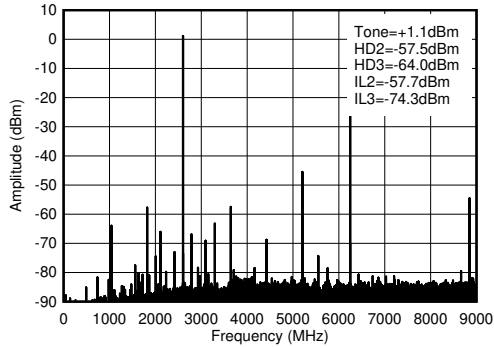


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHz 整合あり、PCB とケーブルの損失を含む。ILn =  $f_s/n \pm f_{\text{OUT}}$  (デジタルクロックとのミキシングに起因)。

図 4-115. TX シングル トーン (-6dBFS) 出力スペクトル (2.6GHz、 $0-f_{\text{DAC}}$ )

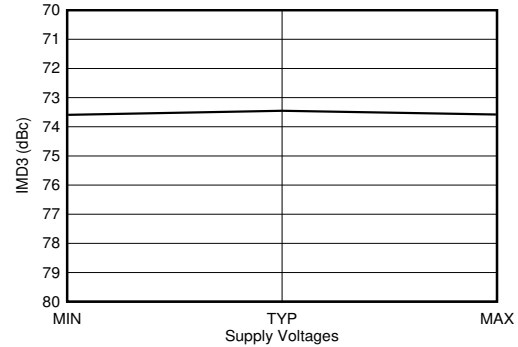
#### 4.12.3 TX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  較正済み



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHz 整合あり、PCB とケーブルの損失を含む。ILn =  $f_{\text{S}}/n \pm f_{\text{OUT}}$  (デジタルクロックとのミキシングに起因)。

図 4-116. TX シングル トーン (-1dBFS) 出力スペクトル (2.6GHz、 $0-f_{\text{DAC}}$ )

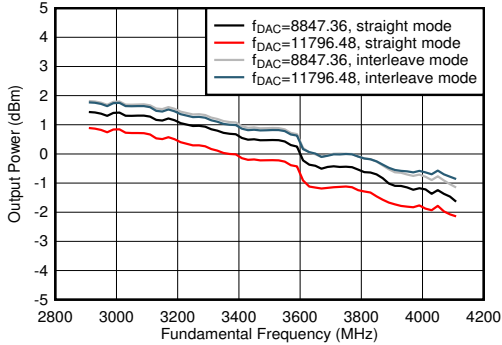


$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、2.6GHz で整合。トーンから 40MHz オフセット。出力電力 =  $-13\text{dBFS}$ 。すべての電源電圧に最小値、代表値、最大値がある。

図 4-117. TX IMD3 と電源電圧との関係 (2.6GHz)

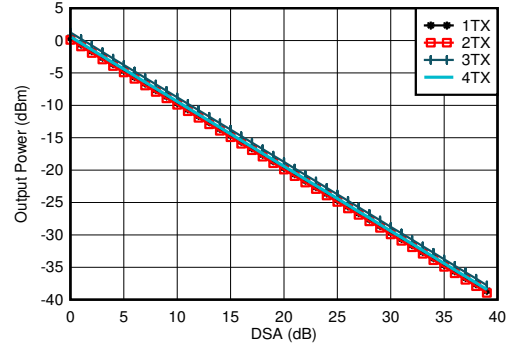
#### 4.12.4 TX 代表的特性 : 3.5GHz

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{REF} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、DSA 較正済み



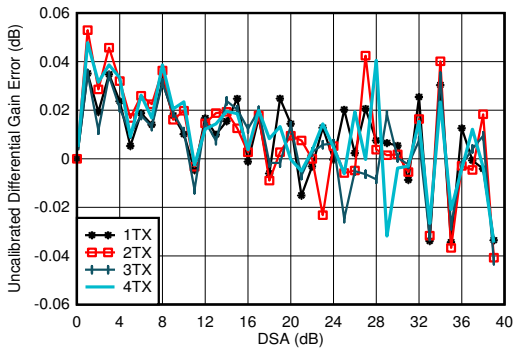
$A_{out} = -0.5\text{dBFS}$ 、3.5GHz 整合あり、PCB とケーブルの損失を含む。

図 4-118. TX 出力電力と周波数との関係



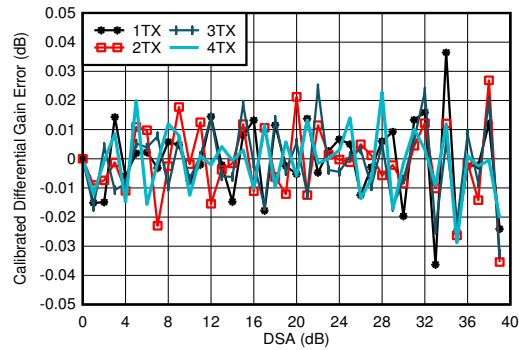
$A_{out} = -0.5\text{dBFS}$ 、3.5GHz 整合あり、PCB とケーブルの損失を含む。

図 4-119. TX 出力電力と DSA 設定との関係 (3.5GHz)



3.5GHz 整合あり、PCB とケーブルの損失を含む。  
微分ゲイン誤差 =  $P_{OUT}(\text{DSA 設定} - 1) - P_{OUT}(\text{DSA 設定}) + 1$

図 4-120. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種チャネル、3.5GHz)

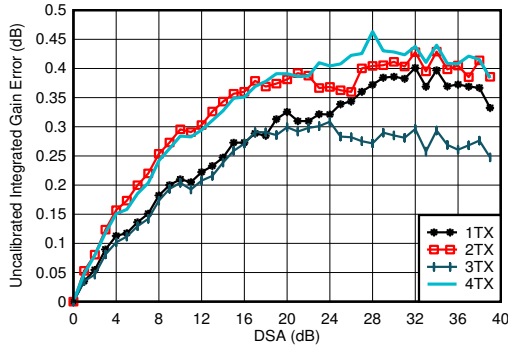


3.5GHz 整合あり、PCB とケーブルの損失を含む。  
微分ゲイン誤差 =  $P_{OUT}(\text{DSA 設定} - 1) - P_{OUT}(\text{DSA 設定}) + 1$

図 4-121. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種チャネル、3.5GHz)

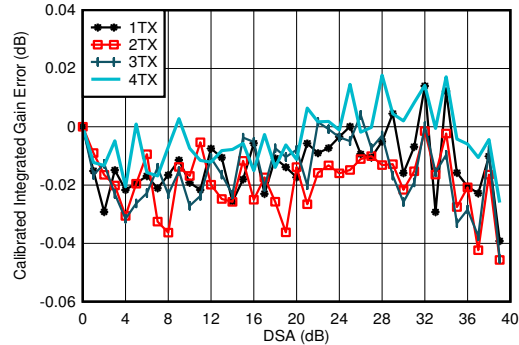
4.12.4 TX 代表的特性 : 3.5GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1 次ナイキストゾーン出力、 $f_{REF} = 491.52\text{MHz}$  による PLL クロックモード、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、DSA 較正済み



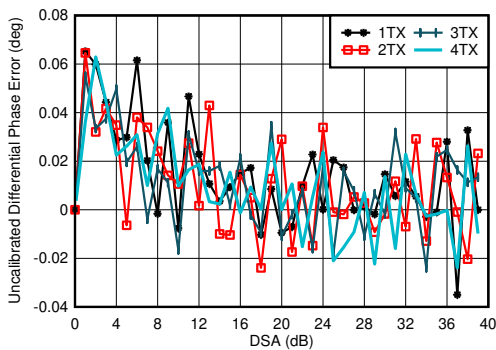
3.5GHz 整合あり、PCB とケーブルの損失を含む。  
積分ゲイン誤差 =  $P_{OUT}(DSA \text{ 設定}) - P_{OUT}(DSA \text{ 設定} = 0) + (DSA \text{ 設定})$

図 4-122. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種チャネル、3.5GHz)



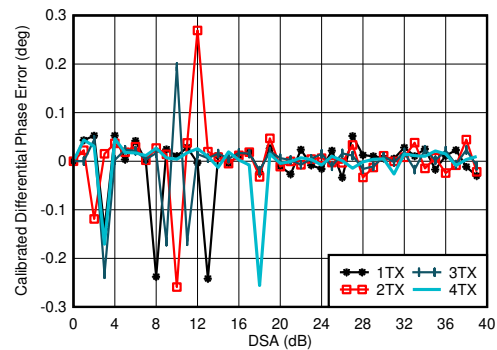
3.5GHz 整合あり、PCB とケーブルの損失を含む。  
積分ゲイン誤差 =  $P_{OUT}(DSA \text{ 設定}) - P_{OUT}(DSA \text{ 設定} = 0) + (DSA \text{ 設定})$

図 4-123. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種チャネル、3.5GHz)



3.5GHz 整合あり、PCB とケーブルの損失を含む。

図 4-124. TX 未較正微分位相誤差と DSA 設定との関係 (各種チャネル、3.5GHz)

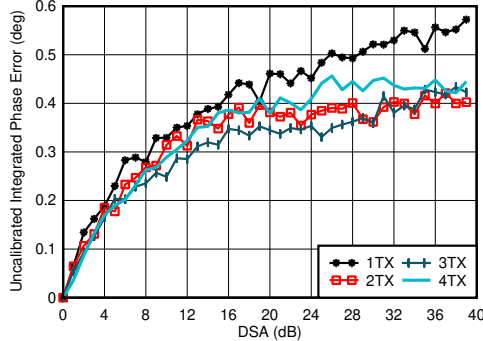


3.5GHz 整合あり、PCB とケーブルの損失を含む。  
位相 DNL スパイクは、すべての DSA 設定で発生する可能性があります。

図 4-125. TX 較正済み微分位相誤差と DSA 設定との関係 (各種チャネル、3.5GHz)

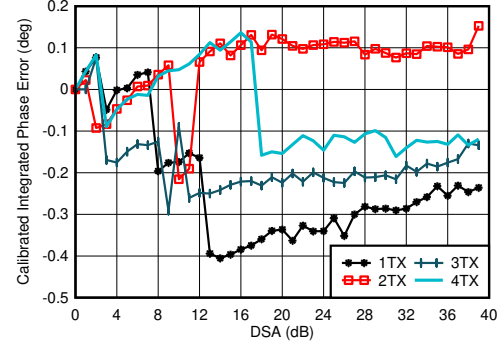
#### 4.12.4 TX 代表的特性 : 3.5GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 $\text{DSA}$ 校正済み



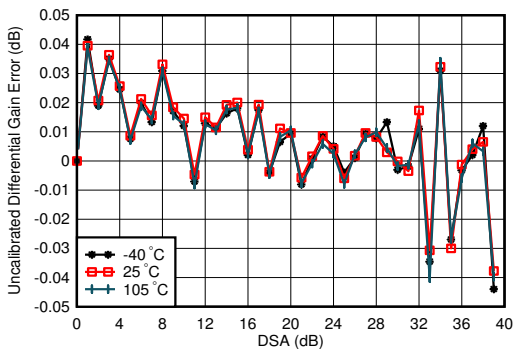
3.5GHz 整合あり、PCB とケーブルの損失を含む。

図 4-126. TX 未校正積分位相誤差と DSA 設定との関係 (チャンネル 1、3.5GHz)



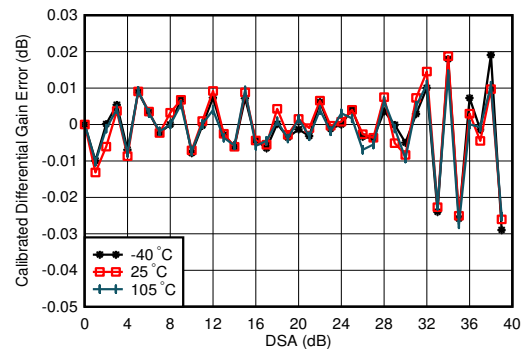
3.5GHz 整合あり、PCB とケーブルの損失を含む。

図 4-127. TX 校正済み積分位相誤差と DSA 設定との関係 (各種チャンネル、3.5GHz)



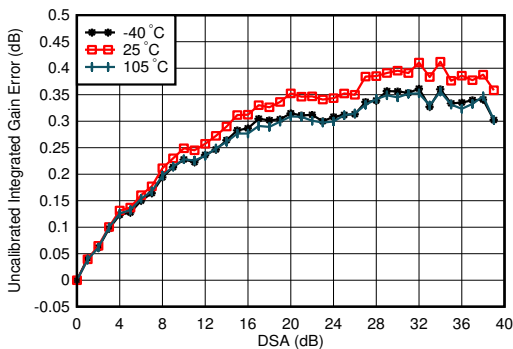
3.5GHz 整合あり、1TX

図 4-128. TX 未校正微分ゲイン誤差と DSA 設定との関係 (各種温度、3.5GHz)



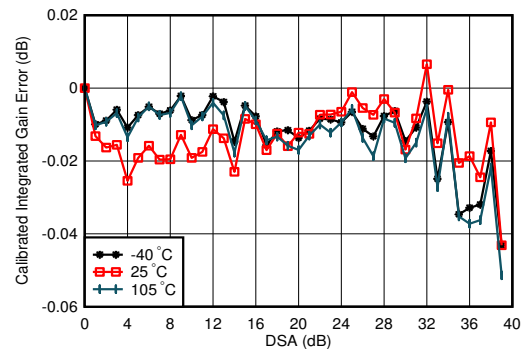
3.5GHz 整合あり、1TX、25°Cで校正済み

図 4-129. TX 校正済み微分ゲイン誤差と DSA 設定との関係 (各種温度、3.5GHz)



3.5GHz 整合あり、1TX

図 4-130. TX 未校正積分ゲイン誤差と DSA 設定との関係 (各種温度、3.5GHz)

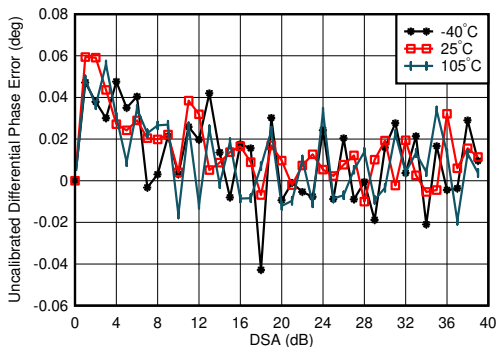


3.5GHz 整合あり、1TX、25°Cで校正済み

図 4-131. TX 校正済み積分ゲイン誤差と DSA 設定との関係 (各種温度、3.5GHz)

4.12.4 TX 代表的特性 : 3.5GHz (続き)

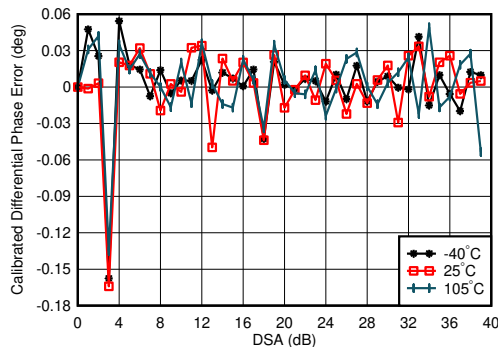
$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1 次ナイキストゾーン出力、 $f_{REF} = 491.52\text{MHz}$  による PLL クロックモード、 $A_{OUT} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  較正済み



3.5GHz 整合あり、1TX

微分位相誤差 =  $\text{Phase}_{OUT}(\text{DSA 設定} - 1) - \text{Phase}_{OUT}(\text{DSA 設定})$

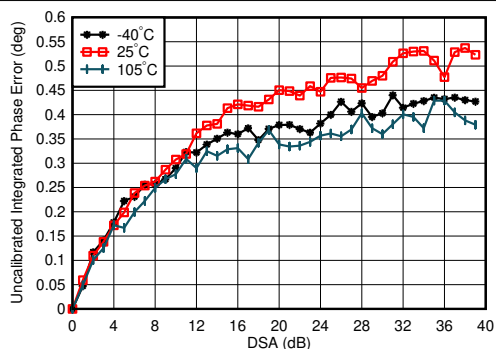
図 4-132. TX 未較正微分位相誤差と DSA 設定との関係 (各種温度、3.5GHz)



3.5GHz 整合あり、1TX、25°Cで較正済み

微分位相誤差 =  $\text{Phase}_{OUT}(\text{DSA 設定} - 1) - \text{Phase}_{OUT}(\text{DSA 設定})$

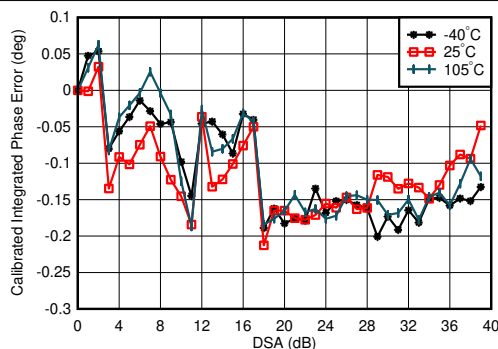
図 4-133. TX 較正済み微分位相誤差と DSA 設定との関係 (各種温度、3.5GHz)



3.5GHz 整合あり、1TX

積分位相誤差 =  $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 4-134. TX 未較正積分位相誤差と DSA 設定との関係 (各種温度、3.5GHz)



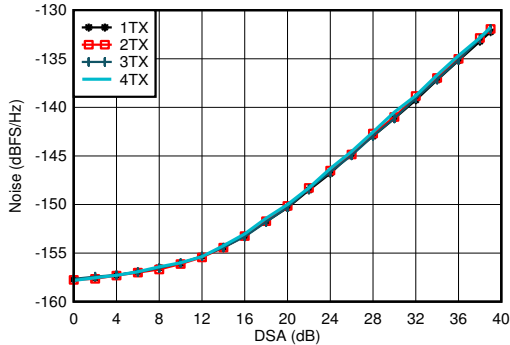
3.5GHz 整合あり、1TX、25°Cで較正済み

積分位相誤差 =  $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 4-135. TX 較正済み積分位相誤差と DSA 設定との関係 (各種温度、3.5GHz)

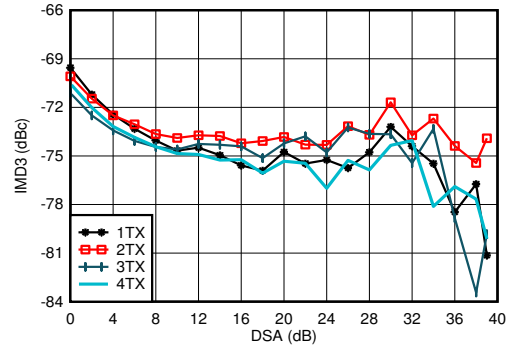
#### 4.12.4 TX 代表的特性 : 3.5GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 $\text{DSA}$ 校正済み



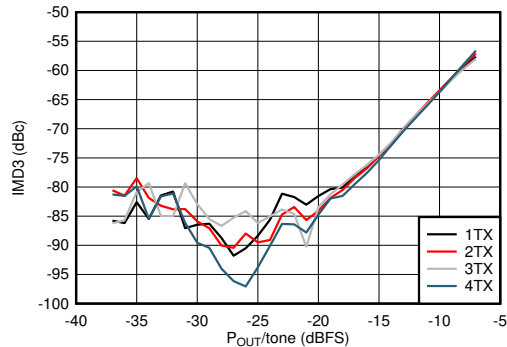
A.  $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、3.5GHzで整合、 $A_{\text{out}} = -13\text{dBFS}$ 。

図 4-136. TX NSD と DSA 設定との関係 (3.5GHz)



20MHzのトーン間隔、3.5GHz整合あり、各トーン $-13\text{dBFS}$ 、PCBとケーブルの損失を含む

図 4-137. TX IMD3 と DSA 設定との関係 (3.5GHz)



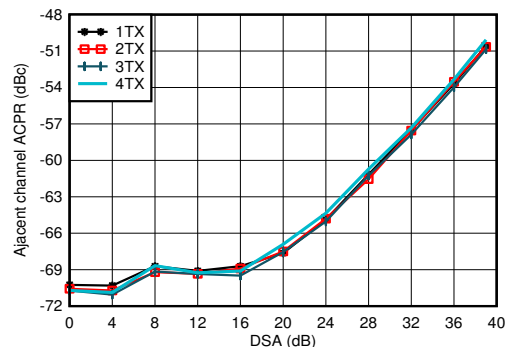
20MHzのトーン間隔、3.5GHz整合あり

図 4-138. TX IMD3 とデジタル振幅との関係 (各種チャンネル、3.5GHz)



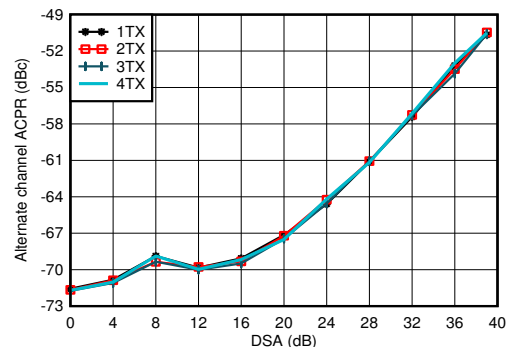
3.5GHz整合あり、シングルキャリア20MHz BW TM1.1 LTE

図 4-139. TX 20MHz LTE 出力スペクトル (バンド 42、3.5GHz)



3.5GHz整合あり、シングルキャリア20MHz BW TM1.1 LTE

図 4-140. TX 20MHz LTE ACPR と DSA 設定との関係 (3.5GHz)

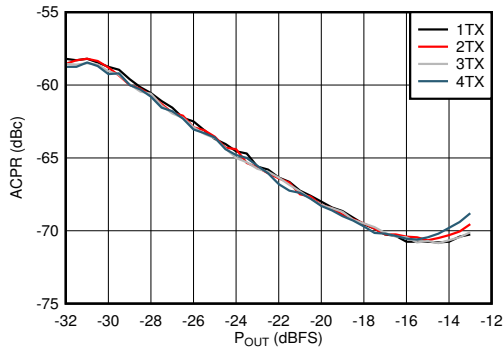


3.5GHz整合あり、シングルキャリア20MHz BW TM1.1 LTE

図 4-141. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (3.5GHz)

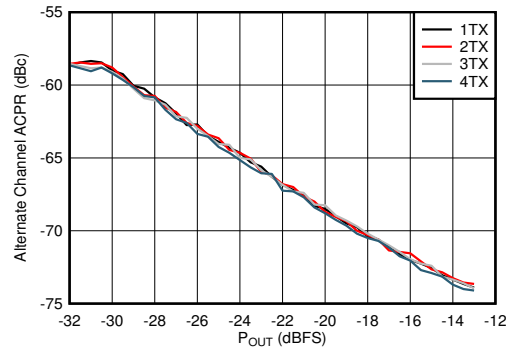
4.12.4 TX 代表的特性 : 3.5GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{REF} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、DSA 較正済み



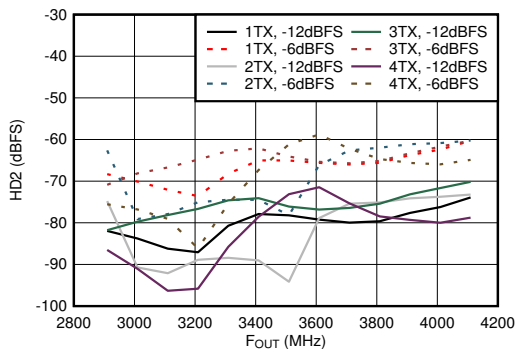
3.5GHz 整合あり、シングル キャリア 20MHz BW TM1.1 LTE

図 4-142. TX 20MHz LTE ACPR とデジタル レベルとの関係 (3.5GHz)



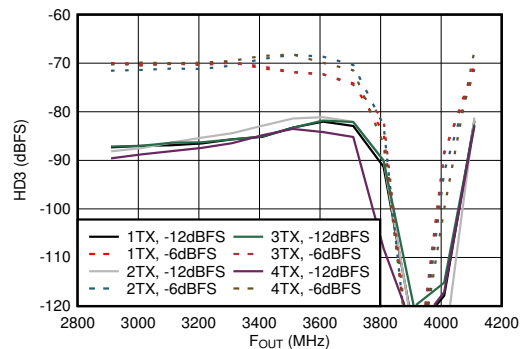
3.5GHz 整合あり、シングル キャリア 20MHz BW TM1.1 LTE

図 4-143. TX 20MHz LTE alt-ACPR とデジタル レベルとの関係 (3.5GHz)



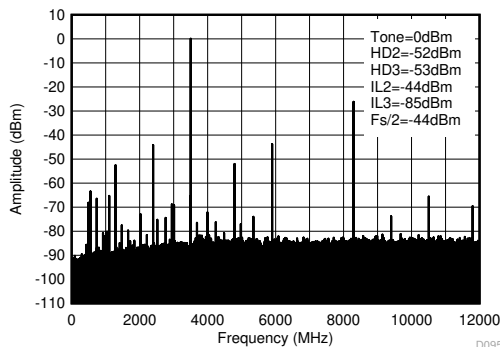
3.5GHz で整合、 $f_{DAC} = 11.79648\text{GSPS}$ 、インターリーブ モード、高調波周波数での出力電力で正規化

図 4-144. TX シングル トーン HD2 と周波数との関係 (各種デジタル レベル、3.5GHz)



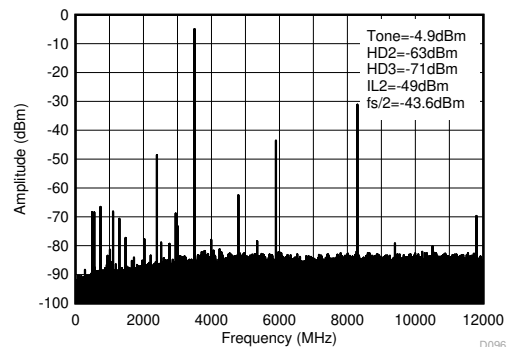
3.5GHz で整合、 $f_{DAC} = 11.79648\text{GSPS}$ 、インターリーブ モード、高調波周波数での出力電力で正規化。ディップは、DC 付近での HD3 の低下に起因するものです。

図 4-145. TX シングル トーン HD3 と周波数との関係 (各種デジタル レベル、3.5GHz)



3.5GHz で整合、 $f_{DAC} = 11.79648\text{GSPS}$ 、インターリーブ モード。

図 4-146. TX シングル トーン (-1dBFS) 出力スペクトル (3.5GHz、 $0-f_{DAC}$ )

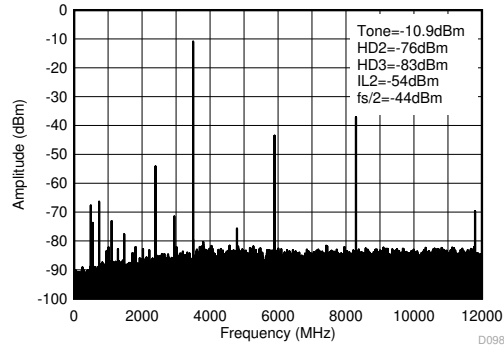


3.5GHz で整合、 $f_{DAC} = 11.79648\text{GSPS}$ 、インターリーブ モード。

図 4-147. TX シングル トーン (-6dBFS) 出力スペクトル (3.5GHz、 $0-f_{DAC}$ )

#### 4.12.4 TX 代表的特性 : 3.5GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、DSA 較正済み

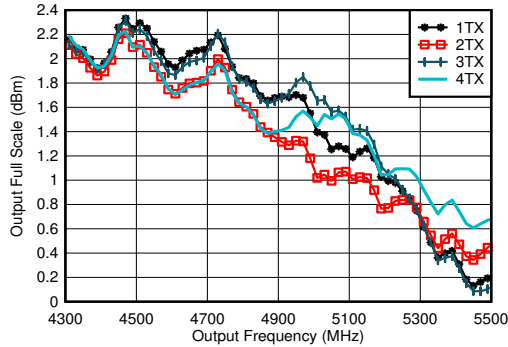


3.5GHz で整合、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブモード。

図 4-148. TX シングル トーン (-12dBFS) 出力スペクトル (3.5GHz、0- $f_{\text{DAC}}$ )

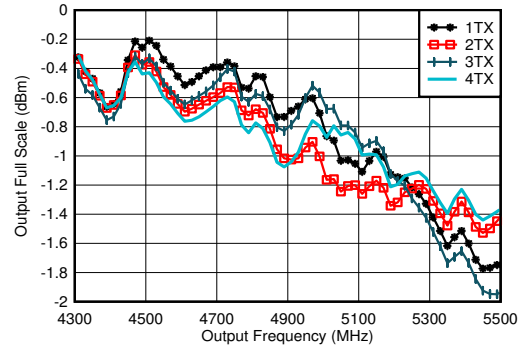
### 4.12.5 TX 代表的特性 : 4.9GHz

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{REF} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、DSA 較正済み



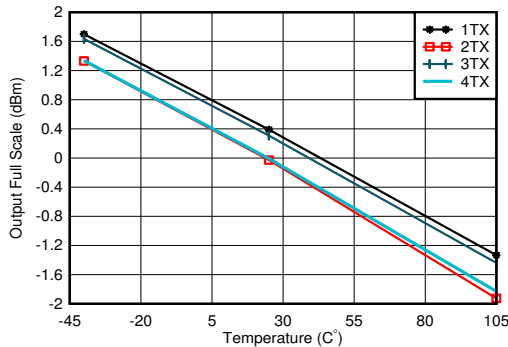
PCB とケーブルの損失を除く。 $A_{OUT} = -0.5\text{dBFS}$ 、 $DSA = 0$ 、4.9GHz 整合あり。

図 4-149. TX フルスケールと RF 周波数との関係 (各種チャンネル、11796.48MSPS)



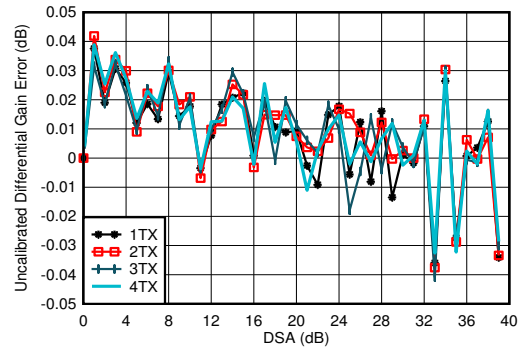
PCB とケーブルの損失を除く。 $A_{OUT} = -0.5\text{dBFS}$ 、 $DSA = 0$ 、4.9GHz 整合あり。

図 4-150. TX フルスケールと RF 周波数との関係 (各種チャンネル、5898.24MSPS、ストレートモード、2次ナイキストゾーン)



$f_{DAC} = 11796.48\text{MSPS}$ 、 $A_{out} = -0.5\text{dBFS}$ 、4.9GHz で整合

図 4-151. TX 出力電力と DSA 設定との関係 (各種チャンネル、4.9GHz)

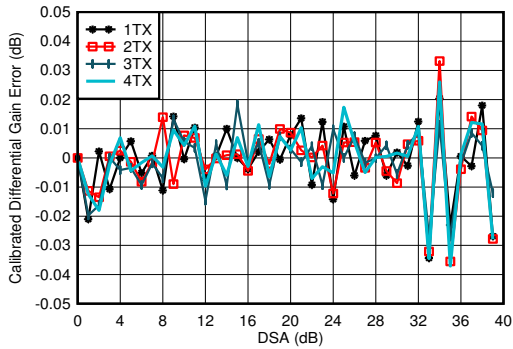


$f_{DAC} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz で整合  
微分ゲイン誤差 =  $P_{OUT}(DSA \text{ 設定} - 1) - P_{OUT}(DSA \text{ 設定}) + 1$

図 4-152. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種チャンネル、4.9GHz)

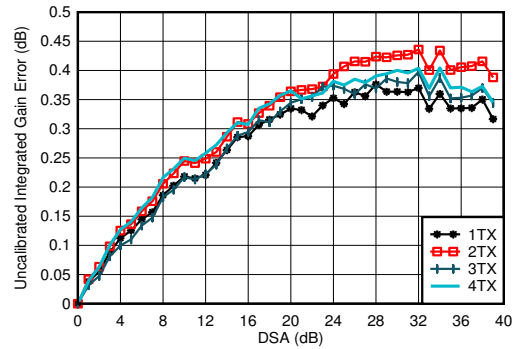
#### 4.12.5 TX 代表的特性 : 4.9GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 $\text{DSA}$ 校正済み



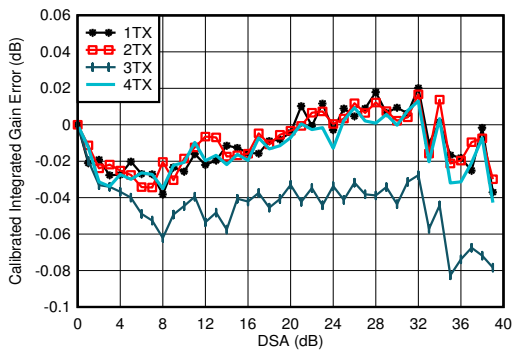
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHzで整合  
微分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 4-153. TX 校正済み微分ゲイン誤差と DSA 設定との関係 (各種チャンネル、4.9GHz)



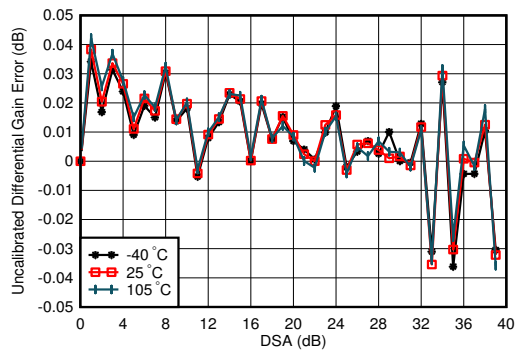
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHzで整合  
積分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 4-154. TX 未校正積分ゲイン誤差と DSA 設定との関係 (各種チャンネル、4.9GHz)



$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHzで整合  
積分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 4-155. TX 校正済み積分ゲイン誤差と DSA 設定との関係 (各種チャンネル、4.9GHz)

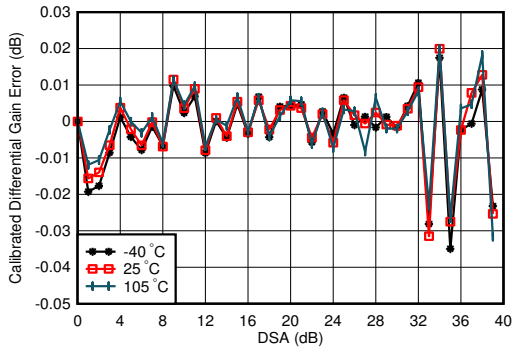


$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHzで整合  
微分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 4-156. TX 未校正微分ゲイン誤差と DSA 設定との関係 (各種温度、4.9GHz)

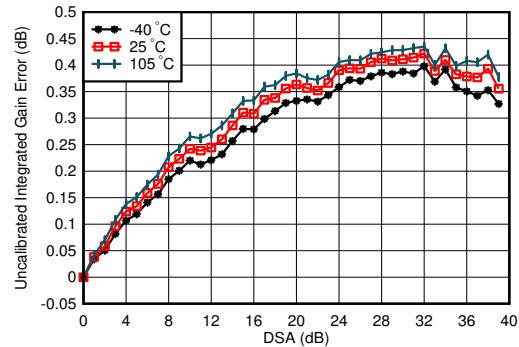
#### 4.12.5 TX 代表的特性 : 4.9GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 $\text{DSA}$ 校正済み



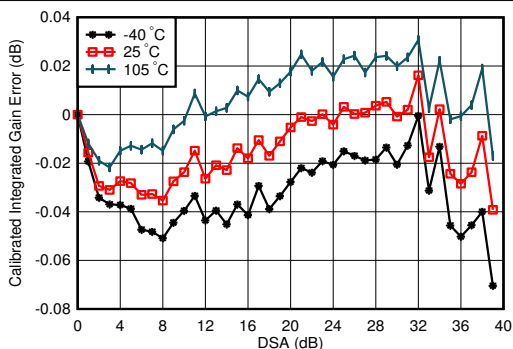
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHzで整合  
微分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 4-157. TX 校正済み微分ゲイン誤差と DSA 設定との関係 (各種温度、4.9GHz)



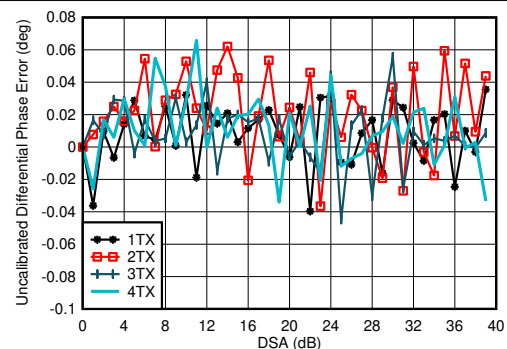
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHzで整合  
積分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 4-158. TX 未校正積分ゲイン誤差と DSA 設定との関係 (各種温度、4.9GHz)



$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHzで整合  
積分ゲイン誤差 =  $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 4-159. TX 校正済み積分ゲイン誤差と DSA 設定との関係 (各種温度、4.9GHz)

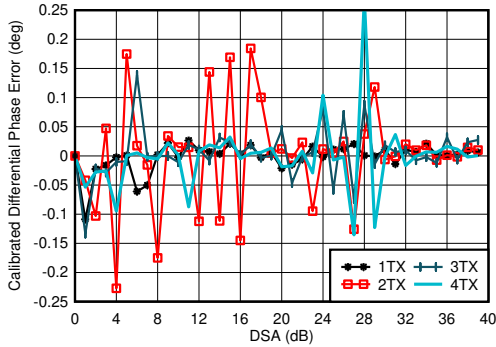


$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHzで整合  
微分位相誤差 =  $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 4-160. TX 未校正微分位相誤差と DSA 設定との関係 (各種チャネル、4.9GHz)

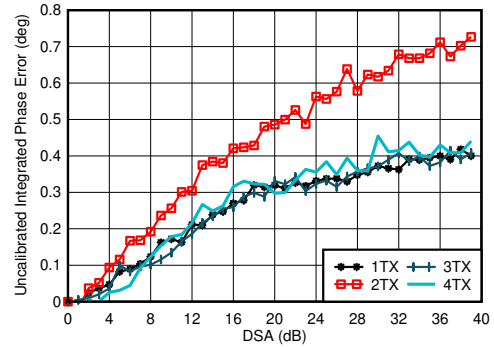
#### 4.12.5 TX 代表的特性 : 4.9GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 $\text{DSA}$ 校正済み



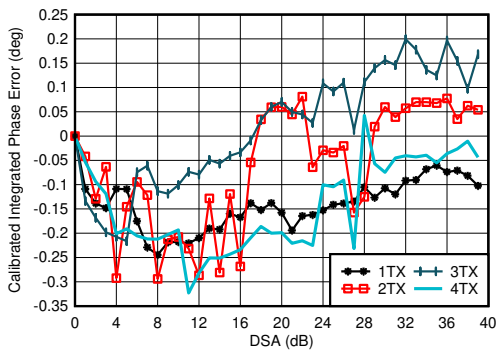
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHzで整合  
微分位相誤差 =  $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$   
位相 DNL スパイクは、すべての DSA 設定で発生する可能性があります。

図 4-161. TX 校正済み微分位相誤差と DSA 設定との関係 (各種チャネル、4.9GHz)



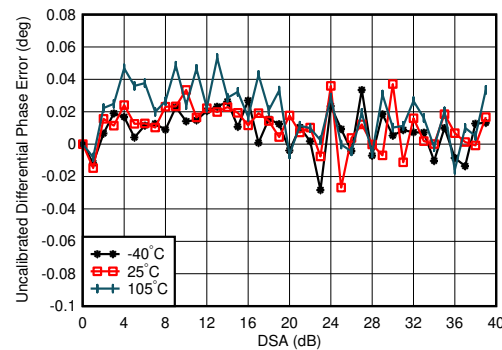
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHzで整合  
積分位相誤差 =  $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 4-162. TX 未校正積分位相誤差と DSA 設定との関係 (チャネル 1、4.9GHz)



$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHzで整合  
積分位相誤差 =  $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 4-163. TX 校正済み積分位相誤差と DSA 設定との関係 (各種チャネル、4.9GHz)

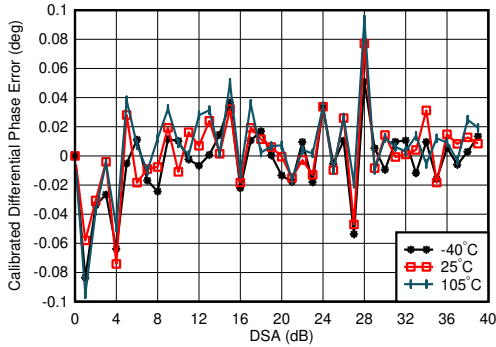


$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHzで整合  
微分位相誤差 =  $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 4-164. TX 未校正微分位相誤差と DSA 設定との関係 (各種温度、4.9GHz)

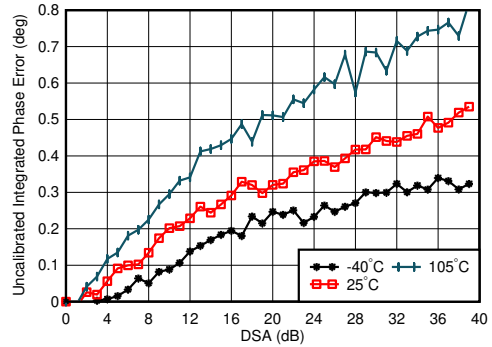
4.12.5 TX 代表的特性 : 4.9GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  較正済み



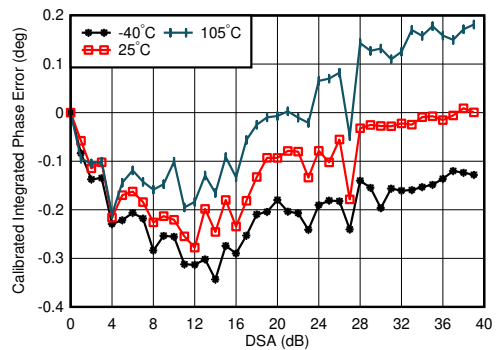
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHzで整合  
微分位相誤差 =  $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 4-165. TX 較正済み微分位相誤差と DSA 設定との関係 (各種温度、4.9GHz)



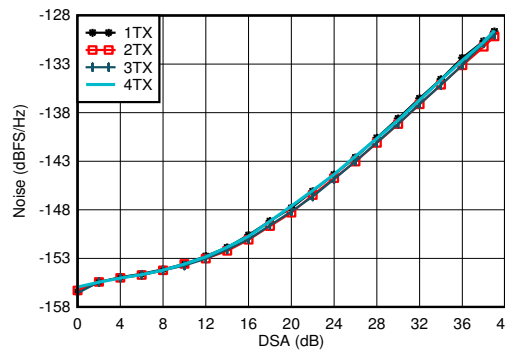
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHzで整合  
積分位相誤差 =  $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 4-166. TX 未較正積分位相誤差と DSA 設定との関係 (各種温度、4.9GHz)



$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHzで整合、 $25^\circ\text{C}$ における DSA 設定の誤差が中央値であるチャンネル  
積分位相誤差 =  $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 4-167. TX 較正済み積分位相誤差と DSA 設定との関係 (各種温度、4.9GHz)

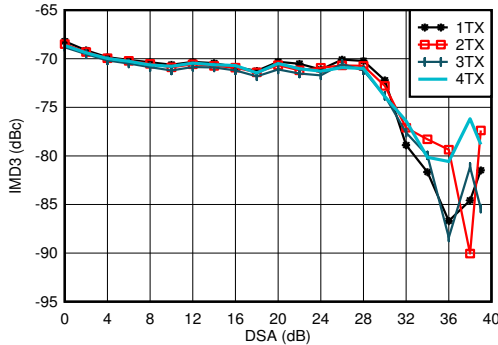


$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHzで整合、 $P_{\text{OUT}} = -13\text{dBFS}$

図 4-168. TX 出力ノイズと減衰量との関係 (各種チャンネル、2.6GHz)

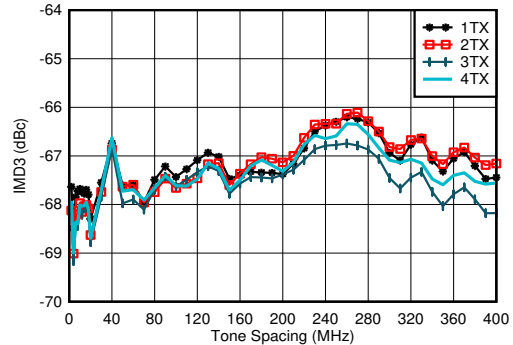
#### 4.12.5 TX 代表的特性 : 4.9GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  較正済み



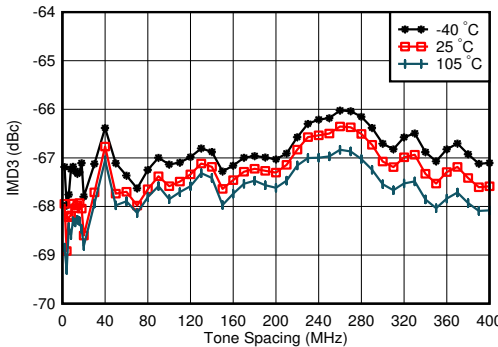
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHzで整合、 $f_{\text{CENTER}} = 4.9\text{GHz}$ 、各トーン  $-13\text{dBFS}$

図 4-169. TX IMD3 と DSA 設定との関係 (4.9GHz)



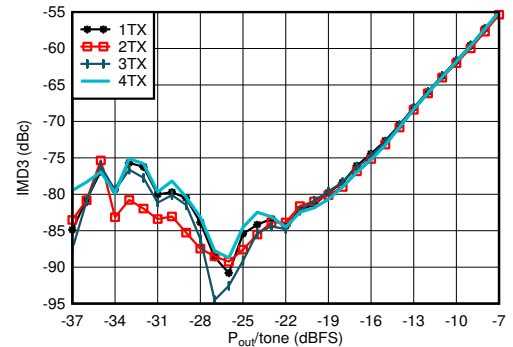
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHzで整合、 $f_{\text{CENTER}} = 4.9\text{GHz}$ 、各トーン  $-13\text{dBFS}$

図 4-170. TX IMD3 と トーン間隔との関係 (各種チャネル、4.9GHz)



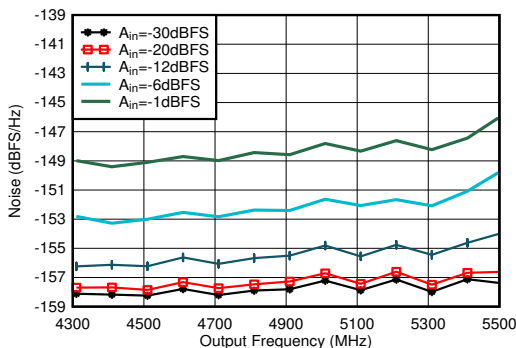
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHzで整合、 $f_{\text{CENTER}} = 4.9\text{GHz}$ 、各トーン  $-13\text{dBFS}$ 、ワーストチャネル

図 4-171. TX IMD3 と トーン間隔との関係 (各種温度、4.9GHz)



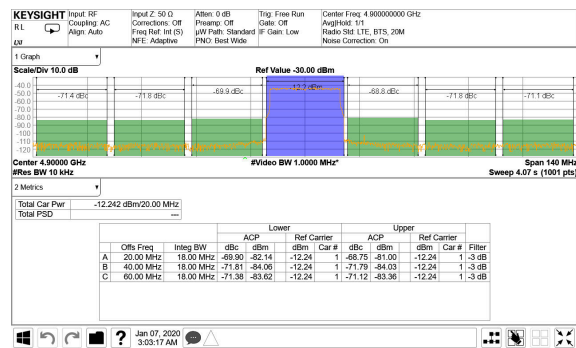
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHzで整合、 $f_{\text{CENTER}} = 4.9\text{GHz}$ 、 $f_{\text{SPACING}} = 20\text{MHz}$

図 4-172. TX IMD3 と デジタル レベルとの関係 (4.9GHz)



4.9GHzで整合、シングルトーン、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブモード、40MHz オフセット、 $\text{DSA} = 0\text{dB}$

図 4-173. TX シングルトーン出力ノイズと周波数との関係 (各種振幅、4.9GHz)

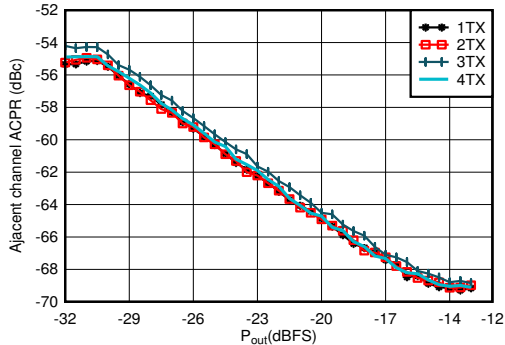


TM1.1、 $P_{\text{OUT\_RMS}} = -13\text{dBFS}$

図 4-174. TX 20MHz LTE 出力スペクトル (4.9GHz)

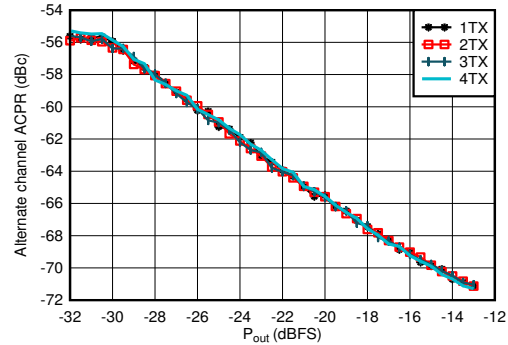
4.12.5 TX 代表的特性 : 4.9GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{REF} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、DSA 較正済み



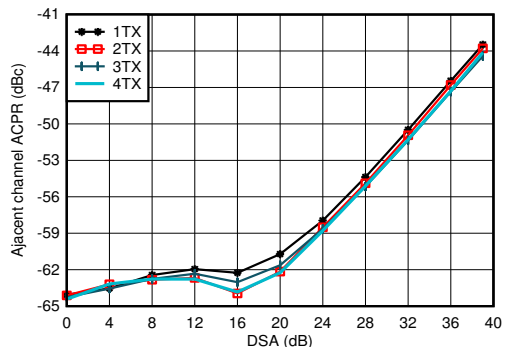
4.9GHz で整合、シングルキャリア 20MHz BW TM1.1 LTE

図 4-175. TX 20MHz LTE ACPR とデジタル レベルとの関係 (4.9GHz)



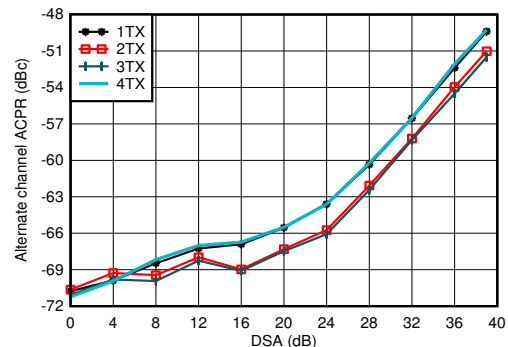
4.9GHz で整合、シングルキャリア 20MHz BW TM1.1 LTE

図 4-176. TX 20MHz LTE alt-ACPR とデジタル レベルとの関係 (4.9GHz)



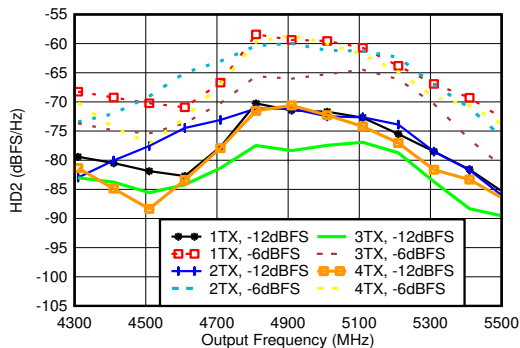
4.9GHz で整合、シングルキャリア 20MHz BW TM1.1 LTE

図 4-177. TX 20MHz LTE ACPR と DSA との関係 (4.9GHz)



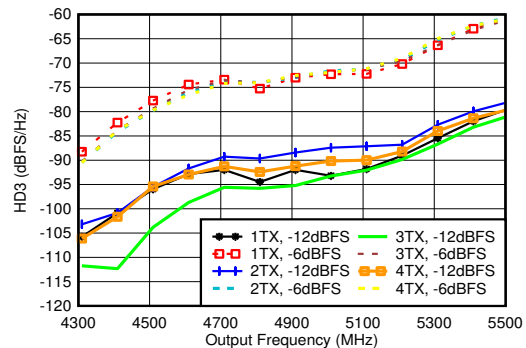
4.9GHz で整合、シングルキャリア 20MHz BW TM1.1 LTE

図 4-178. TX 20MHz LTE alt-ACPR と DSA との関係 (4.9GHz)



4.9GHz で整合、 $f_{DAC} = 11.79648\text{GSPS}$ 、インターリーブモード、高調波周波数での出力電力で正規化

図 4-179. TX HD2 と出力周波数との関係 (各種デジタル振幅、4.9GHz)

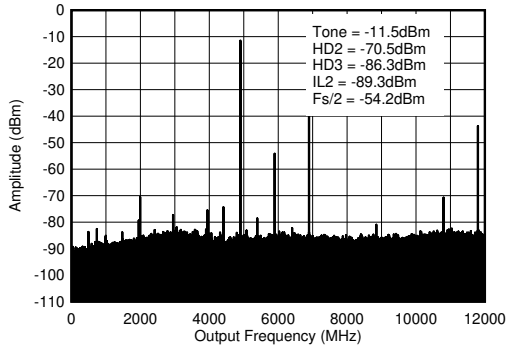


4.9GHz で整合、 $f_{DAC} = 11.79648\text{GSPS}$ 、インターリーブモード、高調波周波数での出力電力で正規化

図 4-180. TX HD3 と出力周波数との関係 (各種デジタル振幅、4.9GHz)

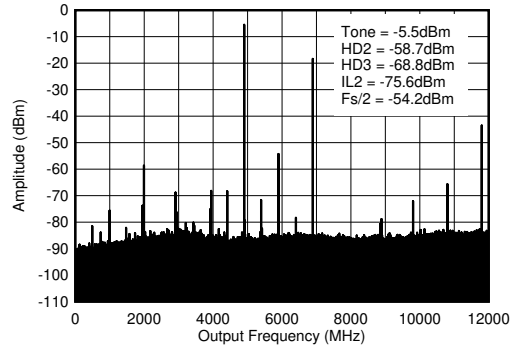
#### 4.12.5 TX 代表的特性 : 4.9GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$  (24x 補間)、インターリーブモード、1次ナイキストゾーン出力、 $f_{REF} = 491.52\text{MHz}$ によるPLLクロックモード、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み



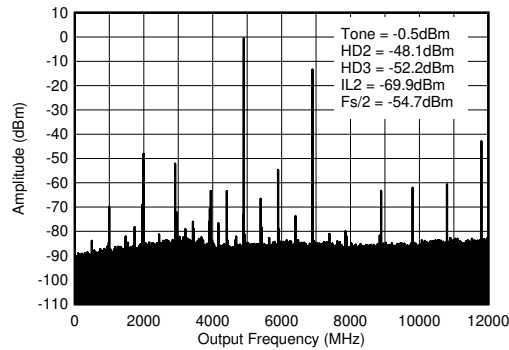
$f_{DAC} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz 整合あり、PCB とケーブルの損失を含む。ILn =  $f_s/n \pm f_{OUT}$ 。

図 4-181. TX シングル トーン (-12dBFS) 出カスペクトル (0~ $f_{DAC}$ 、4.9GHz)



$f_{DAC} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz 整合あり、PCB とケーブルの損失を含む。ILn =  $f_s/n \pm f_{OUT}$ 。

図 4-182. TX シングル トーン (-6dBFS) 出カスペクトル (0~ $f_{DAC}$ 、4.9GHz)

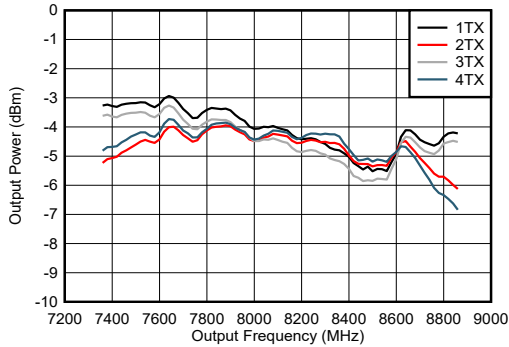


$f_{DAC} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz 整合あり、PCB とケーブルの損失を含む。ILn =  $f_s/n \pm f_{OUT}$ 。

図 4-183. TX シングル トーン (-1dBFS) 出カスペクトル (0~ $f_{DAC}$ 、4.9GHz)

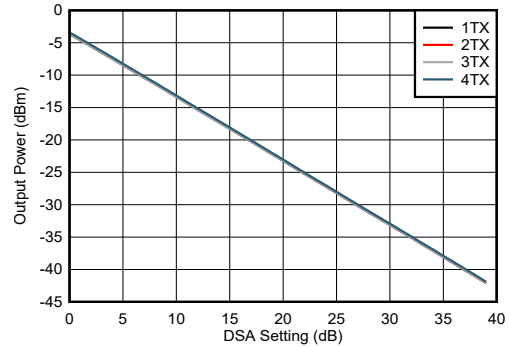
### 4.12.6 TX 代表的特性 : 8.1GHz

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件:TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、混合モード、1 次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$  による PLL クロック モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、DSA 較正済み、8.1GHz 整合あり



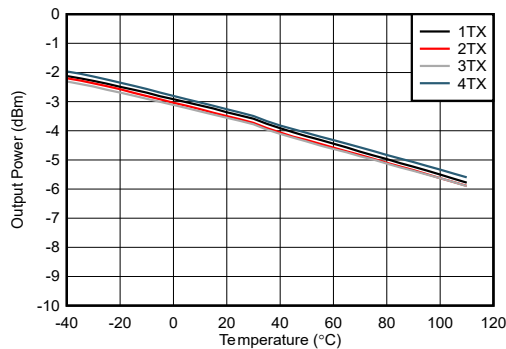
PCB とケーブルの損失を含む。

図 4-184. TX 出力電力と周波数との関係 (8.11GHz)



PCB とケーブルの損失を含む。

図 4-185. TX 出力電力と DSA 設定との関係 (8.11GHz)



PCB とケーブルの損失を含む。

図 4-186. TX 出力電力と温度との関係 (8.11GHz)

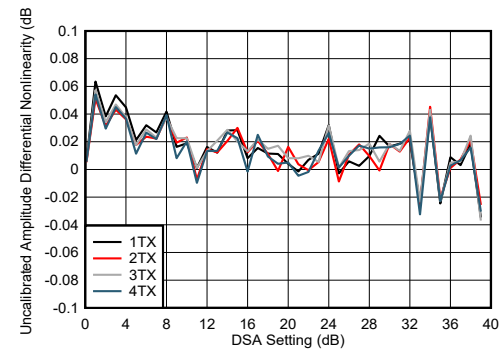


図 4-187. TX DSA 未較正振幅の微分非直線性 (8.11GHz)

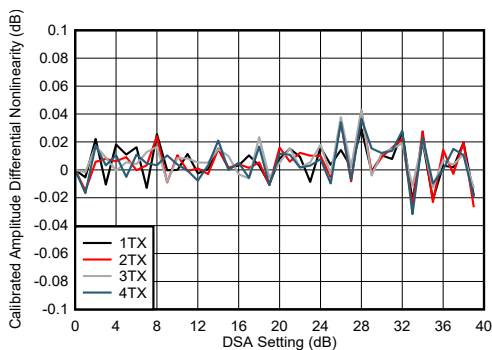


図 4-188. TX DSA 較正済み振幅の微分非直線性 (8.11GHz)

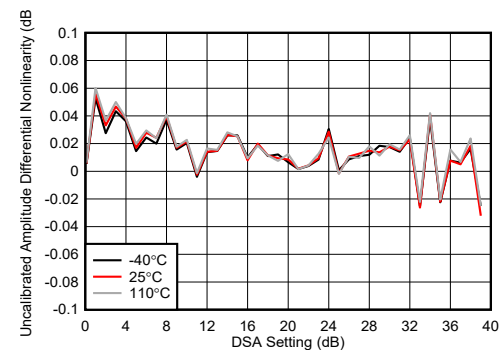


図 4-189. TX DSA 未較正振幅の微分非直線性 (8.11GHz)

#### 4.12.6 TX 代表的特性 : 8.1GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、混合モード、1 次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$  による PLL クロック モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  較正済み、8.1GHz 整合あり

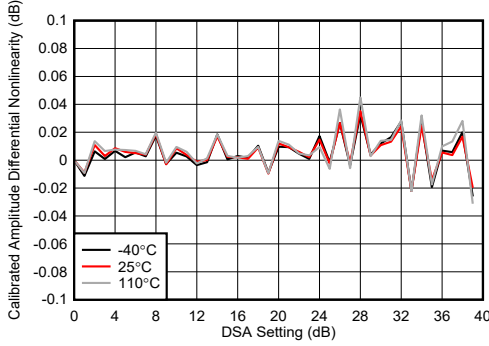


図 4-190. TX DSA 較正済み振幅の微分非直線性 (8.11GHz)

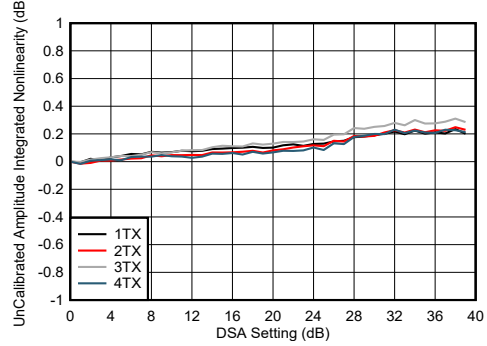


図 4-191. TX DSA 未較正振幅の積分非直線性 (8.11GHz)

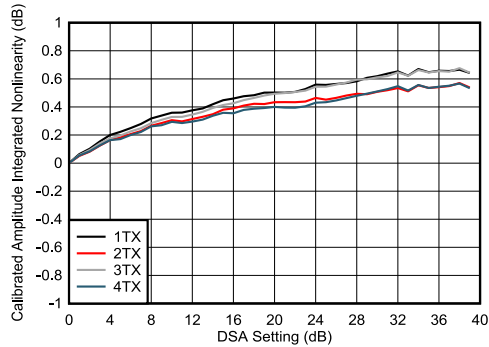


図 4-192. TX DSA 較正済み振幅の積分非直線性 (8.11GHz)

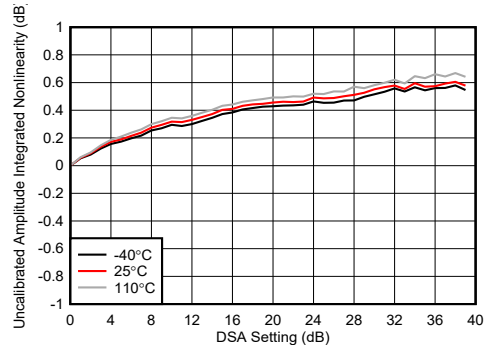


図 4-193. TX DSA 未較正振幅の積分非直線性 (8.11GHz)

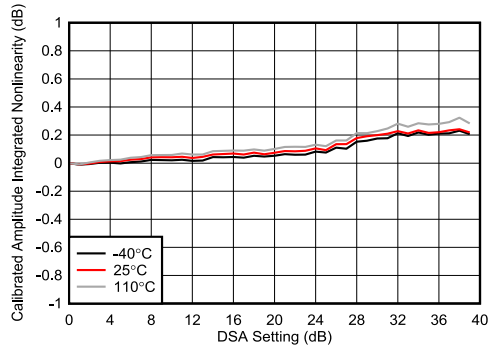


図 4-194. TX DSA 較正済み振幅の積分非直線性 (8.11GHz)

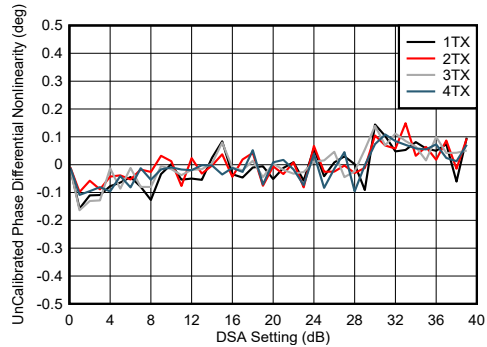


図 4-195. TX DSA 未較正位相の微分非直線性 (8.11GHz)

### 4.12.6 TX 代表的特性 : 8.1GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、混合モード、1 次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$  による PLL クロック モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  較正済み、8.1GHz 整合あり

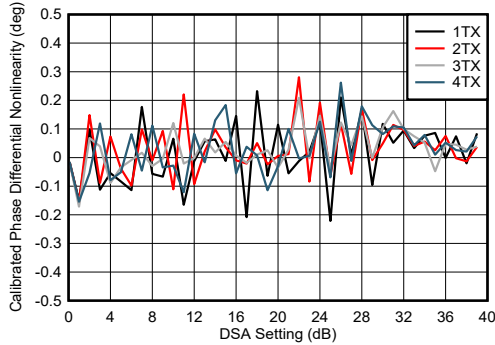


図 4-196. TX DSA 較正済み位相の微分非直線性 (8.11GHz)

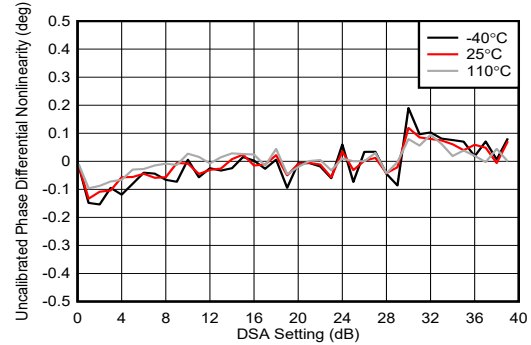


図 4-197. TX DSA 未較正位相の微分非直線性 (8.11GHz)

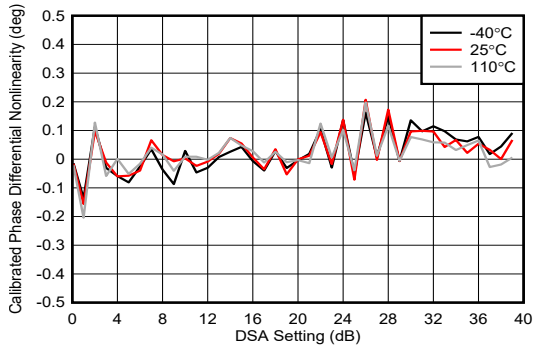


図 4-198. TX DSA 較正済み位相の微分非直線性 (8.11GHz)

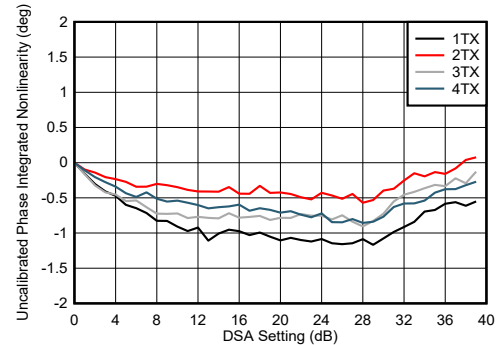


図 4-199. TX DSA 未較正位相の積分非直線性 (8.11GHz)

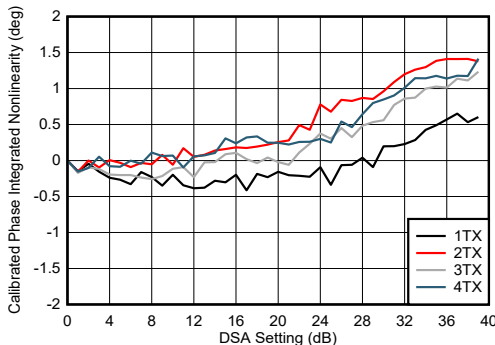


図 4-200. TX DSA 較正済み位相の積分非直線性 (8.11GHz)

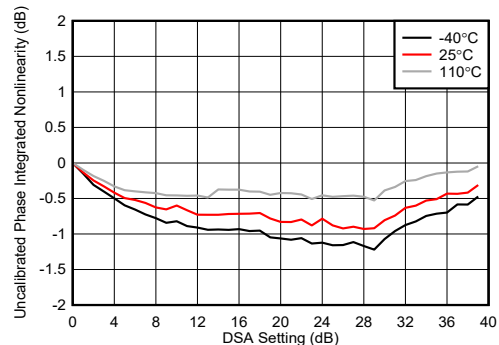


図 4-201. TX DSA 未較正位相の積分非直線性 (8.11GHz)

#### 4.12.6 TX 代表的特性 : 8.1GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、混合モード、1 次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$  による PLL クロック モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、DSA 較正済み、8.1GHz 整合あり

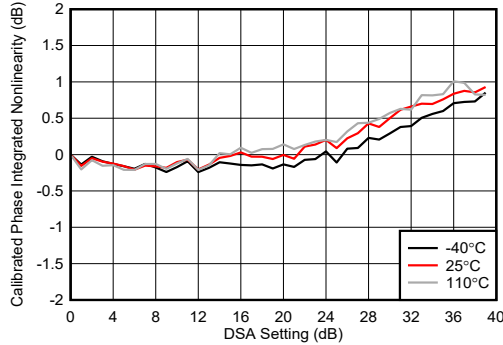


図 4-202. TX DSA 較正済み位相の積分非直線性 (8.11GHz)

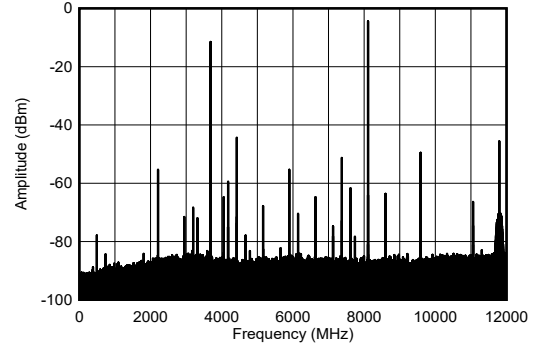
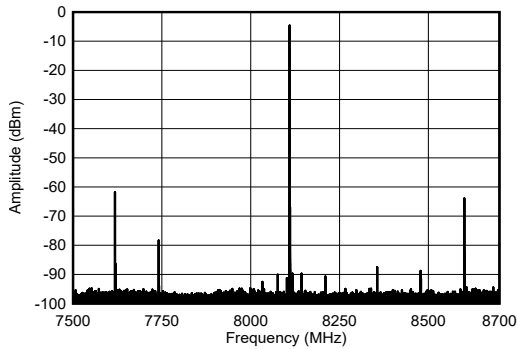
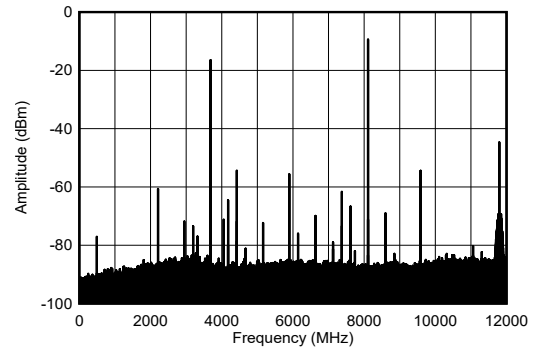


図 4-203. TX シングル トーン出カスペクトル (8.11GHz)



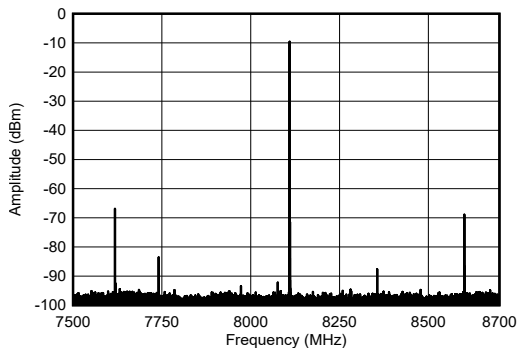
-1dBFS

図 4-204. TX シングル トーン出カスペクトル (8.11GHz)



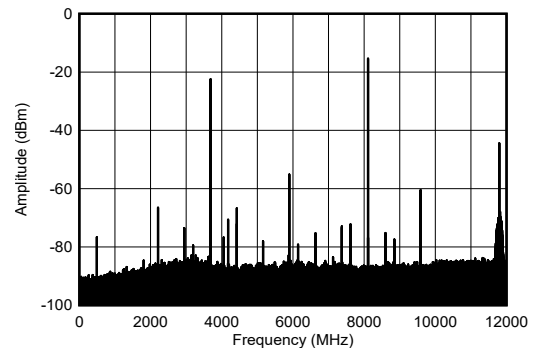
-6dBFS

図 4-205. TX シングル トーン出カスペクトル (8.11GHz)



-6dBFS

図 4-206. TX シングル トーン出カスペクトル (8.11GHz)

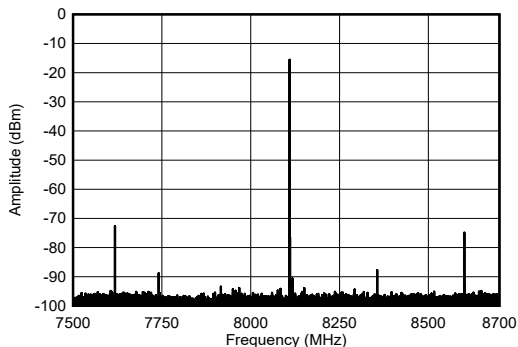


-12dBFS

図 4-207. TX シングル トーン出カスペクトル (8.11GHz)

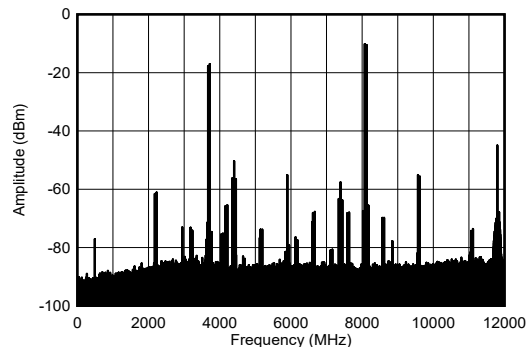
#### 4.12.6 TX 代表的特性 : 8.1GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、混合モード、1 次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$  による PLL クロック モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  較正済み、8.1GHz 整合あり



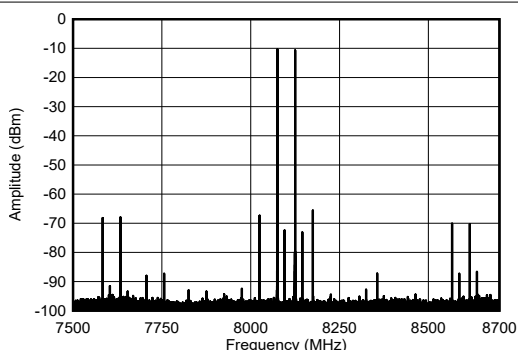
-12dBFS

図 4-208. TX シングル トーン出カスペクトル (8.11GHz)



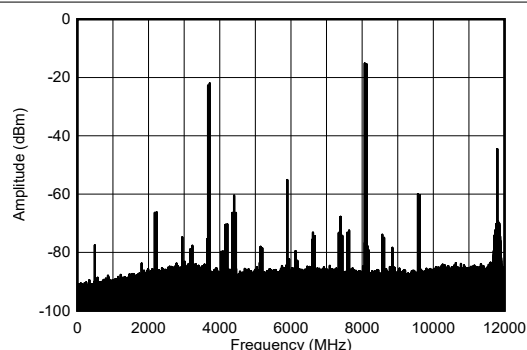
50MHz のトーン間隔、各トーン -7dBFS

図 4-209. TX デュアル トーン出カスペクトル (8.11GHz)



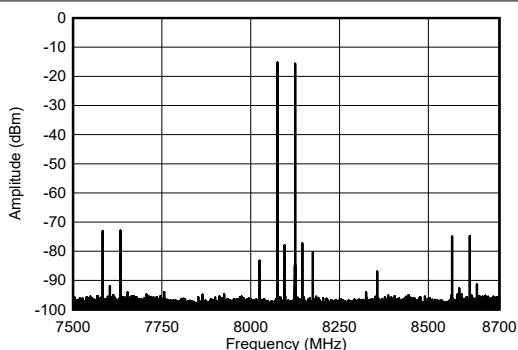
50MHz のトーン間隔、各トーン -7dBFS

図 4-210. TX デュアル トーン出カスペクトル (8.11GHz)



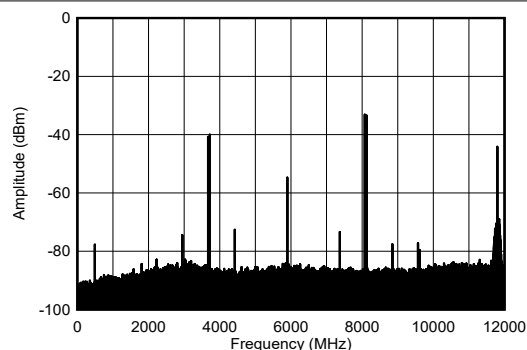
50MHz のトーン間隔、各トーン -12dBFS

図 4-211. TX デュアル トーン出カスペクトル (8.11GHz)



50MHz のトーン間隔、各トーン -12dBFS

図 4-212. TX デュアル トーン出カスペクトル (8.11GHz)

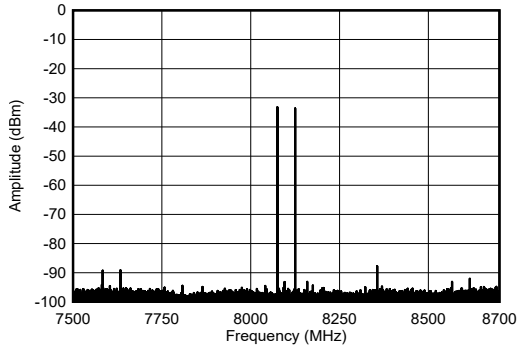


50MHz のトーン間隔、各トーン -30dBFS

図 4-213. TX デュアル トーン出カスペクトル (8.11GHz)

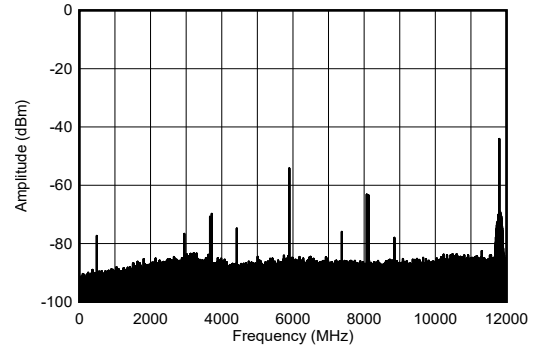
#### 4.12.6 TX 代表的特性 : 8.1GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、混合モード、1 次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$  による PLL クロック モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、DSA 較正済み、8.1GHz 整合あり



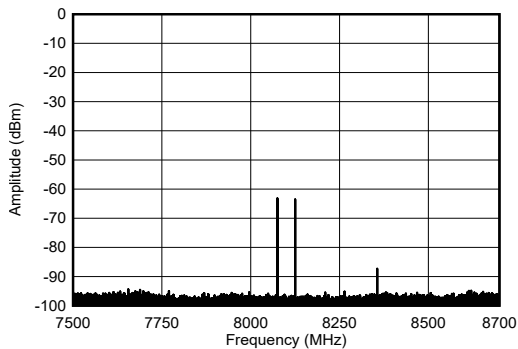
50MHz のトーン間隔、各トーン -30dBFS

図 4-214. TX デュアル トーン出カスペクトル (8.11GHz)



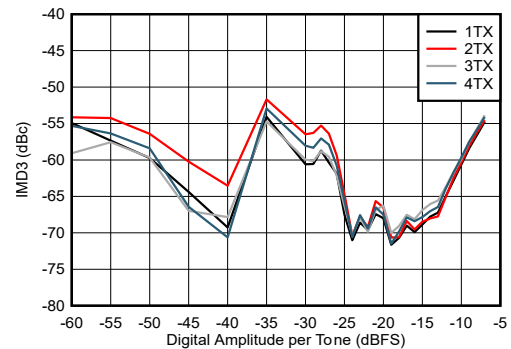
50MHz のトーン間隔、各トーン -60dBFS

図 4-215. TX デュアル トーン出カスペクトル (8.11GHz)



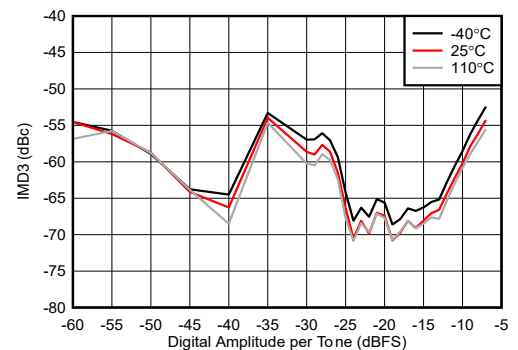
50MHz のトーン間隔、各トーン -60dBFS

図 4-216. TX デュアル トーン出カスペクトル (8.11GHz)



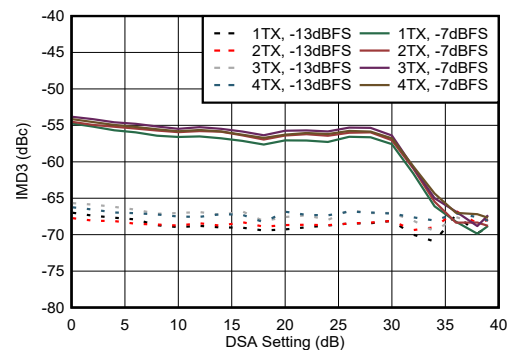
各トーン -7dBFS、50MHz のトーン間隔

図 4-217. TX IMD3 とデジタル振幅との関係 (8.11GHz)



各トーン -7dBFS、50MHz のトーン間隔

図 4-218. TX IMD3 とデジタル振幅との関係 (8.11GHz)

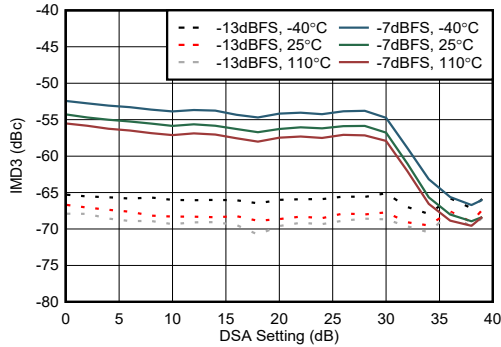


50MHz のトーン間隔

図 4-219. TX IMD3 と DSA 設定との関係 (8.11GHz)

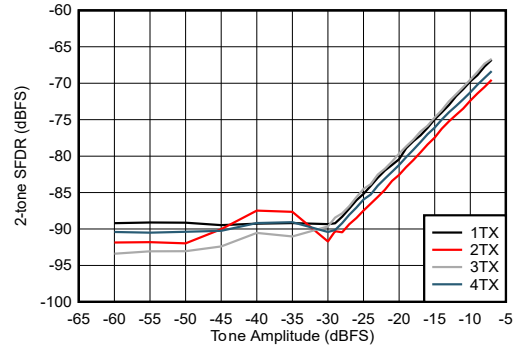
**4.12.6 TX 代表的特性 : 8.1GHz (続き)**

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、混合モード、1 次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$  による PLL クロック モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  較正済み、8.1GHz 整合あり



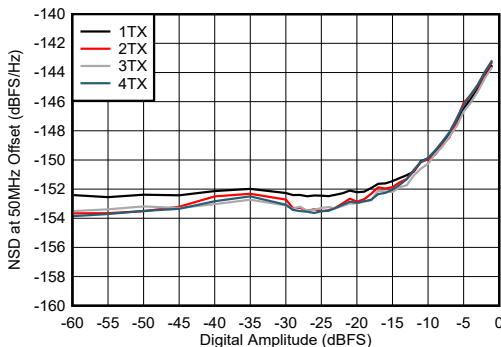
50MHz のトーン間隔

**図 4-220. TX IMD3 と DSA 設定との関係 (8.1GHz)**



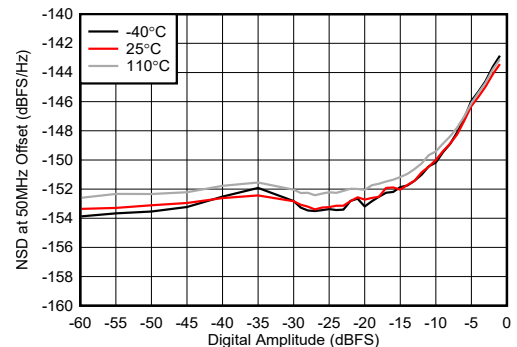
50MHz のトーン間隔

**図 4-221. TX 2 トーン SFDR とデジタル振幅との関係 (8.1GHz)**



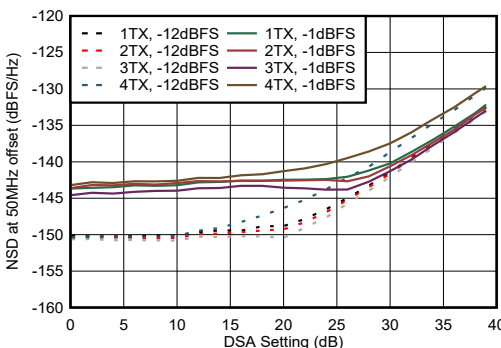
50MHz オフセット

**図 4-222. TX NSD とデジタル振幅との関係 (8.1GHz)**



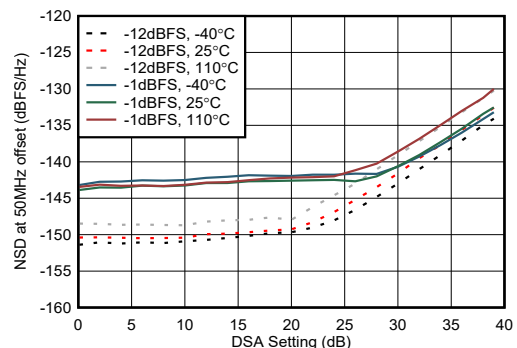
50MHz オフセット

**図 4-223. TX NSD とデジタル振幅との関係 (8.1GHz)**



50MHz オフセット

**図 4-224. TX NSD と DSA 設定との関係 (8.1GHz)**



50MHz オフセット

**図 4-225. TX NSD と DSA 設定との関係 (8.1GHz)**

#### 4.12.6 TX 代表的特性 : 8.1GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、混合モード、1 次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$  による PLL クロック モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  較正済み、8.1GHz 整合あり

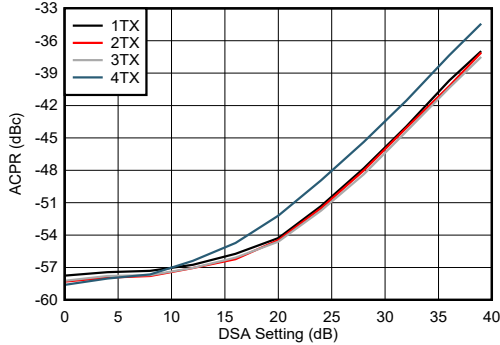


図 4-226. TX NR100MHz ACPR と DSA 設定との関係 (8.11GHz)

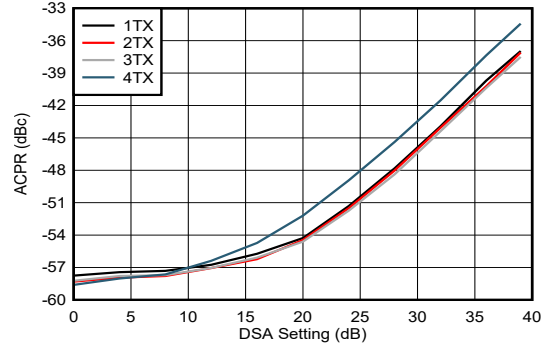


図 4-227. TX NR100MHz alt-ACPR と DSA 設定との関係 (8.11GHz)

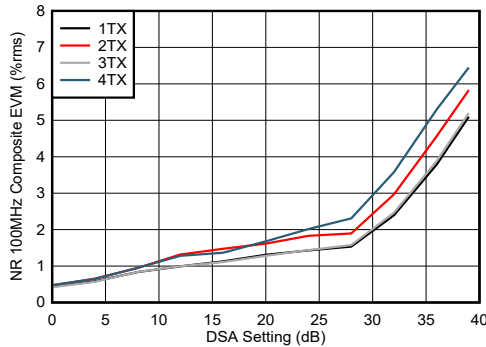


図 4-228. TX NR100MHz EVM と DSA 設定との関係 (8.11GHz)

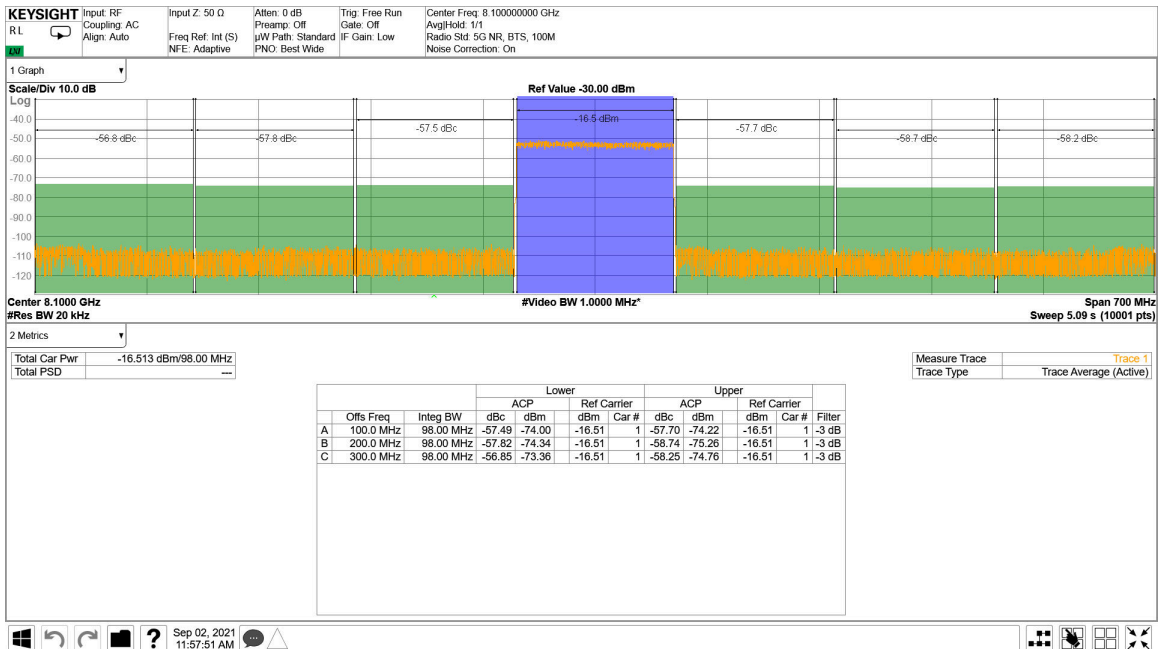


図 4-229. TX 100MHz NR 出力スペクトル (8.11GHz)

### 4.12.6 TX 代表的特性 : 8.1GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、混合モード、1 次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$  による PLL クロック モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  較正済み、8.1GHz 整合あり

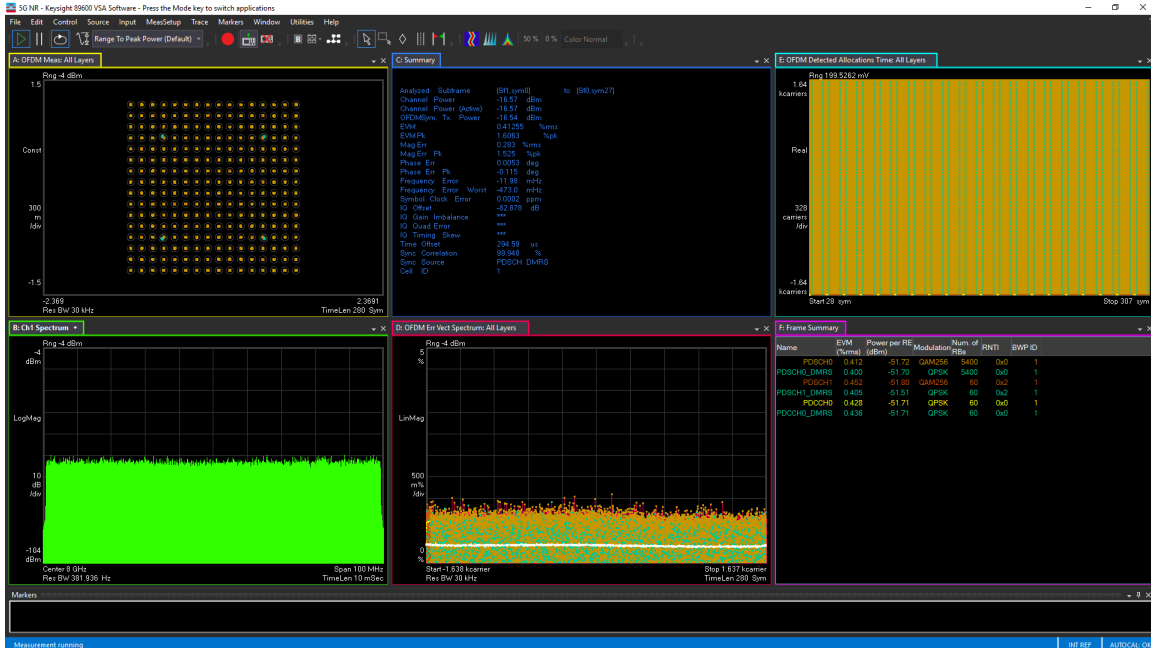


図 4-230. TX 100MHz NR EVM (8.11GHz)

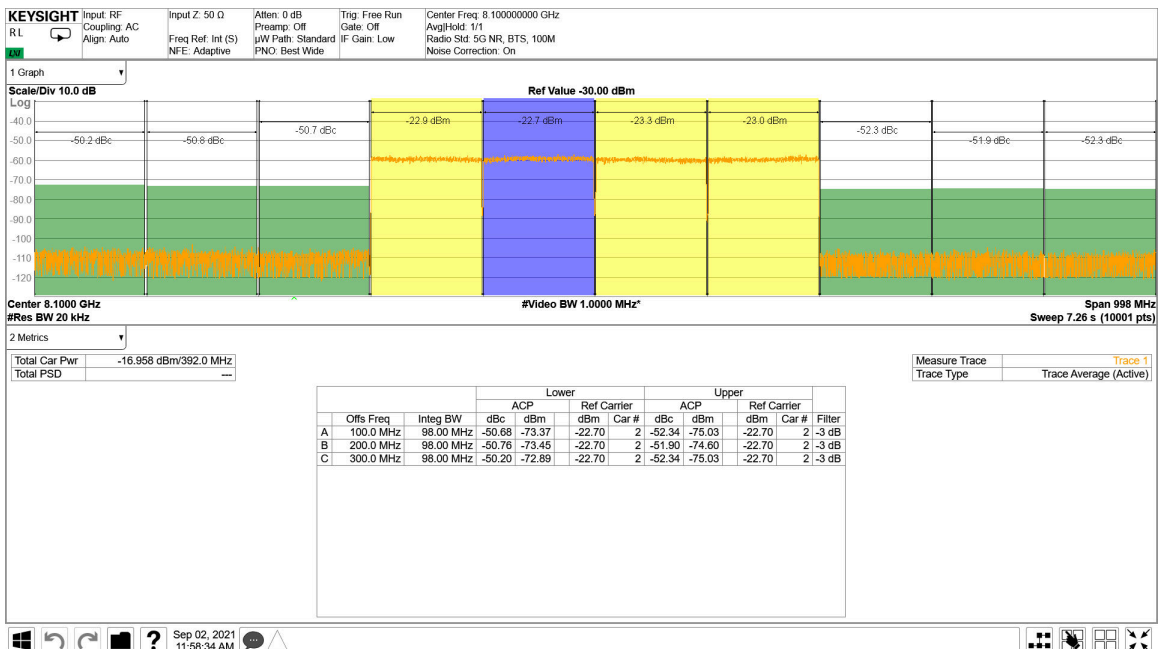


図 4-231. TX 4x100MHz NR 出力スペクトル (8.11GHz)

#### 4.12.6 TX 代表的特性 : 8.1GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (24x 補間)、混合モード、1 次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$  による PLL クロック モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  較正済み、8.1GHz 整合あり

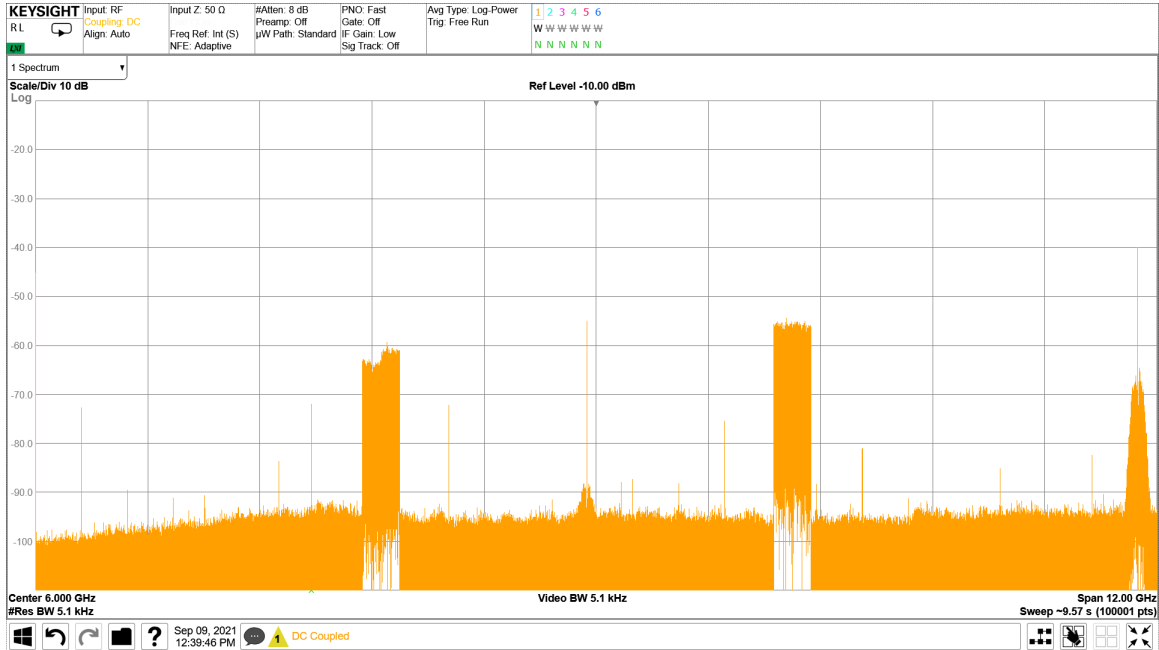
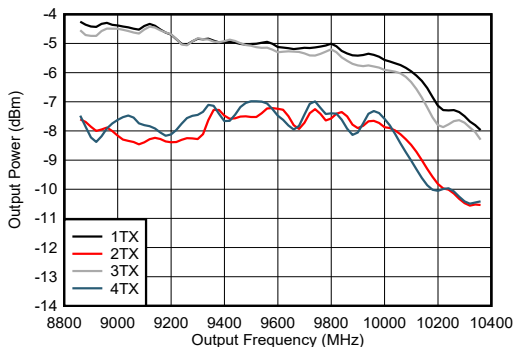


図 4-232. TX 4x100MHz NR 出力スペクトル (8.1GHz)

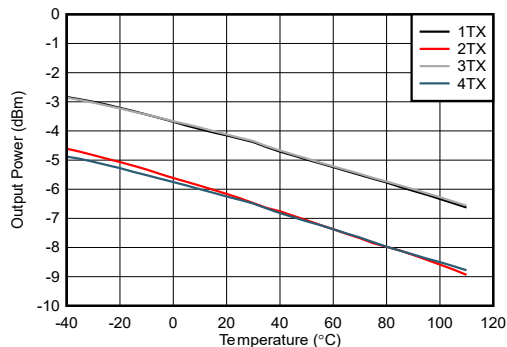
### 4.12.7 TX 代表的特性 : 9.6GHz

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 1474.56MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (8x 補間)、混合モード、1 次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$  による PLL クロック モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  較正済み、9.6GHz 整合あり



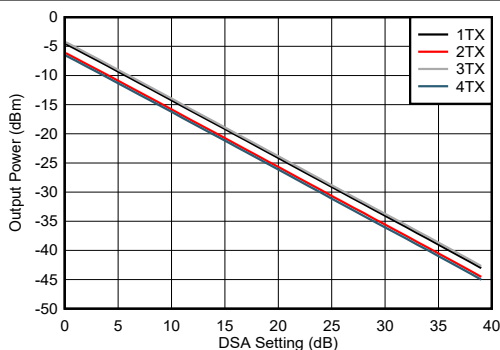
PCB とケーブルの損失を含む。

図 4-233. TX 出力電力と周波数との関係 (9.61GHz)



PCB とケーブルの損失を含む。

図 4-234. TX 出力電力と周波数との関係 (9.61GHz)



PCB とケーブルの損失を含む。

図 4-235. TX 出力電力と DSA 設定との関係 (9.61GHz)

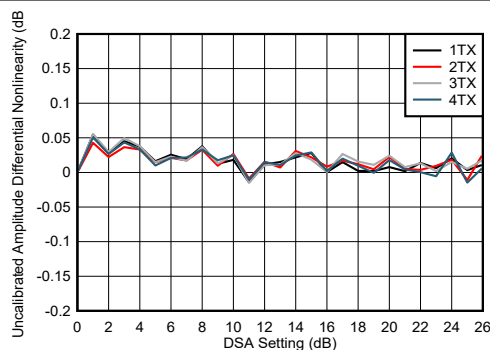


図 4-236. TX DSA 未較正振幅の微分非直線性

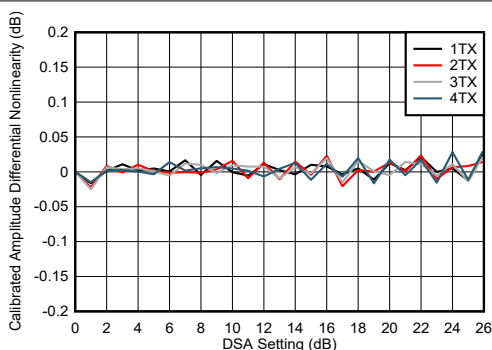


図 4-237. TX DSA 較正済み振幅の微分非直線性

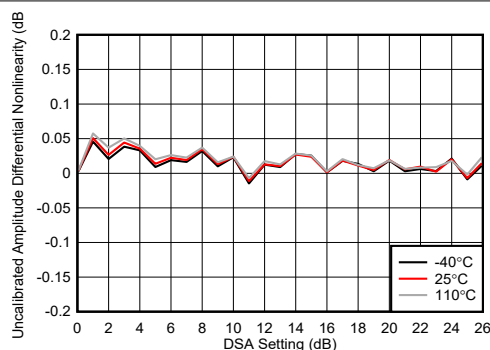


図 4-238. TX DSA 未較正振幅の微分非直線性

#### 4.12.7 TX 代表的特性 : 9.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 1474.56MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (8x 補間)、混合モード、1 次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$  による PLL クロック モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  較正済み、9.6GHz 整合あり

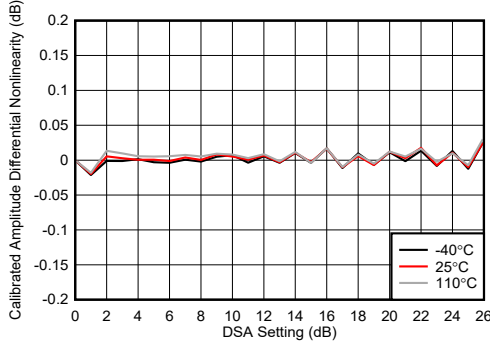


図 4-239. TX DSA 較正済み振幅の微分非直線性

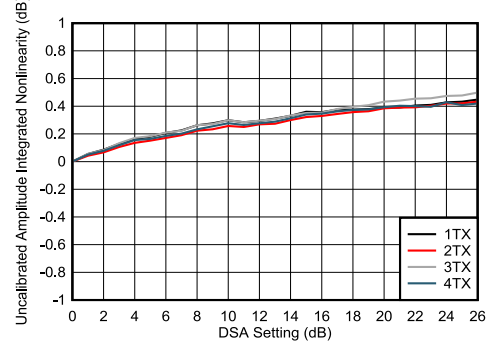


図 4-240. TX DSA 未較正振幅の積分非直線性

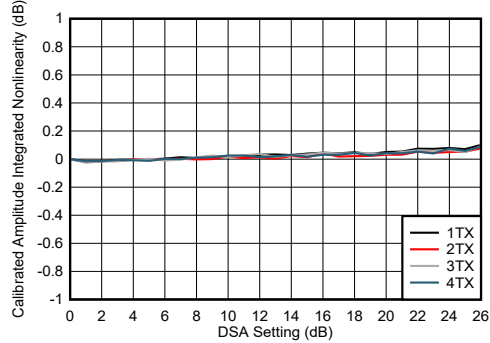


図 4-241. TX DSA 較正済み振幅の積分非直線性

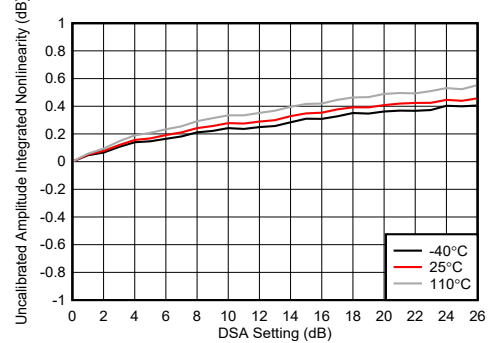


図 4-242. TX DSA 未較正振幅の積分非直線性

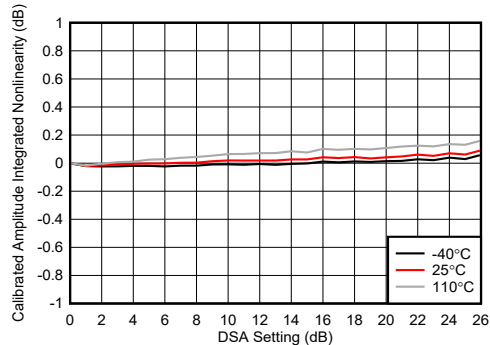


図 4-243. TX DSA 較正済み振幅の積分非直線性

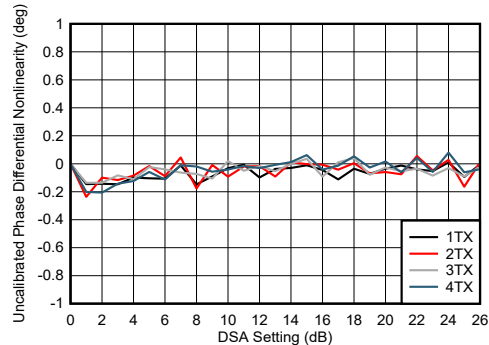


図 4-244. TX DSA 未較正位相の微分非直線性

4.12.7 TX 代表的特性 : 9.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 1474.56MSPS、 $f_{DAC} = 11796.48\text{MSPS}$  (8x 補間)、混合モード、1 次ナイキストゾーン出力、 $f_{REF} = 491.52\text{MHz}$  による PLL クロック モード、 $A_{OUT} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  較正済み、9.6GHz 整合あり

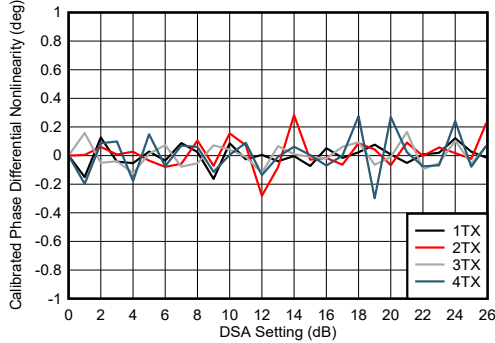


図 4-245. TX DSA 較正済み位相の微分非直線性

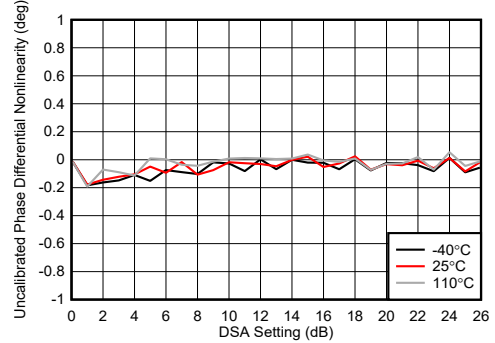


図 4-246. TX DSA 未較正位相の微分非直線性

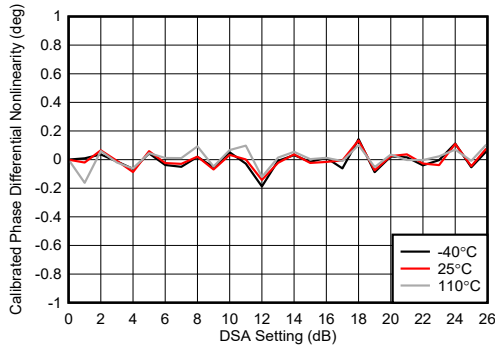


図 4-247. TX DSA 較正済み位相の微分非直線性

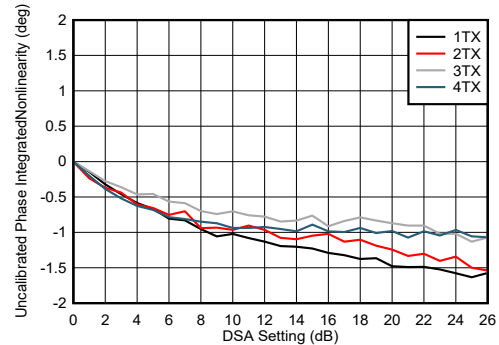


図 4-248. TX DSA 未較正位相の積分非直線性

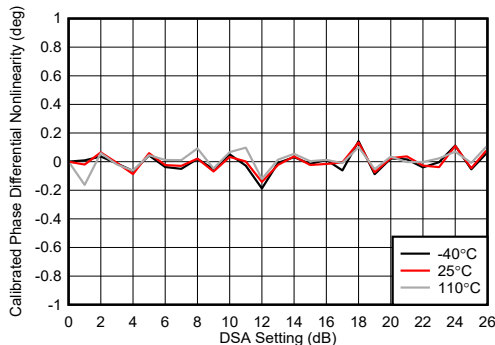


図 4-249. TX DSA 較正済み位相の積分非直線性

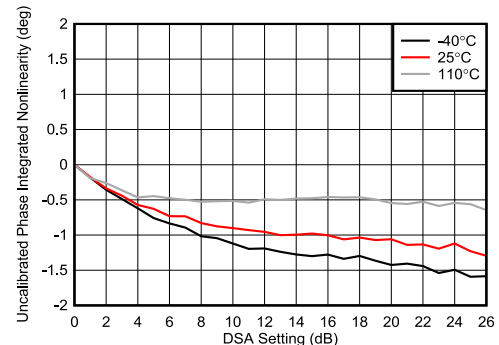


図 4-250. TX DSA 未較正位相の積分非直線性

#### 4.12.7 TX 代表的特性 : 9.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 1474.56MSPS、 $f_{DAC} = 11796.48\text{MSPS}$  (8x 補間)、混合モード、1 次ナイキストゾーン出力、 $f_{REF} = 491.52\text{MHz}$  による PLL クロック モード、 $A_{OUT} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  較正済み、9.6GHz 整合あり

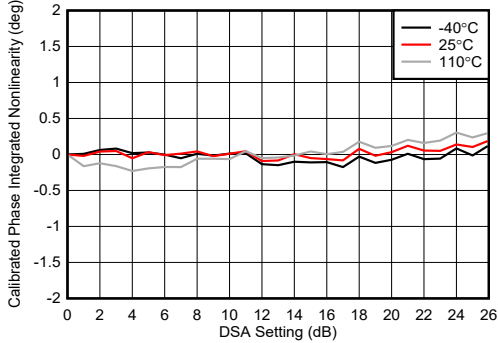
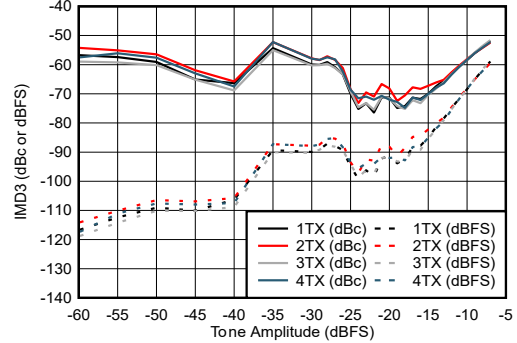
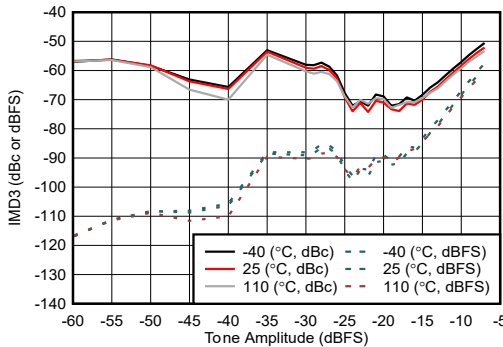


図 4-251. TX DSA 較正済み振幅の積分非直線性



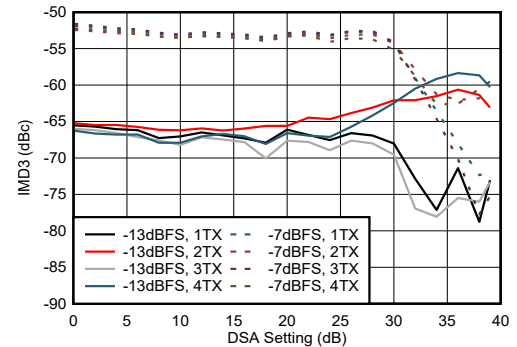
50MHz のトーン間隔

図 4-252. TX IMD3 とデジタル振幅との関係 (9.61GHz)



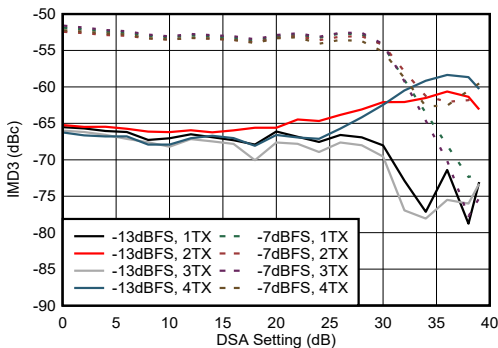
50MHz のトーン間隔

図 4-253. TX IMD3 とデジタル振幅との関係 (9.61GHz)



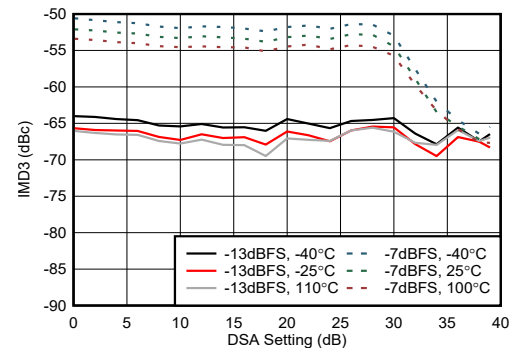
50MHz のトーン間隔

図 4-254. TX IMD3 と DSA 設定との関係 (9.61GHz)



50MHz のトーン間隔

図 4-255. TX IMD3 と DSA 設定との関係 (9.61GHz)



50MHz のトーン間隔

図 4-256. TX IMD3 と DSA 設定との関係 (9.61GHz)

### 4.12.7 TX 代表的特性 : 9.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 1474.56MSPS、 $f_{DAC} = 11796.48\text{MSPS}$  (8x 補間)、混合モード、1 次ナイキストゾーン出力、 $f_{REF} = 491.52\text{MHz}$  による PLL クロック モード、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $DSA$  較正済み、9.6GHz 整合あり

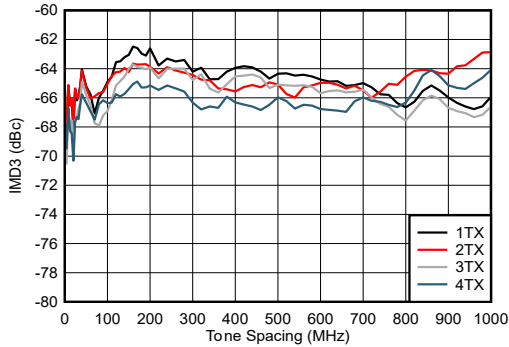


図 4-257. TX IMD3 とトーン間隔との関係 (9.61GHz)

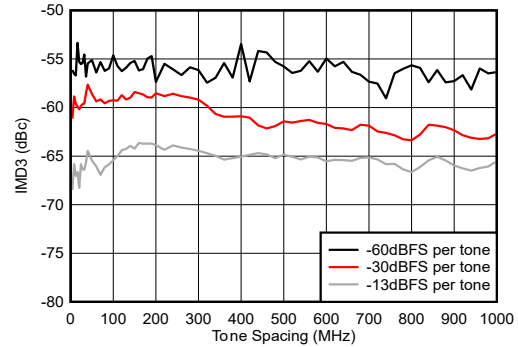


図 4-258. TX IMD3 とトーン間隔との関係 (9.61GHz)

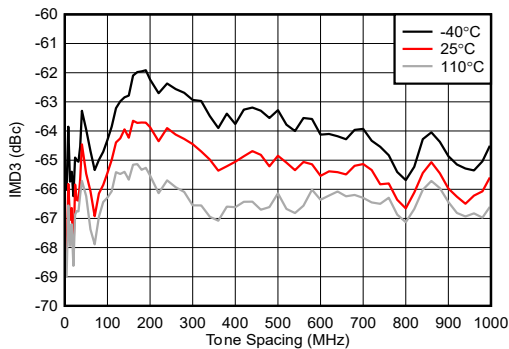


図 4-259. TX IMD3 とトーン間隔との関係 (9.61GHz)

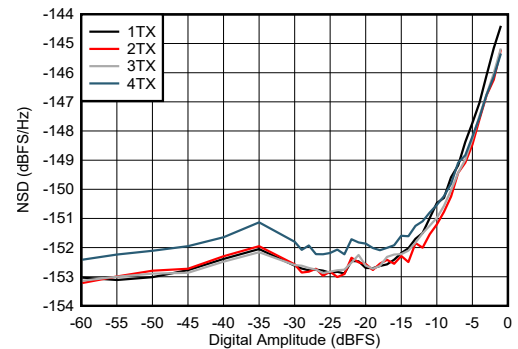


図 4-260. TX NSD とデジタル振幅との関係 (9.61GHz)

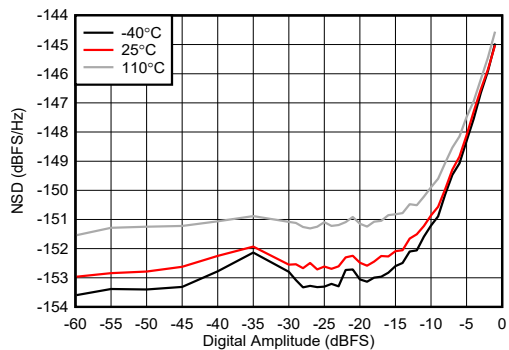


図 4-261. TX NSD とデジタル振幅との関係 (9.61GHz)

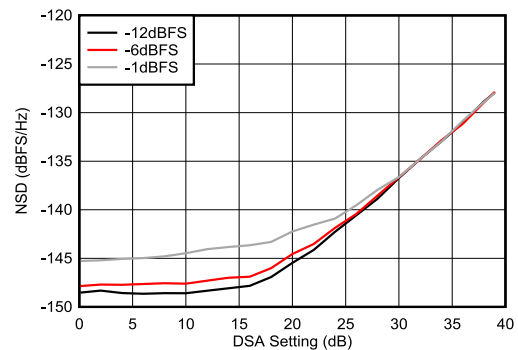


図 4-262. TX NSD と DSA 設定との関係 (9.61GHz)

#### 4.12.7 TX 代表的特性 : 9.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 1474.56MSPS、 $f_{DAC} = 11796.48\text{MSPS}$  (8x 補間)、混合モード、1 次ナイキストゾーン出力、 $f_{REF} = 491.52\text{MHz}$  による PLL クロック モード、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $DSA$  較正済み、9.6GHz 整合あり

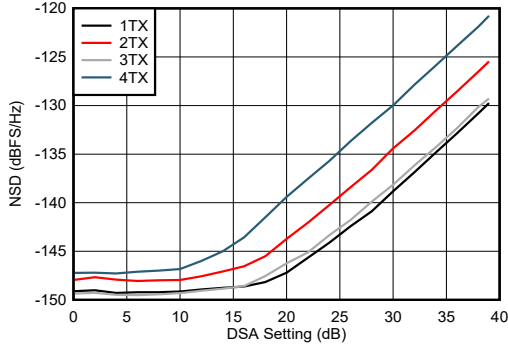


図 4-263. TX NSD と DSA 設定との関係 (9.61GHz)

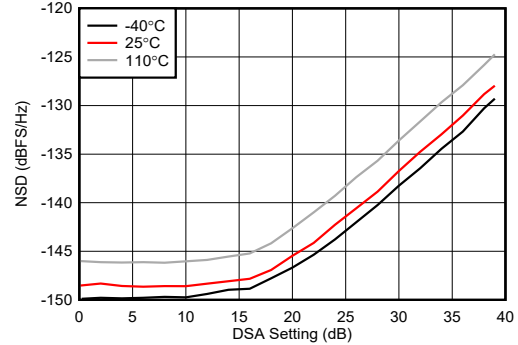
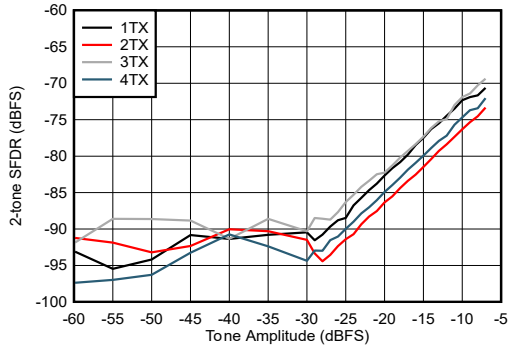
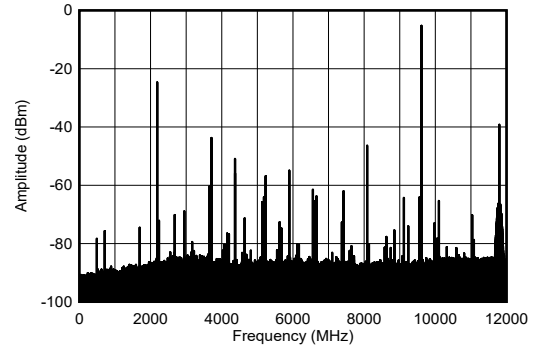


図 4-264. TX NSD と DSA 設定との関係 (9.61GHz)



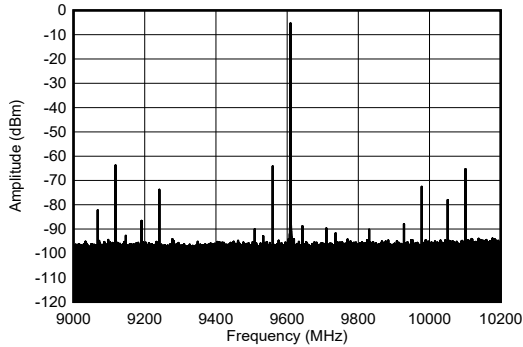
50MHz のトーン間隔

図 4-265. TX 2 トーン SFDR とデジタル振幅との関係 (9.61GHz)



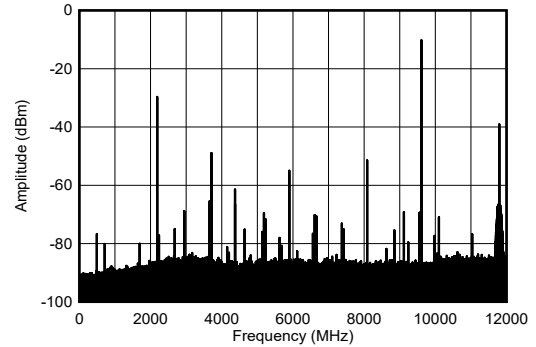
PCB とケーブルの損失を含む。

図 4-266. TX シングル トーン スペクトル (9.61GHz、-1dBFS、広帯域)



PCB とケーブルの損失を含む。

図 4-267. TX シングル トーン スペクトル (9.61GHz、-1dBFS、1.2GHz BW)

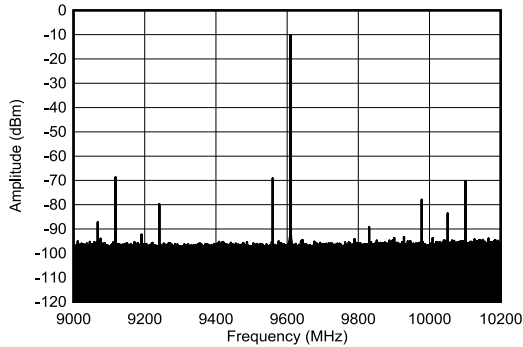


PCB とケーブルの損失を含む。

図 4-268. TX シングル トーン スペクトル (9.61GHz、-6dBFS、広帯域)

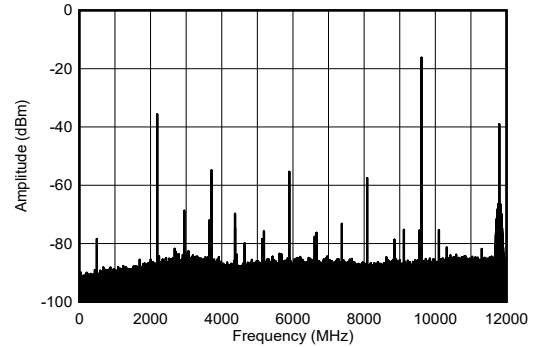
#### 4.12.7 TX 代表的特性 : 9.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 1474.56MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (8x 補間)、混合モード、1 次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$  による PLL クロック モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  較正済み、9.6GHz 整合あり



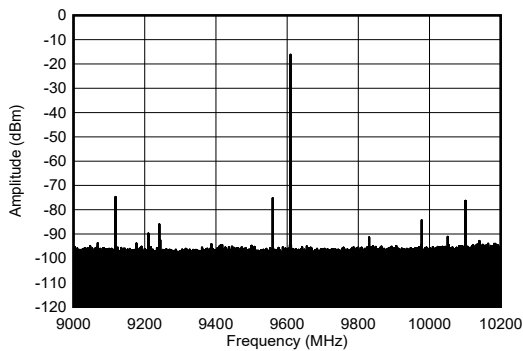
PCB とケーブルの損失を含む。

図 4-269. TX シングル トーン スペクトル (9.61GHz、-6dBFS、1.2GHz BW)



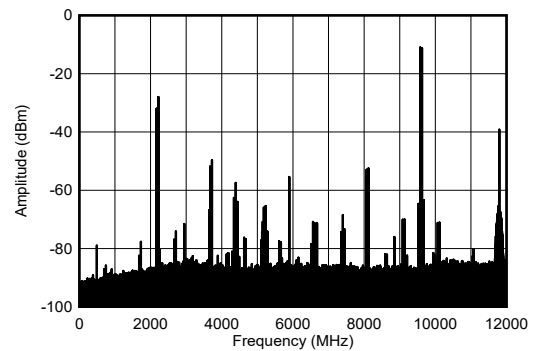
PCB とケーブルの損失を含む。

図 4-270. TX シングル トーン スペクトル (9.61GHz、-12dBFS、広帯域)



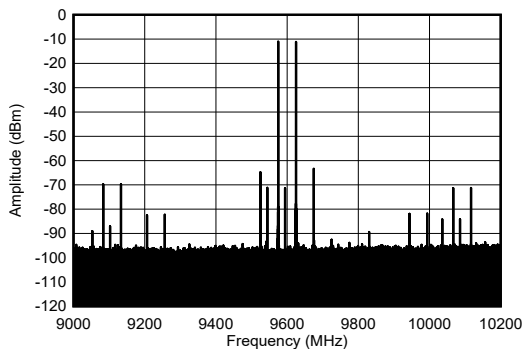
PCB とケーブルの損失を含む。

図 4-271. TX シングル トーン スペクトル (9.61GHz、-12dBFS、1.2GHz BW)



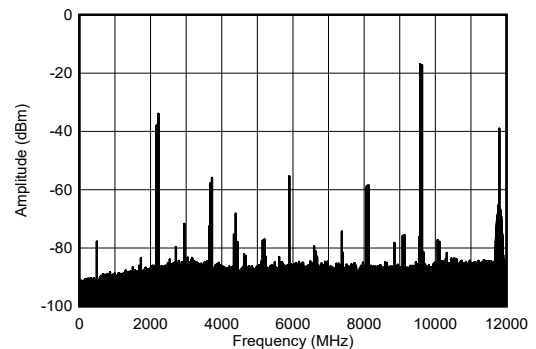
PCB とケーブルの損失を含む。50MHz のトーン間隔。

図 4-272. TX 2 トーン スペクトル (9.61GHz、-7dBFS、広帯域)



PCB とケーブルの損失を含む。50MHz のトーン間隔。

図 4-273. TX 2 トーン スペクトル (9.61GHz、-7dBFS、1.2GHz BW)

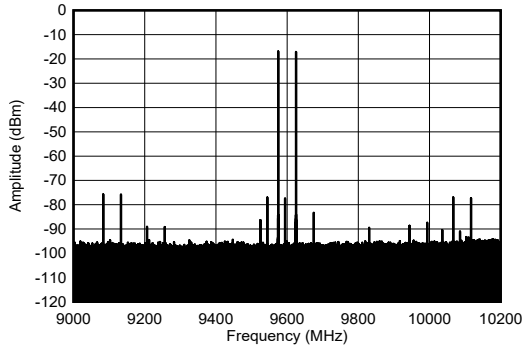


PCB とケーブルの損失を含む。50MHz のトーン間隔。

図 4-274. TX 2 トーン スペクトル (9.61GHz、-13dBFS、広帯域)

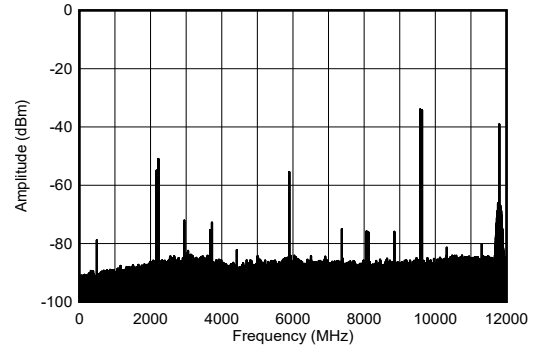
#### 4.12.7 TX 代表的特性 : 9.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 1474.56MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$  (8x 補間)、混合モード、1 次ナイキストゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$  による PLL クロック モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $\text{DSA}$  較正済み、9.6GHz 整合あり



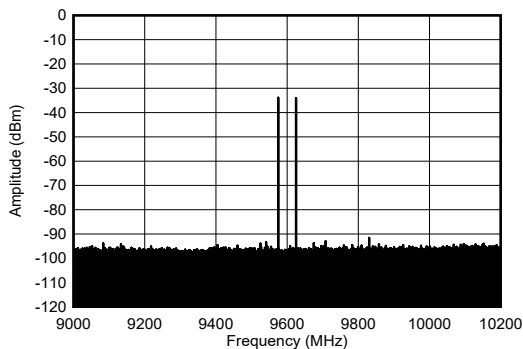
PCB とケーブルの損失を含む。50MHz のトーン間隔。

図 4-275. TX 2 トーン スペクトル (9.61GHz、-13dBFS、1.2GHz BW)



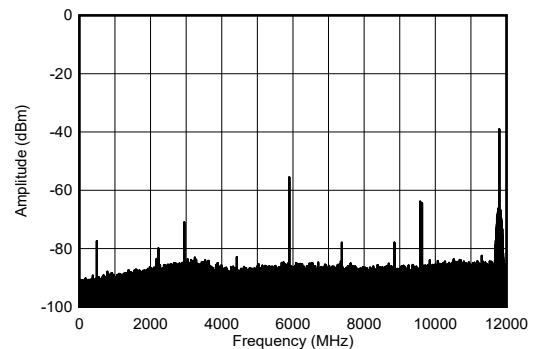
PCB とケーブルの損失を含む。50MHz のトーン間隔。

図 4-276. TX 2 トーン スペクトル (それぞれ 9.61GHz、-30dBFS、広帯域)



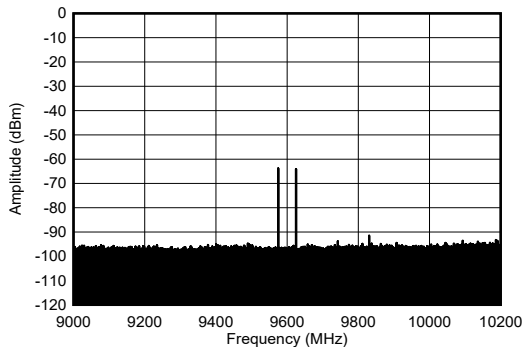
PCB とケーブルの損失を含む。50MHz のトーン間隔。

図 4-277. TX 2 トーン スペクトル (それぞれ各 9.61GHz、-30dBFS、1.2GHz BW)



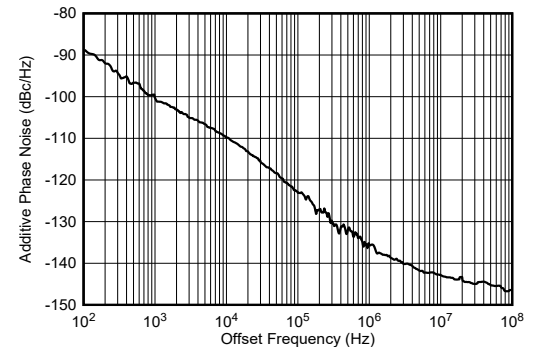
PCB とケーブルの損失を含む。50MHz のトーン間隔。

図 4-278. TX 2 トーン スペクトル (それぞれ 9.61GHz、-60dBFS、広帯域)



PCB とケーブルの損失を含む。50MHz のトーン間隔。

図 4-279. TX 2 トーン スペクトル (それぞれ各 9.61GHz、-60dBFS、1.2GHz BW)



シングル サイドバンド、外部クロック モード、入力クロックの位相ノイズを除外済み。

図 4-280. TX 付加位相ノイズとオフセット周波数との関係 (9.61GHz)

### 4.12.7 TX 代表的特性 : 9.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 1474.56MSPS、 $f_{DAC} = 11796.48\text{MSPS}$  (8x 補間)、混合モード、1 次ナイキストゾーン出力、 $f_{REF} = 491.52\text{MHz}$  による PLL クロック モード、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $DSA$  較正済み、9.6GHz 整合あり

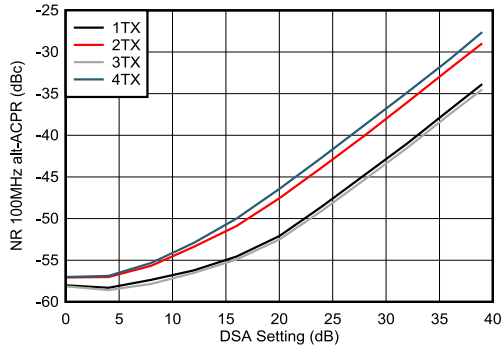


図 4-281. TX NR100MHz ACPR と DSA 設定との関係 (9.61GHzTX NR100MHz alt-ACPR と DSA 設定 9.61GHz)

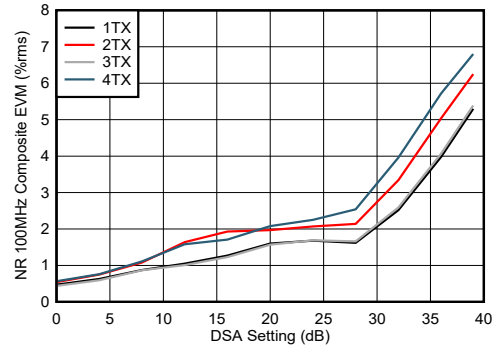
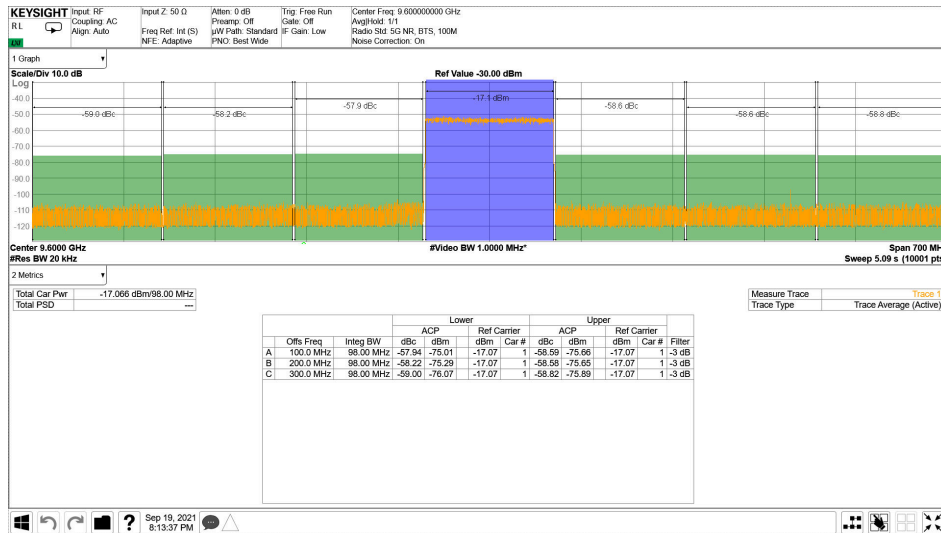


図 4-282. TX NR100MHz EVM と DSA 設定との関係 (9.61GHz)

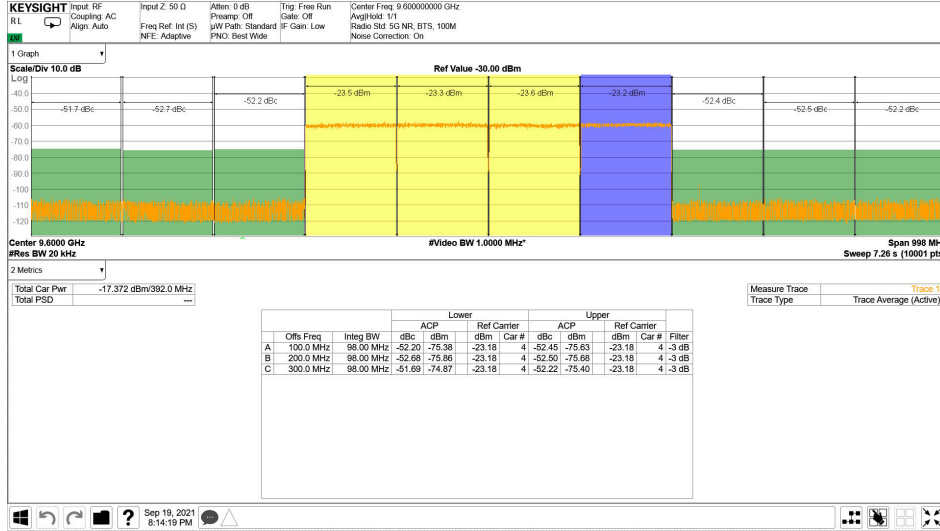


PCB とケーブルの損失を含む。

図 4-283. TX NR100MHz 出力スペクトル (9.61GHz)

#### 4.12.7 TX 代表的特性 : 9.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 1474.56MSPS、 $f_{DAC} = 11796.48\text{MSPS}$  (8x 補間)、混合モード、1 次ナイキストゾーン出力、 $f_{REF} = 491.52\text{MHz}$  による PLL クロック モード、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$  イネーブル、 $DSA$  較正済み、9.6GHz 整合あり

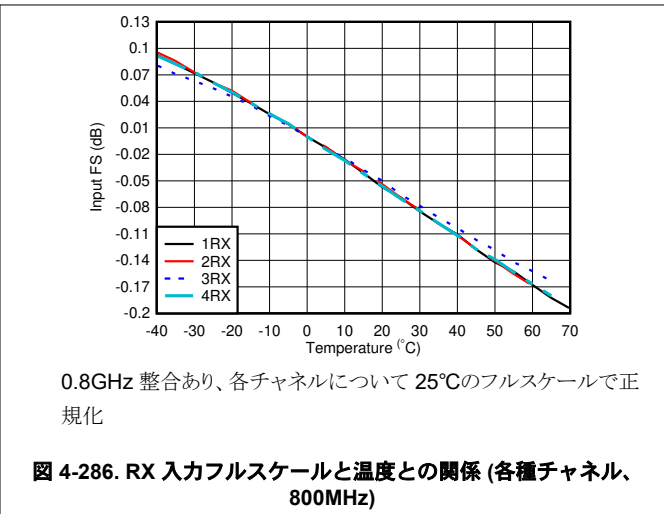
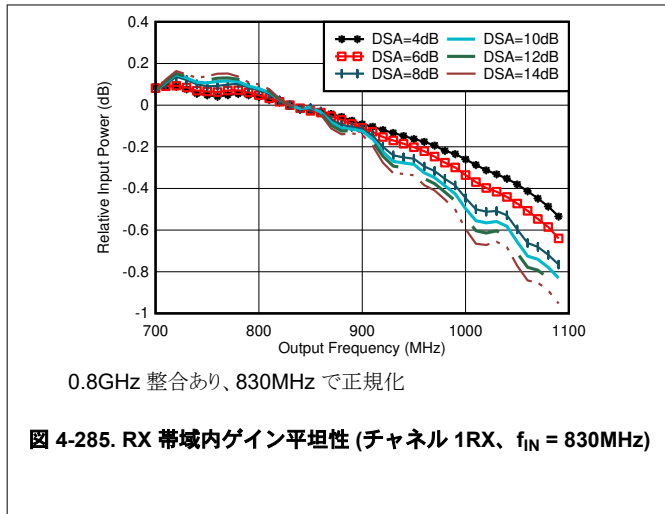


PCB とケーブルの損失を含む。

図 4-284. TX 4xNR100MHz 出力スペクトル (9.61GHz)

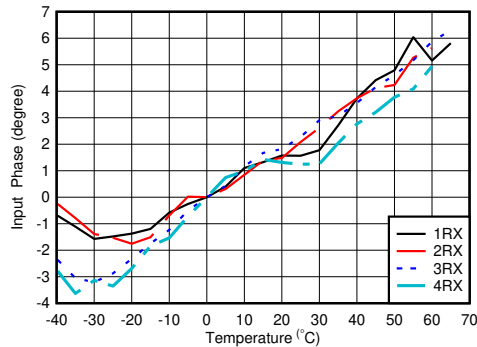
#### 4.12.8 RX 代表的特性 : 800MHz

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12GHz での代表値。デフォルト条件: 出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、 $f_{REF} = 491.52\text{MHz}$  の PLL クロック モード、 $A_{IN} = -3\text{dBFS}$ 、 $DSA$  設定 = 4dB。



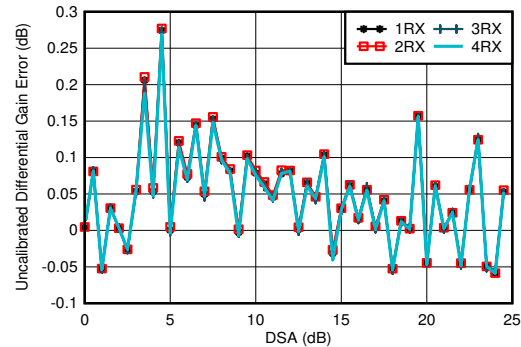
4.12.8 RX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルングレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (1/6 にデシメーション)、 $f_{REF} = 491.52\text{MHz}$  の PLL クロック モード、 $A_{IN} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



0.8GHz 整合あり、25°Cの位相で正規化

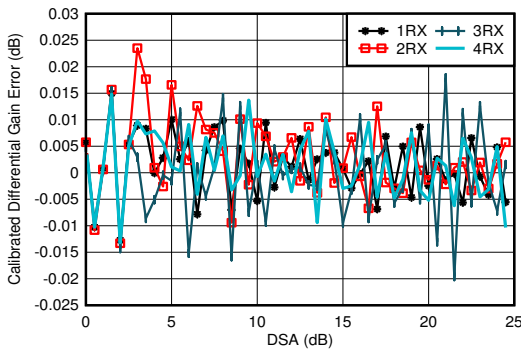
図 4-287. RX 入力位相と温度との関係 (各種 DSA、 $f_{OUT} = 0.8\text{GHz}$ )



0.8GHz 整合あり

微分振幅誤差 =  $P_{IN}(\text{DSA 設定} - 1) - P_{IN}(\text{DSA 設定}) + 1$

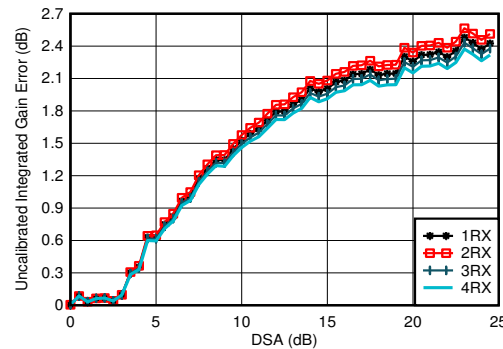
図 4-288. RX 未校正微分振幅誤差と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり

微分振幅誤差 =  $P_{IN}(\text{DSA 設定} - 1) - P_{IN}(\text{DSA 設定}) + 1$

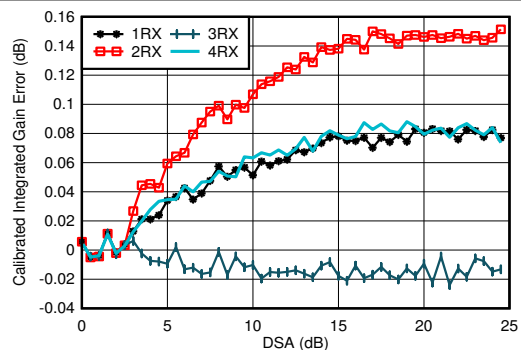
図 4-289. RX 校正済み微分振幅誤差と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり

積分振幅誤差 =  $P_{IN}(\text{DSA 設定}) - P_{IN}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

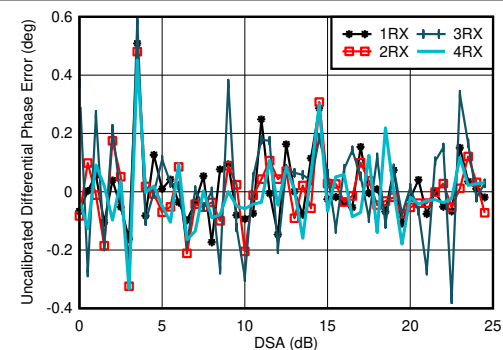
図 4-290. RX 未校正積分振幅誤差と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり

積分振幅誤差 =  $P_{IN}(\text{DSA 設定}) - P_{IN}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 4-291. RX 校正済み積分振幅誤差と DSA 設定との関係 (2.6GHz)



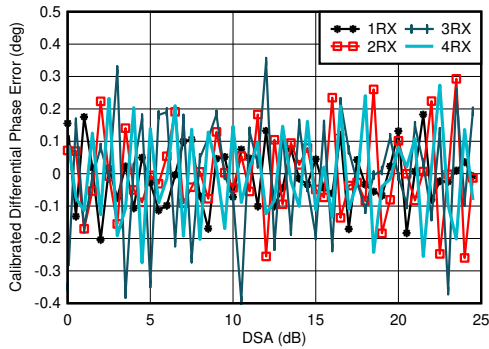
0.8GHz 整合あり

微分位相誤差 =  $\text{Phase}_{IN}(\text{DSA 設定} - 1) - \text{Phase}_{IN}(\text{DSA 設定})$

図 4-292. RX 未校正微分位相誤差と DSA 設定との関係 (0.8GHz)

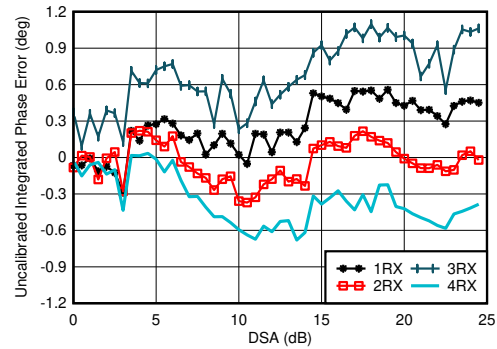
#### 4.12.8 RX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルングレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$  の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



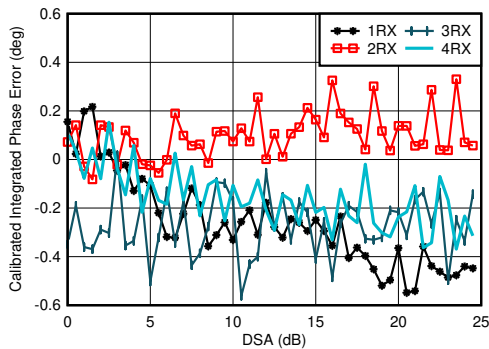
0.8GHz 整合あり  
微分位相誤差 =  $\text{Phase}_{\text{IN}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{IN}}(\text{DSA 設定})$

図 4-293. RX 較正済み微分位相誤差と DSA 設定との関係 (0.8GHz)



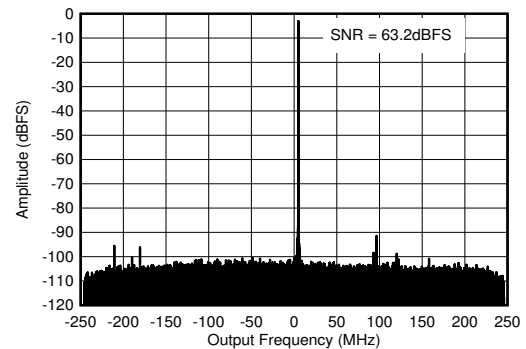
0.8GHz 整合あり  
積分位相誤差 =  $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 4-294. RX 未校正積分位相誤差と DSA 設定との関係 (0.8GHz)



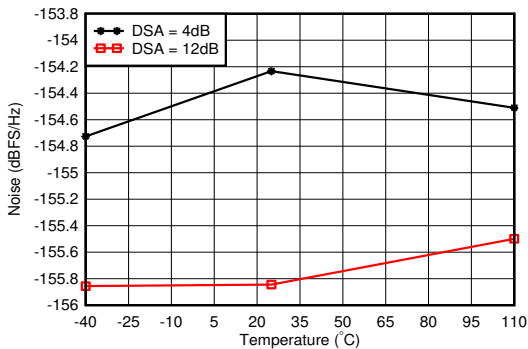
0.8GHz 整合あり  
積分位相誤差 =  $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 4-295. RX 較正済み積分位相誤差と DSA 設定との関係 (0.8GHz)



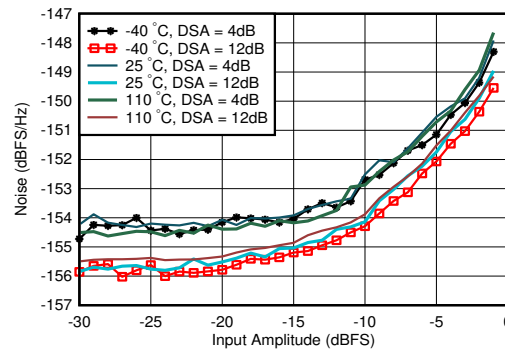
0.8GHz 整合あり、 $f_{\text{IN}} = 840\text{MHz}$ 、 $A_{\text{IN}} = -3\text{dBFS}$

図 4-296. RX 出力 FFT (0.8GHz)



0.8GHz 整合あり、トーンから 12.5MHz オフセット

図 4-297. RX ノイズスペクトル密度と温度との関係 (0.8GHz)

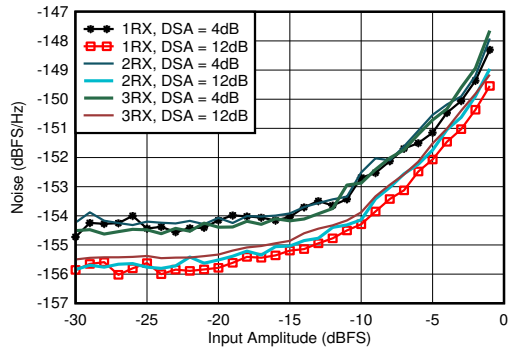


0.8GHz 整合あり、DSA 設定 = 12dB、トーンから 12.5MHz オフセット

図 4-298. RX ノイズスペクトル密度と入力振幅との関係 (各種温度、0.8GHz)

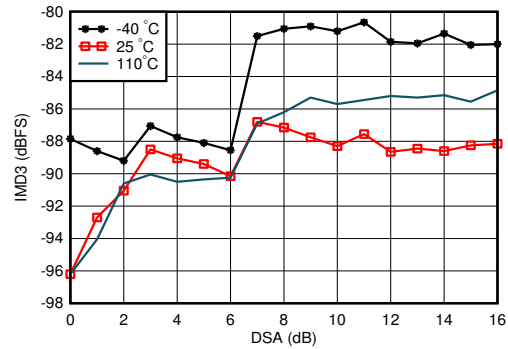
4.12.8 RX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルングレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$  の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



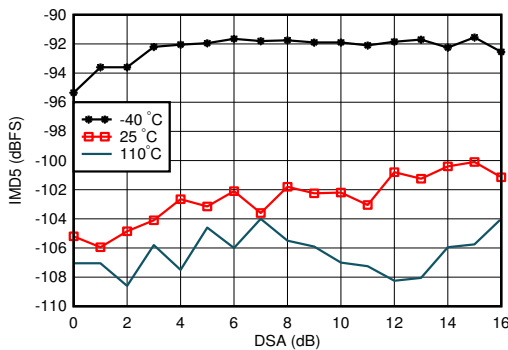
0.8GHz 整合あり、トーンから 12.5MHz オフセット

図 4-299. RX ノイズ スペクトル密度と入力振幅との関係 (各種チャネル、0.8GHz)



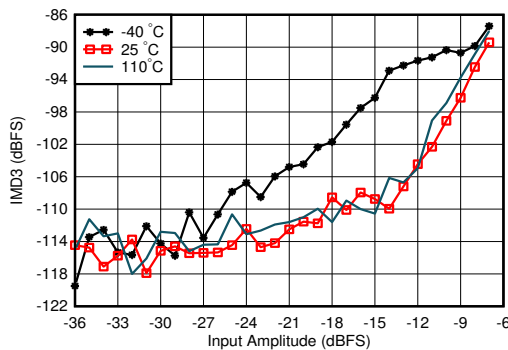
A. 0.8GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 4-300. RX IMD3 と DSA 設定との関係 (各種温度、0.8GHz)



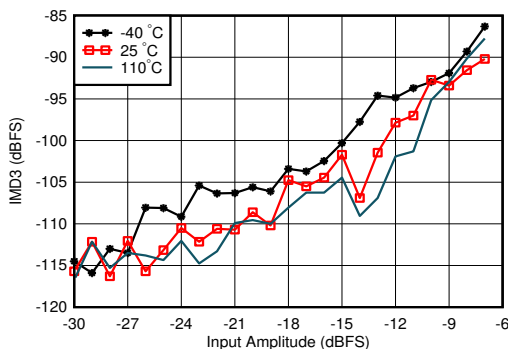
0.8GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 4-301. RX IMD5 と DSA 設定との関係 (各種温度、0.8GHz)



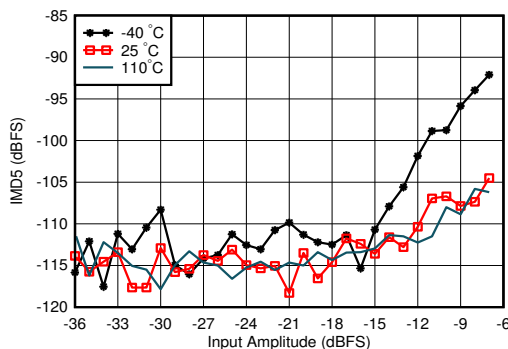
0.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 4dB

図 4-302. RX IMD3 と入力レベルとの関係 (各種温度、0.8GHz)



0.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 4-303. RX IMD3 と入力レベルとの関係 (各種温度、0.8GHz)

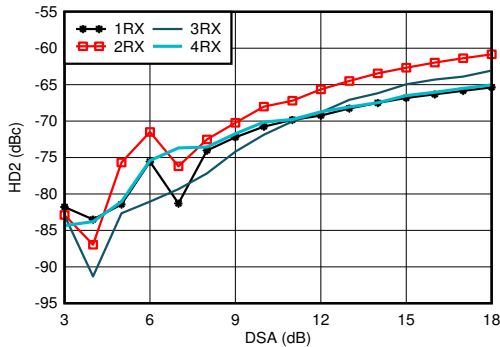


0.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 4-304. RX IMD5 と入力レベルとの関係 (各種温度、0.8GHz)

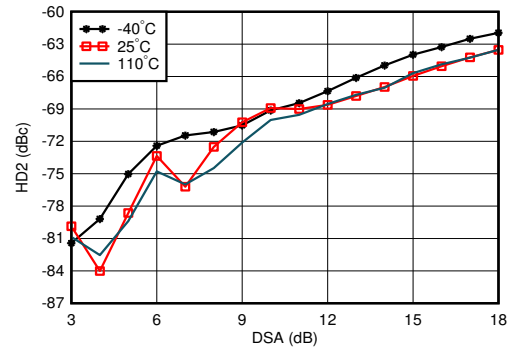
#### 4.12.8 RX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルングレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$  の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



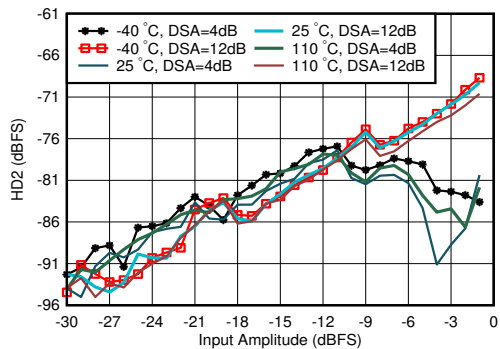
0.8GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-305. RX HD2 と DSA 設定との関係 (各種チャンネル、0.8GHz)



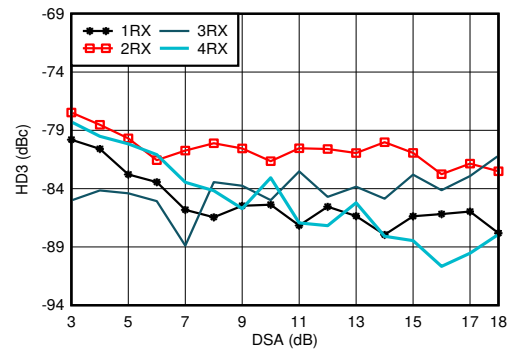
0.8GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-306. RX HD2 と DSA 設定との関係 (各種温度、0.8GHz)



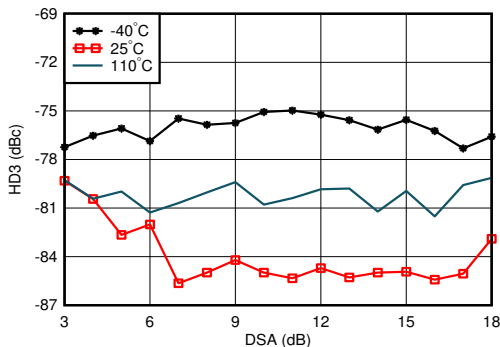
0.8GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-307. RX HD2 と入力レベルとの関係 (各種温度、0.8GHz)



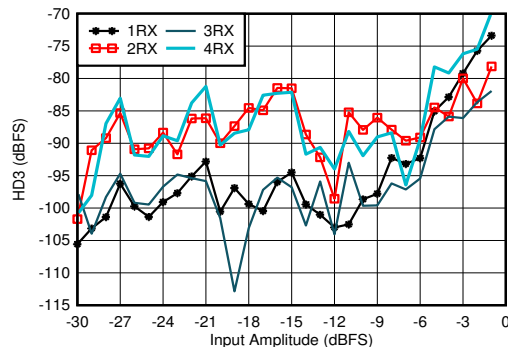
0.8GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-308. RX HD3 と DSA 設定との関係 (各種チャンネル、0.8GHz)



0.8GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-309. RX HD3 と DSA 設定との関係 (各種温度、0.8GHz)

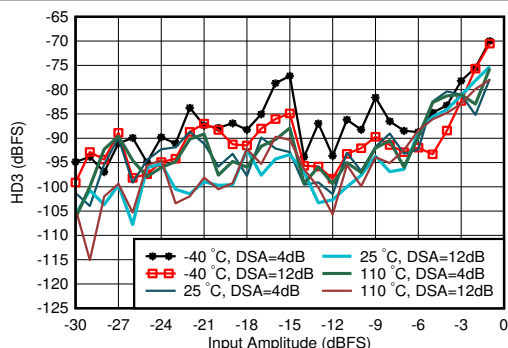


0.8GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-310. RX HD3 と入力レベルとの関係 (各種チャンネル、0.8GHz)

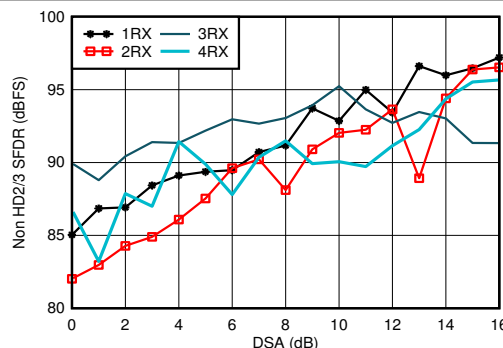
4.12.8 RX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、 $f_{REF} = 491.52\text{MHz}$  の PLL クロック モード、 $A_{IN} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



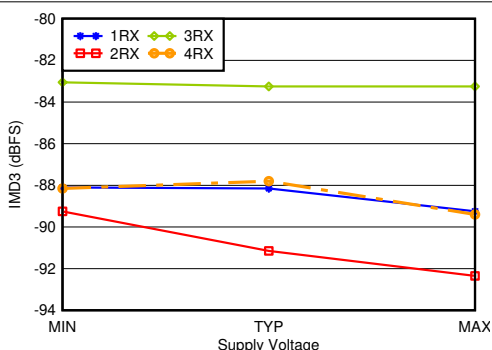
0.8GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-311. RX HD3 と入力レベルとの関係 (各種温度、0.8GHz)



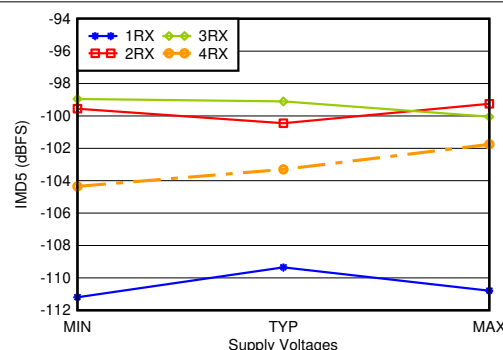
0.8GHz 整合あり

図 4-312. RX (HD2/3 を除く) と DSA 設定との関係 (0.8GHz)



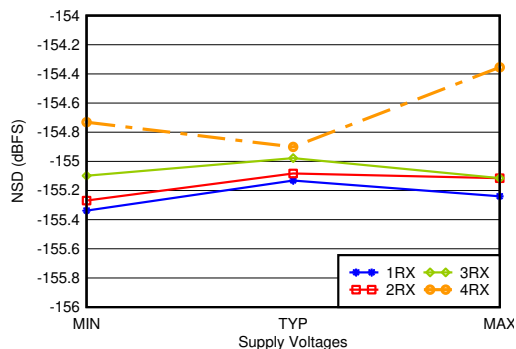
0.8GHz 整合あり、各トーン  $-7\text{dBFS}$ 、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-313. RX IMD3 と電源電圧との関係 (各種チャネル、0.8GHz)



0.8GHz 整合あり、各トーン  $-7\text{dBFS}$ 、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-314. RX IMD5 と電源電圧との関係 (各種チャネル、0.8GHz)

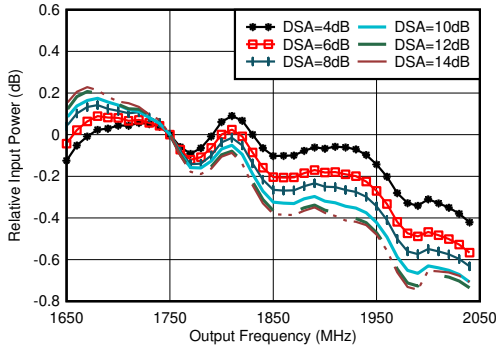


0.8GHz 整合あり、12.5MHz オフセット、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-315. RX ノイズ スペクトル密度と電源電圧との関係 (各種チャネル、0.8GHz)

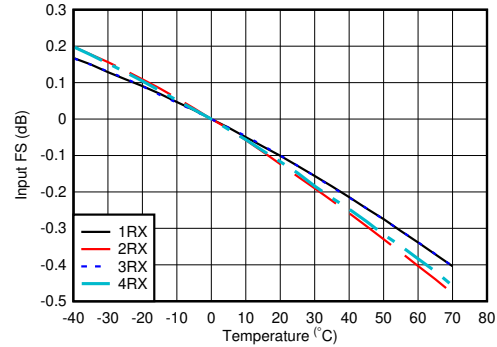
#### 4.12.9 RX の代表的特性 (1.75~1.9 GHz 時)

$T_A = +25^\circ\text{C}$ 、ADC サンプルングレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$  の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



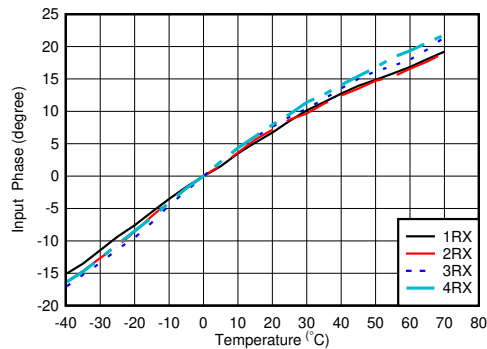
1.8GHz 整合あり、1.75GHz で正規化

図 4-316. RX 帯域内ゲイン平坦性 ( $f_{\text{IN}} = 1750\text{MHz}$ )



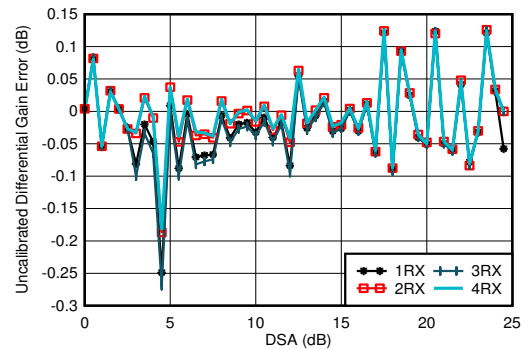
1.8GHz 整合あり、各チャンネルについて 25°C のフルスケールで正規化

図 4-317. RX 入力フルスケールと温度との関係 (各種チャンネル、1.75GHz)



2.6GHz 整合あり、25°C の位相で正規化

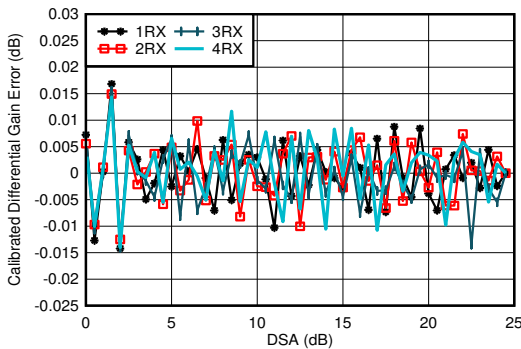
図 4-318. RX 入力位相と温度との関係 (各種 DSA、 $f_{\text{IN}} = 1.75\text{GHz}$ )



1.8GHz 整合あり

微分振幅誤差 =  $P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$

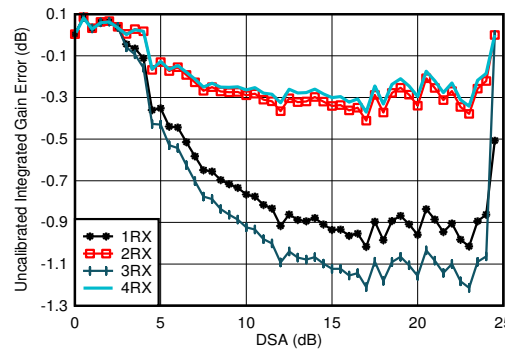
図 4-319. RX 未校正微分振幅誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

微分振幅誤差 =  $P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$

図 4-320. RX 校正済み微分振幅誤差と DSA 設定との関係 (1.75GHz)



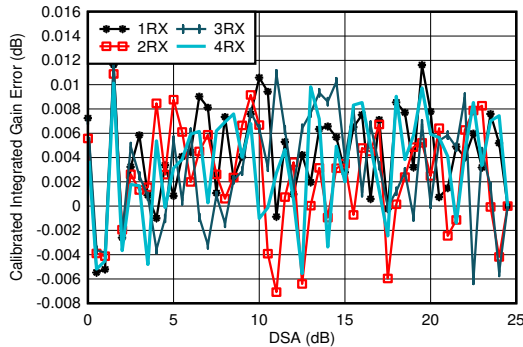
1.8GHz 整合あり

積分振幅誤差 =  $P_{\text{IN}}(\text{DSA 設定}) - P_{\text{IN}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 4-321. RX 未校正積分振幅誤差と DSA 設定との関係 (1.75GHz)

4.12.9 RX の代表的特性 (1.75~1.9 GHz 時) (続き)

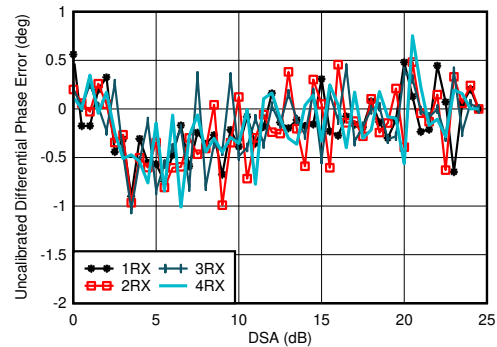
$T_A = +25^\circ\text{C}$ 、ADC サンプルングレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (1/6 にデシメーション)、 $f_{REF} = 491.52\text{MHz}$  の PLL クロック モード、 $A_{IN} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



1.8GHz 整合あり

積分振幅誤差 =  $P_{IN}(\text{DSA 設定}) - P_{IN}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

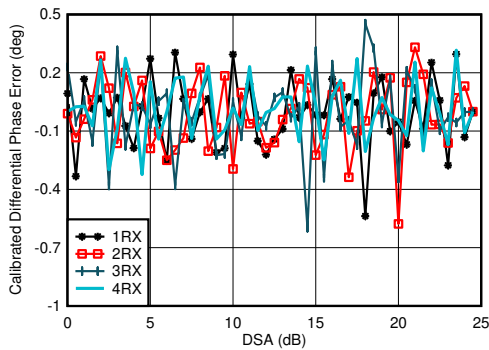
図 4-322. RX 較正済み積分振幅誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

微分位相誤差 =  $\text{Phase}_{IN}(\text{DSA 設定} - 1) - \text{Phase}_{IN}(\text{DSA 設定})$

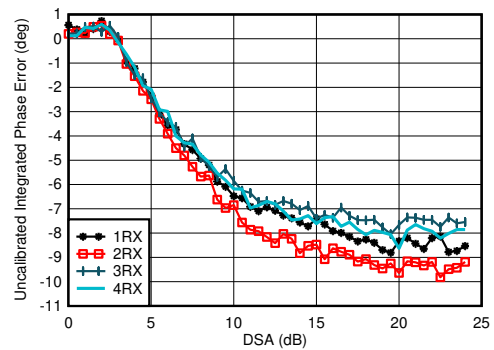
図 4-323. RX 未較正微分位相誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

微分位相誤差 =  $\text{Phase}_{IN}(\text{DSA 設定} - 1) - \text{Phase}_{IN}(\text{DSA 設定})$

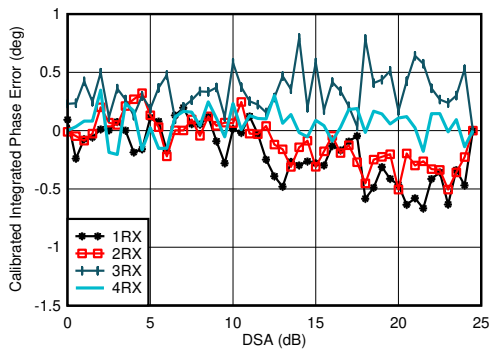
図 4-324. RX 較正済み微分位相誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

積分位相誤差 =  $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

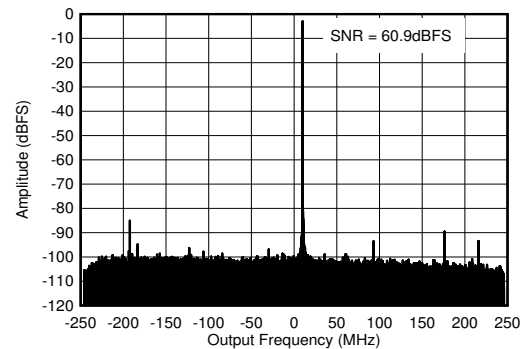
図 4-325. RX 未較正積分位相誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

積分位相誤差 =  $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 4-326. RX 較正済み積分位相誤差と DSA 設定との関係 (1.75GHz)

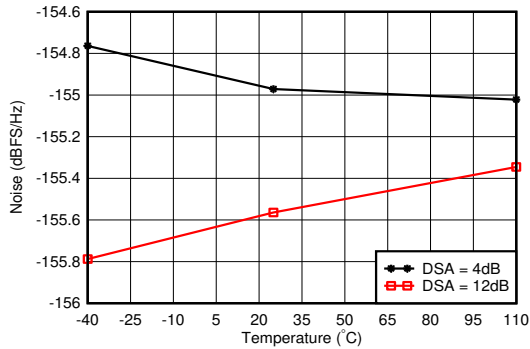


1.8GHz 整合あり、 $f_{IN} = 2610\text{MHz}$ 、 $A_{IN} = -3\text{dBFS}$

図 4-327. RX 出力 FFT (1.75GHz)

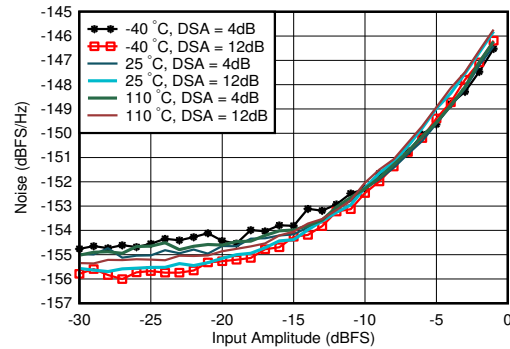
#### 4.12.9 RX の代表的特性 (1.75~1.9 GHz 時) (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルングレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$  の PLL クロックモード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



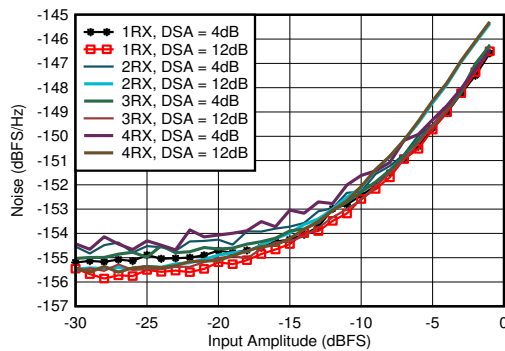
1.8GHz 整合あり、トーンから 12.5MHz オフセット

図 4-328. RX ノイズスペクトル密度と温度との関係 (1.75GHz)



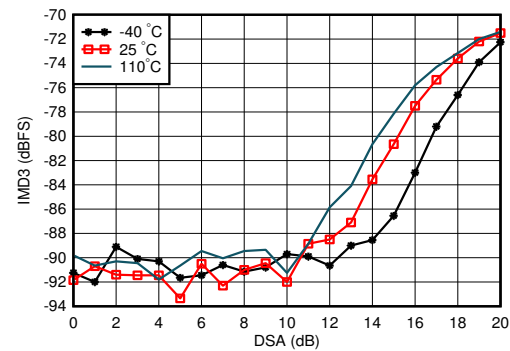
1.8GHz 整合あり、DSA 設定 = 12dB、トーンから 12.5MHz オフセット

図 4-329. RX ノイズスペクトル密度と入力振幅との関係 (各種温度、1.75GHz)



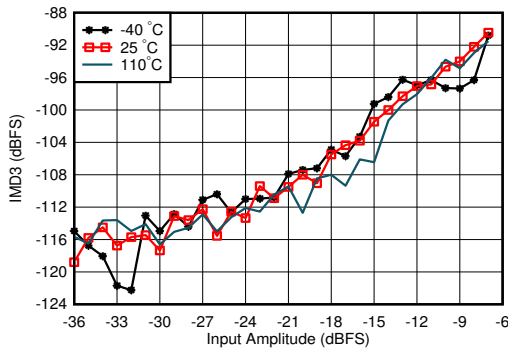
1.8GHz 整合あり、トーンから 12.5MHz オフセット

図 4-330. RX ノイズスペクトル密度と入力振幅との関係 (各種チャネル、1.75GHz)



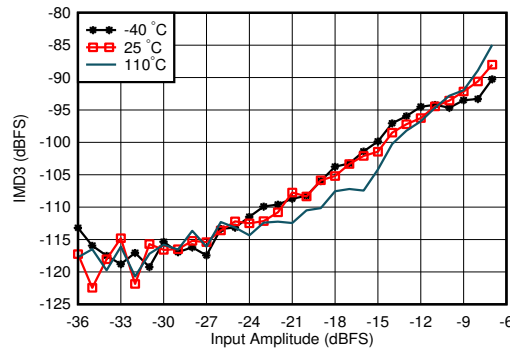
1.8GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 4-331. RX IMD3 と DSA 設定との関係 (各種温度、1.75GHz)



1.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 4dB

図 4-332. RX IMD3 と入力レベルとの関係 (各種温度、1.75GHz)

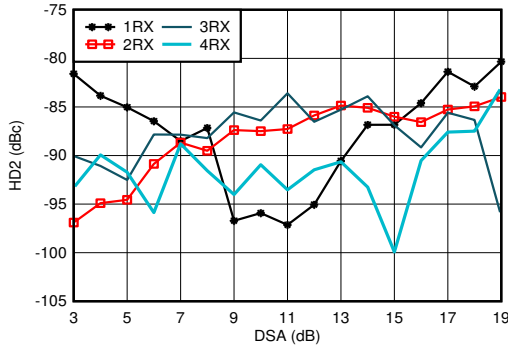


1.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 4-333. RX IMD3 と入力レベルとの関係 (各種温度、1.75GHz)

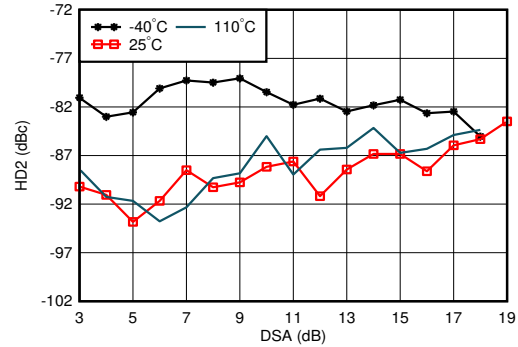
4.12.9 RX の代表的特性 (1.75~1.9 GHz 時) (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$  の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



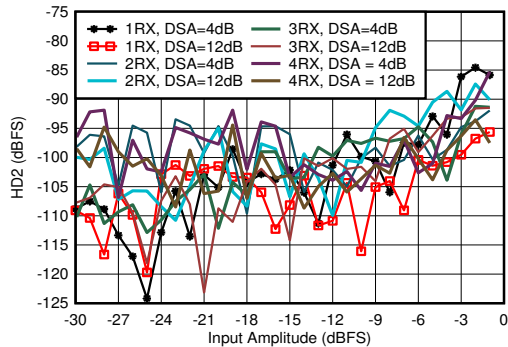
1.8GHz 整合あり、 $f_{\text{in}} = 1900\text{MHz}$ 、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-334. RX HD2 と DSA 設定との関係 (各種チャンネル、1.9GHz)



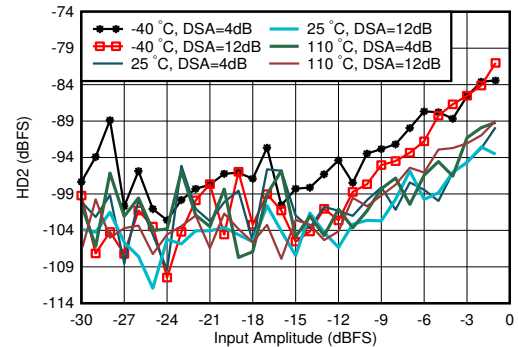
1.8GHz 整合あり、 $f_{\text{in}} = 1900\text{MHz}$ 、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-335. RX HD2 と DSA 設定との関係 (各種温度、1.9GHz)



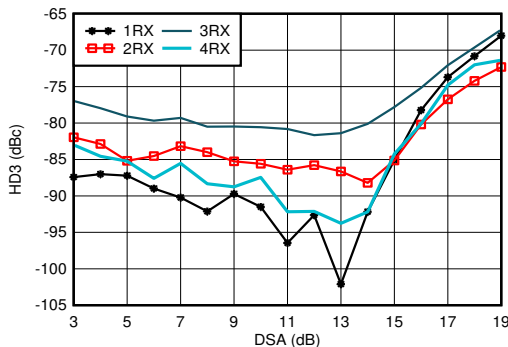
1.8GHz 整合あり、 $f_{\text{in}} = 1900\text{MHz}$ 、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-336. RX HD2 と入力振幅との関係 (各種チャンネル、1.9GHz)



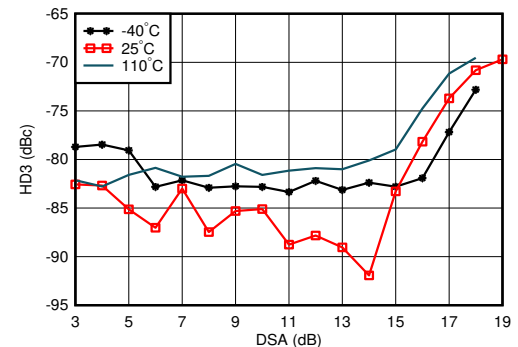
1.8GHz 整合あり、 $f_{\text{in}} = 1900\text{MHz}$ 、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-337. RX HD2 と入力振幅との関係 (各種温度、1.9GHz)



1.8GHz 整合あり、 $f_{\text{in}} = 1900\text{MHz}$ 、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-338. RX HD3 と DSA 設定との関係 (各種チャンネル、1.9GHz)

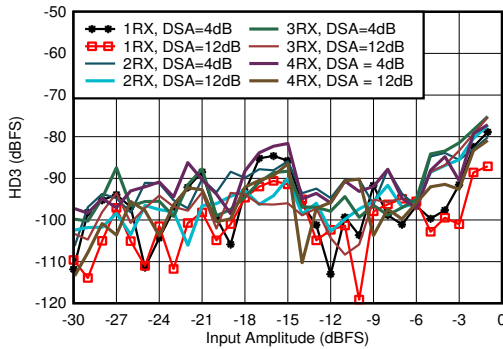


1.8GHz 整合あり、 $f_{\text{in}} = 1900\text{MHz}$ 、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-339. RX HD3 と DSA 設定との関係 (各種温度、1.9GHz)

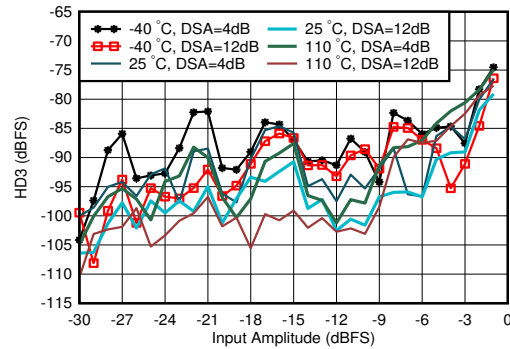
#### 4.12.9 RX の代表的特性 (1.75~1.9 GHz 時) (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルングレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$  の PLL クロックモード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



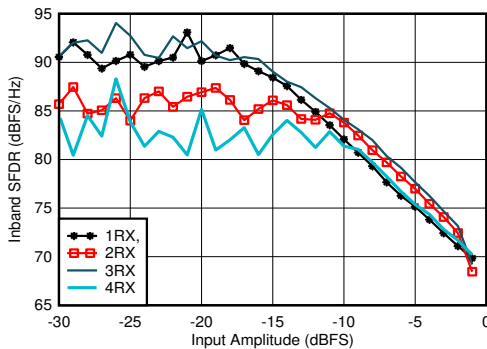
1.8GHz 整合あり、 $f_{\text{in}} = 1900\text{MHz}$ 、DDC バイパスモード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-340. RX HD3 と入力レベルとの関係 (各種チャンネル、1.9GHz)



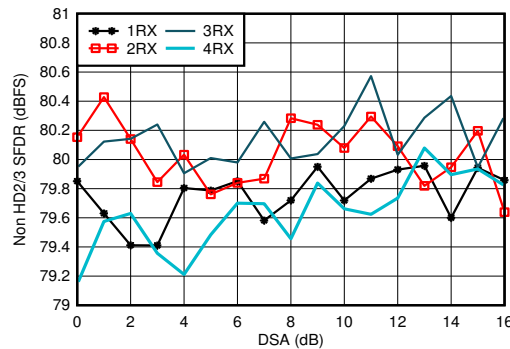
1.8GHz 整合あり、 $f_{\text{in}} = 1900\text{MHz}$ 、DDC バイパスモード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-341. RX HD3 と入力レベルとの関係 (各種温度、1.9GHz)



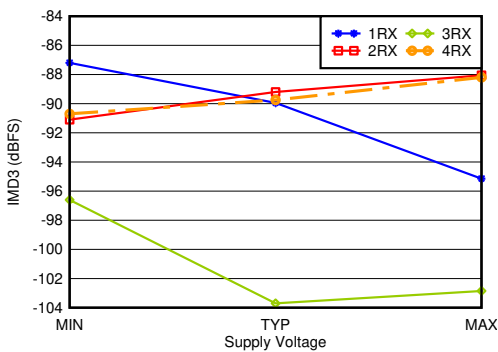
1.8GHz 整合あり、1/3 にデシメーション

図 4-342. RX 帯域内 SFDR ( $\pm 400\text{MHz}$ ) と入力振幅との関係 (1.75GHz)



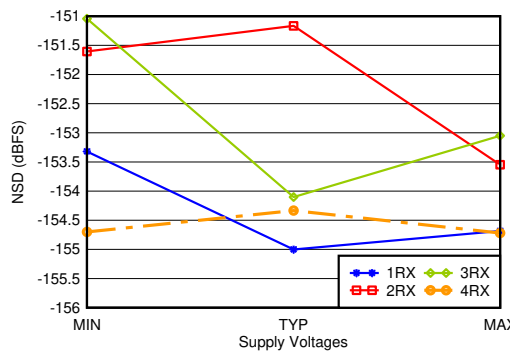
1.8GHz 整合あり

図 4-343. RX (HD2/3 を除く) と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり、各トーン  $-7\text{dBFS}$ 、 $20\text{MHz}$  のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-344. RX IMD3 と電源電圧との関係 (各種チャンネル、1.75GHz)

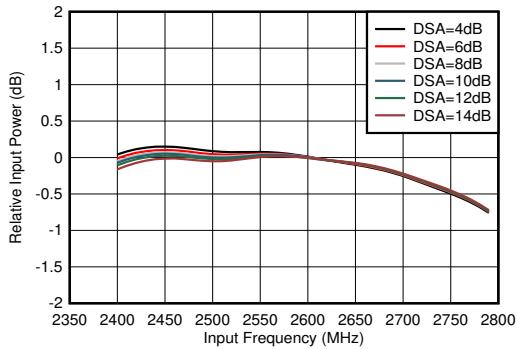


1.8GHz 整合あり、 $12.5\text{MHz}$  オフセット、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-345. RX ノイズスペクトル密度と電源電圧との関係 (各種チャンネル、1.75GHz)

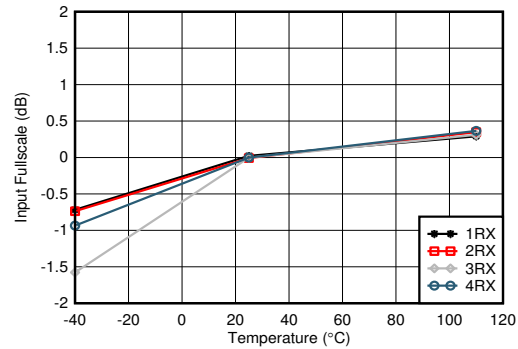
4.12.10 RX 代表的特性 : 2.6GHz

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、 $f_{REF} = 491.52\text{MHz}$  の PLL クロック モード、 $A_{IN} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



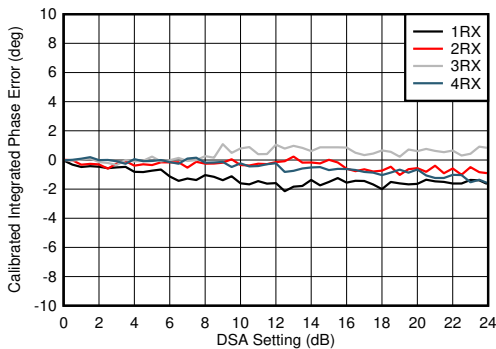
整合あり、各 DSA 設定について 2.6GHz の電力で正規化

図 4-346. RX 帯域内ゲイン平坦性 ( $f_{IN} = 2600\text{MHz}$ )



2.6GHz 整合あり、各チャンネルについて 25°C のフルスケールで正規化

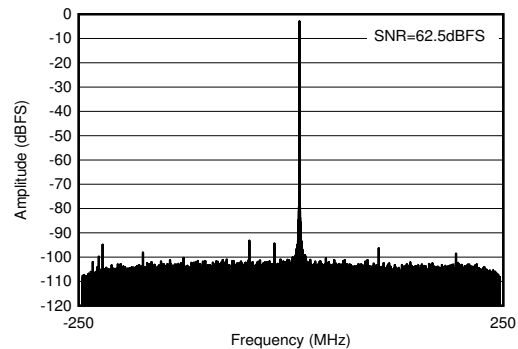
図 4-347. RX 入力フルスケールと温度との関係 (各種チャンネル、2.6GHz)



2.6GHz 整合あり

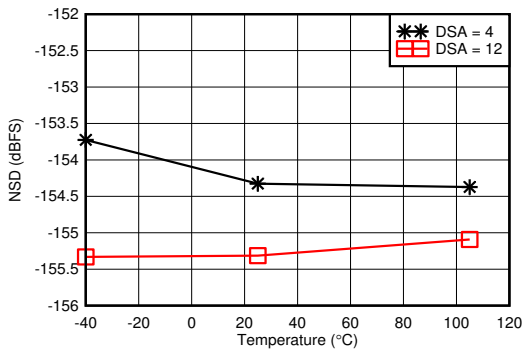
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 4-348. RX 較正済み積分位相誤差と DSA 設定との関係 (2.6GHz)



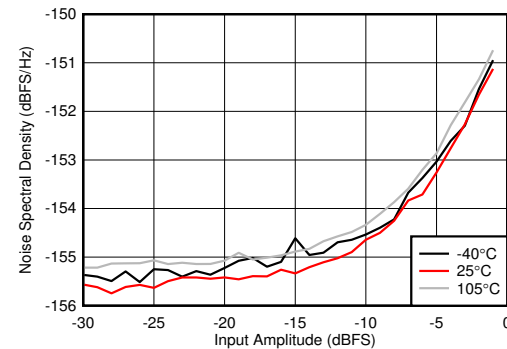
2.6GHz 整合あり、 $f_{IN} = 2610\text{MHz}$ 、 $A_{IN} = -3\text{dBFS}$

図 4-349. RX 出力 FFT (2.6GHz)



2.6GHz 整合あり、トーンから 12.5MHz オフセット

図 4-350. RX ノイズ スペクトル密度と温度との関係 (2.6GHz)

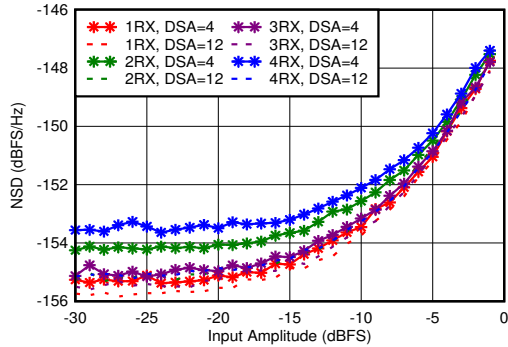


2.6GHz 整合あり、DSA 設定 = 12dB、トーンから 12.5MHz オフセット

図 4-351. RX ノイズ スペクトル密度と入力振幅との関係 (各種温度、2.6GHz)

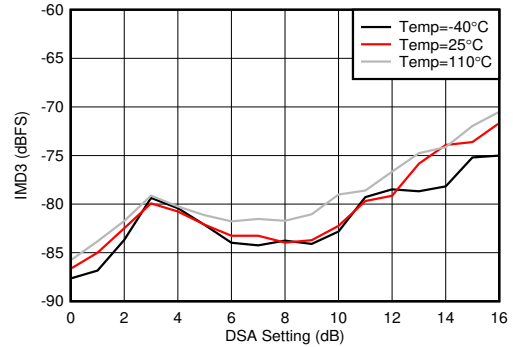
#### 4.12.10 RX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、 $f_{REF} = 491.52\text{MHz}$  の PLL クロック モード、 $A_{IN} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



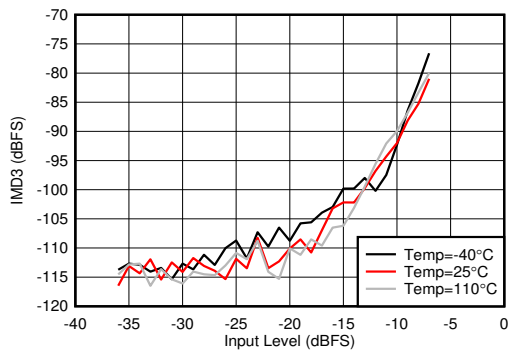
2.6GHz 整合あり、トーンから 12.5MHz オフセット

図 4-352. RX ノイズ スペクトル密度と入力振幅との関係 (各種チャネル、2.6GHz)



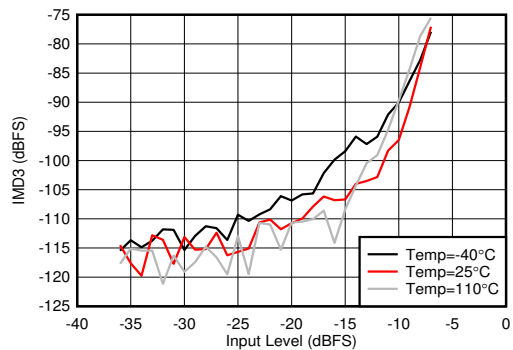
2.6GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 4-353. RX IMD3 と DSA 設定との関係 (各種温度、2.6GHz)



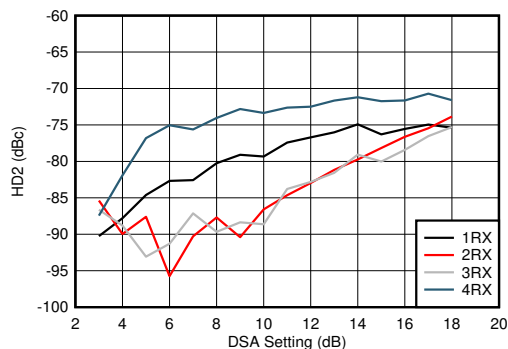
2.6GHz 整合あり、トーン間隔 = 20MHz、DSA = 4dB

図 4-354. RX IMD3 と入力レベルとの関係 (各種温度、2.6GHz)



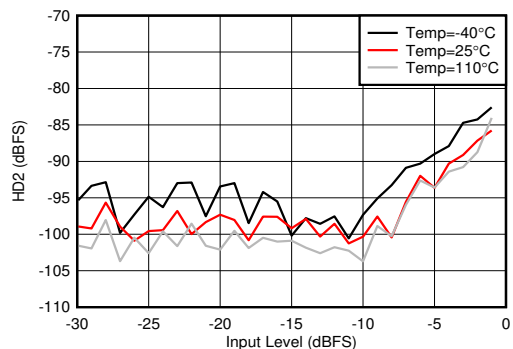
2.6GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 4-355. RX IMD3 と入力レベルとの関係 (各種温度、2.6GHz)



2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-356. RX HD2 と DSA 設定との関係 (各種チャネル、2.6GHz)

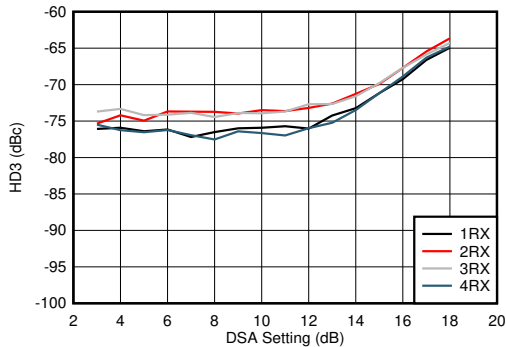


2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-357. RX HD2 と入力レベルとの関係 (各種温度、2.6GHz)

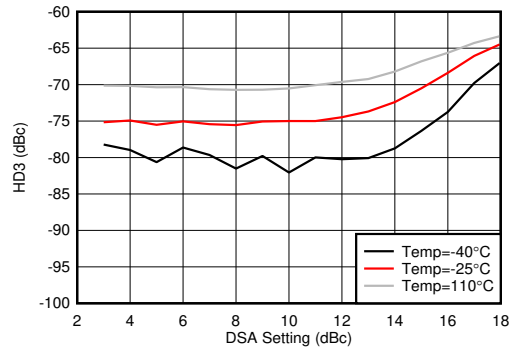
4.12.10 RX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (1/6 にデシメーション)、 $f_{REF} = 491.52\text{MHz}$  の PLL クロック モード、 $A_{IN} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



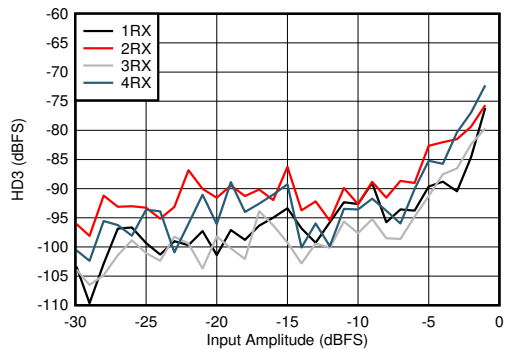
2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-358. RX HD3 と DSA 設定との関係 (各種チャンネル、2.6GHz)



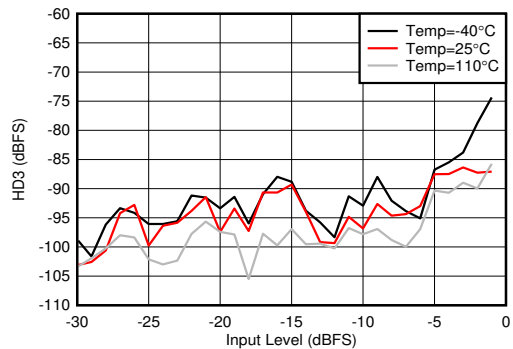
2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-359. RX HD3 と DSA 設定との関係 (各種温度、2.6GHz)



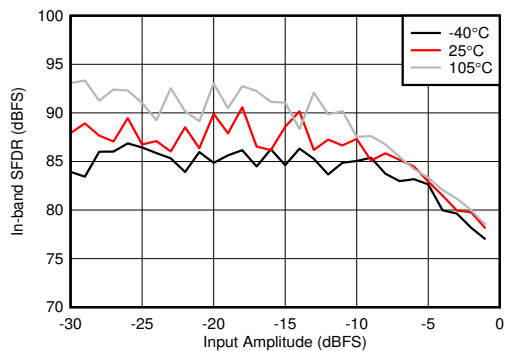
2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-360. RX HD3 と入力レベルとの関係 (各種チャンネル、2.6GHz)



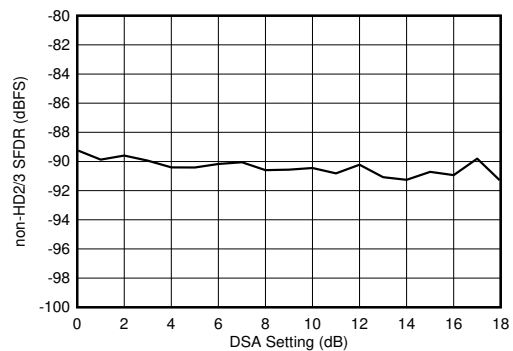
2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-361. RX HD3 と入力レベルとの関係 (各種温度、2.6GHz)



2.6GHz 整合あり、1/4 にデシメーション

図 4-362. RX 帯域内 SFDR ( $\pm 300\text{MHz}$ ) と入力振幅との関係 (各種温度、2.6GHz)

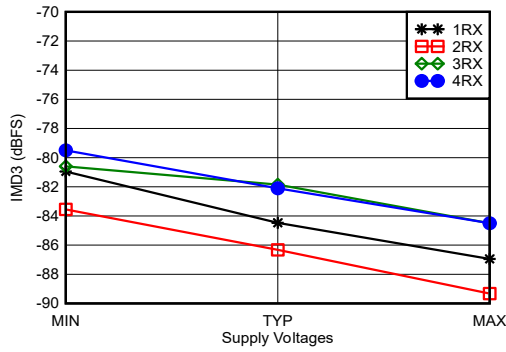


2.6GHz 整合あり

図 4-363. RX (HD2/3 を除く) と DSA 設定との関係 (2.6GHz)

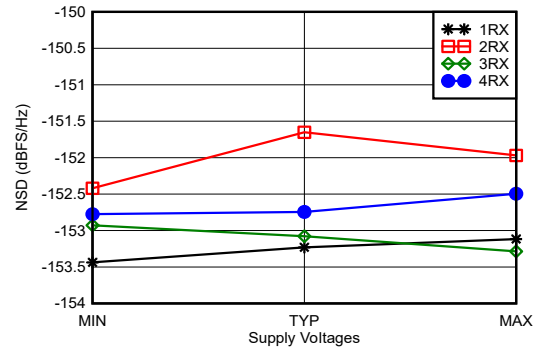
#### 4.12.10 RX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (1/6 にデシメーション)、 $f_{REF} = 491.52\text{MHz}$  の PLL クロック モード、 $A_{IN} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



2.6GHz 整合あり、各トーン  $-7\text{dBFS}$ 、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-364. RX IMD3 と電源電圧との関係 (各種チャネル、2.6GHz)

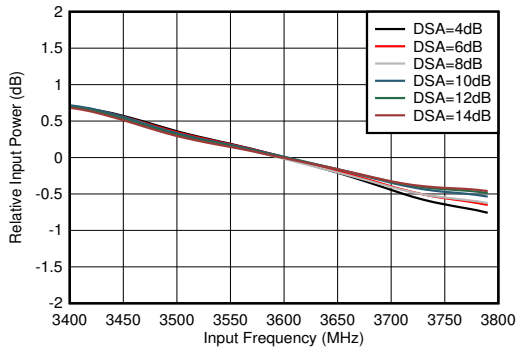


2.6GHz 整合あり、12.5MHz オフセット、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-365. RX ノイズスペクトル密度と電源電圧との関係 (各種チャネル、2.6GHz)

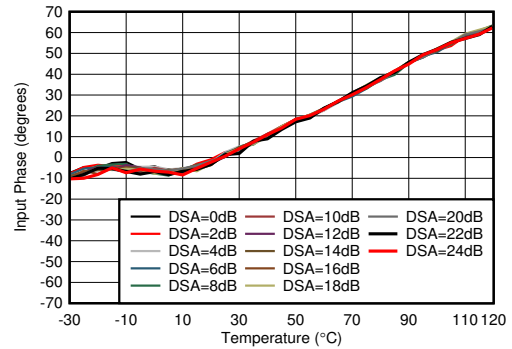
### 4.12.11 RX 代表的特性 : 3.5GHz

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$  の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



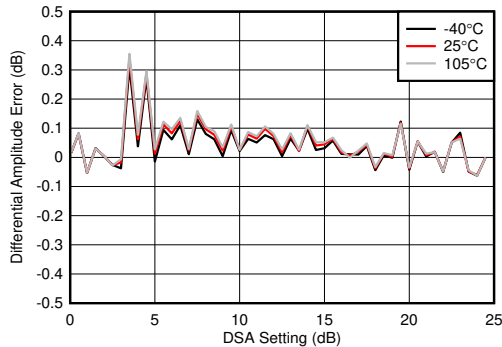
3.6GHz 整合あり、3.6GHz で正規化

図 4-366. RX 帯域内ゲイン平坦性 ( $f_{\text{IN}} = 3600\text{MHz}$ )



3.6GHz 整合あり、25°Cの位相で正規化

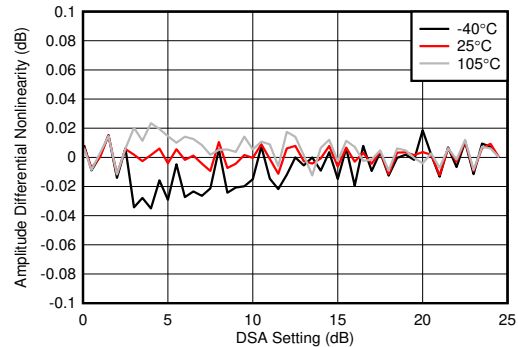
図 4-367. RX 入力位相と温度との関係 (3.6GHz)



3.6GHz 整合あり

$$\text{微分振幅誤差} = P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$$

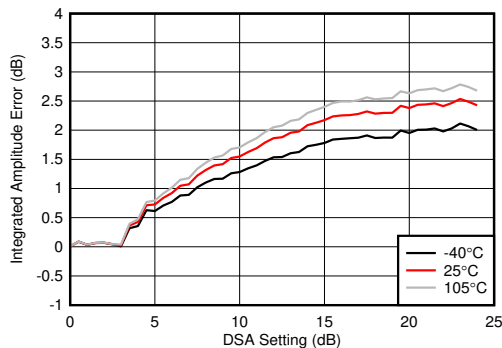
図 4-368. RX 未校正微分振幅誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり

$$\text{微分振幅誤差} = P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$$

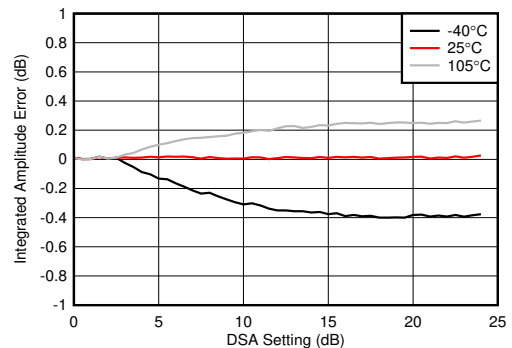
図 4-369. RX 校正済み微分振幅誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり

$$\text{積分振幅誤差} = P_{\text{IN}}(\text{DSA 設定}) - P_{\text{IN}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$$

図 4-370. RX 未校正積分振幅誤差と DSA 設定との関係 (3.6GHz)



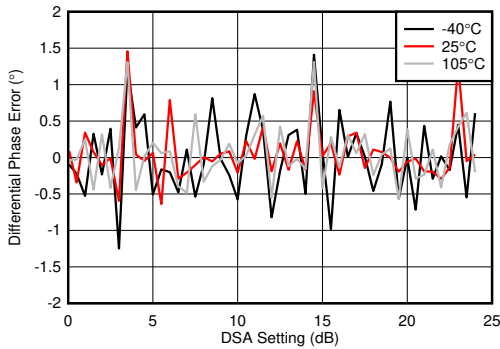
3.6GHz 整合あり

$$\text{積分振幅誤差} = P_{\text{IN}}(\text{DSA 設定}) - P_{\text{IN}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$$

図 4-371. RX 校正済み積分振幅誤差と DSA 設定との関係 (3.6GHz)

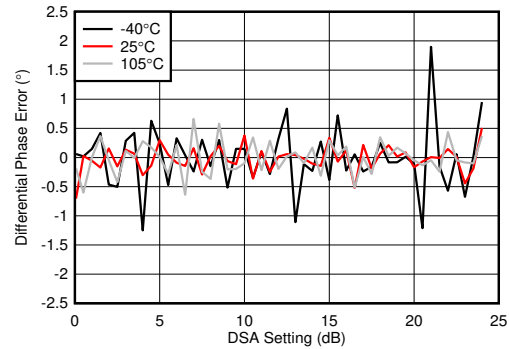
#### 4.12.11 RX 代表的特性 : 3.5GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$  の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



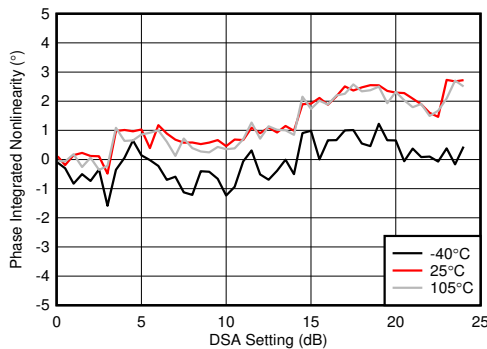
3.6GHz 整合あり  
微分位相誤差 =  $\text{Phase}_{\text{IN}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{IN}}(\text{DSA 設定})$

図 4-372. RX 未校正位相誤差と DSA 設定との関係 (3.6GHz)



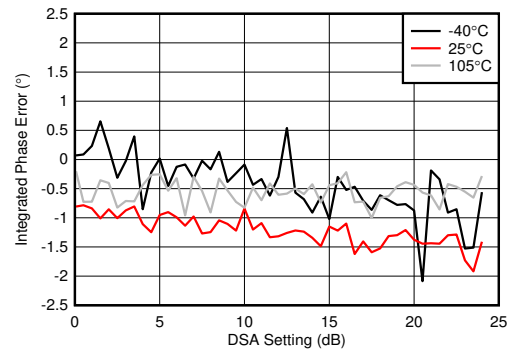
3.6GHz 整合あり  
微分位相誤差 =  $\text{Phase}_{\text{IN}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{IN}}(\text{DSA 設定})$

図 4-373. RX 校正済み微分位相誤差と DSA 設定との関係 (3.6GHz)



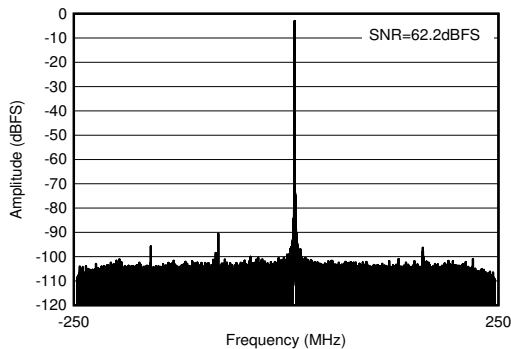
3.6GHz 整合あり  
積分位相誤差 =  $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 4-374. RX 未校正積分位相誤差と DSA 設定との関係 (3.6GHz)



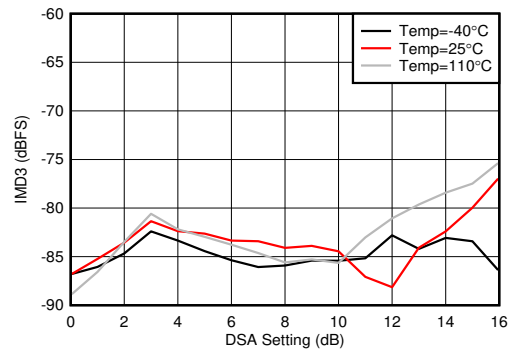
3.6GHz 整合あり  
積分位相誤差 =  $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 4-375. RX 校正済み積分位相誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり、 $f_{\text{IN}} = 3610\text{MHz}$ 、 $A_{\text{IN}} = -3\text{dBFS}$

図 4-376. RX 出力 FFT (3.6GHz)

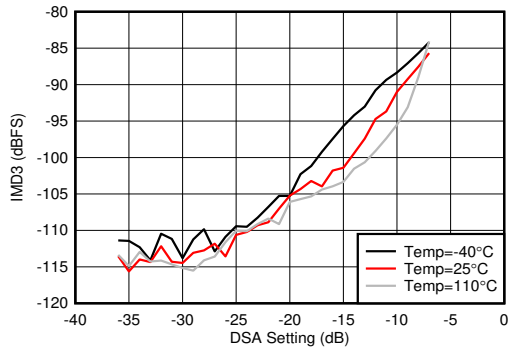


3.5GHz 整合あり、各トーンは  $-7\text{dBFS}$ 、20MHz のトーン間隔

図 4-377. RX IMD3 と DSA 設定との関係 (各種温度、3.6GHz)

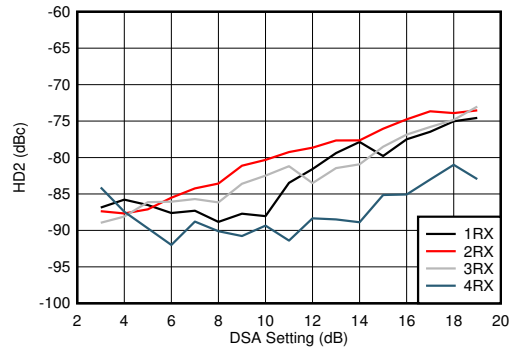
### 4.12.11 RX 代表的特性 : 3.5GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、 $f_{REF} = 491.52\text{MHz}$  の PLL クロック モード、 $A_{IN} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



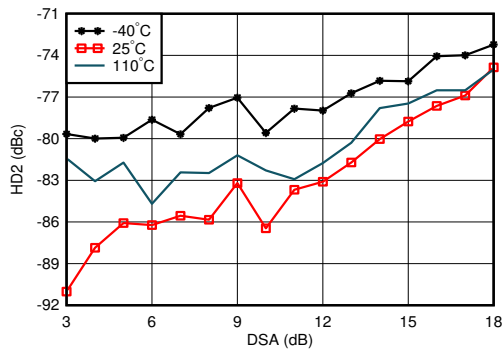
3.5GHz 整合あり、20MHz のトーン間隔

図 4-378. RX IMD3 と入力レベルとの関係 (各種温度、3.6GHz)



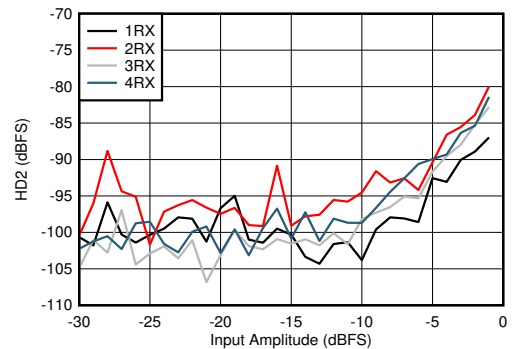
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-379. RX HD2 と DSA 設定との関係 (各種チャンネル、3.6GHz)



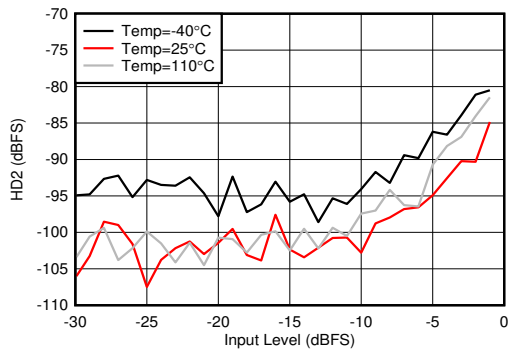
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-380. RX HD2 と DSA 設定との関係 (各種温度、3.6GHz)



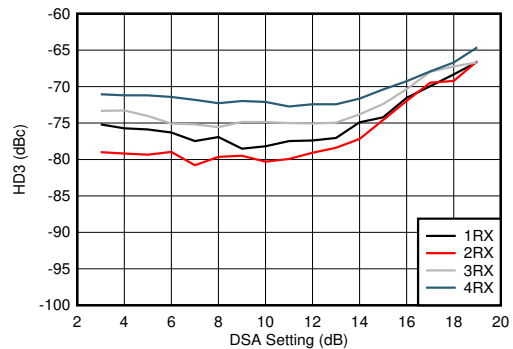
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-381. RX HD2 と入力レベルとの関係 (各種チャンネル、3.6GHz)



3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-382. RX HD2 と入力レベルとの関係 (各種温度、3.6GHz)

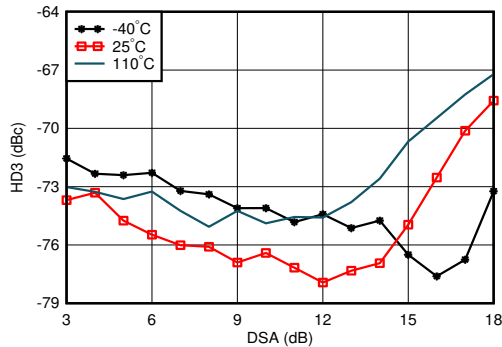


3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-383. RX HD3 と DSA 設定との関係 (各種チャンネル、3.6GHz)

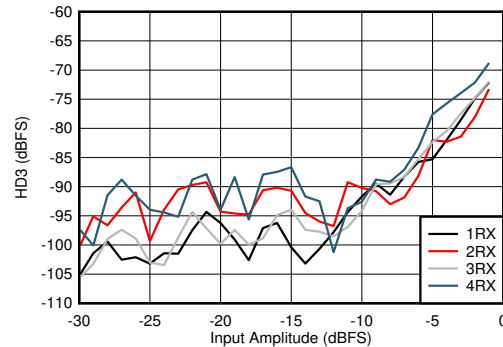
#### 4.12.11 RX 代表的特性 : 3.5GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルングレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$  の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



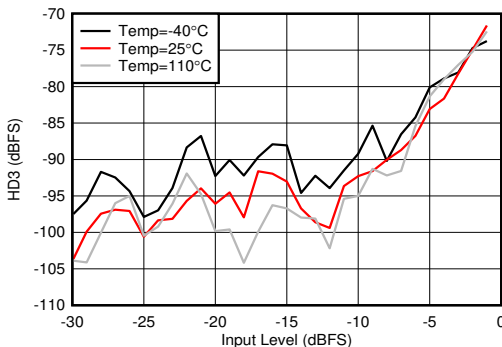
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-384. RX HD3 と DSA 設定との関係 (各種温度、3.6GHz)



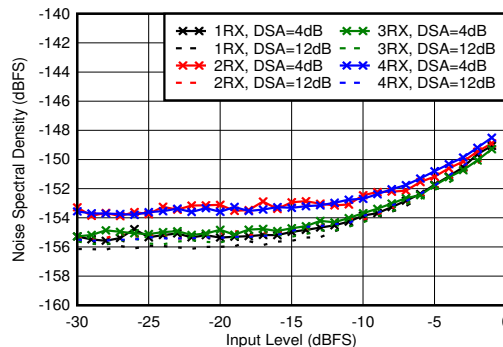
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-385. RX HD3 と入力レベルとの関係 (各種チャネル、3.6GHz)



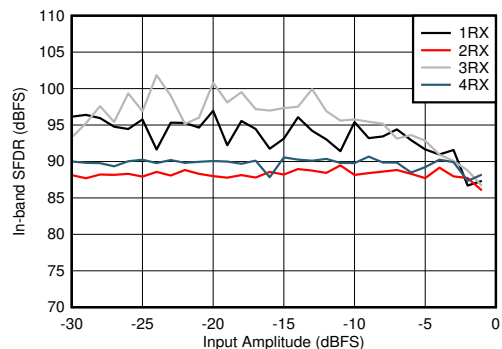
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-386. RX HD3 と入力レベルとの関係 (各種温度、3.6GHz)



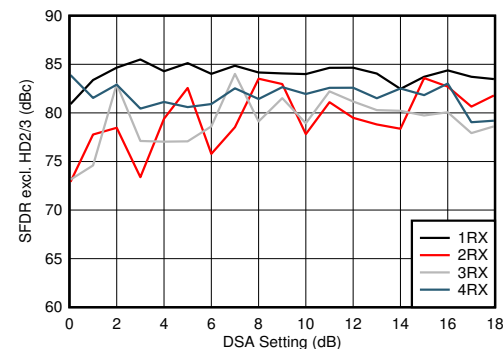
3.5GHz 整合あり、トーンからのオフセット 12.5MHz

図 4-387. RX ノイズスペクトル密度と入力レベルとの関係 (各種 DSA 設定、3.6GHz)



3.5GHz 整合あり

図 4-388. RX 帯域内 SFDR ( $\pm 200\text{MHz}$ ) と入力レベルとの関係 (各種チャネル、3.6GHz)

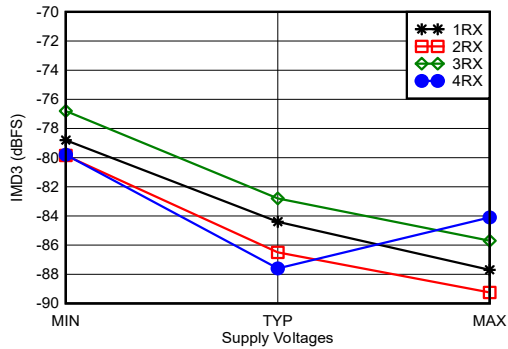


3.5GHz 整合あり

図 4-389. RX SFDR (HD2/3 を除く) と DSA 設定との関係 (各種チャネル、3.6GHz)

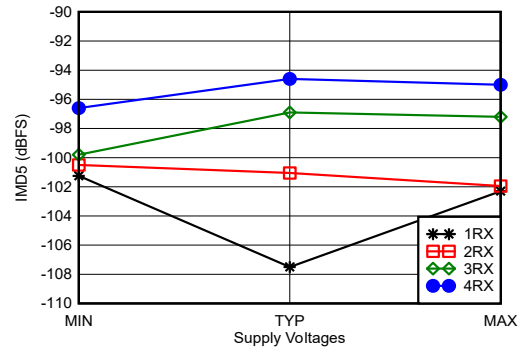
### 4.12.11 RX 代表的特性 : 3.5GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、 $f_{REF} = 491.52\text{MHz}$  の PLL クロック モード、 $A_{IN} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



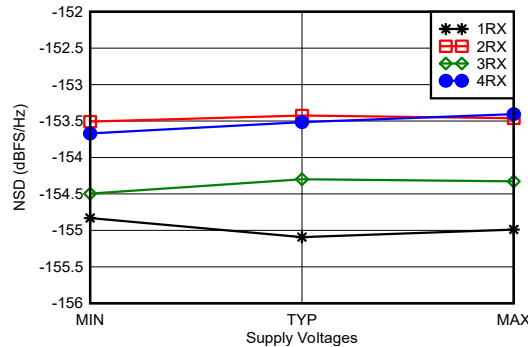
3.6GHz 整合あり、各トーン  $-7\text{dBFS}$ 、 $20\text{MHz}$  のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-390. RX IMD3 と電源電圧との関係 (各種チャンネル、3.6GHz)



3.6GHz 整合あり、各トーン  $-7\text{dBFS}$ 、 $20\text{MHz}$  のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-391. RX IMD5 と電源電圧との関係 (各種チャンネル、3.6GHz)

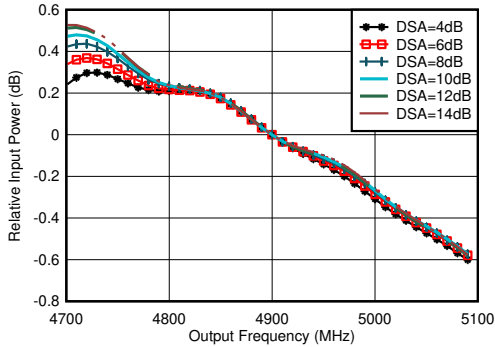


3.6GHz 整合あり、 $20\text{dBFS}$  のトーン、 $12.5\text{MHz}$  のオフセット周波数、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-392. RX ノイズスペクトル密度と電源電圧との関係 (各種チャンネル、3.6GHz)

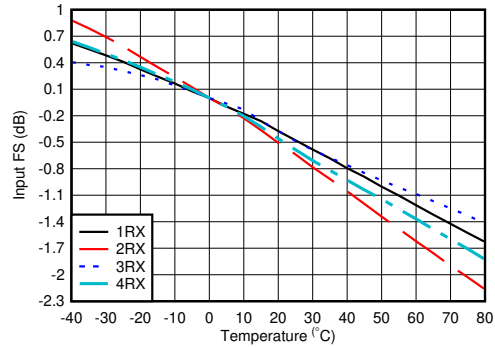
#### 4.12.12 RX 代表的特性 : 4.9GHz

$T_A = +25^\circ\text{C}$ 、ADC サンプルングレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$  の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



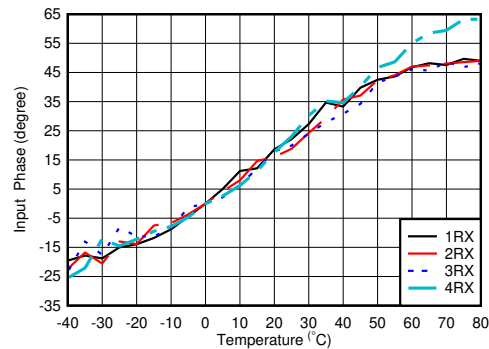
整合あり、各 DSA 設定について 4.9GHz の電力で正規化

図 4-393. RX 帯域内ゲイン平坦性 ( $f_{\text{IN}} = 4900\text{MHz}$ )



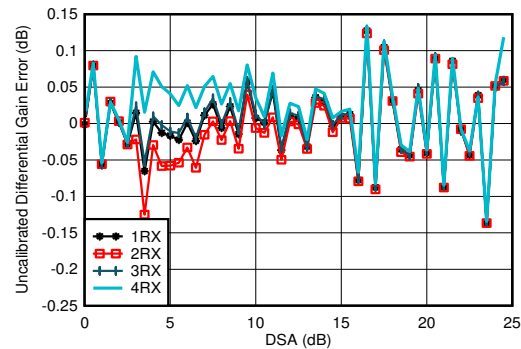
4.9GHz 整合あり、各チャンネルについて 25°C のフルスケールで正規化

図 4-394. RX 入力フルスケールと温度との関係 (各種チャンネル、4.9GHz)



4.9GHz 整合あり、25°C の位相で正規化

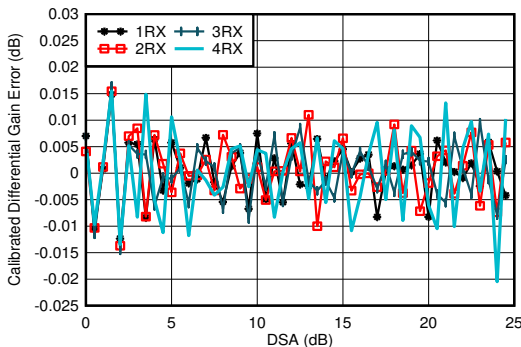
図 4-395. RX 入力位相と温度との関係 (各種 DSA、 $f_{\text{OUT}} = 4.9\text{GHz}$ )



4.9GHz 整合あり

微分振幅誤差 =  $P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$

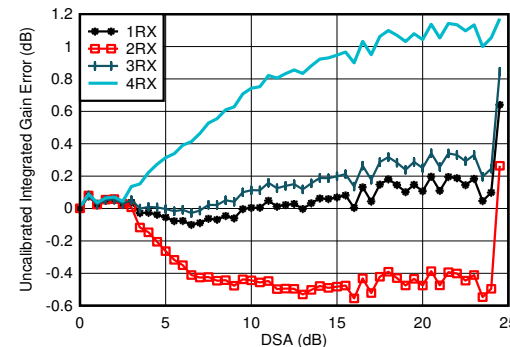
図 4-396. RX 未校正微分振幅誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

微分振幅誤差 =  $P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$

図 4-397. RX 校正済み微分振幅誤差と DSA 設定との関係 (4.9GHz)



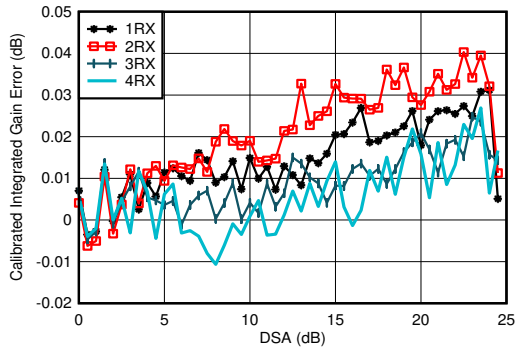
4.9GHz 整合あり

積分振幅誤差 =  $P_{\text{IN}}(\text{DSA 設定}) - P_{\text{IN}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 4-398. RX 未校正積分振幅誤差と DSA 設定との関係 (4.9GHz)

4.12.12 RX 代表的特性 : 4.9GHz (続き)

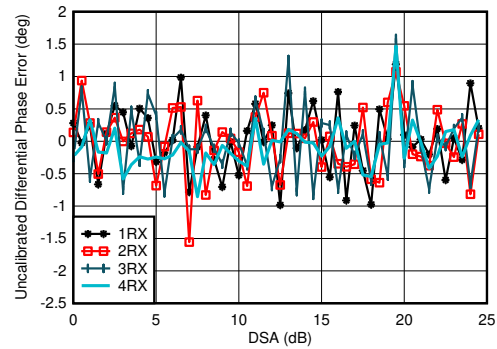
$T_A = +25^\circ\text{C}$ 、ADC サンプルングレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (1/6 にデシメーション)、 $f_{REF} = 491.52\text{MHz}$  の PLL クロック モード、 $A_{IN} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



4.9GHz 整合あり

積分振幅誤差 =  $P_{IN}(\text{DSA 設定}) - P_{IN}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

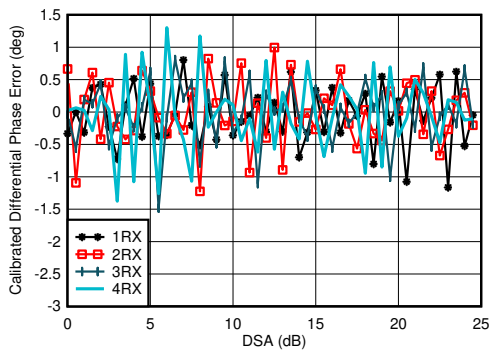
図 4-399. RX 較正済み積分振幅誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

微分位相誤差 =  $\text{Phase}_{IN}(\text{DSA 設定} - 1) - \text{Phase}_{IN}(\text{DSA 設定})$

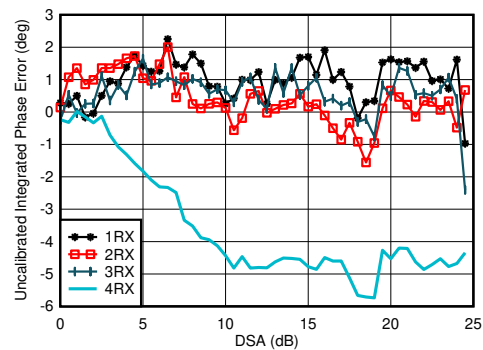
図 4-400. RX 未較正微分位相誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

微分位相誤差 =  $\text{Phase}_{IN}(\text{DSA 設定} - 1) - \text{Phase}_{IN}(\text{DSA 設定})$

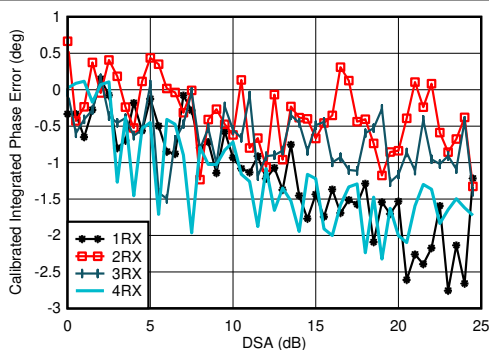
図 4-401. RX 較正済み微分位相誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

積分位相誤差 =  $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

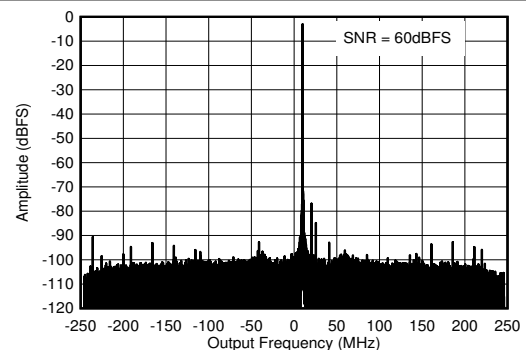
図 4-402. RX 未較正積分位相誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

積分位相誤差 =  $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 4-403. RX 較正済み積分位相誤差と DSA 設定との関係 (4.9GHz)

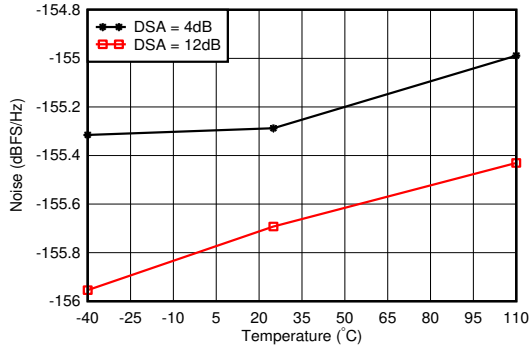


4.9GHz 整合あり、 $f_{IN} = 4910\text{MHz}$ 、 $A_{IN} = -3\text{dBFS}$

図 4-404. RX 出力 FFT (4.9GHz)

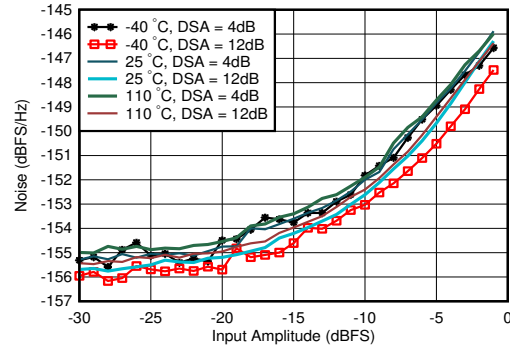
#### 4.12.12 RX 代表的特性 : 4.9GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルングレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$  の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



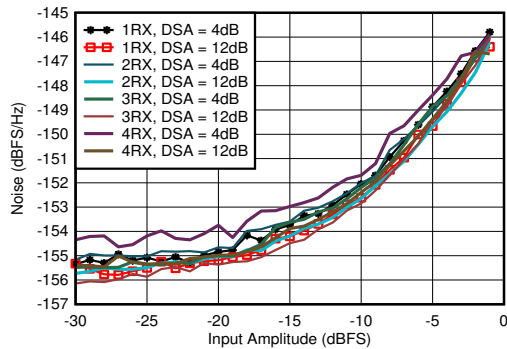
4.9GHz 整合あり、トーンからのオフセット 12.5MHz

図 4-405. RX ノイズ スペクトル密度と温度との関係 (4.9GHz)



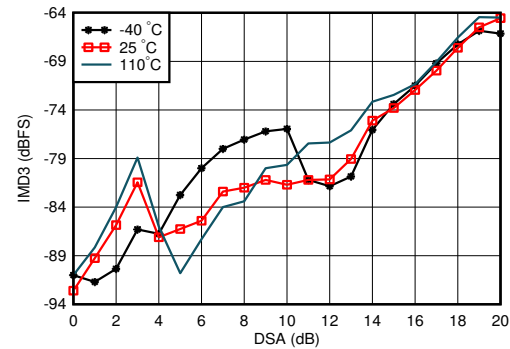
4.9GHz 整合あり、DSA 設定 = 12dB、トーンから 12.5MHz オフセット

図 4-406. RX ノイズ スペクトル密度と入力振幅との関係 (各種温度、4.9GHz)



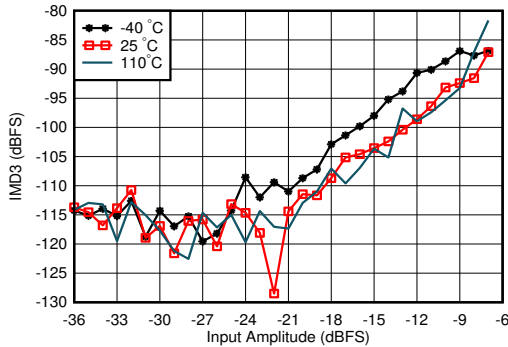
4.9GHz 整合あり、トーンから 12.5MHz オフセット

図 4-407. RX ノイズ スペクトル密度と入力振幅との関係 (各種チャネル、4.9GHz)



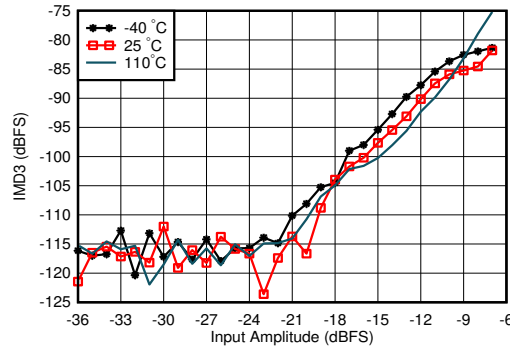
4.9GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 4-408. RX IMD3 と DSA 設定との関係 (各種温度、4.9GHz)



4.9GHz 整合あり、トーン間隔 = 20MHz、DSA = 4dB

図 4-409. RX IMD3 と入力レベルとの関係 (各種温度、4.9GHz)

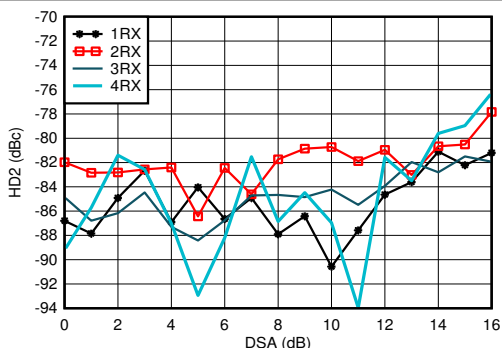


4.9GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 4-410. RX IMD3 と入力レベルとの関係 (各種温度、4.9GHz)

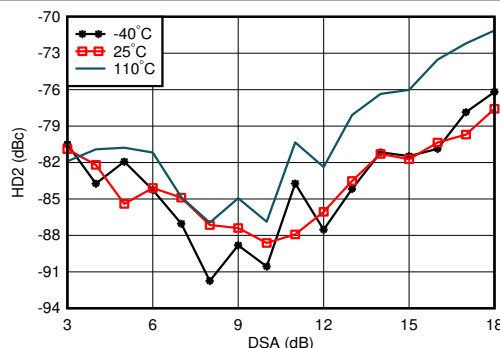
### 4.12.12 RX 代表的特性 : 4.9GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、 $f_{REF} = 491.52\text{MHz}$  の PLL クロック モード、 $A_{IN} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



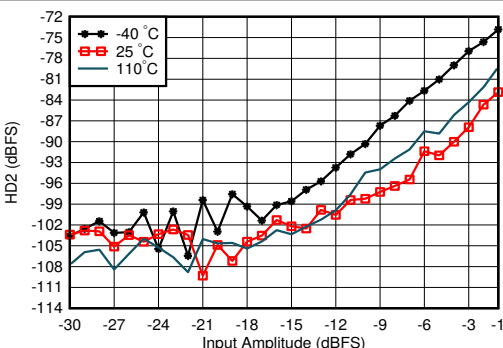
4.9GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-411. RX HD2 と DSA 設定との関係 (各種チャネル、4.9GHz)



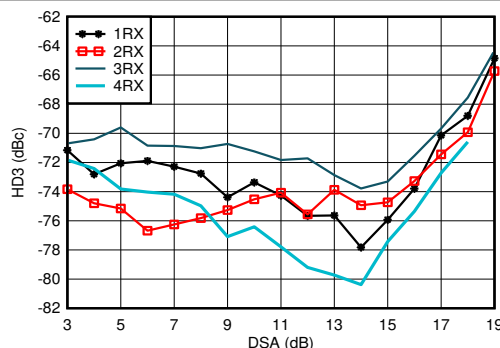
4.9GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-412. RX HD2 と DSA 設定との関係 (各種温度、4.9GHz)



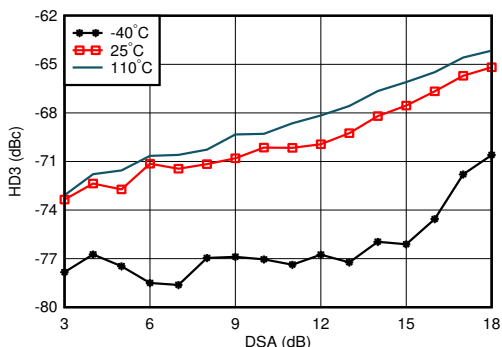
4.9GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-413. RX HD2 と入力レベルとの関係 (各種温度、4.9GHz)



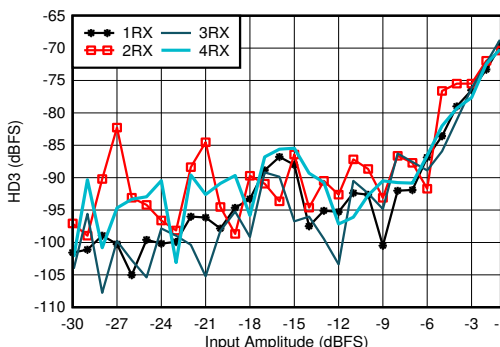
4.9GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-414. RX HD3 と DSA 設定との関係 (各種チャネル、4.9GHz)



4.9GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-415. RX HD3 と DSA 設定との関係 (各種温度、4.9GHz)

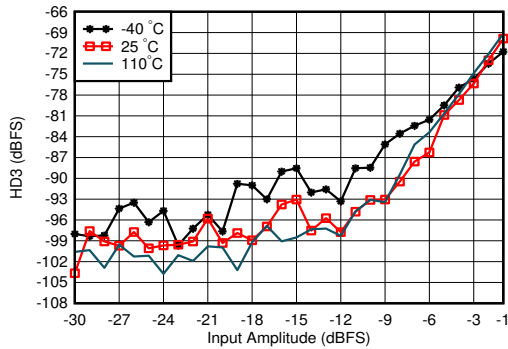


4.9GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-416. RX HD3 と入力レベルとの関係 (各種チャネル、4.9GHz)

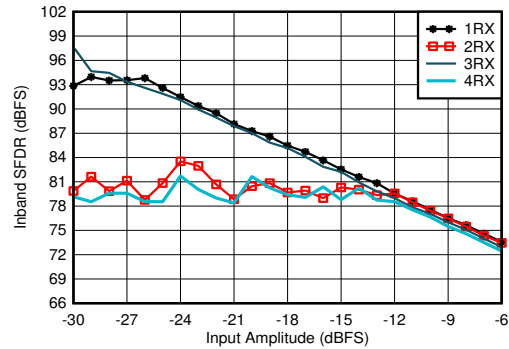
#### 4.12.12 RX 代表的特性 : 4.9GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルングレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$  の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



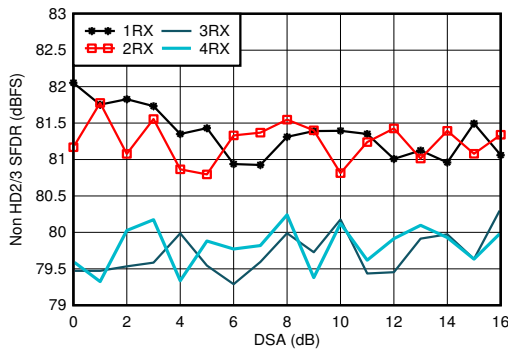
4.9GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 4-417. RX HD3 と入力レベルとの関係 (各種温度、4.9GHz)



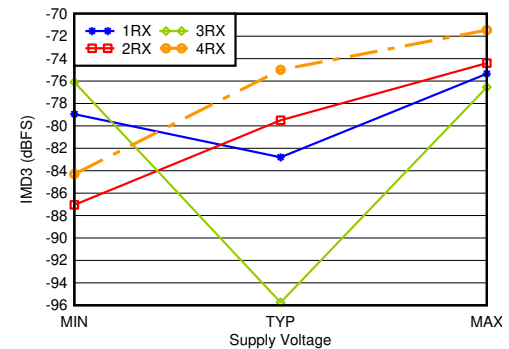
4.9GHz 整合あり、1/3 にデシメーション

図 4-418. RX 帯域内 SFDR ( $\pm 400\text{MHz}$ ) と入力振幅との関係 (各種チャネル、4.9GHz)



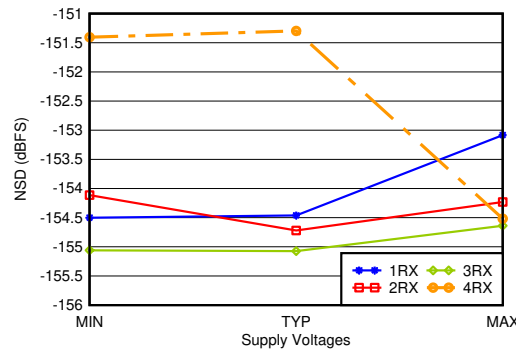
4.9GHz 整合あり

図 4-419. RX (HD2/3 を除く) と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり、各トーン  $-7\text{dBFS}$ 、 $20\text{MHz}$  のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-420. RX IMD3 と電源電圧との関係 (各種チャネル、4.9GHz)

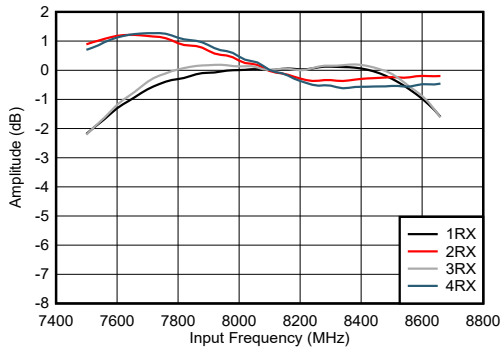


4.9GHz 整合あり、 $12.5\text{MHz}$  オフセット、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 4-421. RX ノイズ スペクトル密度と電源電圧との関係 (各種チャネル、4.9GHz)

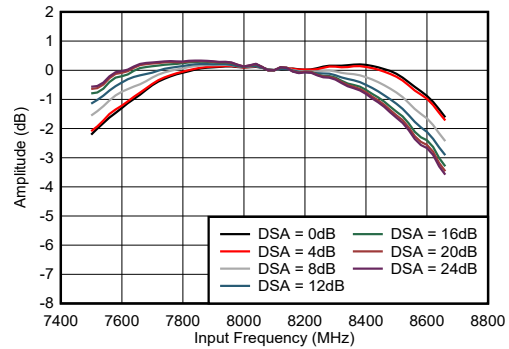
### 4.12.13 RX 代表的特性 : 8.1GHz

$T_A = +25^\circ\text{C}$ 、ADC サンプルレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 1474.56MSPS (1/2 にデシメーション)、 $f_{\text{CLK}} = 11796.48\text{MHz}$  による外部クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB、8.1GHz 整合あり。



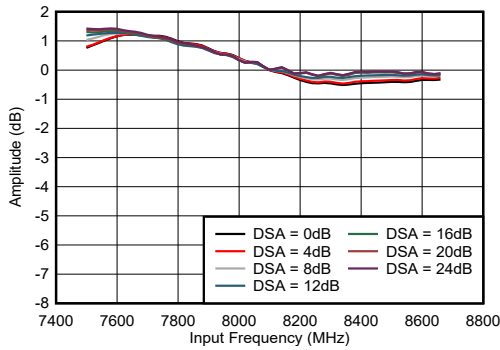
8.1GHz で正規化

図 4-422. RX 振幅と周波数との関係 (各種チャンネル)



1RX および 3RX、8.1GHz で正規化

図 4-423. RX 振幅と周波数との関係 (各種 DSA 設定)



2RX および 4RX、8.1GHz で正規化

図 4-424. RX 振幅と周波数との関係 (各種 DSA 設定)

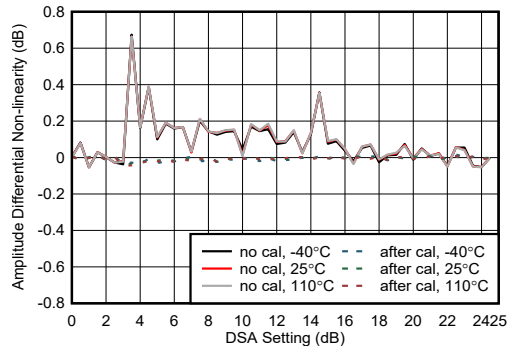


図 4-425. RX 振幅の微分非直線性 (8.1GHz)

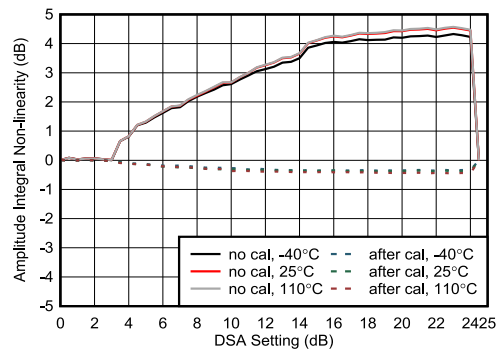


図 4-426. RX 振幅の積分非直線性 (8.1GHz)

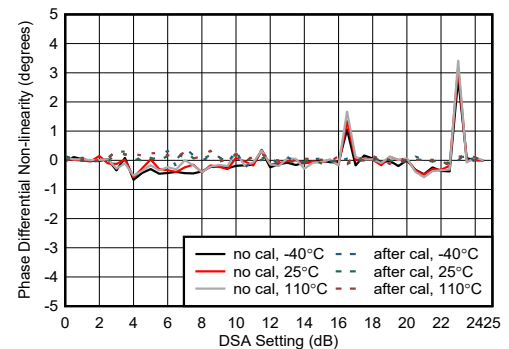


図 4-427. RX 位相の微分非直線性 (8.1GHz)

### 4.12.13 RX 代表的特性 : 8.1GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルングレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 1474.56MSPS (1/2 にデシメーション)、 $f_{\text{CLK}} = 11796.48\text{MHz}$  による外部クロックモード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB、8.1GHz 整合あり。

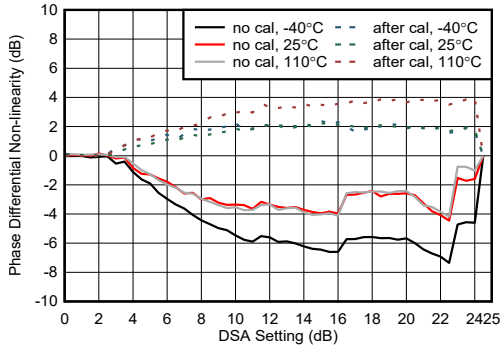
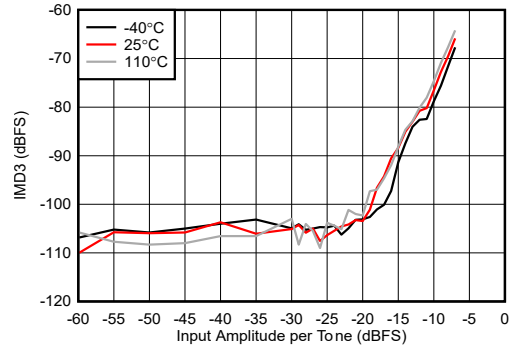
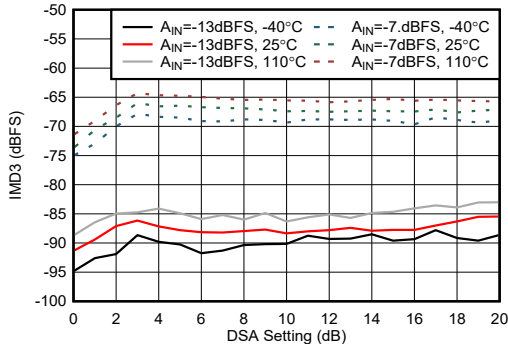


図 4-428. RX 位相の微分非直線性 (8.1GHz)



50MHz のトーン間隔

図 4-429. RX IMD3 と入力振幅との関係 (8.1GHz)



50MHz のトーン間隔

図 4-430. RX IMD3 と DSA 設定との関係 (8.1GHz)

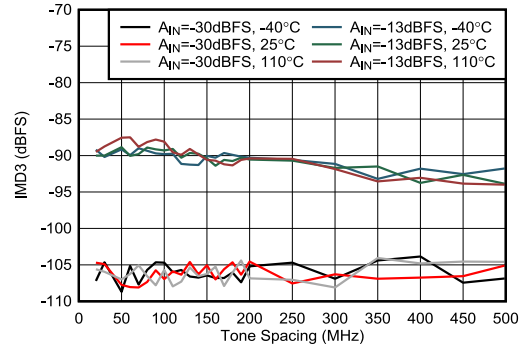


図 4-431. RX IMD3 とトーン間隔との関係 (8.1GHz)

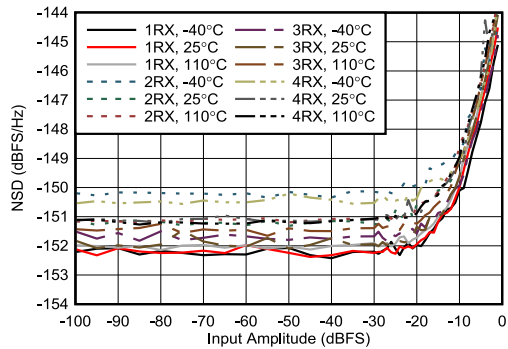


図 4-432. RX NSD とデジタル振幅との関係 (8.1GHz)

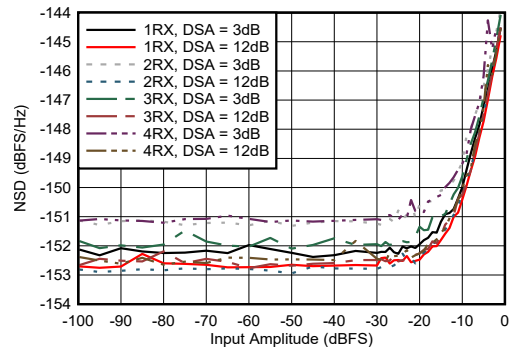


図 4-433. RX NSD とデジタル振幅との関係 (8.1GHz)

### 4.12.13 RX 代表的特性 : 8.1GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 1474.56MSPS (1/2 に デシメーション)、 $f_{\text{CLK}} = 11796.48\text{MHz}$  による外部クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB、8.1GHz 整合あり。

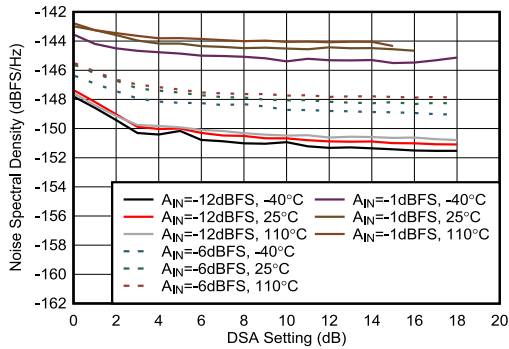
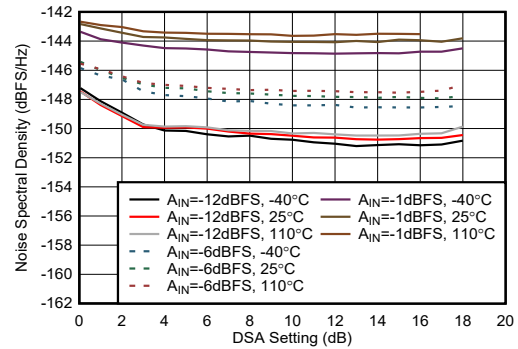


図 4-434. RX NSD と DSA 設定との関係 (8.1GHz)



外部クロック モード

図 4-435. RX NSD と DSA 設定との関係 (8.1GHz)

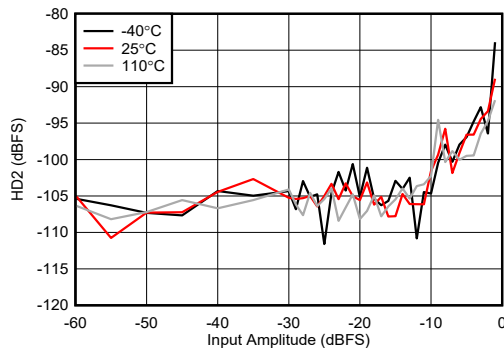


図 4-436. RX HD2 とデジタル振幅との関係 (8.1GHz)

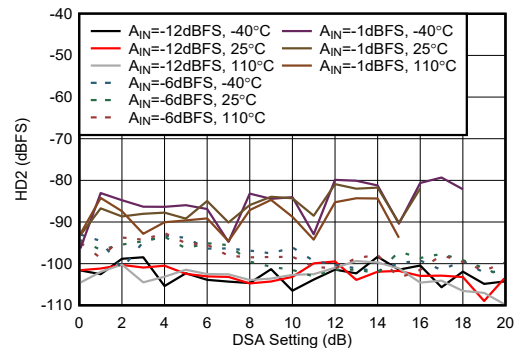


図 4-437. RX HD2 と DSA 設定との関係 (8.1GHz)

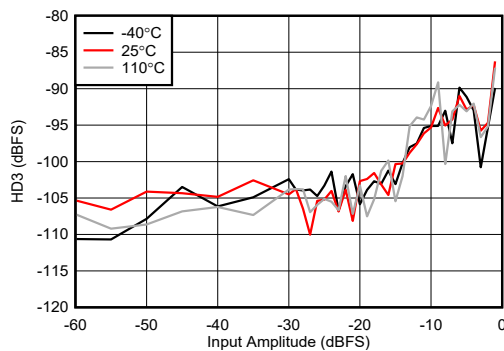


図 4-438. RX HD3 とデジタル振幅との関係 (8.1GHz)

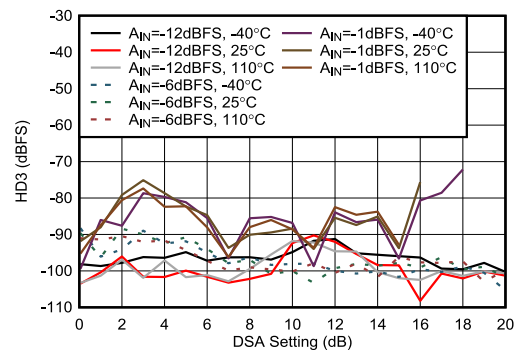


図 4-439. RX HD3 と DSA 設定との関係 (8.1GHz)

#### 4.12.13 RX 代表的特性 : 8.1GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルングレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 1474.56MSPS (1/2 にデシメーション)、 $f_{\text{CLK}} = 11796.48\text{MHz}$  による外部クロックモード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB、8.1GHz 整合あり。

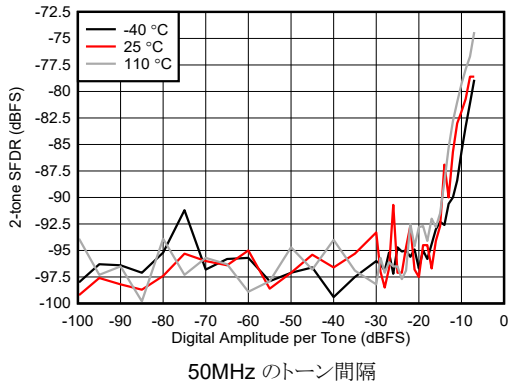


図 4-440. RX 2 トーン SFDR とデジタル振幅との関係 (8.11GHz)

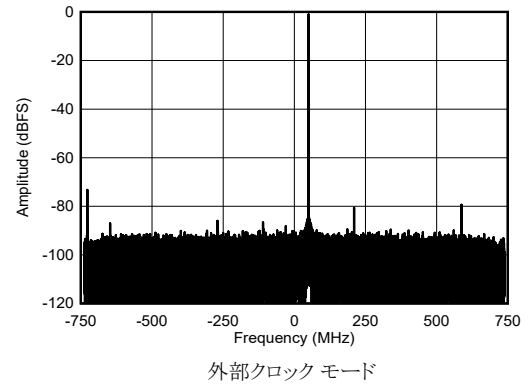


図 4-441. RX 単一トーン出力 FFT (8.11GHz、-1dBFS)

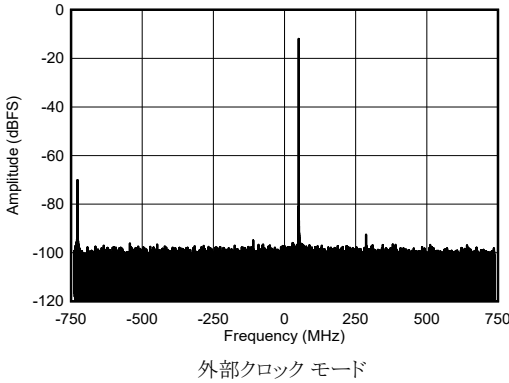


図 4-442. RX 単一トーン出力 FFT (8.11GHz、-12dBFS)

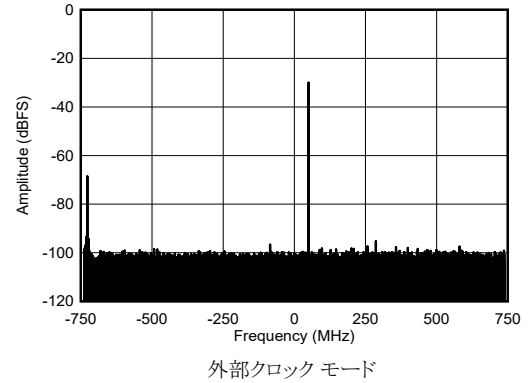


図 4-443. RX シングル トーン出力 FFT (8.11GHz、-30dBFS)

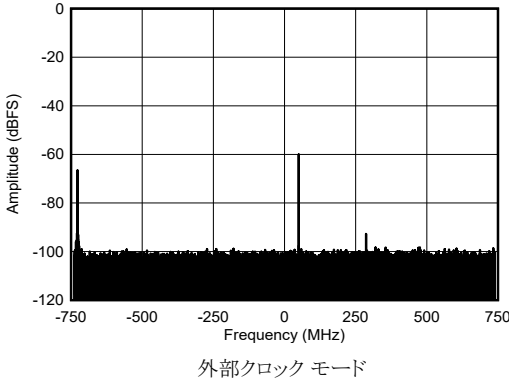


図 4-444. RX シングル トーン出力 FFT (8.11GHz、-60dBFS)

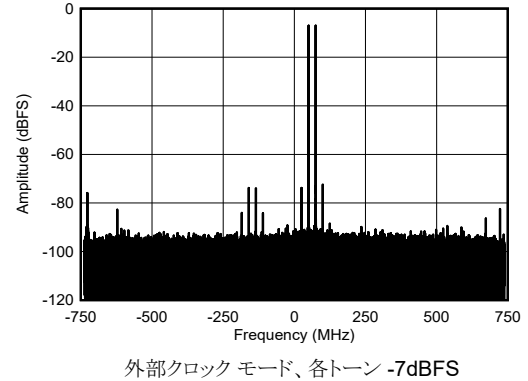
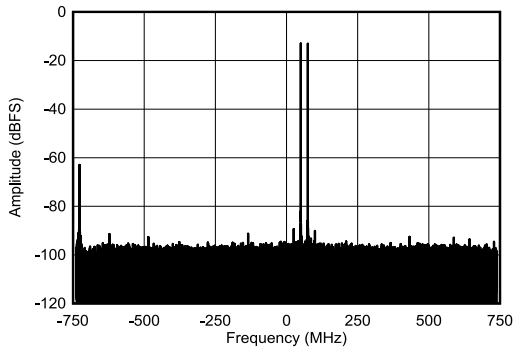


図 4-445. RX デュアル トーン出力 FFT (8.11GHz)

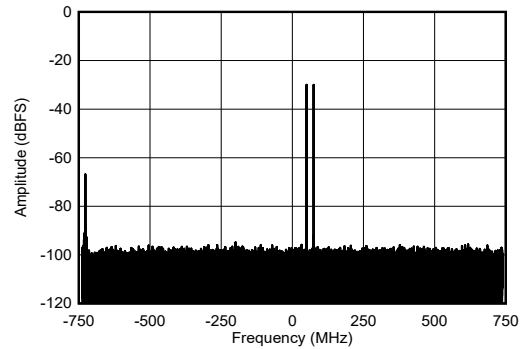
**4.12.13 RX 代表的特性 : 8.1GHz (続き)**

$T_A = +25^\circ\text{C}$ 、ADC サンプルレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 1474.56MSPS (1/2 にデシメーション)、 $f_{\text{CLK}} = 11796.48\text{MHz}$  による外部クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB、8.1GHz 整合あり。



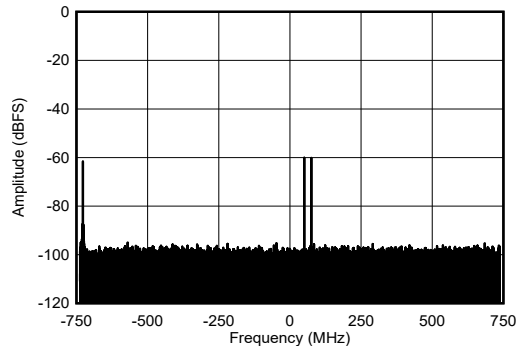
外部クロック モード、各トーン -13dBFS

図 4-446. RX デュアル トーン出力 FFT (8.11GHz)



外部クロック モード、各トーン -30dBFS

図 4-447. RX デュアル トーン出力 FFT (8.11GHz)



外部クロック モード、各トーン -60dBFS

図 4-448. RX デュアル トーン出力 FFT (8.11GHz)

#### 4.12.14 RX 代表的特性 : 9.6GHz

$T_A = +25^\circ\text{C}$ 、ADC サンプルングレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 1474.56MSPS (1/2 にデシメーション)、 $f_{\text{CLK}} = 11796.48\text{MHz}$  による外部クロックモード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB、9.6GHz 整合あり。

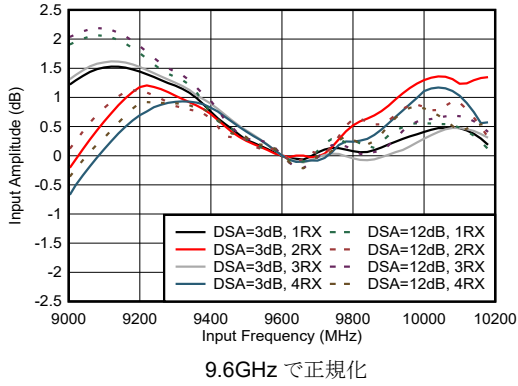


図 4-449. RX 入力振幅と周波数との関係

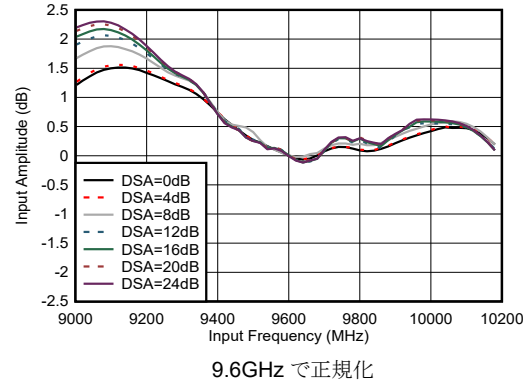


図 4-450. RX 入力振幅と周波数との関係 (9.6GHz)

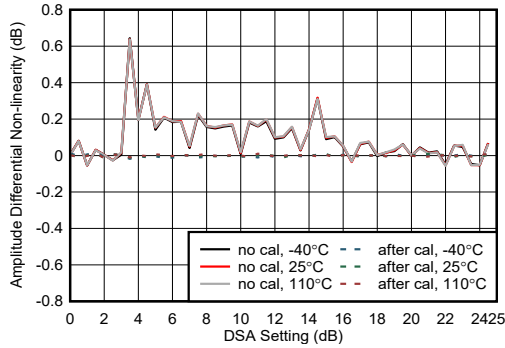


図 4-451. RX 振幅の微分非直線性 (9.6GHz)

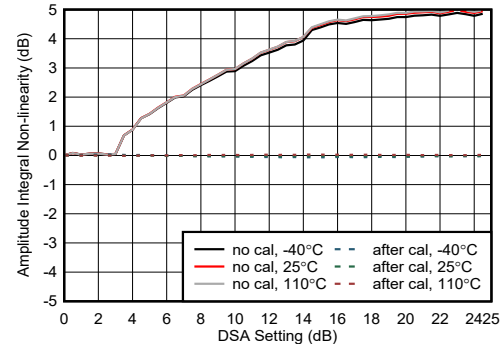


図 4-452. RX 振幅の積分非線形性 (9.6GHz)

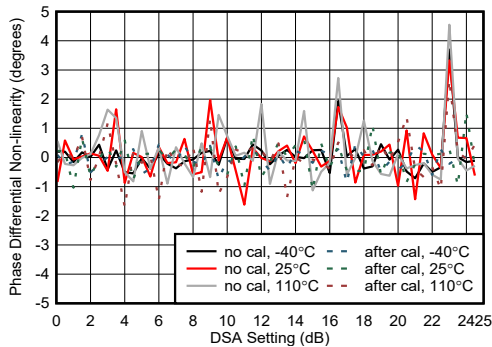


図 4-453. RX 位相の微分非直線性 (9.6GHz)

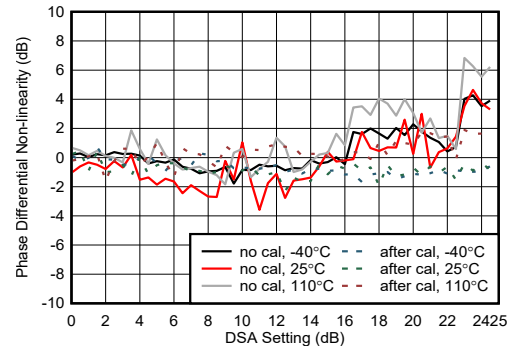


図 4-454. RX 位相の積分非線形性 (9.6GHz)

4.12.14 RX 代表的特性 : 9.6GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 1474.56MSPS (1/2 に デシメーション)、 $f_{\text{CLK}} = 11796.48\text{MHz}$  による外部クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB、9.6GHz 整合あり。

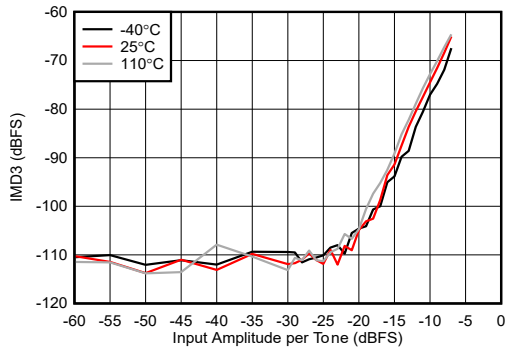
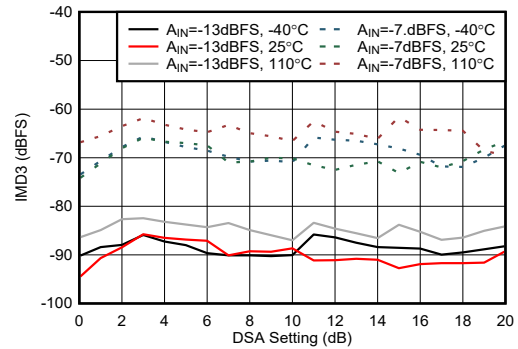
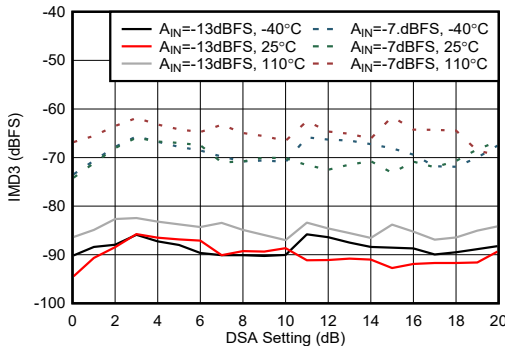


図 4-455. RX IMD3 とデジタル振幅との関係 (9.6GHz)



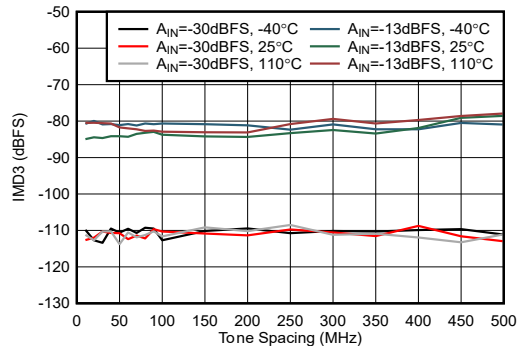
50MHz のトーン間隔

図 4-456. RX IMD3 と DSA 設定との関係 (9.6GHz)



50MHz のトーン間隔

図 4-457. RX IMD3 と DSA 設定との関係 (9.6GHz)



50MHz のトーン間隔

図 4-458. RX IMD3 と トーン間隔との関係 (9.6GHz)

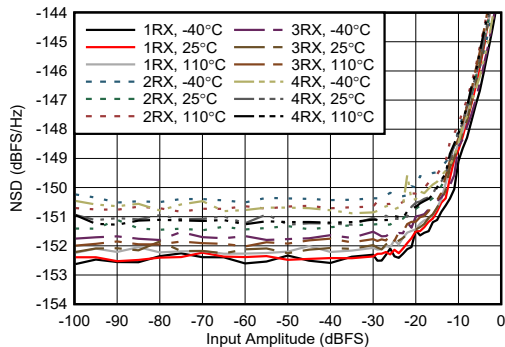


図 4-459. RX NSD とデジタル振幅との関係 (9.6GHz)

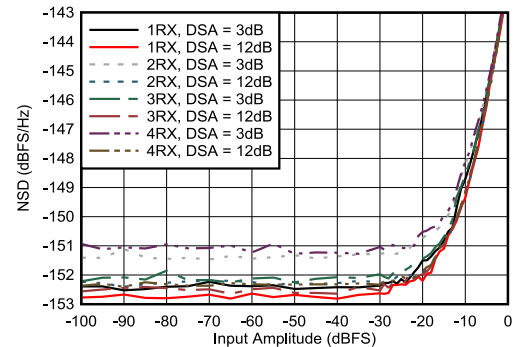


図 4-460. RX NSD とデジタル振幅との関係 (9.6GHz)

#### 4.12.14 RX 代表的特性 : 9.6GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 1474.56MSPS (1/2 に デシメーション)、 $f_{\text{CLK}} = 11796.48\text{MHz}$  による外部クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB、9.6GHz 整合あり。

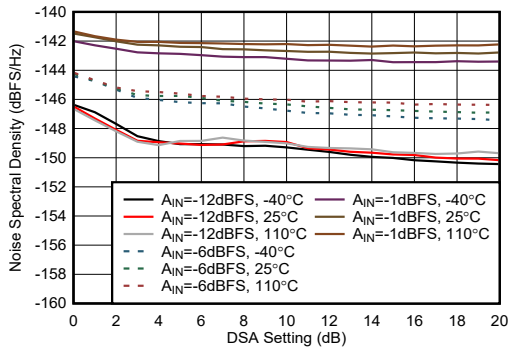


図 4-461. RX NSD と DSA 設定との関係 (9.6GHz)

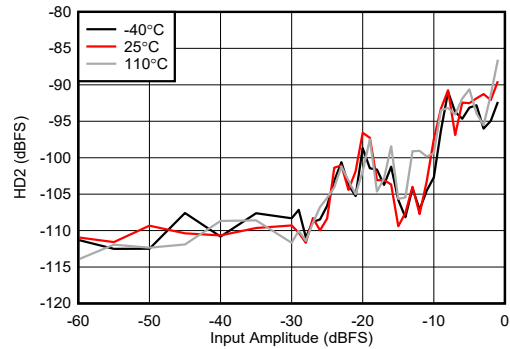


図 4-462. RX HD2 とデジタル レベルとの関係 (9.6GHz)

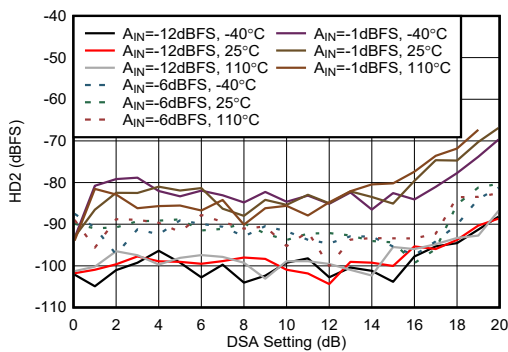


図 4-463. RX HD2 と DSA 設定との関係 (9.6GHz)

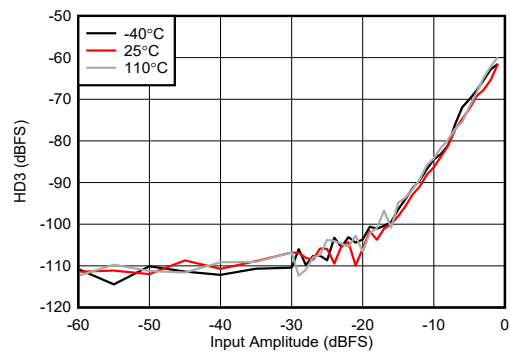


図 4-464. RX HD3 とデジタル レベルとの関係 (9.6GHz)

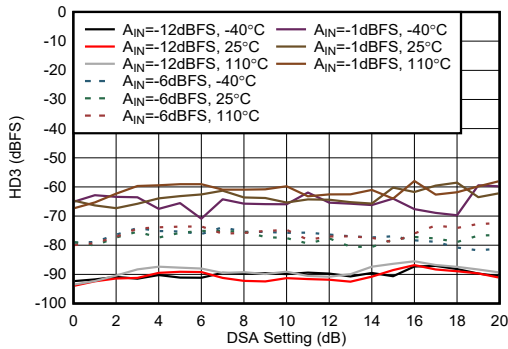


図 4-465. RX HD3 と DSA 設定との関係 (9.6GHz)

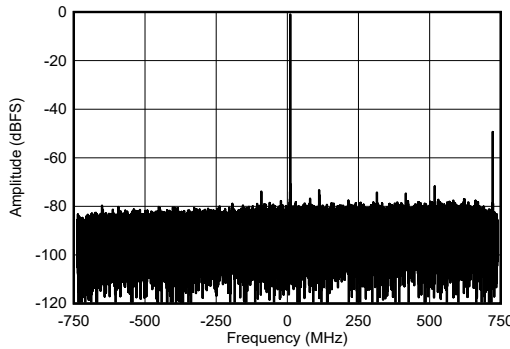
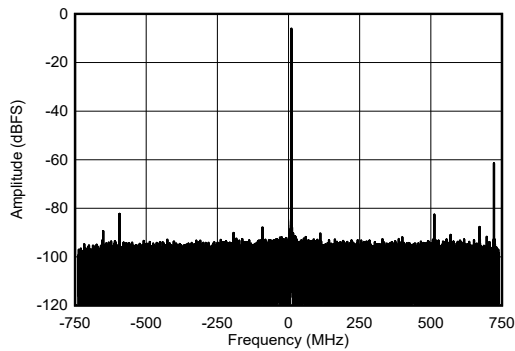


図 4-466. RX シングル トーン出力 FFT (9.6GHz)

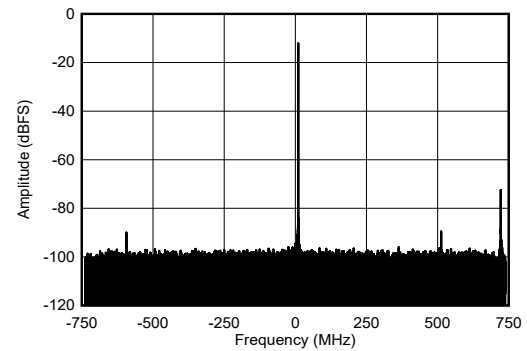
#### 4.12.14 RX 代表的特性 : 9.6GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 1474.56MSPS (1/2 にデシメーション)、 $f_{\text{CLK}} = 11796.48\text{MHz}$  による外部クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB、9.6GHz 整合あり。



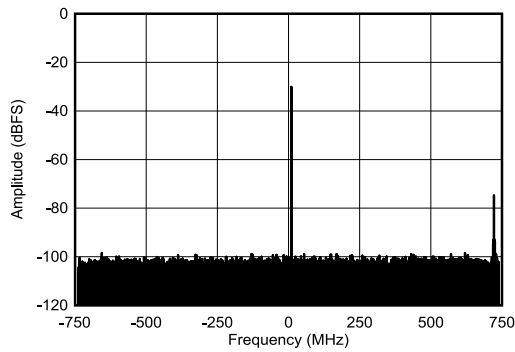
-6dBFS

図 4-467. RX シングル トーン出力 FFT (9.61GHz)



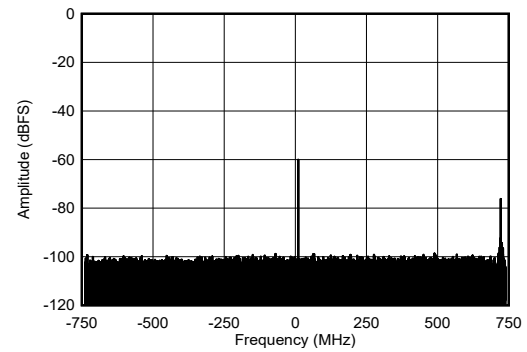
-12dBFS。

図 4-468. RX シングル トーン出力 FFT (9.61GHz)



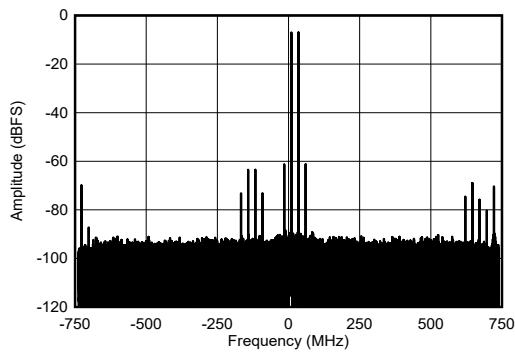
-30dBFS

図 4-469. RX シングル トーン出力 FFT (9.61GHz)



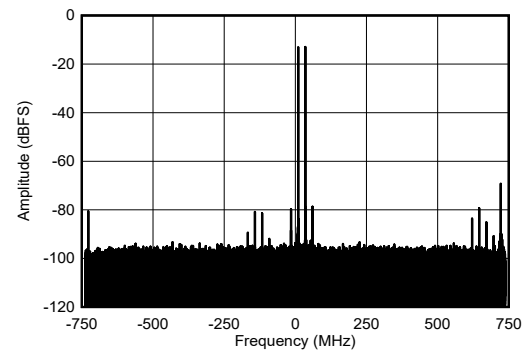
-60dBFS

図 4-470. RX シングル トーン出力 FFT (9.61GHz)



9.61 および 9.635GHz、各トーン -7dBFS

図 4-471. RX ツー トーン出力 FFT (9.61GHz)

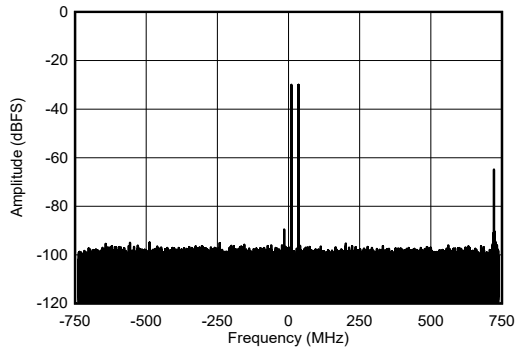


9.61 および 9.635GHz、各トーン -13dBFS

図 4-472. RX ツー トーン出力 FFT (9.61GHz)

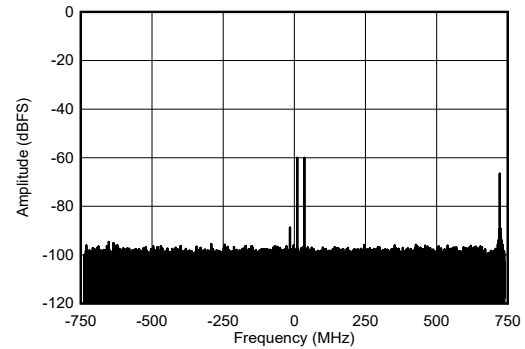
#### 4.12.14 RX 代表的特性 : 9.6GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 1474.56MSPS (1/2 にデシメーション)、 $f_{\text{CLK}} = 11796.48\text{MHz}$  による外部クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB、9.6GHz 整合あり。



9.61 および 9.635GHz、各トーン -30dBFS

図 4-473. RX ツー トーン出力 FFT (9.61GHz)



9.61 および 9.635GHz、各トーン -60dBFS

図 4-474. RX ツー トーン出力 FFT (9.61GHz)

## 5 デバイスおよびドキュメントのサポート

### 5.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 5.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 5.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.  
すべての商標は、それぞれの所有者に帰属します。

### 5.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 5.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 6 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (August 2024) to Revision B (June 2026)	Page
• 「特長」の空間スクリーニングおよび保証を変更 .....	1
• AFE7950-SEP から製品プレビューの注を削除.....	1

Changes from Revision * (March 2024) to Revision A (August 2024)	Page
• 「特長」の RF 周波数範囲を 10.2GHz から 12GHz (標準値) に変更 .....	1
• 「概要」の RF 周波数範囲を 10.2GHz から 12GHz に変更 .....	1
• RF 周波数範囲を 12000MHz に変更.....	6
• RF 周波数範囲を 12000MHz に変更.....	13

## 7 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">AFE7950ALKSEPM</a>	Active	Production	FCBGA (ALK)   400	90   JEDEC TRAY (5+1)	No	Call TI	Call TI	-45 to 105	AFE7950NSP SNPB
<a href="#">AFE7950ALKSHP</a>	Active	Production	FCBGA (ALK)   400	90   JEDEC TRAY (5+1)	No	Call TI	Call TI	-40 to 85	AFE7950SHP SNPB
<a href="#">SN0400ALK-DC</a>	Active	Production	FCBGA (ALK)   400	90   JEDEC TRAY (5+1)	-	Call TI	Call TI	-45 to 105	AFE7950ALKDC SNPB

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

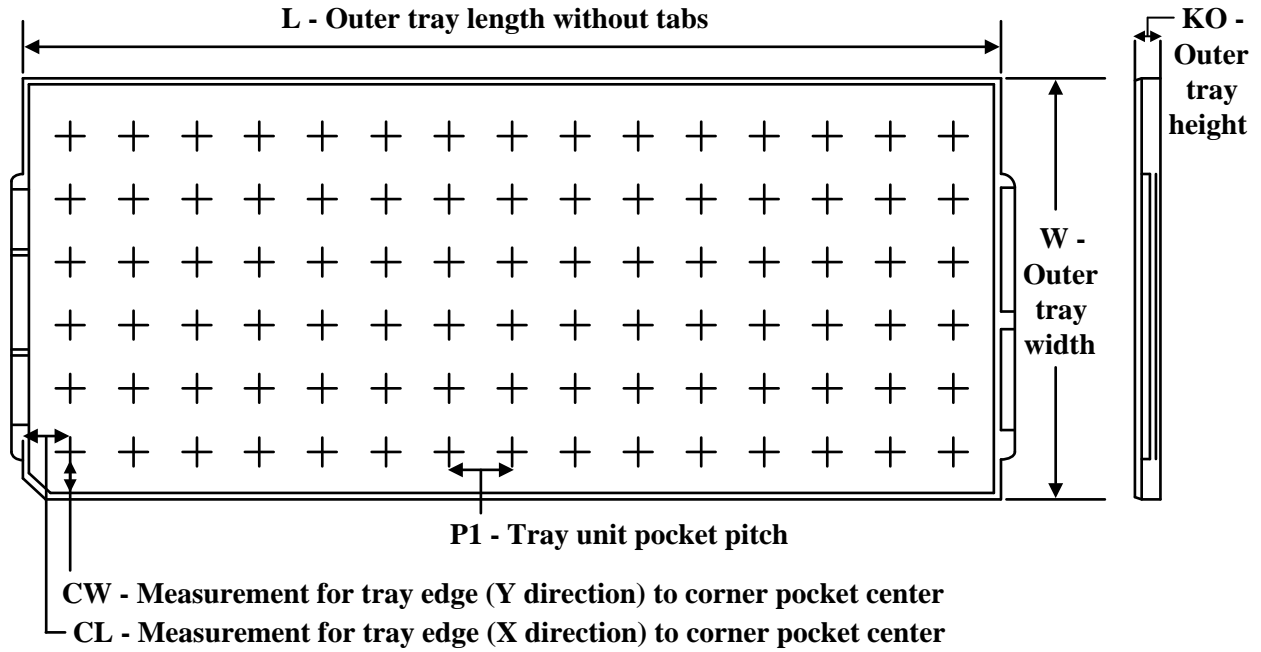
**OTHER QUALIFIED VERSIONS OF AFE7950-SEP, AFE7950-SP :**

- Catalog : [AFE7950](#)
- Space : [AFE7950-SP](#)

## NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

**TRAY**

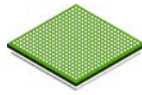


Chamfer on Tray corner indicates Pin 1 orientation of packed units.

\*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
AFE7950ALKSEPM	ALK	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
AFE7950ALKSHP	ALK	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2

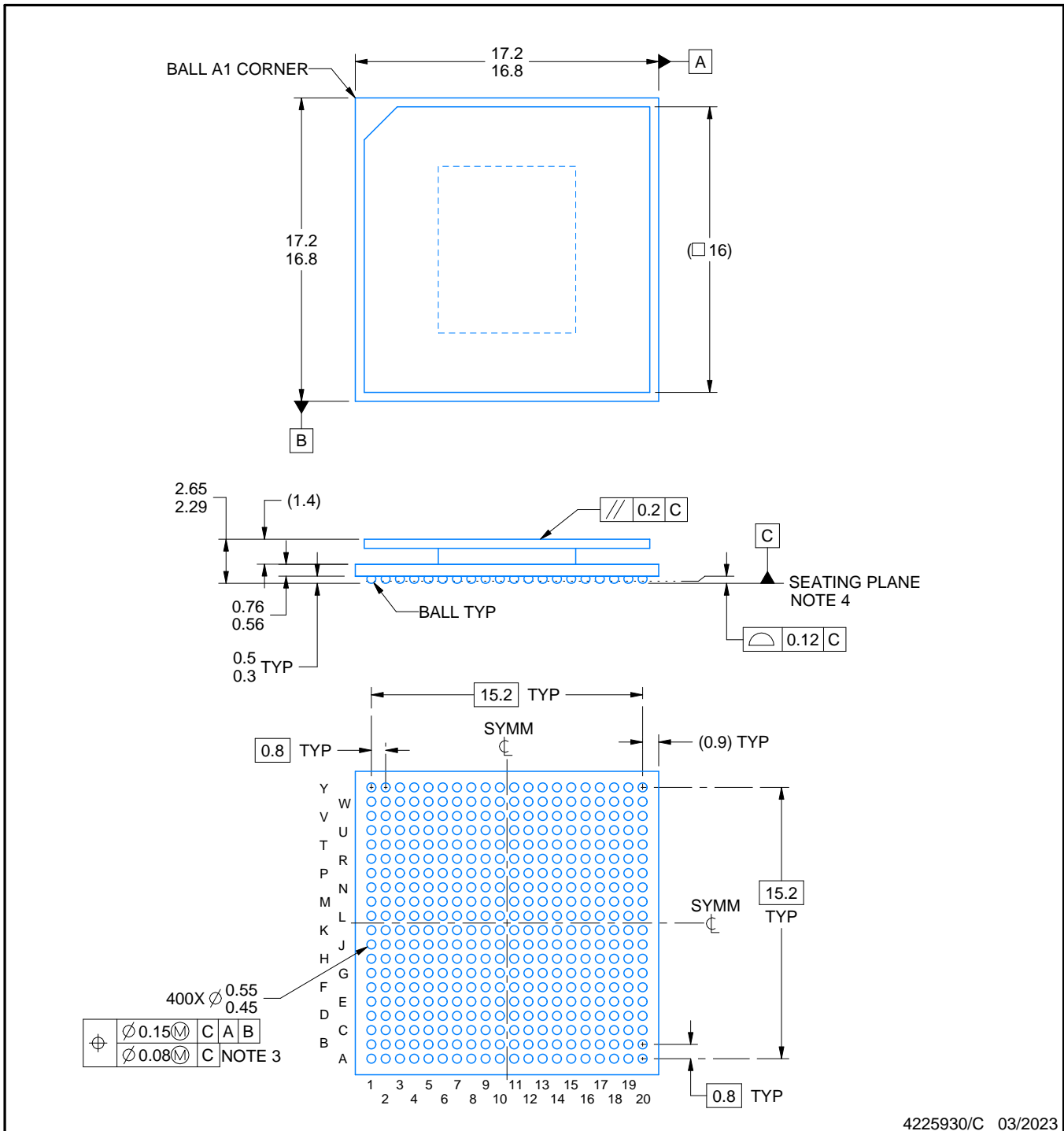
# ALK0400A



# PACKAGE OUTLINE

## FCBGA - 2.65 mm max height

BALL GRID ARRAY



4225930/C 03/2023

### NOTES:

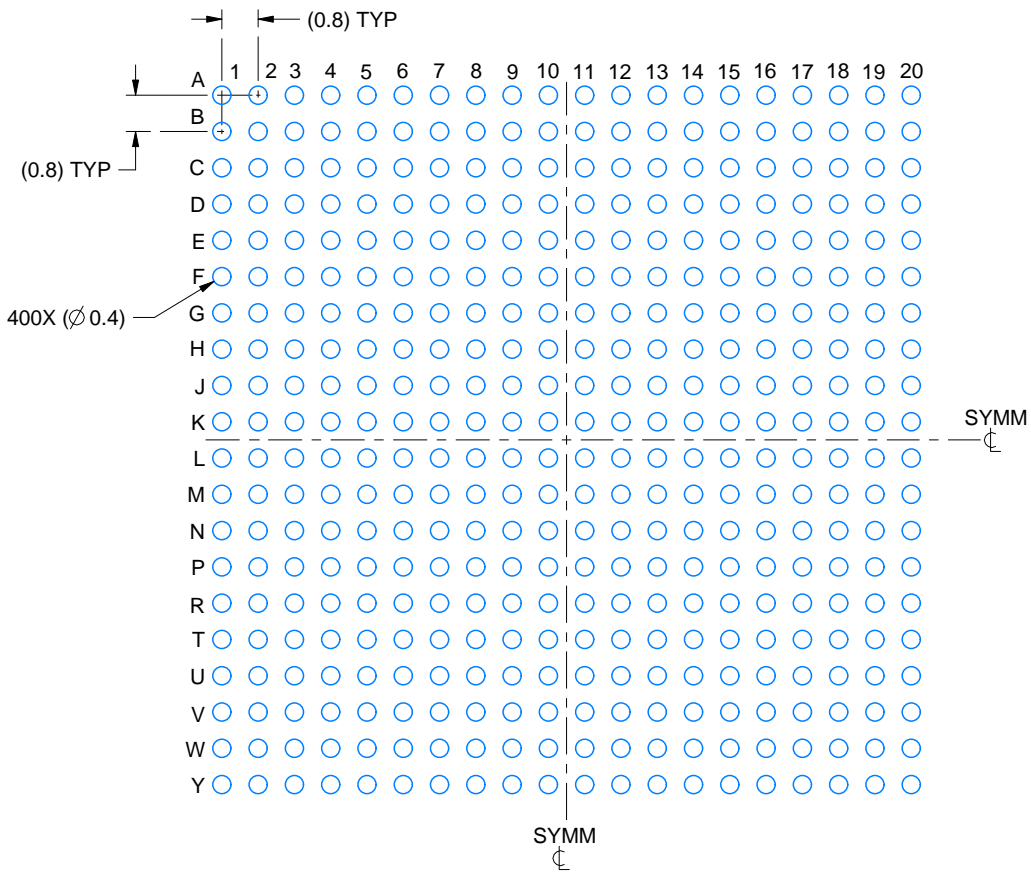
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Dimension is measured at the maximum solder ball diameter, parallel to primary datum C.
4. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.
5. Pb-Free die bump and SnPb solder ball.
6. The lids are electrically floating (e.g. not tied to GND).

# EXAMPLE BOARD LAYOUT

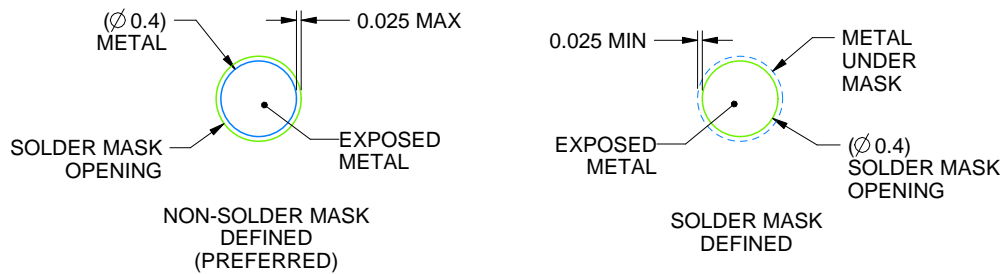
ALK0400A

FCBGA - 2.65 mm max height

BALL GRID ARRAY



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:6X



SOLDER MASK DETAILS  
NOT TO SCALE

4225930/C 03/2023

NOTES: (continued)

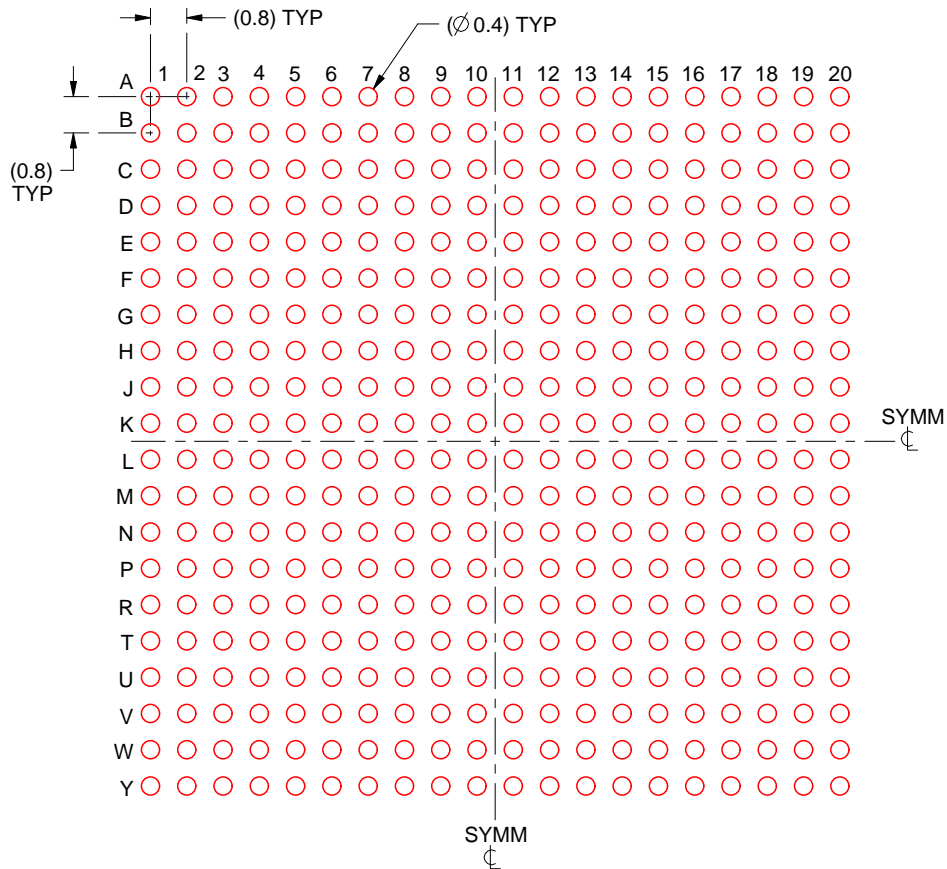
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SPRU811 ([www.ti.com/lit/spru811](http://www.ti.com/lit/spru811)).

# EXAMPLE STENCIL DESIGN

ALK0400A

FCBGA - 2.65 mm max height

BALL GRID ARRAY



SOLDER PASTE EXAMPLE  
 BASED ON 0.15 mm THICK STENCIL  
 SCALE:6X

4225930/C 03/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月