12GSPS DAC と 3GSPS ADC 搭載、AFE7951 4T4R RF サンプリング AFE

1 特長

- データシート全体のご請求
- クワッド RF サンプリング 12GSPS 送信 DAC
- クワッド RF サンプリング 3GSPS 受信 ADC
- 最大 RF 信号帯域幅:400MHz
- RF 周波数範囲:600MHz～12GHz
- デジタル ステップ アッテネータ (DSA):
  - TX:40dB レンジ、0.125dB ステップ
  - RX:25dB レンジ、0.5dB ステップ
- シングルまたはデュアル バンドの DUC と DDC
- TX または RX ごとに 16 個の NCO
- DAC もしくは ADC クロック用の内部 PLL もしくは VCO、または DAC もしくは ADC サンプル レートでの外部クロックを選択可能
- SerDes データ インターフェイス:
  - JESD204B、JESD204C 適合
  - 8 つの SerDes トランシーバ (最大 29.5Gbps)
  - サブクラス 1 のマルチデバイス同期
- パッケージ:17mm × 17mm FCBGA、0.8mm ピッチ

2 アプリケーション

- レーダー
- 追尾フロント・エンド
- 防衛無線
- 戦術通信網
- ワイヤレス通信テスト

3 説明

AFE7951 は、高性能で広帯域幅のマルチチャネル トランシーバで、4 つの RF サンプリング トランスミッタ チェーン、、4 つの RF サンプリング レシーバ チェーン、を統合しています。このデバイスは、最大 12GHz で動作するため、追加の周波数変換段を必要とせず、L、S、C、X バンドの周波数範囲について直接 RF サンプリングが可能です。この密度と柔軟性の向上により、多くのチャネル数を持つマルチミッション システムが可能になります。

TX 信号パスは、TX チャネルあたり最大 400MHz の信号帯域幅を実現する補間およびデジタル アップ コンバージョン オプションをサポートしています。DUC の出力は、2 次ナイキスト動作を拡張する混在モード出力方式で 12GSPS の DAC (D/A コンバータ) を駆動します。DAC 出力は、40dB レンジ、1dB アナログ ステップ、0.125dB デジタル ステップの可変ゲイン アンプ (TX DSA) を内蔵しています。

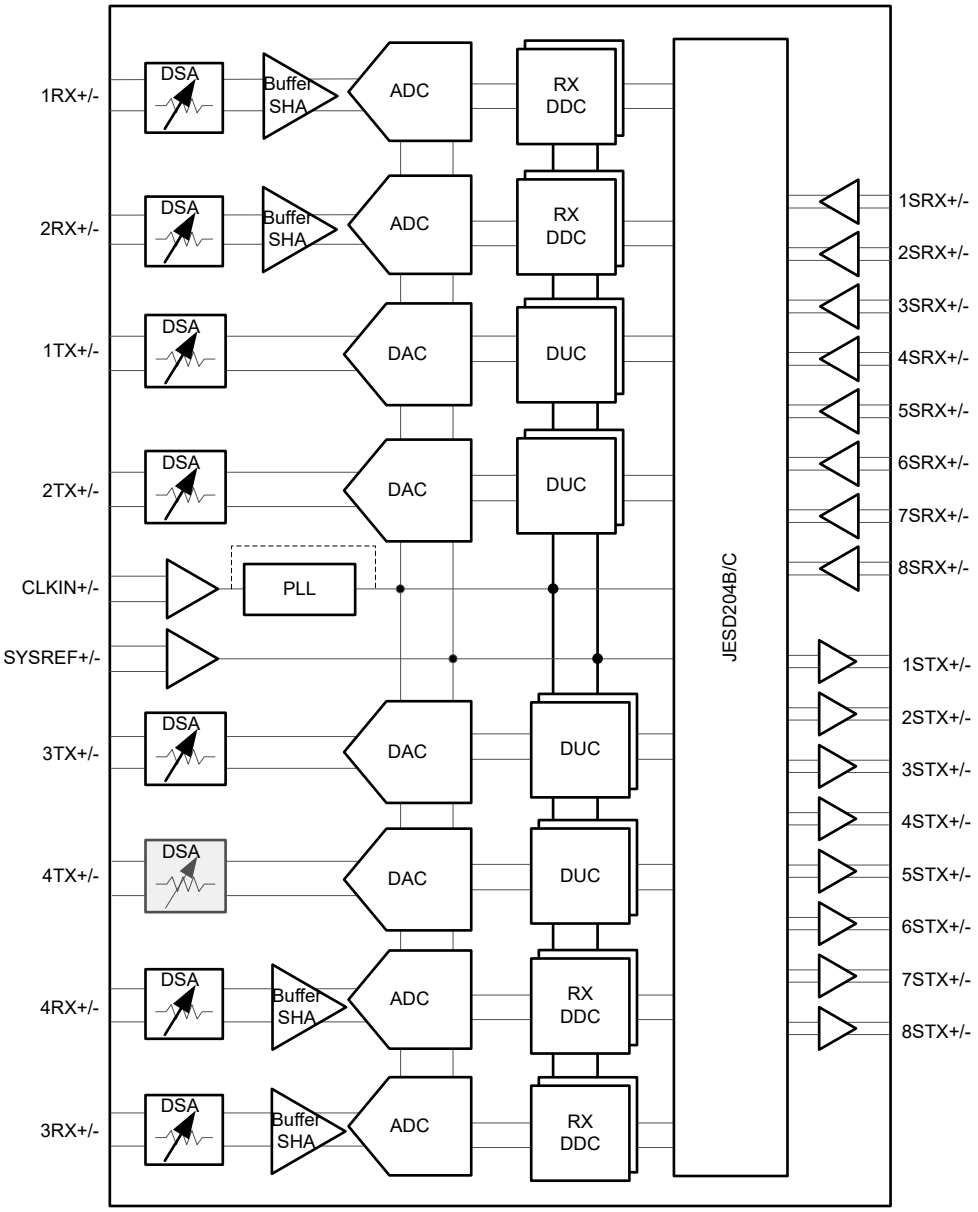
各レシーバ チェーンは、3GSPS の ADC (A/D コンバータ) に接続された 25dB レンジの DSA (デジタル ステップ アッテネータ) を備えています。各レシーバ チャネルは、外部または内部の自律的な AGC (自動ゲイン制御) を補助するためのアナログ ピーク電力検出器とさまざまなデジタル電力検出器、およびデバイスの信頼性を確保するための RF 過負荷検出器を備えています。柔軟なデシメーション オプションにより信号帯域幅を RX チャネルごとに最高 400MHz で最適化できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
AFE7951	FC-BGA	17mm × 17mm

(1) 詳細については、*「メカニカル、パッケージ、および注文情報」*を参照してください。
(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



機能ブロック図

Copyright © 2025 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....4
5 仕様.....11
5.1 絶対最大定格.....11
5.2 ESD 定格.....12
5.3 推奨動作条件.....13
5.4 熱に関する情報 (AFE79xx).....13
5.5 トランスミッタの電気的特性.....14
5.6 RF ADC の電気的特性.....21
5.7 PLL / VCO / クロックの電気的特性.....25
5.8 デジタルの電気的特性.....27
5.9 電源の電気的特性.....29
5.10 タイミング要件.....31
5.11 スイッチング特性.....32
5.12 代表的特性.....33
6 デバイスおよびドキュメントのサポート.....133
6.1 ドキュメントの更新通知を受け取る方法.....133
6.2 サポート・リソース.....133
6.3 商標.....133
6.4 静電気放電に関する注意事項.....133
6.5 用語集.....133
7 改訂履歴.....133
8 メカニカル、パッケージ、および注文情報.....133

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

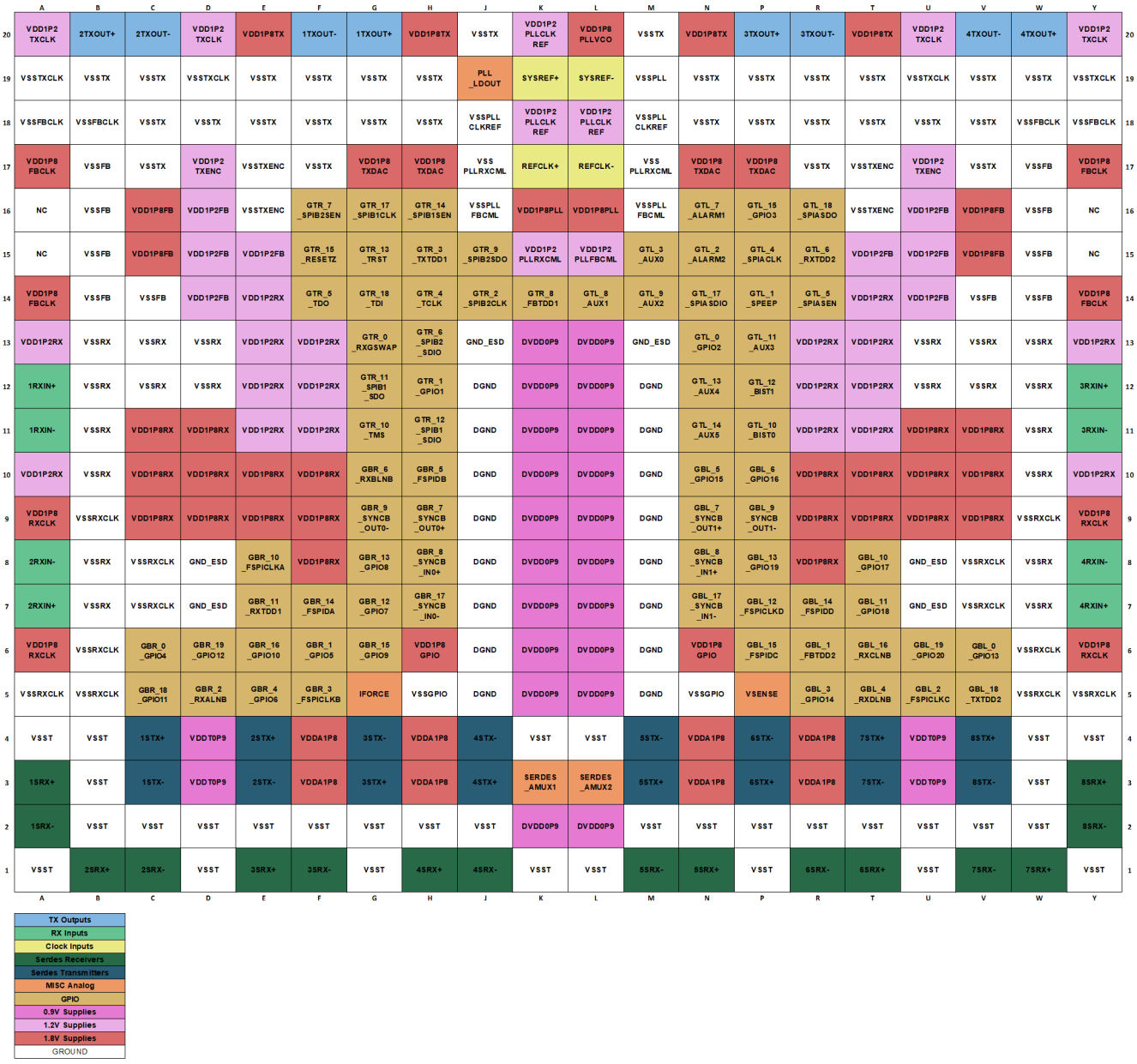


図 4-1. FCBGA パッケージ、400 ピン (上面図)

表 4-1. ピンの機能

ボール名	ボール番号	タイプ [1]	説明
RF インターフェイス			
RXNC	A15、A16、Y15、Y16	I	接続しないでください。
1RXIN–	A11	I	レシーバ チャネル 1 RF 入力:負端子。 未使用の RX 入力はオープンのままにできます。
1RXIN+	A12	I	レシーバ チャネル 1 RF 入力:正端子。未使用の RX 入力はオープンのままにできます。
2RXIN–	A8	I	レシーバ チャネル 2 RF 入力:負端子。未使用の RX 入力はオープンのままにできます。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ボール名	ボール番号	タイプ [1]	説明
2RXIN+	A7	I	レシーバ チャネル 2 RF 入力:正端子。未使用の RX 入力はオープンのままにできます。
3RXIN–	Y11	I	レシーバ チャネル 3 RF 入力:負端子。
3RXIN+	Y12	I	レシーバ チャネル 3 RF 入力:正端子。未使用の RX 入力はオープンのままにできます。
4RXIN–	Y8	I	レシーバ チャネル 4 RF 入力:負端子。未使用の RX 入力はオープンのままにできます。
4RXIN+	Y7	I	レシーバ チャネル 4 RF 入力:正端子。未使用の RX 入力はオープンのままにできます。
1TXOUT–	F20	O	トランスミッタ チャネル 1 RF 出力:負端子。未使用時は 1.8V に接続します。
1TXOUT+	G20	O	トランスミッタ チャネル 1 RF 出力:正端子。未使用時は 1.8V に接続します。
2TXOUT–	C20	O	トランスミッタ チャネル 2 RF 出力:負端子。未使用時は 1.8V に接続します。
2TXOUT+	B20	O	トランスミッタ チャネル 2 RF 出力:正端子。未使用時は 1.8V に接続します。
3TXOUT–	R20	O	トランスミッタ チャネル 3 RF 出力:負端子。未使用時は 1.8V に接続します。
3TXOUT+	P20	O	トランスミッタ チャネル 3 RF 出力:正端子。未使用時は 1.8V に接続します。
4TXOUT–	V20	O	トランスミッタ チャネル 4 RF 出力:負端子。未使用時は 1.8V に接続します。
4TXOUT+	W20	O	トランスミッタ チャネル 4 RF 出力:正端子。未使用時は 1.8V に接続します。
差動クロック入力			
REFCLK–	L17	I	基準クロック入力:負端子
REFCLK+	K17	I	基準クロック入力:正端子
SYSREF–	L19	I	SYSREEF 入力:負端子
SYSREF+	K19	I	SYSREEF 入力:正端子
SerDes CML インターフェイス			
1SRX–	A2	I	CML SerDes インターフェイス レーン 1 入力:負端子。未使用の SerDes 入力はオープンのままにできます。
1SRX+	A3	I	CML SerDes インターフェイス レーン 1 入力:正端子。未使用の SerDes 入力はオープンのままにできます。
2SRX–	C1	I	CML SerDes インターフェイス レーン 2 入力:負端子。未使用の SerDes 入力はオープンのままにできます。
2SRX+	B1	I	CML SerDes インターフェイス レーン 2 入力:正端子。未使用の SerDes 入力はオープンのままにできます。
3SRX–	F1	I	CML SerDes インターフェイス レーン 3 入力:負端子
3SRX+	E1	I	CML SerDes インターフェイス レーン 3 入力:正端子。未使用の SerDes 入力はオープンのままにできます。
4SRX–	J1	I	CML SerDes インターフェイス レーン 4 入力:負端子
4SRX+	H1	I	CML SerDes インターフェイス レーン 4 入力:正端子
5SRX–	M1	I	CML SerDes インターフェイス レーン 5 入力:負端子。未使用の SerDes 入力はオープンのままにできます。
5SRX+	N1	I	CML SerDes インターフェイス レーン 5 入力:正端子

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ボール名	ボール番号	タイプ [1]	説明
6SRX–	R1	I	CML SerDes インターフェイス レーン 6 入力:負端子
6SRX+	T1	I	CML SerDes インターフェイス レーン 6 入力:正端子。 未使用の SerDes 入力はオープンのままにできます。
7SRX–	V1	I	CML SerDes インターフェイス レーン 7 入力:負端子
7SRX+	W1	I	CML SerDes インターフェイス レーン 7 入力:正端子。 未使用の SerDes 入力はオープンのままにできます。
8SRX–	Y2	I	CML SerDes インターフェイス レーン 8 入力:負端子
8SRX+	Y3	I	CML SerDes インターフェイス レーン 8 入力:正端子。 未使用の SerDes 入力はオープンのままにできます。
1STX–	C3	O	CML SerDes インターフェイス レーン 1 出力:負端子。 未使用の SerDes 出力はオープンのままにできます。
1STX+	C4	O	CML SerDes インターフェイス レーン 1 出力:正端子。 未使用の SerDes 出力はオープンのままにできます。
2STX–	E3	O	CML SerDes インターフェイス レーン 2 出力:負端子。 未使用の SerDes 出力はオープンのままにできます。
2STX+	E4	O	CML SerDes インターフェイス レーン 2 出力:正端子。 未使用の SerDes 出力はオープンのままにできます。
3STX–	G4	O	CML SerDes インターフェイス レーン 3 出力:負端子。 未使用の SerDes 出力はオープンのままにできます。
3STX+	G3	O	CML SerDes インターフェイス レーン 3 出力:正端子。 未使用の SerDes 出力はオープンのままにできます。
4STX–	J4	O	CML SerDes インターフェイス レーン 4 出力:負端子。 未使用の SerDes 出力はオープンのままにできます。
4STX+	J3	O	CML SerDes インターフェイス レーン 4 出力:正端子。 未使用の SerDes 出力はオープンのままにできます。
5STX–	M4	O	CML SerDes インターフェイス レーン 5 出力:負端子。 未使用の SerDes 出力はオープンのままにできます。
5STX+	M3	O	CML SerDes インターフェイス レーン 5 出力:正端子。 未使用の SerDes 出力はオープンのままにできます。
6STX–	P4	O	CML SerDes インターフェイス レーン 6 出力:負端子。 未使用の SerDes 出力はオープンのままにできます。
6STX+	P3	O	CML SerDes インターフェイス レーン 6 出力:正端子。 未使用の SerDes 出力はオープンのままにできます。
7STX–	T3	O	CML SerDes インターフェイス レーン 7 出力:負端子。 未使用の SerDes 出力はオープンのままにできます。
7STX+	T4	O	CML SerDes インターフェイス レーン 7 出力:正端子。 未使用の SerDes 出力はオープンのままにできます。
8STX–	V3	O	CML SerDes インターフェイス レーン 8 出力:負端子。 未使用の SerDes 出力はオープンのままにできます。
8STX+	V4	O	CML SerDes インターフェイス レーン 8 出力:正端子。 未使用の SerDes 出力はオープンのままにできます。
GPIO 機能			
GBL_0_GPIO13	V6	I/O	GPIO。
GBL_1_FBTDD2	R6	I/O	FB TDD2 入力信号のデフォルト位置。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ボール名	ボール番号	タイプ [1]	説明
GBL_2_FSPICLKC	U5	I/O	FSPI C クロックのデフォルトおよび推奨位置 (FSPI は工場専用。汎用 GPIO として利用可能)。
GBL_3_GPIO14	R5	I/O	GPIO。
GBL_4_RXDLNB	T5	I/O	RX チャネル D AGC LNA バイパス出力信号のデフォルト位置。
GBL_5_GPIO15	N10	I/O	GPIO。
GBL_6_GPIO16	P10	I/O	GPIO。
GBL_7_SYNCB_OUT1+	N9	I/O	JESD Sync\ 1 出力差動正端子のデフォルト位置。
GBL_8_SYNCB_IN1+	N8	I/O	JESD Sync\ 1 入力差動正端子のデフォルト位置。
GBL_9_SYNCB_OUT1–	P9	I/O	JESD Sync\ 1 出力差動負端子のデフォルト位置。
GBL_10_GPIO17	T8	I/O	GPIO。
GBL_11_GPIO18	T7	I/O	GPIO。
GBL_12_FSPICLKD	P7	I/O	FSPI D クロックのデフォルトおよび推奨位置 (FSPI は工場専用。汎用 GPIO として利用可能)。
GBL_13_GPIO19	P8	I/O	GPIO。
GBL_14_FSPIDD	R7	I/O	FSPI D データのデフォルトおよび推奨位置 (FSPI は工場専用。汎用 GPIO として利用可能)。
GBL_15_FSPIDC	P6	I/O	FSPI C クロックのデフォルトおよび推奨位置 (FSPI は工場専用。汎用 GPIO として利用可能)。
GBL_16_RXCLNB	T6	I/O	RX チャネル C AGC LNA バイパス出力信号のデフォルト位置。
GBL_17_SYNCB_IN1–	N7	I/O	JESD Sync\ 1 入力差動負端子のデフォルト位置。
GBL_18_TXTDD2	V5	I/O	TX TDD2 入力信号のデフォルト位置。
GBL_19_GPIO20	U6	I/O	GPIO。
GBR_0_GPIO4	C6	I/O	GPIO。
GBR_1_GPIO5	F6	I/O	GPIO。
GBR_2_RXALNB	D5	I/O	RX チャネル A AGC LNA バイパス出力信号のデフォルト位置。
GBR_3_FSPICLKB	F5	I/O	FSPI B クロックのデフォルトおよび推奨位置 (FSPI は工場専用。汎用 GPIO として利用可能)。
GBR_4_GPIO6	E5	I/O	GPIO。
GBR_5_FSPIDB	H10	I/O	FSPI B データのデフォルトおよび推奨位置 (FSPI は工場専用。汎用 GPIO として利用可能)。
GBR_6_RXBLNB	G10	I/O	RX チャネル B AGC LNA バイパス出力信号のデフォルト位置。
GBR_7_SYNCB_OUT0+	H9	I/O	JESD Sync\ 0 出力差動正端子のデフォルト位置。
GBR_8_SYNCB_IN0+	H8	I/O	JESD Sync\ 0 入力差動正端子のデフォルト位置。
GBR_9_SYNCB_OUT0–	G9	I/O	JESD Sync\ 0 出力差動負端子のデフォルト位置。
GBR_10_FSPICLKA	E8	I/O	FSPI A クロックのデフォルト位置 (FSPI は工場専用。汎用 GPIO として利用可能)。
GBR_11_RXTDD1	E7	I/O	RX TDD1 入力信号のデフォルト位置。
GBR_12_GPIO7	G7	I/O	GPIO。
GBR_13_GPIO8	G8	I/O	GPIO。
GBR_14_FSPIDA	F7	I/O	FSPI A クロックのデフォルトおよび推奨位置 (FSPI は工場専用。汎用 GPIO として利用可能)。
GBR_15_GPIO9	G6	I/O	GPIO。
GBR_16_GPIO10	E6	I/O	GPIO。
GBR_17_SYNCB_IN0–	H7	I/O	JESD Sync\ 0 入力差動負端子のデフォルト位置。
GBR_18_GPIO11	C5	I/O	GPIO。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ボール名	ボール番号	タイプ [1]	説明
GBR_19_GPIO12	D6	I/O	GPIO。
GTL_0_GPIO2	N13	I/O	GPIO。
GTL_1_SLEEP	P14	I/O	スリープ入力信号のデフォルト位置。
GTL_2_ALARM2	N15	I/O	アラーム 2 出力信号のデフォルト位置。
GTL_3_AUX0	M15	I/O	GPIO または補助低速 ADC 入力 0
GTL_4_SPIACLK	P15	I/O	SPI A クロックの固定位置。
GTL_5_SPIASEN	R14	I/O	SPI A 送信イネーブルの固定位置。
GTL_6_RXTDD2	R15	I/O	RX TDD2 入力信号のデフォルト位置。
GTL_7_ALARM1	N16	I/O	アラーム 1 出力信号のデフォルト位置。
GTL_8_AUX1	L14	I/O	GPIO または補助低速 ADC 入力 1。
GTL_9_AUX2	M14	I/O	GPIO または補助低速 ADC 入力 2。
GTL_10_BIST0	P11	I/O	BIST0 機能の固定位置。JTAG 使用時は Low に設定し、通常動作時は High に設定します。
GTL_11_AUX3	P13	I/O	GPIO または補助低速 ADC 入力 3。
GTL_12_BIST1	P12	I/O	BIST1 機能の固定位置。JTAG 使用時は High に設定し、通常動作時は Low に設定します。
GTL_13_AUX4	N12	I/O	GPIO または補助低速 ADC 入力 4。
GTL_14_AUX5	N11	I/O	GPIO または補助低速 ADC 入力 5。
GTL_15_GPIO3	P16	I/O	GPIO。
GTL_17_SPIASDIO	N14	I/O	SPI A シリアル データ入力 (3 および 4 線式) または出力 (3 線式のみ) の固定位置。
GTL_18_SPIASDO	R16	I/O	4 線式での SPI A シリアル データ出力の固定位置。
GTR_0_RXGSWAP	G13	I/O	RX ゲイン スワップ入力のデフォルト位置。
GTR_1_GPIO1	H12	I/O	GPIO。
GTR_2_SPIB2CLK	J14	I/O	SPI B2 クロックのデフォルトおよび推奨位置。
GTR_3_TXTDD1	H15	I/O	TX TDD1 入力信号のデフォルト位置。
GTR_4_TCLK	H14	I/O	JTAG テスト クロックの固定位置。
GTR_5_TDO	F14	I/O	JTAG テスト データ出力の固定位置。
GTR_6_SPIB2_SDIO	H13	I/O	SPI B2 シリアル データ入力 / 出力のデフォルトおよび推奨位置。
GTR_7_SPIB2SEN	F16	I/O	SPI B2 イネーブル入力のデフォルトおよび推奨位置。
GTR_8_FBTDD1	K14	I/O	FB TDD1 入力信号のデフォルト位置。
GTR_9_SPIB2SDO	J15	I/O	SPI B2 シリアル データ出力のデフォルトおよび推奨位置 (4 線式)
GTR_10_TMS	G11	I/O	JTAG テスト モード選択の固定位置。
GTR_11_SPIB1_SDO	G12	I/O	SPI B1 シリアル データ出力のデフォルトおよび推奨位置 (4 線式)。
GTR_12_SPIB_SDIO	H11	I/O	SPI B1 シリアル データ入力 / 出力のデフォルトおよび推奨位置。
GTR_13_TRST	G15	I/O	JTAG テスト リセットの固定位置。JTAG ポートを使用しない場合、Low にプルする必要があります。
GTR_14_SPIB1SEN	H16	I/O	SPI B1 イネーブル入力のデフォルトおよび推奨位置。
GTR_15_RESETZ	F15	I/O	リセット機能の固定位置。チップ全体をデフォルトのレジスタ設定にリセットします。
GTR_17_SPIB1CLK	G16	I/O	SPI B1 クロックのデフォルトおよび推奨位置。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ボール名	ボール番号	タイプ [1]	説明
GTR_18_TDI	G14	I/O	JTAG テスト データ入力の固定位置。
電源			
DVDD	K2、K5、K6、K7、K8、K9、K10、K11、K12、K13、L2、L5、L6、L7、L8、L9、L10、L11、L12、L13	—	0.9V デジタル電源
VDD1P2FB	D14、D15、D16、E15、U14、U15、U16、T15	—	FB ADC 用 1.2V 電源。
VDD1P8FB	C15、C16、V15、V16	—	FB ADC 用 1.8V 電源。
VDD1P8FBCLK	A14、A17、Y17、Y14	—	FB ADC クロック用 1.8V 電源。
VDD1P2PLLCLKREF	K20、K18、L18	—	PLL 用 1.2V 電源。
VDDPLL1P2FBCML	L15	—	FB ADC に PLL クロックを分配するための 1.2V 電源。
VDDPLL1P2RXCML	K15	—	RX ADC にクロックを分配するための 1.2V 電源。
VDD1P8PLL	K16、L16	—	PLL 用 1.8V 電源。
VDD1P8PLLVCO	L20	—	内部 PLL および VCO 用 1.8V 電源これは敏感なネットであり、レイアウトには特別な注意が必要です。
VDD1P2RX	A10、A13、E11、E12、E13、E14、F11、F12、F13、R11、R12、R13、T11、T12、T13、T14、Y10、Y13	—	RX ADC 用 1.2V 電源。
VDD1P8RX	C9、C10、C11、D9、D10、D11、E9、E10、F8、F9、F10、R8、R9、R10、T9、T10、U9、U10、U11、V9、V10、V11	—	RX ADC 用 1.8V 電源。
VDD1P8RXCLK	A6、A9、Y6、Y9	—	RX ADC クロック用 1.8V 電源。
VDD1P2TXENC	D17、U17	—	DAC エンコーダ用 1.2V 電源。
VDD1P2TXCLK	A20、D20、U20、Y20	—	DAC クロック用 1.2V 電源。
VDD1P8TX	E20、H20、N20、T20	—	DAC 用 1.8V 電源。
VDD1P8TXDAC	G17、H17、N17、P17	—	DAC 用 1.8V 電源。
VDD1P8GPIO	H6、N6	—	GPIO 用 1.8V 電源。
VDDA1P8	F3、F4、H3、H4、R3、R4、N3、N4	—	SerDes 1.8V のアナログ電源。
VDDT0P9	D3、D4、U3、U4	—	SerDes デジタル 0.9V 電源。
グランド			
DGND	J5、J6、J7、J8、J9、J10、J11、J12、M5、M6、M7、M8、M9、M10、M11、M12	—	デジタル コア グランド
VSSGPIO	H5、N5	—	GPIO グランド。
VSSFB	B14、B15、B16、B17、C14、V14、W14、W15、W16、W17	—	FB ADC 電源用グランド。
VSSFBCLK	A18、B18、W18、Y18	—	FB ADC 1.8V クロック電源用グランド。
GND_ESD	D7、D8、J13、M13、U7、U8	—	ESD 保護回路用グランド。
VSSRX	B7、B8、B10、B11、B12、C12、D12、B13、C13、D13、W7、W8、W10、W11、W13、U12、V12、W12、U13、V13	—	RX ADC 用グランド。
VSSRXCLK	A5、B5、B6、B9、C7、C8、W5、W6、W9、Y5、V7、V8	—	RX ADC クロック用グランド。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ボール名	ボール番号	タイプ (1)	説明
VSSTX	B19、C17、C18、C19、D18、E18、E19、F17、F18、F19、G18、G19、H18、H19、J20、M20、N18、N19、P18、P19、R17、R18、R19、T18、T19、U18、V17、V18、V19、W19	—	TX DAC 用グランド。
VSSTXENC	E16、E17、T16、T17	—	TX DAC エンコーダ用グランド。
VSSTXCLK	A19、D19、U19、Y19	—	TX DAC クロック用グランド。
VSSPLL	M19	—	PLL 用グランド。
VSSPLLFBCML	J16、M16	—	FB ADC クロック用グランド。
VSSPLLCLKREF	J18、M18	—	CLKREF PLL 用グランド。
VSSPLLRXCML	J17、M17	—	RX ADC クロック用グランド。
VSST	A1、A4、B2、B3、B4、C2、D1、D2、E2、F2、G1、G2、H2、J2、K1、K4、L1、L4、M2、N2、P1、P2、R2、T2、U1、U2、V2、W2、W3、W4、Y1、Y4	—	SerDes グランド。
その他			
IFORCE	G5	—	テキサス・インスツルメンツ専用に予約済み。接続しないでください。
PLL_LDOUT	J19	—	PLL LDO 用外部デカップリング ボール。100nF のコンデンサで GND に接続します。
SerDes_AMUX1	K3	—	SerDes レーン 1～4 のアナログ テスト ピン。フローティングのままにできます。
SerDes_AMUX2	L3	—	SerDes レーン 5～8 のアナログ テスト ピン。フローティングのままにできます。
VSENSE	P5	—	プロセス テスト: 電圧検出 (テキサス・インスツルメンツ専用)。接続しないでください。

(1) 信号タイプ : I = 入力、O = 出力、I/O = 入力または出力。

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電源電圧範囲	DVDD0P9、VDDT0P9	-0.3	1.2	V
	VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2PLL、VDD1P2PLLCLKREF、VDD1P2FB、VDD1P2FBCML、VDD1P2RXCML	-0.3	1.4	V
	VDD1P8RX、VDD1P8RXCLK、VDD1P8TX、VDD1P8TXDAC、VDD1P8TXENC、VDD1P8PLL、VDD1P8PLLVCO、VDD1P8FB、VDD1P8FBCLK、VDD1P8GPIO、VDDA1P8	-0.5	2.1	V
ピン電圧範囲	{1/2/3/4}RXIN+/-	-0.5	VDDRX1P8+0.3	V
	{1/2/3/4}TXOUT+/-	-0.5	VDDTX1P8+0.3	V
	REFCLK+/-、SYSREF+/-	-0.3	1.4	V
	{1:8}SRX+/-	-0.3	1.4	V
	{1:8}STX+/-	-0.3	1.4	V
	GPIO{B/C/D/E}x、SPICLK、SPISDIO、SPISDO、SPISEN、$\overline{\text{RESET}}$、BISTB0、BISTB1	-0.5	VDD1P8GPIO + 0.3	V
	IFORCE、VSENSE	-0.3	VDDCLK1P8 + 0.3	V
	SRDAMUX1、SRDAMUX2	-0.3	VDDA1P8+0.3	V
P_{MAX}(xRXIN+/-)	デバイス ピンでのピーク差動 RF 入力電力、f_{IN} = 830MHz、DSA = 20dB		16.7	dBm
	デバイス ピンでのピーク差動 RF 入力電力、f_{IN} = 1760MHz、DSA = 20dB		17.0	dBm
	デバイス ピンでのピーク差動 RF 入力電力、f_{IN} = 2610MHz、DSA = 20dB		18	dBm
	デバイス ピンでのピーク差動 RF 入力電力、f_{IN} = 3610MHz、DSA = 20dB		18.5	dBm
	デバイス・ピンでのピーク差動 RF 入力電力、f_{IN} = 4910MHz、DSA = 20dB		19.3	dBm
	デバイス・ピンでのピーク差動 RF 入力電力、f_{IN} = 8150MHz、DSA = 20dB		21.3	dBm
	デバイス・ピンでのピーク差動 RF 入力電力、f_{IN} = 9610MHz、DSA = 20dB		23.5	dBm
ピーク入力電流	任意の入力		20	mA
T_J	接合部温度		150	℃
T_{stg}	保存温度	-65	150	℃

(1) 「*絶対最大定格*」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「*推奨動作条件*」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

Copyright © 2025 Texas Instruments Incorporated

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	1000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン	150	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

Copyright © 2025 Texas Instruments Incorporated

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
DVDD0P9、VDDT0P9	電源電圧 0.9V	0.9	0.925	0.95	V
VDD1P2{RX/TXCLK/TXENC/FB/PLL/PLLCLKREF/FBCML/RXCML}	電源電圧 1.2V	1.15	1.2	1.25	V
VDD1P8{RX/RXCLK/TX/TXDAC/TXENC/PLL/PLLVCO/FB/FBCLK/GPIO}、VDDA1P8	電源電圧 1.8V	1.75	1.8	1.85	V
T_A	周囲温度	-40		85	℃
T_J	動作時の接合部温度			110(1)	℃
	最大動作接合部温度	125			℃

(1) この接合部温度以上で長時間使用すると、デバイスの時間あたりの故障回数 (FIT) レートが上昇する可能性があります。詳細については、SBAA403 アプリケーション ノートを参照してください

5.4 熱に関する情報 (AFE79xx)

熱評価基準(1)		17mm x 17mm FC-BGA 400 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	16.2	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	0.42	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	4.85	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.12	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	4.6	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.5 トランスミッタの電気的特性

T_A = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、TX 入力レート = 491.52MSPS (6GHz 未満) および 500MSPS (6GHz 超)、f_{DAC} = 11796.48MSPS、PLL クロック モード (出力周波数 6GHz 未満) および外部クロック モード (出力周波数 6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 16.22Gbps、TX クロック ディザ イネーブル、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
DAC_{RES}	DAC の分解能			14		ビット
f_{RFout}	RF 出力周波数範囲	f_{DAC} = 12GSPS、1 次ナイキスト	600		6000	MHz
		f_{DAC} = 12GSPS、2 次ナイキスト	6000		12000	
		f_{DAC} = 9GSPS、1 次ナイキスト	600		4500	
		f_{DAC} = 9GSPS、2 次ナイキスト	4500		9000	
		f_{DAC} = 6GSPS、1 次ナイキスト	600		3000	
		f_{DAC} = 6GSPS、2 次ナイキスト	3000		6000	
P_{max_FS}	デバイス ピンでの最大フルスケール出力電力、最大ゲインの 1 トーン	f_{OUT} = 850MHz、f_{DAC} = 5898.24MSPS、-0.5dBFS		4.2		dBm
		f_{OUT} = 1800MHz、f_{DAC} = 5898.24MSPS、-0.5dBFS		4.6		dBm
		f_{OUT} = 2600MHz、f_{DAC} = 8847.36MSPS、-0.5dBFS		4.0		dBm
		f_{OUT} = 3500MHz、-0.5dBFS		3.9		dBm
		f_{OUT} = 4900MHz、-0.5dBFS		3.1		dBm
		f_{OUT} = 3500MHz、f_{DAC} = 5898.24MSPS、-0.5dBFS、ストレート モード		1.0		dBm
		f_{OUT} = 4900MHz、f_{DAC} = 5898.24MSPS、-0.5dBFS、ストレート モード		0.1		dBm
		f_{OUT} = 4900MHz、f_{DAC} = 8847.36MSPS、-0.5dBFS、ストレート モード		-0.7		dBm
		f_{OUT} = 8100MHz、-0.1dBFS、混在モード		-2.8		dBm
		f_{OUT} = 9600MHz、-0.1dBFS、混在モード		-4.3		dBm
R_{TERM}	出力の終端抵抗	デフォルト設定		50		Ω
ATT_{range}	DSA 減衰範囲			40		dB
ATT_{step}	DSA アナログ減衰ステップ			1.0		dB
	DSA 減衰ステップ精度 (DNL)	0 < 減衰 < 40dB、キャリブレーション前		±0.2		dB
	DSA 減衰ステップ精度 (DNL)	0 < 減衰 < 40dB、キャリブレーション後		±0.1		dB
$ATT_{phase-err}$	DSA ゲイン ステップ位相精度、任意の 8dB レンジ	f_{OUT} = 850MHz (2)		±1		度
		f_{OUT} = 1800MHz (2)		±1		度
		f_{OUT} = 2600MHz (2)		±1		度
		f_{OUT} = 3500MHz (2)		±1		
		f_{OUT} = 4900MHz (2)		±1		度
		f_{OUT} = 8100MHz (2)		±2		度
		f_{OUT} = 9600MHz (2)		±2		度
G_{flat}	ゲイン平坦性	任意の 20MHz		0.1		dB
		600MHz 帯域帯、F_{out} < 4.9G		1.2		

Copyright © 2025 Texas Instruments Incorporated

5.5 トランスミッタの電気的特性 (続き)

T_A = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、TX 入力レート = 491.52MSPS (6GHz 未満) および 500MSPS (6GHz 超)、f_{DAC} = 11796.48MSPS、PLL クロック モード (出力周波数 6GHz 未満) および外部クロック モード (出力周波数 6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 16.22Gbps、TX クロック ディザ イネーブル、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
IMD3	3 次相互変調歪み、f_{IF}±10MHz で 2 トーン	f_{OUT} = 850MHz、各トーン -7dBFS		-66		dBc
		f_{OUT} = 1800MHz、各トーン -7dBFS		-63		dBc
		f_{OUT} = 2600MHz、各トーン -7dBFS		-62		dBc
		f_{OUT} = 3500MHz、各トーン -7dBFS		-61		dBc
		f_{OUT} = 4900MHz、各トーン -7dBFS		-57		dBc
		f_{OUT} = 8100MHz、各トーン -7dBFS		-55		dBc
		f_{OUT} = 9600MHz、各トーン -7dBFS		-52		dBc
		f_{OUT} = 850MHz、各トーン -13dBFS		-74.4		dBc
		f_{OUT} = 1800MHz、各トーン -13dBFS		-71.1		dBc
		f_{OUT} = 2600MHz、各トーン -13dBFS		-73		dBc
		f_{OUT} = 3500MHz、各トーン -13dBFS		-72		dBc
		f_{OUT} = 4900MHz、各トーン -13dBFS		-67.8		dBc
		f_{OUT} = 8100MHz、各トーン -13dBFS		-64		dBc
		f_{OUT} = 9600MHz、各トーン -13dBFS		-68		dBc
SFDR	スプリアス フリー ダイナミック レンジ (ナイキスト ゾーン内)	f_{out} = 850MHz		50.8		dBc
		f_{out} = 1800MHz		51.9		dBc
		f_{out} = 2600MHz		42		dBc
		f_{out} = 3500MHz		44		dBc
		f_{OUT} = 4900MHz		46.1		dBc
$f_S/2 - f_{OUT}$	インターリービング イメージ	f_{DAC} = 5898.24MSPS、インターリーブ モード		-51.9		dBc
		f_{DAC} = 8847.36MSPS、インターリーブ モード		-46.0		dBc
		f_{DAC} = 11796.48MSPS、インターリーブ モード		-41		dBc
HD2	2 次高調波歪み (ナイキスト ゾーン内)	f_{out} = 850MHz		-49		dBc
		f_{out} = 1800MHz		-53		dBc
		f_{out} = 2600MHz		-50		dBc
		f_{out} = 3500MHz		-48		dBc
		f_{OUT} = 4900MHz		-47		dBc
		f_{OUT} = 8100MHz		-50		dBc
		f_{OUT} = 9600MHz		-53		dBc
		f_{OUT} = 850MHz、A_{OUT} = -12dBFS		-60		dBc
		f_{OUT} = 1800MHz、A_{OUT} = -12dBFS		-64		dBc
		f_{OUT} = 2600MHz、A_{OUT} = -12dBFS		-45		dBc
		f_{OUT} = 3500MHz、A_{OUT} = -12dBFS		-57		dBc
		f_{OUT} = 4900MHz、A_{OUT} = -12dBFS		-58		dBc
		f_{OUT} = 8100MHz、A_{OUT} = -12dBFS		-60		dBc
		f_{OUT} = 9600MHz、A_{OUT} = -12dBFS		-62		dBc

Copyright © 2025 Texas Instruments Incorporated

5.5 トランスミッタの電気的特性 (続き)

T_A = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、TX 入力レート = 491.52MSPS (6GHz 未満) および 500MSPS (6GHz 超)、f_{DAC} = 11796.48MSPS、PLL クロック モード (出力周波数 6GHz 未満) および外部クロック モード (出力周波数 6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 16.22Gbps、TX クロック ディザ イネーブル、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
HD3	3 次高調波歪み (ナイキスト ゾーン内)	f_{out} = 850MHz		-62		dBc
		f_{out} = 1800MHz		-55		dBc
		f_{out} = 2600MHz		-57		dBc
		f_{out} = 3500MHz		-60		dBc
		f_{OUT} = 4900MHz		-54		dBc
		f_{OUT} = 8100MHz		-54		dBc
		f_{OUT} = 9600MHz		-56		dBc
		f_{OUT} = 850MHz、A_{OUT} = -12dBFS		-80		dBc
		f_{OUT} = 1800MHz、A_{OUT} = -12dBFS		-79		dBc
		f_{OUT} = 2600MHz、A_{OUT} = -12dBFS		-77		dBc
		f_{OUT} = 3500MHz、A_{OUT} = -12dBFS		-77		dBc
		f_{OUT} = 4900MHz、A_{OUT} = -12dBFS		-78		dBc
		f_{OUT} = 8100MHz、A_{OUT} = -12dBFS		-82		dBc
		f_{OUT} = 9600MHz、A_{OUT} = -12dBFS		-80		dBc
HDn、n≧4	高調波歪み n≧4 (ナイキスト ゾーン内)	f_{out} = 850MHz		-81		dBc
		f_{out} = 1800MHz		-88		dBc
		f_{out} = 2600MHz		-86		dBc
		f_{out} = 3500MHz		-79		dBc
		f_{OUT} = 4900MHz		-86		dBc
		f_{OUT} = 8100MHz		-87		dBc
		f_{OUT} = 9600MHz		-85		dBc
		f_{OUT} = 850MHz、A_{OUT} = -12dBFS		-93		dBc
		f_{OUT} = 1800MHz、A_{OUT} = -12dBFS		-98		dBc
		f_{OUT} = 2600MHz、A_{OUT} = -12dBFS		-84		dBc
		f_{OUT} = 3500MHz、A_{OUT} = -12dBFS		-87		dBc
		f_{OUT} = 4900MHz、A_{OUT} = -12dBFS		-87		dBc
		f_{OUT} = 8100MHz、A_{OUT} = -12dBFS		-87		dBc
		f_{OUT} = 9600MHz、A_{OUT} = -12dBFS		-87		dBc
SFDR +/- 250MHz	+/- 250MHz 以内のスプリアス フリー ダイナミック レンジ	f_{out} = 850MHz		68.5		dBc
		f_{out} = 1800MHz		79.4		dBc
		f_{out} = 2600MHz		77		dBc
		f_{out} = 3500MHz		75		dBc
		f_{OUT} = 4900MHz		76		dBc
		f_{OUT} = 8100MHz		61		dBc
		f_{OUT} = 9600MHz		64		dBc
$f_S/4$	固定スプリアス	f_{DAC} = 5898.24MSPS		-64		dBFS
		f_{DAC} = 8847.36MSPS		-75		dBFS
		f_{DAC} = 11796.48MSPS		-67		dBFS

Copyright © 2025 Texas Instruments Incorporated

5.5 トランスミッタの電気的特性 (続き)

T_A = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、TX 入力レート = 491.52MSPS (6GHz 未満) および 500MSPS (6GHz 超)、f_{DAC} = 11796.48MSPS、PLL クロック モード (出力周波数 6GHz 未満) および外部クロック モード (出力周波数 6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 16.22Gbps、TX クロック ディザ イネーブル、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$f_S/2$	固定スプリアス	f_{DAC} = 5898.24MSPS		-49		dBFS
		f_{DAC} = 8847.36MSPS		-48		dBFS
		f_{DAC} = 11796.48MSPS		-48		dBFS
$3*f_S/4$	固定スプリアス	2 次ナイキスト、f_{DAC} = 5898.24MSPS		-76		dBFS
		2 次ナイキスト、f_{DAC} = 8847.36MSPS		-89		dBFS
		2 次ナイキスト、f_{DAC} = 11796.48MSPS		-63		dBFS
$ACPR_{1xcarr}$	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア f_{OUT} = 0.85GHz	減衰 = 0dB、Pout = -13dBFS		-68.5		dBc
		減衰 = 20dB、Pout = -13dBFS		-67.2		dBc
		減衰 = 28dB、Pout = -13dBFS		-64.5		dBc
		減衰 = 39dB、Pout = -13dBFS		-53.9		dBc
$ACPR_{1xcarr}$	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア f_{OUT} = 1.8425GHz	減衰 = 0dB、Pout = -13dBFS		-70.7		dBc
		減衰 = 20dB、Pout = -13dBFS		-68.3		dBc
		減衰 = 28dB、Pout = -13dBFS		-62.9		dBc
		減衰 = 39dB、Pout = -13dBFS		-52.0		dBc
$ACPR_{1xcarr}$	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア f_{OUT} = 2.6GHz	減衰 = 0dB、Pout = -13dBFS		-71		dBc
		減衰 = 20dB、Pout = -13dBFS		-68		dBc
		減衰 = 28dB、Pout = -13dBFS		-62		dBc
		減衰 = 39dB、Pout = -13dBFS		-51.3		dBc
$ACPR_{1xcarr}$	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア f_{OUT} = 3.5GHz	減衰 = 0dB、Pout = -13dBFS		-70		dBc
		減衰 = 20dB、Pout = -13dBFS		-67		dBc
		減衰 = 28dB、Pout = -13dBFS		-60		dBc
		減衰 = 39dB、Pout = -13dBFS		-49.8		dBc
$ACPR_{1xcarr}$	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア f_{OUT} = 4.9GHz	減衰 = 0dB、Pout = -13dBFS		-68.8		dBc
		減衰 = 20dB、Pout = -13dBFS		-65.9		dBc
		減衰 = 28dB、Pout = -13dBFS		-60.6		dBc
		減衰 = 39dB、Pout = -13dBFS		-49.5		dBc
$ACPR_{1xcarr}$	ACPR - 1 キャリア、NR 100MHz E-TM1.1 キャリア f_{OUT} = 2.6GHz	減衰 = 0dB、Pout = -13dBFS		-65		dBc
		減衰 = 20dB、Pout = -13dBFS		-62		dBc
		減衰 = 20dB、Pout = -13dBFS		-55		dBc
		減衰 = 39dB、Pout = -13dBFS		-44.3		dBc
$ACPR_{1xcarr}$	ACPR - 1 キャリア、NR 100MHz E-TM1.1 キャリア f_{OUT} = 3.5GHz	減衰 = 0dB、Pout = -13dBFS		-64		dBc
		減衰 = 20dB、Pout = -13dBFS		-59		dBc
		減衰 = 28dB、Pout = -13dBFS		-52		dBc
		減衰 = 39dB、Pout = -13dBFS		-41.1		dBc
$ACPR_{1xcarr}$	ACPR - 1 キャリア、NR 100MHz E-TM1.1 キャリア f_{OUT} = 4.9GHz	減衰 = 0dB、Pout = -13dBFS		-64.1		dBc
		減衰 = 20dB、Pout = -13dBFS		-60.4		dBc
		減衰 = 28dB、Pout = -13dBFS		-53.5		dBc
		減衰 = 39dB、Pout = -13dBFS		-42.5		dBc

Copyright © 2025 Texas Instruments Incorporated

5.5 トランスミッタの電気的特性 (続き)

T_A = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、TX 入力レート = 491.52MSPS (6GHz 未満) および 500MSPS (6GHz 超)、f_{DAC} = 11796.48MSPS、PLL クロック モード (出力周波数 6GHz 未満) および外部クロック モード (出力周波数 6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 16.22Gbps、TX クロック ディザ イネーブル、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$ACPR_{1xcarr}$	ACPR - 1 キャリア、NR 100MHz E-TM1.1 キャリア f_{OUT} = 8.1GHz	減衰 = 0dB、Pout = -13dBFS		-58		dBc
		減衰 = 20dB、Pout = -13dBFS		-53		dBc
		減衰 = 28dB、Pout = -13dBFS		-46		dBc
		減衰 = 39dB、Pout = -13dBFS		-36		dBc
$ACPR_{1xcarr}$	ACPR - 1 キャリア、NR 100MHz E-TM1.1 キャリア f_{OUT} = 9.6GHz	減衰 = 0dB、Pout = -13dBFS		-57		dBc
		減衰 = 20dB、Pout = -13dBFS		-50		dBc
		減衰 = 28dB、Pout = -13dBFS		-42		dBc
		減衰 = 39dB、Pout = -13dBFS		-31		dBc
EVM	エラー ベクトル振幅、1x 20MHz E-TM3.1/3.1a、リファレンスなし、クロック ノイズ	F_{OUT} = 0.85GHz、P_{OUT} = -13dBFS		0.2		%
		F_{OUT} = 1.8425GHz、P_{OUT} = -13dBFS		0.3		%
		F_{OUT} = 2.6GHz、P_{OUT} = -13dBFS		0.28		%
		F_{out} =3.5 GHz、P_{OUT}=-13dBFs		0.38		%
		F_{out} =4.9 GHz、P_{OUT}=-13dBFs		0.4		%
NSD_{dBFS}	ノイズ スペクトル密度 20MHz オフセット f_{OUT} = 0.85GHz	減衰 = 0dB、f_{DAC} = 5898.24MSPS、Pout =-13dBFs		-157.6		dBFS/Hz
		減衰 = 20dB、f_{DAC} = 5898.24MSPS、Pout = -13dBFS		-153.3		dBFS/Hz
		減衰 = 28dB、f_{DAC} = 5898.24MSPS、Pout = -13dBFS		-147.9		dBFS/Hz
		減衰 = 39dB、f_{DAC} = 5898.24MSPS、Pout = -13dBFS		-136.9		dBFS/Hz
NSD_{dBFS}	ノイズ スペクトル密度 20MHz オフセット f_{OUT} = 1.8GHz	減衰 = 0dB、f_{DAC} = 5898.24MSPS、Pout =-13dBFs		-158.4		dBFS/Hz
		減衰 = 20dB、f_{DAC} = 5898.24MSPS、Pout = -13dBFS		-152.2		dBFS/Hz
		減衰 = 28dB、f_{DAC} = 5898.24MSPS、Pout = -13dBFS		-145.6		dBFS/Hz
		減衰 = 39dB、f_{DAC} = 5898.24MSPS、Pout = -13dBFS		-134.6		dBFS/Hz
NSD_{dBFS}	ノイズ スペクトル密度 20MHz オフセット f_{OUT} = 2.6GHz	減衰 = 0dB、f_{DAC} = 8847.36MSPS、Pout =-13dBFs		-157		dBFS/Hz
		減衰 = 20dB、f_{DAC} = 8847.36MSPS、Pout =-13dBFs		-151		dBFS/Hz
		減衰 = 28dB、f_{DAC} = 8847.36MSPS、Pout =-13dBFs		-144		dBFS/Hz
		減衰 = 39dB、f_{DAC} = 8847.36MSPS、Pout = -13dBFS		-133.0		dBFS/Hz

Copyright © 2025 Texas Instruments Incorporated

5.5 トランスミッタの電気的特性 (続き)

T_A = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、TX 入力レート = 491.52MSPS (6GHz 未満) および 500MSPS (6GHz 超)、f_{DAC} = 11796.48MSPS、PLL クロック モード (出力周波数 6GHz 未満) および外部クロック モード (出力周波数 6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 16.22Gbps、TX クロック ディザ イネーブル、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NSD_{dBFS}	ノイズ スペクトル密度 20MHz オフセット F_{OUT} = 3.5GHz	減衰 = 0dB、Pout = -13dBFS		-158		dBFS/Hz
		減衰 = 20dB、Pout = -13dBFS		-150		dBFS/Hz
		減衰 = 28dB、Pout = -13dBFS		-143		dBFS/Hz
		減衰 = 39dB、Pout = -13dBFS		-131.8		dBFS/Hz
NSD_{dBFS}	ノイズ スペクトル密度 20MHz オフセット F_{OUT} = 4.9GHz	減衰 = 0dB、Pout = -13dBFS		-155.5		dBFS/Hz
		減衰 = 20dB、Pout = -13dBFS		-147.8		dBFS/Hz
		減衰 = 28dB、Pout = -13dBFS		-140.8		dBFS/Hz
		減衰 = 39dB、Pout = -13dBFS		-129.6		dBFS/Hz
NSD_{dBFS}	ノイズ スペクトル密度 50MHz オフセット F_{OUT} = 8.1GHz	減衰 = 0dB、Pout = -13dBFS		-153		dBFS/Hz
		減衰 = 20dB、Pout = -13dBFS		-147		dBFS/Hz
		減衰 = 28dB、Pout = -13dBFS		-140		dBFS/Hz
		減衰 = 39dB、Pout = -13dBFS		-129		dBFS/Hz
NSD_{dBFS}	ノイズ スペクトル密度 50MHz オフセット F_{OUT} = 9.6GHz	減衰 = 0dB、Pout = -13dBFS		-152		dBFS/Hz
		減衰 = 20dB、Pout = -13dBFS		-147		dBFS/Hz
		減衰 = 28dB、Pout = -13dBFS		-140		dBFS/Hz
		減衰 = 39dB、Pout = -13dBFS		-129		dBFS/Hz
S22	出力リターン ロス、< 6GHz、+/- fc * 10%	マッチングを使用		-17		dB
	出力リターン ロス、> 8GHz、+/- fc * 10%	マッチングを使用		-10		dB

Copyright © 2025 Texas Instruments Incorporated

5.5 トランスミッタの電気的特性 (続き)

T_A = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、TX 入力レート = 491.52MSPS (6GHz 未満) および 500MSPS (6GHz 超)、f_{DAC} = 11796.48MSPS、PLL クロック モード (出力周波数 6GHz 未満) および外部クロック モード (出力周波数 6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 16.22Gbps、TX クロック ディザ イネーブル、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
絶縁	ニア チャネル: 1TXOUT から 2TXOUT、または 3TXOUT から 4TXOUT (1)	f_{OUT} = 900MHz、f_{DAC} = 8847.36MSPS、ストレート モード		-49		dB
		f_{out} = 1850 MHz、f_{DAC} = 8847.36MSPS、ストレート モード		-59		dB
		f_{out} = 2600 MHz、f_{DAC} = 8847.36MSPS、ストレート モード		-65		dB
		f_{out} = 3500 MHz、f_{DAC} = 8847.36MSPS、ストレート モード		-66		dB
		f_{OUT} = 4900MHz、f_{DAC} = 8847.36MSPS、ストレート モード		-60		dB
		f_{OUT} = 900MHz、f_{DAC} = 8847.36MSPS、ストレート モード		-90		dB
		f_{out} = 1850 MHz、f_{DAC} = 8847.36MSPS、ストレート モード		-91		dB
		f_{out} = 2600 MHz、f_{DAC} = 8847.36MSPS、ストレート モード		-93		dB
		f_{out} = 3500 MHz、f_{DAC} = 8847.36MSPS、ストレート モード		-94		dB
		f_{OUT} = 4900MHz、f_{DAC} = 8847.36MSPS、ストレート モード		-83		dB
PN_{TXADD}	追加の位相ノイズの外部クロック モード (3)	f_{OUT} = 9.6GHz、f_{OFFSET} = 100Hz		-88		dBc/Hz
		f_{OUT} = 9.6GHz、f_{OFFSET} = 1kHz		-102		dBc/Hz
		f_{OUT} = 9.6GHz、f_{OFFSET} = 10kHz		-110		dBc/Hz
		f_{OUT} = 9.6GHz、f_{OFFSET} = 100kHz		-123		dBc/Hz
		f_{OUT} = 9.6GHz、f_{OFFSET} = 1MHz		-136		dBc/Hz
		f_{OUT} = 9.6GHz、f_{OFFSET} = 10MHz		-143		dBc/Hz
		f_{OUT} = 9.6GHz、f_{OFFSET} = 100MHz		-146		dBc/Hz

(1) TxP/M で 50 オームの差動を使用して測定されます。各ピンで各 TxP/M に対する DC バイアスは 1.8V に維持され、削除されません。TX パス上の他の外部コンポーネントは切断されます。
(2) DSA キャリブレーション手順の後
(3) シングル サイド バンド、入力クロック位相ノイズ軽減。

Copyright © 2025 Texas Instruments Incorporated

5.6 RF ADC の電気的特性

T_A = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、RX 出力レート = 491.52MSPS (入力周波数 6GHz 未満) および 500MSPS (入力周波数 6GHz 超)、f_{ADC} = 2949.12MSPS、PLL クロック モードは f_{REF} = 491.52MHz (入力周波数 6GHz 未満)、外部クロック モードは f_{CLK} = 11796.48MHz (入力周波数 6GHz 超)、公称電源、DSA 設定 = 4dB (6GHz 未満) および 3dB (6GHz 超)、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
ADC_{RES}	ADC の分解能			14		ビット
F_{RFin}	RF 入力周波数範囲		600		12000	MHz
$P_{FS_CW,min}$	デバイス ピンでの最小フルスケール入力電力 (1)	f_{IN} = 830MHz、DSA = 0dB		-2.9		dBm
		f_{IN} = 1760MHz、DSA = 0dB		-2.8		dBm
		f_{IN} = 2610MHz、DSA = 0dB		-1.8		dBm
		f_{IN} = 3610MHz、DSA = 0dB		-0.4		dBm
		f_{IN} = 4910MHz、DSA = 0dB		0.1		dBm
		f_{IN} = 8150MHz、DSA = 0dB		2.1		dBm
		f_{IN} = 9610MHz、DSA = 0dB		4.3		dBm
S11	入力のリターン ロス	マッチング ネットワークを使用		-12.0		dB
ATT_{range}	DSA 減衰範囲			25.0		dB
ATT_{step}	DSA 減衰ステップ			0.5		dB
	DSA 減衰ステップ精度	デルタ = Gatt(X) - Gatt(X - 1)、F_{in} = 3610MHz、キャリブレーション後		±0.1		dB
	DSA ゲイン ステップ位相精度 任意の 8dB レンジ	F_{in} = 3610MHz、キャリブレーション後		±0.9		度
	DSA ゲイン ステップ位相精度 任意の 8dB レンジ	F_{in} = 4910MHz、キャリブレーション後		±1.8		度
NSD	ノイズ密度 (小信号)	f_{IN} = 830MHz、DSA = 3dB (3)		-155.2		dBFS/Hz
		f_{IN} = 1760MHz、DSA = 3dB (3)		-155.0		dBFS/Hz
		f_{IN} = 2610MHz、DSA = 3dB (3)		-154.4		dBFS/Hz
		f_{IN} = 3610MHz、DSA = 3dB (3)		-154.1		dBFS/Hz
		f_{IN} = 4910MHz、DSA = 3dB (3)		-155.1		dBFS/Hz
		f_{IN} = 8150MHz、DSA = 3dB (3)		-150		dBFS/Hz
		f_{IN} = 9610MHz、DSA = 3dB (3)		-151		dBFS/Hz
		f_{IN} = 830MHz、3≦減衰≦22		-156.0		dBFS/Hz
		f_{IN} = 1760MHz、3≦減衰≦25		-155.8		dBFS/Hz
		f_{IN} = 2610MHz、3≦減衰≦25		-155.7		dBFS/Hz
		f_{IN} = 3610MHz、3≦減衰≦25		-155.4		dBFS/Hz
		f_{IN} = 4910MHz、3≦減衰≦25		-155.8		dBFS/Hz
		f_{IN} = 8150MHz、3≦減衰≦25		-152.5		dBFS/Hz
		f_{IN} = 9610MHz、3≦減衰≦25		-152.5		dBFS/Hz
NF_{min}	ノイズ指数最小値 DSA 減衰 = 0～3dB	f_{IN} = 830MHz		19.1		dB
		f_{IN} = 1760MHz		19.0		dB
		f_{IN} = 2610MHz		20.9		dB
		f_{IN} = 3610MHz		22.8		dB
		f_{IN} = 4910MHz		22.4		dB
		f_{IN} = 8150MHz		27.3		dB
		f_{IN} = 9610MHz		30		dB

Copyright © 2025 Texas Instruments Incorporated

5.6 RF ADC の電気的特性 (続き)

T_A = +25℃での代表値、全動作温度範囲は $T_{A,\,MIN}$ = -40℃～$T_{J,\,MAX}$ = +110℃、RX 出力レート = 491.52MSPS (入力周波数 6GHz 未満) および 500MSPS (入力周波数 6GHz 超)、f_{ADC} = 2949.12MSPS、PLL クロック モードは f_{REF} = 491.52MHz (入力周波数 6GHz 未満)、外部クロック モードは f_{CLK} = 11796.48MHz (入力周波数 6GHz 超)、公称電源、DSA 設定 = 4dB (6GHz 未満) および 3dB (6GHz 超)、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NF	ノイズ指数 DSA 減衰 = 4dB	f_{IN} = 830MHz (4)		20.0		dB
		f_{IN} = 1760MHz (4)		20.6		dB
		f_{IN} = 2610MHz (4)		21.9		dB
		f_{IN} = 3610MHz (4)		23.5		dB
		f_{IN} = 4910MHz (4)		22.3		dB
		f_{IN} = 8150MHz (4)		27.9		dB
		f_{IN} = 9610MHz (4)		30.7		dB
NF_{max}	ノイズ指数 DSA 減衰 = 20dB	f_{IN} = 830MHz		34.7		dB
		f_{IN} = 1760MHz		35.2		dB
		f_{IN} = 2610MHz		36.0		dB
		f_{IN} = 3610MHz		37.3		dB
		f_{IN} = 4910MHz		37.6		dB
		f_{IN} = 8150MHz		42.8		dB
		f_{IN} = 9610MHz		45		dB
IMD3	3 次相互変調、f_{IN} ± 10MHz で 2 トーン 各トーン -7dBFS	f_{IN} = 840MHz、3≦減衰≦12		-82.4		dBc
		f_{IN} = 1770MHz、3≦減衰≦12		-84.1		dBc
		f_{IN} = 2610MHz、3≦減衰≦12		-74		dBc
		f_{IN} = 3610MHz、3≦減衰≦12		-77		dBc
		f_{IN} = 4920MHz、3≦減衰≦12		-75.9		dBc
		f_{IN} = 8150MHz、3≦減衰≦12、25MHz のトーン間隔		-55		dBc
		f_{IN} = 9610MHz、3≦減衰≦12、25MHz のトーン間隔		-60		dBc
SFDR	スプリアス フリー ダイナミック レンジ 出力帯域幅内、A_{IN} = -3dBFS	f_{IN} = 830MHz		88.2		dBFS
		f_{IN} = 1760MHz		80.6		dBFS
		f_{IN} = 2610MHz		88		dBFS
		f_{IN} = 3610MHz		84		dBFS
		f_{IN} = 4910MHz		78.9		dBFS
		f_{IN} = 8150MHz		78		dBFS
		f_{IN} = 9610MHz		71		dBFS
HD2	2 次高調波歪み A_{IN} = -3dBFS (2) (5)	f_{IN} = 830MHz		-85.5		dBFS
		f_{IN} = 1760MHz		-90.5		dBFS
		f_{IN} = 2610MHz		-88		dBFS
		f_{IN} = 3610MHz		-87		dBFS
		f_{IN} = 4910MHz		-84.2		dBFS
		f_{IN} = 8150MHz		-70		dBFS
		f_{IN} = 9610MHz		-70		dBFS

Copyright © 2025 Texas Instruments Incorporated

5.6 RF ADC の電気的特性 (続き)

T_A = +25℃での代表値、全動作温度範囲は $T_{A,\,MIN}$ = -40℃～$T_{J,\,MAX}$ = +110℃、RX 出力レート = 491.52MSPS (入力周波数 6GHz 未満) および 500MSPS (入力周波数 6GHz 超)、f_{ADC} = 2949.12MSPS、PLL クロック モードは f_{REF} = 491.52MHz (入力周波数 6GHz 未満)、外部クロック モードは f_{CLK} = 11796.48MHz (入力周波数 6GHz 超)、公称電源、DSA 設定 = 4dB (6GHz 未満) および 3dB (6GHz 超)、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
HD3	3 次高調波歪み A_{IN} = -3dBFS (5)	f_{IN} = 830MHz		-80.2		dBFS
		f_{IN} = 1760MHz		-85.3		dBFS
		f_{IN} = 2610MHz		-86		dBFS
		f_{IN} = 3610MHz		-78		dBFS
		f_{IN} = 4910MHz		-75.4		dBFS
		f_{IN} = 8150MHz		-70		dBFS
		f_{IN} = 9610MHz		-70		dBFS
HDn、n > 3	HD2 と HD3 を除く SFDR A_{IN} = -3dBFS (5)	f_{IN} = 830MHz		-88.2		dBFS
		f_{IN} = 1760MHz		-80.6		dBFS
		f_{IN} = 2610MHz		-88		dBFS
		f_{IN} = 3610MHz		-84		dBFS
		f_{IN} = 4910MHz		-81.7		dBFS
		f_{IN} = 8150MHz		-78		dBFS
		f_{IN} = 9610MHz		-71		dBFS
SFDR	スプリアス フリー ダイナミック レンジ A_{IN} = -13dBFS 0≦減衰≦16	f_{IN} = 830MHz		89.2		dBFS
		f_{IN} = 1760MHz		88.8		dBFS
		f_{IN} = 2610MHz		95		dBFS
		f_{IN} = 3610MHz		90		dBFS
		f_{IN} = 4910MHz		89.8		dBFS
		f_{IN} = 8150MHz		83		dBFS
		f_{IN} = 9610MHz		80		dBFS
HD2	2 次高調波歪み A_{IN} = -13dBFS 0≦減衰≦16 (5)	f_{IN} = 830MHz、基板トリムを使用		-79.0		dBFS
		f_{IN} = 1760MHz、基板トリムを使用		-101.6		dBFS
		f_{IN} = 2610MHz、基板トリムを使用		-100		dBFS
		f_{IN} = 3610MHz、基板トリムを使用		-101		dBFS
		f_{IN} = 4910MHz、基板トリムを使用		-99.1		dBFS
		f_{IN} = 8150MHz、基板トリムを使用		-107		dBFS
		f_{IN} = 9610MHz、基板トリムを使用		-107		dBFS
HD3	3 次高調波歪み A_{IN} = -13dBFS 0≦減衰≦16 (5)	f_{IN} = 830MHz		-95.4		dBFS
		f_{IN} = 1760MHz		-95.2		dBFS
		f_{IN} = 2610MHz		-98		dBFS
		f_{IN} = 3610MHz		-97		dBFS
		f_{IN} = 4910MHz		-94		dBFS
		f_{IN} = 8150MHz		-100		dBFS
		f_{IN} = 9610MHz		-102		dBFS

Copyright © 2025 Texas Instruments Incorporated

5.6 RF ADC の電気的特性 (続き)

T_A = +25℃での代表値、全動作温度範囲は $T_{A,\,MIN}$ = -40℃～$T_{J,\,MAX}$ = +110℃、RX 出力レート = 491.52MSPS (入力周波数 6GHz 未満) および 500MSPS (入力周波数 6GHz 超)、f_{ADC} = 2949.12MSPS、PLL クロック モードは f_{REF} = 491.52MHz (入力周波数 6GHz 未満)、外部クロック モードは f_{CLK} = 11796.48MHz (入力周波数 6GHz 超)、公称電源、DSA 設定 = 4dB (6GHz 未満) および 3dB (6GHz 超)、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
HDn、n > 3	HD2 と HD3 を除く SFDR A_{IN} = -13dBFS 0≦減衰≦16 (5)	f_{IN} = 830MHz		-89.2		dBFS
		f_{IN} = 1760MHz		-88.8		dBFS
		f_{IN} = 2610MHz		-95		dBFS
		f_{IN} = 3610MHz		-90		dBFS
		f_{IN} = 4910MHz		-90		dBFS
		f_{IN} = 8150MHz		-83		dBFS
		f_{IN} = 9610MHz		-80		dBFS
RX-RX 絶縁	ニア チャネル: 1RXIN から 2RXIN 3RXIN から 4RXIN	f_{IN} = 830MHz		-76.6		dBc
		f_{IN} = 1760MHz		-70.9		dBc
		f_{IN} = 2610MHz		-73.5		dBc
		f_{IN} = 3610MHz		-76.9		dBc
		f_{IN} = 4910MHz		-65.3		dBc
		f_{IN} = 8150MHz		-64		dBc
TX-RX 絶縁	ニア チャネル: 2TXOUT から 1RXIN 4TXOUT から 3RXIN	f_{IN} = 830MHz		-85.9		dBc
		f_{IN} = 1760MHz		-86.9		dBc
		f_{IN} = 2610MHz		-91		dBc
		f_{IN} = 3610MHz		-83		dBc
		f_{IN} = 4910MHz		-81.9		dBc
		f_{IN} = 8150MHz		-68		dBc
		f_{IN} = 9610MHz		-68		dBc

(1) DSA にデジタル ゲイン範囲を追加して DSA の有効範囲を拡張することで、最小減衰でのフルスケール入力を低減できます。デジタル ゲイン範囲全体にわたってノイズ指数は一定に保たれます。
(2) HD2 の NLE 補正
(3) DSA = 3dB～0dB まで、NSD は DSA 1dB あたり 1dB 上昇
(4) DSA = 3dB 超では、NF は DSA 1dB あたり 1dB 上昇
(5) DDC バイパス (テキサス・インスツルメンツ専用テスト モード)

Copyright © 2025 Texas Instruments Incorporated

5.7 PLL / VCO / クロックの電気的特性

TA = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、リファレンス クロック入力周波数 491.52MHz (特に記述のない限り)、$f_{DAC} = f_{VCO}$、$f_{OUT} = f_{DAC}/4$、f_{VCO} に正規化

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{VCO1}	VCO1 の最小周波数				7.2	GHz
	VCO1 の最大周波数		7.68			GHz
f_{VCO2}	VCO2 の最小周波数				8.8	GHz
	VCO2 の最大周波数		9.1			GHz
f_{VCO3}	VCO3 の最小周波数				9.7	GHz
	VCO3 の最大周波数		10.24			GHz
f_{VCO4}	VCO4 の最小周波数				11.6	GHz
	VCO4 の最大周波数		12.08			GHz
DIV_{DAC}	DAC サンプル レート分周器			1、2、または 3		
DIV_{FBADC}	DAC サンプル レートからの ADC サンプル レート分周器			1、2、3、4、6、または 8		
DIV_{RXADC}	ADC サンプル レート分周器			1、2、3、4、6、または 8		
PN_{VCO}	閉ループ位相ノイズ (F_{PLL} = 11.79848GHz、F_{REF} = 491.52MHz)	600kHz		-113		dBc/Hz
		800kHz		-116		dBc/Hz
		1MHz		-119		dBc/Hz
		1.8MHz		-125		dBc/Hz
		5MHz		-133		dBc/Hz
		50MHz		-141		dBc/Hz
	閉ループ位相ノイズ (F_{PLL} = 8.84736GHz、F_{REF} = 491.52MHz)	600kHz		-114		dBc/Hz
		800kHz		-118		dBc/Hz
		1MHz		-120		dBc/Hz
		1.8MHz		-127		dBc/Hz
		5MHz		-135		dBc/Hz
		50MHz		-142		dBc/Hz
	閉ループ位相ノイズ (F_{PLL} = 9.8403GHz、F_{REF} = 491.52MHz)	600kHz		-113		dBc/Hz
		800kHz		-116		dBc/Hz
		1MHz		-119		dBc/Hz
		1.8MHz		-125		dBc/Hz
		5MHz		-134		dBc/Hz
		50MHz		-140		dBc/Hz
	閉ループ位相ノイズ (F_{PLL} = 7.86432GHz、F_{REF} = 491.52MHz)	600kHz		-116		dBc/Hz
		800kHz		-119		dBc/Hz
		1MHz		-122		dBc/Hz
		1.8MHz		-127		dBc/Hz
		5MHz		-136		dBc/Hz
		50MHz		-143		dBc/Hz
F_{rms}	クロック PLL 積分位相誤差 (1)	f_{PLL} = 11.79848GHz、[1kHz、100MHz]		-43.4		dBc/Hz
		f_{PLL} = 8.8536GHz、[1kHz、100MHz]		-47.6		dBc/Hz
		f_{PLL} = 9.8304GHz、[1kHz、100MHz]		-46.2		dBc/Hz

Copyright © 2025 Texas Instruments Incorporated

5.7 PLL / VCO / クロックの電気的特性 (続き)

TA = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、リファレンス クロック入力周波数 491.52MHz (特に記述のない限り)、f_{DAC} = f_{VCO}、f_{OUT} = f_{DAC}/4、f_{VCO} に正規化

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{PFD}	PFD 周波数		100		500	MHz
PN_{pll_flat}	正規化された PLL フラット ノイズ	f_{VCO} = 11796.48MHz		-226.5		dBc/Hz
F_{REF}	入力クロック周波数		0.1		12	GHz
V_{SS}	入力クロック レベル		0.6		1.8	Vppdiff
結合				AC 結合のみ		
	REFCLK 入力インピーダンス (2)	並列抵抗		100		Ω
		並列容量		0.5		pF

(1) シングル サイドバンド。リファレンス クロックの影響は含まれません
(2) インピーダンスと周波数との関係については、テキサス・インスツルメンツが提供している S11 データを参照してください

Copyright © 2025 Texas Instruments Incorporated

5.8 デジタルの電気的特性

TA = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
CML SerDes 入力 [8:1]SRX+/-						
V_{SRDIFF}	SerDes レシーバ入力振幅	差動	100		1200	mVpp
V_{SRCOM}	SerDes 入力コモン モード		0.4	0.5	0.6	V
Z_{SRdiff}	SerDes 内部差動終端 (1)			100		Ω
F_{SerDes}	SerDes ビット レート	フル レート モード	19		29.5	Gbps
		ハーフ レート モード	9.5		16.25	Gbps
		クォーター レート モード	4.75		8.125	Gbps
	挿入損失許容 (2)	SerDes 電源 = 1.8V		25		dB
TJ	総ジッタ許容				0.42	UI
CML SerDes 出力 [8:1]STX+/-						
V_{STDIFF}	SerDes トランスミッタ出力振幅	差動	500		1000	mVpp
V_{STCOM}	SerDes 出力コモン モード		0.4	0.45	0.55	V
Z_{STdiff}	SerDes 出力インピーダンス			100		Ω
TRF	出力の立ち上がりおよび立ち下がり時間	20～80%	8			ps
TEQS	イコライゼーション範囲				7	dB
TTJ	出力の総ジッタ				0.21	UI
CMOS I/O:GPIO{B/C/D/E}x、SPICLK、SPISDIO、SPISDO、SPISEN、RESETZ、BISTB0、BISTB1						
V_{IH}	High レベル入力電圧		0.6×VDD1 P8GPIO			V
V_{IL}	Low レベル入力電圧				0.4×VDD1 P8GPIO	V
I_{IH}	High レベル入力電流		-250		250	µA
I_{IL}	Low レベル入力電流		-250		250	µA
C_L	CMOS 入力容量			2		pF
V_{OH}	High レベル出力電圧		VDD1P8G PIO–0.2			V
V_{OL}	Low レベル出力電圧				0.2	V
差動入力:SYSREF+/- モード A						
$Clock_{MODE}$				PLL クロック モードのみ		
$F_{SYSREFMAX}$	SYSREF 入力周波数最大値			40		MHz
$V_{SWINGSRMAX}$	SYSREF 入力スイング最大値			1.8		Vppdiff(3)
$V_{SWINGSRMIN}$	SYSREF 入力スイング最小値	f_{REF} < 500MHz		0.3		Vppdiff(3)
$V_{SWINGSRMIN}$	SYSREF 入力スイング最小値	f_{REF} > 500MHz		0.6		Vppdiff(3)
$V_{COMSRMAX}$	SYSREF 入力コモン モード電圧最大値			0.8		V
$V_{COMSRMIN}$	SYSREF 入力コモン モード電圧最小値			0.6		V
Z_T	入力の終端	差動		100 (1)		Ω
C_L	入力容量	各ピンから GND		0.5		pF
LVDS 入力:0SYNCIN+/- および 1SYNCIN+/-						
V_{ICOM}	入力コモン モード電圧			1.2		V
V_{ID}	差動入力電圧スイング			450		Vppdiff(3)
Z_T	入力の終端	差動		100		Ω

Copyright © 2025 Texas Instruments Incorporated

5.8 デジタルの電気的特性 (続き)

TA = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
LVDS 出力:0SYNCOUT+/- および 1SYNCOUT+/-						
V_{OCOM}	出力コモン モード電圧			1.2		V
V_{OD}	差動出力電圧スイング			500		Vppdiff(3)
Z_T	内部終端			100		Ω

(1) SYSREF 終端は 100Ω、150Ω、300Ω の間で設定可能です。
(2) 損失許容はバンプ間の STX から SRX です。
(3) Vppdiff は最大差動電圧 (正の値) と最小差動電圧 (負の値) の差です。

Copyright © 2025 Texas Instruments Incorporated

5.9 電源の電気的特性

T_A = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、TX 入力レート = 500MSPS、RX 出力レート = 500MSPS、f_{DAC} = 9000MSPS インターリーブ モード、f_{ADC} = 3000MSPS、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 20Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VDD1P8}	グループ 3A：VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 1：4T4R - TDD (TX 75%、RX 25%) TX デュアル バンド：72x Int、TX レート 125MSPS RX デュアル バンド：24x Dec、RX レート 125MSPS f_{DAC} = 9000MSPS、f_{OUT} = f_{IN} = 1.9、2.6GHz f_{ADC} = 3000MSPS JESD：8/10 コーディング、20Gbps TX：2-16-16-1、RX：2-16-16-1		765		mA
	グループ 3B：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			395		mA
	グループ 3C：VDD1P8PLL + VDD1P8PLLVCO			69		mA
I_{VDD1P2}	グループ 2：VDD1P2FB、VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2FBCML、VDD1P2RXCML、VDD1P2PLLCLKREF			1151		mA
I_{VDD0P9}	グループ 1A：DVDD0P9 + VDDT0P9			2001		mA
P_{diss}	電力散逸			5446		mW
I_{VDD1P8}	グループ 3A：VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 2：4T4R - FDD TX デュアル バンド：96x Int、TX レート 125MSPS RX デュアル バンド：RX 24x、RX レート 125MSPS f_{DAC} = 12GSPS、f_{TX} = 1.85 + 2.15GHz f_{ADC} = 3GSPS、f_{RX} = 1.75 + 1.88GHz JESD：8/10 コーディング、20Gbps TX：2-16-16-1、RX：2-16-16-1		1338		mA
	グループ 3B：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			506		mA
	グループ 3C：VDD1P8PLL + VDD1P8PLLVCO			72		mA
I_{VDD1P2}	グループ 2：VDD1P2FB、VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2FBCML、VDD1P2RXCML、VDD1P2PLLCLKREF			2109		mA
I_{VDD0P9}	グループ 1A：DVDD0P9 + VDDT0P9			3311		mA
P_{diss}	電力散逸			9041		mW
I_{VDD1P8}	グループ 3A：VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 3：4T4R - FDD TX シングル バンド：96x Int、TX レート 125MSPS RX シングル バンド：RX 24x、RX レート 125MSPS f_{DAC} = 12GSPS、f_{TX} = 1.85 + 2.15GHz f_{ADC} = 3GSPS、f_{RX} = 1.75 + 1.88GHz JESD：8/10 コーディング、20Gbps TX：1-8-16-1、RX：1-8-16-1		1332		mA
	グループ 3B：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			496		mA
	グループ 3C：VDD1P8PLL + VDD1P8PLLVCO			72		mA
I_{VDD1P2}	グループ 2：VDD1P2FB、VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2FBCML、VDD1P2RXCML、VDD1P2PLLCLKREF			2099		mA
I_{VDD0P9}	グループ 1A：DVDD0P9 + VDDT0P9			2950		mA
P_{diss}	電力散逸			8667		mW

Copyright © 2025 Texas Instruments Incorporated

T_A = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、TX 入力レート = 500MSPS、RX 出力レート = 500MSPS、f_{DAC} = 9000MSPS インターリーブ モード、f_{ADC} = 3000MSPS、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 20Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VDD1P8}	グループ 3A：VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 4：4T4R - FDD TX シングル バンド：24x Int、TX レート 500MSPS RX シングル バンド：RX 6x、RX レート 500MSPS f_{DAC} = 12GSPS、f_{TX} = 1.85 + 2.15GHz f_{ADC} = 3GSPS、f_{RX} = 1.75 + 1.88GHz JESD：8/10 コーディング、20Gbps TX：4-8-4-1、RX：4-8-4-1		1331		mA
	グループ 3B：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			648		mA
	グループ 3C：VDD1P8PLL + VDD1P8PLLVCO			72		mA
I_{VDD1P2}	グループ 2：VDD1P2FB、VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2FBCML、VDD1P2RXCML、VDD1P2PLLCLKREF			2096		mA
I_{VDD0P9}	グループ 1A：DVDD0P9 + VDDT0P9			3269		mA
P_{diss}	電力散逸			9230		mW
I_{VDD1P8}	グループ 3A：VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 5：モード 4 スリープ モードと同じ構成。SLEEP ピンは High にする。		98		mA
	グループ 3B：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			330		mA
	グループ 3C：VDD1P8PLL + VDD1P8PLLVCO			16		mA
I_{VDD1P2}	グループ 2：VDD1P2FB、VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2FBCML、VDD1P2RXCML、VDD1P2PLLCLKREF			48		mA
	グループ 1A：DVDD0P9 + VDDT0P9			305		mA
	電力散逸			1140		mW

Copyright © 2025 Texas Instruments Incorporated

5.10 タイミング要件

T_A = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、TX 入力レート = 491.52MSPS、f_{DAC} = 8847.36MSPS、f_{ADC} = 2949.12MSPS、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps、特に記述のない限り。

		最小値	公称値	最大値	単位
タイミング:SYSREF+/-					
$t_{s(SYSREF)}$	セットアップ時間、SYSREF+/- 有効から CLK+/- の立ち上がりエッジまで		50		ps
$t_{h(SYSREF)}$	ホールド時間、CLK+/- の立ち上がりエッジの後の SYSREF+/- 有効の期間		50		ps
タイミング:シリアル ポート					
$t_{s(SENB)}$	SCLK の立ち上がりエッジまでの SENB のセットアップ時間			15	ns
$t_{h(SENB)}$	SCLK の最後の立ち上がりエッジの後の SENB のホールド時間 (1)			5 + t_{SCLK}	ns
$t_{s(SDIO)}$	セットアップ時間、SDIO 有効から SCLK の立ち上がりエッジまで			15	ns
$t_{h(SDIO)}$	ホールド時間、SCLK の立ち上がりエッジの後の SDIO 有効の期間			5	ns
$t_{(SCLK)_W}$	最小 SCLK 周期:レジスタ書き込み			25	ns
$t_{(SCLK)_R}$	最小 SCLK 周期:レジスタ読み取り			50	ns
$t_{d(data_out)}$	SCLK の立ち下がりエッジの後の最小データ出力遅延			0	ns
	SCLK の立ち下がりエッジの後の最大データ出力遅延			15	ns
t_{RESET}	最小 $\overline{\text{RESET}}$ パルス幅		1		ms

(1) SDEN\\ では、最後の SCLK エッジでさらに 1 クロック サイクル、ホールドされる必要があります

5.11 スイッチング特性

T_A = +25℃での代表値、全動作温度範囲は $T_{A,MIN}$ = -40℃～$T_{J,MAX}$ = +110℃、TX 入力レート = 491.52MSPS、f_{DAC} = 8847.36MSPS、f_{ADC} = 2949.12MSPS、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
TX チャネル レイテンシ						
	SerDes レシーバのアナログ遅延	フル レート		2.8		ns
t_{JESDTX}	JESD から TX 出力までのレイテンシ	LMFSHd = 2-8-8-1、368.64MSPS の入力レート、24x 補間、SerDes レート = 16.22Gbps (JESD204C)		152		インターフェイス クロック サイクル (1)
		LMFSHd = 8-16-4-1、491.52MSPS 24x 補間、SerDes レート = 16.22Gbps (JESD204C)		176		
		LMFSHd = 4-16-8-1、245.76MSPS 48x 補間、SerDes レート = 16.22Gbps (JESD204C)		124		
		LMFSHd = 2-16-16-1、122.88MSPS 96x 補間、SerDes レート = 16.22Gbps (JESD204C)		97		
RX チャネル レイテンシ						
	SerDes トランスミッタのアナログ遅延			3.6		ns
t_{JESDRX}	RX 入力から JESD 出力までのレイテンシ	LMFS = 2-16-16-1、122.88MSPS、24x デシメーション、SerDes レート = 16.22Gbps (JESD204C)		92		インターフェイス クロック サイクル (1)
		LMFS = 4-16-8-1、245.76MSPS、12x デシメーション、SerDes レート = 16.22Gbps (JESD204C)		108		
		LMFS = 4-8-4-1、491.52MSPS、6x デシメーション、SerDes レート = 16.22Gbps (JESD204C)		153		
FB チャネル レイテンシ						
	SerDes トランスミッタのアナログ遅延			3.6		ns
t_{JESDFB}	FB 入力から JESD 出力までのレイテンシ	LMFS = 1-2-8-1、368.64MSPS、8x デシメーション		151		インターフェイス クロック サイクル (1)
		LMFS = 2-4-4-1、491.52MSPS、6x デシメーション		177		

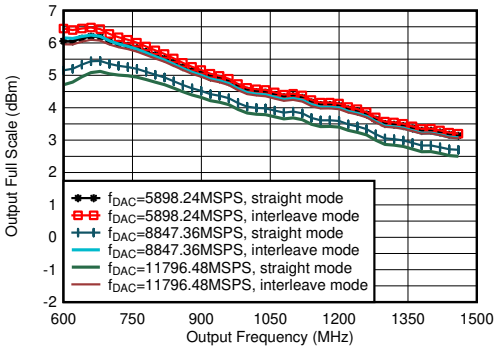
(1) インターフェイス クロック サイクルは、デジタル インターフェイスのサンプル レートの周期です。たとえば、1GSPS = 1ns です。

Copyright © 2025 Texas Instruments Incorporated

5.12 代表的特性

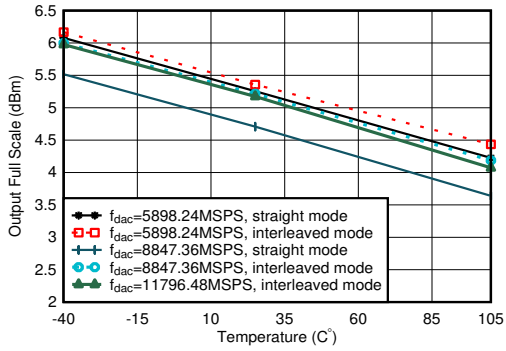
5.12.1 TX 代表的特性：800MHz

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1 dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



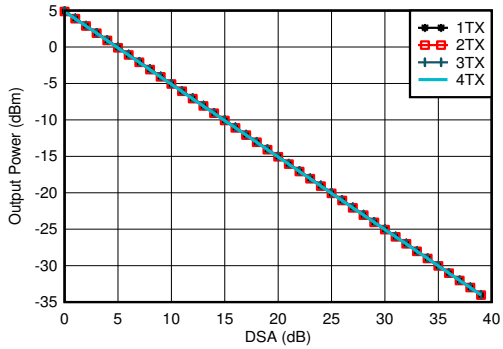
PCB とケーブルの損失を含める。A_{out} = -0.5d FBS、DSA = 0、0.8GHz 整合あり

図 5-1. TX 出力フルスケールと出力周波数との関係



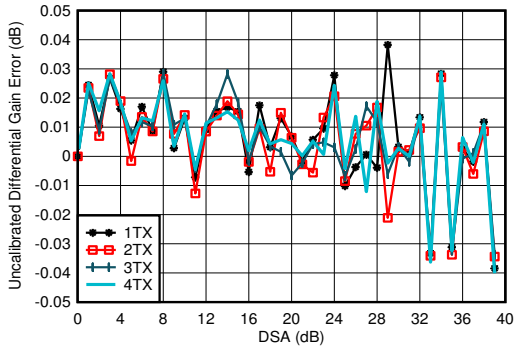
PCB とケーブルの損失を含める。A_{out} = -0.5d FBS、DSA = 0、0.8GHz 整合あり

図 5-2. TX 出力フルスケールと温度との関係



f_{DAC} = 11796.48 MSPS、インターリーブ モード、A_{OUT} = -0.5 dBFS、0.8GHz に整合

図 5-3. TX 出力電力と DSA 設定との関係 (各種チャネル、0.85GHz)



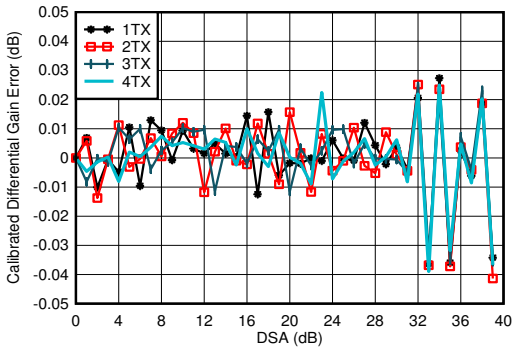
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 5-4. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種チャネル、0.85GHz)

Copyright © 2025 Texas Instruments Incorporated

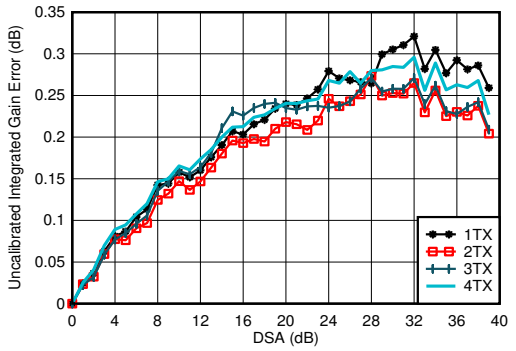
5.12.1 TX 代表的特性：800MHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1 dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



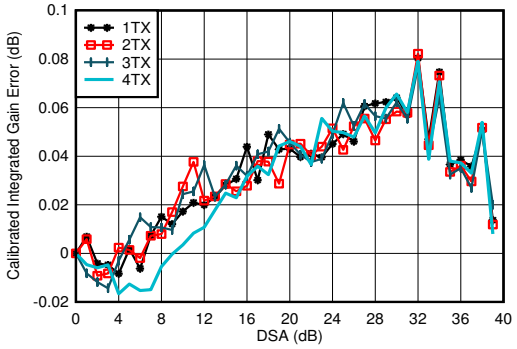
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 5-5. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種チャネル、0.85GHz)



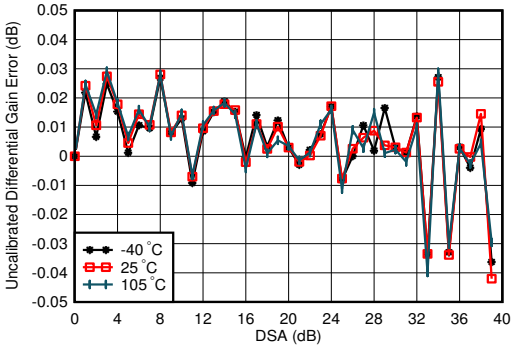
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + DSA 設定

図 5-6. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種チャネル、0.85GHz)



f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + DSA 設定

図 5-7. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種チャネル、0.85GHz)



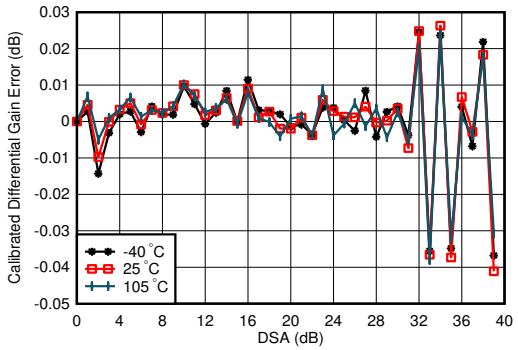
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 5-8. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種温度、0.85GHz)

Copyright © 2025 Texas Instruments Incorporated

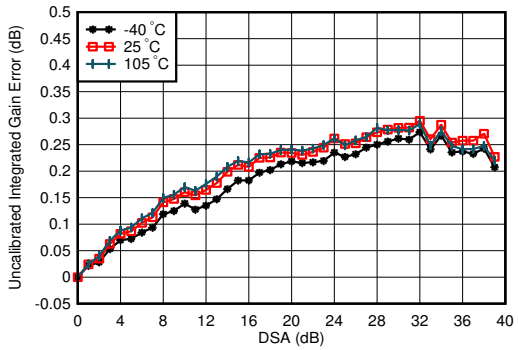
5.12.1 TX 代表的特性：800MHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1 dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



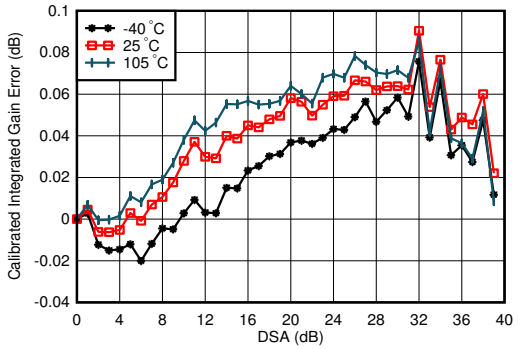
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 5-9. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種温度、0.85GHz)



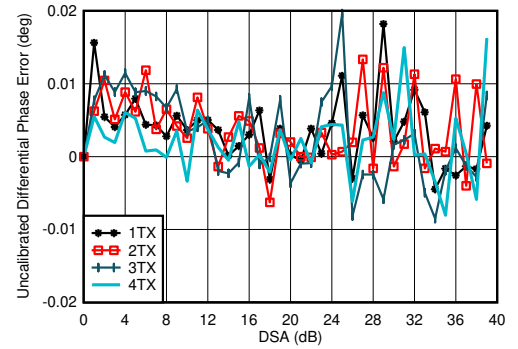
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + DSA 設定

図 5-10. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種温度、0.85GHz)



f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + DSA 設定

図 5-11. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種温度、0.85GHz)



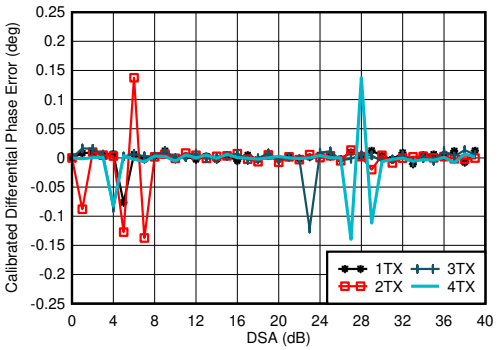
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 5-12. TX 未較正微分位相誤差と DSA 設定との関係 (各種チャネル、0.85GHz)

Copyright © 2025 Texas Instruments Incorporated

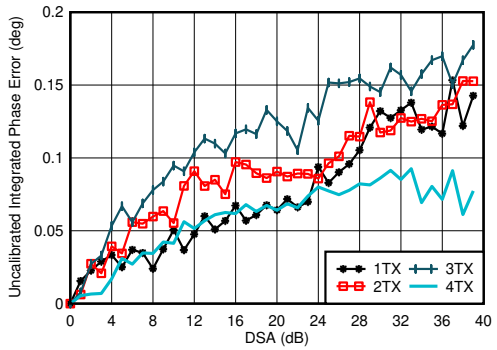
5.12.1 TX 代表的特性：800MHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1 dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



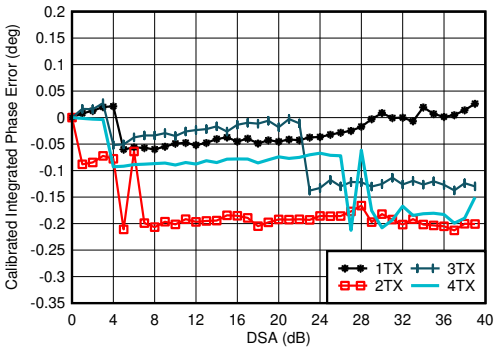
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)
位相 DNL スパイクは、すべての DSA 設定で発生する可能性があります。

図 5-13. TX 較正済み微分位相誤差と DSA 設定との関係 (各種チャネル、0.85GHz)



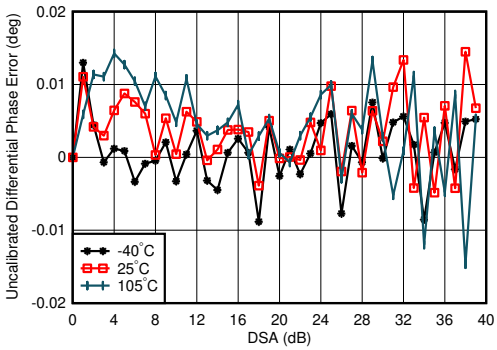
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
積分位相誤差 = $Phase_{OUT}$(DSA 設定) - $Phase_{OUT}$(DSA 設定 = 0)

図 5-14. TX 未較正積分位相誤差と DSA 設定との関係 (チャネル 1、0.85GHz)



f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
積分位相誤差 = $Phase_{OUT}$(DSA 設定) - $Phase_{OUT}$(DSA 設定 = 0)

図 5-15. TX 較正済み積分位相誤差と DSA 設定との関係 (各種チャネル、0.85GHz)



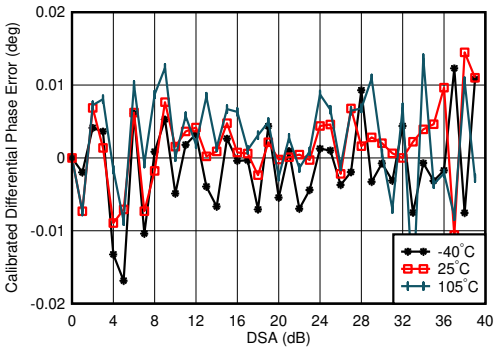
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定) +1

図 5-16. TX 未較正微分位相誤差と DSA 設定との関係 (各種温度、0.85GHz)

Copyright © 2025 Texas Instruments Incorporated

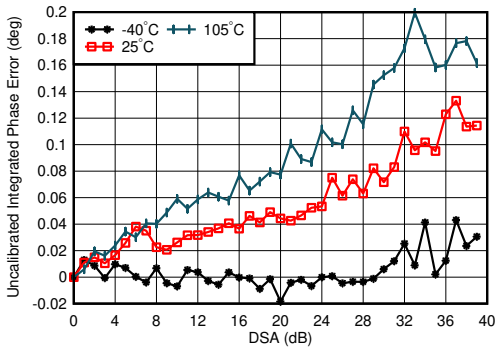
5.12.1 TX 代表的特性：800MHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1 dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



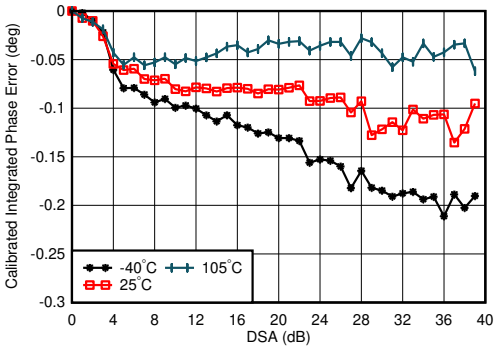
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合、全 DSA 設定にわたって 25℃での誤差が中央値であるチャネル
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定) +1

図 5-17. TX 較正済み微分位相誤差と DSA 設定との関係 (各種温度、0.85GHz)



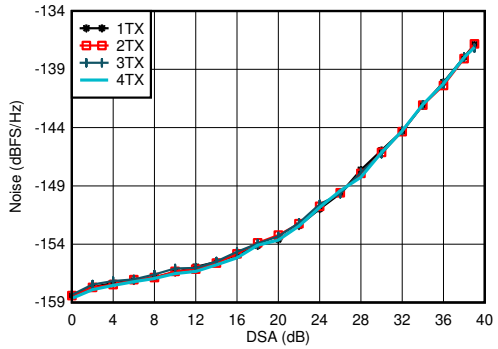
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
積分位相誤差 = $Phase_{OUT}$(DSA 設定) - $Phase_{OUT}$(DSA 設定 = 0)

図 5-18. TX 未較正積分位相誤差と DSA 設定との関係 (各種温度、0.85GHz)



f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合
積分位相誤差 = $Phase_{OUT}$(DSA 設定) - $Phase_{OUT}$(DSA 設定 = 0)

図 5-19. TX 較正済み積分位相誤差と DSA 設定との関係 (各種温度、0.85GHz)

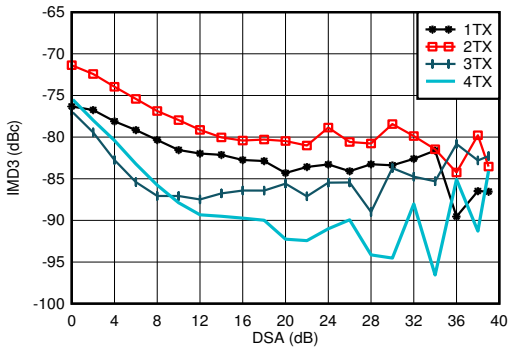


f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz で整合、P_{OUT} = -13dBFS

図 5-20. TX 出力ノイズと減衰量との関係 (各種チャネル、0.85GHz)

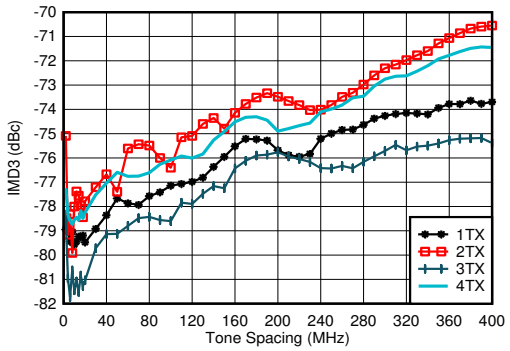
5.12.1 TX 代表的特性：800MHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1 dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



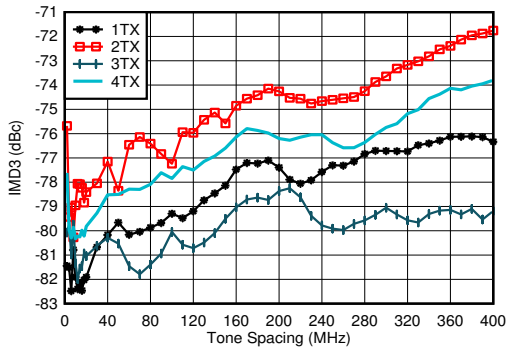
f_{DAC} = 11796.48MSPS、インターリーブ モード、f_{CENTER} = 0.85GHz、0.8GHz で整合、各トーン -13dBFS

図 5-21. TX IMD3 と DSA 設定との関係 (0.85GHz)



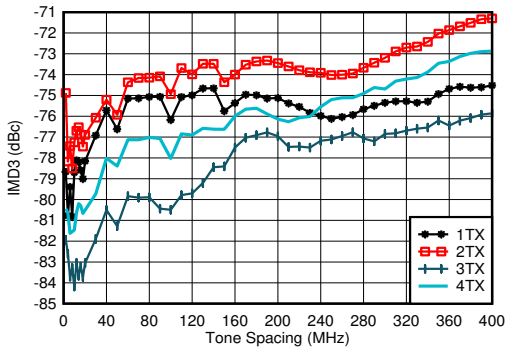
f_{DAC} = 5898.24MSPS、ストレート モード、f_{CENTER} = 0.85GHz、0.8GHz で整合、各トーン -13dBFS

図 5-22. TX IMD3 とトーン間隔との関係 (各種チャネル、0.85GHz)



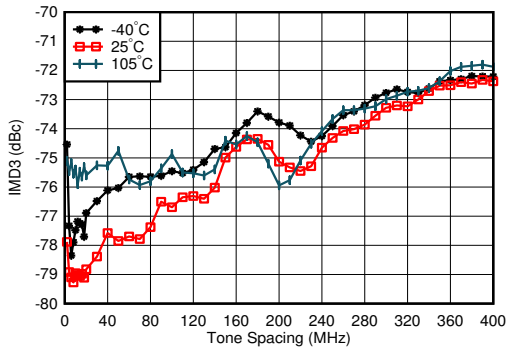
f_{DAC} = 8847.36MSPS、ストレート モード、f_{CENTER} = 0.85GHz、0.8GHz で整合、各トーン -13dBFS

図 5-23. TX IMD3 とトーン間隔との関係 (各種チャネル、0.85GHz)



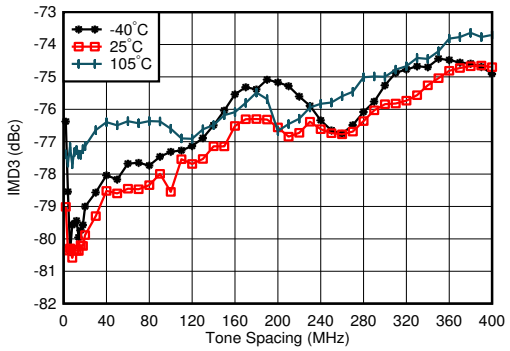
f_{DAC} = 11796.48MSPS、インターリーブ モード、f_{CENTER} = 0.85GHz、0.8GHz で整合、各トーン -13dBFS

図 5-24. TX IMD3 とトーン間隔との関係 (各種チャネル、0.85GHz)



f_{DAC} = 5898.24MSPS、ストレート モード、f_{CENTER} = 0.85GHz、0.8GHz で整合、各トーン -13dBFS、ワースト チャネル

図 5-25. TX IMD3 とトーン間隔との関係 (各種温度、0.85GHz)



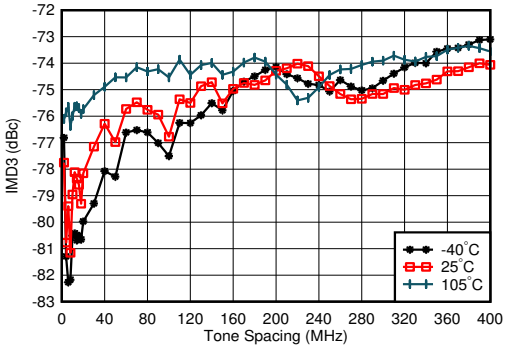
f_{DAC} = 8847.36MSPS、ストレート モード、f_{CENTER} = 0.85GHz、0.8GHz で整合、各トーン -13dBFS、ワースト チャネル

図 5-26. TX IMD3 とトーン間隔との関係 (各種温度、0.85GHz)

Copyright © 2025 Texas Instruments Incorporated

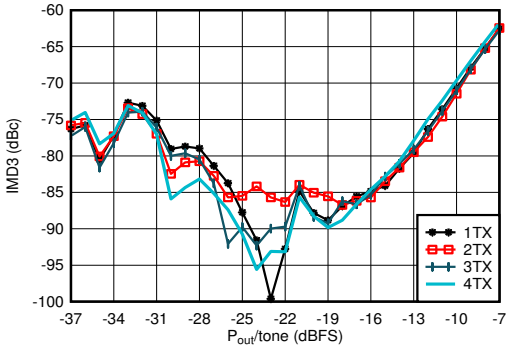
5.12.1 TX 代表的特性：800MHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1 dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



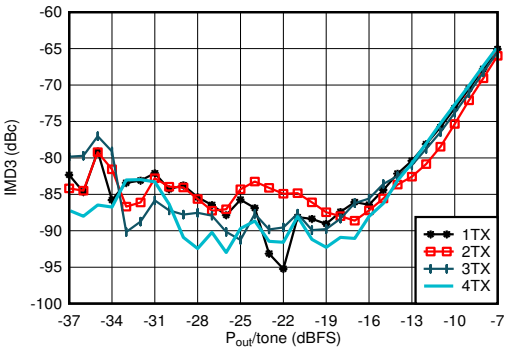
f_{DAC} = 11796.48MSPS、ストレート モード、f_{CENTER} = 0.85GHz、0.8GHz で整合、各トーン -13dBFS、ワースト チャネル

図 5-27. TX IMD3 とトーン間隔との関係 (各種温度、 0.85GHz)



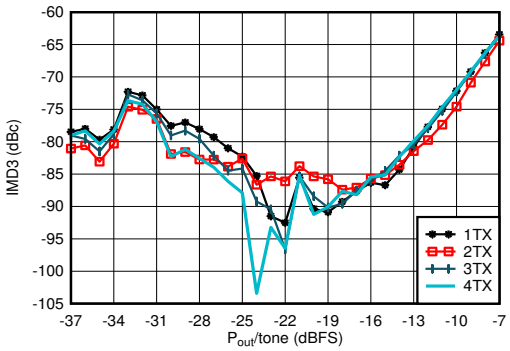
f_{DAC} = 5898.24MSPS、ストレート モード、f_{CENTER} = 0.85GHz、$f_{SPACING}$ = 20MHz、0.8GHz で整合

図 5-28. TX IMD3 とデジタル レベルとの関係 (0.85GHz)



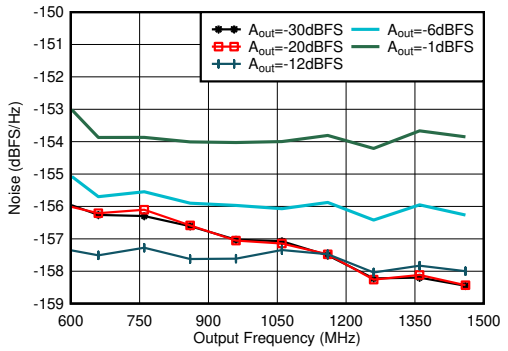
f_{DAC} = 8847.36MSPS、ストレート モード、f_{CENTER} = 0.85GHz、$f_{SPACING}$ = 20MHz、0.8GHz で整合

図 5-29. TX IMD3 とデジタル レベルとの関係 (0.85GHz)



f_{DAC} = 11796.48MSPS、インターリーブ モード、f_{CENTER} = 0.85GHz、$f_{SPACING}$ = 20MHz、0.8GHz で整合

図 5-30. TX IMD3 とデジタル レベルとの関係 (0.85GHz)



2.6GHz で整合、シングル トーン、f_{DAC} = 11.79648GSPS、インターリーブ モード、40MHz オフセット、DSA = 0dB

図 5-31. TX シングルトーン出力ノイズと周波数との関係 (各種振幅、 0.85GHz)

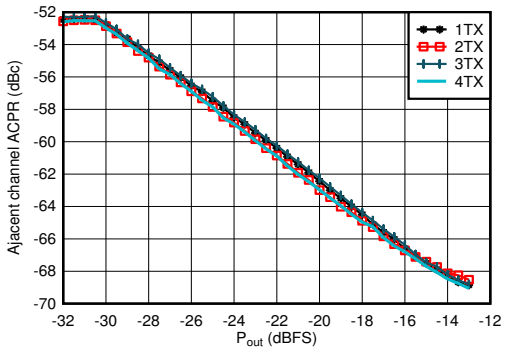


TM1.1、P_{OUT_RMS} = -13dBFS

図 5-32. TX 20MHz LTE 出力スペクトル (0.85GHz)

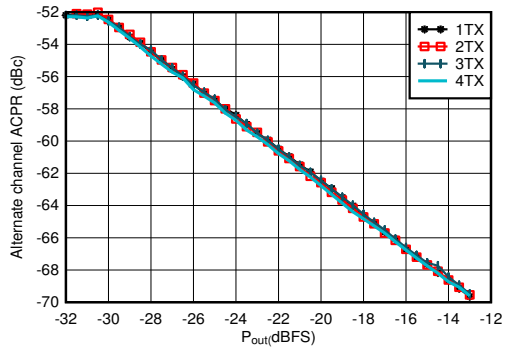
5.12.1 TX 代表的特性：800MHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1 dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



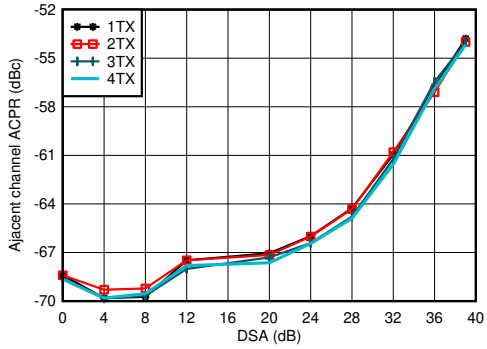
0.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-33. TX 20MHz LTE ACPR とデジタル レベルとの関係 (0.85GHz)



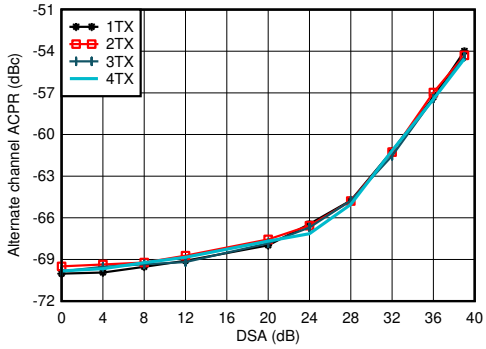
0.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-34. TX 20MHz LTE alt-ACPR とデジタル レベルとの関係 (0.85GHz)



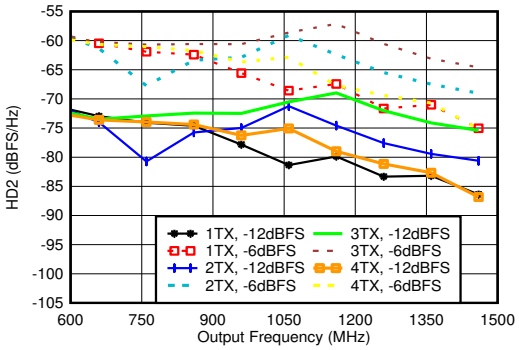
0.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-35. TX 20MHz LTE ACPR と DSA 設定との関係 (0.85GHz)



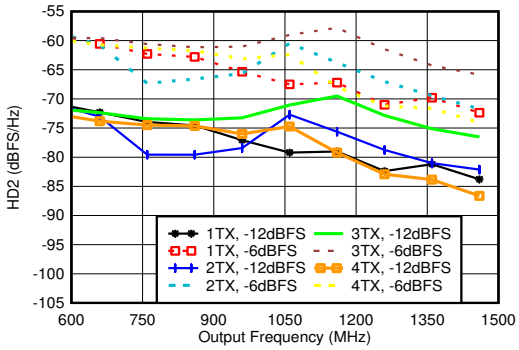
0.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-36. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (0.85GHz)



0.8GHz で整合、f_{DAC} = 5898.24GSPS、ストレート モード。

図 5-37. TX HD2 と出力周波数との関係 (各種デジタル振幅、0.85GHz)



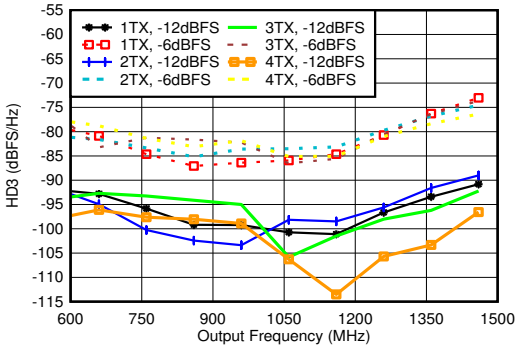
0.8GHz で整合、f_{DAC} = 8847.36GSPS、ストレート モード

図 5-38. TX HD2 と出力周波数との関係 (各種デジタル振幅、0.85GHz)

Copyright © 2025 Texas Instruments Incorporated

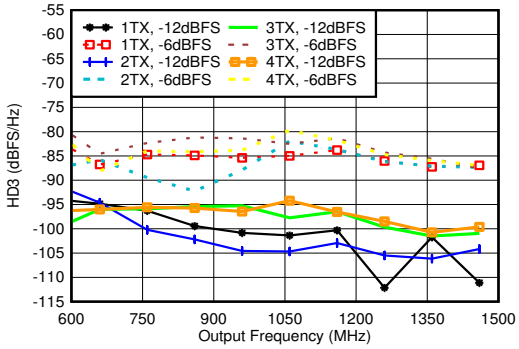
5.12.1 TX 代表的特性：800MHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1 dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



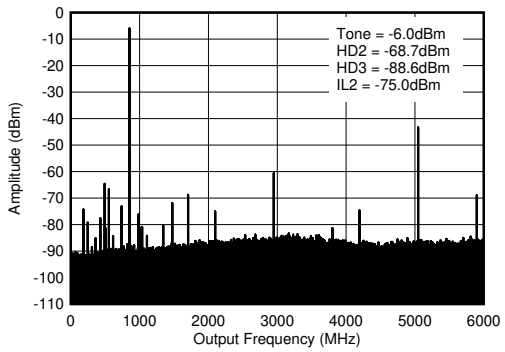
0.8GHz で整合、f_{DAC} = 5898.24MSPS、ストレート モード、高調波周波数での出力電力で正規化。

図 5-39. TX HD3 と出力周波数との関係 (各種デジタル振幅、0.85GHz)



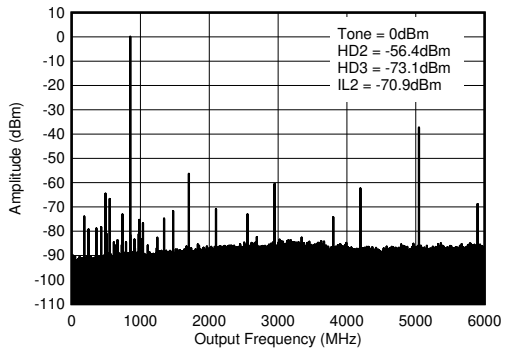
0.8GHz で整合、f_{DAC} = 8847.36MSPS、ストレート モード、高調波周波数での出力電力で正規化。

図 5-40. TX HD3 と出力周波数との関係 (各種デジタル振幅、0.85GHz)



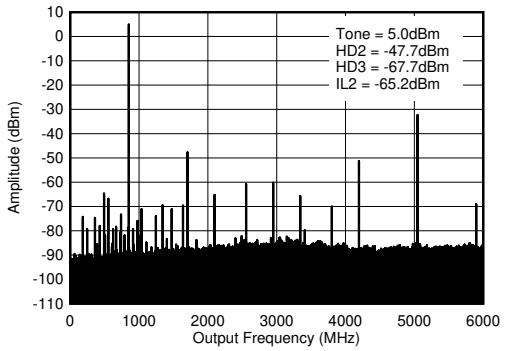
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$。

図 5-41. TX シングル トーン (-12dBFS) 出力スペクトル (0～f_{DAC}、0.85GHz)



f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$。

図 5-42. TX シングル トーン (-6dBFS) 出力スペクトル (0～f_{DAC}、0.85GHz)



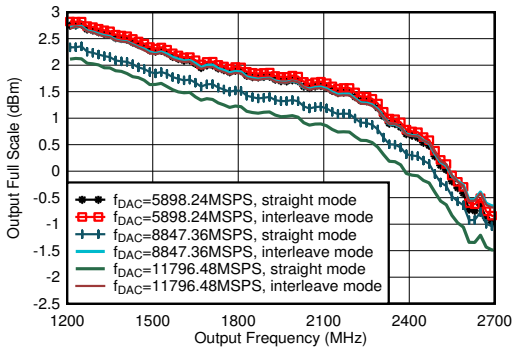
f_{DAC} = 5898.24MSPS、インターリーブ モード、0.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$。

図 5-43. TX シングル トーン (-1dBFS) 出力スペクトル (0～f_{DAC}、0.85GHz)

Copyright © 2025 Texas Instruments Incorporated

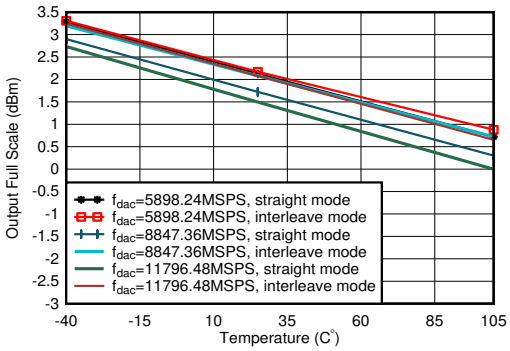
5.12.2 TX 代表的特性：1.8GHz

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



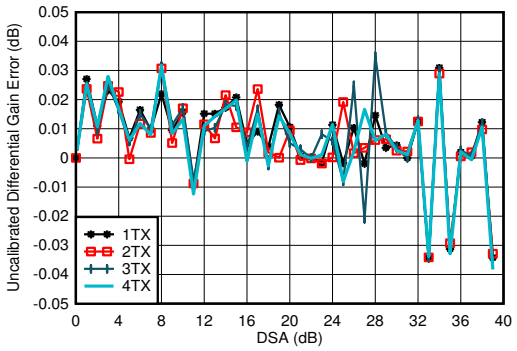
PCB とケーブルの損失を含む。A_{OUT} = -0.5dBFS、DSA = 0、1.8GHz 整合あり

図 5-44. TX 出力フルスケールと出力周波数との関係



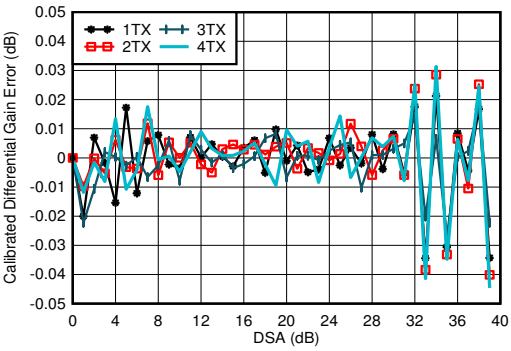
A_{OUT} = -0.5dBFS、1.8GHz に整合

図 5-45. TX 出力電力と温度との関係 (1.8GHz)



f_{DAC} = 5898.24MSPS、インターリーブ モード、1.8GHz で整合
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 5-46. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種チャネル、1.8GHz)



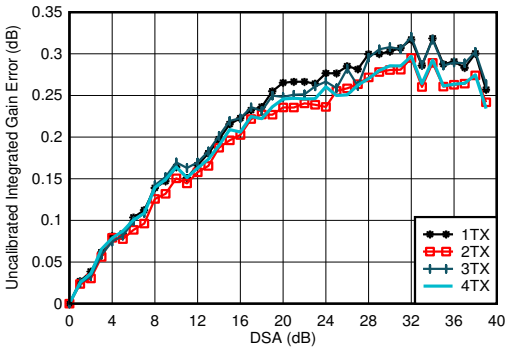
f_{DAC} = 5898.24MSPS、インターリーブ モード、1.8GHz で整合
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 5-47. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種チャネル、1.8GHz)

Copyright © 2025 Texas Instruments Incorporated

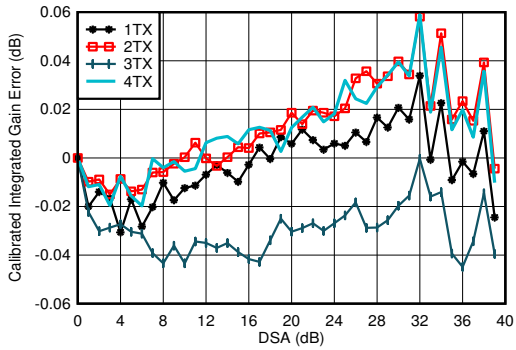
5.12.2 TX 代表的特性：1.8GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



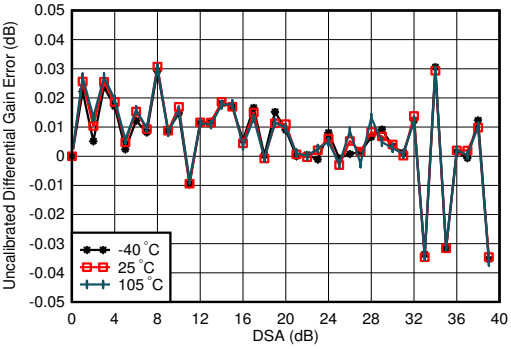
f_{DAC} = 5898.24MSPS、インターリーブ モード、1.8GHz で整合
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 5-48. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種チャネル、1.8GHz)



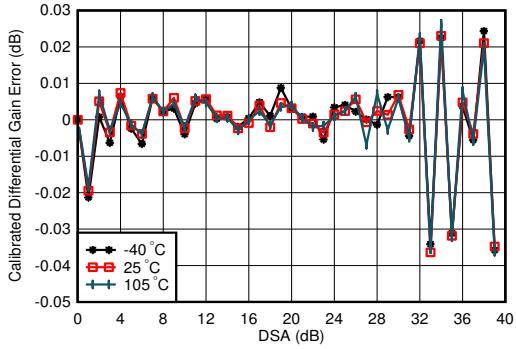
f_{DAC} = 5898.24MSPS、インターリーブ モード、1.8GHz で整合
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 5-49. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種チャネル、1.8GHz)



f_{DAC} = 5898.24MSPS、インターリーブ モード、1.8GHz で整合
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 5-50. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種温度、1.8GHz)



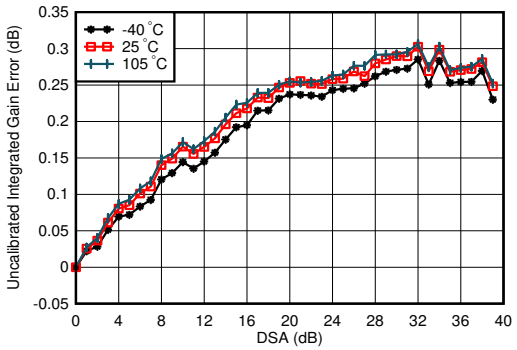
f_{DAC} = 5898.24MSPS、インターリーブ モード、1.8GHz で整合
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 5-51. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種温度、1.8GHz)

Copyright © 2025 Texas Instruments Incorporated

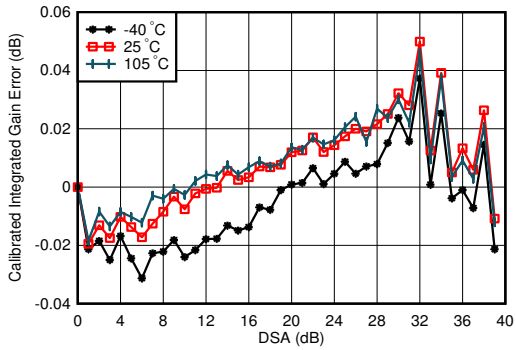
5.12.2 TX 代表的特性：1.8GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



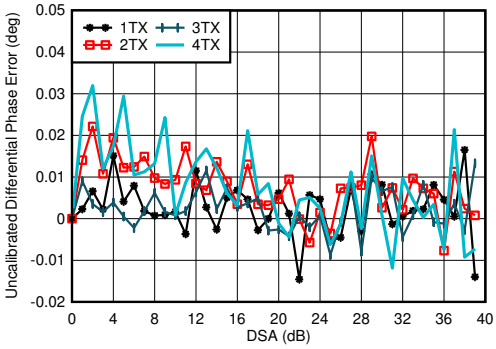
f_{DAC} = 5898.24MSPS、インターリーブ モード、1.8GHz で整合
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 5-52. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種温度、1.8GHz)



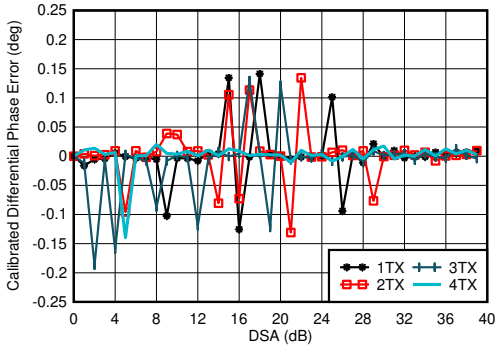
f_{DAC} = 5898.24MSPS、インターリーブ モード、1.8GHz で整合
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 5-53. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種温度、1.8GHz)



f_{DAC} = 5898.24MSPS、インターリーブ モード、1.8GHz で整合
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 5-54. TX 未較正微分位相誤差と DSA 設定との関係 (各種チャネル、1.8GHz)



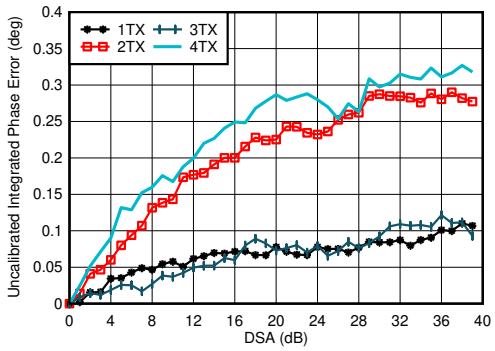
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)
位相 DNL スパイクは、すべての DSA 設定で発生する可能性があります。

図 5-55. TX 較正済み微分位相誤差と DSA 設定との関係 (各種チャネル、1.8GHz)

Copyright © 2025 Texas Instruments Incorporated

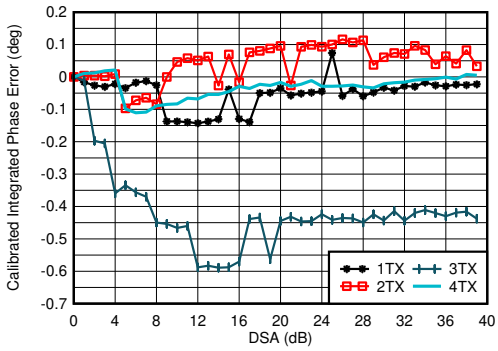
5.12.2 TX 代表的特性：1.8GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



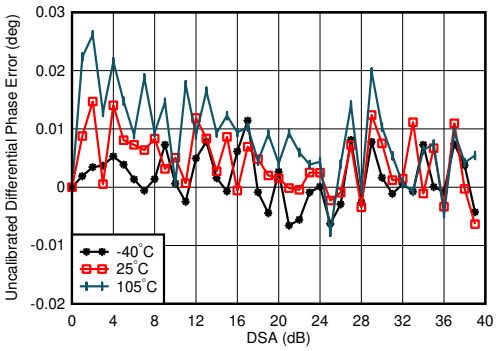
f_{DAC} = 5898.24MSPS、インターリーブ モード、1.8GHz で整合
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 5-56. TX 未較正積分位相誤差と DSA 設定との関係 (チャネル 1、1.8GHz)



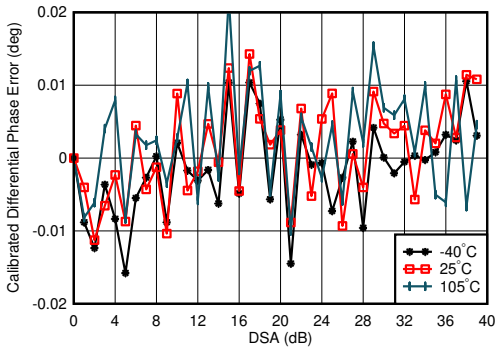
f_{DAC} = 5898.24MSPS、インターリーブ モード、1.8GHz で整合
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 5-57. TX 較正済み積分位相誤差と DSA 設定との関係 (各種チャネル、1.8GHz)



f_{DAC} = 5898.24MSPS、インターリーブ モード、1.8GHz で整合
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 5-58. TX 未較正微分位相誤差と DSA 設定との関係 (各種温度、1.8GHz)



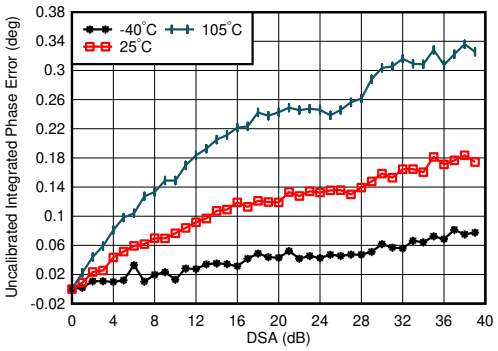
f_{DAC} = 5898.24MSPS、インターリーブ モード、1.8GHz で整合、全 DSA 設定にわたって 25℃での誤差が中央値であるチャネル
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 5-59. TX 較正済み微分位相誤差と DSA 設定との関係 (各種温度、1.8GHz)

Copyright © 2025 Texas Instruments Incorporated

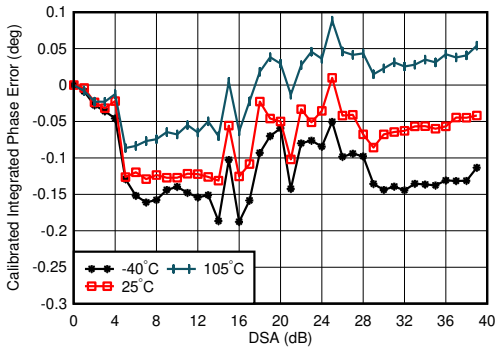
5.12.2 TX 代表的特性：1.8GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



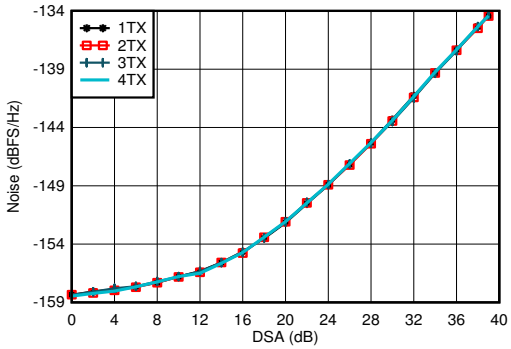
f_{DAC} = 5898.24MSPS、インターリーブ モード、1.8GHz で整合、全 DSA 設定にわたって 25℃での誤差が中央値であるチャネル積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 5-60. TX 未較正積分位相誤差と DSA 設定との関係 (各種温度、1.8GHz)



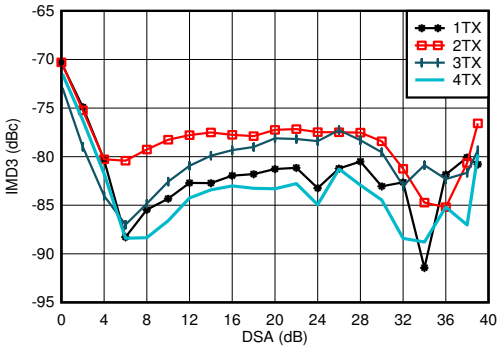
f_{DAC} = 5898.24MSPS、インターリーブ モード、1.8GHz で整合、全 DSA 設定にわたって 25℃での誤差が中央値であるチャネル積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 5-61. TX 較正済み積分位相誤差と DSA 設定との関係 (各種温度、1.8GHz)



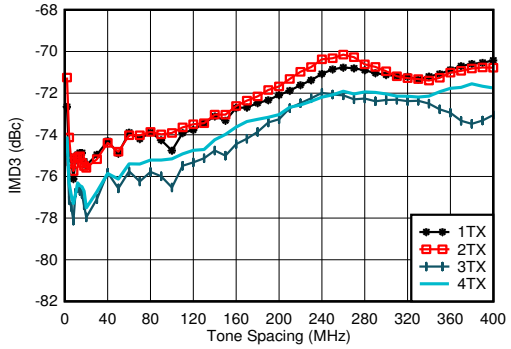
f_{DAC} = 5898.24MSPS、インターリーブ モード、1.8GHz で整合、P_{OUT} = -13dBFS

図 5-62. TX 出力ノイズと減衰量との関係 (各種チャネル、1.8GHz)



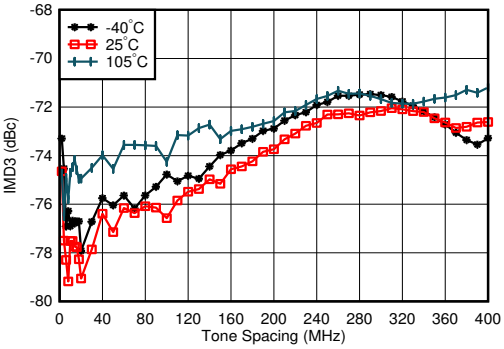
f_{DAC} = 11796.48MSPS、インターリーブ モード、f_{CENTER} = 1.8GHz、1.8GHz で整合、各トーン -13dBFS

図 5-63. TX IMD3 と DSA 設定との関係 (1.8GHz)



f_{DAC} = 11796.48MSPS、インターリーブ モード、f_{CENTER} = 1.8GHz、1.8GHz で整合、各トーン -13dBFS

図 5-64. TX IMD3 とトーン間隔との関係 (各種チャネル、1.8GHz)



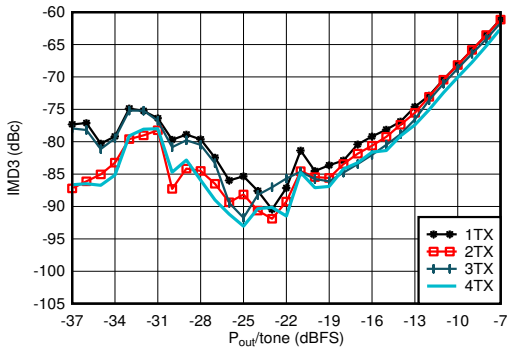
f_{DAC} = 11796.48MSPS、インターリーブ モード、f_{CENTER} = 1.8GHz、1.8GHz で整合、各トーン -13dBFS、ワースト チャネル

図 5-65. TX IMD3 とトーン間隔との関係 (各種温度、1.8GHz)

Copyright © 2025 Texas Instruments Incorporated

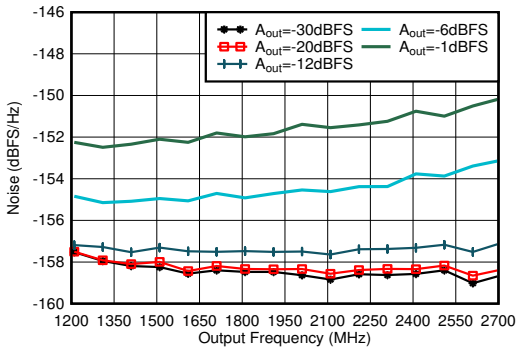
5.12.2 TX 代表的特性：1.8GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



f_{DAC} = 11796.48MSPS、インターリーブ モード、f_{CENTER} = 1.8GHz、$f_{SPACING}$ = 20MHz、1.8GHz で整合

図 5-66. TX IMD3 とデジタル レベルとの関係 (1.8GHz)



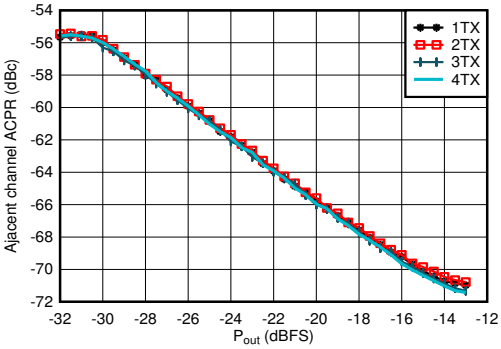
2.6GHz で整合、シングル トーン、f_{DAC} = 11.79648GSPS、インターリーブ モード、40MHz オフセット

図 5-67. TX シングルトーン出力ノイズと周波数との関係 (各種振幅、1.8GHz)



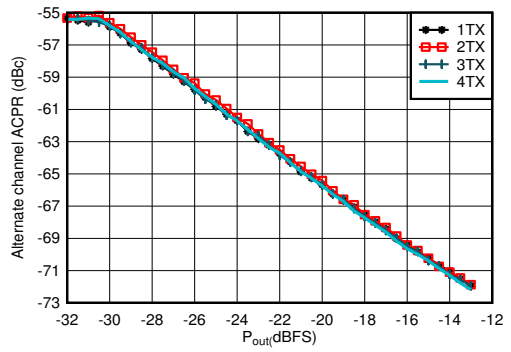
TM1.1、P_{OUT_RMS} = -13dBFS

図 5-68. TX 20MHz LTE 出力スペクトル (1.8425GHz)



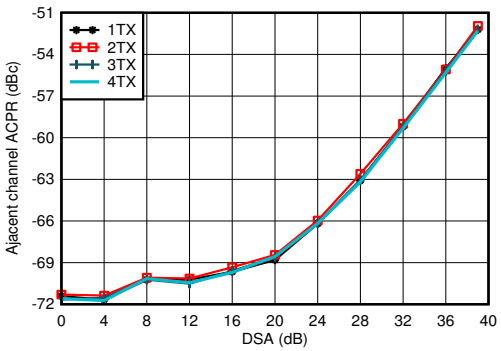
1.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-69. TX 20MHz LTE ACPR とデジタル レベルとの関係 (1.8425GHz)



1.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-70. TX 20MHz LTE alt-ACPR とデジタル レベルとの関係 (1.8425GHz)



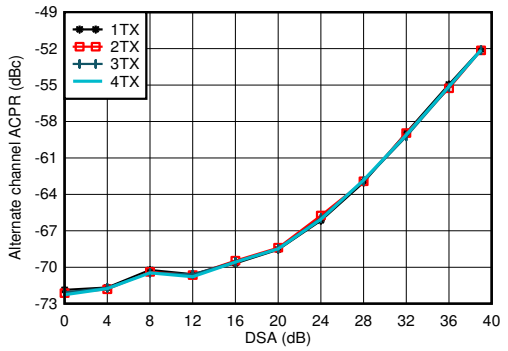
1.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-71. TX 20MHz LTE ACPR と DSA 設定との関係 (1.8GHz)

Copyright © 2025 Texas Instruments Incorporated

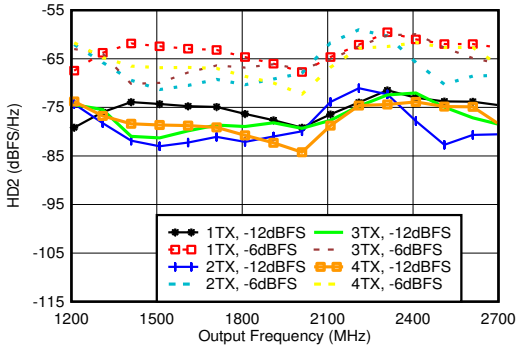
5.12.2 TX 代表的特性：1.8GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



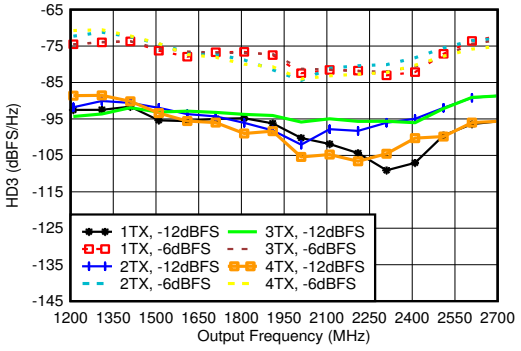
1.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-72. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (1.8GHz)



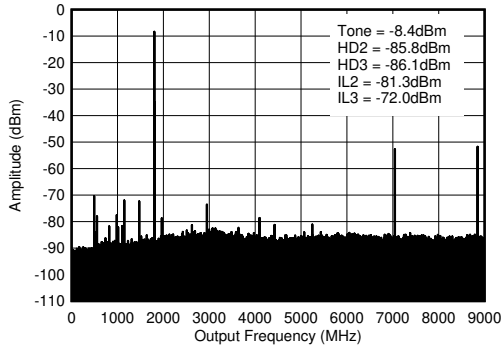
1.8GHz で整合、f_{DAC} = 11.79648GSPS、インターリーブ モード、高調波周波数での出力電力で正規化

図 5-73. TX HD2 と出力周波数との関係 (各種デジタル振幅、1.8GHz)



1.8GHz で整合、f_{DAC} = 11.7964 8GSPS、インターリーブ モード、高調波周波数での出力電力で正規化

図 5-74. TX HD3 と出力周波数との関係 (各種デジタル振幅、1.8GHz)



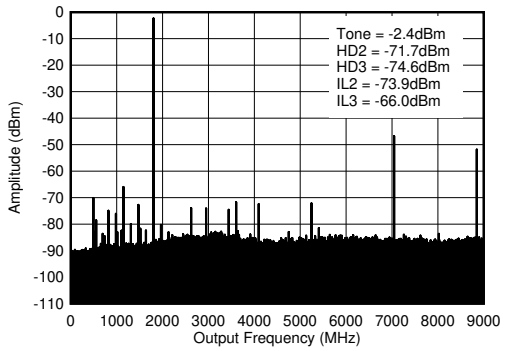
f_{DAC} = 8847.36MSPS、ストレート モード、1.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$ (デジタル クロックとのミキシングに起因)。

図 5-75. TX シングル トーン (-12dBFS) 出力スペクトル (0～f_{DAC}、1.8GHz)

Copyright © 2025 Texas Instruments Incorporated

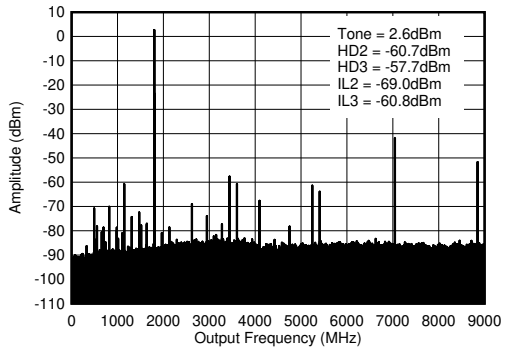
5.12.2 TX 代表的特性：1.8GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



f_{DAC} = 8847.36MSPS、ストレート モード、1.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$ (デジタル クロックとのミキシングに起因)。

図 5-76. TX シングル トーン (-6dBFS) 出力スペクトル (0～f_{DAC}、1.8GHz)



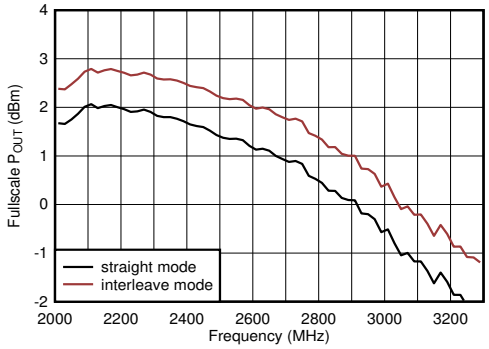
f_{DAC} = 8847.36MSPS、ストレート モード、1.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$ (デジタル クロックとのミキシングに起因)。

図 5-77. TX シングル トーン (-1dBFS) 出力スペクトル (0～f_{DAC}、1.8GHz)

Copyright © 2025 Texas Instruments Incorporated

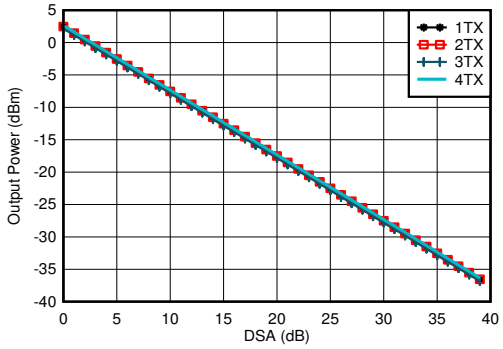
5.12.3 TX 代表的特性：2.6GHz

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



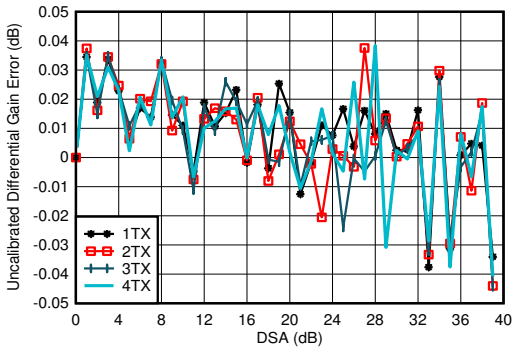
PCB とケーブルの損失を含む。A_{out} = -0.5d BFS、DSA = 0、2.6GHz 整合あり。

図 5-78. 11796.48MSPS での TX フルスケールと RF 周波数との関係



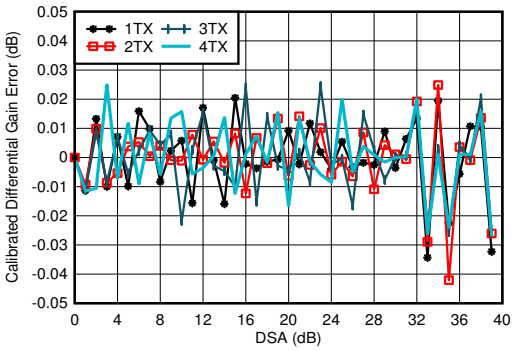
f_{DAC} = 8847.36MSPS、A_{OUT} = -0.5dBFS、2.6GHz に整合

図 5-79. TX 出力電力と DSA 設定との関係 (各種チャネル、2.6GHz)



f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 5-80. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種チャネル、2.6GHz)



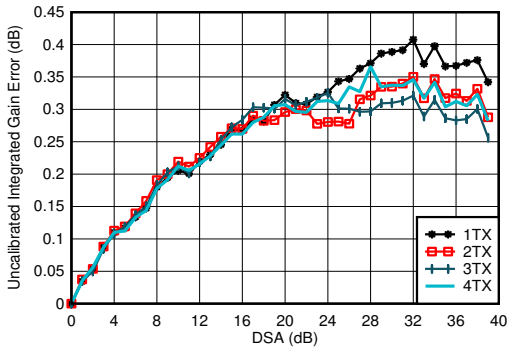
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 5-81. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種チャネル、2.6GHz)

Copyright © 2025 Texas Instruments Incorporated

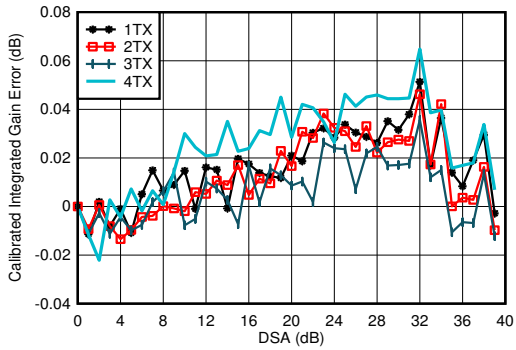
5.12.3 TX 代表的特性：2.6GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



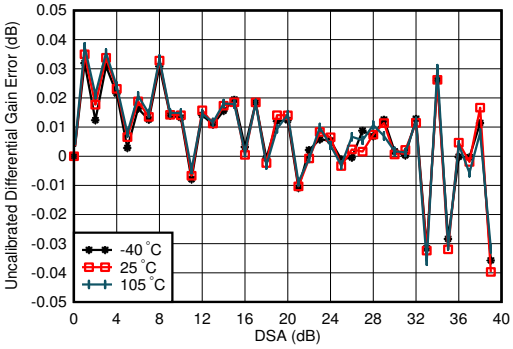
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 5-82. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種チャネル、2.6GHz)



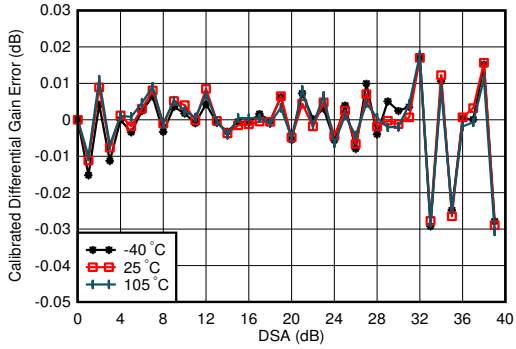
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 5-83. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種チャネル、2.6GHz)



f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合、全 DSA 設定にわたって 25℃での誤差が中央値であるチャネル
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 5-84. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種温度、2.6GHz)



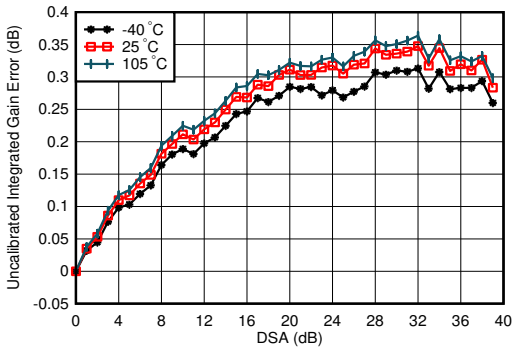
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合、全 DSA 設定にわたって 25℃での誤差が中央値であるチャネル
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 5-85. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種温度、2.6GHz)

Copyright © 2025 Texas Instruments Incorporated

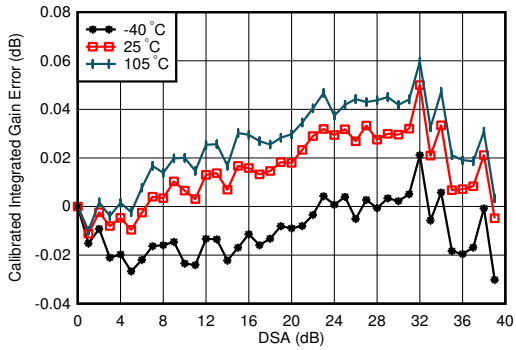
5.12.3 TX 代表的特性：2.6GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



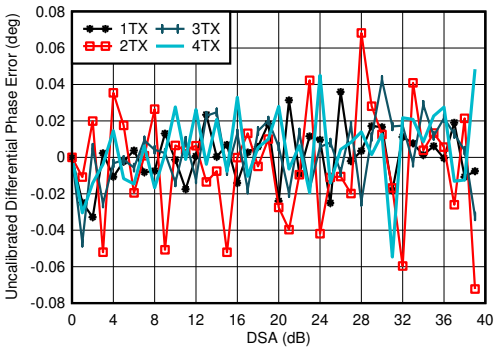
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合、全 DSA 設定にわたって 25℃での誤差が中央値であるチャネル積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 5-86. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種温度、2.6GHz)



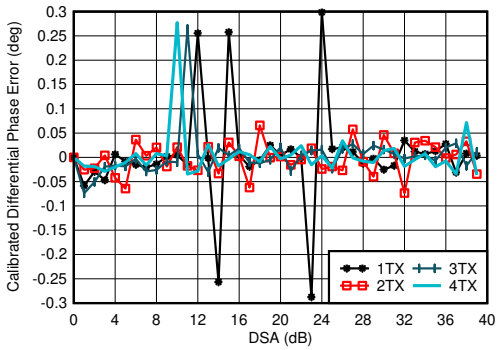
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合、全 DSA 設定にわたって 25℃での誤差が中央値であるチャネル積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 5-87. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種温度、2.6GHz)



f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 5-88. TX 未較正微分位相誤差と DSA 設定との関係 (各種チャネル、2.6GHz)



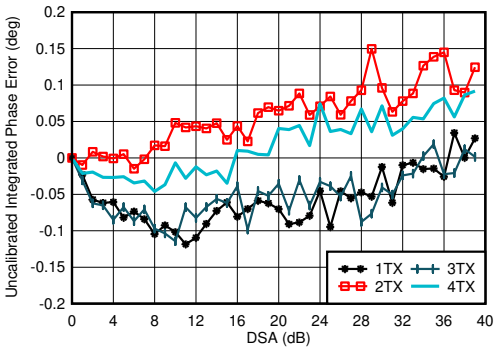
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)
位相 DNL スパイクは、すべての DSA 設定で発生する可能性があります。

図 5-89. TX 較正済み微分位相誤差と DSA 設定との関係 (各種チャネル、2.6GHz)

Copyright © 2025 Texas Instruments Incorporated

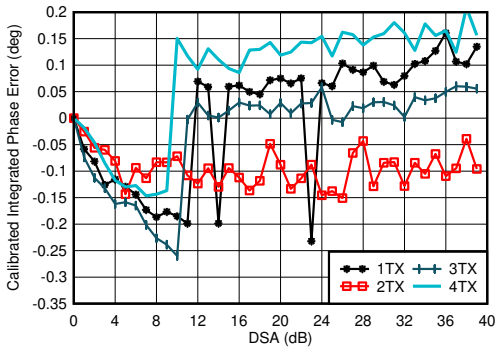
5.12.3 TX 代表的特性：2.6GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



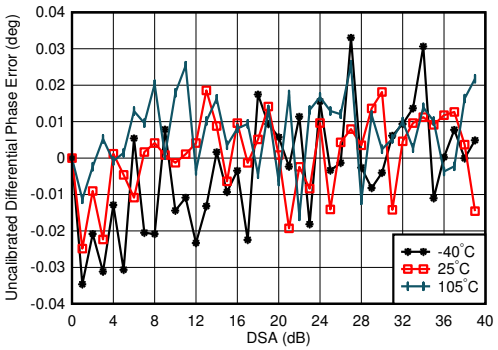
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 5-90. TX 未較正積分位相誤差と DSA 設定との関係 (チャネル 1、2.6GHz)



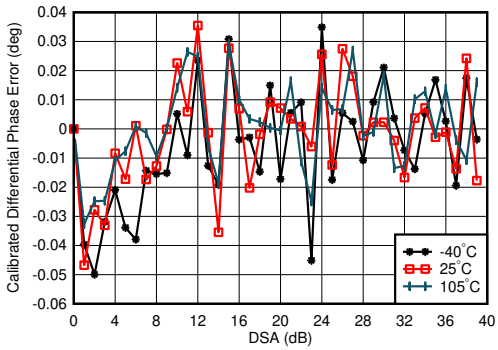
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 5-91. TX 較正済み積分位相誤差と DSA 設定との関係 (各種チャネル、2.6GHz)



f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合、全 DSA 設定にわたって 25℃での誤差が中央値であるチャネル
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 5-92. TX 未較正微分位相誤差と DSA 設定との関係 (各種温度、2.6GHz)



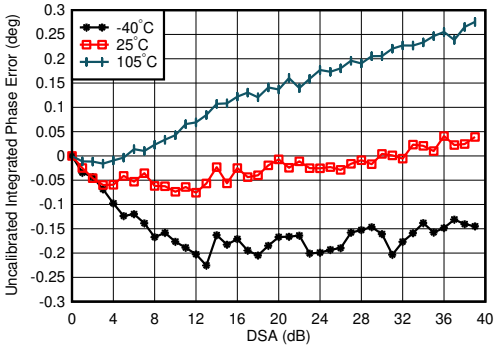
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合、全 DSA 設定にわたって 25℃での誤差が中央値であるチャネル
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 5-93. TX 較正済み微分位相誤差と DSA 設定との関係 (各種温度、2.6GHz)

Copyright © 2025 Texas Instruments Incorporated

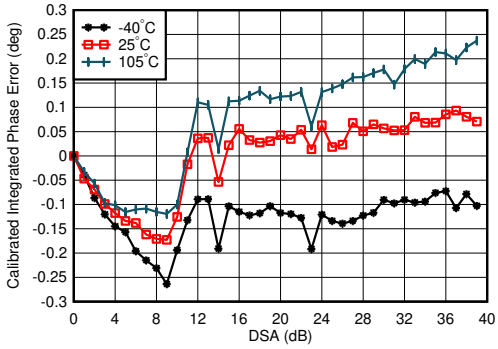
5.12.3 TX 代表的特性：2.6GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



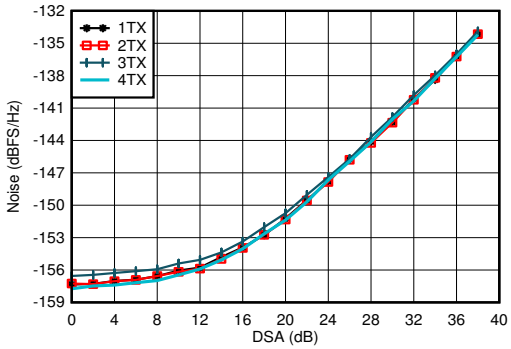
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合、全 DSA 設定にわたって 25℃での誤差が中位の大きさのチャネル積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 5-94. TX 未較正積分位相誤差と DSA 設定との関係 (各種温度、2.6GHz)



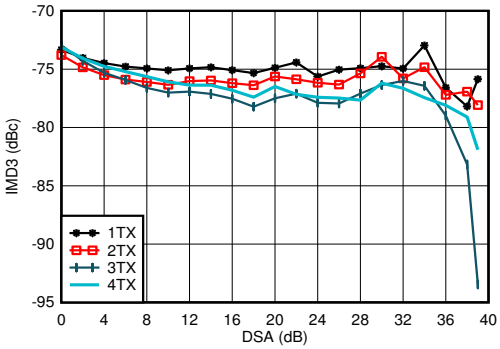
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合、全 DSA 設定にわたって 25℃での誤差が中央値であるチャネル積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 5-95. TX 較正済み積分位相誤差と DSA 設定との関係 (各種温度、2.6GHz)



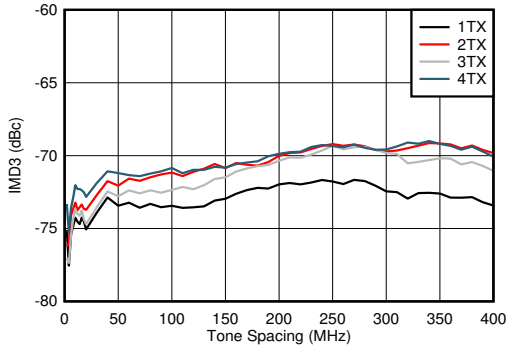
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz で整合、P_{OUT} = -13dBFS

図 5-96. TX 出力ノイズと減衰量との関係 (各種チャネル、2.6GHz)



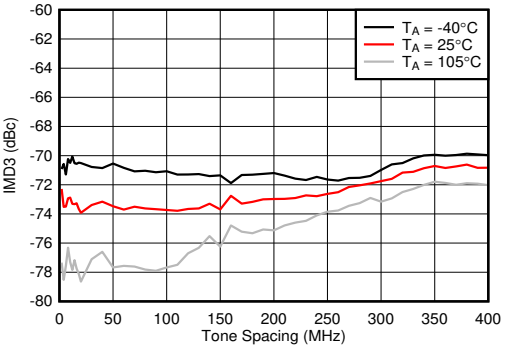
f_{DAC} = 8847.36MSPS、ストレート モード、f_{CENTER} = 2.6GHz、2.6GHz で整合、各トーン -13dBFS

図 5-97. TX IMD3 と DSA 設定との関係 (2.6GHz)



f_{DAC} = 8847.36MSPS、ストレート モード、f_{CENTER} = 2.6GHz、2.6GHz で整合、各トーン -13dBFS

図 5-98. TX IMD3 とトーン間隔との関係 (各種チャネル、2.6GHz)



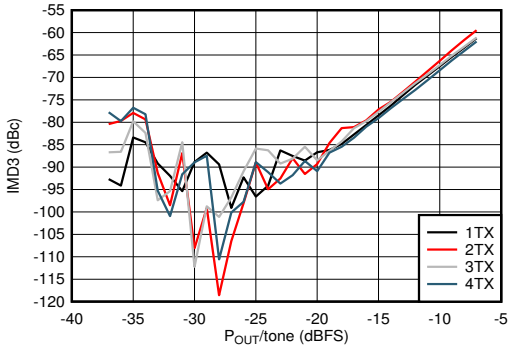
f_{DAC} = 8847.36MSPS、ストレート モード、f_{CENTER} = 2.6GHz、2.6GHz で整合、各トーン -13dBFS、ワースト チャネル

図 5-99. TX IMD3 とトーン間隔との関係 (各種温度、2.6GHz)

Copyright © 2025 Texas Instruments Incorporated

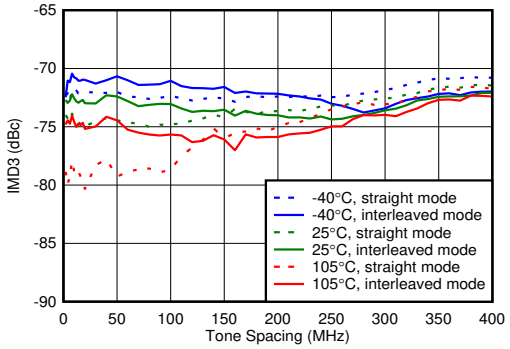
5.12.3 TX 代表的特性：2.6GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



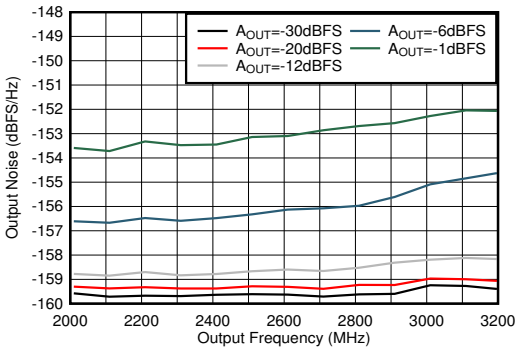
f_{DAC} = 8847.36MSPS、ストレート モード、f_{CENTER} = 2.6GHz、$f_{SPACING}$ = 20MHz、2.6GHz で整合

図 5-100. TX IMD3 とデジタル レベルとの関係 (2.6GHz)



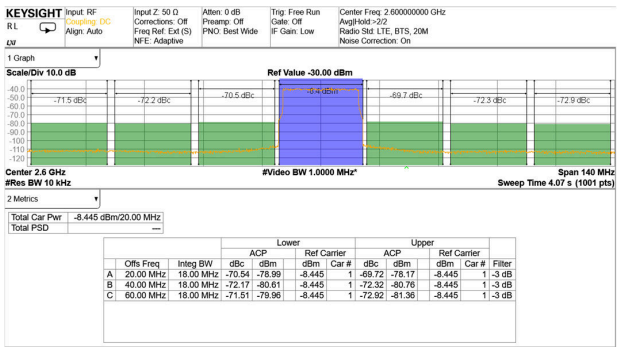
f_{DAC} = 8847.36MSPS、ストレート モード、f_{CENTER} = 2.6GHz、2.6GHz で整合、各トーン -13dBFS

図 5-101. TX IMD3 とトーン間隔との関係 (各種温度)



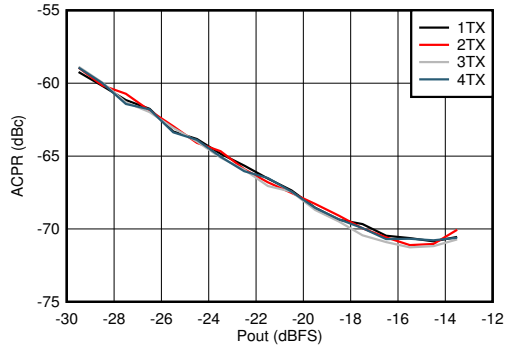
2.6GHz で整合、シングル トーン、f_{DAC} = 11.79648GSPS、インターリーブ モード、40MHz オフセット

図 5-102. TX シングルトーン出力ノイズと周波数との関係 (各種振幅、2.6GHz)



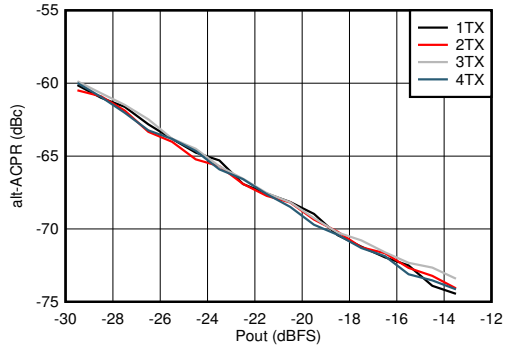
TM1.1、P_{OUT_RMS} = -13dBFS

図 5-103. TX 20MHz LTE 出力スペクトル (バンド 41、2.6GHz)



2.6GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-104. TX 20MHz LTE ACPR とデジタル レベルとの関係 (2.6GHz)



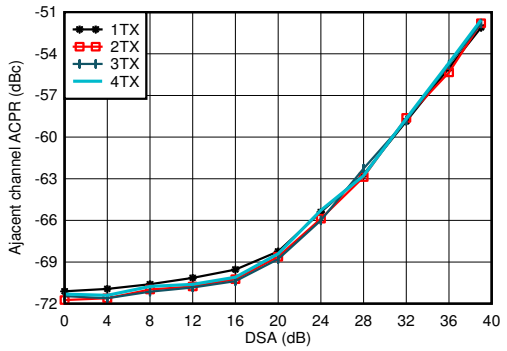
2.6GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-105. TX 20MHz LTE alt-ACPR とデジタル レベルとの関係 (2.6GHz)

Copyright © 2025 Texas Instruments Incorporated

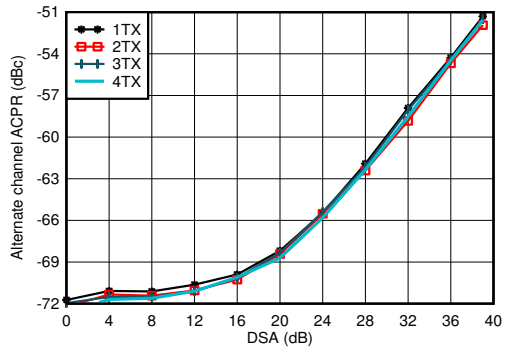
5.12.3 TX 代表的特性：2.6GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



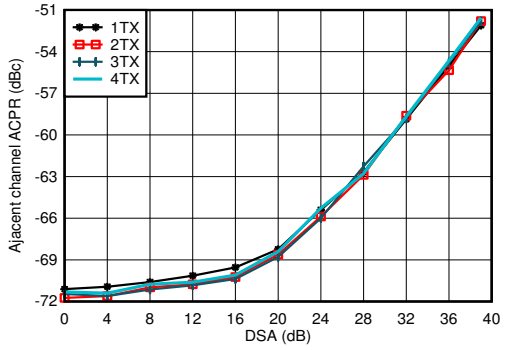
2.6GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-106. TX 20MHz LTE ACPR と DSA 設定との関係 (2.6GHz)



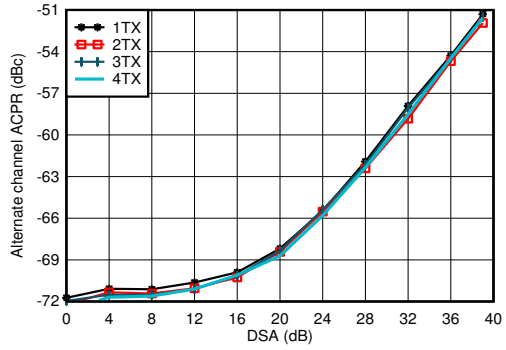
2.6GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-107. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (2.6GHz)



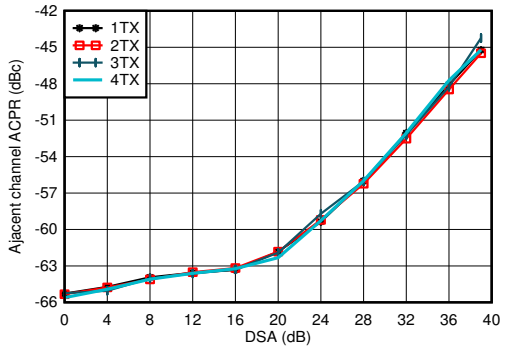
2.6GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-108. TX 20MHz LTE ACPR と DSA 設定との関係 (2.6GHz)



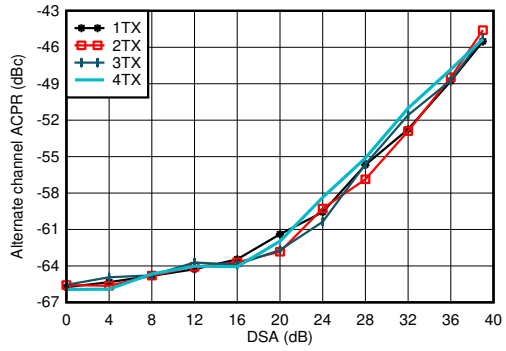
2.6GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-109. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (2.6GHz)



2.6GHz で整合、シングル キャリア 100MHz BW TM1.1 NR

図 5-110. TX 100MHz NR ACPR と DSA 設定との関係 (2.6GHz)



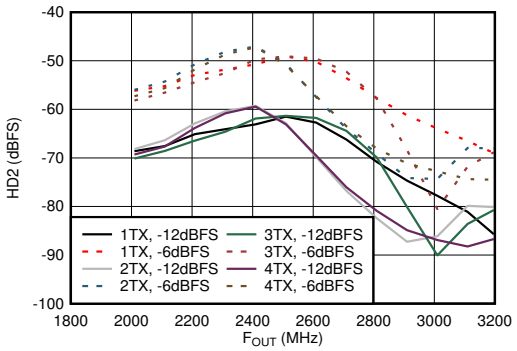
2.6GHz で整合、シングル キャリア 100MHz BW TM1.1 NR

図 5-111. TX 100MHz NR alt-ACPR と DSA 設定との関係 (2.6GHz)

Copyright © 2025 Texas Instruments Incorporated

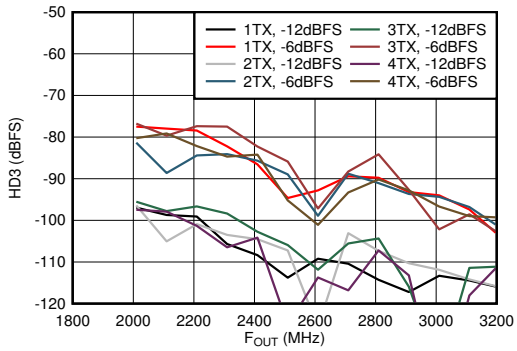
5.12.3 TX 代表的特性：2.6GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



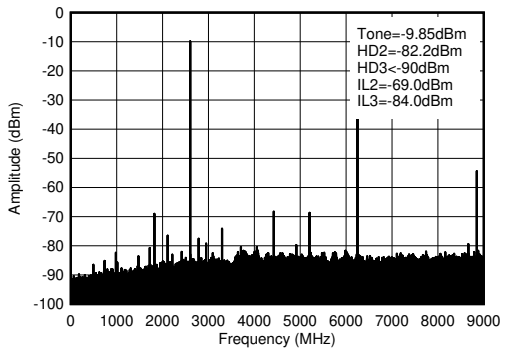
2.6GHz で整合、f_{DAC} = 11.79648GSPS、インターリーブ モード、高調波周波数での出力電力で正規化

図 5-112. TX HD2 と出力周波数との関係 (各種デジタル振幅、2.6GHz)



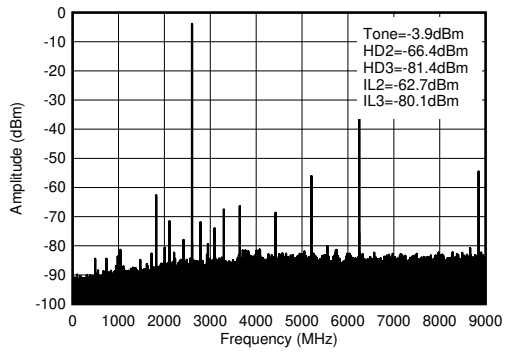
2.6GHz で整合、f_{DAC} = 11.79648GSPS、インターリーブ モード、高調波周波数での出力電力で正規化

図 5-113. TX HD3 と出力周波数との関係 (各種デジタル振幅、2.6GHz)



f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$ (デジタル クロックとのミキシングに起因)。

図 5-114. TX シングル トーン (-12dBFS) 出力スペクトル (0～f_{DAC}、2.6GHz)



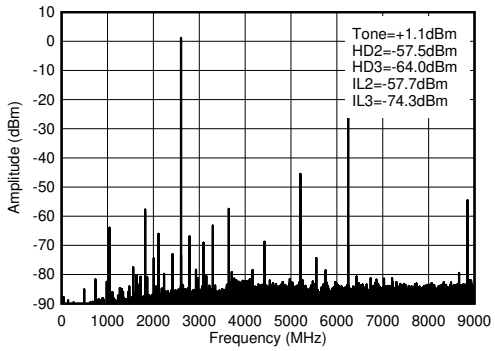
f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$ (デジタル クロックとのミキシングに起因)。

図 5-115. TX シングル トーン (-6dBFS) 出力スペクトル (0～f_{DAC}、2.6GHz)

Copyright © 2025 Texas Instruments Incorporated

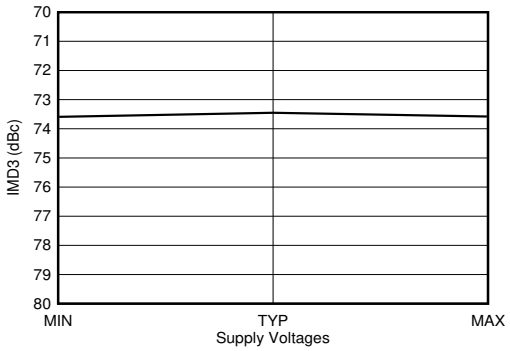
5.12.3 TX 代表的特性：2.6GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



f_{DAC} = 8847.36MSPS、ストレート モード、2.6GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$ (デジタル クロックとのミキシングに起因)。

図 5-116. TX シングル トーン (-1dBFS) 出力スペクトル (0～f_{DAC}、2.6GHz)



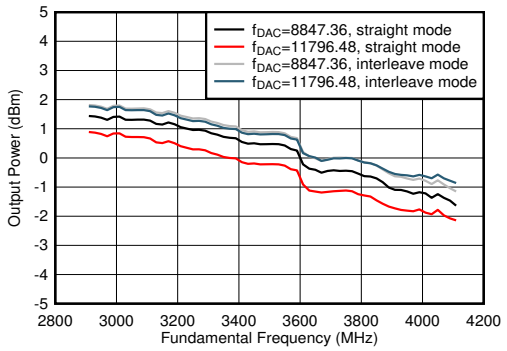
f_{DAC} = 11796.48MSPS、インターリーブ モード、2.6GHz 整合あり。トーンから 40MHz オフセット。出力電力 = -13 dBFS。すべての電源電圧に最小値、代表値、最大値がある。

図 5-117. TX IMD3 と電源電圧との関係 (2.6GHz)

Copyright © 2025 Texas Instruments Incorporated

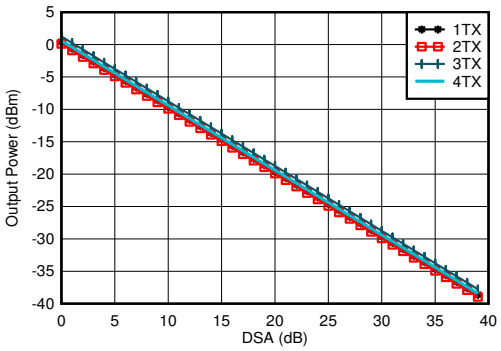
5.12.4 TX 代表的特性：3.5GHz

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



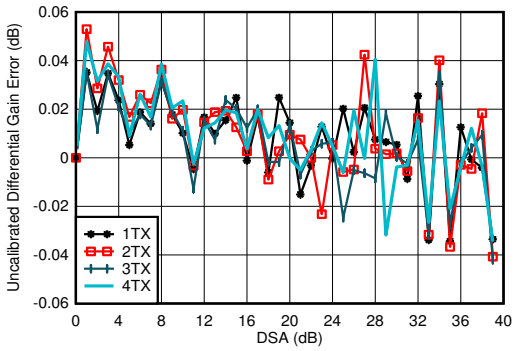
A_{out} = -0.5dBFS、3.5GHz 整合あり、PCB とケーブルの損失を含む。

図 5-118. TX 出力電力と周波数との関係



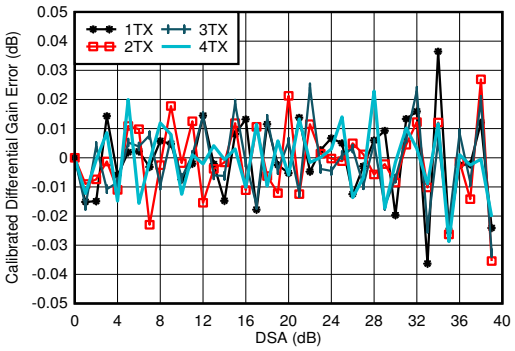
A_{out} = -0.5dBFS、3.5GHz 整合あり、PCB とケーブルの損失を含む。

図 5-119. TX 出力電力と DSA 設定との関係 (3.5GHz)



3.5GHz 整合あり、PCB とケーブルの損失を含む。
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 5-120. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種チャネル、3.5GHz)



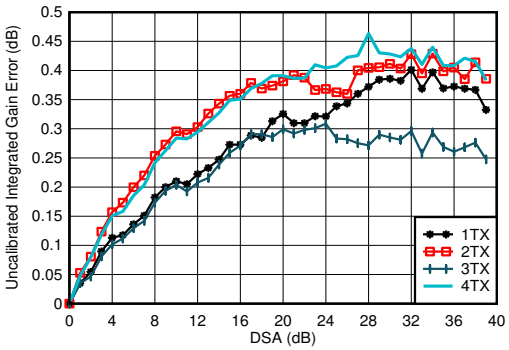
3.5GHz 整合あり、PCB とケーブルの損失を含む。
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 5-121. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種チャネル、3.5GHz)

Copyright © 2025 Texas Instruments Incorporated

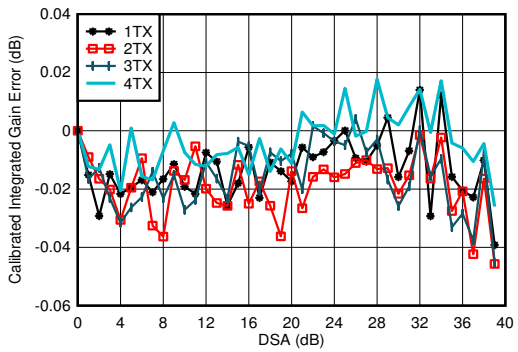
5.12.4 TX 代表的特性：3.5GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



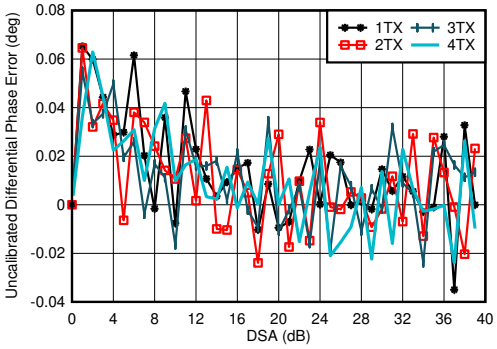
3.5GHz 整合あり、PCB とケーブルの損失を含む。
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 5-122. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種チャネル、3.5GHz)



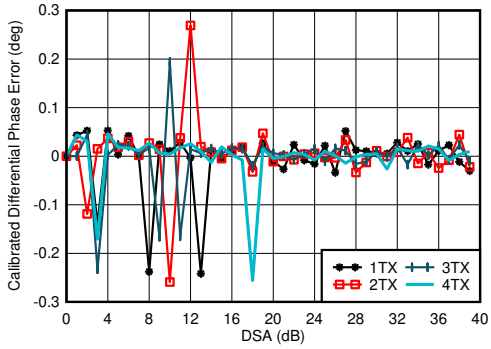
3.5GHz 整合あり、PCB とケーブルの損失を含む。
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 5-123. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種チャネル、3.5GHz)



3.5GHz 整合あり、PCB とケーブルの損失を含む。

図 5-124. TX 未較正微分位相誤差と DSA 設定との関係 (各種チャネル、3.5GHz)



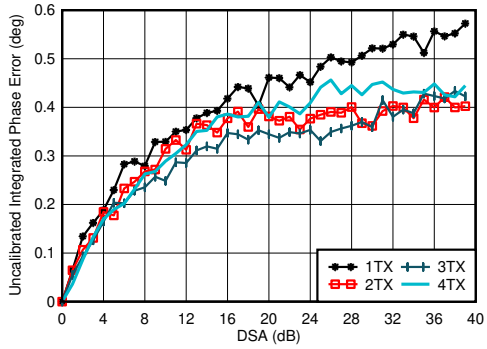
3.5GHz 整合あり、PCB とケーブルの損失を含む。
位相 DNL スパイクは、すべての DSA 設定で発生する可能性があります。

図 5-125. TX 較正済み微分位相誤差と DSA 設定との関係 (各種チャネル、3.5GHz)

Copyright © 2025 Texas Instruments Incorporated

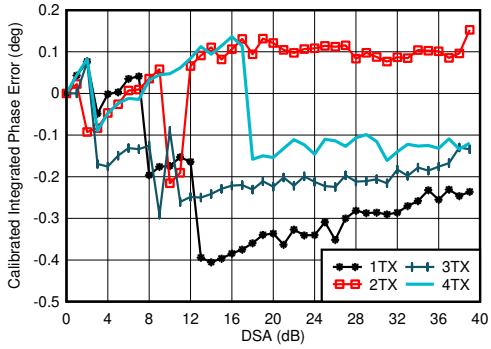
5.12.4 TX 代表的特性：3.5GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



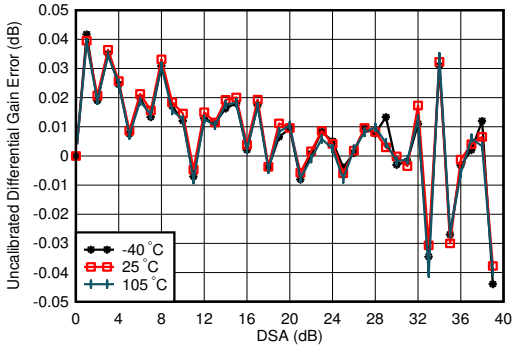
3.5GHz 整合あり、PCB とケーブルの損失を含む。

図 5-126. TX 未較正積分位相誤差と DSA 設定との関係 (チャネル 1、3.5GHz)



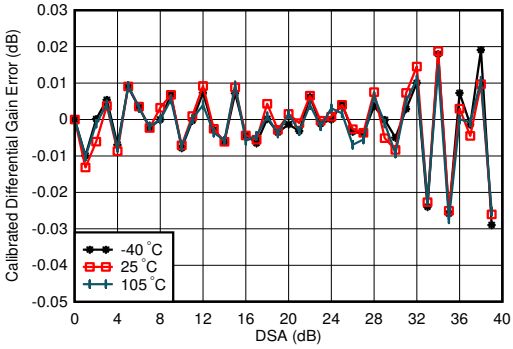
3.5GHz 整合あり、PCB とケーブルの損失を含む。

図 5-127. TX 較正済み積分位相誤差と DSA 設定との関係 (各種チャネル、3.5GHz)



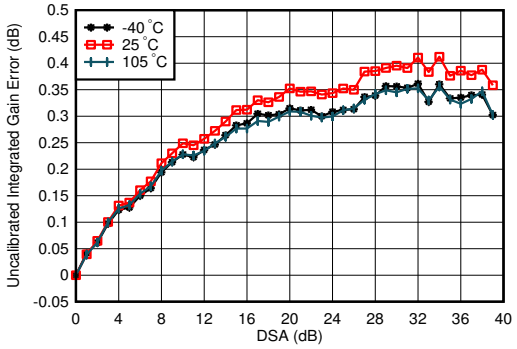
3.5GHz 整合あり、1TX

図 5-128. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種温度、3.5GHz)



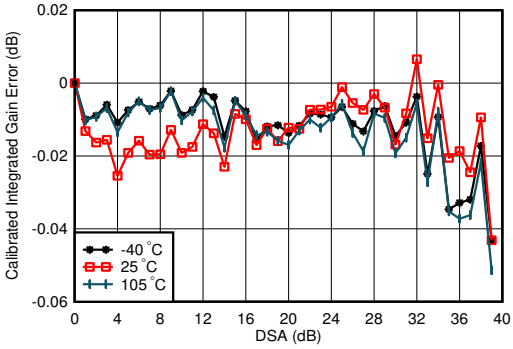
3.5GHz 整合あり、1TX、25℃で較正済み

図 5-129. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種温度、3.5GHz)



3.5GHz 整合あり、1TX

図 5-130. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種温度、3.5GHz)



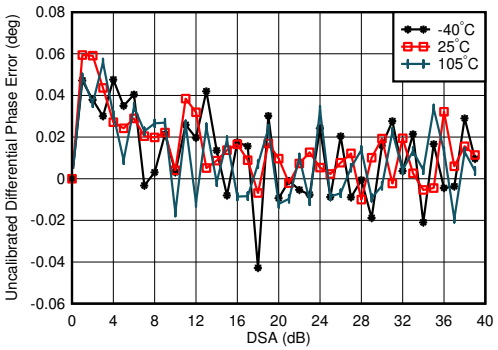
3.5GHz 整合あり、1TX、25℃で較正済み

図 5-131. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種温度、3.5GHz)

Copyright © 2025 Texas Instruments Incorporated

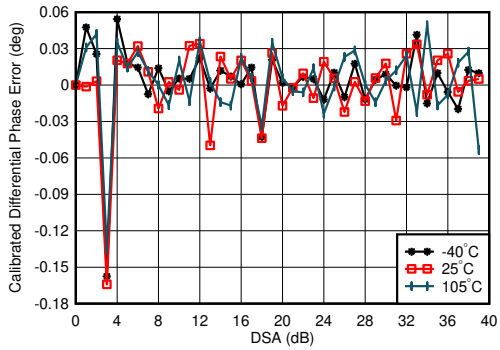
5.12.4 TX 代表的特性：3.5GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



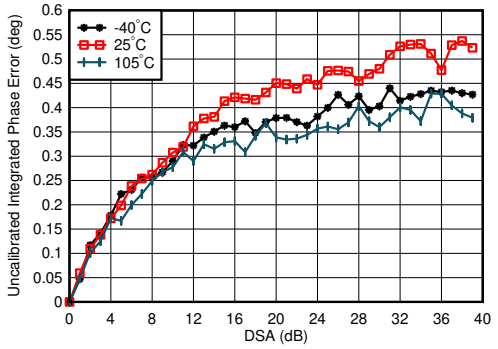
3.5GHz 整合あり、1TX
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 5-132. TX 未較正微分位相誤差と DSA 設定との関係 (各種温度、3.5GHz)



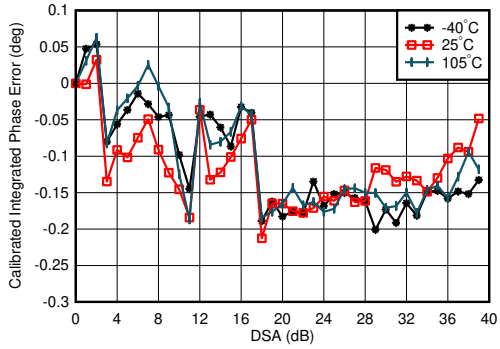
3.5GHz 整合あり、1TX、25℃で較正済み
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 5-133. TX 較正済み微分位相誤差と DSA 設定との関係 (各種温度、3.5GHz)



3.5GHz 整合あり、1TX
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 5-134. TX 未較正積分位相誤差と DSA 設定との関係 (各種温度、3.5GHz)



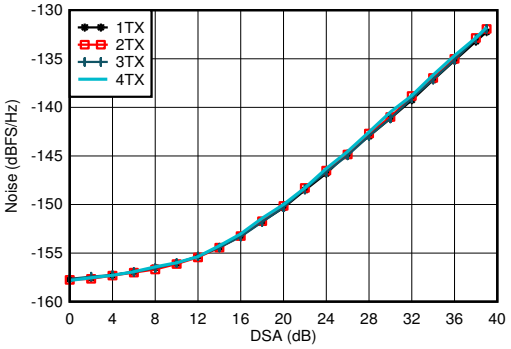
3.5GHz 整合あり、1TX、25℃で較正済み
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 5-135. TX 較正済み積分位相誤差と DSA 設定との関係 (各種温度、3.5GHz)

Copyright © 2025 Texas Instruments Incorporated

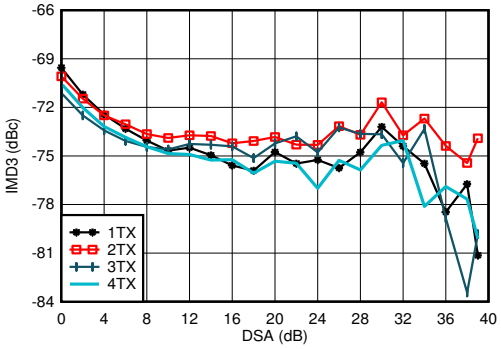
5.12.4 TX 代表的特性：3.5GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



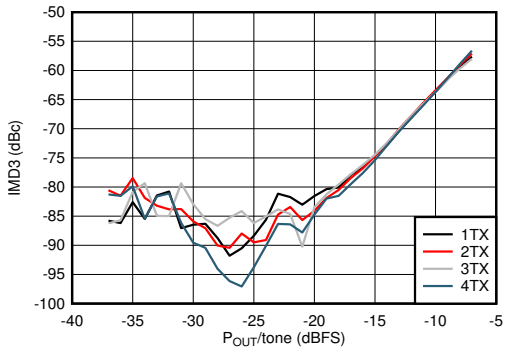
A. f_{DAC} = 11796.48MSPS、インターリーブ モード、3.5GHz で整合、A_{OUT} = -13dBFS。

図 5-136. TX NSD と DSA 設定との関係 (3.5GHz)



20MHz のトーン間隔、3.5GHz 整合あり、各トーン -13dBFS、PCB とケーブルの損失を含む。

図 5-137. TX IMD3 と DSA 設定との関係 (3.5GHz)



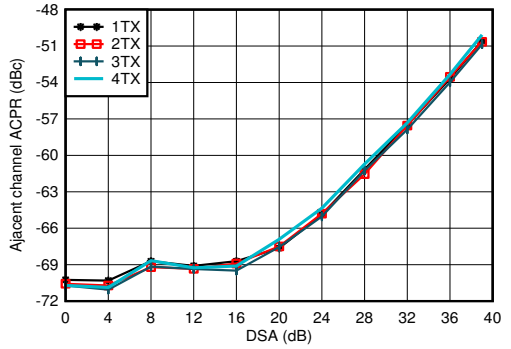
20MHz のトーン間隔、3.5GHz 整合あり

図 5-138. TX IMD3 とデジタル振幅との関係 (各種チャネル、3.5GHz)



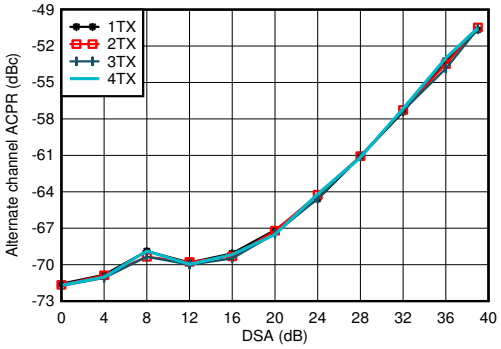
3.5GHz 整合あり、シングル キャリア 20MHz BW TM1.1 LTE

図 5-139. TX 20MHz LTE 出力スペクトル (バンド 42、3.5GHz)



3.5GHz 整合あり、シングル キャリア 20MHz BW TM1.1 LTE

図 5-140. TX 20MHz LTE ACPR と DSA 設定との関係 (3.5GHz)



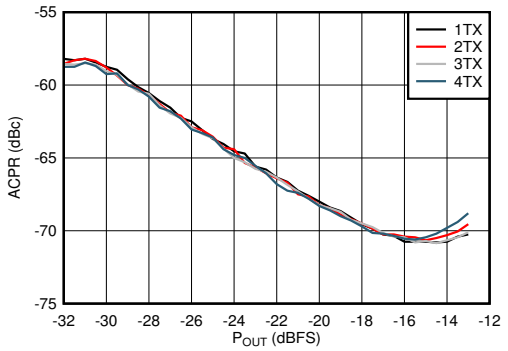
3.5GHz 整合あり、シングル キャリア 20MHz BW TM1.1 LTE

図 5-141. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (3.5GHz)

Copyright © 2025 Texas Instruments Incorporated

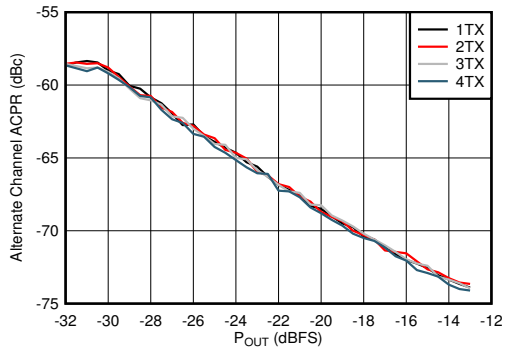
5.12.4 TX 代表的特性：3.5GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



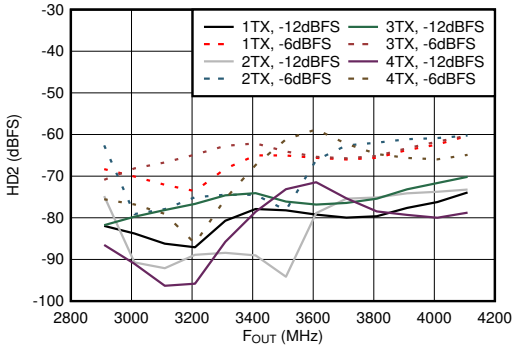
3.5GHz 整合あり、シングル キャリア 20MHz BW TM1.1 LTE

図 5-142. TX 20MHz LTE ACPR とデジタル レベルとの関係 (3.5GHz)



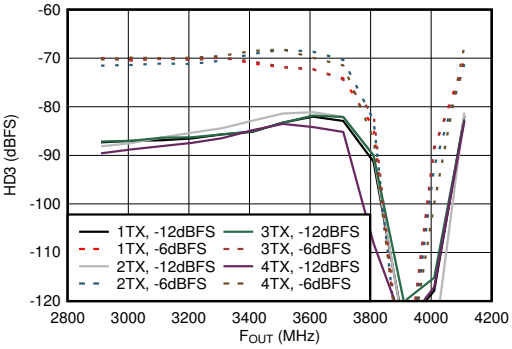
3.5GHz 整合あり、シングル キャリア 20MHz BW TM1.1 LTE

図 5-143. TX 20MHz LTE alt-ACPR とデジタル レベルとの関係 (3.5GHz)



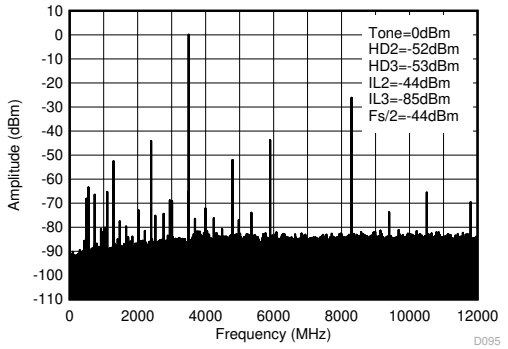
3.5GHz で整合、f_{DAC} = 11.79648GSPS、インターリーブ モード、高調波周波数での出力電力で正規化

図 5-144. TX シングル トーン HD2 と周波数との関係 (各種デジタル レベル、3.5GHz)



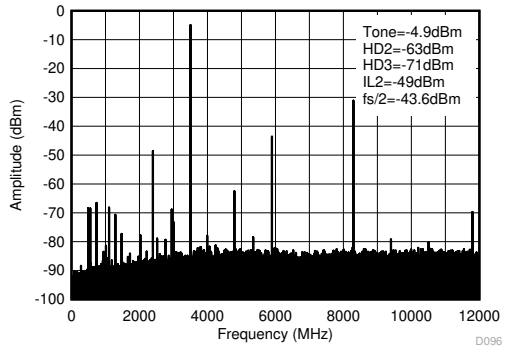
3.5GHz で整合、f_{DAC} = 11.79648GSPS、インターリーブ モード、高調波周波数での出力電力で正規化ディップは、DC 付近での HD3 の低下に起因するものです。

図 5-145. TX シングル トーン HD3 と周波数との関係 (各種デジタル レベル、3.5GHz)



3.5GHz で整合、f_{DAC} = 11.79648GSPS、インターリーブ モード。

図 5-146. TX シングル トーン (-1dBFS) 出力スペクトル (0～f_{DAC}、3.5GHz)



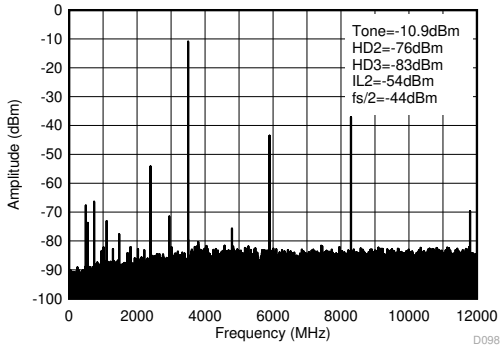
3.5GHz で整合、f_{DAC} = 11.79648GSPS、インターリーブ モード。

図 5-147. TX シングル トーン (-6dBFS) 出力スペクトル (0～f_{DAC}、3.5GHz)

Copyright © 2025 Texas Instruments Incorporated

5.12.4 TX 代表的特性：3.5GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル

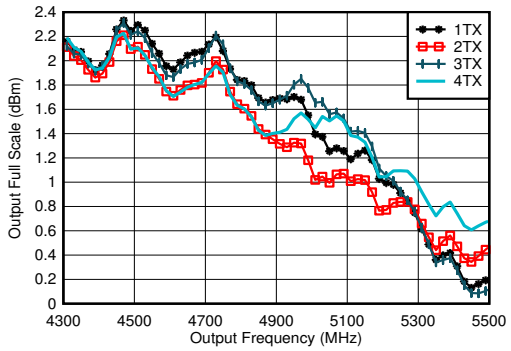


3.5GHz で整合、f_{DAC} = 11.79648GSPS、インターリーブ モード。

図 5-148. TX シングル トーン (-12dBFS) 出力スペクトル (0～f_{DAC}、3.5GHz)

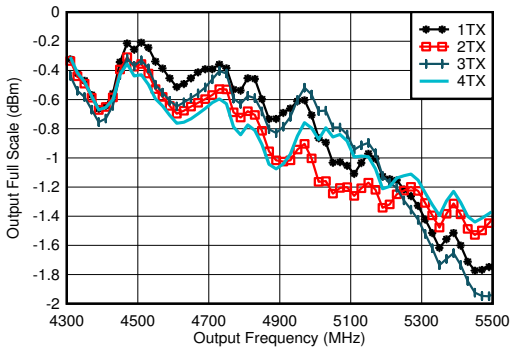
5.12.5 TX 代表的特性：4.9GHz

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



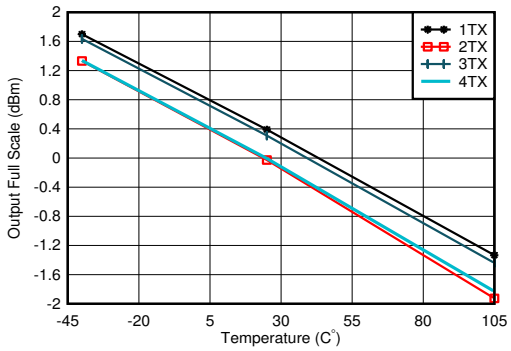
PCB とケーブルの損失を除く。A_{OUT} = -0.5dBFS、DSA = 0、4.9GHz 整合あり。

図 5-149. TX フルスケールと RF 周波数との関係 (各種チャネル、11796.48MSPS)



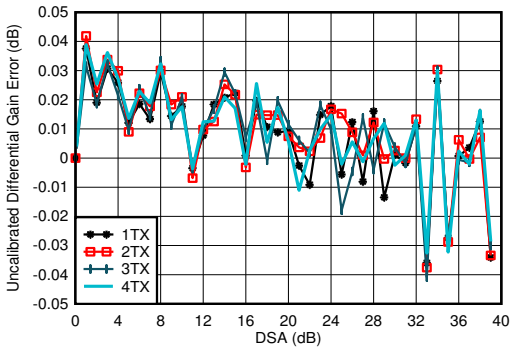
PCB とケーブルの損失を除く。A_{OUT} = -0.5dBFS、DSA = 0、4.9GHz 整合あり。

図 5-150. TX フルスケールと RF 周波数との関係 (各種チャネル、5898.24MSPS、ストレート モード、2 次ナイキスト ゾーン)



f_{DAC} = 11796.48MSPS、A_{OUT} = -0.5dBFS、4.9GHz に整合

図 5-151. TX 出力電力と DSA 設定との関係 (各種チャネル、4.9GHz)



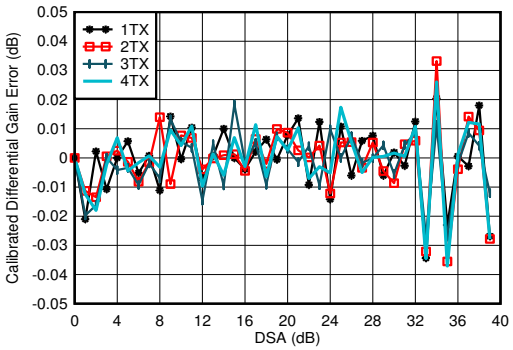
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 5-152. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種チャネル、4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

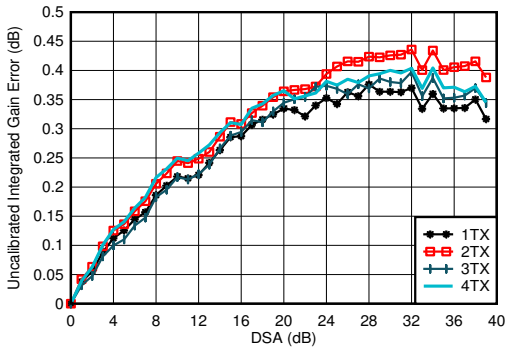
5.12.5 TX 代表的特性：4.9GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



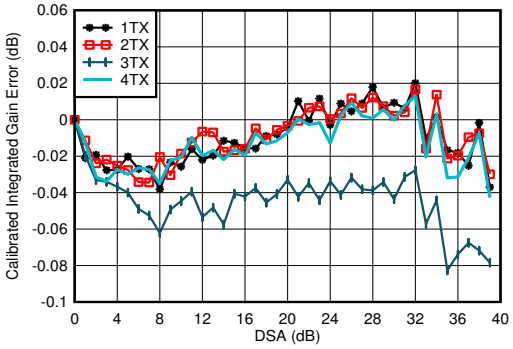
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 5-153. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種チャネル、4.9GHz)



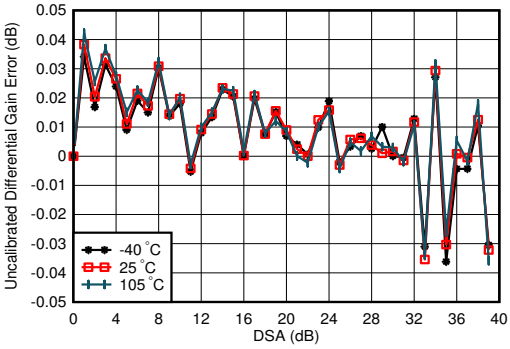
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 5-154. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種チャネル、4.9GHz)



f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 5-155. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種チャネル、4.9GHz)



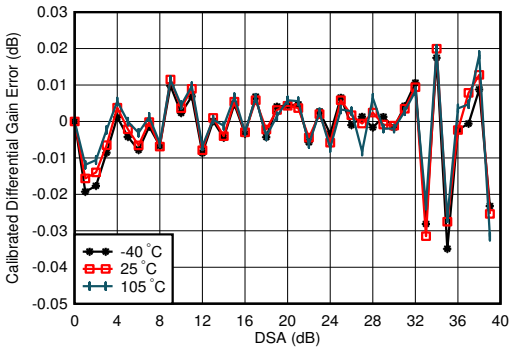
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 5-156. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種温度、4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

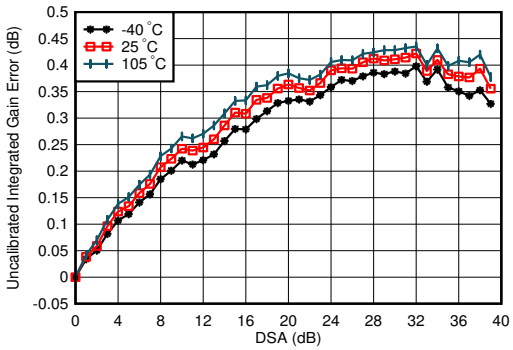
5.12.5 TX 代表的特性：4.9GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



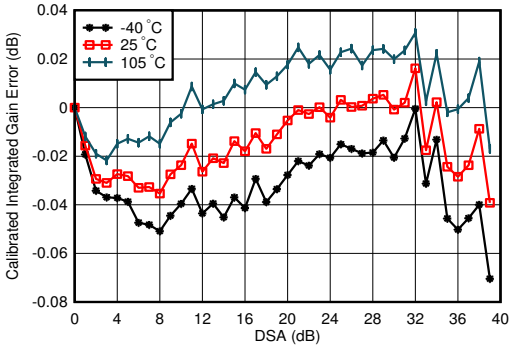
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
微分ゲイン誤差 = P_{OUT}(DSA 設定 - 1) - P_{OUT}(DSA 設定) + 1

図 5-157. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種温度、4.9GHz)



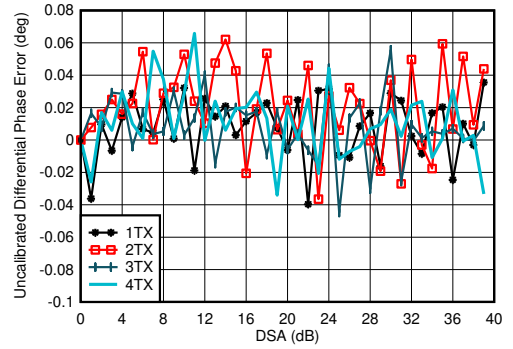
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 5-158. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種温度、4.9GHz)



f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
積分ゲイン誤差 = P_{OUT}(DSA 設定) - P_{OUT}(DSA 設定 = 0) + (DSA 設定)

図 5-159. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種温度、4.9GHz)



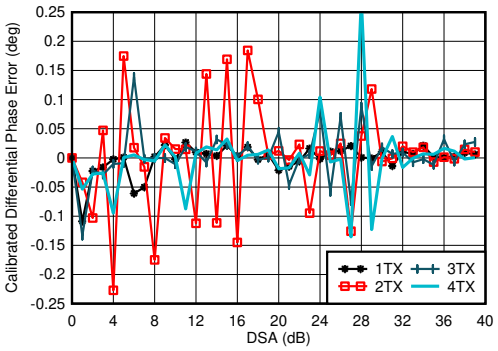
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 5-160. TX 未較正微分位相誤差と DSA 設定との関係 (各種チャネル、4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

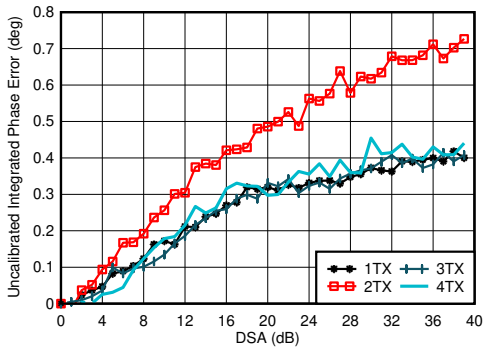
5.12.5 TX 代表的特性：4.9GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



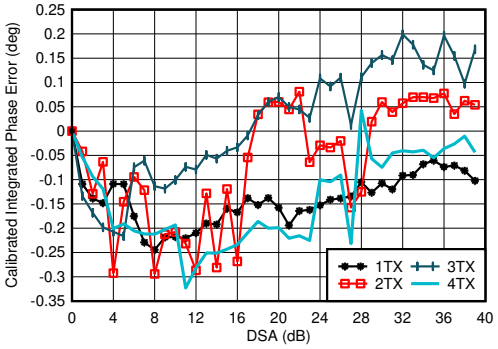
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)
位相 DNL スパイクは、すべての DSA 設定で発生する可能性があります。

図 5-161. TX 較正済み微分位相誤差と DSA 設定との関係 (各種チャネル、4.9GHz)



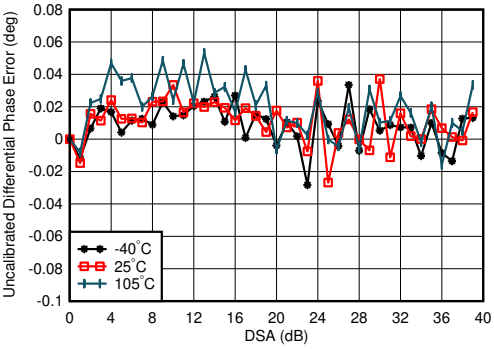
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 5-162. TX 未較正積分位相誤差と DSA 設定との関係 (チャネル 1、4.9GHz)



f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 5-163. TX 較正済み積分位相誤差と DSA 設定との関係 (各種チャネル、4.9GHz)



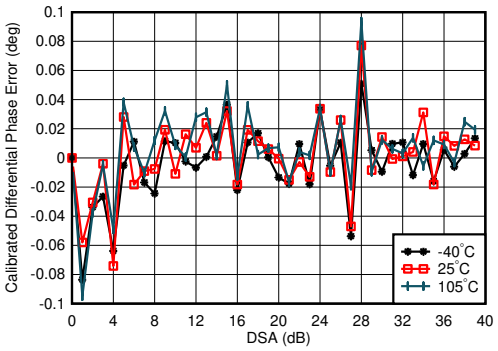
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 5-164. TX 未較正微分位相誤差と DSA 設定との関係 (各種温度、4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

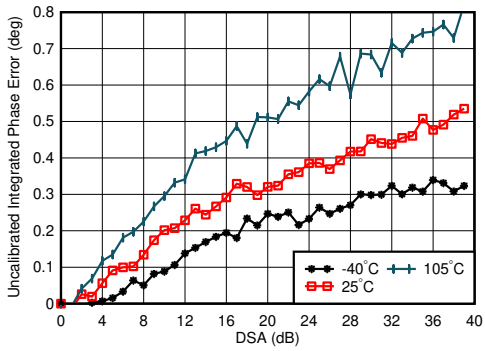
5.12.5 TX 代表的特性：4.9GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



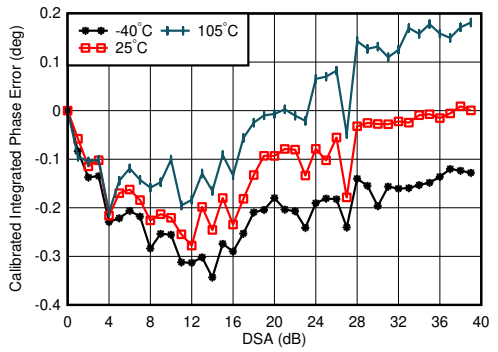
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
微分位相誤差 = $Phase_{OUT}$(DSA 設定 - 1) - $Phase_{OUT}$(DSA 設定)

図 5-165. TX 較正済み微分位相誤差と DSA 設定との関係 (各種温度、4.9GHz)



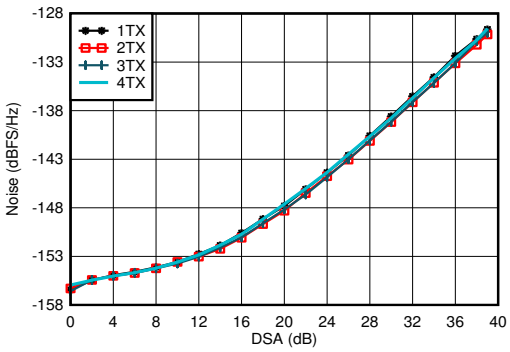
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 5-166. TX 未較正積分位相誤差と DSA 設定との関係 (各種温度、4.9GHz)



f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合、全 DSA 設定にわたって 25℃での誤差が中央値であるチャネル
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 5-167. TX 較正済み積分位相誤差と DSA 設定との関係 (各種温度、4.9GHz)



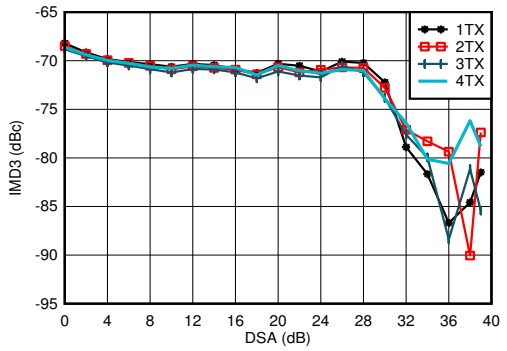
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合、P_{OUT} = -13dBFS

図 5-168. TX 出力ノイズと減衰量との関係 (各種チャネル、2.6GHz)

Copyright © 2025 Texas Instruments Incorporated

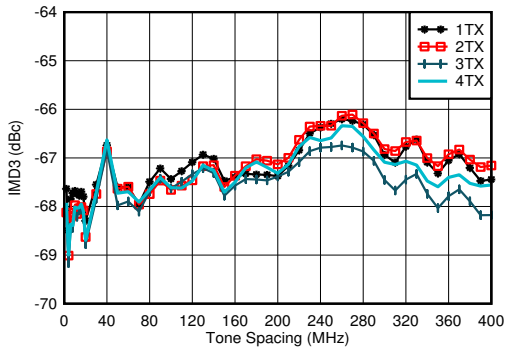
5.12.5 TX 代表的特性：4.9GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



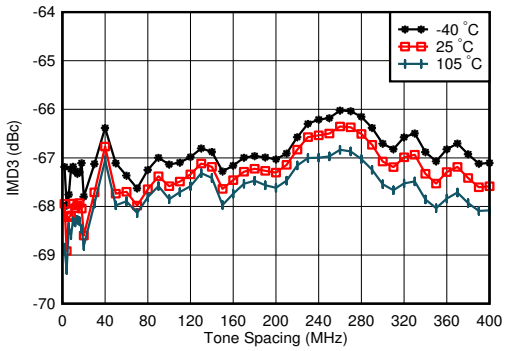
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合、f_{CENTER} = 4.9GHz、各トーン -13dBFS

図 5-169. TX IMD3 と DSA 設定との関係 (4.9GHz)



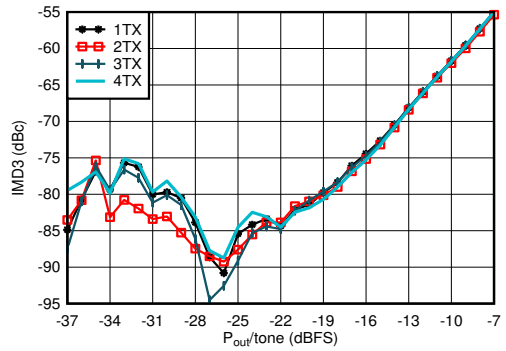
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合、f_{CENTER} = 4.9GHz、各トーン -13dBFS

図 5-170. TX IMD3 とトーン間隔との関係 (各種チャネル、4.9GHz)



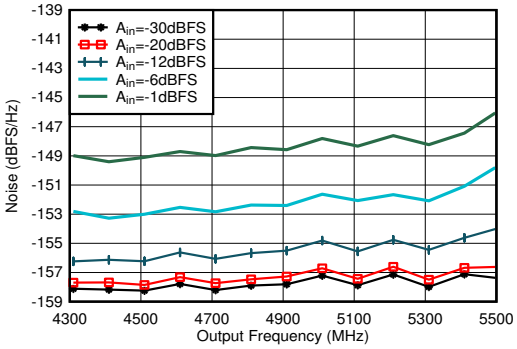
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合、f_{CENTER} = 4.9GHz、各トーン -13dBFS、ワースト チャネル

図 5-171. TX IMD3 とトーン間隔との関係 (各種温度、4.9GHz)



f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz で整合、f_{CENTER} = 4.9GHz、$f_{SPACING}$ = 20MHz

図 5-172. TX IMD3 とデジタル レベルとの関係 (4.9GHz)



4.9GHz で整合、シングル トーン、f_{DAC} = 11.7964 8GSPS、インターリーブ モード、40MHz オフセット、DSA = 0dB

図 5-173. TX シングルトーン出力ノイズと周波数との関係 (各種振幅、4.9GHz)

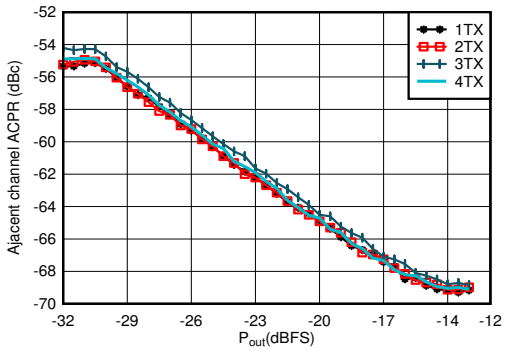


TM1.1、P_{OUT_RMS} = -13dBFS

図 5-174. TX 20MHz LTE 出力スペクトル (4.9GHz)

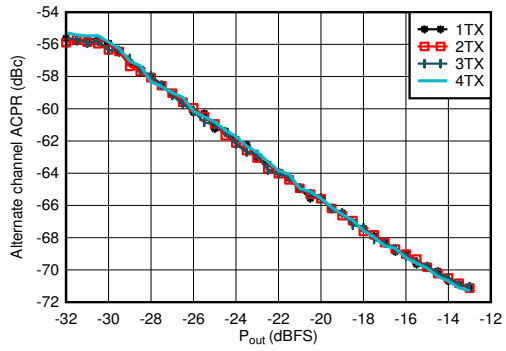
5.12.5 TX 代表的特性：4.9GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



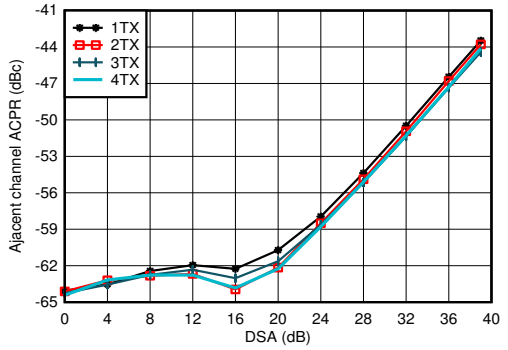
4.9GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-175. TX 20MHz LTE ACPR とデジタル レベルとの関係 (4.9GHz)



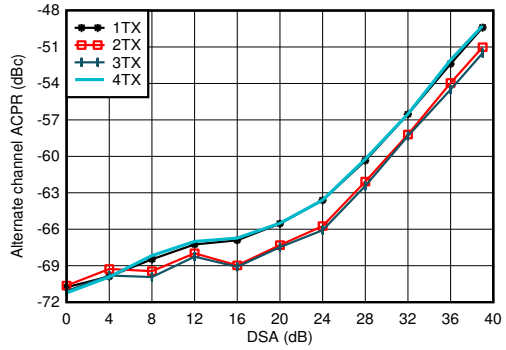
4.9GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-176. TX 20MHz LTE alt-ACPR とデジタル レベルとの関係 (4.9GHz)



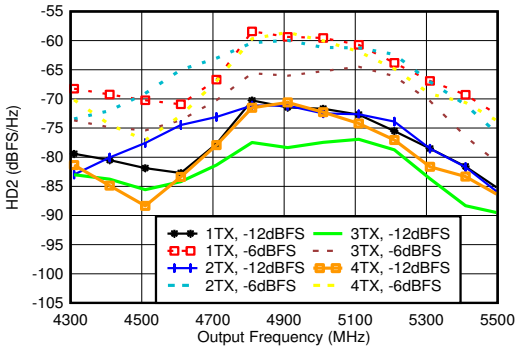
4.9GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-177. TX 20MHz LTE ACPR と DSA 設定との関係 (4.9GHz)



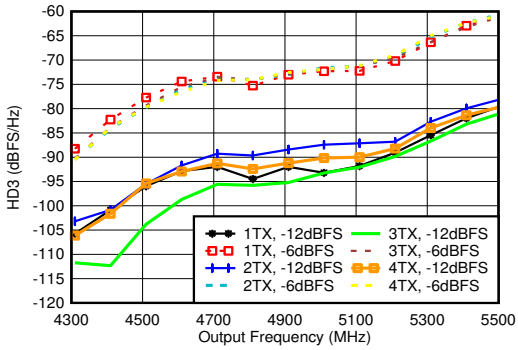
4.9GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-178. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (4.9GHz)



4.9GHz で整合、f_{DAC} = 11.79648GSPS、インターリーブ モード、高調波周波数での出力電力で正規化

図 5-179. TX HD2 と出力周波数との関係 (各種デジタル振幅、4.9GHz)



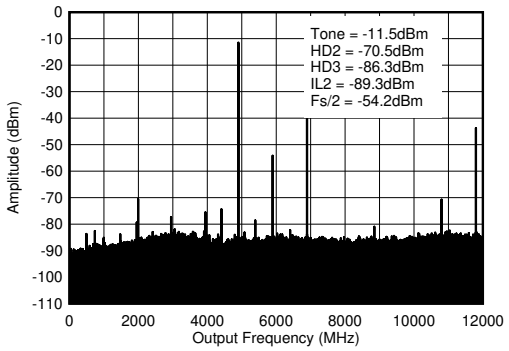
4.9GHz で整合、f_{DAC} = 11.79648GSPS、インターリーブ モード、高調波周波数での出力電力で正規化

図 5-180. TX HD3 と出力周波数との関係 (各種デジタル振幅、4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

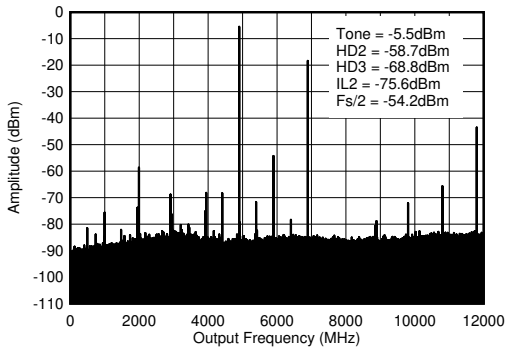
5.12.5 TX 代表的特性：4.9GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、インターリーブ モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz による PLL クロック モード、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル



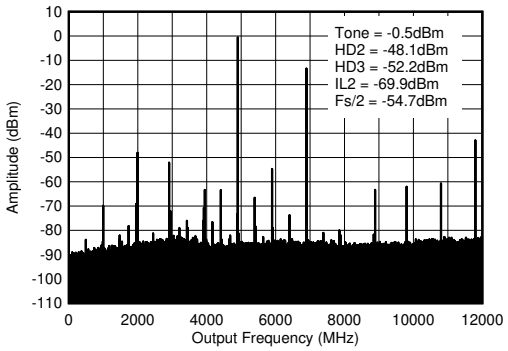
f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$。

図 5-181. TX シングル トーン (-12dBFS) 出力スペクトル (0～f_{DAC}、4.9GHz)



f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$。

図 5-182. TX シングル トーン (-6dBFS) 出力スペクトル (0～f_{DAC}、4.9GHz)

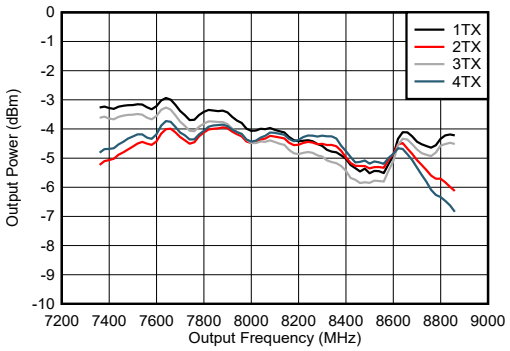


f_{DAC} = 11796.48MSPS、インターリーブ モード、4.9GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_S/n \pm f_{OUT}$。

図 5-183. TX シングル トーン (-1dBFS) 出力スペクトル (0～f_{DAC}、4.9GHz)

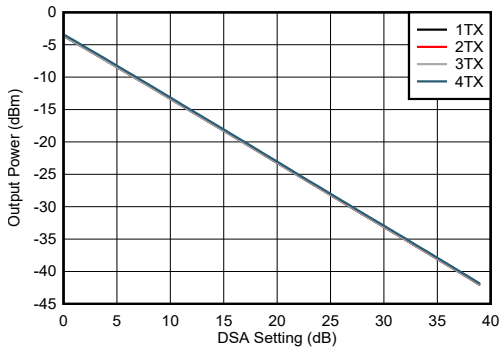
5.12.6 TX 代表的特性：8.1GHz

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、混在モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル、8.1GHz 整合あり。



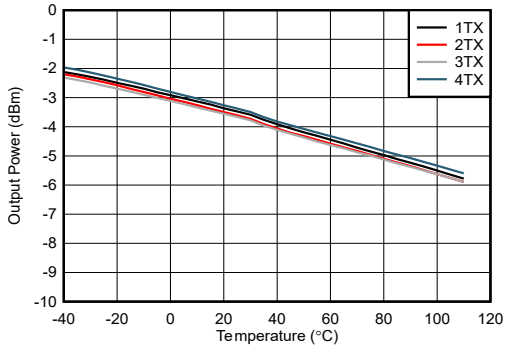
PCB とケーブルの損失を含む。

図 5-184. TX 出力電力と周波数との関係 (8.11GHz)



PCB とケーブルの損失を含む。

図 5-185. TX 出力電力と DSA 設定との関係 (8.11GHz)



PCB とケーブルの損失を含む。

図 5-186. TX 出力電力と温度との関係 (8.11GHz)

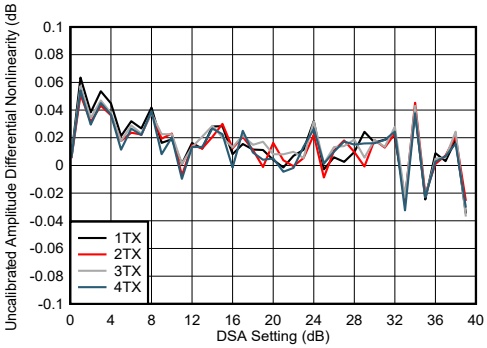


図 5-187. TX DSA 未較正振幅の微分非直線性 (8.11GHz)

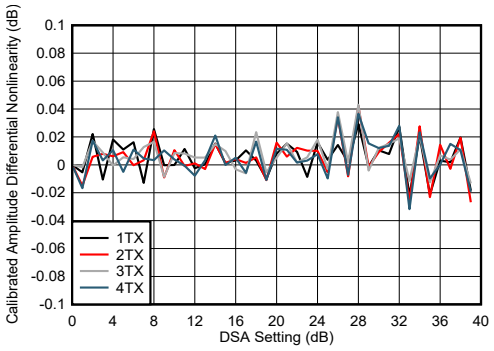


図 5-188. TX DSA 較正済み振幅の微分非直線性 (8.11GHz)

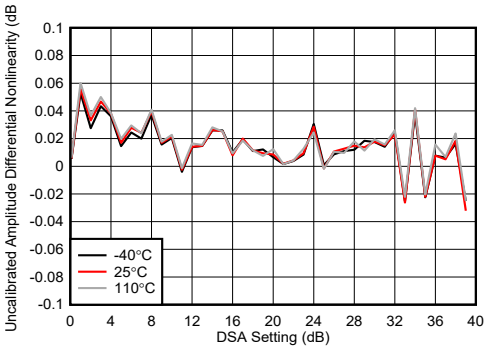


図 5-189. TX DSA 未較正振幅の微分非直線性 (8.11GHz)

Copyright © 2025 Texas Instruments Incorporated

5.12.6 TX 代表的特性：8.1GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、混在モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル、8.1GHz 整合あり。

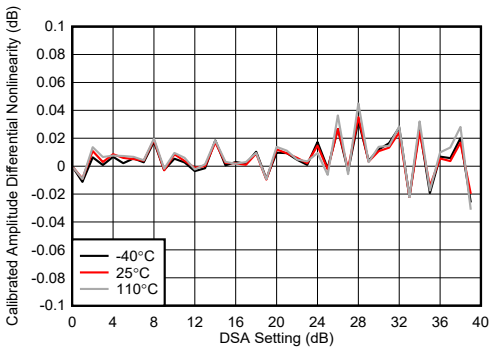


図 5-190. TX DSA 較正済み振幅の微分非直線性 (8.11GHz)

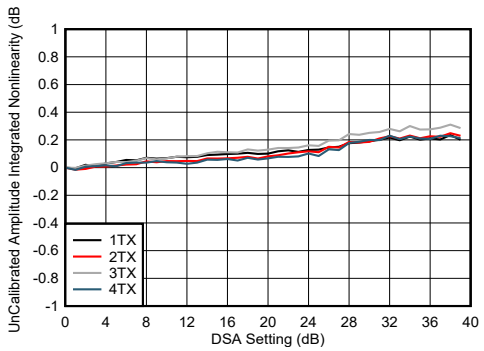


図 5-191. TX DSA 未較正振幅の積分非直線性 (8.11GHz)

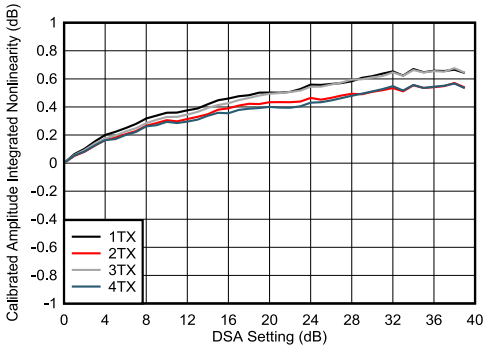


図 5-192. TX DSA 較正済み振幅の積分非直線性 (8.11GHz)

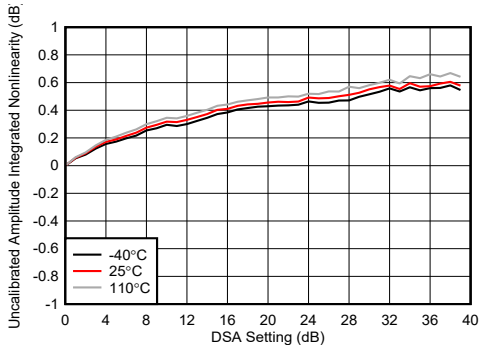


図 5-193. TX DSA 未較正振幅の積分非直線性 (8.11GHz)

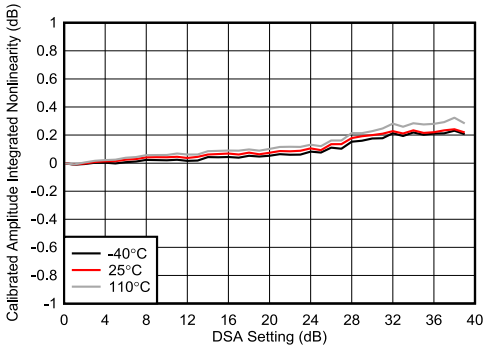


図 5-194. TX DSA 較正済み振幅の積分非直線性 (8.11GHz)

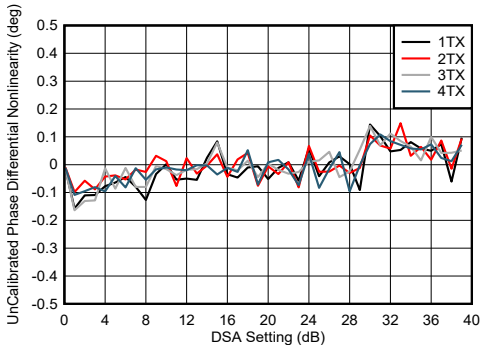


図 5-195. TX DSA 未較正位相の微分非直線性 (8.11GHz)

Copyright © 2025 Texas Instruments Incorporated

5.12.6 TX 代表的特性：8.1GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、混在モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル、8.1GHz 整合あり。

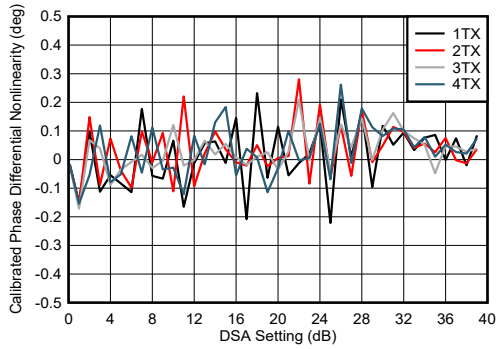


図 5-196. TX DSA 較正済み位相の微分非直線性 (8.11GHz)

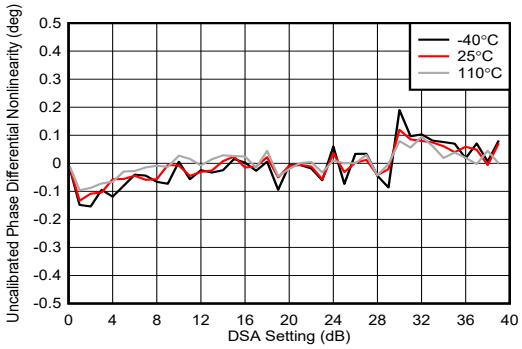


図 5-197. TX DSA 未較正位相の微分非直線性 (8.11GHz)

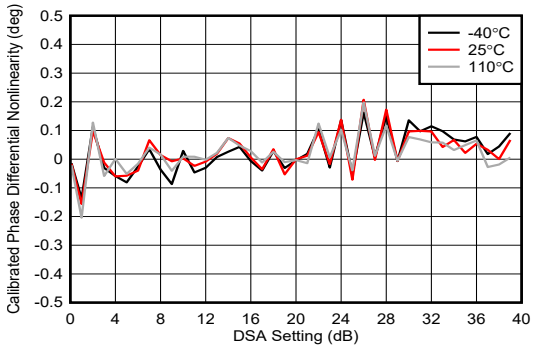


図 5-198. TX DSA 較正済み位相の微分非直線性 (8.11GHz)

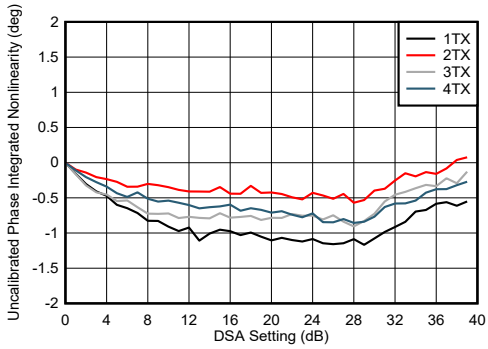


図 5-199. TX DSA 未較正位相の積分非直線性 (8.11GHz)

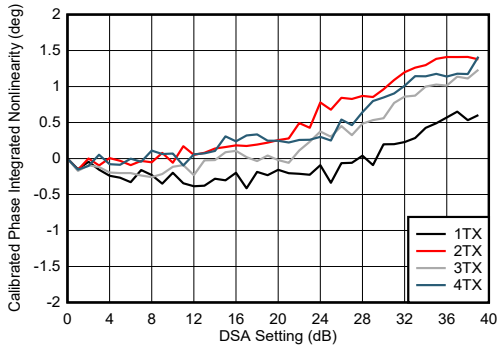


図 5-200. TX DSA 較正済み位相の積分非直線性 (8.11GHz)

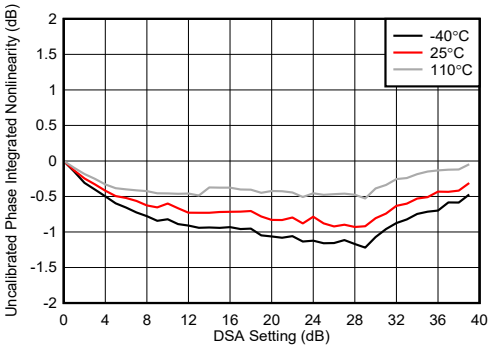


図 5-201. TX DSA 未較正位相の積分非直線性 (8.11GHz)

Copyright © 2025 Texas Instruments Incorporated

5.12.6 TX 代表的特性：8.1GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、混在モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル、8.1GHz 整合あり。

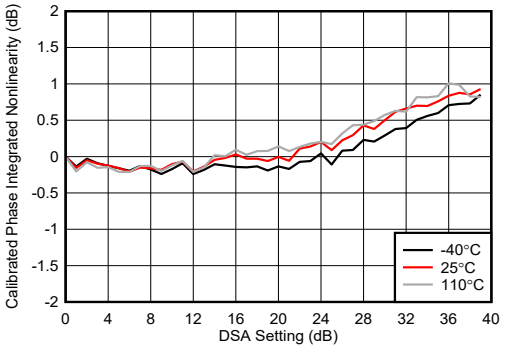
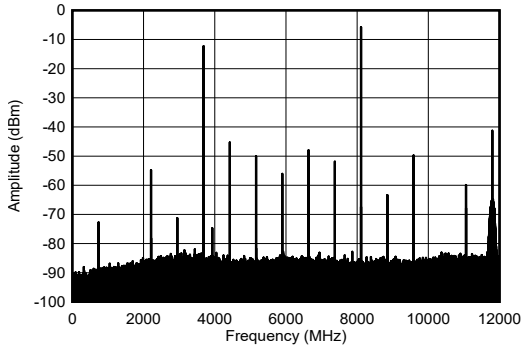
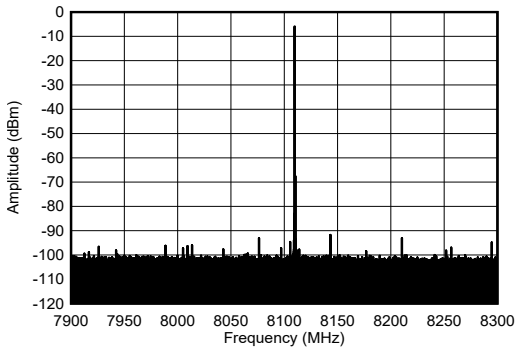


図 5-202. TX DSA 較正済み位相の積分非直線性 (8.11GHz)



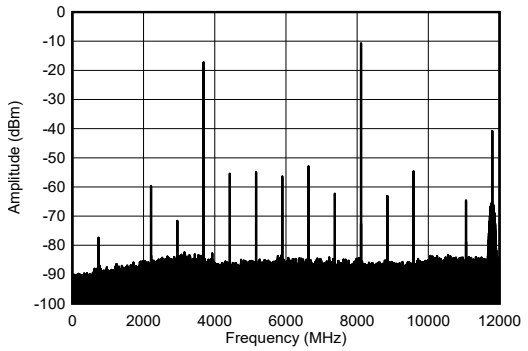
-1dBFS

図 5-203. TX シングル トーン出力スペクトル (8.11GHz)



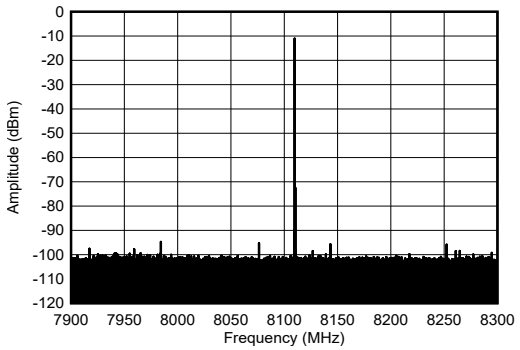
-1dBFS

図 5-204. TX シングル トーン出力スペクトル (8.11GHz)



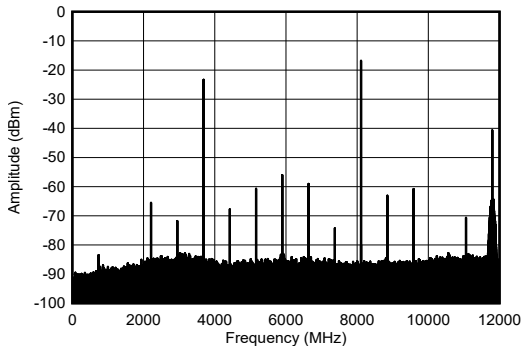
-6dBFS

図 5-205. TX シングル トーン出力スペクトル (8.11GHz)



-6dBFS

図 5-206. TX シングル トーン出力スペクトル (8.11GHz)



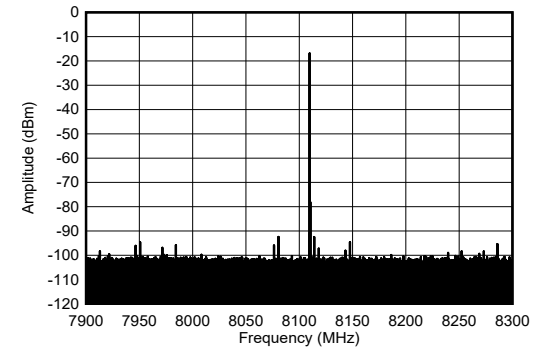
-12dBFS

図 5-207. TX シングル トーン出力スペクトル (8.11GHz)

Copyright © 2025 Texas Instruments Incorporated

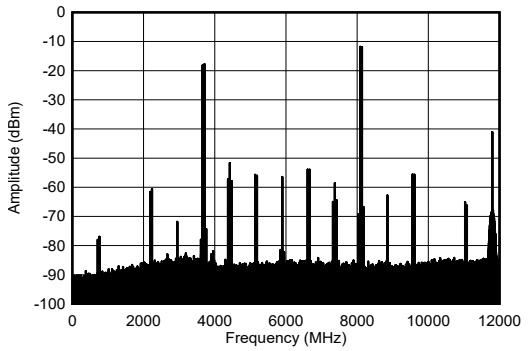
5.12.6 TX 代表的特性：8.1GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、混在モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル、8.1GHz 整合あり。



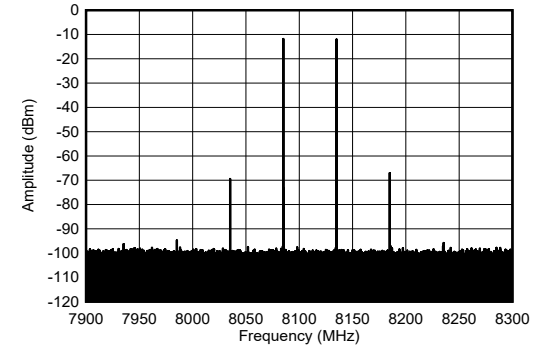
-12dBFS

図 5-208. TX シングル トーン出力スペクトル (8.11GHz)



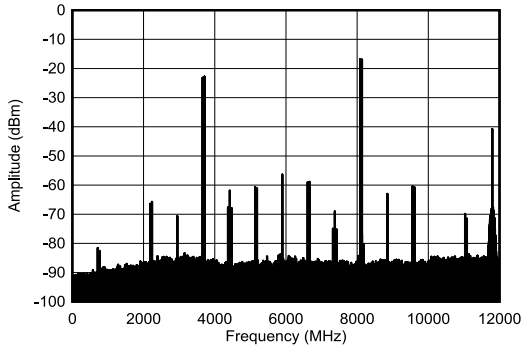
50MHz のトーン間隔、各トーン -7dBFS

図 5-209. TX デュアル トーン出力スペクトル (8.11GHz)



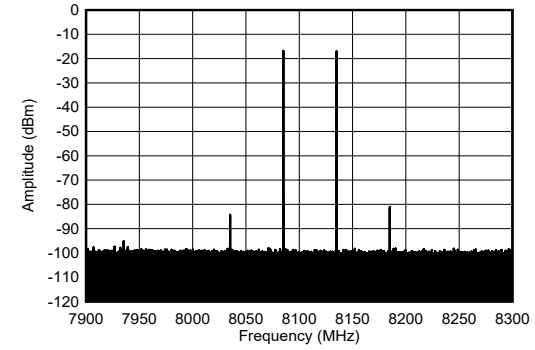
50MHz のトーン間隔、各トーン -7dBFS

図 5-210. TX デュアル トーン出力スペクトル (8.11GHz)



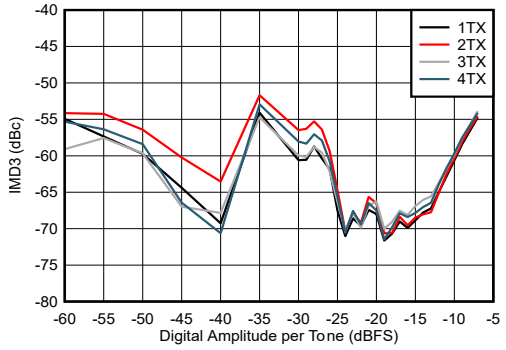
50MHz のトーン間隔、各トーン -12dBFS

図 5-211. TX デュアル トーン出力スペクトル (8.11GHz)



50MHz のトーン間隔、各トーン -12dBFS

図 5-212. TX デュアル トーン出力スペクトル (8.11GHz)



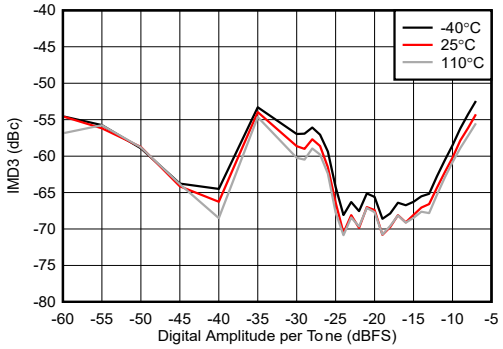
各トーン -7dBFS、50MHz のトーン間隔

図 5-213. TX IMD3 とデジタル振幅との関係 (8.11GHz)

Copyright © 2025 Texas Instruments Incorporated

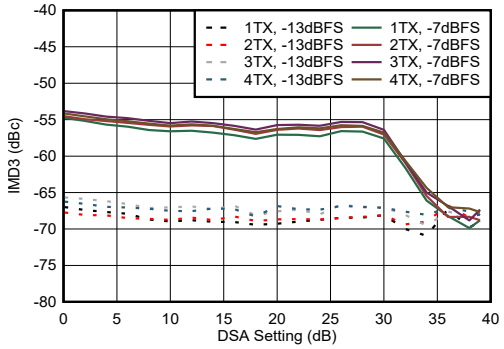
5.12.6 TX 代表的特性：8.1GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、混在モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル、8.1GHz 整合あり。



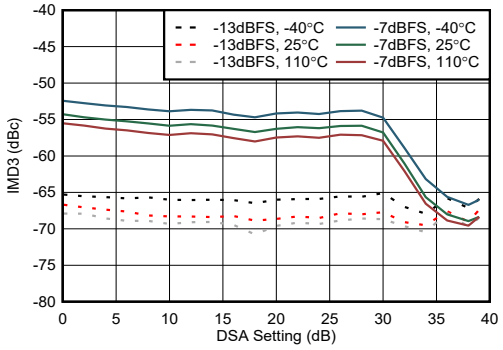
各トーン -7dBFS、50MHz のトーン間隔

図 5-214. TX IMD3 とデジタル振幅との関係 (8.11GHz)



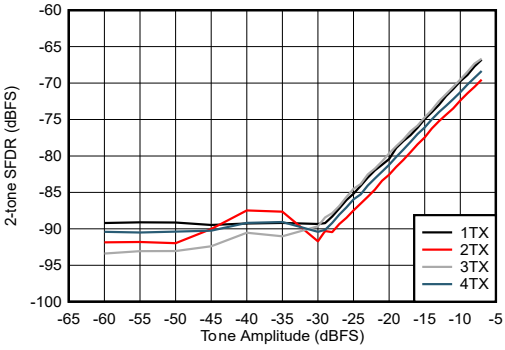
50MHz のトーン間隔

図 5-215. TX IMD3 と DSA 設定との関係 (8.11GHz)



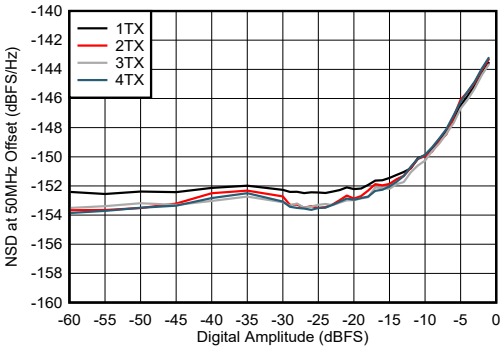
50MHz のトーン間隔

図 5-216. TX IMD3 と DSA 設定との関係 (8.11GHz)



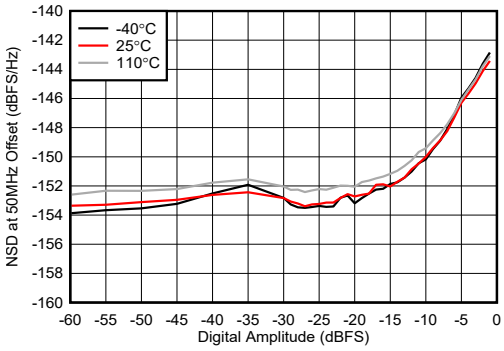
50MHz のトーン間隔

図 5-217. TX 2 トーン SFDR とデジタル振幅との関係 (8.11GHz)



50MHz オフセット

図 5-218. TX NSD とデジタル振幅との関係 (8.11GHz)

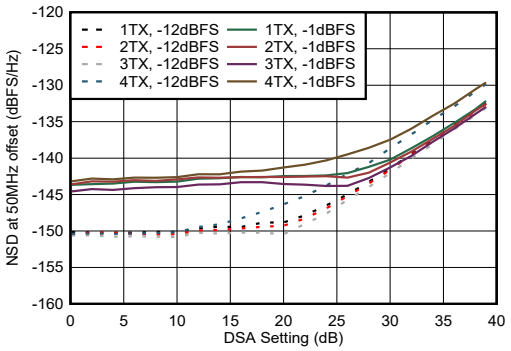


50MHz オフセット

図 5-219. TX NSD とデジタル振幅との関係 (8.11GHz)

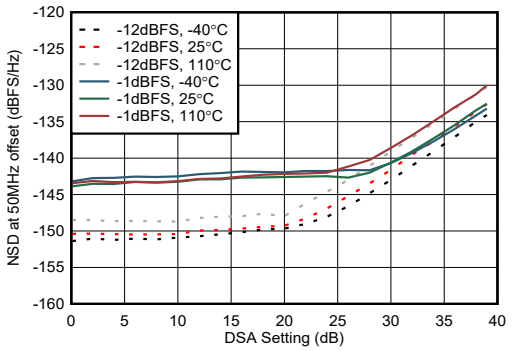
5.12.6 TX 代表的特性：8.1GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、混在モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル、8.1GHz 整合あり。



50MHz オフセット

図 5-220. TX NSD と DSA 設定との関係 (8.11GHz)



50MHz オフセット

図 5-221. TX NSD と DSA 設定との関係 (8.11GHz)

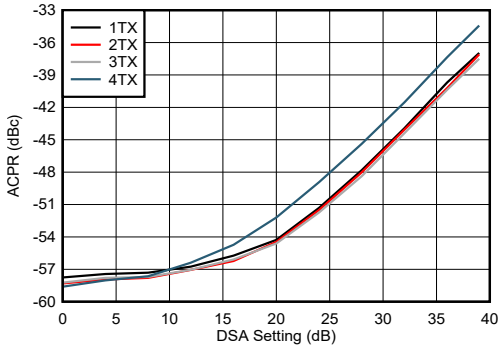


図 5-222. TX NR100MHz ACPR と DSA 設定との関係 (8.11GHz)

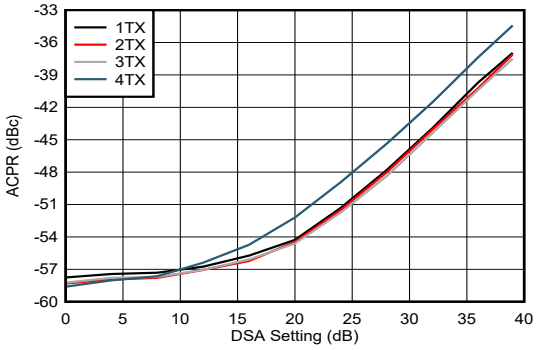


図 5-223. TX NR100MHz alt-ACPR と DSA 設定との関係 (8.11GHz)

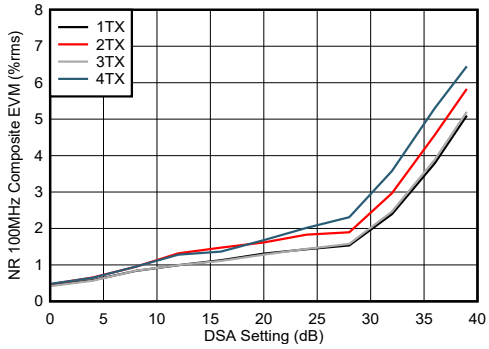


図 5-224. TX NR100MHz EVM と DSA 設定との関係 (8.11GHz)

Copyright © 2025 Texas Instruments Incorporated

5.12.6 TX 代表的特性：8.1GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、混在モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル、8.1GHz 整合あり。

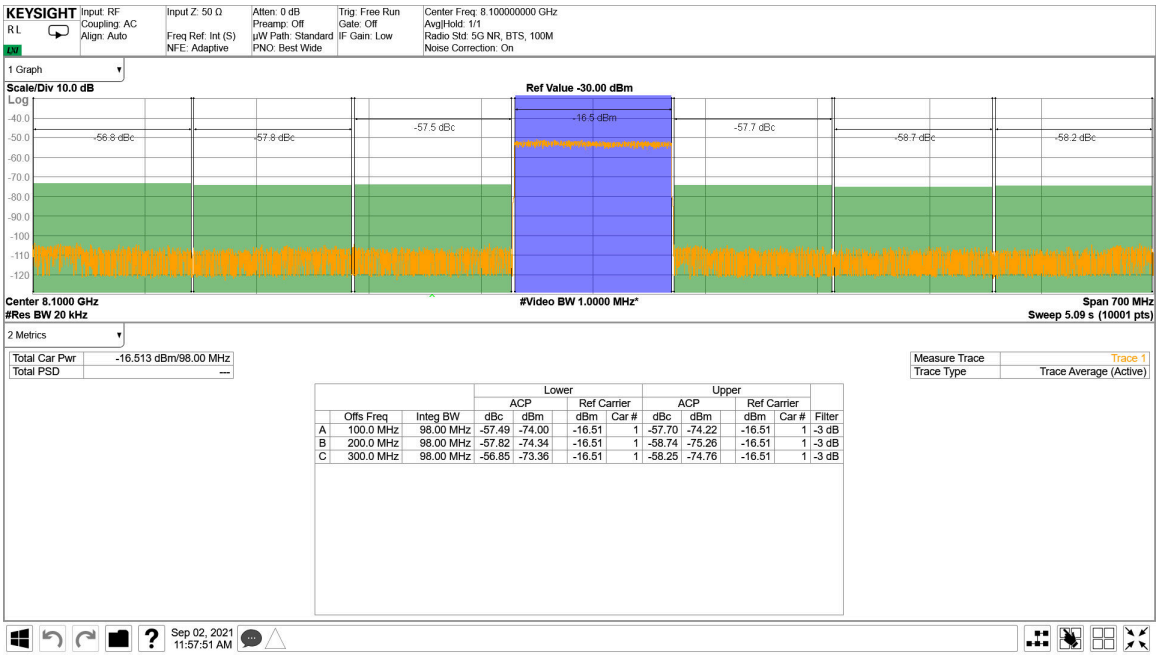


図 5-225. TX 100MHz NR 出力スペクトル (8.11GHz)

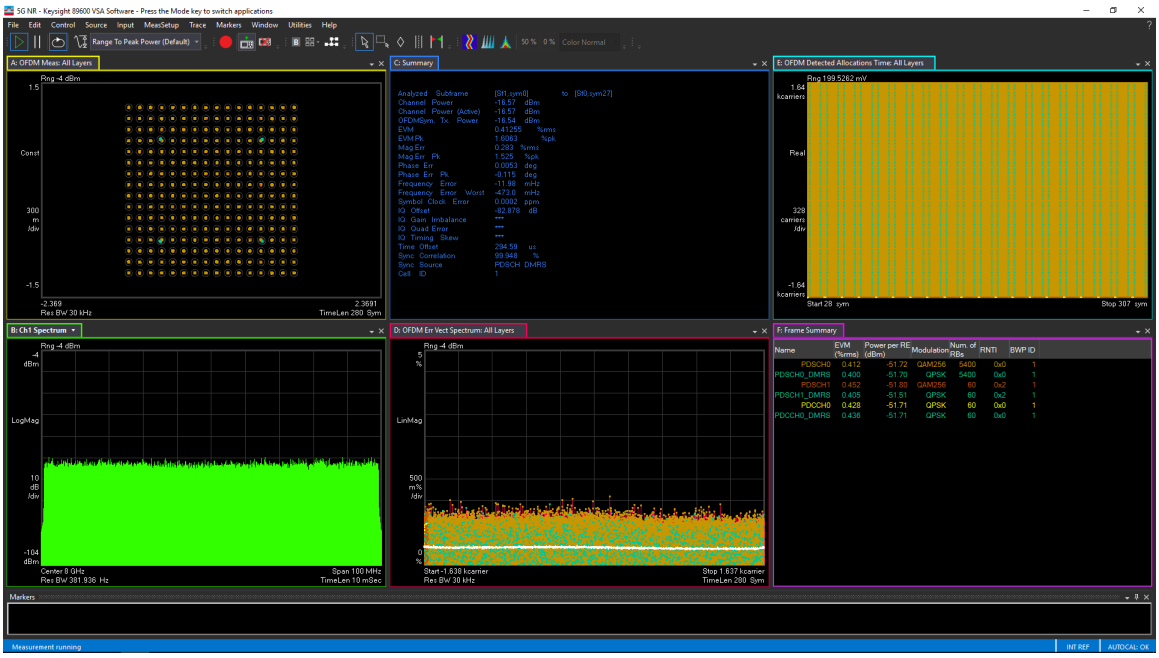


図 5-226. TX 100MHz NR EVM (8.11GHz)

5.12.6 TX 代表的特性：8.1GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (24x 補間)、混在モード、1 次ナイキスト ゾーン出力、f_{REF} = 491.52MHz、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル、8.1GHz 整合あり。

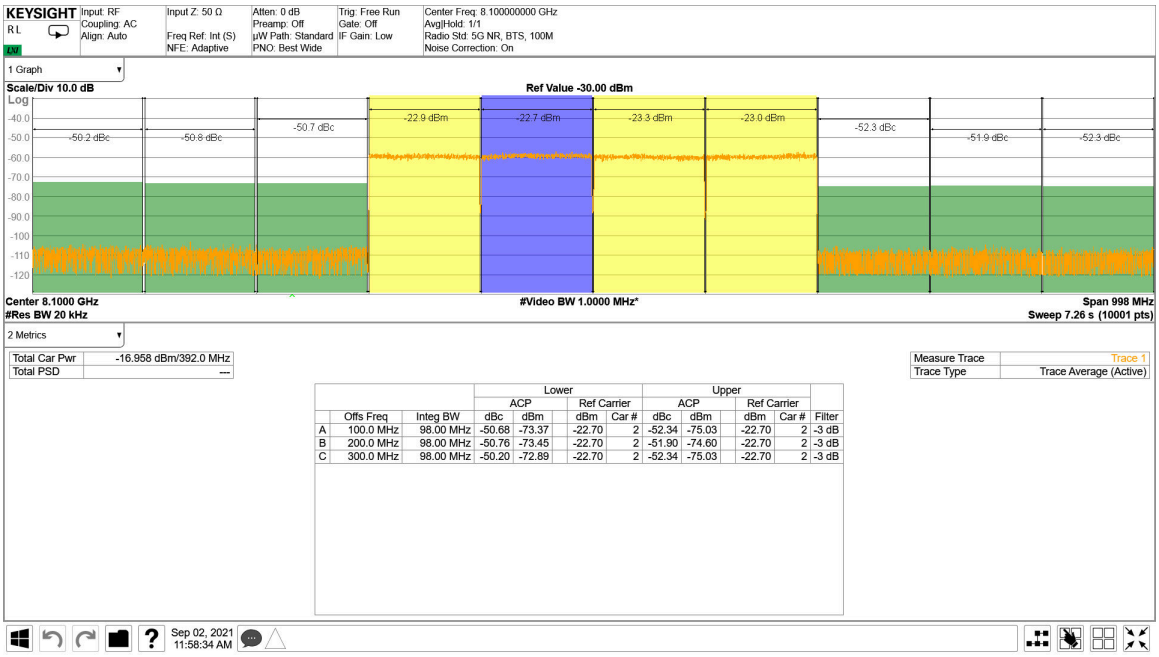


図 5-227. TX 4x100MHz NR 出力スペクトル (8.11GHz)

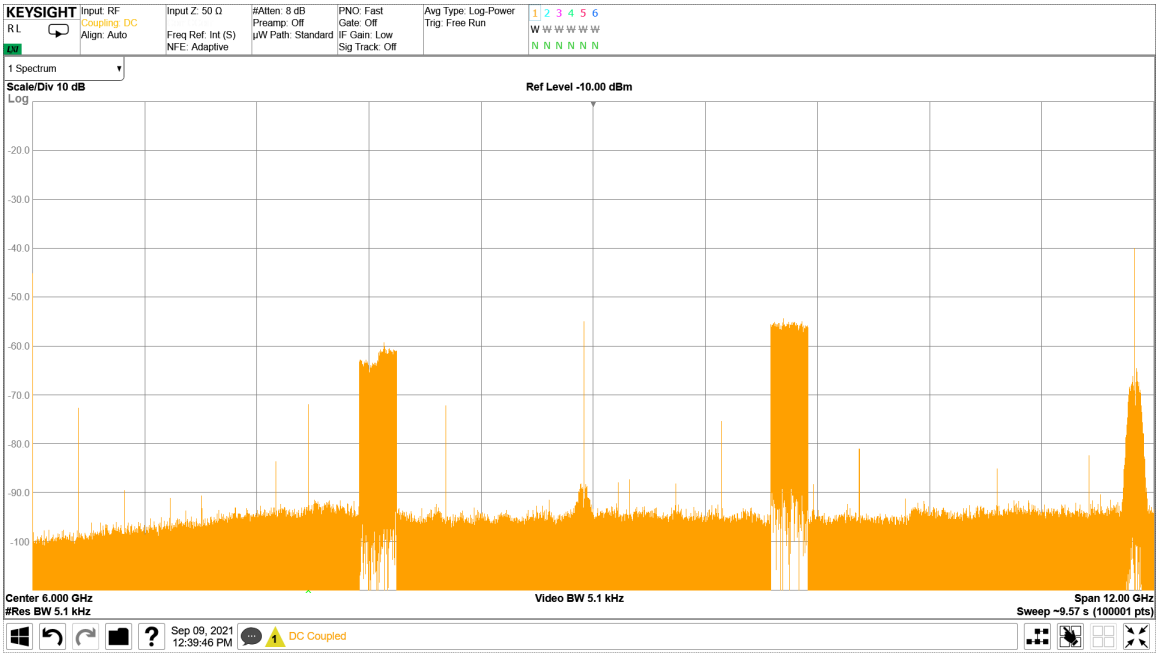
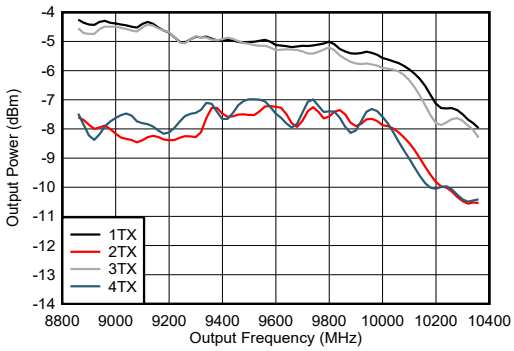


図 5-228. TX 4x100MHz NR 出力スペクトル (8.11GHz)

Copyright © 2025 Texas Instruments Incorporated

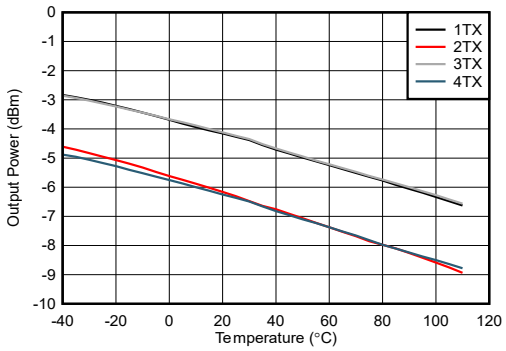
5.12.7 TX 代表的特性：9.6GHz

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (8x 補間)、混在モード、1 次ナイキスト ゾーン出力、f_{REF} = 1474.56MHz、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル、9.6GHz 整合あり。



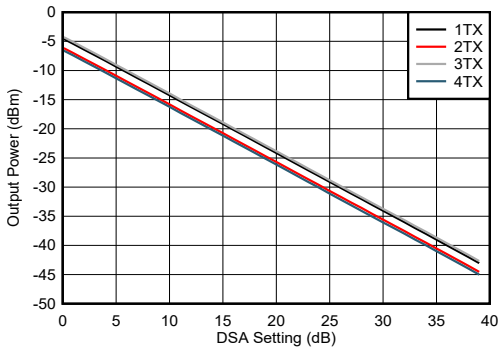
PCB とケーブルの損失を含む。

図 5-229. TX 出力電力と周波数との関係 (9.61GHz)



PCB とケーブルの損失を含む。

図 5-230. TX 出力電力と周波数との関係 (9.61GHz)



PCB とケーブルの損失を含む。

図 5-231. TX 出力電力と DSA 設定との関係 (9.61GHz)

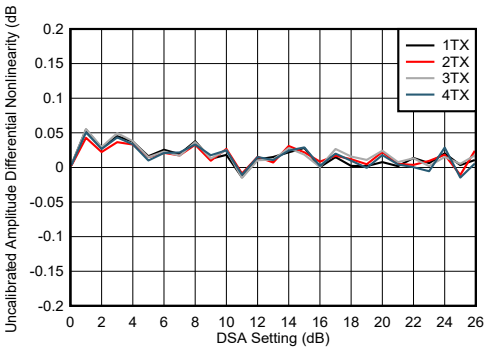


図 5-232. TX DSA 未較正振幅の微分非直線性

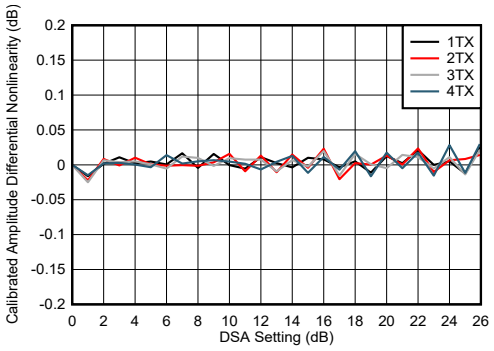


図 5-233. TX DSA 較正済み振幅の微分非直線性

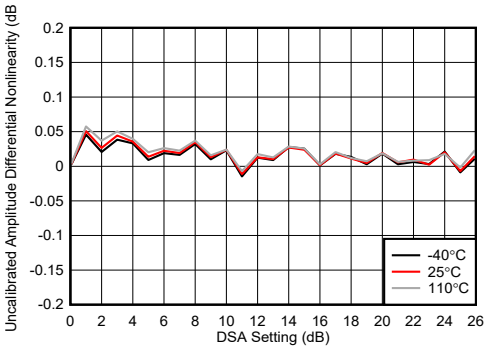


図 5-234. TX DSA 未較正振幅の微分非直線性

5.12.7 TX 代表的特性：9.6GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (8x 補間)、混在モード、1 次ナイキスト ゾーン出力、f_{REF} = 1474.56MHz、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル、9.6GHz 整合あり。

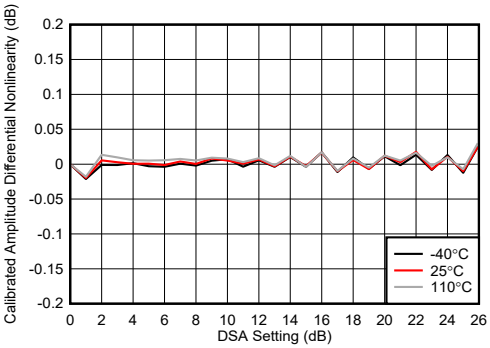


図 5-235. TX DSA 較正済み振幅の微分非直線性

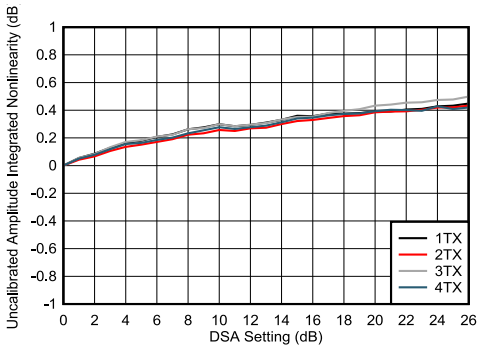


図 5-236. TX DSA 未較正振幅の積分非直線性

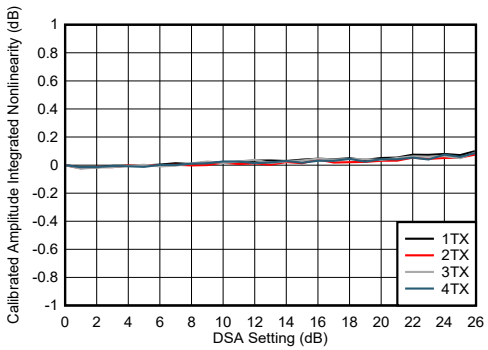


図 5-237. TX DSA 較正済み振幅の積分非直線性

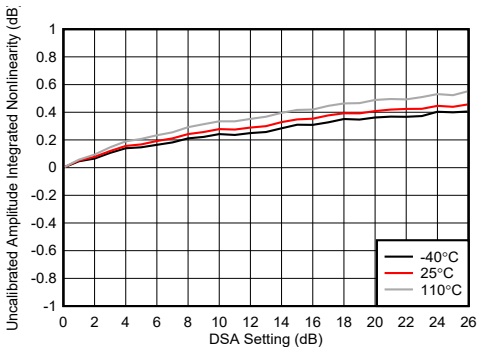


図 5-238. TX DSA 未較正振幅の積分非直線性

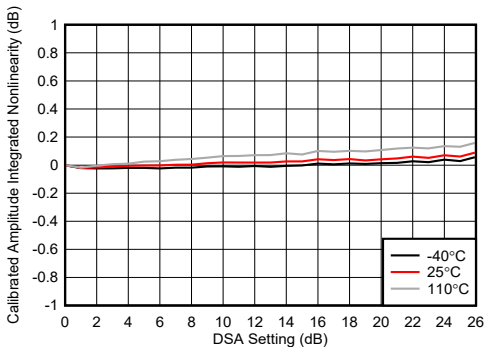


図 5-239. TX DSA 較正済み振幅の積分非直線性

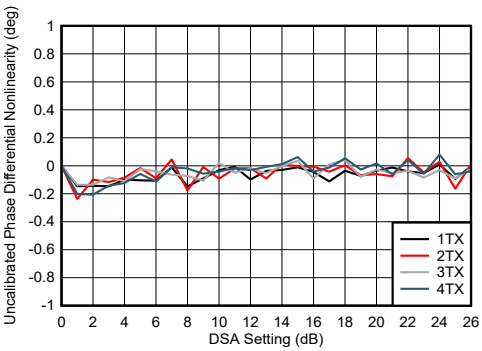


図 5-240. TX DSA 未較正位相の微分非直線性

Copyright © 2025 Texas Instruments Incorporated

5.12.7 TX 代表的特性：9.6GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (8x 補間)、混在モード、1 次ナイキスト ゾーン出力、f_{REF} = 1474.56MHz、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル、9.6GHz 整合あり。

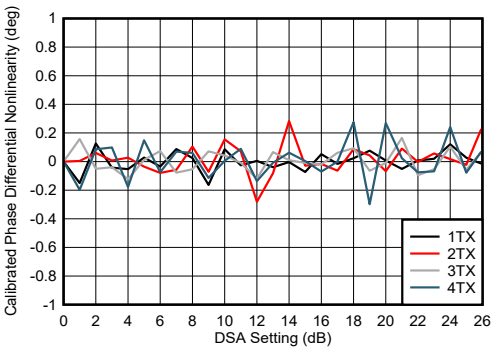


図 5-241. TX DSA 較正済み位相の微分非直線性

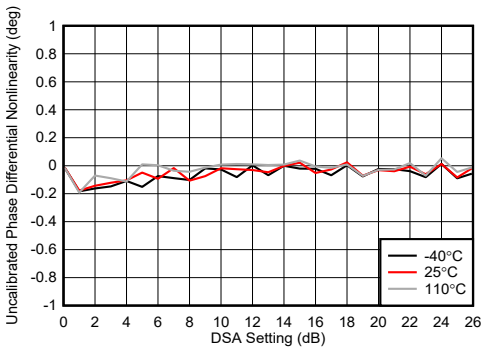


図 5-242. TX DSA 未較正位相の微分非直線性

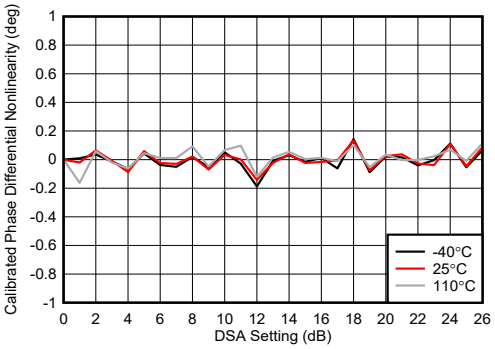


図 5-243. TX DSA 較正済み位相の微分非直線性

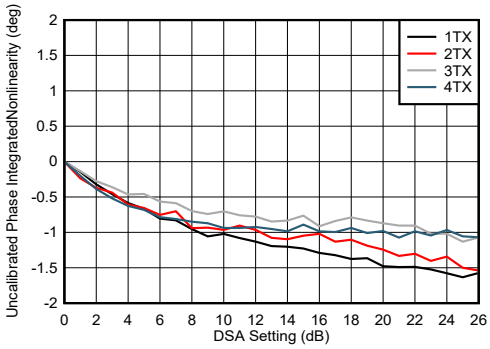


図 5-244. TX DSA 未較正位相の積分非直線性

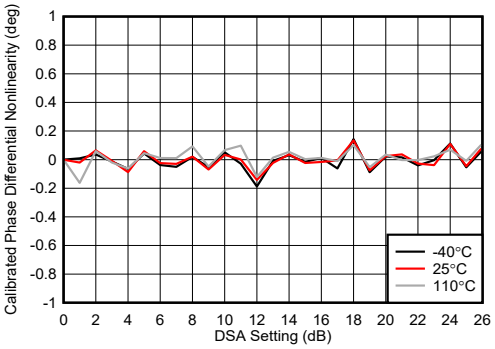


図 5-245. TX DSA 較正済み位相の積分非直線性

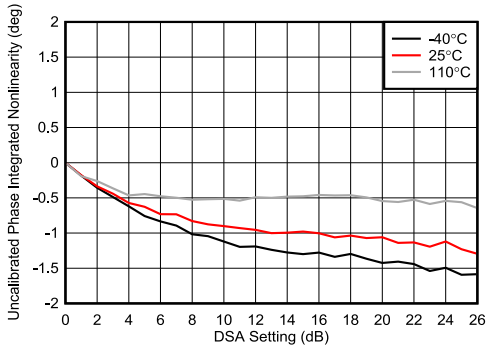


図 5-246. TX DSA 未較正位相の積分非直線性

5.12.7 TX 代表的特性：9.6GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (8x 補間)、混在モード、1 次ナイキスト ゾーン出力、f_{REF} = 1474.56MHz、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル、9.6GHz 整合あり。

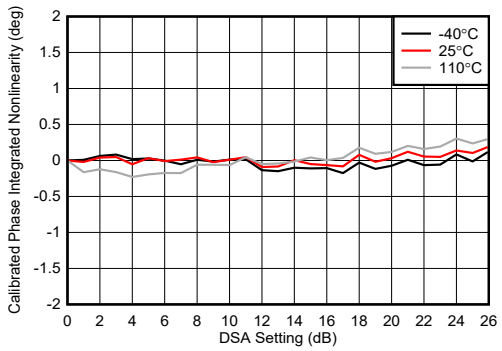
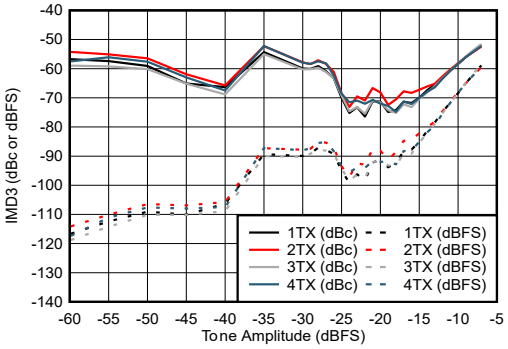
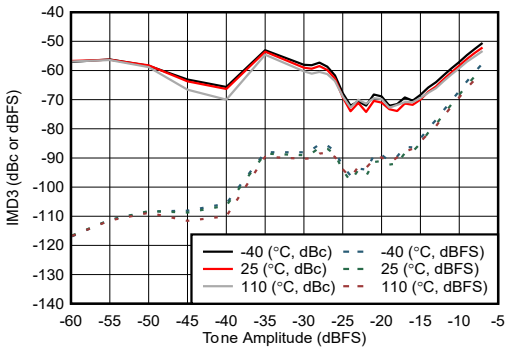


図 5-247. TX DSA 較正済み振幅の積分非直線性



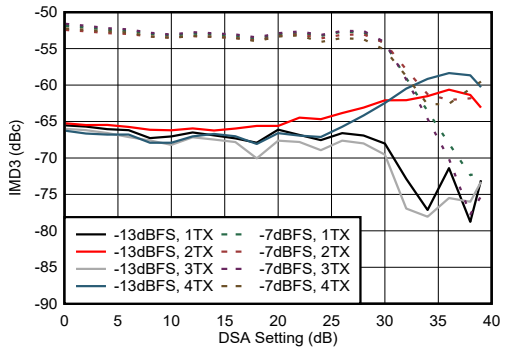
50MHz のトーン間隔

図 5-248. TX IMD3 とデジタル振幅との関係 (9.61GHz)



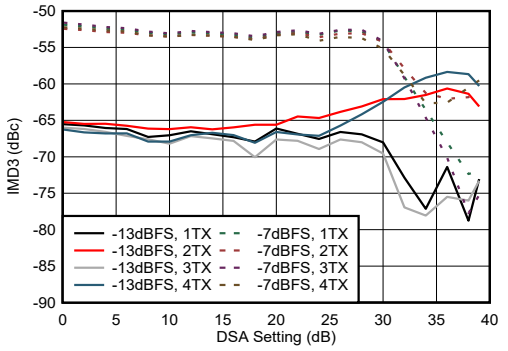
50MHz のトーン間隔

図 5-249. TX IMD3 とデジタル振幅との関係 (9.61GHz)



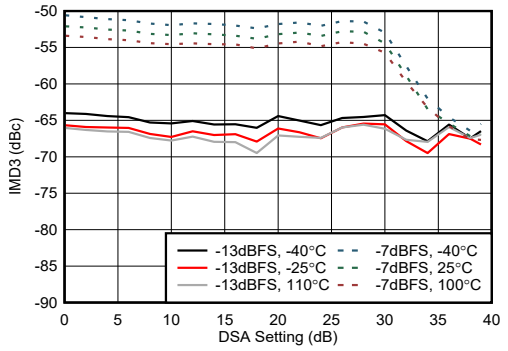
50MHz のトーン間隔

図 5-250. TX IMD3 と DSA 設定との関係 (9.61GHz)



50MHz のトーン間隔

図 5-251. TX IMD3 と DSA 設定との関係 (9.61GHz)



50MHz のトーン間隔

図 5-252. TX IMD3 と DSA 設定との関係 (9.61GHz)

Copyright © 2025 Texas Instruments Incorporated

5.12.7 TX 代表的特性：9.6GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (8x 補間)、混在モード、1 次ナイキスト ゾーン出力、f_{REF} = 1474.56MHz、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル、9.6GHz 整合あり。

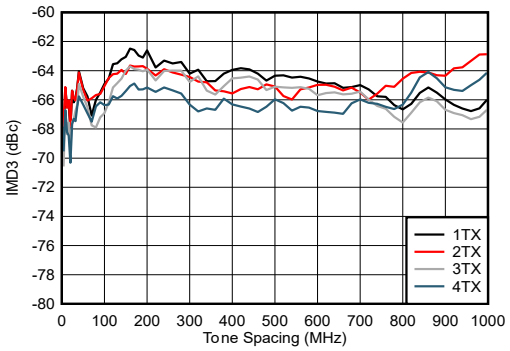


図 5-253. TX IMD3 とトーン間隔との関係 (9.61GHz)

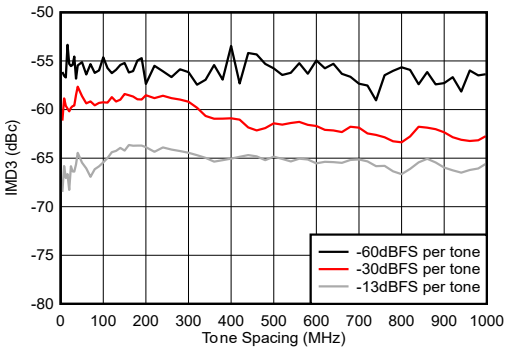


図 5-254. TX IMD3 とトーン間隔との関係 (9.61GHz)

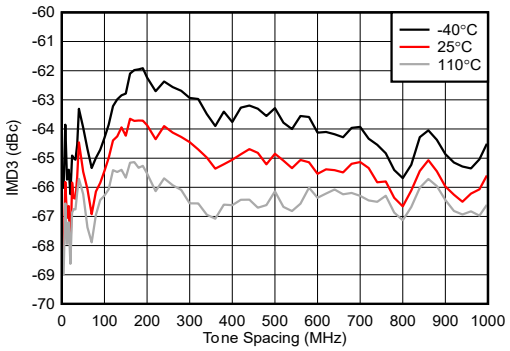


図 5-255. TX IMD3 とトーン間隔との関係 (9.61GHz)

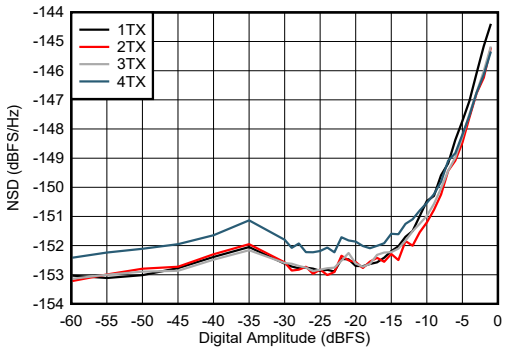


図 5-256. TX NSD とデジタル振幅との関係 (9.61GHz)

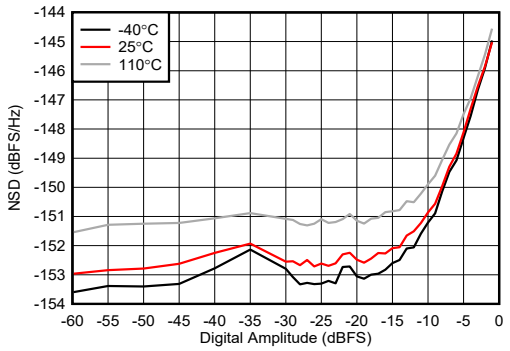


図 5-257. TX NSD とデジタル振幅との関係 (9.61GHz)

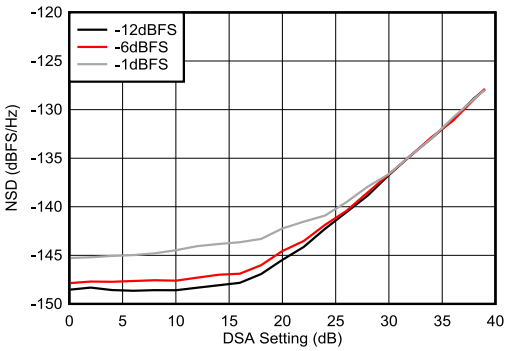


図 5-258. TX NSD と DSA 設定との関係 (9.61GHz)

Copyright © 2025 Texas Instruments Incorporated

5.12.7 TX 代表的特性：9.6GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (8x 補間)、混在モード、1 次ナイキスト ゾーン出力、f_{REF} = 1474.56MHz、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル、9.6GHz 整合あり。

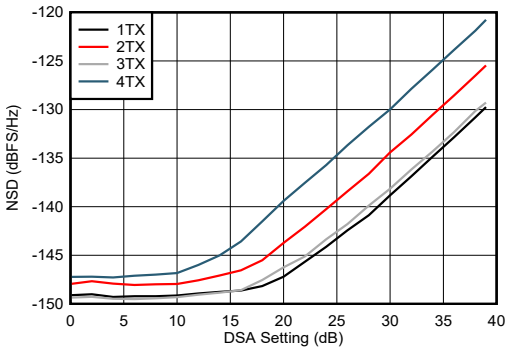


図 5-259. TX NSD と DSA 設定との関係 (9.61GHz)

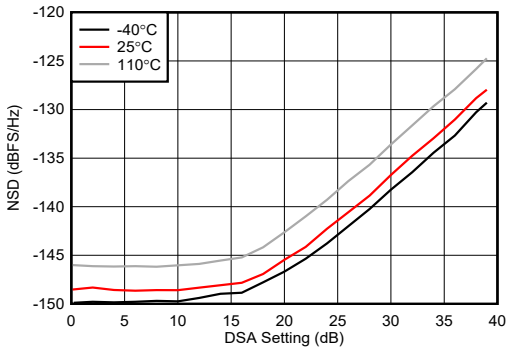
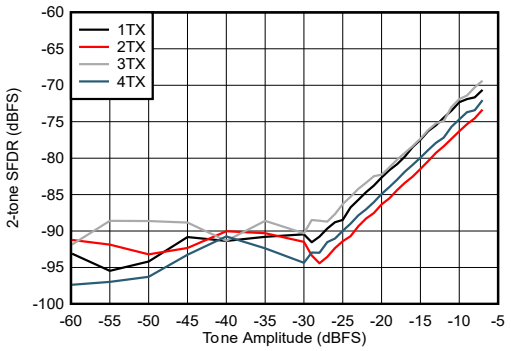
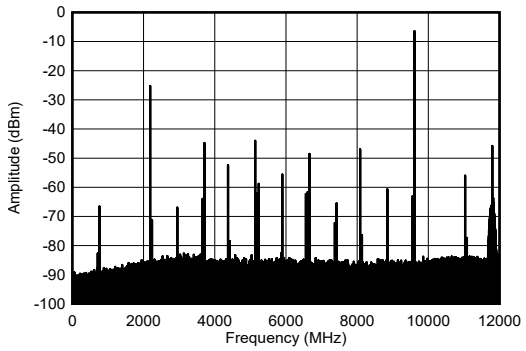


図 5-260. TX NSD と DSA 設定との関係 (9.61GHz)



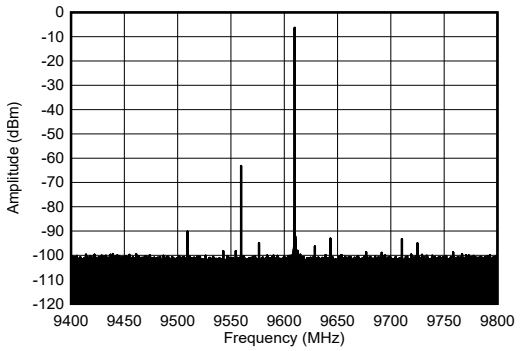
50MHz のトーン間隔

図 5-261. TX 2 トーン SFDR とデジタル振幅との関係 (9.61GHz)



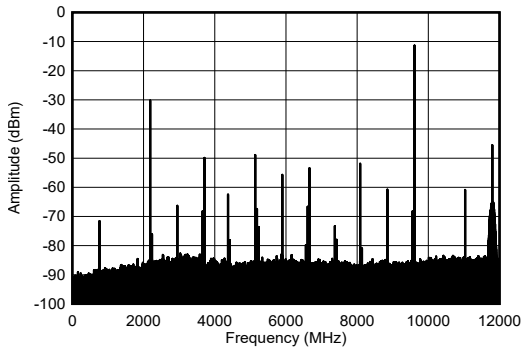
PCB とケーブルの損失を含む。

図 5-262. TX シングル トーン スペクトル (9.61GHz、-1dBFS、広帯域)



PCB とケーブルの損失を含む。

図 5-263. TX シングル トーン スペクトル (9.61GHz、-1dBFS、400MHz BW)



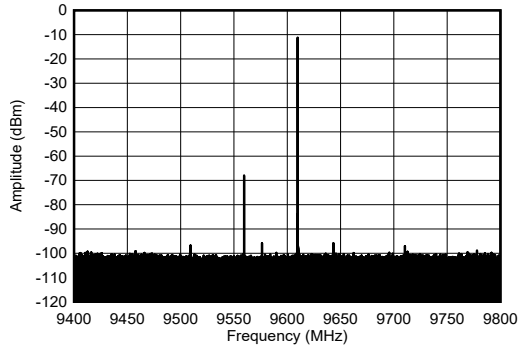
PCB とケーブルの損失を含む。

図 5-264. TX シングル トーン スペクトル (9.61GHz、-6dBFS、広帯域)

Copyright © 2025 Texas Instruments Incorporated

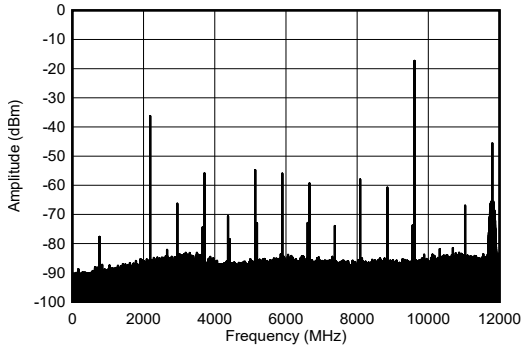
5.12.7 TX 代表的特性：9.6GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (8x 補間)、混在モード、1 次ナイキスト ゾーン出力、f_{REF} = 1474.56MHz、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル、9.6GHz 整合あり。



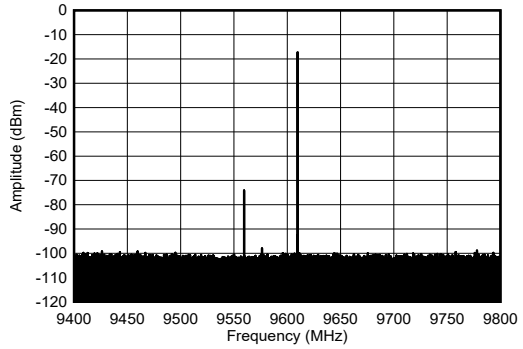
PCB とケーブルの損失を含む。

図 5-265. TX シングル トーン スペクトル (9.61GHz、-6dBFS、400MHz BW)



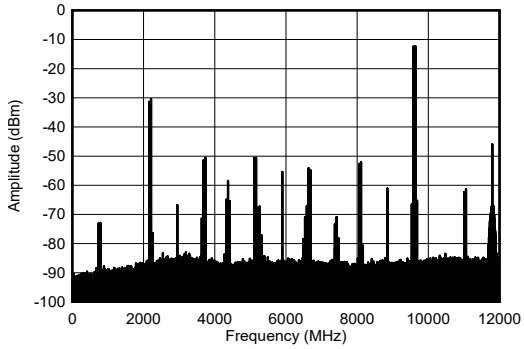
PCB とケーブルの損失を含む。

図 5-266. TX シングル トーン スペクトル (9.61GHz、-12dBFS、広帯域)



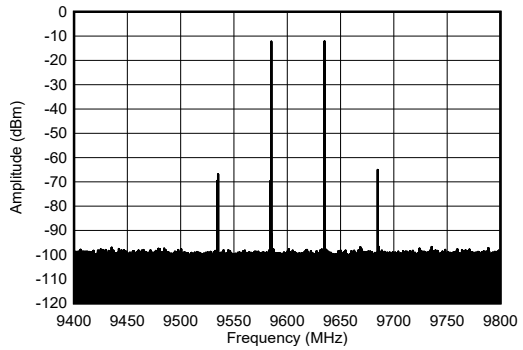
PCB とケーブルの損失を含む。

図 5-267. TX シングル トーン スペクトル (9.61GHz、-12dBFS、400MHz BW)



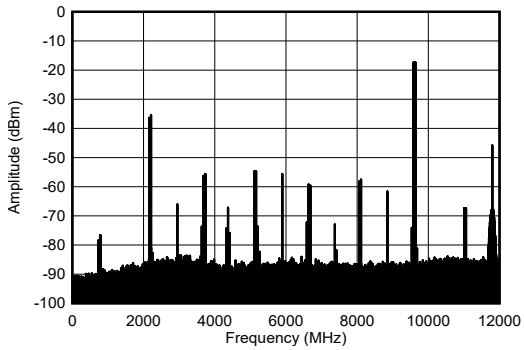
PCB とケーブルの損失を含む。50MHz のトーン間隔。

図 5-268. TX 2 トーン スペクトル (9.61GHz、-7dBFS、広帯域)



PCB とケーブルの損失を含む。50MHz のトーン間隔。

図 5-269. TX 2 トーン スペクトル (9.61GHz、-7dBFS、400MHz BW)



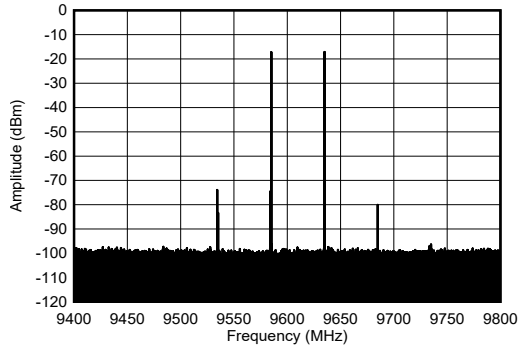
PCB とケーブルの損失を含む。50MHz のトーン間隔。

図 5-270. TX 2 トーン スペクトル (9.61GHz、-12dBFS、広帯域)

Copyright © 2025 Texas Instruments Incorporated

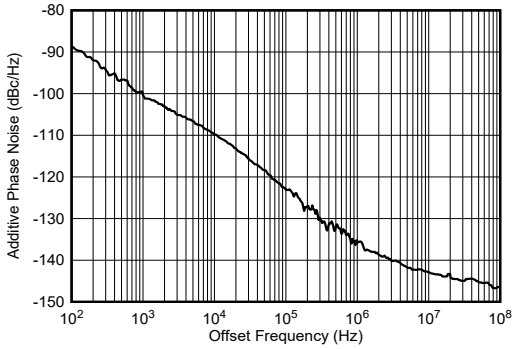
5.12.7 TX 代表的特性：9.6GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (8x 補間)、混在モード、1 次ナイキスト ゾーン出力、f_{REF} = 1474.56MHz、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル、9.6GHz 整合あり。



PCB とケーブルの損失を含む。50MHz のトーン間隔。

図 5-271. TX 2 トーン スペクトル (9.61GHz、-12dBFS、400MHz BW)



シングル サイドバンド、外部クロック モード、入力クロックの位相ノイズを除外済み。

図 5-272. TX 付加位相ノイズとオフセット周波数との関係 (9.61GHz)

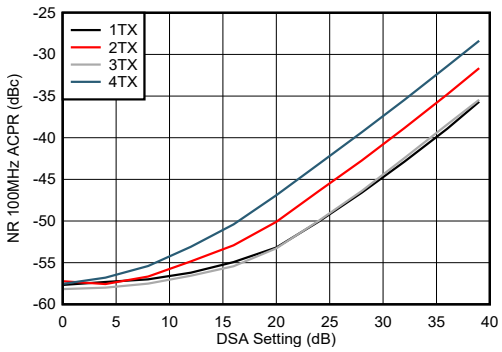


図 5-273. TX NR100MHz ACPR と DSA 設定との関係 (9.61GHz)

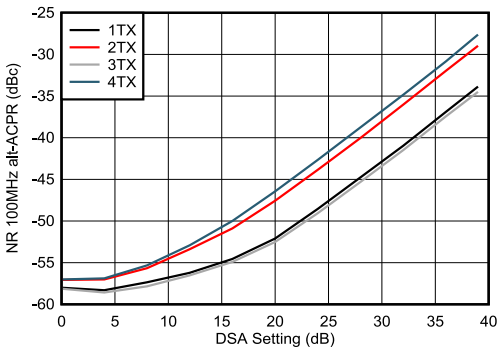


図 5-274. TX NR100MHz alt-ACPR と DSA 設定との関係 (9.61GHz)

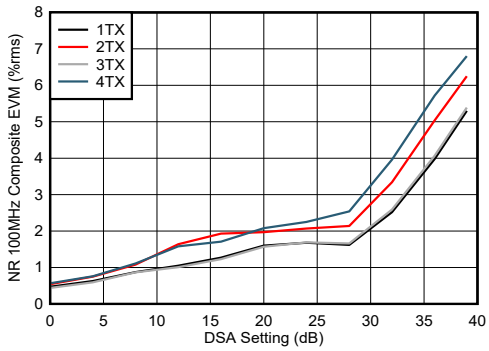
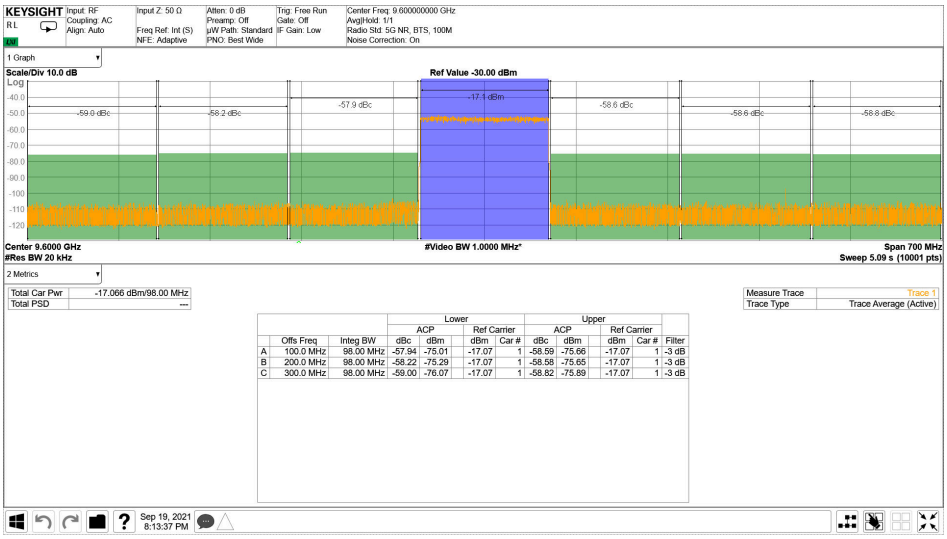


図 5-275. TX NR100MHz EVM と DSA 設定との関係 (9.61GHz)

Copyright © 2025 Texas Instruments Incorporated

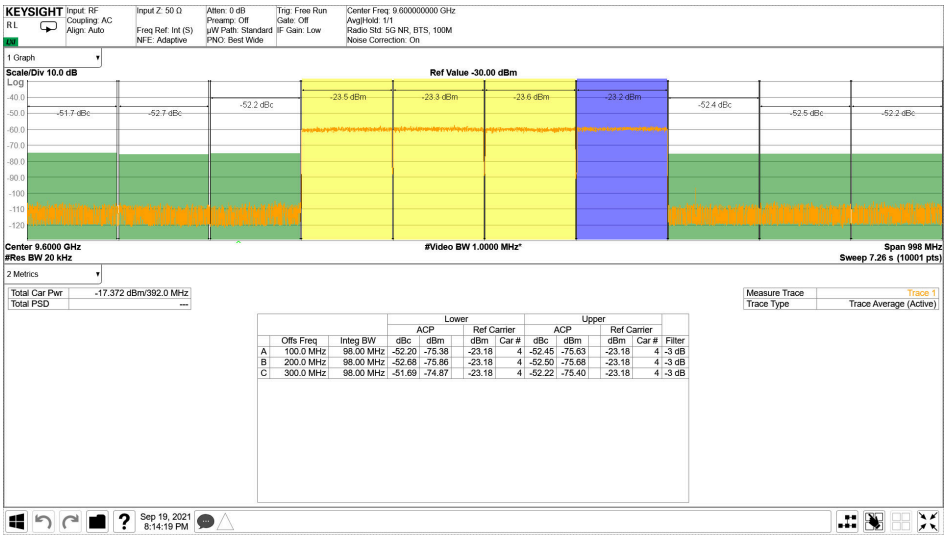
5.12.7 TX 代表的特性：9.6GHz (続き)

T_A = +25℃での代表値、公称電源。デフォルト条件：TX 入力データ レート = 491.52MSPS、f_{DAC} = 11796.48MSPS (8x 補間)、混在モード、1 次ナイキスト ゾーン出力、f_{REF} = 1474.56MHz、A_{OUT} = -1dBFS、DSA = 0dB、Sin(x)/x イネーブル、DSA 較正済み、TX クロック ディザ イネーブル、9.6GHz 整合あり。



PCB とケーブルの損失を含む。

図 5-276. TX NR100MHz 出力スペクトル (9.61GHz)

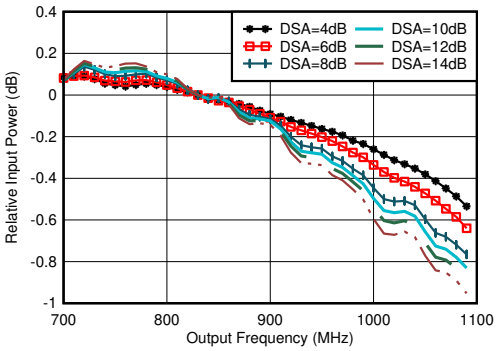


PCB とケーブルの損失を含む。

図 5-277. TX 4xNR100MHz 出力スペクトル (9.61GHz)

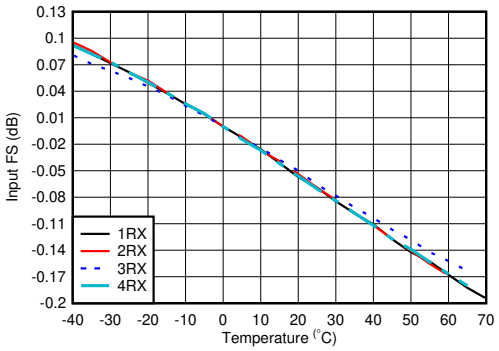
5.12.8 RX 代表的特性：800MHz

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



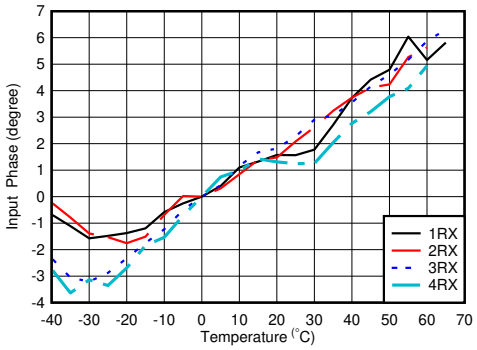
0.8GHz 整合あり、830MHz で正規化

図 5-278. RX 帯域内ゲイン平坦性 (チャネル 1RX、f_{IN} = 830MHz)



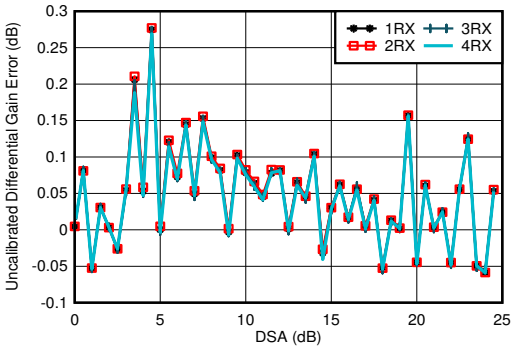
0.8GHz 整合あり、各チャネルについて 25℃のフルスケールで正規化

図 5-279. RX 入力フルスケールと温度との関係 (各種チャネル、800MHz)



0.8GHz 整合あり、25℃の位相で正規化

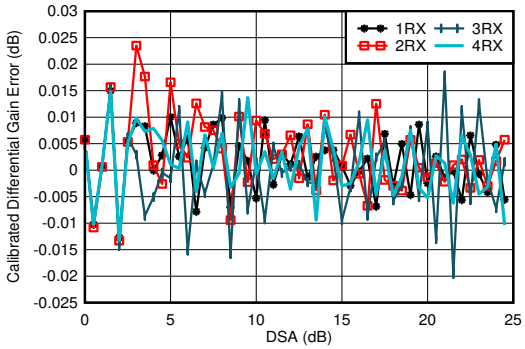
図 5-280. RX 入力位相と温度との関係 (各種 DSA、f_{OUT} = 0.8GHz)



0.8GHz 整合あり

微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

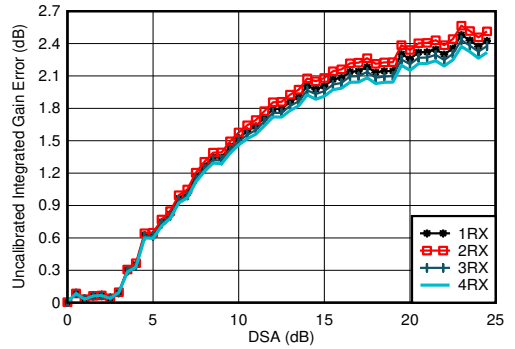
図 5-281. RX 未較正微分振幅誤差と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり

微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

図 5-282. RX 較正済み微分振幅誤差と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり

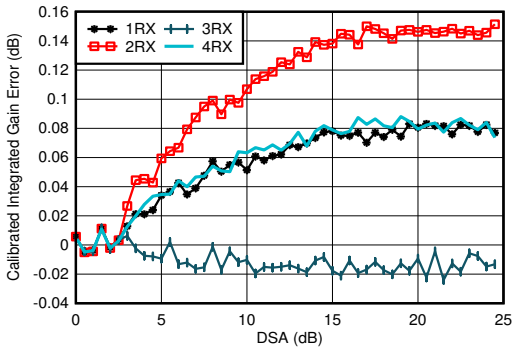
積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

図 5-283. RX 未較正積分振幅誤差と DSA 設定との関係 (0.8GHz)

Copyright © 2025 Texas Instruments Incorporated

5.12.8 RX 代表的特性：800MHz (続き)

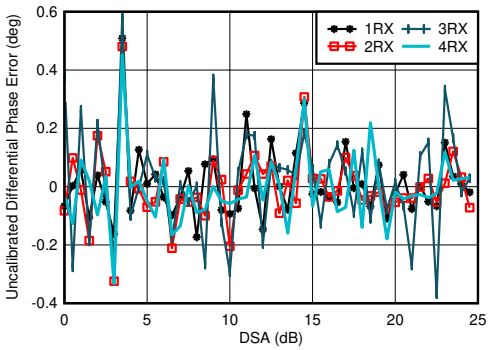
T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



0.8GHz 整合あり

積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

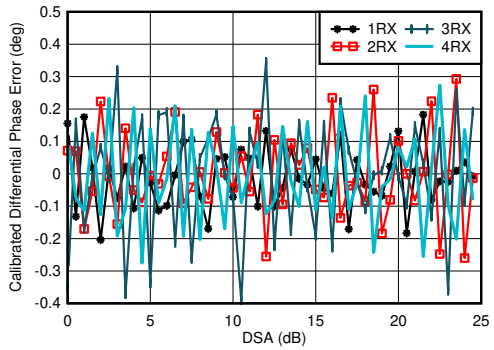
図 5-284. RX 較正済み積分振幅誤差と DSA 設定との関係 (2.6GHz)



0.8GHz 整合あり

微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

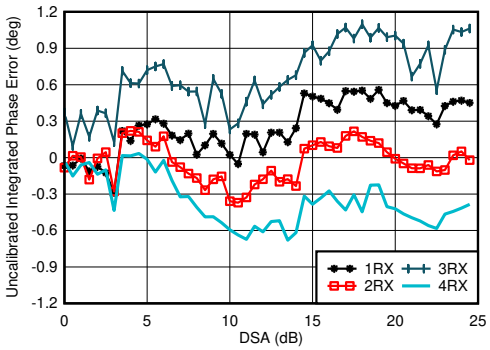
図 5-285. RX 未較正微分位相誤差と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり

微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

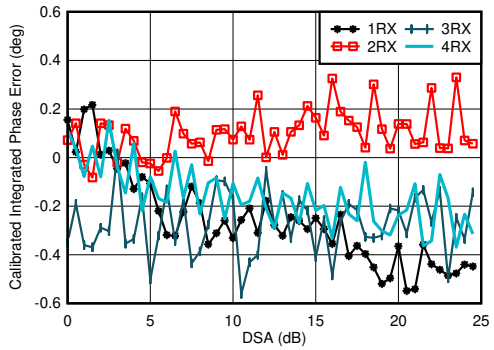
図 5-286. RX 較正済み微分位相誤差と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり

積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

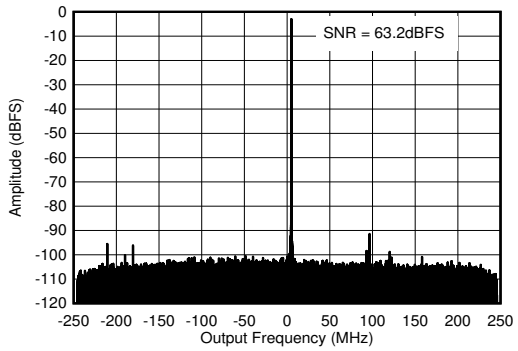
図 5-287. RX 未較正積分位相誤差と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり

積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 5-288. RX 較正済み積分位相誤差と DSA 設定との関係 (0.8GHz)

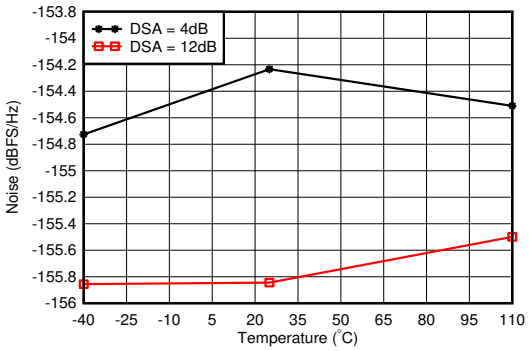


0.8GHz 整合あり、f_{IN} = 840MHz、A_{IN}= -3dBFS

図 5-289. RX 出力 FFT (0.8GHz)

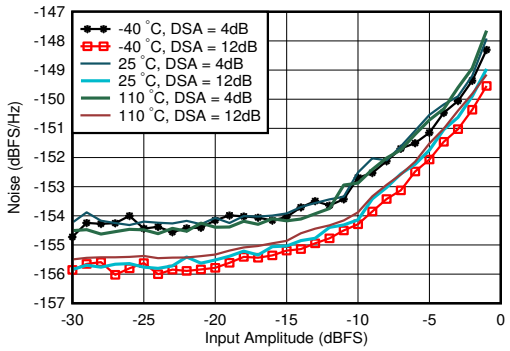
5.12.8 RX 代表的特性：800MHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



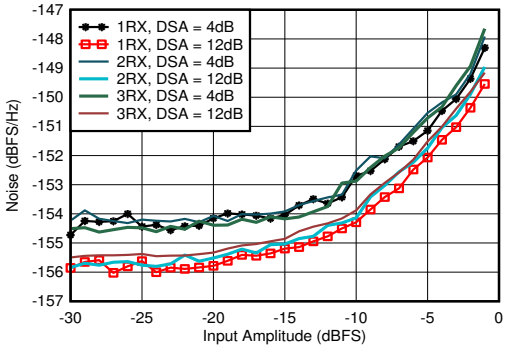
0.8GHz 整合あり、トーンからのオフセット 12.5MHz

図 5-290. RX ノイズ スペクトル密度と温度との関係 (0.8GHz)



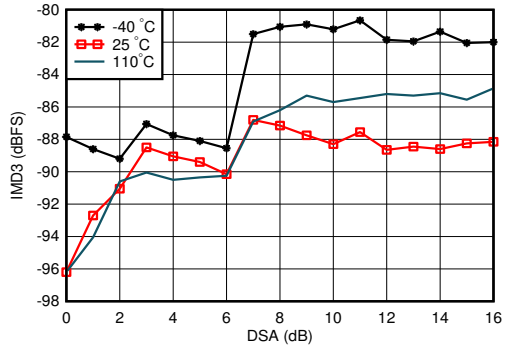
0.8GHz 整合あり、DSA 設定 = 12dB、トーンから 12.5MHz オフセット

図 5-291. RX ノイズ スペクトル密度と入力振幅との関係 (各種温度、0.8GHz)



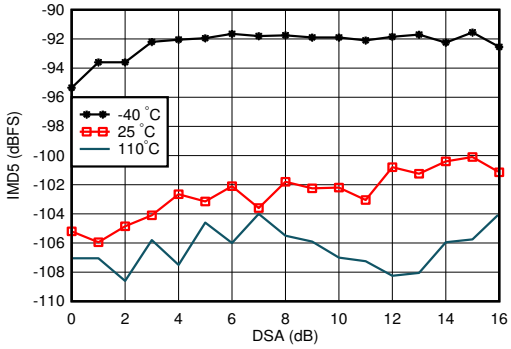
0.8GHz 整合あり、トーンからのオフセット 12.5MHz

図 5-292. RX ノイズ スペクトル密度と入力振幅との関係 (各種チャネル、0.8GHz)



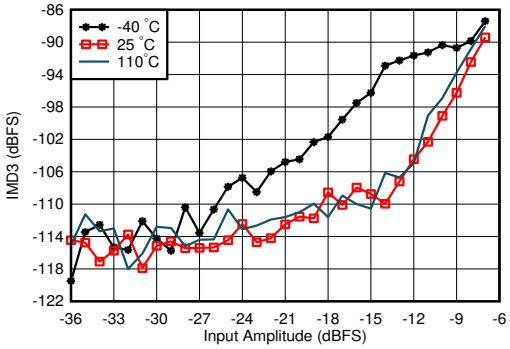
A. 0.8GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 5-293. RX IMD3 と DSA 設定との関係 (各種温度、0.8GHz)



0.8GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 5-294. RX IMD5 と DSA 設定との関係 (各種温度、0.8GHz)



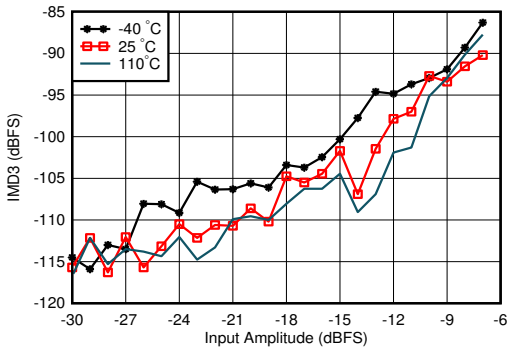
0.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 4dB

図 5-295. RX IMD3 と入力レベルとの関係 (各種温度、0.8GHz)

Copyright © 2025 Texas Instruments Incorporated

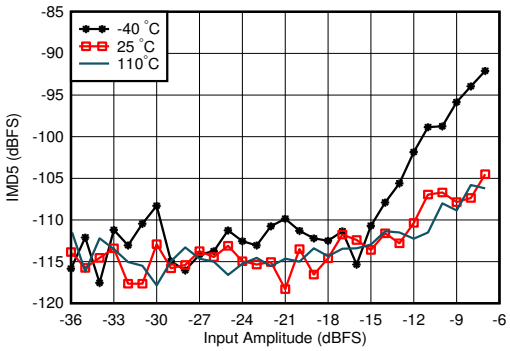
5.12.8 RX 代表的特性：800MHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



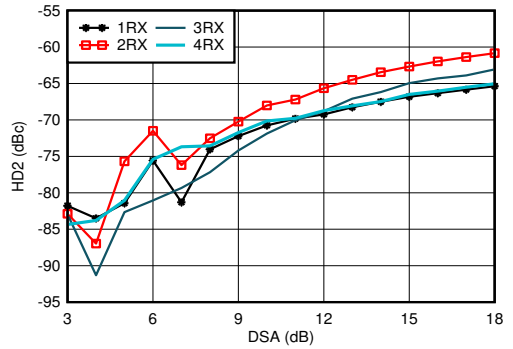
0.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 5-296. RX IMD3 と入力レベルとの関係 (各種温度、0.8GHz)



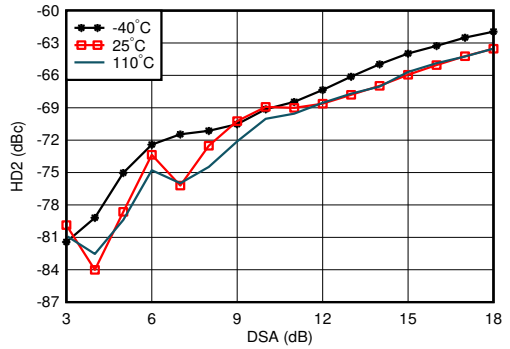
0.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 5-297. RX IMD5 と入力レベルとの関係 (各種温度、0.8GHz)



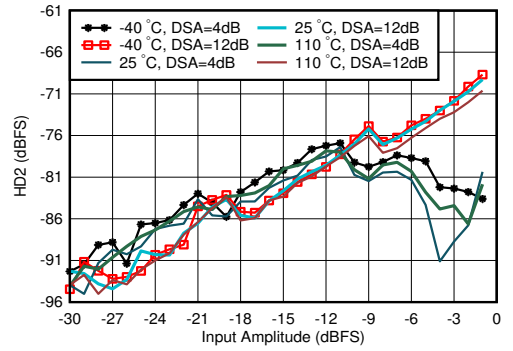
0.8GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-298. RX HD2 と DSA 設定との関係 (各種チャネル、0.8GHz)



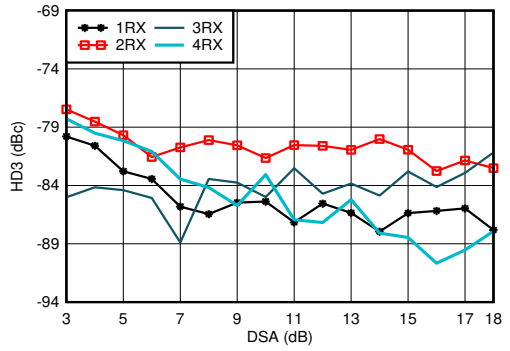
0.8GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-299. RX HD2 と DSA 設定との関係 (各種温度、0.8GHz)



0.8GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-300. RX HD2 と入力レベルとの関係 (各種温度、0.8GHz)

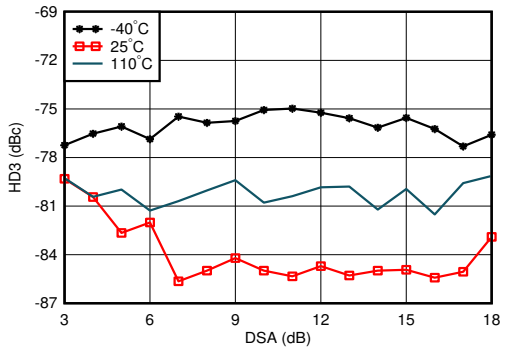


0.8GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-301. RX HD3 と DSA 設定との関係 (各種チャネル、0.8GHz)

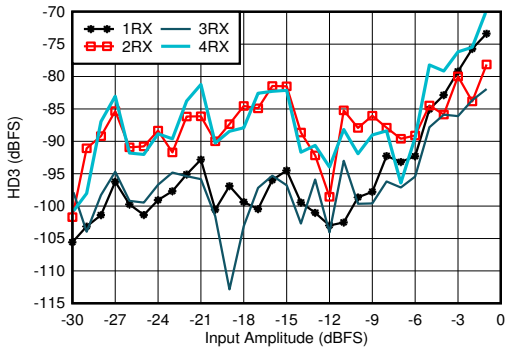
5.12.8 RX 代表的特性：800MHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



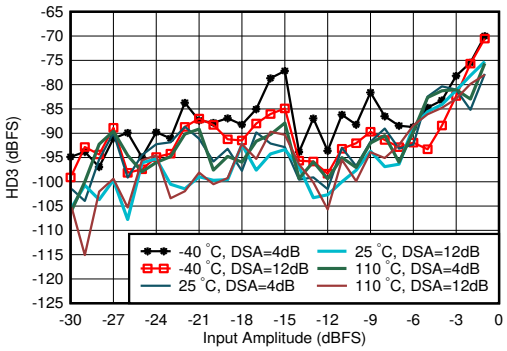
0.8GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-302. RX HD3 と DSA 設定との関係 (各種温度、0.8GHz)



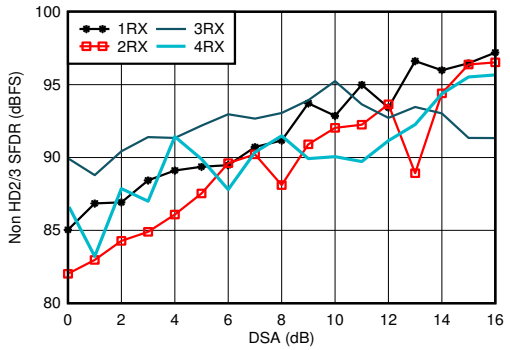
0.8GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-303. RX HD3 と入力レベルとの関係 (各種チャネル、0.8GHz)



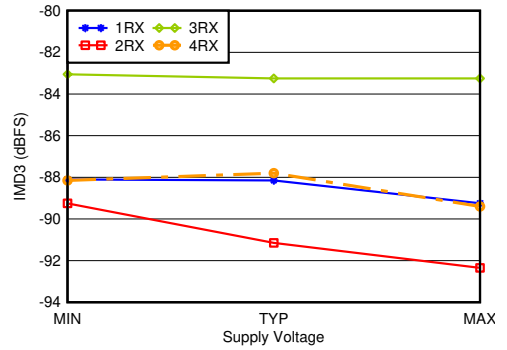
0.8GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-304. RX HD3 と入力レベルとの関係 (各種温度、0.8GHz)



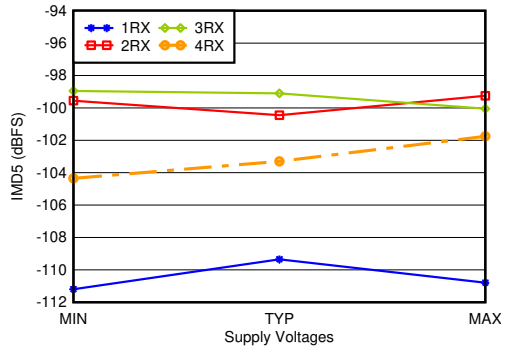
0.8GHz 整合あり

図 5-305. RX (HD2/3 を除く) と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 5-306. RX IMD3 と電源電圧との関係 (各種チャネル、0.8GHz)



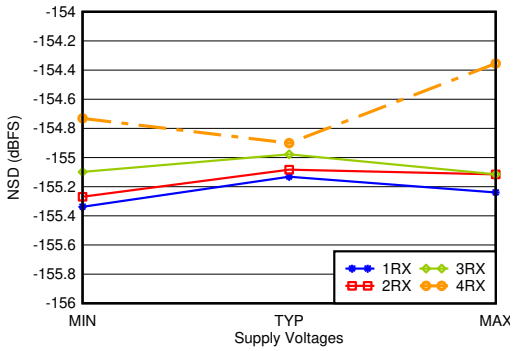
0.8GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 5-307. RX IMD5 と電源電圧との関係 (各種チャネル、0.8GHz)

Copyright © 2025 Texas Instruments Incorporated

5.12.8 RX 代表的特性：800MHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB

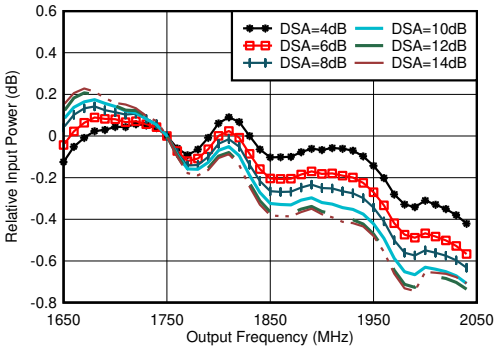


0.8GHz 整合あり、12.5MHz オフセット、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 5-308. RX ノイズ スペクトル密度と電源電圧との関係 (各種チャネル、0.8GHz)

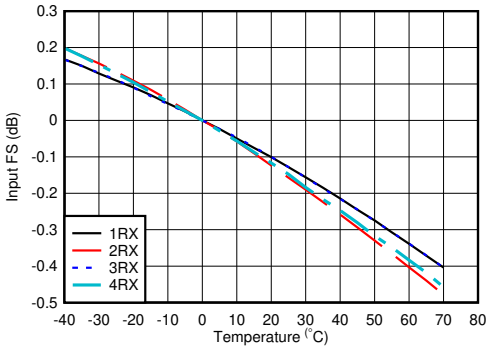
5.12.9 RX の代表的特性 (1.75～1.9 GHz 時)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



1.8GHz 整合あり、1.75GHz で正規化

図 5-309. RX 帯域内ゲイン平坦性 (f_{IN} = 1750MHz)

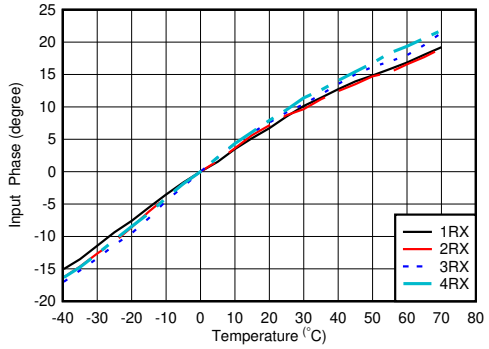


1.8GHz 整合あり、各チャネルについて 25℃のフルスケールで正規化

図 5-310. RX 入力フルスケールと温度との関係 (各種チャネル、1.75GHz)

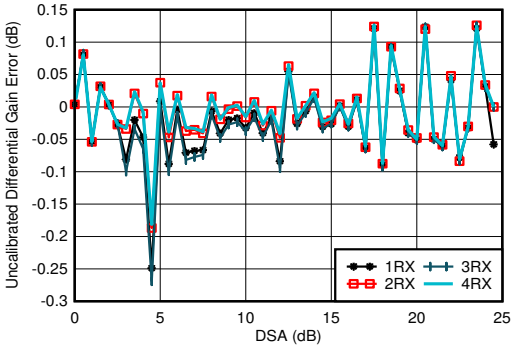
5.12.9 RX の代表的特性 (1.75～1.9 GHz 時) (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件:出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



2.6GHz 整合あり、25℃の位相で正規化

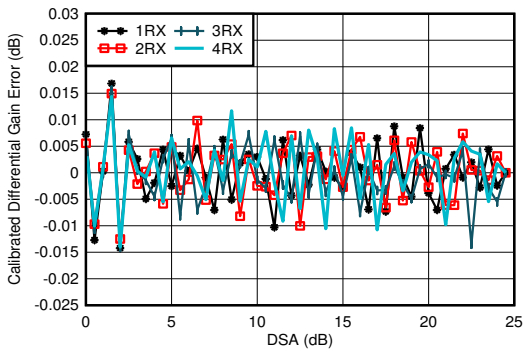
図 5-311. RX 入力位相と温度との関係 (各種 DSA、f_{IN} = 1.75GHz)



1.8GHz 整合あり

微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

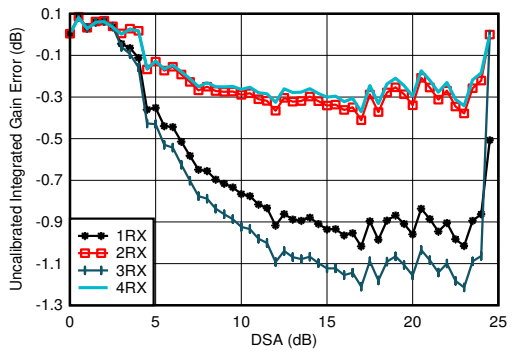
図 5-312. RX 未較正微分振幅誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

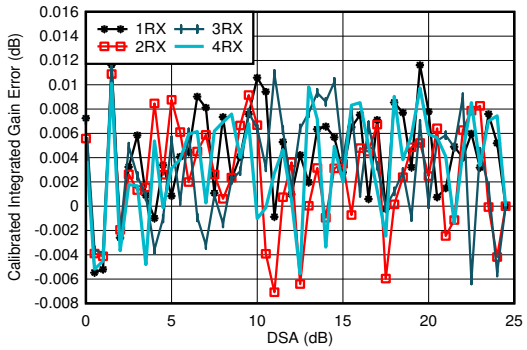
図 5-313. RX 較正済み微分振幅誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

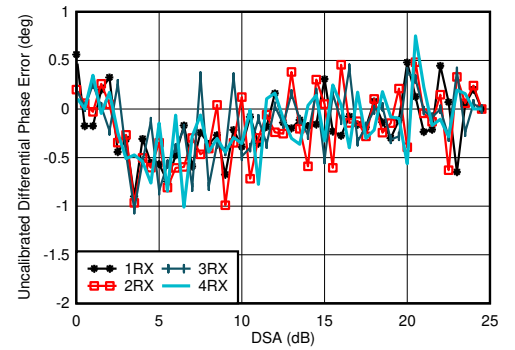
図 5-314. RX 未較正積分振幅誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

図 5-315. RX 較正済み積分振幅誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

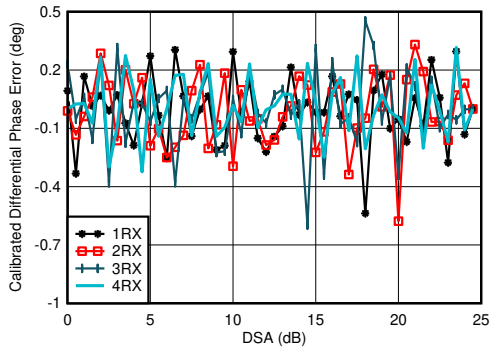
微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

図 5-316. RX 未較正微分位相誤差と DSA 設定との関係 (1.75GHz)

Copyright © 2025 Texas Instruments Incorporated

5.12.9 RX の代表的特性 (1.75～1.9 GHz 時) (続き)

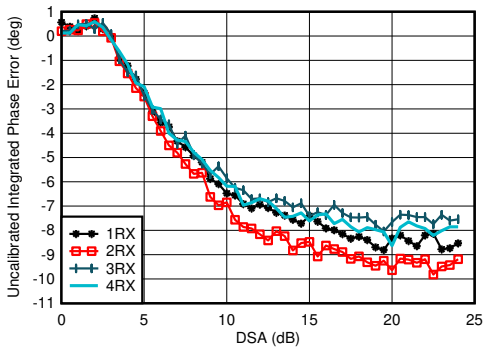
T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



1.8GHz 整合あり

微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

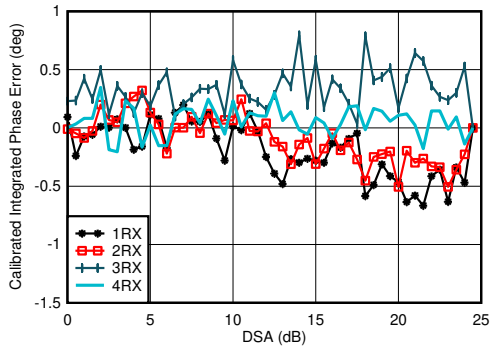
図 5-317. RX 較正済み微分位相誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

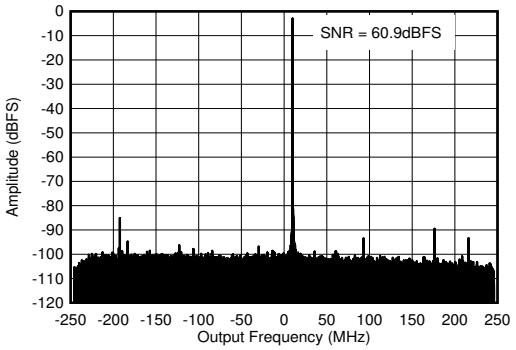
図 5-318. RX 未較正積分位相誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

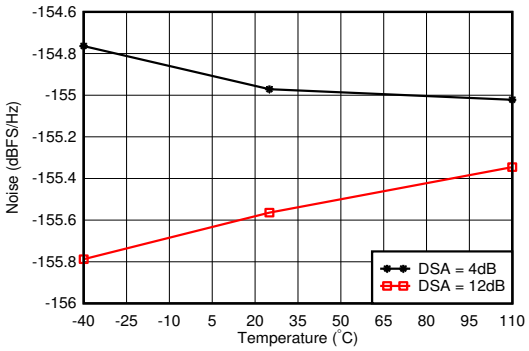
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 5-319. RX 較正済み積分位相誤差と DSA 設定との関係 (1.75GHz)



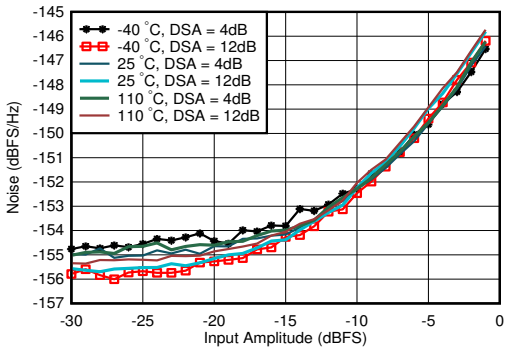
1.8GHz 整合あり、f_{IN} = 2610MHz、A_{IN}= -3dBFS

図 5-320. RX 出力 FFT (1.75GHz)



1.8GHz 整合あり、トーンからのオフセット 12.5MHz

図 5-321. RX ノイズ スペクトル密度と温度との関係 (1.75GHz)



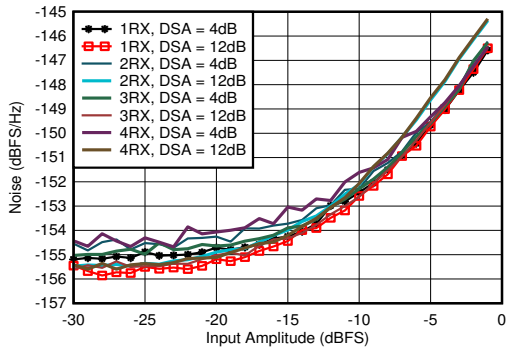
1.8GHz 整合あり、DSA 設定 = 12dB、トーンから 12.5MHz オフセット

図 5-322. RX ノイズ スペクトル密度と入力振幅との関係 (各種温度、1.75GHz)

Copyright © 2025 Texas Instruments Incorporated

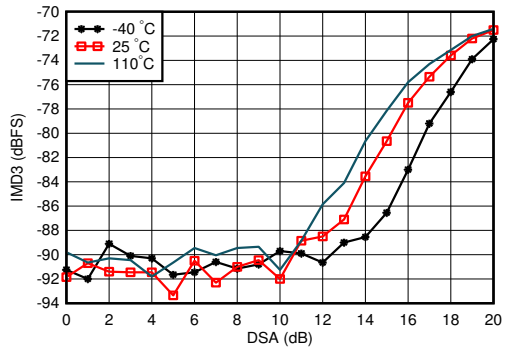
5.12.9 RX の代表的特性 (1.75～1.9 GHz 時) (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



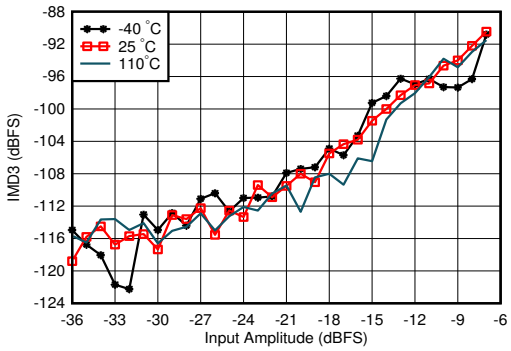
1.8GHz 整合あり、トーンからのオフセット 12.5MHz

図 5-323. RX ノイズ スペクトル密度と入力振幅との関係 (各種チャネル、1.75GHz)



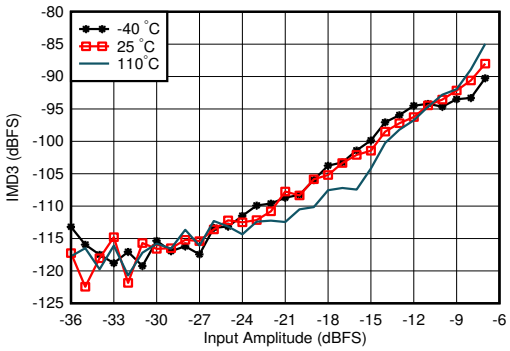
1.8GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 5-324. RX IMD3 と DSA 設定との関係 (各種温度、1.75GHz)



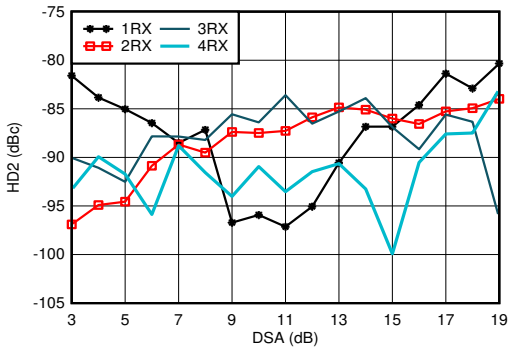
1.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 4dB

図 5-325. RX IMD3 と入力レベルとの関係 (各種温度、1.75GHz)



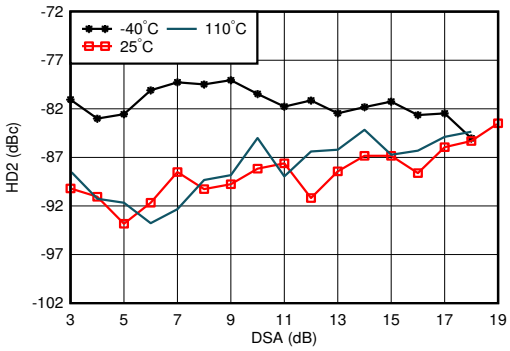
1.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 5-326. RX IMD3 と入力レベルとの関係 (各種温度、1.75GHz)



1.8GHz 整合あり、f_{in} = 1900MHz、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-327. RX HD2 と DSA 設定との関係 (各種チャネル、1.9GHz)



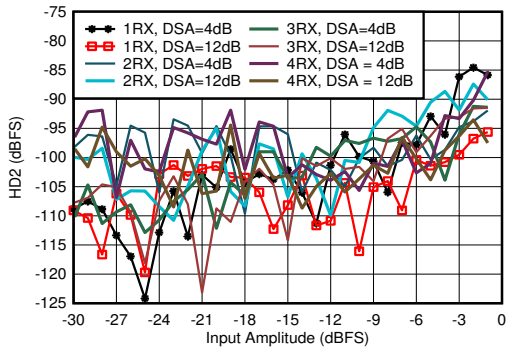
1.8GHz 整合あり、f_{in} = 1900MHz、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-328. RX HD2 と DSA 設定との関係 (各種温度、1.9GHz)

Copyright © 2025 Texas Instruments Incorporated

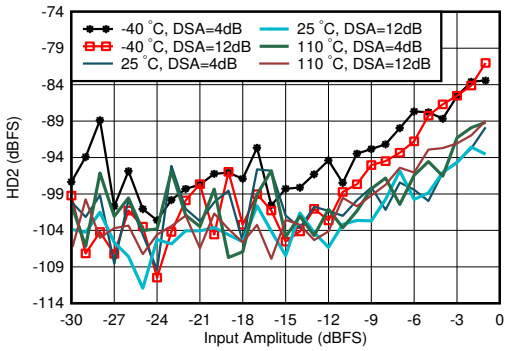
5.12.9 RX の代表的特性 (1.75～1.9 GHz 時) (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件:出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



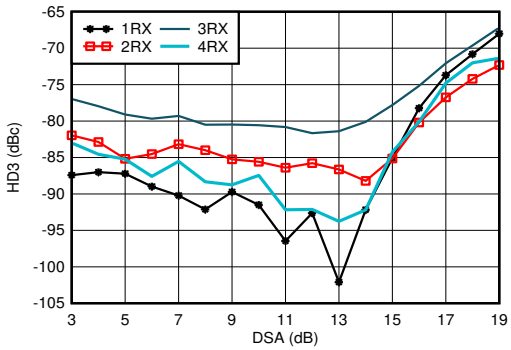
1.8GHz 整合あり、f_{in} = 1900MHz、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-329. RX HD2 と入力振幅との関係 (各種チャネル、1.9GHz)



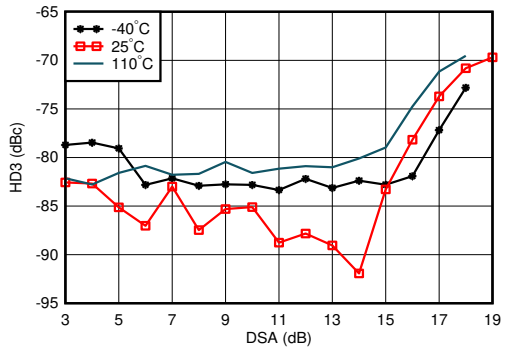
1.8GHz 整合あり、f_{in} = 1900MHz、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-330. RX HD2 と入力振幅との関係 (各種温度、1.9GHz)



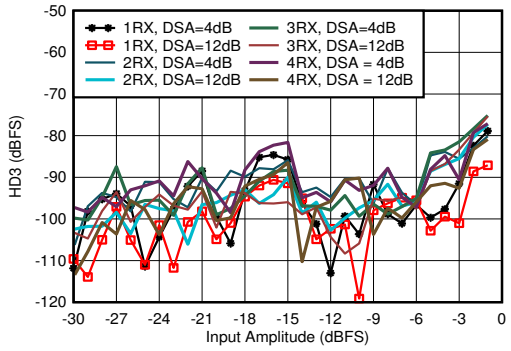
1.8GHz 整合あり、f_{in} = 1900MHz、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-331. RX HD3 と DSA 設定との関係 (各種チャネル、1.9GHz)



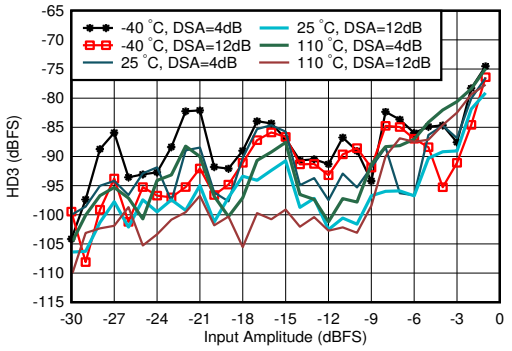
1.8GHz 整合あり、f_{in} = 1900MHz、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-332. RX HD3 と DSA 設定との関係 (各種温度、1.9GHz)



1.8GHz 整合あり、f_{in} = 1900MHz、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-333. RX HD3 と入力レベルとの関係 (各種チャネル、1.9GHz)



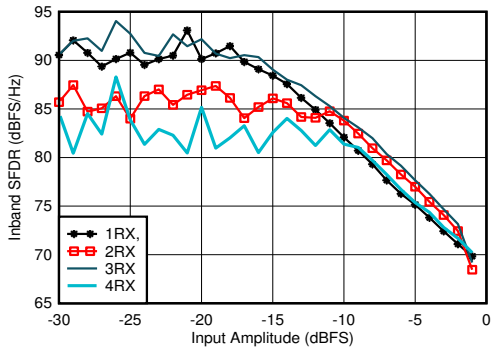
1.8GHz 整合あり、f_{in} = 1900MHz、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-334. RX HD3 と入力レベルとの関係 (各種温度、1.9GHz)

Copyright © 2025 Texas Instruments Incorporated

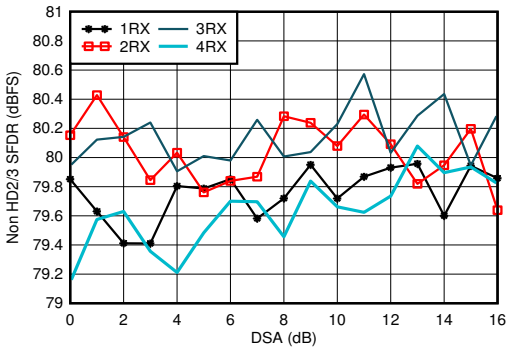
5.12.9 RX の代表的特性 (1.75～1.9 GHz 時) (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



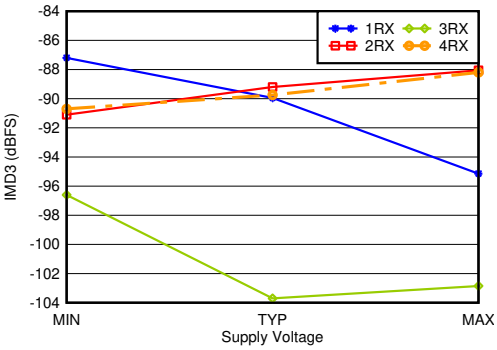
1.8GHz 整合あり、1/3 にデシメーション

図 5-335. RX 帯域内 SFDR (±400MHz) と入力振幅との関係 (1.75GHz)



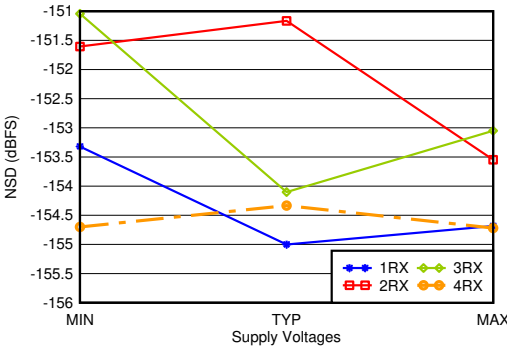
1.8GHz 整合あり

図 5-336. RX (HD2/3 を除く) と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 5-337. RX IMD3 と電源電圧との関係 (各種チャネル、1.75GHz)



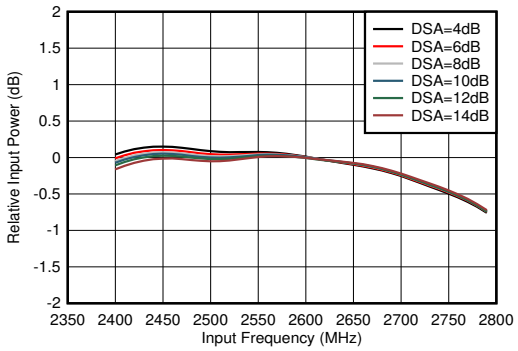
1.8GHz 整合あり、12.5MHz オフセット、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 5-338. RX ノイズ スペクトル密度と電源電圧との関係 (各種チャネル、1.75GHz)

Copyright © 2025 Texas Instruments Incorporated

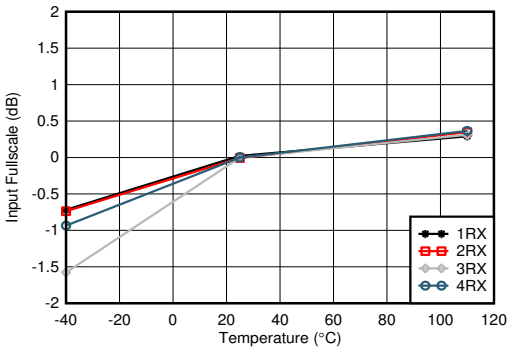
5.12.10 RX 代表的特性：2.6GHz

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



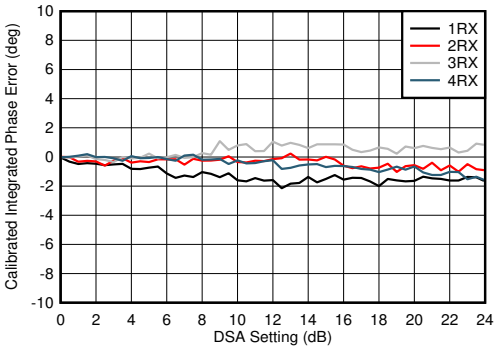
整合あり、各 DSA 設定について 2.6GHz の電力で正規化

図 5-339. RX 帯域内ゲイン平坦性 (f_{IN} = 2600MHz)



2.6GHz 整合あり、各チャネルについて 25℃のフルスケールで正規化

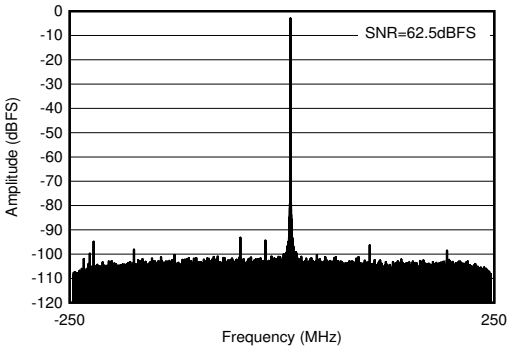
図 5-340. RX 入力フルスケールと温度との関係 (各種チャネル、2.6GHz)



2.6GHz 整合あり

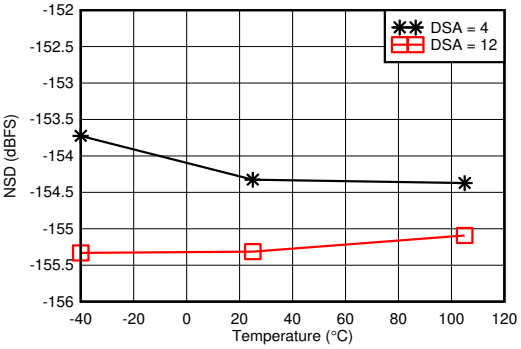
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 5-341. RX 較正済み積分位相誤差と DSA 設定との関係 (2.6GHz)



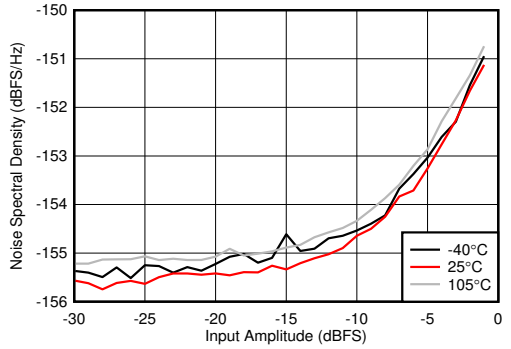
2.6GHz 整合あり、f_{IN} = 2610MHz、A_{IN}= -3dBFS

図 5-342. RX 出力 FFT (2.6GHz)



2.6GHz 整合あり、トーンからのオフセット 12.5MHz

図 5-343. RX ノイズ スペクトル密度と温度との関係 (2.6GHz)

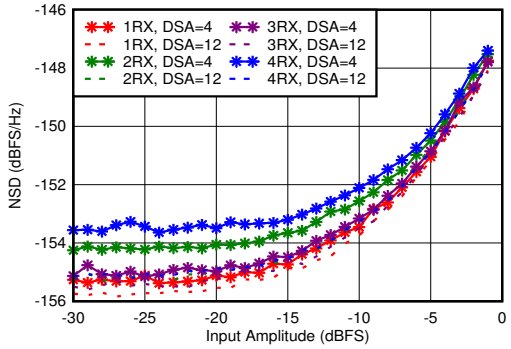


2.6GHz 整合あり、DSA 設定 = 12dB、トーンから 12.5MHz オフセット

図 5-344. RX ノイズ スペクトル密度と入力振幅との関係 (各種温度、2.6GHz)

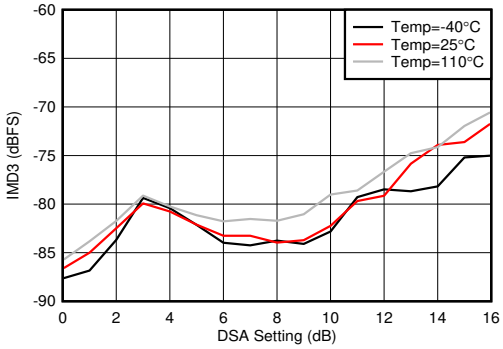
5.12.10 RX 代表的特性：2.6GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



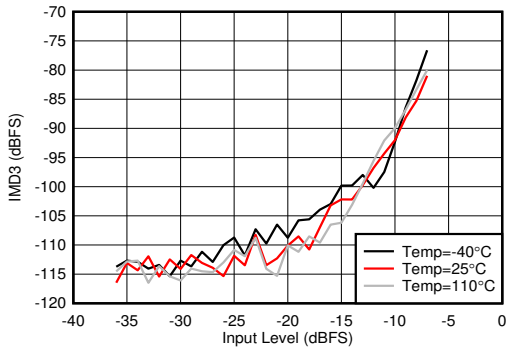
2.6GHz 整合あり、トーンからのオフセット 12.5MHz

図 5-345. RX ノイズ スペクトル密度と入力振幅との関係 (各種チャネル、2.6GHz)



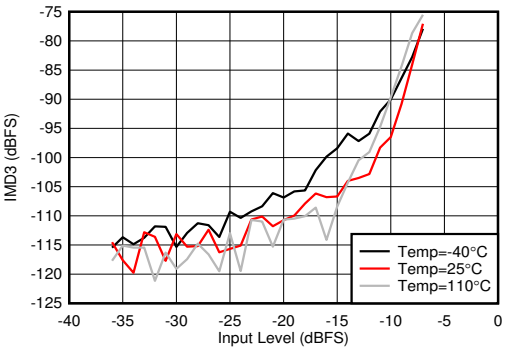
2.6GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 5-346. RX IMD3 と DSA 設定との関係 (各種温度、2.6GHz)



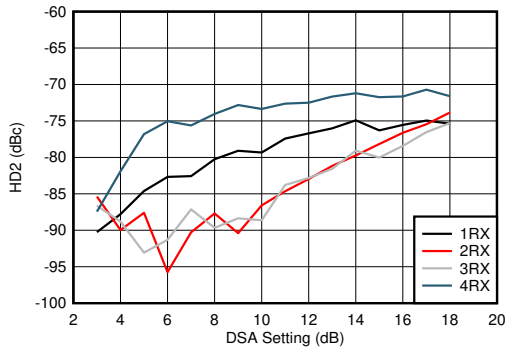
2.6GHz 整合あり、トーン間隔 = 20MHz、DSA = 4dB

図 5-347. RX IMD3 と入力レベルとの関係 (各種温度、2.6GHz)



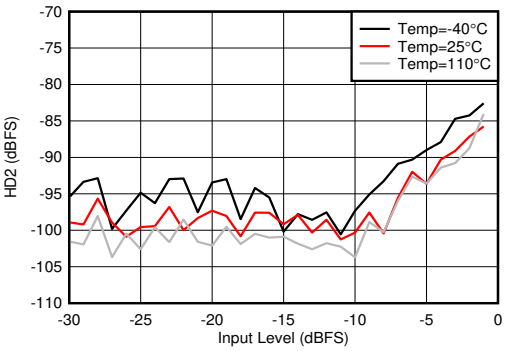
2.6GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 5-348. RX IMD3 と入力レベルとの関係 (各種温度、2.6GHz)



2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-349. RX HD2 と DSA 設定との関係 (各種チャネル、2.6GHz)



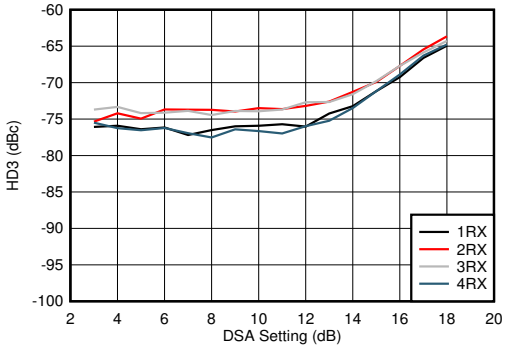
2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-350. RX HD2 と入力レベルとの関係 (各種温度、2.6GHz)

Copyright © 2025 Texas Instruments Incorporated

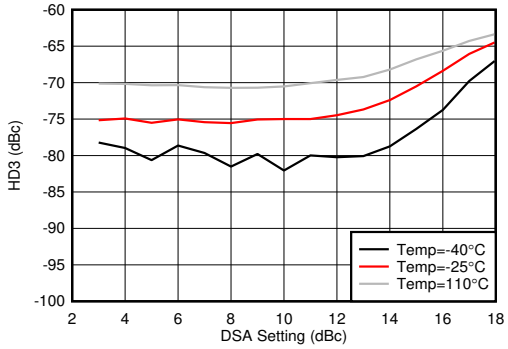
5.12.10 RX 代表的特性：2.6GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



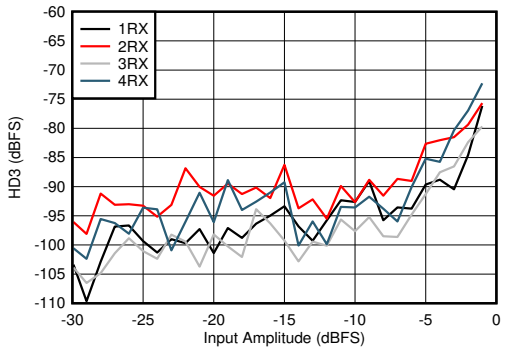
2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-351. RX HD3 と DSA 設定との関係 (各種チャネル、2.6GHz)



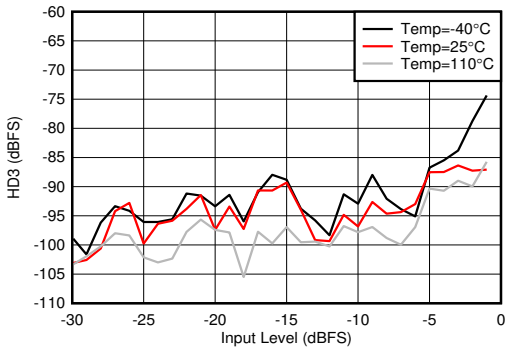
2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-352. RX HD3 と DSA 設定との関係 (各種温度、2.6GHz)



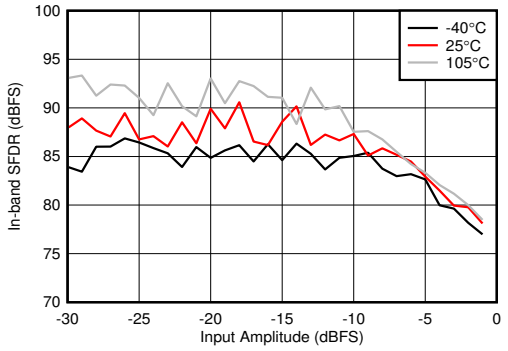
2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-353. RX HD3 と入力レベルとの関係 (各種チャネル、2.6GHz)



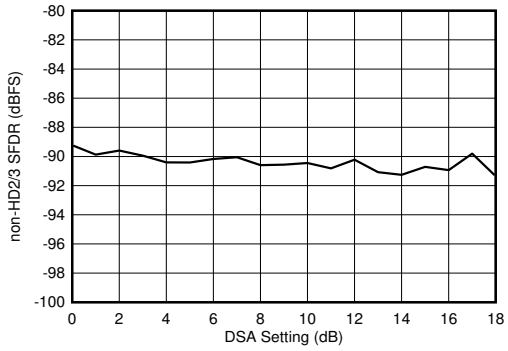
2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-354. RX HD3 と入力レベルとの関係 (各種温度、2.6GHz)



2.6GHz 整合あり、1/4 にデシメーション

図 5-355. RX 帯域内 SFDR (±300MHz) と入力振幅との関係 (各種温度、2.6GHz)

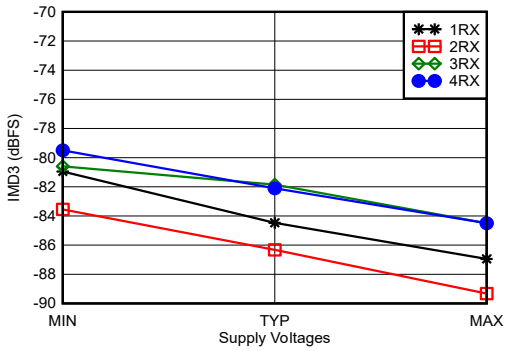


2.6GHz 整合あり

図 5-356. RX (HD2/3 を除く) と DSA 設定との関係 (2.6GHz)

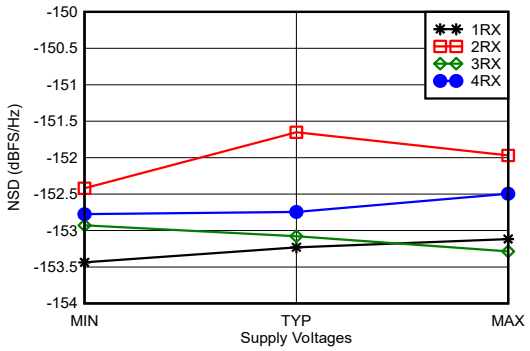
5.12.10 RX 代表的特性：2.6GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



2.6GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 5-357. RX IMD3 と電源電圧との関係 (各種チャネル、2.6GHz)



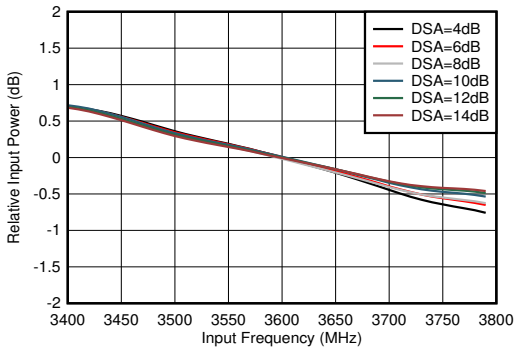
2.6GHz 整合あり、12.5MHz オフセット、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 5-358. RX ノイズ スペクトル密度と電源電圧との関係 (各種チャネル、2.6GHz)

Copyright © 2025 Texas Instruments Incorporated

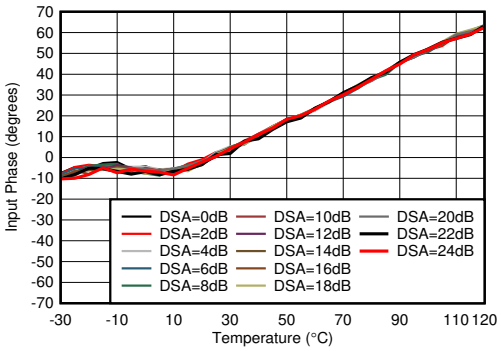
5.12.11 RX 代表的特性：3.5GHz

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



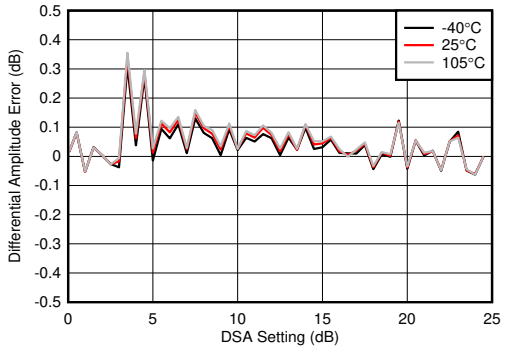
3.6GHz 整合あり、3.6GHz で正規化

図 5-359. RX 帯域内ゲイン平坦性 (f_{IN} = 3600MHz)



3.6GHz 整合あり、25℃の位相で正規化

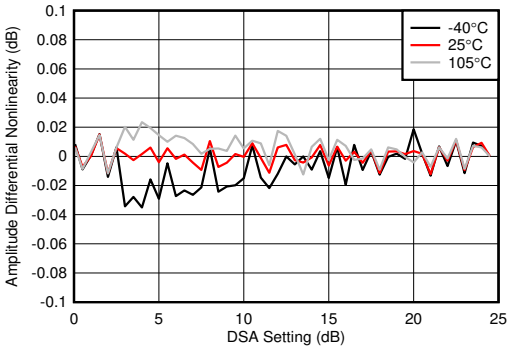
図 5-360. RX 入力位相と温度との関係 (3.6GHz)



3.6GHz 整合あり

微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

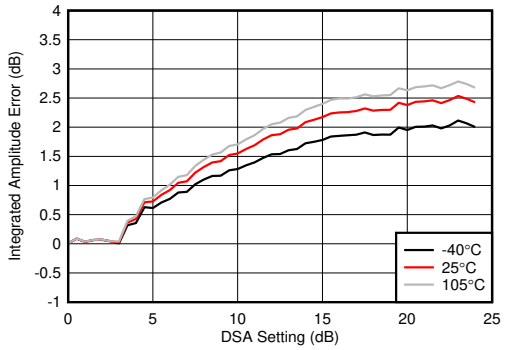
図 5-361. RX 未較正微分振幅誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり

微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

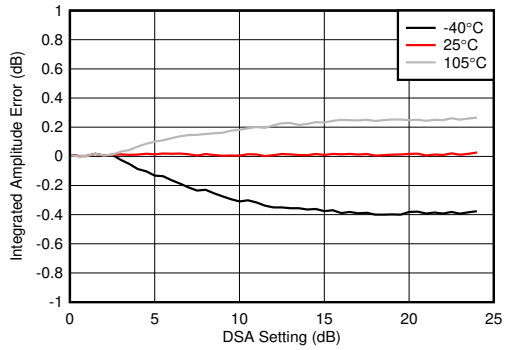
図 5-362. RX 較正済み微分振幅誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり

積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

図 5-363. RX 未較正積分振幅誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり

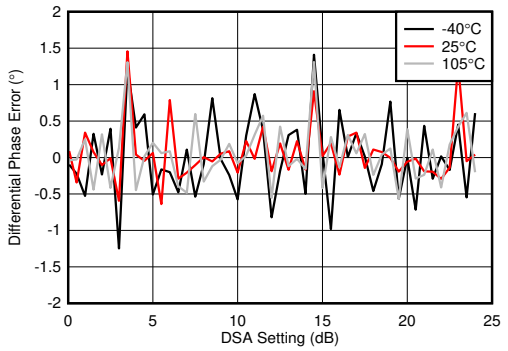
積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

図 5-364. RX 較正済み積分振幅誤差と DSA 設定との関係 (3.6GHz)

Copyright © 2025 Texas Instruments Incorporated

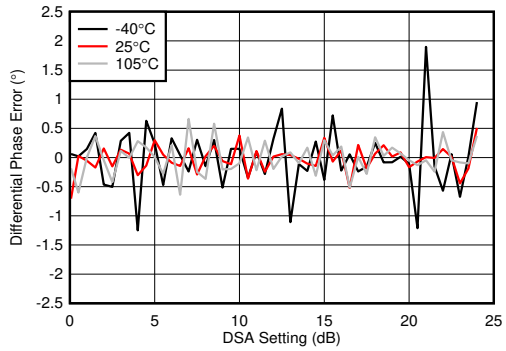
5.12.11 RX 代表的特性：3.5GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



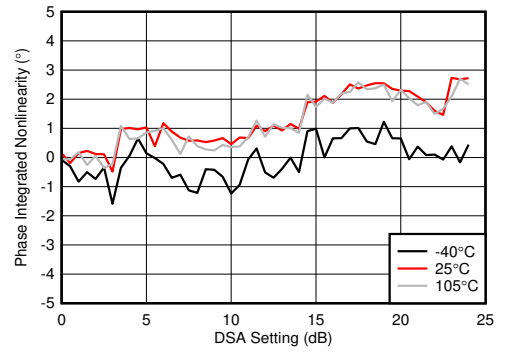
3.6GHz 整合あり
微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

図 5-365. RX 未較正位相誤差と DSA 設定との関係 (3.6GHz)



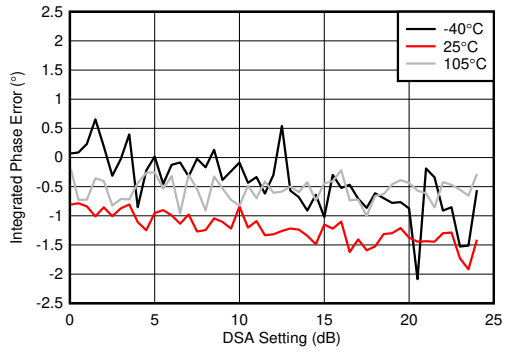
3.6GHz 整合あり
微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

図 5-366. RX 較正済み微分位相誤差と DSA 設定との関係 (3.6GHz)



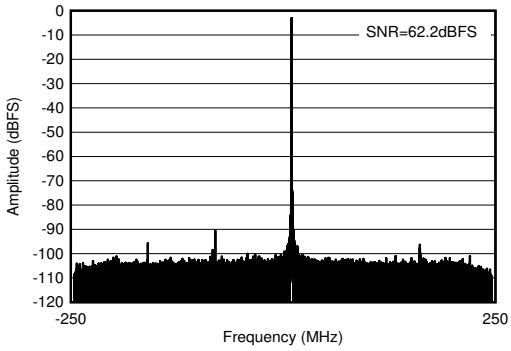
3.6GHz 整合あり
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 5-367. RX 未較正積分位相誤差と DSA 設定との関係 (3.6GHz)



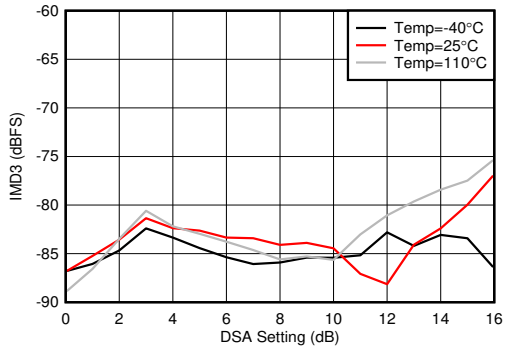
3.6GHz 整合あり
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 5-368. RX 較正済み積分位相誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり、f_{IN} = 3610MHz、A_{IN} = -3dBFS

図 5-369. RX 出力 FFT (3.6GHz)



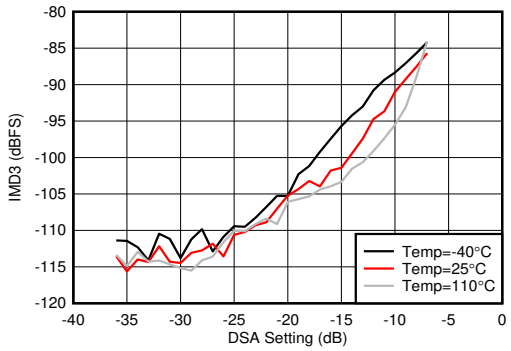
3.5GHz 整合あり、各トーンは -7dBFS、20MHz のトーン間隔

図 5-370. RX IMD3 と DSA 設定との関係 (各種温度、3.6GHz)

Copyright © 2025 Texas Instruments Incorporated

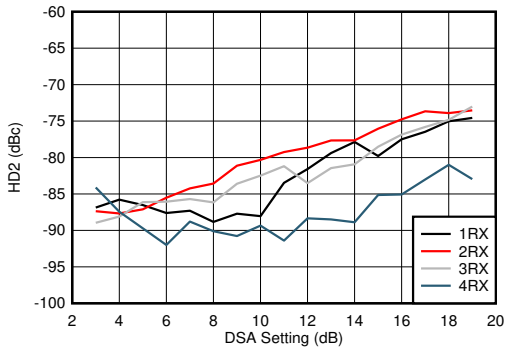
5.12.11 RX 代表的特性：3.5GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



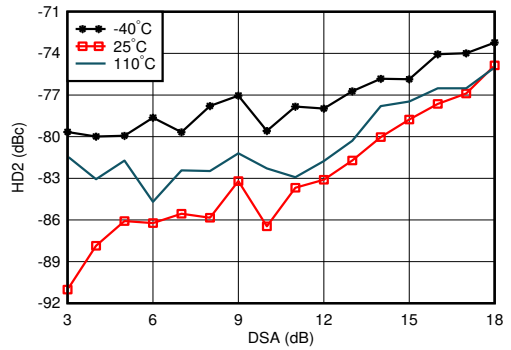
3.5GHz 整合あり、20MHz のトーン間隔

図 5-371. RX IMD3 と入力レベルとの関係 (各種温度、3.6GHz)



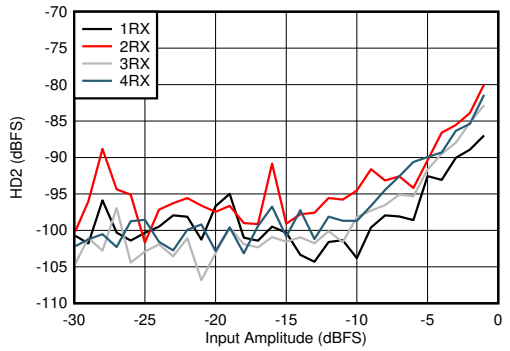
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-372. RX HD2 と DSA 設定との関係 (各種チャネル、3.6GHz)



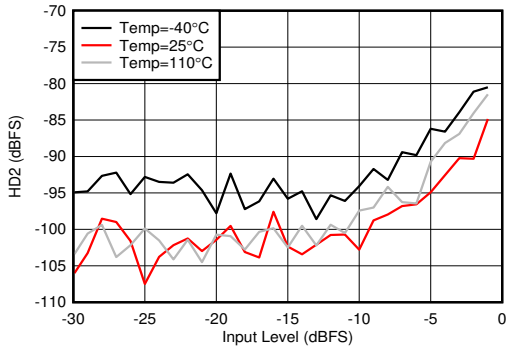
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-373. RX HD2 と DSA 設定との関係 (各種温度、3.6GHz)



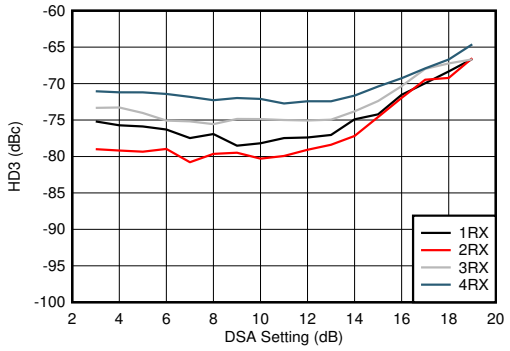
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-374. RX HD2 と入力レベルとの関係 (各種チャネル、3.6GHz)



3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-375. RX HD2 と入力レベルとの関係 (各種温度、3.6GHz)



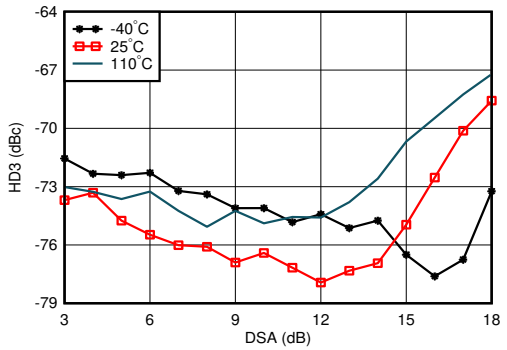
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-376. RX HD3 と DSA 設定との関係 (各種チャネル、3.6GHz)

Copyright © 2025 Texas Instruments Incorporated

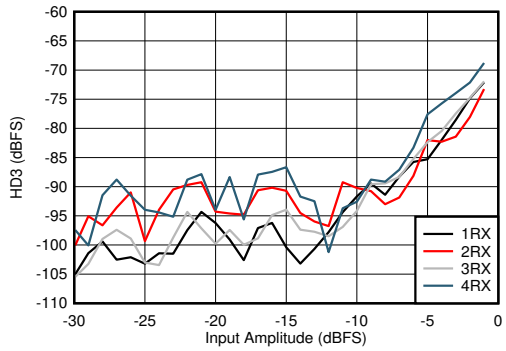
5.12.11 RX 代表的特性：3.5GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



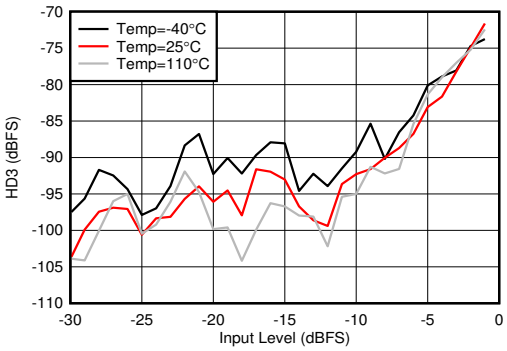
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-377. RX HD3 と DSA 設定との関係 (各種温度、3.6GHz)



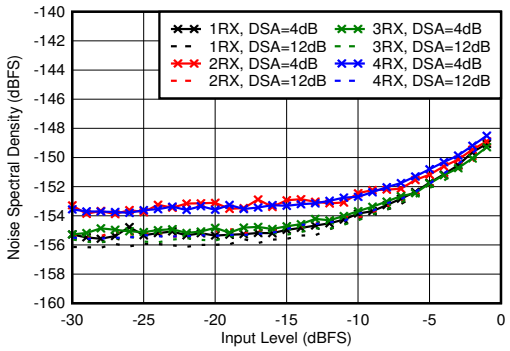
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-378. RX HD3 と入力レベルとの関係 (各種チャネル、3.6GHz)



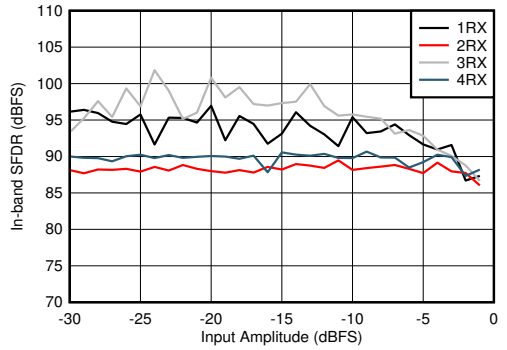
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-379. RX HD3 と入力レベルとの関係 (各種温度、3.6GHz)



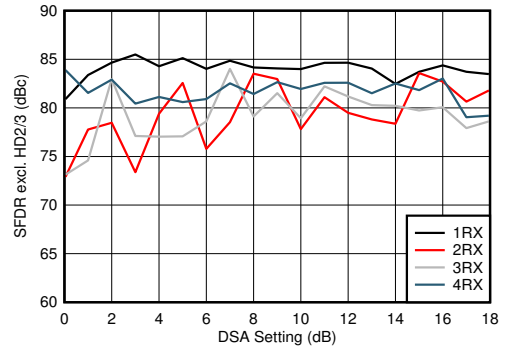
3.5GHz 整合あり、トーンからのオフセット 12.5MHz

図 5-380. RX ノイズ スペクトル密度と入力レベルとの関係 (各種 DSA 設定、3.6GHz)



3.5GHz 整合あり

図 5-381. RX 帯域内 SFDR (±200MHz) と入力レベルとの関係 (各種チャネル、3.6GHz)



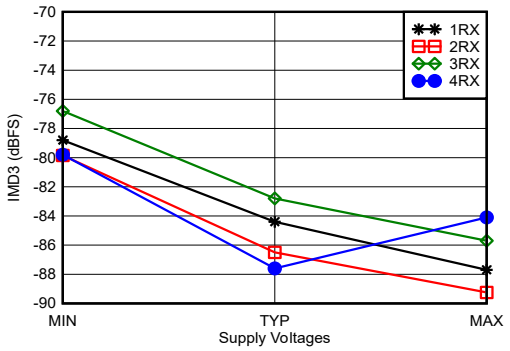
3.5GHz 整合あり

図 5-382. RX SFDR (HD2/3 を除く) と DSA 設定との関係 (各種チャネル、3.6GHz)

Copyright © 2025 Texas Instruments Incorporated

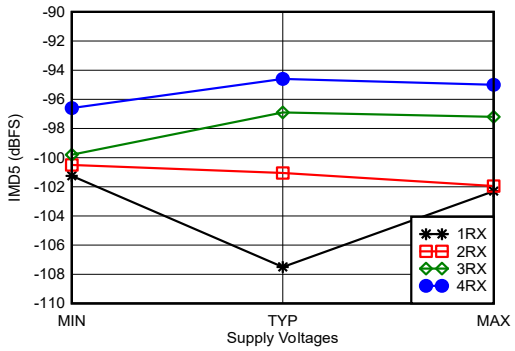
5.12.11 RX 代表的特性：3.5GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



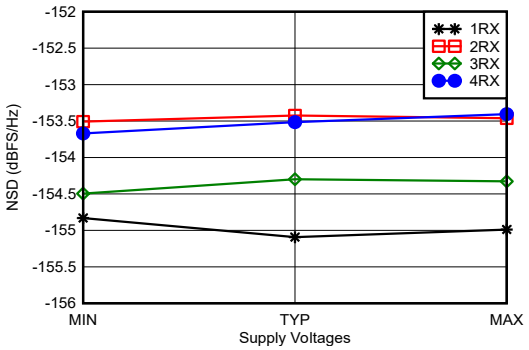
3.6GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 5-383. RX IMD3 と電源電圧との関係 (各種チャネル、3.6GHz)



3.6GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 5-384. RX IMD5 と電源電圧との関係 (各種チャネル、3.6GHz)

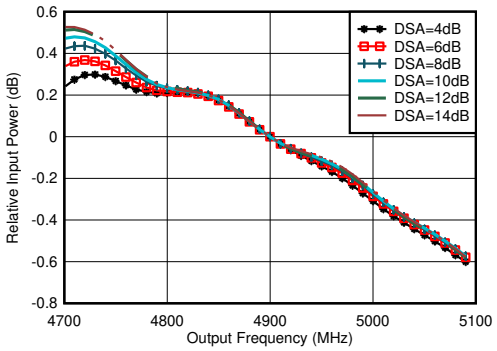


3.6GHz 整合あり、-20dBFS のトーン、12.5MHz のオフセット周波数、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 5-385. RX ノイズ スペクトル密度と電源電圧との関係 (各種チャネル、3.6GHz)

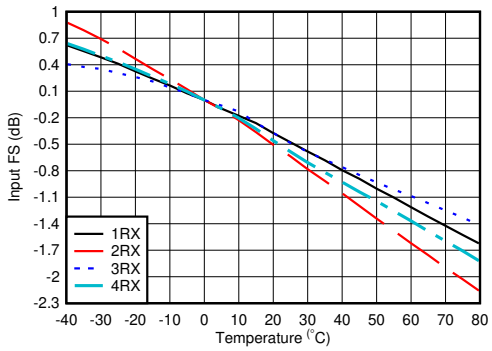
5.12.12 RX 代表的特性：4.9GHz

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



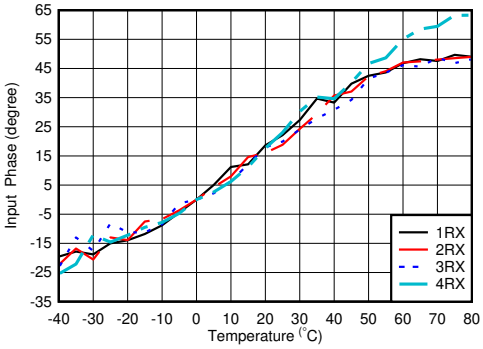
整合あり、各 DSA 設定について 4.9GHz の電力で正規化

図 5-386. RX 帯域内ゲイン平坦性 (f_{IN} = 4900MHz)



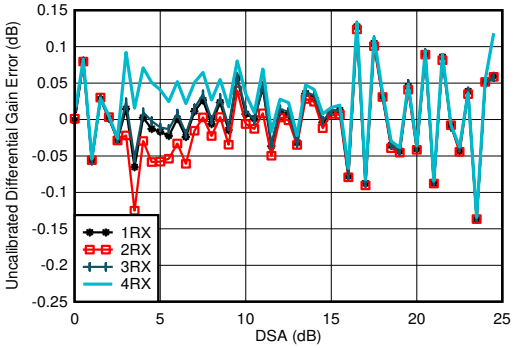
4.9GHz 整合あり、各チャネルについて 25℃のフルスケールで正規化

図 5-387. RX 入力フルスケールと温度との関係 (各種チャネル、4.9GHz)



4.9GHz 整合あり、25℃の位相で正規化

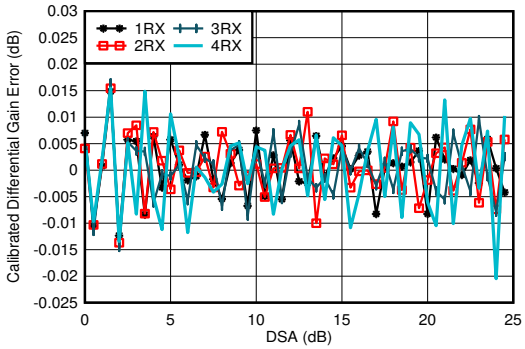
図 5-388. RX 入力位相と温度との関係 (各種 DSA、f_{OUT} = 4.9GHz)



4.9GHz 整合あり

微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

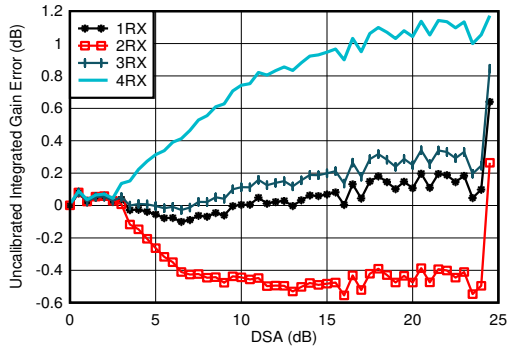
図 5-389. RX 未較正微分振幅誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

微分振幅誤差 = P_{IN}(DSA 設定 - 1) - P_{IN}(DSA 設定) + 1

図 5-390. RX 較正済み微分振幅誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

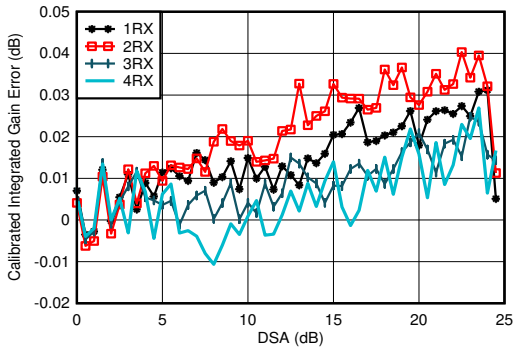
積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

図 5-391. RX 未較正積分振幅誤差と DSA 設定との関係 (4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

5.12.12 RX 代表的特性：4.9GHz (続き)

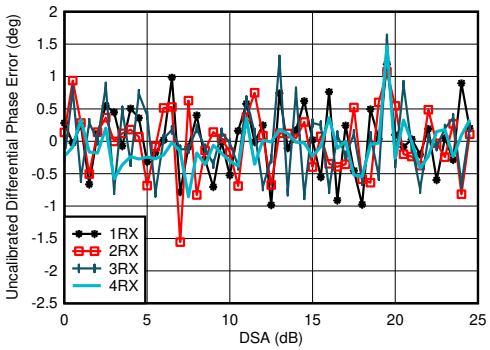
T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



4.9GHz 整合あり

積分振幅誤差 = P_{IN}(DSA 設定) - P_{IN}(DSA 設定 = 0) + (DSA 設定)

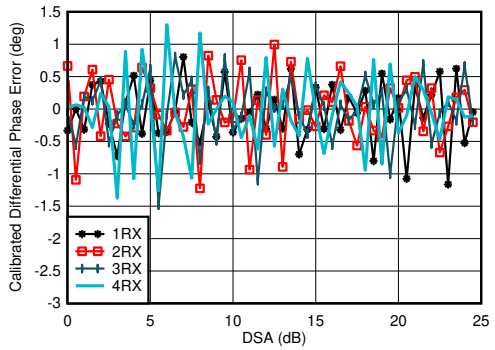
図 5-392. RX 較正済み積分振幅誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

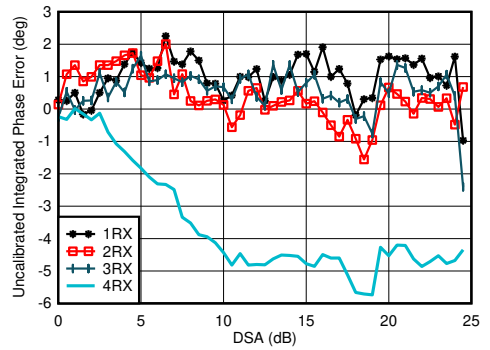
図 5-393. RX 未較正微分位相誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

微分位相誤差 = $Phase_{IN}$(DSA 設定 - 1) - $Phase_{IN}$(DSA 設定)

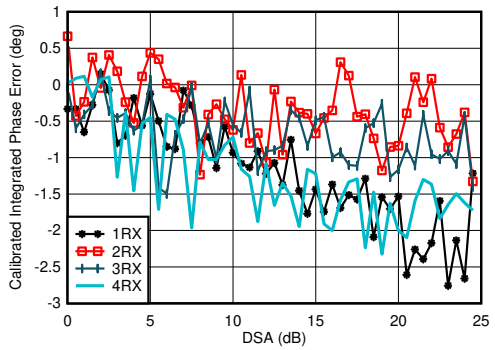
図 5-394. RX 較正済み微分位相誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

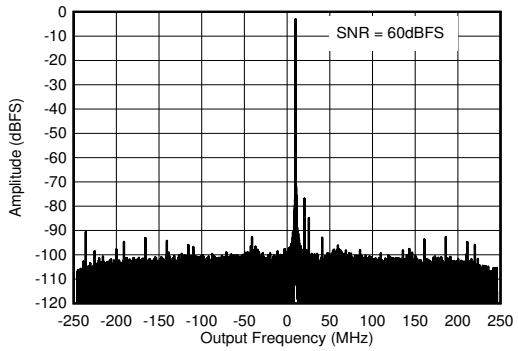
図 5-395. RX 未較正積分位相誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 5-396. RX 較正済み積分位相誤差と DSA 設定との関係 (4.9GHz)



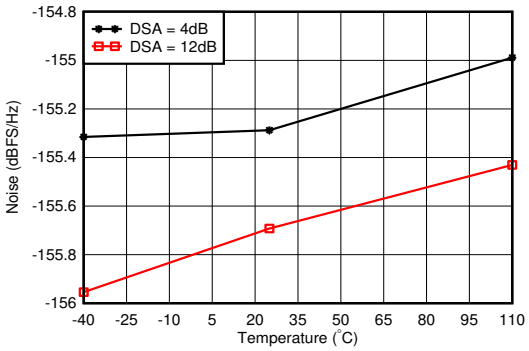
4.9GHz 整合あり、f_{IN} = 4910MHz、A_{IN}= -3dBFS

図 5-397. RX 出力 FFT (4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

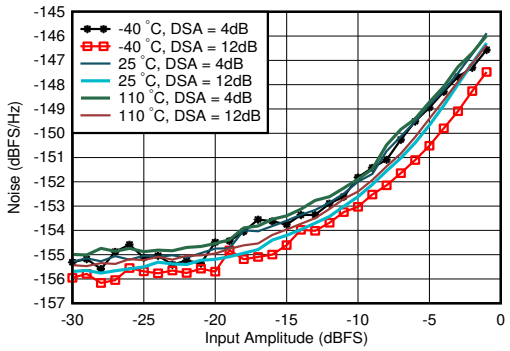
5.12.12 RX 代表的特性：4.9GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



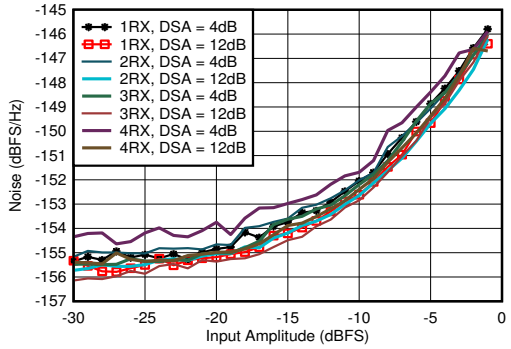
4.9GHz 整合あり、トーンからのオフセット 12.5MHz

図 5-398. RX ノイズ スペクトル密度と温度との関係 (4.9GHz)



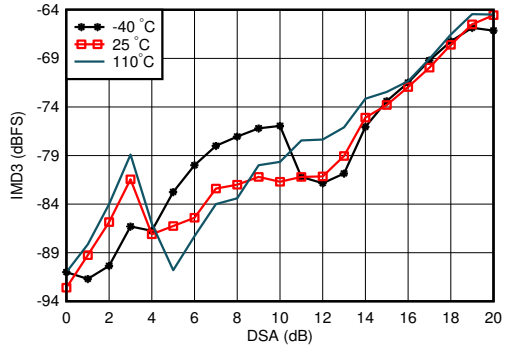
4.9GHz 整合あり、DSA 設定 = 12dB、トーンから 12.5MHz オフセット

図 5-399. RX ノイズ スペクトル密度と入力振幅との関係 (各種温度、4.9GHz)



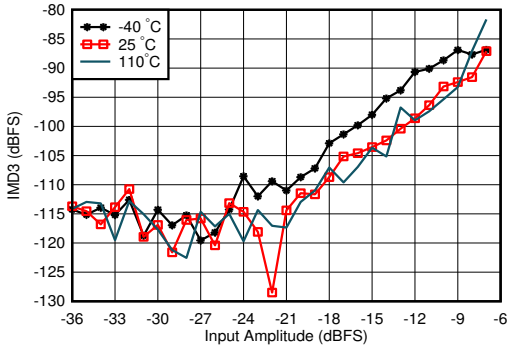
4.9GHz 整合あり、トーンからのオフセット 12.5MHz

図 5-400. RX ノイズ スペクトル密度と入力振幅との関係 (各種チャネル、4.9GHz)



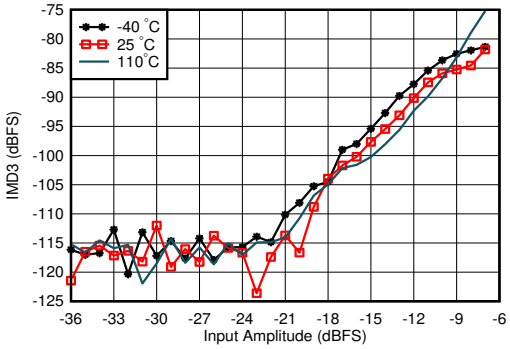
4.9GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 5-401. RX IMD3 と DSA 設定との関係 (各種温度、4.9GHz)



4.9GHz 整合あり、トーン間隔 = 20MHz、DSA = 4dB

図 5-402. RX IMD3 と入力レベルとの関係 (各種温度、4.9GHz)



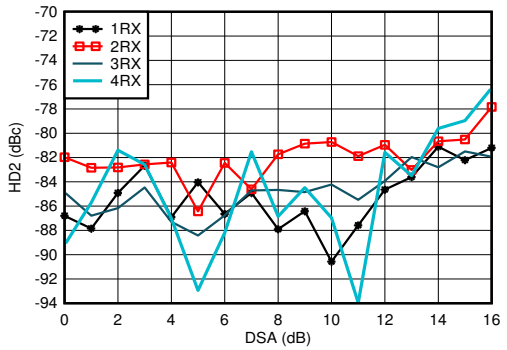
4.9GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 5-403. RX IMD3 と入力レベルとの関係 (各種温度、4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

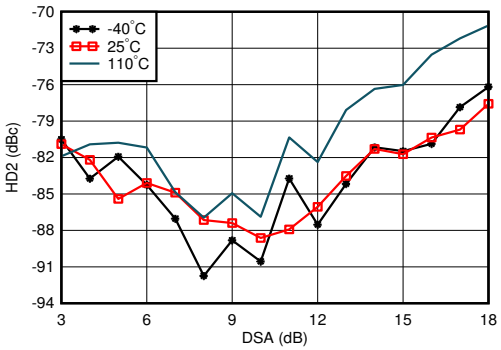
5.12.12 RX 代表的特性：4.9GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



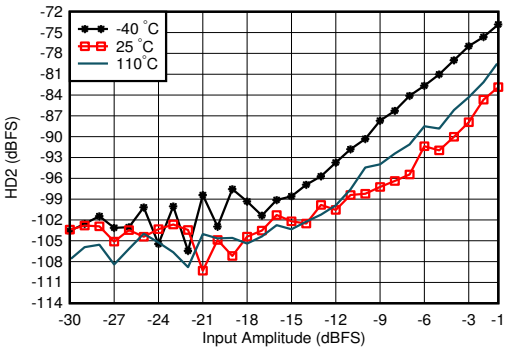
4.9GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-404. RX HD2 と DSA 設定との関係 (各種チャネル、4.9GHz)



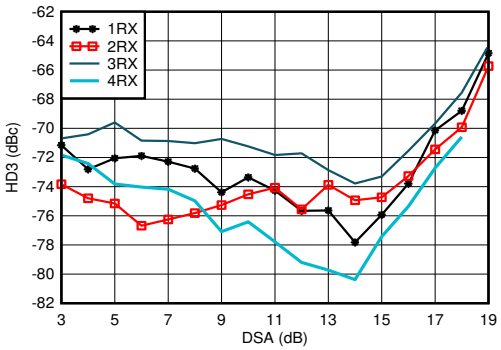
4.9GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-405. RX HD2 と DSA 設定との関係 (各種温度、4.9GHz)



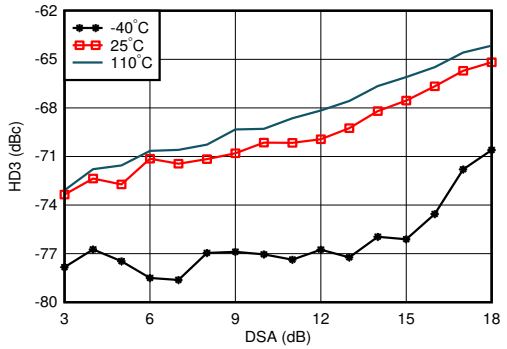
4.9GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-406. RX HD2 と入力レベルとの関係 (各種温度、4.9GHz)



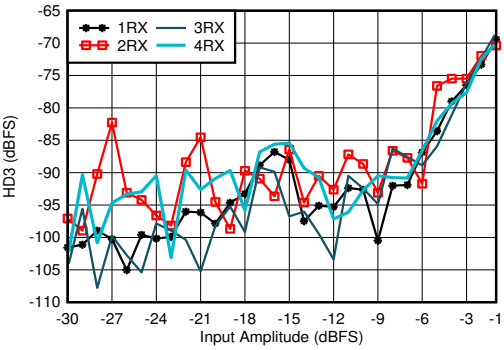
4.9GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-407. RX HD3 と DSA 設定との関係 (各種チャネル、4.9GHz)



4.9GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-408. RX HD3 と DSA 設定との関係 (各種温度、4.9GHz)



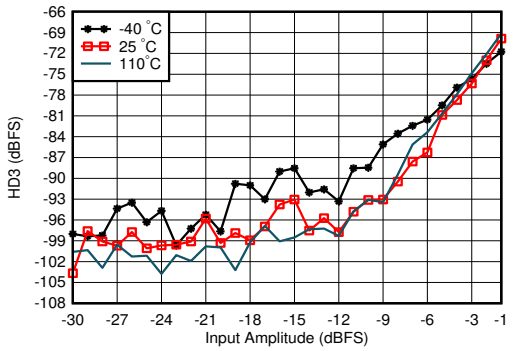
4.9GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-409. RX HD3 と入力レベルとの関係 (各種チャネル、4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

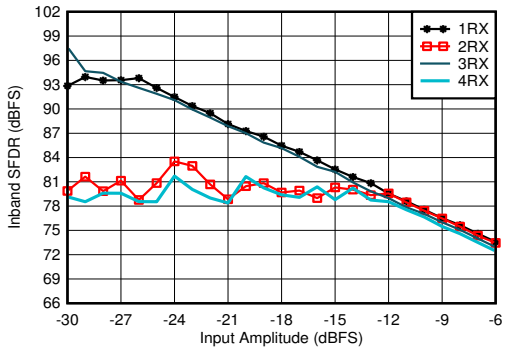
5.12.12 RX 代表的特性：4.9GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、f_{REF} = 491.52MHz の PLL クロック モード、A_{IN} = -3dBFS、DSA 設定 = 4dB



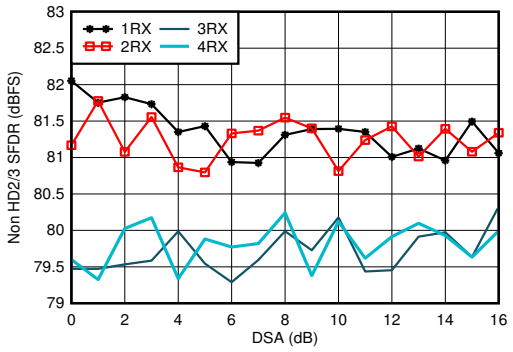
4.9GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-410. RX HD3 と入力レベルとの関係 (各種温度、4.9GHz)



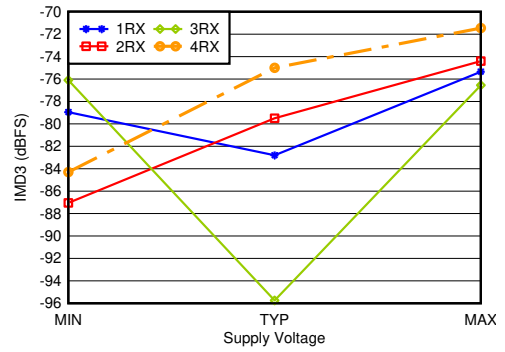
4.9GHz 整合あり、1/3 にデシメーション

図 5-411. RX 帯域内 SFDR (±400MHz) と入力振幅との関係 (各種チャネル、4.9GHz)



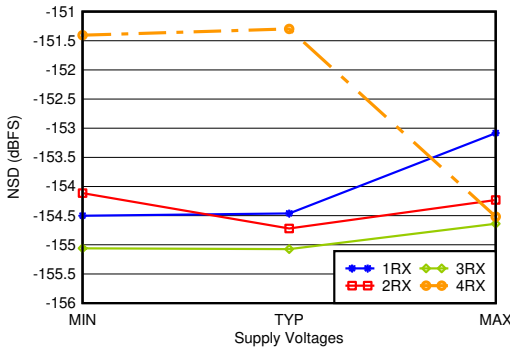
4.9GHz 整合あり

図 5-412. RX (HD2/3 を除く) と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 5-413. RX IMD3 と電源電圧との関係 (各種チャネル、4.9GHz)



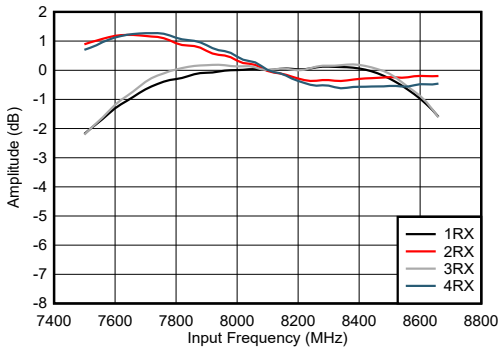
4.9GHz 整合あり、12.5MHz オフセット、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 5-414. RX ノイズ スペクトル密度と電源電圧との関係 (各種チャネル、4.9GHz)

Copyright © 2025 Texas Instruments Incorporated

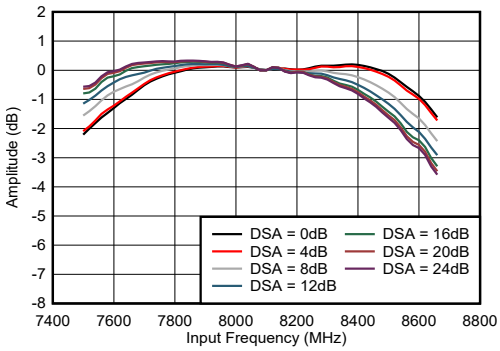
5.12.13 RX 代表的特性：8.1GHz

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 1474.56MSPS (1/2 にデシメーション)、f_{CLK} = 11796.48MHz による外部クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB、8.1GHz 整合あり。



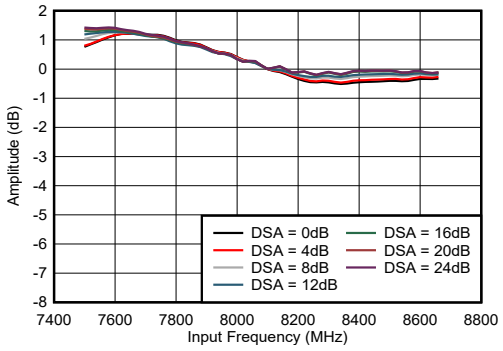
8.11GHz で正規化

図 5-415. RX 振幅と周波数との関係 (各種チャネル)



1RX および 3RX、8.11GHz で正規化

図 5-416. RX 振幅と周波数との関係 (各種 DSA 設定



2RX および 4RX、8.11GHz で正規化

図 5-417. RX 振幅と周波数との関係 (各種 DSA 設定

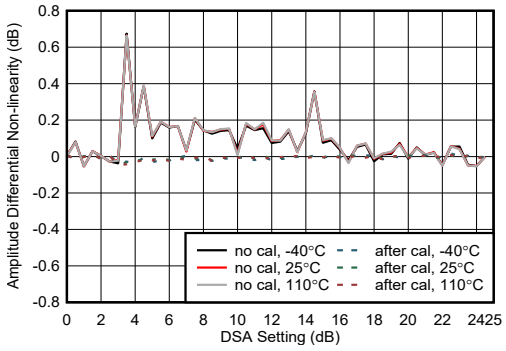


図 5-418. RX 振幅の微分非直線性 (8.11GHz)

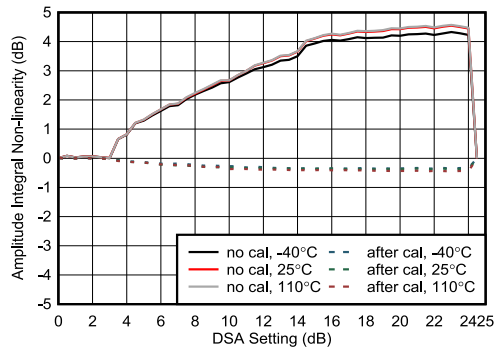


図 5-419. RX 振幅の積分非直線性 (8.11GHz)

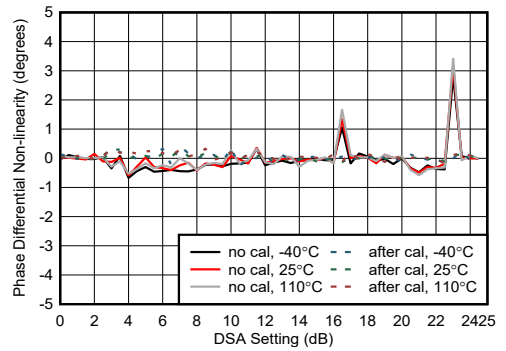


図 5-420. RX 位相の微分非直線性 (8.11GHz)

5.12.13 RX 代表的特性：8.1GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 1474.56MSPS (1/2 にデシメーション)、f_{CLK} = 11796.48MHz による外部クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB、8.1GHz 整合あり。

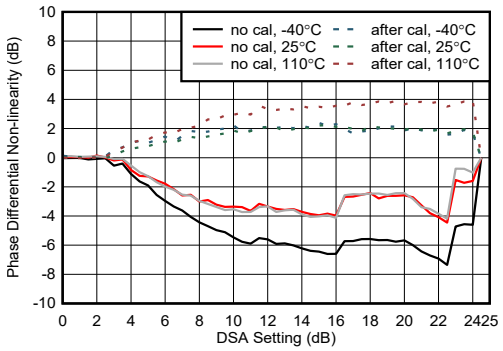
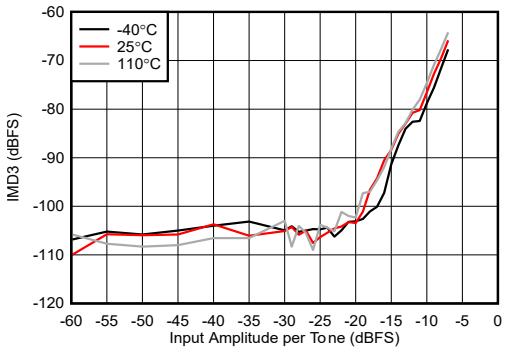
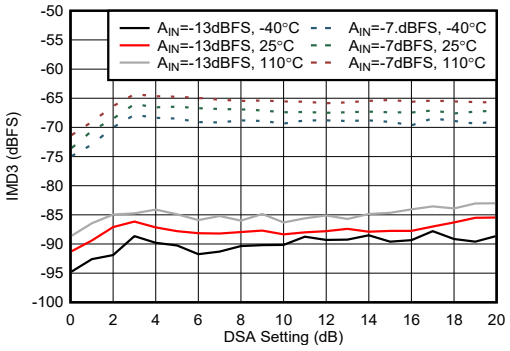


図 5-421. RX 位相の微分非直線性 (8.11GHz)



50MHz のトーン間隔

図 5-422. RX IMD3 と入力振幅との関係 (8.11GHz)



50MHz のトーン間隔

図 5-423. RX IMD3 と DSA 設定との関係 (8.11GHz)

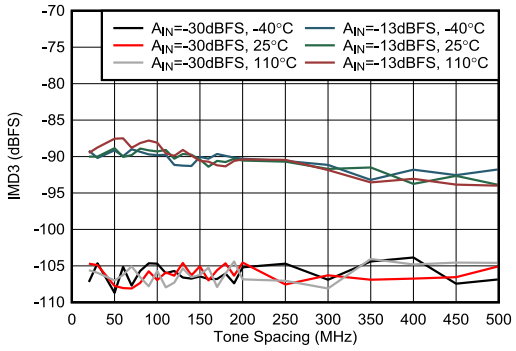


図 5-424. RX IMD3 とトーン間隔との関係 (8.11GHz)

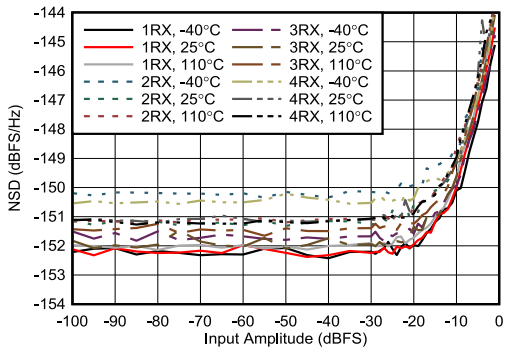


図 5-425. RX NSD とデジタル振幅との関係 (8.11GHz)

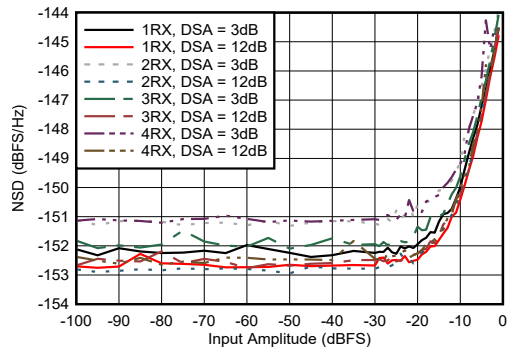


図 5-426. RX NSD とデジタル振幅との関係 (8.11GHz)

Copyright © 2025 Texas Instruments Incorporated

5.12.13 RX 代表的特性：8.1GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 1474.56MSPS (1/2 にデシメーション)、f_{CLK} = 11796.48MHz による外部クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB、8.1GHz 整合あり。

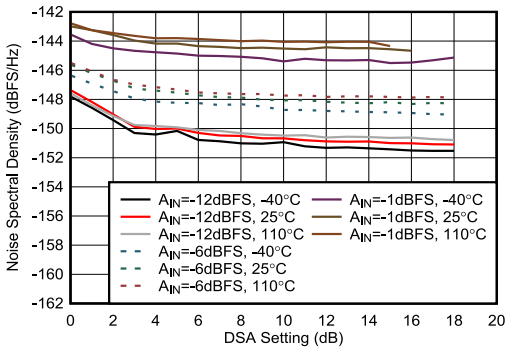
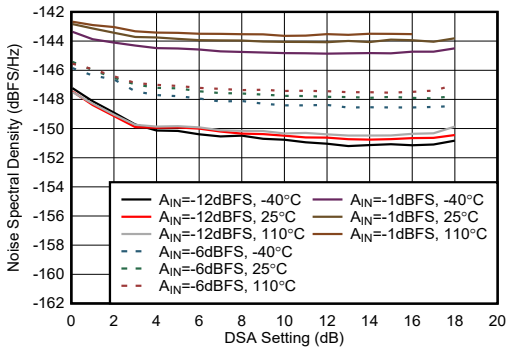


図 5-427. RX NSD と DSA 設定との関係 (8.11GHz)



外部クロック モード

図 5-428. RX NSD と DSA 設定との関係 (8.11GHz)

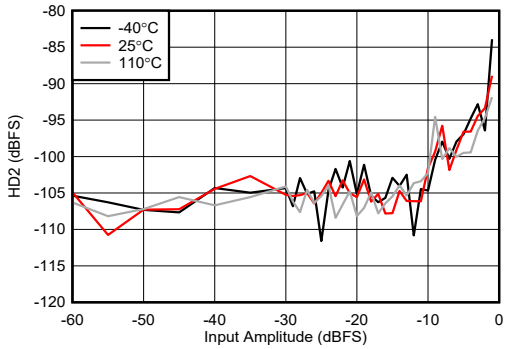


図 5-429. RX HD2 とデジタル振幅との関係 (8.11GHz)

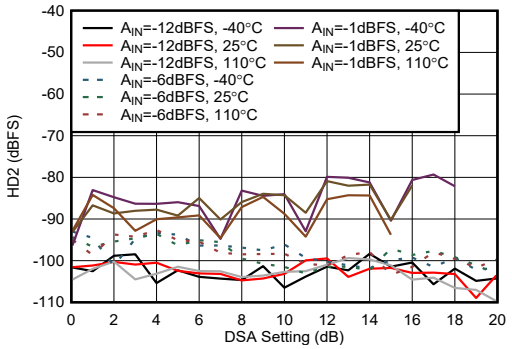


図 5-430. RX HD2 と DSA 設定との関係 (8.11GHz)

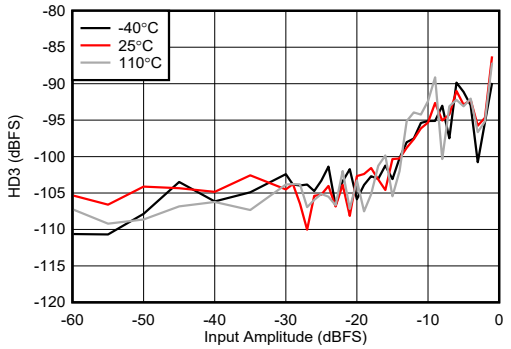


図 5-431. RX HD3 とデジタル振幅との関係 (8.11GHz)

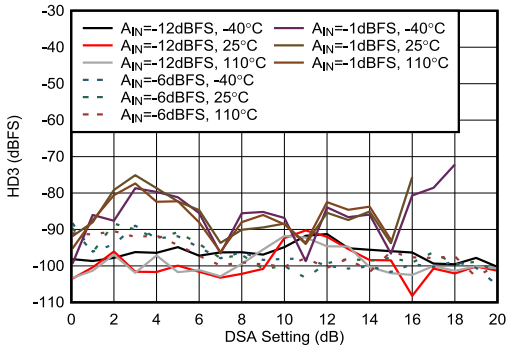
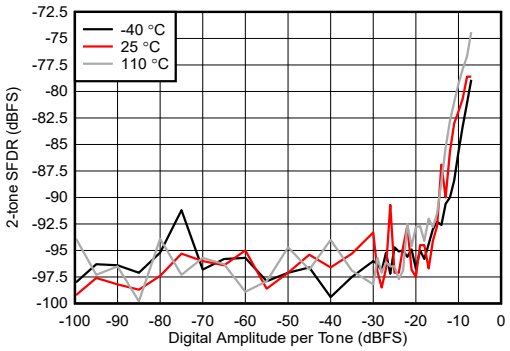


図 5-432. RX HD3 と DSA 設定との関係 (8.11GHz)

Copyright © 2025 Texas Instruments Incorporated

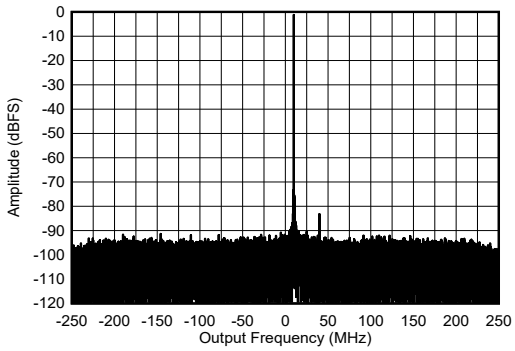
5.12.13 RX 代表的特性：8.1GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 1474.56MSPS (1/2 にデシメーション)、f_{CLK} = 11796.48MHz による外部クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB、8.1GHz 整合あり。



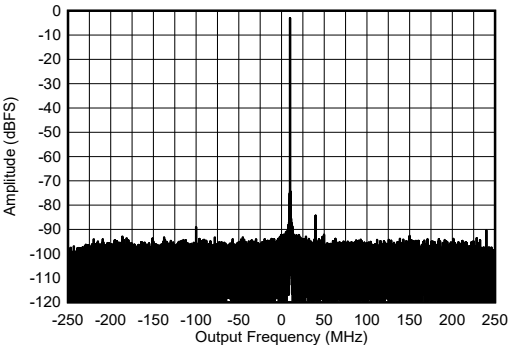
50MHz のトーン間隔

図 5-433. RX 2 トーン SFDR とデジタル振幅との関係 (8.11GHz)



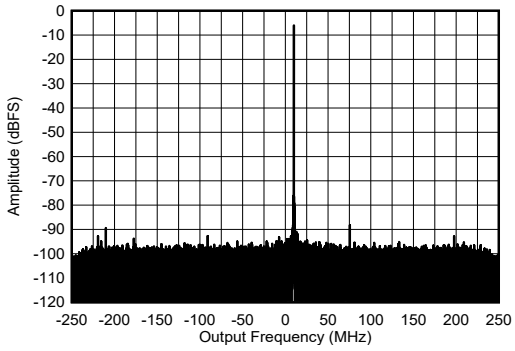
外部クロック モード

図 5-434. RX シングル トーン出力 FFT (8.11GHz、-1dBFS)



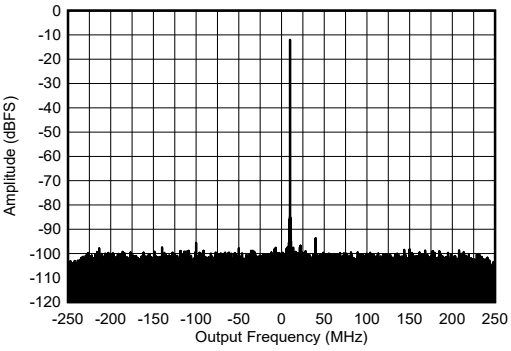
外部クロック モード

図 5-435. RX シングル トーン出力 FFT (8.11GHz、-3dBFS)



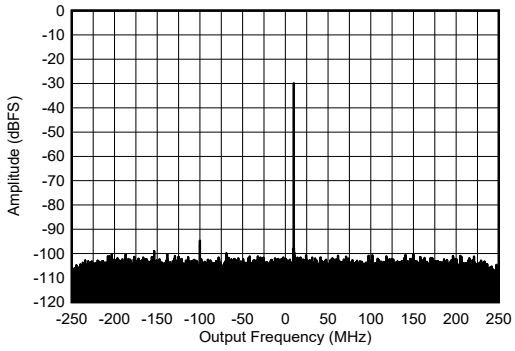
外部クロック モード

図 5-436. RX シングル トーン出力 FFT (8.11GHz、-6dBFS)



外部クロック モード

図 5-437. RX シングル トーン出力 FFT (8.11GHz、-12dBFS)



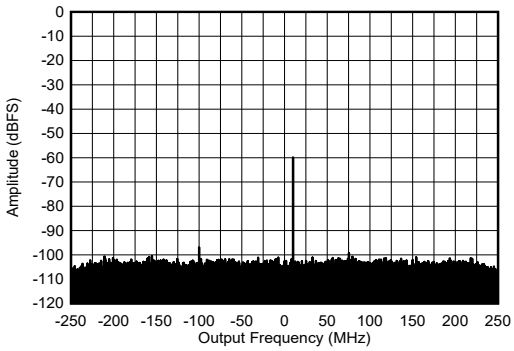
外部クロック モード

図 5-438. RX シングル トーン出力 FFT (8.11GHz、-30dBFS)

Copyright © 2025 Texas Instruments Incorporated

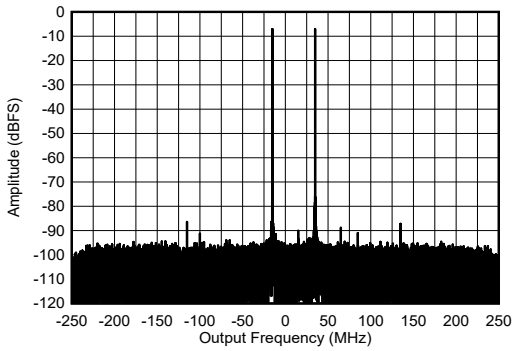
5.12.13 RX 代表的特性：8.1GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 1474.56MSPS (1/2 にデシメーション)、f_{CLK} = 11796.48MHz による外部クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB、8.1GHz 整合あり。



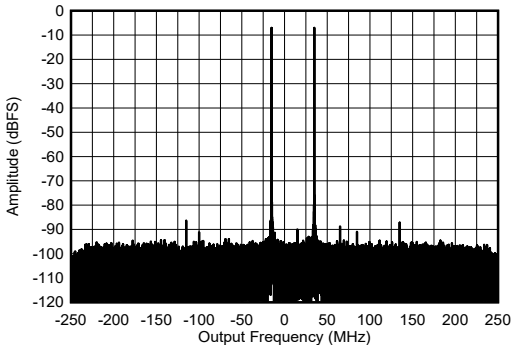
外部クロック モード

図 5-439. RX シングル トーン出力 FFT (8.11GHz、-60dBFS)



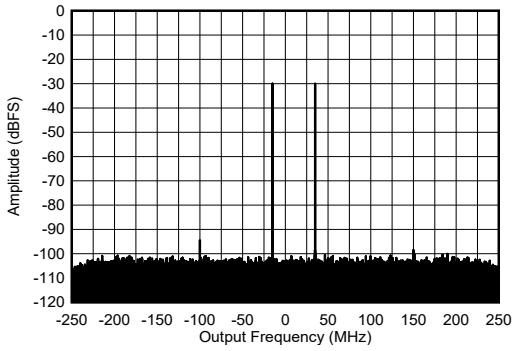
外部クロック モード、各トーン -7dBFS

図 5-440. RX デュアル トーン出力 FFT (8.11GHz)



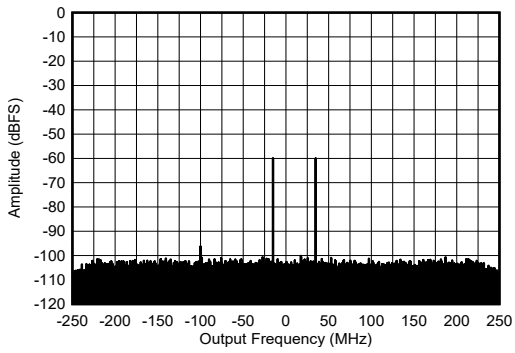
外部クロック モード、各トーン -12dBFS

図 5-441. RX デュアル トーン出力 FFT (8.11GHz)



外部クロック モード、各トーン -30dBFS

図 5-442. RX デュアル トーン出力 FFT (8.11GHz)

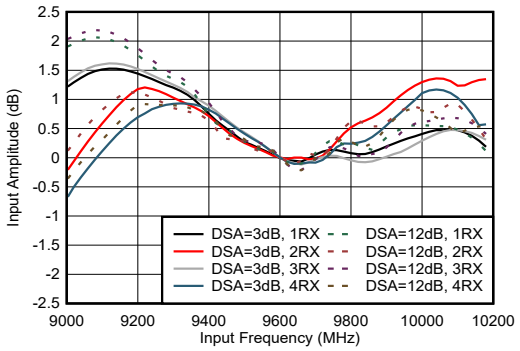


外部クロック モード、各トーン -60dBFS

図 5-443. RX デュアル トーン出力 FFT (8.11GHz)

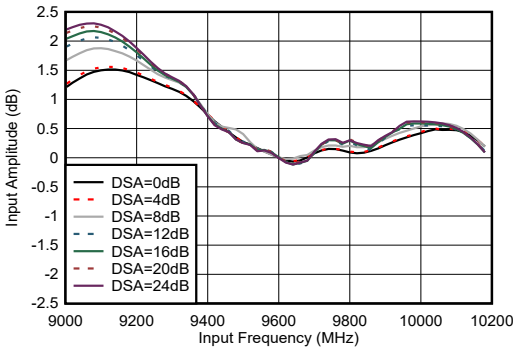
5.12.14 RX 代表的特性：9.6GHz

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 1474.56MSPS (1/2 にデシメーション)、f_{CLK} = 11796.48MHz による外部クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB、9.6GHz 整合あり。



9.6GHzRX に正規化された入力振幅と周波数との関係（9.6）

図 5-444. RX 入力振幅と周波数との関係



9.6GHz で正規化

図 5-445. GHz

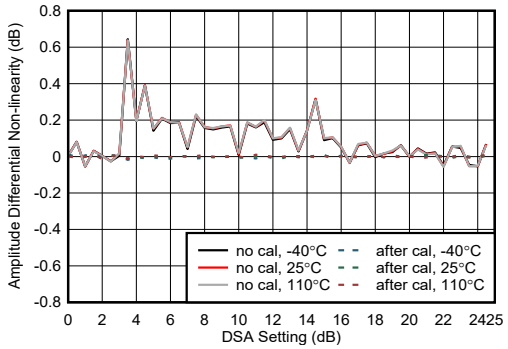


図 5-446. RX 振幅の微分非直線性 (9.6GHz)

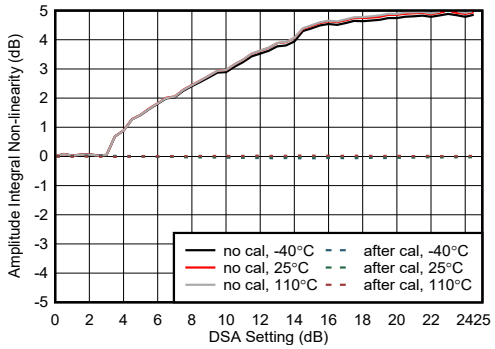


図 5-447. RX 振幅の積分非線形性 (9.6GHz)

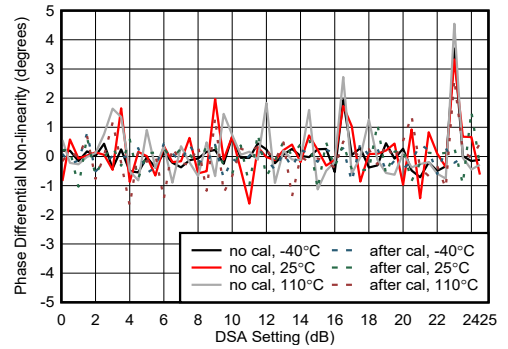


図 5-448. RX 位相の微分非直線性 (9.6GHz)

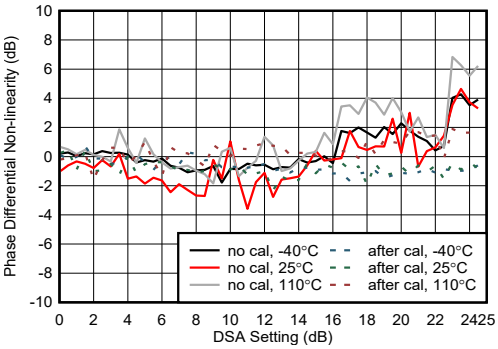


図 5-449. RX 位相の積分非線形性 (9.6GHz)

Copyright © 2025 Texas Instruments Incorporated

5.12.14 RX 代表的特性：9.6GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 1474.56MSPS (1/2 にデシメーション)、f_{CLK} = 11796.48MHz による外部クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB、9.6GHz 整合あり。

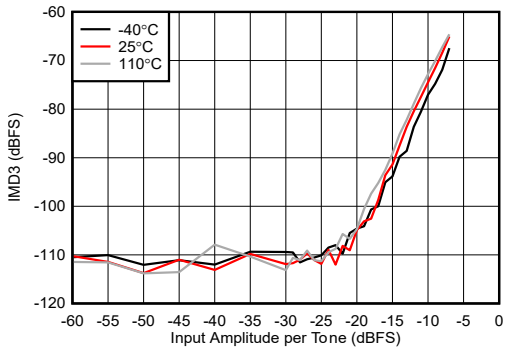
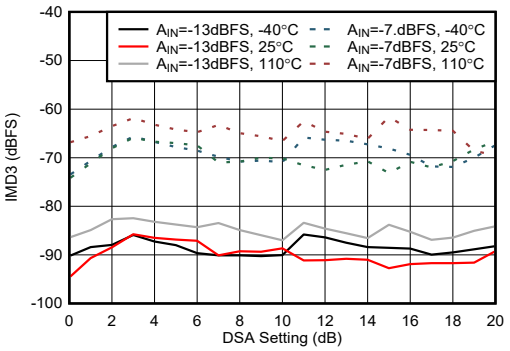
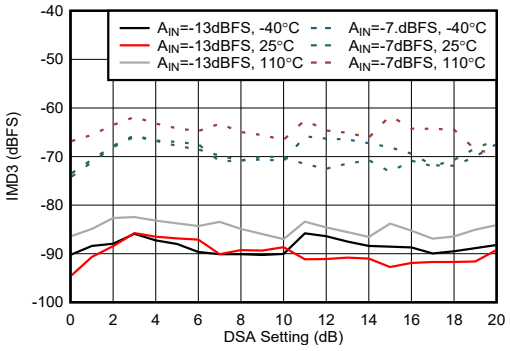


図 5-450. RX IMD3 とデジタル振幅との関係 (9.6GHz)



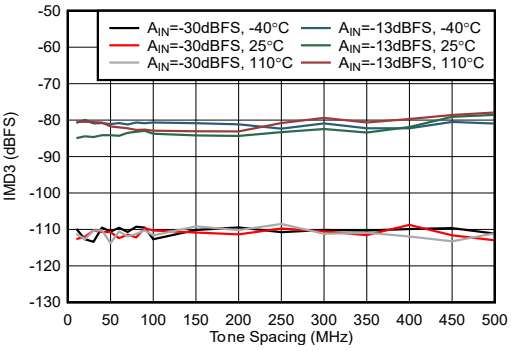
50MHz のトーン間隔

図 5-451. RX IMD3 と DSA 設定との関係 (9.6GHz)



50MHz のトーン間隔

図 5-452. RX IMD3 と DSA 設定との関係 (9.6GHz)



50MHz のトーン間隔

図 5-453. RX IMD3 とトーン間隔との関係 (9.6GHz)

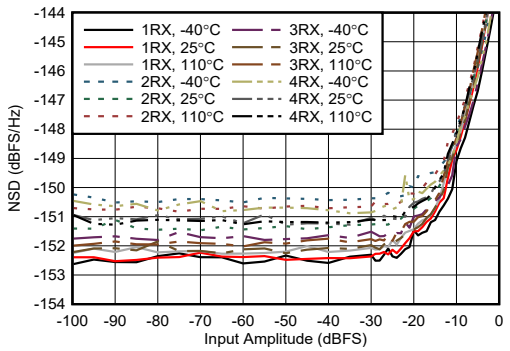


図 5-454. RX NSD とデジタル振幅との関係 (9.6GHz)

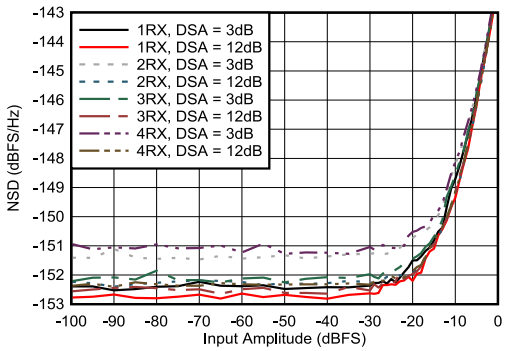


図 5-455. RX NSD とデジタル振幅との関係 (9.6GHz)

Copyright © 2025 Texas Instruments Incorporated

5.12.14 RX 代表的特性：9.6GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 1474.56MSPS (1/2 にデシメーション)、f_{CLK} = 11796.48MHz による外部クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB、9.6GHz 整合あり。

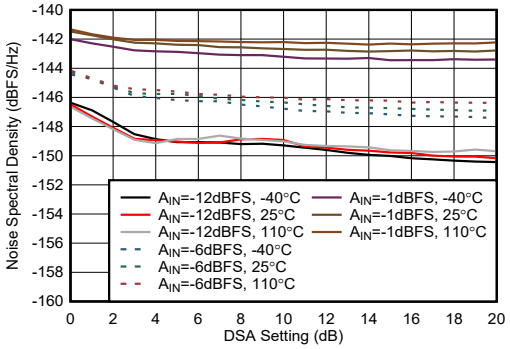


図 5-456. RX NSD と DSA 設定との関係 (9.6GHz)

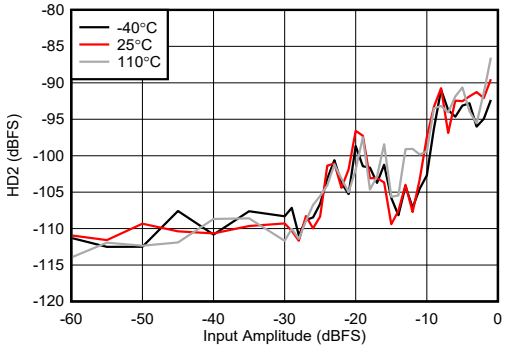


図 5-457. RX HD2 とデジタル レベルとの関係 (9.6GHz)

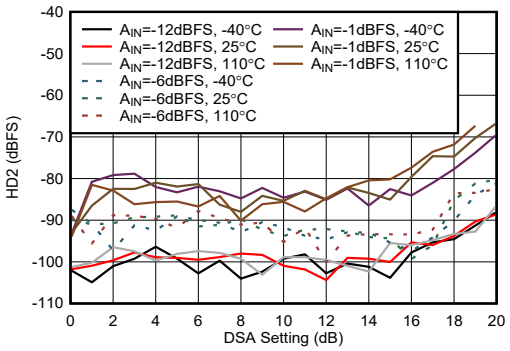


図 5-458. RX HD2 と DSA 設定との関係 (9.6GHz)

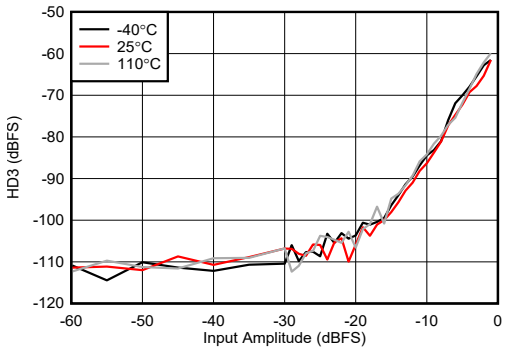


図 5-459. RX HD3 とデジタル レベルとの関係 (9.6GHz)

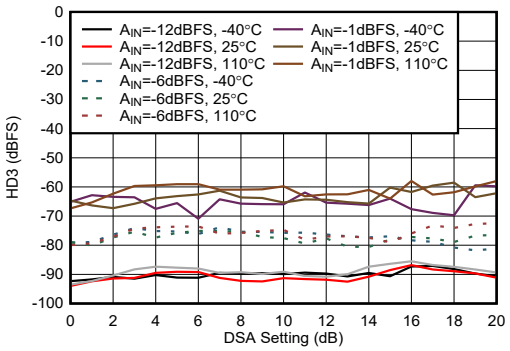
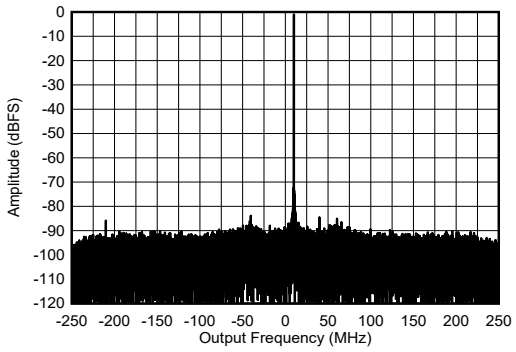


図 5-460. RX HD3 と DSA 設定との関係 (9.6GHz)



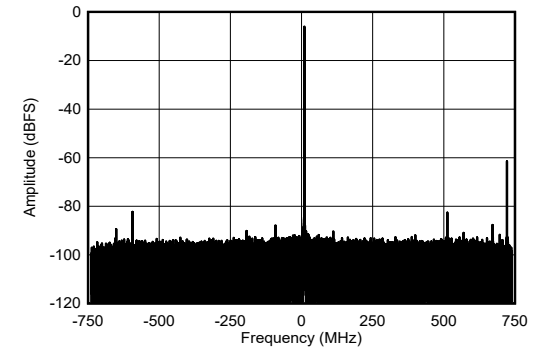
-1dBFS

図 5-461. RX シングル トーン出力 FFT (9.61GHz)

Copyright © 2025 Texas Instruments Incorporated

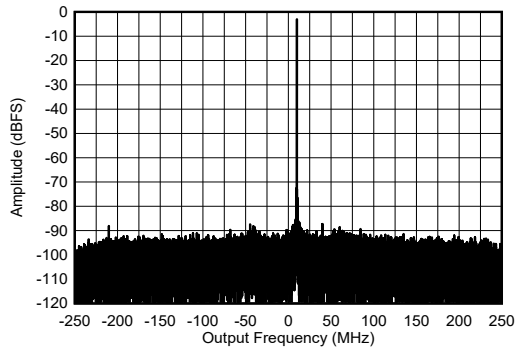
5.12.14 RX 代表的特性：9.6GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 1474.56MSPS (1/2 にデシメーション)、f_{CLK} = 11796.48MHz による外部クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB、9.6GHz 整合あり。



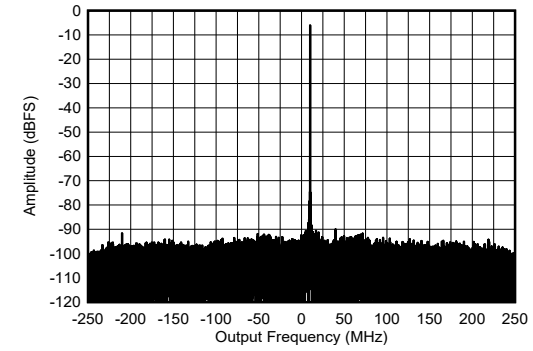
-6dBFS

図 5-462. RX シングル トーン出力 FFT (9.61GHz)



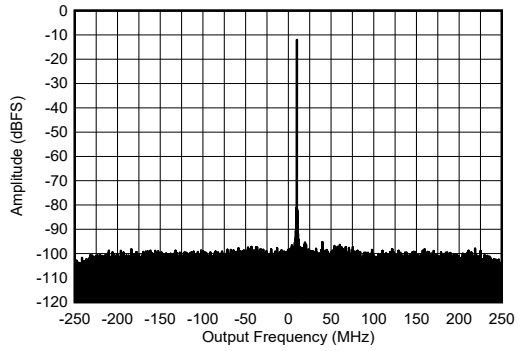
-3dBFS

図 5-463. RX シングル トーン出力 FFT (9.61GHz)



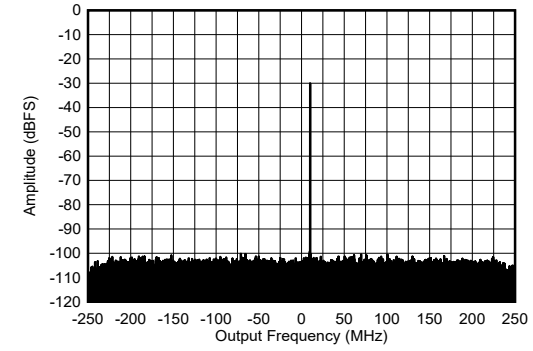
-6dBFS

図 5-464. RX シングル トーン出力 FFT (9.61GHz)



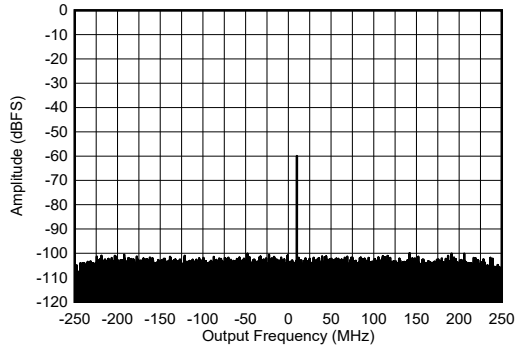
-12dBFS

図 5-465. RX シングル トーン出力 FFT (9.61GHz)



-30dBFS

図 5-466. RX シングル トーン出力 FFT (9.61GHz)



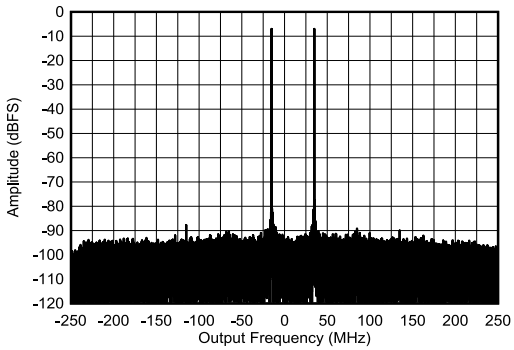
-60dBFS

図 5-467. RX シングル トーン出力 FFT (9.61GHz)

Copyright © 2025 Texas Instruments Incorporated

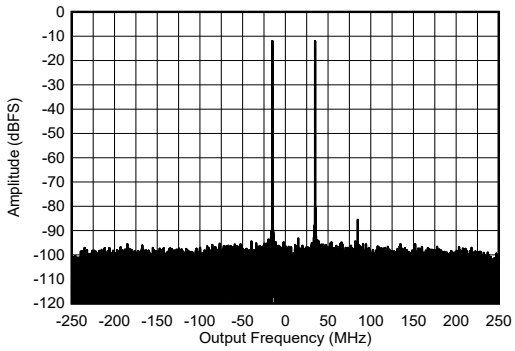
5.12.14 RX 代表的特性：9.6GHz (続き)

T_A = +25℃、ADC サンプリング レート = 2949.12GHz での代表値。デフォルト条件：出力サンプル レート = 1474.56MSPS (1/2 にデシメーション)、f_{CLK} = 11796.48MHz による外部クロック モード、A_{IN} = -3dBFS、DSA 設定 = 3dB、9.6GHz 整合あり。



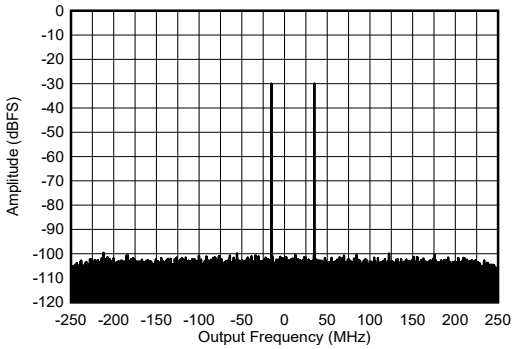
9.585 および 9.635GHz、各トーン -7dBFS

図 5-468. RX ツー トーン出力 FFT (9.61GHz)



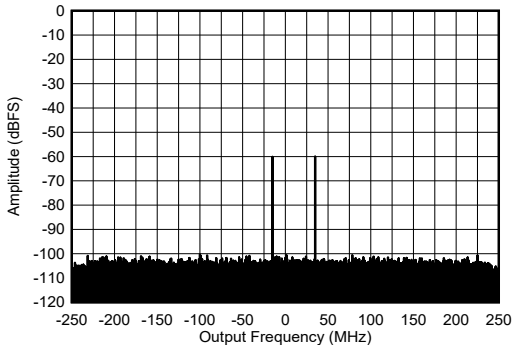
9.585 および 9.635GHz、各トーン -12dBFS

図 5-469. RX ツー トーン出力 FFT (9.61GHz)



9.585 および 9.635GHz、各トーン -30dBFS

図 5-470. RX ツー トーン出力 FFT (9.61GHz)

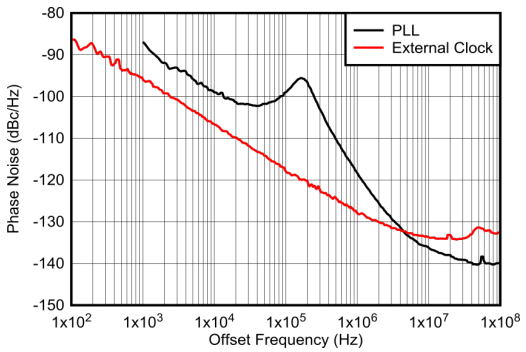


9.585 および 9.635GHz、各トーン -60dBFS

図 5-471. RX ツー トーン出力 FFT (9.61GHz)

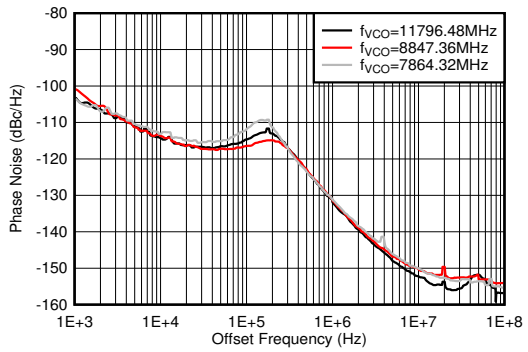
Copyright © 2025 Texas Instruments Incorporated

5.12.15 PLL およびクロックの代表的特性



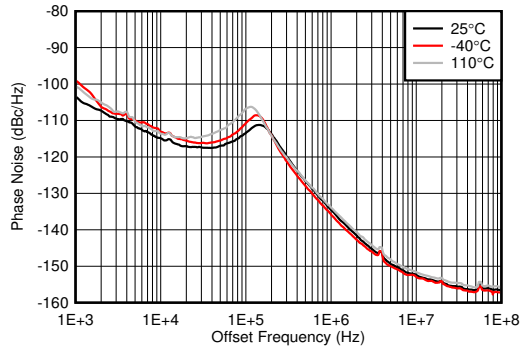
TX 出力で測定、20 x log10 で 12GHz に正規化 (12GHz/F_{OUT})

図 5-472. 位相ノイズとオフセット周波数との関係 (PLL、外部クロック、12GHz)



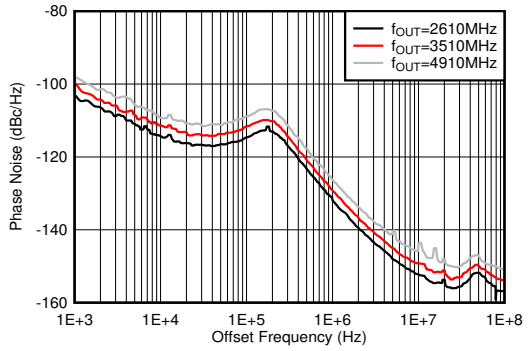
PLL イネーブル、f_{REF} = 491.52MSPS、TX 出力で測定

図 5-473. 位相ノイズとオフセット周波数との関係 (各種 f_{VCO}、f_{OUT} = 2610MHz)



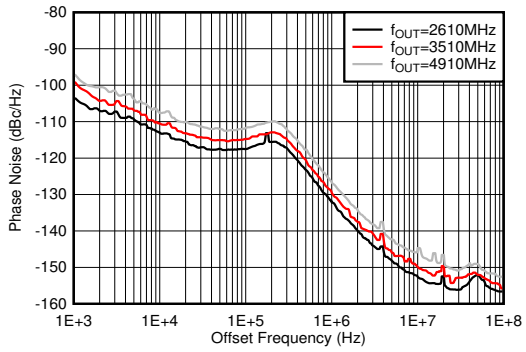
PLL イネーブル、f_{VCO} = 11796.48MHz、f_{REF} = 491.52MSPS、TX 出力で測定

図 5-474. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種温度、f_{OUT} = 1910MHz)



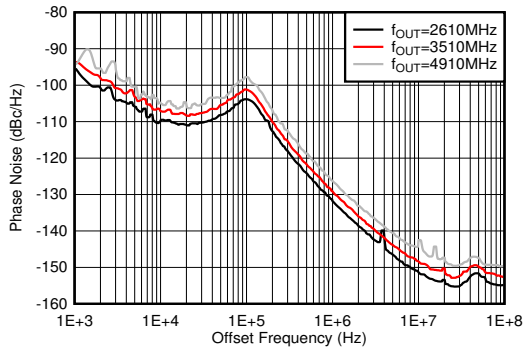
PLL イネーブル、f_{VCO} = 11796.48MHz、f_{REF} = 491.52MSPS、TX 出力で測定

図 5-475. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、25℃)



PLL イネーブル、f_{VCO} = 11796.48MHz、f_{REF} = 491.52MSPS、TX 出力で測定

図 5-476. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、-40℃)

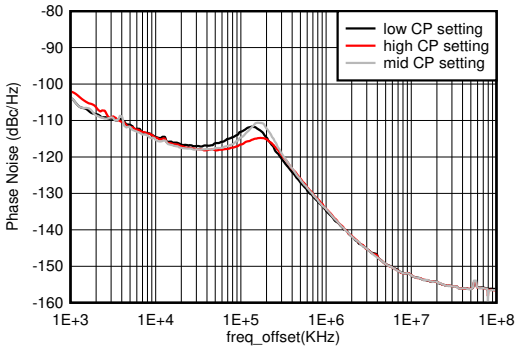


PLL イネーブル、f_{VCO} = 11796.48MHz、f_{REF} = 491.52MSPS、TX 出力で測定

図 5-477. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、110℃)

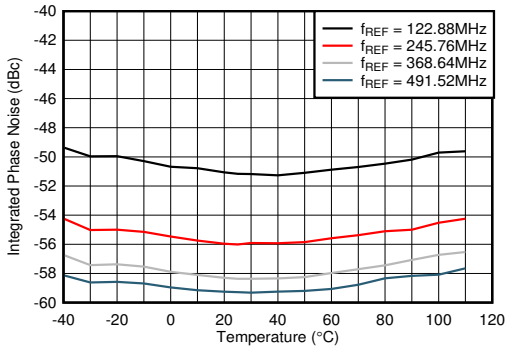
Copyright © 2025 Texas Instruments Incorporated

5.12.15 PLL およびクロックの代表的特性 (続き)



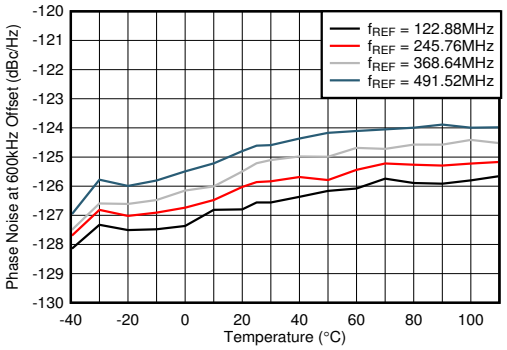
PLL イネーブル、f_{VCO} = 11796.48MHz、f_{REF} = 491.52MSPS、TX 出力で測定

図 5-478. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種 CP 設定、f_{OUT} = 2.6GHz)



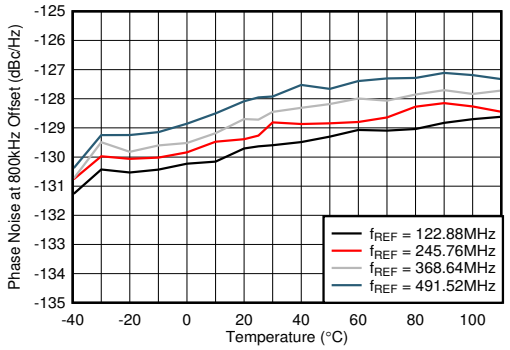
PLL イネーブル、f_{VCO} = 11796.48MHz、1kHz～100MHz、片側積分帯域幅、TX 出力で測定

図 5-479. 12GHz VCO の積分位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz)



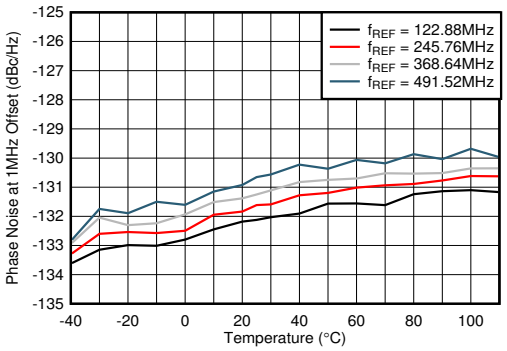
PLL イネーブル、f_{VCO} = 11796.48MHz、TX 出力で測定

図 5-480. 12GHz VCO の位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz、600kHz オフセット)



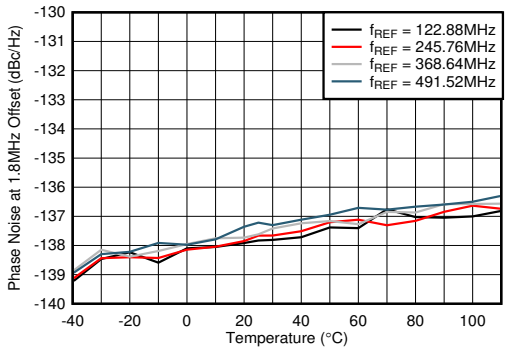
A. PLL イネーブル、f_{VCO} = 11796.48MHz、TX 出力で測定

図 5-481. 12GHz VCO の位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz、800kHz オフセット)



PLL イネーブル、f_{VCO} = 11796.48MHz、TX 出力で測定

図 5-482. 1 MHz オフセット時の 12 GHz VCO の位相ノイズと温度の関係 (f_{OUT} = 2.6 GHz のとき f_{REF})

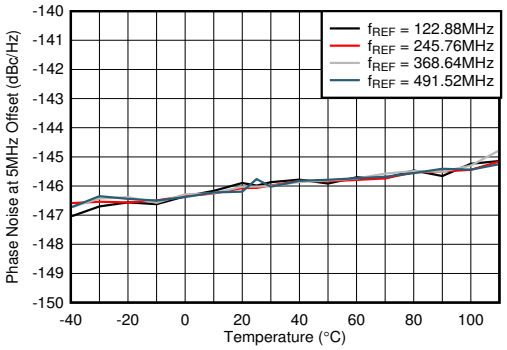


PLL イネーブル、f_{VCO} = 11796.48MHz、TX 出力で測定

図 5-483. 1.8 MHz オフセット時の 12 GHz VCO の位相ノイズと温度の関係 (f_{OUT} = 2.6 GHz のとき f_{REF})

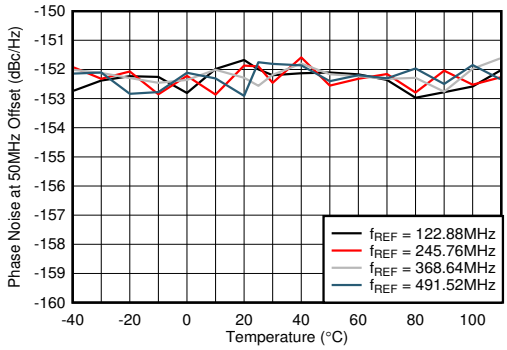
Copyright © 2025 Texas Instruments Incorporated

5.12.15 PLL およびクロックの代表的特性 (続き)



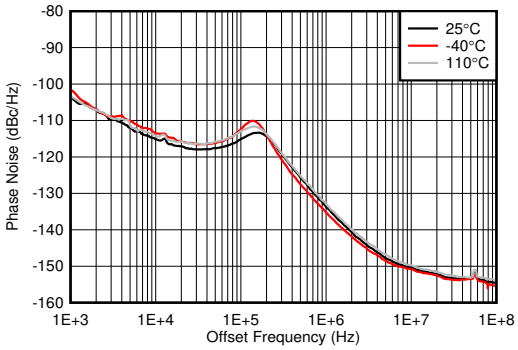
PLL イネーブル、f_{VCO} = 11796.48MHz、TX 出力で測定

図 5-484. 5 MHz オフセット時の 12 GHz VCO の位相ノイズと温度の関係 (f_{OUT} = 2.6 GHz のとき f_{REF})



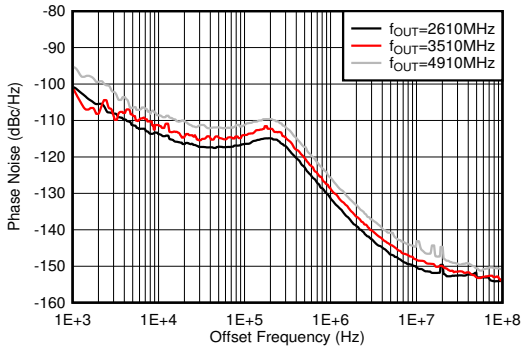
PLL イネーブル、f_{VCO} = 11796.48MHz、TX 出力で測定

図 5-485. 50 MHz オフセット時の 12 GHz VCO の位相ノイズと温度の関係 (f_{OUT} = 2.6 GHz のとき f_{REF})



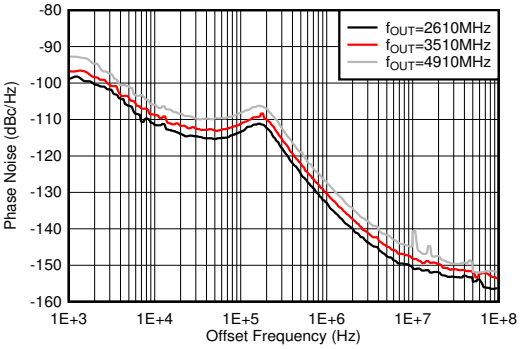
PLL イネーブル、f_{VCO} = 9830.4MHz、f_{REF} = 491.52MSPS、TX 出力で測定

図 5-486. 10GHz VCO の位相ノイズとオフセット周波数との関係 (各種温度、f_{OUT} = 1910MHz)



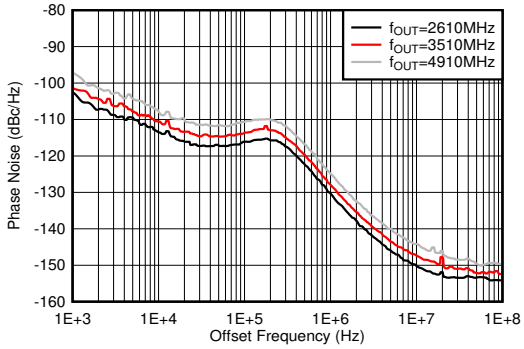
PLL イネーブル、f_{VCO} = 9830.4MHz、f_{REF} = 491.52MSPS、TX 出力で測定

図 5-487. 10GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、25℃)



PLL イネーブル、f_{VCO} = 9830.4MHz、f_{REF} = 491.52MSPS、TX 出力で測定

図 5-488. 10GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、-40℃)

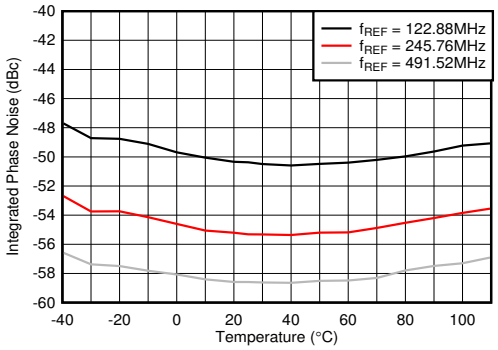


PLL イネーブル、f_{VCO} = 9830.4MHz、f_{REF} = 491.52MSPS、TX 出力で測定

図 5-489. 10GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、110℃)

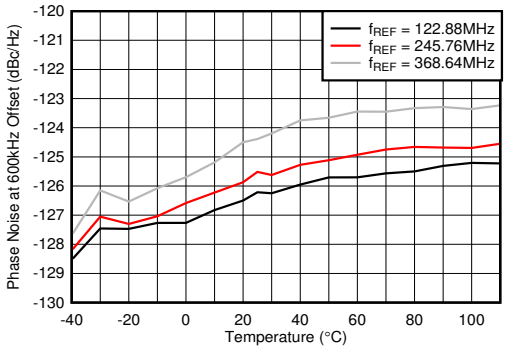
Copyright © 2025 Texas Instruments Incorporated

5.12.15 PLL およびクロックの代表的特性 (続き)



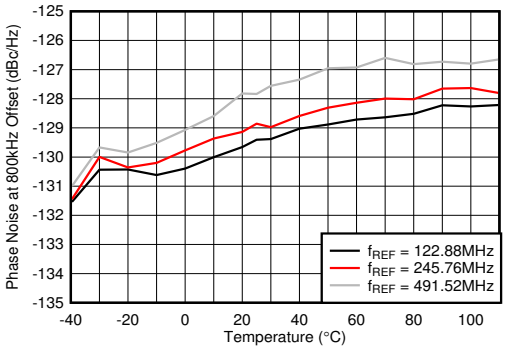
PLL イネーブル、f_{VCO} = 9830.4MHz、1kHz～100MHz、片側積分帯域幅、TX 出力で測定

図 5-490. 10GHz VCO の積分位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz)



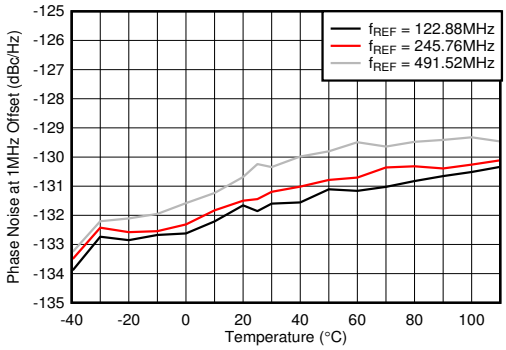
PLL イネーブル、f_{VCO} = 9830.4MHz、TX 出力で測定

図 5-491. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz、600kHz オフセット)



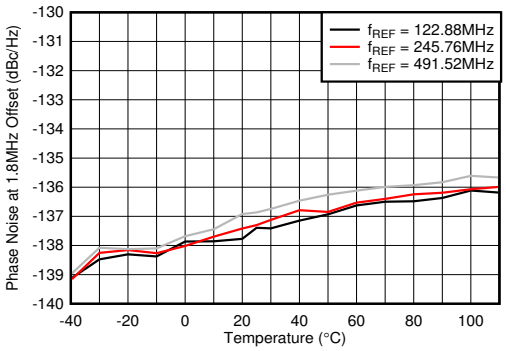
PLL イネーブル、f_{VCO} = 9830.4MHz、TX 出力で測定

図 5-492. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz、800kHz オフセット)



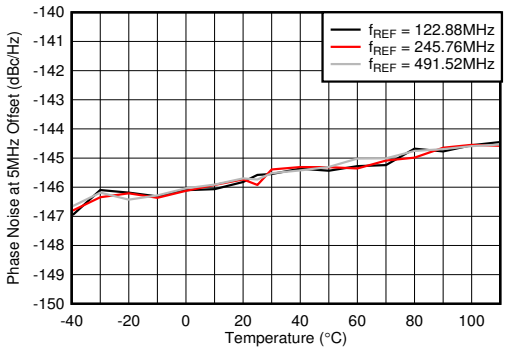
PLL イネーブル、f_{VCO} = 9830.4MHz、TX 出力で測定

図 5-493. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz、1MHz オフセット)



PLL イネーブル、f_{VCO} = 9830.4MHz、TX 出力で測定

図 5-494. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz、1.8MHz オフセット)

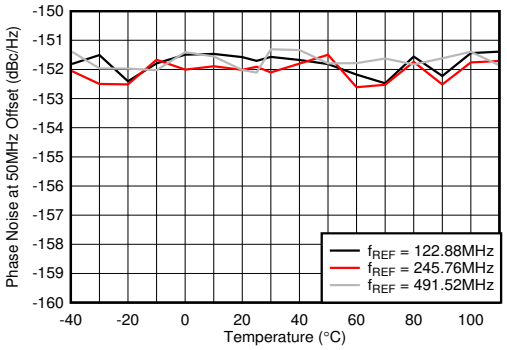


PLL イネーブル、f_{VCO} = 9830.4MHz、TX 出力で測定

図 5-495. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz、5MHz オフセット)

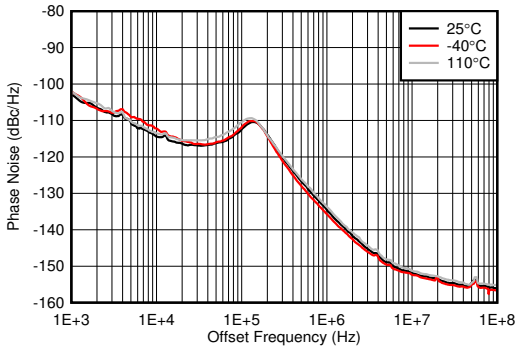
Copyright © 2025 Texas Instruments Incorporated

5.12.15 PLL およびクロックの代表的特性 (続き)



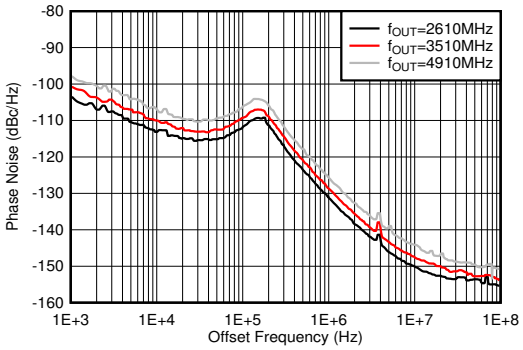
PLL イネーブル、f_{VCO} = 9830.4MHz、TX 出力で測定

図 5-496. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF}、f_{OUT} = 2.6GHz、50MHz オフセット)



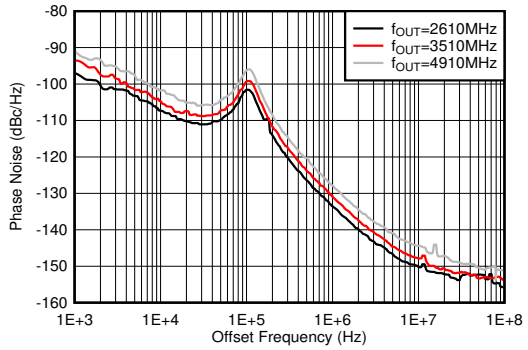
PLL イネーブル、f_{VCO} = 8847.36MHz、f_{REF} = 491.52MSPS、TX 出力で測定

図 5-497. 9GHz VCO の位相ノイズとオフセット周波数との関係 (各種温度、f_{OUT} = 1910MHz)



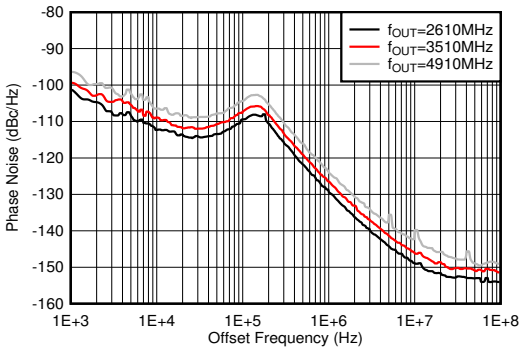
PLL イネーブル、f_{VCO} = 8847.36MHz、f_{REF} = 491.52MSPS、TX 出力で測定

図 5-498. 9GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、25℃)



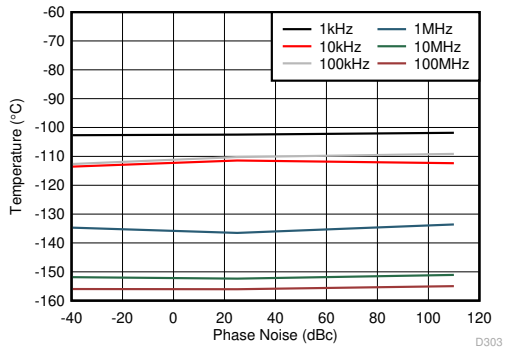
PLL イネーブル、f_{VCO} = 8847.36MHz、f_{REF} = 491.52MSPS、TX 出力で測定

図 5-499. 9GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、-40℃)



PLL イネーブル、f_{VCO} = 8847.36MHz、f_{REF} = 491.52MSPS、TX 出力で測定

図 5-500. 9GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT}、110℃)

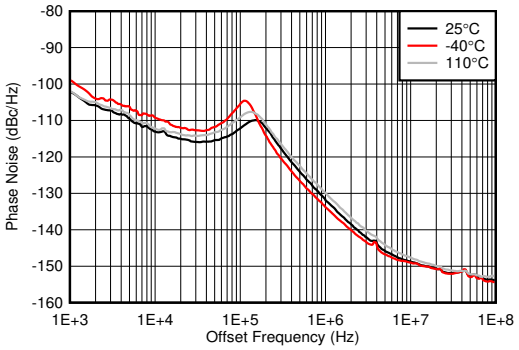


PLL イネーブル、f_{VCO} = 8847.36MHz、f_{REF} = 491.52MSPS、最小 LPF BW、TX 出力で測定

図 5-501. 9GHz VCO の位相ノイズと温度との関係 (各種オフセット周波数、f_{OUT} = 2.6GHz)

Copyright © 2025 Texas Instruments Incorporated

5.12.15 PLL およびクロックの代表的特性 (続き)



PLL イネーブル、f_{VCO} = 7864.32MHz、f_{REF} = 491.52MSPS、TX 出力で測定

図 5-502. 8GHz VCO の位相ノイズとオフセット周波数との関係 (各種温度、f_{OUT} = 1910MHz)

Copyright © 2025 Texas Instruments Incorporated

6 デバイスおよびドキュメントのサポート

6.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

6.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

6.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

6.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

6.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

7 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from MAY 24, 2023 to MAY 1, 2025 (from Revision * (May 2023) to Revision A (May 2025)) **Page**

- RX 入力の最大電力が、RF ADC の電気的特性から絶対最大定格へと移動 11

8 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、本ドキュメントは改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AFE7951IABJ	Active	Production	FCBGA (ABJ) | 400	90 | JEDEC TRAY (5+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 85	AFE7951I
AFE7951IALK	Active	Production	FCBGA (ALK) | 400	90 | JEDEC TRAY (5+1)	No	SNPB	Level-3-220C-168 HR	-40 to 85	AFE7951 SNPB

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

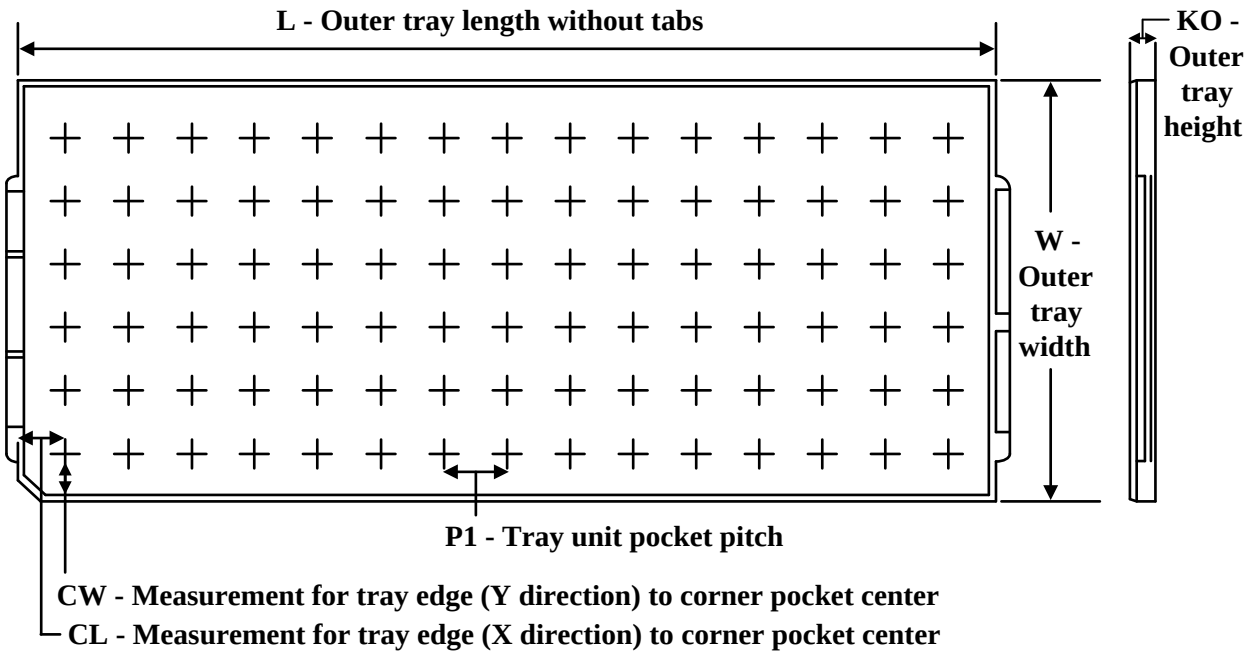
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

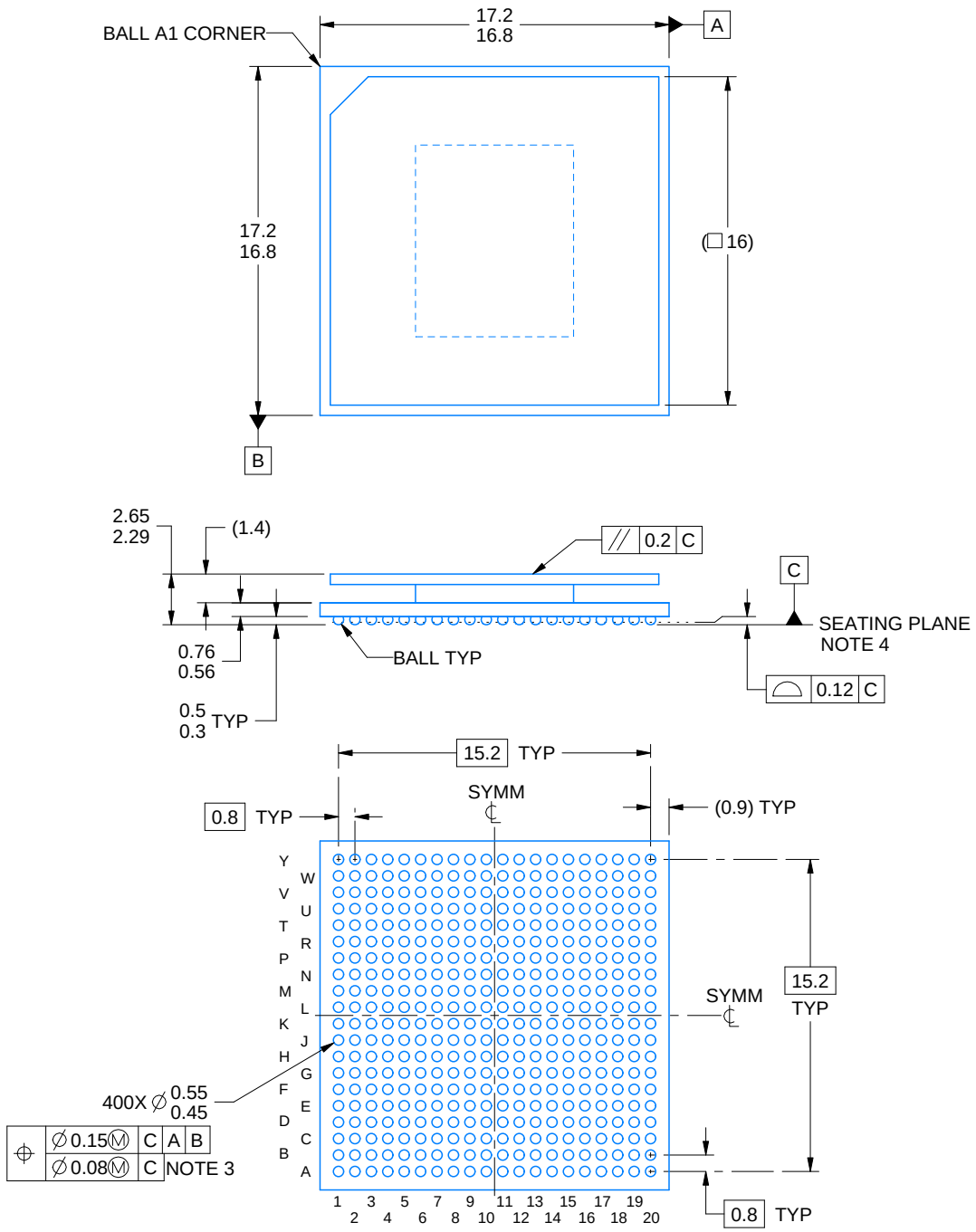
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
AFE7951IABJ	ABJ	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
AFE7951IABJ	ABJ	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
AFE7951IALK	ALK	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
AFE7951IALK	ALK	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2

PACKAGE OUTLINE

ABJ0400A

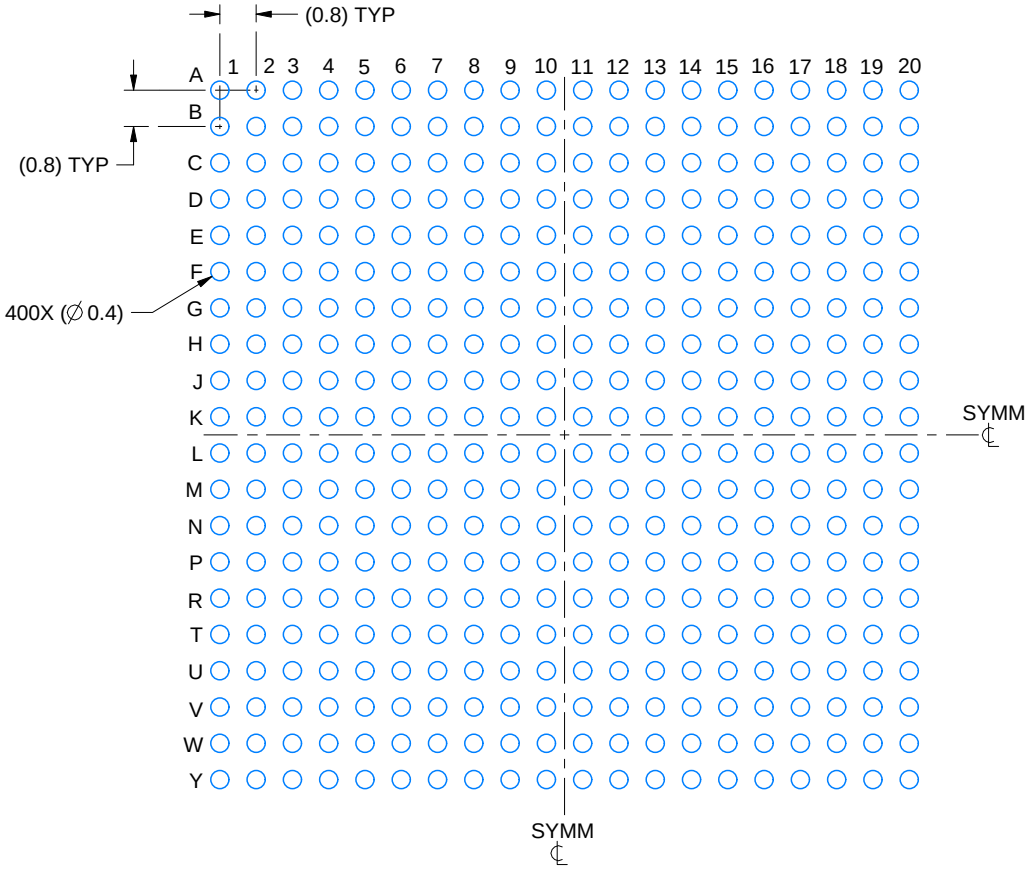
FCBGA - 2.65 mm max height

BALL GRID ARRAY

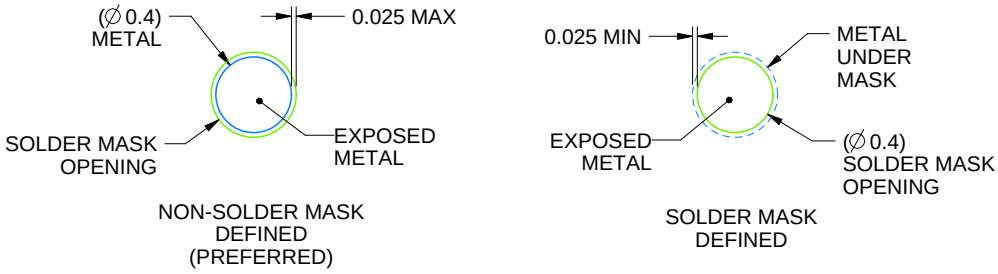


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Dimension is measured at the maximum solder ball diameter, parallel to primary datum C.
4. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.
5. The lids are electrically floating (e.g. not tied to GND).



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

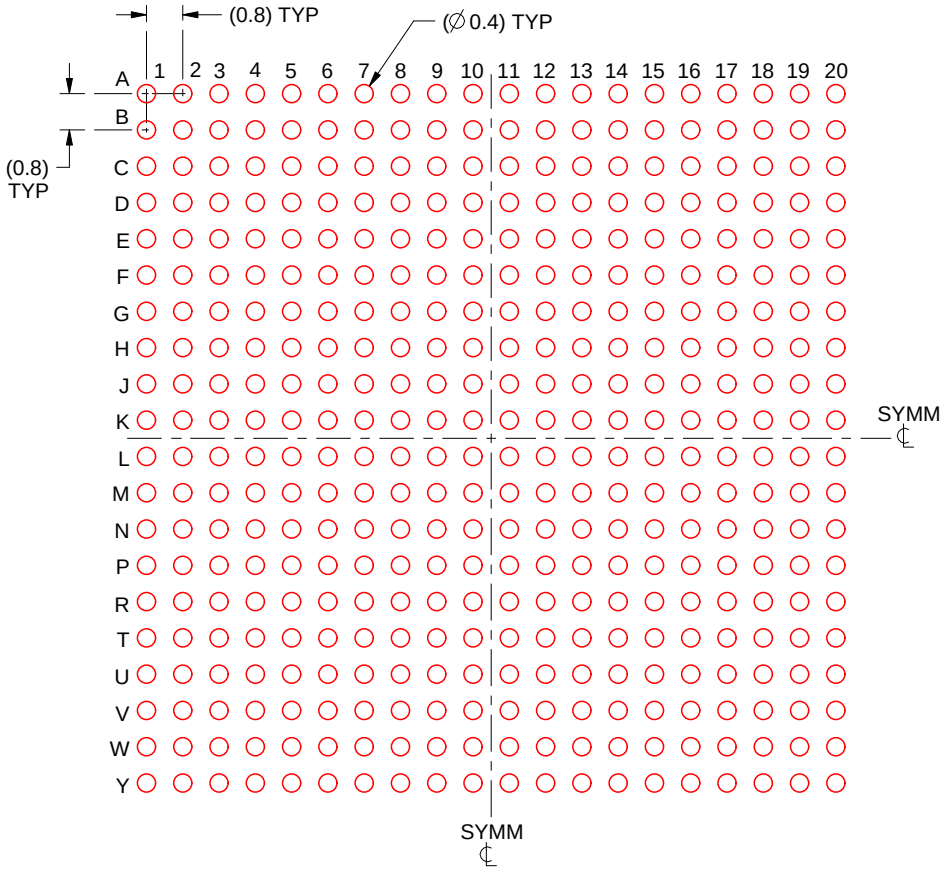


SOLDER MASK DETAILS
NOT TO SCALE

4221311/D 03/2023

NOTES: (continued)

6. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE:6X

4221311/D 03/2023

NOTES: (continued)

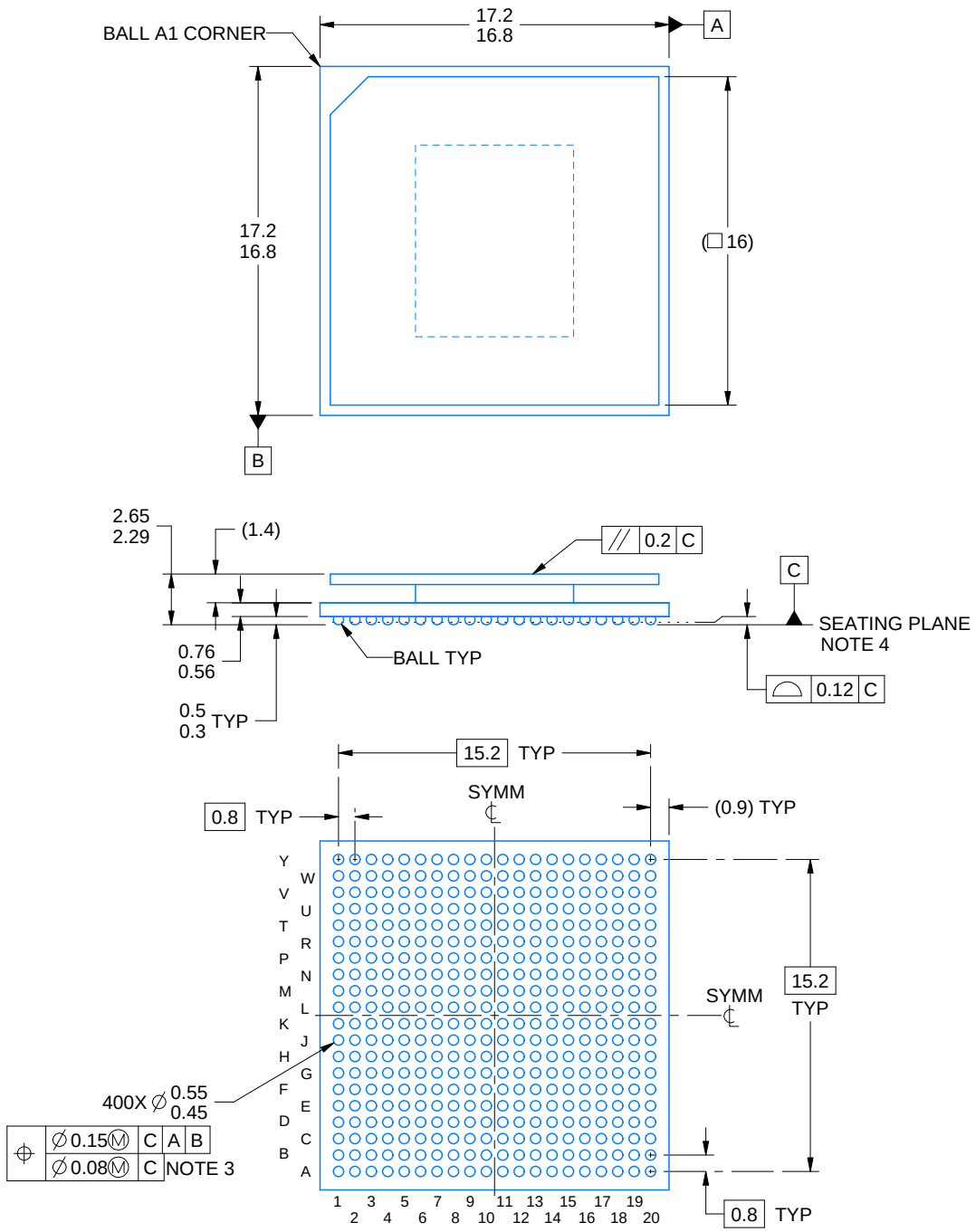
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

ALK0400A

PACKAGE OUTLINE

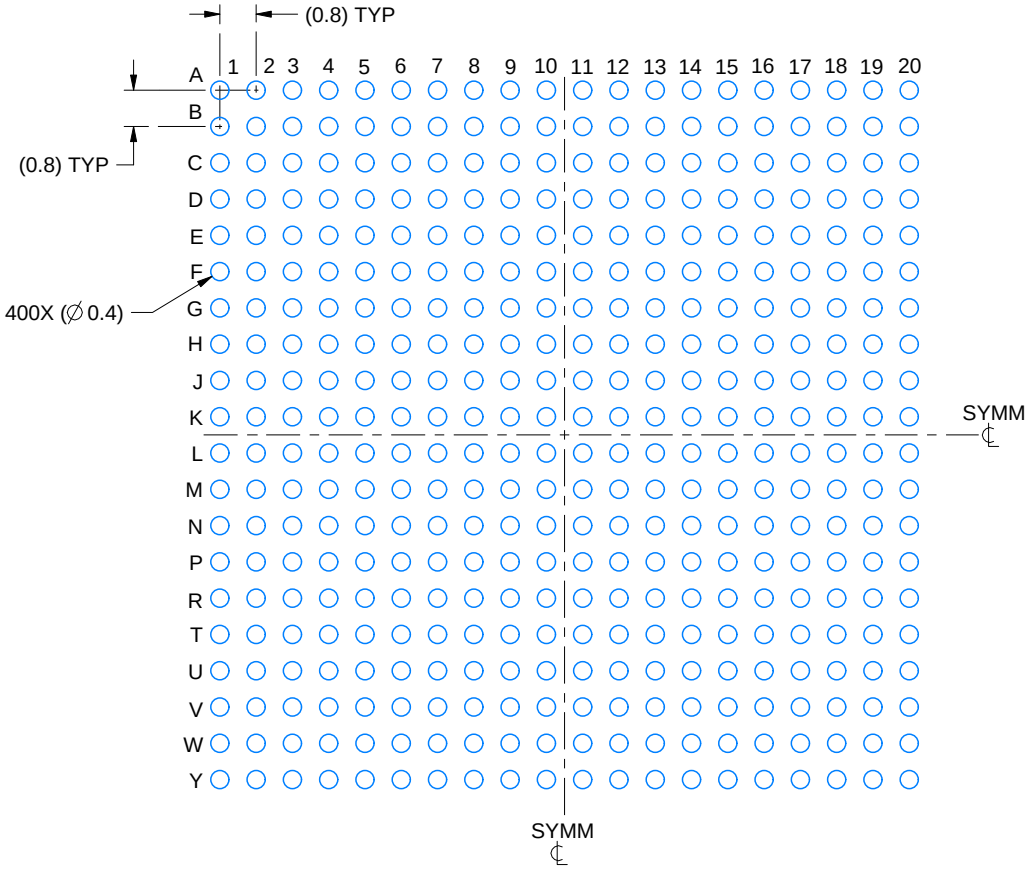
FCBGA - 2.65 mm max height

BALL GRID ARRAY

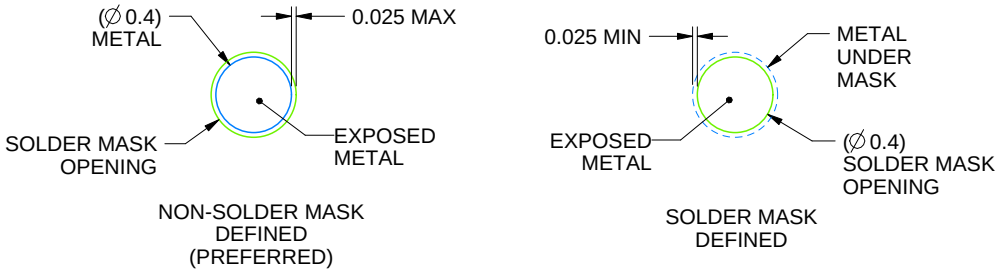


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Dimension is measured at the maximum solder ball diameter, parallel to primary datum C.
4. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.
5. Pb-Free die bump and SnPb solder ball.
6. The lids are electrically floating (e.g. not tied to GND).



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

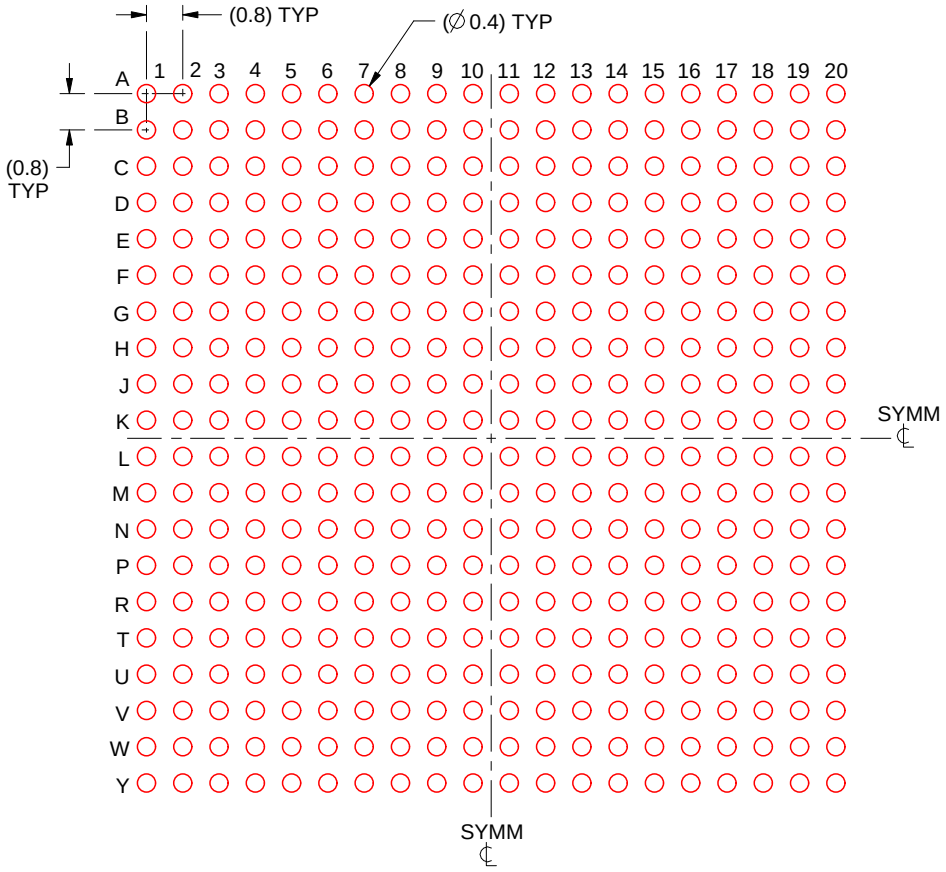


SOLDER MASK DETAILS
NOT TO SCALE

4225930/C 03/2023

NOTES: (continued)

7. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE:6X

4225930/C 03/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月