

# AFEx82H1 16 ビットおよび 14 ビット、低消費電力 D/A コンバータ (DAC)、 HART® モデム、電圧リファレンス、プロセス制御用診断 ADC 内蔵

## 1 特長

- 機能安全対応
  - 機能安全システムの設計に役立つ資料を利用可能
- 低い静止電流: 180μA (標準値)
- HART® 準拠の物理レイヤ モデム
  - TX 信号の振幅をプログラム可能
  - RX 復調器とバンドパス フィルタ
- 16 ビットまたは 14 ビット、モノリシック高性能 DAC
  - 1.8V 電源: 出力範囲 0V ~ 1.25V
  - 5V 電源: 出力範囲 0V ~ 2.5V
  - デジタル DAC スルーレート制御
  - 16 ビットでの INL, 4LSB
  - -40°C ~ +125°C の範囲で TUE が 0.07% FSR (最大値)
- 高度な診断向け、12 ビット、3.84kSPS の ADC (A/D コンバータ)
- 10ppm/°C (最大値) の内蔵 1.25V リファレンス
- クロック出力付き内蔵 1.2288MHz 発振器
- デジタル インターフェイス
  - シリアル ペリフェラル インターフェイス (SPI): DAC および HART 用の共有バス
  - UART (Universal Asynchronous Receiver-Transmitter): DAC および HART 用の共有バス
  - 両方: DAC 用の SPI と HART 用の UART
- フォルト検出: CRC ビット エラー チェック、ウィンドウ付きウォッチドッグ タイマ、診断 ADC
- 広い動作温度範囲: -55°C ~ +125°C

## 2 アプリケーション

- プロセス制御および産業用オートメーション
- PLC または DCS I/O モジュール
- 3 線式および 4 線式のトランスミッタ
- 4mA ~ 20mA ループ電源アプリケーション

## 3 説明

16 ビットの AFE882H1 および 14 ビットの AFE782H1 (AFEx82H1) は、HART 対応のプロセス制御および産業用オートメーション アプリケーション向けに設計された高集積、高精度、超低消費電力の電圧出力 DAC です。

AFEx82H1 デバイスには、4mA から 20mA の 3 線式または 4 線式センサ トランスミッタまたはアナログ出力モジュールを設計するために必要な構成要素のほとんどが含まれています。これらのデバイスには、高精度な DAC に加えて、HART® 準拠 FSK モデム、10ppm/°C の電圧リファレンス、および診断用 A/D コンバータ (ADC) が内蔵されています。内在的および機能安全上の問題に対応するには、外部の電圧電流変換と、電源のレギュレーションが必要です。

内蔵の診断 ADC は複数の内部ノードに多重化されており、自動的な自己ヘルス チェックを可能にしています。このチェックにより、内蔵のバイアス源や電源レギュレータ、電圧リファレンス、DAC 出力、ダイ温度に関するエラーや故障を検出でき、さらにオプションとして外部電圧源の問題も検出できます。診断用 ADC、CRC フレーム エラーチェック、あるいはウィンドウ付きのウォッチドッグ タイマから、いずれかの障害が検出された場合、本デバイスは (オプションとして) 割り込みの発行、あるいはユーザー指定のフェイルセーフ状態への遷移、またはその両方を開始できます。

### 製品情報

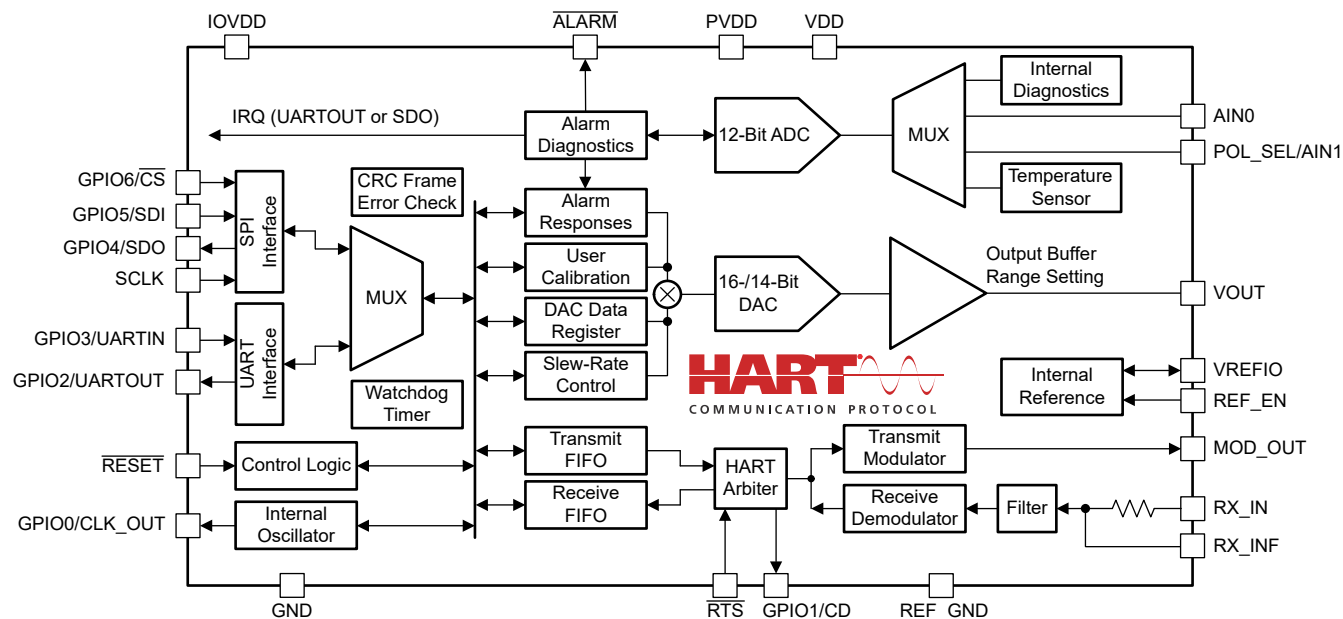
| 部品番号     | 分解能    | パッケージ (1)       |
|----------|--------|-----------------|
| AFE782H1 | 14 ビット | RRU (UQFN, 24)  |
| AFE882H1 | 16 ビット | 4.00mm × 4.00mm |

(1) 詳細については、[セクション 11](#) を参照してください。



# AFE782H1, AFE882H1

JAJSNU3A – DECEMBER 2023 – REVISED SEPTEMBER 2026



機能ブロック図

## 目次

|                           |           |                                           |            |
|---------------------------|-----------|-------------------------------------------|------------|
| <b>1 特長</b> .....         | <b>1</b>  | <b>6.3 機能説明</b> .....                     | <b>28</b>  |
| <b>2 アプリケーション</b> .....   | <b>1</b>  | <b>6.4 デバイスの機能モード</b> .....               | <b>61</b>  |
| <b>3 説明</b> .....         | <b>1</b>  | <b>6.5 プログラミング</b> .....                  | <b>65</b>  |
| <b>4 ピン構成および機能</b> .....  | <b>4</b>  | <b>7 レジスタ マップ</b> .....                   | <b>80</b>  |
| <b>5 仕様</b> .....         | <b>6</b>  | <b>7.1 AFE<sub>x</sub>82H1 レジスタ</b> ..... | <b>83</b>  |
| 5.1 絶対最大定格.....           | 6         | <b>8 アプリケーションと実装</b> .....                | <b>116</b> |
| 5.2 ESD 定格.....           | 6         | 8.1 使用上の注意.....                           | 116        |
| 5.3 推奨動作条件.....           | 6         | 8.2 代表的なアプリケーション.....                     | 117        |
| 5.4 熱に関する情報.....          | 6         | 8.3 初期設定.....                             | 124        |
| 5.5 電気的特性.....            | 8         | 8.4 電源に関する推奨事項.....                       | 124        |
| 5.6 タイミング要件.....          | 13        | 8.5 レイアウト.....                            | 125        |
| 5.7 タイミング図.....           | 14        | <b>9 デバイスおよびドキュメントのサポート</b> .....         | <b>126</b> |
| 5.8 代表的特性: VOUT DAC.....  | 15        | 9.1 ドキュメントのサポート.....                      | 126        |
| 5.9 代表的特性: ADC.....       | 21        | 9.2 ドキュメントの更新通知を受け取る方法.....               | 126        |
| 5.10 代表的特性: リファレンス.....   | 22        | 9.3 サポート・リソース.....                        | 126        |
| 5.11 代表的特性: HART モデム..... | 25        | 9.4 商標.....                               | 126        |
| 5.12 代表的特性: 電源.....       | 26        | 9.5 静電気放電に関する注意事項.....                    | 126        |
| <b>6 詳細説明</b> .....       | <b>27</b> | 9.6 用語集.....                              | 126        |
| 6.1 概要.....               | 27        | <b>10 改訂履歴</b> .....                      | <b>127</b> |
| 6.2 機能ブロック図.....          | 27        | <b>11 メカニカル、パッケージ、および注文情報</b> .....       | <b>127</b> |

## 4 ピン構成および機能

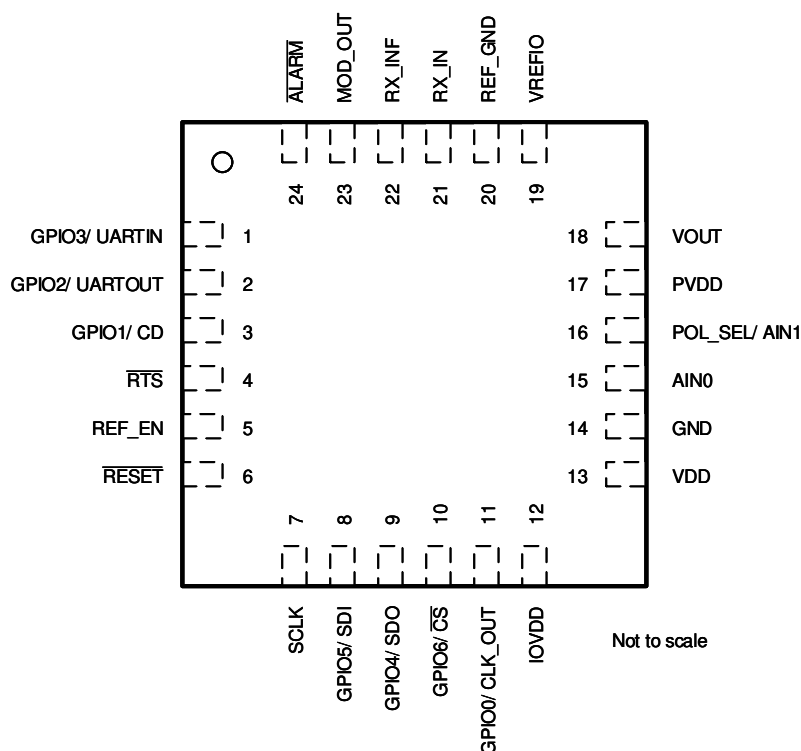


図 4-1. RRU パッケージ、24 ピン UQFN (上面図)

表 4-1. ピンの機能

| ピン                |    | タイプ <sup>(1)</sup> | 説明                                                                                                                                                                                                              |
|-------------------|----|--------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 名称                | 番号 |                    |                                                                                                                                                                                                                 |
| AIN0              | 15 | AI                 | ADC 入力電圧。入力範囲は $0V \sim 2 \times VREF$ です。                                                                                                                                                                      |
| アラーム              | 24 | DO                 | アラーム通知ピン。オープンドレイン、アクティブ <b>Low</b> 。アラーム条件がアサートされると、このピンはロジック <b>Low</b> に保持されます。それ以外の場合、このピンはハイ インピーダンス状態 ( <b>Hi-Z</b> ) になります。                                                                               |
| GND               | 14 | P                  | デジタルおよびアナログ グランド。デバイスの全回路のグラウンド基準点。                                                                                                                                                                             |
| GPIO0/<br>CLK_OUT | 11 | DO/DI              | 汎用入出力 (GPIO) ポートのピン。1.2288MHz の内部クロックを出力するクロック出力、またはタイマとして設定できます。駆動されていない場合はハイ インピーダンス。外付けのプルアップ抵抗またはプルダウン抵抗が必要です。                                                                                              |
| GPIO1/<br>CD      | 3  | DO/DI              | 汎用入出力 (GPIO) ポートのピン。電源投入時は、キャリア検出出力として設定されます。このピンがロジック <b>High</b> のときは、有効なキャリアが存在することを示します。駆動されていない場合はハイ インピーダンス。外付けのプルアップ抵抗またはプルダウン抵抗が必要です。                                                                   |
| GPIO2/<br>UARTOUT | 2  | DO/DI              | 汎用入出力 (GPIO) ポートのピン。電源投入時は、UART データ出力として設定されます。このピンは、SPI 専用モードで IRQ ピンとして機能するように設定できます。駆動されていない場合はハイ インピーダンス。外付けのプルアップ抵抗またはプルダウン抵抗が必要です。                                                                        |
| GPIO3/<br>UARTIN  | 1  | DI/DO              | 汎用入出力 (GPIO) ポートのピン。電源投入時は、UART データ入力として設定されます。未使用時は IOVDD ピンに接続してください。外付けのプルアップ抵抗またはプルダウン抵抗が必要です。                                                                                                              |
| GPIO4/<br>SDO     | 9  | DO/DI              | 汎用入出力 (GPIO) ポートのピン。SPI モードでは、SPI データ出力として設定できます。CS が <b>Low</b> のとき、SCLK の立ち上がりエッジでデータが出力されます。UART ブレーク モード (UBM) での割り込み要求 (IRQ) ピン。電源投入時、出力はハイ インピーダンスです。CONFIG レジスタで有効にする必要があります。外付けのプルアップ抵抗またはプルダウン抵抗が必要です。 |
| GPIO5/<br>SDI     | 8  | DI/DO              | 汎用入出力 (GPIO) ポートのピン。電源投入時は、SPI データ入力として設定されます。データは、シリアル クロック入力の立ち下がりエッジで、24 ビットの入力シフトレジスタにクロック入力されます。SDI は、シュミットトリガのロジック入力です。外付けのプルアップ抵抗またはプルダウン抵抗が必要です。                                                        |

**表 4-1. ピンの機能 (続き)**

| ピン               |    | タイプ <sup>(1)</sup> | 説明                                                                                                                                                                                                  |
|------------------|----|--------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 名称               | 番号 |                    |                                                                                                                                                                                                     |
| GPIO6/<br>CS     | 10 | DI/DO              | 汎用入出力 (GPIO) ポートのピン。電源投入時は、SPI チップ セレクト入力として設定されます。 $\overline{CS}$ が Low のとき、データビットはシリアルシフトレジスタに書き込まれます。 $\overline{CS}$ が High のとき、SDO はハイ インピーダンスになり、SDI のデータは無視されます。外付けのプルアップ抵抗またはプルダウン抵抗が必要です。 |
| IOVDD            | 12 | P                  | インターフェイス電源。デジタル入出力回路の電源電圧。この電圧によって、デジタル インターフェイスのロジック レベルが設定されます。                                                                                                                                   |
| MOD_OUT          | 23 | AO                 | FSK 出力の正弦波。サポートされる並列負荷容量は最大 2nF です。                                                                                                                                                                 |
| POL_SEL/<br>AIN1 | 16 | DI/AI              | SPECIAL_CFG.AIN1_ENB ビットが 1 に設定されている場合の ADC 入力電圧。入力範囲は、PVDD > 2.7V のとき $0V \sim 2 \times VREF$ 、PVDD = VDD = 1.8V のとき $0V \sim VREF$ です。それ以外の場合、このピンは ALMV_POL として機能し、VOUT アラーム電圧の極性を設定します。         |
| PVDD             | 17 | P                  | 内部の低ドロップアウトレギュレータ (LDO)、ADC 入力、VOUT DAC 出力用の電源。2.7V ~ 5.5V が供給されると内部 LDO がオンになり、VDD を内部で生成します。1.71V ~ 1.89V が供給されると、内部 LDO は無効になります。                                                                |
| REF_EN           | 5  | DI                 | 内部 VREF イネーブル入力。このピンがロジック High のときは内部 VREF が有効になり、VREFIO ピンから 1.25V が出力されます。このピンがロジック Low のときは内部 VREF が無効になるため、VREFIO ピンに外部から 1.25V のリファレンス電圧を供給する必要があります。                                          |
| REF_GND          | 20 | P                  | VREFIO ピンの GND リファレンス。                                                                                                                                                                              |
| リセット             | 6  | DI                 | リセットピン、アクティブ Low。このピンがロジック Low のときは、内部発振器がオフになり、デバイスがリセットされます。ロジック High にすると、デバイスは通常動作に戻ります。デジタル ピンをフローティングのままにしないでください。                                                                            |
| RTS              | 4  | DI                 | ピンの送信要求。このピンがロジック High のときは、復調器が有効になり、変調器が無効になります。このピンがロジック Low のときは、変調器が有効になり、復調器が無効になります。デジタル ピンをフローティングのままにしないでください。                                                                             |
| RX_IN            | 21 | AI                 | 外部フィルタを使用しない場合は HART FSK 入力。それ以外の場合は接続がありません。                                                                                                                                                       |
| RX_INF           | 22 | AI                 | 外部バンドパス フィルタを使用する場合の HART FSK 入力。HART FSK を RX_IN に接続して内部バンドパス フィルタを使用する場合は、このピンに 680pF のコンデンサを接続します。                                                                                               |
| SCLK             | 7  | DI                 | SPI クロック。データは最大 12.5MHz のレートで転送されます。SCLK は、シュミットトリガのロジック入力です。未使用時は GND ピンに接続し、デジタル ピンをフローティングのままにしないでください。                                                                                          |
| VDD              | 13 | P/AO               | 電源。PVDD ピンに 2.7V ~ 5.5V が供給されると、内部 LDO が有効になり、VDD を内部で生成します。このピンには、1μF ~ 10μF のコンデンサを接続します。PVDD ピンに 1.71V ~ 1.89V が供給される場合は、このピンに外部電源を供給する必要があります。                                                  |
| VOUT             | 18 | AO                 | DAC 出力電圧。                                                                                                                                                                                           |
| VREFIO           | 19 | AI/AO              | REF_EN ピンで内部 VREF が有効になっている場合、このピンは内部 VREF の電圧を出力します。この場合、安定性を保つために 70nF ~ 130nF の負荷容量が必要です。無効の場合、このピンは外部 1.25V 基準電圧の入力になります。                                                                       |

(1) AI = アナログ入力、AO = アナログ出力、DI = デジタル入力、DO = デジタル出力、P = 電源。

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

|                  |          |                               | 最小値  | 最大値         | 単位 |
|------------------|----------|-------------------------------|------|-------------|----|
| 電圧               |          | PVDD、IOVDD ~ GND              | -0.3 | 5.5         | V  |
|                  |          | VDD から GND                    | -0.3 | 1.98        | V  |
|                  |          | AIN0、POL_SEL/AIN1、VOUT ~ GND  | -0.3 | PVDD + 0.3  | V  |
|                  |          | GND へのデジタル入力または出力             | -0.3 | IOVDD + 0.3 | V  |
|                  |          | VREFIO から GND へ               | -0.3 | VDD + 0.3   | V  |
|                  |          | REF_GND から GND へ              | -0.3 | 0.3         | V  |
|                  | HART 電圧  | RX_IN、RX_INF、MOD_OUT から GND へ | -0.3 | VDD + 0.3   | V  |
|                  | 各ピンの入力電流 |                               | -10  | 10          | mA |
| T <sub>J</sub>   | 接合部温度    |                               | -55  | 150         | °C |
| T <sub>stg</sub> | 保存温度     |                               | -65  | 150         |    |

- (1) 「絶対最大定格」の範囲を超える動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

### 5.2 ESD 定格

|                    |      |                                                                  | 値     | 単位 |
|--------------------|------|------------------------------------------------------------------|-------|----|
| V <sub>(ESD)</sub> | 静電放電 | 人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン <sup>(1)</sup>     | ±2000 | V  |
|                    |      | デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン <sup>(2)</sup> | ±500  |    |

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

|                |                         |                        | 最小値  | 公称値  | 最大値  | 単位 |
|----------------|-------------------------|------------------------|------|------|------|----|
|                | PVDD から GND             | PVDD > 2.7V、VDD は内部で生成 | 2.7  |      | 5.5  | V  |
|                |                         | PVDD = VDD             | 1.71 |      | 1.89 | V  |
|                | VDD から GND              |                        | 1.71 |      | 1.89 | V  |
|                | IOVDD から GND へ          |                        | 1.71 |      | 5.5  | V  |
|                | VREFIO から GND へ、外部 VREF |                        | 1.2  | 1.25 | 1.3  | V  |
| T <sub>A</sub> | 周辺温度                    | 規定                     | -40  |      | 125  | °C |
|                |                         | 動作                     | -55  |      | 125  | °C |

### 5.4 熱に関する情報

| 熱評価基準 <sup>1</sup>       |                     | AFE882H1   | 単位   |
|--------------------------|---------------------|------------|------|
|                          |                     | RRU (UQFN) |      |
|                          |                     | 24 ピン      |      |
| R <sub>θJA</sub>         | 接合部から周囲への熱抵抗        | 103.1      | °C/W |
| R <sub>θJC(top)</sub>    | 接合部からケース (上面) への熱抵抗 | 84.4       | °C/W |
| R <sub>θJC(bottom)</sub> | 接合部からケース (底面) への熱抵抗 | 該当なし       | °C/W |
| R <sub>θJB</sub>         | 接合部から基板への熱抵抗        | 69.5       | °C/W |
| Ψ <sub>JT</sub>          | 接合部から上面への特性パラメータ    | 0.4        | °C/W |

| 熱評価基準 <sup>1</sup> |                  | AFE782H1   | 単位   |
|--------------------|------------------|------------|------|
|                    |                  | RRU (UQFN) |      |
|                    |                  | 24 ピン      |      |
| $\Psi_{JB}$        | 接合部から基板への特性パラメータ | 68.4       | °C/W |

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

## 5.5 電気的特性

すべての最小値と最大値は  $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、すべての標準値は  $T_A = 25^{\circ}\text{C}$ 、 $PVDD = IOVDD = 3.3\text{V}$ 、外部または内部  $VREFIO = 1.25\text{V}$ 、 $R_{LOAD} = 50\text{k}\Omega \sim \text{GND}$ 、 $C_{LOAD} = 100\text{pF} \sim \text{GND}$ 、デジタル入力は  $IOVDD$  または  $\text{GND}$  での値 (特に記述のない限り)

| パラメータ                      |                             | テスト条件                                                                    | 最小値   | 標準値     | 最大値  | 単位                          |
|----------------------------|-----------------------------|--------------------------------------------------------------------------|-------|---------|------|-----------------------------|
| <b>VOOUT DAC 安定動作</b>      |                             |                                                                          |       |         |      |                             |
|                            | 分解能                         | AFE882H1                                                                 | 16    |         |      | ビット                         |
|                            |                             | AFE782H1                                                                 | 14    |         |      |                             |
| INL                        | 積分非直線性 <sup>(1)</sup>       | AFE882H1, $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$          | -12   |         | 12   | LSB                         |
|                            |                             | AFE882H1, $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$           | -4    |         | 4    |                             |
|                            |                             | AFE782H1                                                                 | -3    |         | 3    |                             |
| DNL                        | 微分非直線性 <sup>(1)</sup>       |                                                                          | -1    |         | 1    | LSB                         |
| TUE                        | 総合未調整誤差 <sup>(1)</sup>      | $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$                    | -0.1  |         | 0.1  | %FSR                        |
|                            |                             | $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$                     | -0.08 |         | 0.08 |                             |
|                            |                             | $T_A = 25^{\circ}\text{C}$                                               | -0.05 |         | 0.05 |                             |
|                            | ゼロコード誤差、負荷なし                | $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$                    |       |         | 1    | mV                          |
|                            |                             | $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$                     |       |         | 1    |                             |
|                            |                             | $T_A = 25^{\circ}\text{C}$                                               |       |         | 0.5  |                             |
|                            | ゼロコード誤差の温度係数                |                                                                          |       | $\pm 3$ |      | ppm/ $^{\circ}\text{C}$     |
|                            | オフセット誤差 <sup>(1)</sup>      | $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$                    | -0.07 |         | 0.07 | %FSR                        |
|                            |                             | $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$                     | -0.05 |         | 0.05 |                             |
|                            |                             | $T_A = 25^{\circ}\text{C}$                                               | -0.03 |         | 0.03 |                             |
|                            | オフセット誤差の温度係数 <sup>(1)</sup> |                                                                          |       | $\pm 3$ |      | ppm/ $^{\circ}\text{C}$     |
|                            | ゲイン誤差 <sup>(1)</sup>        | $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$                    | -0.1  |         | 0.1  | %FSR                        |
|                            |                             | $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$                     | -0.08 |         | 0.08 |                             |
|                            |                             | $T_A = 25^{\circ}\text{C}$                                               | -0.05 |         | 0.05 |                             |
|                            | ゲイン誤差の温度係数 <sup>(1)</sup>   |                                                                          |       | $\pm 3$ |      | ppm FSR/ $^{\circ}\text{C}$ |
|                            | フルスケール誤差                    | $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$                    | -0.1  |         | 0.1  | %FSR                        |
|                            |                             | $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$                     | -0.08 |         | 0.08 |                             |
|                            |                             | $T_A = 25^{\circ}\text{C}$                                               | -0.05 |         | 0.05 |                             |
|                            | フルスケール誤差の温度係数               |                                                                          |       | $\pm 3$ |      | ppm FSR/ $^{\circ}\text{C}$ |
| <b>VOOUT DAC のダイナミック性能</b> |                             |                                                                          |       |         |      |                             |
| $t_s$                      | 出力電圧セトリング時間 <sup>(4)</sup>  | 1/4 スケールから 3/4 スケール、および 3/4 スケールから 1/4 スケールへの $\pm 2\text{LSB}$ までのセトリング |       | 65      |      | $\mu\text{s}$               |
|                            |                             | 10mV ステップの $\pm 2\text{LSB}$ までのセトリング                                    |       | 30      |      |                             |
|                            | スルーレート <sup>(4)</sup>       | 10% ~ 90% で測定されたフルスケール遷移                                                 |       | 30      |      | mV/ $\mu\text{s}$           |
| $V_n$                      | 出力ノイズ <sup>(4)</sup>        | 0.1Hz ~ 10Hz、DAC はミッドスケール                                                |       | 0.25    |      | LSBpp                       |
|                            |                             | 100kHz 帯域幅、DAC はミッドスケール                                                  |       | 32      |      | $\mu\text{Vrms}$            |
| $V_n$                      | 出力ノイズ 密度                    | 1kHz で測定、DAC はミッドスケール、 $PVDD = 3\text{V}$                                |       | 180     |      | nV/ $\sqrt{\text{Hz}}$      |
|                            |                             | 1kHz で測定、DAC はミッドスケール、 $PVDD = 5\text{V}$                                |       | 260     |      |                             |
|                            | 電源除去比 (AC)                  | 電源電圧に 200mV、50Hz ~ 60Hz の正弦波を重畳、DAC はミッドスケール。                            |       | 85      |      | dB                          |
|                            | コード書き換えによるグリッチ インパルス        | ミッドコード $\pm 1\text{LSB}$ (フィードスルーを含む)                                    |       | 4.5     |      | nV-s                        |
|                            | コード変化時のグリッチの大きさ             | ミッドコード $\pm 1\text{LSB}$ (フィードスルーを含む)、 $PVDD = 5\text{V}$                |       | 1.5     |      | mV                          |
|                            | デジタル フィードスルー                | SCLK = 1MHz 時、DAC 出力はミッドスケール                                             |       | 1       |      | nV-s                        |

## 5.5 電気的特性 (続き)

すべての最小値と最大値は  $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、すべての標準値は  $T_A = 25^{\circ}\text{C}$ 、 $PVDD = IOVDD = 3.3\text{V}$ 、外部または内部  $VREFIO = 1.25\text{V}$ 、 $R_{LOAD} = 50\text{k}\Omega \sim \text{GND}$ 、 $C_{LOAD} = 100\text{pF} \sim \text{GND}$ 、デジタル入力は  $IOVDD$  または  $\text{GND}$  での値 (特に記述のない限り)

| パラメータ                |                         | テスト条件                                                         | 最小値    | 標準値        | 最大値    | 単位                      |
|----------------------|-------------------------|---------------------------------------------------------------|--------|------------|--------|-------------------------|
| <b>VOUT DAC 出力特性</b> |                         |                                                               |        |            |        |                         |
|                      | 出力電圧                    | $PVDD = VDD = 1.8\text{V}$                                    | 0      |            | 1.25   | V                       |
|                      |                         | $PVDD > 2.7\text{V}$ 、 $VDD$ 生成                               | 0      |            | 2.5    | V                       |
|                      | VOUT アラーム出力 High        | $PVDD = VDD = 1.8\text{V}$                                    | 1.175  | 1.25       | 1.325  | V                       |
|                      |                         | $PVDD > 2.7\text{V}$ 、 $VDD$ 生成                               | 2.35   | 2.5        | 2.65   | V                       |
|                      | VOUT アラーム出力 Low         | $PVDD = VDD = 1.8\text{V}$                                    | 0.1425 | 0.15       | 0.1575 | V                       |
|                      |                         | $PVDD > 2.7\text{V}$ 、 $VDD$ 生成                               | 0.285  | 0.3        | 0.315  | V                       |
| $R_{LOAD}$           | 抵抗性負荷 <sup>(2)</sup>    |                                                               | 10     |            |        | k $\Omega$              |
| $C_{LOAD}$           | 容量性負荷 <sup>(2)</sup>    |                                                               |        |            | 100    | pF                      |
|                      | ロードレギュレーション             | ミッドスケールでの DAC、 $-1\text{mA} \leq I_{OUT} \leq +1\text{mA}$    |        | 10         |        | $\mu\text{V}/\text{mA}$ |
|                      | 短絡電流                    | フルスケール出力を $\text{GND}$ に短絡                                    |        | 5          |        | mA                      |
|                      |                         | 出力ゼロ、 $VDD$ にショート                                             |        | 5          |        |                         |
|                      | $PVDD$ に対する出力電圧ヘッドルーム   | フルコードでの DAC、 $I_{OUT} = 1\text{mA}$ (ソース)                     | 200    |            |        | mV                      |
| $Z_O$                | 大信号 DC 出力インピーダンス        | $\text{GND}$ に対して、DAC はコード 0                                  |        | 60         |        | $\Omega$                |
|                      |                         | ミッドスケールでの DAC                                                 |        | 10         |        | m $\Omega$              |
|                      |                         | DAC はコード 65535                                                |        | 10         |        |                         |
|                      |                         | 出力 Hi-Z                                                       |        | 500        |        | k $\Omega$              |
|                      | 電源除去比 (DC)              | ミッドスケールでの DAC                                                 |        | 0.1        |        | mV/V                    |
|                      | 出力電圧の経時ドリフト、理想的な $VREF$ | $T_A = 35^{\circ}\text{C}$ 、 $VOUT = \text{ミッドスケール}$ 、1000 時間 |        | $\pm 5$    |        | ppmFSR                  |
| <b>診断用 ADC</b>       |                         |                                                               |        |            |        |                         |
|                      | 入力電圧範囲                  | $PVDD = VDD = 1.8\text{V}$                                    | 0      |            | 1.25   | V                       |
|                      |                         | $PVDD > 2.7\text{V}$ 、 $VDD$ 生成                               | 0      |            | 2.5    | V                       |
|                      | 分解能                     |                                                               |        | 12         |        | ビット                     |
| DNL                  | 微分非直線性                  | 指定 12 ビット単調                                                   | -1     | $\pm 0.2$  | 1      | LSB                     |
| INL                  | 積分非直線性                  |                                                               | -4     | $\pm 1$    | 4      | LSB                     |
|                      | オフセット誤差                 | キャリブレーション後                                                    | -10    | $\pm 1.6$  | 10     | LSB                     |
|                      | ゲイン誤差                   |                                                               | -0.8   | $\pm 0.13$ | 0.8    | %FSR                    |
|                      | ノイズ                     |                                                               |        | $\pm 4$    |        | LSB                     |
|                      | 入力容量                    |                                                               |        | 6          |        | pF                      |
|                      | 入力バイアス電流                | ADC 変換停止中                                                     | -50    |            | 50     | nA                      |
|                      | アクイジション時間               |                                                               |        | 52         |        | $\mu\text{s}$           |
|                      | 変換時間                    |                                                               |        | 210        |        | $\mu\text{s}$           |
|                      | 変換レート:                  |                                                               |        | 3.84       |        | kSPS                    |
|                      | 温度センサの精度                |                                                               |        | 5          |        | $^{\circ}\text{C}$      |
| <b>内部発振器</b>         |                         |                                                               |        |            |        |                         |
|                      | 周波数                     | $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$         | 1.2165 | 1.2288     | 1.2411 | MHz                     |

## 5.5 電気的特性 (続き)

すべての最小値と最大値は  $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、すべての標準値は  $T_A = 25^{\circ}\text{C}$ 、 $\text{PVDD} = \text{IOVDD} = 3.3\text{V}$ 、外部または内部  $\text{VREFIO} = 1.25\text{V}$ 、 $\text{R}_{\text{LOAD}} = 50\text{k}\Omega \sim \text{GND}$ 、 $\text{C}_{\text{LOAD}} = 100\text{pF} \sim \text{GND}$ 、デジタル入力は  $\text{IOVDD}$  または  $\text{GND}$  での値 (特に記述のない限り)

| パラメータ                        |           | テスト条件                                                                | 最小値 | 標準値  | 最大値 | 単位                      |
|------------------------------|-----------|----------------------------------------------------------------------|-----|------|-----|-------------------------|
| <b>HART モデム</b>              |           |                                                                      |     |      |     |                         |
| <b>RX_IN 入力 (HART モード)</b>   |           |                                                                      |     |      |     |                         |
|                              | 入力電圧範囲    | 外部または内部の基準電圧源、設計アーキテクチャ。DC ブロッキング コンデンサの入力側に印加した信号。                  | 0   |      | 1.5 | $\text{V}_{\text{PP}}$  |
|                              | レシーバ感度    | キャリア検出と復調に成功するスレッショルド。理想的な正弦波の FSK 入力信号で、有効なプリアンプルを含み、内部フィルタを使用した場合。 | 80  | 100  | 120 | $\text{mV}_{\text{PP}}$ |
|                              | キャリア検出時間  | CD がアサートされるまでに、入力に 1200Hz のキャリア周波数が存在する時間                            | 3   |      |     | ボー                      |
| <b>MOD_OUT 出力 (HART モード)</b> |           |                                                                      |     |      |     |                         |
|                              | 出力電圧      | MOD_OUT ピンで 160 $\Omega$ の負荷を接続して測定、AC 結合 (2.2 $\mu\text{F}$ )       | 400 | 500  | 800 | $\text{mV}_{\text{PP}}$ |
|                              | マーク周波数    |                                                                      |     | 1200 |     | Hz                      |
|                              | スペース周波数   |                                                                      |     | 2200 |     | Hz                      |
|                              | 周波数誤差     | $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$                      | -1  |      | 1   | %                       |
|                              | 位相連続エラー   | 設計アーキテクチャ                                                            |     |      | 0   | 度                       |
|                              | 最小抵抗性負荷   | 2.2 $\mu\text{F}$ と AC 結合                                            | 160 |      |     | $\Omega$                |
|                              | 送信インピーダンス | RTS Low、MOD_OUT ピンで測定、1mA 測定電流                                       |     | 25   |     | $\text{m}\Omega$        |
|                              | 送信インピーダンス | RTS High、MOD_OUT ピンで測定、 $\pm 200\text{nA}$ の測定電流                     |     | 50   |     | $\text{k}\Omega$        |

## 5.5 電気的特性 (続き)

すべての最小値と最大値は  $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、すべての標準値は  $T_A = 25^{\circ}\text{C}$ 、 $\text{PVDD} = \text{IOVDD} = 3.3\text{V}$ 、外部または内部  $\text{VREFIO} = 1.25\text{V}$ 、 $\text{R}_{\text{LOAD}} = 50\text{k}\Omega \sim \text{GND}$ 、 $\text{C}_{\text{LOAD}} = 100\text{pF} \sim \text{GND}$ 、デジタル入力は  $\text{IOVDD}$  または  $\text{GND}$  での値 (特に記述のない限り)

| パラメータ               |                            | テスト条件                                                 | 最小値   | 標準値  | 最大値   | 単位               |
|---------------------|----------------------------|-------------------------------------------------------|-------|------|-------|------------------|
| 電圧リファレンス入力          |                            |                                                       |       |      |       |                  |
| Z <sub>VREFIO</sub> | リファレンス入力インピーダンス (VREFIO)   |                                                       |       | 125  |       | kΩ               |
| C <sub>VREFIO</sub> | リファレンス入力容量 (VREFIO)        |                                                       |       | 100  |       | pF               |
| 電圧リファレンス出力          |                            |                                                       |       |      |       |                  |
|                     | 出力 (初期精度) <sup>(3)</sup>   | T <sub>A</sub> = 25°C                                 | 1.248 | 1.25 | 1.252 | V                |
|                     | 出力ドリフト <sup>(3)</sup>      | T <sub>A</sub> = −40°C ∼ +125°C                       |       |      | 10    | ppm/°C           |
|                     | 出力インピーダンス <sup>(3)</sup>   |                                                       |       | 0.1  |       | Ω                |
|                     | 出力ノイズ <sup>(3)</sup>       | 0.1Hz ∼ 10Hz                                          |       | 7.5  |       | μV <sub>PP</sub> |
|                     | 出力ノイズ 密度 <sup>(3)</sup>    | 10kHz で測定、リファレンス負荷 = 100nF                            |       | 200  |       | nV/√Hz           |
|                     | 負荷電流 <sup>(3)</sup>        | ソース、公称値から VREF が 0.1% 変化                              |       | 2.5  |       | mA               |
|                     |                            | シンク、公称値から VREF が 0.1% 変化                              |       |      | 0.3   |                  |
|                     | ロードレギュレーション <sup>(3)</sup> | ソース、0mA ∼ 2.5mA                                       |       | 4    |       | μV/mA            |
| C <sub>OUT</sub>    | 安定した出力容量                   | T <sub>A</sub> = −40°C ∼ +125°C、<br>ESR: 10mΩ ∼ 400mΩ | 70    | 100  | 130   | nF               |
|                     | ラインレギュレーション <sup>(3)</sup> |                                                       |       | 100  |       | μV/V             |
|                     | 出力電圧の経時ドリフト <sup>(3)</sup> | T <sub>A</sub> = 35°C、1000 時間                         |       | ±100 |       | ppm              |
|                     | 熱ヒステリシス <sup>(3)</sup>     | 1st サイクル                                              |       | 500  |       | μV               |
|                     |                            | 追加サイクル                                                |       | 25   |       | μV               |
| VDD 電圧レギュレータ出力      |                            |                                                       |       |      |       |                  |
|                     | 出力電圧                       |                                                       | 1.71  | 1.8  | 1.89  | V                |
|                     | 出力インピーダンス <sup>(3)</sup>   | ソース、0.5mA ∼ 2.5mA                                     |       | 3    |       | Ω                |
|                     | 負荷電流 <sup>(3)</sup>        | ソース、公称値から VDD が 1% 変化                                 |       | 4    |       | mA               |
| サーマルアラーム            |                            |                                                       |       |      |       |                  |
|                     | アラームトリップポイント               |                                                       |       | 130  |       | °C               |
|                     | 警告トリップポイント                 |                                                       |       | 85   |       | °C               |
|                     | ヒステリシス                     |                                                       |       | 12   |       | °C               |
|                     | トリップポイントの絶対精度              |                                                       |       | 5    |       | °C               |
|                     | トリップポイントの相対精度              |                                                       |       | 2    |       | °C               |
| デジタル入力の特性           |                            |                                                       |       |      |       |                  |
| V <sub>IH</sub>     | High レベル入力電圧               |                                                       | 0.7   |      |       | V/IOVDD          |
| V <sub>IL</sub>     | Low レベル入力電圧                |                                                       |       |      | 0.3   | V/IOVDD          |
|                     | ヒステリシス電圧                   |                                                       | 0.05  |      |       | V/IOVDD          |
|                     | 入力電流                       |                                                       | −1.56 |      | 1.56  | μA               |
|                     | ピン容量 1                     | ピンごと                                                  |       | 10   |       | pF               |
| デジタル出力ピ特性           |                            |                                                       |       |      |       |                  |
| V <sub>OH</sub>     | High レベル出力電圧               | I <sub>SOURCE</sub> = 1mA                             | 0.8   |      |       | V/IOVDD          |
| V <sub>OL</sub>     | Low レベル出力電圧                | I <sub>SINK</sub> = 1mA                               |       |      | 0.2   | V/IOVDD          |
| V <sub>OL</sub>     | オープンドレイン Low レベル出力電圧       | I <sub>SINK</sub> = 2mA                               |       |      | 0.3   | V                |
|                     | 出力ピンの容量                    |                                                       |       | 10   |       | pF               |

## 5.5 電気的特性 (続き)

すべての最小値と最大値は  $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、すべての標準値は  $T_A = 25^{\circ}\text{C}$ 、 $PVDD = IOVDD = 3.3\text{V}$ 、外部または内部  $VREFIO = 1.25\text{V}$ 、 $R_{LOAD} = 50\text{k}\Omega \sim \text{GND}$ 、 $C_{LOAD} = 100\text{pF} \sim \text{GND}$ 、デジタル入力は  $IOVDD$  または  $\text{GND}$  での値 (特に記述のない限り)

| パラメータ        |                  | テスト条件                                                     | 最小値 | 標準値 | 最大値 | 単位            |
|--------------|------------------|-----------------------------------------------------------|-----|-----|-----|---------------|
| <b>電源要件</b>  |                  |                                                           |     |     |     |               |
| $I_{PVDD}$   | PVDD に流れる電流      | PVDD のみ、VDD は内部で生成、DAC はゼロスケール、ADC と SPI は静止状態、内部リファレンス電圧 |     | 180 | 220 | $\mu\text{A}$ |
|              |                  | PVDD と VDD を共通接続、DAC はゼロスケール、ADC と SPI は静止状態              |     | 32  | 45  | $\mu\text{A}$ |
| $I_{LDO}$    | VDD LDO の静止電流    | PVDD から                                                   |     | 8   |     | $\mu\text{A}$ |
| $I_{VDD}$    | VDD に流れる電流       | PVDD と VDD を共通接続、DAC はゼロスケール、ADC と SPI は静止状態、内部リファレンス電圧   |     | 140 | 170 | $\mu\text{A}$ |
| $I_{REFIO}$  | 内部基準電圧の消費電流      | 外部供給または内部生成の VDD から                                       |     | 52  | 70  | $\mu\text{A}$ |
| $I_{HART}$   | HART Tx モデムの消費電流 | 外部供給または内部生成の VDD から                                       |     | 10  |     | $\mu\text{A}$ |
| $I_{ADC}$    | ADC 消費電流         | ADC を 3.84kSPS で変換中                                       |     | 10  |     | $\mu\text{A}$ |
| $C_{VDD}$    | VDD の推奨デカップリング容量 |                                                           | 1   |     | 10  | $\mu\text{F}$ |
| $I_{IOVDD}$  | IOVDD に流れる電流     | SPI 静的                                                    |     | 10  | 25  | $\mu\text{A}$ |
| $I_{VREFIO}$ | VREFIO に流れる電流    | DAC はミッドスケール コード                                          |     | 10  |     | $\mu\text{A}$ |

- 16 ビットではコード 512 ~ 65535、14 ビットではコード 128 ~ 16383 の間でエンド ポイントフィット、DAC 出力は無負荷。抵抗性負荷と容量性負荷の条件での性能は、設計と特性評価によって規定されています。
- 実製品の検査は行っていません。設計目標。
- 実製品の検査は行っていません。特性評価データから算出。
- 出力バッファ ゲイン (G) = 2、 $PVDD > 2.7\text{V}$

## 5.6 タイミング要件

すべての入力信号は、 $t_R = t_F = 1\text{ns/V}$  で規定され、 $(V_{IL} + V_{IH}) / 2$ 、 $2.7\text{V} \leq \text{PVDD} \leq 5.5\text{V}$ 、

$V_{IH} = 1.62\text{V}$ 、 $V_{IL} = 0.15\text{V}$ 、 $\text{VREFIO} = 1.25\text{V}$ 、 $T_A = -40^\circ\text{C}$  から  $125^\circ\text{C}$  の電圧レベルからのタイミングで規定されています (特に記述のない限り)。

| パラメータ                                |                                                       | 最小値 | 公称値 | 最大値  | 単位            |
|--------------------------------------|-------------------------------------------------------|-----|-----|------|---------------|
| <b>シリアル インターフェイス - 書き込みおよび読み取り動作</b> |                                                       |     |     |      |               |
| $f_{\text{SCLK}}$                    | シリアル クロック周波数                                          |     |     | 12.5 | MHz           |
| $t_{\text{SCLKHIGH}}$                | SCLK High 時間                                          | 36  |     |      | ns            |
| $t_{\text{SCLKLOW}}$                 | SCLK Low 時間                                           | 36  |     |      | ns            |
| $t_{\text{CSHIGH}}$                  | $\overline{\text{CS}}$ High 時間                        | 80  |     |      | ns            |
| $t_{\text{CSS}}$                     | $\overline{\text{CS}}$ から SCLK 立ち下がりエッジまでのセットアップ時間    | 30  |     |      | ns            |
| $t_{\text{CSH}}$                     | SCLK 立ち下がりエッジから $\overline{\text{CS}}$ 立ち上がりエッジまで     | 30  |     |      | ns            |
| $t_{\text{CSRI}}$                    | $\overline{\text{CS}}$ の立ち上がりエッジから SCLK の立ち下がりエッジ無視まで | 30  |     |      | ns            |
| $t_{\text{CSFI}}$                    | SCLK 立ち下がりエッジ無視から $\overline{\text{CS}}$ 立ち上がりエッジまで   | 5   |     |      | ns            |
| $t_{\text{SDIS}}$                    | SDI のセットアップ時間                                         | 5   |     |      | ns            |
| $t_{\text{SDIH}}$                    | SDI のホールド時間                                           | 5   |     |      | ns            |
| $t_{\text{SDOZD}}$                   | $\overline{\text{CS}}$ 立ち下がりエッジから SDO トライステートまで       |     |     | 40   | ns            |
| $t_{\text{SDODZ}}$                   | $\overline{\text{CS}}$ 立ち上がりエッジから SDO トライステートまで       |     |     | 40   | ns            |
| $t_{\text{SDODLY}}$                  | SCLK から SDO 出力までの遅延                                   |     |     | 40   | ns            |
| <b>UART</b>                          |                                                       |     |     |      |               |
| $t_{\text{BAUDUART}}$                | ボーレート = $9600 \pm 1\%$                                |     | 104 |      | $\mu\text{s}$ |
| $t_{\text{BAUDUART}}$                | ボーレート = $1200 \pm 1\%$                                |     | 833 |      | $\mu\text{s}$ |
| <b>HART</b>                          |                                                       |     |     |      |               |
| $t_{\text{BAUDHART}}$                | ボーレート = $1200 \pm 1\%$                                |     | 833 |      | $\mu\text{s}$ |
| <b>デジタル ロジック</b>                     |                                                       |     |     |      |               |
| $t_{\text{DACWAIT}}$                 | シーケンシャル DAC 更新の待機時間                                   | 2.1 |     |      | $\mu\text{s}$ |
| $t_{\text{POR}}$                     | POR リセット遅延                                            |     |     | 100  | $\mu\text{s}$ |
| $t_{\text{RESET}}$                   | RESET パルス幅                                            | 100 |     |      | ns            |
| $t_{\text{RESETWAIT}}$               | RESET パルス後の待機時間                                       | 10  |     |      | $\mu\text{s}$ |
| $t_{\text{PULSE\_GPIO}}$             | GPIO 入力パルス持続時間                                        | 10  |     |      | ns            |

## 5.7 タイミング図

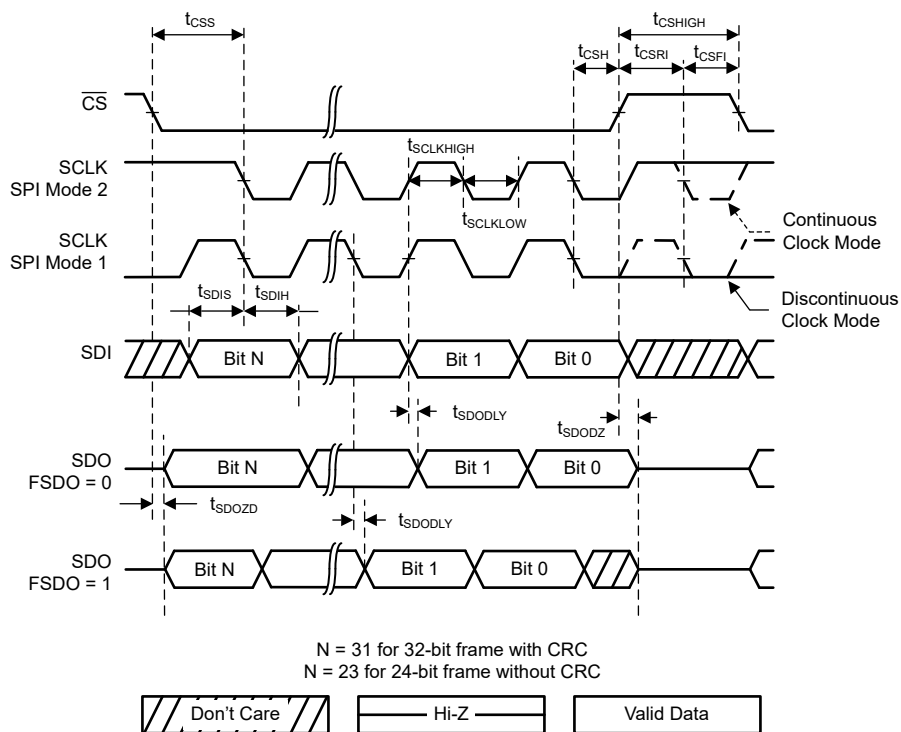


図 5-1. SPI のタイミング

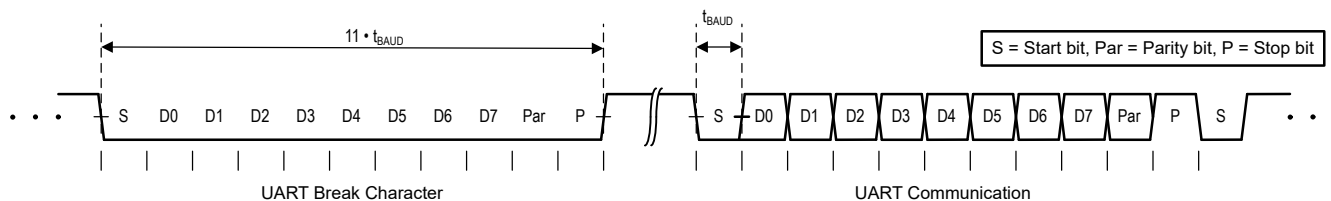


図 5-2. UBM のタイミング

## 5.8 代表的特性 : VOUT DAC

$T_A = 25^\circ\text{C}$ 、 $PVDD = 2.7\text{V}$ 、 $IOVDD = 1.8\text{V}$ 、外部または内部  $VREFIO = 1.25\text{V}$ 、 $R_{LOAD} = 50\text{k}\Omega$  から GND へ、 $C_{LOAD} = 100\text{pF}$  から GND、 $IOVDD$  または GND でデジタル入力 (特に記述のない限り)

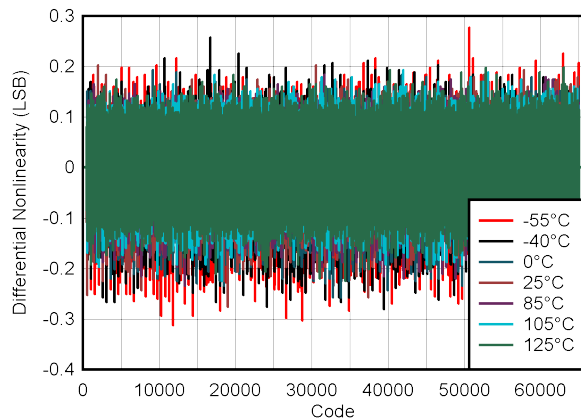


図 5-3. DAC DNL とデジタル入力コードとの関係

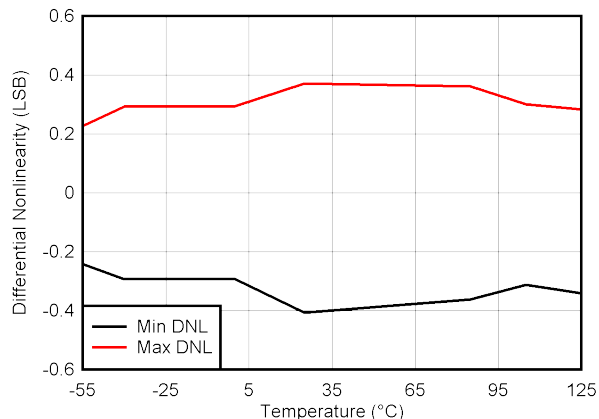


図 5-4. DAC の DNL 最小値と最大値の範囲と温度との関係

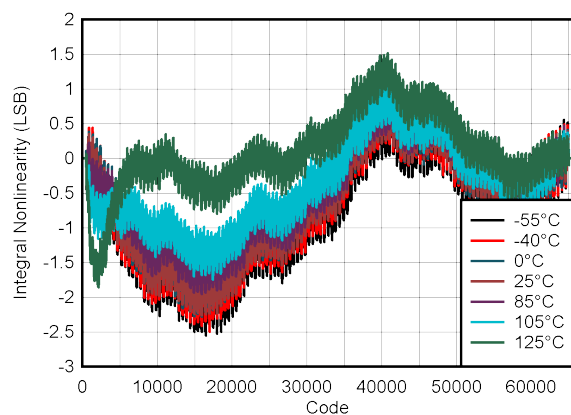


図 5-5. DAC INL とデジタル入力コードとの関係

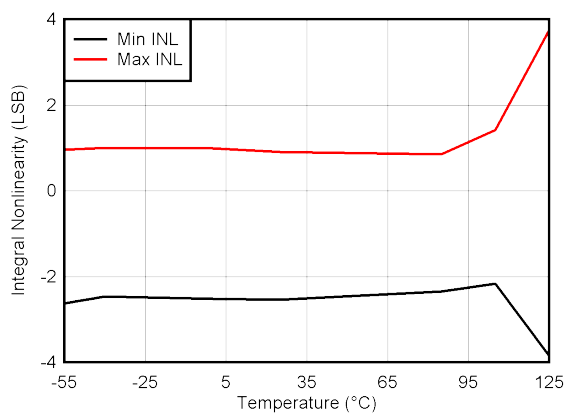


図 5-6. DAC の INL 最小値と最大値の範囲と温度との関係

## 5.8 代表的特性 : VOUT DAC (続き)

$T_A = 25^\circ\text{C}$ 、 $PVDD = 2.7\text{V}$ 、 $IOVDD = 1.8\text{V}$ 、外部または内部  $VREFIO = 1.25\text{V}$ 、 $R_{LOAD} = 50\text{k}\Omega$  から GND へ、 $C_{LOAD} = 100\text{pF}$  から GND、 $IOVDD$  または GND でデジタル入力 (特に記述のない限り)

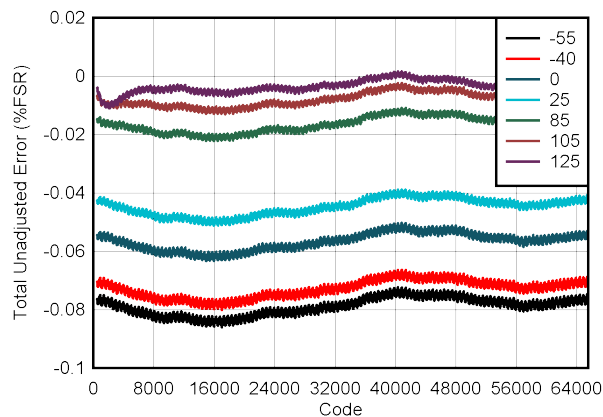


図 5-7. DAC TUE とデジタル入力コードとの関係

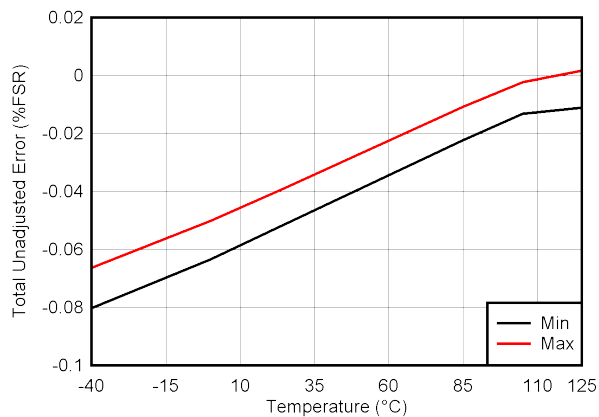


図 5-8. DAC の TUE 最小値と最大値と温度との関係

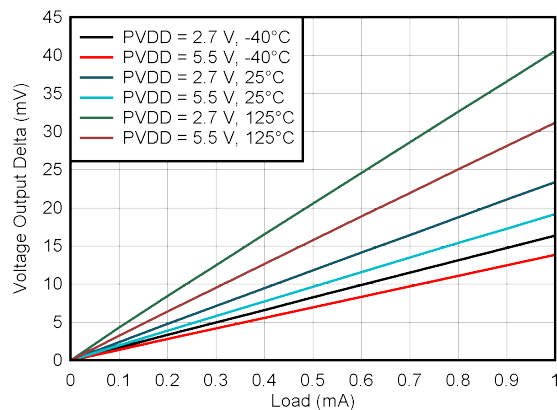


図 5-9. ゼロ コード インピーダンス

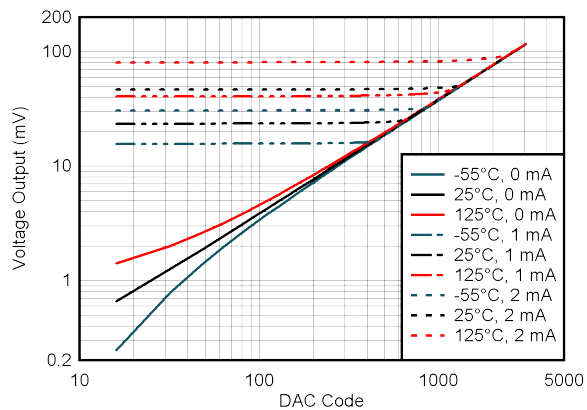
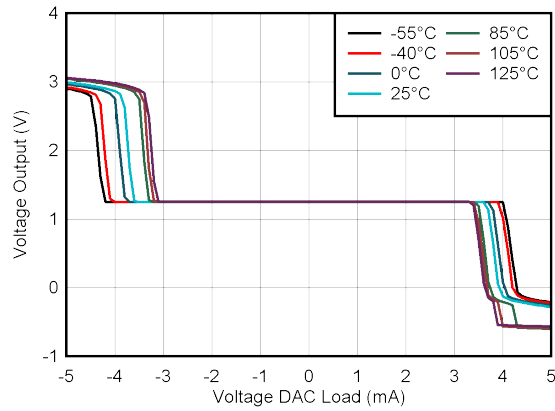


図 5-10. 温度と負荷に対する DAC フットルーム

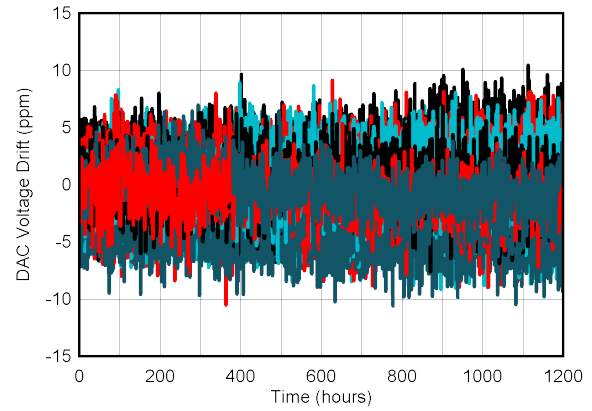
## 5.8 代表的特性 : VOUT DAC (続き)

$T_A = 25^\circ\text{C}$ 、 $PVDD = 2.7\text{V}$ 、 $IOVDD = 1.8\text{V}$ 、外部または内部  $VREFIO = 1.25\text{V}$ 、 $R_{LOAD} = 50\text{k}\Omega$  から GND へ、 $C_{LOAD} = 100\text{pF}$  から GND、 $IOVDD$  または GND でデジタル入力 (特に記述のない限り)



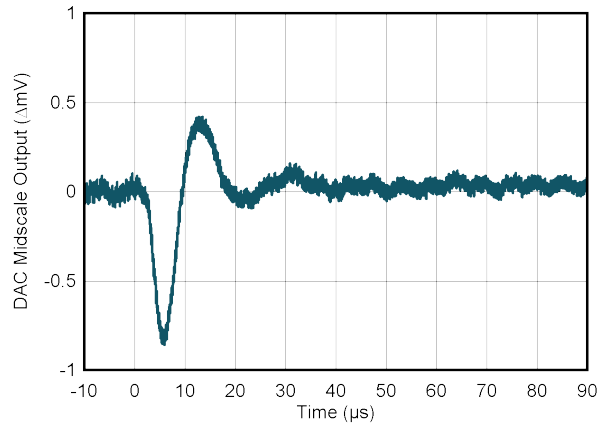
DAC はミッドコード

図 5-11. DAC のソース電流能力とシンク電流能力



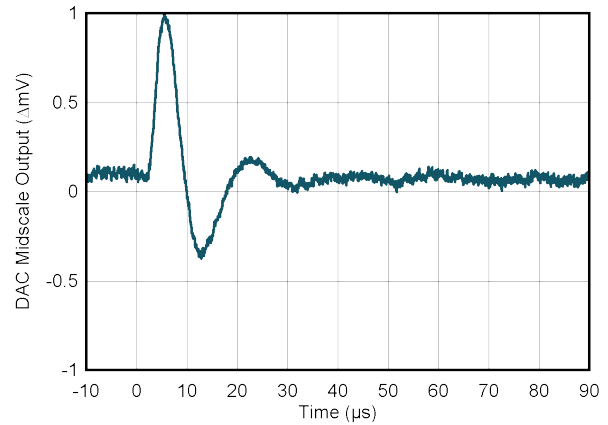
理想的なリファレンス

図 5-12. DAC 出力電圧の長期安定性



$PVDD = 5.5\text{V}$

図 5-13. DAC のグリッチ インパルス (立ち上がりエッジ)



$PVDD = 5.5\text{V}$

図 5-14. DAC のグリッチ インパルス (立ち下がりエッジ)

## 5.8 代表的特性 : VOUT DAC (続き)

$T_A = 25^\circ\text{C}$ 、 $PVDD = 2.7\text{V}$ 、 $IOVDD = 1.8\text{V}$ 、外部または内部  $VREFIO = 1.25\text{V}$ 、 $R_{LOAD} = 50\text{k}\Omega$  から GND へ、 $C_{LOAD} = 100\text{pF}$  から GND、 $IOVDD$  または GND でデジタル入力 (特に記述のない限り)

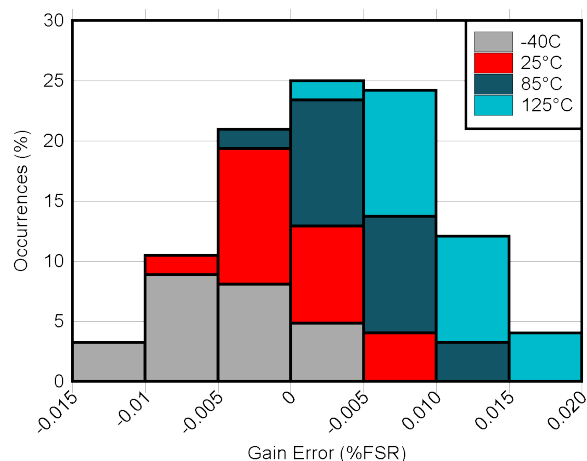


図 5-15. DAC ゲイン誤差と温度との関係

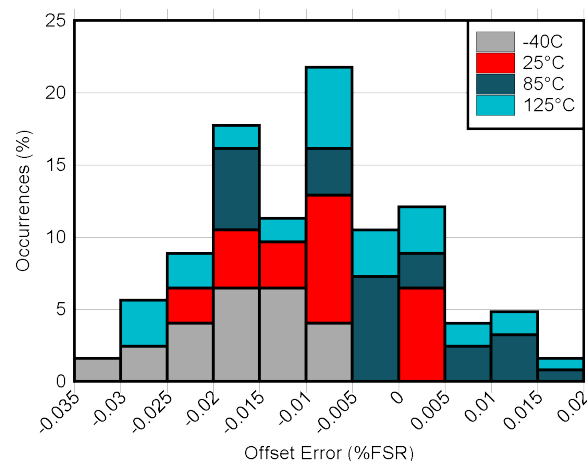


図 5-16. DAC オフセット誤差と温度との関係

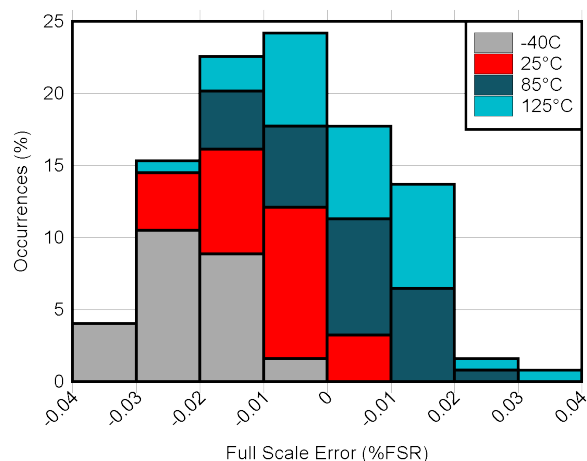


図 5-17. DAC フル スケール誤差と温度との関係

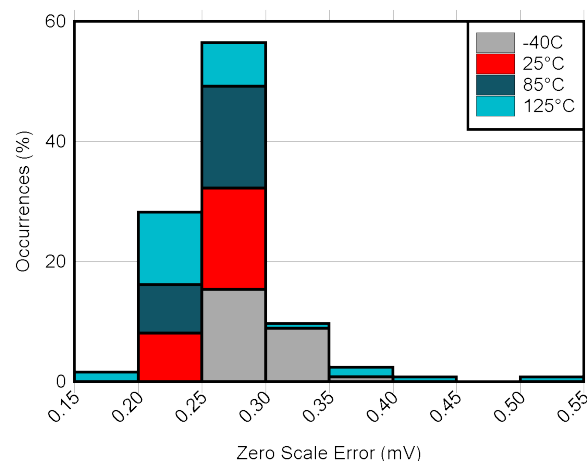
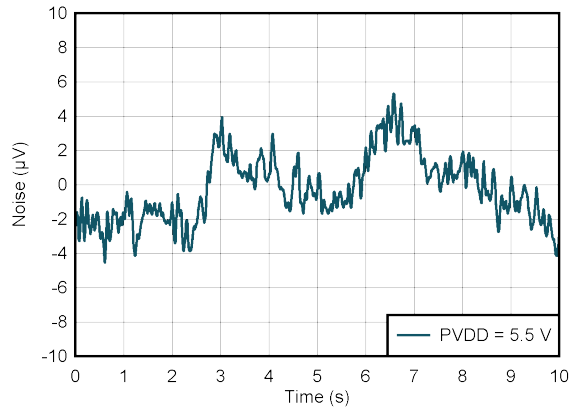


図 5-18. DAC ゼロ スケール誤差と温度との関係

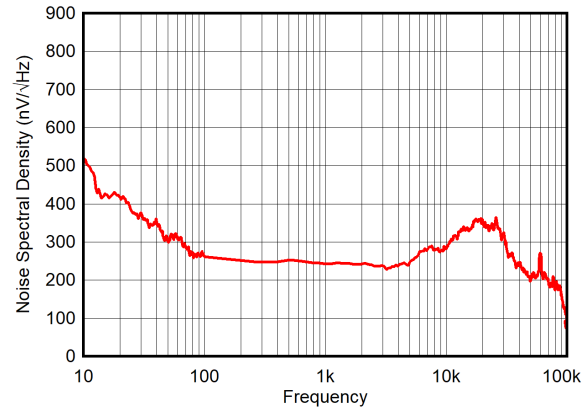
## 5.8 代表的特性 : VOUT DAC (続き)

$T_A = 25^\circ\text{C}$ 、 $PVDD = 2.7\text{V}$ 、 $IOVDD = 1.8\text{V}$ 、外部または内部  $VREFIO = 1.25\text{V}$ 、 $R_{LOAD} = 50\text{k}\Omega$  から GND へ、 $C_{LOAD} = 100\text{pF}$  から GND、 $IOVDD$  または GND でデジタル入力 (特に記述のない限り)



DAC はミッドコード PVDD = 5.5V

図 5-19. DAC 出力ノイズ (0.1Hz~10Hz) :



DAC はミッドコード PVDD = 5.5V

図 5-20. DAC の出力ノイズ密度と周波数との関係

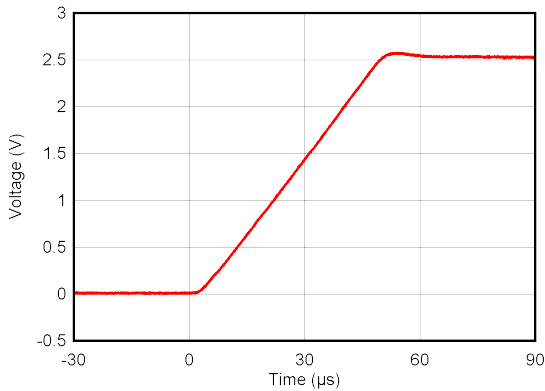


図 5-21. DAC のセトリング タイム (立ち上がり)

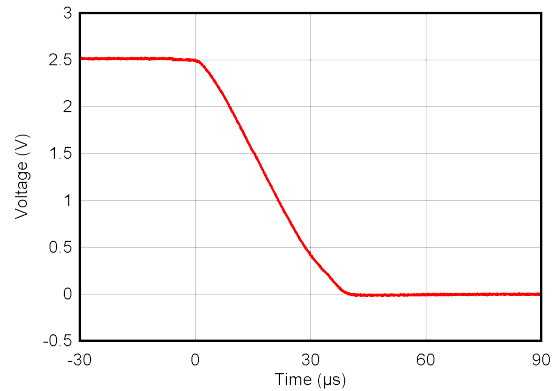


図 5-22. DAC のセトリング タイム (立ち下がり)

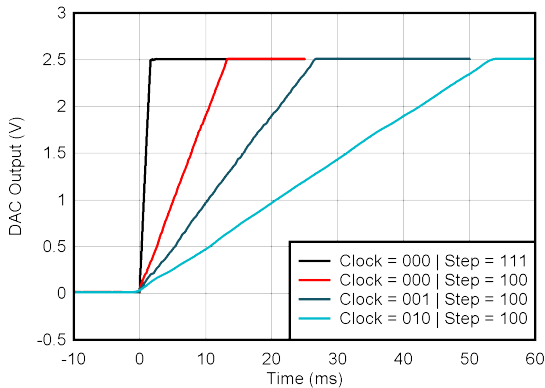


図 5-23. リニア スルー レート制御時の DAC セトリング タイム

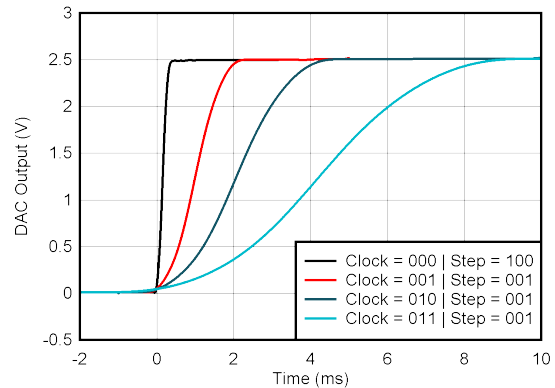


図 5-24. 正弦波スルー レート制御時の DAC セトリング タイム

## 5.8 代表的特性 : VOUT DAC (続き)

$T_A = 25^\circ\text{C}$ 、 $PVDD = 2.7\text{V}$ 、 $IOVDD = 1.8\text{V}$ 、外部または内部  $VREFIO = 1.25\text{V}$ 、 $R_{LOAD} = 50\text{k}\Omega$  から GND へ、 $C_{LOAD} = 100\text{pF}$  から GND、 $IOVDD$  または GND でデジタル入力 (特に記述のない限り)

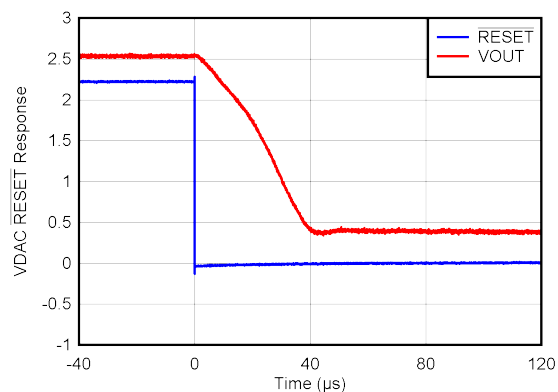


図 5-25. DAC リセット応答

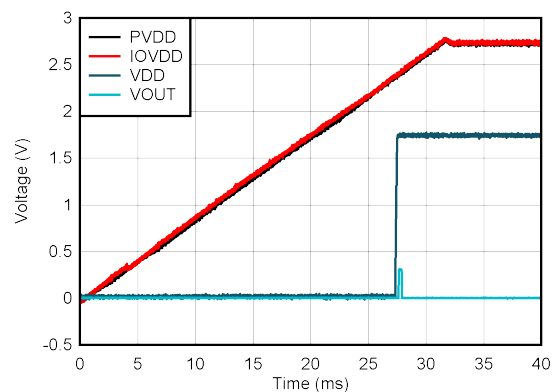
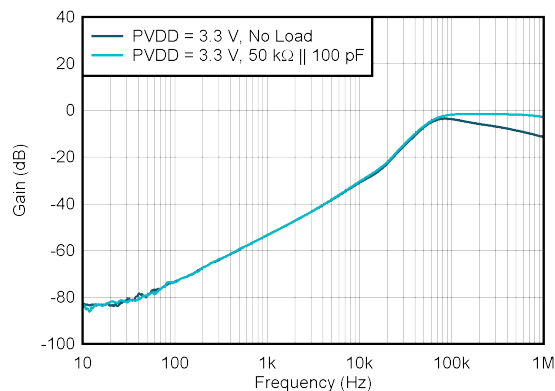


図 5-26. DAC の電源投入 ( $PVDD = 2.7\text{V}$ )



内部リファレンス

図 5-27. DAC の AC PSRR と周波数との関係

## 5.9 代表的特性 : ADC

$T_A = 25^\circ\text{C}$ 、 $PVDD = 3.3\text{V}$ 、 $IOVDD = 1.8\text{V}$ 、外部または内部  $VREFIO = 1.25\text{V}$ 、 $R_{LOAD} = 50\text{k}\Omega$  から GND へ、 $C_{LOAD} = 100\text{pF}$  から GND、 $IOVDD$  または GND でデジタル入力 (特に記述のない限り)

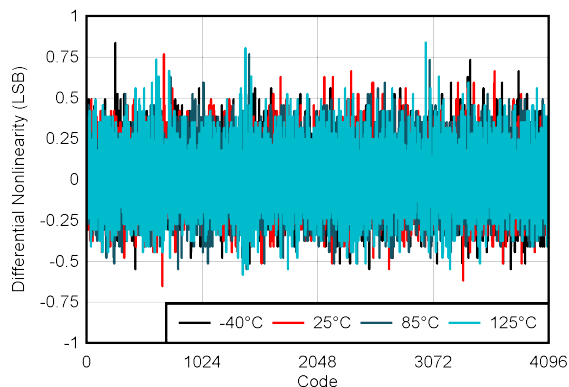


図 5-28. ADC DNL とデジタル入力コードとの関係

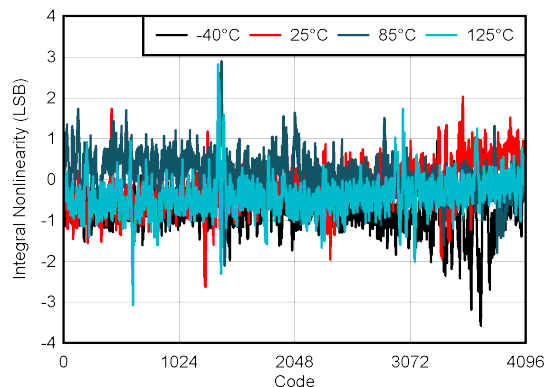


図 5-29. ADC INL とデジタル入力コードとの関係

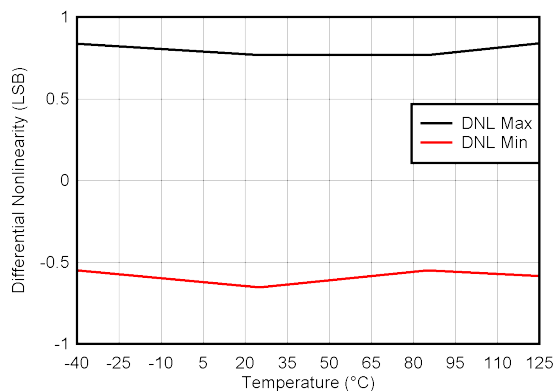


図 5-30. ADC の DNL 範囲と温度との関係

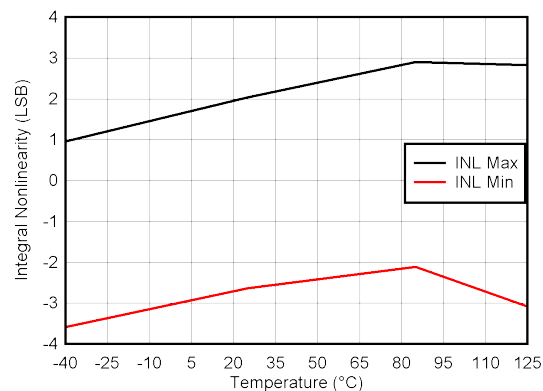


図 5-31. ADC の INL 範囲と温度との関係

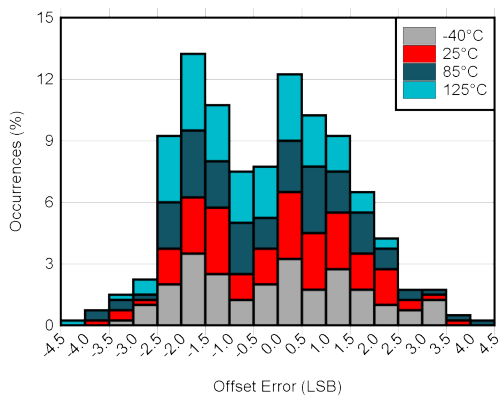


図 5-32. ADC オフセット誤差と温度との関係

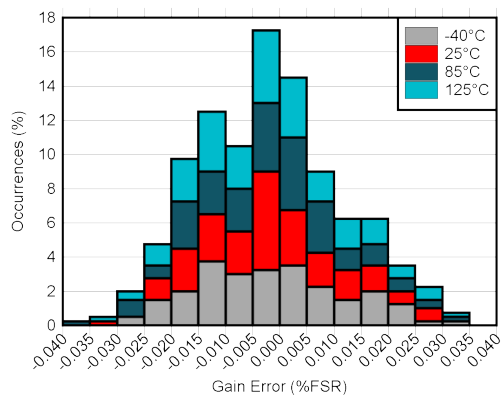
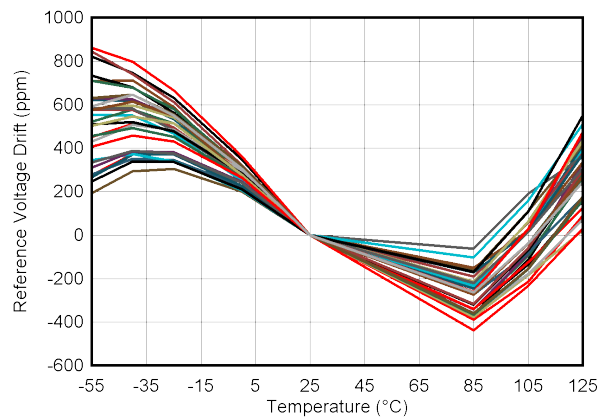


図 5-33. ADC ゲイン誤差と温度との関係

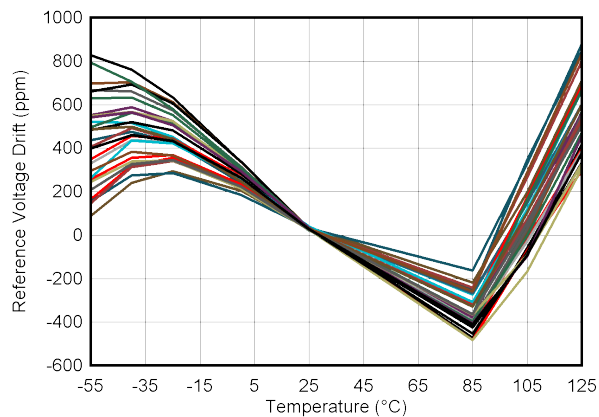
## 5.10 代表的特性：リファレンス

$T_A = 25^\circ\text{C}$ 、 $PVDD = IOVDD = 3.3\text{V}$ 、外部または内部  $VREFIO = 1.25\text{V}$ 、 $R_{LOAD} = 50\text{k}\Omega$  から GND、 $C_{LOAD} = 100\text{pF}$  から GND、 $IOVDD$  または GND でデジタル入力 (特に記述のない限り)



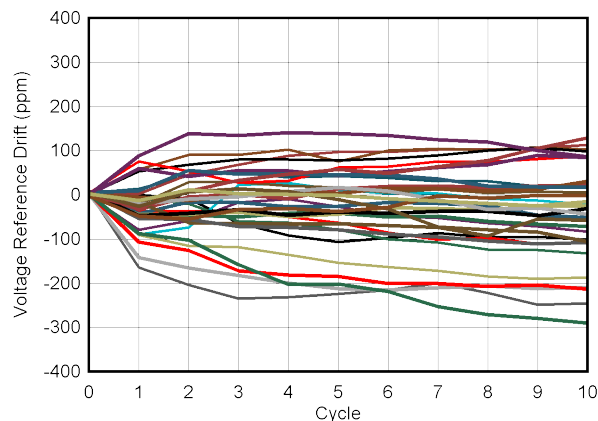
はんだ付け前 30 ユニット

図 5-34. 基準電圧の温度ドリフト



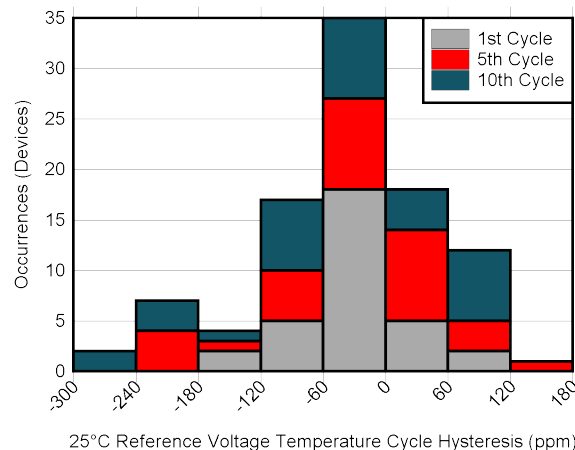
半田付け後 30 ユニット

図 5-35. 基準電圧の温度ドリフト



$-40^\circ\text{C} \sim +85^\circ\text{C}$  の温度サイクル、1 サイクルあたり 60 分、30 個

図 5-36. 複数温度サイクルヒステリシス

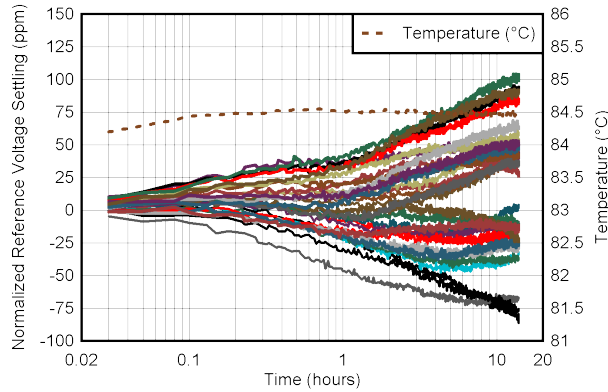


$-40^\circ\text{C} \sim +85^\circ\text{C}$  の温度サイクル、1 サイクルあたり 60 分

図 5-37. 複数温度サイクルヒステリシス

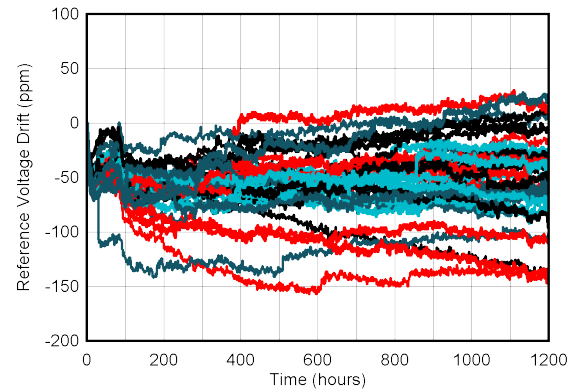
## 5.10 代表的特性：リファレンス (続き)

$T_A = 25^\circ\text{C}$ 、 $PVDD = IOVDD = 3.3\text{V}$ 、外部または内部  $VREFIO = 1.25\text{V}$ 、 $R_{LOAD} = 50\text{k}\Omega$  から GND、 $C_{LOAD} = 100\text{pF}$  から GND、 $IOVDD$  または GND でデジタル入力 (特に記述のない限り)



25°C ~ 85°C への温度ステップの 2 分後、30 個

図 5-38. 周囲温度変化セトリング



30 ユニット

図 5-39. 基準電圧長期安定性

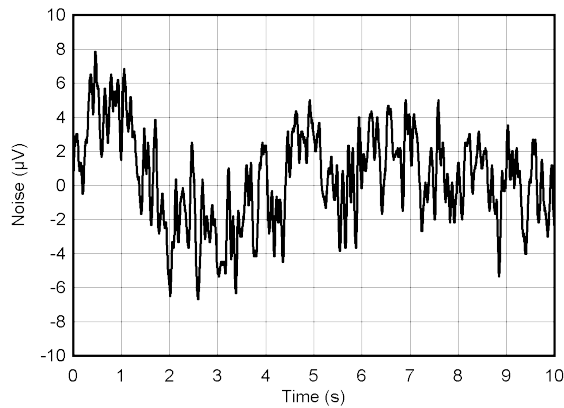


図 5-40. リファレンス出力ノイズ、0.1Hz ~ 10Hz

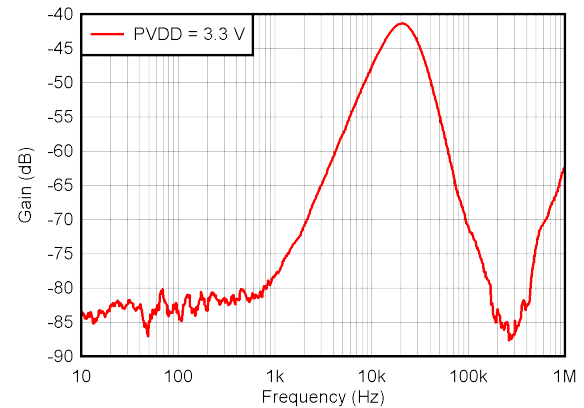


図 5-41. リファレンス AC PSRR と周波数との関係

## 5.10 代表的特性：リファレンス (続き)

$T_A = 25^\circ\text{C}$ 、 $PVDD = IOVDD = 3.3\text{V}$ 、外部または内部  $VREFIO = 1.25\text{V}$ 、 $R_{LOAD} = 50\text{k}\Omega$  から  $GND$ 、 $C_{LOAD} = 100\text{pF}$  から  $GND$ 、 $IOVDD$  または  $GND$  でデジタル入力 (特に記述のない限り)

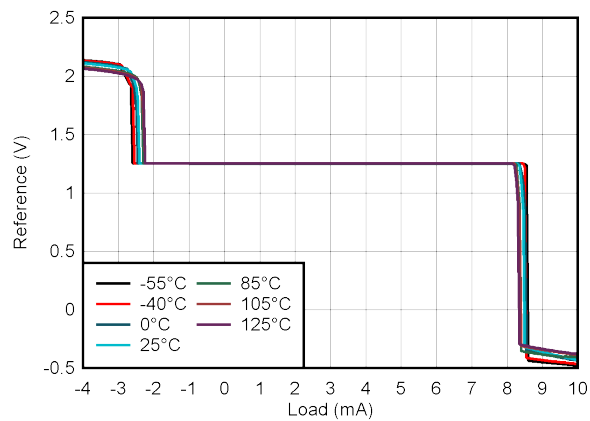


図 5-42. リファレンスソースおよびシンク電流能力

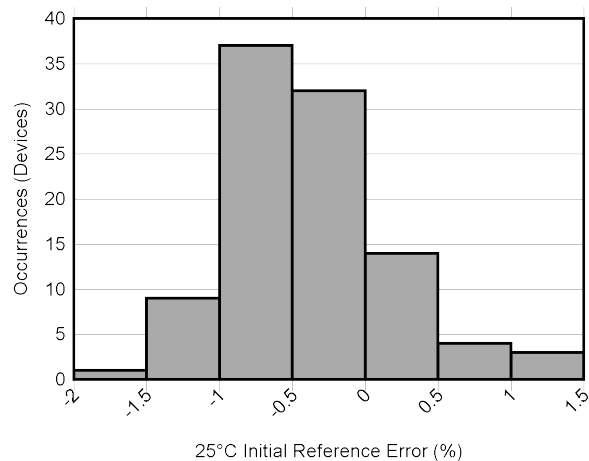
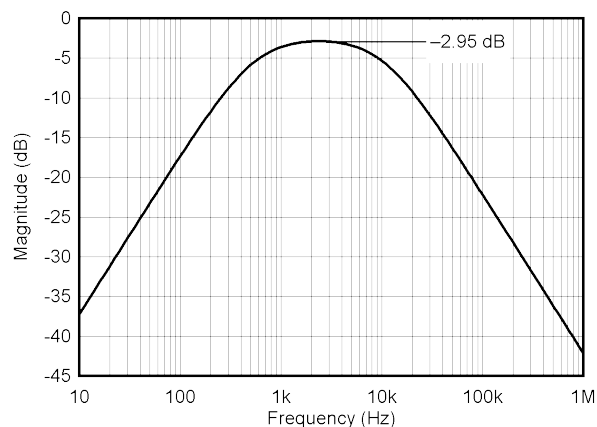


図 5-43. 初期精度の分布

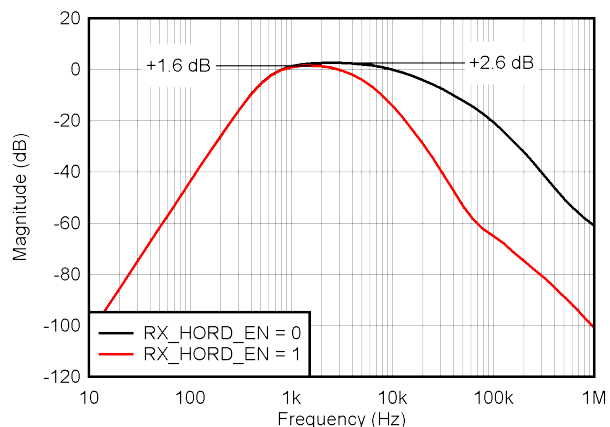
## 5.11 代表的特性 : HART モデム

$T_A = 25^\circ\text{C}$ 、 $PVDD = IOVDD = 3.3\text{V}$ 、外部または内部  $VREFIO = 1.25\text{V}$ 、 $R_{LOAD} = 50\text{k}\Omega$  から GND へ、 $C_{LOAD} = 100\text{pF}$  から GND へ、 $IOVDD$  または GND でデジタル入力 (特に記述のない限り)



2.2nF HART\_RX                      680pF RX\_INF  
入力コンデンサ                      グランドに接続するコンデンサ

図 5-44. HART 内部モードの第一段バンドパス フィルタ応答  
(HART\_RX 信号から RX\_INF ピンまで)



2.2nF HART\_RX                      680pF RX\_INF  
入力コンデンサ                      グランドに接続するコンデンサ

図 5-45. HART 内部モードの完全バンドパス フィルタ応答  
(HART\_RX 信号から内部復調器)

## 5.12 代表的特性：電源

$T_A = 25^\circ\text{C}$ 、 $PVDD = IOVDD = 3.3\text{V}$ 、内部  $VREFIO$ 、 $R_{LOAD} = 50\text{k}\Omega$  から  $GND$  へ、 $C_{LOAD} = 100\text{pF}$  から  $GND$  へ、 $IOVDD$  または  $GND$  でデジタル入力 (特に記述のない限り)

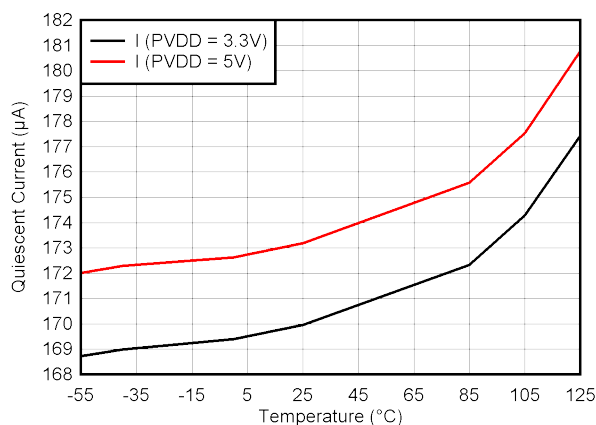


図 5-46. PVDD 電源電流と温度との関係

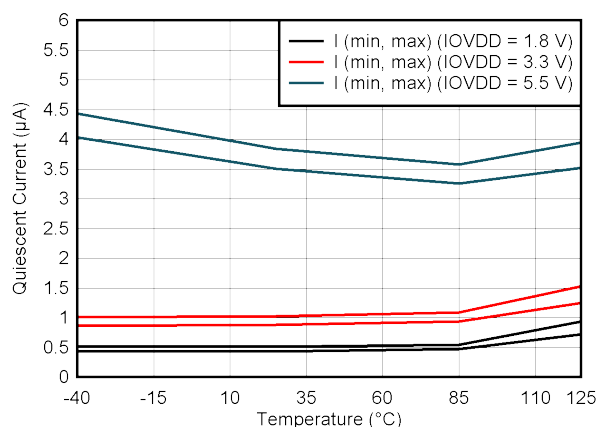


図 5-47. IOVDD 電源電流と温度との関係

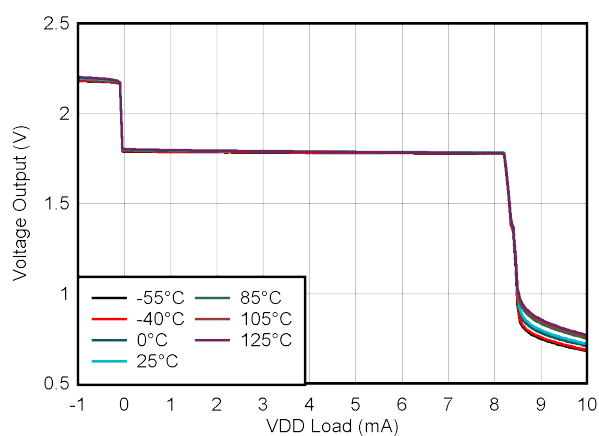


図 5-48. VDD 電圧と負荷との関係

## 6 詳細説明

### 6.1 概要

AFE882H1 には、電圧出力バッファ付きの 16 ビット (AFE882H1) または 14 ビット (AFE782H1) ストリング DAC が搭載されています。どちらのデバイスも、非常に低消費電力で最小 1.71V の電源で動作でき、三線式または四線式センサトランスミッタまたはアナログ出力モジュールで使用するよう設計されています。AFE882H1 は、電源電圧に応じて二つの異なる DAC 出力電圧範囲を持っています。DAC には、DAC 出力を調整するためのゲインとオフセットの値を設定する、キャリブレーションレジスタがあります。また、DAC にはさまざまな出力スルーモードがあり、プログラム可能な直線スルーと正弦波状の出力スルーを使えます。

AFE882H1 には 12 ビット SAR ADC も搭載されています。この ADC はマルチプレクサで切り替えて、外部ノードや、デバイスの診断測定用の内部ノードなど、さまざまな入力を測定できます。この ADC は、オンデマンド変換によるダイレクトモード測定と、マルチプレクサ付きのチャンネルシーケンサを使った連続変換による自動モード測定を行えます。このデバイスには、故障検出とアラーム動作を備えた、オプションのアラーム設定があります。

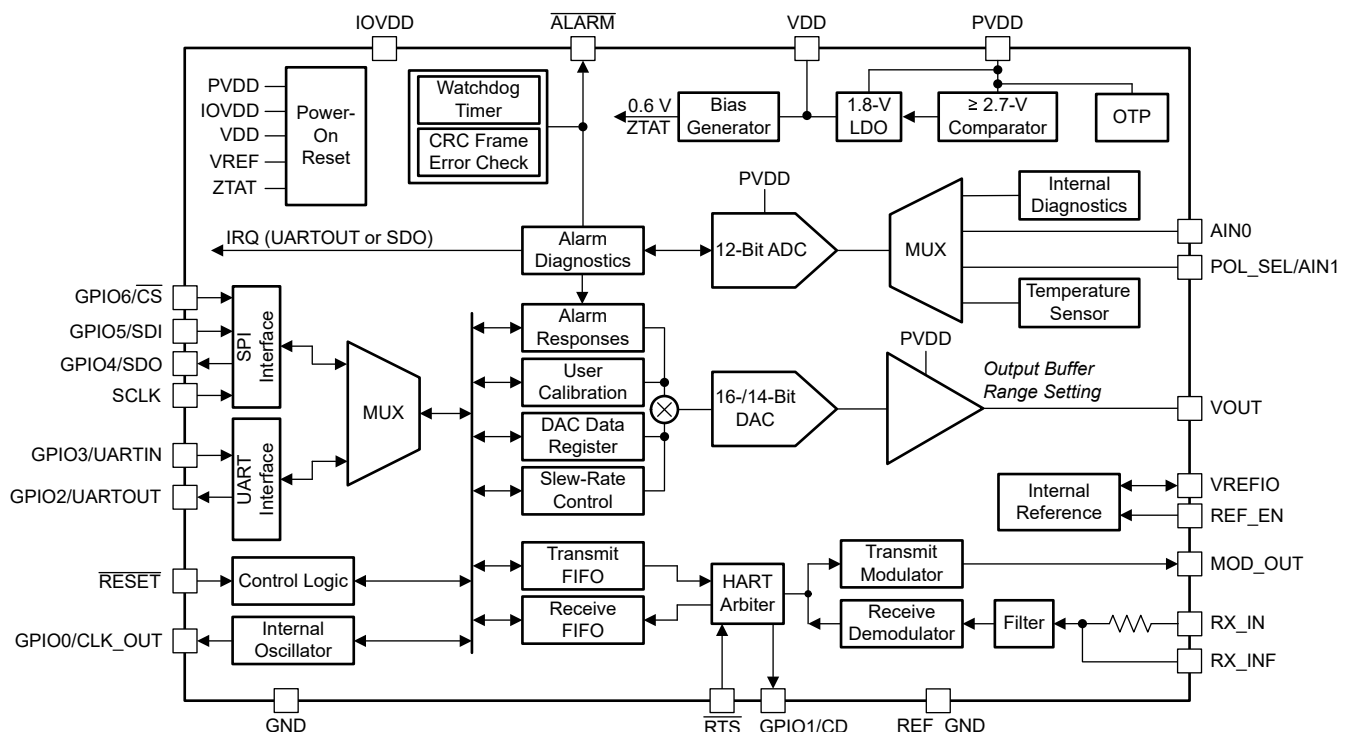
デバイスの通信とプログラミングは、SPI、UART インターフェイス、または UART ブレークモード (UBM) を介して実行します。SPI では、巡回冗長検査 (CRC) がデフォルトで有効になっており、無効にすることもできます。さらに、ウォッチドッグタイマ (WDT) で通信を監視することもできます。WDT は、デバイスが定期的な通信に応答しなくなった場合にユーザーに知らせます。

フィールドトランスミッタでは、SPI または UART を使った変調と復調によって、HART インターフェイスを実現します。入力信号の復調は、外部と内部のバンドパスフィルタを組み合わせで行います。

AFE882H1 には、1.25V のオンボード高精度基準電圧と、高精度発振器が内蔵されています。

このデータシートでは、レジスタ名とビット名をピリオドでつないで、次の形式で表記します：<register\_name>.<bit\_name>。たとえば、DAC\_CFG レジスタの CLR ビットは、DAC\_CFG.CLR と表記します。

### 6.2 機能ブロック図



## 6.3 機能説明

### 6.3.1 D/A コンバータ (DAC) の概要

AFEx82H1 には、16 ビット (AFE882H1) または 14 ビット (AFE782H1) のストリング DAC が搭載されており、出力電圧バッファが続きます。DAC は、PVDD の電源電圧に応じて、低い出力範囲 (0V ~ 1.25V) または高い出力範囲 (0V ~ 2.5V) をサポートします。外部回路を使うと、デバイスの出力電圧を、3 線式または 4 線式のセンサトランスミッタやアナログ出力モジュール向けに、さまざまな出力電圧や出力電流に変換できます。DAC は、0V ~ 2.5V の動作範囲をサポートするように設定されています。

このデバイスは、正しく動作するように PVDD 電源を常に監視しています。表 6-1 に、AFEx82H1 の有効な電源電圧範囲と対応する VOUT DAC 電圧範囲を示します。

**表 6-1. VOUT DAC 電圧**

| DAC 構成 | PVDD                       | VDD                      | 名称                    | VOUT DAC 電圧                    |
|--------|----------------------------|--------------------------|-----------------------|--------------------------------|
| 無効な構成  | $0V \leq PVDD < 1.71V$     | $0V \leq VDD < 1.71V$    | アラーム状態 <sup>(1)</sup> | 0.15V または 1.25V <sup>(2)</sup> |
| 有効な設定  | $1.71V \leq PVDD < 1.89V$  | $1.71V \leq VDD < 1.89V$ | 低 DAC 出力              | 0V ~ 1.25V                     |
| 無効な構成  | $1.89V \leq PVDD < 2.7V$   | $VDD > 1.89V$            | アラーム状態 <sup>(1)</sup> | 0.15V または 1.25V <sup>(2)</sup> |
| 有効な設定  | $2.7V \leq PVDD \leq 5.5V$ | VDD は内部で生成されます           | 高 DAC 出力              | 0V ~ 2.5V                      |
| 無効な構成  | $PVDD > 5.5V$              | $VDD > 1.89V$            | アラーム状態 <sup>(1)</sup> | 0.3V または 2.5V <sup>(2)</sup>   |

(1) 詳しくは、表 6-6 を参照してください。

(2) 詳しくは、図 6-12 を参照してください。

動作中に PVDD または VDD が、電源構成に対応する規定のスレッシュホールド値の範囲外になると、アラームがトリガされ、DAC 出力は ALARM\_ACT レジスタの設定に従って設定されます。

#### 6.3.1.1 DAC 抵抗列

図 6-1 に示すように、抵抗ストリングの構造は、値 R の抵抗を直列に接続したものです。DAC にロードされたコードによって、ストリング上のどのノードから電圧を取り出して出力アンプに供給するかが決まります。このストリングをアンプに接続しているスイッチの 1 つを閉じて、電圧をタップオフします。この抵抗ストリング アーキテクチャは、本質的に単調性、電圧出力、および低グリッチを備えています。

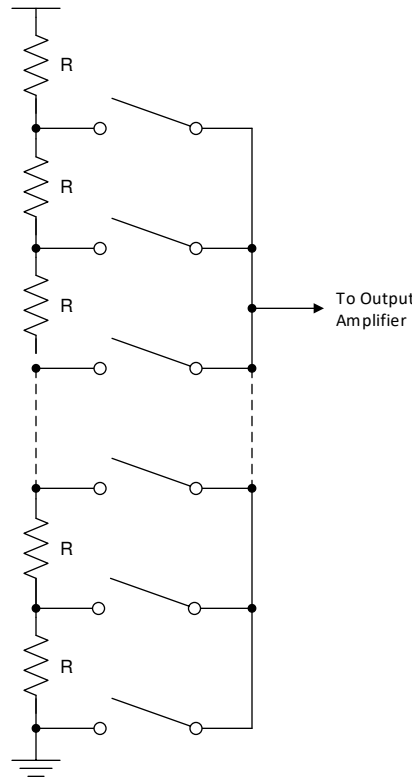


図 6-1. DAC 抵抗列

### 6.3.1.2 DAC バッファ アンプ

VOUT 出力ピンは、DAC 出力バッファ アンプによって駆動されます。出力アンプは、デフォルト設定で、最大 100pF の容量性負荷を発振なしで駆動できるように設計されています。出力バッファは、1mA の電流をソースおよびシンクできます。このデバイスには、出力がグランドや VDD 電源に一時的に短絡した場合の短絡保護機能があります。ソースおよびシンク短絡電流スレッシュホールドは 5mA に設定されています。

### 6.3.1.3 DAC の伝達関数

DAC の伝達関数、つまり VOUT (出力電圧) と DAC\_CODE (内部信号) の関係は、次の式で表されます。

$$VOUT = \frac{DAC\_CODE}{2^N} \times FSR \quad (1)$$

ここで、

- DAC\_CODE は内部信号で、DAC\_DATA レジスタに書き込まれたバイナリコードに、ゲインとオフセットのキャリブレーションを適用した値を 10 進数で表したものです。DAC\_CODE 範囲 = 0 ~ 2<sup>N</sup> - 1 です。
- FSR = 選択した出力範囲での VOUT のフルスケール範囲: PVDD = VDD = 1.8V の場合は 1.25V、PVDD > 2.7V の場合は 2.5V。

### 6.3.1.4 DAC のゲインとオフセットのキャリブレーション

AFEx82H1 には DAC のゲインとオフセットのキャリブレーション機能があり、システムに存在するエンドポイント誤差を補正できます。ゲインとオフセットのキャリブレーションには、DAC\_GAIN.GAIN と DAC\_OFFSET.OFFSET の二つのレジスタを使います。ゲインコードまたはオフセットコードを変更したあとは、新しい値を反映させるために DAC\_DATA レジスタを更新します。DAC\_GAIN は式 2 を使って、0.5 ~ 1.499985 の範囲でプログラムできます。

$$\text{DAC\_GAIN} = \frac{1}{2} + \frac{\text{GAIN}}{2^N} \quad (2)$$

ここで、

- N = DAC\_GAIN の分解能 (ビット数): AFE882H1 では 16、AFE782H1 では 14。
- GAIN は、DAC\_GAIN レジスタの設定値を 10 進数で表した値です。
- GAIN データは左詰めです。AFE782H1 では、DAC\_GAIN レジスタの下位 2 ビットは無視されます。

AFE882H1 の DAC\_GAIN の設定例を、表 6-2 に示します。

**表 6-2. DAC\_GAIN の設定と GAIN コードの関係**

| DAC_GAIN | ゲイン (16 進) |
|----------|------------|
| 0.5      | 0x0000     |
| 1.0      | 0x8000     |
| 1.499985 | 0xFFFF     |

DAC\_OFFSET は、2 の補数形式で DAC\_OFFSET レジスタに格納されます。DAC\_OFFSET 値は、式 3 を使って、 $-2^{(N-1)} \sim 2^{(N-1)} - 1$  までプログラムできます。

$$\text{DAC\_OFFSET} = -\text{OFFSET}_{\text{MSB}} \times 2^{(N-1)} + \sum_{i=0}^{(N-2)} \text{OFFSET}_i \times 2^i \quad (3)$$

ここで、

- N = DAC\_OFFSET の分解能 (ビット数): AFE882H1 では 16、AFE782H1 では 14。
- $\text{OFFSET}_{\text{MSB}}$  = DAC\_OFFSET レジスタの MSB ビット。
- $\text{OFFSET}_i$  = DAC\_OFFSET レジスタの残りのビット。
- $i$  = DAC\_OFFSET レジスタのビットの位置。
- オフセットデータは左詰めです。このデバイスでは、DAC\_OFFSET レジスタの LSB 2 ビットは無視されます。

最上位ビットは数値の符号を決めるビットで、符号ビットと呼ばれます。式 3 に示すように、符号ビットの重みは  $-2^{(N-1)}$  です。

AFE882H1 の DAC\_OFFSET を表 6-3 に示します。

表 6-3. DAC\_OFFSET の設定と OFFSET コードの関係

| DAC_OFFSET | オフセット (16 進) |
|------------|--------------|
| 32767      | 0x7FFF       |
| 1          | 0x0001       |
| 0          | 0x0000       |
| -1         | 0xFFFF       |
| -2         | 0xFFFE       |
| -32768     | 0x8000       |

DAC\_GAIN と DAC\_OFFSET の値に基づいて、DAC\_DATA.DATA に次の伝達関数が適用されます:

$$\text{DAC\_CODE} = (\text{DATA} \times \text{DAC\_GAIN}) + \text{DAC\_OFFSET} \quad (4)$$

ここで、

- DAC\_CODE は、DAC に与えられる内部信号です。
- DATA は、DAC\_DATA レジスタの値を 10 進数で表した値です。
- DAC\_GAIN と DAC\_OFFSET は、ユーザー キャリブレーションの設定値です。
- DATA データは左詰めです。AFE782H1 では、DAC\_DATA レジスタの下位 2 ビットは無視されます。

DAC\_GAIN と DAC\_OFFSET の式 4 を、それぞれ式 2 と式 3 に置き換えると、次の結果になります:

$$\text{DAC\_CODE} = \left( \text{DATA} \times \left[ \frac{1}{2} + \frac{\text{GAIN}}{2^N} \right] \right) - \text{OFFSET}_{\text{MSB}} \times 2^{(N-1)} + \sum_{i=0}^{(N-2)} \text{OFFSET}_i \times 2^i \quad (5)$$

乗算器は、丸めではなく切り捨てで実装されています。丸めを想定している場合、この切り捨てによって 1LSB の差が生じることがあります。図 6-2 に、DAC のキャリブレーションパスを示します。

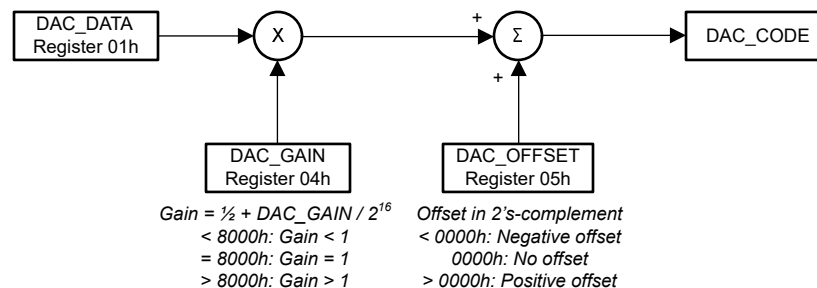


図 6-2. DAC のキャリブレーションパス

### 6.3.1.5 プログラム可能な出力スルー レート

スルーレート機能は、出力電圧または出力電流が変化するレートを制御します。この機能はデフォルトでは無効で、DAC\_CFG.SR\_EN ビットにロジック 1 を書き込むと有効になります。スルーレート制御機能が無効の場合、出力は、出力駆動回路と接続された負荷で制限されるレートで、滑らかに変化します。

この機能を有効にすると、出力は二つの値の間を直接スルーしません。代わりに、出力は DAC\_CFG.SR\_STEP[2:0] と DAC\_CFG.SR\_CLK[2:0] で決まるレートで、デジタル的にステップ状に変化します。SR\_CLK は、デジタル スルーの更新レートを決めます。SR\_STEP は、更新ごとに出力値が変化する量を決めます。SR\_STEP と SR\_CLK のさまざまな設定については、レジスタの説明を参照してください。

出力がスルーするために必要な時間は式 6 のように表されます:

$$\text{Slew Time} = \frac{\text{Delta Code Change}}{\text{Slew Step} \times \text{Slew Clock Rate}} \quad (6)$$

ここで、

- スルー時間は秒で表されます
- スルー ステップは `DAC_CFG.SR_STEP` で制御されます
- スルー クロック レートは `DAC_CFG.SR_CLK` によって制御されます

スルーレート制御機能が有効な場合、出力は設定したスルーレートで変化します。この設定により、出力は階段状になります。クリア コードがアサートされると(「DAC レジスタ構造」および「クリア状態」を参照)、出力はプログラムされたスルーレートで `DAC_CLR_CODE` 値までスルーします。新しい DAC データが書き込まれると、出力は、現在の DAC コードと新しい DAC データで決まるスルー レートで、新しい値に向けてスルーを開始します。

スルーレート制御には、リニア (デフォルト) と正弦波の二つのモードがあります。図 6-3 と図 6-4 に、DAC 出力の代表的な立ち上がり波形と立ち下がり波形をそれぞれ示します。

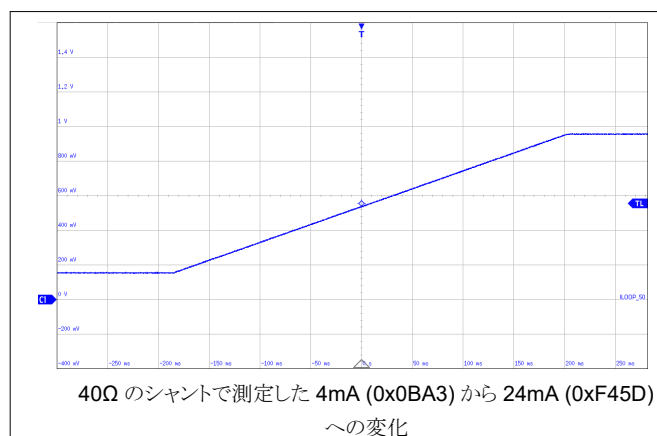


図 6-3. 線形スルーレート : 立ち上がり

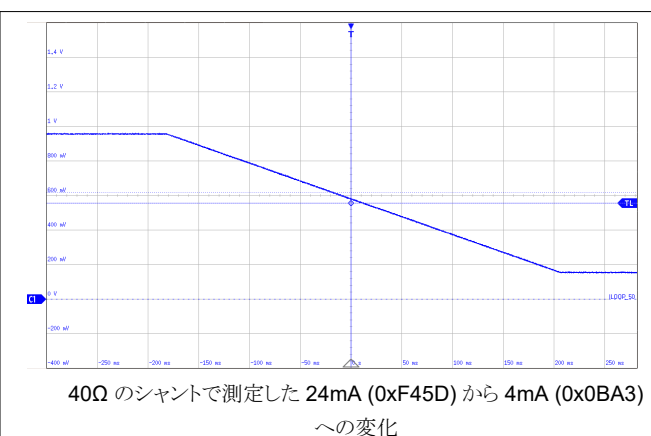
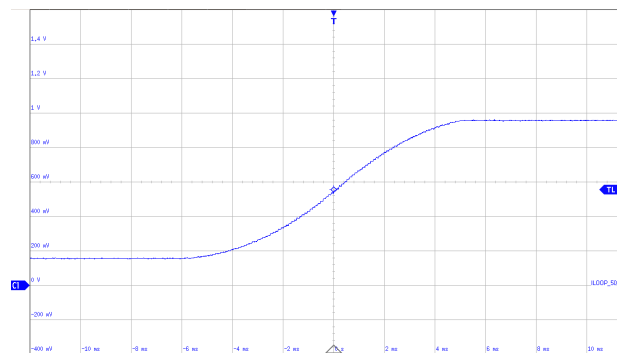


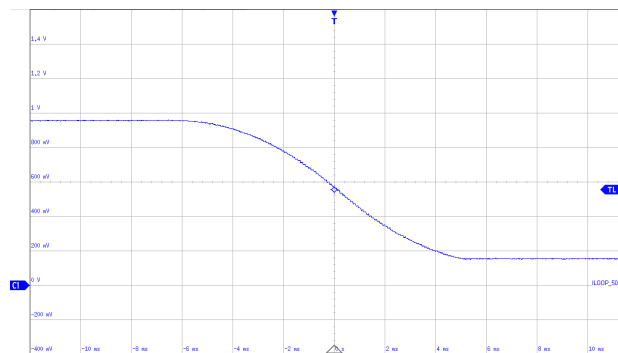
図 6-4. 線形スルーレート : 立ち下がり

正弦波モードでは、アナログの変化率特性を改善しながら、DAC を高速にセトリングできます。正弦波モードは、`DAC_CFG.SR_MODE` ビットで選択します。図 6-5 と図 6-6 に、正弦波スルー レート制御での DAC 出力の代表的な立ち上がり波形と立ち下がり波形をそれぞれ示します。



40Ω のシャントで測定した 4mA (0x0BA3) から 24mA (0xF45D) への変化

**図 6-5. 正弦波スルーレート：立ち上がり**



40Ω のシャントで測定した 24mA (0xF45D) から 4mA (0x0BA3) への変化

**図 6-6. 正弦波スルーレート：立ち下がり**

DAC がスルーレート コマンドを実行している間にスルーレート機能を無効にすると、スルーレート動作は中止され、DAC 出力はターゲット コードになります。

### 6.3.1.6 DAC レジスタ構造とクリア状態

AFE882H1 DAC には 16 ビットの電圧出力があり、AFE782H1 DAC には 14 ビットの電圧出力があります。出力電圧範囲は 0V ~ 2.5V です。

AFEx82H1 では、DAC\_DATA レジスタに書き込まなくても、DAC 出力を DAC\_CLR\_CODE レジスタに設定した値にすばやく切り替えられます。この状態をクリア状態と呼びます。レジスタの詳細については、表 7-6 を参照してください。

DAC\_DATA から DAC\_CLR\_CODE への遷移は、クロックに同期しています。スルー モードが有効な場合、遷移中に出力はスルーします。図 6-7 に、AFEx82H1 DAC\_DATA 信号パスの完全なパスを示します。これらのデバイスは、DAC\_DATA コードを内部クロックと同期させるため、 $\overline{CS}$  の立ち上がりエッジまたは UBM コマンドの終了から、最大 2.5 内部クロック サイクル (2 $\mu$ s) のレイテンシが生じます。SR\_BUSY による IRQ パルスの発生を避けるため、DAC\_GAIN と DAC\_OFFSET の値は DAC\_CFG.SR\_EN = 0 のときに更新します。

DAC を次のいずれかの方法でクリア状態に設定します：

1. DAC\_CFG.CLR を設定する。
2. アラーム条件に応じて CLEAR 状態に遷移するように DAC を設定する。
3. UBM で SDI ピンを使用するかをクリア状態入力ピンとして使用します。

方法 1 は、DAC をクリア状態に設定するための AFEx82H1 への直接コマンドです。DAC\_CFG.CLR ビットを 1h に設定して、DAC をクリア状態にセットします。

方法 2 は、ALARM\_ACT レジスタの設定によって制御されます。この方法を使用するために必要な条件およびその他のマスクの詳細については、表 7-17 およびセクション 6.3.3.2 を参照してください。

方法 3 では、AFEx82H1 に書き込まずに DAC をクリア状態に設定することもできます。このピンによる DAC の CLEAR 状態機能は、UBM の SDI ピンでのみ。各モードで使用される通信モードとピンに基づく接続オプションの詳細については、セクション 6.5.1 を参照してください。DAC をクリア状態にするには、該当するピンを High にします。

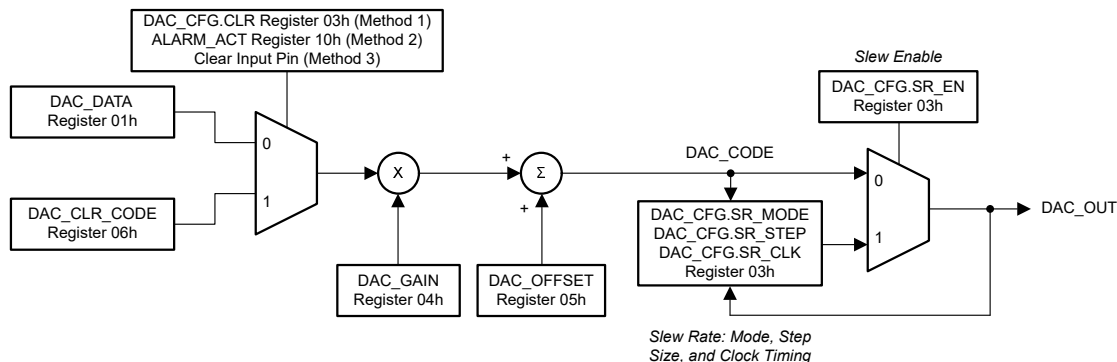


図 6-7. DAC データ パス

### 6.3.2 A/D コンバータ (ADC) の概要

AFEx82H1 は、12 ビットの逐次比較型 (SAR) ADC と柔軟性の高いアナログ マルチプレクサを中心とした監視システムを搭載しています。この監視システムは、最大二つの外部入力と、複数の内部デバイス信号を検出できます。

ADC は、VREFIO ピンの電圧をリファレンス電圧として使います。ADC のタイミング信号は、オンチップ発振器から生成されます。変換結果には、デバイスのシリアル インターフェイスを介してアクセスします。

#### 6.3.2.1 ADC 動作

このデバイスの ADC は、ダイレクト モード変換と自動モード変換をサポートしています。どちらの変換モードでも、カスタム チャンネル シーケンスを使って、ADC で変換する入力チャンネルを決めます。シーケンスの順序は固定されています。変換シーケンスの開始チャンネルと停止チャンネルを選択します。変換方法とチャンネル シーケンスは、ADC 設定レジスタで指定します。デフォルトの変換方法は自動モードです。図 6-8 に、ADC 変換シーケンスを示します。

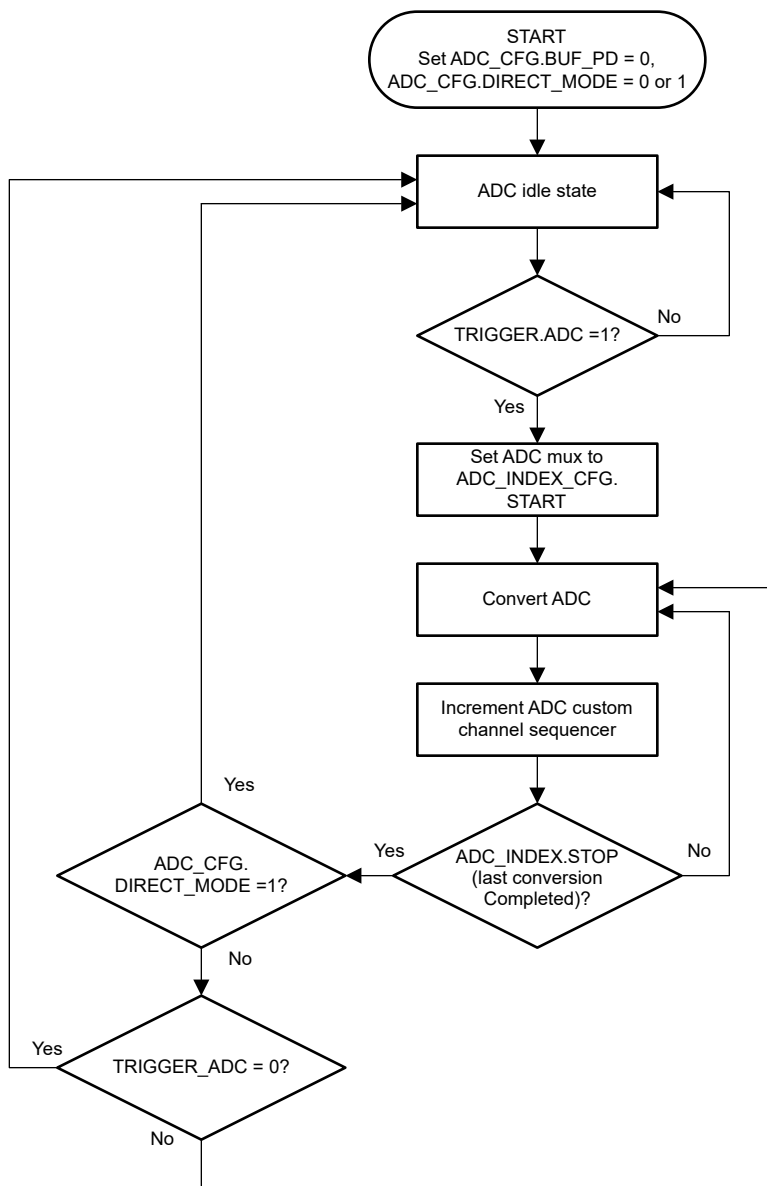


図 6-8. ADC 変換シーケンス

ADC を使うには、まず `ADC_CFG.BUF_PD = 0` に設定して ADC バッファを有効にします。そのあと、`TRIGGER.ADC` ビットでトリガを設定する前に、**210µs** 以上待ちます。タイマが満了する前にトリガ信号を送ると、内部で強制的に遅延が入ります。`ADC_CFG.BUF_PD = 1` に設定する前に、ADC が変換中でないことを確認します。ADC の変換中に `ADC_CFG.BUF_PD` を 1 に設定すると、内部タイマによってこのコマンドが遅延されます。タイマが満了すると ADC のイネーブル信号がクリアされ、現在の変換が完了してから、ADC と ADC バッファがパワー ダウンします。

ADC がアイドル状態から抜けるには、トリガ信号が必要です。ADC トリガは、`TRIGGER.ADC` ビットにより生成されます。ADC データレジスタには、利用できる最新のデータが入っています。データレジスタにアクセスしても変換処理には影響しないため、ADC は連続して動作できます。

ダイレクトモード変換では、ADC トリガ信号を発行すると、選択した ADC 入力チャネルが要求に応じて変換されます。最後に有効にしたチャネルの変換が終わると、ADC はアイドル状態に入り、新しいトリガを待ちます。レジスタマップを使用して、ADC 変換の結果を読み取ります。ダイレクトモード変換は、通常、任意のデータチャネルの ADC データを収集するために使われます。ダイレクトモードでは、`ADC_BUSY` ビットを使って、ダイレクトモード変換が完了し ADC がアイドル状態に戻ったタイミングを判定します。ダイレクトモードは、`ADC_CFG.DIRECT_MODE = 1` を書き込んで設定します。

自動モード変換では、選択した ADC 入力チャネルが連続して変換されます。変換サイクルは、ADC トリガを発行すると開始されます。最初の変換シーケンスが完了すると、次のシーケンスが自動的に開始されます。ADC トリガ信号をクリアして自動モード変換を停止するまで、選択したチャネルの変換が繰り返されます。自動モード変換は、通常、ADC データの収集には使いません。自動モード変換は、ADC データの上限と下限のスレッシュホールドと組み合わせて、データがプログラム可能な範囲外アラーム スレッシュホールドを超えたことを検出するために使います。自動モードは、`ADC_CFG.DIRECT_MODE = 0` を書き込んで設定します。

どちらの変換方法を選択した場合でも、ADC 設定レジスタは、ADC がアイドル状態のときにのみ更新します。ADC がチャネルを変換している間は、ADC 設定ビットを変更しないでください。設定ビットを変更する前に、ADC を無効にし、`GEN_STATUS.ADC_BUSY = 0` であることを確認します。

### 6.3.2.2 ADC カスタム チャンネル シーケンス

このデバイスは、カスタム チャンネル シーケンスを使って ADC のマルチプレクサを制御します。ADC シーケンスを使うと、変換するチャンネルを指定できます。シーケンスは、16 個のインデックス付きスロットで構成されています。プログラム可能な開始インデックス フィールドと停止インデックス フィールドで、変換の開始点と停止点を設定します。

ダイレクト モードの変換では、ADC は開始インデックスから停止インデックスまでを一回変換したあと、停止します。自動モードの変換では、ADC が停止されるまで、開始インデックスから停止インデックスまでの変換を繰り返します。図 6-9 に、デバイスで利用できるインデックス付きカスタム チャンネル シーケンス スロットを示します。

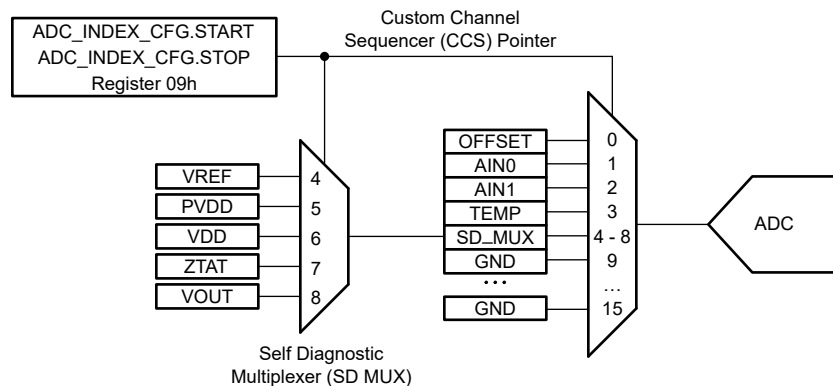


図 6-9. ADC MUX 制御

表 6-4 はシーケンスの ADC 入力チャンネルの割り当てを示します。

表 6-4. インデックス付きカスタム チャンネル シーケンス

| CCS ポインタ | チャンネル      | CONV_RATE | 範囲                                                 |
|----------|------------|-----------|----------------------------------------------------|
| 0        | オフセット      | 2560Hz    | VREF                                               |
| 1        | AIN0       | プログラム可能   | プログラム可能                                            |
| 2        | AIN1       | プログラム可能   | プログラム可能                                            |
| 3        | TEMP       | 2560Hz    | VREF                                               |
| 4        | SD0 (VREF) | 2560Hz    | VREF                                               |
| 5        | SD1 (PVDD) | 2560Hz    | VREF                                               |
| 6        | SD2 (VDD)  | 2560Hz    | VREF                                               |
| 7        | SD3 (ZTAT) | 2560Hz    | VREF                                               |
| 8        | SD4 (VOUT) | 2560Hz    | PVDD = 1.8V のときの VREF<br>PVDD ≥ 2.7V のときの 2 × VREF |
| 9-15     | GND        | 2560Hz    | VREF                                               |

ADC\_INDEX\_CFG レジスタを使ってチャンネルを選択します。チャンネルの順序は固定されており、表 6-4 に示されています。次に、ADC\_INDEX\_CFG.START と ADC\_INDEX\_CFG.STOP を使って、変換するインデックスの範囲を選択します。これら二つの値が同じ場合、ADC は一つのチャンネルのみを変換します。START と STOP の値が異なる場合、ADC は対応するインデックスを順に変換します。デフォルトでは、すべてのチャンネルが変換されるように設定されています (START = 0, STOP = 8)。AIN1 チャンネルが ADC 入力として設定されていない場合、このチャンネルの結果は 0x0000 になります。AIN1 が START と STOP の範囲内にある場合、変換に必要な最小時間は引き続き割り当てられます。START を STOP より大きい値に設定すると、デバイスは変換シーケンスを START = STOP として扱います。

ダイレクト モードでは、ADC\_INDEX\_CFG レジスタで選択された各チャンネルは、TRIGGER.ADC コマンドごとに一回変換されます。自動モードでは、ADC\_INDEX\_CFG レジスタで選択された各チャンネルが一回ずつ変換されます。最後のチャンネルのあとは、ADC が有効である限り、ループが繰り返されます。自動モードでは、TRIGGER.ADC = 1 を書き込むと、変換が開始されます。TRIGGER.ADC = 0 を書き込むと、変換中のチャンネルが完了したあとで、ADC は無効になり

ます。ダイレクト モードでは、`TRIGGER.ADC = 1` を書き込むと、シーケンスが開始されます。シーケンスが終了すると、`TRIGGER.ADC` は自動的にクリアされます。

一回の変換には、少なくとも 20 クロック サイクルが必要です。`ADC` クロックは、内部発振器のクロックを 16 分周して生成されます。そのため、`ADC` クロック周波数は  $1.2288\text{MHz}/16 = 76.8\text{kHz}$ 、クロック周期は  $13.02\mu\text{s}$  になります。

各内部ノードの変換レートは固定されています。`AIN0` ピンおよび `AIN1` ピンは、プログラム可能な変換レートがあります (`ADC_CFG` レジスタも参照)。`AIN0` ピンと `AIN1` ピンは範囲も設定できます。`PVDD`  $\geq 2.7\text{V}$  の場合、`ADC_CFG.AIN_RANGE` ビットに応じて、入力範囲は  $0\text{V} \sim 1.25\text{V}$ 、または  $0\text{V} \sim 2.5\text{V}$  のいずれかになります。`PVDD` =  $1.8\text{V}$  の場合、 $0\text{V} \sim 1.25\text{V}$  の範囲のみが許可されます。この場合、`ADC_CFG.AIN_RANGE` ビットは設定されません。

`ADC` の設定ビットを変更する場合は、次の手順を推奨します：

1. `ADC` を無効にします
2. `ADC_BUSY` が Low になるまで待ちます
3. 設定を変更します
4. 変換を再開します

`ADC_BUSY` は、`GEN_STATUS` レジスタで監視できます。

`ADC` がダイレクト モード (`ADC_CFG.DIRECT_MODE = 1`) に設定されている場合は、変換するチャンネルを設定したあと、`TRIGGER.ADC` に 1 を書き込みます。このビットは、シーケンスの変換が終わると自動的にクリアされます。このコマンドは、選択されたすべてのチャンネルを一回変換します。チャンネルの変換をもう一度開始するには、`TRIGGER.ADC` コマンドを再度送信します。

#### 6.3.2.3 `ADC` 同期

`ADC` がアイドル状態から抜けて変換を開始するには、トリガ信号を生成する必要があります。`ADC` トリガは、`TRIGGER.ADC` ビットにより生成されます。`ADC` データレジスタには、利用できる最新のデータが入っています。データレジスタにアクセスしても変換処理には影響しないため、`ADC` は連続して動作できます。

ダイレクト モードでは、`GEN_STATUS.ADC_BUSY` ビットを使って、ダイレクト モード変換が完了し `ADC` がアイドル状態に戻ったタイミングを判定します。同様に、`TRIGGER.ADC` ビットを監視して、`ADC` がアイドル状態に戻ったかどうかを確認します。

#### 6.3.2.4 `ADC` オフセット キャリブレーション

`CCS` ポインタのチャンネル 0 は、オフセットと呼ばれます。オフセット チャンネルは、`ADC` のオフセットのキャリブレーションと性能の改善に使います。オフセット チャンネルを変換し、その結果を以後の測定で `ADC` オフセットの較正として使用します。

この `ADC` チャンネルは `VREF/2` をサンプリングし、その結果を `7FFh` と比較して、`ADC` のオフセットを測定します。このチャンネルを測定する `ADC` のデータレートは  $2560\text{Hz}$  です。`7FFh` からオフセット チャンネルの `ADC` 変換値を減算し、その結果を `ADC_OFFSET` (`28h`) に格納します。オフセットは正の値にも負の値にもなるため、値は 2 の補数形式で格納されます。

`7FFh` から減算するため、`ADC_OFFSET` はオフセットの符号を反転した値になります。デフォルトでは、この値は `ADC` の変換値から減算されます。`ADC` の直接測定については、`ADC_BYP.OFST_BYP_EN` を 1 に設定して、オフセット バイパスを有効化します。セクション 6.3.2.8 を参照してください。

### 6.3.2.5 外部監視入力

AFEx82H1 には、外部電圧検出用の二つのアナログ入力があります。CCS ポインタのチャンネル 1 と 2 は外部監視入力用で、それぞれ AIN0 ピンと AIN1 ピンで測定できます。アナログ入力の入力範囲は、0V ～ 1.25V または 0V ～ 2.5V に設定できます。アナログ入力の変換値は、ストレート バイナリ形式で ADC レジスタに格納されます。ADC の分解能は式 7 で計算できます：

$$1 \text{ LSB} = \frac{V_{\text{RANGE}}}{2^{12}} \quad (7)$$

ここで、

- $V_{\text{RANGE}} = 0\text{V} \sim 2.5\text{V}$  の入力範囲の場合は 2.5V、 $0\text{V} \sim 1.25\text{V}$  の入力範囲の場合は 1.25V です。

図 6-10 および表 6-5 に、伝達特性の詳細を示します。

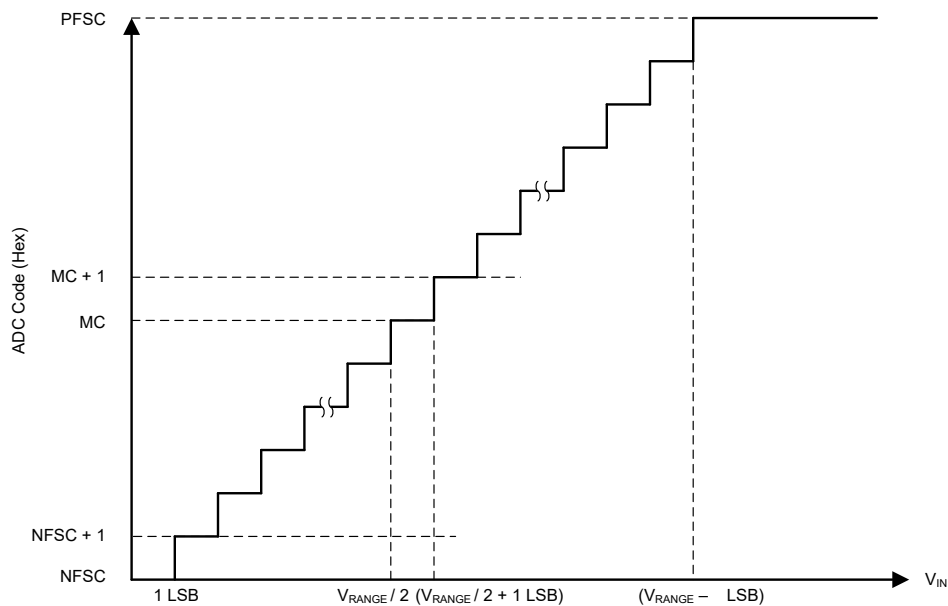


図 6-10. ADC 伝達特性

表 6-5. 伝達特性

| 入力電圧                                                                         | コード      | 説明              | 理想的な出力コード |
|------------------------------------------------------------------------------|----------|-----------------|-----------|
| $\leq 1\text{LSB}$                                                           | NFSC     | 負のフルスケール コード    | 000       |
| $1\text{LSB} \sim 2\text{LSB}$                                               | NFSC + 1 | 負のフルスケールコード + 1 | 001       |
| $(V_{\text{RANGE}}/2) \sim (V_{\text{RANGE}}/2) + 1\text{LSB}$               | MC       | ミッドコード          | 800       |
| $(V_{\text{RANGE}}/2) + 1\text{LSB} \sim (V_{\text{RANGE}}/2) + 2\text{LSB}$ | MC + 1   | ミッドコード + 1      | 801       |
| $\geq V_{\text{RANGE}} - 1\text{LSB}$                                        | PFSC     | 正のフルスケール コード    | FFF       |

これらの外部監視入力では、ADC のデータ レートと電圧範囲の両方を設定できます。データ レートは、ADC\_CFG.CONV\_RATE ビットで 640Hz、1280Hz、2560Hz、3840Hz のいずれかに設定します。ADC 測定の範囲は、ADC\_CFG.AIN\_RANGE ビットで設定します。このビットが 0 の場合、ADC のレンジは  $2 \times V_{\text{REF}}$  です。このビットが 1 の場合、ADC のレンジは  $V_{\text{REF}}$  です。ADC\_CFG.AIN\_RANGE がレンジを制御するのは、 $PVDD > 2.7\text{V}$  の場合だけです。 $PVDD = 1.8\text{V}$  の場合は、設定に関係なく範囲は  $V_{\text{REF}}$  になります。

AIN0 と AIN1 の ADC 変換が完了すると、得られた ADC データは、レジスタ マップのアドレス 24h と 25h にある ADC\_AIN0.DATA ビットと ADC\_AIN1.DATA ビットに格納されます。

外部監視入力を使わない場合は、AIN0 ピンと AIN1 ピンを 1kΩ の抵抗を介して GND に接続します。

### 6.3.2.6 温度センサ

CCS のチャンネル 3 は、デバイスのダイ温度の測定に使用します。ADC は、絶対温度 (CTAT) を補完する電圧を測定する内部温度センサを測定します。この CTAT 電圧は負の温度係数を持っています。ADC は、この電圧を 2560Hz のデータレートで変換します。ADC 変換が完了すると、データは ADC\_TEMP.DATA ビット (アドレス 26h) に格納されます。

周囲温度と ADC コードの関係を式 8 に示します:

$$\text{ADC Code} = 2681 - 11 \times T_A(^{\circ}\text{C}) \quad (8)$$

### 6.3.2.7 自己診断マルチプレクサ

ADC のオフセットに加えて、二つの外部監視入力、および温度センサに加えて、AFE882H1 の ADC には五つの他の内部入力があり、リファレンス電圧、電源、静的電圧、DAC 出力を監視します。これら五つの電圧測定は、ADC の自己診断マルチプレクサ (SD0 ~ SD4) による測定の一部で、アドレス 27h の ADC\_SD\_MUX レジスタに通知されます。[セクション 7](#) も参照してください。

チャンネル 4 (SD0) は、デバイスの基準電圧を測定します。ADC は、抵抗分圧器で 1/2 に分圧して基準電圧を測定します。すべての ADC 測定値は基準電圧に依存する点に注意してください。そのため、SD0 で基準電圧を測定しても、診断としてはあまり意味がありません。この変換のデータレートは 2560Hz で、ADC の範囲は VREF に設定されます。

チャンネル 5 (SD1) は、デバイスの PVDD 電源を測定します。ADC は、抵抗分圧器で 1/6 に分圧して PVDD 電圧を測定します。この変換のデータレートは 2560Hz で、ADC の範囲は VREF に設定されます。

チャンネル 6 (SD2) は、デバイスの VDD 電源を測定します。チャンネル 6 を選択すると、ADC は抵抗分圧器で 1/2 に分圧して VDD 電圧を測定します。この変換のデータレートは 2560Hz で、ADC の範囲は VREF に設定されます。

チャンネル 7 (SD3) は ZTAT (ゼロ温度係数) 電圧です。この内部電圧は公称 0.6V で、温度ドリフトが小さく、リファレンス電圧に依存しません。ZTAT 電圧を ADC で測定すると、リファレンス電圧の状態を判定するのに役立ちます。この変換のデータレートは 2560Hz で、ADC の範囲は VREF に設定されます。

チャンネル 8 (SD4) は、DAC の VOUT を測定します。ADC は、分圧抵抗 (2 分周) を通じて VOUT 電圧を測定します。この変換のデータレートは 2560Hz、ADC の範囲は  $2 \times \text{VREF}$  に設定されます。

DAC 電圧監視入力の入力範囲は、PVDD 電圧に応じて 0V ~ 2.5V または 0V ~ 1.25V にスケールリングされます。PVDD 電圧が 2.7V を超えるとすぐに、DAC 電圧監視の入力範囲は自動的に 0V ~ 2.5V に切り替わります。DAC 電圧の変換値は、ストレート バイナリ形式で ADC レジスタに格納されます。これらのチャンネルの ADC 分解能は、[式 7](#) によって計算されます。

### 6.3.2.8 ADC バイパス

オフセットをテストするには、バイパス データレジスタ `ADC_BYP.DATA (2Eh)` を設定して、ADC のデータ パスを変更します。この読み取り / 書き込みレジスタは、二つの異なる方法で使用されます。

一つ目は、`ADC_BYP.OFST_BYP_EN` を 1 に設定して、このバイパス データレジスタを `ADC_OFFSET` の代わりに使う方法です。ただし、`ADC_BYP.DATA` のデータを `ADC_OFFSET` レジスタに格納する必要がある場合は、二つ目の方法を使います。

二つ目は、`ADC_BYP.DATA` を使って、変換するチャンネルの ADC リードバックレジスタに既知の値を設定する方法です。必要なデータを `ADC_BYP.DATA` に書き込み、`ADC_BYP.DATA_BYP_EN` ビットをセットして、選択したチャンネルを変換します。`ADC_BYP.DATA_BYP_EN` ビットが 1 にセットされていると、ADC の変換はバイパスされ、`ADC_BYP.DATA` の値が、選択した ADC チャンネルのリードバックレジスタに書き込まれます。この設定は、ADC のアラーム設定をテストするために使います。

ADC バイパスを使わない場合は、`ADC_BYP.DATA` を 000h に設定します。

図 6-11 に、ADC バイパス データフローを示します。

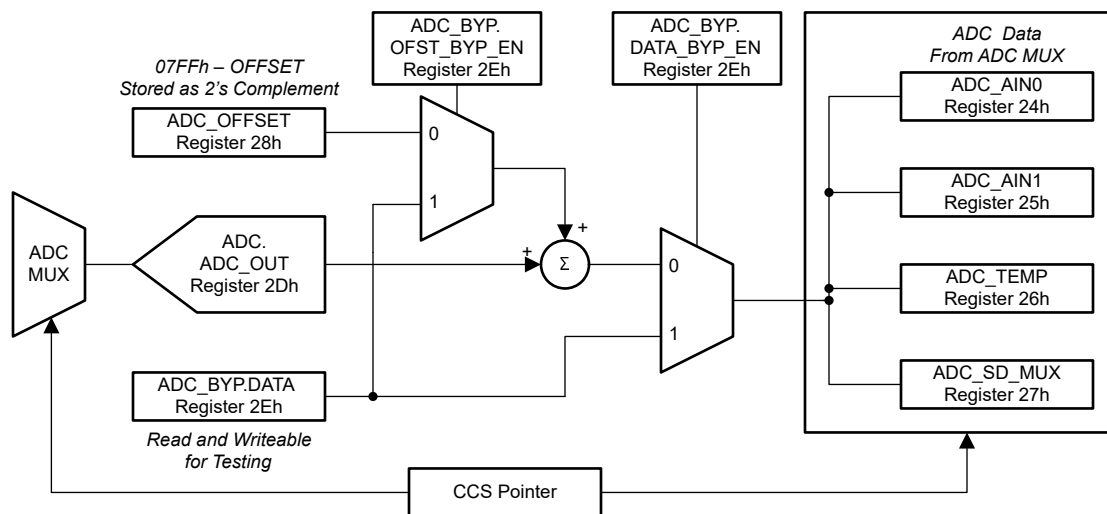


図 6-11. ADC バイパス データ フロー

### 6.3.3 範囲外アラームをプログラム可能

AFE882H1 は、電源、外部 ADC 入力、DAC 出力電圧、基準電圧、内部温度、その他の内部信号が通常の動作範囲にあるかどうかを、継続的に解析できます。

変換結果の通常動作範囲は、下限スレッショルドレジスタと上限スレッショルドレジスタで設定します。監視対象の入力のいずれかが規定の範囲を外れると、アラーム ステータスレジスタの対応するアラームビットがセットされます。

アラーム ステータスレジスタのアラームビットは、ラッチされます。アラームビットは、ソフトウェアが読み取るまでセットされたままになるため、ラッチされると表現されます。ソフトウェアがデバイスを定期的にポーリングするため、この設計では範囲外イベントを見逃しません。アラーム ステータスレジスタを読み出すとすべてのビットがクリアされ、次の監視サイクルでも範囲外の状態が続いている場合は、すべてのビットが再びアサートされます。アラーム イベントがクリアされると、DAC アクティブレジスタの内容が DAC に再ロードされます。そのため、追加のコマンドなしで、DAC 出力を前の動作点に戻せます。

すべてのアラームを使用して、`ALARM` ピンでハードウェア割り込み信号を生成できます。セクション 6.3.3.1 も参照してください。また、セクション 6.3.3.2 では、アラームごとにアラームアクションを個別に設定する方法について説明します。

### 6.3.3.1 アラームベースの割り込み

アラーム ピンをアクティブにするように、使用可能なアラームを一つまたは複数設定できます。ALARM ピンをオプションのハードウェア割り込みとしてホストに接続します。割り込みがアサートされたとき、ホストはアラーム ステータス レジスタを読み出して、アラームの発生源を特定できます。ALARM\_STATUS\_MASK レジスタでマスクされていない限り、どのアラーム イベントでもピンがアクティブになります。アラーム イベントがマスクされると、イベントが発生するとアラーム ステータス レジスタの対応するステータス ビットが設定されますが、ALARM ピンはアクティブになりません。

#### 注

ALARM ピンの出力は、ALARM\_STATUS と ALARM\_STATUS\_MASK のレジスタ設定によって決まり、ALARM\_ACT レジスタの設定には影響されません。

### 6.3.3.2 アラーム アクション構成レジスタ

AFEx82H1 は、以下のアラーム アクション構成レジスタを備えています:ALARM\_ACT。このレジスタに書き込んで、特定のアラーム条件で自動的に実行されるデバイスの動作を選択します。ALARM\_ACT レジスタは、自己診断チャンネル (AIN0、AIN1、TEMP) の ADC 変換によるアラーム イベント、または CRC、WDT、VREF、TEMP\_HI、TEMP\_LO の故障に対して、メイン DAC がどう応答するかを決めます。DAC が応答するのは、これらの故障の場合だけです。他のアラーム ステータス イベントは、ALARM ピンをトリガします。アラーム動作には四つのオプションがあります。アラーム条件ごとに異なる設定を選択した場合、動作は次の優先順位 (低い順) で決まります:

- 0. → アクションなし
- 1. → DAC クリア状態
- 2. → VOUT アラーム電圧
- 3. → VOUT Hi-Z

アラーム イベントの発生時にオプション 1 を選択している場合、DAC は強制的にクリア コードになります。この動作は、DAC への入力コードを制御することで行われます。

アラーム イベントが発生したときにオプション 2 を選択した場合、VOUT は強制的にアラーム電圧になります。アラーム電圧は、ピンまたはレジスタ ビットのどちらかで制御します。SPECIAL\_CFG.AIN1\_ENB = 0 の場合、AIN1 ピンがアラームの極性を制御します。また、レジスタ ビット SPECIAL\_CFG.ALMV\_POL も使えます。これらの信号のどちらかが 1 の場合、アラーム電圧は **High** になります。それ以外の場合、アラーム電圧は **Low** になります。SPECIAL\_CFG レジスタは **POR** でのみリセットされるため、ハードウェア リセットやソフトウェア リセットではユーザー設定がそのまま保持されます。

アラーム イベントの発生時にオプション 3 を選択している場合、VOUT バッファはハイ インピーダンスになります。複数のイベントが発生した場合は、優先順位が最も高い設定が優先されます。オプション 3 の優先順位が最も高くなります。

アラームに対する動作を無効にするには、ALARM\_ACT の対応するビットを 0h に設定します。アラーム動作は、トリガ条件のビットがリセットされたとき (ALARM\_STATUS の故障ビットがスティッキーかどうかによって動作が異なります)、または動作設定を 0h に変更したときにクリアされます。

#### 注

設定したアラーム動作は、アラームが発生すると、ALARM\_STATUS レジスタと ALARM\_ACT レジスタに従って実行されます。アラーム動作は、ALARM\_STATUS\_MASK の設定には影響されません。

### 6.3.3.3 アラーム電圧ジェネレータ

図 6-12 に示すように、アラーム電圧は DAC の出力電圧とは独立して生成されます。アラーム極性制御ロジックは、アラーム電圧ジェネレータの出力レベルを選択します。アラーム動作制御ロジックは、DAC 出力とアラーム電圧ジェネレータの出力電圧のどちらかを選択します。また、アラーム動作制御ロジックは、出力バッファの Hi-Z スイッチも制御します。

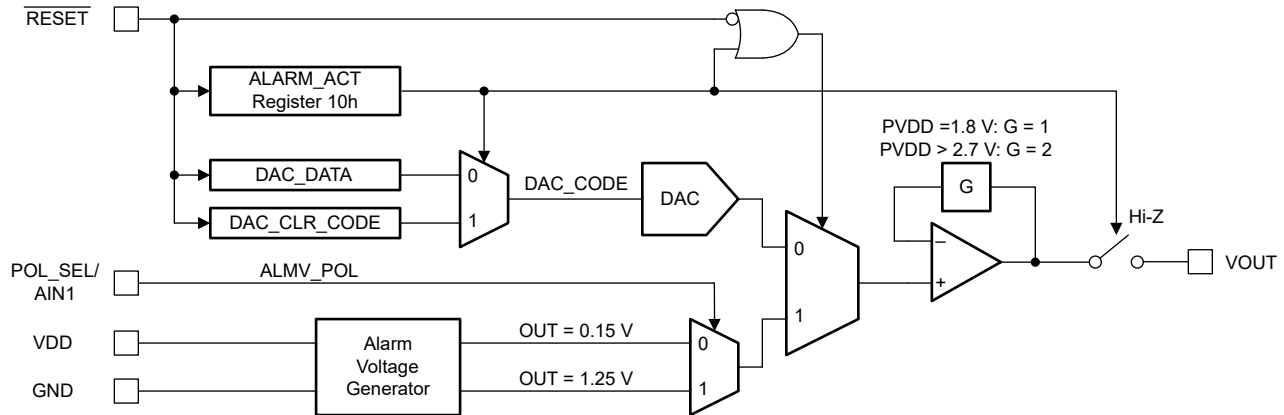


図 6-12. アラーム電圧ジェネレータのアーキテクチャ

通常動作時、VOUT の予想電圧は DAC\_CODE によって決まります。SD4 (VOUT) 診断チャンネルの ADC スレッショルドは、設定した DAC\_CODE を中心に設定されます。アラーム条件の発生中に、アラーム動作によって VOUT 電圧がアラーム電圧に変わった場合、または VOUT バッファがハイインピーダンスモードに切り替わった場合、VOUT 電圧は DAC\_CODE に依存しなくなります。この場合、SD4 (VOUT) 診断チャンネルもアラームを通知します。このアラームをクリアするには、ほかのすべてのアラーム条件がクリアされている状態で、アラーム動作を「動作なし」または「DAC のクリアコード」に設定します。どちらのアラーム動作を適用しても、VOUT 電圧は予想される ADC スレッショルドの範囲内になり、SD4 (VOUT) チャンネルの次の ADC 測定後にアラームがクリアされます。

過渡イベント中のアラームロジックには、特に注意してください。ADC が自動モードで SD4 (VOUT) 入力を監視しているときに、新しい DAC\_CODE が SD4 (VOUT) のアラームスレッショルドを超えると、VOUT が新しい値に整定する途中で ADC の変換が行われることがあります。この変換によって誤警報がトリガされる可能性があります。この問題の発生を防ぐには、次の二つの方法があります：

1. ダイレクトモードを使い、VOUT が整定してから次の ADC 変換をトリガします。
2. ADC\_CFG.FLT\_CNT > 0 に設定します。この設定では、SD4 またはほかの測定で一回だけエラーが発生しても、アラーム条件はアサートされません。

### 6.3.3.4 温度センサアラーム機能

AFE882H1 は、内部ダイの温度を継続的に監視します。ADC による測定に加えて、温度センサはコンパレータをトリガして、サーマル警告とサーマルエラーを示します。温度が 85°C を超えると、サーマル警告アラームがセットされます。また、ダイ温度が 130°C を超えると、サーマルエラーアラームがセットされます。

過熱警告およびサーマルエラーアラームは、ALARM ピンを設定するように構成でき、ALARM\_STATUS レジスタに示されます。これらのアラームは、ALARM\_MASK レジスタでマスクできます。また、ALARM\_ACT レジスタで、DAC 出力を制御するように設定することもできます。

### 6.3.3.5 内部リファレンスアラーム機能

これらのデバイスは、リファレンス電圧の範囲外を検出する機能を備えています。リファレンス電圧が公称値の  $\pm 5\%$  を超えると、リファレンスアラームフラグ (VREF\_FLT ビット) が設定されます。DAC 出力の電源をオンにする前に、デバイスが基準電圧アラームを発生させていないことを確認してください。

### 6.3.3.6 ADC アラーム機能

AFEx82H1 デバイスは、各 ADC 入力について独立した範囲外検出機能を備えています。範囲外検出ブロックを、[図 6-13](#) に示します。測定値が範囲外になると、対応するアラームビットが設定され、範囲外状態がフラグされます。

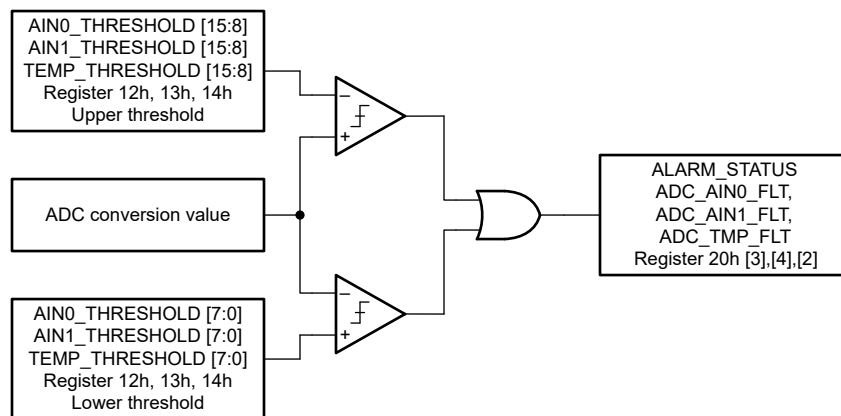


図 6-13. ADC 範囲外アラーム

アラーム イベントは、監視された信号が連続  $N$  回の変換にわたって範囲外である場合にのみ登録されます。ここで  $N$  は `ADC_CFG.FLT_CNT` 誤アラームレジスタ設定で設定されます。モニタされた信号が連続して  $N$  回変換する前に通常の範囲に戻った場合、アラーム イベントは発行されません。

ADC の入力信号が範囲外で、アラームが有効になっている場合は、対応するアラーム ビットが 1 にセットされます。ただし、アラーム状態がクリアされるのは、変換結果が上限レジスタ設定より小さい値に戻り、かつヒステリシス設定で指定されたコード数で下限レジスタ設定より大きい値に戻った場合のみです ([図 6-14](#) を参照)。ヒステリシスは、`ADC_CFG.HYST` レジスタで 0LSB ~ 127LSB の範囲で設定できます。

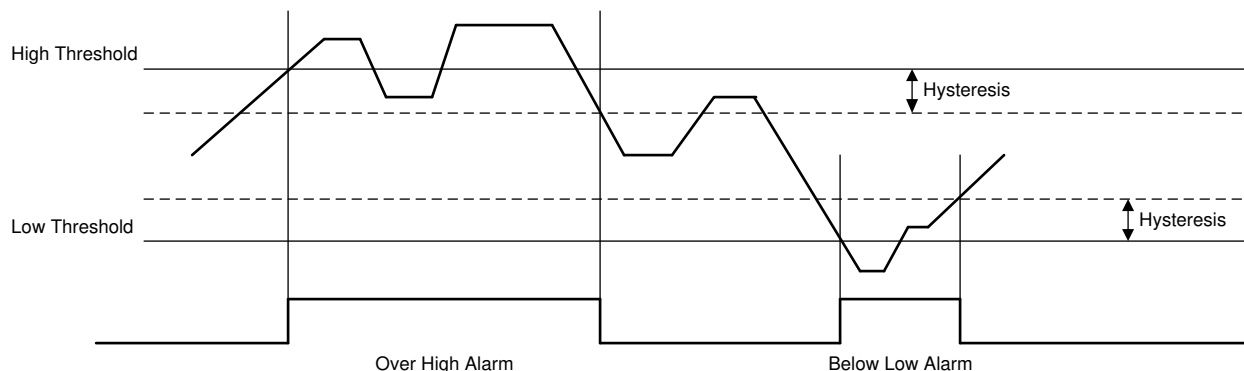


図 6-14. ADC アラーム ヒステリシス

### 6.3.3.7 フォルト検出

ADC\_CFG レジスタには次の二つのフィールドがあります: FLT\_CNT および HYST。これらのフィールドは、すべての ADC チャンネルのアラーム条件のアサートとディアサートに適用されます。

ADC\_CFG.FLT\_CNT は、アラーム条件が通知されるまでに許容される、連続した故障の最大数を決めます。たとえば、ADC\_CFG.FLT\_CNT を 2 カウントに設定した場合、アラームをトリガするには、三回連続して変換値がスレッシュホールドの範囲外になる必要があります。故障が上限スレッシュホールドと下限スレッシュホールドの間で交互に発生しても、それぞれの故障は FLT\_CNT の上限値にカウントされます。

ADC\_CFG.HYST は、アラーム検出回路で使うヒステリシスを設定します。アラームがトリガされたあとは、ヒステリシスが適用されてから、アラーム条件が解除されます。上限スレッシュホールドの場合、ヒステリシスはスレッシュホールドの値から差し引かれます。下限スレッシュホールドの場合、ヒステリシスはスレッシュホールドの値に加算されます。

AIN0、AIN1、TEMP の各チャンネルには、それぞれ上限スレッシュホールドと下限スレッシュホールドがあります。変換値がこれらの範囲外になると (つまり、TEMP < 下限スレッシュホールド、または TEMP > 上限スレッシュホールドの場合)、そのチャンネルのアラーム条件がセットされます。下限スレッシュホールドを 0x000、上限スレッシュホールドを 0xFFFF に設定すると、アラームは無効になります。これらのアラームは、デフォルトでは無効です。スレッシュホールドの設定フィールドは 8 ビット幅しかないため、各スレッシュホールドの下位 4 ビットはハードコードされています。上限スレッシュホールドの下位 4 ビットは 0xF に、下限スレッシュホールドの下位 4 ビットは 0x0 にハードコードされています。

メイン DAC の VOUT を測定する SD4 を除き、すべての自己診断 (SD) チャンネルには固定のスレッシュホールドがあります。SD4 のスレッシュホールドは、DAC コードに対する VOUT に追従します。表 6-6 に、各 SD チャンネルの High および Low ADC スレッシュホールドを決定するために使用される計算を示します。右端の 2 列の上限値と下限値は、その左のスレッシュホールドの列から決まり、ある程度のマージンを持たせています。下位 4 ビットは、前に説明したとおりに割り当てられます。

**表 6-6. 自己診断 (SD) アラーム ADC スレッシュホールド**

| SD  | ADC 入力 | 許容される下限値           | 許容される上限値           | LOW スレッシュホールド | HIGH スレッシュホールド | ADC LOW (16 進) | ADC HIGH (16 進) |
|-----|--------|--------------------|--------------------|---------------|----------------|----------------|-----------------|
| SD0 | VREF/2 | VREF/2 – 9% – 25mV | VREF/2 + 9% + 25mV | 0.54375V      | 0.70625V       | 0x6D0          | 0x92F           |
| SD1 | PVDD/6 | 1.65/6 – 25mV      | 6/6 + 25mV         | 0.25V         | 1.025V         | 0x310          | 0xD3F           |
| SD2 | VDD/2  | 1.6/2 – 25mV       | 2/2 + 25mV         | 0.775V        | 1.025V         | 0x9C0          | 0xD3F           |
| SD3 | 0.6V   | 0.6V – 9% – 25mV   | 0.6V + 9% + 25mV   | 0.521V        | 0.679V         | 0x690          | 0x8CF           |
| SD4 | VOUT/2 | VOUT/2 – 6mV       | VOUT/2 + 6mV       | VOUT – 12mV   | VOUT + 12mV    | 期待値 – 0x040    | 予想値 + 0x040     |

SD4 入力のアラーム スレッシュホールドは、DAC コードから予想される ADC 測定値によって決まります。式 9 に、SD4 の ADC コードの予想値を示します。

$$\text{ADC Expected Code} = \text{DAC\_CODE}[\text{MSB}:\text{MSB} - 11] \quad (9)$$

### 6.3.4 IRQ

このデバイスには、さまざまなイベントの発生をホスト コントローラに伝えるための割り込み要求 (IRQ) があります。IRQ ブロックは割り込みを開始し、その割り込みはステータス レジスタで内部的に通知されます。機能が有効な場合は IRQ ピンで外部にも通知され、ALARM\_STATUS レジスタによる条件の場合は ALARM ピンで通知されます。図 6-15 に、IRQ のブロック図を示します。

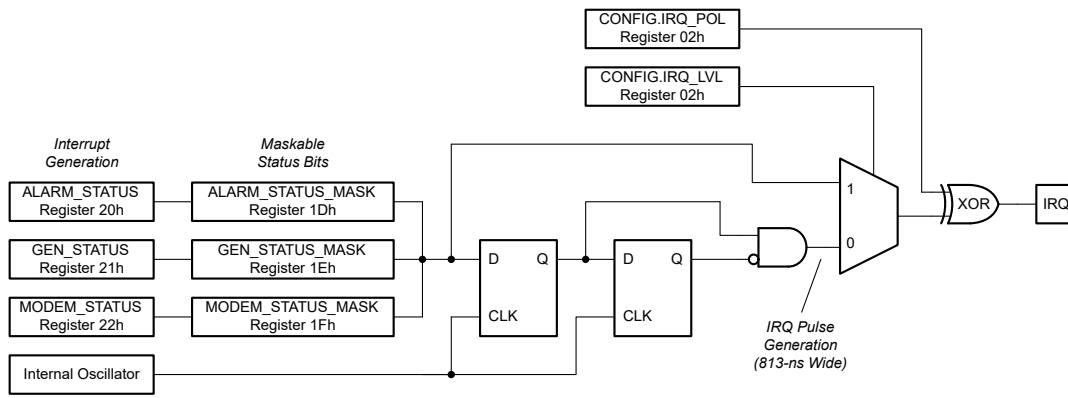


図 6-15. IRQ のブロック図

割り込みを生成できるレジスタは三つあります: GEN\_STATUS、MODEM\_STATUS、および ALARM\_STATUS。これらの各レジスタには、対応する STATUS\_MASK レジスタがあります。マスク レジスタは、どのイベントで割り込みをトリガするかを制御します。マスク レジスタに 1 を書き込むと、イベントがマスク (無効化) され、割り込みはトリガされません。マスク レジスタに 0 を書き込むと、イベントで IRQ をトリガできるようになります。デフォルトでは、すべてのビットがマスクされています。一部のステータス ビットはスティッキーです。スティッキー ビットは、対応するレジスタを読み出すとクリアされます。ただし、その状態が続いている場合はクリアされません。

IRQ は、CONFIG.IRQ\_LVL でエッジ センシティブまたはレベル センシティブに設定します。このビットをロジック 1 にセットすると、レベル センシティブ機能が有効になります (デフォルト)。エッジ センシティブ モードでは、IRQ 信号は内部クロック一周分 (813ns) の幅の同期パルスです。レベル センシティブ モードでは、条件が存在する間、IRQ はセットされ、セットされたままになります。IRQ の条件がなくなったあと、対応するステータス レジスタを読み出すと、その状態はクリアされます。スティッキー ビットの場合、条件が続いている間にビットをクリアしようとしても、ビットはクリアされません。

CONFIG.IRQ\_POL は、IRQ のアクティブ レベルを決めます。ロジック 1 に設定すると、IRQ はアクティブ High に構成されます。

エッジ センシティブの IRQ 信号を使う場合は、同期とエッジ検出のために一クロック サイクルの遅延が生じます。307.2kHz のクロックでは、この遅延は最大 3.26μs です。レベル センシティブ モードでは、遅延は約 10ns ~ 20ns です。

ほとんどのステータス ビットは、設計上、二種類のバージョンを持っています。最初のバージョンは、ステータスがアサートされたときに作成されるエッジ イベントです。この信号は、エッジ センシティブの IRQ を生成するために使われます。このエッジ検出によって、複数のステータス イベントが互いにブロックし合うのを防ぎます。二番目のバージョンは、ステータス ビットのスティッキー バージョンです。この信号は、ステータス ビットのアサート時にセットされ、対応するステータス レジスタを読み出すとクリアされます。ただし、ステータスの状態が続いている場合はクリアされません。信号 GEN\_IRQ、MODEM\_IRQ、および ALARM\_IRQ は、対応するレジスタ内のステータス ビットの論理 OR によって駆動されます。

ステータス ビットのスティッキー版がアサートされていて、IRQ がレベル センシティブの場合、そのステータス ビットのマスクを解除すると、ただちに割り込みがトリガされます。IRQ がエッジ センシティブの場合、割り込みをアサートするには、ビットのマスクを解除したあとにステータス イベントが発生する必要があります。

FIFO フラグはスティッキーではありません。そのため、IRQ がトリガされても、ステータス情報が出力されるまでに、ステータス フラグがデアサートされている場合があります。たとえば、FIFO\_U2H\_LEVEL\_FLAG のマスクが解除されていて、

FIFO\_U2H のレベルが設定したスレッシュホールドを下回ると、IRQ がトリガされます。UBM IRQ メッセージを出力するようにデバイスを設定している場合、IRQ のあと、UBM が IRQ ステータスを取り込む前に UARTIN で HART データ バイトを受信すると、IRQ ステータスとデータ情報はすべて 0 として読み出されます。UBM IRQ モードを使う場合は、IRQ メッセージが UARTOUT で完全に送信されるまで待ってから、UARTIN にデータを入力します。

### 6.3.5 HART インターフェイス

AFEx82H1 では、HART の周波数偏移変調 (FSK) 信号を MOD\_OUT ピンに変調して出力できます。図 6-16 に、一般的な HART インターフェイスの出力電流の時間変化を示します。

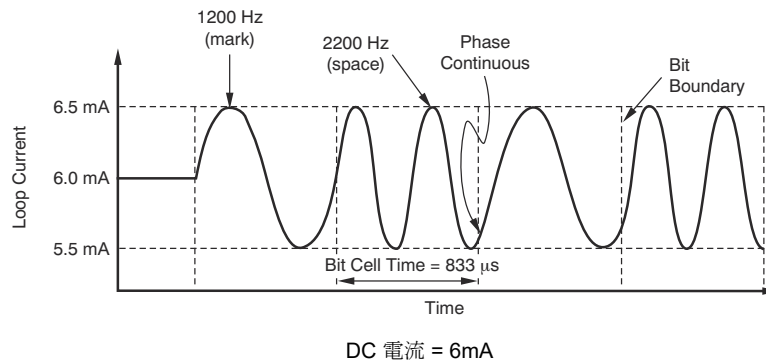


図 6-16. 出力電流と時間の関係

HART インターフェイスを有効にするには、MODEM\_CFG レジスタの HART\_EN ビットをセットします。HART FSK 信号を RX\_IN ピンに AC 結合するには、RX\_IN ピンと HART FSK 信号源の間に、外付けコンデンサを直列に接続する必要があります。この外付けコンデンサの推奨容量は 2.2nF です。

追加のフィルタリングが必要な場合は、AFEx82H1 は外部バンドパス フィルタもサポートしています。この構成では、RX\_IN ピンの代わりに RX\_INF ピンを使用します。

#### 6.3.5.1 FIFO バッファ

先入れ先出し (FIFO) バッファは、SPI と UART の両方で HART データを送受信するために使われます。送信 FIFO (FIFO\_U2H) バッファと受信 FIFO (FIFO\_H2U) バッファは、どちらも 32 行 × 9 ビット幅です。9 ビット幅なので、データバイトとともにパリティビットを格納できます。Bit[8] は、データの流れる方向に応じて、UART または HART 復調器が受信したパリティビットです。この場合、デバイスはパリティビットを計算しません。誤ったパリティビットを受信した場合は、そのままの誤ったパリティビットでデータを送信します。Bits[7:0] はデータです。

AFEx82H1 の HART の実装を図 6-17 に示します。

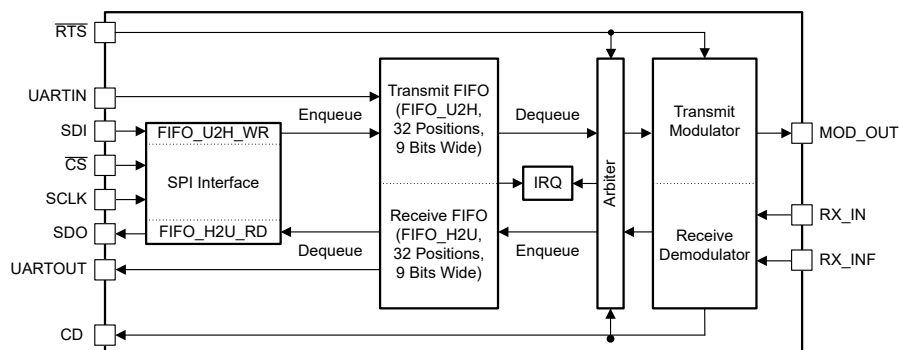


図 6-17. HART アーキテクチャ

HART のデータ バイトは、SPI または UART を使って、送信用の FIFO\_U2H バッファにエンキューされます。入力データ ビットは、内部の HART 送信変調器によって、HART 通信で使うマーク (1200Hz) とスペース (2200Hz) の FSK アナログ信号 (図 6-16 を参照) に変換されます。受信復調器は、HART データを受信用の FIFO\_H2U バッファにエンキューします。CD 信号と RTS ピンからの信号を使うアービタが実装されており、MOD\_OUT と、RX\_IN ピンまたは RX\_INF ピンの HART 物理接続を管理します。効率的でエラーのない通信を行うため、アービタと 2 つの FIFO バッファを組み合わせ、システムコントローラ向けの IRQ を生成できます。

HART の受信キャラクタのストップ ビットが正しくないと、HART フレーム エラーが発生します。デバイスは、フレーム エラーをステータス レジスタで通知し、そのキャラクタを破棄します。キャラクタが破棄されると、HART データは FIFO\_H2U にエンキューされません。フレーム エラー チェックがマスクされていない場合は、IRQ イベントもトリガされます。

同様に、UARTIN のキャラクタのストップ ビットが正しくないと、UART フレーム エラーが発生します。デバイスは、フレーム エラーをステータス レジスタで通知し、そのキャラクタを破棄します。キャラクタが破棄されると、UART データは FIFO\_U2H にエンキューされません。フレーム エラー チェックがマスクされていない場合は、IRQ イベントもトリガされます。

#### 6.3.5.1.1 FIFO バッファ アクセス

SPI 専用モードでは、レジスタ アドレスを使って両方の FIFO バッファにアクセスします。HART バスの通信状態は、IRQ ピンと MODEM\_STATUS レジスタでホスト コントローラに通知されます。AFEx82H1 を使用して SPI と HART を変換する場合の推奨される IRQ ベースの通信技法については、セクション 6.3.5.8 を参照してください。

FIFO\_U2H\_WR レジスタに書き込んで、HART の送信データを FIFO\_U2H にエンキューします。正しいパリティビットを計算し、データにパリティ ビットを含めます。FIFO\_U2H\_WR レジスタからの読み取り要求はサポートされていないため、FIFO\_U2H からデータを読み出さないでください。FIFO\_U2H\_WR レジスタを読み出すと、FIFO\_U2H のデキュー ポインタの位置にあるデータが返されますが、データはデキューされません。

FIFO\_H2U\_RD レジスタを読み取って、FIFO\_H2U から HART の受信データをデキューします。CRC が有効で、読み取り要求の間に CRC エラーが発生した場合、FIFO\_H2U バッファからデータはデキューされず、リードバック フレームのデータは無効になります。FIFO\_H2U\_RD レジスタへの書き込みは無視されます。

SPI + UART モードで UART インターフェイスを使って HART モデムと通信する場合、UARTIN ピンで受信したキャラクタはすべて、FIFO\_U2H に直接エンキューされます。そのあと、送信可 (CTS) 応答がアサートされると、このキャラクタは FIFO\_U2H から自動的にデキューされ、MOD\_OUT ピンから送信されます。同様に、RX\_IN ピンまたは RX\_INF ピンで受信したキャラクタはすべて、FIFO\_H2U に直接エンキューされます。そのあと、このキャラクタは FIFO\_H2U から自動的にデキューされ、通常の UART キャラクタとして UARTOUT から送信されます。

FIFO バッファには UART から直接アクセスするため、SPI で FIFO\_U2H\_WR レジスタと FIFO\_H2U\_RD レジスタを使わないでください。データ パスで FIFO\_U2H を使用した場合、UARTIN ピンから MOD\_OUT ピンまでのレイテンシが発生します。セクション 6.3.5.6 も参照してください。同様に、FIFO\_H2U を使用した結果、RX\_IN ピンまたは RX\_INF ピンから UARTOUT ピンまでのレイテンシが発生します。セクション 6.3.5.7 も参照してください。

HART バス通信アクティビティは、CD および  $\overline{\text{RTS}}$  ピンを介してホスト コントローラとインターフェイスされます。CD ピンと  $\overline{\text{RTS}}$  ピンを使わない場合は、MODEM\_STATUS レジスタを定期的にポーリングして、モデムの状態を監視します。

UBM では、UARTIN ピンで受信したキャラクタのうち、ブレイク コマンドの一部でないものはすべて、FIFO\_U2H に直接エンキューされます。そのあと、CTS 応答がアサートされると、このキャラクタは FIFO\_U2H から自動的にデキューされ、MOD\_OUT ピンから送信されます。UBM パケットではすべてのレジスタにアクセスできますが、ブレイク コマンドを使って HART の送信データを FIFO\_U2H\_WR レジスタに書き込まないでください。標準の 801 UART キャラクタ フォーマットを使って、FIFO\_U2H バッファに、つまり HART 変調器にデータをエンキューします。

同様に、ブレイク コマンドを使って FIFO\_H2U\_RD レジスタから HART の受信データを読み出さないでください。UBM では、HART の受信データは FIFO\_H2U から自動的にデキューされ、通常の UART キャラクタとして UARTOUT から送信されます。

### 6.3.5.1.2 FIFO バッファ フラグ

送信用と受信用の両方の FIFO バッファについて、MODEM\_STATUS、FIFO\_STATUS、FIFO\_H2U\_RD の各レジスタにステータス ビットがあります。これには、フル フラグ、空のフラグ、レベル フラグが含まれます。バッファ レベル フラグは、HART 通信用の IRQ をトリガするために使用されます。セクション 6.3.5.8 も参照してください。FIFO\_H2U\_RD レジスタのステータス フィールドは、読み出しが実行されてデータ バイトがデキューされる前の、FIFO\_H2U の状態を表します。つまり、EMPTY\_FLAG がセットされている場合、そのフレームで受信したデータ バイトは無効です。同様に、LEVEL フィールドは、デキュー前の FIFO\_H2U のレベルの上位 4 ビット (4MSB) を表します。LSB は通知されず、32 のレベルを表す内部ビットは 5 ビットしかありません。そのため、実際のレベルが 0、1、32 のときは、LEVEL = 0 と通知されます。LEVEL = 0 のときにこの三つの場合を区別するには、FULL\_FLAG と EMPTY\_FLAG を使います。

FIFO\_H2U バッファと FIFO\_U2H バッファには 32 のレベルがありますが、IRQ イベントを生成するためのレベル設定には 4 ビットしか使いません。受信用の FIFO\_H2U バッファでは、FIFO のレベル スレッシュホールドとの比較に使う LSB は常に 1 です (FIFO\_CFG.H2U\_LEVEL\_SET[3:0], 1)。この設定は、FIFO\_H2U がフルに近づいたときにユーザーに知らせるためのものです。これにより、データを遅れずにデキューでき、FIFO のあふれによって受信 HART データが失われるのを防げます。そのため、FIFO\_H2U\_LEVEL\_FLAG も、FIFO\_CFG.H2U\_LEVEL\_SET との「より大きい」(>) 比較になっています。たとえば、FIFO\_CFG.H2U\_LEVEL\_SET = 4'b1000 の場合、FIFO\_H2U のレベル > 5'b10001 になると、FIFO\_H2U\_LEVEL\_FLAG がセットされます。FIFO\_CFG.H2U\_LEVEL\_SET = 4'b1111 (デフォルト) に設定すると、このフラグは実質的に無効になります。FIFO\_H2U がフルになったことを検出するには、FIFO\_H2U\_FULL\_FLAG を使います。FIFO\_H2U がフルになると、既存のデータを保持するため、新しく受信したデータは FIFO にエンキューされず、無視されます。

同様に、送信用の FIFO\_U2H バッファでは、FIFO のレベル スレッシュホールドとの比較に使う LSB は常に 0 です (FIFO\_CFG.U2H\_LEVEL\_SET[3:0], 0)。この設定は、FIFO\_U2H が空に近づいたときにユーザーに知らせるためのものです。これにより、データを遅れずにエンキューでき、FIFO\_U2H が早く空になって HART バスでギャップ エラーが起きるのを防げます。そのため、FIFO\_U2H\_LEVEL\_FLAG も、FIFO\_CFG.U2H\_LEVEL\_SET との「より小さい」(<) 比較になっています。たとえば、FIFO\_CFG.U2H\_LEVEL\_SET = 4'b1000 の場合、FIFO\_U2H のレベル < 5'b10000 になると、FIFO\_U2H\_LEVEL\_FLAG がセットされます。FIFO\_CFG.U2H\_LEVEL\_SET = 4'b0000 (デフォルト) に設定すると、このフラグは実質的に無効になります。FIFO\_U2H が空になったことを検出するには、FIFO\_U2H\_EMPTY\_FLAG を使います。

バッファのオーバーフローを避けるには、バッファ フル イベントまたはバッファ スレッシュホールド イベントを監視して、FIFO\_U2H のレベルを監視します。MODEM\_STATUS\_MASK レジスタの FIFO\_U2H\_LEVEL\_FLAG ビットが 0 に設定されている場合、スレッシュホールドを超えると IRQ ピンがトグルします。同様に、MODEM\_STATUS レジスタの FIFO\_U2H\_FULL\_FLAG ビットに基づいて、アラームをトリガできます。FIFO\_U2H がフルになると、既存のデータを保持するため、新しく受信したデータは FIFO にエンキューされず、無視されます。

### 6.3.5.2 HART モジュレータ

HART 変調器には、正弦波 1 周期分の連続波形を表す、128 個の 8 ビット符号付き値を格納した参照テーブル (LUT) が実装されています。カウンタが実装されており、入力データのバイナリ値で決まるクロック周波数で、テーブルの値を DAC に順にロードします。DAC クロックの周波数は、送信されるデータ ビットの論理値によって決定されます。ロジック 1 は、32 (デフォルト) ステップ x 1200Hz の内部クロック周波数で送信されます。ロジック 0 は、32 (デフォルト) ステップ x 2200Hz の内部クロック周波数で送信されます。すべての周波数は、1.2288MHz から生成されます。この処理によって、HART データを表すのに使うマークとスペースのアナログ出力信号が生成されます。デフォルト モードでは、消費電力を抑えるため、LUT から 1 周期あたり 32 個の正弦波コードを使います。一周あたり 128 ステップの正弦波信号を生成するには、MODEM\_CFG.TxRES = 1 に設定します。図 6-18 に、HART 変調器のアーキテクチャを示します。

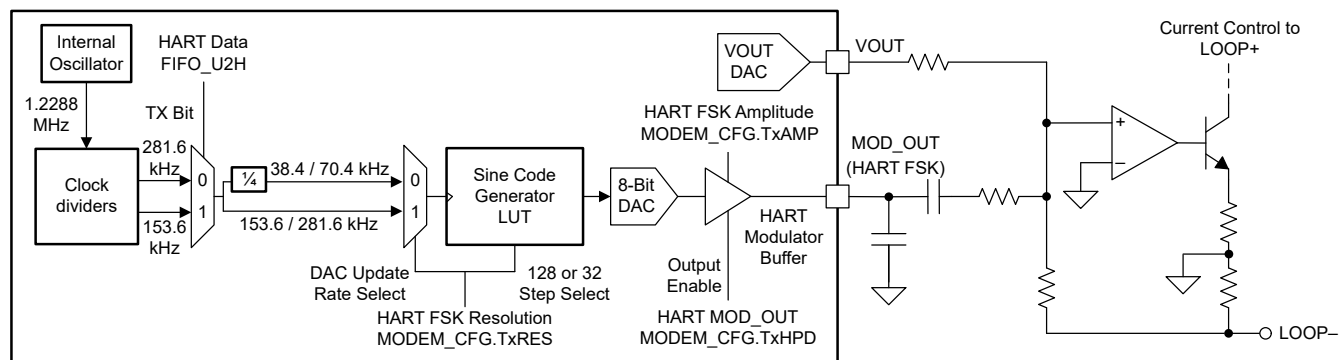


図 6-18. HART 変調器のアーキテクチャ

### 6.3.5.3 HART 復調器

HART 復調器は、HART 入力ピン (RX\_IN と RX\_INF) に入力された HART FSK 信号をバイナリ データに変換し、受信 FIFO (FIFO\_H2U) にエンキューします。FIFO\_H2U のデータは、ホスト コントローラが SPI でデキューすることも、UARTOUT から出力することもできます。図 6-19 に、HART 復調器のアーキテクチャを示します。AFEx82H1 は、内部と外部の二種類の入力バンドパス フィルタ モードをサポートしています。

内部フィルタ モードでは、HART 入力信号はハイパス フィルタ用のコンデンサを介して RX\_IN ピンに接続されます。このモードでは、ローパス フィルタ用のコンデンサを RX\_INF ピンに接続します。

外部フィルタ モードでは、柔軟性を高めるために外付け部品でバンドパス フィルタを構成し、フィルタを通した信号を RX\_INF ピンに接続します。このモードでは、RX\_IN ピンをフローティングにします。

外部バンドパス フィルタの構成と HART 入力信号の接続に応じて、MODEM\_CFG.RX\_EXFILT\_EN ビットでこれらの二つのモードのどちらかを選択します。

入力バンドパス フィルタ (すべて外付け、または外付けコンデンサと内部抵抗による一部内蔵) のあとには、内部の二次ハイパス フィルタと二次ローパス フィルタが続きます。二次ローパス フィルタを有効にするには、MODEM\_CFG.RX\_HORD\_EN ビットを使います。

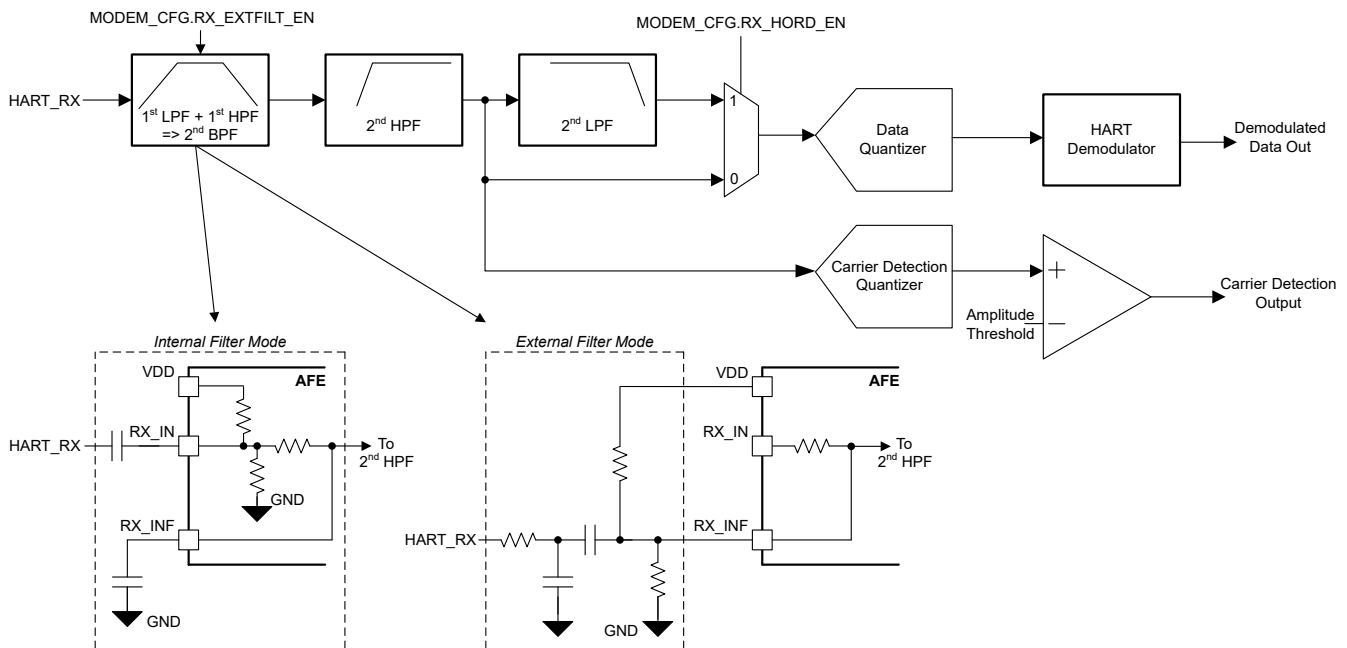


図 6-19. HART 復調器のアーキテクチャ

HART 復調器は、スレッショルドを超えるキャリア レベルを検出すると、キャリア検出 (CD) 信号をアサートします。キャリア検出信号の誤検出を防ぐため、キャリア検出機能にはヒステリシスが設けられています。グリッチのない CD 信号は、内部ではアービタに、外部では CD ピンを介してシステム コントローラに供給されます。

### 6.3.5.4 HART モデム モード

HART の変調器と復調器は、半二重モードと全二重モードのどちらでも動作します。

#### 6.3.5.4.1 半二重モード

半二重モードは、AFEx82H1 の主な機能モードであり、半二重 HART プロトコルと組み合わせて使用します。半二重モードでは、ある時点でアクティブになるのは変調器か復調器のどちらか一方で、両方が同時に有効になることはありません。デフォルトでは、復調器がアクティブで、変調器は非アクティブです。半二重モードでは、モデムが変調器と復調器のどちらをアクティブにするかを調停します。詳細については、[セクション 6.3.5.5](#) を参照してください。

#### 6.3.5.4.2 全二重モード

全二重モードでは、変調器と復調器が同時に有効になります。この構成では、自己テスト機能で送信と受信のシグナルチェーンが正しく動作するかを確認でき、システムの診断機能を向上できます。全二重モードには、内部全二重モードと外部全二重モードがあります。

内部全二重モードでは、MOD\_OUT ピンが RX\_INF ピンに内部で短絡されます。MODEM\_CFG.DUPLEX = 1 に設定すると、HART の送信部と受信部の間の内部接続が有効になり、通信を確認できます。

外部全二重モードでは、HART の変調器と復調器は有効になりますが、MOD\_OUT ピンは RX\_IN ピンにも RX\_INF ピンにも内部では短絡されません。外部全二重モードを有効にするには、MOD\_OUT を外部で RX\_IN ピンまたは RX\_INF ピンに短絡し、MODEM\_CFG.DUPLEX\_EXT = 1 に設定します。

### 6.3.5.5 HART 変調と復調の調停

半二重の HART プロトコル モードでは、デバイスが HART バス上の通信状態に基づいて、変調器と復調器のどちらを動作させるかを調停します。システム コントローラには、AFEx82H1 を監視したり、やり取りしたりするための、さまざまな手段があります。SPI モードで使用される方法については、[セクション 6.3.5.9](#) を参照してください。UART モードで使用されるレポート方法については、[セクション 6.3.5.10](#) を参照してください。

デフォルトのアイドル状態では、 $\overline{\text{RTS}}$  ピンは High (非アクティブ) で、CD ピンは Low です。復調器はアクティブであり、変調器は非アクティブです。

#### 6.3.5.5.1 HART 受信モード

キャリアが検出されると CD ピンが High になり、モデムが受信したデータ バイトは自動的に FIFO\_H2U にエンキューされます。このモードの優先順位は最も高く、有効なキャリアが存在する間、デバイスはこのモードのままです。CD が High のままで、復調器が FIFO\_H2U に新しいデータをエンキューしている間は、システム コントローラが FIFO\_H2U からデータを遅れずにデキューする必要があります。受信するキャリアのレベルが HART 仕様の値より低くなると、CD がデアサートされます。受信動作のタイミングの詳細については、[セクション 6.3.5.7](#) を参照してください。

#### 6.3.5.5.2 HART 送信モード

HART データを送信するには、選択した通信設定に応じて、 $\overline{\text{RTS}}$  ピンを Low に切り替えるか、MODEM\_CFG.RTS をアサートして、送信要求 (RTS) を発行します。HART バスが送信可能で、キャリアが検出されていない場合、デバイスは CD ピンをデアサートし、復調器を無効にし、MODEM\_STATUS.CTS\_ASSERT = 1 に設定して CTS 応答をアサートしてから、キャリアの変調を開始します。CD ピンを使う場合は、CD ピンがデアサートされるのを待ちます。CD ピンを使わない場合は、CTS\_ASSERT のマスクを解除し、FIFO\_U2H のレベルと CTS フラグに適切な IRQ を設定して、CTS がアサートされたときにシステム コントローラが IRQ を受信できるようにします。[セクション 6.3.5.8](#) も参照してください。CD ピンも IRQ も使わない場合は、MODEM\_STATUS レジスタを定期的にポーリングして、CTS 応答がアサートされたことを検出します。

CD ピンがアサートされている間、復調器はアクティブのままで、RTS 要求はアービタによって保留されます。AFEx82H1 が受信した HART 送信データ バイトは、FIFO\_U2H にエンキューされますが、すぐには送信されません。この状態でバッファのオーバーフローを避けるため、システム コントローラは FIFO\_U2H のレベルを監視する必要があります。

CTS 応答がアサートされると、FIFO\_U2H にエンキューされたデータがデキューされ、MOD\_OUT ピンから送信されます。FIFO\_U2H にデータがエンキューされていない場合、変調器はマーク信号の送信を開始します。受信側でマークか

らスペースへの遷移を正しく検出する時間を十分に確保するため、ビット ストリームの先頭は最小ビット時間の要件を満たす必要があります。[セクション 6.3.5.6](#) も参照してください。

そのあと、システム コントローラは、ギャップ エラーを避けるために **FIFO\_U2H** バッファのレベルを十分に保ち、ビット ストリームの最後で正しいタイミングの遅延を入れて **RTS** をデアサートする必要があります。[セクション 6.3.5.6](#) も参照してください。

### 6.3.5.6 HART 変調器のタイミングおよびプリアンプル要件

HART 変調器は、**CTS** 応答がアサートされるとすぐにキャリアの変調を開始します。**CTS** がアサートされる前に **FIFO\_U2H** にデータをエンキューする場合は、[表 6-7](#) に従って、データ パケットの先頭に必要なプリアンプル バイトを必ずエンキューします。最初のバイトは、HART の受信側のレシーバがキャリアを認識し、二番目のキャラクタのスタート ビットにおけるマークからスペースへの遷移を正しく検出するために使われます。または、**CTS\_ASSERT** を待ってから、変調器がマーク信号を送信している間に適切な遅延を入れます。そのあと、プリアンプル バイトと、それに続くデータ バイトを **FIFO\_U2H** にエンキューします。送信ギャップ エラーを避けるため、**FIFO\_U2H** のレベルを監視し、新しいデータを遅れずにエンキューします。

**表 6-7. キャリア検出およびプリアンプル**

| HART の要件                                           | FIFO_U2H STATE               | AFEx82H1 の動作                                                      | 推奨される使用例                                                                                                               |
|----------------------------------------------------|------------------------------|-------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------|
| レシーバがキャリアを検出できるように、規定の振幅の HART 信号を 6 ビット時間以上送信します。 | FIFO_U2H は空です。               | HART 変調器は、 <b>CTS</b> がアサートされるとすぐにマークの FSK 信号の送信を開始します。           | 最初のプリアンプル バイトを送信する前に、 <b>CTS</b> のアサートから 6 ビット時間以上待ちます。使用するインターフェイス モードに基づいて、 <b>FIFO_U2H</b> にデータをエンキューするまでの時間を計算します。 |
|                                                    | FIFO_U2H には、データがプリロードされています。 | HART 変調器は、 <b>CTS</b> がアサートされるとすぐに <b>FIFO_U2H</b> のデータの送信を開始します。 | <b>FIFO_U2H</b> に、プリアンプル バイトを一つ追加してプリロードします。                                                                           |

インターフェイス モードによっては、データ パスに **FIFO\_U2H** を使うため、**UARTIN** ピンまたは **CS** ピンから **MOD\_OUT** ピンまでにレイテンシが生じます。

**SPI + UART** モードと **UBM** モードでは、データのデコードと同期のために、**UARTIN** ピンのストップ ビットから、データが **FIFO\_U2H** にエンキューされるまでに、約 1.5 ビット時間 ( $1.5 \times t_{\text{BAUDUART}}$ ) の遅延が生じます。[図 6-20](#) に、このタイミングを示します。

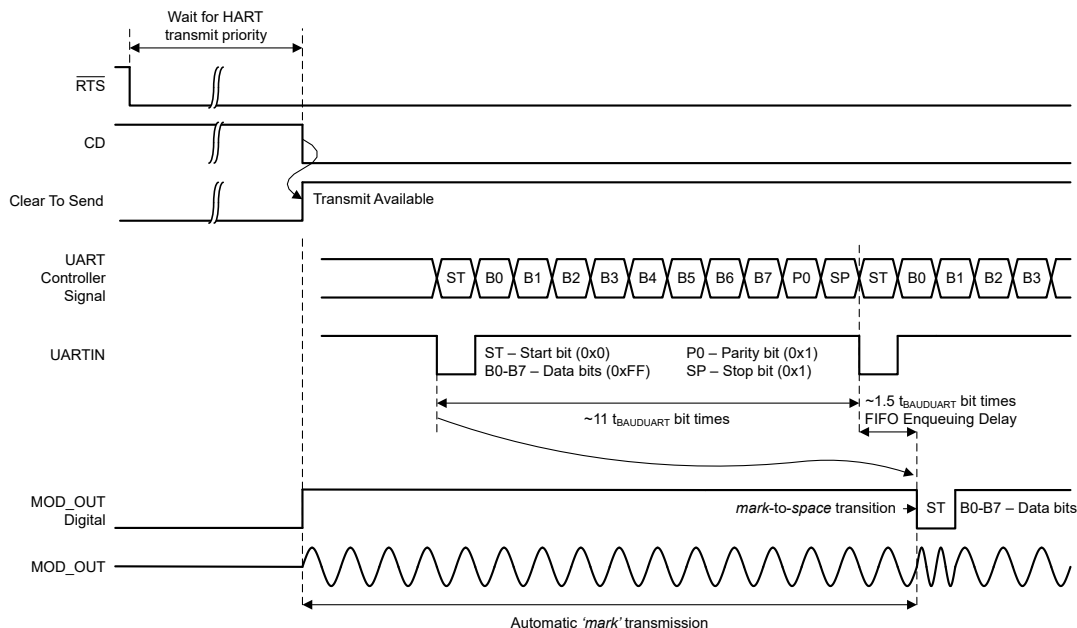


**図 6-20. HART 送信開始のタイミング図 (UART モード)**

SPI 専用モードでは、HART の送信データは FIFO\_U2H\_WR レジスタを使って FIFO\_U2H にエンキューされます。したがって、このモードでは、 $\overline{\text{CS}}$  ピンから MOD\_OUT ピンまでの HART 送信データのレイテンシを計算するときは、標準の SPI タイミングを考慮します。図 6-21 に、SPI モードでの HART 送信開始タイミングを示します。

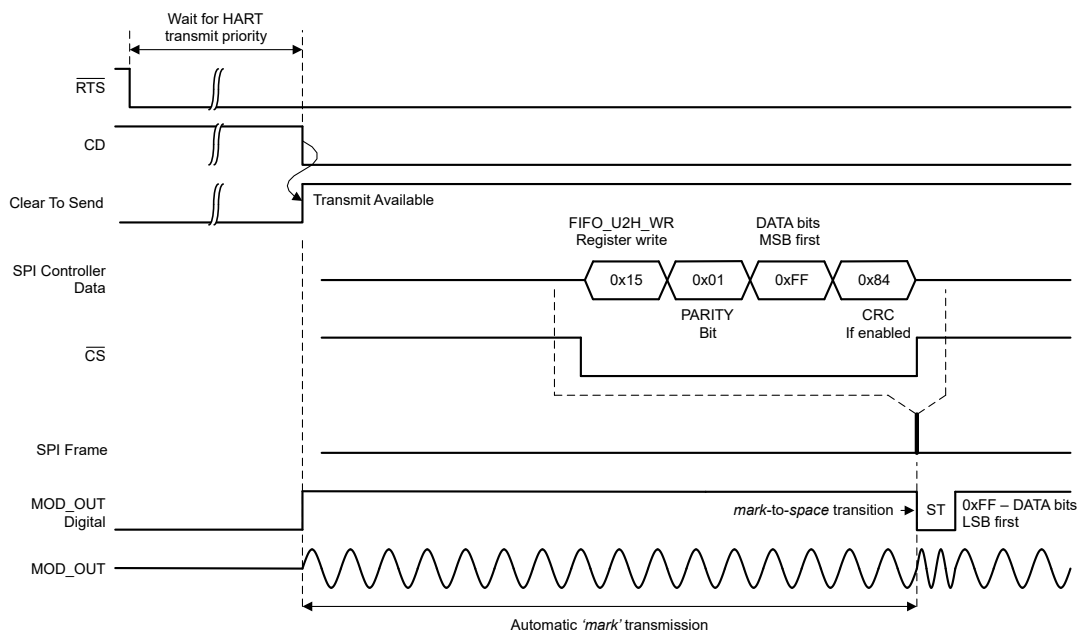


図 6-21. HART 送信開始のタイミング図 (SPI モード)

HART キャラクタは 11 ビットで構成されています。そのため、FIFO\_U2H からデータがデキューされてから、MOD\_OUT ピンでデータの送信が完了するまでに、約 11 ビット時間 ( $11 \times t_{\text{BAUDHART}}$ ) の遅延が生じます (図 6-22 を参照)。

入力される UART\_IN データと、MOD\_OUT で送信される HART データの間に周波数のずれがあると、追加の遅延が累積されます。UART\_IN データの周波数が MOD\_OUT データの周波数より 2% 高い場合、HART キャラクタ五個ごとに約 1 ビット時間の遅延が累積されます。このレイテンシを考慮して、HART キャラクタ五個ごとに 1 ビット時間以上のギャップを入れます。MOD\_OUT でデータの送信が完了するまで、送信要求 (RTS) をアサートしたままにします。

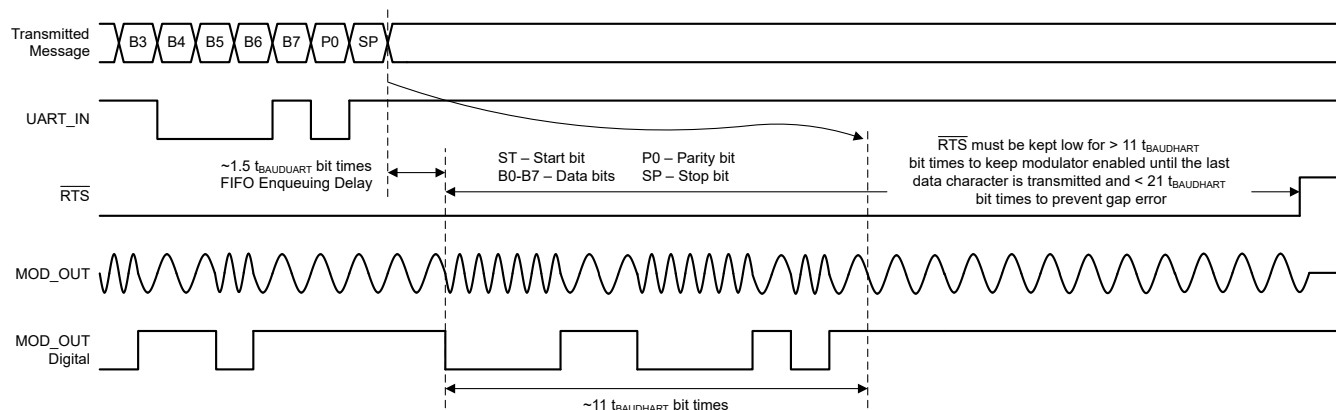


図 6-22. HART 送信終了のタイミング図 (UBM、UART + SPI モード)

### 6.3.5.7 HART 復調器のタイミングおよびプリアンプル要件

RX\_IN ピンと RX\_INF ピンは、送信しないとき、HART 復調器によって連続的に監視されます。AFE882H1 では、キャリア検出に少なくとも 3 つの 1200Hz のマークビット ( $3 \times t_{\text{BAUDHART}}$ ) が必要です。

UART で通信する構成では、HART データは FIFO\_H2U から自動的にデキューされ、UART キャラクタとして UARTOUT ピンから送信されます。約 1.5 ビット時間 ( $1.5 \times t_{\text{BAUDHART}}$ ) の遅延は、RX\_IN または RX\_INF ピンの文字の末尾からデータが FIFO\_H2U にエンキューされるまでのデータのデコードおよび同期の結果として発生します。したがって、CD がデアサートされると、通常は一つの UART 文字が UARTOUT 上でシステムコントローラへの転送を保留しています (図 6-24 を参照)。

SPI で FIFO\_H2U\_RD レジスタを読み出して FIFO\_H2U からデータをデキューする場合、FIFO のレイテンシはわずかに数マイクロ秒です。図 6-23 と図 6-24 に、それぞれ HART 受信文字の開始と終了のタイミング図を示します。

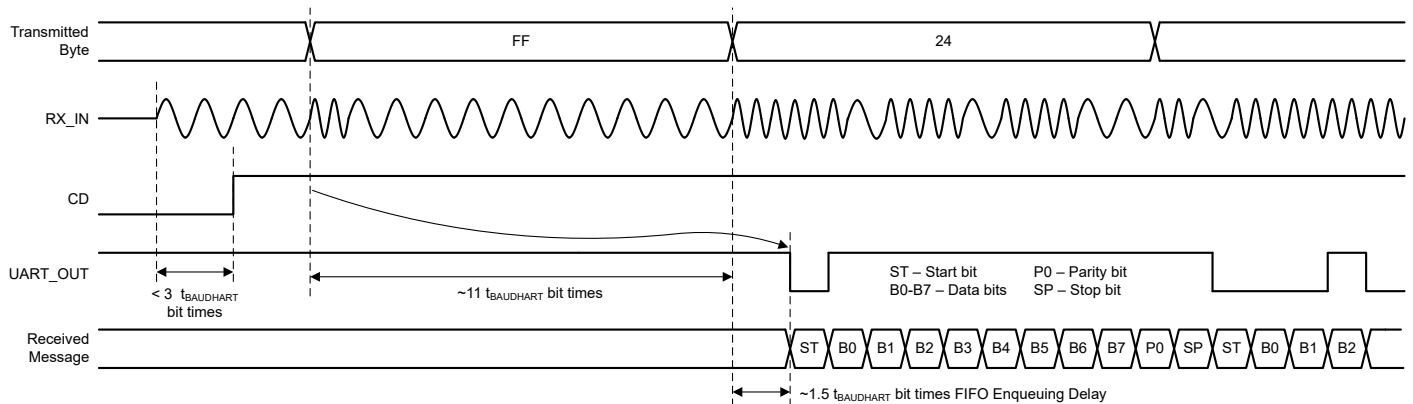


図 6-23. HART 受信スタートのタイミング図 (SPI および UART モード)

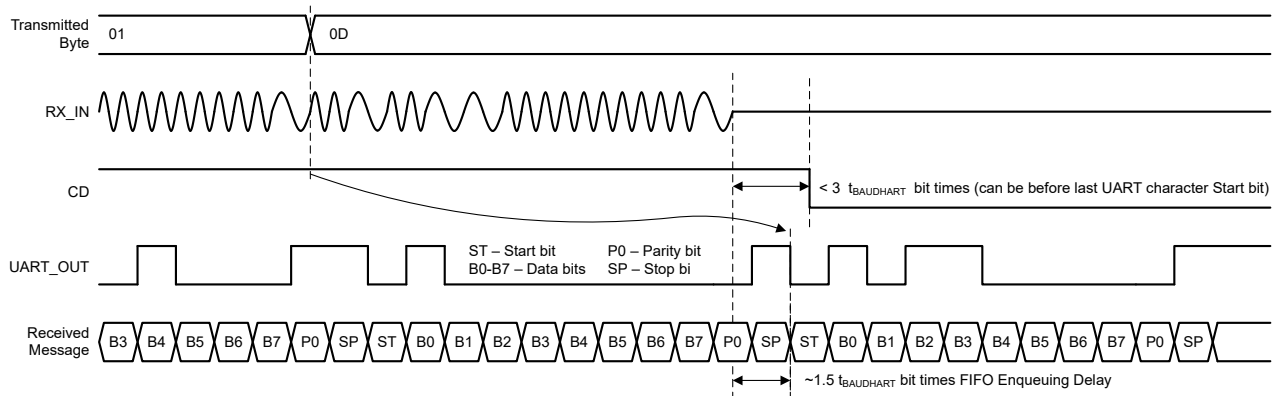


図 6-24. HART 受信エンドのタイミング図 (UART モード)

### 6.3.5.8 HART 通信用の IRQ 構成

HART バス上で堅牢でエラーのない通信を可能にするには、表 6-8 に示すイベントをシステム コントローラによって AFE882H1 からタイムリーに検出する必要があります。IRQ 信号がシステム コントローラに直接接続されていない場合は、対応するステータス フラグをポーリングします。UART モードでは、FIFO\_H2U の自動デキューによってイベントの管理が大幅に簡単になり、すべてのイベントを IRQ に変換する必要はありません。

HART モデムを IRQ とともに使う場合、IRQ 機能は双方向の通信の制御に役立ちます。次の手順に従って、IRQ 機能を有効にします：

1. CONFIG.IRQ\_LVL を使って、IRQ をエッジ センシティブまたはレベル センシティブに設定します。セクション 6.3.4 も参照してください。
2. システムの必要に応じて、CONFIG.IRQ\_POL で IRQ の極性を設定します。セクション 6.3.4 も参照してください。
3. SPI 専用モードでは、CONFIG.IRQ\_PIN\_EN = 1 に設定して、UARTOUT ピンで IRQ 機能を有効にします。また、CONFIG.UART\_DIS = 1 に設定して、UART の機能をすべて無効にします。
4. UBM では、次の二つの方法のいずれかを使います：
  - a. CONFIG.IRQ\_PIN\_EN = 1 に設定して、SDO ピンで IRQ 機能を有効にする、または
  - b. CONFIG.UBM\_IRQ\_EN = 1 に設定して、UBM で UARTOUT に割り込みを送信できるようにする。
5. IRQ 機能を有効にしたあと、MODEM\_STATUS\_MASK レジスタで、必要なすべての割り込み信号のマスクを解除します (各ビットを 0 に設定)。

表 6-8. IRQ のソースと用途

| AFE882H1<br>HART 状態 | EVENT                     | MODEM_STATUS フラグ    | アサーション メソッド <sup>(1)</sup>                                        | アクション                                                                                 |
|---------------------|---------------------------|---------------------|-------------------------------------------------------------------|---------------------------------------------------------------------------------------|
| 受信                  | RTS がデアサート                | CTS_DEASSERT        | RTS ピンを High にするか、MODEM_CFG.RTS = 0 に設定します。                       | 復調器が有効になり、HART データを受信できる状態。                                                           |
|                     | キャリア検出がアサート               | CD_ASSERT           | 復調器が、有効な振幅の HART キャリア信号を検出します。                                    | HART データの受信が見込まれます。FIFO_H2U のレベルトリガのスレッシュホールドを、必要な値に設定します。                            |
|                     | FIFO_H2U レベル スレッシュホールドトリガ | FIFO_H2U_LEVEL_FLAG | HART 復調器による FIFO_H2U への自動エンキュー。                                   | レベルが設定したスレッシュホールドを超えたら、FIFO_H2U からデータをデキューします。受信データの損失を回避するために、FIFO_H2U がフルになるのを防ぎます。 |
|                     | FIFO_H2U がフルです            | FIFO_H2U_FULL_FLAG  | HART 復調器による FIFO_H2U への自動エンキュー。システム コントローラが FIFO_H2U をデキューしていません。 | クリティカル フラグ。受信データが失われないように、FIFO_H2U をただちにデキューします。                                      |
|                     | キャリア検出デアサート               | CD_DEASSERT         | 復調器が、有効な振幅の HART キャリア信号を検出しなくなります。                                | FIFO_H2U から残りのデータをデキューします。空のフラグを監視して、すべてのデータを受信したことを確認します。                            |
|                     | FIFO_H2U は空です             | FIFO_H2U_EMPTY_FLAG | システム コントローラによる FIFO_H2U のデキュー。                                    | UART を使う場合は、UARTOUT で最後のキャラクタが受信されるまで待ちます。                                            |

**表 6-8. IRQ のソースと用途 (続き)**

| AFEx82H1<br>HART 状態 | EVENT                     | MODEM_STATUS フラグ    | アサーション メソッド <sup>(1)</sup>                                              | アクション                                                                                                                                                         |
|---------------------|---------------------------|---------------------|-------------------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 送信                  | RTS がアサートされました            | NA                  | RTS ピンを Low に切り替えるか、MODEM_CFG.RTS = 1 を書き込みます。                          | 送信可の確認フラグを待ちます。                                                                                                                                               |
|                     | 送信可能 (CTS)                | CTS_ASSERT          | RTS がアサートされ、CD がデアサートされます。                                              | 変調器が有効。デバイスが、MOD_OUT でキャリアの変調を開始します。FIFO_U2H のレベルトリガのスレッシュホールドを、必要な値に設定します。FIFO_U2H にデータをエンキューします。変調器が FIFO_U2H を自動的にデキューし、HART データを送信します。                    |
|                     | FIFO_U2H レベル スレッシュホールドトリガ | FIFO_U2H_LEVEL_FLAG | HART 変調器による FIFO_U2H の自動デキュー。                                           | レベルが設定したスレッシュホールドを下回ったら、FIFO_U2H に新しいデータをエンキューします。送信にギャップが生じないように、FIFO_U2H が空にならないようにします。                                                                     |
|                     | FIFO_U2H がフルです            | FIFO_U2H_FULL_FLAG  | システム コントローラによる FIFO_U2H への新しいデータのエンキュー。                                 | クリティカル フラグ。<br>HART データが失われないように、FIFO_U2H へのデータのエンキューをただちに停止します。                                                                                              |
|                     | FIFO_U2H は空です             | FIFO_U2H_EMPTY_FLAG | HART 変調器による FIFO_U2H の自動デキュー。システム コントローラが FIFO_U2H に新しいデータをエンキューしていません。 | データ パケットの途中にあるクリティカル フラグ。<br>送信にギャップが生じないように、FIFO_U2H に新しいデータをただちにエンキューします。<br>最後のキャラクタが FIFO_U2H からデキューされたら、そのキャラクタが MOD_OUT で完全に送信されるまで待つてから、RTS をデアサートします。 |

(1) CD、RTS、アラーム、および IRQ 接続の選択肢については、[セクション 6.5.1](#) を参照してください。

### 6.3.5.9 SPI を使用した HART 通信

HART バスの通信状態は、UARTOUT ピンに出力される IRQ 信号と、MODEM\_STATUS レジスタでホスト コントローラに通知されます。IRQ を受信したら、MODEM\_STATUS レジスタを読み出して、IRQ の発生源を特定します。UARTOUT ピンを接続していない場合は、SPI でステータスレジスタを定期的にポーリングします。

データを送信するには、FIFO\_CFG.U2H\_LEVEL\_SET を使って、FIFO\_U2H のレベル スレッシュホールドを必要な値に設定します。RTS をアサートします。CTS\_ASSERT がセットされたら、FIFO\_U2H へのデータの書き込みを開始します。FIFO のデータ量が設定したスレッシュホールド レベルを超えるまで、FIFO\_U2H に十分なデータをエンキューします。HART 変調器は、FIFO\_U2H からデータを自動的にデキューし、MOD\_OUT でデータを送信します。FIFO\_U2H のレベルが設定したスレッシュホールドを下回ると IRQ がトリガされ、データを失わずに新しいデータ バイトをエンキューできることを示します。最後のデータを FIFO\_U2H にエンキューしたあとは、レベル フラグによってトリガされる IRQ イベントを無視してかまいません。FIFO\_U2H\_EMPTY\_FLAG によってトリガされる IRQ イベントを待ちます。必要な遅延後に RTS をデアサートします。[セクション 6.3.5.6](#) も参照してください。RTS がデアサートされると、CTS\_DEASSERT ビットがセットされます。CTS\_DEASSERT は情報ビットです。

データを受信するには、キャリアが検出されて新しいデータ バイトが来るタイミングが分かるように、CD\_ASSERT に基づく IRQ イベントを設定します。また、FIFO\_H2U\_LEVEL\_FLAG がセットされるたびにトリガされるように、追加の IRQ イベントを設定します。FIFO\_H2U のレベルを、必要な値に設定します。レベルが設定したスレッシュホールドを超えるたびに、FIFO\_H2U からデータをデキューします。また、すべてのデータを受信したタイミングが分かるように、CD\_DEASSERT に基づく IRQ イベントトリガを設定します。この時点で、各キャラクタをデキューするときに FIFO\_H2U\_EMPTY\_FLAG を監視して、FIFO\_H2U が空になり、すべてのデータ バイトがデキューされてマイコンに送信されたことを確認します。

または、CD ピンをマイコンに直接接続して、HART バスの状態を監視することもできます。この構成では、MODEM\_STATUS\_MASK.CD\_ASSERT ビットを 1 に設定して CD\_ASSERT フラグをマスクし、CD\_ASSERT が IRQ イベントを生成しないようにします。

### 6.3.5.10 UART を使用した HART 通信

SPI + UART モードでは、UART のデータは 1200 ボードで送受信されます。これは、HART FSK の入出力信号に合わせた速度です。SDO ピンと UARTOUT ピンの両方が使用されるため、SPI + UART モードでは IRQ 機能は使用できません。復調器で受信して FIFO\_H2U にエンキューされた HART データは、自動的にデキューされて UARTOUT から送

信されるため、FIFO\_H2U のレベルを監視する必要はありません。HART バス通信アクティビティが CD および  $\overline{\text{RTS}}$  ピン経由でホスト コントローラに接続されている場合も、FIFO\_U2H レベルの監視は不要です。バスでキャリアが検出されないとき、ホスト コントローラは  $\overline{\text{RTS}}$  ピンを適切なタイミングで HART データを送信できます。CD および  $\overline{\text{RTS}}$  ピンを、SPI + UART モードで使わない場合、ホスト コントローラは SPI を介して MODEM\_STATUS レジスタを定期的にポーリングして、HART バスにキャリアが存在しないことを検出し、MODEM\_CFG.RTS ビット = 1 を設定して要求をアサートできます。

UBM では、UART データは 9600 ボーで送受信されます。HART のデータ キャラクタは、レジスタ マップへのアクセスや割り込みの通知に使うブレイク コマンドと交互に送受信されます。[セクション 6.5.4.1.1](#) も参照してください。SPI および UART モードと同様に、FIFO\_H2U および FIFO\_U2H レベルを監視する必要はありません。CD および  $\overline{\text{RTS}}$  ピンを使って、HART バスの通信状態をマイコンとやり取りできます。IRQ 機能は、SDO ピンでも使えます。SDO ピンをマイコンに接続している場合は、CD\_ASSERT に基づく IRQ イベントを設定して、キャリアが検出されたときに通知できます。この場合、CD ピンをマイコンに接続する必要はありません。同様に、送信要求を発行するために MODEM\_CFG.RTS を使用する場合、 $\overline{\text{RTS}}$  ピンを接続する必要はありません。また、マイコンがブレイク コマンドを使って MODEM\_STATUS レジスタを定期的にポーリングし、必要なフラグをすべて監視できる場合は、SDO ピンをマイコンに接続する必要もありません。

### 6.3.5.11 メモリの組み込みセルフ テスト(MBIST)

メモリ内蔵自己テスト (MBIST) は、FIFO バッファに使われているスタティック ランダム アクセス メモリ (SRAM) が正常かどうかを検証します。MBIST は起動されると、完了するまで SRAM モジュールの制御を占有します。

MBIST の実行中は、HART 通信を無効にします。MBIST の実行中に FIFO バッファと通信すると、正しい結果が得られません。GEN\_STATUS.MBIST\_DONE と GEN\_STATUS.MBIST\_FAIL の二つのステータス ビットを監視して、完了または失敗を確認できます。これらのビットを使って IRQ イベントを生成することもできます。

MBIST の実行中は、GEN\_STATUS レジスタのリードバックを行わないでください。MBIST 制御ロジックは、MBIST\_DONE と MBIST\_FAIL のステータス フラグとして、幅の狭いパルスを生成します。GEN\_STATUS レジスタのリードバック中にこれらのパルスが発生すると、ステータス フラグを見逃すことがあります。MBIST\_DONE フラグを見逃さないように、GEN\_STATUS\_MASK.MBIST\_DONE 以外のすべてのステータス ビットをマスクしてから、次のどちらかを行います：

1. IRQ イベントを監視する、または
2. 定期的に NOP を送信して、GEN\_IRQ ステータス ビットを確認する。

MBIST\_DONE が通知されるまで待ち、MBIST\_FAIL フラグの状態を確認してから、通常動作を再開します。

### 6.3.6 内部リファレンス

AFEx82H1 デバイス ファミリには、1.25V 高精度バンド ギャップ リファレンスが搭載されています。内部リファレンスは VREFIO ピンから外部に出力でき、最大 2.5mA の電流をソースできます。ノイズを除去するため、基準電圧出力と GND の間に 100nF のコンデンサを接続します。

内部リファレンス回路は、REF\_EN ピンを使用して有効または無効になります。このピンがロジック High のときは、内部リファレンスが有効になり、VREFIO ピンから 1.25V が出力されます。このピンがロジック Low のときは、内部リファレンスが無効になり、VREFIO ピンには外部 VREF から 1.25V を供給する必要があります。

リファレンス電圧が無効な値になると、アラーム条件がアサートされます。DAC の応答は、ALARM\_ACT レジスタ (10h) の VREF\_FLT の設定によって決まります。

### 6.3.7 内蔵高精度発振器

デバイス内部のタイムベースは、室温において公差 0.5% 未満にトリムされた内部発振器から供給されます。高精度発振器は、ADC 変換のタイミング ソースです。電源投入時、内部発振器と ADC は約 300μs で 1% 未満の誤差安定性に到達します。クロックが安定した後、ADC のデータ出力は、[セクション 5](#) に示す電氣的仕様どおりの正確な値となります。

### 6.3.8 高精度発振器の診断

AFEx82H1 には、内部高精度発振器の動作状態を継続的に検出する方法が三つあります。

最初の方法では、AFEx82H1 からシステム コントローラへの接続が必要です。一つ目の方法を使うには、分周した内部発振器のクロック信号を CLK\_OUT ピンに出力するように、AFEx82H1 を設定します。CONFIG.CLKO レジスタ フィールドに書き込んで、選択した分周比で出力を有効にするか、出力を無効にします。出力デジタル信号は「電氣的特性」に準拠しています。CLK\_OUT ピンは、GPIO ピンとしても共用されています。CLK\_OUT と CLK\_OUT の相互運用性を GPIO ピンとして接続する方法の詳細については、[セクション 6.5.1](#) を参照してください。

二番目の方法では、AFEx82H1 からの接続は不要です。SPI 通信を使って内部発振器の動作を判定する、ポーリング通信による方法です。SPI 通信の詳細と SDO ステータス ビットの詳細については、それぞれ[セクション 6.5.3.1](#)と[セクション 6.5.5](#)を参照してください。OSC\_DIV\_2 ビットは、CS の立ち下がりエッジでサンプリングした、内部発振器信号を 2 分周した信号の論理値を示します。クロックが正しく動作し続けていることを確認する方法として、適切な SCLK 周波数と SPI フレーム間隔を使い、フレームごとのビットの変化を取り込みます。UBM では、内部発振器信号を 1024 分周した信号の論理値を示す同様のステータスが、OSC\_DIV\_1024 ビットとして得られます。UBM フレームとタイミングの詳細については、[セクション 6.5.4.1](#) を参照してください。

三つ目の方法は、ALARM\_STATUS レジスタ (20h) の OSC\_FAIL ビット (ビット [12]) を監視する方法です。

### 6.3.9 ワンタイム プログラマブル (OTP) メモリ

デバイスのワンタイム プログラマブル (OTP) メモリには、デバイスのトリム設定が格納されており、ユーザーはアクセスできません。電源投入時に、OTP メモリのデータがメモリにロードされます (OTP シャドウ ロード)。OTP メモリの CRC チェックを行い、正しいデータがロードされたことを確認します。CRC エラーが検出された場合は、TRIGGER.SHADOWLOAD ビットを使って、OTP メモリのデータの再ロードを開始できます。SPECIAL\_CFG.OTP\_LOAD\_SW\_RST ビットは、ソフトウェアリセットで OTP メモリのデータを再ロードするかどうかを制御します。

### 6.3.10 GPIO

AFEx82H1 には複数の GPIO ピンがあり、GPIO\_CFG レジスタと GPIO レジスタで、それぞれ入力専用、出力専用、入出力のいずれかのモードに個別に設定できます。GPIO が出力モードのときは、サポートされているサブモードとして、プッシュプルまたは疑似オープン ドレインのどちらかを選択します。同じピンを通信インターフェイス用にも設定できるため、GPIO 専用のピンはありません。インターフェイス プロトコルの選択と、通信目的で使用されるピンの数に基づき、AFEx82H1 では最大四つの GPIO を利用できます。各通信モードで使用可能な GPIO の詳細図については、[セクション 6.5.1](#) を参照してください。GPIO ピンを使わない場合、または駆動しない場合は、[セクション 6.5.1](#) の接続図に従って、抵抗を介して IOVDD または GND に接続する必要があります。フローティング入力ピンが接続されていないと、通信インターフェイスの状態が不明になり、AFEx82H1 の電源電流が変動します。出力として機能する場合、各 GPIO ピンは電流をソースおよびシンクできます。また、入力として機能する場合、レジスタアドレス 0x1C は GPIO ピンのデジタル状態を反映します (ソースおよびシンクの能力と入力スレッショルドの詳細については、「電気的特性」を参照してください)。遷移検出の最小パルス幅は  $t_{PULSE\_GPIO}$  です。GPIO 入力で状態遷移が発生した場合、AFEx82H1 で検出するため、新しい状態を  $t_{PULSE\_GPIO}$  の最小値だけ保持する必要があります。

### 6.3.11 タイマ

AFEx82H1 には、正確な時間遅延、パルス幅変調、発振を生成するためのタイマが内蔵されています。これらのデバイスでは、マイクロ秒単位から時間単位まで、タイミング パラメータを設定できます。CONFIG.CLKO = Fh に設定すると、タイマが CLK\_OUT ピンに出力されます。タイマは、TIMER\_CFG\_0、TIMER\_CFG\_1、TIMER\_CFG\_2 の三つのレジスタで制御します。

三つのレジスタのうち一つ目では、TIMER\_CFG\_0.ENABLE でタイマ機能のオンとオフを切り替えます。タイマがオフの場合、出力はデフォルトで 0 になります。TIMER\_CFG\_0.INVERT は、タイマの出力を反転します。INVERT ビットがセットされている場合、出力はデフォルトで 1 になります。TIMER\_CFG\_0.CLK\_SEL は、[表 6-9](#) に従ってクロック周波数を選択します。2'b00 を選択してクロックが入力されていない場合、タイマが有効でカウント中であれば、タイマは一時停止します。

表 6-9. タイマ選択範囲

| CLK_SEL | クロック周波数   | 分解能   | 範囲     |
|---------|-----------|-------|--------|
| 00      | クロックなし    | -     | -      |
| 01      | 1.2288MHz | 814ns | 53.3ms |
| 10      | 1.200kHz  | 833μs | 54.6s  |
| 11      | 1.171Hz   | 853ms | 55923s |

二番目のタイマ レジスタの TIMER\_CFG\_1.PERIOD は、タイマの周期を設定します。タイマの周期は、クロック周期の PERIOD + 1 サイクル分です。

最後のタイマ レジスタの TIMER\_CFG\_2.SET\_TIME は、タイマ出力が 1 になるタイミングを決めます (INVERT = 0 の場合)。これにより、実質的にタイマのデューティ サイクルが決まります。デューティ サイクルは、(PERIOD – SET\_TIME) × クロック周期として計算できます。

### 6.3.12 固有のチップ識別子 (ID)

AFEx82H1 には、次の二つの読み取り専用レジスタがあります：一意のチップ ID が格納される CHIP\_ID\_MSB (1Ah) と CHIP\_ID\_LSB (19h)。16 ビットの CHIP\_ID\_MSB レジスタにはエンコードされたロット識別番号が、CHIP\_ID\_LSB レジスタには各ロット内で固有の部品番号が格納されています。

### 6.3.13 スクラッチ パッド レジスタ

AFEx82H1 は 16 ビットのスクラッチ パッド レジスタを備えており、部品の機能に影響を与えずにインターフェイスのデバッグと検証を実行できます。このレジスタは、アドレス 18h にあります。スクラッチ パッド レジスタのリードバック値は、レジスタに格納された値を反転したコードになります (たとえば、0xAAAA を書き込むと、リードバック時には 0x5555 になります)。

## 6.4 デバイスの機能モード

### 6.4.1 DAC パワーダウン モード

パワーダウン モードを使うと、DAC 出力の電圧をすばやくオフにできます。DAC のパワーダウン モードへの移行と解除は、ハードウェアやソフトウェアで設定できるほか、アラーム イベントに応じて自動的にすることもできます。DAC 出力は、パワーダウン モードへの移行時と解除時にグリッチが発生しないように規定されています。

また、DAC\_CFG.PD を 1 に設定しても、パワーダウン モードを有効にできます。パワーダウン モードでは、DAC 出力アンプがパワーダウンし、DAC 出力ピンはハイ インピーダンスになります。DAC 出力は、DAC 出力が再度有効にされるまでパワーダウン モードのままになります。

アラーム イベントを DAC のパワーダウン要因として設定すると、パワーダウン モードのアラーム制御が有効になります。DAC 出力をパワーダウン状態にするアラーム イベントは、ALARM\_ACT レジスタで指定する必要があります。アラーム ビットがクリアされると、パワーダウンを制御するほかのアラーム イベントがトリガされていない限り、DAC は通常動作に戻ります。

DAC がパワーダウン モードに入っても DAC レジスタは変わらないため、パワーダウン モードから復帰したあと、デバイスは元の動作点に戻ることができます。さらに、DAC がパワーダウン モードの間も DAC レジスタを更新できるため、通常動作に戻ったときに、DAC から新しい値を出力できます。

### 6.4.2 レジスタ内蔵セルフ テスト (RBIST)

AFEx82H1 にはレジスタ内蔵自己テスト (RBIST) 機能があり、これは、表 6-10 に示すすべてのレジスタに対し、表 6-10 に示す順序で CRC を計算して実行されます。レジスタが予約済みの場合、リセット値が RBIST の計算に使用されます。最終的な CRC の値が 0 の場合、レジスタの設定にエラーはありません。計算の最後に 0 以外の値が残っている場合は、設定エラーがあります。使用する多項式は、2048 ビットまでのデータ パケットに対して、ハミング距離 (HD) が 4 です。HD = 4 の場合、CRC は、格納されたデータ内の 4 ビットのエラーの任意の組み合わせを検出します。期待される CRC を別途計算し、その結果をアドレス 3Fh の RBIST\_CRC レジスタに格納します。

CRC の最終値は、アドレス 3Eh の CRC\_RD レジスタから読み取ります。この値は、RBIST またはシャドウ ロードの実行中に更新されます。RBIST と OTP メモリは、同じ CRC 計算エンジンと多項式を使います。CRC\_RD レジスタの値は、TRIGGER レジスタ (0Ah) で次の RBIST または SHADOWLOAD がトリガされるまで変わりません。

TRIGGER.RBIST を 1 に設定して、RBIST を開始します。TRIGGER.RBIST ビットは、RBIST の実行中は High のままで、自己テストが完了するとクリアされます。RBIST の実行中は、レジスタの書き込みも読み取りもできません。NOP コマンドを送信して RBIST の SDO ステータス ビットを監視し、RBIST が完了したかどうかを確認します。

UBM では、RBIST はレジスタ通信に影響しません。UBM の通信は十分に遅いので、次の読み出しコマンドや書き込みコマンドの前に RBIST が完了します。

GEN\_STATUS.BIST\_DONE ビットと GEN\_STATUS.BIST\_FAIL ビットは、MBIST と RBIST のどちらでも同じ機能を持ちます。GEN\_STATUS.BIST\_MODE を使って、二つのテストのどちらかを選択します (1 = RBIST, 0 = MBIST)。このビットは、GEN\_STATUS レジスタが読み出されるまでスティッキーです。

FIFO\_CFG.FIFO\_H2U\_FLUSH ビットと FIFO\_CFG.FIFO\_U2H\_FLUSH ビットは、書き込み後に自動クリア (WSC) されるビットで、CRC モジュールでは 0 として扱われます。

RBIST の生成に使う 16 ビット CRC は、次の多項式による openSAFETY (0x755B) 規格に準拠しています:

$$x^{16} + x^{14} + x^{13} + x^{12} + x^{10} + x^8 + x^6 + x^4 + x^3 + x^1 + 1。$$

RBIST でカバーされるレジスタのリストを [表 6-10](#) に示します。すべてのレジスタが RBIST に対応しているわけではありません。

**表 6-10. RBIST でカバーされるレジスタのリスト**

| ADDR<br>(HEX) | レジスタ              | リセット時<br>の値<br>(HEX) |
|---------------|-------------------|----------------------|
| 01h           | DAC_DATA          | 0000h                |
| 02h           | CONFIG            | 0036h                |
| 03h           | DAC_CFG           | 0B00h                |
| 04h           | DAC_GAIN          | 8000h                |
| 05h           | DAC_OFFSET        | 0000h                |
| 06h           | DAC_CLR_CODE      | 0000h                |
| 08h           | ADC_CFG           | 8810h                |
| 09h           | ADC_INDEX_CFG     | 0080h                |
| 0Bh           | SPECIAL_CFG       | 0000h                |
| 0Dh           | 予約済み              | 0100h                |
| 0Eh           | MODEM_CFG         | 0040h                |
| 0Fh           | FIFO_CFG          | 00F0h                |
| 10h           | ALARM_ACT         | 8020h                |
| 11h           | WDT               | 0018h                |
| 12h           | AIN0_THRESHOLD    | FF00h                |
| 13h           | AIN1_THRESHOLD    | FF00h                |
| 14h           | TEMP_THRESHOLD    | FF00h                |
| 1Bh           | GPIO_CFG          | 00FFh                |
| 1Dh           | ALARM_STATUS_MASK | EFDFh                |
| 1Eh           | GEN_STATUS_MASK   | FFFFh                |
| 1Fh           | MODEM_STATUS_MASK | FFFFh                |
| 3Fh           | RBIST_CRC         | 0000h                |

### 6.4.3 リセット

このデバイスには、パワーオン リセット (POR)、リセット ピン、SPI または UBM で送信できる SW\_RST コマンドという 3 つのリセット機構があります。

デバイスに最初に電源が投入されると、すべての電源が規定の動作電圧に達するまで、POR 回路がデバイスをリセット状態に保持します。パワーオン リセットにより、ブラウナウト イベント (電源が最小動作電圧を下回った状態) が発生した場合に、デバイスは既知の動作状態に戻ります。POR は、電源が安定するまですべてのデジタル回路をリセット状態にしておき、そのあと解放します。これにより、デバイスはデフォルトの状態で起動し、OTP メモリをロードします。OTP メモリがロードされると、ALARM ピンが解放されます。この時点で、デバイスと安全に通信できます。この  $t_{POR}$  時間は 100 $\mu$ s よりも短くなります。

また、このデバイスには  $\overline{RESET}$  ピンもあり、デバイスのハードウェア リセットとして使用されます。デバイスをリセットするには、 $\overline{RESET}$  ピンを 100ns 以上 ( $t_{RESET}$ ) Low にします。デバイスがリセットをラッチして解放するため、最初のシリアル インターフェイス コマンドを送信する前に、10 $\mu$ s ( $t_{RESETWAIT}$ ) の遅延時間が必要です。内部リセット状態の解放は、内部クロックに同期しています。 $\overline{RESET}$  ピンは、SPI および UART インターフェイス、HART FIFO バッファ、ウォッチドッグ タイマ、内部発振器、デバイス レジスタをリセットします。リセットしても、OTP メモリはリロードされません。

RESET.SW\_RST = 0xAD のコマンドは、ソフトウェア リセットとしてデバイスをリセットします。コマンドは、SPI コマンドの場合は  $\overline{CS}$  の立ち上がりエッジで、UBM フレームの場合は最後のキャラクタのストップ ビットの間にデコードされます。UBM でデバイスをリセットした場合は、UBM.REG\_MODE を再度設定して、デバイスを UBM に戻します。RESET コマンドを送信したあと、最初のシリアル インターフェイス コマンドを送信するまでに遅延時間は必要ありません。これは、デバイスがリセットをラッチして解放するためです。リセットは内部クロックの立ち上がりエッジに同期しており、次の立ち上がりエッジよりも十分前に解除されます。 $\overline{ALARM}$  ピンは、内部リセットの幅の間 Low にパルスを送信します。このパルスの持続

時間は 20ns 未満です。このコマンドは、SPI と UART インターフェイス、HART FIFO、ウォッチドッグ タイマをリセットしますが、内部発振器はリセットされません。また、SPECIAL\_CFG レジスタで適切に設定されていれば、ソフトウェアリセットによって、工場出荷時のトリム値が入った内部レジスタも再ロードされます。SPECIAL\_CFG レジスタは、POR でのみリセットされます。

POR とハードウェアリセットは、内部発振器をリセット状態にし、クロックを Low に保持します。これら二つの信号が解放されてから、クロックの最初の立ち上がりエッジまでに、数マイクロ秒の遅延があります。発振器が正常にリセットされるには、ハードウェアリセット、RESET、パルス幅が 100ns 以上である必要があります。SW\_RST コマンドは短いパルスです。このパルスは、発振器を十分にリセットできるほど長くありません。SW\_RST は、クロックの立ち下がりエッジでアサートされます。発振器の周期が長いので、次の立ち上がりエッジまでにすべてのデバイスがリセットから解除されるようにアーキテクチャが設計されています。

図 6-25 にリセット ツリーを示します。

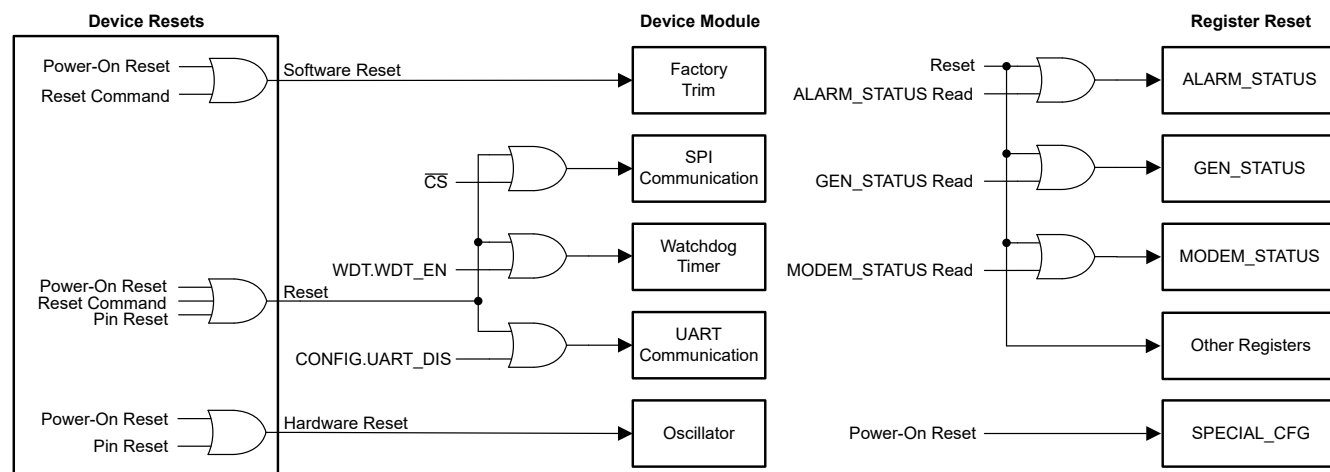


図 6-25. リセット条件

## 6.5 プログラミング

AFE82H1 は、UART 互換の二線式バスまたは SPI 互換バスのどちらかをサポートするシリアル インターフェイスを介して、システム コントローラと通信します。ハードウェアの設定に応じて、どちらかのインターフェイスを有効にできます。図 6-26 と図 6-27 に、SPI モードと UART ブレークモード (UBM) をイネーブルにする構成をそれぞれ示します。SPI は、フレームごとの 8 ビット CRC をサポートしています。これはデフォルトで有効ですが、ユーザーが無効にすることもできます。UBM は CRC をサポートしていませんが、UART プロトコルのパリティビットはサポートしています。

AFE82H1 は、DAC または HART モデムとの通信用に既存のファームウェアを活用できるように設計されています。図 6-28 に、ディスクリート HART アーキテクチャからファームウェアを再利用できる特別な SPI および UART 対応デュアルモード通信を示します。詳細については、セクション 6.5.1.3 を参照してください。

### 6.5.1 通信セットアップ

リセットまたはパワーアップの後で、AFE82H1 はウェークアップし、SPI または UART ブレークモード (UBM) を使用できます。このデバイスには、SPI 互換または UART 互換のプロトコルを使うシステムに合わせてインターフェイスを設定する、信頼性の高い機構が搭載されています。これにより、通常動作中にプロトコルが切り替わるのを防ぎます。選択は、それぞれのハードウェア構成 (図 6-26 および図 6-27 を参照) の初期条件とそれ以降のユーザー構成に基づいて行われます。

SPI + UART モードでは、図 6-28 に示すように、システム マイコンのすべての通信ピンが AFE82H1 に接続されます。

#### 6.5.1.1 SPI モード

デフォルトでは、AFE82H1 は SPI により完全にアクセスできます (UBM.REG\_MODE を除く)。デバイスを SPI モードに設定する場合：

1. CONFIG.UART\_DIS = 1 に設定します (UART 通信を無効化)。
2. 必要に応じて、CONFIG.DSDO、CONFIG.FSDO、および CONFIG.IRQ\_PIN\_EN を設定します。

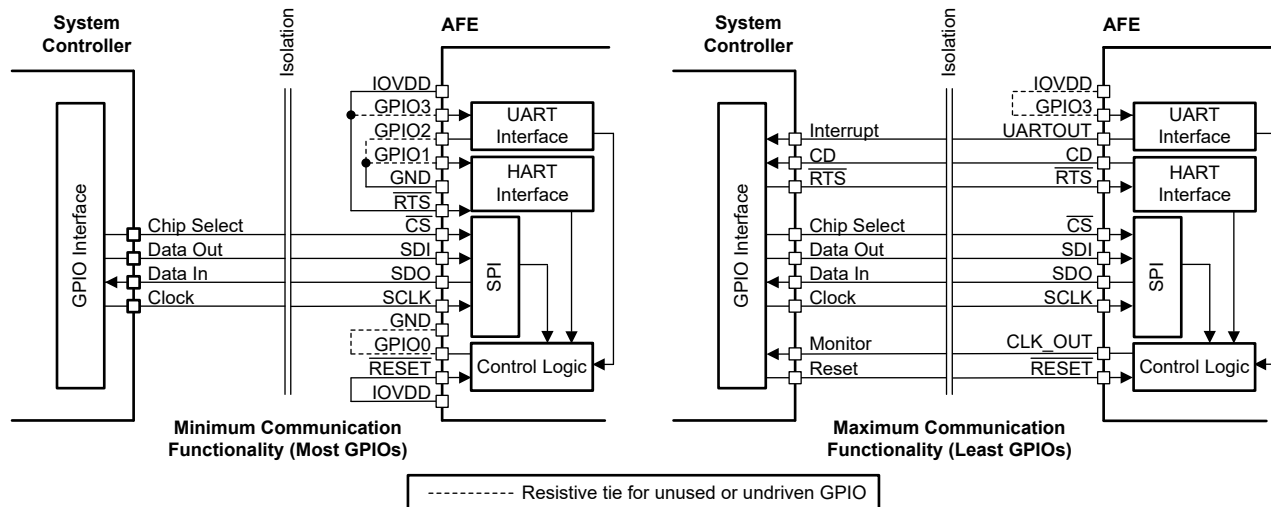


図 6-26. SPI モードの接続

図 6-26 に、最小通信機能 (オプションの通信ピンをすべて切断、使用可能な GPIO ピンは最多) と最大通信機能 (すべての通信ピンを接続、使用可能な GPIO ピンは最少) の両方について、SPI モードの論理接続 (絶縁バリアを使う場合は、それを介した接続) を示します。CONFIG.IRQ\_PIN\_EN = 1 に設定すると、UARTOUT ピンは IRQ 出力として機能します。SPI モードでは、CONFIG.SDO\_DSDO = 0 に設定して、リードバック機能を有効にします。消費電力を抑えるため、この機能はデフォルトで無効になっています。リードバック機能が有効でない場合、読み出し要求のあとの次のフレームでも、SDO は Hi-Z のままです。適切なレジスタ設定によって、使う GPIO ピンをそれぞれ有効にします。使わないピン

は、I/O がフローティングにならないように、図のようにプルアップ抵抗で IOVDD に、またはプルダウン抵抗で GND に接続します。

### 6.5.1.2 UART モード

電源投入時、UART インターフェイスは UBM が有効な状態で 9600 ボーに設定されます。リセットすると UBM レジスタがクリアされるため、UBM を使うにはレジスタを再度設定する必要があります。UBM でデバイスを設定するには、次の手順を実行します：

1. UBM を使って、9600 ボーで UBM.REG\_MODE = 1 に設定します。この設定により、SPI からのデバイスへのアクセスがブロックされ、UART インターフェイスからレジスタ マップ全体にアクセスできるようになります。
2. 必要に応じて、CONFIG.CLR\_PIN\_EN と CONFIG.IRQ\_PIN\_EN を設定します。

図 6-27 に、最小通信機能 (オプションの通信ピンをすべて切断、使用可能な GPIO ピンは最多) と最大通信機能 (すべての通信ピンを接続、使用可能な GPIO ピンは最少) の両方について、UBM の論理接続 (絶縁バリアを使う場合は、それを介した接続) を示します。CONFIG.IRQ\_PIN\_EN = 1 に設定すると、SDO ピンは IRQ 出力として機能します。CONFIG.CLR\_PIN\_EN = 1 に設定すると、SDI ピンがクリア ピン機能を制御します。適切なレジスタ設定によって、使う GPIO ピンをそれぞれ有効にします。GPIO ピンを使わない場合は、I/O がフローティングにならないように、プルアップ抵抗で IOVDD に、またはプルダウン抵抗で GND に接続します。

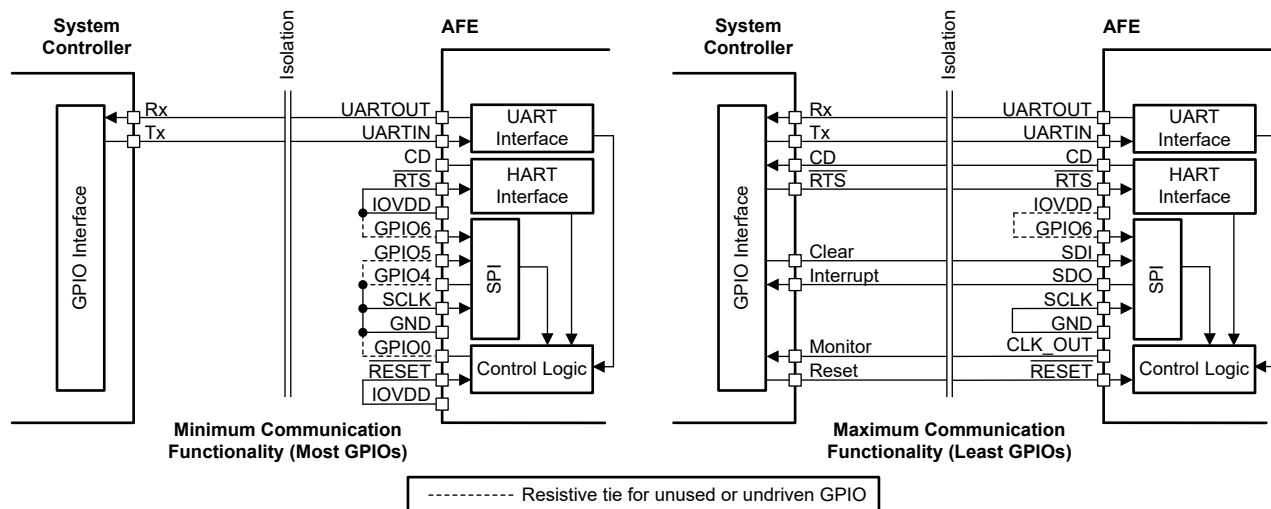


図 6-27. UBM (UART インターフェイス) の接続

### 6.5.1.3 SPI + UART モード

このモードでは、DAC とは SPI で通信し、内蔵の HART モデムとは UART で通信します。多くのディスクリット DAC は SPI 通信を使い、HART モデムは UART 通信を使います。この特別な通信インターフェイスを使うと、ディスクリット構成から HART 内蔵のアーキテクチャへ簡単に移行できます。図 6-28 に、最小通信機能 (オプションの通信ピンをすべて切断、使用可能な GPIO ピンは最多) と最大通信機能 (すべての通信ピンを接続、使用可能な GPIO ピンは最少) の両方について、UBM の論理接続 (絶縁バリアを使う場合は、それを介した接続) を示します。適切なレジスタ設定によって、使う GPIO ピンをそれぞれ有効にします。使わないピンは、I/O がフローティングにならないように、図のようにプルアップで IOVDD に、またはプルダウンで GND に接続します。

SPI を使ってデバイスを SPI + UART モードに設定するには、CONFIG.UART\_BAUD = 0 に設定して UART のボーレートを 1200 にし、HART のボー レート 1200 に合わせます。UART は 9600 ボーでも動作しますが、HART の 1200 ボーのボー レートを考慮する必要があり、SPI で FIFO\_STATUS を監視する必要があります。

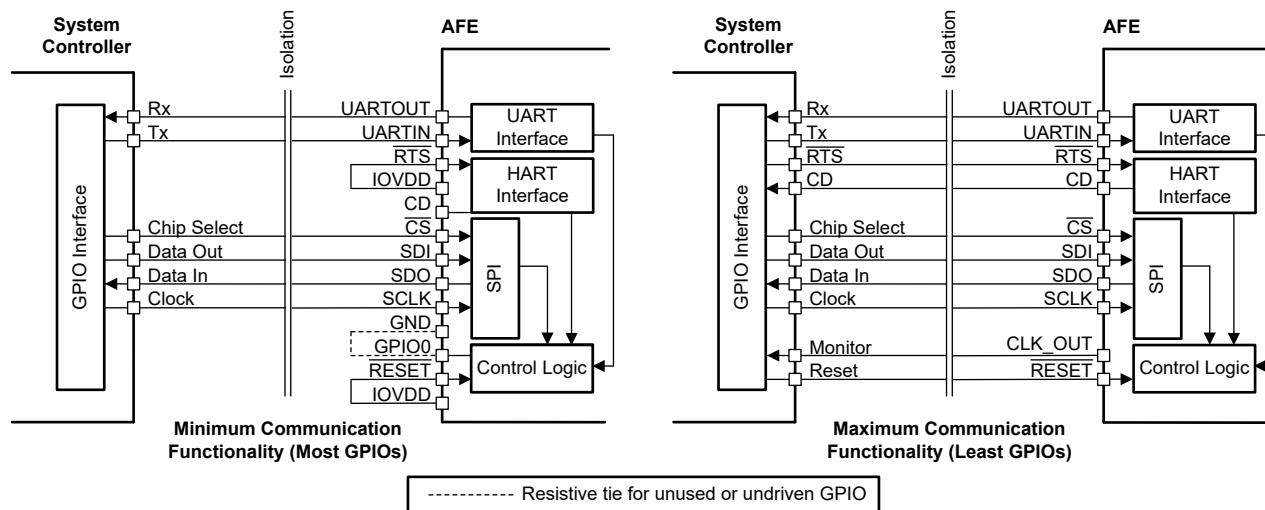


図 6-28. SPI + UART モードの接続

#### 6.5.1.4 HART 機能セットアップ オプション

表 6-11 に、接続されたピンによる通信オプションに基づいて HART 機能を設定するための各種オプションを示します。

**表 6-11. 使用される通信ピンによる HART 機能セットアップ オプション**

| FUNCTION                  | インターフェイス モード <sup>1</sup> | ピン名                            | ハードウェア方式 (ピン接続)                                                                             | 代替方法 (ピンが接続されていません)                                                                                            |
|---------------------------|---------------------------|--------------------------------|---------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------|
| 送信要求 (RTS)                | 任意                        | $\overline{\text{RTS}}$ (入力)   | L: RTS がアサートされました。<br>H: RTS がデアサートされました。                                                   | MODEM_CFG.RTS ビットに書き込む<br>1: RTS がアサートされました。<br>0: RTS がデアサートされました。                                            |
| キャリア検出 (CD)               | 任意                        | CD (出力)                        | L: CD がデアサートされました。<br>H: CD がアサートされました。                                                     | 接続およびセットアップ割り込み要求、または<br>CD_ASSERT/CD_DEASSERT をポーリングします                                                       |
| 送信可能 (CTS)                | 任意                        | なし                             | 該当なし                                                                                        | 接続およびセットアップ割り込み要求<br>または<br>CTS_ASSERT をポーリングします                                                               |
| アラーム                      | 任意                        | $\overline{\text{ALARM}}$ (出力) | システム コントローラ用の複数のアラームベースの割り込みソース。セクション 6.3.3 も参照してください。                                      | 接続および設定割り込み要求<br>または<br>ALARM_STATUS レジスタをポーリングします                                                             |
| 割り込み要求 (IRQ) <sup>2</sup> | UART                      | SDO (出力)                       | レベルおよび極性を設定可能な割り込みピン (セクション 6.3.4 を参照)。<br>システム コントローラ用の複数の割り込みソース。セクション 6.3.5.8 も参照してください。 | CONFIG.UBM_IRQ_EN = 1 に設定すると、ブレイク コマンドとそれに続くデータを UARTOUT に出力する形で、ソフト IRQ を生成できます。詳しくは、セクション 6.5.4.1 を参照してください。 |
|                           | SPI のみ                    | UARTOUT (出力)                   |                                                                                             | ステータス レジスタのポーリング                                                                                               |
|                           | SPI plus UART             | なし                             | 該当なし                                                                                        | ステータス レジスタのポーリング                                                                                               |

- オプションの詳細については、セクション 6.5.1 を参照してください。
- IRQ 構成の詳細については、表 6-8 を参照してください。

### 6.5.2 GPIO のプログラミング

AFEx82H1 では、通信に使わない七本の物理ピンを GPIO として使えます。これらのピンの状態は、通信インターフェイスモードが決定された後に設定されます (AFEx82H1 でサポートされている各通信モードのパワーアップ条件と接続図オプションについては、[セクション 6.5.1](#) を参照してください)。未使用の通信ピンは GPIO として構成し、[セクション 6.5.1](#) に示すように、ピンをそれぞれ IOVDD または GND に抵抗的に接続します。

[表 6-12](#) に、UBM または、SPI モード、または SPI + UART モードでのピンとピン機能、および各ピンの GPIO 機能を有効にするためのレジスタ設定条件を示します。これらのレジスタ設定に加えて、使用可能なピンを GPIO として使うには、対応する GPIO\_CFG.EN ビットをセットします。

GPIO ピンを入力として設定するには、次の条件を満たす必要があります：

1. ピンの GPIO\_CFG.ODE = 1 であること
2. ピンの GPIO.DATA = 1 であること

初期化後、ピンの状態はハイインピーダンスです。GPIO.DATA レジスタを読み出すと、ピンの値が読み出されます。

上記の条件を満たしていない場合、ピンは出力になります。この場合、出力の駆動方式は、GPIO\_CFG.ODE ビットによってプッシュプルまたは疑似オープンドレインのどちらかに決まります。GPIO 出力は、GPIO.DATA ビットによって駆動されます。GPIO.DATA を読み取ると、ピンが GPIO として設定されているかどうかに関係なく、常にピンの値が返されます。GPIO.DATA ビットに書き込んだデータを、直接読み取ることはできません。ピンを GPIO として使用できる場合は、GPIO 機能を有効にするために、対応する GPIO\_CFG.EN ビットをセットする必要があります。

**表 6-12. 各インターフェイスモードでのピン構成**

| ピン                            | UBM       |         | SPI                    |         | SPI PLUS UART          |         | GPIO を有効にするためのレジスタ設定 <sup>(1)</sup>                               |
|-------------------------------|-----------|---------|------------------------|---------|------------------------|---------|-------------------------------------------------------------------|
|                               | FUNCTION  | 方向      | FUNCTION               | 方向      | FUNCTION               | 方向      |                                                                   |
| GPIO6/ $\overline{\text{CS}}$ | GPIO      | 入力 / 出力 | $\overline{\text{CS}}$ | 入力      | $\overline{\text{CS}}$ | 入力      | (UBM.REG_MODE = 1)                                                |
| GPIO5/SDI                     | CLR/GPIO  | 入力 / 出力 | SDI                    | 入力      | SDI                    | 入力      | (UBM.REG_MODE = 1) および (CONFIG.CLR_PIN_EN = 0)                    |
| GPIO4/SDO                     | IRQ/GPIO  | 入力 / 出力 | SDO                    | 出力      | SDO                    | 出力      | (UBM.REG_MODE = 1) および (CONFIG.IRQ_PIN_EN = 0)                    |
| GPIO3/<br>UARTIN              | UARTIN    | 入力      | GPIO                   | 入力 / 出力 | UARTIN                 | 入力      | (CONFIG.UART_DIS = 1)                                             |
| GPIO2/<br>UARTOUT             | UARTOUT   | 出力      | IRQ/GPIO               | 入力 / 出力 | UARTOUT                | 出力      | (CONFIG.UART_DIS = 1) および (CONFIG.IRQ_PIN_EN = 0)                 |
| GPIO1/CD                      | CD        | 出力      | CD/GPIO                | 入力 / 出力 | CD                     | 出力      | (CONFIG.UART_DIS = 1)                                             |
| GPIO0/<br>CLK_OUT             | CLKO/GPIO | 入力 / 出力 | CLKO/GPIO              | 入力 / 出力 | CLKO/GPIO              | 入力 / 出力 | (CONFIG.CLKO = 0) および (UBM.REGMODE = 1) または (CONFIG.UART_DIS = 1) |

(1) 対応する GPIO\_CFG.EN ビットに加えて、ピンでも必要とされます。

### 6.5.3 シリアル・ペリフェラル・インターフェイス (SPI)

AFEx82H1 は、多用途の 4 線式シリアル インターフェイス (SDIN、SDO、SCLK、 $\overline{\text{CS}}$ ) で制御されます。このインターフェイスは最大 12.5MHz のクロック レートで動作し、SPI、QSPI、Microwire、およびデジタル シグナル プロセッシング (DSP) の規格と互換性があります。SPI 通信のコマンドは、読み取りまたは書き込みのアドレス、データ ワード、オプションの CRC バイトで構成されます。

SPI では、UBM レジスタを除くすべてのレジスタ アドレスにアクセスできます。読み取り専用か読み書き可能かは、レジスタごとに決まっています (表 7-1 を参照)。SPI は、SPI モード 1 (CPOL = 0、CPHA = 1) と SPI モード 2 (CPOL = 1、CPHA = 0) の両方をサポートしています。SCLK のデフォルト値は、SPI モード 1 では Low、SPI モード 2 では High です。各モードのタイミング図については、セクション 5.7 を参照してください。シリアル クロック SCLK は、連続クロックでもゲートクロックでもかまいません。

#### 6.5.3.1 SPI フレーム定義

タイミング要件に記載されているタイミング要件に従い、 $\overline{\text{CS}}$  の立ち下がりエッジの直後の最初の SCLK 立ち下がりエッジが最初のフレーム ビットをキャプチャします。同じ要件に従い、 $\overline{\text{CS}}$  の立ち上がりエッジ直前の最後の SCLK 立ち下がりエッジで、フレームの最後のビットが取り込まれます。図 6-29 に示すように、SPI シフト レジスタのフレームは 32 ビット幅で、R/W ビット、7 ビットのアドレス、16 ビットのデータ ワードで構成されます。8 ビットの CRC はオプションで (デフォルトでは有効)、CONFIG.CRC\_EN = 0 に設定すると無効になります (セクション 6.5.3.3 も参照)。図 6-30 に示すように、CRC が無効の場合、フレームは 24 ビット幅になります。

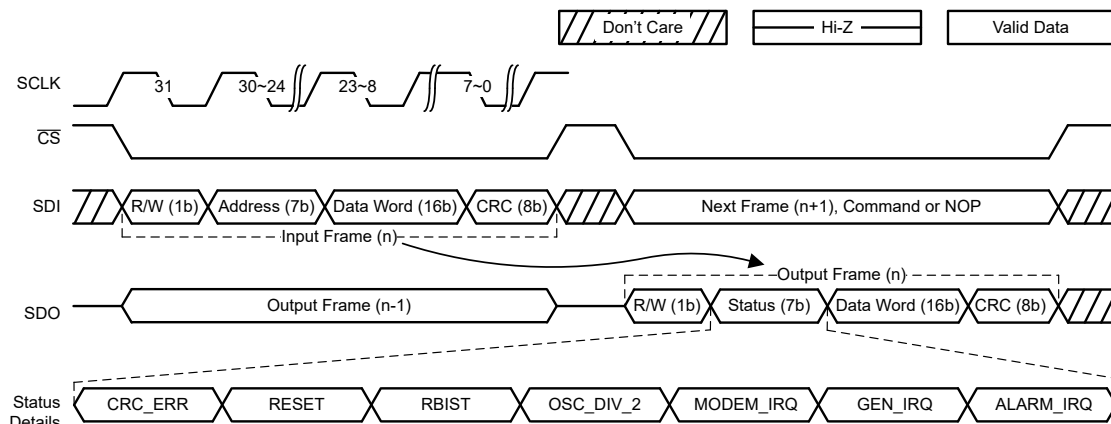


図 6-29. SPI フレームの詳細 (デフォルト、CRC 有効)

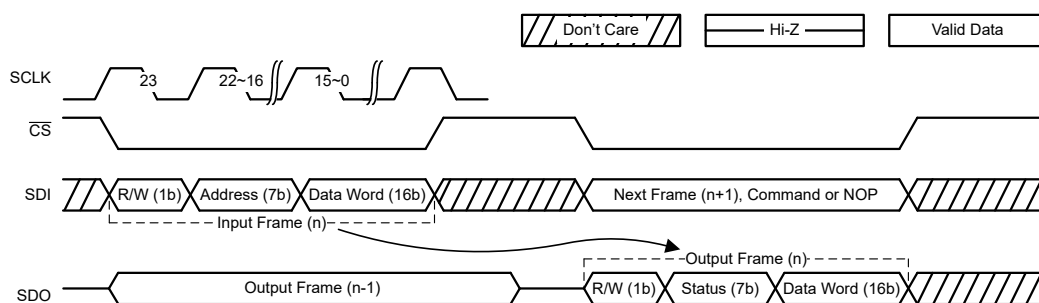


図 6-30. SPI フレームの詳細 (CRC 無効)

有効なフレームの場合、 $\overline{\text{CS}}$  を High にする前に、フレーム長分のデータ (CRC が無効の場合は 24 ビット、CRC が有効の場合は 32 ビット) をすべて送信する必要があります。フル フレームの最後の SCLK 立ち下がりエッジより前に  $\overline{\text{CS}}$  を High にすると、データ ワードは内部レジスタに転送されません。 $\overline{\text{CS}}$  を High にする前に、フル フレーム長を超える数の SCLK 立ち下がりエッジが入力された場合は、最後のフル フレーム長分のビットが使われます。つまり、 $\overline{\text{CS}} = 0$  の間に SCLK の立ち下がりエッジが 34 回あった場合、最後の 32 SCLK サイクル (CRC が無効の場合は 24 サイクル) が有効

なフレームとして扱われます。デバイスの内部レジスタは、 $\overline{CS}$  の立ち上がりエッジで、SPI シフト レジスタから更新されます。別のシリアル転送を開始するには、 $\overline{CS}$  を再度 Low にします。 $\overline{CS}$  が High のとき、SCLK 信号と SDI 信号はブロックされ、SDO ピンはハイインピーダンス状態になります。

### 6.5.3.2 SPI 読み取りおよび書き込み

SDI 入力ビットは、SCLK の立ち下がりエッジでラッチされます。SDI ピンは、右詰め of データを受信します。 $\overline{CS}$  の立ち上がりエッジで、最も右 (最後) のビットがフレームとして評価されます。フレーム中に、フレーム長を超える余分なクロックサイクルがあると、SDI のデータが一フレーム長だけ遅れて SDO に出力され始めます。

R/W ビットが 1 のとき、読み出し動作が開始されます。読み取りコマンド フレームでは、SDI のデータワード入力は無視されます。次の読み取りコマンド フレームまたは書き込みコマンド フレームを SDI に送信して、指定したアドレスのレジスタのデータを SDO にクロック出力します。ほかに読み取りコマンドや書き込みコマンドが必要ない場合は、NOP コマンドを発行して、要求したデータを取得します。読み取ったレジスタの値は、SCLK の連続するエッジ (CONFIG.FSDO の設定に応じて立ち上がりまたは立ち下がり) で、最上位ビットから順に SDO に出力されます。

R/W ビットが 0 のとき、書き込み動作が開始されます。次のフレームで送信される書き込みコマンドへの SDO 出力には、表 6-13 に示すステータス ビットとデータが含まれており、CRC が有効化されている場合は、出力フレーム用の 8 ビット CRC が含まれています。

表 6-13. コマンド機能

| コマンド ビット       | SDI 入力データワードのフォーマット | SDO 応答データワード <sup>(1)</sup> |
|----------------|---------------------|-----------------------------|
| 書き込み (R/W = 0) | 書き込むデータ (16b)       | 0x0000                      |
| 読み取り (R/W = 1) | 無視 <sup>(2)</sup>   | レジスタ出力データ (16b)             |

(1) 次のフレーム出力の応答データ部分。

(2) 入力ビットは、CRC が有効にされている場合、計算に含まれます (セクション 6.5.3.3 を参照)。

有効な SDO 出力は、 $\overline{CS} = 0$  および CONFIG.DSDO = 0 の場合のみ駆動されます。それ以外の場合、SDO ピンは Hi-Z のままで消費電力を節約します。SDO データ ビットはフレーム内で左揃えされ、 $\overline{CS}$  が Low にアサートされる (ビットは  $\overline{CS}$  の立ち下がりエッジによって駆動される) ときに、最上位ビットがライン上に生成されます (タイミングの詳細が対象)。CONFIG.FSDO = 0 (デフォルト) のとき、フレーム内の以降のビットは SCLK の立ち上がりエッジで駆動されます。SCLK の立ち下がりエッジで SDO のデータを駆動するには、CONFIG.FSDO = 1 に設定します。この設定により、SDO のデータのセットアップ時間が実質的に  $\frac{1}{2}$  クロック周期分長くなりますが、その分ホールド時間が短くなります。

SDO のフレーム出力には、フレーム (前の入力フレーム) を生成した入力のコマンド ビットと、七つのステータス ビットが含まれています (図 6-29 を参照)。入力フレーム CRC エラーが検出されると、ステータス ビット CRC\_ERR = 1 になります。入力フレームの CRC エラーがない場合、CRC\_ERR = 0 になります。詳しくは、表 6-14 を参照してください。

### 6.5.3.3 フレームエラー チェック

ノイズの多い環境で AFE82H1 を使う場合は、CRC を使って、デバイスとシステム コントローラの間の SPI データ通信の完全性を確認します。この機能はデフォルトで有効になっており、CONFIG.CRC\_EN ビットで制御します。システムで CRC が不要な場合は、CRC\_EN ビットでフレーム エラー チェックを無効にし、デフォルトの 32 ビット フレームから 24 ビット フレームに切り替えます。

エラー チェック方式は、CRC-8-ATM (HEC) 多項式  $x^8 + x^2 + x + 1$  (9'b100000111) に基づいています。

出力レジスタを読み戻すとき、AFE82H1 は 32 ビットフレームの一部として提供される 24 ビットのデータについて、計算された 8 ビット CRC に供給します。

AFE82H1 は、入力フレームのデータ 24 ビットと 8 ビット CRC をデコードして、CRC の剰余を計算します。フレームにエラーがない場合、CRC の剰余は 0 になります。剰余が 0 でない場合 (つまり、入力フレームにシングル ビット エラーまたはマルチ ビット エラーがある場合)、ALARM\_STATUS.CRC\_ERR\_CNT ビットがインクリメントされます。CRC 値が不

適切な場合、デバイスへのコマンドの実行が禁止され、無効な読み取りコマンドによって FIFO データが失われることを防止できます。

CRC エラー カウンタが CONFIG.CRC\_ERR\_CNT で設定した上限値に達すると、ALARM\_STATUS レジスタの CRC\_FLT ステータス ビットがセットされます。この故障は、次のフレームで SDO の ALARM\_IRQ として通知されます (対応するマスクがセットされていない場合)。アラーム動作構成によってイネーブルになっている場合、ALARM ピンは Low にアサートされます (セクション 6.3.3.2 を参照)。

SDO フレームの CRC\_ERR ステータス ビット (図 6-29 を参照) はスティッキーではなく、直前のフレームについてのみ通知されます。ALARM\_STATUS.CRC\_FLT ビットはスティッキーで、ALARM\_STATUS レジスタの読み出しが成功したあとにのみクリアされます。GEN\_STATUS、MODEM\_STATUS、または ALARM\_STATUS レジスタを読み出して、設定されたスティッキー ビットをクリアします。

スティッキー ステータス ビットは、リードバック フレームの開始時にクリアされ、リードバック フレームの終了時に再度ラッチされます。そのため、前にステータス レジスタで通知された故障状態がリードバック フレームの終了時になくなっていて、マイコンが CRC エラーのあるデータを受信した場合、故障の情報は失われます。ノイズの多い環境でステータス ビットを確実に監視する必要がある場合は、IRQ ピンとステータス マスク ビットを組み合わせ使用し、ステータス ビットをクリアする前に各故障の状態を確認します。CONFIG.IRQ\_LVL ビットをセットして IRQ ピンの信号レベルを監視し、ステータス ビットのマスクを 1 つずつ解除して、ステータス レジスタから情報を取得します。

#### 6.5.3.4 同期

AFEx82H1 のレジスタ マップは内部クロック ドメインで動作します。SPI パケットと UBM パケットは、どちらもこのクロック ドメインに同期します。この同期により、 $\overline{CS}$  の立ち上がりエッジ、または UBM パケットの最後のバイトのストップ ビットを基準として、 $0.4\mu\text{s} \sim 1.22\mu\text{s}$  (内部クロック 1.5 周期分) のレイテンシが加わります。

UBM 通信は低速で非同期のため、UBM 通信へのクロック同期の影響はほとんど現れません。

SPI モードで、レジスタ ビット CONFIG.DSDO、CONFIG.FSDO、CONFIG.CRC\_EN を変更する場合は、次のフレームを発行する前に、 $\overline{CS}$  を二回のクロック サイクル以上 High に保ちます。この二回のサイクルの追加時間を設けないと、フレームのデータが壊れることがあります。フレームが壊れる例を次に示します：

- CONFIG.DSDO = 0 の設定：次のフレームの途中で、SDO の駆動が始まります。
- CONFIG.FSDO を変更した場合：次のフレームの途中で、SDO の出力エッジが変わります。
- CONFIG.CRC\_EN = 1 の設定：フレームの途中で CRC が有効になるため、次のフレームで CRC エラーが発生します。

壊れたフレームが通信に影響しないように、DSDO、FSDO、CRC\_EN ビットを設定したあとで NOP コマンド (SDI = 0x00\_0000) を送信します。CONFIG.CRC\_EN をセットしたあとに NOP を送信しても CRC エラーは発生し、SDO のステータス部分で通知されます。誤ったエラーを避けるため、CONFIG.CRC\_EN を設定してから約  $2\mu\text{s}$  待って、次のフレームを送信します。

### 6.5.4 UART インターフェイス

UART モードでは、1 個のスタート ビット、8 個のデータ ビット、1 個の奇数パリティ ビット、1 個のストップ ビットからなる 8O1 UART キャラクタ形式を使います。

レジスタとの通信には SPI を使い、UART は HART 通信だけに使う場合は、1200 ボーを使います。ボー レートの精度は  $\pm 1\%$  以内にする必要があります。

#### 6.5.4.1 UART ブレーク モード (UBM)

UART ブレーク モード (UBM) では、マイコンが UART ブレークを送信して通信を開始します。デバイスは、UART ブレークを、UART からコマンド受信の開始と解釈します。通信用の UART キャラクタは、一個のスタート ビット、八個のデータ ビット、一個の奇数パリティ ビット、および一個以上のストップ ビットで構成されます。UART ブレーク キャラクタでは、11 ビット (スタート、データ、パリティ、ストップ ビットを含む) すべてが Low に保持されます。UARTIN ピンではマイコンが、UARTOUT ピンでは AFE882H1 が Low に保持します。AFE882H1 が UARTIN で有効なブレーク キャラクタを検出した場合、このキャラクタについては、パリティ エラー (パリティは奇数です) もストップ ビット エラーもフラグされません。AFE882H1 の UARTOUT ピンからこれらのキャラクタを受信する場合、有効な UBM ブレーク キャラクタと通信キャラクタとのパリティおよびストップ ビットの違いは、システムのマイコンで管理する必要があります。UBM ブレーク キャラクタ、通信タイミングの詳細、およびビット順序については、[図 5-2](#) を参照してください。

UART 通信では、二つのボー レートがサポートされています: 9600 と 1200 です。UBM の場合、9600 ボー レートがデフォルトです。1200 ボーのボー レートは、下位互換性を保つためにサポートされています。この場合、レジスタ マップとの通信には SPI を使う必要があり、UART ピンは HART 通信にのみ使われます。ボー レートはレジスタ ビット CONFIG.UART\_BAUD で選択します。CONFIG.UART\_BAUD = 1 (デフォルト) の場合、UART は 9600 ボーで動作します。CONFIG.UART\_BAUD = 0 の場合、UART は 1200 ボーで動作します。UART プロトコルのブレーク機能は、9600 ボーの場合にのみ有効です。この設定では、HART データとレジスタ通信を交互に行うことができ、正しく設定すれば、デバイスのすべてのレジスタにアクセスできます。

UART からレジスタ マップにアクセスできるようにするには、UBM.REG\_MODE = 1 に設定します。デフォルトでは、このビットは 0 に設定されています。UBM レジスタを除き、レジスタ マップ全体には SPI でのみアクセスできます。UBM レジスタには、UBM でのみアクセスできます。UBM.REG\_MODE を 1 に設定すると、SPI からはレジスタ マップにアクセスできなくなり、UBM からレジスタ マップ全体にアクセスできるようになります。

UBM データ出力パケットは、以下の二つの場合で、UARTOUT 上の AFE882H1 によって開始されます。パケット構造の詳細については、[図 6-33](#) を参照してください。R/IRQn ステータス ビットが 0 の場合は、IRQ イベントによってブレーク コマンドが開始されたことを示します。R/IRQn ステータス ビットが 1 の場合は、ブレーク コマンドが前回の読み出し要求に対する応答であることを示します。HART データの詳細については、[セクション 6.5.4.1.1](#) を参照してください。

IRQ イベントを有効にするには、CONFIG.UBM\_IRQ\_EN = 1 に設定します。IRQ がイネーブルの場合、AFE882H1 はブレーク コマンドをトリガし、その後に UARTOUT のデータを送信します ([図 6-33](#) を参照)。

データの内容を、優先順位の高い順に次に示します。

1. ALARM\_IRQ ビットがセットされている場合は、ALARM\_STATUS レジスタの内容が出力されます。
2. GEN\_IRQ がセットされている場合は、GEN\_STATUS レジスタの内容が出力されます。
3. MODEM\_IRQ ビットがセットされている場合は、MODEM\_STATUS レジスタの内容が出力されます。
4. 前のビットがセットされていない場合、IRQ は生成されません。

ブレーク バイトの後に 3 バイトが続きます。これら 3 バイトの情報は、CRC を含まない SPI フレームと同じです ([図 6-30](#) を参照)。UBM では CRC を有効にできません。UART バス上のすべての通信キャラクタは、最下位データ ビット (D0) から送信されます。

[図 6-31](#) に、UBM 書き込みコマンドのデータ構造を示し、[図 6-32](#) に、UBM 読み取りコマンドのデータ構造を示します。

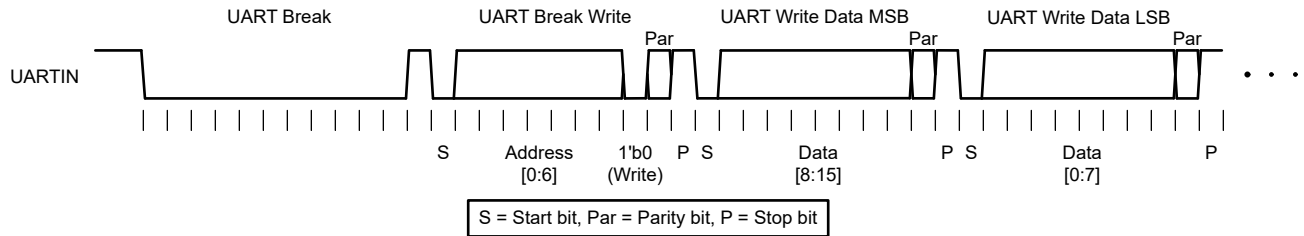


図 6-31. UARTIN ブレーク書き込みデータ形式

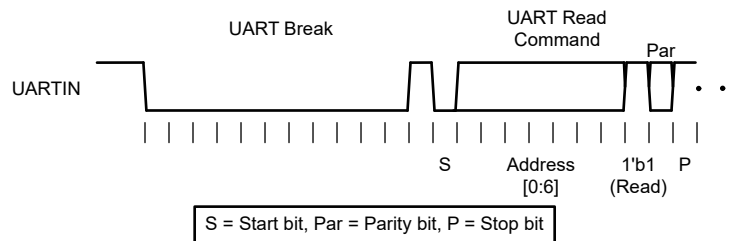


図 6-32. UARTIN ブレーク読み取りデータ形式

図 6-33 に、UARTOUT データフレームと、AFEx82H1 によって生成されるステータス ビットの詳細を示します。詳しくは、表 6-14 を参照してください。

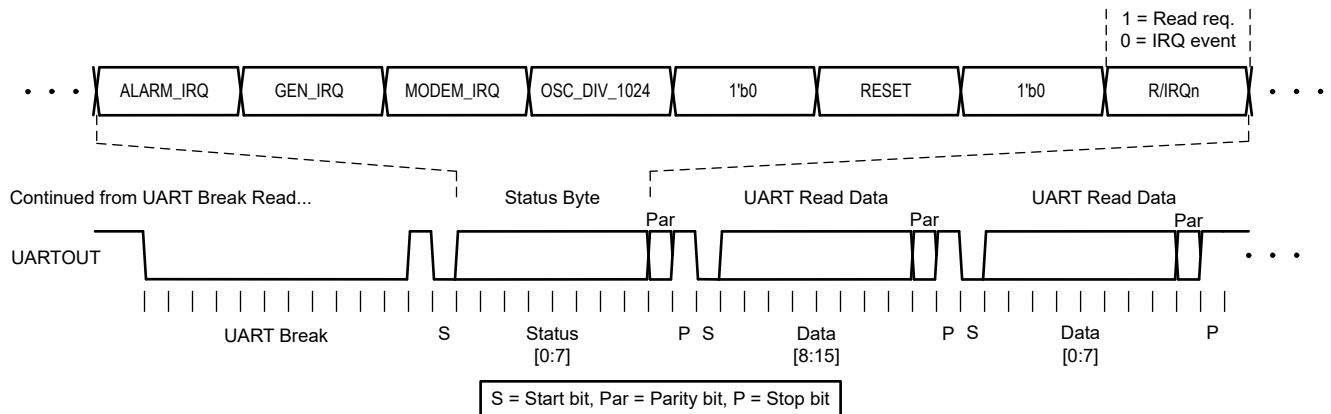


図 6-33. UARTOUT ブレーク データ フォーマット

#### 6.5.4.1.1 FIFO バッファおよびレジスタ マップとのインターフェイス

UBM では、HART のデータ キャラクタは、レジスタ マップへのアクセスや割り込みの通知に使うブレイク コマンドと交互に送受信されます。

このデバイスは、UARTIN で受信したパリティ エラーとフレーム エラーを通知します。これらのステータス ビットは GEN\_STATUS レジスタにあり、マスクを設定して IRQ イベントの生成を制御できます。

HART バイト間の大きなギャップを避けます。HART 規格では、ギャップ仕様が  $11 \times t_{\text{BAUDHART}} \text{ ms}$  です。したがって、 $10.5 \text{ HART}$  ビット時間 ( $10.5 \times t_{\text{BAUDHART}} \text{ ms}$ ) を超えるギャップは、HART モデムにギャップ エラーを引き起こす可能性があります。

以下のタイミング図に、マイコンとデバイスのレジスタとの通信例、および HART の送信データと受信データの転送例を示します。

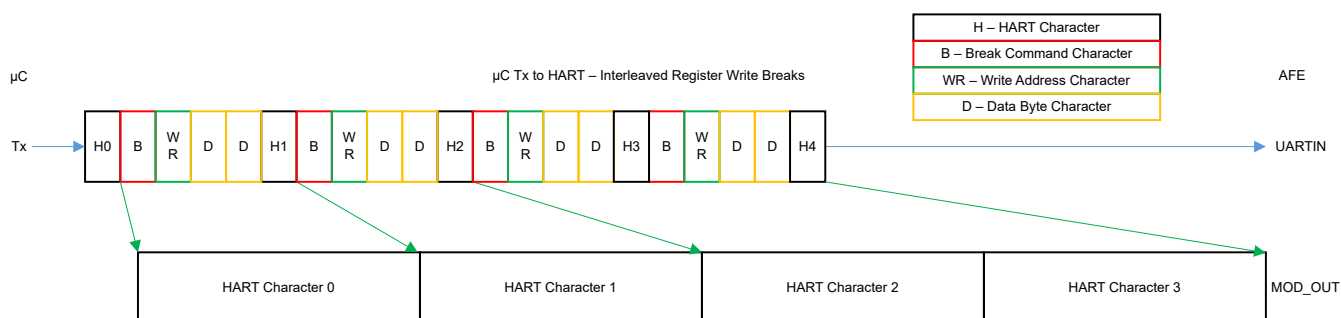


図 6-34. UBM レジスタ書き込みを伴うインターリーブ HART 送信

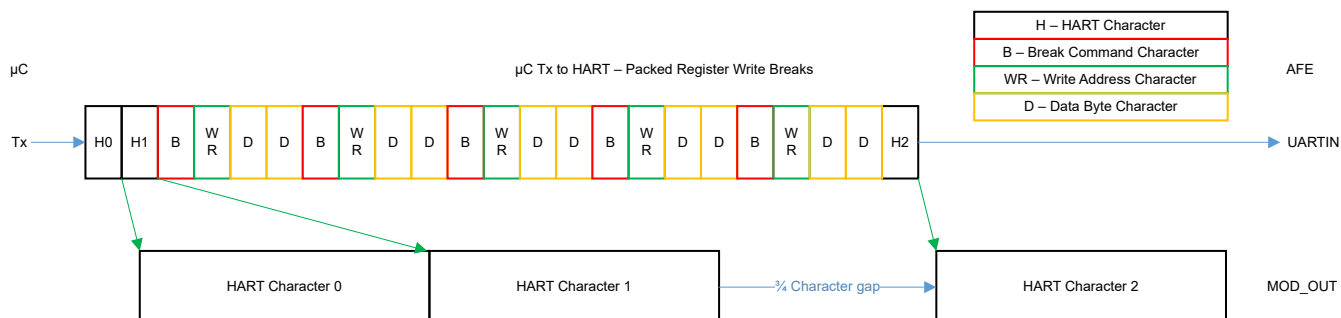


図 6-35. UBM レジスタ書き込みを伴うパック HART 送信

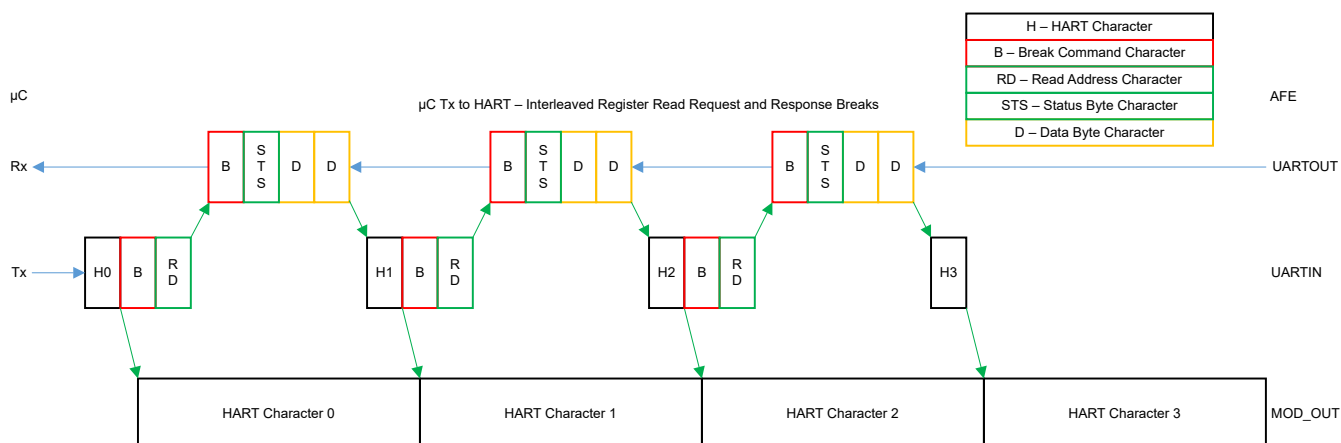


図 6-36. UBM レジスタ読み取り要求と応答を伴うインターリーブ HART 送信



### 6.5.5 ステータス ビット

SPI モードと UBM では、AFEx82H1 からのすべての応答に一連のステータス ビットが含まれます。SPI モードのビット順序については、[セクション 6.5.3.1](#) を参照してください。UBM のビット順序については、[セクション 6.5.4.1](#) を参照してください。

表 6-14. ステータス ビット

| ステータス ビット                  | 説明                                                          | 注記 / 参照                                                                                                   |
|----------------------------|-------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------|
| ALARM_IRQ                  | 1h = ALARM_IRQ がアサート<br>0h = 通常動作                           | GEN_STATUS <sup>(1)</sup> レジスタから。<br><a href="#">セクション 6.3.4</a> も参照してください。                               |
| CRC_ERR<br>(CRC 対応 SPI のみ) | 1h = 入力フレームでの CRC エラー検出<br>0h = CRC エラーは検出されていません           | SPI によってフレームごとに生成されます。<br><a href="#">セクション 6.5.3.3</a> を参照してください。                                        |
| GEN_IRQ                    | 1h = GEN_IRQ をアサート<br>0h = 通常動作                             | ALARM_STATUS <sup>(1)</sup> レジスタから。<br><a href="#">セクション 6.3.4</a> も参照してください。                             |
| MODEM_IRQ                  | 1h = MODEM_IRQ をアサート<br>0h = 通常動作                           | GEN_STATUS <sup>(1)</sup> レジスタから。<br><a href="#">セクション 6.3.4</a> も参照してください。                               |
| OSC_DIV_1024 (UBM モード)     | 1h = サンプルングした信号は High<br>0h = サンプルングした信号は Low               | ステータス バイトのスタートビットの立ち下がりエッジでサンプルングした、内部発振器クロックの分周信号 (周波数を 1024 分周)。 <a href="#">セクション 6.3.8</a> も参照してください。 |
| OSC_DIV_2 (SPI モード)        | 1h = サンプルングした信号は High<br>0h = サンプルングした信号は Low               | CS の立ち下がりエッジでサンプルングした、内部発振器クロックの分周信号 (周波数を 2 分周)。 <a href="#">セクション 6.3.8</a> も参照してください。                  |
| R/IRQn (UBM のみ)            | 1h = 読み取り要求<br>0h = IRQ イベント                                | UART インターフェイスによってフレームごとに生成されます。<br>詳しくは、 <a href="#">セクション 6.5.4.1</a> を参照してください。                         |
| RBIST                      | 1h = RBIST ビジー (レジスタは読み取り不可)<br>0h = RBIST 完了 (レジスタは読み取り可能) | RBIST の実行ステータス。<br>詳しくは、 <a href="#">セクション 6.4.2</a> を参照してください。                                           |
| リセット                       | 1h = リセット後の最初の読み戻し<br>0h = その他のすべての読み戻し                     | GEN_STATUS レジスタから。<br><a href="#">セクション 6.4.3</a> も参照してください。                                              |

(1) ALARM\_STATUS、MODEM\_STATUS、および GEN\_STATUS レジスタには、他のレジスタのために、相互に読み取ることが可能な IRQ フラグが含まれています。ALARM\_STATUS レジスタには、GEN\_IRQ ビットと MODEM\_IRQ ビットがあります。MODEM\_STATUS には、GEN\_IRQ ビットと ALARM\_IRQ ビットがあります。GEN\_STATUS には、ALARM\_IRQ ビットと MODEM\_IRQ ビットがあります。この機能により、システムのマイコンは一つのレジスタを読み取るだけで常にすべてのステータス情報を取得でき、消費電力を抑えられます。

### 6.5.6 ウォッチドッグ タイマ

AFEx82H1 にはウォッチドッグ タイマ (WDT) が搭載されており、システム コントローラとデバイスとの間の通信が失われるようにするために使用できます。WDT は、プログラム可能な時間内に、デバイスがシステム コントローラからの通信を受信したかどうかを確認します。この機能を有効にするには、WDT.WDT\_EN を 1 に設定します。WDT は、SPI と UBM の両方の通信を監視します。

WDT には、二つの制限フィールドがあります: WDT.WDT\_UP および WDT.WDT\_LO。WDT\_UP フィールドは、WDT の上限時間を設定します。WDT\_LO フィールドは、下限時間を設定します。WDT\_LO を 2'b00 以外の値に設定すると、WDT はウィンドウ コンパレータとして動作します。書き込みが早すぎる場合 (WDT\_LO の時間より短い) または遅すぎる場合 (WDT\_UP の時間より長い) は、WDT エラーがアサートされます。ウィンドウ コンパレータとして動作している場合、WDT エラーが発生したときは、WDT レジスタに書き込んだときのみ WDT がリセットされます。WDT\_LO を 2'b00 に設定すると、どのレジスタに書き込んでも WDT の時間カウンタがリセットされます。このモードでは、タイマーが満了すると WDT エラーがアサートされます。

WDT が有効な場合、設定したタイムアウト ウィンドウ内に、SPI または UBM でデバイスに書き込む必要があります。それ以外の場合、ALARM ピンは Low にアサートされ、ALARM\_STATUS.WD\_FLT ビットは 1 に設定されます。WD\_FLT ビットはスティッキーです。WD\_FLT がアサートされたあと、WDT の状態をクリアするには、WDT.WDT\_EN を 0 に設定する必要があります。その後で、WDT を再度有効化できます。WDT の状態は、ソフトウェア リセットまたはハードウェア リセットを発行してもクリアされます。WDT の状態がクリアされたあと、ALARM\_STATUS レジスタを読み出すと、WD\_FLT がクリアされます。

複数の AFEx82H1 デバイスをデジタイゼーション構成で使用する場合は、すべてのデバイスのオープンドレイン アラーム ピンを互いに接続して、ワイヤード OR ネットワークを形成します。ウォッチドッグタイマは、チェーン内の任意の数のデバ

イスでイネーブルできますが、チェーン内の一つのデバイスでウォッチドッグタイマをイネーブルにするだけで十分です。デイジー チェーン内のデバイスで異なるトリガ条件が同時に発生した場合も、ワイヤード OR アラーム ピンを Low にできます。チェーン内のすべての故障条件を知るには、ホスト プロセッサが各デバイスの **ALARM\_STATUS** レジスタを読み出す必要があります。

ウォッチドッグのタイムアウト時間は、1200Hz のクロック (1.2288MHz/1024) を基準にしています。

## 7 レジスタ マップ

表 7-1 に、AFEx82H1 のメモリ マップ レジスタを示します。表 7-1 に示されていないすべてのレジスタ オフセット アドレスは予約済みであり、レジスタの内容は変更しないようにしてください。

表 7-1. レジスタ マップ

| ADDR<br>(HEX) | レジスタ                       | ビットの詳細            |            |                |            |                |                |                |                |                     |           |                |            |                     |                 |                      |          |
|---------------|----------------------------|-------------------|------------|----------------|------------|----------------|----------------|----------------|----------------|---------------------|-----------|----------------|------------|---------------------|-----------------|----------------------|----------|
|               |                            | 15                | 14         | 13             | 12         | 11             | 10             | 9              | 8              | 7                   | 6         | 5              | 4          | 3                   | 2               | 1                    | 0        |
| 00h           | NOP                        | NOP [15:0]        |            |                |            |                |                |                |                |                     |           |                |            |                     |                 |                      |          |
| 01h           | DAC_DATA                   | DATA [15:0]       |            |                |            |                |                |                |                |                     |           |                |            |                     |                 |                      |          |
| 02h           | CONFIG                     | CRC_ERR_CNT [1:0] |            | CLKO [3:0]     |            |                |                | UBM_IRQ_EN     | IRQ_PIN_EN     | CLR_PIN_EN          | UART_DIS  | UART_BAUD      | CRC_EN     | IRQ_POL             | IRQ_LVL         | DSDO                 | FSDO     |
| 03h           | DAC_CFG                    | 予約済み              |            |                | PD         |                | SR_CLK [2:0]   |                |                | SR_STEP [2:0]       |           |                | SR_EN      | SR_MODE             | 予約済み            | CLR                  | 予約済み     |
| 04h           | DAC_GAIN                   | GAIN [15:0]       |            |                |            |                |                |                |                |                     |           |                |            |                     |                 |                      |          |
| 05h           | DAC_OFFSET                 | OFFSET [15:0]     |            |                |            |                |                |                |                |                     |           |                |            |                     |                 |                      |          |
| 06h           | DAC_CLR_CODE               | CODE [15:0]       |            |                |            |                |                |                |                |                     |           |                |            |                     |                 |                      |          |
| 07h           | リセット                       | 予約済み              |            |                |            |                |                |                |                | SW_RST [7:0]        |           |                |            |                     |                 |                      |          |
| 08h           | ADC_CFG                    | BUF_PD            | HYST [6:0] |                |            |                |                |                | FLT_CNT [2:0]  |                     |           | AIN_RANGE      | EOC_PER_CH | CONV_RATE [1:0]     |                 | DIRECT_MODE          |          |
| 09h           | ADC_INDEX_CFG              | 予約済み              |            |                |            |                |                |                |                | STOP [3:0]          |           |                |            | START [3:0]         |                 |                      |          |
| 0Ah           | TRIGGER                    | 予約済み              |            |                |            |                |                |                |                |                     |           |                |            | RBIST               | MBIST           | シャドウロード              | ADC      |
| 0Bh           | SPECIAL_CFG <sup>(1)</sup> | 予約済み              |            |                |            |                |                |                |                |                     |           |                |            |                     | OTP_LOAD_SW_RST | ALMV_POL             | AIN1_ENB |
| 0Eh           | MODEM_CFG                  | Tx2200Hz          | 予約済み       |                | DUPLEX_EXT | RX_HORD_EN     | RX_EXT_FILT_EN | TxRES          | TxAMP [4:0]    |                     |           |                | HART_EN    | 二重                  | TxHPD           | RTS                  |          |
| 0Fh           | FIFO_CFG                   | 予約済み              |            |                |            |                |                | FIFO_H2U_FLUSH | FIFO_U2H_FLUSH | H2U_LEVEL_SET [3:0] |           |                |            | U2H_LEVEL_SET [3:0] |                 |                      |          |
| 10h           | ALARM_ACT                  | SD_FLT [1:0]      |            | TEMP_FLT [1:0] |            | AIN1_FLT [1:0] |                | AIN0_FLT [1:0] |                | CRC_WDT_FLT [1:0]   |           | VREF_FLT [1:0] |            | THERM_ERR_FLT [1:0] |                 | THERM_WARN_FLT [1:0] |          |
| 11h           | WDT                        | 予約済み              |            |                |            |                |                |                |                |                     |           | WDT_UP [2:0]   |            |                     | WDT_LO [1:0]    |                      | WDT_EN   |
| 12h           | AIN0_THRESHOLD             | Hi [7:0]          |            |                |            |                |                |                |                | Lo [7:0]            |           |                |            |                     |                 |                      |          |
| 13h           | AIN1_THRESHOLD             | Hi [7:0]          |            |                |            |                |                |                |                | Lo [7:0]            |           |                |            |                     |                 |                      |          |
| 14h           | TEMP_THRESHOLD             | Hi [7:0]          |            |                |            |                |                |                |                | Lo [7:0]            |           |                |            |                     |                 |                      |          |
| 15h           | FIFO_U2H_WR                | 予約済み              |            |                |            |                |                | PARITY         |                | DATA [7:0]          |           |                |            |                     |                 |                      |          |
| 16h           | UBM <sup>(2)</sup>         | 予約済み              |            |                |            |                |                |                |                |                     |           |                |            |                     |                 |                      | REG_MODE |
| 18h           | SCRATCH                    | DATA [15:0]       |            |                |            |                |                |                |                |                     |           |                |            |                     |                 |                      |          |
| 19h           | CHIP_ID_LSB                | ID [15:0]         |            |                |            |                |                |                |                |                     |           |                |            |                     |                 |                      |          |
| 1Ah           | CHIP_ID_MSB                | ID [15:0]         |            |                |            |                |                |                |                |                     |           |                |            |                     |                 |                      |          |
| 1Bh           | GPIO_CFG                   | 予約済み              | EN [6:0]   |                |            |                |                |                |                | 予約済み                | ODE [6:0] |                |            |                     |                 |                      |          |

**表 7-1. レジスタ マップ (続き)**

| ADDR<br>(HEX) | レジスタ              | ビットの詳細          |             |               |                |                |               |                     |                    |                     |                     |                    |                     |                 |                  |                |                 |
|---------------|-------------------|-----------------|-------------|---------------|----------------|----------------|---------------|---------------------|--------------------|---------------------|---------------------|--------------------|---------------------|-----------------|------------------|----------------|-----------------|
|               |                   | 15              | 14          | 13            | 12             | 11             | 10            | 9                   | 8                  | 7                   | 6                   | 5                  | 4                   | 3               | 2                | 1              | 0               |
| 1Ch           | GPIO              | 予約済み            |             |               |                |                |               |                     |                    |                     |                     | DATA [6:0]         |                     |                 |                  |                |                 |
| 1Dh           | ALARM_STATUS_MASK | 予約済み            |             | SD_FLT        | OSC_FAIL       | 予約済み           |               |                     | OTP_CRC_ERR        | CRC_FLT             | WD_FLT              | VREF_FLT           | ADC_AIN1_FLT        | ADC_AIN0_FLT    | ADC_TEMP_FLT     | THERM_ERR_FLT  | THERM_WARN_FLT  |
| 1Eh           | GEN_STATUS_MASK   | 予約済み            |             |               |                |                | BIST_DONE     | BIST_FAIL           | 予約済み               | SR_BUSYn            | ADC_EOC             | 予約済み               |                     | BREAK_FRAME_ERR | BREAK_PARITY_ERR | UART_FRAME_ERR | UART_PARITY_ERR |
| 1Fh           | MODEM_STATUS_MASK | 予約済み            |             |               | GAP_ERR        | FRAME_ERR      | PARITY_ERR    | FIFO_H2U_LEVEL_FLAG | FIFO_H2U_FULL_FLAG | FIFO_H2U_EMPTY_FLAG | FIFO_U2H_LEVEL_FLAG | FIFO_U2H_FULL_FLAG | FIFO_U2H_EMPTY_FLAG | CD_DE_ASSERT    | CD_ASSERT        | CTS_DE_ASSERT  | CTS_ASSERT      |
| 20h           | ALARM_STATUS      | GEN_IRQ         | MODEM_IRQ   | SD_FLT        | OSC_FAIL       | CRC_CNT [1:0]  |               | OTP_LOADEDn         | OTP_CRC_ERR        | CRC_FLT             | WD_FLT              | VREF_FLT           | ADC_AIN1_FLT        | ADC_AIN0_FLT    | ADC_TEMP_FLT     | THERM_ERR_FLT  | THERM_WARN_FLT  |
| 21h           | GEN_STATUS        | ALARM_IRQ       | MODEM_IRQ   | 予約済み          | OTP_BUSY       | BIST_MODE      | BIST_DONE     | BIST_FAIL           | リセット               | SR_BUSYn            | ADC_EOC             | ADC_BUSY           | PVDD_HI             | BREAK_FRAME_ERR | BREAK_PARITY_ERR | UART_FRAME_ERR | UART_PARITY_ERR |
| 22h           | MODEM_STATUS      | ALARM_IRQ       | GEN_IRQ     | 予約済み          | GAP_ERR        | FRAME_ERR      | PARITY_ERR    | FIFO_H2U_LEVEL_FLAG | FIFO_H2U_FULL_FLAG | FIFO_H2U_EMPTY_FLAG | FIFO_U2H_LEVEL_FLAG | FIFO_U2H_FULL_FLAG | FIFO_U2H_EMPTY_FLAG | CD_DE_ASSERT    | CD_ASSERT        | CTS_DE_ASSERT  | CTS_ASSERT      |
| 23h           | ADC_FLAGS         | 予約済み            |             |               |                |                |               |                     | SD4_FAIL           | SD3_FAIL            | SD2_FAIL            | SD1_FAIL           | SD0_FAIL            | TEMP_FAIL       | AIN1_FAIL        | AIN0_FAIL      | 予約済み            |
| 24h           | ADC_AIN0          | 予約済み            |             |               |                | DATA [11:0]    |               |                     |                    |                     |                     |                    |                     |                 |                  |                |                 |
| 25h           | ADC_AIN1          | 予約済み            |             |               |                | DATA [11:0]    |               |                     |                    |                     |                     |                    |                     |                 |                  |                |                 |
| 26h           | ADC_TEMP          | 予約済み            |             |               |                | DATA [11:0]    |               |                     |                    |                     |                     |                    |                     |                 |                  |                |                 |
| 27h           | ADC_SD_MUX        | 予約済み            |             |               |                | DATA [11:0]    |               |                     |                    |                     |                     |                    |                     |                 |                  |                |                 |
| 28h           | ADC_OFFSET        | 予約済み            |             |               |                | DATA [11:0]    |               |                     |                    |                     |                     |                    |                     |                 |                  |                |                 |
| 2Ah           | FIFO_H2U_RD       | LEVEL [3:0]     |             |               |                | LEVEL_FLAG     | FULL_FLAG     | EMPTY_FLAG          | PARITY             | DATA [7:0]          |                     |                    |                     |                 |                  |                |                 |
| 2Bh           | FIFO_STATUS       | H2U_LEVEL [3:0] |             |               |                | H2U_LEVEL_FLAG | H2U_FULL_FLAG | H2U_EMPTY_FLAG      | 予約済み               | U2H_LEVEL [3:0]     |                     |                    |                     | U2H_LEVEL_FLAG  | U2H_FULL_FLAG    | U2H_EMPTY_FLAG | 予約済み            |
| 2Ch           | DAC_OUT           | DATA [15:0]     |             |               |                |                |               |                     |                    |                     |                     |                    |                     |                 |                  |                |                 |
| 2Dh           | ADC_OUT           | 予約済み            |             |               |                | DATA [11:0]    |               |                     |                    |                     |                     |                    |                     |                 |                  |                |                 |
| 2Eh           | ADC_BYP           | DATA_BYP_EN     | OFST_BYP_EN | DIS_GND_SAMP  | 予約済み           | DATA [11:0]    |               |                     |                    |                     |                     |                    |                     |                 |                  |                |                 |
| 2Fh           | FORCE_FAIL        | CRC_FLT         | VREF_FLT    | THERM_ERR_FLT | THERM_WARN_FLT | 予約済み           |               | SD4_HI_FLT          | SD4_LO_FLT         | SD3_HI_FLT          | SD3_LO_FLT          | SD2_HI_FLT         | SD2_LO_FLT          | SD1_HI_FLT      | SD1_LO_FLT       | SD0_HI_FLT     | SD0_LO_FLT      |
| 3Bh           | TIMER_CFG_0       | 予約済み            |             |               |                |                |               |                     |                    |                     |                     |                    |                     | CLK_SEL [1:0]   |                  | 反転             | イネーブル           |
| 3Ch           | TIMER_CFG_1       | PERIOD [15:0]   |             |               |                |                |               |                     |                    |                     |                     |                    |                     |                 |                  |                |                 |
| 3Dh           | TIMER_CFG_2       | SET_TIME [15:0] |             |               |                |                |               |                     |                    |                     |                     |                    |                     |                 |                  |                |                 |
| 3Eh           | CRC_RD            | CRC [15:0]      |             |               |                |                |               |                     |                    |                     |                     |                    |                     |                 |                  |                |                 |
| 3Fh           | RBIST_CRC         | CRC [15:0]      |             |               |                |                |               |                     |                    |                     |                     |                    |                     |                 |                  |                |                 |

(1) SPECIAL\_CFG レジスタは POR でのみリセットでき、RESET ピンや SW\_RST コマンドには応答しません。

- (2) UBM レジスタには、UBM コマンドでのみアクセスできます。

## 7.1 AFE<sub>x</sub>82H1 レジスタ

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。このセクションのアクセス タイプに使用しているコードを下表に示します。

**表 7-2. AFE<sub>x</sub>82H1 のアクセス タイプ コード**

| アクセス タイプ             | コード | 説明                                                                                                                   |
|----------------------|-----|----------------------------------------------------------------------------------------------------------------------|
| <b>読み取りタイプ</b>       |     |                                                                                                                      |
| R                    | R   | 読み出し                                                                                                                 |
| <b>書き込みタイプ</b>       |     |                                                                                                                      |
| W                    | W   | 書き込み                                                                                                                 |
| W                    | WO  | 書き込み専用                                                                                                               |
| W                    | WSC | 書き込み後に自動クリア                                                                                                          |
| <b>リセットまたはデフォルト値</b> |     |                                                                                                                      |
| -n                   |     | リセット後の値またはデフォルト値                                                                                                     |
| <b>レジスタ アレイ変数</b>    |     |                                                                                                                      |
| i, j, k, l, m, n     |     | これらの変数をレジスタ名、オフセット、アドレスの中で使う場合、変数はレジスタ配列の値を表します。このとき、そのレジスタは、繰り返し配置されたレジスタ グループの一部です。レジスタ グループは階層構造を形成し、アレイは式で表されます。 |
| y                    |     | この変数をレジスタ名、オフセット、アドレスの中で使う場合、変数はレジスタ配列の値を表します。                                                                       |

### 7.1.1 NOP レジスタ (オフセット = 0h) [リセット = 0000h]

[レジスタ マップ](#) を参照してください。

**表 7-3. NOP レジスタ フィールドの説明**

| ビット  | フィールド | タイプ | リセット | 説明                                                |
|------|-------|-----|------|---------------------------------------------------|
| 15-0 | NOP   | WO  | 0h   | 動作なし。<br>このフィールドに書き込まれたデータは影響を与えません。常に 0 を読み取ります。 |

### 7.1.2 DAC\_DATA レジスタ (オフセット = 1h) [リセット = 0000h]

[レジスタ マップ](#) を参照してください。

VOUT 用の DAC コード。

**表 7-4. DAC\_DATA レジスタ フィールドの説明**

| ビット  | フィールド | タイプ | リセット | 説明                       |
|------|-------|-----|------|--------------------------|
| 15-0 | データ   | R/W | 0h   | データ。<br>VOUT 用の DAC コード。 |

### 7.1.3 CONFIG レジスタ (オフセット = 2h) [リセット = 0036h]

レジスタ マップ を参照してください。

表 7-5. CONFIG レジスタ フィールドの説明

| ビット   | フィールド       | タイプ | リセット | 説明                                                                                                                                                                                                                                                                                                                                                                 |
|-------|-------------|-----|------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-14 | CRC_ERR_CNT | R/W | 0h   | CRC エラーカウント制限<br>ステータス ビットがセットされる前に、エラーが発生しなければならない連続 SPI CRC フレームの数を設定します。<br>0h = 1 (デフォルト)、1h = 2、2h = 4、3h = 8                                                                                                                                                                                                                                                 |
| 13-10 | CLKO        | R/W | 0h   | CLKO 有効化<br>CLK_OUT ピンを有効にし、分周器の値を設定します。<br>0h = CLKO 無効化 (デフォルト)、<br>1h = 1.2288MHz、<br>2h = 1.2288/2MHz、<br>3h = 1.2288/4MHz、<br>4h = 1.2288/8MHz、<br>5h = 1.2288/16MHz、<br>6h = 1.2288/32MHz、<br>7h = 1.2288/64MHz、<br>8h = 1.2288/128MHz、<br>9h = 1.2288/256MHz、<br>Ah = 1.2288/512MHz、<br>Bh = 1.2288/1024MHz、<br>Ch = 1'b0、Dh = 1'b0、Eh = 1'b0、<br>Fh = タイマー |
| 9     | UBM_IRQ_EN  | R/W | 0h   | UBM IRQ 有効化<br>UBM 経由で UARTOUT で IRQ を送信できるようにします。<br>0h = 無効化 (デフォルト)、1h = 有効化                                                                                                                                                                                                                                                                                    |
| 8     | IRQ_PIN_EN  | R/W | 0h   | IRQ ピン有効化<br>IRQ ピン機能を有効にします。<br>0h = 無効化 (デフォルト)、1h = 有効化                                                                                                                                                                                                                                                                                                         |
| 7     | CLR_PIN_EN  | R/W | 0h   | クリア入力ピン有効化<br>UBM でのクリア状態へのピン ベースの遷移。<br>0h = 有効化 (デフォルト)、1h = SDI ピンをクリア入力ピンとして設定                                                                                                                                                                                                                                                                                 |
| 6     | UART_DIS    | R/W | 0h   | UART 無効化<br>UART 機能を無効にします。<br>0h = UART 有効 (デフォルト)、1h = UART 無効                                                                                                                                                                                                                                                                                                   |
| 5     | UART_BAUD   | R/W | 1h   | UART ボー<br>UART のボー レートを設定します。<br>0h = 1200 ボー (ブレイクなし)、1h = 9600 ボー (ブレイク モード) (デフォルト)                                                                                                                                                                                                                                                                            |
| 4     | CRC_EN      | R/W | 1h   | CRC 有効化<br>SPI の CRC を有効にします。<br>0h = 無効、1h = 有効 (デフォルト)                                                                                                                                                                                                                                                                                                           |
| 3     | IRQ_POL     | R/W | 0h   | IRQ 極性<br>0h = アクティブ Low (デフォルト)、1h = アクティブ High                                                                                                                                                                                                                                                                                                                   |
| 2     | IRQ_LVL     | R/W | 1h   | IRQ レベル<br>0h = エッジ センシティブ、1h = レベル センシティブ (デフォルト)                                                                                                                                                                                                                                                                                                                 |
| 1     | DSDO        | R/W | 1h   | SDO Hi-Z<br>0h = $\overline{CS}$ 中の駆動 SDO = 0、1h = SDO は常にハイ インピーダンス (デフォルト)                                                                                                                                                                                                                                                                                       |

**表 7-5. CONFIG レジスタ フィールドの説明 (続き)**

| ビット | フィールド | タイプ | リセット | 説明                                                                                                                                                                |
|-----|-------|-----|------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0   | FSDO  | R/W | 0h   | <p>高速 SDO</p> <p>SDO は SCLK の負のエッジで駆動されます。</p> <p>0h = SCLK の立ち上がりエッジで SDO を駆動 (立ち上がりエッジ) (デフォルト)</p> <p>1h = SCLK の立ち下がりエッジで SDO を駆動 (エッジ 1/2 クロックを早期にキャプチャ)</p> |

### 7.1.4 DAC\_CFG レジスタ (オフセット = 3h) [リセット = 0B00h]

レジスタ マップ を参照してください。

表 7-6. DAC\_CFG レジスタ フィールドの説明

| ビット   | フィールド   | タイプ | リセット | 説明                                                                                                                                                  |
|-------|---------|-----|------|-----------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-13 | 予約済み    | R/W | 0h   |                                                                                                                                                     |
| 12    | PD      | R/W | 0h   | DAC 出力バッファがパワーダウン<br>パワーダウン時、DAC 出力はハイ インピーダンスに設定されます。<br>0h = DAC 出力バッファが有効 (デフォルト)<br>1h = DAC 出力バッファが無効                                          |
| 11-9  | SR_CLK  | R/W | 5h   | スルー クロック レート<br>0h = 307.2kHz<br>1h = 153.6kHz<br>2h = 76.8kHz<br>3h = 38.4kHz<br>4h = 19.2kHz<br>5h = 9600Hz (デフォルト)<br>6h = 4800Hz<br>7h = 2400Hz |
| 8-6   | SR_STEP | R/W | 4h   | スルー ステップ サイズ<br>0h = 1 コード<br>1h = 2 コード<br>2h = 4 コード<br>3h = 8 コード<br>4h = 16 コード (デフォルト)<br>5h = 32 コード<br>6h = 64 コード<br>7h = 128 コード           |
| 5     | SR_EN   | R/W | 0h   | スルー イネーブル<br>出力電圧のスルーを有効化します。<br>0h=ディセーブル (デフォルト)<br>1h = イネーブル                                                                                    |
| 4     | SR_MODE | R/W | 0h   | スルー モード<br>出力スルーレート モードの選択。<br>0h = リニア スルー (デフォルト)<br>1h = 正弦波スルー                                                                                  |
| 3     | 予約済み    | R   | 0h   |                                                                                                                                                     |
| 2     | CLR     | R/W | 0h   | CLEAR 状態<br>0h = 通常動作 (デフォルト)<br>1h = DAC をクリア状態に強制                                                                                                 |
| 1-0   | 予約済み    | R   | 0h   |                                                                                                                                                     |

### 7.1.5 DAC\_GAIN レジスタ (オフセット = 4h) [リセット = 8000h]

[レジスタ マップ](#) を参照してください。

**表 7-7. DAC\_GAIN レジスタのフィールドの説明**

| ビット  | フィールド | タイプ | リセット  | 説明                                                                                                           |
|------|-------|-----|-------|--------------------------------------------------------------------------------------------------------------|
| 15-0 | ゲイン   | R/W | 8000h | ゲイン<br>DAC 出力のゲインを 0.5 ~ 1.499985 の範囲で設定します。<br>例:<br>0000h = 0.5<br>8000h = 1.0 (デフォルト)<br>FFFFh = 1.499985 |

### 7.1.6 DAC\_OFFSET レジスタ (オフセット = 5h) [リセット = 0000h]

[レジスタ マップ](#) を参照してください。

**表 7-8. DAC\_OFFSET レジスタ フィールドの説明**

| ビット  | フィールド | タイプ | リセット | 説明                                                                                   |
|------|-------|-----|------|--------------------------------------------------------------------------------------|
| 15-0 | オフセット | R/W | 0h   | オフセット<br>DAC 出力のオフセットを調整します。値は 2 の補数で指定します。<br>例:<br>0000h = 0 (デフォルト)<br>FFFFh = -1 |

### 7.1.7 DAC\_CLR\_CODE レジスタ (オフセット = 6h) [リセット = 0000h]

[レジスタ マップ](#) を参照してください。

**表 7-9. DAC\_CLR\_CODE レジスタ フィールドの説明**

| ビット  | フィールド | タイプ | リセット | 説明                                                                       |
|------|-------|-----|------|--------------------------------------------------------------------------|
| 15-0 | コード   | R/W | 0h   | CLEAR 状態の DAC コード<br>CLEAR 状態で適用される DAC コード。「DAC レジスタ構造とクリア状態」を参照してください。 |

### 7.1.8 RESET レジスタ (オフセット = 7h) [リセット = 0000h]

[レジスタ マップ](#) を参照してください。

**表 7-10. RESET レジスタ フィールドの説明**

| ビット  | フィールド  | タイプ | リセット | 説明                                          |
|------|--------|-----|------|---------------------------------------------|
| 15-8 | 予約済み   | R   | 0h   |                                             |
| 7-0  | SW_RST | WSC | 0h   | ソフトウェアリセット<br>ADh を書き込むと、ソフトウェアリセットを開始できます。 |

### 7.1.9 ADC\_CFG レジスタ (オフセット = 8h) [リセット = 8810h]

レジスタ マップ を参照してください。

表 7-11. ADC\_CFG レジスタのフィールドの説明

| ビット  | フィールド       | タイプ | リセット | 説明                                                                                                                                                                                        |
|------|-------------|-----|------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15   | BUF_PD      | R/W | 1h   | ADC バッファのパワーダウン<br>0h = ADC バッファ有効、1h = ADC バッファ パワーダウン (デフォルト)                                                                                                                           |
| 14-8 | HYST        | R/W | 8h   | ヒステリシス<br>AIN0、AIN1、TEMP の ADC 測定値がスレッショルドを超えたときに使うヒステリシスのコード数。                                                                                                                           |
| 7-5  | FLT_CNT     | R/W | 0h   | 故障カウント<br>アラームをトリップさせる連続した故障の数。<br>連続故障数は、設定値 + 1 になります (1 ~ 8 回)。                                                                                                                        |
| 4    | AIN_RANGE   | R/W | 1h   | ADC アナログ入力範囲<br>AIN0 入力と AIN1 入力に 2.5V レンジを使う場合、このビットは PVDD $\geq$ 2.7V のときにのみ設定できます。<br>0h = $2 \times V_{REF}$ 、1h = $1 \times V_{REF}$ (デフォルト)                                         |
| 3    | EOC_PER_CH  | R/W | 0h   | 各チャンネルの ADC 変換終了<br>全チャンネルの変換が終わったときではなく、各チャンネルの変換が終わるたびに EOC パルスを出します。<br>0h = 最後のチャンネルの後に EOC (デフォルト)、1h = 各チャンネルごとに EOC                                                                |
| 2-1  | CONV_RATE   | R/W | 0h   | ADC 変換レート<br>この設定は、チャンネル AIN0 および AIN1 の変換レートにのみ影響します。これらのレートは、76.8kHz の ADC クロックを基準にした値です。他のすべてのチャンネルは 2560Hz を使用します。<br>0h = 3840Hz (デフォルト)<br>1h = 2560Hz<br>2h = 1280Hz<br>3h = 640Hz |
| 0    | DIRECT_MODE | R/W | 0h   | 直接モードの有効化<br>0h = 自動モード (デフォルト)、1h = ダイレクト モード                                                                                                                                            |

### 7.1.10 ADC\_INDEX\_CFG レジスタ (オフセット = 9h) [リセット = 0080h]

レジスタ マップ を参照してください。

ADC のカスタム チャンネル シーケンス構成を表 7-12 に示します。

表 7-12. ADC\_INDEX\_CFG レジスタ フィールドの説明

| ビット  | フィールド | タイプ | リセット | 説明                                                                                                                                                                                                                                                                                          |
|------|-------|-----|------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-8 | 予約済み  | R   | 0h   |                                                                                                                                                                                                                                                                                             |
| 7-4  | ストップ  | R/W | 8h   | カスタム チャンネル シーケンス停止インデックス<br>ADC シーケンスを停止する CCS インデックス。START 以上の値にする必要があります。そうでない場合、STOP は強制的に START と同じ値になります。<br>0h = OFFSET<br>1h = AIN0<br>2h = AIN1<br>3h = TEMP<br>4h = SD0 (VREF)<br>5h = SD1 (PVDD)<br>6h = SD2 (VDD)<br>7h = SD3 (ZTAT)<br>8h = SD4 (VOUT) (デフォルト)<br>9h ~ Fh = GND |

**表 7-12. ADC\_INDEX\_CFG レジスタ フィールドの説明 (続き)**

| ビット | フィールド | タイプ | リセット | 説明                                                                                             |
|-----|-------|-----|------|------------------------------------------------------------------------------------------------|
| 3-0 | START | R/W | 0h   | カスタム チャネル シーケンスの開始インデックス<br>CCS インデックスにより ADC シーケンスを開始。<br>0h ~ Fh = STOP フィールドと同じ (0h がデフォルト) |

### 7.1.11 TRIGGER レジスタ (オフセット = Ah) [リセット = 0000h]

レジスタ マップ を参照してください。

表 7-13. TRIGGER レジスタのフィールドの説明

| ビット  | フィールド    | タイプ | リセット | 説明                                                                                                                                                                   |
|------|----------|-----|------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-4 | 予約済み     | R   | 0h   |                                                                                                                                                                      |
| 3    | RBIST    | WSC | 0h   | RBISTトリガ<br>このトリガはレジスタ BIST を開始します。この BIST は、構成レジスタ (表 6-10) を介して CRC 計算を実行し、その結果を RBIST_CRC レジスタに保存されている CRC 値と比較します。                                               |
| 2    | MBIST    | WSC | 0h   | メモリの組み込みセルフ テストトリガ<br>このトリガは、FIFO に使われている SRAM の MBIST を開始します。この期間中は MBIST が SRAM の制御を引き継ぐため、HART との送受信は行えません。                                                       |
| 1    | シャドウ ロード | WSC | 0h   | シャドウ ロードトリガ<br>このトリガは、OTP アレイの内容をパラレル ラッチへ読み込む処理を開始します。OTP の CRC エラーが検出された場合は、このトリガをアサートして、OTP の内容をメモリへ再ロードしてみます。                                                    |
| 0    | ADC      | WSC | 0h   | ADCトリガ<br>自動モードでは、このビットは変換を有効化または無効化します。手動で 1 (有効) または 0 (無効) に設定します。ダイレクト モードでは、このビットをセットすると変換シーケンスが始まります。このビットは、シーケンスの終了時にクリアされます。シーケンスを途中で止める場合は、このビットを手動でクリアします。 |

### 7.1.12 SPECIAL\_CFG レジスタ (オフセット = Bh) [リセット = 0000h]

レジスタ マップ を参照してください。

表 7-14. SPECIAL\_CFG レジスタ フィールドの説明

| ビット  | フィールド           | タイプ | リセット | 説明                                                                                                                                                                                                                                                                                                |
|------|-----------------|-----|------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-3 | 予約済み            | R   | 0h   |                                                                                                                                                                                                                                                                                                   |
| 2    | OTP_LOAD_SW_RST | R/W | 0h   | SW RESET による OTP (工場出荷時にトリミングされたワンタイム プログラムラブル レジスタ) のロード<br>ソフトウェア リセット (SW_RST) をアサートすると、OTP が再ロードされます。<br>0h = SW_RST では再ロードなし<br>1h = SW_RST で再ロード                                                                                                                                            |
| 1    | ALMV_POL        | R/W | 0h   | アラーム電圧の極性<br>このレジスタ ビットは、POL_SEL/AIN1 ピン (AIN1_ENB ビットが Low の場合) と OR されます。その結果によって、ハードウェア リセット中、またはアラームがアクティブでアラーム動作が適切に設定されているときの VOUT を制御します。VOUT 電圧を設定する内部信号 ALMV_POL_o には、次のブール関数が実装されています:<br>ALMV_POL_o = ALMV_POL OR (POL_SEL/AIN1 AND NOT AIN1_ENB)<br>0h = Low (0V)<br>1h = High (2.5V) |
| 0    | AIN1_ENB        | R/W | 0h   | AIN1 ピン有効化<br>このビットは、POL_SEL/AIN1 ピンを、アラーム電圧の極性制御として使うか、ADC の入力チャネルとして使うかを決めます。<br>0h = AIN1 ピンはアラーム電圧の極性制御として機能し、ADC は GND を変換<br>1h = AIN1 ピンは ADC のアクティブチャネルです                                                                                                                                 |

### 7.1.13 MODEM\_CFG レジスタ (オフセット = Eh) [リセット = 0040h]

レジスタ マップ を参照してください。

**表 7-15. MODEM\_CFG レジスタ フィールドの説明**

| ビット   | フィールド         | タイプ | リセット | 説明                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |
|-------|---------------|-----|------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15    | Tx2200Hz      | R/W | 0h   | 2200Hz のみ送信<br>FIFO バッファにデータを送らずに RTS をアサートすると、RTS をアサートしている間、1200Hz の信号を送信し続けられます。このビットをセットすると、2200Hz の信号を送信し続けられます。このビットをセットすると、FIFO バッファ内のデータは正しく送信されなくなります。このビットを使用する場合、FIFO バッファを使用する必要はありません。<br>0h = 1200Hz と 2200Hz を送信 (デフォルト)<br>1h = 2200Hz のみ送信                                                                                                                                                                                                                                                                   |
| 14-13 | 予約済み          | R   | 0h   |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |
| 12    | DUPLEX_EXT    | R/W | 0h   | デュプレックス外部モード<br>全二重モードで動作できます。ただし、MOD_OUT と RX_IN の間は外部で接続する必要があります。<br>0h = 内部デュプレックス接続 (デフォルト)<br>1h = 外部デュプレックス接続                                                                                                                                                                                                                                                                                                                                                                                                          |
| 11    | RX_HORD_EN    | R/W | 0h   | 高次フィルタ有効化<br>HART_RX で、より高次のフィルタを有効にします。<br>0h = 無効化 (デフォルト)、1h = 有効化                                                                                                                                                                                                                                                                                                                                                                                                                                                         |
| 10    | RX_EXTFILT_EN | R/W | 0h   | 外部フィルタ有効<br>HART_RX で外部フィルタを使えるようにします。有効にした場合は、HART 信号を RX_INF に接続します。<br>0h = 内部フィルタを使用 (デフォルト)、1h = 外部フィルタを使用                                                                                                                                                                                                                                                                                                                                                                                                               |
| 9     | TxRES         | R/W | 0h   | HART 送信分解能<br>0h = 1200 ボーで、38.4kHz の更新レートにおいて 1 周期あたり 32 ステップ (デフォルト)<br>1h = 1200 ボーで、153.6kHz の更新レートにおいて 1 周期あたり 128 ステップ<br>周期あたり 128 ステップの波形では、消費電力が大きくなります。                                                                                                                                                                                                                                                                                                                                                             |
| 8-4   | TxAMP         | R/W | 4h   | 送信振幅<br>HART Tx 振幅。<br>00h = 400mV <sub>pp</sub> 、01h = 425mV <sub>pp</sub><br>02h = 450mV <sub>pp</sub> 、03h = 475mV <sub>pp</sub><br>04h = 500mV <sub>pp</sub> (デフォルト)、05h = 525mV <sub>pp</sub><br>06h = 550mV <sub>pp</sub> 、07h = 575mV <sub>pp</sub><br>08h = 600mV <sub>pp</sub> 、09h = 625mV <sub>pp</sub><br>0Ah = 650mV <sub>pp</sub> 、0Bh = 675mV <sub>pp</sub><br>0Ch = 700mV <sub>pp</sub> 、0Dh = 725mV <sub>pp</sub><br>0Eh = 750mV <sub>pp</sub> 、0Fh = 775mV <sub>pp</sub><br>10h ~ 1Fh = 800mV <sub>pp</sub> |
| 3     | HART_EN       | R/W | 0h   | HART 有効化<br>HART Tx と Rx を有効化します。<br>0h = 無効化 (デフォルト)、1h = 有効化                                                                                                                                                                                                                                                                                                                                                                                                                                                                |
| 2     | 二重            | R/W | 0h   | デュプレックス モード<br>デバッグとテストのために、Tx と Rx の内部接続を有効にします。<br>0h = 通常動作 (デフォルト)、1h = デュプレックス有効                                                                                                                                                                                                                                                                                                                                                                                                                                         |
| 1     | TxHPD         | R/W | 0h   | Rx モード時または無効時の HART Tx DAC 出力バッファのハイ インピーダンス<br>0h = HART Tx DAC 出力は、50k $\Omega$ の出力インピーダンスでミッドコードに設定 (デフォルト)<br>1h = Rx モード時または無効時は、HART Tx DAC はハイ インピーダンスになります。ユーザーはデフォルトの電圧レベルは、外部回路で設定できます。                                                                                                                                                                                                                                                                                                                             |

表 7-15. MODEM\_CFG レジスタ フィールドの説明 (続き)

| ビット | フィールド | タイプ | リセット | 説明                                                                                                     |
|-----|-------|-----|------|--------------------------------------------------------------------------------------------------------|
| 0   | RTS   | R/W | 0h   | 送信要求 MOD_OUT ピンでキャリアの送信を開始します。<br>0h = 動作なし (デフォルト)<br>1h = 送信要求。CD = 0 の場合、デバイスは MOD_OUT ピンの変調を開始します。 |

## 7.1.14 FIFO\_CFG レジスタ (オフセット = Fh) [リセット = 00F0h]

レジスタ マップ を参照してください。

表 7-16. FIFO\_CFG レジスタ フィールドの説明

| ビット   | フィールド          | タイプ | リセット | 説明                                                                                                                                                                          |
|-------|----------------|-----|------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-10 | 予約済み           | R   | 0h   |                                                                                                                                                                             |
| 9     | FIFO_H2U_FLUSH | WSC | 0h   | HART → $\mu$ C FIFO (FIFO_H2U) のフラッシュ<br>FIFO_H2U のポインタをクリアします。                                                                                                             |
| 8     | FIFO_U2H_FLUSH | WSC | 0h   | $\mu$ C → HART FIFO (FIFO_U2H) のフラッシュ<br>FIFO_U2H のポインタをクリアします。                                                                                                             |
| 7-4   | H2U_LEVEL_SET  | R/W | Fh   | FIFO_H2U FIFO レベル フラグトリップ セット<br>レベル フラグがトリップする FIFO_H2U のレベルを設定します。これは (>) の比較です。FIFO サイズは 5 ビット幅なので、この 4 ビット設定では LSB は使用されません。このフィールドは、MODEM_CFG.HART_EN = 0 のときにのみ変更します。 |
| 3-0   | U2H_LEVEL_SET  | R/W | 0h   | FIFO_U2H FIFO レベル フラグトリップ セット<br>レベル フラグがトリップする FIFO_U2H のレベルを設定します。これは (<) 比較です。FIFO サイズは 5 ビット幅なので、この 4 ビット設定では LSB は使用されません。このフィールドは、MODEM_CFG.HART_EN = 0 のときにのみ変更します。  |

## 7.1.15 ALARM\_ACT レジスタ (オフセット = 10h) [リセット = 8020h]

レジスタ マップ を参照してください。

**表 7-17. ALARM\_ACT レジスタ フィールドの説明**

| ビット   | フィールド          | タイプ | リセット | 説明                                                                                                                                                                     |
|-------|----------------|-----|------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-14 | SD_FLT         | R/W | 2h   | 自己診断故障時の動作<br>これらのビットは、自己診断故障が発生した後のデバイスの動作を設定します。<br>0h = 動作なし<br>1h = DAC を CLEAR 状態に設定<br>2h = ALMV_POL で決まるアラーム電圧に切り替え (デフォルト)<br>3h = DAC をハイ インピーダンスに設定 (パワーダウン) |
| 13-12 | TEMP_FLT       | R/W | 0h   | 温度故障動作<br>これらのビットは、ADC で測定した温度が TEMP_THRESHOLD の上限スレッショルドまたは下限スレッショルドの範囲外にあるときの、デバイスの動作を設定します。<br>0h ~ 3h = SD_FLT フィールドと同じ (デフォルトは 0h)                                |
| 11-10 | AIN1_FLT       | R/W | 0h   | AIN1 故障アクション<br>これらのビットは、ADC の AIN1 チャンネルの測定値が AIN1_THRESHOLD の上限スレッショルドまたは下限スレッショルドの範囲外にあるときの、デバイスの動作を設定します。<br>0h ~ 3h = SD_FLT フィールドと同じ (デフォルトは 0h)                 |
| 9-8   | AIN0_FLT       | R/W | 0h   | AIN0 故障アクション<br>これらのビットは、ADC の AIN0 チャンネルの測定値が AIN0_THRESHOLD の上限スレッショルドまたは下限スレッショルドの範囲外にあるときの、デバイスの動作を設定します。<br>0h ~ 3h = SD_FLT フィールドと同じ (デフォルトは 0h)                 |
| 7-6   | CRC_WDT_FLT    | R/W | 0h   | CRC および WDT 故障アクション<br>これらのビットは、SPI CRC エラーまたは SPI ウォッチドッグ タイムアウト エラーが発生したときの、デバイスの動作を設定します。<br>0h ~ 3h = SD_FLT フィールドと同じ (デフォルトは 0h)                                  |
| 5-4   | VREF_FLT       | R/W | 2h   | VREF 故障動作<br>これらのビットは、VREF で故障が検出されたときの、デバイスの動作を設定します。<br>0h ~ 3h = SD_FLT フィールドと同じ                                                                                    |
| 3-2   | THERM_ERR_FLT  | R/W | 0h   | 過熱エラー故障アクション<br>これらのビットは、高温エラーが発生した場合のデバイスの動作を設定します (> 130°C)。<br>0h ~ 3h = SD_FLT フィールドと同じ (デフォルトは 0h)                                                                |
| 1-0   | THERM_WARN_FLT | R/W | 0h   | 過熱警告故障アクション<br>これらのビットは、高温警告が発生したとき (> 85°C) にデバイスの動作を設定します。<br>0h ~ 3h = SD_FLT フィールドと同じ (デフォルトは 0h)                                                                  |

### 7.1.16 WDT レジスタ (オフセット = 11h) [リセット = 0018h]

レジスタ マップ を参照してください。

表 7-18. WDT レジスタ フィールドの説明

| ビット  | フィールド  | タイプ | リセット | 説明                                                                                                                                                                                                                                                                                                                                                                 |
|------|--------|-----|------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-6 | 予約済み   | R   | 0h   |                                                                                                                                                                                                                                                                                                                                                                    |
| 5-3  | WDT_UP | R/W | 3h   | ウォッチドッグタイマ (WDT) の上限<br>WDT が有効で、タイマが設定値を超えると、WDT エラーがアサートされます。すべての時間は、1200Hz のクロック (1.2288MHz/1024) を基準にしています。<br>0h = 53ms (64 クロック)<br>1h = 106ms (128 クロック)<br>2h = 427ms (512 クロック)<br>3h = 853ms (1024 クロック、デフォルト)<br>4h = 1.7s (2048 クロック)<br>5h = 2.56s (3072 クロック)<br>6h = 3.41s (4096 クロック)<br>7h = 5.12s (6144 クロック)                                    |
| 2-1  | WDT_LO | R/W | 0h   | WDT 下限<br>WDT が有効で、さらに WDT 下限も有効な場合は、このレジスタへの書き込みでのみ WDT タイマがリセットされます。WDT 下限時間より前、または WDT 上限時間より後に書き込みが発生すると、WDT エラーがアサートされます。WDT 下限が無効化されている場合、いずれかのレジスタに書き込むとタイマがリセットされます。これは、SPI モードと UART ブレーク モードのどちらにも当てはまります。すべての時間は、1200Hz のクロック (1.2288MHz/1024) を基準にしています。<br>0h=ディセーブル (デフォルト)<br>1h = 53ms (64 クロック)<br>2h = 106ms (128 クロック)<br>3h = 427ms (512 クロック) |
| 0    | WDT_EN | R/W | 0h   | WDT 有効化<br>0h = 無効化 (デフォルト)、1h = 有効化                                                                                                                                                                                                                                                                                                                               |

### 7.1.17 AIN0\_THRESHOLD レジスタ (オフセット = 12h) [リセット = FF00h]

レジスタ マップ を参照してください。

表 7-19. AIN0\_THRESHOLD レジスタのフィールドの説明

| ビット  | フィールド | タイプ | リセット | 説明                                                                               |
|------|-------|-----|------|----------------------------------------------------------------------------------|
| 15-8 | Hi    | R/W | FFh  | チャンネル AIN0 の上限スレッショルド {[11:4], 4b1111}<br>この値は、AIN0 データのビット [11:0] と比較 (>) されます。 |
| 7-0  | Lo    | R/W | 0h   | チャンネル AIN0 の下限スレッショルド {[11:4], 4b0000}<br>この値は、AIN0 データのビット [11:0] と比較 (<) されます。 |

### 7.1.18 AIN1\_THRESHOLD レジスタ (オフセット = 13h) [リセット = FF00h]

レジスタ マップ を参照してください。

表 7-20. AIN1\_THRESHOLD レジスタのフィールドの説明

| ビット  | フィールド | タイプ | リセット | 説明                                                                               |
|------|-------|-----|------|----------------------------------------------------------------------------------|
| 15-8 | Hi    | R/W | FFh  | チャンネル AIN1 の上限スレッショルド {[11:4], 4b1111}<br>この値は、AIN1 データのビット [11:0] と比較 (>) されます。 |

**表 7-20. AIN1\_THRESHOLD レジスタのフィールドの説明 (続き)**

| ビット | フィールド | タイプ | リセット | 説明                                                                               |
|-----|-------|-----|------|----------------------------------------------------------------------------------|
| 7-0 | Lo    | R/W | 0h   | チャンネル AIN1 の下限スレッショルド {[11:4], 4b0000}<br>この値は、AIN1 データのビット [11:0] と比較 (<) されます。 |

#### 7.1.19 TEMP\_THRESHOLD レジスタ (オフセット = 14h) [リセット = FF00h]

レジスタ マップ を参照してください。

**表 7-21. TEMP\_THRESHOLD レジスタ フィールドの説明**

| ビット  | フィールド | タイプ | リセット | 説明                                                                               |
|------|-------|-----|------|----------------------------------------------------------------------------------|
| 15-8 | Hi    | R/W | FFh  | チャンネル TEMP の上限スレッショルド {[11:4], 4b1111}<br>この値は、TEMP データのビット [11:0] と比較 (>) されます。 |
| 7-0  | Lo    | R/W | 0h   | チャンネル TEMP の下限スレッショルド {[11:4], 4b0000}<br>この値は、TEMP データのビット [11:0] と比較 (<) されます。 |

#### 7.1.20 FIFO\_U2H\_WR レジスタ (オフセット = 15h) [リセット = 0000h]

レジスタ マップ を参照してください。

このレジスタは、HART からマイコンへの FIFO バッファを制御します。

**表 7-22. FIFO\_U2H\_WR レジスタのフィールドの説明**

| ビット  | フィールド  | タイプ | リセット | 説明                                                                                                                         |
|------|--------|-----|------|----------------------------------------------------------------------------------------------------------------------------|
| 15-9 | 予約済み   | R   | 0h   |                                                                                                                            |
| 8    | PARITY | WO  | 0h   | パリティ<br>データとともに送信される奇数パリティビット。このフィールドは SPI からのみ書き込むことができ、CONFIG.UART_DIS = 1 のときに FIFO に影響します。それ以外の場合、このレジスタへの書き込みは無視されます。 |
| 7-0  | データ    | WO  | 0h   | データ バイト<br>このフィールドは SPI でのみ書き込み可能で、CONFIG.UART_DIS = 1 の場合に FIFO に反映されます。それ以外の場合、このレジスタへの書き込みは無視されます。                      |

#### 7.1.21 UBM レジスタ (オフセット = 16h) [リセット = 0000h]

レジスタ マップ を参照してください。

**表 7-23. UBM レジスタ フィールドの説明**

| ビット  | フィールド    | タイプ | リセット | 説明                                                                                                                                                       |
|------|----------|-----|------|----------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-1 | 予約済み     | R   | 0h   |                                                                                                                                                          |
| 0    | REG_MODE | R/W | 0h   | レジスタ モード<br>レジスタ マップの残りの部分を、UART ブレーク モード (UBM) または SPI でアクセスするように設定します。このレジスタは、UART ブレーク通信でのみ書き込むことができます。<br>0h = SPI モード (デフォルト)<br>1h = UART ブレーク モード |

#### 7.1.22 SCRATCH レジスタ (オフセット = 18h) [リセット = FFFFh]

レジスタ マップ を参照してください。

表 7-24. SCRATCH レジスタ フィールドの説明

| ビット  | フィールド | タイプ | リセット  | 説明                                                                               |
|------|-------|-----|-------|----------------------------------------------------------------------------------|
| 15-0 | データ   | R/W | FFFFh | スクラッチ データ<br>書き込んだデータは、反転した値として読み出されます。<br>たとえば、0xAAAA を書き込むと、0x5555 として読み出されます。 |

## 7.1.23 CHIP\_ID\_LSB レジスタ (オフセット = 19h)

レジスタ マップ を参照してください。

表 7-25. CHIP ID LSB レジスタのフィールドの説明

| ビット  | フィールド | タイプ | リセット | 説明          |
|------|-------|-----|------|-------------|
| 15-0 | ID    | R   |      | 各ロット内で固有の型番 |

## 7.1.24 CHIP\_ID\_MSB レジスタ (オフセット = 1Ah)

レジスタ マップ を参照してください。

表 7-26. CHIP ID MSB レジスタのフィールドの説明

| ビット  | フィールド | タイプ | リセット | 説明              |
|------|-------|-----|------|-----------------|
| 15-0 | ID    | R   |      | エンコードされたロット識別番号 |

## 7.1.25 GPIO\_CFG レジスタ (オフセット = 1Bh) [リセット = 00FFh]

レジスタ マップ を参照してください。

表 7-27. GPIO CONFIG レジスタのフィールドの説明

| ビット  | フィールド | タイプ | リセット | 説明                                                                                                                                                                                                                                                                      |
|------|-------|-----|------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15   | 予約済み  | R   | 0h   |                                                                                                                                                                                                                                                                         |
| 14-8 | EN    | R/W | 00h  | ピンごとの GPIO 有効。(各ピンと通信モードに必要な追加の構成については、表 6-12 を参照)<br>[14] = GPIO6<br>[13] = GPIO5<br>[12] = GPIO4<br>[11] = GPIO3<br>[10] = GPIO2<br>[9] = GPIO1<br>[8] = GPIO0<br>0h = GPIO 機能が無効<br>1h = GPIO 機能が有効<br>通信機能に使用されるピン、またはアクティブ GPIO として使用されないピンについては、このビットを 0h に設定します。 |
| 7    | 予約済み  | R   | 0h   |                                                                                                                                                                                                                                                                         |

**表 7-27. GPIO CONFIG レジスタのフィールドの説明 (続き)**

| ビット | フィールド | タイプ | リセット | 説明                                                                                                                                                                                                                                                                                   |
|-----|-------|-----|------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 6-0 | ODE   | R/W | FFh  | <p>疑似オープンドレインをイネーブル</p> <p>GPIO ピンの GPIO 出力イネーブル機能と疑似オープンドレイン機能。<br/>(各ピンと通信モードに必要な追加の構成については、表 6-12 を参照。)</p> <p>[6] = GPIO6<br/>[5] = GPIO5<br/>[4] = GPIO4<br/>[3] = GPIO3<br/>[2] = GPIO2<br/>[1] = GPIO1<br/>[0] = GPIO0</p> <p>0h = プッシュプル出力を有効化<br/>1h = 疑似オープンドレイン出力を有効化</p> |

## 7.1.26 GPIO レジスタ (オフセット = 1Ch) [リセット = 007Fh]

[レジスタ マップ](#) を参照してください。

表 7-28. GPIO レジスタ フィールドの説明

| ビット  | フィールド | タイプ | リセット | 説明                                                                                                                                                                                                                                                                                                                                                                |
|------|-------|-----|------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-7 | 予約済み  | R   | 0h   |                                                                                                                                                                                                                                                                                                                                                                   |
| 6-0  | データ   | R/W | 7Fh  | <p>GPIO ピンのデータ。</p> <p>GPIO を入力として使う場合は、このビットに 1 を書き込み、さらに GPIO_CFG.ODE = 1、GPIO_CFG.EN = 1 にする必要があります。ピンが正しくイネーブルされているとき、このレジスタを読み出すとピンの値が読み取られます。(各ピンと通信モードに必要な追加の構成については、<a href="#">表 6-12</a> を参照)</p> <p>GPIO 出力の場合、このビットはピン値を設定します。</p> <p>[6] = GPIO6<br/>[5] = GPIO5<br/>[4] = GPIO4<br/>[3] = GPIO3<br/>[2] = GPIO2<br/>[1] = GPIO1<br/>[0] = GPIO0</p> |

## 7.1.27 ALARM\_STATUS\_MASK レジスタ (オフセット = 1Dh) [リセット = EFDFh]

レジスタ マップ を参照してください。

**表 7-29. ALARM\_STATUS\_MASK レジスタ フィールドの説明**

| ビット   | フィールド          | タイプ | リセット | 説明                                                                                                               |
|-------|----------------|-----|------|------------------------------------------------------------------------------------------------------------------|
| 15-14 | 予約済み           | R   | 3h   |                                                                                                                  |
| 13    | SD_FLT         | R/W | 1h   | SD 故障マスク<br>0h = 故障によって IRQ がアサートされます<br>1h = このマスクは、IRQ またはアラームのトリガを防止します (デフォルト)。<br>条件が存在する場合、ステータスは常に設定されます。 |
| 12    | OSC_FAIL       | R/W | 0h   | OSC_FAIL 故障マスク<br>SD 故障マスクと同じ (デフォルト 0h)。                                                                        |
| 11-9  | 予約済み           | R   | 7h   |                                                                                                                  |
| 8     | OTP_CRC_ERR    | R/W | 1h   | OTP CRC エラー マスク<br>SD 故障マスクと同じ (デフォルト 1h)。                                                                       |
| 7     | CRC_FLT        | R/W | 1h   | SPI CRC 故障マスク<br>SD 故障マスクと同じ (デフォルト 1h)。                                                                         |
| 6     | WD_FLT         | R/W | 1h   | ウォッチドッグ故障マスク<br>SD 故障マスクと同じ (デフォルト 1h)。                                                                          |
| 5     | VREF_FLT       | R/W | 0h   | VREF 故障マスク<br>SD 故障マスクと同じ (デフォルト 0h)。                                                                            |
| 4     | ADC_AIN1_FLT   | R/W | 1h   | ADC AIN1 故障マスク<br>SD 故障マスクと同じ (デフォルト 1h)。                                                                        |
| 3     | ADC_AIN0_FLT   | R/W | 1h   | ADC AIN0 故障マスク<br>SD 故障マスクと同じ (デフォルト 1h)。                                                                        |
| 2     | ADC_TEMP_FLT   | R/W | 1h   | ADC TEMP 故障マスク<br>SD 故障マスクと同じ (デフォルト 1h)。                                                                        |
| 1     | THERM_ERR_FLT  | R/W | 1h   | 温度 > 130°C エラー マスク<br>SD 故障マスクと同じ (デフォルト 1h)。                                                                    |
| 0     | THERM_WARN_FLT | R/W | 1h   | 温度 > 85°C 警告マスク<br>SD 故障マスクと同じ (デフォルト 1h)。                                                                       |

## 7.1.28 GEN\_STATUS\_MASK レジスタ (オフセット = 1Eh) [リセット = FFFFh]

レジスタ マップ を参照してください。

表 7-30. GEN\_STATUS\_MASK レジスタ フィールドの説明

| ビット   | フィールド            | タイプ | リセット | 説明                                                                                                                 |
|-------|------------------|-----|------|--------------------------------------------------------------------------------------------------------------------|
| 15-11 | 予約済み             | R   | 1Fh  |                                                                                                                    |
| 10    | BIST_DONE        | R/W | 1h   | BIST 完了マスク<br>0h = 故障によって IRQ がアサートされます<br>1h = このマスクは、IRQ またはアラームのトリガを防止します (デフォルト)。<br>条件が存在する場合、ステータスは常に設定されます。 |
| 9     | BIST_FAIL        | R/W | 1h   | BIST 失敗故障マスク<br>BIST 完了マスクと同じ (デフォルト 1h)。                                                                          |
| 8     | 予約済み             | R   | 1h   |                                                                                                                    |
| 7     | SR_BUSYn         | R/W | 1h   | スルーレート非ビジー マスク<br>BIST 完了マスクと同じ (デフォルト 1h)。                                                                        |
| 6     | ADC_EOC          | R/W | 1h   | ADC 変換終了マスク<br>BIST 完了マスクと同じ (デフォルト 1h)。                                                                           |
| 5-4   | 予約済み             | R   | 3h   |                                                                                                                    |
| 3     | BREAK_FRAME_ERR  | R/W | 1h   | ブレイク フレーム エラー故障マスク<br>BIST 完了マスクと同じ (デフォルト 1h)。                                                                    |
| 2     | BREAK_PARITY_ERR | R/W | 1h   | ブレイク パリティ エラー故障マスク<br>BIST 完了マスクと同じ (デフォルト 1h)。                                                                    |
| 1     | UART_FRAME_ERR   | R/W | 1h   | UART フレーム エラー故障マスク<br>BIST 完了マスクと同じ (デフォルト 1h)。                                                                    |
| 0     | UART_PARITY_ERR  | R/W | 1h   | UART パリティ エラー故障マスク<br>BIST 完了マスクと同じ (デフォルト 1h)。                                                                    |

## 7.1.29 MODEM\_STATUS\_MASK レジスタ (オフセット = 1Fh) [リセット = FFFFh]

レジスタ マップ を参照してください。

**表 7-31. MODEM\_STATUS\_MASK レジスタ フィールドの説明**

| ビット   | フィールド               | タイプ | リセット | 説明                                                                                                                         |
|-------|---------------------|-----|------|----------------------------------------------------------------------------------------------------------------------------|
| 15-13 | 予約済み                | R   | 7h   |                                                                                                                            |
| 12    | GAP_ERR             | R/W | 1h   | HART ギャップ エラー故障マスク<br>0h = 故障によって IRQ がアサートされます<br>1h = このマスクは、IRQ またはアラームのトリガを防止します (デフォルト)。<br>条件が存在する場合、ステータスは常に設定されます。 |
| 11    | FRAME_ERR           | R/W | 1h   | HART フレーム エラー故障マスク<br>HART ギャップ エラー故障マスクと同じ (デフォルト 1h)。                                                                    |
| 10    | PARITY_ERR          | R/W | 1h   | HART パリティ (ODD) エラー故障マスク<br>HART ギャップ エラー故障マスクと同じ (デフォルト 1h)。                                                              |
| 9     | FIFO_H2U_LEVEL_FLAG | R/W | 1h   | FIFO_H2U レベル フラグ マスク<br>HART ギャップ エラー故障マスクと同じ (デフォルト 1h)。                                                                  |
| 8     | FIFO_H2U_FULL_FLAG  | R/W | 1h   | FIFO_H2U フル フラグ マスク<br>HART ギャップ エラー故障マスクと同じ (デフォルト 1h)。                                                                   |
| 7     | FIFO_H2U_EMPTY_FLAG | R/W | 1h   | FIFO_H2U 空フラグ マスク<br>HART ギャップ エラー故障マスクと同じ (デフォルト 1h)。                                                                     |
| 6     | FIFO_U2H_LEVEL_FLAG | R/W | 1h   | FIFO_U2H レベル フラグ マスク<br>HART ギャップ エラー故障マスクと同じ (デフォルト 1h)。                                                                  |
| 5     | FIFO_U2H_FULL_FLAG  | R/W | 1h   | FIFO_U2H フル フラグ マスク<br>HART ギャップ エラー故障マスクと同じ (デフォルト 1h)。                                                                   |
| 4     | FIFO_U2H_EMPTY_FLAG | R/W | 1h   | FIFO_U2H 空フラグ マスク<br>HART ギャップ エラー故障マスクと同じ (デフォルト 1h)。                                                                     |
| 3     | CD_DEASSERT         | R/W | 1h   | CD デアサート フラグ マスク<br>HART ギャップ エラー故障マスクと同じ (デフォルト 1h)。                                                                      |
| 2     | CD_ASSERT           | R/W | 1h   | CD アサート フラグ マスク<br>HART ギャップ エラー故障マスクと同じ (デフォルト 1h)。                                                                       |
| 1     | CTS_DEASSERT        | R/W | 1h   | CTS デアサート フラグ マスク<br>HART ギャップ エラー故障マスクと同じ (デフォルト 1h)。                                                                     |
| 0     | CTS_ASSERT          | R/W | 1h   | CTS アサート フラグ マスク<br>HART ギャップ エラー故障マスクと同じ (デフォルト 1h)。                                                                      |

### 7.1.30 ALARM\_STATUS レジスタ (オフセット = 20h) [リセット = 0200h]

レジスタ マップ を参照してください。

表 7-32. ALARM\_STATUS レジスタ フィールドの説明

| ビット   | フィールド         | タイプ | リセット | 説明                                                                                                                                                        |
|-------|---------------|-----|------|-----------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15    | GEN_IRQ       | R   | 0h   | 一般的な IRQ GEN_STATUS レジスタ内の、マスクされていないすべてのビットの OR。<br>0h = GEN_STATUS レジスタ内の、マスクされていないすべてのビットが Low<br>1h = GEN_STATUS レジスタ内の、マスクされていないビットのうち少なくとも一つが High   |
| 14    | MODEM_IRQ     | R   | 0h   | モデム IRQ MODEM_STATUS レジスタ内のマスクされていないすべてのビットの OR。<br>0h = MODEM_STATUS レジスタ内のマスクされていないすべてのビットが Low<br>1h = MODEM_STATUS レジスタ内のマスクされていないビットのうち少なくとも一つが High |
| 13    | SD_FLT        | R   | 0h   | 自己診断 (SD) 故障<br>0h = すべての自己診断チャンネルがスレッショルド範囲内<br>1h = 少なくとも一つの自己診断チャンネルで不合格                                                                               |
| 12    | OSC_FAIL      | R   | 0h   | 発振器故障<br>このビットはアラームを Low に保持し、IRQ に供給しません。VOUT は、アラーム電圧の設定に従います。<br>0h = 発振器はトグル中。1h = 発振器はトグルしていません                                                      |
| 11-10 | CRC_CNT       | R   | 0h   | CRC 故障カウンタ<br>カウンタの上限が 4 以下の場合、カウンタのビット [1:0] がここに表示されます。<br>カウンタの上限が 8 の場合は、カウンタのビット [2:1] が表示されます。                                                      |
| 9     | OTP_LOADEDn   | R   | 1h   | OTP 未ロード OTP が少なくとも一回ロードされると、クリアされます。<br>OTP のロードが完了するまで、アラームをアサートしたままにします。IRQ を供給しません。<br>0h = OTP が少なくとも一回ロード済み、1h = OTP のロードが未完了                       |
| 8     | OTP_CRC_ERR   | R   | 0h   | OTP CRC エラーマスク可能故障。OTP CRC 計算でエラーが発生しました。<br>スティッキー。レジスタを読み出すとクリアされますが、状態が続いている場合はクリアされません。<br>0h = OTP CRC 故障なし、1h = OTP CRC 故障                          |
| 7     | CRC_FLT       | R   | 0h   | CRC 故障マスク可能故障。SPI フレーム中に送信された無効な CRC 値。<br>スティッキー。レジスタを読み出すとクリアされますが、状態が続いている場合はクリアされません。<br>0h = CRC 故障なし、1h = CRC 故障                                    |
| 6     | WD_FLT        | R   | 0h   | ウォッチドッグタイマ故障<br>マスク可能故障。スティッキー。レジスタを読み出すとクリアされますが、状態が続いている場合はクリアされません。<br>0h = ウォッチドッグ故障なし、1h = ウォッチドッグ故障                                                 |
| 5     | VREF_FLT      | R   | 0h   | 無効なリファレンス電圧マスク可能故障。FORCE_FAIL.VREF_FLT ビットと OR されます。<br>アクティブ信号。条件が真である限り設定します。アナログ回路からの直接入力。<br>0h = 有効な VREF 電圧、1h = 無効な VREF 電圧                        |
| 4     | ADC_AIN1_FLT  | R   | 0h   | ADC AIN1 故障。マスク可能故障。<br>0h = AIN1 の ADC 測定値がスレッショルド範囲内<br>1h = AIN1 の ADC 測定値がスレッショルド範囲外                                                                  |
| 3     | ADC_AIN0_FLT  | R   | 0h   | ADC AIN0 故障。マスク可能故障。<br>0h = AIN0 の ADC 測定値がスレッショルド範囲内<br>1h = AIN0 の ADC 測定値がスレッショルド範囲外                                                                  |
| 2     | ADC_TEMP_FLT  | R   | 0h   | ADC 温度故障。マスク可能故障。<br>0h = TEMP の ADC 測定値がスレッショルド範囲内<br>1h = TEMP の ADC 測定値がスレッショルド範囲外                                                                     |
| 1     | THERM_ERR_FLT | R   | 0h   | 温度 > 130°C エラー。マスク可能故障。<br>FORCE_FAIL.THERM_ERR_FLT ビットと OR されます。<br>アクティブ信号。条件が真である限り設定します。アナログ回路からの直接入力。<br>0h = 温度 ≤ 130°C、1h = 温度 > 130°C             |

**表 7-32. ALARM\_STATUS レジスタ フィールドの説明 (続き)**

| ビット | フィールド          | タイプ | リセット | 説明                                                                                                                                                                  |
|-----|----------------|-----|------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0   | THERM_WARN_FLT | R   | 0h   | <p>温度 &gt; 85°C 警告。マスク可能故障。</p> <p>FORCE_FAIL.THERM_WARN_FLT ビットと OR されます。</p> <p>アクティブ信号。条件が真である限り設定します。アナログ回路からの直接入力。</p> <p>0h = 温度 ≤ 85°C、1h = 温度 &gt; 85°C</p> |

### 7.1.31 GEN\_STATUS レジスタ (オフセット = 21h) [リセット = 1180h]

レジスタ マップ を参照してください。

表 7-33. GEN\_STATUS レジスタ フィールドの説明

| ビット | フィールド           | タイプ | リセット | 説明                                                                                                                                                                                                                                                                                                                                 |
|-----|-----------------|-----|------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15  | ALARM_IRQ       | R   | 0h   | アラーム IRQ ALARM_STATUS レジスタ内の、マスクされていないすべてのビットの OR。<br>0h = ALARM_STATUS レジスタのマスクされていないすべてのビットが Low<br>1h = ALARM_STATUS レジスタ内の、マスクされていないビットのうち少なくとも一つが High                                                                                                                                                                        |
| 14  | MODEM_IRQ       | R   | 0h   | モデム IRQ MODEM_STATUS レジスタ内のマスクされていないすべてのビットの OR。<br>0h = MODEM_STATUS レジスタ内のマスクされていないすべてのビットが Low<br>1h = MODEM_STATUS レジスタ内のマスクされていないビットのうち少なくとも一つが High                                                                                                                                                                          |
| 13  | 予約済み            | R   | 0h   |                                                                                                                                                                                                                                                                                                                                    |
| 12  | OTP_BUSY        | R   | 1h   | OTP ビジー ステータス = 電源投入時、OTP の内容をトリム ラッチへロードしている間は 1h になります。<br>0h = OTP のデバイスへのロードが完了<br>1h = OTP をデバイスへロード中                                                                                                                                                                                                                         |
| 11  | BIST_MODE       | R   | 0h   | 実行中の BIST の種類を示します。<br>0h = MBIST、1h = RBIST                                                                                                                                                                                                                                                                                       |
| 10  | BIST_DONE       | R   | 0h   | BIST 完了。マスク可能故障。<br>スティッキー。レジスタを読み出すとクリアされますが、状態が続いている場合はクリアされません。<br>0h = BIST 未完了、1h = BIST 完了                                                                                                                                                                                                                                   |
| 9   | BIST_FAIL       | R   | 0h   | BIST 不合格。マスク可能故障。<br>スティッキー。レジスタを読み出すとクリアされますが、状態が続いている場合はクリアされません。<br>0h = BIST 合格、1h = BIST 不合格                                                                                                                                                                                                                                  |
| 8   | リセット            | R   | 1h   | デバイスリセットが発生しました。ステータスのみ。IRQ を供給しません。<br>スティッキー。レジスタを読み出すとクリアされますが、状態が続いている場合はクリアされません。<br>0h = 前回のレジスタ読み取り以降、デバイスはリセットされていません<br>1h = レジスタの前回の読み取り以降にデバイスはリセットされています                                                                                                                                                               |
| 7   | SR_BUSYn        | R   | 1h   | スルーレート非ビジー。マスク可能故障。<br>0h = DAC がターゲット コードヘスルー中<br>1h = DAC_OUT が DAC_DATA の値に到達しました。<br>スルーレートが無効な場合、この信号は内部クロックの 3 サイクル以内に立ち上がります。スルーレートが有効な場合、この信号は DAC_OUT が DAC_DATA の値に到達したときに IRQ イベントを発生させます。このタイミングであれば、スルーレートを安全に無効にできます。<br>DAC_OUT が DAC_DATA の値に到達する前にスルーレートを無効にすると、DAC_OUT が急変します。これにより、VOUT に意図しない急激な変化が生じることがあります。 |
| 6   | ADC_EOC         | R   | 0h   | ADC の変換終了 (EOC)。マスク可能故障。<br>スティッキー。レジスタを読み出すとクリアされますが、状態が続いている場合はクリアされません。<br>0h = 前回のレジスタ読み取り以降 EOC なし、1h = ADC 変換終了                                                                                                                                                                                                              |
| 5   | ADC_BUSY        | R   | 0h   | ADC ビジー。ステータスのみ。IRQ を供給しません。アクティブ信号。条件が真である限り設定します。<br>0h = ADC 動作なし、1h = ADC 変換中                                                                                                                                                                                                                                                  |
| 4   | PVDD_HI         | R   | 0h   | PVDD High。ステータスのみ。IRQ を供給しません。条件が成立している間はセットされます。<br>0h = PVDD < 2.7V、1h = PVDD ≥ 2.7V                                                                                                                                                                                                                                             |
| 3   | BREAK_FRAME_ERR | R   | 0h   | ブレイク キャラクタ中の不正なストップ ビット。マスク可能故障。UARTIN に適用されます。<br>スティッキー。レジスタを読み出すとクリアされますが、状態が続いている場合はクリアされません。<br>0h = ブレイク フレーム エラーなし、1h = ブレイク フレーム エラーあり                                                                                                                                                                                     |

**表 7-33. GEN\_STATUS レジスタ フィールドの説明 (続き)**

| ビット | フィールド                | タイプ | リセット | 説明                                                                                                                                                     |
|-----|----------------------|-----|------|--------------------------------------------------------------------------------------------------------------------------------------------------------|
| 2   | BREAK_<br>PARITY_ERR | R   | 0h   | ブレーク文字中の不正なパリティ (奇数) ビット。マスク可能故障。UARTIN に適用されます。<br>スティッキー。レジスタを読み出すとクリアされますが、状態が続いている場合はクリアされませ<br>ん。<br>0h = ブレーク パリティ エラーなし、1h = ブレーク パリティ エラー      |
| 1   | UART_<br>FRAME_ERR   | R   | 0h   | UART キャラクタ中の不正なストップ ビット。マスク可能故障。UARTIN に適用されます。<br>スティッキー。レジスタを読み出すとクリアされますが、状態が続いている場合はクリアされませ<br>ん。<br>0h = UART フレーム エラーなし、1h = UART フレーム エラー       |
| 0   | UART_<br>PARITY_ERR  | R   | 0h   | UART キャラクタ中の不正なパリティ (ODD) ビット。マスク可能故障。UARTIN に適用されます。<br>スティッキー。レジスタを読み出すとクリアされますが、状態が続いている場合はクリアされませ<br>ん。<br>0h = UART パリティ エラーなし、1h = UART パリティ エラー |

### 7.1.32 MODEM\_STATUS レジスタ (オフセット = 22h) [リセット = 009Ah]

レジスタ マップ を参照してください。

表 7-34. MODEM\_STATUS レジスタ フィールドの説明

| ビット | フィールド               | タイプ | リセット | 説明                                                                                                                                                                                                                                                                                                                                |
|-----|---------------------|-----|------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15  | ALARM_IRQ           | R   | 0h   | アラーム IRQ ALARM_STATUS レジスタ内の、マスクされていないすべてのビットの OR。<br>0h = ALARM_STATUS レジスタ内の、マスクされていないすべてのビットが Low<br>1h = ALARM_STATUS レジスタ内の、マスクされていないビットのうち少なくとも一つが High                                                                                                                                                                     |
| 14  | GEN_IRQ             | R   | 0h   | 一般的な IRQ GEN_STATUS レジスタ内の、マスクされていないすべてのビットの OR。<br>0h = GEN_STATUS レジスタ内の、マスクされていないすべてのビットが Low<br>1h = GEN_STATUS レジスタ内の、マスクされていないビットのうち少なくとも一つが High                                                                                                                                                                           |
| 13  | 予約済み                | R   | 0h   |                                                                                                                                                                                                                                                                                                                                   |
| 12  | GAP_ERR             | R   | 0h   | HART ギャップ エラー。マスク可能故障。RX_IN/RX_INF に適用されます。<br>HART キャラクタ間の時間が長すぎる (11 ビット時間)。<br>スティッキー。レジスタを読み出すとクリアされますが、状態が続いている場合はクリアされません。致命的な故障。<br>0h = HART ギャップ エラーなし、1h = HART ギャップ エラー                                                                                                                                                |
| 11  | FRAME_ERR           | R   | 0h   | HART キャラクタ中の不正なストップ ビット。マスク可能故障。RX_IN/RX_INF に適用されます。<br>スティッキー。レジスタを読み出すとクリアされますが、状態が続いている場合はクリアされません。致命的な故障。<br>0h = HART フレーム エラーなし、1h = HART フレーム エラー                                                                                                                                                                         |
| 10  | PARITY_ERR          | R   | 0h   | HART キャラクタ中の不正なパリティ (ODD) ビット。マスク可能故障。RX_IN/RX_INF に適用されます。<br>スティッキー。レジスタを読み出すとクリアされますが、状態が続いている場合はクリアされません。<br>0h = HART パリティ エラーなし、1h = HART パリティ エラー                                                                                                                                                                          |
| 9   | FIFO_H2U_LEVEL_FLAG | R   | 0h   | FIFO HART → $\mu$ C のレベル フラグ。マスク可能故障。<br>FIFO_H2U のレベルがフルになると、レベル フラグはアサートされず、代わりにフル フラグがアサートされます。そのため、情報が失われることはありません。<br>0h = FIFO_H2U のレベル $\leq$ {FIFO_CFG.H2U_LEVEL_SET[3:0], 1b1}<br>1h = FIFO_H2U のレベル $>$ {FIFO_CFG.H2U_LEVEL_SET[3:0], 1b1}                                                                              |
| 8   | FIFO_H2U_FULL_FLAG  | R   | 0h   | FIFO HART → $\mu$ C のフル フラグ。マスク可能故障。<br>0h = FIFO_H2U はフルではありません、1h = FIFO_H2U はフル                                                                                                                                                                                                                                                |
| 7   | FIFO_H2U_EMPTY_FLAG | R   | 1h   | FIFO HART → $\mu$ C 空フラグ。マスク可能故障。<br>0h = FIFO_H2U は空ではありません、1h = FIFO_H2U は空です                                                                                                                                                                                                                                                   |
| 6   | FIFO_U2H_LEVEL_FLAG | R   | 0h   | FIFO $\mu$ C → HART のレベル フラグ。マスク可能故障。<br>FIFO_U2H $<$ {FIFO_CFG.U2H_LEVEL_SET[3:0], 1b0}。FIFO_U2H が空のとき、このフラグはセットされます。ただし、FIFO_CFG.U2H_LEVEL_SET = 0 の場合はセットされません。このフラグとエンプティ フラグは、同時にセットされることがあります。<br>0h = FIFO_U2H のレベル $\geq$ {FIFO_CFG.U2H_LEVEL_SET[3:0], 1b0}<br>1h = FIFO_U2H のレベル $<$ {FIFO_CFG.U2H_LEVEL_SET[3:0], 1b0} |
| 5   | FIFO_U2H_FULL_FLAG  | R   | 0h   | FIFO $\mu$ C → HART のフル フラグ。マスク可能故障。<br>0h = FIFO_U2H はフルではありません、1h = FIFO_U2H はフル                                                                                                                                                                                                                                                |
| 4   | FIFO_U2H_EMPTY_FLAG | R   | 1h   | FIFO $\mu$ C → HART の空フラグ。マスク可能故障。<br>0h = FIFO_U2H は空ではありません、1h = FIFO_U2H は空です                                                                                                                                                                                                                                                  |
| 3   | CD_DEASSERT         | R   | 1h   | キャリア検出デアサート。マスク可能故障。<br>スティッキー。レジスタを読み出すとクリアされますが、状態が続いている場合はクリアされません。<br>0h = キャリア検出がアサート、1h = キャリア検出がデアサート                                                                                                                                                                                                                      |
| 2   | CD_ASSERT           | R   | 0h   | キャリア検出アサート。マスク可能故障。<br>スティッキー。レジスタを読み出すとクリアされますが、状態が続いている場合はクリアされません。<br>0h = キャリア検出がデアサート、1h = キャリア検出がアサート                                                                                                                                                                                                                       |

**表 7-34. MODEM\_STATUS レジスタ フィールドの説明 (続き)**

| ビット | フィールド        | タイプ | リセット | 説明                                                                                                     |
|-----|--------------|-----|------|--------------------------------------------------------------------------------------------------------|
| 1   | CTS_DEASSERT | R   | 1h   | 送信可能デアサート。マスク可能故障。<br>スティッキー。レジスタを読み出すとクリアされますが、状態が続いている場合はクリアされません。<br>0h = 送信可能がアサート、1h = 送信可能がデアサート |
| 0   | CTS_ASSERT   | R   | 0h   | 送信可能アサート。マスク可能故障。<br>スティッキー。レジスタを読み出すとクリアされますが、状態が続いている場合はクリアされません。<br>0h = 送信可能がデアサート、1h = 送信可能がアサート  |

### 7.1.33 ADC\_FLAGS レジスタ (オフセット = 23h) [リセット = 0000h]

レジスタ マップ を参照してください。

表 6-6 に、自己診断 (SD) アラーム ADC スレッシュホールドの制限値を示します。

**表 7-35. ADC\_FLAGS レジスタ フィールドの説明**

| ビット  | フィールド     | タイプ | リセット | 説明              |
|------|-----------|-----|------|-----------------|
| 15-9 | 予約済み      | R   | 0h   |                 |
| 8    | SD4_FAIL  | R   | 0h   | SD4 (VOUT) 制限失敗 |
| 7    | SD3_FAIL  | R   | 0h   | SD3 (ZTAT) 制限失敗 |
| 6    | SD2_FAIL  | R   | 0h   | SD2 (VDD) 制限失敗  |
| 5    | SD1_FAIL  | R   | 0h   | SD1 (PVDD) 制限失敗 |
| 4    | SD0_FAIL  | R   | 0h   | SD0 (VREF) 制限失敗 |
| 3    | TEMP_FAIL | R   | 0h   | TEMP 制限不合格      |
| 2    | AIN1_FAIL | R   | 0h   | AIN1 制限不合格      |
| 1    | AIN0_FAIL | R   | 0h   | AIN0 制限不合格      |
| 0    | 予約済み      | R   | 0h   |                 |

### 7.1.34 ADC\_AIN0 レジスタ (オフセット = 24h) [リセット = 0000h]

レジスタ マップ を参照してください。

**表 7-36. ADC\_AIN0 レジスタのフィールドの説明**

| ビット   | フィールド | タイプ | リセット | 説明             |
|-------|-------|-----|------|----------------|
| 15-12 | 予約済み  | R   | 0h   |                |
| 11-0  | データ   | R   | 0h   | AIN0 ピンの電圧の変換値 |

### 7.1.35 ADC\_AIN1 レジスタ (オフセット = 25h) [リセット = 0000h]

レジスタ マップ を参照してください。

**表 7-37. ADC\_AIN1 レジスタのフィールドの説明**

| ビット   | フィールド | タイプ | リセット | 説明             |
|-------|-------|-----|------|----------------|
| 15-12 | 予約済み  | R   | 0h   |                |
| 11-0  | データ   | R   | 0h   | AIN1 ピンの電圧の変換値 |

### 7.1.36 ADC\_TEMP レジスタ (オフセット = 26h) [リセット = 0000h]

レジスタ マップ を参照してください。

**表 7-38. ADC\_TEMP レジスタ フィールドの説明**

| ビット   | フィールド | タイプ | リセット | 説明     |
|-------|-------|-----|------|--------|
| 15-12 | 予約済み  | R   | 0h   |        |
| 11-0  | データ   | R   | 0h   | 温度の変換値 |

### 7.1.37 ADC\_SD\_MUX レジスタ (オフセット = 27h) [リセット = 0000h]

レジスタ マップ を参照してください。

**表 7-39. ADC\_SD\_MUX レジスタ フィールドの説明**

| ビット   | フィールド | タイプ | リセット | 説明                   |
|-------|-------|-----|------|----------------------|
| 15-12 | 予約済み  | R   | 0h   |                      |
| 11-0  | データ   | R   | 0h   | 自己診断 (SD) MUX 入力の変換値 |

### 7.1.38 ADC\_OFFSET レジスタ (オフセット = 28h) [リセット = 0000h]

レジスタ マップ を参照してください。

**表 7-40. ADC\_OFFSET レジスタ フィールドの説明**

| ビット   | フィールド | タイプ | リセット | 説明                                                                                                                                                     |
|-------|-------|-----|------|--------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-12 | 予約済み  | R   | 0h   |                                                                                                                                                        |
| 11-0  | データ   | R   | 0h   | ADC コンパレータのオフセット<br>この値は、デバイス内で測定したオフセットを示します。各変換値の補正に使うことができます。ADC_BYP.OFST_BYP_EN がセットされている場合は、ADC_BYP.DATA の値がオフセットとして使われます。この値は、ADC_BYP の影響を受けません。 |

### 7.1.39 FIFO\_H2U\_RD レジスタ (オフセット = 2Ah) [リセット = 0200h]

レジスタ マップ を参照してください。

**表 7-41. FIFO\_H2U\_RD レジスタのフィールドの説明**

| ビット   | フィールド      | タイプ | リセット | 説明                                                                                                                                                                            |
|-------|------------|-----|------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-12 | レベル        | R   | 0h   | レベル<br>FIFO_H2U の現在のレベル。ビット [4:1] を Level[3:0] として表します。ブリデキュー。                                                                                                                |
| 11    | LEVEL_FLAG | R   | 0h   | HART-to-μC FIFO レベル フラグ<br>FIFO_H2U のレベル > {Level、1b1} のときにセットされます。ブリデキュー。<br>0h = FIFO_H2U レベル ≤ {Level、1b1}<br>1h = FIFO_H2U レベル > {Level、1b1}                              |
| 10    | FULL_FLAG  | R   | 0h   | HART → μC FIFO のフルフラグ。ブリデキュー。<br>0h = FIFO_H2U はフルではありません (ブリデキュー)<br>1h = FIFO_H2U はフル (ブリデキュー)                                                                              |
| 9     | EMPTY_FLAG | R   | 1h   | HART → μC FIFO の空フラグ。ブリデキュー。<br>0h = FIFO_H2U は空ではありません<br>1h = FIFO_H2U が空です                                                                                                 |
| 8     | PARITY     | R   | 0h   | パリティ ビット (ODD)<br>HART でデータとともに受信したパリティ ビット。このフィールドは、CONFIG.UART_DIS = 1 のときに SPI でのみ読み取ることができます。それ以外の場合、このレジスタの読み出しは無視され、FIFO からのデキューも行われません。FIFO にデータが書き込まれるまで、デフォルト値は不明です。 |

表 7-41. FIFO\_H2U\_RD レジスタのフィールドの説明 (続き)

| ビット | フィールド | タイプ | リセット | 説明                                                                                                                                                                    |
|-----|-------|-----|------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 7-0 | データ   | R   | 0h   | データ<br>HART で受信した 8 ビット データ。このフィールドは、<br>CONFIG.UART_DIS = 1 のときに SPI でのみ読み取ることができます。<br>それ以外の場合、このレジスタの読み出しは無視され、FIFO からのデキューも行われません。FIFO にデータが書き込まれるまで、デフォルト値は不明です。 |

## 7.1.40 FIFO\_STATUS レジスタ (オフセット = 2Bh) [リセット = 0202h]

レジスタ マップ を参照してください。

FIFO\_STATUS レジスタを使うと、FIFO にデータをエンキューまたはデキューせずに、両方の FIFO の状態を確認できます。また、MODEM\_STATUS レジスタのほかのステータス ビットに影響を与えずに、フラグを確認することもできます。このレジスタを使うと、デバイス内のほかの機能に影響を与えずに、FIFO のステータスを確認できます。

**表 7-42. FIFO\_STATUS レジスタ フィールドの説明**

| ビット   | フィールド          | タイプ | リセット | 説明                                                                                                                                                                                      |
|-------|----------------|-----|------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-12 | H2U_LEVEL      | R   | 0h   | HART → $\mu$ C FIFO のレベル<br>FIFO_H2U の現在のレベルを 1 ビット右シフト ( $\gg 1$ ) した値です。そのため、偶数のカウントのみが表されます。                                                                                         |
| 11    | H2U_LEVEL_FLAG | R   | 0h   | HART → $\mu$ C FIFO のレベル フラグ<br>FIFO のレベル $> \{\text{Level}, 1b1\}$ のときにセットされます。<br>0h = FIFO_H2U レベル $\leq \{\text{Level}, 1b1\}$<br>1h = FIFO_H2U レベル $> \{\text{Level}, 1b1\}$       |
| 10    | H2U_FULL_FLAG  | R   | 0h   | HART → $\mu$ C FIFO のフル フラグ<br>FIFO がフルのときにセットされます。<br>0h = FIFO_H2U はフルではありません<br>1h = FIFO_H2U はフルです                                                                                  |
| 9     | H2U_EMPTY_FLAG | R   | 1h   | HART → $\mu$ C の空フラグ<br>FIFO が空のときにセットされます。<br>0h = FIFO_H2U は空ではありません<br>1h = FIFO_H2U が空です                                                                                            |
| 8     | 予約済み           | R   | 0h   |                                                                                                                                                                                         |
| 7-4   | U2H_LEVEL      | R   | 0h   | $\mu$ C → HART FIFO のレベル<br>FIFO_U2H の現在のレベルを 1 ビット右シフト ( $\gg 1$ ) した値です。そのため、偶数のカウントのみが表されます                                                                                          |
| 3     | U2H_LEVEL_FLAG | R   | 0h   | $\mu$ C → HART FIFO のレベル フラグ<br>FIFO_U2H のレベル $< \{\text{Level}, 1b0\}$ のときにセットされます。<br>0h = FIFO_U2H のレベル $\geq \{\text{Level}, 1b0\}$<br>1h = FIFO_U2H のレベル $< \{\text{Level}, 1b0\}$ |
| 2     | U2H_FULL_FLAG  | R   | 0h   | $\mu$ C → HART のフル フラグ<br>FIFO_U2H がフルのときにセットされます。<br>0h = FIFO_U2H はフルではありません<br>1h = FIFO_U2H はフルです                                                                                   |
| 1     | U2H_EMPTY_FLAG | R   | 1h   | $\mu$ C → HART の空フラグ<br>FIFO_U2H が空のときにセットされます。<br>0h = FIFO_U2H は空ではありません<br>1h = FIFO_U2H が空です                                                                                        |
| 0     | 予約済み           | R   | 0h   |                                                                                                                                                                                         |

## 7.1.41 DAC\_OUT レジスタ (オフセット = 2Ch) [リセット = 0000h]

レジスタ マップ を参照してください。

**表 7-43. DAC\_OUT レジスタ フィールドの説明**

| ビット  | フィールド | タイプ | リセット | 説明                   |
|------|-------|-----|------|----------------------|
| 15-0 | データ   | R   | 0h   | アナログ回路に適用される DAC コード |

### 7.1.42 ADC\_OUT レジスタ (オフセット = 2Dh) [リセット = 0000h]

レジスタ マップ を参照してください。

表 7-44. ADC\_OUT レジスタ フィールドの説明

| ビット   | フィールド | タイプ | リセット | 説明                                                                   |
|-------|-------|-----|------|----------------------------------------------------------------------|
| 15-12 | 予約済み  | R   | 0h   |                                                                      |
| 11-0  | データ   | R   | 0h   | 各変換の ADC データ<br>ADC_OFFSET.DATA による補正は含まれません。ADC_BYP.DATA の影響を受けません。 |

### 7.1.43 ADC\_BYP レジスタ (オフセット = 2Eh) [リセット = 0000h]

レジスタ マップ を参照してください。

ADC\_BYP を [ADC\\_BYP レジスタ フィールドの説明](#) に示します。

表 7-45. ADC\_BYP レジスタ フィールドの説明

| ビット  | フィールド        | タイプ | リセット | 説明                                                                                                                                                                                                                                                                                            |
|------|--------------|-----|------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15   | DATA_BYP_EN  | R/W | 0h   | データ バイパス有効化<br>変換対象の ADC チャンネルに ADC_BYP.DATA を適用します。<br>ADC_OFFSET は無視されます。OFST_BYP_EN と DATA_BYP_EN は、同時にセットしないでください。OFST_BYP_EN もセットされている場合は、DATA_BYP_EN が OFST_BYP_EN より優先されます。チャンネルが変換されると、ADC_BYP.DATA の値がそのチャンネルの読み戻しレジスタに現れ、故障の計算に使われます。<br>0h = データ バイパス無効 (デフォルト)<br>1h = データ バイパス有効 |
| 14   | OFST_BYP_EN  | R/W | 0h   | オフセット バイパスの有効化<br>オフセットレジスタを ADC_BYP.DATA の値でオーバーライドします。このビットを使う場合、ADC_BYP.DATA フィールドは 2 の補数として処理されます。OFST_BYP_EN と DATA_BYP_EN は、同時にセットしないでください。<br>0h = オフセット バイパス無効化 (デフォルト)<br>1h = オフセット バイパス有効化                                                                                         |
| 13   | DIS_GND_SAMP | R/W | 0h   | GND サンプリングを無効化<br>このビットは、SAR アクティビティ中の GND のサンプリングを無効化します。GND をサンプリングすることで、サンプリング CAP を完全に放電し、チャンネル間のクロストークを低減します。<br>0h = GND サンプリングを有効化 (デフォルト)<br>1h = GND サンプリングを無効化                                                                                                                      |
| 12   | 予約済み         | R   | 0h   |                                                                                                                                                                                                                                                                                               |
| 11-0 | データ          | R/W | 0h   | データをバイパス                                                                                                                                                                                                                                                                                      |

## 7.1.44 FORCE\_FAIL レジスタ (オフセット = 2Fh) [リセット = 0000h]

レジスタ マップ を参照してください。

故障検出のために、故障状態を強制的に発生させます。

**表 7-46. FORCE\_FAIL レジスタ フィールドの説明**

| ビット   | フィールド          | タイプ | リセット | 説明                                                                                           |
|-------|----------------|-----|------|----------------------------------------------------------------------------------------------|
| 15    | CRC_FLT        | R/W | 0h   | CRC バイトを反転させて、SDO で CRC 故障を強制的に発生<br>0h = CRC の強制故障なし (デフォルト)<br>1h = CRC の強制故障              |
| 14    | VREF_FLT       | R/W | 0h   | リファレンス電圧の強制故障。アナログ信号。<br>0h = VREF の強制故障なし (デフォルト)<br>1h = VREF の強制故障                        |
| 13    | THERM_ERR_FLT  | R/W | 0h   | 温度 > 130°C サーマル エラーの強制。アナログ信号。<br>0h = 温度 > 130°C エラーの強制なし (デフォルト)<br>1h = 温度 > 130°C エラーの強制 |
| 12    | THERM_WARN_FLT | R/W | 0h   | 温度 > 85°C サーマル警告の強制。アナログ信号。<br>0h = 温度 > 85°C 警告の強制なし (デフォルト)<br>1h = 温度 > 85°C 警告の強制        |
| 11-10 | 予約済み           | R/W | 0h   |                                                                                              |
| 9     | SD4_HI_FLT     | R/W | 0h   | SD4 (VOUT) 上限故障。ADC 測定。<br>0h = SD4 (VOUT) の強制故障なし (デフォルト)<br>1h = SD4 (VOUT) の強制故障          |
| 8     | SD4_LO_FLT     | R/W | 0h   | SD4 (VOUT) 下限故障。ADC 測定。<br>0h = SD4 (VOUT) の強制故障なし (デフォルト)<br>1h = SD4 (VOUT) の強制故障          |
| 7     | SD3_HI_FLT     | R/W | 0h   | SD3 (ZTAT) 上限故障。ADC 測定。<br>0h = SD3 (ZTAT) の強制故障なし (デフォルト)<br>1h = SD3 (ZTAT) の強制故障          |
| 6     | SD3_LO_FLT     | R/W | 0h   | SD3 (ZTAT) 下限障害。ADC 測定。<br>0h = SD3 (ZTAT) の強制故障なし (デフォルト)<br>1h = SD3 (ZTAT) の強制故障          |
| 5     | SD2_HI_FLT     | R/W | 0h   | SD2 (VDD) 上限故障。ADC 測定。<br>0h = SD2 (VDD) の強制故障なし (デフォルト)<br>1h = SD2 (VDD) の強制故障             |
| 4     | SD2_LO_FLT     | R/W | 0h   | SD2 (VDD) 下限障害。ADC 測定。<br>0h = SD2 (VDD) の強制故障なし (デフォルト)<br>1h = SD2 (VDD) の強制故障             |
| 3     | SD1_HI_FLT     | R/W | 0h   | SD1 (PVDD) 上限故障。ADC 測定。<br>0h = SD1 (PVDD) の強制故障なし (デフォルト)<br>1h = SD1 (PVDD) の強制故障          |
| 2     | SD1_LO_FLT     | R/W | 0h   | SD1 (PVDD) 下限障害。ADC 測定。<br>0h = SD1 (PVDD) の強制故障なし (デフォルト)<br>1h = SD1 (PVDD) の強制故障          |
| 1     | SD0_HI_FLT     | R/W | 0h   | SD0 (VREF) 上限故障。ADC 測定。<br>0h = SD0 (VREF) の強制故障なし (デフォルト)<br>1h = SD0 (VREF) の強制故障          |

表 7-46. FORCE\_FAIL レジスタ フィールドの説明 (続き)

| ビット | フィールド      | タイプ | リセット | 説明                                                                                  |
|-----|------------|-----|------|-------------------------------------------------------------------------------------|
| 0   | SD0_LO_FLT | R/W | 0h   | SD0 (VREF) 下限障害。ADC 測定。<br>0h = SD0 (VREF) の強制故障なし (デフォルト)<br>1h = SD0 (VREF) の強制故障 |

## 7.1.45 TIMER\_CFG\_0 レジスタ (オフセット = 3Bh) [リセット = 0000h]

レジスタ マップ を参照してください。

タイマ構成 0。

表 7-47. TIMER CONFIG 0 レジスタのフィールドの説明

| ビット  | フィールド   | タイプ | リセット | 説明                                                                                                  |
|------|---------|-----|------|-----------------------------------------------------------------------------------------------------|
| 15-4 | 予約済み    | 送信先 | 0h   |                                                                                                     |
| 3-2  | CLK_SEL | R/W | 0h   | クロックの選択<br>タイマ クロック周波数を計算します。<br>0h = なし (デフォルト)<br>1h = 1.2288MHz<br>2h = 1.200kHz<br>3h = 1.171Hz |
| 1    | 反転      | R/W | 0h   | 反転出力<br>タイマ出力を反転します。デフォルトでは、カウンタが SET_TIME (3Dh) 以上になると、出力が 1 になります。                                |
| 0    | イネーブル   | R/W | 0h   | タイマ有効化<br>CLK_OUT ピンも、タイマを出力するように設定する必要があります。                                                       |

## 7.1.46 TIMER\_CFG\_1 レジスタ (オフセット = 3Ch) [リセット = 0000h]

レジスタ マップ を参照してください。

タイマ構成 1。

表 7-48. TIMER CONFIG 1 レジスタのフィールドの説明

| ビット  | フィールド | タイプ | リセット | 説明                                                                                                                               |
|------|-------|-----|------|----------------------------------------------------------------------------------------------------------------------------------|
| 15-0 | 周期    | R/W | 0h   | このフィールドは、タイマの期間を定義します。周期は、(PERIOD + 1) と、CLK_SEL で選択したクロックの周期の積です。たとえば、CLK_SEL = 2h (1200Hz) の場合、周期は (PERIOD + 1) × 853ms になります。 |

## 7.1.47 TIMER\_CFG\_2 レジスタ (オフセット = 3Dh) [リセット = 0000h]

レジスタ マップ を参照してください。

タイマ構成 2。

表 7-49. TIMER CONFIG 2 レジスタのフィールドの説明

| ビット  | フィールド    | タイプ | リセット | 説明                                                                                                                                                                     |
|------|----------|-----|------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-0 | SET_TIME | R/W | 0h   | SET_TIME は、タイマの出力が High になるタイミングを決めます。これらのビットは、タイマのデューティ サイクル (PERIOD – SET_TIME) を決めます。タイマの出力は 0 から始まり、SET_TIME に達すると 1 に変わります。タイマの極性は、TIMER_CFG_0.INVERT ビットで反転できます。 |

## 7.1.48 CRC\_RD レジスタ (オフセット = 3Eh) [リセット = 0000h]

[レジスタ マップ](#) を参照してください。

CRC 読み取り。

**表 7-50. CRC 読み取りレジスタのフィールドの説明**

| ビット  | フィールド | タイプ | リセット | 説明                                                                          |
|------|-------|-----|------|-----------------------------------------------------------------------------|
| 15-0 | CRC   | R/O | 0h   | RBIST またはシャドウ ロードで計算された CRC。最終値は内部で計算されます。この値は、RBIST またはシャドウ ロードの実行中に変化します。 |

## 7.1.49 RBIST\_CRC レジスタ (オフセット = 3Fh) [リセット = 0000h]

[レジスタ マップ](#) を参照してください。

RBIST CRC。

**表 7-51. RBIST CRC レジスタのフィールドの説明**

| ビット  | フィールド     | タイプ | リセット | 説明                    |
|------|-----------|-----|------|-----------------------|
| 15-0 | RBIST CRC | R/W | 0h   | レジスタ RBIST の計算された CRC |

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 使用上の注意

AFEx82H1 は、非常に低消費電力の 16 ビットおよび 14 ビット電圧出力 DAC です。これらの DAC は、0V ~ 2.5V の出力範囲をサポートしています。これらのデバイスには、オンボード発振器と、オプションの高精度内部基準電圧が搭載されています。この DAC は、アナログ電圧出力モジュールまたは電流出力モジュール向けに設計されています。これらのデバイスには SAR ADC も搭載されています。この ADC は、内部ノードと外部ノードを測定し、故障検出とアラーム動作による診断測定に使われます。これらの診断測定を CRC やウォッチドッグ タイマによる監視と組み合わせて、機能安全のためのデバイス監視とシステム監視に使用します。

AFEx82H1 デバイスは、SPI または UART 通信による HART (ハイウェイアドレス指定可能リモートトランスデューサ) プロトコルのモデム機能をサポートしています。HART インターフェイスは、SPI または UART を使った変調と復調によって実現します。デバイス内部または外部のバンドパスフィルタを通して、入力を復調します。

AFEx82H1 は 1.8V 電源で非常に低い消費電力で動作できます。低電圧で動作させる場合は、PVDD を公称 1.8V、動作範囲 1.71V ~ 1.89V の電源で使います。デジタル インターフェイスの電源 IOVDD は、1.71V ~ 5.5V で動作させます。低電圧動作では、VDD LDO は自動的に無効になり、VDD は PVDD に接続されます。低電圧動作により、フィールドトランスミッタ アプリケーションでの低消費電力化と、ループ内の抵抗が大きい場合の電圧コンプライアンスの改善の両方が実現します。

高い電源電圧で動作させる場合、PVDD の動作範囲は 2.7V ~ 5.5V です。この動作範囲では、VDD はオンボード LDO から供給されます。

### 8.1.1 マルチチャネル構成

HART 通信用の受信 FIFO と送信 FIFO を内蔵しているため、SPI だけのインターフェイスで、マルチチャネル構成に簡単に拡張できます。通信には **CS Low** が必要で、**SDO** をトライステートに設定できるため、システム内のすべての AFE<sub>x</sub>82H1 デバイスについて、マイコンから必要なのは個別の **CS** 信号のみです。**SDI**、**SDO**、**SCLK** 信号は組み合わせることができます。個々の **ALARM** ピンは、すべて有線または一緒にすることができます。これにより、通信に必要なマイコンの GPIO 信号の数を最小限に抑えられます。また、絶縁システムでは、絶縁チャネルの数も最小限に抑えられます。図 8-1 にマルチチャネル構成のブロック図を示します。

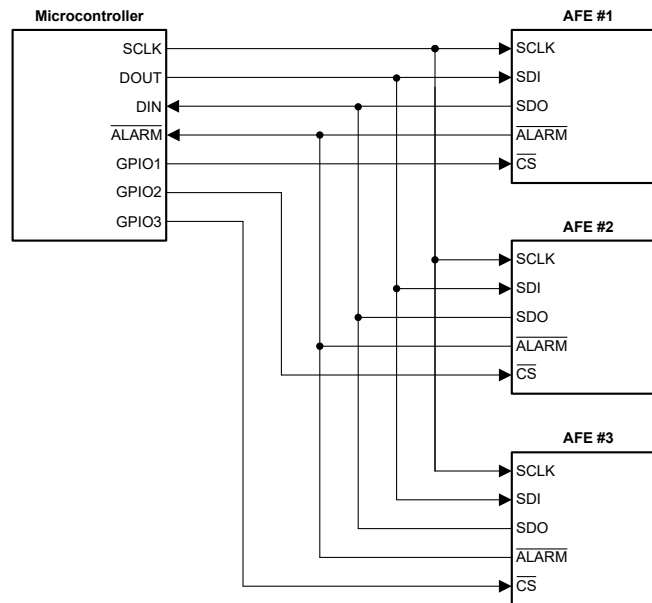


図 8-1. マルチチャネル構成

## 8.2 代表的なアプリケーション

この設計例では、AFE882H1 を使った、ループ電源方式の 4mA ~ 20mA フィールドトランスミッタを示します。分解能が低くてよいアプリケーションでは、この設計に AFE782H1 を使うこともできます。

この設計例では、二線式電流ループ アプリケーションのほとんどのフィールド センサに使える、シンプルな HART 対応ループコントローラを構成します。この設計は 15V ~ 36V のバス電圧に対応し、センサの値を表すループ電流を、室温でのキャリブレーション後の総合誤差がフルスケール範囲 (FSR) の 0.1% 未満となる精度で制御します。システムの集積度が高いため回路を小型化でき、スペースが限られるフィールドトランスミッタに最適なデバイスです。フィールドトランスミッタ アプリケーションでは、電流ループトランスミッタ、マイコン、センサ、アナログ フロント エンドのすべての消費電流を、最小バス電流の 3mA 未満に抑える必要があります。システムに LDO ではなく効率の高い低消費電力の DC/DC コンバータを使うと、電流の余裕が増え、センサや AFE により多くの電流を割り当てられます。

図 8-2 に、ループ電源方式の 4mA ~ 20mA フィールドトランスミッタの回路図を示します。

### 8.2.1 4mA ~ 20mA 電流トランスミッタ

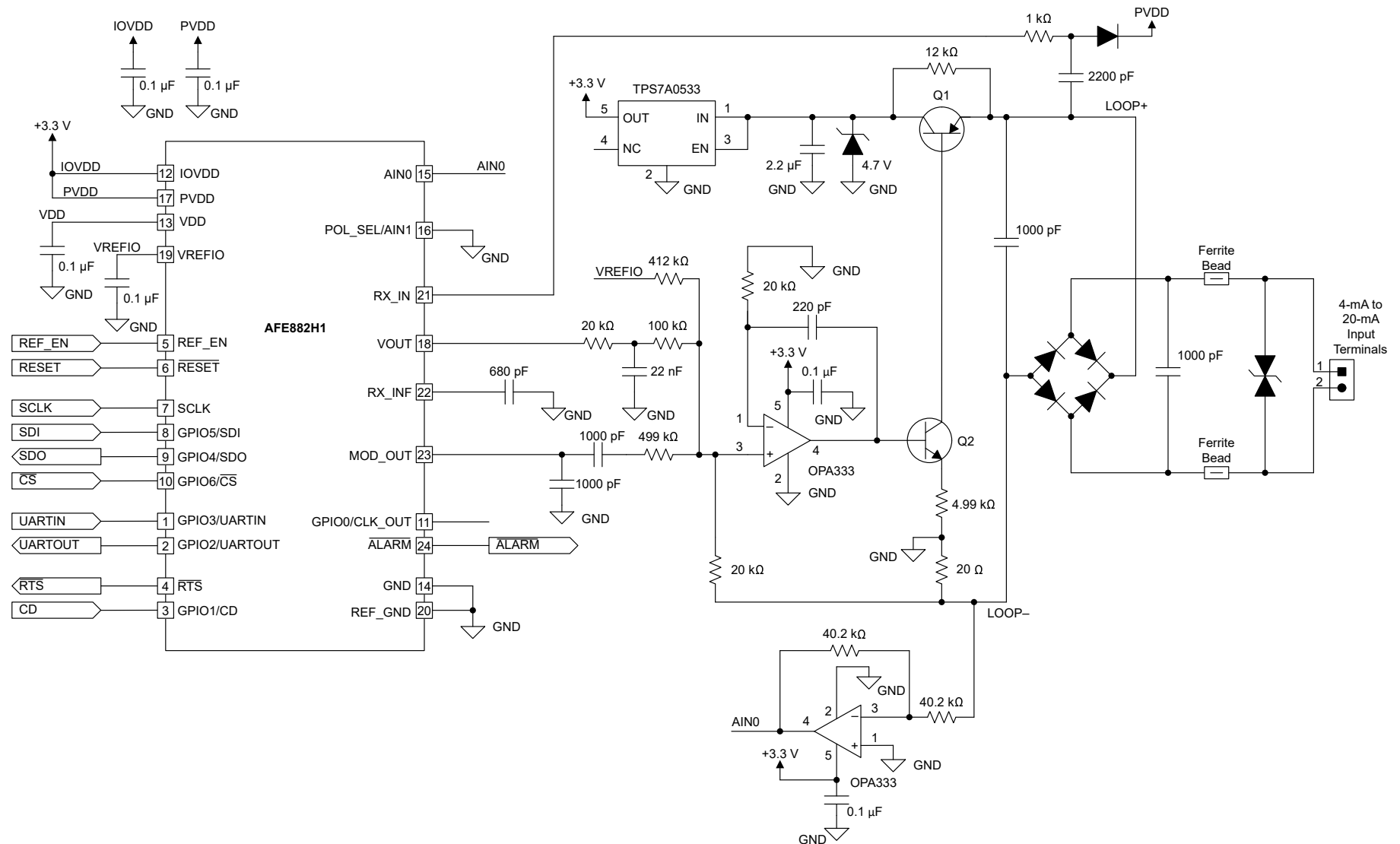


図 8-2. AFEx82H1 (4mA から 20mA への電流トランスミッタ)

### 8.2.1.1 設計要件

設計要件は次のとおりです。

- プロセス変数の信号を表す **4mA ~ 20mA** の電流出力範囲を持つトランスミッタ
- NAMUR NE43 のセンサ故障信号レベルに対応する、**3.6mA** 未満および **21mA** 超の範囲外電流出力能力
- ボードの動作に必要なオンボードの総電流が **3mA** 以下で、範囲外の低い電流出力にも対応
- 標準的な産業用オートメーションの電源電圧 (**15V ~ 36V**) での動作
- キャリブレーション後、**25°C** で **TUE** が **0.5%** 未満の電流出力と電圧出力

### 8.2.1.2 詳細な設計手順

図 8-3 に、ループ電源 **4mA** から **20mA** への電流トランスミッタのブロック図を示します。

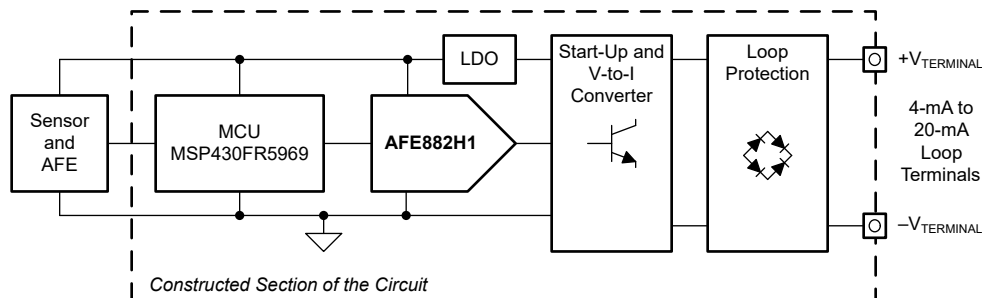


図 8-3. ループ電源方式の **4mA ~ 20mA** 電流トランスミッタのブロック図

ループに接続された端子は、ブロック図の右側に示されています。ループへのこの接続によって、トランスミッタ全体に電力が供給されます。入力にあるブリッジ整流器が、ループへの逆接続から回路を保護します。整流されたループ電圧はスタートアップ回路に電力を供給し、スタートアップ回路は LDO に電力を供給します。さらに LDO が、AFE882H1 とマイコンに電力を供給します。

AFE882H1 は、電圧電流 (V-I) 変換ブロックを通して、ループ電流を制御します。DAC の電圧によって、出力が **0V ~ 2.5V** の範囲で設定されます。出力は、OPA333 と NPN バイポーラ接合トランジスタ (BJT) を使用して V-I コンバータブロック経由で送信されます。

HART 信号は、**4mA ~ 20mA** の接続端子の正側では受信されず、ループ保護整流器のあとで受信されます。この HART 信号入力は、図 8-2 に示すように、この回路の **LOOP+** 内部ノードに容量性結合されます。HART 信号出力は、V-I (電圧と電流の変換) コンバータ回路を経由して、AFE882H1 からのループ電流に変調されます。

#### 8.2.1.2.1 電流ループ制御モデル

AFE882H1 の DAC は、出力電圧を 0V ~ 2.5V の範囲で設定します。図 8-4 に、DAC 出力電圧からのループ電流を設定する V-I 回路を示します。

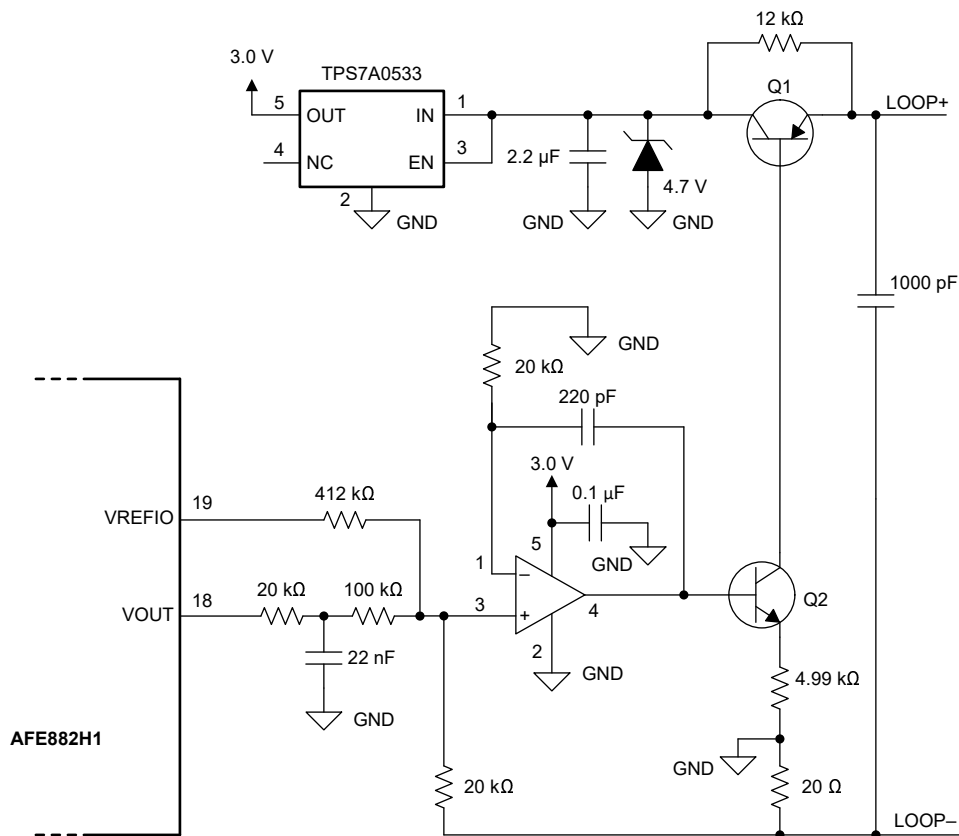


図 8-4. AFE882H1 トランスミッタの電流ループ制御

この回路では、VREFIO の出力と DAC の VOUT からそれぞれ V-I 変換した電流を加算して、ループ電流を設定します。これらの AFE882H1 出力から生成された電流は、個別に分析されます。

まず、VREFIO の電圧を 412k $\Omega$  の抵抗に印加します。この 1.25V の基準電圧によって電流が生じ、グランド電位に設定された OPA333 アンプの加算ノードに流れ込みます。この電流から寄与する LOOP- での電圧は、式 10 で計算されます。

$$V_{\text{LOOP-}} = \frac{-V_{\text{VREFIO}}}{412 \text{ k}\Omega} \times 20 \text{ k}\Omega = -1.25 \text{ V} \times 0.04854 = -0.06068 \text{ V} \quad (10)$$

OPA333 の帰還から、式 10 からのループ電圧は  $20\Omega$  の抵抗の両端に配置され、式 11 に示すようにループを流れる電流を設定します。

$$I_{\text{LOOP\_VREFIO}} = \left( \frac{-V_{\text{LOOP-}}}{20 \, \Omega} \right) + \left( \frac{-V_{\text{LOOP-}}}{20 \, \text{k}\Omega} \right) = 0.06068 \, \text{V} \times \left( \frac{1}{20 \, \Omega} + \frac{1}{20 \, \text{k}\Omega} \right) = 3.037 \, \text{mA} \quad (11)$$

この 3mA の電流が、ループの初期電流になります。AFE882H1 の DAC 出力が 0V の場合は、この電流がループに流れます。

この初期電流に加えて、AFE882H1 DAC 出力はループ電流も制御します。VOUT の電圧は、120kΩ の抵抗 (20kΩ と 100kΩ の直列抵抗) に印加されます。120kΩ の抵抗の反対側は、OPA333 の帰還によってグランド電位に設定されま

す。式 10 および式 11 の計算と同様に、式 12 および式 13 に示すように、VOUT の電圧によってループ電流が設定されます。

$$V_{\text{LOOP-}} = \frac{-V_{\text{OUT}}}{120 \text{ k}\Omega} \times 20 \text{ k}\Omega = -V_{\text{OUT}} \times 0.1667 \quad (12)$$

$$I_{\text{LOOP\_VOUT}} = \left( \frac{-V_{\text{LOOP-}}}{20 \text{ }\Omega} \right) + \left( \frac{-V_{\text{LOOP-}}}{20 \text{ k}\Omega} \right) = V_{\text{OUT}} \times 0.1667 \times \left( \frac{1}{20 \text{ }\Omega} + \frac{1}{20 \text{ k}\Omega} \right) \quad (13)$$

DAC の出力電圧を 0V に設定した場合、ループ電流への寄与は基本的に 0mA です。DAC の出力電圧を 2.5V に設定した場合、ループ電流への寄与は 20.85mA です。

前に説明したように、ループ電流の合計は、VREFIO の電圧から生じる電流と、VOUT の電圧から生じる電流の和です。これらの電圧を使うと、ループ電流の範囲は 3.037mA ~ 23.89mA になります。

AFE882H1 DAC 出力電圧は、16 ビットの出力コードで設定されます。したがって、この DAC コードからループ電流への最終変換は、式 14 に基づいて設定されます。

$$I_{\text{LOOP}} = I_{\text{LOOP\_VREFIO}} + I_{\text{LOOP\_VOUT}} = 3.037 \text{ mA} + \left( \text{DAC Code} \times \frac{20.85 \text{ mA}}{2^{16}} \right) \quad (14)$$

4mA ~ 20mA のシステムでは、公称出力は、Low 出力の 4mA から High 出力の 20mA までの範囲で動作します。ただし、システムによっては、さまざまなエラー状態を示すために、この範囲外の電流出力を使うことがあります。さまざまなループ エラーを示すために、3.375mA と 21.75mA のループ電流がよく使われます。表 8-1 に、さまざまなループ出力電流と、そのときに使う DAC コードと電圧を示します。

**表 8-1. DAC 出力コードに基づく DAC 電圧出力とループ電流**

| 出力条件       | DAC コード | DAC 出力電圧 (V) | ループ電流 (mA) |
|------------|---------|--------------|------------|
| DAC の最小値   | 0x0000  | 0            | 3.037      |
| エラー Low    | 0x0426  | 0.04051      | 3.375      |
| 範囲内の最小値    | 0x0BD2  | 0.1154       | 4          |
| 範囲内ミッドスケール | 0x6E07  | 1.0745       | 12         |
| 範囲内最大      | 0xD03C  | 2.0335       | 20         |
| エラー高       | 0xE5B7  | 2.2433       | 21.75      |
| DAC の最大値   | 0xFFFF  | 2.5          | 23.891     |

設計に含まれる受動部品のうち、電流設定用の抵抗には、高精度と低ドリフトを実現するために、公差の厳しいものを選びます。前の式で説明したこれらの抵抗は、主に電流ループのゲインを決めるため、ループの電流の大きさを決めることになります。

#### 8.2.1.2.2 HART の接続

HART 信号のループへの接続は、AFE882H1 の MOD\_OUT ピンと RX\_IN ピンを介して行います。VOUT ピンの電圧をループ電流の大きさに変換すると同様に、MOD\_OUT ピンからの HART 出力も電圧から電流に変換されます。1000pF の DC ブロッキング コンデンサを使って、MOD\_OUT ピンの DC 出力オフセットを含まずに HART 信号を結合します。MOD\_OUT から、HART 正弦波の公称出力は 500mV<sub>PP</sub> です。式 15 は、この V<sub>MOD</sub> HART 正弦波電圧を 499k $\Omega$  抵抗の両端に設定し、信号電圧 V<sub>LOOPAC</sub> を V<sub>LOOP-</sub> に重畳することを示しています。

$$V_{\text{LOOP\_AC}} = \frac{V_{\text{MOD}}}{499 \text{ k}\Omega} \times 20 \text{ k}\Omega = \frac{500 \text{ mV}_{\text{PP}}}{499 \text{ k}\Omega} \times 20 \text{ k}\Omega = 20.04 \text{ mV}_{\text{PP}} \quad (15)$$

V<sub>LOOP\\_AC</sub> 電圧は、20 $\Omega$  抵抗を介してグラウンドからループに流れる HART 変調 LOOP- 電流を設定します。この電流はグラウンドから供給されますが、スタートアップ回路から Q4 へ流れるシンク電流によって制御されます。式 16 は、20mV<sub>PP</sub> の V<sub>LOOP\\_AC</sub> に基づいて合計ループ電流を計算します。

$$I_{\text{LOOP\_AC}} = V_{\text{LOOP\_AC}} \times \left( \frac{1}{20\Omega} + \frac{1}{20k\Omega} \right) = 1\text{mA}_{\text{pp}} \quad (16)$$

1000pF コンデンサを DC ブロッキング コンデンサと 499k $\Omega$  抵抗として使用すると、500mV<sub>pp</sub> MOD\_OUT 信号は電流ループ上の 1mA<sub>pp</sub> HART 信号に変換されます。

HART 信号は、AFE882H1 によって RX\_IN ピン経由で受信されます。図 8-2 に、RX\_IN の HART 入力用 DC ブロッキング コンデンサを示します。ここでは、1k $\Omega$  の直列抵抗を使用しています。ダイオードがピンをデバイスの電源電圧にクランプし、抵抗が入力電流を制限します。この構成により、回路の起動時の過電圧イベントによる損傷から RX\_IN を保護します。

#### 8.2.1.2.3 入力保護および整流

図 8-5 に、バス上の電圧や電流の過渡現象による問題を抑えるために、この設計に実装したシンプルな保護方式を示します。これらの過渡現象には、高周波成分と高エネルギー成分という二つの主な成分があります。保護回路で減衰と迂回の手法を使うと、これら二つの成分に対処でき、高い免疫性を実現できます。

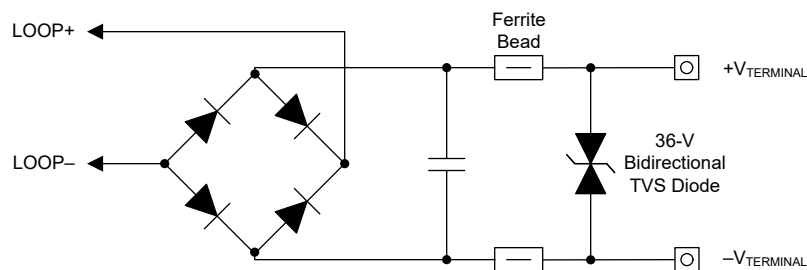


図 8-5. ループ入力保護

減衰では、受動部品（主に抵抗とコンデンサ）を使って高周波の過渡現象を減衰させ、直列電流を制限します。フェライトビーズを使うと、DC 精度を保ちながら、高周波の過渡現象による電流を制限できます。この回路では、入力端子間に一つのコンデンサを配置し、端子と直列にフェライトビーズを接続しています。

迂回では、過渡信号が高電圧であることを利用し、ダイオードで過渡電圧を電源電圧の範囲内にクランプするか、エネルギーをシステムの外にそらしします。過渡電圧サプレッサ (TVS) ダイオードは、過渡現象からの保護に役立ちます。これは、TVS ダイオードが非常に高速にブレークダウンし、多くの場合、複数回の過渡サージに耐えるために不可欠な高い定格電力を備えているためです。

逆極性保護のために整流器も実装されているため、ピンの向きや極性に関係なく、設計を損傷させずにバスに接続できます。

#### 8.2.1.2.4 システム電流バジェット

二線式トランスミッタを設計する際は、消費電力が重要な検討事項になります。トランスミッタとセンサに関係するすべての回路は、ループから供給される電力で動作する必要があります。二線式アプリケーションでの最小ループ電流は、通常 4mA です。ただし、エラーを示す場合、この電流は 3.375mA まで下がります。そのため、すべてのトランスデューサ回路の消費電流は、システムで許容される最大値の 3mA 未満になるように設計します。表 8-2 に、搭載されているすべての能動部品について、規定の最大静止電流を示します（各データシートの値）。

表 8-2. 部品の標準電流

| デバイス       | 説明         | 代表的な電流 (μA) |
|------------|------------|-------------|
| TPS7A0533  | LDO        | 4           |
| AFE882H1   | 16 ビット DAC | 180         |
| OPA333 (2) | オペアンプ      | 17 (1 個あたり) |
| MSP430     | マイコン       | ファームウェアに依存し |

### 8.2.1.3 アプリケーション曲線

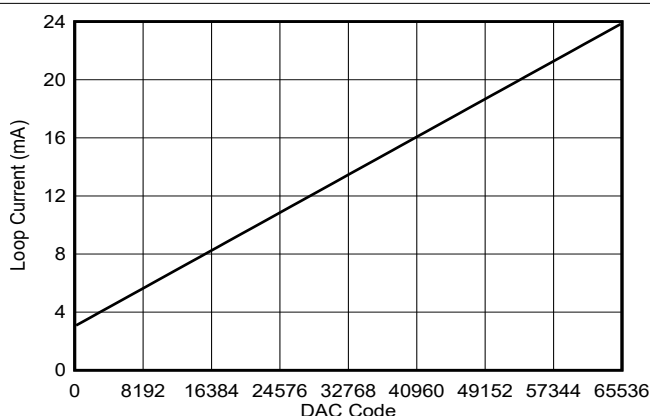


図 8-6. DAC コードからループ電流

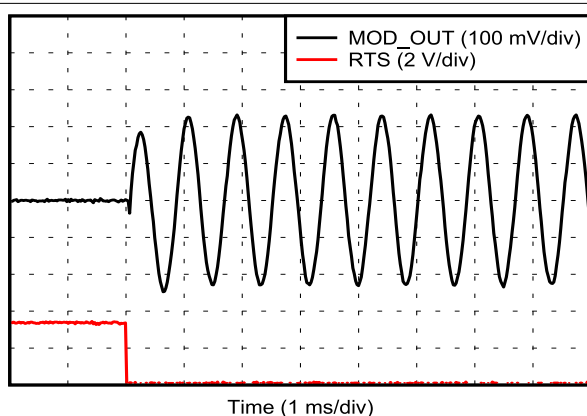


図 8-7.  $\overline{\text{RTS}}$  開始タイミング

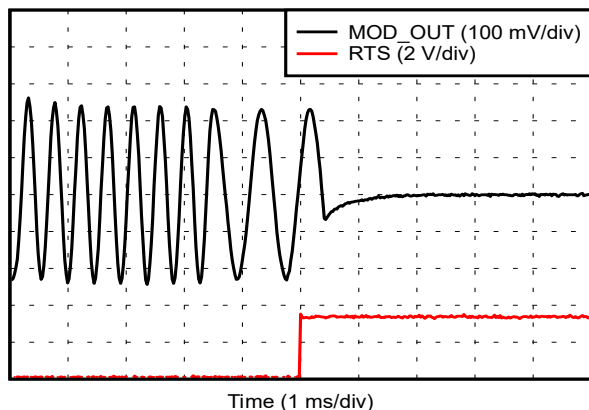


図 8-8.  $\overline{\text{RTS}}$  停止タイミング

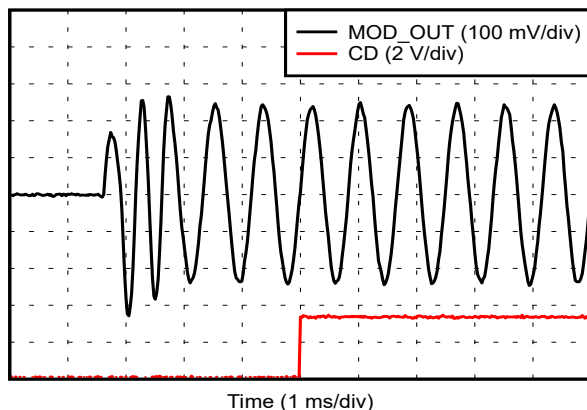


図 8-9. CD 開始タイミング

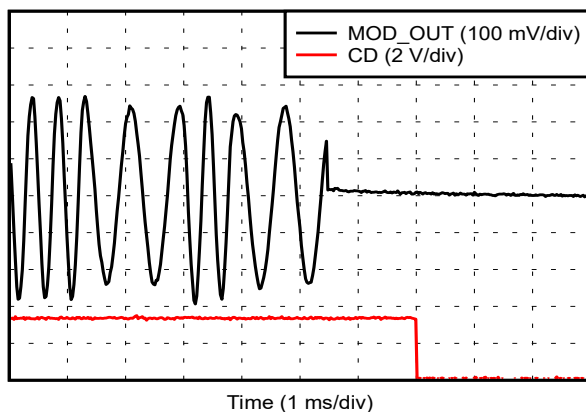


図 8-10. CD 停止タイミング

### 8.3 初期設定

このセクションでは、AFEx82H1 を設定するための推奨事項をいくつか説明します。

CRC がイネーブルになると、AFEx82H1 の起動が行われます。CRC なしでデバイスを動作させる場合は、CONFIG レジスタの CRC\_EN ビットを 0h に設定して、CRC を無効にする必要があります。このレジスタに書き込むコマンドは、最初には CRC が有効な状態で送ることに注意してください。デバイスがコマンドを正しく解釈できるように、コマンドに CRC バイトを付加する必要があります。起動後に CRC を無効にするには、デバイスに 0x02 0x00 0x26 0x24 を書き込みます。最初の 3 バイトでコマンドを書き込み、最後のバイトが CRC バイトです。CRC の詳細については、[セクション 6.5.3.3](#) の通信の説明を参照してください。

AFEx82H1 は、SDO ピンが無効な状態で起動します。SDO ピンは、デバイスのレジスタを読み出す場合や、SPI モードで ADC のデータを読み出す場合に必要です。SDO ピンを有効にするには、CONFIG レジスタの DSDO ビットに 0h を書き込みます。[セクション 6.5.3.1](#) および [セクション 6.5.3.2](#) も参照してください。

ADC を有効にするには、まず ADC\_CFG レジスタの BUF\_PD ビットに 0h を書き込んで、ADC バッファを有効にします。各種の動作モードで ADC を使用する方法の詳細については、[セクション 6.3.2](#) を参照してください。

### 8.4 電源に関する推奨事項

AFEx82H1 は、PVDD ピンに印加される 2.7V ~ 5.5V の単一電源範囲で動作できます。PVDD に 2.7V ~ 5.5V が供給されると、内部 LDO が有効になり、VDD を内部で生成します。VDD ピンが動作するには、1μF ~ 10μF の容量を接続する必要があります。

AFEx82H1 は、PVDD ピンに印加される 1.71V ~ 1.89V の低い電源電圧で動作することもできます。電圧がこの低い範囲にあるとき、内部 LDO は動作しません。そのため、PVDD ピンに供給する低い外部電源を、VDD ピンにも接続する必要があります。

デジタル インターフェイス電源 IOVDD は、1.71V ~ 5.5V の電源電圧範囲で動作できます。

スイッチング電源と DC/DC コンバータでは、高周波のグリッチまたはスパイクが出力電圧に乗ることがよくあります。さらに、デジタル部品は、同様の高周波スパイクを作り出す可能性があります。このノイズは、電源の接続とアナログ出力の間にあるさまざまな経路を通して、DAC の出力電圧や出力電流に容易に混入します。ノイズをさらに低減するには、バルクデカップリングコンデンサとローカルデカップリングコンデンサを配置します。PVDD ピンと IOVDD ピンの消費電流、電圧出力の短絡電流制限、および電流出力の電流範囲は「電気的特性」に記載されています。電源は、「推奨動作条件」に記載された要件を満たす必要があります。

## 8.5 レイアウト

### 8.5.1 レイアウトのガイドライン

どのようなアプリケーションでも **AFEx82H1** の性能を最大限に引き出すには、適切なレイアウト手法と回路設計に従ってください。次の推奨事項は、このデバイスに固有のものです：

- 最適な性能を得るために、PCB の 1 層全体をグランド プレーンに割り当て、この層には他の信号配線を行わないでください。ただし、特定の最終製品による制限によっては、専用のグランド プレーンが実用的ではない場合があります。グランド プレーンを分割する必要がある場合は、DAC の位置でプレーン同士を直接接続します。この構成でグランド ループが発生するので、グランド プレーンを複数の場所で接続しないでください。
- IOVDD と PVDD には、それぞれのピンの近くに 100nF のデカップリング コンデンサを配置する必要があります。VDD には、内部 LDO または外部 1.8V 電源に、少なくとも 1μF デカップリング コンデンサを使用する必要があります。温度全体で最高の性能を得て、誘電正接を非常に低くするために、高品質のセラミック タイプの NP0 コンデンサまたは X7R コンデンサを使ってください。
- VREFIO ピンの近くに、100nF のリファレンス電圧用コンデンサを配置します。
- リファレンス電圧入力付近には、スイッチング信号を配線しないでください。
- デジタル部品とアナログ部品について、デジタル部とアナログ部を適切に配置します。アナログ回路とデジタル回路を分離して、隣接するブロックへの結合を減らし、アナログとデジタルのリターン電流の相互作用を最小限に抑えます。
- 保護回路を含む設計の場合：
  - 高エネルギーの過渡現象によるリターン電流が敏感なデバイスを損傷しないように、TVS ダイオードやコンデンサなどの迂回用の素子を、基板外部へのコネクタの近くに配置します
  - 大きくて幅の広いパターンを使用して、低インピーダンスのパスを提供し、I/O ピンから離れた高エネルギー過渡を転送します。

### 8.5.2 レイアウト例

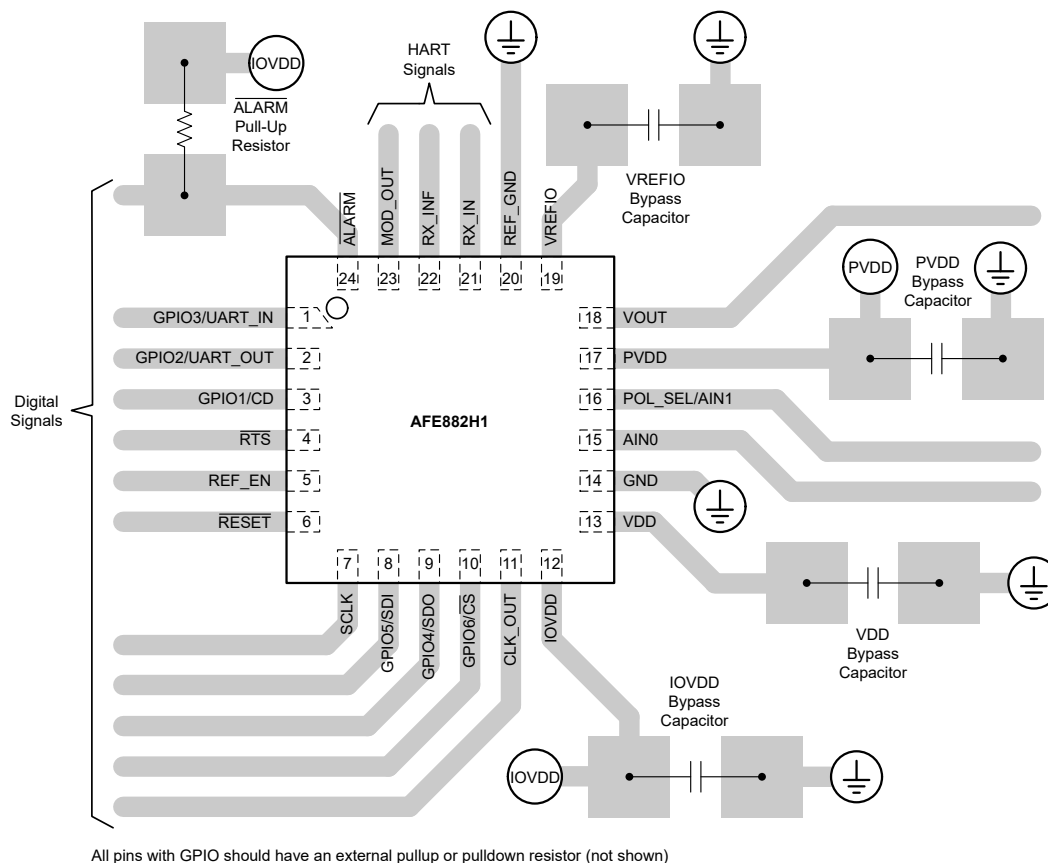


図 8-11. レイアウト例

## 9 デバイスおよびドキュメントのサポート

### 9.1 ドキュメントのサポート

#### 9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『AFE882H1 評価基板 ユーザー ガイド』
- テキサス インスツルメンツ、『REF35 超低消費電力、高精度電圧リファレンス』データシート
- テキサス インスツルメンツ、『XTR305 産業用アナログ電流 / 電圧出力ドライバ』データシート
- テキサス インスツルメンツ、『ADS1220 4 チャンネル、2kSPS、低消費電力、24 ビット ADC (PGA とリファレンス搭載)』データシート
- テキサス・インスツルメンツ、『TPS7A16、60V、5μA IQ、100mA、イネーブルおよびパワーグッド付き低ドロップアウト電圧レギュレータ』データシート
- テキサス インスツルメンツ、『TPS7A02 ナノパワー IQ、25nA、200mA、高速過渡応答の低ドロップアウト電圧レギュレータ』データシート
- テキサス インスツルメンツ、『ISO7021 超低消費電力 2 チャンネル デジタル アイスレータ』データシート
- テキサス インスツルメンツ、『4 ~ 20mA ループ電源型トランスミッタ向け絶縁超低消費電力設計デザイン ガイド』
- テキサス インスツルメンツ、『絶縁ループ電源型熱電対トランスミッタ』デザインガイド
- テキサス インスツルメンツ、『小型フォーム ファクタ、2 線式、4 ~ 20mA 電流ループ RTD 温度送信機デザイン ガイド』
- テキサス インスツルメンツ、『低消費電力アプリケーション用の絶縁型電源およびデータ インターフェイスのリファレンス デザイン』
- テキサス インスツルメンツ、『超低消費電力および低消費電力アプリケーション用の独自の高効率絶縁型 DC/DC コンバータ』デザイン ガイド

### 9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

HART® is a registered trademark of FieldComm Group.

すべての商標は、それぞれの所有者に帰属します。

### 9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.6 用語集

#### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

| Changes from Revision * (December 2023) to Revision A (September 2026) | Page |
|------------------------------------------------------------------------|------|
| • 1.8V 電源の出力範囲を追加.....                                                 | 1    |
| • PVDD と VDD の説明を更新.....                                               | 4    |
| • 1.8V 電源サポートの説明を追加.....                                               | 27   |
| • <a href="#">表 6-1</a> を追加.....                                       | 28   |
| • FSR に PVDD = VDD = 1.8V の条件を追加.....                                  | 29   |
| • DAC 電圧監視の入力範囲に関する説明を追加.....                                          | 40   |
| • <a href="#">図 6-12</a> を更新.....                                      | 43   |
| • <a href="#">図 6-21</a> の SPI コントローラ データの 0x8F を 0x84 に変更.....        | 53   |
| • OSC_FAIL ステータスの監視による三番目の方法の説明を追加.....                                | 59   |
| • OSC_FAIL ビットの説明を更新.....                                              | 83   |
| • 1.8V 電源のサポートに関する説明を追加.....                                           | 116  |
| • PVDD ピンの説明を更新.....                                                   | 124  |

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## PACKAGING INFORMATION

| Orderable part number        | Status<br>(1) | Material type<br>(2) | Package   Pins  | Package qty   Carrier | RoHS<br>(3) | Lead finish/<br>Ball material<br>(4) | MSL rating/<br>Peak reflow<br>(5) | Op temp (°C) | Part marking<br>(6) |
|------------------------------|---------------|----------------------|-----------------|-----------------------|-------------|--------------------------------------|-----------------------------------|--------------|---------------------|
| <a href="#">AFE782H1RRUR</a> | Active        | Production           | UQFN (RRU)   24 | 3000   LARGE T&R      | Yes         | NIPDAU                               | Level-2-260C-1 YEAR               | -55 to 125   | AFE<br>782H1        |
| AFE782H1RRUR.A               | Active        | Production           | UQFN (RRU)   24 | 3000   LARGE T&R      | Yes         | NIPDAU                               | Level-2-260C-1 YEAR               | -55 to 125   | AFE<br>782H1        |
| AFE782H1RRUT.A               | Active        | Production           | UQFN (RRU)   24 | 250   SMALL T&R       | Yes         | NIPDAU                               | Level-2-260C-1 YEAR               | -55 to 125   | AFE<br>782H1        |
| <a href="#">AFE882H1RRUR</a> | Active        | Production           | UQFN (RRU)   24 | 3000   LARGE T&R      | Yes         | NIPDAU                               | Level-2-260C-1 YEAR               | -55 to 125   | AFE<br>882H1        |
| AFE882H1RRUR.A               | Active        | Production           | UQFN (RRU)   24 | 3000   LARGE T&R      | Yes         | NIPDAU                               | Level-2-260C-1 YEAR               | -55 to 125   | AFE<br>882H1        |
| AFE882H1RRUT.A               | Active        | Production           | UQFN (RRU)   24 | 250   SMALL T&R       | Yes         | NIPDAU                               | Level-2-260C-1 YEAR               | -55 to 125   | AFE<br>882H1        |

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

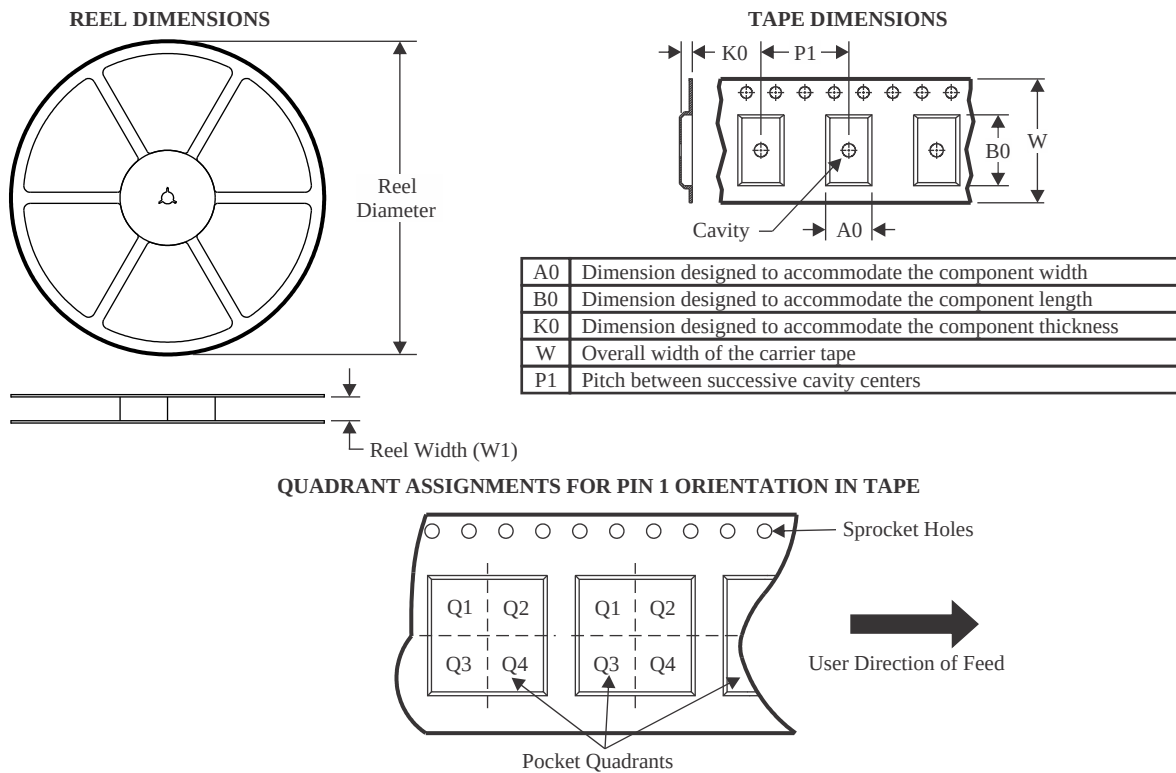
<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

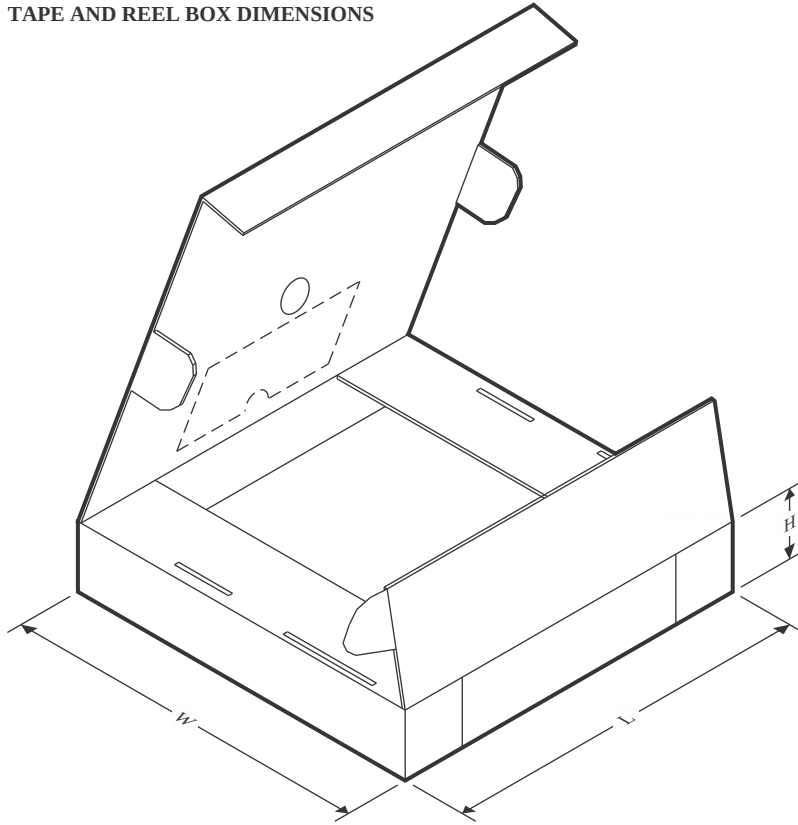
## TAPE AND REEL INFORMATION



\*All dimensions are nominal

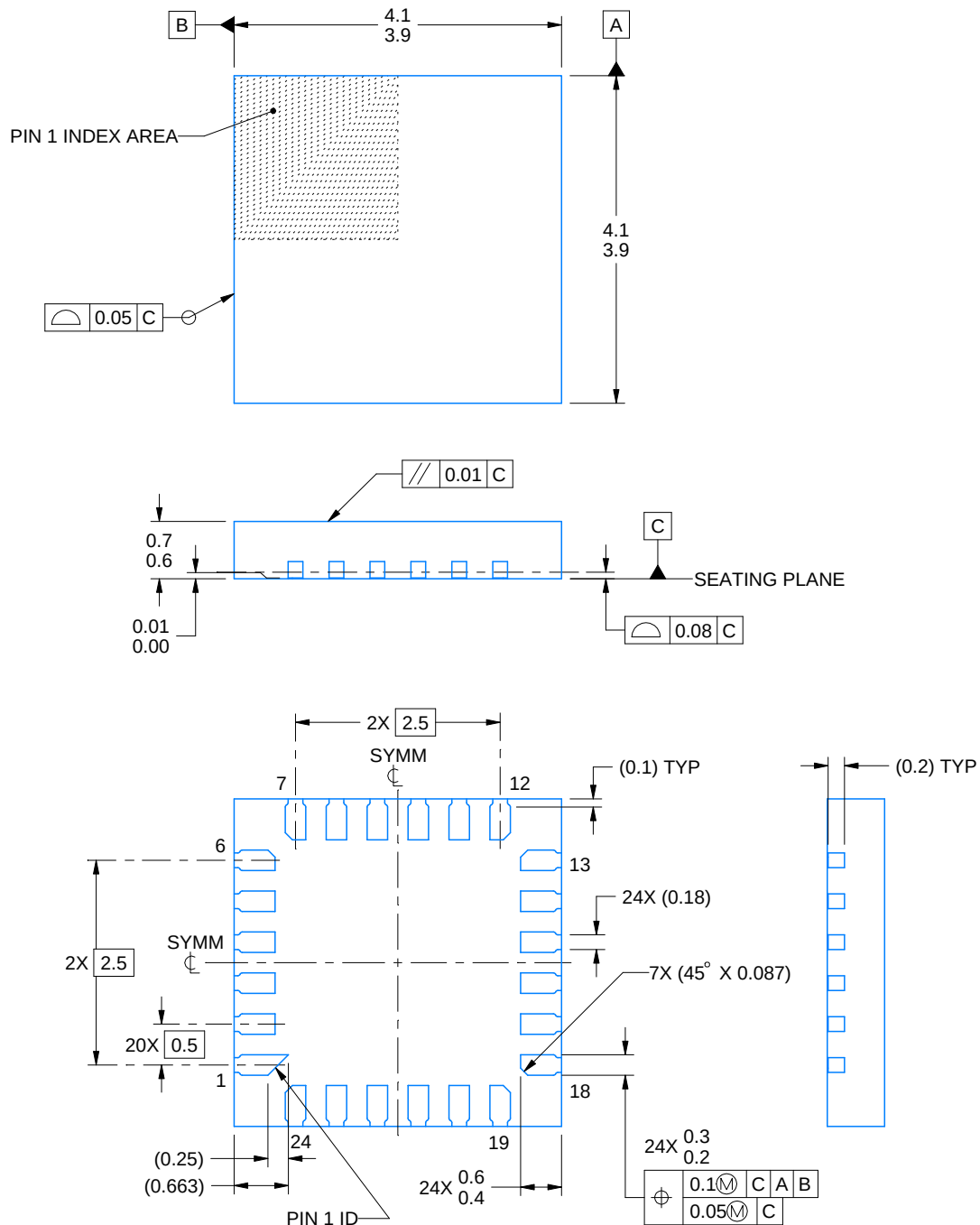
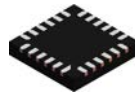
| Device       | Package Type | Package Drawing | Pins | SPQ  | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|--------------|--------------|-----------------|------|------|--------------------|--------------------|---------|---------|---------|---------|--------|---------------|
| AFE782H1RRUR | UQFN         | RRU             | 24   | 3000 | 330.0              | 12.4               | 4.25    | 4.25    | 0.8     | 8.0     | 12.0   | Q2            |
| AFE882H1RRUR | UQFN         | RRU             | 24   | 3000 | 330.0              | 12.4               | 4.25    | 4.25    | 0.8     | 8.0     | 12.0   | Q2            |

## TAPE AND REEL BOX DIMENSIONS



\*All dimensions are nominal

| Device       | Package Type | Package Drawing | Pins | SPQ  | Length (mm) | Width (mm) | Height (mm) |
|--------------|--------------|-----------------|------|------|-------------|------------|-------------|
| AFE782H1RRUR | UQFN         | RRU             | 24   | 3000 | 360.0       | 360.0      | 36.0        |
| AFE882H1RRUR | UQFN         | RRU             | 24   | 3000 | 360.0       | 360.0      | 36.0        |



4225850/A 04/2020

## NOTES:

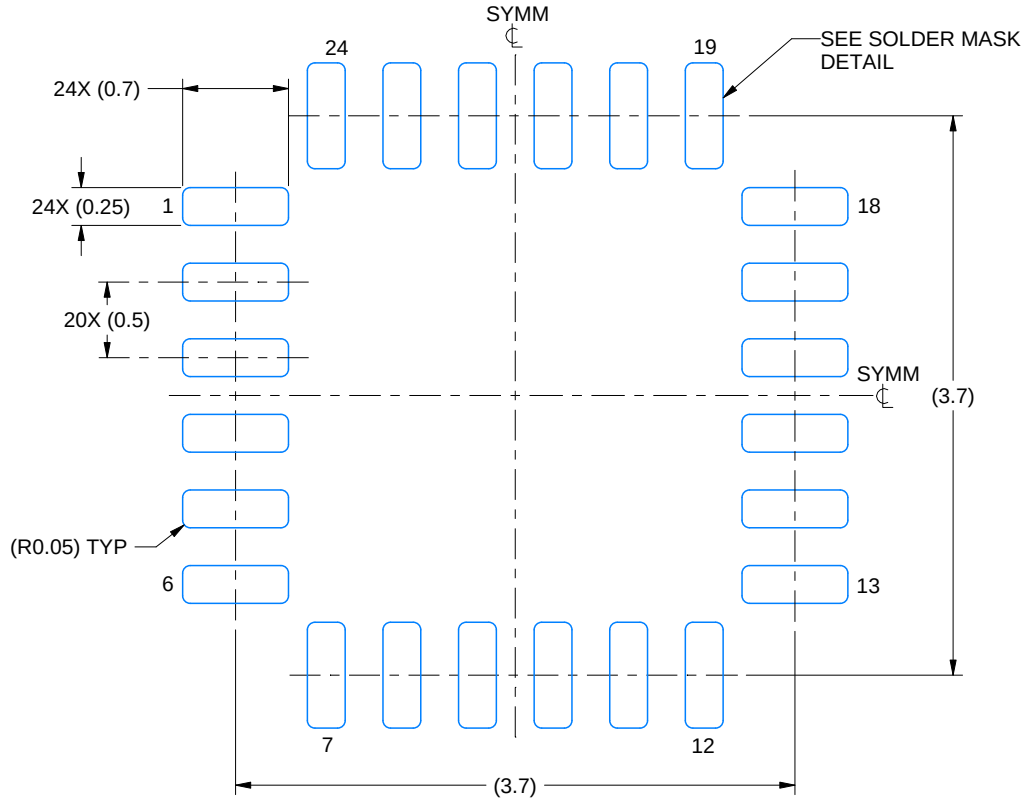
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

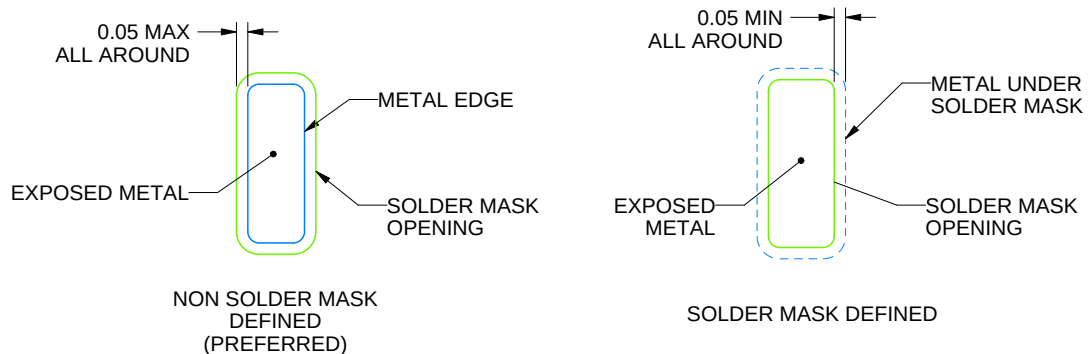
RRU0024A

UQFN - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 20X



SOLDER MASK DETAILS

4225850/A 04/2020

NOTES: (continued)

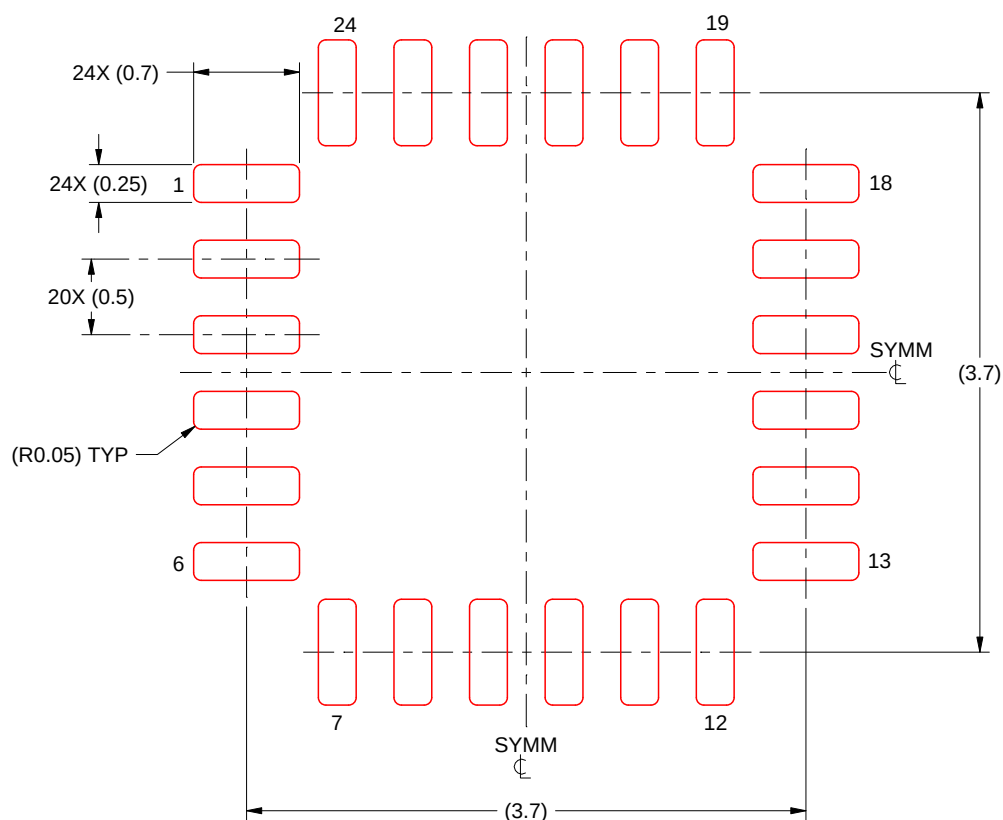
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/sluea271](http://www.ti.com/lit/sluea271)).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

RRU0024A

UQFN - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE  
 BASED ON 0.125 MM THICK STENCIL  
 SCALE: 20X

4225850/A 04/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月