TEXAS INSTRUMENTS
AM13E23019, AM13E23018, AM13E23017
JADS095A – FEBRUARY 2026 – REVISED AUGUST 2026

AM13E230x マイクロコントローラ

1 特長

- デバイス コア
  - Arm® Cortex®-M33 32 ビット CPU (最大 250MHz で動作)
    - 浮動小数点ユニット (FPU)、カスタム データパス拡張機能 (CDE)、メモリ保護ユニット (MPU)、マイクロ トレース バッファ (MTB)
    - DSP 拡張機能と 32 ビット三角関数演算ユニット (TMU) が三角関数の計算を高速化
    - 400DMIPS および 1080 CoreMark® (4.32 CoreMark®/MHz) を備えた 250MHz
    - 325DMIPS および 870 CoreMark® (4.36 CoreMark®/MHz) を備えた 200MHz
  - 時系列のエッジ AI 対応用に最適化された、TinyEngine™ ニューラルネットワーク処理ユニット (NPU) ×1
- メモリ
  - 最大 512kB (最大 256kB × 2 バンク、2kB セクタ) の不揮発性フラッシュ メモリ
    - 誤り訂正コード付き 144 ビット ワード
    - デュアルイメージ ファームウェアのバンク スワップ
  - 最大 128kB の 0 待機状態の SRAM
    - ハードウェア パリティと 1kB 命令キャッシュ
    - 低消費電力モードで 32KB RAM (SRAM0) を保持
  - SDRAM、ASRAM、ASIC/FPGA の外部インターフェイスをサポートする外部ペリフェラル インターフェイス (EPI)
- 高性能アナログ ペリフェラル
  - SAR A/D コンバータ (ADC) x3
    - 7.81MSPS (12 ビット分解能)
    - 各 ADC は最大 32 シングルエンド入力チャネルをサポート
    - 1.65V または 2.5V の構成可能な内部共有電圧リファレンス (VREF)
    - 外部電圧リファレンス (VREF) をサポート
    - ハードウェア オーバーサンプリングおよびアンダーサンプリング モード、累算、平均化、外れ値除去機能付き
  - アナログ コンパレータ サブシステム (CMPSS) ×4
    - ウィンドウ機能付きコンパレータ ×2
    - 実効 10 ビットの DAC ×2、デジタル フィルタ ×2
    - CMPSS[2:3] はバッファ付き DACL_OUT のピン出力をサポート
  - プログラマブル ゲイン アンプ (PGA) ×3
    - ユニティ ゲインのサポート
    - 反転および非反転ゲイン モードのサポート
    - ゲイン オプション: 1, 2/–1, 4/–3, 8/–7, 16/–15, 32/–31, 64/–63
    - 最大 12 チャネルをサポートする 4:1 入力マルチプレクサ
    - 出力フィルタ処理をプログラム可能
  - ADC、PGA、CMPSS、DAC 間のアナログ接続をプログラム可能
- 最適化された低消費電力モード
  - RUN: 225µA/MHz (CoreMark)
  - STANDBY: CPU 実行レジュームと 32kB SRAM 保持による 196µA
  - SHUTDOWN: <5µA (IO ウェークアップ機能あり)
- 柔軟なシステム ペリフェラル
  - 12 チャネルのダイレクト メモリ アクセス (DMA) コントローラ
  - ネスト型ベクタ割り込みコントローラ (NVIC)
  - 最大 107 個の GPIO、入出力 XBAR 接続機能付き
  - 8 個の GPIO、シャットダウン ウェークアップ機能付き
  - ウィンドウ付きウォッチドッグ タイマ (WWDT) ×1
    - プログラマブル デバイダによる独立した 32kHz クロック
    - タイマ期間を設定可能な 25 ビット カウンタ
  - 汎用タイマ ×2
    - TIMG4 (16 ビット)、TIMG12 (32 ビット)
    - プリスケーラ、比較 / キャプチャ、シャドウ
    - それぞれ最大 2 個のチャネル
- リアルタイム制御ペリフェラル
  - 5x マルチチャネル パルス幅変調器 (MCPWM) モジュール
    - 16 ビット タイム ベース付き、モジュールごとに 6 つの PWM チャネル
    - モジュールごとに 4 つの変換開始 (SOC) により、1 つのシャントまたは 3 つのシャント電流検出モードでの高精度 ADC サンプリングが可能
    - デッドバンド、トリップ イベント、タイム ベース同期をサポート
  - 拡張キャプチャ (eCAP) モジュール ×2
    - 速度、経過時間、周期、デューティ サイクル測定用の 32 ビット タイマ
    - モジュールごとに 1 つの代替 PWM チャネル
  - 拡張直交エンコーダ パルス (eQEP) ×3
    - リニアまたはロータリーのインクリメンタル エンコーダ インターフェイスをサポート

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

ADVANCE INFORMATION

    - 低速での速度測定を最適化するエッジ キャプチャ ユニット
  - デバイス クロスバー (INPUTXBAR、OUTPUTXBAR、PWMXBAR)
    - GPIO から他のモジュールへの信号取り回しが可能な柔軟性
    - たとえば、INPUTXBAR を使用して、GPIO から ADC、CMPSS、MCPWM、eCAP、eQEP などの他のモジュールや、外部割り込みへ信号を接続可能
- **拡張シリアル通信インターフェイス**
  - UART (LIN) または I^2C (SMBus/PMBus) をサポートする 2 つの構成可能シリアル インターフェイス
  - UART、I^2C、SPI をサポートする構成可能な 4 つのシリアル インターフェイス
  - フレキシブル データ レート (CAN FD) 対応のモジュラー コントローラ エリア ネットワーク (MCAN) ×1
- **クロック システム**
  - 内部 4MHz/32MHz 発振器 (SYSOSC)
  - 内部 32kHz 発振器 (LFOSC)
  - 最高 250MHz のシステムフェーズ ロック ループ (SYSPLL)
  - 外部 4MHz～25MHz 水晶発振器 (XTAL)
  - 外部 4MHz ～ 48MHz クロック入力 (HFCLK)
- **OS のサポート**
  - FreeRTOS、Zephyr、Baremetal
- **安全**
  - IEC61508 SIL-2 および SIL-3 システムに対応
- **セキュリティと暗号化**
  - セキュア ブート / FWU / デバッグ / JTAG ロック
  - セキュアなキー ストレージと管理
  - 特権 / 非特権リソースの分割
  - フラッシュ書き込み / 消去 / 非表示保護
  - デバイス ライフ サイクル管理
  - 128 または 256 ビットのキーによる AES 暗号化
  - 固有の識別番号 (UID)
- **内部診断モジュール**
  - 巡回冗長性検査 (CRC-16、CRC-32)
  - 温度センサ内蔵
  - BOR/POR 電源モニタ内蔵
- **開発サポート**
  - JTAG (4 ピン) およびシリアル ワイヤ デバッグ (SWD) (2 ピン)
  - マイクロ トレース バッファ (MTB)
  - 組込みトレース マクロセル (ETM) (TRACE_DATA[0:3])
    - シリアル トレースとパラレル トレースをサポート
- **パッケージ オプション**
  - 128 ピン PDT 薄型クワッド フラット パッケージ (TQFP) (0.4mm ピッチ)
  - 100 ピン PZ 低プロファイル クワッド フラット パック (LQFP) (0.5mm ピッチ)
  - 80 ピン PN 低プロファイル クワッド フラット パック (LQFP) (0.5mm ピッチ)
  - 64 ピン PM 低プロファイル クワッド フラット パック (LQFP) (0.5mm ピッチ)
  - 48 ピン PT 低プロファイル クワッド フラット パック (LQFP) (0.5mm ピッチ)
  - 48 ピン RGZ 超薄型クワッド フラットパック リードなし (VQFN) (0.5mm ピッチ)
- **動作特性**
  - 電源電圧：3.3V
  - 周囲温度範囲 (T_A)：-40°C～最高 125°C

2 アプリケーション

- デュアル モーター ドライブ + PFC (力率補正)
- 複数のモーター制御
- 3 相モーター
- 産業用ドライブ
- ファン / ポンプ ドライブ
- 電動工具
- HVAC
- エアコン室外機
- ロボット芝刈り機
- 洗濯機 / 乾燥機
- 冷蔵庫 / 冷凍庫
- AC インバータと VF ドライブ
- サーボ ドライブとステッパ ドライブ
- フィールド トランスミッタとセンサ
- ヒューマノイド (ヒト型ロボット) 向けモーター ドライブ
- ロボットの安全モジュール
- 協働ロボット向けサーボ ドライブ
- HVAC コントローラ
- HVAC (空調) モーター制御
- HVAC (空調) バルブおよびアクチュエータの制御
- エレベータ主制御パネル
- エレベータとエスカレータのモーター制御
- コードレス電動工具
- 電化製品
- 産業用オートメーション
- ロボット
- 医療/ヘルスケア
- ビル オートメーション
- 試験 / 測定

Copyright © 2026 Texas Instruments Incorporated

3 説明

AM13E230x マイコン (MCU) は、最大 250MHz または 200MHz の周波数で動作する Arm® Cortex®-M33 32 ビット CPU をベースとした、AM13x 高集積・低コスト 32 ビット マイコン ファミリの一製品です。これらのリアルタイム制御向けに最適化された マイコンは、高性能アナログ、制御、およびデジタルなペリフェラルの統合を提供し、–40°C ～ 125°C の周囲温度範囲をサポートし、3.3V 電源で動作します。

AM13E230x マイコンは、誤り訂正コード (ECC) 内蔵最大 512KB の組込みフラッシュ プログラム メモリ (最大 256KB × 2 バンク) と、ハードウェア パリティ付き最大 128KB の SRAM を搭載しています。より小さなメモリ構成のバリアントも用意されています。

この処理システムには、カスタム データパス拡張機能 (CDE) のサポート、メモリ保護ユニット (MPU)、マイクロ トレース バッファ (MTB)、32 ビットの三角関数演算ユニット (TMU)、TinyEngine™ ニューラルネットワーク処理ユニット (NPU) が組み込まれています。

AM13E230x マイコンは、堅牢で高性能のアナログ ペリフェラルを備えています。最大 7.81MSPS のサンプリング レートを持つ 3 つの 12 ビット ADC、10 ビット リファレンス DAC を内蔵した 4 つの高速コンパレータ サブシステム、4:1 マルチプレクサ付きの 3 つのプログラマブル ゲイン アンプにより、真のリアルタイム信号チェーン性能を実現します。

さらに、これらの マイコンは 12 チャネル DMA コントローラ、マルチチャネル PWM 生成、汎用タイマ、キャプチャおよびエンコーダ インターフェイス用の専用タイマ、GPIO および制御ペリフェラルを接続する柔軟な X-BAR システムなど、リアルタイム制御およびタイミング ペリフェラルも備えています。

独立した発振器とウィンドウ付きウォッチドッグ タイマを搭載しているだけでなく、内部および外部の複数のクロック オプションも用意しています。複数の動作電力モードが用意されており、消費電力とウェークアップ時間のバランスを柔軟に制御できます。

データ整合性と暗号化機能 (AES、セキュア ブート) により、AM13E230x ドメイン全体のセキュリティが確保されます。巡回冗長性検査 (CRC) モジュールは、AM13E230x マイコンに内部診断機能を提供します。

拡張通信インターフェイスは、1 つの MCAN と最大 6 つの UNICOMM ペリフェラルによりサポートされ、UART/LIN、I2C/SMBUS、SPI の組み合わせをサポートしています。外部デバイスまたはメモリに接続するために、高速外部ペリフェラル インターフェイス (EPI) を SDRAM または FPGA や ASIC などの非同期 RAM デバイスに接続できます。

パッケージには、48 ピン QFN のほか、48/64/80/100/128 ピン QFP があります。すべてのパッケージは、-40°C ～ 125°C の周囲温度範囲において 250MHz での動作をサポートします。同じ温度範囲内において 200MHz での動作をサポートする追加パッケージも利用できます。発注用部品型番 (OPN) の詳細については、「メカニカル、パッケージ、および注文情報」セクションを参照してください。

パッケージ情報

部品番号 (1)	パッケージ (2)	パッケージ サイズ (3)	本体サイズ (公称)	ピッチ
AM13E23019	PDT (TQFP、128)	16mm × 16mm	14mm × 14mm	0.4mm
	PZ (LQFP、100)	16mm × 16mm	14mm × 14mm	0.5mm
	PN (LQFP、80)	14mm × 14mm	12mm × 12mm	0.5mm
	PM (LQFP、64)	12mm × 12mm	10mm × 10mm	0.5mm
	PT (LQFP、48)	9mm × 9mm	7mm × 7mm	0.5mm
	RGZ (VQFN、48)	7mm × 7mm	7mm × 7mm	0.5mm
AM13E23018	PDT (TQFP、128)	16mm × 16mm	14mm × 14mm	0.4mm
	PZ (LQFP、100)	16mm × 16mm	14mm × 14mm	0.5mm
	PN (LQFP、80)	14mm × 14mm	12mm × 12mm	0.5mm
	PM (LQFP、64)	12mm × 12mm	10mm × 10mm	0.5mm
	PT (LQFP、48)	9mm × 9mm	7mm × 7mm	0.5mm
	RGZ (VQFN、48)	7mm × 7mm	7mm × 7mm	0.5mm

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

パッケージ情報 (続き)

部品番号 (1)	パッケージ (2)	パッケージ サイズ (3)	本体サイズ (公称)	ピッチ
AM13E23017	PDT (TQFP、128)	16mm × 16mm	14mm × 14mm	0.4mm
	PZ (LQFP、100)	16mm × 16mm	14mm × 14mm	0.5mm
	PN (LQFP、80)	14mm × 14mm	12mm × 12mm	0.5mm
	PM (LQFP、64)	12mm × 12mm	10mm × 10mm	0.5mm
	PT (LQFP、48)	9mm × 9mm	7mm × 7mm	0.5mm
	RGZ (VQFN、48)	7mm × 7mm	7mm × 7mm	0.5mm

1. 発注用部品型番については、「メカニカル、パッケージ、および注文情報」を参照してください。
2. 詳細については、「メカニカル、パッケージ、および注文情報」セクションを参照してください。
3. パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

3.1 機能ブロック図

図 3-1 に、AM13E230x の機能ブロック図を示します。

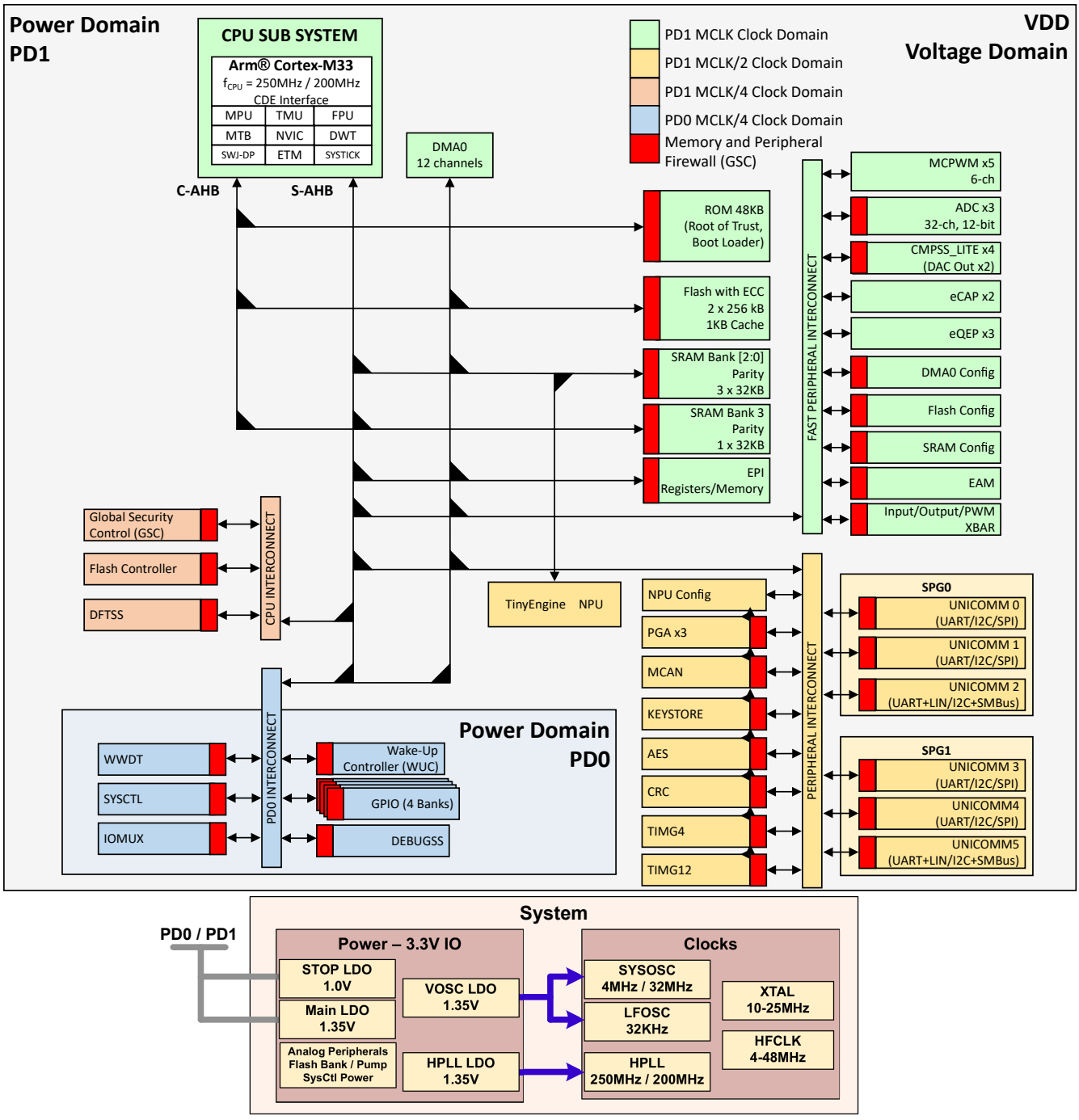


図 3-1. AM13E230x の機能ブロック図

ADVANCE INFORMATION

ADVANCE INFORMATION

目次

1 特長 ... 1
2 アプリケーション ... 2
3 説明 ... 3
3.1 機能ブロック図 ... 5
4 デバイスの比較 ... 7
5 端子構成および機能 ... 9
5.1 ピン配置図 ... 9
デバイスのパッケージ オプション ... 9
5.2 AM13E230x ピン配置図 ... 10
5.3 ピン属性 ... 17
5.4 信号の説明 ... 61
5.5 ピン接続要件 ... 88
6 仕様 ... 89
6.1 絶対最大定格 ... 89
6.2 ESD 定格 - 民生用 ... 89
6.3 推奨動作条件 ... 90
6.4 電源電流特性 ... 91
6.5 電気的特性 ... 95
6.6 デジタル IO ... 96
6.7 熱に関する情報 ... 97
6.8 システム ... 98
6.9 アナログ ペリフェラル ... 108
6.10 制御ペリフェラル ... 122
6.11 通信ペリフェラル ... 130
6.12 外部ペリフェラル インターフェイス (EPI) ... 142
6.13 エミュレーションおよびデバッグ ... 148
7 詳細説明 ... 150
7.1 概要 ... 150
7.2 メモリ ... 151
7.3 識別 ... 154
7.4 Arm® Cortex®-M33 CPU ... 154
7.5 TinyEngine™ ニューラルネットワーク処理ユニット (NPU) ... 156
7.6 DMA ... 156
7.7 エラー アグリゲータ モジュール (EAM) ... 156
7.8 パワー マネージメントおよびクロック ユニット (PMCU) ... 157
7.9 IOMUX ... 161
7.10 シリアル ワイヤ デバッグ インターフェイス ... 163
7.11 ブートストラップ ローダ (BSL) ... 163
7.12 セキュリティ ... 165
7.13 タイマ (TIMx) ... 166
7.14 WWDT ... 166
8 アプリケーション、実装、およびレイアウト ... 168
8.1 JTAG およびトレース ... 168
8.2 回路図 ... 168
8.3 代表的なアプリケーション ... 169
9 デバイスおよびドキュメントのサポート ... 170
9.1 サード・パーティ製品に関する免責事項 ... 170
9.2 デバイスの命名規則 ... 170
9.3 マーキング ... 172
9.4 ツールとソフトウェア ... 173
9.5 ドキュメントのサポート ... 174
9.6 サポート・リソース ... 175
9.7 商標 ... 175
9.8 静電気放電に関する注意事項 ... 175
9.9 用語集 ... 175
10 改訂履歴 ... 175
11 メカニカル、パッケージ、および注文情報 ... 176

Copyright © 2026 Texas Instruments Incorporated

4 デバイスの比較

表 4-1 に、AM13E230x マイコンの機能を示します。

表 4-1. デバイスの比較

特長		AM13E23019	AM13E23018	AM13E23017
プロセッサおよびアクセラレータ				
Arm® Cortex®-M33	CPU コア周波数	250MHz/200MHz		
	カスタム データパス拡張機能 (CDE)	あり		
	メモリ保護ユニット (MPU)	あり		
	マイクロ トレース バッファ (MTB)	あり		
	三角関数演算ユニット (TMU)	あり		
TinyEngine™ ニューラルネットワーク処理ユニット (NPU)		あり		
メモリ				
フラッシュ - 誤り訂正コード (ECC) 付き		512KB	256KB	128KB
SRAM - HW パリティ付き		128KB	128KB	64KB
セキュリティ機能		JTAGLOCK、セキュア ブート		
巡回冗長性検査 (CRC)		CRC-16/CRC-32		
システム				
ダイレクト メモリ アクセス(DMA)コントローラ		1 x 12 チャネル		
16 ビット汎用タイマ (TIMG4)		1		
32 ビット汎用タイマ (TIMG12)		1		
ウィンドウ付きウォッチドッグ タイマ (WWDT)		1		
内部 4MHz/32MHz 発振器 (SYSOSC)		1		
200MHz / 250MHz までのフェーズ ロック ループ (SYSPLL)		1		
内部 32kHz 発振器 (LFOSC)		1		
水晶発振器 (HFXT) / 外部クロック (HFCLK) 入力		1		
内部 3.3V - 1.35V LDO		あり		
汎用入出力 (GPIO)		最大 107 (パッケージに依存)		
アナログ ペリフェラル				
A/D コンバータ (ADC)	ADC	3		
	ビット	12 ビット ADC		
	ADC チャネル	最大 32 チャネル		
温度センサ		1		
アナログ入力マルチプレクサ搭載プログラマブル ゲイン アンプ (PGA)		3		
コンパレータ・サブシステム (CMPSS)	CMPSS (それぞれ 2 個の 11 ビット DAC + 2 個のデジタル フィルタを含む)	4		
	DACL バッファ付き出力	2		
制御ペリフェラル				
モーター制御パルス幅変調 (MCPWM)		5 (6 チャネル)		
拡張キャプチャ モジュール (eCAP)		2		
拡張直交エンコーダ パルス モジュール (eQEP)		3		

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 4-1. デバイスの比較 (続き)

特長			AM13E23019	AM13E23018	AM13E23017
通信ペリフェラル					
UNICOMM	SPGSS0	UART	最大 3 つ (2 つの UART、1 つの UART+LIN)		
		I^2C	最大 3 つ (2 つの I^2C、1 つの I^2C+SMBUS)		
		SPI	最大 2		
	SPGSS1	UART	最大 3 つ (2 つの UART、1 つの UART+LIN)		
		I^2C	最大 3 つ (2 つの I^2C、1 つの I^2C+SMBUS)		
		SPI	最大 2		
モジュラー・コントローラ・エリア・ネットワーク (MCAN)			1 個 (CAN/CAN-FD)		
高速ペリフェラル					
外部ペリフェラル インターフェイス (EPI)			1		
パッケージ、温度、認定オプション					
接合部温度 (T_J)			–40°C ～ 140°C		
周囲温度 (T_A)			–40°C ～ 125°C		

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

5 端子構成および機能

5.1 ピン配置図

注

「ボール」、「ピン」、「端子」という用語は、ドキュメント全体で同じ意味で使用されています。物理的なパッケージに言及する場合にのみ「ボール」が使用されています。

このセクションの図を、その他の「端子構成および機能」表と組み合わせて使用することで、信号名とボール グリッド番号を特定できます。この文書の HTML 版では、ボールの上にカーソルを置くと、追加情報が表示されます。各パッケージ オプションの完全なピン構成および機能については、「ピン属性」セクションおよび「信号の説明」セクションを参照してください。

デバイスのパッケージ オプション

パッケージ	タイプ	サイズ	ピッチ	ピンのレイアウト	アナログ IO	デジタル IO	ピン数 (合計)
LQFP128	PDT (TQFP)	14x14mm^2	0.4mm	32x32	44	107	128 ピン
LQFP100_G	PZ (LQFP)	14x14mm^2	0.5mm	25x25	44	86	100 ピン
LQFP100_H	PZ (LQFP)	14x14mm^2	0.5mm	25x25	43	85	100 ピン
LQFP80	PN (LQFP)	12x12mm^2	0.5mm	20x20	39	66	80 ピン
LQFP64_G	PM (LQFP)	10x10mm^2	0.5mm	16x16	27	52	64 ピン
LQFP64_H	PM (LQFP)	10x10mm^2	0.5mm	16x16	26	52	64 ピン
LQFP48	PT (LQFP)	9x9mm^2	0.5mm	12x12	21	38	48 ピン
QFN48	RGZ (VQFN)	7x7mm^2	0.5mm	12x12	22	42	48 ピン (PWRPAD)

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

5.2 AM13E230x ピン配置図

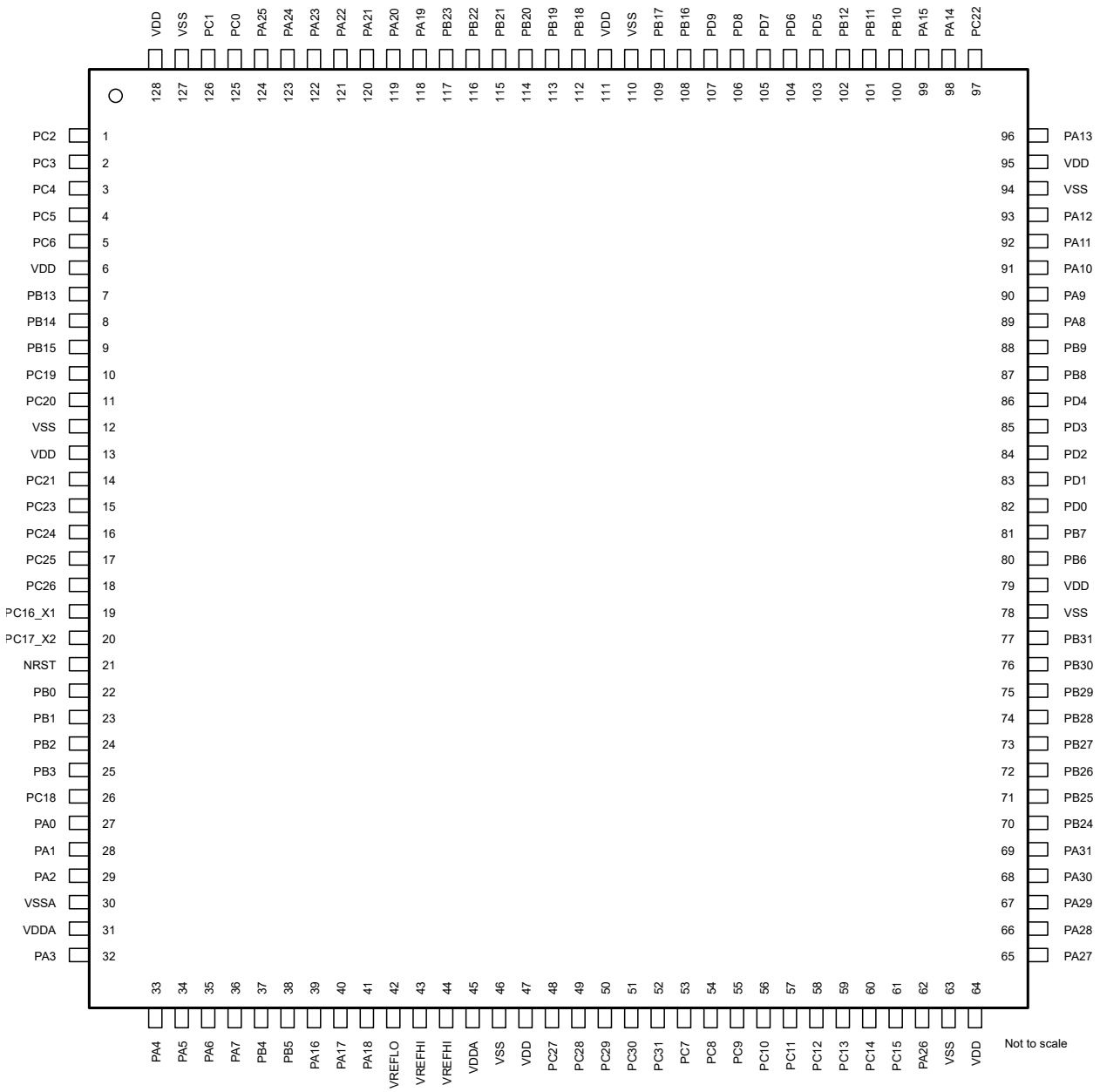


図 5-1. LQFP128 (PDT) パッケージ

Copyright © 2026 Texas Instruments Incorporated

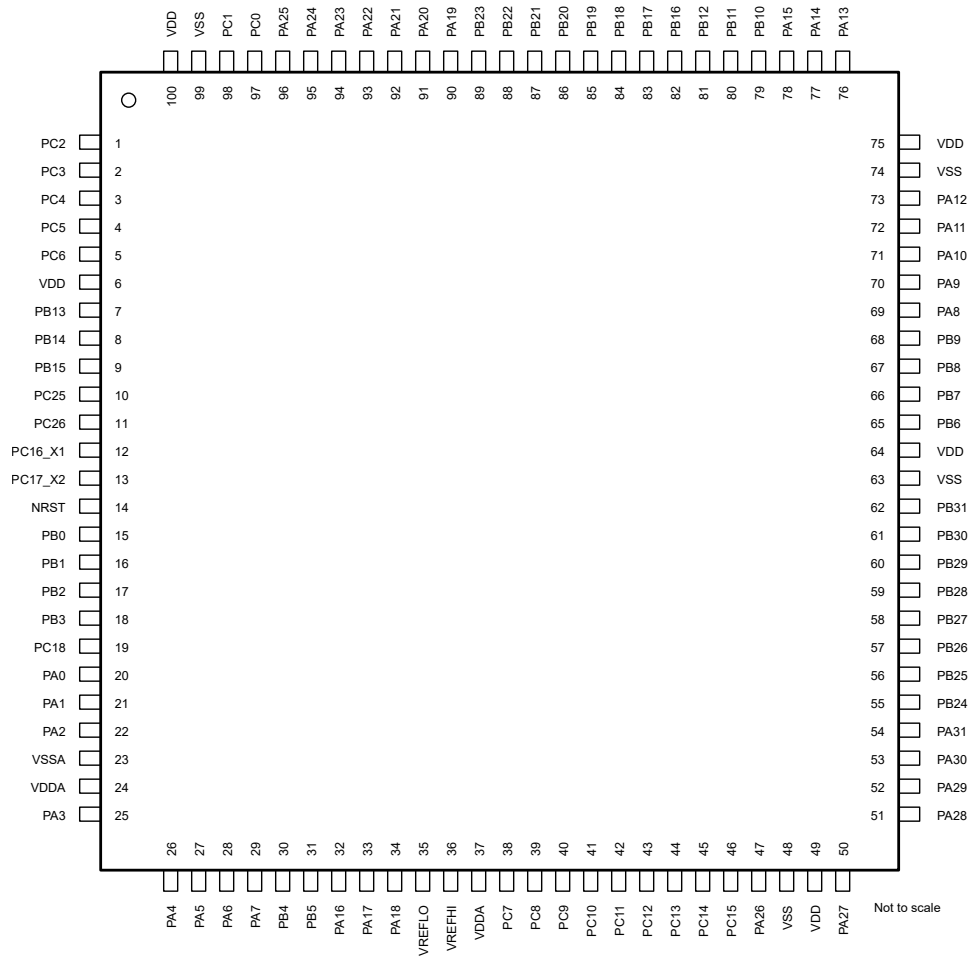


図 5-2. LQFP100_G (PZ) パッケージ

ADVANCE INFORMATION

ADVANCE INFORMATION

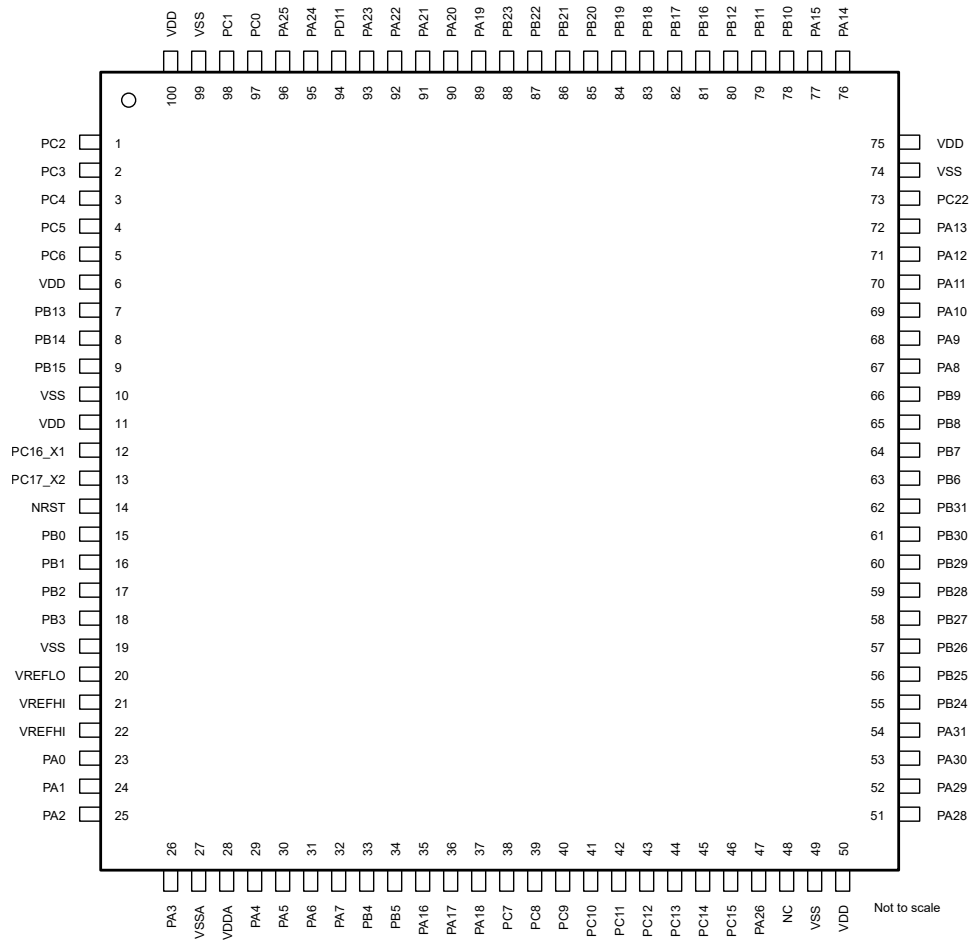


図 5-3. LQFP100_H (PZ) パッケージ

Copyright © 2026 Texas Instruments Incorporated

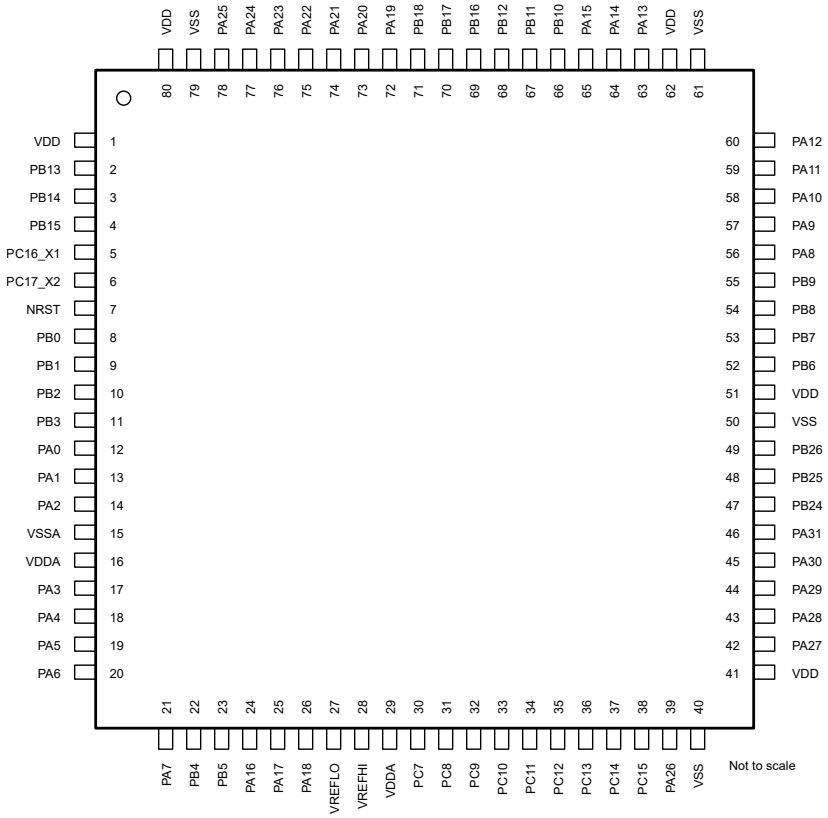


図 5-4. LQFP80 (PN) パッケージ

ADVANCE INFORMATION

ADVANCE INFORMATION

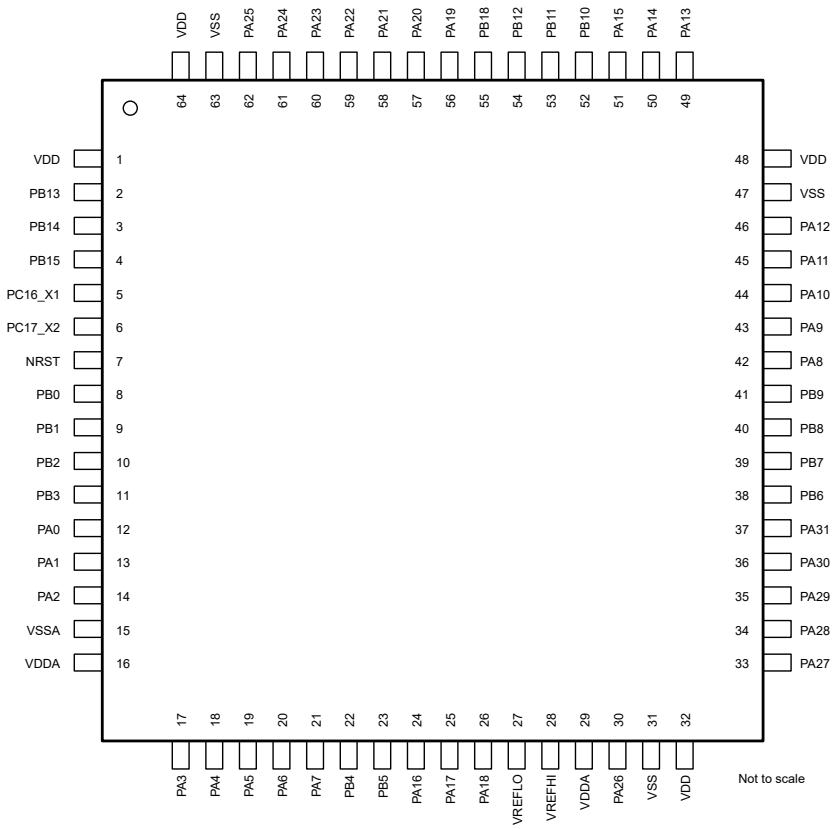


図 5-5. LQFP64_G (PM) パッケージ

Copyright © 2026 Texas Instruments Incorporated

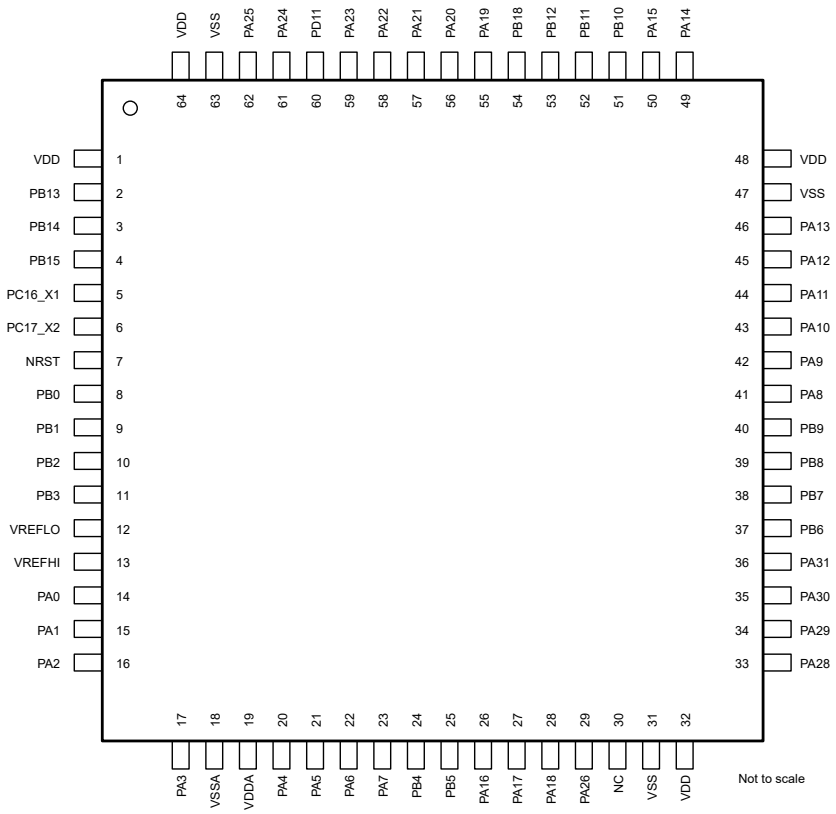


図 5-6. LQFP64_H (PM) パッケージ

ADVANCE INFORMATION

ADVANCE INFORMATION

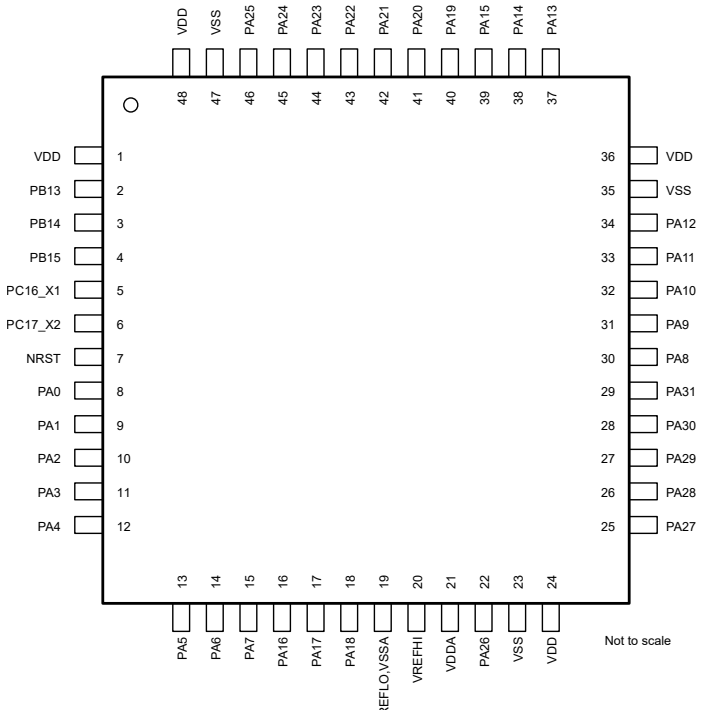


図 5-7. LQFP48 (PT) パッケージ

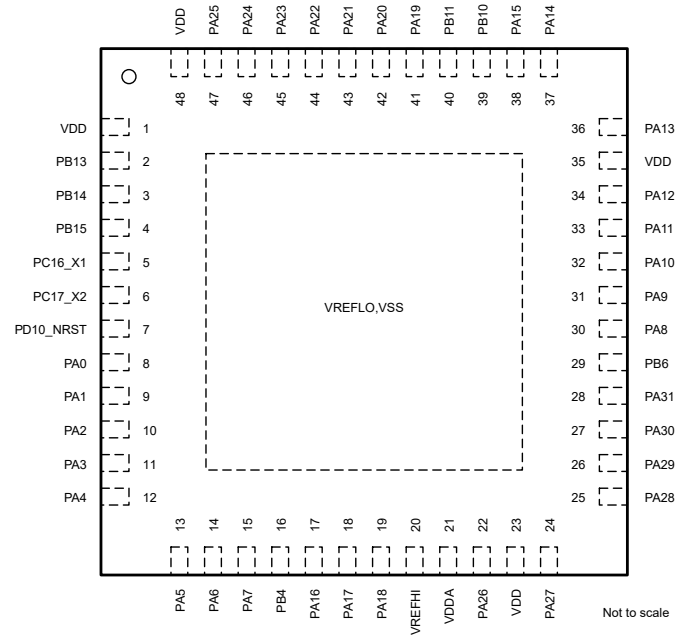


図 5-8. QFN48 (RGZ) パッケージ

Copyright © 2026 Texas Instruments Incorporated

5.3 ピン属性

次の表に、各デバイス パッケージの各ピンで利用可能な機能を示します。

注

デバイス上の各デジタル I/O は、専用のピン制御管理レジスタ (PINCMx) に割り当てられており、ユーザーが PINCM.PF 制御ビットを使って必要なピン機能 を設定できます IOMUX は、IOMUX による 1 つのデジタル機能をピンに同時に接続することのみをサポートしています。IOMUX 以外の管理機能 (アナログ接続など) をピンで使うことを想定している場合、IOMUX の PINCM.PF と PINCM.PC を 0 に設定することをお勧めします。ただし、IOMUX 非管理信号 (アナログ入力、WAKE 入力など) は、IOMUX 管理対象のデジタル機能がピン上で有効化されると同時に、機能間に競合がない限り、ピン上で有効化できます。この場合、各ピンでイネーブルされる機能間に競合がないことを設計者が確認する必要があります。

表 5-1. IO タイプ別のデジタル IO 機能

IO タイプ	反転制御	駆動能力制御	プルアップ抵抗	プルダウン抵抗	ウェークアップ ロジック
SD (標準ドライブ IO)	Y		Y	Y	
リーケージの小さい SDL (標準ドライブ IO)	Y		Y	Y	
ウェークアップ付きの SDW (標準ドライブ IO)	Y		Y	Y	Y
HS (高速 IO)	Y	Y	Y	Y	

5.3.1 ピン属性のヘッダー リスト

次のリストは、「ピン属性」表の各列の内容についての説明です。

1. **ボール番号:** ボール グリッド アレイ パッケージの各端子に割り当てられたボール番号。
2. **ボール名:** ボール グリッド アレイ パッケージの各端子に割り当てられたボール名 (通常はプライマリ MUXMODE 0 信号機能からつけた名前)。
3. **信号名:** ボールに関連するすべての専用およびピン多重化信号機能の信号名。

注

「ピン属性」表は、ピンに実装される SoC ピン多重化信号機能を定義しており、デバイス サブシステムに実装される信号機能の 2 次多重化は定義**していません**。信号機能の 2 次多重化については、この表では説明しません。2 次多重化信号機能の詳細については、デバイスのテクニカル リファレンス マニュアルで該当するペリフェラルの章を参照してください。

4. **MUX モード:** 各ピンの多重化信号機能に関連付けられた MUXMODE 値:
   - MUXMODE 0 は、プライマリ ピンの多重化信号機能です。ただし、プライマリ ピンの多重化信号機能は、必ずしもデフォルトのピン多重化信号機能とは限りません。
   - ピン多重化信号機能には、MUXMODE の値 1～15 を使用できます。ただし、すべての MUXMODE 値が実装されているわけではありません。有効な MUXMODE 値は、「ピン属性」表でピン多重化された信号機能として定義された値のみです。MUXMODE に定義された有効な値のみを使用できます。
   - 空欄または「-」は、該当しないことを意味します。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

注

- 「リセット後の MUX モード」列の値は、PORz がデアサートされたときに選択されるデフォルトのピン多重化信号機能を定義します。
- 同じピン多重化信号機能に 2 つのピンを構成すると、予期しない結果が生じる可能性があるため、この構成はサポートされていません。これは、正しいソフトウェア構成によって防止できます。
- パッドを未定義の多重化モードに構成すると、未定義の動作が生じるため、このような構成は避ける必要があります。

5. **パッド構成レジスタ名 :** デバイスのパッド / ピン構成レジスタの名前です。
6. **パッド構成レジスタのアドレス:** これは、デバイスのパッド / ピン構成レジスタのメモリ アドレスです。
7. **パッド構成レジスタのデフォルト値**:PORz がデアサートされた後の、レジスタ デバイスのパッド / ピン構成レジスタのデフォルト値です。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
		48			30			NC		NC	0	NC
21	14	14	7	7	7	7	7	NRST IOMUX_PD10_NRST 0x400C_C1A8		NRST	0	RST
27	20	23	12	12	14	8	8	PA0 IOMUX_PA0 0x400C_C000	SDW	ANALOG_AIN6	A	A
										A0_1	AMUX0	A
										切断	0	該当なし
										GPIO00	1	IO
										A1_1	AMUX1	A
										CMP0_HN0	AMUX2	A
										MCPWM4_1A	2	O
										MCPWM3_1A	3	O
										CMP2_HP0_LP0	AMUX3	A
										TIMG12_0_CCP0	4	IO
										TIMG4_0_CCP0	5	IO
										UC5_RX_SCL	6	IO
										UC4_TX_SDA_PICO	7	O
										UC1_CTS_CS0	8	IO
										UC1_TX_SDA_PICO	9	O
										MCPWM4_2A	10	O
										UC2_RX_SCL	11	IO
										UC0_CTS_CS0	13	IO
										OUTPUTXBAR8	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
28	21	24	13	13	15	9	9	PA1 IOMUX_PA1 0x400C_C004	SDL	*切断*	0	該当なし
										A0_2	AMUX0	A
										ANALOG_AIN7	A	A
										A1_2	AMUX1	A
										GPIO01	1	IO
										MCPWM4_1B	2	O
										CMP0_HP1_LP1	AMUX2	A
										PGA0_P1	AMUX3	A
										MCPWM3_2A	3	O
										PGA1_M0	AMUX4	A
										TIMG12_0_CCP1	4	IO
										TIMG4_0_CCP1	5	IO
										PGA2_P2	AMUX5	A
										UC5_TX_SDA	6	O
										UC4_RX_SCL_SCLK	7	IO
										UC1_RTS_POCI	8	O
										UC1_RX_SCL_SCLK	9	IO
										MCPWM3_1B	10	O
										UC2_TX_SDA	11	O
										MCPWM4_2B	12	O
										UC0_RTS_POCI	13	O
										OUTPUTXBAR4	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
29	22	25	14	14	16	10	10	PA2 IOMUX_PA2 0x400C_C008	SDW	A0_3	AMUX0	A
										切断	0	該当なし
										ANALOG_AIN8	A	A
										A2_25	AMUX1	A
										GPIO02	1	IO
										MCPWM4_2A	2	O
										CMP1_HN0	AMUX2	A
										PGA0_OUT	AMUX3	A
										MCPWM3_1B	3	O
										MCPWM3_3A	4	O
										MCPWM4_3A	5	O
										MCPWM4_2B	6	O
										UC1_TX_SDA_PICO	8	O
										MCPWM3_1A	10	O
										UC0_TX_SDA_PICO	13	O
										OUTPUTXBAR5	16	O
32	25	26	17	17	17	11	11	PA3 IOMUX_PA3 0x400C_C00C	SDL	A0_4	AMUX0	A
										切断	0	該当なし
										ANALOG_AIN9	A	A
										A2_21	AMUX1	A
										GPIO03	1	IO
										SYSCTL_HFCLKIN	2	A
										CMP1_HP0_LP0	AMUX2	A
										PGA0_M0	AMUX3	A
										MCPWM3_2B	3	O
										PGA0_P2	AMUX4	A
										TIMG4_0_CCP0	4	IO
										TIMG12_0_CCP0	5	IO
										PGA2_M0	AMUX5	A
										MCPWM3_3B	6	O
										MCPWM4_2B	7	O
										UC1_RX_SCL_SCLK	8	IO
										MCPWM3_2A	10	O
										UC0_RX_SCL_SCLK	13	IO
										OUTPUTXBAR6	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
33	26	29	18	18	20	12	12	PA4 IOMUX_PA4 0x400C_C010	SDL	ANALOG_AIN10	A	A
										A1_17	AMUX0	A
										切断	0	該当なし
										GPIO04	1	IO
										A2_18	AMUX1	A
										CMP2_DACL	AMUX2	A
										SYSCTL_XCLKOUT	2	O
										MCPWM4_3B	3	O
										CMP0_HN1	AMUX3	A
										TIMG4_0_CCP1	4	IO
										INTERNAL_TESTANA0	AMUX4	内部/A
										TIMG12_0_CCP1	5	IO
										UC0_RTS_POCI	6	O
										UC2_RTS	7	O
										UC3_RTS_POCI	9	O
										UC5_RTS	11	O
										OUTPUTXBAR6	16	O
34	27	30	19	19	21	13	13	PA5 IOMUX_PA5 0x400C_C014	SDL	A1_13	AMUX0	A
										ANALOG_AIN11	A	A
										切断	0	該当なし
										A2_19	AMUX1	A
										GPIO05	1	IO
										MCPWM4_1A	2	O
										CMP1_HN1	AMUX2	A
										PGA1_M1	AMUX3	A
										MCPWM2_1B	3	O
										INTERNAL_TESTANA1	AMUX4	内部/A
										MCPWM3_1B	4	O
										UC0_RX_SCL_SCLK	6	IO
										UC3_RX_SCL_SCLK	9	IO
										OUTPUTXBAR7	16	O

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
35	28	31	20	20	22	14	14	PA6 IOMUX_PA6 0x400C_C018	SDL	ANALOG_AIN12	A	A
										A0_17	AMUX0	A
										切断	0	該当なし
										GPIO06	1	IO
										A1_3	AMUX1	A
										A2_26	AMUX2	A
										MCPWM3_1A	2	O
										MCPWM3_3A	3	O
										CMP3_DACL	AMUX3	A
										MCPWM4_2A	4	O
										PGA1_OUT	AMUX4	A
										ADCCAL_ADCINCAL0	AMUX5	A
										UC0_CTS_CS0	6	IO
										UC3_CTS_CS0	9	IO
										UC3_RTS_POCI	11	O
										UC0_RTS_POCI	13	O
										OUTPUTXBAR8	16	O
36	29	32	21	21	23	15	15	PA7 IOMUX_PA7 0x400C_C01C	SDL	A1_4	AMUX0	A
										切断	0	該当なし
										ANALOG_AIN13	A	A
										A2_22	AMUX1	A
										GPIO07	1	IO
										MCPWM3_3A	2	O
										CMP1_HP1_LP1	AMUX2	A
										PGA0_P3	AMUX3	A
										MCPWM3_3B	3	O
										PGA1_P1	AMUX4	A
										MCPWM4_1A	4	O
										MCPWM1_1B	5	O
										UC0_TX_SDA_PICO	6	O
										MCPWM0_1B	7	O
										MCPWM4_1B	8	O
										UC3_TX_SDA_PICO	9	O
										MCPWM4_3A	10	O
										MCPWM4_2B	11	O
										OUTPUTXBAR1	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
89	69	67	56	42	41	30	30	PA8 IOMUX_PA8 0x400C_C020	SDL	*切断*	0	該当なし
										ANALOG_AIN42	A	A
										A1_18	AMUX0	A
										GPIO08	1	IO
										UC0_RX_SCL_SCLK	3	IO
										UC1_TX_SDA_PICO	5	O
										MCPWM4_1A	6	O
										MCPWM0_1A	7	O
										UC3_RX_SCL_SCLK	9	IO
										UC4_TX_SDA_PICO	10	O
										MCAN0_TX	12	O
										MCPWM3_1A	14	O
										MCPWM4_2A	15	O
										OUTPUTXBAR3	16	O
90	70	68	57	43	42	31	31	PA9 IOMUX_PA9 0x400C_C024	SDL	*切断*	0	該当なし
										A1_19	AMUX0	A
										ANALOG_AIN43	A	A
										GPIO09	1	IO
										UC1_RX_SCL_SCLK	5	IO
										UC4_RX_SCL_SCLK	6	IO
										MCPWM0_2A	7	O
										UC0_TX_SDA_PICO	8	O
										UC5_RTS	9	O
										UC4_TX_SDA_PICO	10	O
										MCPWM4_2A	11	O
										UC2_RTS	12	O
										MCPWM3_3A	13	O
										MCPWM3_1B	14	O
										MCPWM4_2B	15	O
										OUTPUTXBAR4	16	O

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
91	71	69	58	44	43	32	32	PA10 IOMUX_PA10 0x400C_C028	SDL	*切断*	0	該当なし
										GPIO10	1	IO
										MCPWM4_3A	4	O
										UC4_TX_SDA_PICO	5	O
										UC1_TX_SDA_PICO	6	O
										MCPWM0_3A	7	O
										UC0_RX_SCL_SCLK	8	IO
										UC5_RX_SCL	9	IO
										UC4_RX_SCL_SCLK	10	IO
										MCPWM4_2B	11	O
										UC2_RX_SCL	12	IO
										MCPWM3_3B	13	O
										MCPWM3_2A	14	O
										OUTPUTXBAR8	16	O
92	72	70	59	45	44	33	33	PA11 IOMUX_PA11 0x400C_C02C	SDL	*切断*	0	該当なし
										GPIO11	1	IO
										MCPWM4_2A	2	O
										UC3_CTS_CS0	3	IO
										UC2_TX_SDA	4	O
										UC4_CTS_CS0	5	IO
										UC1_CTS_CS0	6	IO
										MCPWM0_1B	7	O
										UC0_CTS_CS0	8	IO
										UC5_TX_SDA	9	O
										MCAN0_RX	10	I
										MCPWM2_2A	11	O
										MCPWM0_1A	12	O
										MCPWM4_1B	13	O
										MCPWM3_2B	14	O
										MCPWM4_1A	15	O
										OUTPUTXBAR5	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
93	73	71	60	46	45	34	34	PA12 IOMUX_PA12 0x400C_C030	HS	*切断*	0	該当なし
										GPIO12	1	IO
										MCPWM3_1A	2	O
										MCPWM4_2A	3	O
										MCPWM3_2B	6	O
										MCPWM0_2B	7	O
										UC0_RTS_POCI	8	O
										UC3_RTS_POCI	9	O
										MCAN0_TX	10	O
										MCPWM2_2B	11	O
										MCPWM0_1B	12	O
										MCPWM4_2B	13	O
										MCPWM3_3B	14	O
										MCPWM4_1B	15	O
										OUTPUTXBAR6	16	O
96	76	72	63	49	46	37	36	PA13 IOMUX_PA13 0x400C_C034	SDL	*切断*	0	該当なし
										GPIO13	1	IO
										DEBUG_TMS_SWDIO	2	IO
										MCPWM3_1B	3	O
										MCPWM4_2B	4	O
										UC0_RX_SCL_SCLK	5	IO
										UC3_RX_SCL_SCLK	6	IO
										UC0_CTS_CS0	8	IO
										SYSCTL_FCC_IN	9	I
										UC3_CTS_CS0	10	IO
										MCPWM2_3A	11	O
										MCPWM3_3A	12	O
										MCPWM4_3A	13	O
										OUTPUTXBAR7	16	O

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
98	77	76	64	50	49	38	37	PA14 IOMUX_PA14 0x400C_C038	SDL	*切断*	0	該当なし
										GPIO14	1	IO
										DEBUG_JTCK_SWCLK	2	IO
										UC0_TX_SDA_PICO	5	O
										MCPWM1_2A	6	O
										MCPWM3_3A	7	O
										UC1_TX_SDA_PICO	8	O
										UC2_CTS	9	O
										UC5_CTS	10	O
										OUTPUTXBAR8	16	O
99	78	77	65	51	50	39	38	PA15 IOMUX_PA15 0x400C_C03C	HS	*切断*	0	該当なし
										GPIO15	1	IO
										DEBUG_JTDI	2	I
										MCPWM3_1A	3	O
										MCPWM1_1A	4	O
										UC0_RX_SCL_SCLK	5	IO
										UC0_RTS_POCI	6	O
										UC3_RTS_POCI	7	O
										UC1_RX_SCL_SCLK	8	IO
										UC2_RTS	9	O
										UC5_RTS	10	O
										MCPWM4_2A	11	O
										MCAN0_RX	12	I
										OUTPUTXBAR1	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
39	32	35	24	24	26	16	17	PA16 IOMUX_PA16 0x400C_C040	SDL	ANALOG_AIN16	A	A
										切断	0	該当なし
										A0_15	AMUX0	A
										GPIO16	1	IO
										A2_12	AMUX1	A
										CMP3_HP1_LP1	AMUX2	A
										MCPWM4_1A	3	O
										PGA1_P2	AMUX3	A
										MCPWM4_3B	4	O
										PGA2_P3	AMUX4	A
										MCPWM1_2B	5	O
										MCPWM4_2B	6	O
										MCPWM0_2B	7	O
										MCPWM3_3B	8	O
										SYSCTL_FCC_IN	9	I
										OUTPUTXBAR1	16	O
40	33	36	25	25	27	17	18	PA17 IOMUX_PA17 0x400C_C044	SDL	ANALOG_AIN17	A	A
										A0_12	AMUX0	A
										切断	0	該当なし
										GPIO17	1	IO
										A2_1	AMUX1	A
										CMP0_HP0_LP0	AMUX2	A
										MCPWM4_1B	3	O
										PGA1_M3	AMUX3	A
										MCPWM2_1B	4	O
										PGA2_OUT	AMUX4	A
										MCPWM1_3B	5	O
										MCPWM4_3B	6	O
										MCPWM0_3B	7	O
										MCPWM3_1B	8	O
										UC3_RTS_POCI	11	O
										UC0_RTS_POCI	13	O
										OUTPUTXBAR2	16	O

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
41	34	37	26	26	28	18	19	PA18 IOMUX_PA18 0x400C_C048	SDL	A1_12	AMUX0	A
										切断	0	該当なし
										ANALOG_AIN18	A	A
										CMP3_HN0_LN0	AMUX1	A
										GPIO18	1	IO
										PGA2_M1	AMUX2	A
										MCPWM3_1A	3	O
										MCPWM2_1A	4	O
										MCPWM4_2A	5	O
										OUTPUTXBAR3	16	O
118	90	89	72	56	55	40	41	PA19 IOMUX_PA19 0x400C_C04C	HS	*切断*	0	該当なし
										GPIO19	1	IO
										DEBUG_JTDO_SWO	2	O
										MCPWM4_1B	3	O
										MCPWM4_2B	4	O
										MCPWM1_1B	5	O
										UC0_RX_SCL_SCLK	6	IO
										UC3_RX_SCL_SCLK	7	IO
										UC1_TX_SDA_PICO	8	O
										UC3_TX_SDA_PICO	9	O
										MCAN0_RX	12	I
										OUTPUTXBAR2	16	O
119	91	90	73	57	56	41	42	PA20 IOMUX_PA20 0x400C_C050	SDL	*切断*	0	該当なし
										GPIO20	1	IO
										MCPWM4_2A	2	O
										MCPWM3_1A	3	O
										MCPWM4_3A	4	O
										MCPWM1_2B	5	O
										UC0_CTS_CS0	6	IO
										UC3_CTS_CS0	7	IO
										UC1_RX_SCL_SCLK	8	IO
										UC3_RTS_POCI	9	O
										UC4_RX_SCL_SCLK	10	IO
										UC0_RTS_POCI	11	O
										MCAN0_TX	12	O
										MCPWM4_3B	13	O
										OUTPUTXBAR3	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
120	92	91	74	58	57	42	43	PA21 IOMUX_PA21 0x400C_C054	SDL	*切断*	0	該当なし
										GPIO21	1	IO
										MCPWM4_3B	3	O
										MCPWM1_3B	4	O
										MCPWM4_1B	5	O
										UC0_TX_SDA_PICO	6	O
										UC3_TX_SDA_PICO	7	O
										UC0_RX_SCL_SCLK	8	IO
										UC3_RX_SCL_SCLK	9	IO
										MCAN0_RX	10	I
										MCPWM3_3A	11	O
										MCPWM4_3A	12	O
										UC0_CTS_CS0	14	IO
										UC3_CTS_CS0	15	IO
										OUTPUTXBAR4	16	O
121	93	92	75	59	58	43	44	PA22 IOMUX_PA22 0x400C_C058	SDL	*切断*	0	該当なし
										GPIO22	1	IO
										MCPWM3_1B	2	O
										MCPWM2_2A	3	O
										UC2_TX_SDA	4	O
										MCPWM4_2B	5	O
										MCPWM1_1A	6	O
										UC5_TX_SDA	7	O
										UC0_TX_SDA_PICO	8	O
										UC3_TX_SDA_PICO	9	O
										MCAN0_TX	10	O
										MCPWM3_3B	11	O
										MCPWM4_3B	12	O
										EPI0_S30	13	IO
										MCPWM4_2A	14	O
										MCPWM3_2A	15	O
										OUTPUTXBAR5	16	O

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
122	94	93	76	60	59	44	45	PA23 IOMUX_PA23 0x400C_C05C	SDL	*切断*	0	該当なし
										GPIO23	1	IO
										MCPWM3_3B	2	O
										MCPWM2_2B	3	O
										UC2_RX_SCL	4	IO
										UC0_TX_SDA_PICO	5	O
										MCPWM4_3B	6	O
										UC5_RX_SCL	7	IO
										UC0_RX_SCL_SCLK	8	IO
										UC3_RX_SCL_SCLK	9	IO
										UC3_TX_SDA_PICO	10	O
										MCPWM4_1B	11	O
										MCPWM3_2B	12	O
										MCPWM4_2B	13	O
										UC4_CTS_CS0	14	IO
										UC1_CTS_CS0	15	IO
										OUTPUTXBAR6	16	O
123	95	95	77	61	61	45	46	PA24 IOMUX_PA24 0x400C_C060	SDL	*切断*	0	該当なし
										GPIO24	1	IO
										MCPWM3_1A	2	O
										MCPWM2_3A	3	O
										MCPWM4_2A	4	O
										UC0_RX_SCL_SCLK	5	IO
										UC3_RX_SCL_SCLK	6	IO
										MCPWM3_3A	7	O
										UC0_TX_SDA_PICO	8	O
										UC3_TX_SDA_PICO	9	O
										MCAN0_RX	10	I
										MCPWM1_2A	11	O
										MCPWM4_3A	12	O
										OUTPUTXBAR7	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
124	96	96	78	62	62	46	47	PA25 IOMUX_PA25 0x400C_C064	SDL	*切断*	0	該当なし
										GPIO25	1	IO
										MCPWM3_3A	2	O
										MCPWM2_3B	3	O
										MCPWM4_3A	4	O
										UC0_TX_SDA_PICO	5	O
										UC3_TX_SDA_PICO	6	O
										MCPWM3_3B	7	O
										UC0_RX_SCL_SCLK	8	IO
										UC3_RX_SCL_SCLK	9	IO
										MCAN0_TX	10	O
										MCPWM1_3A	11	O
										MCPWM4_3B	12	O
										MCPWM0_3B	13	O
										MCPWM4_1A	14	O
										OUTPUTXBAR7	16	O
62	47	47	39	30	29	22	22	PA26 IOMUX_PA26 0x400C_C068	SDL	*切断*	0	該当なし
										A2_17	AMUX0	A
										ANALOG_AIN28	A	A
										CMP0_LN1	AMUX1	A
										GPIO26	1	IO
										MCPWM4_2A	2	O
										PGA2_M2	AMUX2	A
										PGA0_M2	AMUX3	A
										TIMG4_0_CCP0	3	IO
										TIMG12_0_CCP0	4	IO
										MCPWM3_3A	5	O
										MCPWM4_3A	6	O
										UC0_RX_SCL_SCLK	8	IO
										UC0_TX_SDA_PICO	9	O
										UC3_TX_SDA_PICO	10	O
										UC3_RX_SCL_SCLK	11	IO
										EPI0_S33	13	IO
										OUTPUTXBAR2	16	O

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
65	50		42	33		25	24	PA27 IOMUX_PA27 0x400C_C06C	SDL	*切断*	0	該当なし
										A0_14	AMUX0	A
										ANALOG_AIN29	A	A
										A1_14	AMUX1	A
										GPIO27	1	IO
										MCPWM4_2B	2	O
										CMP1_HP2_LP2	AMUX2	A
										PGA0_P4	AMUX3	A
										TIMG4_0_CCP1	3	IO
										PGA2_P0	AMUX4	A
										TIMG12_0_CCP1	4	IO
										MCPWM3_3B	5	O
										SYSCTL_XCLKOUT	7	O
										UC0_RX_SCL_SCLK	8	IO
										UC0_TX_SDA_PICO	9	O
										UC3_TX_SDA_PICO	10	O
										UC3_RX_SCL_SCLK	11	IO
										OUTPUTXBAR3	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
66	51	51	43	34	33	26	25	PA28 IOMUX_PA28 0x400C_C070	SDL	ANALOG_AIN30	A	A
										A0_11	AMUX0	A
										切断	0	該当なし
										GPIO28	1	IO
										A2_30	AMUX1	A
										CMP2_LN1	AMUX2	A
										TIMG12_0_CCP0	2	IO
										TIMG4_0_CCP0	3	IO
										PGA1_P3	AMUX3	A
										MCAN0_RX	4	I
										PGA0_P7	AMUX4	A
										UC1_RTS_POCI	6	O
										UC0_CTS_CS0	8	IO
										UC0_RTS_POCI	9	O
										UC4_RTS_POCI	10	O
										UC3_CTS_CS0	11	IO
										EPI0_S34	13	IO
										MCPWM3_3A	14	O
										MCPWM4_1A	15	O
										OUTPUTXBAR4	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
67	52	52	44	35	34	27	26	PA29 IOMUX_PA29 0x400C_C074	SDL	ANALOG_AIN31	A	A
										A2_5	AMUX0	A
										切断	0	該当なし
										GPIO29	1	IO
										CMP0_HP2_LP2	AMUX1	A
										PGA0_P5	AMUX2	A
										TIMG12_0_CCP1	2	IO
										TIMG4_0_CCP1	3	IO
										PGA1_P4	AMUX3	A
										MCAN0_TX	4	O
										PGA2_P4	AMUX4	A
										MCPWM4_1B	6	O
										MCPWM0_1B	7	O
										SYSCTL_FCC_IN	8	I
										UC0_CTS_CS0	9	IO
										UC3_CTS_CS0	11	IO
										EPI0_S35	13	IO
										MCPWM3_3B	14	O
										MCPWM4_3B	15	O
										OUTPUTXBAR5	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
68	53	53	45	36	35	28	27	PA30 IOMUX_PA30 0x400C_C078	SDL	ANALOG_AIN32	A	A
										A0_5	AMUX0	A
										切断	0	該当なし
										GPIO30	1	IO
										A2_27	AMUX1	A
										CMP2_HP3_LP3	AMUX2	A
										MCPWM3_1A	2	O
										MCPWM4_2A	3	O
										PGA1_P5	AMUX3	A
										MCPWM3_3B	4	O
										PGA2_P5	AMUX4	A
										MCPWM4_2B	5	O
										UC1_TX_SDA_PICO	6	O
										MCPWM0_2B	7	O
										UC0_RTS_POCI	8	O
										UC4_RTS_POCI	10	O
										UC4_TX_SDA_PICO	11	O
										MCPWM4_1A	14	O
										OUTPUTXBAR6	16	O
69	54	54	46	37	36	29	28	PA31 IOMUX_PA31 0x400C_C07C	SDL	ANALOG_AIN33	A	A
										A1_15	AMUX0	A
										切断	0	該当なし
										GPIO31	1	IO
										A2_28	AMUX1	A
										CMP1_LN1	AMUX2	A
										MCPWM3_2A	2	O
										MCPWM3_1B	3	O
										PGA2_M3	AMUX3	A
										MCPWM4_3B	4	O
										MCPWM0_3B	5	O
										UC1_CTS_CS0	6	IO
										MCPWM4_2B	7	O
										UC4_CTS_CS0	11	IO
										MCPWM4_1B	14	O
										OUTPUTXBAR2	16	O

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
22	15	15	8	8	8			PB0 IOMUX_PB0 0x400C_C080	SDL	ANALOG_AIN2	A	A
										切断	0	該当なし
										A0_6	AMUX0	A
										A1_6	AMUX1	A
										GPIO32	1	IO
										CMP2_HN1	AMUX2	A
										MCPWM0_1A	3	O
										MCPWM4_1A	4	O
										UC0_RX_SCL_SCLK	9	IO
										UC3_RX_SCL_SCLK	11	IO
										OUTPUTXBAR5	16	O
23	16	16	9	9	9			PB1 IOMUX_PB1 0x400C_C084	SDW	A0_7	AMUX0	A
										ANALOG_AIN3	A	A
										切断	0	該当なし
										GPIO33	1	IO
										A1_7	AMUX1	A
										CMP2_HP1_LP1	AMUX2	A
										MCPWM0_2A	3	O
										MCPWM4_2A	4	O
										MCPWM3_3A	5	O
										UC0_TX_SDA_PICO	9	O
										UC3_TX_SDA_PICO	11	O
										OUTPUTXBAR6	16	O
24	17	17	10	10	10			PB2 IOMUX_PB2 0x400C_C088	SDL	A0_8	AMUX0	A
										切断	0	該当なし
										ANALOG_AIN4	A	A
										GPIO34	1	IO
										A1_8	AMUX1	A
										MCPWM0_3A	3	O
										MCPWM4_3A	4	O
										MCPWM4_2A	6	O
										MCPWM2_2A	7	O
										MCPWM3_2A	8	O
										OUTPUTXBAR7	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
25	18	18	11	11	11			PB3 IOMUX_PB3 0x400C_C08C	SDL	*切断*	0	該当なし
										ANALOG_AIN5	A	A
										A0_9	AMUX0	A
										GPIO35	1	IO
										A1_9	AMUX1	A
										PGA2_P1	AMUX2	A
										MCPWM0_1A	3	O
										PGA0_P0	AMUX3	A
										MCPWM4_1A	4	O
										PGA1_P0	AMUX4	A
										OUTPUTXBAR8	16	O
37	30	33	22	22	24		16	PB4 IOMUX_PB4 0x400C_C090	SDL	A1_5	AMUX0	A
										ANALOG_AIN14	A	A
										切断	0	該当なし
										A2_23	AMUX1	A
										GPIO36	1	IO
										UC1_RX_SCL_SCLK	5	IO
										UC0_TX_SDA_PICO	8	O
										UC3_TX_SDA_PICO	9	O
										MCAN0_RX	10	I
										UC4_RX_SCL_SCLK	11	IO
										OUTPUTXBAR2	16	O
38	31	34	23	23	25			PB5 IOMUX_PB5 0x400C_C094	SDW	*切断*	0	該当なし
										ANALOG_AIN15	A	A
										A1_11	AMUX0	A
										A2_24	AMUX1	A
										GPIO37	1	IO
										PGA0_M1	AMUX2	A
										PGA1_M2	AMUX3	A
										MCPWM4_1B	6	O
										MCPWM0_1B	7	O
										UC0_RX_SCL_SCLK	8	IO
										UC3_RX_SCL_SCLK	9	IO
										MCAN0_TX	10	O
										OUTPUTXBAR3	16	O

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
80	65	63	52	38	37		29	PB6 IOMUX_PB6 0x400C_C098	SDL	*切断*	0	該当なし
										GPIO38	1	IO
										MCPWM3_3A	3	O
										MCPWM1_1A	5	O
										MCPWM4_2A	6	O
										UC5_RX_SCL	8	IO
										UC2_RX_SCL	9	IO
										MCPWM4_3B	14	O
										OUTPUTXBAR3	16	O
81	66	64	53	39	38			PB7 IOMUX_PB7 0x400C_C09C	SDL	*切断*	0	該当なし
										GPIO39	1	IO
										MCPWM3_3B	3	O
										MCPWM4_3A	4	O
										MCPWM1_2A	5	O
										UC5_TX_SDA	8	O
										UC2_TX_SDA	9	O
										OUTPUTXBAR4	16	O
87	67	65	54	40	39			PB8 IOMUX_PB8 0x400C_C0A0	SDL	*切断*	0	該当なし
										GPIO40	1	IO
										TRACE_DATA1	2	O
										MCPWM3_1A	3	O
										MCPWM4_2A	4	O
										MCPWM1_3A	5	O
										UC2_CTS	6	O
										MCPWM2_3A	7	O
										MCPWM3_3A	8	O
										UC0_RX_SCL_SCLK	9	IO
										UC3_RX_SCL_SCLK	10	IO
										UC5_RTS	11	O
										MCPWM4_3A	13	O
										MCPWM4_3B	14	O
										MCPWM3_3B	15	O
										OUTPUTXBAR2	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
88	68	66	55	41	40			PB9 IOMUX_PB9 0x400C_C0A4	SDL	*切断*	0	該当なし
										GPIO41	1	IO
										MCPWM3_1B	3	O
										MCPWM4_2B	4	O
										MCPWM1_1A	5	O
										UC2_RTS	6	O
										MCPWM4_2A	7	O
										MCPWM3_3B	8	O
										UC0_TX_SDA_PICO	9	O
										UC3_TX_SDA_PICO	10	O
										UC5_CTS	11	O
										OUTPUTXBAR3	16	O
100	79	78	66	52	51		39	PB10 IOMUX_PB10 0x400C_C0A8	SDL	*切断*	0	該当なし
										GPIO42	1	IO
										UC5_TX_SDA	4	O
										MCPWM1_1B	5	O
										UC2_TX_SDA	6	O
										UC3_RX_SCL_SCLK	7	IO
										UC0_TX_SDA_PICO	8	O
										UC0_RX_SCL_SCLK	9	IO
										UC3_TX_SDA_PICO	10	O
										MCPWM3_2B	11	O
										OUTPUTXBAR2	16	O
101	80	79	67	53	52		40	PB11 IOMUX_PB11 0x400C_C0AC	SDL	*切断*	0	該当なし
										GPIO43	1	IO
										TRACE_CLK	2	IO
										UC5_RX_SCL	4	IO
										MCPWM1_2B	5	O
										UC2_RX_SCL	6	IO
										UC3_CTS_CS0	7	IO
										UC0_RX_SCL_SCLK	8	IO
										UC0_TX_SDA_PICO	9	O
										UC0_CTS_CS0	10	IO
										UC3_RX_SCL_SCLK	11	IO
										UC3_TX_SDA_PICO	13	O
										OUTPUTXBAR3	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
102	81	80	68	54	53			PB12 IOMUX_PB12 0x400C_C0B0	SDL	*切断*	0	該当なし
										GPIO44	1	IO
										TRACE_DATA3	2	O
										MCPWM3_1B	3	O
										MCPWM4_2B	4	O
										MCPWM1_3B	5	O
										UC3_TX_SDA_PICO	6	O
										UC3_RX_SCL_SCLK	7	IO
										UC0_RX_SCL_SCLK	8	IO
										MCPWM4_1B	9	O
										UC0_TX_SDA_PICO	11	O
										EPI0_S27	13	IO
										OUTPUTXBAR4	16	O
7	7	7	2	2	2	2	2	PB13 IOMUX_PB13 0x400C_C0B4	SDW	*切断*	0	該当なし
										GPIO45	1	IO
										SYSCTL_XCLKOUT	2	O
										MCPWM0_1B	5	O
										MCPWM3_1B	6	O
										MCPWM1_1B	7	O
										SYSCTL_FCC_IN	8	I
										MCPWM4_2B	9	O
										OUTPUTXBAR6	16	O
8	8	8	3	3	3	3	3	PB14 IOMUX_PB14 0x400C_C0B8	SDL	*切断*	0	該当なし
										GPIO46	1	IO
										SYSCTL_XCLKOUT	2	O
										UC0_TX_SDA_PICO	8	O
										MCAN0_RX	10	I
										UC3_TX_SDA_PICO	11	O
										OUTPUTXBAR1	16	O
9	9	9	4	4	4	4	4	PB15 IOMUX_PB15 0x400C_C0BC	SDL	*切断*	0	該当なし
										GPIO47	1	IO
										UC0_RX_SCL_SCLK	8	IO
										MCAN0_TX	10	O
										UC3_RX_SCL_SCLK	11	IO
										OUTPUTXBAR2	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
108	82	81	69					PB16 IOMUX_PB16 0x400C_C0C0	SDL	*切断*	0	該当なし
										GPIO48	1	IO
										UC5_TX_SDA	4	O
										MCPWM1_1B	7	O
										MCPWM3_2B	8	O
										MCAN0_TX	10	O
										UC2_TX_SDA	11	O
										EPI0_S2	13	IO
										OUTPUTXBAR2	16	O
109	83	82	70					PB17 IOMUX_PB17 0x400C_C0C4	SDL	*切断*	0	該当なし
										GPIO49	1	IO
										UC5_RX_SCL	4	IO
										MCPWM1_1A	5	O
										MCPWM3_2A	6	O
										MCAN0_RX	10	I
										UC2_RX_SCL	11	IO
										EPI0_S3	13	IO
										OUTPUTXBAR3	16	O
112	84	83	71	55	54			PB18 IOMUX_PB18 0x400C_C0C8	HS	*切断*	0	該当なし
										GPIO50	1	IO
										TRACE_DATA2	2	O
										UC5_CTS	4	O
										UC3_RX_SCL_SCLK	6	IO
										UC3_TX_SDA_PICO	7	O
										UC0_RX_SCL_SCLK	8	IO
										UC0_TX_SDA_PICO	9	O
										UC2_CTS	11	O
										EPI0_S31	13	IO
										OUTPUTXBAR4	16	O

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
113	85	84						PB19 IOMUX_PB19 0x400C_C0CC	SDW	*切断*	0	該当なし
										GPIO51	1	IO
										MCPWM4_1A	3	O
										UC5_RTS	4	O
										UC1_CTS_CS0	8	IO
										UC4_CTS_CS0	10	IO
										UC2_RTS	11	O
										EPI0_S28	13	IO
										OUTPUTXBAR5	16	O
114	86	85						PB20 IOMUX_PB20 0x400C_C0D0	SDL	*切断*	0	該当なし
										GPIO52	1	IO
										MCPWM4_1B	3	O
										UC1_RTS_POCI	8	O
										UC4_RTS_POCI	10	O
										EPI0_S29	13	IO
										OUTPUTXBAR6	16	O
115	87	86						PB21 IOMUX_PB21 0x400C_C0D4	SDL	*切断*	0	該当なし
										GPIO53	1	IO
										UC1_TX_SDA_PICO	8	O
										UC4_TX_SDA_PICO	10	O
										EPI0_S32	13	IO
										OUTPUTXBAR7	16	O
116	88	87						PB22 IOMUX_PB22 0x400C_C0D8	SDL	*切断*	0	該当なし
										GPIO54	1	IO
										MCPWM4_2B	3	O
										MCPWM3_3B	4	O
										MCPWM4_3B	5	O
										UC1_RX_SCL_SCLK	8	IO
										UC4_RX_SCL_SCLK	10	IO
										EPI0_S26	13	IO
										OUTPUTXBAR8	16	O
117	89	88						PB23 IOMUX_PB23 0x400C_C0DC	SDL	*切断*	0	該当なし
										GPIO55	1	IO
										MCPWM4_2A	3	O
										MCPWM3_3A	4	O
										MCPWM4_3A	5	O
										OUTPUTXBAR1	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
70	55	55	47					PB24 IOMUX_PB24 0x400C_C0E0	SDL	ANALOG_AIN34	A	A
										切断	0	該当なし
										A0_21	AMUX0	A
										A1_21	AMUX1	A
										GPIO56	1	IO
										PGA0_M3	AMUX2	A
										UC5_RX_SCL	9	IO
										UC2_RX_SCL	11	IO
										EPI0_S13	13	IO
										OUTPUTXBAR3	16	O
71	56	56	48					PB25 IOMUX_PB25 0x400C_C0E4	SDL	ANALOG_AIN35	A	A
										切断	0	該当なし
										A0_22	AMUX0	A
										A1_22	AMUX1	A
										GPIO57	1	IO
										PGA1_P6	AMUX2	A
										PGA2_P7	AMUX3	A
										UC5_TX_SDA	9	O
										UC2_TX_SDA	11	O
										EPI0_S14	13	IO
										OUTPUTXBAR4	16	O
72	57	57	49					PB26 IOMUX_PB26 0x400C_C0E8	SDL	ANALOG_AIN36	A	A
										切断	0	該当なし
										A0_26	AMUX0	A
										GPIO58	1	IO
										A1_26	AMUX1	A
										A2_7	AMUX2	A
										TIMG4_0_CCP0	2	IO
										CMP1_LN0	AMUX3	A
										EPI0_S15	13	IO
										OUTPUTXBAR5	16	O

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
73	58	58						PB27 IOMUX_PB27 0x400C_C0EC	SDL	ANALOG_AIN37	A	A
										切断	0	該当なし
										A0_27	AMUX0	A
										GPIO59	1	IO
										A1_27	AMUX1	A
										A2_8	AMUX2	A
										TIMG4_0_CCP1	2	IO
										CMP1_HP3_LP3	AMUX3	A
										PGA0_P6	AMUX4	A
										PGA1_P8	AMUX5	A
										PGA2_P8	AMUX6	A
										UC0_CTS_CS0	8	IO
										UC5_CTS	9	O
										UC2_CTS	10	O
										UC3_CTS_CS0	11	IO
										EPI0_S16	13	IO
										OUTPUTXBAR6	16	O
74	59	59						PB28 IOMUX_PB28 0x400C_C0F0	SDL	ANALOG_AIN38	A	A
										切断	0	該当なし
										A0_28	AMUX0	A
										GPIO60	1	IO
										A1_28	AMUX1	A
										A2_9	AMUX2	A
										TIMG4_0_CCP0	2	IO
										MCPWM2_2A	3	O
										CMP0_HP3_LP3	AMUX3	A
										MCPWM3_2A	4	O
										PGA2_P6	AMUX4	A
										PGA0_P8	AMUX5	A
										MCPWM4_2A	5	O
										UC0_RTS_POCI	8	O
										UC5_RTS	9	O
										UC2_RTS	10	O
										UC3_RTS_POCI	11	O
										EPI0_S17	13	IO
										OUTPUTXBAR7	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
75	60	60						PB29 IOMUX_PB29 0x400C_C0F4	SDL	ANALOG_AIN39	A	A
										A0_29	AMUX0	A
										切断	0	該当なし
										GPIO61	1	IO
										A1_29	AMUX1	A
										A2_10	AMUX2	A
										TIMG4_0_CCP1	2	IO
										MCPWM2_2B	3	O
										CMP0_LN0	AMUX3	A
										MCPWM3_2B	4	O
										MCPWM4_2B	5	O
										UC5_RX_SCL	6	IO
										UC5_TX_SDA	8	O
										UC2_RX_SCL	10	IO
										UC2_TX_SDA	11	O
										EPI0_S18	13	IO
										OUTPUTXBAR8	16	O
76	61	61						PB30 IOMUX_PB30 0x400C_C0F8	SDL	A0_30	AMUX0	A
										切断	0	該当なし
										ANALOG_AIN40	A	A
										A1_30	AMUX1	A
										GPIO62	1	IO
										TIMG4_0_CCP0	2	IO
										A2_11	AMUX2	A
										CMP2_HP2_LP2	AMUX3	A
										MCPWM2_3A	3	O
										PGA1_P7	AMUX4	A
										MCPWM3_3A	4	O
										MCPWM4_3A	5	O
										UC5_TX_SDA	6	O
										UC5_RX_SCL	8	IO
										UC2_TX_SDA	10	O
										UC2_RX_SCL	11	IO
										EPI0_S0	13	IO
										OUTPUTXBAR1	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
77	62	62						PB31 IOMUX_PB31 0x400C_C0FC	SDL	A2_29	AMUX0	A
										切断	0	該当なし
										ANALOG_AIN41	A	A
										GPIO63	1	IO
										CMP2_LN0	AMUX1	A
										TIMG4_0_CCP1	2	IO
										MCPWM2_3B	3	O
										MCPWM3_3B	4	O
										MCPWM4_3B	5	O
										UC1_RTS_POCI	7	O
										UC4_RTS_POCI	11	O
										EPI0_S1	13	IO
										OUTPUTXBAR2	16	O
125	97	97						PC0 IOMUX_PC0 0x400C_C100	SDL	*切断*	0	該当なし
										GPIO64	1	IO
										MCPWM3_1B	3	O
										MCPWM2_1B	4	O
										MCPWM3_1A	5	O
										MCPWM4_2A	6	O
										UC0_TX_SDA_PICO	8	O
										UC3_TX_SDA_PICO	9	O
										EPI0_S24	13	IO
										OUTPUTXBAR1	16	O
126	98	98						PC1 IOMUX_PC1 0x400C_C104	SDL	*切断*	0	該当なし
										GPIO65	1	IO
										TRACE_DATA0	2	O
										MCPWM4_1A	4	O
										MCPWM3_3A	5	O
										MCPWM3_1A	6	O
										MCPWM2_1A	7	O
										UC0_RX_SCL_SCLK	8	IO
										UC3_RX_SCL_SCLK	9	IO
										EPI0_S25	13	IO
										OUTPUTXBAR2	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
1	1	1						PC2 IOMUX_PC2 0x400C_C108	SDL	*切断*	0	該当なし
										GPIO66	1	IO
										TRACE_CLK	2	IO
										MCPWM4_3A	3	O
										UC5_RX_SCL	5	IO
										UC3_RX_SCL_SCLK	6	IO
										MCPWM2_1A	7	O
										SYSCTL_FCC_IN	8	I
										MCPWM3_1A	9	O
										UC2_RX_SCL	10	IO
										UC0_RX_SCL_SCLK	11	IO
										EPI0_S23	13	IO
										OUTPUTXBAR1	16	O
2	2	2						PC3 IOMUX_PC3 0x400C_C10C	SDL	*切断*	0	該当なし
										GPIO67	1	IO
										TRACE_DATA0	2	O
										MCPWM4_3B	3	O
										MCPWM4_2A	4	O
										UC5_TX_SDA	5	O
										UC3_RTS_POCI	6	O
										MCPWM2_2A	7	O
										MCPWM3_2A	8	O
										UC2_TX_SDA	10	O
										UC0_RTS_POCI	11	O
										EPI0_S19	13	IO
										OUTPUTXBAR2	16	O
3	3	3						PC4 IOMUX_PC4 0x400C_C110	SDL	*切断*	0	該当なし
										GPIO68	1	IO
										TRACE_DATA1	2	O
										MCPWM4_1A	3	O
										UC3_RTS_POCI	6	O
										MCPWM2_1B	7	O
										MCPWM3_1B	8	O
										UC0_RTS_POCI	11	O
										EPI0_S20	13	IO
										OUTPUTXBAR3	16	O

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
4	4	4						PC5 IOMUX_PC5 0x400C_C114	SDL	*切断*	0	該当なし
										GPIO69	1	IO
										TRACE_DATA2	2	O
										MCPWM4_1B	3	O
										MCPWM4_2B	4	O
										UC3_CTS_CS0	6	IO
										MCPWM2_2B	7	O
										MCPWM3_2B	8	O
										UC0_CTS_CS0	11	IO
										EPI0_S21	13	IO
										OUTPUTXBAR4	16	O
5	5	5						PC6 IOMUX_PC6 0x400C_C118	SDW	*切断*	0	該当なし
										GPIO70	1	IO
										TRACE_DATA3	2	O
										MCPWM3_3B	4	O
										UC3_TX_SDA_PICO	6	O
										MCPWM2_3B	7	O
										UC0_TX_SDA_PICO	11	O
										EPI0_S22	13	IO
										OUTPUTXBAR5	16	O
53	38	38	30					PC7 IOMUX_PC7 0x400C_C11C	SDL	A2_4	AMUX0	A
										ANALOG_AIN19	A	A
										切断	0	該当なし
										CMP3_HP0_LP0	AMUX1	A
										GPIO71	1	IO
										UC0_RTS_POCI	7	O
										UC5_RX_SCL	8	IO
										UC2_RX_SCL	11	IO
										EPI0_S4	13	IO
										OUTPUTXBAR1	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
54	39	39	31					PC8 IOMUX_PC8 0x400C_C120	SDL	A0_23	AMUX0	A
										ANALOG_AIN20	A	A
										切断	0	該当なし
										GPIO72	1	IO
										A1_23	AMUX1	A
										MCPWM3_2A	2	O
										A2_6	AMUX2	A
										CMP3_HN1_LN1	AMUX3	A
										MCPWM0_1B	3	O
										MCPWM4_1B	4	O
										MCPWM0_2B	7	O
										UC5_TX_SDA	8	O
										UC2_TX_SDA	11	O
										EPI0_S5	13	IO
										OUTPUTXBAR2	16	O
55	40	40	32					PC9 IOMUX_PC9 0x400C_C124	SDL	A2_2	AMUX0	A
										ANALOG_AIN21	A	A
										切断	0	該当なし
										GPIO73	1	IO
										CMP3_HP2_LP2	AMUX1	A
										MCPWM3_2B	2	O
										MCPWM0_1A	3	O
										MCPWM4_1A	4	O
										MCPWM0_3B	7	O
										EPI0_S6	13	IO
										OUTPUTXBAR3	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
56	41	41	33					PC10 IOMUX_PC10 0x400C_C128	SDL	A0_16	AMUX0	A
										切断	0	該当なし
										ANALOG_AIN22	A	A
										GPIO74	1	IO
										A1_16	AMUX1	A
										A2_14	AMUX2	A
										MCPWM0_2B	3	O
										MCPWM4_2B	4	O
										MCPWM3_3B	5	O
										MCPWM0_1B	7	O
										EPI0_S7	13	IO
										OUTPUTXBAR4	16	O
57	42	42	34					PC11 IOMUX_PC11 0x400C_C12C	SDL	ANALOG_AIN23	A	A
										切断	0	該当なし
										A0_24	AMUX0	A
										A1_24	AMUX1	A
										GPIO75	1	IO
										A2_15	AMUX2	A
										MCPWM0_2A	3	O
										MCPWM4_2A	4	O
										MCPWM3_3A	5	O
										UC3_RTS_POCI	6	O
										UC0_RTS_POCI	11	O
										EPI0_S8	13	IO
										OUTPUTXBAR5	16	O
58	43	43	35					PC12 IOMUX_PC12 0x400C_C130	SDL	*切断*	0	該当なし
										ANALOG_AIN24	A	A
										A0_25	AMUX0	A
										A1_25	AMUX1	A
										GPIO76	1	IO
										A2_16	AMUX2	A
										MCPWM0_3B	3	O
										MCPWM4_3B	4	O
										UC3_RX_SCL_SCLK	6	IO
										UC0_RX_SCL_SCLK	11	IO
										EPI0_S9	13	IO
										OUTPUTXBAR6	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
59	44	44	36					PC13 IOMUX_PC13 0x400C_C134	SDL	*切断*	0	該当なし
										ANALOG_AIN25	A	A
										A2_3	AMUX0	A
										GPIO77	1	IO
										MCPWM0_3A	3	O
										MCPWM4_3A	4	O
										UC3_CTS_CS0	6	IO
										UC0_CTS_CS0	11	IO
										EPI0_S26	12	IO
										EPI0_S10	13	IO
										OUTPUTXBAR7	16	O
60	45	45	37					PC14 IOMUX_PC14 0x400C_C138	SDL	A0_18	AMUX0	A
										切断	0	該当なし
										ANALOG_AIN26	A	A
										GPIO78	1	IO
										MCPWM0_1A	3	O
										MCPWM4_1A	4	O
										MCPWM4_1B	5	O
										UC3_TX_SDA_PICO	6	O
										MCPWM0_1B	7	O
										UC0_TX_SDA_PICO	11	O
										EPI0_S11	13	IO
										OUTPUTXBAR8	16	O
61	46	46	38					PC15 IOMUX_PC15 0x400C_C13C	SDL	*切断*	0	該当なし
										ANALOG_AIN27	A	A
										A0_19	AMUX0	A
										GPIO79	1	IO
										CMP3_HP3_LP3	AMUX1	A
										MCPWM4_1A	5	O
										MCPWM0_1A	7	O
										UC0_TX_SDA_PICO	8	O
										UC0_RX_SCL_SCLK	9	IO
										UC3_RX_SCL_SCLK	10	IO
										UC3_TX_SDA_PICO	11	O
										EPI0_S12	13	IO
										OUTPUTXBAR1	16	O

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
26	19							PC18 IOMUX_PC18 0x400C_C148	SDL	*切断*	0	該当なし
										GPIO82	1	IO
										MCPWM2_3A	3	O
										MCPWM3_3A	4	O
										MCPWM4_3A	5	O
										EPI0_S2	13	IO
										OUTPUTXBAR7	16	O
10								PC19 IOMUX_PC19 0x400C_C14C	SDL	*切断*	0	該当なし
										GPIO83	1	IO
										MCPWM2_1A	3	O
										MCPWM3_1A	4	O
										UC0_RX_SCL_SCLK	5	IO
										UC5_RX_SCL	6	IO
										UC4_TX_SDA_PICO	7	O
										UC5_CTS	8	O
										SYSCTL_FCC_IN	9	I
										UC1_TX_SDA_PICO	11	O
										EPI0_S3	13	IO
										OUTPUTXBAR3	16	O
19	12	12	5	5	5	5	5	PC16_X1 IOMUX_PC16_X1 0x400C_C140	SDL	A0_10	AMUX0	A
										切断	0	該当なし
										ANALOG_AIN0	A	A
										SYSCTL_HFCLKIN	AMUX1	A
										GPIO80	1	IO
										UC2_TX_SDA	2	O
										SYSCTL_X1	AMUX2	A
										MCPWM3_2B	4	O
										UC1_TX_SDA_PICO	5	O
										UC1_RTS_POCI	6	O
										MCPWM0_3B	7	O
										UC4_RTS_POCI	8	O
										MCPWM4_3B	9	O
										OUTPUTXBAR2	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
20	13	13	6	6	6	6	6	PC17_X2 IOMUX_PC17_X2 0x400C_C144	SDL	A1_10	AMUX0	A
										切断	0	該当なし
										ANALOG_AIN1	A	A
										GPIO81	1	IO
										CMP2_HN0	AMUX1	A
										UC2_RX_SCL	2	IO
										SYSCTL_X2	AMUX2	A
										UC1_RX_SCL_SCLK	6	IO
										OUTPUTXBAR3	16	O
11								PC20 IOMUX_PC20 0x400C_C150	SDL	*切断*	0	該当なし
										GPIO84	1	IO
										MCPWM3_1B	3	O
										MCPWM2_1B	4	O
										UC0_TX_SDA_PICO	5	O
										UC5_TX_SDA	6	O
										UC4_RX_SCL_SCLK	7	IO
										UC5_RTS	8	O
										UC1_RX_SCL_SCLK	11	IO
										EPI0_S4	13	IO
										OUTPUTXBAR4	16	O
14								PC21 IOMUX_PC21 0x400C_C154	SDL	*切断*	0	該当なし
										GPIO85	1	IO
										MCPWM2_2B	3	O
										MCPWM3_2B	4	O
										MCPWM4_2B	6	O
										EPI0_S5	13	IO
										OUTPUTXBAR5	16	O

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
97		73						PC22 IOMUX_PC22 0x400C_C158	SDL	*切断*	0	該当なし
										GPIO86	1	IO
										MCPWM3_3B	3	O
										MCPWM2_3B	4	O
										UC1_RX_SCL_SCLK	5	IO
										UC4_RX_SCL_SCLK	6	IO
										MCPWM3_1A	7	O
										UC0_RTS_POCI	8	O
										MCPWM4_2A	9	O
										UC3_RTS_POCI	10	O
										MCPWM4_3B	11	O
										OUTPUTXBAR2	16	O
15								PC23 IOMUX_PC23 0x400C_C15C	SDL	*切断*	0	該当なし
										GPIO87	1	IO
										UC5_RX_SCL	2	IO
										MCPWM2_2A	3	O
										MCPWM3_2A	4	O
										UC4_RTS_POCI	5	O
										MCPWM4_2A	6	O
										MCPWM3_1B	7	O
										UC1_RTS_POCI	10	O
										UC2_RX_SCL	11	IO
										EPI0_S1	13	IO
										OUTPUTXBAR6	16	O
16								PC24 IOMUX_PC24 0x400C_C160	SDL	*切断*	0	該当なし
										GPIO88	1	IO
										UC5_TX_SDA	2	O
										MCPWM3_1B	4	O
										UC4_CTS_CS0	5	IO
										MCPWM3_2A	7	O
										UC1_CTS_CS0	10	IO
										UC2_TX_SDA	11	O
										EPI0_S24	13	IO
										OUTPUTXBAR7	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
17	10							PC25 IOMUX_PC25 0x400C_C164	SDL	*切断*	0	該当なし
										GPIO89	1	IO
										UC5_CTS	2	O
										UC2_TX_SDA	3	O
										MCPWM3_1A	4	O
										UC4_TX_SDA_PICO	5	O
										UC1_RX_SCL_SCLK	6	IO
										MCPWM3_2B	7	O
										UC5_RX_SCL	8	IO
										MCPWM4_2A	9	O
										UC2_CTS	11	O
										EPI0_S25	13	IO
										OUTPUTXBAR8	16	O
18	11							PC26 IOMUX_PC26 0x400C_C168	SDL	*切断*	0	該当なし
										GPIO90	1	IO
										UC5_RTS	2	O
										UC2_RX_SCL	3	IO
										MCPWM3_2A	4	O
										UC4_RX_SCL_SCLK	5	IO
										UC1_RX_SCL_SCLK	6	IO
										SYSCTL_XCLKOUT	7	O
										UC5_TX_SDA	8	O
										UC2_RTS	11	O
										EPI0_S0	13	IO
										OUTPUTXBAR1	16	O
48								PC27 IOMUX_PC27 0x400C_C16C	SDL	*切断*	0	該当なし
										GPIO91	1	IO
										EPI0_S33	13	IO
										OUTPUTXBAR4	16	O
49								PC28 IOMUX_PC28 0x400C_C170	SDL	*切断*	0	該当なし
										GPIO92	1	IO
										MCPWM2_1A	3	O
										MCPWM3_1A	4	O
										EPI0_S6	13	IO
										OUTPUTXBAR5	16	O

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
50								PC29 IOMUX_PC29 0x400C_C174	SDL	*切断*	0	該当なし
										GPIO93	1	IO
										MCPWM2_2A	3	O
										MCPWM3_2A	4	O
										MCPWM4_2A	5	O
										UC0_CTS_CS0	7	IO
										EPI0_S7	13	IO
										OUTPUTXBAR6	16	O
51								PC30 IOMUX_PC30 0x400C_C178	SDL	*切断*	0	該当なし
										GPIO94	1	IO
										MCPWM2_3A	3	O
										MCPWM3_3A	4	O
										UC2_RX_SCL	5	IO
										MCPWM4_3A	6	O
										UC0_RX_SCL_SCLK	7	IO
										UC5_RX_SCL	8	IO
										EPI0_S8	13	IO
										OUTPUTXBAR7	16	O
52								PC31 IOMUX_PC31 0x400C_C17C	SDL	*切断*	0	該当なし
										GPIO95	1	IO
										MCPWM2_1A	3	O
										MCPWM3_1A	4	O
										UC2_TX_SDA	5	O
										UC0_TX_SDA_PICO	7	O
										UC5_TX_SDA	8	O
										EPI0_S9	13	IO
										OUTPUTXBAR8	16	O
82								PD0 IOMUX_PD0 0x400C_C180	SDL	*切断*	0	該当なし
										GPIO96	1	IO
										MCPWM2_1B	3	O
										MCPWM3_1B	4	O
										UC2_RTS	5	O
										UC5_RTS	8	O
										MCPWM4_2A	14	O
										MCPWM3_1A	15	O
										OUTPUTXBAR5	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
83								PD1 IOMUX_PD1 0x400C_C184	SDL	*切断*	0	該当なし
										GPIO97	1	IO
										MCPWM2_2B	3	O
										MCPWM3_2B	4	O
										UC2_CTS	5	O
										UC5_CTS	8	O
										MCPWM4_2B	14	O
										MCPWM3_1B	15	O
										OUTPUTXBAR6	16	O
84								PD2 IOMUX_PD2 0x400C_C188	SDL	*切断*	0	該当なし
										GPIO98	1	IO
										MCPWM2_3B	3	O
										MCPWM3_3B	4	O
										MCPWM4_3B	5	O
										UC0_RX_SCL_SCLK	6	IO
										UC3_RX_SCL_SCLK	11	IO
										MCPWM3_2A	15	O
										OUTPUTXBAR7	16	O
85								PD3 IOMUX_PD3 0x400C_C18C	SDL	*切断*	0	該当なし
										GPIO99	1	IO
										UC2_RX_SCL	5	IO
										UC0_CTS_CS0	6	IO
										MCPWM2_1B	7	O
										MCPWM3_1B	8	O
										UC3_CTS_CS0	10	IO
										UC5_RX_SCL	11	IO
										MCPWM3_2B	15	O
										OUTPUTXBAR8	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
86								PD4 IOMUX_PD4 0x400C_C190	SDL	*切断*	0	該当なし
										GPIO100	1	IO
										UC2_TX_SDA	5	O
										UC0_TX_SDA_PICO	6	O
										UC3_TX_SDA_PICO	10	O
										UC5_TX_SDA	11	O
										MCPWM4_1A	13	O
										MCPWM4_3A	14	O
										MCPWM3_3A	15	O
										OUTPUTXBAR1	16	O
103								PD5 IOMUX_PD5 0x400C_C194	SDL	*切断*	0	該当なし
										GPIO101	1	IO
										UC0_RTS_POCI	6	O
										UC1_CTS_CS0	8	IO
										UC0_CTS_CS0	9	IO
										OUTPUTXBAR5	16	O
104								PD6 IOMUX_PD6 0x400C_C198	SDL	*切断*	0	該当なし
										GPIO102	1	IO
										UC1_RTS_POCI	8	O
										UC0_RTS_POCI	9	O
										OUTPUTXBAR6	16	O
105								PD7 IOMUX_PD7 0x400C_C19C	SDL	*切断*	0	該当なし
										GPIO103	1	IO
										UC0_RX_SCL_SCLK	5	IO
										UC1_TX_SDA_PICO	8	O
										UC0_TX_SDA_PICO	9	O
										UC3_RX_SCL_SCLK	11	IO
										EPI0_S35	13	IO
										OUTPUTXBAR7	16	O

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-2. ピン属性 (LQFP128、LQFP100_G、LQFP100_H、LQFP80、LQFP64_G、LQFP64_H、LQFP48、QFN48 パッケージ) (続き)

LQFP128	LQFP100_G	LQFP100_H	LQFP80	LQFP64_G	LQFP64_H	LQFP48	QFN48	ボール名 / IOMUX レジスタ / IOMUX アドレス	IO タイプ	信号名	モード	タイプ
106								PD8 IOMUX_PD8 0x400C_C1A0	SDL	*切断*	0	該当なし
										GPIO104	1	IO
										UC0_TX_SDA_PICO	5	O
										UC1_RX_SCL_SCLK	8	IO
										UC0_RX_SCL_SCLK	9	IO
										UC3_TX_SDA_PICO	11	O
										EPI0_S34	13	IO
										MCPWM4_2A	14	O
										MCPWM3_1A	15	O
										OUTPUTXBAR8	16	O
107								PD9 IOMUX_PD9 0x400C_C1A4	SDL	*切断*	0	該当なし
										GPIO105	1	IO
										UC2_RX_SCL	7	IO
										UC0_TX_SDA_PICO	8	O
										UC5_RX_SCL	9	IO
										UC3_TX_SDA_PICO	10	O
										EPI0_S27	13	IO
										MCPWM4_2B	14	O
										MCPWM3_1B	15	O
										OUTPUTXBAR1	16	O
		94			60			PD11 IOMUX_PD11 0x400C_C1AC	SDL	*切断*	0	該当なし
										GPIO107	1	IO
										OUTPUTXBAR8	16	O
111、128、13、47、6、64、79、95	100、49、6、64、75	100、11、50、6、75	1、41、51、62、80	1、32、48、64	1、32、48、64	1、24、36、48	1、23、35、48	VDD		VDD	0	PWR
31、45	24、37	28	16、29	16、29	19	21	21	VDDA		VDDA	0	APWR
43、44	36	21、22	28	28	13	20	20	VREFHI		VREFHI	0	AREF
42	35	20	27	27	12	19	PAD	VREFLO		VREFLO	0	AREF
110、12、127、46、63、78、94	48、63、74、99	10、19、49、74、99	40、50、61、79	31、47、63	31、47、63	23、35、47	PAD	VSS		VSS	0	GND
30	23	27	15	15	18	19	PAD	VSSA なし なし		VSSA	0	AGND

Copyright © 2026 Texas Instruments Incorporated

5.4 信号の説明

ピン多重化オプションのソフトウェア構成に応じて、複数のピンで多くの信号が利用可能です。

次のリストは、列ヘッダーについての説明です。

1. **信号名:**ピンを通過する信号の名前。

注

各「信号の説明」表に記載されている信号名と説明は、ピンに実装され、IOMUX パッド構成レジスタで選択されるピン多重化信号機能を表しています。一部のデバイス サブシステムでは信号機能の 2 次多重化が可能ですが、それらについてはこの表には記載されていません。2 次多重化信号機能の詳細については、『 AM13E230x マイコン テクニカル リファレンス マニュアル 』で該当するペリフェラルの章を参照してください。

---

2. **信号の種類:**信号の方向と種類:
   - I = 入力
   - O = 出力
   - IO = 入力、出力、または同時に入力と出力
   - ID = 入力、オープン ドレイン出力機能付き
   - OD = 出力、オープン ドレイン出力機能付き
   -
   -
   -
   - A = アナログ
   - PWR = 電源
   - GND = グランド
3. **説明:**信号の説明
4. **ボール:**関連のボール番号

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-3. ADC0 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
A0_1	ADC0 入力 1	A	27	20	23	12	12	14	8	8
A0_2	ADC0 入力 2	A	28	21	24	13	13	15	9	9
A0_3	ADC0 入力 3	A	29	22	25	14	14	16	10	10
A0_4	ADC0 入力 4	A	32	25	26	17	17	17	11	11
A0_5	ADC0 入力 5	A	68	53	53	45	36	35	28	27
A0_6	ADC0 入力 6	A	22	15	15	8	8	8		
A0_7	ADC0 入力 7	A	23	16	16	9	9	9		
A0_8	ADC0 入力 8	A	24	17	17	10	10	10		
A0_9	ADC0 入力 9	A	25	18	18	11	11	11		
A0_10	ADC0 入力 10	A	19	12	12	5	5	5	5	5
A0_11	ADC0 入力 11	A	66	51	51	43	34	33	26	25
A0_12	ADC0 入力 12	A	40	33	36	25	25	27	17	18
A0_14	ADC0 入力 14	A	65	50		42	33		25	24
A0_15	ADC0 入力 15	A	39	32	35	24	24	26	16	17
A0_16	ADC0 入力 16	A	56	41	41	33				
A0_17	ADC0 入力 17	A	35	28	31	20	20	22	14	14
A0_18	ADC0 入力 18	A	60	45	45	37				
A0_19	ADC0 入力 19	A	61	46	46	38				
A0_21	ADC0 入力 21	A	70	55	55	47				
A0_22	ADC0 入力 22	A	71	56	56	48				
A0_23	ADC0 入力 23	A	54	39	39	31				
A0_24	ADC0 入力 24	A	57	42	42	34				
A0_25	ADC0 入力 25	A	58	43	43	35				
A0_26	ADC0 入力 26	A	72	57	57	49				
A0_27	ADC0 入力 27	A	73	58	58					
A0_28	ADC0 入力 28	A	74	59	59					
A0_29	ADC0 入力 29	A	75	60	60					
A0_30	ADC0 入力 30	A	76	61	61					

Copyright © 2026 Texas Instruments Incorporated

表 5-4. ADC1 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
A1_1	ADC1 入力 1	A	27	20	23	12	12	14	8	8
A1_2	ADC1 入力 2	A	28	21	24	13	13	15	9	9
A1_3	ADC1 入力 3	A	35	28	31	20	20	22	14	14
A1_4	ADC1 入力 4	A	36	29	32	21	21	23	15	15
A1_5	ADC1 入力 5	A	37	30	33	22	22	24		16
A1_6	ADC1 入力 6	A	22	15	15	8	8	8		
A1_7	ADC1 入力 7	A	23	16	16	9	9	9		
A1_8	ADC1 入力 8	A	24	17	17	10	10	10		
A1_9	ADC1 入力 9	A	25	18	18	11	11	11		
A1_10	ADC1 入力 10	A	20	13	13	6	6	6	6	6
A1_11	ADC1 入力 11	A	38	31	34	23	23	25		
A1_12	ADC1 入力 12	A	41	34	37	26	26	28	18	19
A1_13	ADC1 入力 13	A	34	27	30	19	19	21	13	13
A1_14	ADC1 入力 14	A	65	50		42	33		25	24
A1_15	ADC1 入力 15	A	69	54	54	46	37	36	29	28
A1_16	ADC1 入力 16	A	56	41	41	33				
A1_17	ADC1 入力 17	A	33	26	29	18	18	20	12	12
A1_18	ADC1 入力 18	A	89	69	67	56	42	41	30	30
A1_19	ADC1 入力 19	A	90	70	68	57	43	42	31	31
A1_21	ADC1 入力 21	A	70	55	55	47				
A1_22	ADC1 入力 22	A	71	56	56	48				
A1_23	ADC1 入力 23	A	54	39	39	31				
A1_24	ADC1 入力 24	A	57	42	42	34				
A1_25	ADC1 入力 25	A	58	43	43	35				
A1_26	ADC1 入力 26	A	72	57	57	49				
A1_27	ADC1 入力 27	A	73	58	58					
A1_28	ADC1 入力 28	A	74	59	59					
A1_29	ADC1 入力 29	A	75	60	60					
A1_30	ADC1 入力 30	A	76	61	61					

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-5. ADC2 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
A2_1	ADC2 入力 1	A	40	33	36	25	25	27	17	18
A2_2	ADC2 入力 2	A	55	40	40	32				
A2_3	ADC2 入力 3	A	59	44	44	36				
A2_4	ADC2 入力 4	A	53	38	38	30				
A2_5	ADC2 入力 5	A	67	52	52	44	35	34	27	26
A2_6	ADC2 入力 6	A	54	39	39	31				
A2_7	ADC2 入力 7	A	72	57	57	49				
A2_8	ADC2 入力 8	A	73	58	58					
A2_9	ADC2 入力 9	A	74	59	59					
A2_10	ADC2 入力 10	A	75	60	60					
A2_11	ADC2 入力 11	A	76	61	61					
A2_12	ADC2 入力 12	A	39	32	35	24	24	26	16	17
A2_14	ADC2 入力 14	A	56	41	41	33				
A2_15	ADC2 入力 15	A	57	42	42	34				
A2_16	ADC2 入力 16	A	58	43	43	35				
A2_17	ADC2 入力 17	A	62	47	47	39	30	29	22	22
A2_18	ADC2 入力 18	A	33	26	29	18	18	20	12	12
A2_19	ADC2 入力 19	A	34	27	30	19	19	21	13	13
A2_21	ADC2 入力 21	A	32	25	26	17	17	17	11	11
A2_22	ADC2 入力 22	A	36	29	32	21	21	23	15	15
A2_23	ADC2 入力 23	A	37	30	33	22	22	24		16
A2_24	ADC2 入力 24	A	38	31	34	23	23	25		
A2_25	ADC2 入力 25	A	29	22	25	14	14	16	10	10
A2_26	ADC2 入力 26	A	35	28	31	20	20	22	14	14
A2_27	ADC2 入力 27	A	68	53	53	45	36	35	28	27
A2_28	ADC2 入力 28	A	69	54	54	46	37	36	29	28
A2_29	ADC2 入力 29	A	77	62	62					
A2_30	ADC2 入力 30	A	66	51	51	43	34	33	26	25

Copyright © 2026 Texas Instruments Incorporated

表 5-6. ADCCAL 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
ADCCAL_ADCINCAL0	ADC 校正入力 0	A	35	28	31	20	20	22	14	14

表 5-7. ANALOG 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
ANALOG_AIN0	A0_10 HFCLKIN X1	A	19	12	12	5	5	5	5	5
ANALOG_AIN1	A1_10 CMP2_HN0 X2	A	20	13	13	6	6	6	6	6
ANALOG_AIN2	A0_6 A1_6 CMP2_HN1	A	22	15	15	8	8	8		
ANALOG_AIN3	A0_7 A1_7 CMP2_HP1_LP1	A	23	16	16	9	9	9		
ANALOG_AIN4	A0_8 A1_8	A	24	17	17	10	10	10		
ANALOG_AIN5	A0_9 A1_9 PGA2_P1 PGA0_P0 PGA1_P0	A	25	18	18	11	11	11		
ANALOG_AIN6	A0_1 A1_1 CMP0_HN0 CMP2_HP0_LP0	A	27	20	23	12	12	14	8	8
ANALOG_AIN7	A0_2 A1_2 CMP0_HP1_LP1 PGA0_P1 PGA1_M0 PGA2_P2	A	28	21	24	13	13	15	9	9
ANALOG_AIN8	A0_3 A2_25 CMP1_HN0 PGA0_OUT	A	29	22	25	14	14	16	10	10

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-7. ANALOG 信号の説明 (続き)

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
ANALOG_AIN9	A0_4 A2_21 CMP1_HP0_LP0 PGA0_M0 PGA0_P2 PGA2_M0	A	32	25	26	17	17	17	11	11
ANALOG_AIN10	A1_17 A2_18 CMP2_DACL CMP0_HN1 TESTANA0	A	33	26	29	18	18	20	12	12
ANALOG_AIN11	A1_13 A2_19 CMP1_HN1 PGA1_M1 TESTANA1	A	34	27	30	19	19	21	13	13
ANALOG_AIN12	A0_17 A1_3 A2_26 CMP3_DACL PGA1_OUT ADCINCAL0	A	35	28	31	20	20	22	14	14
ANALOG_AIN13	A1_4 A2_22 CMP1_HP1_LP1 PGA0_P3 PGA1_P1	A	36	29	32	21	21	23	15	15
ANALOG_AIN14	A1_5 A2_23	A	37	30	33	22	22	24		16
ANALOG_AIN15	A1_11 A2_24 PGA0_M1 PGA1_M2	A	38	31	34	23	23	25		
ANALOG_AIN16	A0_15 A2_12 CMP3_HP1_LP1 PGA1_P2 PGA2_P3	A	39	32	35	24	24	26	16	17
ANALOG_AIN17	A0_12 A2_1 CMP0_HP0_LP0 PGA1_M3 PGA2_OUT	A	40	33	36	25	25	27	17	18
ANALOG_AIN18	A1_12 CMP3_HN0_LN0 PGA2_M1	A	41	34	37	26	26	28	18	19

Copyright © 2026 Texas Instruments Incorporated

表 5-7. ANALOG 信号の説明 (続き)

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
ANALOG_AIN19	A2_4 CMP3_HP0_LP0	A	53	38	38	30				
ANALOG_AIN20	A0_23 A1_23 A2_6 CMP3_HN1_LN1	A	54	39	39	31				
ANALOG_AIN21	A2_2 CMP3_HP2_LP2	A	55	40	40	32				
ANALOG_AIN22	A0_16 A1_16 A2_14	A	56	41	41	33				
ANALOG_AIN23	A0_24 A1_24 A2_15	A	57	42	42	34				
ANALOG_AIN24	A0_25 A1_25 A2_16	A	58	43	43	35				
ANALOG_AIN25	A2_3	A	59	44	44	36				
ANALOG_AIN26	A0_18	A	60	45	45	37				
ANALOG_AIN27	A0_19 CMP3_HP3_LP3	A	61	46	46	38				
ANALOG_AIN28	A2_17 CMP0_LN1 PGA2_M2 PGA0_M2	A	62	47	47	39	30	29	22	22
ANALOG_AIN29	A0_14 A1_14 CMP1_HP2_LP2 PGA0_P4 PGA2_P0	A	65	50		42	33		25	24
ANALOG_AIN30	A0_11 A2_30 CMP2_LN1 PGA1_P3 PGA0_P7	A	66	51	51	43	34	33	26	25
ANALOG_AIN31	A2_5 CMP0_HP2_LP2 PGA0_P5 PGA1_P4 PGA2_P4	A	67	52	52	44	35	34	27	26
ANALOG_AIN32	A0_5 A2_27 CMP2_HP3_LP3 PGA1_P5 PGA2_P5	A	68	53	53	45	36	35	28	27

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-7. ANALOG 信号の説明 (続き)

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
ANALOG_AIN33	A1_15 A2_28 CMP1_LN1 PGA2_M3	A	69	54	54	46	37	36	29	28
ANALOG_AIN34	A0_21 A1_21 PGA0_M3	A	70	55	55	47				
ANALOG_AIN35	A0_22 A1_22 PGA1_P6 PGA2_P7	A	71	56	56	48				
ANALOG_AIN36	A0_26 A1_26 A2_7 CMP1_LN0	A	72	57	57	49				
ANALOG_AIN37	A0_27 A1_27 A2_8 CMP1_HP3_LP3 PGA0_P6 PGA1_P8 PGA2_P8	A	73	58	58					
ANALOG_AIN38	A0_28 A1_28 A2_9 CMP0_HP3_LP3 PGA2_P6 PGA0_P8	A	74	59	59					
ANALOG_AIN39	A0_29 A1_29 A2_10 CMP0_LN0	A	75	60	60					
ANALOG_AIN40	A0_30 A1_30 A2_11 CMP2_HP2_LP2 PGA1_P7	A	76	61	61					
ANALOG_AIN41	A2_29 CMP2_LN0	A	77	62	62					
ANALOG_AIN42	A1_18	A	89	69	67	56	42	41	30	30
ANALOG_AIN43	A1_19	A	90	70	68	57	43	42	31	31

Copyright © 2026 Texas Instruments Incorporated

表 5-8. CMP0 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
CMP0_HN0	CMPSS0 ハイ コンパレータ負入力 0	A	27	20	23	12	12	14	8	8
CMP0_HN1	CMPSS0 ハイ コンパレータ負入力 1	A	33	26	29	18	18	20	12	12
CMP0_HP0_LP0	CMPSS0 ハイ/ロー コンパレータ正入力 0	A	40	33	36	25	25	27	17	18
CMP0_HP1_LP1	CMPSS0 ハイ/ロー コンパレータ正入力 1	A	28	21	24	13	13	15	9	9
CMP0_HP2_LP2	CMPSS0 ハイ/ロー コンパレータ正入力 2	A	67	52	52	44	35	34	27	26
CMP0_HP3_LP3	CMPSS0 ハイ/ロー コンパレータ正入力 3	A	74	59	59					
CMP0_LN0	CMPSS0 ロー コンパレータ負入力 0	A	75	60	60					
CMP0_LN1	CMPSS0 ロー コンパレータ負入力 1	A	62	47	47	39	30	29	22	22

表 5-9. CMP1 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
CMP1_HN0	CMPSS1 ハイ コンパレータ負入力 0	A	29	22	25	14	14	16	10	10
CMP1_HN1	CMPSS1 ハイ コンパレータ負入力 1	A	34	27	30	19	19	21	13	13
CMP1_HP0_LP0	CMPSS1 ハイ/ロー コンパレータ正入力 0	A	32	25	26	17	17	17	11	11
CMP1_HP1_LP1	CMPSS1 ハイ/ロー コンパレータ正入力 1	A	36	29	32	21	21	23	15	15
CMP1_HP2_LP2	CMPSS1 ハイ/ロー コンパレータ正入力 2	A	65	50		42	33		25	24
CMP1_HP3_LP3	CMPSS1 ハイ/ロー コンパレータ正入力 3	A	73	58	58					
CMP1_LN0	CMPSS1 ロー コンパレータ負入力 0	A	72	57	57	49				
CMP1_LN1	CMPSS1 ロー コンパレータ負入力 1	A	69	54	54	46	37	36	29	28

表 5-10. CMP2 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
CMP2_DACL	CMPSS2 バッファ付き DACL 出力	A	33	26	29	18	18	20	12	12
CMP2_HN0	CMPSS2 ハイ コンパレータ負入力 0	A	20	13	13	6	6	6	6	6
CMP2_HN1	CMPSS2 ハイ コンパレータ負入力 1	A	22	15	15	8	8	8		
CMP2_HP0_LP0	CMPSS2 ハイ/ロー コンパレータ正入力 0	A	27	20	23	12	12	14	8	8
CMP2_HP1_LP1	CMPSS2 ハイ/ロー コンパレータ正入力 1	A	23	16	16	9	9	9		
CMP2_HP2_LP2	CMPSS2 ハイ/ロー コンパレータ正入力 2	A	76	61	61					
CMP2_HP3_LP3	CMPSS2 ハイ/ロー コンパレータ正入力 3	A	68	53	53	45	36	35	28	27
CMP2_LN0	CMPSS2 ロー コンパレータ負入力 0	A	77	62	62					

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-10. CMP2 信号の説明 (続き)

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
CMP2_LN1	CMPSS2 ロー コンパレータ負入力 1	A	66	51	51	43	34	33	26	25

表 5-11. CMP3 信号の説明

信号名	説明	タイプ	LQFP48 ピン
CMP3_DACL	CMPSS3 バッファ付き DACL 出力	A	14
CMP3_HN0_LN0	CMPSS3 ハイ/ロー コンパレータ負入力 0	A	18
CMP3_HN1_LN1	CMPSS3 ハイ/ロー コンパレータ負入力 1	A	
CMP3_HP0_LP0	CMPSS3 ハイ/ロー コンパレータ正入力 0	A	
CMP3_HP1_LP1	CMPSS3 ハイ/ロー コンパレータ正入力 1	A	16
CMP3_HP2_LP2	CMPSS3 ハイ/ロー コンパレータ正入力 2	A	
CMP3_HP3_LP3	CMPSS3 ハイ/ロー コンパレータ正入力 3	A	

表 5-12. DEBUG 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
DEBUG_JTCK_SWCLK	JTAG テスト クロック/シリアル ワイヤ デバッグ クロック	IO	98	77	76	64	50	49	38	37
DEBUG_JTDI	JTAG テスト データ入力	I	99	78	77	65	51	50	39	38
DEBUG_JTDO_SWO	JTAG テスト データ出力/シリアル ワイヤ デバッグ出力	O	118	90	89	72	56	55	40	41
DEBUG_TMS_SWDIO	JTAG テスト モード選択/シリアル ワイヤ デバッグ入出力	IO	96	76	72	63	49	46	37	36

表 5-13. EPI0 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
EPI0_S0	外部周辺機器インターフェイス信号 0	IO	18、76	11、61	61					
EPI0_S1	外部周辺機器インターフェイス信号 1	IO	15、77	62	62					
EPI0_S2	外部周辺機器インターフェイス信号 2	IO	108、26	19、82	81	69				
EPI0_S3	外部周辺機器インターフェイス信号 3	IO	10、109	83	82	70				
EPI0_S4	外部周辺機器インターフェイス信号 4	IO	11、53	38	38	30				
EPI0_S5	外部周辺機器インターフェイス信号 5	IO	14、54	39	39	31				
EPI0_S6	外部周辺機器インターフェイス信号 6	IO	49、55	40	40	32				

Copyright © 2026 Texas Instruments Incorporated

表 5-13. EPI0 信号の説明 (続き)

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
EPI0_S7	外部周辺機器インターフェイス信号 7	IO	50、56	41	41	33				
EPI0_S8	外部周辺機器インターフェイス信号 8	IO	51、57	42	42	34				
EPI0_S9	外部周辺機器インターフェイス信号 9	IO	52、58	43	43	35				
EPI0_S10	外部周辺機器インターフェイス信号 10	IO	59	44	44	36				
EPI0_S11	外部周辺機器インターフェイス信号 11	IO	60	45	45	37				
EPI0_S12	外部周辺機器インターフェイス信号 12	IO	61	46	46	38				
EPI0_S13	外部周辺機器インターフェイス信号 13	IO	70	55	55	47				
EPI0_S14	外部周辺機器インターフェイス信号 14	IO	71	56	56	48				
EPI0_S15	外部周辺機器インターフェイス信号 15	IO	72	57	57	49				
EPI0_S16	外部周辺機器インターフェイス信号 16	IO	73	58	58					
EPI0_S17	外部周辺機器インターフェイス信号 17	IO	74	59	59					
EPI0_S18	外部周辺機器インターフェイス信号 18	IO	75	60	60					
EPI0_S19	外部周辺機器インターフェイス信号 19	IO	2	2	2					
EPI0_S20	外部周辺機器インターフェイス信号 20	IO	3	3	3					
EPI0_S21	外部周辺機器インターフェイス信号 21	IO	4	4	4					
EPI0_S22	外部周辺機器インターフェイス信号 22	IO	5	5	5					
EPI0_S23	外部周辺機器インターフェイス信号 23	IO	1	1	1					
EPI0_S24	外部周辺機器インターフェイス信号 24	IO	125、16	97	97					
EPI0_S25	外部周辺機器インターフェイス信号 25	IO	126、17	10、98	98					
EPI0_S26	外部周辺機器インターフェイス信号 26 (チップ セレクト 0)	IO	116、59	44、88	44、87	36				
EPI0_S27	外部周辺機器インターフェイス信号 27 (チップ セレクト 1)	IO	102、107	81	80	68	54	53		
EPI0_S28	外部周辺機器インターフェイス信号 28 (読み取り/出力イネーブル)	IO	113	85	84					
EPI0_S29	外部周辺機器インターフェイス信号 29 (書き込みイネーブル)	IO	114	86	85					
EPI0_S30	外部周辺機器インターフェイス信号 30 (アドレスラッチイネーブル)	IO	121	93	92	75	59	58	43	44
EPI0_S31	外部周辺機器インターフェイス信号 31 (クロック)	IO	112	84	83	71	55	54		
EPI0_S32	外部周辺機器インターフェイス信号 32 (入力準備完了/nWAIT)	IO	115	87	86					
EPI0_S33	外部周辺機器インターフェイス信号 33 (チップ セレクト 3)	IO	48、62	47	47	39	30	29	22	22

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 5-13. EPI0 信号の説明 (続き)

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
EPI0_S34	外部周辺機器インターフェイス信号 34 (チップ セレクト 2)	IO	106、66	51	51	43	34	33	26	25
EPI0_S35	外部周辺機器インターフェイス信号 35 (レジスタの構成イネーブル)	IO	105、67	52	52	44	35	34	27	26

表 5-14. GPIO 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
GPIO00	汎用入出力 0 (Wakeup0)	IO	27	20	23	12	12	14	8	8
GPIO01	汎用入出力 1	IO	28	21	24	13	13	15	9	9
GPIO02	汎用入出力 2 (Wakeup3)	IO	29	22	25	14	14	16	10	10
GPIO03	汎用入出力 3	IO	32	25	26	17	17	17	11	11
GPIO04	汎用入出力 4	IO	33	26	29	18	18	20	12	12
GPIO05	汎用入出力 5	IO	34	27	30	19	19	21	13	13
GPIO06	汎用入出力 6	IO	35	28	31	20	20	22	14	14
GPIO07	汎用入出力 7	IO	36	29	32	21	21	23	15	15
GPIO08	汎用入出力 8	IO	89	69	67	56	42	41	30	30
GPIO09	汎用入出力 9	IO	90	70	68	57	43	42	31	31
GPIO10	汎用入出力 10	IO	91	71	69	58	44	43	32	32
GPIO11	汎用入出力 11	IO	92	72	70	59	45	44	33	33
GPIO12	汎用入出力 12	IO	93	73	71	60	46	45	34	34
GPIO13	汎用入出力 13	IO	96	76	72	63	49	46	37	36
GPIO14	汎用入出力 14	IO	98	77	76	64	50	49	38	37
GPIO15	汎用入出力 15	IO	99	78	77	65	51	50	39	38
GPIO16	汎用入出力 16	IO	39	32	35	24	24	26	16	17
GPIO17	汎用入出力 17	IO	40	33	36	25	25	27	17	18
GPIO18	汎用入出力 18	IO	41	34	37	26	26	28	18	19
GPIO19	汎用入出力 19	IO	118	90	89	72	56	55	40	41
GPIO100	汎用入出力 100	IO	86							
GPIO101	汎用入出力 101	IO	103							
GPIO102	汎用入出力 102	IO	104							
GPIO103	汎用入出力 103	IO	105							
GPIO104	汎用入出力 104	IO	106							

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 5-14. GPIO 信号の説明 (続き)

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
GPIO105	汎用入出力 105	IO	107							
GPIO107	汎用入出力 107	IO			94			60		
GPIO20	汎用入出力 20	IO	119	91	90	73	57	56	41	42
GPIO21	汎用入出力 21	IO	120	92	91	74	58	57	42	43
GPIO22	汎用入出力 22	IO	121	93	92	75	59	58	43	44
GPIO23	汎用入出力 23	IO	122	94	93	76	60	59	44	45
GPIO24	汎用入出力 24	IO	123	95	95	77	61	61	45	46
GPIO25	汎用入出力 25	IO	124	96	96	78	62	62	46	47
GPIO26	汎用入出力 26	IO	62	47	47	39	30	29	22	22
GPIO27	汎用入出力 27	IO	65	50		42	33		25	24
GPIO28	汎用入出力 28	IO	66	51	51	43	34	33	26	25
GPIO29	汎用入出力 29	IO	67	52	52	44	35	34	27	26
GPIO30	汎用入出力 30	IO	68	53	53	45	36	35	28	27
GPIO31	汎用入出力 31	IO	69	54	54	46	37	36	29	28
GPIO32	汎用入出力 32	IO	22	15	15	8	8	8		
GPIO33	汎用入出力 33 (Wakeup5)	IO	23	16	16	9	9	9		
GPIO34	汎用入出力 34	IO	24	17	17	10	10	10		
GPIO35	汎用入出力 35	IO	25	18	18	11	11	11		
GPIO36	汎用入出力 36	IO	37	30	33	22	22	24		16
GPIO37	汎用入出力 37 (Wakeup4)	IO	38	31	34	23	23	25		
GPIO38	汎用入出力 38	IO	80	65	63	52	38	37		29
GPIO39	汎用入出力 39	IO	81	66	64	53	39	38		
GPIO40	汎用入出力 40	IO	87	67	65	54	40	39		
GPIO41	汎用入出力 41	IO	88	68	66	55	41	40		
GPIO42	汎用入出力 42	IO	100	79	78	66	52	51		39
GPIO43	汎用入出力 43	IO	101	80	79	67	53	52		40
GPIO44	汎用入出力 44	IO	102	81	80	68	54	53		
GPIO45	汎用入出力 45 (Wakeup1)	IO	7	7	7	2	2	2	2	2
GPIO46	汎用入出力 46	IO	8	8	8	3	3	3	3	3
GPIO47	汎用入出力 47	IO	9	9	9	4	4	4	4	4
GPIO48	汎用入出力 48	IO	108	82	81	69				
GPIO49	汎用入出力 49	IO	109	83	82	70				

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-14. GPIO 信号の説明 (続き)

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
GPIO50	汎用入出力 50 (Wakeup6)	IO	112	84	83	71	55	54		
GPIO51	汎用入出力 51 (Wakeup7)	IO	113	85	84					
GPIO52	汎用入出力 52	IO	114	86	85					
GPIO53	汎用入出力 53	IO	115	87	86					
GPIO54	汎用入出力 54	IO	116	88	87					
GPIO55	汎用入出力 55	IO	117	89	88					
GPIO56	汎用入出力 56	IO	70	55	55	47				
GPIO57	汎用入出力 57	IO	71	56	56	48				
GPIO58	汎用入出力 58	IO	72	57	57	49				
GPIO59	汎用入出力 59	IO	73	58	58					
GPIO60	汎用入出力 60	IO	74	59	59					
GPIO61	汎用入出力 61	IO	75	60	60					
GPIO62	汎用入出力 62	IO	76	61	61					
GPIO63	汎用入出力 63	IO	77	62	62					
GPIO64	汎用入出力 64	IO	125	97	97					
GPIO65	汎用入出力 65	IO	126	98	98					
GPIO66	汎用入出力 66	IO	1	1	1					
GPIO67	汎用入出力 67	IO	2	2	2					
GPIO68	汎用入出力 68	IO	3	3	3					
GPIO69	汎用入出力 69	IO	4	4	4					
GPIO70	汎用入出力 70 (Wakeup2)	IO	5	5	5					
GPIO71	汎用入出力 71	IO	53	38	38	30				
GPIO72	汎用入出力 72	IO	54	39	39	31				
GPIO73	汎用入出力 73	IO	55	40	40	32				
GPIO74	汎用入出力 74	IO	56	41	41	33				
GPIO75	汎用入出力 75	IO	57	42	42	34				
GPIO76	汎用入出力 76	IO	58	43	43	35				
GPIO77	汎用入出力 77	IO	59	44	44	36				
GPIO78	汎用入出力 78	IO	60	45	45	37				
GPIO79	汎用入出力 79	IO	61	46	46	38				
GPIO80	汎用入出力 80	IO	19	12	12	5	5	5	5	5
GPIO81	汎用入出力 81	IO	20	13	13	6	6	6	6	6

Copyright © 2026 Texas Instruments Incorporated

表 5-14. GPIO 信号の説明 (続き)

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
GPIO82	汎用入出力 82	IO	26	19						
GPIO83	汎用入出力 83	IO	10							
GPIO84	汎用入出力 84	IO	11							
GPIO85	汎用入出力 85	IO	14							
GPIO86	汎用入出力 86	IO	97		73					
GPIO87	汎用入出力 87	IO	15							
GPIO88	汎用入出力 88	IO	16							
GPIO89	汎用入出力 89	IO	17	10						
GPIO90	汎用入出力 90	IO	18	11						
GPIO91	汎用入出力 91	IO	48							
GPIO92	汎用入出力 92	IO	49							
GPIO93	汎用入出力 93	IO	50							
GPIO94	汎用入出力 94	IO	51							
GPIO95	汎用入出力 95	IO	52							
GPIO96	汎用入出力 96	IO	82							
GPIO97	汎用入出力 97	IO	83							
GPIO98	汎用入出力 98	IO	84							
GPIO99	汎用入出力 99	IO	85							

表 5-15. GROUND 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
VSS	デジタル GND	GND	110、12、127、46、63、78、94	48、63、74、99	10、19、49、74、99	40、50、61、79	31、47、63	31、47、63	23、35、47	PAD
VSSA	アナログ GND	AGND	30	23	27	15	15	18	19	PAD

表 5-16. MCAN0 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
MCAN0_RX	CAN 受信 (RX) 信号	I	109、118、120、123、37、66、8、92、99	30、51、72、78、8、83、90、92、95	33、51、70、77、8、82、89、91、95	22、3、43、59、65、70、72、74、77	22、3、34、45、51、56、58、61	24、3、33、44、50、55、57、61	26、3、33、39、40、42、45	16、25、3、33、38、41、43、46

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 5-16. MCAN0 信号の説明 (続き)

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
MCAN0_TX	CAN 送信 (TX) 信号	O	108、119、121、124、38、67、89、9、93	31、52、69、73、82、9、91、93、96	34、52、67、71、81、9、90、92、96	23、4、44、56、60、69、73、75、78	23、35、4、42、46、57、59、62	25、34、4、41、45、56、58、62	27、30、34、4、41、43、46	26、30、34、4、42、44、47

表 5-17. MCPWM0 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
MCPWM0_1A	MCPWM0 出力 1A	O	22、25、55、60、61、89、92	15、18、40、45、46、69、72	15、18、40、45、46、67、70	11、32、37、38、56、59、8	11、42、45、8	11、41、44、8	30、33	30、33
MCPWM0_1B	MCPWM0 出力 1B	O	36、38、54、56、60、67、7、92、93	29、31、39、41、45、52、7、72、73	32、34、39、41、45、52、7、70、71	2、21、23、31、33、37、44、59、60	2、21、23、35、45、46	2、23、25、34、44、45	15、2、27、33、34	15、2、26、33、34
MCPWM0_2A	MCPWM0 出力 2A	O	23、57、90	16、42、70	16、42、68	34、57、9	43、9	42、9	31	31
MCPWM0_2B	MCPWM0 出力 2B	O	39、54、56、68、93	32、39、41、53、73	35、39、41、53、71	24、31、33、45、60	24、36、46	26、35、45	16、28、34	17、27、34
MCPWM0_3A	MCPWM0 出力 3A	O	24、59、91	17、44、71	17、44、69	10、36、58	10、44	10、43	32	32
MCPWM0_3B	MCPWM0 出力 3B	O	124、19、40、55、58、69	12、33、40、43、54、96	12、36、40、43、54、96	25、32、35、46、5、78	25、37、5、62	27、36、5、62	17、29、46、5	18、28、47、5

表 5-18. MCPWM1 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
MCPWM1_1A	MCPWM1 出力 1A	O	109、121、80、88、99	65、68、78、83、93	63、66、77、82、92	52、55、65、70、75	38、41、51、59	37、40、50、58	39、43	29、38、44
MCPWM1_1B	MCPWM1 出力 1B	O	100、108、118、36、7	29、7、79、82、90	32、7、78、81、89	2、21、66、69、72	2、21、52、56	2、23、51、55	15、2、40	15、2、39、41
MCPWM1_2A	MCPWM1 出力 2A	O	123、81、98	66、77、95	64、76、95	53、64、77	39、50、61	38、49、61	38、45	37、46
MCPWM1_2B	MCPWM1 出力 2B	O	101、119、39	32、80、91	35、79、90	24、67、73	24、53、57	26、52、56	16、41	17、40、42
MCPWM1_3A	MCPWM1 出力 3A	O	124、87	67、96	65、96	54、78	40、62	39、62	46	47
MCPWM1_3B	MCPWM1 出力 3B	O	102、120、40	33、81、92	36、80、91	25、68、74	25、54、58	27、53、57	17、42	18、43

表 5-19. MCPWM2 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
MCPWM2_1A	MCPWM2 出力 1A	O	1、10、126、41、49、52	1、34、98	1、37、98	26	26	28	18	19

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 5-19. MCPWM2 信号の説明 (続き)

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
MCPWM2_1B	MCPWM2 出力 1B	O	11、125、3、34、40、82、85	27、3、33、97	3、30、36、97	19、25	19、25	21、27	13、17	13、18
MCPWM2_2A	MCPWM2 出力 2A	O	121、15、2、24、50、74、92	17、2、59、72、93	17、2、59、70、92	10、59、75	10、45、59	10、44、58	33、43	33、44
MCPWM2_2B	MCPWM2 出力 2B	O	122、14、4、75、83、93	4、60、73、94	4、60、71、93	60、76	46、60	45、59	34、44	34、45
MCPWM2_3A	MCPWM2 出力 3A	O	123、26、51、76、87、96	19、61、67、76、95	61、65、72、95	54、63、77	40、49、61	39、46、61	37、45	36、46
MCPWM2_3B	MCPWM2 出力 3B	O	124、5、77、84、97	5、62、96	5、62、73、96	78	62	62	46	47

表 5-20. MCPWM3 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
MCPWM3_1A	MCPWM3 出力 1A	O	1、10、106、119、123、125、126、17、27、29、35、41、49、52、68、82、87、89、93、97、99	1、10、20、22、28、34、53、67、69、73、78、91、95、97、98	1、23、25、31、37、53、65、67、71、73、77、90、95、97、98	12、14、20、26、45、54、56、60、65、73、77	12、14、20、26、36、40、42、46、51、57、61	14、16、22、28、35、39、41、45、50、56、61	10、14、18、28、30、34、39、41、45、8	10、14、19、27、30、34、38、42、46、8
MCPWM3_1B	MCPWM3 出力 1B	O	102、107、11、121、125、15、16、28、29、3、34、40、69、7、82、83、85、88、90、96	21、22、27、3、33、54、68、7、70、76、81、93、97	24、25、3、30、36、54、66、68、7、72、80、92、97	13、14、19、2、25、46、55、57、63、68、75	13、14、19、2、25、37、41、43、49、54、59	15、16、2、21、27、36、40、42、46、53、58	10、13、17、2、29、31、37、43、9	10、13、18、2、28、31、36、44、9
MCPWM3_2A	MCPWM3 出力 2A	O	109、121、15、16、18、2、24、28、32、50、54、69、74、84、91	11、17、2、21、25、39、54、59、71、83、93	17、2、24、26、39、54、59、69、82、92	10、13、17、31、46、58、70、75	10、13、17、37、44、59	10、15、17、36、43、58	11、29、32、43、9	11、28、32、44、9
MCPWM3_2B	MCPWM3 出力 2B	O	100、108、122、14、17、19、32、4、55、75、83、85、92、93	10、12、25、4、40、60、72、73、79、82、94	12、26、4、40、60、70、71、78、81、93	17、32、5、59、60、66、69、76	17、45、46、5、52、60	17、44、45、5、51、59	11、33、34、44、5	11、33、34、39、45、5

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-20. MCPWM3 信号の説明 (続き)

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
MCPWM3_3A	MCPWM3 出力 3A	O	117、120、123、124、126、23、26、29、35、36、51、57、62、66、76、80、86、87、90、96、98	16、19、22、28、29、42、47、51、61、65、67、70、76、77、89、92、95、96、98	16、25、31、32、42、47、51、61、63、65、68、72、76、88、91、95、96、98	14、20、21、34、39、43、52、54、57、63、64、74、77、78、9	14、20、21、30、34、38、40、43、49、50、58、61、62、9	16、22、23、29、33、37、39、42、46、49、57、61、62、9	10、14、15、22、26、31、37、38、42、45、46	10、14、15、22、25、29、31、36、37、43、46、47
MCPWM3_3B	MCPWM3 出力 3A	O	116、121、122、124、32、36、39、5、56、65、67、68、77、81、84、87、88、91、93、97	25、29、32、41、5、50、52、53、62、66、67、68、71、73、88、93、94、96	26、32、35、41、5、52、53、62、64、65、66、69、71、73、87、92、93、96	17、21、24、33、42、44、45、53、54、55、58、60、75、76、78	17、21、24、33、35、36、39、40、41、44、46、59、60、62	17、23、26、34、35、38、39、40、43、45、58、59、62	11、15、16、25、27、28、32、34、43、44、46	11、15、17、24、26、27、32、34、44、45、47

表 5-21. MCPWM4 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
MCPWM4_1A	MCPWM4 出力 1A	O	113、124、126、22、25、27、3、34、36、39、55、60、61、66、68、86、89、92	15、18、20、27、29、3、32、40、45、46、51、53、69、72、85、96、98	15、18、23、3、30、32、35、40、45、46、51、53、67、70、84、96、98	11、12、19、21、24、32、37、38、43、45、56、59、78、8	11、12、19、21、24、34、36、42、45、62、8	11、14、21、23、26、33、35、41、44、62、8	13、15、16、26、28、30、33、46、8	13、15、17、25、27、30、33、47、8
MCPWM4_1B	MCPWM4 出力 1B	O	102、114、118、120、122、28、36、38、4、40、54、60、67、69、92、93	21、29、31、33、39、4、45、52、54、72、73、81、86、90、92、94	24、32、34、36、39、4、45、52、54、70、71、80、85、89、91、93	13、21、23、25、31、37、44、46、59、60、68、72、74、76	13、21、23、25、35、37、45、46、54、56、58、60	15、23、25、27、34、36、44、45、53、55、57、59	15、17、27、29、33、34、40、42、44、9	15、18、26、28、33、34、41、43、45、9
MCPWM4_2A	MCPWM4 出力 2A	O	106、117、119、121、123、125、15、17、2、23、24、27、29、35、41、50、57、62、68、74、80、82、87、88、89、90、92、93、97、99	10、16、17、2、20、22、28、34、42、47、53、59、65、67、68、69、70、72、73、78、89、91、93、95、97	16、17、2、23、25、31、37、42、47、53、59、63、65、66、67、68、70、71、73、77、88、90、92、95、97	10、12、14、20、26、34、39、45、52、54、55、56、57、59、60、65、73、75、77、9	10、12、14、20、26、30、36、38、40、41、42、43、45、46、51、57、59、61、9	10、14、16、22、28、29、35、37、39、40、41、42、44、45、50、56、58、61、9	10、14、18、22、28、30、31、33、34、39、41、43、45、8	10、14、19、22、27、29、30、31、33、34、38、42、44、46、8

Copyright © 2026 Texas Instruments Incorporated

表 5-21. MCPWM4 信号の説明 (続き)

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
MCPWM4_2B	MCPWM4 出力 2B	O	102、107、116、118、121、122、14、28、29、32、36、39、4、56、65、68、69、7、75、83、88、90、91、93、96	21、22、25、29、32、4、41、50、53、54、60、68、7、70、71、73、76、81、88、90、93、94	24、25、26、32、35、4、41、53、54、60、66、68、69、7、71、72、80、87、89、92、93	13、14、17、2、21、24、33、42、45、46、55、57、58、60、63、68、72、75、76	13、14、17、2、21、24、33、36、37、41、43、44、46、49、54、56、59、60	15、16、17、2、23、26、35、36、40、42、43、45、46、53、55、58、59	10、11、15、16、2、25、28、29、31、32、34、37、40、43、44、9	10、11、15、17、2、24、27、28、31、32、34、36、41、44、45、9
MCPWM4_3A	MCPWM4 出力 3A	O	1、117、119、120、123、124、24、26、29、36、51、59、62、76、81、86、87、91、96	1、17、19、22、29、44、47、61、66、67、71、76、89、91、92、95、96	1、17、25、32、44、47、61、64、65、69、72、88、90、91、95、96	10、14、21、36、39、53、54、58、63、73、74、77、78	10、14、21、30、39、40、44、49、57、58、61、62	10、16、23、29、38、39、43、46、56、57、61、62	10、15、22、32、37、41、42、45、46	10、15、22、32、36、42、43、46、47
MCPWM4_3B	MCPWM4 出力 3B	O	116、119、120、121、122、124、19、2、33、39、40、58、67、69、77、80、84、87、97	12、2、26、32、33、43、52、54、62、65、67、88、91、92、93、94、96	12、2、29、35、36、43、52、54、62、63、65、73、87、90、91、92、93、96	18、24、25、35、44、46、5、52、54、73、74、75、76、78	18、24、25、35、37、38、40、5、57、58、59、60、62	20、26、27、34、36、37、39、5、56、57、58、59、62	12、16、17、27、29、41、42、43、44、46、5	12、17、18、26、28、29、42、43、44、45、47、5

表 5-22. NC 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
NC	接続なし	NC			48			30		

表 5-23. OUTPUTXBAR 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
OUTPUTXBAR1	出力クロスバー出力 (グループ 1)	O	1、107、117、125、18、36、39、53、61、76、8、86、99	1、11、29、32、38、46、61、78、8、89、97	1、32、35、38、46、61、77、8、88、97	21、24、3、30、38、65	21、24、3、51	23、26、3、50	15、16、3、39	15、17、3、38
OUTPUTXBAR2	出力クロスバー出力 (グループ 2)	O	100、108、118、126、19、2、37、40、54、62、69、77、87、9、97	12、2、30、33、39、47、54、62、67、79、82、9、90、98	12、2、33、36、39、47、54、62、65、73、78、81、89、9、98	22、25、31、39、4、46、5、54、66、69、72	22、25、30、37、4、40、5、52、56	24、27、29、36、39、4、5、51、55	17、22、29、4、40、5	16、18、22、28、39、4、41、5

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-23. OUTPUTXBAR 信号の説明 (続き)

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
OUTPUTXBAR3	出力クロスバー出力 (グループ 3)	O	10、101、109、119、20、3、38、41、55、65、70、80、88、89	13、3、31、34、40、50、55、65、68、69、80、83、91	13、3、34、37、40、55、63、66、67、79、82、90	23、26、32、42、47、52、55、56、6、67、70、73	23、26、33、38、41、42、53、57、6	25、28、37、40、41、52、56、6	18、25、30、41、6	19、24、29、30、40、42、6
OUTPUTXBAR4	出力クロスバー出力 (グループ 4)	O	102、11、112、120、28、4、48、56、66、71、81、90	21、4、41、51、56、66、70、81、84、92	24、4、41、51、56、64、68、80、83、91	13、33、43、48、53、57、68、71、74	13、34、39、43、54、55、58	15、33、38、42、53、54、57	26、31、42、9	25、31、43、9
OUTPUTXBAR5	出力クロスバー出力 (グループ 5)	O	103、113、121、14、22、29、49、5、57、67、72、82、92	15、22、42、5、52、57、72、85、93	15、25、42、5、52、57、70、84、92	14、34、44、49、59、75、8	14、35、45、59、8	16、34、44、58、8	10、27、33、43	10、26、33、44
OUTPUTXBAR6	出力クロスバー出力 (グループ 6)	O	104、114、122、15、23、32、33、50、58、68、7、73、83、93	16、25、26、43、53、58、7、73、86、94	16、26、29、43、53、58、7、71、85、93	17、18、2、35、45、60、76、9	17、18、2、36、46、60、9	17、2、20、35、45、59、9	11、12、2、28、34、44	11、12、2、27、34、45
OUTPUTXBAR7	出力クロスバー出力 (グループ 7)	O	105、115、123、124、16、24、26、34、51、59、74、84、96	17、19、27、44、59、76、87、95、96	17、30、44、59、72、86、95、96	10、19、36、63、77、78	10、19、49、61、62	10、21、46、61、62	13、37、45、46	13、36、46、47
OUTPUTXBAR8	出力クロスバー出力 (グループ 8)	O	106、116、17、25、27、35、52、60、75、85、91、98	10、18、20、28、45、60、71、77、88	18、23、31、45、60、69、76、87、94	11、12、20、37、58、64	11、12、20、44、50	11、14、22、43、49、60	14、32、38、8	14、32、37、8

表 5-24. PGA0 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
PGA0_OUT	PGA0 出力	A	29	22	25	14	14	16	10	10
PGA0_M0	PGA0 負 (-) の入力 0	A	32	25	26	17	17	17	11	11
PGA0_M1	PGA0 負 (-) の入力 1	A	38	31	34	23	23	25		
PGA0_M2	PGA0 負 (-) の入力 2	A	62	47	47	39	30	29	22	22
PGA0_M3	PGA0 負 (-) の入力 3	A	70	55	55	47				
PGA0_P0	PGA0 正 (+) 入力 0	A	25	18	18	11	11	11		
PGA0_P1	PGA0 正 (+) 入力 1	A	28	21	24	13	13	15	9	9
PGA0_P2	PGA0 正 (+) 入力 2	A	32	25	26	17	17	17	11	11

Copyright © 2026 Texas Instruments Incorporated

表 5-24. PGA0 信号の説明 (続き)

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
PGA0_P3	PGA0 正 (+) 入力 3	A	36	29	32	21	21	23	15	15
PGA0_P4	PGA0 正 (+) 入力 4	A	65	50		42	33		25	24
PGA0_P5	PGA0 正 (+) 入力 5	A	67	52	52	44	35	34	27	26
PGA0_P6	PGA0 正 (+) 入力 6	A	73	58	58					
PGA0_P7	PGA0 正 (+) 入力 7	A	66	51	51	43	34	33	26	25
PGA0_P8	PGA0 正 (+) 入力 8	A	74	59	59					

表 5-25. PGA1 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
PGA1_OUT	PGA1 出力	A	35	28	31	20	20	22	14	14
PGA1_M0	PGA1 負 (-) の入力 0	A	28	21	24	13	13	15	9	9
PGA1_M1	PGA1 負 (-) の入力 1	A	34	27	30	19	19	21	13	13
PGA1_M2	PGA1 負 (-) の入力 2	A	38	31	34	23	23	25		
PGA1_M3	PGA1 負 (-) の入力 3	A	40	33	36	25	25	27	17	18
PGA1_P0	PGA1 正 (+) 入力 0	A	25	18	18	11	11	11		
PGA1_P1	PGA1 正 (+) 入力 1	A	36	29	32	21	21	23	15	15
PGA1_P2	PGA1 正 (+) 入力 2	A	39	32	35	24	24	26	16	17
PGA1_P3	PGA1 正 (+) 入力 3	A	66	51	51	43	34	33	26	25
PGA1_P4	PGA1 正 (+) 入力 4	A	67	52	52	44	35	34	27	26
PGA1_P5	PGA1 正 (+) 入力 5	A	68	53	53	45	36	35	28	27
PGA1_P6	PGA1 正 (+) 入力 6	A	71	56	56	48				
PGA1_P7	PGA1 正 (+) 入力 7	A	76	61	61					
PGA1_P8	PGA1 正 (+) 入力 8	A	73	58	58					

表 5-26. PGA2 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
PGA2_OUT	PGA2 出力	A	40	33	36	25	25	27	17	18
PGA2_M0	PGA2 負 (-) の入力 0	A	32	25	26	17	17	17	11	11
PGA2_M1	PGA2 負 (-) の入力 1	A	41	34	37	26	26	28	18	19
PGA2_M2	PGA2 負 (-) の入力 2	A	62	47	47	39	30	29	22	22

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-26. PGA2 信号の説明 (続き)

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
PGA2_M3	PGA2 負 (-) の入力 3	A	69	54	54	46	37	36	29	28
PGA2_P0	PGA2 正 (+) 入力 0	A	65	50		42	33		25	24
PGA2_P1	PGA2 正 (+) 入力 1	A	25	18	18	11	11	11		
PGA2_P2	PGA2 正 (+) 入力 2	A	28	21	24	13	13	15	9	9
PGA2_P3	PGA2 正 (+) 入力 3	A	39	32	35	24	24	26	16	17
PGA2_P4	PGA2 正 (+) 入力 4	A	67	52	52	44	35	34	27	26
PGA2_P5	PGA2 正 (+) 入力 5	A	68	53	53	45	36	35	28	27
PGA2_P6	PGA2 正 (+) 入力 6	A	74	59	59					
PGA2_P7	PGA2 正 (+) 入力 7	A	71	56	56	48				
PGA2_P8	PGA2 正 (+) 入力 8	A	73	58	58					

表 5-27. POWER 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
VDD	3.3V デジタル電源ピン	PWR	111、128、13、47、6、64、79、95	100、49、6、64、75	100、11、50、6、75	1、41、51、62、80	1、32、48、64	1、32、48、64	1、24、36、48	1、23、35、48
VDDA	3.3V アナログ電源ピン	APWR	31、45	24、37	28	16、29	16、29	19	21	21

表 5-28. SYSCTL 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
NRST	デバイスリセット (NRST)	RST	21	14	14	7	7	7	7	7
SYSCTL_FCC_IN	周波数クロック カウンタ (FCC) 入力信号	I	1、10、39、67、7、96	1、32、52、7、76	1、35、52、7、72	2、24、44、63	2、24、35、49	2、26、34、46	16、2、27、37	17、2、26、36
SYSCTL_HFCLKIN	外部クロック入力	A	19、32	12、25	12、26	17、5	17、5	17、5	11、5	11、5
SYSCTL_X1	水晶 (XTAL) 入力 (X1) またはシングルエンド クロック入力	A	19	12	12	5	5	5	5	5
SYSCTL_X2	水晶 (XTAL) 出力 (X2)	A	20	13	13	6	6	6	6	6
SYSCTL_XCLKOUT	外部クロック出力。 このピンは、デバイス内から選択されたクロック信号の (オプションで) 分周バージョンを出力します。	O	18、33、65、7、8	11、26、50、7、8	29、7、8	18、2、3、42	18、2、3、33	2、20、3	12、2、25、3	12、2、24、3

Copyright © 2026 Texas Instruments Incorporated

表 5-29. TIMER 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
TIMG12_0_CCP0	TIMG12_0 キャプチャ/Compare0 信号	IO	27、32、62、66	20、25、47、51	23、26、47、51	12、17、39、43	12、17、30、34	14、17、29、33	11、22、26、8	11、22、25、8
TIMG12_0_CCP1	TIMG12_0 キャプチャ/Compare1 信号	IO	28、33、65、67	21、26、50、52	24、29、52	13、18、42、44	13、18、33、35	15、20、34	12、25、27、9	12、24、26、9
TIMG4_0_CCP0	TIMG4_0 キャプチャ/Compare0 信号	IO	27、32、62、66、72、74、76	20、25、47、51、57、59、61	23、26、47、51、57、59、61	12、17、39、43、49	12、17、30、34	14、17、29、33	11、22、26、8	11、22、25、8
TIMG4_0_CCP1	TIMG4_0 キャプチャ/Compare1 信号	IO	28、33、65、67、73、75、77	21、26、50、52、58、60、62	24、29、52、58、60、62	13、18、42、44	13、18、33、35	15、20、34	12、25、27、9	12、24、26、9

表 5-30. TRACE 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
TRACE_CLK	トレース クロック	IO	1、101	1、80	1、79	67	53	52		40
TRACE_DATA0	トレース データ 0	O	126、2	2、98	2、98					
TRACE_DATA1	トレース データ 1	O	3、87	3、67	3、65	54	40	39		
TRACE_DATA2	トレース データ 2	O	112、4	4、84	4、83	71	55	54		
TRACE_DATA3	トレース データ 3	O	102、5	5、81	5、80	68	54	53		

表 5-31. UC0 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
UC0_RTS_POCI	UNICOMM0 RTS:UART 送信許可信 POCI:SPI ペリフェラル出力 - コントローラ入力	O	103、104、119、2、28、3、33、35、40、53、57、66、68、74、93、97、99	2、21、26、28、3、33、38、42、51、53、59、73、78、91	2、24、29、3、31、36、38、42、51、53、59、71、73、77、90	13、18、20、25、30、34、43、45、60、65、73	13、18、20、25、34、36、46、51、57	15、20、22、27、33、35、45、50、56	12、14、17、26、28、34、39、41、9	12、14、18、25、27、34、38、42、9
UC0_RX_SCL_SCLK	UNICOMM0 RX:UART 受信 SCL:I2C クロック SCLK:SPI クロック	IO	1、10、100、101、102、105、106、112、118、120、122、123、124、126、22、32、34、38、51、58、61、62、65、84、87、89、9、91、96、99	1、15、25、27、31、43、46、47、50、67、69、71、76、78、79、80、81、84、9、90、92、94、95、96、98	1、15、26、30、34、43、46、47、65、67、69、72、77、78、79、80、83、89、9、91、93、95、96、98	17、19、23、35、38、39、4、42、54、56、58、63、65、66、67、68、71、72、74、76、77、78、8	17、19、23、30、33、4、40、42、44、49、51、52、53、54、55、56、58、60、61、62、8	17、21、25、29、39、4、41、43、46、50、51、52、53、54、55、57、59、61、62、8	11、13、22、25、30、32、37、39、4、40、42、44、45、46	11、13、22、24、30、32、36、38、39、4、40、41、43、45、46、47

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-31. UC0 信号の説明 (続き)

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
UC0_TX_SDA_PICO	UNICOMM0 TX:UART 送信 SDA:I2C データ PICO:SPI ペリフェラル入力 - コントローラ出力	O	100、101、102、105、106、107、11、112、120、121、122、123、124、125、23、29、36、37、5、52、60、61、62、65、8、86、88、90、98	16、22、29、30、45、46、47、5、50、68、70、77、79、8、80、81、84、92、93、94、95、96、97	16、25、32、33、45、46、47、5、66、68、76、78、79、8、80、83、91、92、93、95、96、97	14、21、22、3、37、38、39、42、55、57、64、66、67、68、71、74、75、76、77、78、9	14、21、22、3、30、33、41、43、50、52、53、54、55、58、59、60、61、62、9	16、23、24、29、3、40、42、49、51、52、53、54、57、58、59、61、62、9	10、15、22、25、3、31、38、42、43、44、45、46	10、15、16、22、24、3、31、37、39、40、43、44、45、46、47
UC0_CTS_CS0	UNICOMM0 CTS:UART 送信クリア CS0:SPI チップ セレクト 0	IO	101、103、119、120、27、35、4、50、59、66、67、73、85、92、96	20、28、4、44、51、52、58、72、76、80、91、92	23、31、4、44、51、52、58、70、72、79、90、91	12、20、36、43、44、59、63、67、73、74	12、20、34、35、45、49、53、57、58	14、22、33、34、44、46、52、56、57	14、26、27、33、37、41、42、8	14、25、26、33、36、40、42、43、8

表 5-32. UC1 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
UC1_RTS_POCI	UNICOMM1 RTS:UART 送信許可信 POCI:SPI ペリフェラル出力 - コントローラ入力	O	104、114、15、19、28、66、77	12、21、51、62、86	12、24、51、62、85	13、43、5	13、34、5	15、33、5	26、5、9	25、5、9
UC1_RX_SCL_SCLK	UNICOMM1 RX:UART 受信 SCL:I2C クロック SCLK:SPI クロック	IO	106、11、116、119、17、18、20、28、32、37、90、97、99	10、11、13、21、25、30、70、78、88、91	13、24、26、33、68、73、77、87、90	13、17、22、57、6、65、73	13、17、22、43、51、57、6	15、17、24、42、50、56、6	11、31、39、41、6、9	11、16、31、38、42、6、9
UC1_TX_SDA_PICO	UNICOMM1 TX:UART 送信 SDA:I2C データ PICO:SPI ペリフェラル入力 - コントローラ出力	O	10、105、115、118、19、27、29、68、89、91、98	12、20、22、53、69、71、77、87、90	12、23、25、53、67、69、76、86、89	12、14、45、5、56、58、64、72	12、14、36、42、44、5、50、56	14、16、35、41、43、49、5、55	10、28、30、32、38、40、5、8	10、27、30、32、37、41、5、8
UC1_CTS_CS0	UNICOMM1 CTS:UART 送信クリア CS0:SPI チップ セレクト 0	IO	103、113、122、16、27、69、92	20、54、72、85、94	23、54、70、84、93	12、46、59、76	12、37、45、60	14、36、44、59	29、33、44、8	28、33、45、8

Copyright © 2026 Texas Instruments Incorporated

表 5-33. UC2 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
UC2_CTS	UNICOMM2 CTS:UART 送信許可	O	112、17、73、83、87、98	10、58、67、77、84	58、65、76、83	54、64、71	40、50、55	39、49、54	38	37
UC2_RTS	UNICOMM2 RTS:UART 送信解除	O	113、18、33、74、82、88、90、99	11、26、59、68、70、78、85	29、59、66、68、77、84	18、55、57、65	18、41、43、51	20、40、42、50	12、31、39	12、31、38
UC2_RX_SCL	UNICOMM2 RX:UART 受信 SCL:I2C クロック	IO	1、101、107、109、122、15、18、20、27、51、53、70、75、76、80、85、91	1、11、13、20、38、55、60、61、65、71、80、83、94	1、13、23、38、55、60、61、63、69、79、82、93	12、30、47、52、58、6、67、70、76	12、38、44、53、6、60	14、37、43、52、59、6	32、44、6、8	29、32、40、45、6、8
UC2_TX_SDA	UNICOMM2 TX:UART 送信 SDA:I2C データ	O	100、108、121、16、17、19、2、28、52、54、71、75、76、81、86、92	10、12、2、21、39、56、60、61、66、72、79、82、93	12、2、24、39、56、60、61、64、70、78、81、92	13、31、48、5、53、59、66、69、75	13、39、45、5、52、59	15、38、44、5、51、58	33、43、5、9	33、39、44、5、9

表 5-34. UC3 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
UC3_RTS_POCI	UNICOMM3 RTS:UART 送信許可信 POCI:SPI ペリフェラル出力 - コントローラ入力	O	119、2、3、33、35、40、57、74、93、97、99	2、26、28、3、33、42、59、73、78、91	2、29、3、31、36、42、59、71、73、77、90	18、20、25、34、60、65、73	18、20、25、46、51、57	20、22、27、45、50、56	12、14、17、34、39、41	12、14、18、34、38、42
UC3_RX_SCL_SCLK	UNICOMM3 RX:UART 受信 SCL:I2C クロック SCLK:SPI クロック	IO	1、100、101、102、105、112、118、120、122、123、124、126、22、34、38、58、61、62、65、84、87、89、9、96	1、15、27、31、43、46、47、50、67、69、76、79、80、81、84、9、90、92、94、95、96、98	1、15、30、34、43、46、47、65、67、72、78、79、80、83、89、9、91、93、95、96、98	19、23、35、38、39、4、42、54、56、63、66、67、68、71、72、74、76、77、78、8	19、23、30、33、4、40、42、49、52、53、54、55、56、58、60、61、62、8	21、25、29、39、4、41、46、51、52、53、54、55、57、59、61、62、8	13、22、25、30、37、4、40、42、44、45、46	13、22、24、30、36、39、4、40、41、43、45、46、47

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 5-34. UC3 信号の説明 (続き)

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
UC3_TX_SDA_PICO	UNICOMM3 TX:UART 送信 SDA:I2C データ PICO:SPI ペリフェラル入力 - コントローラ出力	O	100、101、102、106、107、112、118、120、121、122、123、124、125、23、36、37、5、60、61、62、65、8、86、88	16、29、30、45、46、47、5、50、68、79、8、80、81、84、90、92、93、94、95、96、97	16、32、33、45、46、47、5、66、78、79、8、80、83、89、91、92、93、95、96、97	21、22、3、37、38、39、42、55、66、67、68、71、72、74、75、76、77、78、9	21、22、3、30、33、41、52、53、54、55、56、58、59、60、61、62、9	23、24、29、3、40、51、52、53、54、55、57、58、59、61、62、9	15、22、25、3、40、42、43、44、45、46	15、16、22、24、3、39、40、41、43、44、45、46、47
UC3_CTS_CS0	UNICOMM3 CTS:UART 送信クリア CS0:SPI チップ セレクト 0	IO	101、119、120、35、4、59、66、67、73、85、92、96	28、4、44、51、52、58、72、76、80、91、92	31、4、44、51、52、58、70、72、79、90、91	20、36、43、44、59、63、67、73、74	20、34、35、45、49、53、57、58	22、33、34、44、46、52、56、57	14、26、27、33、37、41、42	14、25、26、33、36、40、42、43

表 5-35. UC4 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
UC4_RTS_POCI	UNICOMM4 RTS:UART 送信許可信 POCI:SPI ペリフェラル出力 - コントローラ入力	O	114、15、19、66、68、77	12、51、53、62、86	12、51、53、62、85	43、45、5	34、36、5	33、35、5	26、28、5	25、27、5
UC4_RX_SCL_SCLK	UNICOMM4 RX:UART 受信 SCL:I2C クロック SCLK:SPI クロック	IO	11、116、119、18、28、37、90、91、97	11、21、30、70、71、88、91	24、33、68、69、73、87、90	13、22、57、58、73	13、22、43、44、57	15、24、42、43、56	31、32、41、9	16、31、32、42、9
UC4_TX_SDA_PICO	UNICOMM4 TX:UART 送信 SDA:I2C データ PICO:SPI ペリフェラル入力 - コントローラ出力	O	10、115、17、27、68、89、90、91	10、20、53、69、70、71、87	23、53、67、68、69、86	12、45、56、57、58	12、36、42、43、44	14、35、41、42、43	28、30、31、32、8	27、30、31、32、8
UC4_CTS_CS0	UNICOMM4 CTS:UART 送信クリア CS0:SPI チップ セレクト 0	IO	113、122、16、69、92	54、72、85、94	54、70、84、93	46、59、76	37、45、60	36、44、59	29、33、44	28、33、45

表 5-36. UC5 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
UC5_CTS	UNICOMM5 CTS:UART 送信許可	O	10、112、17、73、83、88、98	10、58、68、77、84	58、66、76、83	55、64、71	41、50、55	40、49、54	38	37

Copyright © 2026 Texas Instruments Incorporated

表 5-36. UC5 信号の説明 (続き)

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
UC5_RTS	UNICOMM5 RTS：UART 送信解除	O	11、113、18、33、74、82、87、90、99	11、26、59、67、70、78、85	29、59、65、68、77、84	18、54、57、65	18、40、43、51	20、39、42、50	12、31、39	12、31、38
UC5_RX_SCL	UNICOMM5 RX：UART 受信 SCL：I2C クロック	IO	1、10、101、107、109、122、15、17、27、51、53、70、75、76、80、85、91	1、10、20、38、55、60、61、65、71、80、83、94	1、23、38、55、60、61、63、69、79、82、93	12、30、47、52、58、67、70、76	12、38、44、53、60	14、37、43、52、59	32、44、8	29、32、40、45、8
UC5_TX_SDA	UNICOMM5 TX：UART 送信 SDA：I2C データ	O	100、108、11、121、16、18、2、28、52、54、71、75、76、81、86、92	11、2、21、39、56、60、61、66、72、79、82、93	2、24、39、56、60、61、64、70、78、81、92	13、31、48、53、59、66、69、75	13、39、45、52、59	15、38、44、51、58	33、43、9	33、39、44、9

表 5-37. VREF 信号の説明

信号名	説明	タイプ	LQFP128 ピン	LQFP100 G ピン	LQFP100 H ピン	LQFP80 ピン	LQFP64 G ピン	LQFP64 H ピン	LQFP48 ピン	QFN48 ピン
VREFHI	正の ADC 電圧リファレンス	AREF	43、44	36	21、22	28	28	13	20	20
VREFLO	負 ADC 電圧リファレンス	AREF	42	35	20	27	27	12	19	PAD

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

5.5 ピン接続要件

ピン番号	ピン名	ピン接続要件
DEBUG 信号の説明表を参照してください	DEBUG_JTCK_SWCLK DEBUG_JTDI DEBUG_JTDO_SWO	PCB 信号トレースが接続されており、かつ接続されたデバイスによってアクティブに駆動されていない場合、これらのピンが有効なロジック High レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して対応する電源に接続する必要があります。ボールに PCB 信号トレースが接続されていない場合、内部プルアップを使用して有効なロジック High レベルを保持できます。
ADCCAL 信号の説明表を参照してください	ADCINCAL0	すべての ADC インスタンス (ADC[0:2]_AIN[0:31]) の Ax_y 入力が使用されない場合、ADCINCAL0 アナログ ピンはグランド (VSS) に直接接続 (短絡) する必要があります。
ADC ピン	A[0:2]_[0:31]	ADC インスタンス (ADC[0:2]_AIN[0:31]) の未使用の Ax_y 入力ピンは、グランド (VSS) に直接接続 (短絡) する必要があります。
LVCMOS ピン	任意の LVCMOS 電圧バッファ ピン	ピンに関連する IOMUX パッド構成レジスタが存在する場合は、未接続のままにできます。NRST の後、LVCMOS 電圧バッファは未接続ピンと互換性のあるデフォルト状態に構成されます。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1) (2)

パラメータ		最小値	最大値	単位
電源電圧	VSS を基準とした VDD	-0.3	4.6	V
	VSSA を基準とした VDDA	-0.3	4.6	
入力電圧 (3)	V_{IN} (3.3V)	-0.3	4.6	V
出力電圧	V_O	-0.3	4.6	V
入力クランプ電流 - ピンごと (4) (5)	I_{IK} - V_{IN} < VSS/VSSA - V_{IN} > VDD/VDDA)	-20	20	mA
入力クランプ電流 - すべての入力の合計 (4) (5)	$I_{IKTOTAL}$ - V_{IN} < VSS/VSSA - V_{IN} > VDD/VDDA)	-20	20	mA
SDIO ピンの電流(6)	I_{IO_SD}		4	mA
HSIO ピンの電流(6)	I_{IO_HS}		6	mA
出力電流	デジタル出力 (ピンごと)、I_{OUT}	-20	20	mA
周辺温度	T_A	-40	125	°C
動作時接合部温度	T_J	-40	150	°C
保存温度(7)	T_{stg}	-65	150	°C

(1) 「絶対最大定格」の範囲を超える動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、特に記述のない限り、VSS 端子を基準とします。
(3) 入力クランプ電流も確認する必要があります。
(4) ピンごとの連続クランプ電流は ±2mA です。この条件で連続的に動作すると、V_{DD}/V_{DDA} 電圧が内部で上昇し、他の電気的仕様に影響を及ぼす可能性があるため、連続動作は避けてください。
(5) VDD/VDDA を上回る、または VSS/VSSA を下回る V_{IN} を印加すると、ESD 電流クランプ ダイオードがターンオンし、それぞれの電源レールに余計な電流が流れます。この場合、本デバイスの永続的な損傷を防止するため、記載された最小値 / 最大値の範囲内に電流を維持する必要があります。
(6) 「ピン属性」セクションの「IO タイプによるデジタル IO 機能」表を参照してください。SDIO には SD、SDL、SDW IO が含まれ、HSIO には HS IO が含まれます。
(7) 長期にわたる高温保存または最高温度条件での長時間使用は、デバイスの寿命を縮める可能性があります。詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.2 ESD 定格 - 民生用

			値	単位
128 ピン PDT TQFP で供給されるAM13E23019、AM13E23018、AM13E23017				
$V_{(ESD)}$ 静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)		±2000	V
	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	コーナー ピンを除くすべてのピン	±500	
		128 ピン PDT のコーナー ピン: 1、32、33、64、65、96、97、128	±750	
100 ピン PZ LQFP で供給されるAM13E23019、AM13E23018、AM13E23017				
$V_{(ESD)}$ 静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)		±2000	V
	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	コーナー ピンを除くすべてのピン	±500	
		100 ピン PZ のコーナー ピン: 1、25、26、50、51、75、76、100	±750	
80 ピン PN LQFP で供給されるAM13E23019、AM13E23018、AM13E23017				

ADVANCE INFORMATION

			値	単位
$V_{(ESD)}$ 静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)		±2000	V
	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠(2)	コーナー ピンを除くすべてのピン	±500	
		80 ピン PN のコーナー ピン: 1、20、21、40、41、60、61、80	±750	
64 ピン PM LQFP で供給されるAM13E23019、AM13E23018、AM13E23017				
$V_{(ESD)}$ 静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)		±2000	V
	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠(2)	コーナー ピンを除くすべてのピン	±500	
		64 ピン PM のコーナー ピン: 1、16、17、32、33、48、49、64	±750	
48 ピン PT LQFP で供給されるAM13E23019、AM13E23018、AM13E23017				
$V_{(ESD)}$ 静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)		±2000	V
	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠(2)	コーナー ピンを除くすべてのピン	±500	
		48 ピン PT のコーナー ピン: 1、12、13、24、25、36、37、48	±750	
48 ピン RGZ VQFN で供給されるAM13E23019、AM13E23018、AM13E23017				
$V_{(ESD)}$ 静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)		±2000	V
	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠(2)	コーナー ピンを除くすべてのピン	±500	
		48 ピン RGZ のコーナー ピン: 1、12、13、24、25、36、37、48	±750	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

パラメータ		最小値	公称値	最大値	単位
デバイス電源電圧、VDD および VDDA	内部 BOR イネーブル(1)	3.1	3.3	3.63	V
	内部 BOR ディセーブル	2.8	3.3	3.63	
デバイス グランド、VSS			0		V
アナログ グランド、VSSA			0		V
V_{IN}	デジタル入力電圧 (2)	VSS - 0.3		VDD + 0.3	V
	アナログ入力電圧 (2)	VSSA - 0.3		VDDA + 0.3	V
VDD と VSS の間に配置されたコンデンサ、C_{VDD}	フィルタ コンデンサ(3)		10		µF
接合部温度、T_J	T シリーズ	-40		140	°C
自由気流での周囲温度、T_A	T シリーズ	-40		125	°C

(1) デフォルトで、内部 BOR がイネーブルになっています。
(2) VDD/VDDA 電圧を上回る、または VSS /VSSA 電圧を下回る VIN を印加すると、内部の電圧が上昇し、その他の電気的特性に影響を及ぼす可能性があります。
(3) C_{VDD} は、VDD と VSS の間に、デバイスのピンにできる限り近づけて接続します。C_{VDD} には、容量値の誤差が ±20% までの精度の低 ESR コンデンサを使う必要があります

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6.4 電源電流特性

このセクションに記載されている電流値は、絶対最大値ではなく、与えられたテスト条件での代表値を表しています。アプリケーションでの実際のデバイス電流は、アプリケーション コードおよびピン構成によって異なります。

6.4.1 RUN/SLEEP モード

VDD = 3.3V。すべての入力は、0V または VDD に接続されています。出力は、電流のソースまたはシンクを行いません。すべてのペリフェラルはディスエーブル (特に記述のない限り)。

パラメータ		テスト条件			25°C		55°C		85°C		105°C		125℃		単位
		V_{DD}	V_{DDC}	MCLK	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
RUN モード															
I_{DD} (実行) (1) (4)	MCLK=SYSPLL、CoreMark、RAM から実行 (SRAM3) (2)	3.3V	1.35V	250MHz	56.8										mA
				200MHz	45.6										
				170MHz											
				135MHz											
			1.30V	180MHz	41.4										
			1.25V	170MHz	37.1										
			1.20V	160MHz	33.7										
				150MHz	32.0										
				135MHz	29.2										
				120MHz	26.4										
				100MHz	22.7										
				80MHz	19.0										
				50MHz	13.4										mA
	MCLK=SYSOSC、CoreMark、RAM から実行 (SRAM3) (2)	3.3V	1.20V	32MHz	8.3										mA
I_{DD} (実行) (1) (4)	MCLK=SYSPLL、CoreMark、フラッシュから実行 (2)	3.3V	1.35V	250MHz	58.9										mA
				200MHz	47.6										
				170MHz											
				135MHz											
			1.30V	180MHz	42.7										
			1.25V	170MHz	38.0										
			1.20V	160MHz	34.7										
				150MHz	33.0										
				135MHz	30.1										
				120MHz	27.2										
				80MHz	19.5										
				50MHz	13.7										
	MCLK=SYSOSC、CoreMark、フラッシュから実行	3.3V	1.20V	32MHz	11.8										

ADVANCE INFORMATION

VDD = 3.3V。すべての入力は、0V または VDD に接続されています。出力は、電流のソースまたはシンクを行いません。すべてのペリフェラルはディスエーブル (特に記述のない限り)。

パラメータ		テスト条件			25°C		55°C		85°C		105°C		125℃		単位
		V_{DD}	V_{DDC}	MCLK	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
I_{DD} (実行) とモーター制御 (3) (4)	MCLK=SYSPLL、CoreMark、フラッシュから実行 (2)	3.3V	1.35V	250MHz											mA
				200MHz	57.9										
				170MHz											
				135MHz											
			1.30V	180MHz											
			1.25V	170MHz	46.5										
			1.20V	160MHz											
				150MHz	40.0										
				135MHz											
				120MHz	32.9										
				100MHz	28.2										
SLEEP モード															
I_{DD} (スリープ)	MCLK=SYSPLL、SYSPLLREF=SYSOSC CPU 停止	3.3V	1.35V	250MHz											μA
				200MHz											
				170MHz											
				135MHz											
			1.30V	180MHz											
			1.25V	170MHz											
			1.20V	135MHz											
				100MHz											
				32MHz											μA
I_{DD} (スリープ)	MCLK=SYSOSC、PLL はディスエーブル、CPU は停止	3.3V	1.20V	32MHz											μA

(1) 代表的な重負荷アプリケーションの電流。実際の電流は、システムの動作、I/O の電気的負荷、およびスイッチング周波数によって異なります
(2) V_{DDC} (コア電圧) を適切な値に設定して、必要な動作周波数 (MCLK) に基づいて消費電流を低減できます
(3) モーター制御アプリ - 10kHz で動作する 3 つの PWM (すべての PWM 出力は GPIO にマッピング)、PWM トリガで ADC 変換が発生、DMA 初期化、GPIO 経由のデータを待機して初期化された 3 つの SPI インスタンス、キャッシュがイネーブルのフラッシュから while(1) ループで CPU が連続的に実行され、3ws でアクセス
(4) 特に記述のない限り、特性評価結果により保証されています。

6.4.2 STOP/STANDBY モード

VDD = 3.3V。VDD ドメインのすべての入力は、0V または VDD に接続されています。出力は、電流のソースまたはシンクを行いません。特に記述のないすべてのペリフェラルはディセーブルです。

パラメータ		ULPCLK	-40°C		25°C		85°C		105°C		125℃		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
STOP モード													
I_{DD} (停止)	SYSOSC = 32MHz、USE4MHZSTOP = 1、DISABLESTOP = 0	4MHz			240								μA
STANDBY0 モード													
I_{DD} (Standby 0)	GPIOA イネーブル、RAM 保持、PD0 はすべてクロック供給	32kHz			196								μA

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

VDD = 3.3V。VDD ドメインのすべての入力は、0V または VDD に接続されています。出力は、電流のソースまたはシンクを行いません。特に記述のないすべてのペリフェラルはディセーブルです。

パラメータ		ULPCLK	-40°C		25°C		85°C		105°C		125℃		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
STANDBY1 モード													
I_{DD} (Standby 1)	GPIOA イネーブル、RAM 保持、PD0 はすべてクロックゲート	OFF			196								µA

6.4.3 SHUTDOWN モード

VDD ドメインのすべての入力は、0V または VDD に接続されています。コア レギュレータはパワーダウンされています。

パラメータ		VDD	-40°C		25°C		85°C		105°C		125℃		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
I_{DD} (シャットダウン)	SHUTDOWN モードの電源電流	3.3V			2.5								µA

ADVANCE INFORMATION

ADVANCE INFORMATION

6.4.4 消費電流の低減

AM13E23x デバイスには、デバイスの消費電流を低減する方法がいくつかあります。

- アプリケーションが動作していないときに、SLEEP、STOP または STANDBY の 3 つの低消費電力モードのいずれかに移行できます。
- RAM からコードを実行する場合には、フラッシュ モジュールの電源をオフにすることができます。
- 出力機能として設定されているピンのプルアップおよびプルダウンをディスエーブルにします。
- 各ペリフェラルには、個別のパワー イネーブル ビット (PWREN_MCPERIPH または PWREN_SYSPERIPH) があります。特定のアプリケーションで使用されていないペリフェラルについて、パワーを無効にすることにより、消費電流を低減できます。「無効のペリフェラルごとの代表的な電流低減」の表に、PWREN_MCPERIPH または PWREN_SYSPERIPH レジスタを使用して電力をディスエーブルにすることによって実現できる、標準的な電流低減を示します。『 AM13E230x マイコン テクニカル リファレンス マニュアル 』の「パワー マネージメントおよびクロック ユニット (PMCU)」の章を参照してください。
- LPM で最小の VDDA 消費電流を実現するには、『 AM13E230x マイコン テクニカル リファレンス マニュアル 』の「A/D コンバータ (ADC)」の章を参照して、各モジュールの電源が確実にオフになるようにしてください。

6.4.4.1 ペリフェラル ディセーブル時の標準的な電流低減

すべての I/O ピンはアナログまたは入力モードに構成されます。すべてのペリフェラルにクロックが供給され、電源がオフになり、ペリフェラルが 1 つのみアクティブになって消費電流を測定できます。公称周囲温度 (25℃) および電源電圧 (3.3V)。

ペリフェラル	I_{DD} (標準値)	単位
ADC(1) (2)		mA
XBAR(3)		mA
CMPSS (0 ～ 3)(3)		mA
CMPSS_DACL		mA
MCPWM (0 ～ 4)(3)		mA
eCAP (0 ～ 1)(3)	0.12	mA
eQEP (0 ～ 2)(3)	0.18	mA
EPI(3)		mA
PGA (0 ～ 2)(3)		mA
TINIE(3)		mA
TIMERG12		mA
TIMERG4		mA
UNICOMM (0 ～ 5)		mA
MCAN (CAN-FD)		mA
DMA		mA
FCC		mA
EAM		mA
CRC		mA
キーストア		mA
AES		mA

(1) この数値は、各モジュールのデジタル部分で消費される電流を示しています。
(2) ADC モジュールは、リセット時に電源オフになります。ADCCTL1 を使用して ADC の電源をオフまたはオンにします。
(3) すべてのペリフェラルは、リセット時にディセーブルになります。ペリフェラルへの電力を個別にディスエーブルまたはイネーブルにするには、PWREN_MCPERIPH または PWREN_SYSPERIPH レジスタを使用します。複数のインスタンスを持つペリフェラルの場合、ここに記載された電流は、単一のモジュールのものです。

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ			テスト条件	最小値	標準値	最大値	単位
デジタルおよびアナログ IO							
V_{OH}	High レベル出力電圧		I_{OH} = I_{OH} 最小値	VDD * 0.8			V
			I_{OH} = –100µA	VDD - 0.2			
V_{OL}	Low レベル出力電圧		I_{OL} = I_{OL} 最大値			0.4	V
			I_{OL} = 100µA			0.2	
I_{OH}	すべての出力ピンの High レベル出力ソース電流			-4			mA
I_{OL}	すべての出力ピンの Low レベル出力シンク電流					4	mA
R_{OH}	すべての出力ピンの High レベル出力インピーダンス		VOH = VDDS - 0.4V		66		Ω
R_{OL}	すべての出力ピンの Low レベル出力インピーダンス		VOL = 0.4V		60		Ω
V_{IH}	High レベル入力電圧			2.0			V
V_{IL}	Low レベル入力電圧					0.8	V
$V_{HYSTERESIS}$	入力ヒステリシス (AIO)			125			mV
	入力ヒステリシス (GPIO)			125			
$I_{PULLDOWN}$	入力電流	プルダウン付きピン	VDD = 3.3V V_{IN} = VDD		120		µA
I_{PULLUP}	入力電流	プルアップがイネーブルされたデジタル入力(1)	VDD = 3.3V V_{IN} = 0V		160		µA
$R_{PULLDOWN}$	弱プルダウン抵抗				40		kΩ
R_{PULLUP}	弱プルアップ抵抗				40		kΩ
I_{LEAK}	ピンのリーク電流	デジタル入力	プルアップおよび出力はディスエーブル 0V ≤ V_{IN} ≤ VDD			0.1	µA
I_{LEAK}	ピンのリーク電流	アナログ ピン	アナログドライバはディスエーブル 0V ≤ V_{IN} ≤ VDDA			0.1	µA
C_I	入力容量	デジタル入力			2		pF
		アナログ ピン(2)					
POR および BOR							
POR、BOR(3)							

(1) プルアップまたはプルダウン付きピンの一覧については、「内部プルアップおよびプルダウン付きのピン」の表を参照してください。
(2) アナログ ピンは個別に規定されています。「ADC 入力モデル」セクションの「チャネルごとの寄生容量」表を参照してください。
(3) 「パワー マネージメント モジュール (PMM) 」セクションを参照してください。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

6.6 デジタル IO

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
電気的特性							
V_{IH}	High レベル入力電圧	すべての I/O (リセットを除く)	2.8 ≦ VDD ≦ 3.6	0.7*VDD		VDD+0.3	V
		リセットピン	2.8 ≦ VDD ≦ 3.6	0.85*VDD		VDD+0.3	
V_{IL}	Low レベル入力電圧	すべての I/O (リセットを除く)	2.8 ≦ VDD ≦ 3.6	-0.3		0.3*VDD	
		リセットピン	2.8 ≦ VDD ≦ 3.6	-0.3		0.15*VDD	V
V_{HYS}	ヒステリシス	すべての I/O (リセットを除く)	2.8 ≦ VDD ≦ 3.6	0.1*VDD			
		リセットピン	2.8 ≦ VDD ≦ 3.6	0.3*VDD			
I_{lkg}	ハイ インピーダンスのリーク電流(1) (2)	SDIO	2.8 ≦ VDD ≦ 3.6			50	nA
		HSIO	2.8 ≦ VDD ≦ 3.6			200	nA
R_{PU}	プルアップ抵抗		VIN = VSS		40		kΩ
R_{PD}	プルダウン抵抗		VIN = VDD		40		kΩ
C_I	入力容量		VDD = 3.3V		5		pF
V_{OH}	High レベル出力電圧	SDIO	VDD ≥ 2.7V、I_{IO} = –4mA	VDD-0.4			V
		HSIO	VDD ≥ 2.7V、DRV = 1、I_{IO} = –6mA	VDD-0.4			
			VDD ≥ 2.7V、DRV = 0、I_{IO} = –4mA	VDD-0.4			
V_{OL}	Low レベル出力電圧	SDIO	VDD ≥ 2.7V、I_{IO} = 4mA			0.4	V
		HSIO	VDD ≥ 2.7V、DRV = 1、I_{IO} = 6mA			0.4	
			VDD ≥ 2.7V、DRV = 0、I_{IO} = 4mA			0.4	
スイッチング特性							
f_{max}	ポート出力周波数	SDIO (3)	VDD ≧ 2.7V、C_L = 20pF			32	MHz
		HSIO	VDD ≥ 2.7V、DRV = 1、C_L = 20pF			50	
			VDD ≥ 2.7V、DRV = 0、C_L = 20pF			32	
t_r、t_f	出力立ち上がり / 立ち下がり時間	SDIO	VDD ≧ 2.7V、C_L = 20pF			3.5	ns
		HSIO	VDD ≧ 2.7V、DRV = 1、C_L = 20pF			1.8	
			VDD ≧ 2.7V、DRV = 0、C_L = 20pF			5.9	

(1) リーク電流は、対応するピンに VSS または VDD を印加して計測されます (特に記述のない限り)。
(2) デジタル ポート ピンのリーク電流は個別に計測されます。ポート ピンは入力として選択され、プルアップ / プルダウン抵抗は無効化されています。
(3) デバイスによって供給またはシンクされる $|I_{IO}|$ 電流の合計は、常に絶対最大定格を考慮する必要があります

Copyright © 2026 Texas Instruments Incorporated

6.7 熱に関する情報

このセクションでは、このデバイスで使用される熱抵抗特性について説明します。信頼性と動作性の懸念から、デバイスの最大接合部温度は、「推奨動作条件」に示されている T_J 値以下にする必要があります。

ADVANCE INFORMATION

ADVANCE INFORMATION

6.8 システム

6.8.1 電源シーケンス

6.8.1.1 電源ランプ

図 6-1 に、パワーアップ / パワーダウン時の POR-、POR+、BOR0-、BOR0+ の関係を示します。

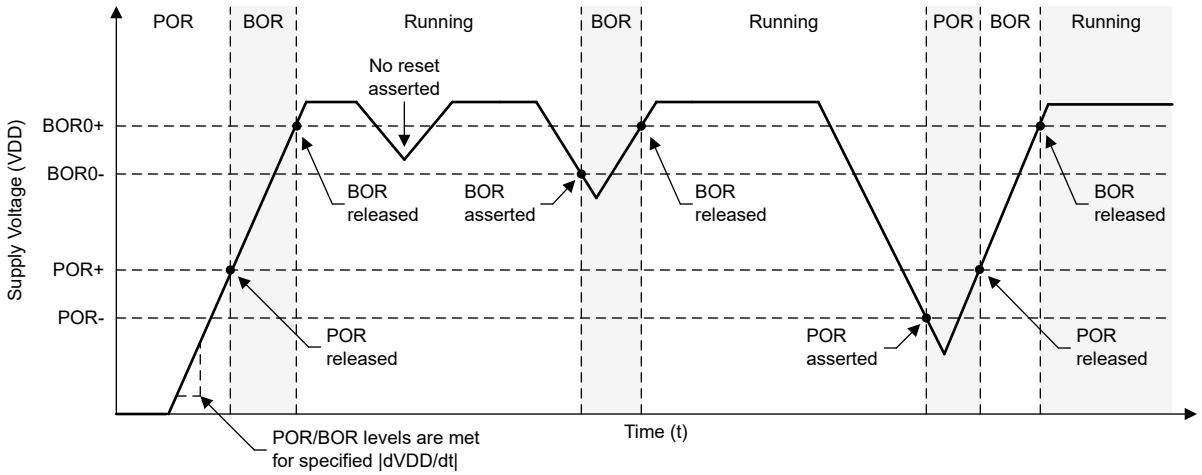


図 6-1. パワー サイクルの POR と BOR の条件

Copyright © 2026 Texas Instruments Incorporated

6.8.1.2 POR および BOR

2 つの電圧モニタ (POR と BOR) は、デバイスが動作を開始する前にそれぞれの出力を解放する必要があります (すなわち、NRST が High になる前)。ただし、いずれかの電圧モニタがトリップした場合、NRST は Low に駆動されます。いずれかの電圧監視がトリップすると、I/O は高インピーダンスに保持されます。

POR 監視は、VDD レールを監視します。これは、電源投入時に VDD 上で最初に解除される監視機能です (すなわち、最初にトリップ解除されます)。

BOR 監視も、VDD レールを監視します。これは、電源投入時に VDD 上で 2 番目に解除される監視です (すなわち、2 番目にトリップ解除されます) 。この監視は、POR と比較すると許容範囲がより狭くなっています。

推奨動作電圧を下回る電圧低下が発生すると、BOR がトリップしてデバイスがリセットされますが、これは VMONCTL.bit.BORLVMONDIS を 1 に設定することでディスエーブルにできます。BOR をディスエーブルにできるのは、デバイスが完全に起動した後のみです。BOR がディスエーブルになっている場合、電圧降下に対しては POR がデバイスをリセットします。

6.8.1.2.1 POR と BOR

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
VDD	電源電圧範囲		3.1	3.3	3.6	V
VDD	電源電圧範囲	BOR バイパス	2.8	3.3	3.6	V
dVDD/dt	VDD (電源電圧) のスルーレート	立ち上がり			0.1	V/µs
dVDD/dt	VDD (電源電圧) のスルーレート	立ち下がり (1)			0.01	V/µs
dVDD/dt	VDD (電源電圧) のスルーレート	立ち下がり、STANDBY			0.1	V/ms
V_{POR+}	パワーオン リセット電圧レベル	立ち上がり	0.95	1.30	1.59	V
V_{POR-}	パワーオン リセット電圧レベル	立ち下がり	0.9	1.25	1.54	V
$V_{HYS, POR}$	POR ヒステリシス			50		mV
$V_{BOR+, COLD}$	ブラウンアウト リセット電圧 (デフォルトのレベル)	コールド スタート、立ち上がり	2.45	2.7	2.97	V
V_{BOR+}	ブラウンアウト リセット電圧 (デフォルトのレベル)	立ち上がり (1)	2.8	2.885	2.97	V
V_{BOR-}	ブラウンアウト リセット電圧 (デフォルトのレベル)	立ち下がり (1)	2.8	2.85	2.97	V
$V_{BOR, STBY}$	ブラウンアウト リセット電圧 (デフォルトのレベル)	STANDBY モード	2.73	2.84	2.97	V
$V_{HYS, BOR}$	ブラウンアウト リセットのヒステリシス			35		mV
$t_{PD:BOR}$	BOR 伝搬遅延	RUN/SLEEP/STOP モード			10	us
$t_{PD:BOR}$	BOR 伝搬遅延	STANDBY モード			100	us
C_{VDD} (2) (3)	ピンごとの VDD 容量		0.1			µF
C_{VDDA} (2) (3)	ピンごとの VDDA 容量		2.2			µF
$V_{BOR-VDD-GB}$ (4)	VDD ブラウンアウト リセット電圧ガードバンド			0.1		V
$I_{VREG(Run)-LOAD}$	実行時の電圧レギュレータの負荷電流				175	mA
$I_{VREG(Stop)-LOAD}$	停止時の電圧レギュレータの負荷電流				5	mA

(1) デバイスは RUN、SLEEP、STOP モードで動作しています。
(2) デカップリング容量の正確な値は、これらのピンに電力を供給するシステム電圧レギュレーション ソリューションによって決まります。
(3) 3.3V レール (VDD、VDDA) は互いに接続し、単一の電源から供給することを推奨します。
(4) 3.3V VDD システム レギュレータにおいて、通常の電源ノイズまたは負荷過渡イベントによって BOR-VDD リセットが発生することを回避するため、テキサス インスツルメンツは $V_{BOR-VDDIO-GB}$ を推奨します。通常のデバイス動作時に BOR-VDD がアクティブになることを防止するために

ADVANCE INFORMATION

は、優れたシステム レギュレータ設計および (システム レギュレータの仕様に従った) デカップリング容量が重要です。$V_{BOR-VDD-GB}$ の値は、システム レベルの設計上の考慮事項であり、ここには、多くのアプリケーションについて一般的な電圧を示しています。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6.8.1.3 タイミング特性

6.8.1.3.1 タイミング特性

推奨動作条件範囲内、VDD = 3.3V、T_a = 25℃ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ウェークアップ タイミング						
$t_{WAKE:SLEEP}$	SLEEP から RUN までのウェークアップ時間 (1)					µs
$t_{WAKE:STOP}$	STOP から RUN までのウェークアップ時間 (SYSOSC イネーブル) (1)			68		µs
$t_{WAKE:STBY}$	STANDBY0 から RUN までのウェークアップ時間 (1)			120		µs
	STANDBY1 から RUN までのウェークアップ時間 (1)			121		µs
$t_{WAKEUP:SHDN}$	SHUTDOWN から RUN までのウェークアップ時間			1040		µs
非同期高速クロック要求タイミング						
t_{DELAY}	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは STOP				µs
	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは STANDBY0				
	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは STANDBY1				
スタートアップ タイミング						
$t_{START:RESET}$	デバイスのリセット / パワーアップからのコールド スタートアップ時間 (2)					µs
NRST のタイミング						
$t_{RST:BOOTRST}$	BOOTRST を生成するための NRST ピンのパルス長	ULPCLK≧4MHz				µs
		ULPCLK=32kHz				
$t_{RST:POR}$	POR を生成するための NRST ピンのパルス長					s

(1) ウェークアップ時間は、外部ウェークアップ信号 (IOMUX ウェークアップ イベント) のエッジから、ユーザー プログラムの最初の命令が実行されるまでの時間として測定されます。

(2) スタートアップ時間は、VDD が VBOR0- と交差 (コールド スタートアップ) した時刻から、ユーザー プログラムの最初の命令が実行されるまでの時間として測定されます。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

6.8.2 クロック モジュール (CKM)

クロック モジュールは以下に示す発振器を備えています。

- **LFOSC**:内部低周波数発振器 (32kHz)
- **SYSOSC**:内部高周波数発振器 (4MHz または 32MHz は出荷時に調整済み)
- **LFXT/LFCKIN**:低周波の外部水晶発振器またはデジタル クロック入力 (32kHz)
- **HFXT/HFCKIN**:高周波の外部水晶発振器またはデジタル クロック入力 (4～48MHz)
- **SYSPLL**:3 出力 (32～250MHz) のシステム フェーズ ロック ループ

6.8.2.1 システム発振器(SYSOSC)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SYSOSC}	出荷時に調整された SYSOSC 周波数	SYSOSCCFG.FREQ=0 (ベース)		32		MHz
		SYSOSCCFG.FREQ=1		4		
f_{SYSOSC}	FCL がイネーブルのときの SYSOSC 周波数精度(1) (2)	–40℃ ≦ Ta ≦ 70℃	-1.0		1.0	%
		–40℃ ≦ Ta ≦ 90℃ (3) (4)	-1.0		1.0	%
		–40℃ ≦ Ta ≦ 105℃ (3) (4)	1.4		1	%
		–40℃ ≦ Ta ≦ 125℃ (3) (4)	-2.0		1	%
		–20℃ ≤ Ta ≤ 90℃ で 10 年間(4)				%
		–40℃ ≤ Ta ≤ 105℃ で 10 年間(4)				%
	FCL ディスエーブル時における SYSOSC の調整なしの周波数精度 (32MHz)(5)	SYSOSCCFG.FREQ=0、-40℃ ≦ T_a ≦ 105℃				%
	FCL ディスエーブル時における SYSOSC の調整なしの周波数精度 (4MHz)	SYSOSCCFG.FREQ=1、-40℃ ≦ T_a ≦ 105℃				%
$t_{settle, SYSOSC}$	目標精度に達するまでのセトリング タイム(6)	SETUSEFCL=1				us
$f_{settle, SYSOSC}$	t_{settle} 中の f_{SYSOSC} の精度 (6)	SETUSEFCL=1	-11			%

(1) f_{SYSOSC} は、半田リフロー時の熱および機械的ストレスにより、変化する場合があります。リフロー後のベーキングにより、ユニット性能をデータシートの値に復元できます。
(2) SYSOSC の周波数補正ループ (FCL) を使うと、内部リファレンス抵抗によって SYSOSC の精度を高めることができます。SYSOSC 精度の計算方法の詳細については、テクニカル リファレンス マニュアルの「SYSOSC」のセクションを参照してください。
(3) データは暫定的であり、特性評価や設計から導き出されており、製造試験では検証されません。
(4) 消費電力は 0.25W とみなされます。
(5) SYSOSC の精度は、MCLK = SYSOSC、CPU が while(1) ループを継続して実行し、SYSPLL が無効になっているデフォルトのパワーアップ状態で測定されます。
(6) SYSOSC がウェークアップするとき (たとえば、低消費電力モードを終了するとき)、FCL がイネーブルなら、SYSOSC は最初に目標周波数 f_{SYSOSC} を、時間 $t_{settle,SYSOSC}$ にわたって、最大 $f_{settle,SYSOSC}$ の追加誤差だけアンダーシュートします。目標の精度はこの時間後に達成されます。

6.8.2.2 高周波数クリスタル / クロック

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
高周波外部水晶発振器 (XTAL)						
f_{XTAL}	XTAL 周波数	USEHSCLK=1、USEEXTHFCLK=0	4		48	MHz
DC_{XTAL}	XTAL デューティ サイクル	USEHSCLK=1、USEEXTHFCLK=0		50		%
OA_{XTAL}	XTAL 水晶発振余裕度	4～48MHz の範囲に「(VCO2)」を追加		2		kΩ
$C_{L, eff}$	内部実効負荷容量(1)	USEHSCLK=1、USEEXTHFCLK=0		1		pF
$t_{start, XTAL}$	XTAL スタートアップ時間(2)	32MHz の水晶振動子		0.5		ms

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{HFXT}	XTAL 消費電流	f_{HFXT}= 4MHz、R_m= 300Ω、C_L= 12pF		75		μA
		f_{HFXT}=32MHz、R_m=30Ω、C_L=12pF、C_m=6.26fF、L_m=1.76mH		600		
高周波数デジタル クロック入力 (HFCLK_IN)						
f_{HFIN}	HFCLK_IN 周波数 (3)	USEHSCLK=1、USEEXTHFCLK=1	4		48	MHz
DC_{HFIN}	HFCLK_IN デューティ サイクル(3)	USEEXTHFCLK = 1	40		60	%

(1) これには、寄生結合およびパッケージ容量 (ピンごとに約 2pF) が含まれ、C_{X1}×C_{X2}/(C_{X1}+C_{X2}) として計算されます。ここで、C_{X1} および C_{X2} は、それぞれ SYSCTL_X1 および SYSCTL_X2 における合計容量です。
(2) 高周波外部水晶発振器 (XTAL) スタートアップ時間 ($t_{start, XTAL}$) は、XTAL がイネーブルになってから、標準的な水晶振動子の安定した発振までの時間で測定されます。スタートアップ時間は、水晶の周波数および水晶振動子の仕様に依存します。『AM13E230x マイコン テクニカル リファレンス マニュアル』の「外部水晶発振器 (XTAL)」セクションを参照してください
(3) デジタル クロック入力 (SYSCTL_HFCLKIN) は、ロジック レベルの方形波クロックを受け入れます。

6.8.2.3 システム フェーズ ロック ループ (SYSPLL)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$f_{SYSPLLREF}$	SYSPLL リファレンス周波数範囲		4		48	MHz
f_{VCO}	VCO 出力周波数	BIASRANGEFIX は High にする必要があります。デフォルトでは、このモードが推奨されます。	160		800	MHz
f_{SYSPLL}	SYSPLL 出力周波数範囲(1)	SYSPLLCLK0、SYSPLLCLK1	5		400	MHz
		SYSPLLCLK2X	20		400	
DC_{PLL}	SYSPLL 出力のデューティ サイクル	$f_{SYSPLLREF}$ = 32MHz、f_{VCO} = 400MHz、SYSPLLCLK2X	30		70	%
		$f_{SYSPLLREF}$ = 32MHz、f_{VCO} = 400MHz、SYSPLLCLK0/1	45		55	%
$Jitter_{SYSPLL}$	SYSPLL RMS サイクル間ジッタ	$f_{SYSPLLREF}$= 32MHz、fINTCLK = 8MHz		未定		%
	SYSPLL RMS 周期ジッタ		-2.5		2.5	
I_{SYSPLL}	SYSPLL 消費電流	$f_{SYSPLLREF}$ = 32MHz、f_{VCO} = 400MHz、PDIV=2、SYSPLL = 400MHz			1.35	mA
$t_{start、SYSPLL}$	SYSPLL スタートアップ時間	$f_{SYSPLLREF}$ = 32MHz、f_{VCO} = 400MHz、PDIV = 2、SYSPLL = 200MHz、±1% 精度			24.5	us

(1) SYSPLL は、デバイス クロック システムでサポートされているより高い出力周波数をサポートする場合があります。 SYSPLL 出力周波数を構成するときは、デバイスの最大周波数仕様に違反しないようにしてください。

6.8.2.4 低周波数発振器 (LFOSC)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{LFOSC}	LFOSC 周波数			32768		Hz
	LFOSC 精度	-40℃ ≦ T_a ≦ 125℃	-5		5	%
		-40℃ ≦ T_a ≦ 85℃	-3		3	%
I_{LFOSC}	LFOSC 消費電流			300		nA
$t_{start、LFOSC}$	LFOSC スタートアップ時間			1.7		ms

ADVANCE INFORMATION

6.8.3 フラッシュ メモリの特性

オンチップ フラッシュ メモリは CPU に密接に統合されており、フラッシュから 256 ビット幅のプリフェッチ読み取り、パイプライン バッファおよびコード ブロック キャッシュを経由してコードを直接実行できます。シーケンシャル コードのフラッシュ性能は、RAM からの実行と同じです。不連続性を考慮すると、ほとんどのアプリケーションは、RAM から実行されるコードに比べて約 80% の効率で動作します。

このデバイスには、セキュリティ構成やフラッシュ管理に使用される SECCFG セクターも搭載されています。

表 6-1 に異なる周波数で必要な AM13E230 フラッシュの最小ウェイト状態を示します。

表 6-1. 異なるクロック周波数で必要な AM13E230 フラッシュの最小ウェイト状態

CPUCLK (MHz)	ウェイト状態 (FRDCNTL[RWAIT](1))
200 < CPUCLK ≤ 250	4
150 < CPUCLK ≤ 200	3
100 < CPUCLK ≤ 150	2
0 < CPUCLK ≤ 100	1

(1) FRDCNTL[RWAIT] に必要な最小値は 1 で、RWAIT = 0 はサポートされていません。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6.8.3.1 フラッシュ メモリの特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
$VDD_{PGM/ERASE}$	書き込みと消去の電源電圧		3.1		3.6	V
IDD_{ERASE}	消去動作中の VDD からの電源電流	電源電流の差分			10	mA
IDD_{PGM}	書き込み動作中の VDD からの電源電流	電源電流の差分			10	mA
耐久性						
N_{WEC}	書き込み / 消去サイクルの耐久性		20			k サイクル
N_{WEC}	デバイス全体での書き込み / 消去サイクル (フラッシュ ポンプの耐久性により制限)		20			k サイクル
保持						
t_{RET_85}	フラッシュ メモリのデータ保持	-40℃ ≦ Tj ≦ 85℃	20			年
書き込みと消去のタイミング						
$t_{PROG\ (WORD,\ 128)}$	フラッシュ ワードの書き込み時間 (1) (3)			40		µs
$t_{PROG\ (SEC,\ 128)}$	2kB セクタのプログラム時間 (2) (3)			5.1		ms
t_{ERASE} (4) (5)	2KB (セクタ) の消去時間	25 消去 / プログラム サイクル未満		15	55	ms
	64KB 消去時間			17	61	ms
	128KB 消去時間			18	66	ms
	256KB 消去時間			21	78	ms
t_{ERASE}	2KB (セクタ) の消去時間	1000 消去 / プログラム サイクル		25	130	ms
	64KB 消去時間			28	143	ms
	128KB 消去時間			30	157	ms
	256KB 消去時間			35	183	ms
t_{ERASE}	2KB (セクタ) の消去時間	2000 消去 / プログラム サイクル		30	221	ms
	64KB 消去時間			33	243	ms
	128KB 消去時間			36	265	ms
	256KB 消去時間			42	310	ms
t_{ERASE}	2KB (セクタ) の消去時間	20K 消去 / プログラム サイクル		120	1003	ms
	64KB 消去時間			132	1102	ms
	128KB 消去時間			145	1205	ms
	256KB 消去時間			169	1410	ms
F_{CLK}	フラッシュ クロック周波数				50	MHz

(1) プログラム時間は、デバイスの最大周波数におけるものです。プログラム時間には、フラッシュ ステート マシンのオーバーヘッドが含まれますが、以下に示すものを RAM に転送する時間は含まれていません。
•フラッシュ API を使用してフラッシュをプログラムするコード
•フラッシュ API そのもの
•プログラムすべきフラッシュ データ
すなわち、この表に示す時間は、必要なすべてのコード / データがデバイス RAM に収容されて、プログラムの用意ができた後に適用されます。転送時間は、使用する JTAG デバッグ プローブの速度によって大きく異なります。
プログラム時間の計算は、指定された動作周波数で一度に 144 ビットをプログラムするという条件に基づいています。プログラム時間には、CPU によるプログラム検証が含まれます。書き込み / 消去 (W/E) の繰り返しにより、プログラム時間が長くなることはありませんが、消去時間は長くなります。
消去時間には、CPU による消去検証が含まれ、データ転送時間は含まれません。

(2) セクタ書き込み時間は、最初のワード書き込みコマンドがトリガされてから、最後のワード書き込みコマンドが完了し、フラッシュ コントローラで割り込みフラグがセットされるまでの時間として定義されます。 この時間には、セクタの書き込み中にソフトウェアが (最初のフラッシュ ワードの後に) 各フラッシュ ワードをフラッシュ コントローラに読み込むために必要な時間が含まれます。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

(3) フラッシュ ワード サイズは 128 データ ビット (16 バイト) です。ECC 付きデバイスの場合、フラッシュ ワード サイズの合計は 144 ビット (128 データ ビット + 16 ECC ビット) です。
(4) 消去時間には、CPU による消去検証が含まれます。
(5) 本デバイスが TI.から出荷されるとき、オンチップ フラッシュ メモリは消去された状態になっています。そのため、本デバイスを初めてプログラミングする場合、書き込みの前にフラッシュ メモリを消去する必要はありません。しかし、それ以降のすべての書き込み操作については、あらかじめ消去操作が必要です。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6.8.4 RAM の仕様

このデバイスは、ハードウェア パリティによって完全に保護された 4 つのバンクで 128kB の SRAM を内蔵しています。SRAM は、コードに加えて、呼び出しスタック、ヒープ、グローバル データなどの揮発性情報を格納するために使用できます。

- SRAM0 (32kB) メモリは、STOP および STANDBY 動作モードの低消費電力モードで完全に保持されます。

表 6-2 に、デバイスの複数の SRAM バンクの動作条件を示します。

表 6-2. SRAM バンク プロパティ

	SRAM0	SRAM1/2/3
0 待機状態の周波数	200MHz/250MHz	200MHz/250MHz
安全	パリティ	パリティ
セキュリティ	GSC ベース	GSC ベース
RUN モードの状態	アクティブ	アクティブ
SLEEP モードの状態	アクティブ	アクティブ
STOP モードの状態	保持	OFF
STANDBY 0 モードの状態	保持	OFF
STANDBY 1 モードの状態	保持	OFF
SHUTDOWN モードの状態	OFF	OFF

詳細については、『 AM13E230x マイコン テクニカル リファレンス マニュアル 』の「SRAM」章を参照してください。

6.8.5 ROM の仕様

表 6-3. ROM のパラメータ

ROM ブロック	個々のサイズ	ECC / パリティ	セキュア	ウェイト状態	ホスト アクセス リスト
CPU ブート ROM	48KB	なし	なし	1 @ 200MHz / 250MHz	CPU1

ADVANCE INFORMATION

ADVANCE INFORMATION

6.9 アナログ ペリフェラル

このセクションでは、アナログ サブシステム モジュールについて説明します。

このデバイスのアナログ モジュールには、A/D コンバータ (ADC) 3 つ、温度センサ 1 つ、プログラマブル ゲイン アンプ (PGA) 3 つ、コンパレータ サブシステム (CMPSS) 4 つが含まれます。

アナログ サブシステムには次のような特長があります。

- フレキシブルな電圧リファレンス
  - ADC は、VREFHI ピンおよび VREFLO ピンを基準としています。
    - VREFHI ピンの電圧は、外部から駆動することも、内部バンドギャップ電圧リファレンスによって生成することもできます。
    - 内部電圧リファレンスの範囲は、0V ～ 2.5V を選択できます
  - コンパレータ DAC は、VDDA および VSSA を基準としています。
- フレキシブルなピンの用途
  - Low のコンパレータ DAC (COMPDACOUT) は、外部で使用するために、オプションで多重化された ADC ピンに出力することができます (CMPSS 比較機能とは相互に排他的で、一部の CMPSS インスタンスでのみ使用可能)
  - オフセット セルフ キャリブレーションのために、ADC で VREFLO に内部接続

6.9.1 A/D コンバータ (ADC)

ここで説明する ADC モジュールは、12 ビットの分解能を持つ逐次比較型 (SAR) ADC です。このセクションでは、コンバータのアナログ回路を「コア」と呼び、チャネル選択マルチプレクサ、サンプル/ホールド (S/H) 回路、逐次比較回路、電圧リファレンス回路、その他のアナログ サポート回路が含まれています。コンバータのデジタル回路は「ラッパー」と呼ばれ、プログラム可能な変換、結果レジスタ、アナログ回路へのインターフェイス、ペリフェラル バスへのインターフェイス、後処理回路、およびその他のオンチップ モジュールへのインターフェイス用のロジックが含まれています。

各 ADC モジュールは、単一のサンプル / ホールド (S/H) 回路で構成されています。ADC モジュールは、同じチップ上で複数回複製された設計になっており、複数の ADC を同時にサンプリングすることも、独立して動作させることもできます。ADC ラッパーは、変換開始 (SOC) に基づいています。

各 ADC には次のような特長があります。

- 12 ビットの分解能
- VREFHI/VREFLO によって設定されるレシオメトリック外部リファレンス
- 2.5 V または 3.3 V の内部リファレンスを選択可能
- シングルエンド信号モード
- 最大 32 チャネルの入力マルチプレクサ
- シーケンサで制御される 16 本の構成可能な SOC (SEQ[0:3])
- 16 個の個別にアドレス指定可能な結果レジスタ
- メモリ クロストークを軽減するためのサンプル容量リセット機能
- 複数のトリガ ソース
  - ソフトウェアによる直接開始
  - すべての MCPWM:ADCSOC A または B
  - GPIO (外部 SOC)
  - GP タイマ 0/1
  - ADCINT1/2
  - キャプチャ モードの eCAP イベント (CEVT1、CEVT2、CEVT3、CEVT4) と APWM モード (期間一致、比較一致、または両方)。
  - 複数の ADC 向けのグローバル ソフトウェア トリガ
- 4 つのフレキシブルな割り込み
- バースト モード トリガ オプション

Copyright © 2026 Texas Instruments Incorporated

- 最大 128x のハードウェア オーバーサンプリング モード、トリガ拡散遅延を構成可能
- ハードウェア アンダーサンプリング モード
- トリガ位相遅延機能
- 4 つの後処理ブロック、それぞれに次の機能を搭載:
  - 飽和オフセット較正
  - 設定点からの誤差の計算
  - 高、低、ゼロクロス比較、割り込みおよび MCPWM トリップ機能付き
  - 高、低、ゼロクロス比較用のデジタル フィルタを構成可能
  - トリガからサンプルまでの遅延キャプチャ
  - 絶対値の計算
  - オーバーサンプリング用の 24 ビット累積レジスタ、バイナリ シフトを構成可能
  - 外れ値除去の最小値 / 最大値の計算

6.9.1.1 ADC の電気的データおよびタイミング

注

ADC 入力は VDDA + 0.3V よりも低く維持する必要があります。ADC 入力がこのレベルを超えると、ADC によって他のチャネルに乱れが生じる可能性があります。メカニズムは次の 2 つです。

- ADC 入力の過電圧によって CMPSS マルチプレクサのオーバードライブが発生し、共通の CMPSS マルチプレクサを共有する他のすべてのチャネルに乱れが生じます。この乱れは、過電圧の入力が ADC によってサンプリングされるかどうかに関係なく続きます。
- 過電圧の ADC 入力が ADC によってサンプリングされると、VREFHI がより高いレベルに引き上げられます。これにより、V_{REF} が安定するまで、任意のチャネルでの以降の ADC 変換に乱れが生じます。

正常な機能動作を確保するためには、VREFHI ピンを VDDA + 0.3V よりも低く維持する必要があります。VREFHI ピンがこのレベルを超えると、ブロッキング回路が動作し内部の VREFHI 値が 0V になることで、ADC 変換出力が不正確になる可能性があります。

6.9.1.1.1 ADC の動作条件

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ADCCLK (MCLK から生成)	200MHz MCLK	5		100	MHz
	250MHz MCLK	5		125	MHz
サンプル レート(4) (5)	100MHz ADCCLK、SAMPCAPRESETSEL = 0			6.25	MSPS
	100MHz ADCCLK、SAMPCAPRESETSEL = 1			6.67	MSPS
	125MHz ADCCLK、SAMPCAPRESETSEL = 0			7.35	MSPS
	125MHz ADCCLK、SAMPCAPRESETSEL = 1			7.81	MSPS
サンプル ウィンドウ幅 (ACQPS および MCLK により設定)(1)	50Ω または R_s 未満	40			ns
	内部 VREFLO 接続	40			
VREFHI	外部リファレンス	2.4	2.5 または 3.0	VDDA	V
VREFHI(2)	内部リファレンス = 3.3V レンジ		1.65		V
	内部リファレンス = 2.5V レンジ		2.5		V
VREFLO		VSSA		VSSA	V
VREFHI - VREFLO		2.4		VDDA	V

ADVANCE INFORMATION

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
変換範囲	内部リファレンス = 3.3V レンジ	0		3.3	V
	内部リファレンス = 2.5V レンジ	0		2.5	
	外部リファレンス	VREFLO		VREFHI	
変換範囲	パッケージ = QFN48	0		VDDA(3)	V

(1) この他、ADC を正しく動作させるために、サンプル ウィンドウは少なくとも、1 ADCCLK サイクルにわたって継続する必要があります。
(2) 内部リファレンス モードでは、デバイスによってリファレンス電圧が VREFHI ピンから駆動されます。このモードでは、ピンに電圧を印加しないでください。
(3) QFN48 パッケージでは、VREFHI は VDDA に、VREFLO は VSSA に、それぞれ内部的に接続されます。QFN48 パッケージでは、内部リファレンス モードはサポートされていません。
(4) 以下の整数以外の ADC クロック分周器はサポートされていません。ADCCTL2.PRESCALE は、偶数の値のみを使用します
(5) サンプル / ホールド コンデンサのリセット機能は有効にする必要があります (SAMPCAPRESETSEL = 0)

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6.9.1.1.2 ADC の特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
総則					
ADCCLK 変換サイクル(1)				11	ADCCLK
パワーアップ時間	外部リファレンス モード			500	µs
	内部リファレンス モード			5000	µs
	内部リファレンス モード、2.5V レンジと 3.3V レンジの間で切り替える場合。			5000	µs
VREFHI 入力電流 (2)			200		µA
内部リファレンス コンデンサの値 (3)		2.2			µF
外部リファレンス コンデンサの値(3)		2.2			µF
DC の特性					
ゲイン誤差	内部リファレンス		±45		LSB
	外部リファレンス		±5		
オフセット誤差			±2		LSB
チャネル間ゲイン誤差 (5)			2		LSB
チャネル間オフセット誤差 (5)			2		LSB
ADC 間ゲイン誤差 (6)	すべての ADC で同一の VREFHI および VREFLO		4		LSB
ADC 間オフセット誤差 (6)	すべての ADC で同一の VREFHI および VREFLO		2		LSB
DNL 誤差			±1.0		LSB
INL 誤差			±2.0		LSB
ADC 間絶縁	VREFHI = 2.5V、同期 ADC	-1		1	LSB
AC の特性					
SNR(4)	VREFHI = 2.5V、fin = 100kHz、X1 からの MCLK		67.08		dB
	VREFHI = 2.5V、fin = 100kHz、SYSOSC からの MCLK		未定		
THD(4)	VREFHI = 2.5V、fin = 100kHz		-77		dB
SFDR(4)	VREFHI = 2.5V、fin = 100kHz		82		dB
SINAD(4)	VREFHI = 2.5V、fin = 100kHz、X1 からの MCLK		67.08		dB
	VREFHI = 2.5V、fin = 100kHz、SYSOSC からの MCLK		62.3		
ENOB(4)	VREFHI = 2.5V、fin = 100kHz、X1 からの MCLK、シングル ADC		10.8		ビット
PSRR	VDDA = DC 3.3V + 200mV DC から 1kHz の正弦波まで		60		dB
	VDDA = DC 3.3V + 200mV 900kHz の正弦波		57		

(1) SAMPCAPRESET 機能を使用。対応する ADCSOCxCTL レジスタ内で SAMPCAPRESETSEL = 1 および SAMPCAPRESETDISABLE =0。
(2) ADC 入力が VDDA を超えると、VREFHI の負荷電流が増加します。 その結果、不正確な変換が発生します。
(3) 0805 以下のパッケージ サイズのセラミック コンデンサを推奨します。許容誤差は最大 ±20% です。
(4) 容量性結合とクロストークを低減するためのベスト プラクティスの一部として、ADC 入力と VREFHI ピンに隣接するピンの I/O アクティビティを最小限に抑えます。
(5) 同じ ADC モジュールに属するすべてのチャネルでの変動。
(6) 他の ADC モジュールと比較した場合のワーストケースの変動。

ADVANCE INFORMATION

6.9.1.1.3 ADC 入力モデル

ADC 入力特性は、図 6-2 および セクション ADC 入力モデル に示すとおりです。

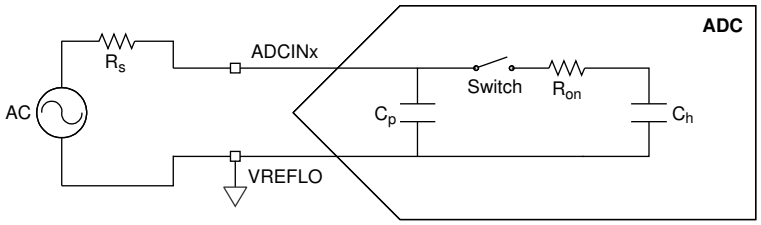


図 6-2. ADC 入力モデル

この入力モデルは、アクイジション ウィンドウの幅を決定する際に、実際の信号源インピーダンスと合わせて使用する必要があります。詳細については、『 AM13E230x マイコン テクニカル リファレンス マニュアル 』の「A/D コンバータ (ADC)」の章にある「アクイジション ウィンドウ幅の選択」セクションを参照してください。ADC 入力回路の改善に関する推奨事項については、『*C2000 MCU 用 ADC 入力回路の評価*』アプリケーション ノートを参照してください。

ADC 入力モデル

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	説明	リファレンス モード	標準値	単位
C_p	寄生入力容量	すべてのモード		
R_{on}	サンプリング スイッチ抵抗	外部リファレンス、2.5V 内部リファレンス	400	Ω
		3.3V 内部リファレンス	500	Ω
C_h	サンプリング容量	外部リファレンス、2.5V 内部リファレンス	10	pF
		3.3V 内部リファレンス	8	pF
R_s	公称ソース インピーダンス	すべてのモード	50	Ω

6.9.1.1.4 ADC のタイミング要件

		最小値	最大値	単位
$t_{su(ADCCHSEL-SOC)}$	ADCCHSEL 有効から ADCSOC High まで	0.5		ns
$t_{su(ADCSOC)}$	ADCSOC は ADCCLK が High になる前に Low	1		ns
$t_{w(ADCCLK)}$	ADCCLK の幅	0.8		ns
$t_{w(ADCSOC)}$	ADCSOC の幅	0.6		ns

6.9.1.1.5 外部 ADC 変換開始のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{w(ADCSOCL)}$	パルス幅、$\overline{ADCSOCxO}$ Low	$32t_{c(SYSCLK)}$		サイクル

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6.9.2 コンパレータ・サブシステム (CMPSS)

コンパレータ サブシステム (CMPSS) は、アナログ コンパレータとサポート回路で構成されており、ピーク電流モード制御、スイッチ モード電源、力率補正、電圧トリップ監視などの電源アプリケーションに便利です。

コンパレータ サブシステムは、多数のモジュールで構築されています。各サブシステムには、2 つのコンパレータ、2 つのリファレンス 8 ビット DAC、2 つのデジタル フィルタが搭載されています。各モジュール内のコンパレータには、「H」または「L」の表記があります。この場合、「H」と「L」はそれぞれ「High」(ハイ) と「Low」(ロー) を表します。各コンパレータは、正入力の電圧が負入力の電圧よりも高いかどうかを示すデジタル出力を生成します。コンパレータの正入力は、外部ピンから駆動されます。負入力は、外部ピンまたはプログラマブル リファレンス 10 ビット DAC によって駆動できます。各コンパレータ出力は、プログラム可能なデジタル フィルタを通過して、不要なトリップ信号を除去できます。フィルタリングが不要な場合は、フィルタなしの出力も使用できます。

各 CMPSS には、次のものが含まれます。

- 2 つのアナログ コンパレータ
- 2 つ (CMPSS_LITE インスタンスの有効ビット数 10 ビットの DAC)
- 2 つのデジタル フィルタ、最大 65536 のフィルタ クロック プリスケール
- サブモジュールを EPWMSYNCPER と同期可能
- 出力を MCLK と同期可能
- 出力をラッチ可能
- 出力を反転可能
- 入力にヒステリシスを使用するオプション
- コンパレータの負入力を外部信号またはリファレンス DAC で駆動するオプション
- コンパレータの正入力を外部信号または PGA で駆動するオプション
- ロー コンパレータ DAC 出力 (CMPx_DACL) を外部ピンで使用するオプション (インスタンスのみ選択、比較機能とは相互に排他的で、同時利用は不可)

ADVANCE INFORMATION

ADVANCE INFORMATION

6.9.2.1 CMPSS の電気的データおよびタイミング

6.9.2.1.1 CMPSS_LITE コンパレータの電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
TPU	パワーアップ時間	バンドギャップはディセーブル			500	µs
コンパレータ入力 (CMPINxx) 範囲			0		VDDA	V
入力換算オフセット誤差		AIO/AGPIO 経由の入力同相モード = VDDA の 5%～95%	-20		20	mV
ヒステリシス (1)	ヒステリシス (1)	0x	-6	0	6	mV
ヒステリシス (1)		1x	1	10	19	mV
		2x	7	20	34	
		3x	14	30	51	
		4x	19	41	70	
		5x	25	52	88	
		6x	31	64	109	
		7x	37	77	131	
応答時間 (CMPINx 入力変化から MCPWM クロスバーまたは出力クロスバーの出力までの遅延)		ステップ応答		21	40	ns
		ランプ応答 (1.65 V/µs)		26		
		ランプ応答 (8.25 mV/µs)		30		
VDDA	アナログ電源		2.8	3.3	3.63	V
VDD	コア電源		1.08	1.2	1.32	V
Tj	温度		-40	27	155	°C
分解能				12		ビット
入力クロック (SYSCLK) 周波数			1		100	MHz
入力クロック (SYSCLK) パルス幅				TSYSCLK/2		
変換範囲		VDAC	0		VDAC	V
変換範囲		VDDA	0		VDDA	V
VDAC	VDAC 範囲		2.4	3.3	VDDA	V
DNL	微分非直線性		-1		4	LSB
INL	静的積分非直線性		-16		16	LSB
ランプ直線性	動的ランプ誤差	60MHz の SYSCLK で DAC 入力ステップが 20。応答は単調である必要があります。	-64		64	LSB
フルスケール ステップ応答セトリング時間					1	µs
コンパレータ トリップ変動			-512	±120	512	LSB
コンパレータ トリップ変動セトリング時間					200	ns
ゲイン	ゲイン誤差		-2		2	FSR の %
リファレンス入力インピーダンス	リファレンス入力インピーダンス			8		kΩ
PSRR	電源除去比	最高 250kHz		46		dB
ランプ応答時間				26		ns
スロー ランプ応答時間				30		ns
ステップ応答時間		AIO			50	ns
入力オフセット誤差	入力オフセット誤差	ジッタ アグレッサあり	-20	5	20	mV
入力ヒステリシス、理想との差			-5	0	5	mV
CMRR	同相除去比		40			dB
IVDDA	アクティブ電流 (アナログ電源)	CMPSS			120	µA
IVDD	アクティブ電流 (コア電源)	CMPSS			6	µA
IVDDA(leak)	リーク電流 (アナログ電源)	CMPSS				µA
IVDD(leak)	リーク電流 (コア電源)	CMPSS				µA

Copyright © 2026 Texas Instruments Incorporated

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
IVDDA	アクティブ電流 (アナログ電源)	DAC		400		µA
IVDD	アクティブ電流 (コア電源)	DAC		0		µA
IVDDA(leak)	リーク電流 (アナログ電源)	DAC				µA
IVDD(leak)	リーク電流 (コア電源)	DAC				µA
dvt	過渡 vt 変動			5		mV

(1) ヒステリシスは、すべてのコンパレータ入力ソース構成で使用できます。

6.9.2.1.2 CMPSS_LITE DAC の静的電気特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
CMPSS_LITE DAC 出力範囲		0		VDDA	V
静的オフセット誤差 (1)		-25		25	mV
静的ゲイン誤差 (1)		-0.5		0.5	FSR の %
静的 DNL	エンドポイント補正	-5		5	LSB (12 ビット)
静的 INL	エンドポイント補正	-5		5	LSB (12 ビット)
静的 TUE (総合未調整誤差)				35	mV
セトリング タイム	フルスケール出力変化後 1LSB にセトリング		1		µs
分解能 (2)			12		ビット

(1) コンパレータの入力換算誤差を含みます。
(2) 単調応答の 9.5 ビット有効分解能

ADVANCE INFORMATION

6.9.3 プログラマブル ゲイン アンプ (PGA)

プログラマブル ゲイン アンプ (PGA) は、入力電圧を増幅して、下流側の ADC および CMPSS モジュールの実効分解能を高めるために使用されます。

内蔵 PGA により、従来は外付けのスタンドアロン アンプを必要としていた多くの制御アプリケーションで、コストの削減と設計工数の低減に役立ちます。オンチップ統合により、この PGA は下流側の ADC および CMPSS モジュールに適合していることが保証されます。ゲインおよびフィルタの設定をソフトウェアで選択できるため、PGA はさまざまな性能ニーズに対応できます。

PGA の特長は次のとおりです。

- VDDA および VSSA 範囲内のレール ツー レール入力および出力電圧
- ユニティ ゲインとその他の値 (2～64 倍) を含むプログラマブル ゲイン モード
- オフチップ受動部品を使ったスタンドアロン ゲイン モード
- オンチップ抵抗を使ったポスト ゲイン フィルタリング
- 差動入力のサポート
- ハードウェア支援型チョッピングによるオフセット低減
- PGA_INM ピンを使用したケルビン グランド接続をサポート

PGA の能動部品は、内蔵オペアンプであり、内蔵の帰還抵抗を備えた非反転または反転アンプとして構成されています。これらの内部帰還抵抗の値は、ソフトウェアで選択可能な電圧ゲインを生成するように組み合わせられています。

次の 3 つの PGA 信号がデバイスのピンで利用できます。

- PGA_INP は PGA オペアンプへの正入力です。
- PGA_INM は PGA オペアンプへの負入力です。詳細については、本デバイスのデータ マニュアルを参照してください。
- PGA_OUT は、RC 部品によるオペアンプ出力フィルタリングをサポートしています。フィルタ処理された信号は、オンチップ ADC および CMPSS モジュールでサンプリングおよび監視できます。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6.9.3.1 PGA の電気的データおよびタイミング

6.9.3.1.1 PGA の動作条件

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
VDDA		2.8	3.3	3.6	V
VDD		1.08	1.2	1.32	V
TEMP	T_J	-40	27	155	C
クロック周波数		SYSCLK		150	MHz
クロック デューティ サイクル		40	50	60	%
DAC の出力範囲(1)		VSSA+0.025		VDDA–0.025	V
PGA の入力範囲		-0.05		VDDA	V
最小 ADC S+H	フィルタあり	75			ns
最小 ADC S+H (フィルタなし、レベル シフト)		220			ns
PGA 出力の容量性負荷			40		pF

(1) これは PGA の線形出力範囲です。PGA はこの範囲外の電圧を出力できますが、電圧は線形ではありません。

6.9.3.1.2 PGA の特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
総則					
ADC LSB 精度が ±1 以内の最小 ADC S+H セトリング (フィルタなし、すべてのゲイン設定、シングル ADC 駆動)(5)	ゲイン = 1	125			ns
	ゲイン = 2/-1	146			
	ゲイン = 4/-3	125			
	ゲイン = 8/-7	154			
	ゲイン = 16/-15	227			
	ゲイン = 32/-31	322			
	ゲイン = 64/-63	420			
ゲイン設定		1			
		2、4、8、16、32、64			
		-1、-3、-7、-15、-31、-63			
短絡電流 (6)			41		mA
フルスケール ステップ応答 (フィルタなし)、精度が 0.05% 以内のセトリング(5)	G<64			420	ns
	G = 64/-63			500	ns
セトリング タイム:ゲイン切り替え				10	µs
スルーレート	ネイキッド OPA モード		12		V/µs
スルーレート	ゲイン = 1		12		V/µs
	ゲイン = 2/-1		24		V/µs
	ゲイン = 4/-3		43		V/µs
	ゲイン = 8/-7		67		V/µs
	ゲイン = 16/-15		35		V/µs
	ゲイン = 32/-31		29		V/µs
	ゲイン = 64/-63		26		V/µs

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
過負荷復帰時間	0.1% にセトリング		.400		µs
R_{ia}	ゲイン = 1		256		kΩ
	ゲイン = 2/-1		14		kΩ
	ゲイン = 4/-3		7		kΩ
	ゲイン = 8/-7		8		kΩ
	ゲイン = 16/-15		8		kΩ
	ゲイン = 32/-31		8		kΩ
	ゲイン = 64/-63		4		kΩ
R_{ib}	ゲイン = 1		0		kΩ
	ゲイン = 2/-1		14		kΩ
	ゲイン = 4/-3		21		kΩ
	ゲイン = 8/-7		56		kΩ
	ゲイン = 16/-15		120		kΩ
	ゲイン = 32/-31		248		kΩ
	ゲイン = 64/-63		252		kΩ
フィルタ抵抗のターゲット	R_{FILT} = 800Ω		800		Ω
	R_{FILT} = 400Ω		400		Ω
	R_{FILT} = 200Ω		200		Ω
	R_{FILT} = 100Ω		100		Ω
	R_{FILT} = 50Ω		50	62	Ω
アクティブ電流	VDDA、フィルタなし		1.3	1.7	mA
	VDDA、フィルタあり		1.3	1.9	mA
	VDD、フィルタなし		10	200	µA
	VDD、フィルタあり		10	200	µA
リーク電流	VDDA		.02		µA
	VDD		.03		µA
ゲイン帯域幅積 (ネイキッド オペアンプ モード)	ゲイン = 1		7		MHz
閉ループ -3dB BW	ゲイン = 1		15		MHz
	ゲイン = 2/-1		14		MHz
	ゲイン = 4/-3		13.5		MHz
	ゲイン = 8/-7		12		MHz
	ゲイン = 16/-15		11		MHz
	ゲイン = 32/-31		5.5		MHz
	ゲイン = 64/-63		5.0		MHz
DC の特性					
ゲイン誤差(1)	ゲイン = 1	-0.18		0.18	%
	ゲイン = 2、-1	-0.37		0.37	%
	ゲイン = 4、-3	-0.6		0.6	%
	ゲイン = 8、-7	-0.73		0.73	%
	ゲイン = 16、-15	-0.81		0.81	%
	ゲイン = 32、-31	-1.0		1.0	%
	ゲイン = 64、-63	-1.82		1.82	%

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
オフセット誤差 (トリムなし)	入力換算	-8		8	mV
オフセット誤差(2)	入力換算	-3.0	±1.0	3.0	mV
オフセット温度係数	入力換算	-7.0		7.0	µV/C
オフセット誤差 - チョップ		-0.8		0.8	mV
オフセット温度係数 - チョップ			0.3		µV/C
オフセット トリム範囲	最小値			-8	mV
	8			mV	
長期オフセット ドリフト	入力換算		3		mV
INL	ADC 付き	-3		3	12b LSB
DC コード分布	G<64		2.5		12b LSB
	G = 64/-63		4		12b LSB
AC の特性					
位相マージン ネイキッド OPA	C_{load} = 40pF G = 1		45		度
Aol (開ループ電圧ゲイン) ネイキッド OPA	R_L = 7.5kΩ から GND へ 0.3V < V_O < VDDA - 0.3V		94		dB
THD + ノイズ (THD+N) ネイキッド OPA	f_{in} = 1kHz G = 1		82		dB
帯域幅 (3)	すべてのゲイン モード		7		MHz
SNR 10kHz (ADC あり)	ゲイン = 1		68		dB
	ゲイン = 2、-1		68		
	ゲイン = 4、-3		66		
	ゲイン = 8、-7		62		
	ゲイン = 16、-15		58		
	ゲイン = 32、-31		55		
	ゲイン = 64、-63		51		
THD(4)	DC		-78		dB
THD (最大 100kHz) (4)	ゲイン = 1		-58		dB
	ゲイン = 2、-1		-70		
	ゲイン = 4、-3		-70		
	ゲイン = 8、-7		-70		
	ゲイン = 16、-15		-70		
	ゲイン = 32、-31		-58		
	ゲイン = 64、-63		-58		
CMRR	DC : V_{IN} <= 1.5V		-86		dB
	DC : フル入力レンジ		-77		dB
	最高 100kHz		-50		dB
PSRR(4)	DC		-75		dB
	最高 10kHz		-60		dB
	最高 100kHz		-40		dB
ノイズ PSD(4)	1kHz		200		nV/sqrt(Hz)
	10kHz		100		nV/sqrt(Hz)

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
積分ノイズ (入力換算)(4)	3Hz ～ 30MHz		100		µV

(1) ADC ゲイン誤差を含む
(2) ADC オフセット誤差を含む
(3) 3dB 帯域幅。
(4) PGA 単独の性能。
(5) ステップ応答時間 (フィルタあり) = tS+H + 7.6*R_{filt}* C_{filt}
(6) フィルタ回路なしと想定

6.9.4 温度センサ

温度センサは、デバイス温度に対して直線的に変化する電圧を出力します (-2mV/°C)。温度センサの出力は、温度からデジタルへの変換を可能にするため、ADC 入力チャネルの 1 つに内部的に接続されています。

出荷時調整値を使ってデバイスの温度を計算する方法については、『 AM13E230x マイコン テクニカル リファレンス マニュアル 』の「温度センサ」セクションを参照してください。

6.9.4.1 温度センサの電気的データおよびタイミング

温度センサを使用してデバイスの接合部温度を測定し、デバイスの接合部温度に応じて線形的に変化する電圧出力を供給できます (-2mV/°C)。温度センサは、ADC への内部接続を介してサンプリングされ、テキサス インスツルメンツが MCU SDK で提供するソフトウェアを使用して温度に変換されます。温度センサをサンプリングする場合、ADC は、「温度センサの特性」表に示すアクイジション時間を満たす必要があります。

出荷時調整値を使用してデバイス温度を計算するためのガイダンスについては、『 AM13E230x マイコン テクニカル リファレンス マニュアル 』

の「温度センサ」セクションを参照してください。

6.9.4.2 温度センサの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
T_{acc}	温度精度	内部リファレンス		±15		°C
T_{acc}	温度精度	外部リファレンス		±15		°C
T_{TRIM}	出荷時調整温度	外部リファレンス	27	30	33	°C
T_c	温度係数	–40°C ≤ T_j ≤ 130°C、外部リファレンス	-2.1	-2	-1.9	mV/°C
dVout/dT	温度感度		3.3	3.8	4.3	mV/°C
t_{pu}	パワーアップ時間				500	µs
t_{SET}	温度センサのセトリング タイム				10	µs
t_{OS}	電圧出力セトリング時間				450	ns
PSR	電源除去				40	dB
IDDA	アクティブ電流 (アナログ電源)			210	296	µA
IDD	アクティブ電流 (コア電源)					µA
IDDA(leak)	リーク電流 (アナログ電源)			17	147	nA
IDD(leak)	リーク電流 (コア電源)				400	nA

6.9.5 内部アナログ接続

自由気流での動作温度範囲内 (特に記述のない限り)

内部信号	接続
TEMPSENSOR	A0_13/A2_13

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

内部信号	接続
PGA0_OUT (内部)	A0_31
PGA1_OUT (内部)	A1_31
PGA2_OUT (内部)	A2_31

ADVANCE INFORMATION

6.10 制御ペリフェラル

6.10.1 マルチチャネル パルス幅変調器 (MCPWM)

MCPWM ペリフェラルは、民生用および産業用機器で採用されている多くのパワー エレクトロニクス システムを制御するための重要な要素です。MCPWM モジュールは、個別のリソースが連携してシステムを形成するしくみによって、小さいモジュールからペリフェラルを構築して、最小限の CPU オーバーヘッドで複合パルス幅波形を生成できます。MCPWM の主な特長として、複合波形生成、デッドバンド生成、柔軟な同期方式、高度なトリップ ゾーン機能、グローバル レジスタ リロード機能が挙げられます。

デバイスの MCPWM と eCAP の同期スキームにより、MCPWM および eCAP モジュールの分割に柔軟性が生まれ、モジュール内でのローカルな同期が可能になります。

MCPWM モジュールを 図 6-3 に示します。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

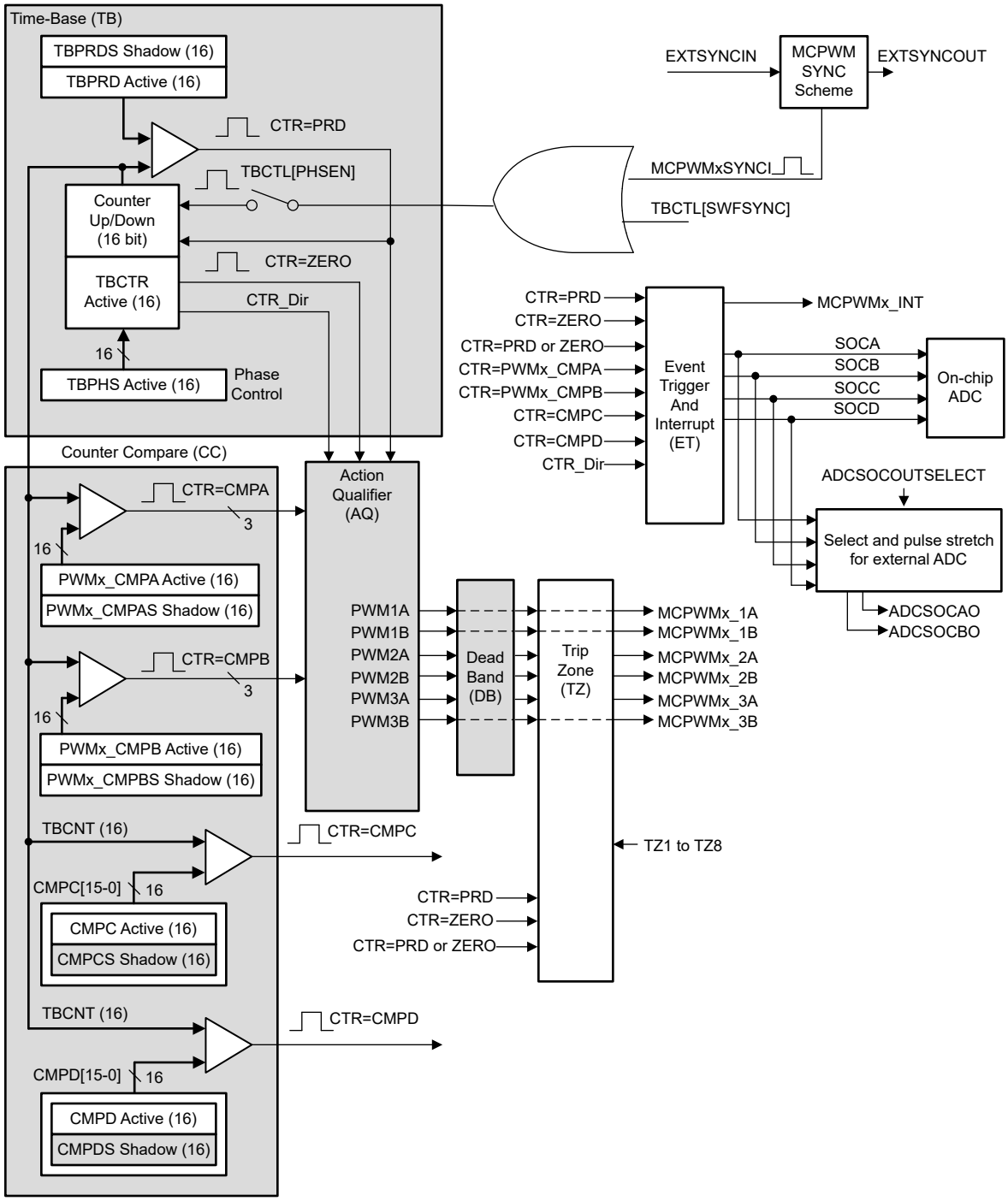


図 6-3. MCPWM サブモジュールおよび重要な内部信号の相互接続

ADVANCE INFORMATION

ADVANCE INFORMATION

6.10.2 制御ペリフェラルの同期

デバイスの MCPWM と eCAP の同期スキームにより、MCPWM および eCAP モジュールの分割に柔軟性が生まれ、モジュール内でのローカルな同期が可能になります。図 6-4 に、この同期スキームを示します。

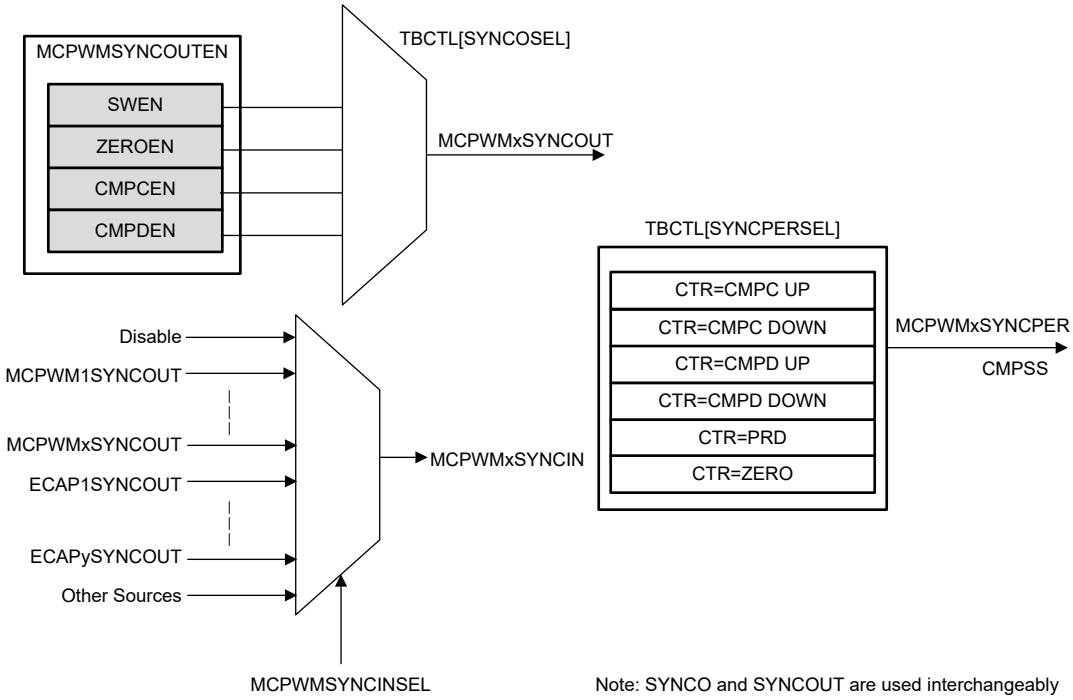


図 6-4. 同期チェーンのアーキテクチャ

6.10.3 MCPWM の電気的データおよびタイミング

6.10.3.1 MCPWM のタイミング要件

パラメータ			最小値	最大値	単位
$t_{w(SYNCIN)}$	同期入力パルス幅	非同期	$2t_{c(EPWMCLK)}$		サイクル
		同期	$2t_{c(EPWMCLK)}$		
		入力クオリファイヤあり	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$		

6.10.3.2 MCPWM スイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{w(PWM)}$	パルス幅、PWMx 出力 High/Low	20		ns
$t_{w(SYNCOUT)}$	同期出力パルス幅	$8t_{c(SYSCLK)}$		サイクル
$t_{d(TZ-PWM)}$	遅延時間、トリップ入力アクティブから PWM 強制 High まで 遅延時間、トリップ入力アクティブから PWM 強制 Low まで 遅延時間、トリップ入力アクティブから PWM ハイ インピーダンスまで		30	ns
tskew	すべての MCPWM 出力のスキュー (最短パス)(1)		5.1	ns
tskew	すべての MCPWM 出力のスキュー (最長パス)(1)		8.9	ns

(1) MCPWM も同様の構成を使用します。

Copyright © 2026 Texas Instruments Incorporated

6.10.4 拡張キャプチャ eCAP

eCAP モジュールの特長は次のとおりです。

- 回転機械の速度測定 (たとえば、歯付きスプロケットをホール センサで検知)
- 位置センサ パルス間の経過時間測定
- パルス列信号の周期およびデューティ サイクル測定
- デューティ サイクル符号化電流 / 電圧センサから得られた電流または電圧振幅の復号

このセクションで説明する eCAP モジュールの特長は次のとおりです。

- 4 つのイベント タイムスタンプ レジスタ (各 32 ビット)
- 最大 4 つの順序付きタイムスタンプ キャプチャ イベントのエッジ極性選択
- 4 つのイベントのいずれかが発生したときの割り込み
- 最大 4 つのイベント タイムスタンプのシングルショット キャプチャ
- 深さ 4 の循環バッファでのタイムスタンプの連続モード キャプチャ
- 絶対タイムスタンプ キャプチャ
- 差分 (デルタ) モード タイムスタンプ キャプチャ
- キャプチャ モードで使用しない場合、eCAP モジュールを単一チャネル PWM 出力として構成可能

タイプ 1 の eCAP におけるキャプチャ機能は、タイプ 0 の eCAP を拡張したものであり、以下の機能が追加されています。

- イベント フィルタ リセット ビット
  - ECCTL2[CTRFILTRESET] に 1 を書き込むと、イベント フィルタ、モジュロ カウンタ、および保留中の割り込みフラグがクリアされます。初期化とデバッグの際は、このビットのリセットが役立ちます。
- モジュロ カウンタのステータス ビット
  - モジュロ カウンタ (ECCTL2 [MODCNTRSTS]) は、どのキャプチャ レジスタを次にロードするかを示します。タイプ 0 の eCAP には、モジュロ カウンタの現在の状態を知る方法はありませんでした。
- DMA トリガ ソース
  - eCAPxDMA が DMA トリガとして追加されました。CEVT[1-4] は、eCAPxDMA のソースとして構成できます。
- 入力マルチプレクサ
  - ECCTL0 [INPUTSEL] は、128 の入力信号のいずれかを選択します。これらの信号については、テクニカル リファレンス マニュアル (TRM) の「拡張キャプチャ (eCAP)」の章の「eCAP のデバイス ピンの構成」セクションを参照してください。
- EALLOW 保護
  - 重要なレジスタに EALLOW 保護が追加されました。タイプ 0 とのソフトウェア互換性を維持するには、DEV_CFG_REGS.ECAPTYPE で、これらのレジスタを保護しないように構成します。

タイプ 2 の eCAP におけるキャプチャ機能は、タイプ 1 の eCAP を拡張したものであり、以下の機能が追加されています。

- ECAPxSYNCINSEL レジスタを追加
  - 外部 SYNCIN を選択するために、各 eCAP に ECAPxSYNCINSEL レジスタが追加されています。すべての eCAP は、個別の SYNCIN 信号を使用できます。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

6.10.5 eCAP のブロック図

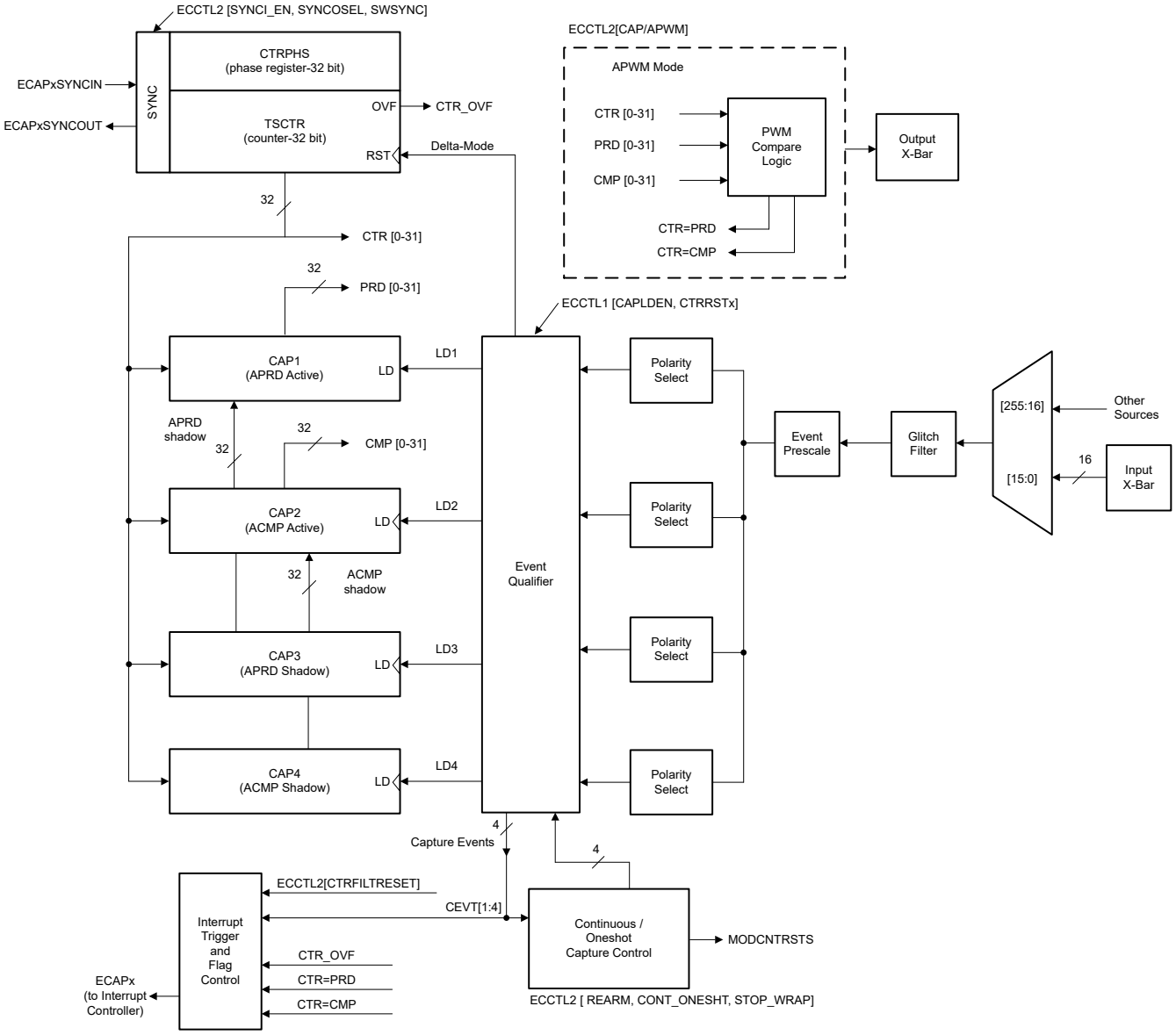


図 6-5. eCAP のブロック図

Copyright © 2026 Texas Instruments Incorporated

6.10.6 eCAP の同期

eCAP の各モジュールは、共通の SYNCIN ソースを選択することで、互いに同期させることができます。eCAP 用の SYNCIN ソースには、ソフトウェア同期入力と外部同期入力のどちらかを使用できます。外部同期入力信号は、PWM、eCAP、またはクロスバーのいずれかから供給されます。SYNC 信号は、下の図に示すように、ECAPx の ECAPxSYNCINSEL[SEL] ビットでの選択によって定義されます。

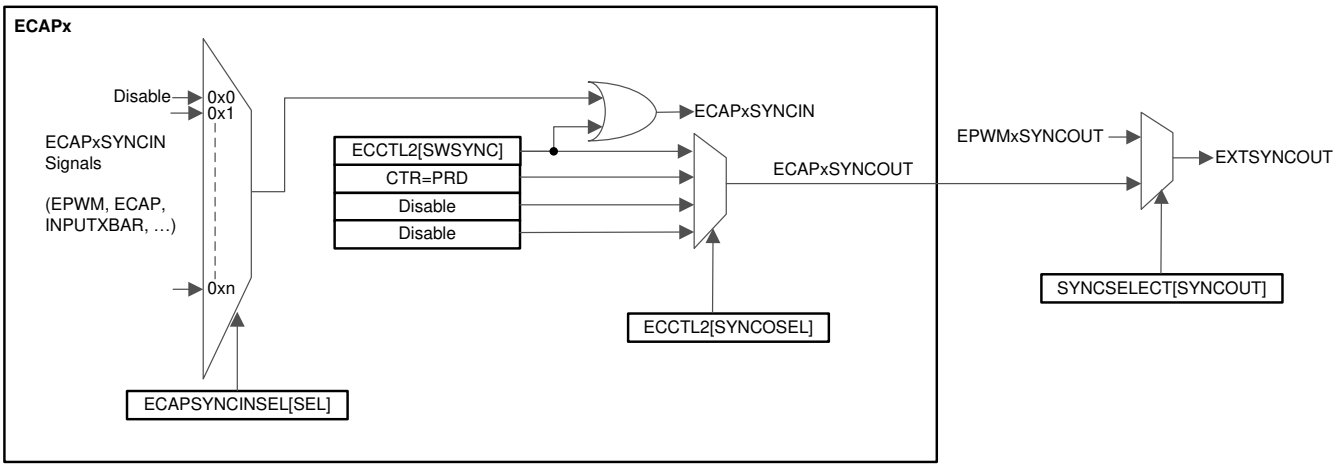


図 6-6. eCAP の同期方式

6.10.7 eCAP の電気的データおよびタイミング

6.10.7.1 eCAP のタイミング要件

			最小値	公称値	最大値	単位
$t_{w(CAP)}$	キャプチャ入力パルス幅	非同期	$2t_{c(SYSCLK)}$			ns
		同期	$2t_{c(SYSCLK)}$			
		入力クオリファイヤあり	$1t_{c(SYSCLK)} + t_{w_(IQSW)}$			

6.10.7.2 eCAP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
$t_{w(APWM)}$	パルス幅、APWMx 出力 High/Low	20			ns

ADVANCE INFORMATION

6.10.8 拡張直交エンコーダ パルス (eQEP)

このデバイスの eQEP モジュールは Type 2 です。eQEP インターフェイスは、高性能な動作位置制御システムで使用される回転機械から位置、方向、速度などの情報を取得するために、リニアまたはロータリ インクリメンタル エンコーダとの直接のインターフェイスになります。

eQEP ペリフェラルには、以下の主要な機能ユニットが含まれています。

- 各ピンの入力クオリファイヤをプログラム可能 (GPIO MUX の一部)
- 直交デコーダ ユニット (QDU)
- 位置測定用の位置カウンタおよび制御ユニット (PCCU)
- 低速度測定用の直交エッジ キャプチャ ユニット (QCAP)
- 速度および周波数測定用のユニット タイム ベース (UTIME)
- ストール検出用ウォッチドッグ タイマ (QWDOG)
- 直交モード アダプタ (QMA)

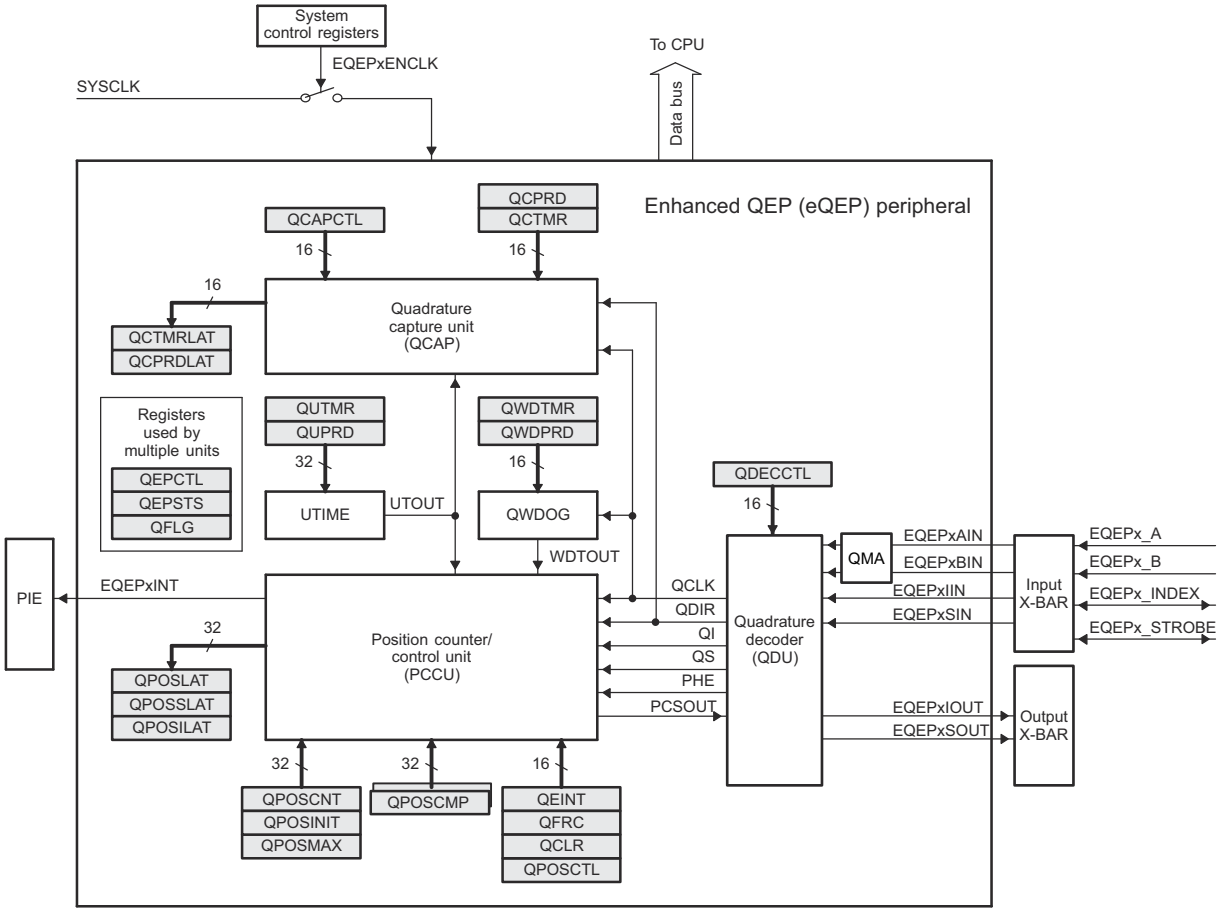


図 6-7. eQEP のブロック図

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

6.10.9 eQEP の電気的データおよびタイミング

6.10.9.1 eQEP のタイミング要件

			最小値	最大値	単位
$t_{w(QEPP)}$	QEP 入力周期	同期 (1)	$2t_{c(SYSCLK)}$		サイクル
$t_{w(QEPP)}$	QEP 入力周期	入力クオリファイヤにより同期	$2[1t_{c(SYSCLK)} + t_{w(IQSW)}]$		サイクル
$t_{w(INDEXH)}$	QEP インデックス入力 High 時間	同期 (1)	$2t_{c(SYSCLK)}$		サイクル
$t_{w(INDEXH)}$	QEP インデックス入力 High 時間	入力クオリファイヤにより同期	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		サイクル
$t_{w(INDEXL)}$	QEP インデックス入力 Low 時間	同期 (1)	$2t_{c(SYSCLK)}$		サイクル
$t_{w(INDEXL)}$	QEP インデックス入力 Low 時間	入力クオリファイヤにより同期	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		サイクル
$t_{w(STROBH)}$	QEP ストローブ High 時間	同期 (1)	$2t_{c(SYSCLK)}$		サイクル
$t_{w(STROBH)}$	QEP ストローブ High 時間	入力クオリファイヤにより同期	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		サイクル
$t_{w(STROBL)}$	QEP ストローブ入力 Low 時間	同期 (1)	$2t_{c(SYSCLK)}$		サイクル
$t_{w(STROBL)}$	QEP ストローブ入力 Low 時間	入力クオリファイヤにより同期	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		サイクル

(1) eQEP モジュールの入力ピンでは、GPIO の GPxQSELn 非同期モードは使用できません。

6.10.9.2 eQEP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{d(CNTR)xin}$	遅延時間、外部クロックからカウンタ インクリメントまで		$5t_{c(SYSCLK)}$	サイクル
$t_{d(PCS-OUT)QEP}$	遅延時間、QEP 入力エッジから位置比較同期出力まで		$7t_{c(SYSCLK)}$	サイクル

ADVANCE INFORMATION

6.11 通信ペリフェラル

6.11.1 UNICOMM (UART/I²C/SPI)

UNICOMM は柔軟性が非常に高いペリフェラルで、実行時に UART、SPI、I²C コントローラ、または I²C ターゲット プロトコルで動作するように構成できます。ユーザーは、初期化時にシリアル インターフェイスのいずれかを選択できます。ペリフェラルは、各 UCx インスタンスで共有の 16 段 FIFO を使用し、デバイスの機能を最大化します。スケーラブル ペリフェラル グループ (SPG) は、1 つ以上の UNICOMM インスタンスを組み合わせて、モジュール間の内部ループバックや I2C ペアリングのような特殊機能を実現します。表 6-4 に、各 UNICOMM インスタンスで使用可能なペリフェラル シリアル インターフェイスと、これらをデバイスで SPG グループ化する方法を示します。

表 6-4. UNICOMM (UCx) シリアル ペリフェラル

SPG インスタンス	UNICOMM インスタンス	サポート対象のシリアル プロトコル	使用可能なペリフェラル タイプ
SPG0 (PD1)	UC0	UART、SPI、I2C	標準的な UART、標準的な SPI、標準的な I2C コントローラ / ターゲット
	UC1	UART、SPI、I2C	標準的な UART、標準的な SPI、標準的な I2C コントローラ / ターゲット
	UC2	UART、LIN、I2C、SMBUS	Basic+ UART、高度な I2C コントローラ / ターゲット
SPG1 (PD1)	UC3	UART、SPI、I2C	標準的な UART、標準的な SPI、標準的な I2C コントローラ / ターゲット
	UC4	UART、SPI、I2C	標準的な UART、標準的な SPI、標準的な I2C コントローラ / ターゲット
	UC5	UART、LIN、I2C、SMBUS	Basic+ UART、高度な I2C コントローラ / ターゲット

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

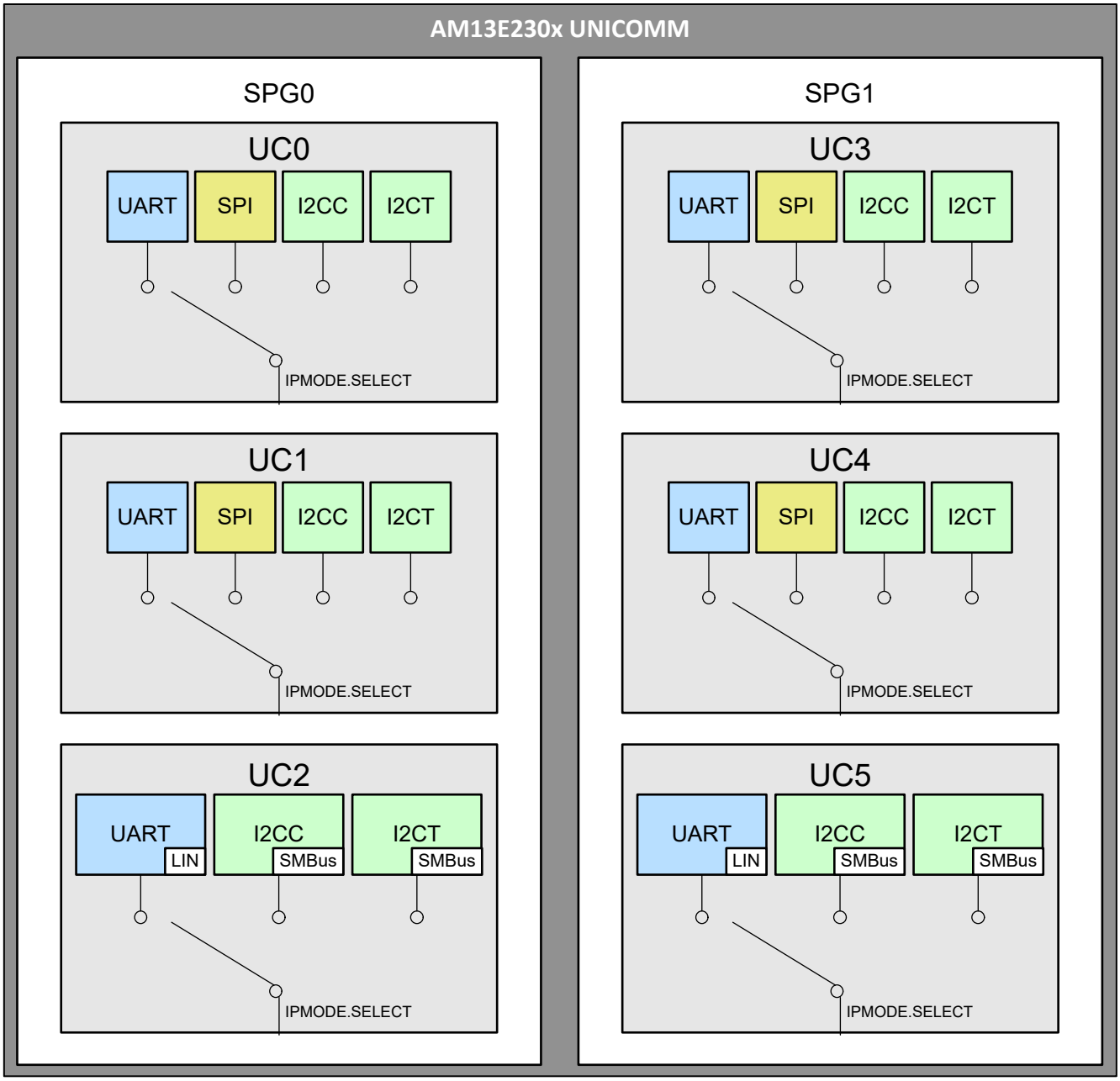


図 6-8. UNICOMM のブロック図

6.11.1.1 ユニバーサル非同期レシーバ / トランスミッタ (UART)

ユニバーサル非同期レシーバ / トランスミッタ (UART) UNICOMM ペリフェラル モードは、以下の主な機能をサポートしています。

- 完全にプログラム可能なシリアル インターフェース:
  - 5、6、7、または 8 データ ビット
  - 偶数パリティ ビット、奇数パリティ ビット、スティック パリティ ビット、およびパリティなしビットの生成 / 検出
  - 1 または 2 ストップ ビットの生成
  - LSB ファーストまたは MSB ファーストのデータ送受信

ADVANCE INFORMATION

  - 改行の検出
  - プログラマブルなボーレート生成 (16、8、3 倍オーバーサンプリング機能付き)
- 16 段の送信 (TX) および受信 (RX) FIFO を個別に搭載
- ダイレクト メモリ アクセス (DMA) のサポート
- LIN (Local Interconnect Network) ハードウェアのサポート (基本+ インスタンス)
- 送信から受信の内部ループバック モード動作
- ハードウェア フロー制御 (CTS/RTS)
- RS485 フロー制御のサポート
- アイドル ライン マルチプロセッサ モード
- 9 ビット UART モード
- ISO7816 スマートカードのサポート (基本インスタンス)

個別の UCx インスタンスでサポートされている機能の詳細については、表 6-5 を参照してください。

表 6-5. UART (UNICOMM) の特長

サポートされている機能	基本インスタンス:UC0.UART、UC1.UART、UC3.UART、UC4.UART	基本+ インスタンス:UC2.UART、UC5.UART
停止およびスタンバイ モードでアクティブ	あり	あり
ハードウェア フロー制御 (CTS/RTS)	あり	あり
9 ビット モード	あり	あり
LIN モード	なし	あり
ISO7816 スマート カード	あり	なし
DMA アクセス / サポート	あり	あり
内部ループバックのサポート	あり	あり
アイドル ライン マルチプロセッサ モード	あり	あり
RS485 フロー制御モード	あり	あり

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

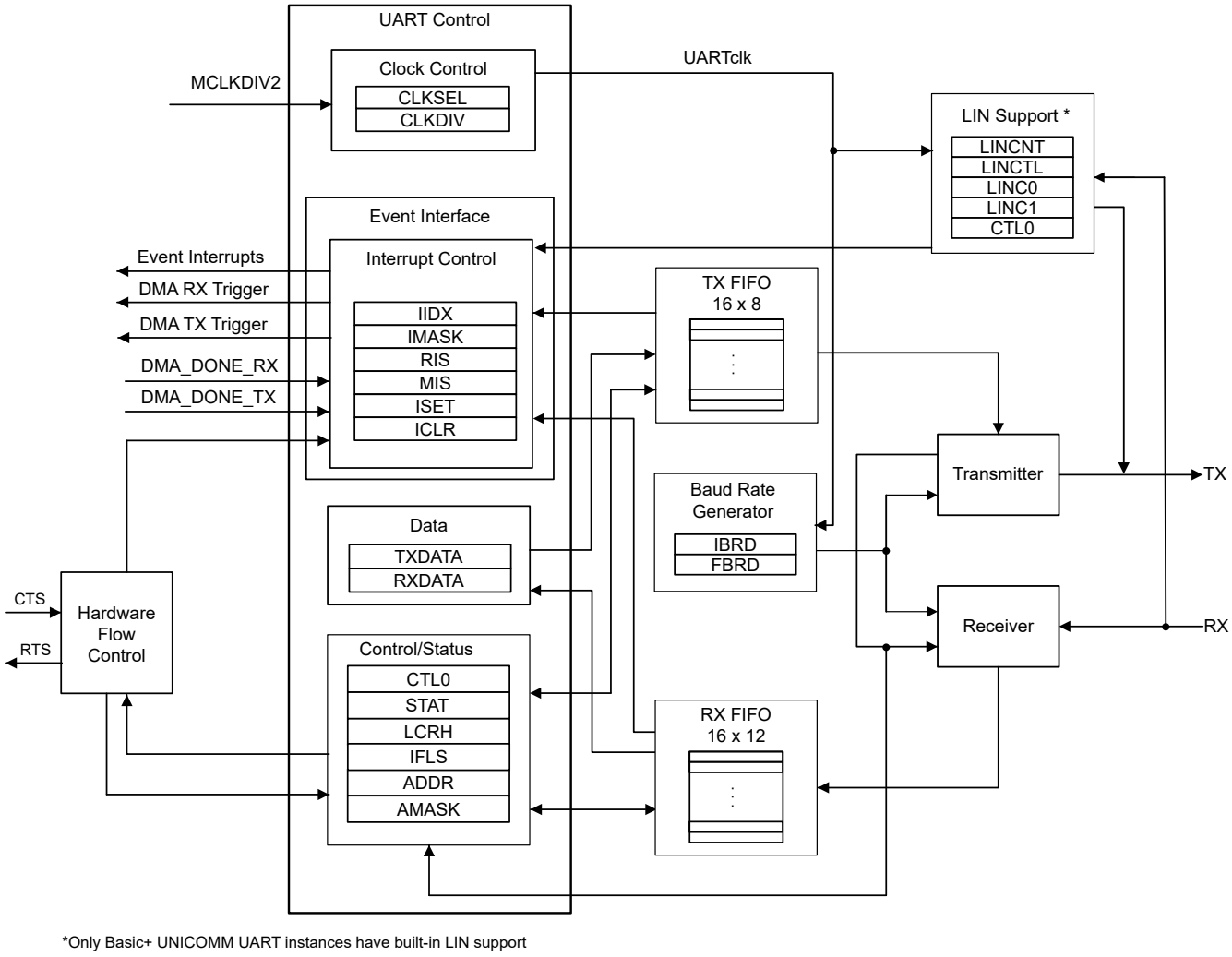


図 6-9. UART の機能ブロック図

詳細については、『**AM13E230x マイコン テクニカル リファレンス マニュアル**』の「UART (UNICOMM)」の章を参照してください。

6.11.1.1.1 UART のタイミングと特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{UART}	UART 入力クロック周波数	パワードメイン 1 の UART			100	MHz
f_{BITCLK}	BITCLK クロック周波数 (MBaud のボー レートに等しい)	パワードメイン 1 の UART			12.5	Mbps
t_{SP}	入力フィルタにより抑制されるスパイクのパルス持続時間	AGFSELx = 0		6		ns
		AGFSELx = 1		14	35	ns
		AGFSELx = 2		22	60	ns
		AGFSELx = 3		35	90	ns

6.11.1.2 I2C (Inter-Integrated Circuit)

インターインテグレーテッド回路 (I2C) UNICOMM ペリフェラル モード (I2C コントローラおよび I2C ターゲット) は、以下の主な機能をサポートしています。

ADVANCE INFORMATION

- 7 ビットおよび 10 ビットのアドレッシング モード
- デュアル アドレッシングのサポート
- 標準モード (Sm) のサポート (最大 100kbit/s のビット レート)
- 高速モード (Fm) のサポート (最大 400kbit/s のビット レート)
- 高速モード プラス (Fm+) のサポート (最大 1Mbit/s のビット レート)
  - オープンドレイン IO (ODIO) およびハイドライブ IO (HDIO) にのみ対応
- 16 段の送信 (TX) および受信 (RX) FIFO を個別に搭載
- ダイレクト メモリ アクセス (DMA) のサポート
- SMBus 3.0 のサポート
  - パケット エラー チェック(PEC)
  - タイムアウト検出
  - 拡張フレーム アクノリッジ: 手動または自動
  - デフォルトのデバイス / ホスト / アラート応答アドレス
  - ターゲット調停消失
- アナログおよびデジタル グリッチの抑制

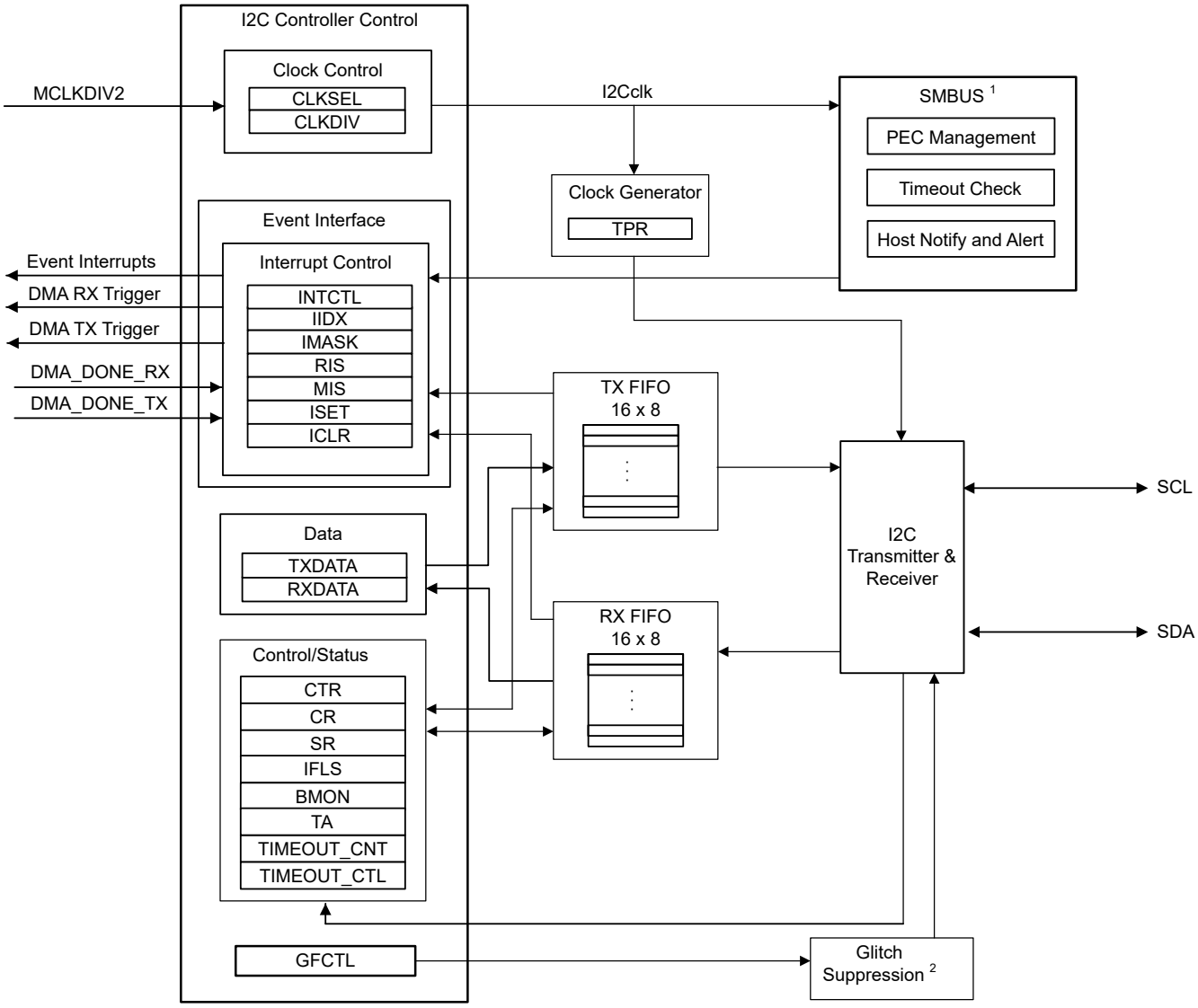
個別の UCx インスタンスと I2C 動作モード (I2C コントローラと I2C ターゲット) でサポートされている機能の詳細については、表 6-6 を参照してください。

表 6-6. I2C コントローラおよびターゲット (UNICOMM) の特長

サポートされている機能	I2C コントローラ		I2C ターゲット	
	基本インスタンス: UC0.I2CC、UC1.I2CC、UC3.I2CC、UC4.I2CC	高度なインスタンス: UC2.I2CC、UC5.I2CC	基本インスタンス: UC0.I2CT、UC1.I2CT、UC3.I2CT、UC4.I2CT	高度なインスタンス: UC2.I2CT、UC5.I2CT
標準モード (Sm) のサポート	あり	あり	あり	あり
高速モード (Fm) のサポート	あり	あり	あり	あり
高速モード プラス (Fm+) のサポート	あり	あり	あり	あり
アナログ グリッチ フィルタリング	なし	あり	なし	あり
デジタル グリッチ フィルタリング	あり	なし	あり	なし
バースト モード	なし	あり	-	-
SMBus v3.0 のサポート	なし	あり		
デュアル アドレッシング	-	-	なし	あり

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

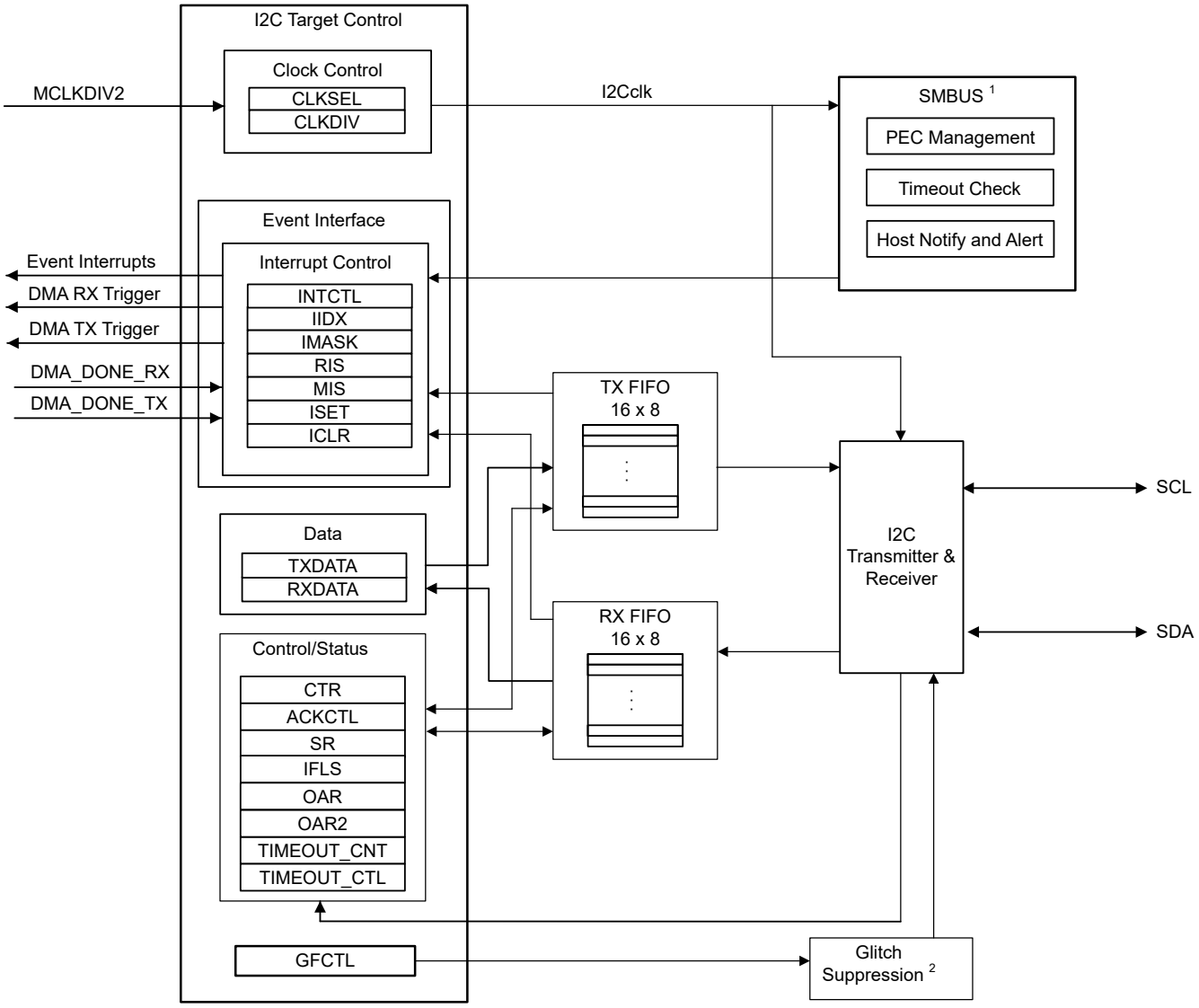


[1] Only Advanced I2CC instances have built-in SMBUS support
[2] Basic I2CC instances have only digital glitch support and Advanced I2CC instances have only analog glitch support

図 6-10. I2C コントローラ (I2CC) の機能ブロック図

ADVANCE INFORMATION

ADVANCE INFORMATION



[1] Only Advanced I2CT instances have built-in SMBUS support
[2] Basic I2CT instances have only digital glitch support and Advanced I2CT instances have only analog glitch support

詳細については、『 AM13E230x マイコン テクニカル リファレンス マニュアル 』の「I2C (UNICOMM)」の章を参照してください。

図 6-11. I2C ターゲット (I2CT) の機能ブロック図

6.11.1.2.1 I2C のタイミングと特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	スタンダード モード		ファスト モード		ファスト モード プラス		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
f_{I2C}	I2C 入力クロック周波数	パワー Domain1 の I2C、MCLK = 200MHz		100		100		100	MHz
		パワー Domain1 の I2C、MCLK = 250MHz		125		125		125	MHz

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	スタンダード モード		ファスト モード		ファスト モード プラス		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
f_{SCL}	SCL クロック周波数			0.1		0.4		1	MHz
$t_{HD,STA}$	(リピート) スタート ホールド時間		4		0.6		0.26		us
t_{LOW}	SCL クロック Low 期間		4.7		1.3		0.5		us
t_{HIGH}	SCL クロックの High 期間		4		0.6		0.26		us
$t_{SU,STA}$	反復 START のセットアップ時間		4.7		0.6		0.26		us
$t_{HD,DAT}$	データ ホールド時間		0		0		0		ns
$t_{SU,DAT}$	データ セットアップ時間		250		100		50		ns
$t_{SU,STO}$	ストップ セットアップ時間		4		0.6		0.26		us
t_{BUF}	STOP 条件と START 条件の間のバス解放時間		4.7		1.3		0.5		us
$t_{VD;DAT}$	データ有効時間			3.45		0.9		0.45	us
$t_{VD;ACK}$	データ有効アクノリッジ時間			3.45		0.9		0.45	us

6.11.1.2.2 I2C フィルタのタイミング

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SP}	入力フィルタにより抑制されるスパイクのパルス持続時間	AGFSELx = 0		6		ns
		AGFSELx = 1		14	35	ns
		AGFSELx = 2		22	60	ns
		AGFSELx = 3		35	90	ns

6.11.1.2.3 I^2C のタイミング図

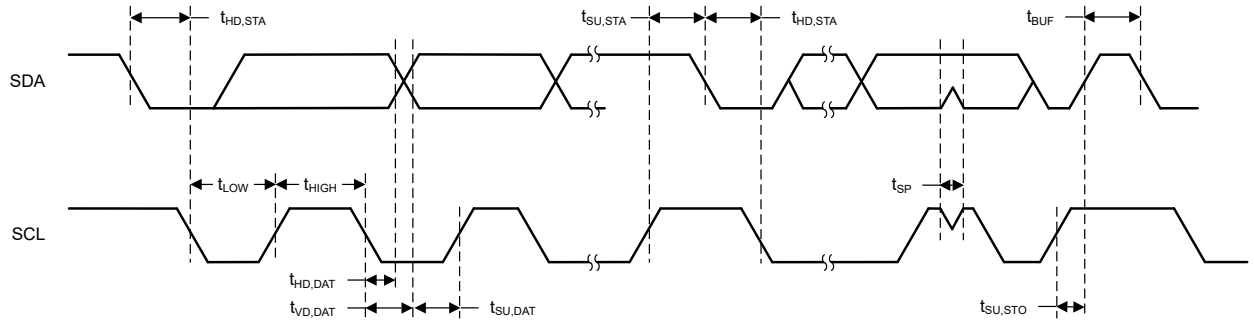


図 6-12. I2C タイミング図

6.11.1.3 シリアル・ペリフェラル・インターフェイス (SPI)

シリアル ペリフェラル インターフェイス (SPI) UNICOMM ペリフェラル モードは、以下の主な機能をサポートしています。

- コントローラ モードとペリフェラル モードの両方で最大 40Mbits/s の速度をサポート [1]
- コントローラ モードまたはペリフェラル モード
- 16 段の送信 (TX) および受信 (RX) FIFO を個別に搭載
- ダイレクト メモリ アクセス (DMA) のサポート

[1] HSIO ピンの SPI 信号のみが最大 40Mbit/s のデータ レートをサポートします。HSIO ピンについては、「ピン配置図」セクションを参照してください。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

- 送信および受信用に 1 つのパリティ
- プログラマブルなクロック プリスケーラおよびビット レート
- データ フレーム サイズを 4 ビット ～ 16 ビット (コントローラ モード)、7 ビット ～ 16 ビット (ペリフェラル モード) にプログラム可能
- テキサス インスツルメンツの同期シリアルおよび Motorola SPI フレーム フォーマットのサポート

本デバイスで SPI ペリフェラル モードが使用可能なすべての UCx インスタンス (UC0.SPI、UC1.SPI、UC3.SPI、UC4.SPI) は、上記のすべての機能をサポートしています。

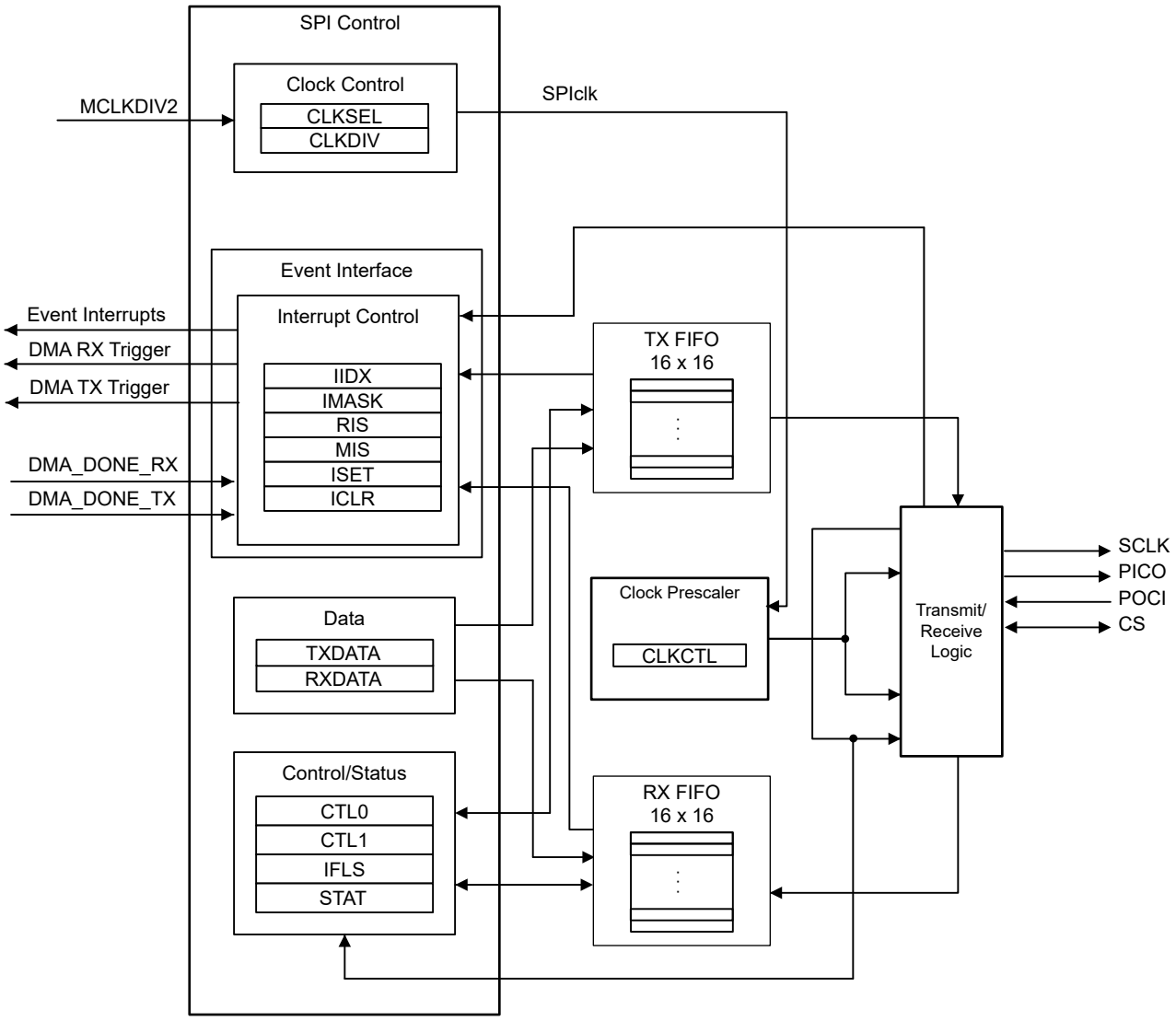


図 6-13. SPI の機能ブロック図

詳細については、『**AM13E230x マイコン テクニカル リファレンス マニュアル**』の「SPI (UNICOMM)」の章を参照してください。

6.11.1.3.1 SPI のタイミングと特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	最小値	標準値	最大値	単位
SPI				

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
f_{SPI}	SPI クロック周波数、MCLK = 200MHz			25	MHz
	SPI クロック周波数、MCLK = 250MHz			31.25	MHz
DC_{SCK}	SCK のデューティ サイクル	40	50	60	%
コントローラ					
$t_{SCLK_H/L}$	SCLK High または Low 時間	(tSPI/2) - 1	tSPI/2	(tSPI/2) + 1	ns
$t_{CS.LEAD}$	CS 進み時間、CS アクティブからクロックまで	1 SPI クロック - 3	1 SPI クロック		ns
		1/2 SPI クロック - 3	1/2 SPI クロック		ns
$t_{CS.LAG}$	CS 遅れ時間、最後のクロックから CS 非アクティブまで	1 SPI クロック - 3	1 SPI クロック		ns
$t_{CS.ACC}$	CS アクセス時間、CS アクティブから PICO データ出力まで		1/2 SPI クロック	1/2 SPI クロック + 3	ns
$t_{CS.DIS}$	CS ディセーブル時間、CS 非アクティブから PICO 高インピーダンスまで		1 SPI クロック	1 SPI クロック + 3	ns
$t_{SU.CI}$	POCI 入力データのセットアップ時間 (1)	1			ns
$t_{HD.CI}$	POCI 入力データ ホールド時間	20			ns
$t_{SU.CI}$	POCI 入力データのセットアップ時間 (1)	18			ns
$t_{HD.CI}$	POCI 入力データ ホールド時間	0			ns
$t_{VALID.CO}$	PICO 出力データの有効時間 (2)			3	ns
$t_{HD.CO}$	PICO 出力データのホールド時間 (3)	-3			ns
ペリフェラル					
$t_{CS.LEAD}$	CS 進み時間、CS アクティブからクロックまで	19			ns
$t_{CS.LAG}$	CS 遅れ時間、最後のクロックから CS 非アクティブまで	1			ns
$t_{CS.ACC}$	CS アクセス時間、CS アクティブから POCI データ出力まで			25	ns
$t_{CS.DIS}$	CS ディセーブル時間、CS 非アクティブから POCI 高インピーダンスまで			39	ns
$t_{SU.PI}$	PICO 入力データ セットアップ時間	7			ns
$t_{HD.PI}$	PICO 入力データ ホールド時間	0			ns
$t_{VALID.PO}$	POCI 出力データの有効時間 (2)			19	ns
$t_{HD.PO}$	POCI 出力データのホールド時間 (3)	3			ns

(1) 遅延サンプリング機能がイネーブルのとき、POCI 入力データのセットアップ時間を完全に補償できます。
(2) 出力が SCLK クロック エッジを変更した後、次の有効なデータを出力に駆動する時間を規定します。
(3) 出力が SCLK クロック エッジを変更した後、出力のデータが有効である間の時間を規定します。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

6.11.1.3.2 SPI タイミング図

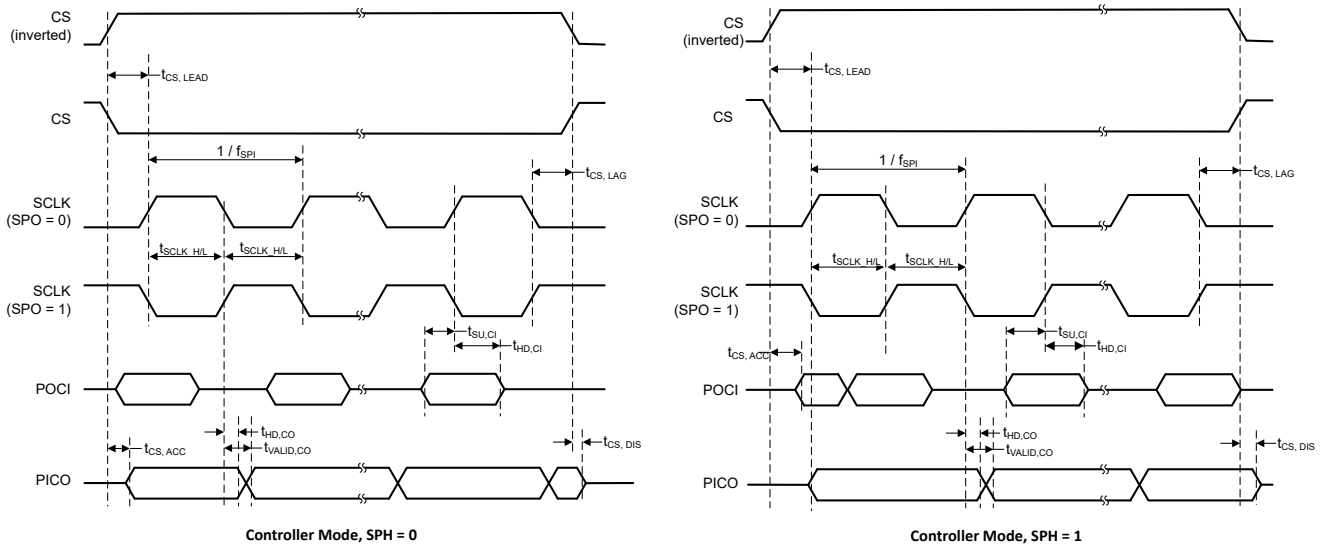


図 6-14. SPI のタイミング図 - コントローラ モード

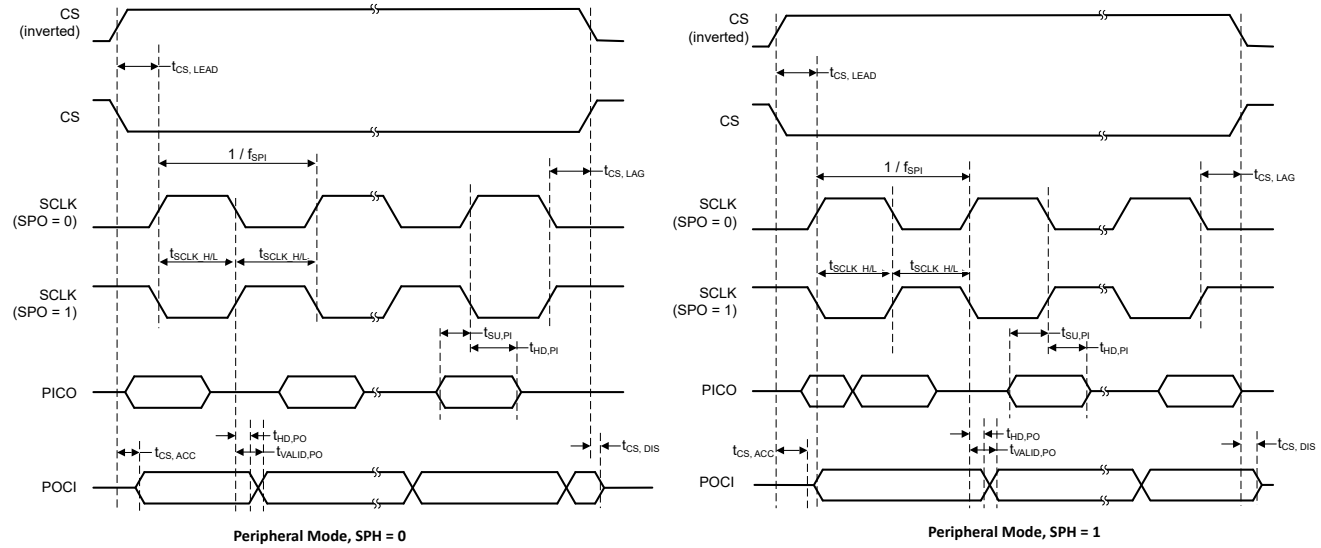


図 6-15. SPI のタイミング図 - ペリフェラル モード

6.11.2 モジュラー・コントローラ・エリア・ネットワーク (MCAN)

モジュラー コントローラ エリア ネットワーク (MCAN) コントローラは、CAN2.0A、CAN2.0B、または CAN-FD バスとの通信を可能にし、最大 1Mbps 公称ビット レート、8Mbps データ ビット レートをサポートする ISO 11898-1:2015 規格に準拠しています。CAN-FD ペリフェラルの主な特長は次のとおりです。

- 64 バイトの CAN-FD フレームを完全にサポート
- ECC 付きの専用 1KB メッセージ SRAM
- 構成可能な送信 FIFO、送信キュー、イベント FIFO (最大 32 個の素子)
- 最大 32 個の送信専用バッファと 64 個の受信専用バッファ
- 2 つの構成可能な受信 FIFO (それぞれ最大 64 個の素子)
- 最大 128 個のフィルタ素子
- 2 つの割り込みライン

Copyright © 2026 Texas Instruments Incorporated

- パワーダウンとウェークアップをサポート
- タイムスタンプ カウンタ

詳細については、『**AM13E230x マイコン テクニカル リファレンス マニュアル**』の「モジュラー コントローラ エリア ネットワーク (MCAN)」章を参照してください。

6.11.2.1 CAN のタイミングと特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{CANCLK}	CAN 入力クロック周波数	MCLK=250MHz			125	MHz
		MCLK=200MHz			100	
f_{BAUD}	CAN ボーレート				8	Mbps

ADVANCE INFORMATION

ADVANCE INFORMATION

6.12 外部ペリフェラル インターフェイス (EPI)

外部ペリフェラル インターフェイス (EPI) は、外部ペリフェラルまたはメモリ用の高速パラレル バスです。このモジュールには、多くの種類の外部デバイスにシームレスにインターフェイスできるよう、複数の動作モードがあります。EPI は標準のマイクロプロセッサ アドレス / データ バスに似ていますが、通常は 1 種類の外部デバイスにのみ接続する必要があります。拡張機能として、DMA サポート、クロック制御、外部 FIFO バッファのサポートを搭載しています。

EPI の特長は次のとおりです。

- 外部ペリフェラルとメモリ用の 8/16/32 ビット専用パラレル バス
- メモリ インターフェイスは、データ バス幅に依存しない連続メモリ アクセスをサポートしており、SDRAM、SRAM、およびフラッシュ メモリから直接コードを実行可能
- ブロッキング読み取りおよびノンブロッキング読み取り
- 内部書き込み FIFO に使用により、タイミングの詳細からプロセッサを分離
- ダイレクト メモリ アクセス (DMA) コントローラによる効率的な転送
  - 読み取り用と書き込み用に個別のチャネルを装備
  - 読み取りチャネル要求は、内部ノンブロッキング読み取り FIFO (NBRFIFO) のプログラマブル レベルによってアサートされる
  - 書き込みチャネル要求は、内部書き込み FIFO (WFIFO) が空になったときにアサートされる

EPI は、三つの主要な動作モードをサポートしています: 同期ダイナミック ランダム アクセス メモリ (SDRAM) モード、従来型ホストバス モード、汎用モード。EPI モジュールはカスタム GPIO も提供しますが、通常の GPIO とは異なり、EPI モジュールは通信メカニズムと同じ方法で FIFO を使用し、クロッキングを使用して速度を制御します。

- 同期ダイナミック ランダム アクセス メモリ (SDRAM)
  - 最大 50MHz で x16 (シングル データ レート) SDRAM をサポート
  - 最大で 64MB (512 メガビット) の低コスト SDRAM をサポート
  - 自動更新機能とすべてのバンク / 行へのアクセスを搭載
  - スリープ / スタンバイ モードを搭載し、消費電力を最小限に抑えながら内容をアクティブ状態に維持可能
  - ピン数を削減できる多重化アドレス / データ インターフェイス
- ホストバス
  - 従来型の x8 および x16 マイコンバス インターフェイス機能
  - PIC、ATmega、8051 などと同様のデバイス互換性オプション
  - SRAM、NOR フラッシュ メモリ、およびその他のデバイスにアクセス可能、非多重化モードでは最大 1MB のアドレス指定、多重化モードでは 256MB (バイト選択なしホストバス 16 モードでは 512MB) に対応
  - アドレスとデータの多重化と逆多重化の両方をサポート
  - アドレス以外の FIFO x8 および x16 インターフェイス バリアントをサポートするさまざまなデバイスにアクセスでき、外部 FIFO (XFIFO) の EMPTY 信号と FULL 信号をサポート
  - 読み取りおよび書き込みデータの待機状態カウンタによって、速度を制御
  - ホスト バスへの読み取り / 書き込みバースト モードのサポート
  - シングル、デュアル、クワッドのチップ セレクトを含め、ALE あり / なしの複数のチップ セレクト モードをサポート
  - 読み取りおよび書き込みのストール機能のために外部 iRDY 信号を提供
  - 手動チップイネーブル (または追加アドレス ピンを使用)
- 汎用
  - CPLD や FPGA との高速通信に適した、幅広いパラレル インターフェイス
  - 最大 32 ビットのデータ幅
  - 最大 125MB / 秒のデータ レート
  - オプションの「アドレス」サイズは 4 ビット ～ 20 ビット
  - オプションのクロック出力、読み取り / 書き込みストローブ、フレーミング (カウンタベースのサイズで)、クロックイネーブル入力
- 汎用パラレル GPIO
  - 1 ～ 32 ビット、速度制御機能付きで FIFO 搭載

Copyright © 2026 Texas Instruments Incorporated

– カスタム ペリフェラル、またはデジタル データ アクイジションやアクチュエータ制御に有用

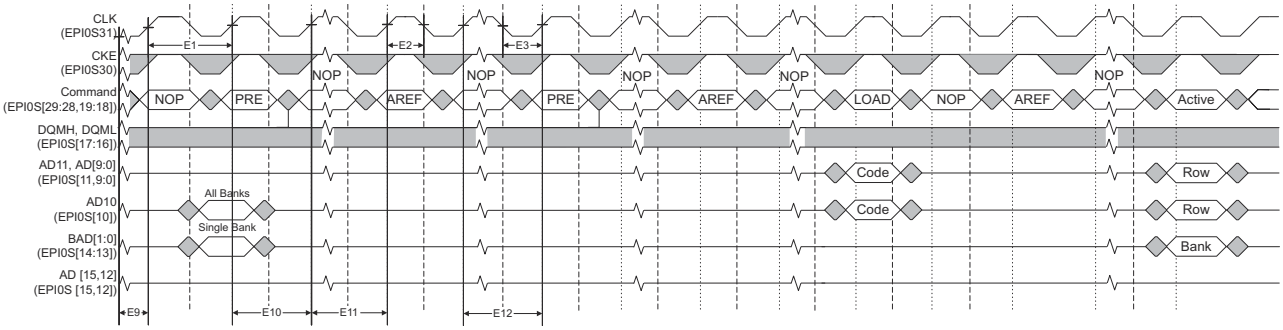
ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6.12.1 EPI SDRAM インターフェイスのスイッチング特性

番号	パラメータ		最小値	標準値	最大値	単位
番号	パラメータ		最小値	標準値	最大値	単位
E1	$t_{c(CK)}$	サイクル時間、SDRAM クロック	19	20	21	ns
E2	$t_{w(CKH)}$	パルス幅、SDRAM クロック High	9	10	11	ns
E3	$t_{w(CKL)}$	パルス幅、SDRAM クロック Low	9	10	11	ns
E4	$t_{d(CK-OV)}$	遅延時間、クロックから出力有効まで	-5		5	ns
E5	$t_{d(CK-OIV)}$	遅延時間、クロックから出力無効まで	-5		5	ns
E6	$t_{d(CK-OZ)}$	遅延時間、クロックから出力ハイ インピーダンスまで	-5		5	ns
E7	$t_{su(AD-CK)}$	セットアップ時間、クロック前の入力	12			ns
E8	$t_{h(CK-AD)}$	ホールド時間、クロック後の入力	0			ns
E9	t_{PU}	パワーアップ時間	100			µs
E10	t_{pc}	プリチャージ時間、すべてのバンク	20			ns
E11	t_{rf}	自動リフレッシュ	66			ns
E12	t_{MRD}	プログラム モード レジスタ	40			ns

6.12.2 EPI SDRAM のタイミング図



A. クロック High 時間で $\overline{CS}$ が High の場合、適用されるすべてのコマンドは NOP です。
B. 必要に応じて、自動リフレッシュ サイクルより前にモード レジスタをロードできます。
C. JEDEC と PC100 では 3 つのクロックが規定されています。
D. コマンドの発行後、出力はハイ インピーダンスに保証されます。

図 6-16. SDRAM 初期化および負荷モード レジスタのタイミング

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

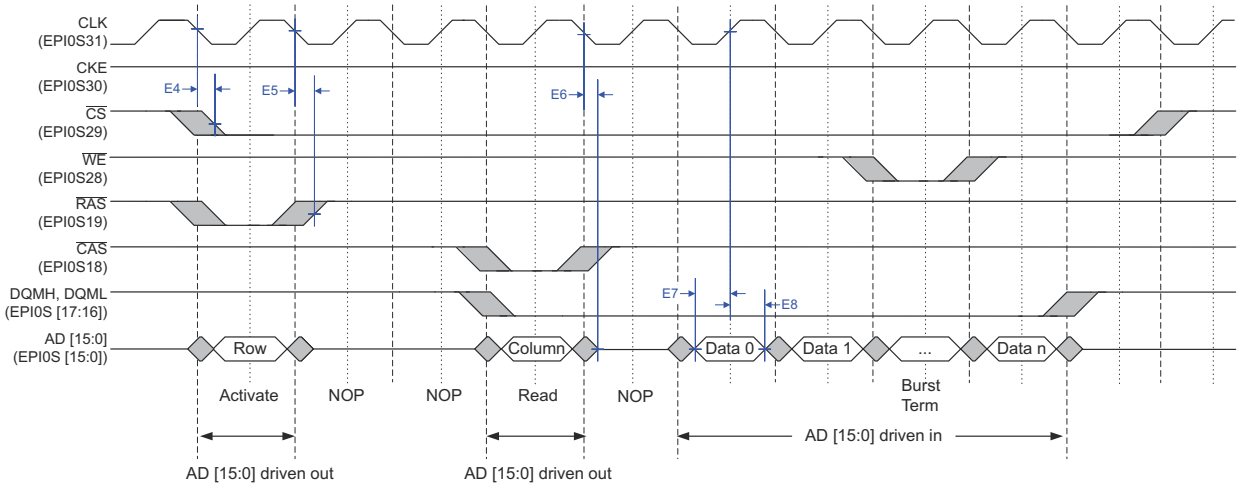


図 6-17. SDRAM 読み取りタイミング

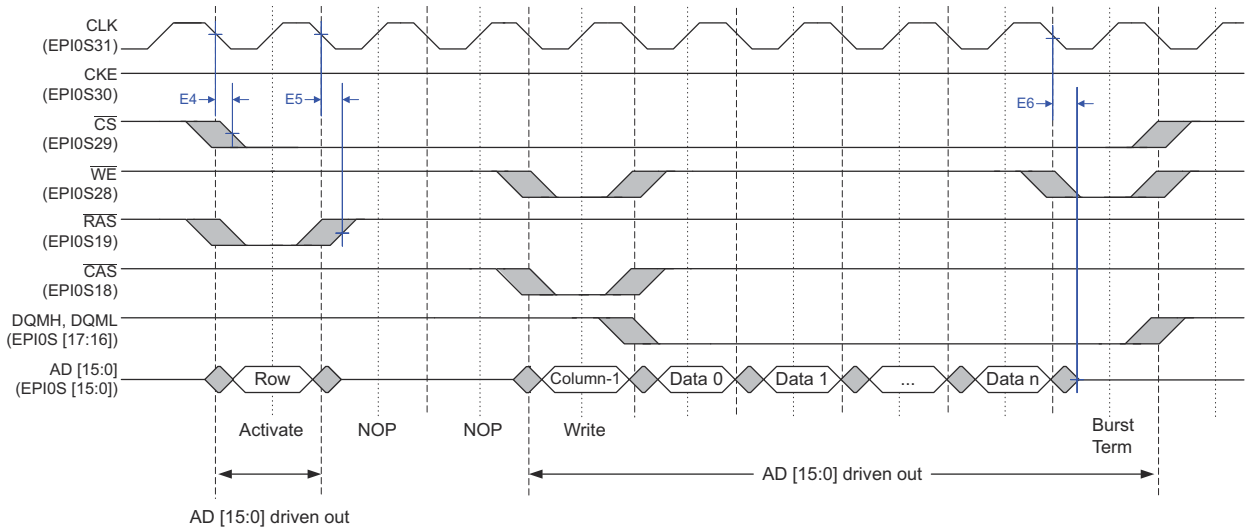


図 6-18. SDRAM 書き込みタイミング

6.12.3 EPI ホストバス 8 およびホストバス 16 インターフェイスのスイッチング特性

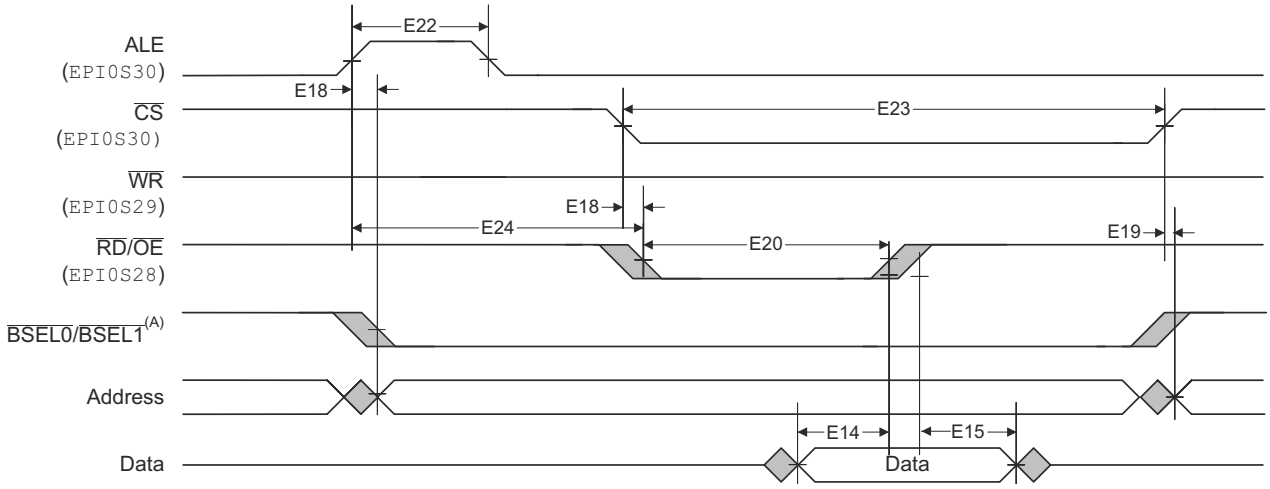
番号	パラメータ		最小値	標準値	最大値	単位
E16	td(WR-WDATAV)	遅延時間、WR から書き込みデータ有効			5	ns
E17	td(WRIV-DATA)	遅延時間、WR 無効からデータ	2*E - 2	2*E		ns
E18	td(CS-OV)	遅延時間、CS から出力有効	-5		5	ns
E19	td(CS-OIV)	遅延時間、CS から出力無効	-5		5	ns
E20	tw(STL)	パルス幅、WR/RD ストローブ Low	2*E - 2	2*E		ns
E22	tw(ALEH)	パルス幅、ALE high	1*E - 2	1*E		ns
E23	tw(CSL)	パルス幅、CS low	4*E - 2	4*E		ns
E24	td(ALE-ST)	遅延時間、ALE 立ち上がりから WR/RD ストローブ立ち下がり	2*E - 2	2*E		ns

ADVANCE INFORMATION

6.12.4 EPI ホストバス 8 とホストバス 16 インターフェイスのタイミング要件

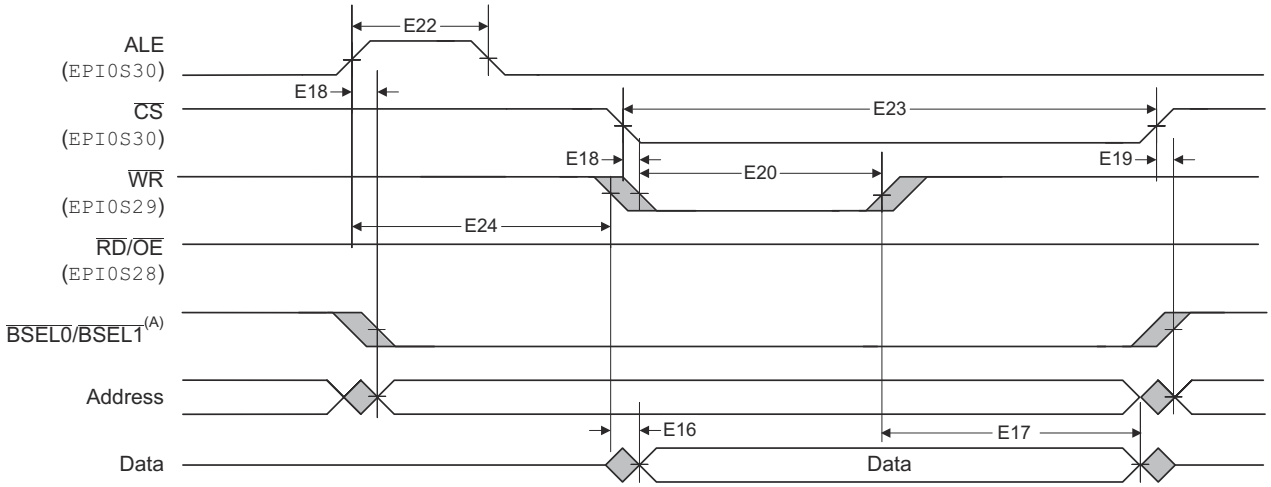
なし	パラメータ		最小値	最大値	単位
E14	tsu(RDATA)	セットアップ時間、読み取りデータ	12		ns
E15	th(RDATA)	ホールド時間、読み取りデータ	0		ns

6.12.5 EPI ホストバス 8/16 モードのタイミング図



A. BSEL0 および BSEL1 は、ホストバス 16 モードでのみ使用できます。

図 6-19. ホストバス 8/16 モードの読み取りタイミング



A. BSEL0 および BSEL1 は、ホストバス 16 モードでのみ使用できます。

図 6-20. ホストバス 8/16 モードの書き込みタイミング

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

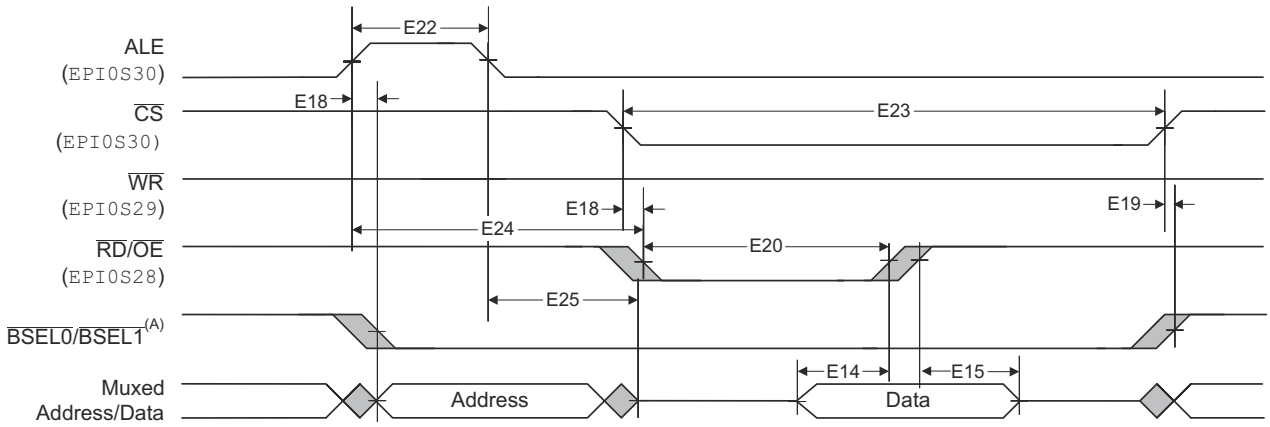


図 6-21. ホストバス 8/16 モードのマルチプレクサ読み取りタイミング

6.12.6 EPI 汎用インターフェイスのスイッチング特性

番号	パラメータ		最小値	最大値	単位
E26	tw(CKH)	パルス幅、汎用クロック High	10		ns
E27	tw(CKL)	パルス幅、汎用クロック Low	10		ns
E30	td(CK-OV)	遅延時間、立ち下がりクロック エッジから出力有効まで	-5	5	ns
E31	td(CK-OIV)	遅延時間、立ち下がりクロック エッジから出力無効まで	-5	5	ns
E33	tc(CK)	サイクル時間、汎用クロック	20		ns

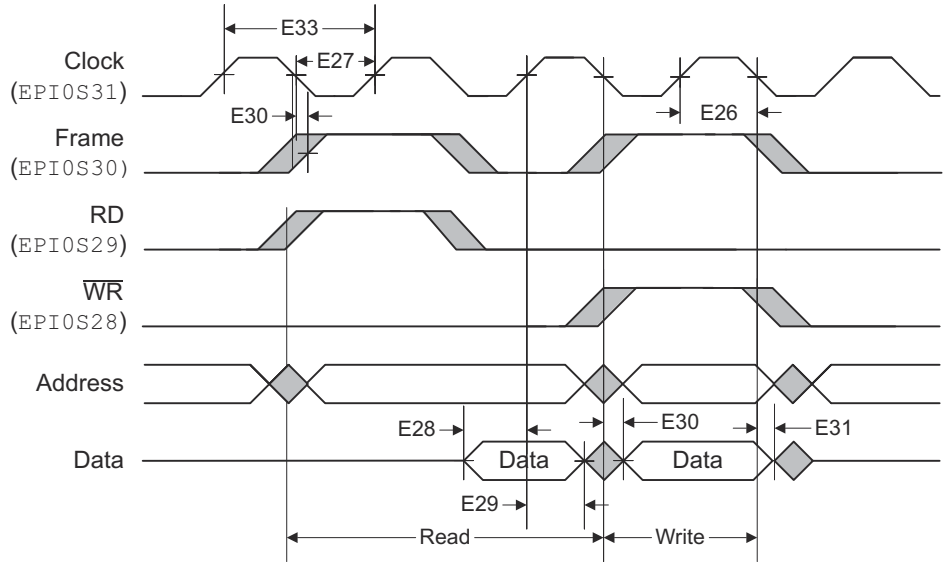
ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6.12.7 EPI 汎用インターフェイスのタイミング要件

番号	パラメータ		最小値	最大値	単位
E28	tsu(IN-CK)	セットアップ時間、立ち上がりクロック エッジ前の入力信号	12		ns
E29	th(CK-IN)	ホールド時間、立ち上がりクロック エッジ後の入力信号	0		ns
E32	tsu(IRDY-CK)	セットアップ時間、立ち下がりクロック エッジ前の iRDY のアサートまたはデアサート	12		ns

6.12.8 EPI 汎用モードのタイミング図



A. この図は、FRM50 ビットがクリアされ、FRMCNT フィールドが 0x0、RD2CYC ビットがクリアされ、WR2CYC ビットがクリアされる場合のアクセスを示しています。

図 6-22. 汎用モードの読み取りおよび書き込みのタイミング

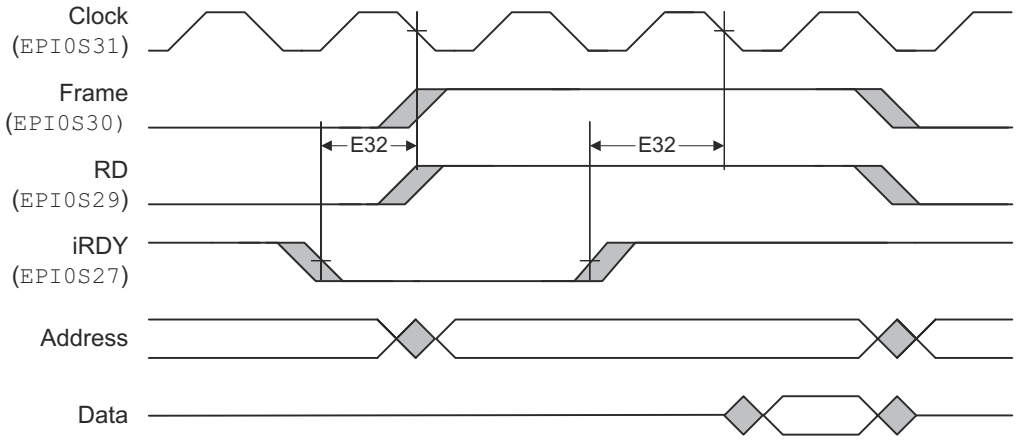


図 6-23. 汎用モードの iRDY のタイミング

6.13 エミュレーションおよびデバッグ

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

6.13.1 SWD のタイミング

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SWD}	SWD 周波数				10	MHz
t_{setup}	SWDIO のセットアップ時間		1.5			ns
t_{hold}	SWDIO のホールド時間		1.6			ns
t_{ovalid}	SWDIO 出力の有効時間				15.5	ns
t_{ohold}	SWDIO 出力のホールド時間		5			ns

ADVANCE INFORMATION

7 詳細説明

7.1 概要

AM13E230x シリーズのマイコン (MCU) は、コスト最適化された 32 ビット デバイスであり、モーター制御などの複雑なリアルタイム制御アプリケーション向けに設計されています。AM13E230x マイコンは、最大 200MHz または 250MHz で動作する高性能 Arm® Cortex®-M33 コアを搭載し、カスタム データパス拡張機能 (CDE) を使用した三角関数演算用の独自の演算アクセラレータ (TMU) と、TinyEngineTM NPU (ニューラル ネットワーク処理ユニット) AI (人工知能) エンジンにより、モーター制御と AI モデルの同時実行を実現します。豊富なアナログ統合により、業界をリードする速度、精度、およびシステム コストの低減を実現しています。AM13E230x マイコンのデジタル ペリフェラルは、モーター制御アプリケーション向けに特化して設計されており、家電機器や産業用モーター ドライブの最終製品向けに最適化された通信インターフェイスを備えています。

AM13E230x シリーズのマイコン (MCU) は、誤り訂正コード (ECC) 内蔵の最大 512KB の組込みフラッシュ プログラム メモリ (256KB × 2 バンク) と、ハードウェア パリティ付き最大 128KB の SRAM (32KB × 4 バンク) を搭載しています。

AM13E230x シリーズのマイコン (MCU) には、さまざまなメモリ、ペリフェラル、パッケージ構成で幅広いオプションが用意されているため、ユーザーは自社のプロジェクトのニーズを満たす最適なソリューションを見つけることができます。AM13E230x マイコン プラットフォームは、Arm® Cortex®-M33 プラットフォームと包括的な低消費電力のシステム アーキテクチャを組み合わせたもので、システム設計者は性能向上と消費電力の低減を同時に実現できます。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.2 メモリ

7.2.1 メモリ マップ

表 7-1. メモリ マップ

メモリ	サイズ	開始アドレス	終了アドレス	ECC / パリティ	アクセス保護	セキュリティ
フラッシュ バンク 0	256K x 16	0x0000 0000	0x0003 FFFF	ECC	あり	あり (2)
フラッシュ バンク 1	256K x 16	0x0004 0000	0x0007 FFFF	ECC	あり	あり (2)
ROM (1)	48K x 16	0x0100 0000	0x0100 BFFF	パリティ	なし	なし
SRAM0	32K x 16	0x2000 0000	0x2000 7FFF	パリティ	あり	あり (2)
SRAM1	32K x 16	0x2000 8000	0x2000 FFFF	パリティ	あり	あり (2)
SRAM2	32K x 16	0x2001 0000	0x2001 7FFF	パリティ	あり	あり (2)
SRAM3	32K x 16	0x2001 8000	0x2001 FFFF	パリティ	あり	あり (2)

(1) ROM はテキサス インスツルメンツの内部用。
(2) グローバル セキュリティ コントローラ (GSC) ベースのセキュリティ。

7.2.2 ペリフェラル・レジスタのメモリ・マップ

表 7-2. ペリフェラル・レジスタのメモリ・マップ

構造	DriverLib 名	ベース アドレス
MCLK/2 ドメイン		
EPI_REGS_GPCFG、 EPI_REGS_SDRAMCFG、 EPI_REGS_HB8CFG、 EPI_REGS_HB16CFG	EPI0_BASE、 EPI0SDRAM_BASE、 PI0HB8_BASE、 EPI0HB16_BASE	0x4001_A000
PGA_REGS	PGA0_BASE	0x400F_C000
PGA_REGS	PGA1_BASE	0x400F_D000
PGA_REGS	PGA2_BASE	0x400F_E000
MCAN_REGS	MCAN0_BASE	0x4011_0000
TIMG4_REGS	TIMG4_BASE	0x4018_0000
TIMG12_REGS	TIMG12_BASE	0x4018_8000
AES_REGS	AES_BASE	0x401B_0000
CRCP_REGS	CRC_BASE	0x401B_2000
KEYSTORE_REGS	KEYSTORE_BASE	0x401B_6000
UNICOMMUART_REGS	UC0_UART_BASE	0x4060_0000
UNICOMMUART_REGS	UC1_UART_BASE	0x4060_1000
UNICOMMUART_REGS	UC2_UART_BASE	0x4060_2000
UNICOMMI2CC_REGS	UC0_I2CC_BASE	0x4060_8000
UNICOMMI2CC_REGS	UC1_I2CC_BASE	0x4060_9000
UNICOMMI2CC_REGS	UC2_I2CC_BASE	0x4060_A000
UNICOMMI2CT_REGS	UC0_I2CT_BASE	0x4061_0000
UNICOMMI2CT_REGS	UC1_I2CT_BASE	0x4061_1000
UNICOMMI2CT_REGS	UC2_I2CT_BASE	0x4061_2000
UNICOMMSPI_REGS	UC0_SPI_BASE	0x4061_8000
UNICOMMSPI_REGS	UC1_SPI_BASE	0x4061_9000
UNICOMM_REGS	UNICOMM0_BASE	0x4063_0000
UNICOMM_REGS	UNICOMM1_BASE	0x4063_2000
UNICOMM_REGS	UNICOMM2_BASE	0x4063_4000
SPG_REGS	SPG0_BASE	0x4063_F000
UNICOMMUART_REGS	UC3_UART_BASE	0x4064_0000
UNICOMMUART_REGS	UC4_UART_BASE	0x4064_1000
UNICOMMUART_REGS	UC5_UART_BASE	0x4064_2000
UNICOMMI2CC_REGS	UC3_I2CC_BASE	0x4064_8000

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 7-2. ペリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス
UNICOMMI2CC_REGS	UC4_I2CC_BASE	0x4064_9000
UNICOMMI2CC_REGS	UC5_I2CC_BASE	0x4064_A000
UNICOMMI2CT_REGS	UC3_I2CT_BASE	0x4065_0000
UNICOMMI2CT_REGS	UC4_I2CT_BASE	0x4065_1000
UNICOMMI2CT_REGS	UC5_I2CT_BASE	0x4065_2000
UNICOMMSPI_REGS	UC3_SPI_BASE	0x4065_8000
UNICOMMSPI_REGS	UC4_SPI_BASE	0x4065_9000
UNICOMM_REGS	UNICOMM3_BASE	0x4067_0000
UNICOMM_REGS	UNICOMM4_BASE	0x4067_2000
UNICOMM_REGS	UNICOMM5_BASE	0x4067_4000
SPG_REGS	SPG1_BASE	0x4067_F000
MCLK/1 ドメイン		
ADC_LITE_REGS	ADC0_BASE	0x4000_0000
ADC_LITE_REGS	ADC1_BASE	0x4000_2000
ADC_LITE_REGS	ADC2_BASE	0x4000_4000
ADC_LITE_RESULT_REGS	ADC0RESULT_BASE	0x4000_A000
ADC_LITE_RESULT_REGS	ADC1RESULT_BASE	0x4000_B000
ADC_LITE_RESULT_REGS	ADC2RESULT_BASE	0x4000_C000
MCPWM_6CH_REGS	MCPWM0_BASE	0x4001_0000
MCPWM_6CH_REGS	MCPWM1_BASE	0x4001_1000
MCPWM_6CH_REGS	MCPWM2_BASE	0x4001_2000
MCPWM_6CH_REGS	MCPWM3_BASE	0x4001_3000
MCPWM_6CH_REGS	MCPWM4_BASE	0x4001_4000
DMA_REGS	DMA0_BASE	0x4002_0000
FLASH_CTRL_REGS	FLASH_BASE	0x4002_8000
MEM_CFG_REGS	MEMCFG_BASE	0x4002_A000
EAM_REGS	EAM_BASE	0x4002_C000
ECAP_REGS	ECAP0_BASE	0x4044_0000
ECAP_REGS	ECAP1_BASE	0x4044_1000
EQEP_REGS	EQEP0_BASE	0x4044_8000
EQEP_REGS	EQEP1_BASE	0x4044_9000
EQEP_REGS	EQEP2_BASE	0x4044_A000
CMPSS_LITE_REGS	CMPSS0_BASE	0x4046_0000
CMPSS_LITE_REGS	CMPSS1_BASE	0x4046_1000
CMPSS_LITE_REGS	CMPSS2_BASE	0x4046_2000
CMPSS_LITE_REGS	CMPSS3_BASE	0x4046_3000
INPUT_XBAR_REGS	INPUTXBAR_BASE	0x4046_8000
EPWM_XBAR_REGS	PWMXBAR_BASE	0x4046_9000
OUTPUTXBAR_REGS	OUTPUTXBAR_BASE	0x4046_A000
SYNC_SOC_REGS	SYNC_BASE	0x4046_B000
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR0_FLAGS_BASE	0x4047_0000
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR1_FLAGS_BASE	0x4047_1000
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR2_FLAGS_BASE	0x4047_2000
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR3_FLAGS_BASE	0x4047_3000
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR4_FLAGS_BASE	0x4047_4000
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR5_FLAGS_BASE	0x4047_5000
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR6_FLAGS_BASE	0x4047_6000
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR7_FLAGS_BASE	0x4047_7000
INPUT_FLAG_XBAR_REGS	INPUTXBAR_FLAGS_BASE	0x4049_0000

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 7-2. ペリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス
電源ドメイン 0 (常時オン)		
SYSCTL_REGS	SYSCTL_BASE	0x400A_F000
DEBUGSS_REGS	DEBUGSS_BASE	0x400C_7000
IOMUX_REGS	IOMUX_BASE	0x400C_C000
WWDT_REGS	WWDT_BASE	0x400D_0000
GPIO_REGS	GPIO0_BASE	0x400F_0000
GPIO_REGS	GPIO1_BASE	0x400F_2000
GPIO_REGS	GPIO2_BASE	0x400F_4000
GPIO_REGS	GPIO3_BASE	0x400F_6000
MCLK/4 ドメイン		
NVMNW_REGS	NVMNW_BASE	0x4004_2000
GSC_REGS	GSC_BASE	0x4004_6000

7.2.3 静的 RAM

CPU サブシステムには、ハードウェア パリティを備えた専用の静的 RAM ブロックがあり、最大 128KB の SRAM を備えています。

7.2.4 フラッシュ メモリ

AM13E230x マイコンには、各 256KB までのフラッシュ バンクを 2 つ搭載しています。各フラッシュ バンクは、2KB の物理セクタで構成されます。フラッシュをプログラムするコードは RAM から実行する必要があります。消去またはプログラム動作が進行中の場合、フラッシュ バンクにアクセスすることはできません。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

7.3 識別

すべてのデバイスは、アプリケーション ソフトウェア用に、デバイスの機能を説明する読み取り専用データと工場から提供された調整情報をメモリマップト **FACTORY 領域**に格納しています。詳細については、『 AM13E230x マイコン テクニカル リファレンス マニュアル 』の「ファクトリ定数」の章を参照してください。

表 7-3 に、DEVICEID レジスタを示します。アドレスは 0x60111004、PARTNUM はビット 12 ～ 27、MANUFACTURER はビット 1 ～ 11 です。

表 7-3. DEVICEID レジスタ

デバイス	PARTNUM	製造元
AM13E23019	0x0BBE	0x17
AM13E23018		
AM13E23017		

表 7-4 USERID レジスタ。アドレスは 0x60111008、PART はビット 0 ～ 15、VARIANT はビット 16 ～ 23 です。

表 7-4. USERID レジスタ

OPN	USERID.PART	USERID.VARIANT
AM13E23019GTPDTR	0x5377	0x01
AM13E23019GTPZR	0x5377	0x02
AM13E23019GTPNR	0x5377	0x03
AM13E23019GTPMR	0x5377	0x04
AM13E23019GTPTR	0x5377	0x05
AM13E23019GTRGZR	0x5377	0x06
AM13E23019HTPZR	0x5377	0x07
AM13E23019HTPMR	0x5377	0x08
AM13E23018GTPDTR	0x6174	0x09
AM13E23018GTPZR	0x6174	0x0A
AM13E23018GTPNR	0x6174	0x0B
AM13E23018GTPMR	0x6174	0x0C
AM13E23018GTPTR	0x6174	0x0D
AM13E23018GTRGZR	0x6174	0x0E
AM13E23018HTPZR	0x6174	0x0F
AM13E23018HTPMR	0x6174	0x10
AM13E23017GTPDTR	0x6879	0x11
AM13E23017GTPZR	0x6879	0x12
AM13E23017GTPNR	0x6879	0x13
AM13E23017GTPMR	0x6879	0x14

7.4 Arm® Cortex®-M33 CPU

Arm® Cortex®-M33 CPU は、効率的なセキュリティまたはデジタル信号制御を必要とする組込みアプリケーションに最適な 32 ビット プロセッサです。この CPU コアには、メモリ保護ユニット、浮動小数点演算ユニット、カスタム データパス命

Copyright © 2026 Texas Instruments Incorporated

令、命令トレース機能用のマイクロ トレース バッファなど、そのような組込みアプリケーションを可能にする機能が搭載されています。

7.4.1 三角関数演算ユニット (TMU)

三角関数演算ユニット (TMU) は、表 7-5 に示されている一般的な三角関数および算術演算を高速化するための命令を活用することで、Arm® Cortex®-M33 CPU の機能を拡張します。

表 7-5. TMU がサポートする命令

命令	説明
SINPUF32	入力値の SINE を返します
COSPUF32	入力値の COSINE を返します
ATANPUF32	入力値の ATAN を返します
DIVF32	2 つの入力値の DIV 値を返します
QUADF32	単位値ごとに提供される X および Y 入力の象限値と比率を返します
SQRTF32	入力値の平方根を返します
IEXP2F32	入力値の逆指数を返します
LOG2F32	入力値の底 2 対数を返します
ISQRTF32	入力値の逆平方根を返します
RSCTFLG	TMU CDE 内で保持されている LUF および LVF フラグを読み取り / 設定 / クリアします

ADVANCE INFORMATION

7.4.2 デバッグ サブシステム

AM13E230x デバッグ サブシステムは JTAG インターフェイスを統合し、デバッグ アクセス ポート (DAP) 経由で Cortex®-M33 CPU デバッグ レジスタにアクセスします。Cortex®-M33 DAP は、JTAG デバッグ ポート (JTAG-DP)、シリアル ワイヤ デバッグ ポート (SW-DP)、またはシリアル ワイヤ / JTAG デバッグ ポート (SWJ-DP) として構成できます。

注

ETM トレースを使用するには、MCLK (CPUCLK) を 100MHz にする必要があります。

マイクロ トレース バッファ

AM13E230x マイコンに搭載されているマイコン トレース バッファ (MTB) は、CPU コア向けに基本的な実行トレース機能を提供します。有効にすると、MTB はプログラム フローの変更を記録します。これは、実行トレース インターフェイスを介して Cortex®-M33 プロセッサによって報告されます。この情報は、MTB メモリにトレース パケットとして保存されます。外部デバッガは、DAP を使用してトレース情報を抽出できます。その後、デバッガはこの情報からプログラム フローを再構築できます。

7.5 TinyEngine™ ニューラルネットワーク処理ユニット (NPU)

TinyEngine™ ニューラルネットワーク処理ユニット (NPU) は、事前トレーニング済みのモデルを実行したインテリジェント推論をサポートしています。600 ～ 1200MOPS (メガ オペレーション / 秒) の性能を持つ TinyEngine™ NPU は、ソフトウェアのみでの実装と比較して、ニューラル ネットワーク (NN) 推論サイクルを最大 10 倍改善できます。TI のツールを使用してモデルをロードおよびトレーニングすることで、高度な機能を活用できます。

7.6 DMA

ダイレクト メモリ アクセス (DMA) コントローラを使うと、CPU を介さずに、いずれかのメモリ アドレスから別のメモリ アドレスにデータを移動できます。たとえば、DMA を使って ADC 変換メモリから SRAM にデータを移動できます。DMA を使用すると、ペリフェラルとの間でデータをやりとりするとき、CPU をウェークアップする必要がなく、低消費電力モードのまま維持できるため、システムの消費電力を削減できます。

- DMA0：12 つの独立した DMA 転送チャネル
  - 6 つのフル機能チャネル、繰り返し転送モードをサポートします
  - シングル転送モードとスキャッタ モードをサポートする 6 つの基本チャネル
- DMA チャネルの優先度を設定可能
- バイト (8 ビット)、ショート ワード (16 ビット)、ワード (32 ビット)、ロング ワード (64 ビット)、またはバイトとワードの混合の転送機能
- 最大 64k のブロック サイズのすべてのデータ タイプの転送をサポートする転送カウンタ
- DMA 転送トリガの選択を設定可能
- 他のチャネルにサービスを提供するためのアクティブ チャネル割り込み
- ピンポン バッファ アーキテクチャのための早期割り込み生成
- 他のチャネルでのアクティビティ完了時のチャネルのカスケード化
- データの再構成をサポートするためのストライド モード (3 相測定アプリケーションなど)

詳細については、『 AM13E230x マイコン テクニカル リファレンス マニュアル 』の「DMA」章を参照してください。

7.7 エラー アグリゲータ モジュール (EAM)

エラー アグリゲータ モジュール (EAM) が集約するエラーは、システムメモリとセキュリティ エラーのシングル誤り訂正 (SEC) とダブル誤り検出 (DED) などが含まれますがこれらに限定されません。EAM は、エラーの優先度に基づいて NMI または CPU に割り込みを生成するために、SYSCTL に転送される対応のレジスタにエラーをラッチします。EAM モジュールは GSC 設定に基づきセキュリティ ファイアウォールによって保護されているため、アプリケーションのセキュア モードのカスタマー クリティカル コードがコンテキスト セーフ メソッドでエラーを処理できます。

EAM は、以下の機能をサポートしています。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

- フラッシュと SRAM からの SEC と DED の ECC エラー ログ記録
- メモリとペリフェラル用のファイアウォール領域への非セキュア アクセスに関するセキュリティ エラー ログ記録
- フラッシュ内の非表示保護領域のセキュリティ エラー ログ記録
- イニシエータによる最初のエラー ログ記録とアクセス エラー タイプのログ記録

7.8 パワー マネージメントおよびクロック ユニット (PMCU)

7.8.1 パワー マネージメント ユニット (PMU)

パワー マネージメント ユニット (PMU) は、本デバイスのための内部的に安定化されたコア電源を生成し、また外部電源 (VDD) の監視を行います。PMU は、PMU 自体とアナログ ペリフェラルで使用されるバンドギャップ電圧リファレンスも内蔵しています。PMU の主な特長は次のとおりです。

- パワーオン リセット (POR) 電源モニタ
- ブラウンアウト リセット (BOR) 電源モニタ、プログラム可能な 3 つのスレッショルドを使った早期警告機能付き
- RUN、SLEEP、STOP、STANDBY 動作モードをサポートするコア レギュレータにより、性能と消費電力を動的に最適化
- パリティ保護されたトリムにより、パワー マネージメント トリムが破損した際、パワーオン リセット (POR) を直ちに生成

詳細については、『 AM13E230x マイコン テクニカル リファレンス マニュアル 』の「PMU」章を参照してください。

7.8.2 動作モード

AM13E230x MCU には 5 つのメイン動作モード (電力モード) があり、アプリケーションの要件に基づいてデバイスの消費電力を最適化できます。消費電力を低減するためのモードは次のとおりです。RUN、SLEEP、STOP、STANDBY、SHUTDOWN。CPU は RUN モードではコードをアクティブに実行します。ペリフェラル割り込みイベントにより、デバイスを SLEEP、STOP、または STANDBY モードから RUN モードにウェークアップできます。SHUTDOWN モードでは、消費電力を最小限に抑えるために内部コア レギュレータが完全に無効になり、ウェークアップは NRST、SWD/JTAG インターフェイス、特定の IO におけるロジック レベルの一致、または低周波サブシステム (LFSS) からの割り込みによってのみ可能です。

性能と消費電力のバランスをさらに高めるために、AM13E230x デバイスには次の 2 つの電力ドメインが実装されています。PD1、PD0。PD1 は、CPU、メモリ、高性能ペリフェラルを搭載しています。PD1 は、RUN モードと SLEEP モードで常に電源が供給されますが、他のすべてのモードでは無効になります。PD0 には、RUN、SLEEP、STOP、STANDBY モードで常に電源を供給する低速、低消費電力のペリフェラルが内蔵されています。SHUTDOWN モードでは、PD1 と PD0 の両方がディセーブルになります。

7.8.2.1 動作モード別の機能

各動作モードでサポートされている機能を 表 7-6 に示します。

機能キー:

- **EN**:その機能は、指定されたモードでイネーブルされます。
- **DIS**:その機能は、指定されたモードでディセーブル (クロックまたは電源のどちらかが遮断) されますが、その機能の設定は保持されます。
- **RET**:この機能のメモリと設定は保持されます。
- **OPT**:その機能は、指定されたモードでは任意であり、イネーブルに設定されている場合はイネーブルのままです。
- **NS**:その機能は、指定されたモードで自動的にはディセーブルになりませんが、サポートされていません。
- **OFF**:その機能は、指定されたモードで完全に電源がオフになり、設定情報は保持されません。OFF 状態からウェークアップするときは、アプリケーション ソフトウェアですべてのモジュール レジスタを所望の設定に再構成する必要があります。

表 7-6. 動作モード別のサポートされている機能

動作モード		RUN	SLEEP	ストップ	STANDBY0	STANDBY1	シャットダウン
供給状態	VDD	3.3V	3.3V	3.3V	3.3V	3.3V	3.3V
	VDDC	1.35V	1.35V	1.0V	1.0V	1.0V	0V

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 7-6. 動作モード別のサポートされている機能 (続き)

動作モード		RUN	SLEEP	ストップ	STANDBY0	STANDBY1	シャットダウン
PMU	POR モニタ	EN					OFF
	BOR モニタ	EN					OFF
	メイン LDO	EN		OFF			
	STOP LDO	EN					OFF
	VOSC LDO	EN					OFF
発振器	SYSOSC	EN、32MHz		EN、4MHz	OFF		
	LFOSC	EN					
	XTAL	OPT		DIS			OFF
	HPLL	OPT		DIS			OFF
クロック	MCLK	200MHz / 250MHz		DIS			OFF
	MCLK/2	100MHz / 125MHz		DIS			OFF
	MCLK/4	50MHz / 62.5MHz		DIS			OFF
	CPUCLK	200MHz / 250MHz	DIS				OFF
	LFCLK	32kHz					OFF
	ULPCLK	50MHz/62.5MHz		4MHz	32kHz	OFF	OFF
	HFCLK	OPT		DIS			OFF
	CANCLK	OPT		DIS			OFF
	ADCCLK	100MHz / 125MHz		DIS			OFF
	LFCLK モニタ	OPT					OPT
	MCLK モニタ	OPT			DIS		OFF
コア機能	CPU	EN	DIS				OFF
	フラッシュ	EN		DIS			OFF
	SRAM0	EN		DIS + RET			OFF
	SRAM1/2/3	EN		DIS			OFF
PD1 ペリフェラル	ADC[0:2]	OPT		DIS + RET			OFF
	PGA[0:2]	OPT		DIS + RET			OFF
	CMPSS[0:3]	OPT		DIS + RET			OFF
	ECAP[0:1]	OPT		DIS + RET			OFF
	EQEP[0:2]	OPT		DIS + RET			OFF
	MCPWM[0:4]	OPT		DIS + RET			OFF
	UC[0:5]	OPT		DIS + RET			OFF
	MCAN0	OPT		DIS			OFF
	NPU	OPT		DIS			OFF
	EPI	OPT		DIS			OFF
	TIMG12_0	OPT		DIS + RET			OFF
	TIMG4_0	OPT		DIS + RET			OFF
	AES	OPT		DIS			OFF
	DMA0	OPT		DIS + RET			OFF
	XBAR	OPT		DIS			OFF
	EAM	OPT		DIS			OFF
	GSC	OPT		DIS + RET			OFF
	キーストア	OPT		DIS + RET			OFF
	CRC	OPT		DIS + RET			OFF
	VREF	EN		EN (サンプリング)			OFF

Copyright © 2026 Texas Instruments Incorporated

表 7-6. 動作モード別のサポートされている機能 (続き)

動作モード		RUN	SLEEP	ストップ	STANDBY0	STANDBY1	シャットダウン
PD0 ペリフェラル	GPIO[0:3]	OPT					OFF
	SYSCTL	EN					OFF
	WWDT	OPT					OFF
IOMUX		EN		EN (サンプリング)			OFF
IO ウェークアップ		EN		EN + RET			OFF
ウェーク ソース		該当なし	• IRQ • IO • DMA 要求 • デバッグ要求 • WWDT	• IO • デバッグ要求 • WWD		• IO • デバッグ要求	• IO (サブセット) [1] • デバッグ要求

1. ウェークアップ GPIO を選択します。デバイス固有のデータ シートを参照してください。

ADVANCE INFORMATION

7.8.3 クロック モジュール (CKM)

クロック モジュールは以下に示す発振器を備えています。

- **LFOSC**：内部低周波数発振器 (32kHz)
- **SYSOSC**：内部高周波数発振器 (4MHz または 32MHz (出荷時に調整)、16MHz または 24MHz (ユーザーによる調整))
- **HFXT/HFCKIN**：高周波の外部水晶発振器またはデジタル クロック入力 (4～48MHz)
- **SYSPLL**：3 出力 (32～200MHz) のシステム フェーズ ロック ループ

プロセッサ、バス、ペリフェラルで使用するために、クロック モジュールによって以下に示すクロックが分配されます。

- **MCLK**：MCLK ドメインの PD1 ペリフェラルのメイン システム クロック。SYSOSC、LFCLK、または HSCLK から生成。RUN および SLEEP モードでアクティブ
- **MCLK/2**：MCLK/2 ドメインの PD1 ペリフェラルのメイン システム クロック。MCLK および 2 での除算から生成
- **MCLK/4**：MCLK/4 ドメインの PD1 ペリフェラルのメイン システム クロック。MCLK および 4 での除算から生成
- **CPUCLK**：プロセッサのクロック (MCLK から生成)。RUN モードでアクティブ。
- **ULPCLK**：PD0 ペリフェラル用の超低消費電力クロック。RUN、SLEEP、STOP、STANDBY モードでアクティブ。
- **LFCLK**：ペリフェラルまたは MCLK 用の 32kHz 固定低周波数クロック。RUN、SLEEP、STOP、STANDBY モードでアクティブ。
- **XCLKOUT**：クロックを外部に出力するために使用。RUN、SLEEP、STOP、STANDBY モードで使用可能。
- **HFCLK**：HFXT または HFCLK_IN から生成される高周波数クロック。RUN および SLEEP モードで使用可能。
- **HSCLK**：HFCLK または SYSPLL から生成される高速クロック。RUN および SLEEP モードで使用可能。
- **CANCLK**：CAN 機能クロック。HFCLK または SYSPLL から生成。

詳細については、『*AM13E230x マイコン テクニカル リファレンス マニュアル*』の「CKM」章を参照してください。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.9 IOMUX

IOMUX ペリフェラルは IO パッド構成を可能にし、デバイス ピンを出入りするデジタル データの流れを制御します。IOMUX の主な特長は次のとおりです。

- IO パッド構成レジスタにより、プログラム可能な駆動強度、速度、プルアップまたはプルダウンなどを実現
- デジタル ピン多重化により、複数のペリフェラル信号を同じ IO パッドに接続可能
- PINCM レジスタを使って、ピンの機能と能力をユーザー設定可能
- ウェークアップ機能搭載の標準ドライブ付きの GPIO ピンは、デバイスを SHUTDOWN モードからウェークアップできます

詳細については、『 AM13E230x マイコン テクニカル リファレンス マニュアル 』の IOMUX の章を参照してください。

ADVANCE INFORMATION

ADVANCE INFORMATION

7.9.1 入力 / 出力の回路図

IOMUX は、デジタル IO で使用するペリフェラル機能の選択を管理します。また、出力ドライバ、入力パス、SHUTDOWN モードからのウェークアップ ロジックの制御機能も備えています。詳細については、『 AM13E230x C シリーズ マイコン テクニカル リファレンス マニュアル 』の「IOMUX」セクションを参照してください

図 7-1 に、フル機能 IO ピンのミクスト シグナル IO ピン スライスの回路図を示します。すべてのピンに対して、アナログ機能、ウェークアップ ロジック、駆動強度制御、プルアップまたはプルダウン抵抗が利用可能であるとは限りません。特定のピンでサポートされている機能の詳細については、デバイスごとのデータシートを参照してください。

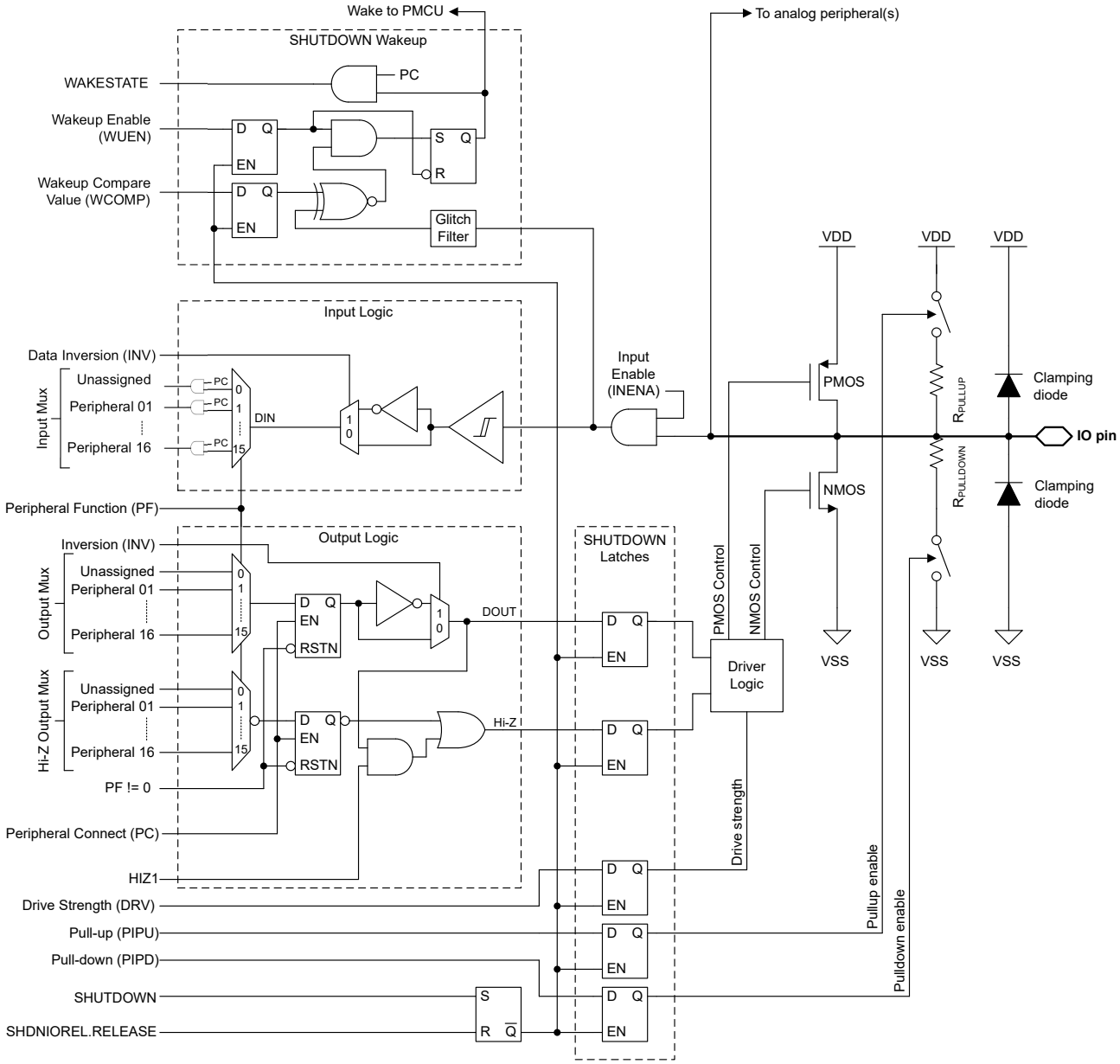


図 7-1. 入力 / 出力の回路図 (上位セット)

Copyright © 2026 Texas Instruments Incorporated

7.10 シリアル ワイヤ デバッグ インターフェイス

本デバイス内の各種デバッグ機能を利用できるように、Arm 互換シリアル ワイヤ デバッグ ポート (SW-DP) を利用したシリアル ワイヤ デバッグ (SWD) 2 線式インターフェイスが備わっています。デバッグ機能の詳細については、『 AM13E230x マイコン テクニカル リファレンス マニュアル 』のデバッグに関する章を参照してください。

表 7-7. シリアル ワイヤ デバッグ ピンの要件と機能

デバイス信号	方向	SWD 機能
SWCLK	入力	デバッグ プローブからのシリアル ワイヤ クロック
SWDIO	入力 / 出力	双方向 (共有) シリアル ワイヤ データ

7.11 ブートストラップ ローダ (BSL)

ブートストラップ ローダ (BSL) を使用すると、デバイスの構成も、デバイス メモリのプログラミングも、UART、I2C または MCAN シリアル フェースを介して行うことができます。BSL によるデバイス メモリへのアクセスと構成は、256 ビットのユーザー定義の HASH パスワードで保護されます。必要に応じて、デバイス構成で BSL を完全に無効にできます。量産プログラミング用に BSL を使用できるように、テキサス・インスツルメンツ出荷時、BSL はデフォルトで有効化されています。

BSL を使用するには、以下の最低 2 本のピンが必要です。BSL_UART_RX および BSL_UART_TX 信号 (UART の場合)、または BSL_I2C_SCL および BSL_I2C_SDA 信号 (I2C の場合) または BSL_CAN_RX および BSL_CAN_TX 信号 (MCAN の場合)。さらに、1 つまたは 2 つの追加ピン (BSL_INVOKE と NRST) を、外部ホストによるブートローダーの制御された呼び出しのために使うこともできます。

有効化されている場合、BSL は次の方法で起動 (開始) されます。

- BSL_invoke ピンの状態が、定義された BSL_invoke のロジック レベルと一致している場合、ブート プロセス中に BSL が呼び出されます。本デバイスの高速ブート モードが有効化されている場合、この呼び出しチェックは省略されます。外部ホストは、呼び出し条件をアサートし、NRST ピンにリセット パルスを印加して BOOTRST をトリガすることによって、本デバイスが BSL を実行するように指示できます。その後、本デバイスは再起動プロセス中に呼び出し条件を検証し、呼び出し条件が期待されるロジック レベルと一致している場合、BSL を開始します。
- リセット ベクタとスタック ポインタがプログラミングされていない場合、BSL はブート プロセス中に自動的に呼び出されます。したがって、TI から出荷されたブランク デバイスは、ブート プロセス中に BSL を呼び出します。BSL_invoke ピンにハードウェア呼び出し条件を与える必要はありません。そのため、シリアル インターフェイス信号のみで量産プログラミングが可能です。
- 実行時にアプリケーション ソフトウェアから BSL を呼び出すためには、BSL エントリ コマンドを使用して SYSRST を発行することもできます。

表 7-8. BSL ピンの要件と機能

デバイス信号	接続	BSL 機能
BSL_UART_RX	UART に必要	UART の受信信号 (RX)、入力
BSL_UART_TX	UART に必要	UART の送信信号 (TX)、出力
BSL_I2C_SCL	I2C に必要	I2C の BSL クロック信号 (SCL)
BSL_I2C_SDA	I2C に必要	I2C の BSL データ信号 (SDA)
BSL_CAN_RX	CAN に必要	MCAN の受信信号 (RX)、入力
BSL_CAN_TX	CAN に必要	MCAN の受信信号 (TX)、出力
BSL_INVOKE	オプション	ブート時に BSL を開始するために使用されるアクティブ High のデジタル入力
NRST	オプション	リセットのトリガとその後の呼び出し信号 (BSL_invoke) のチェックのために使用されるアクティブ Low のリセット ピン

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

BSL の機能とコマンド セットの詳細な説明については、『AM13E230x ブートローダー ユーザー ガイド』を参照してください。SLUUDI8

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.12 セキュリティ

セキュリティ機能は、グローバル セキュリティ コントローラ (GSC) によって実行されます。AM13E230x マイコンは、ハードウェア ブロック、BootROM ソフトウェア、フラッシュ セクタにプログラム可能なカスタマ セキュア コード (CSC) の組み合わせを使用して、以下のセキュリティ機能をサポートしています。

- セキュア ブート
- セキュア デバッグ
- ファームウェアのセキュア更新
- セキュアなキー ストレージ
- セキュアなキー管理
- オンチップ リソースの特権付き / 非特権分割 (フラッシュ セクタ、RAM チャンク、ペリフェラル)

さらに、GSC に加えて、AM13E230x には MCU 上に AESADV およびキーストア コントローラ。

7.12.1 グローバル セキュリティ コントローラ (GSC)

AM13E230x マイコンには、以下の機能をサポートするグローバル セキュリティ コントローラ (GSC) が実装されています。

- オンチップ メモリとペリフェラルにアクセスするための、特権付きおよび特権なしのコンテキスト情報を提供
- 複数のイニシエータからのバス トランザクションを監視し、ターゲットへのアクセスのコンテキストが維持されるようにする
- バス上の不正なトランザクションのエラーをログに記録
- コンテキストに違反したときに、割り込みまたはリセット生成を実行
- セキュリティ ブロックの静的および動的構成を処理するメカニズムを提供
- デバイスのライフ サイクルを管理するメカニズムを提供。

GSC は以下に示すブロックで構成されています。

- SRAM 保護コントローラ (SPC): SRAM のコンテキストを制御します
- フラッシュ保護コントローラ (FPC): オンチップ・フラッシュのコンテキストを制御します
- ペリフェラル保護コントローラ (PPC): ペリフェラルのコンテキストを制御します
- セキュア例外コントローラ (SEC): セキュリティ例外に関するアクションを記録し、提供します

詳細については、『**AM13E230x マイコン テクニカル リファレンス マニュアル**』の「グローバル セキュリティ コントローラ (GSC)」の章を参照してください

7.12.2 AESADV

AES 高度な (AESADV) アクセラレータ モジュールは、AES (Advanced Encryption Standard) に従って 128 ビットまたは 256 ビットのキーをハードウェアに配置し、128 ビットのデータ ブロックの暗号化と復号化を実行します。AES は、FIPS PUB 197 で規定されている対称キー ブロック暗号アルゴリズムです。

AESADV アクセラレータには、次のような機能があります。

- 128 ビットと 256 ビットのキーによる AES 動作
- ハードウェア内でのキー スケジューリング
- ENC /復号化のみのモード: CBC、CFB-1、CFB-8、CFB-128、OFB-128、CTR/ICM
- 認証専用モード: CBC-MAC、CMAC
- AES-CCM および AES-GCM モードのサポート
- AES-CCM および AES-GCM モードは、ペイロード データのホールド / レジュームによる継続をサポートしています
- 32 ビット ワードのアクセスにより、キー データ、入力データ、および出力データを供給
- AESADV 準備完了割り込み
- 入出力データの DMA トリガ
- RUN モードと SLEEP モードでサポート (『 AM13E230x マイコン テクニカル リファレンス マニュアル 』の「動作モード」セクションを参照)

詳細については、『 AM13E230x マイコン テクニカル リファレンス マニュアル 』の「AESADV」章を参照してください

ADVANCE INFORMATION

ADVANCE INFORMATION

7.12.3 キーストア コントローラ

AM13E230x マイコンのキーストア コントローラは、Advanced Encryption Engine (AES) キーの安全な管理を提供します。セキュアな顧客コードの実行中、キーはキーストア コントローラに安全に格納されます。その後、AES エンジンはキーに安全にアクセスでき、キー データが外部に漏れることはありません。

128 ビットと 256 ビットのキーは、キーストアのキー スロットに格納できます。

詳細については、『 AM13E230x マイコン テクニカル リファレンス マニュアル 』の「KEYSTORE」章を参照してください

7.12.4 CRC アクセラレータ

巡回冗長検査 (CRC) モジュールは入力データ シーケンスのシグネチャを提供します。CRC モジュールの主な特長は次のとおりです。

- CRC16-CCITT に基づく 16 ビット CRC をサポート
- CRC32-ISO3309 に基づく 32 ビット CRC をサポート
- ビット リバーサルをサポート
- カスタム多項式のサポート

詳細については、『 AM13E230x マイコン テクニカル リファレンス マニュアル 』の「CRC」章を参照してください

7.13 タイマ (TIMx)

これらのデバイスのタイマ ペリフェラルは、以下の主な機能をサポートしています。具体的な設定については 表 7-9 を参照してください。

汎用タイマ (TIMGx) 特有の機能には以下が含まれます。

- 16 ビット タイマおよび 32 ビット タイマ、アップ、ダウン、またはアップダウンのカウント モードと反復リロード モード付き
- 選択 可能 / 構成 可能なクロック ソース
- カウンタ クロック周波数を分周するための 8 ビット プログラマブル プリスケーラ
- 以下のための 2 つの独立した CC チャネル
  - 出力の比較
  - 入力のキャプチャ
  - PWM 出力
  - ワンショット モード
- シャドウ CC / ロード レジスタを利用可能
- 割り込み / DMA トリガ生成とクロス ペリフェラル (ADC など) トリガ機能をサポート

表 7-9. TIMx の構成

タイマ名	パワー ドメイン	分解能	プリスケーラ	リピート カウンタ	キャプチャ / 比較チャネル	位相ロード	シャドウ ロード	シャドウ CC	デッドバンド	フォルト	QEI
TIMG4_0	PD1	16 ビット	8 ビット	–	2	–	あり	あり	–	–	–
TIMG12_0	PD1	32 ビット	–	–	2	–	–	あり	–	–	–

7.14 WWDT

ウィンドウ付きウォッチドッグ タイマ (WWDT) は、本デバイスの動作 (特にコードの実行) を監視するために使えます。WWDT は、アプリケーション ソフトウェアが規定された時間の範囲内にウォッチドッグを正常にリセットしなかった場合に、リセットまたは割り込みを生成するために使用できます。WWDT の主な特長は次のとおりです。

- 25 ビット カウンタ
- プログラマブルなクロック分周回路
- ソフトウェアで選択 可能な 8 つのウォッチドッグ タイマ期間
- ソフトウェアで選択 可能な 8 つのウィンドウ サイズ
- SLEEP モードに入った際の WWDT の自動停止をサポート

Copyright © 2026 Texas Instruments Incorporated

- ウォッチドッグ機能を必要としないアプリケーションのためのインターバル タイマ モード

ADVANCE INFORMATION

8 アプリケーション、実装、およびレイアウト

8.1 JTAG およびトレース

テキサス・インスツルメンツは、JTAG のサポートだけでなく、さまざまなデバッグ機能を備えた各種の拡張開発システム (XDS™) JTAG コントローラをサポートしています。この情報の概要については、『XDS ターゲット接続ガイド』を参照してください。

JTAG、およびトレース配線の推奨事項については、『エミュレーションおよびトレース ヘッダー テクニカル リファレンス マニュアル』を参照してください。

8.2 回路図

TI では、バルク デカップリング コンデンサ (C_{VDD}) と小容量の低 ESR セラミック デカップリング コンデンサ (C_{DEC}) の組み合わせを VDD ピンと VSS ピンの間と、VDDA ピンと VSSA ピンの間に接続し、これらのコンデンサをデカップリングする電源ピンにできる限り近づけて配置し (数 mm 以内)、ループ面積を最小限に抑えることを推奨します。C_{VDD} バルク デカップリング コンデンサの標準値は、データシートの仕様セクションに記載されていますが、PCB の設計とアプリケーションの要件に基づいて、必要に応じて調整することもできます。たとえば、より値の大きいコンデンサを使用することもできますが、電源レールの立ち上がり時間に影響を及ぼす可能性があります。

デバイスが RESET 状態から開放されてブート プロセスを開始するには、$\overline{\text{NRST}}$ リセット ピンを VDD (電源レベル) にプルアップする必要があります。ほとんどのアプリケーションでは、外部プルアップ抵抗 (Rpu_{NRST}) とプルダウン コンデンサ (C_{NRST}) を接続し、デフォルトの $\overline{\text{NRST}}$ 状態がロジック High になり (マイコンのリセットをトリガしない)、$\overline{\text{NRST}}$ ピンが別のデバイスまたはデバッグ プローブで制御できるようにすることを推奨します。

注

推奨のハードウェア接続や外部受動部品の選択など、アプリケーション設計の詳細なガイダンスについては、『 AM13E230x ハードウェア設計ガイドライン 』を参照してください。

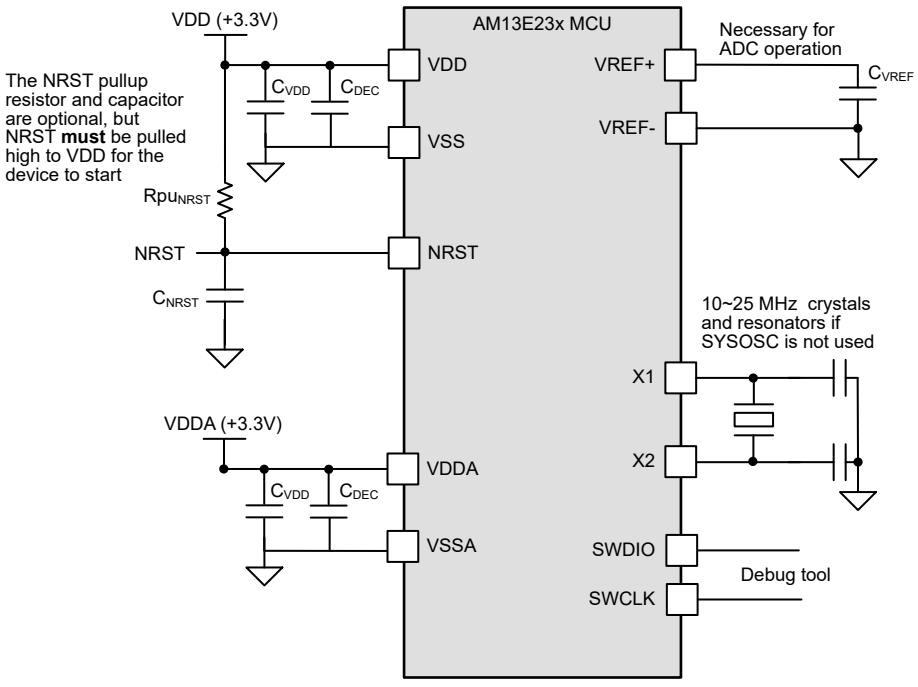


図 8-1. 基本アプリケーションの回路図

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

8.3 代表的なアプリケーション

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

ADVANCE INFORMATION

ADVANCE INFORMATION

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.2 デバイスの命名規則

製品開発サイクルの段階を示すために、TI は ASM マイコン デバイスとサポート ツールのすべての型番に接頭辞を割り当てています。.ASM MCU 商用ファミリの各番号には、MSP、X のいずれかの接頭辞があります。これらの接頭辞は、エンジニアリング プロトタイプ (X) から、完全に認定済みの量産版デバイス (ASM) まで、製品開発の段階を表しています。

X – 実験的デバイスであり、最終デバイスの電気的特性を必ずしも表しません。

ASM — 完全に認定済みの量産版デバイス

X デバイスは、次の免責事項付きで出荷されます:

「開発中の製品は、社内での評価用です。」ASM デバイスの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。TI の標準保証が適用されます。プロトタイプ デバイス (X) は、標準的な製品版デバイスに比べて故障率が大きいと予測されます。これらのデバイスは、予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツはそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

TI デバイスの項目表記には、デバイス ファミリ名の接尾辞も含まれます。この接尾辞は、温度範囲、パッケージ タイプ、配布形式を示しています。デバイス名の各部の読み方を、デバイスの命名規則 に示します。

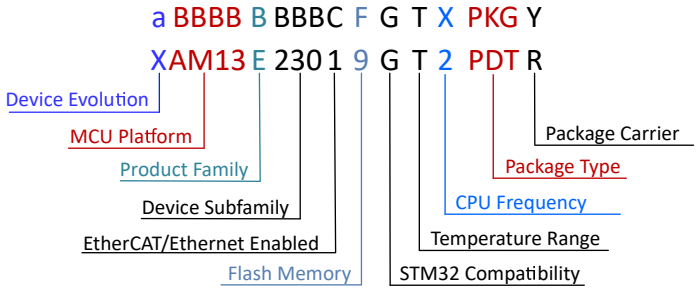


図 9-1. デバイスの命名規則

命名規則セクション	デバイス / プラットフォーム サブファミリ	ディスクリプタ	デバイスのオプション
デバイスの開発		a	X = プロトタイプ P= 量産開始前 (信頼性データなし) BLANK = 量産
MCU プラットフォーム	プラットフォーム	B	AM1 = マイコンの AM1x ファミリ
	CPU のタイプ		3 = Cortex M33 CPU
製品 / ファミリ / タイプ		B	E = エントリ レベル モーター制御デバイス
デバイス サブファミリ	周波数クラス	B	2 = 200/250MHz クラスのデバイス
	電圧	B	3 = 3.3V 設計
	バリアント	B	0 = このファミリ シリーズのバリアント 0

Copyright © 2026 Texas Instruments Incorporated

命名規則セクション	デバイス / プラットフォーム サブファミリ	ディスクリプタ	デバイスのオプション
EtherCAT / イーサネット有効		C	1 = シングル CPU、EtherCAT またはイーサネット N = EtherCAT またはイーサネットはイネーブル
フラッシュ メモリ		F	7 = 128KB フラッシュ 8 = 256KB フラッシュ 9 = 512KB フラッシュ
STM32 互換性		G	G = STM32G4 ピン互換 H = STM32H5 ピン互換
温度範囲		T	T = –40°C ～ 125°C (周囲)
CPU 周波数		X	BLANK = 250MHz 2 = 200MHz
パッケージ タイプ		PKG	PDT = LQFP128 PZ = LQFP100_G/H PN = LQFP80 PM = LQFP64_G/H PT = LQFP48 RGZ = QFN48
パッケージ キャリア		Y	R = テープ アンド リール キャリア

各種パッケージ タイプの ASM デバイスの注文可能な部品番号については、このデータシートの末尾にあるパッケージ注文情報または ti.com を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

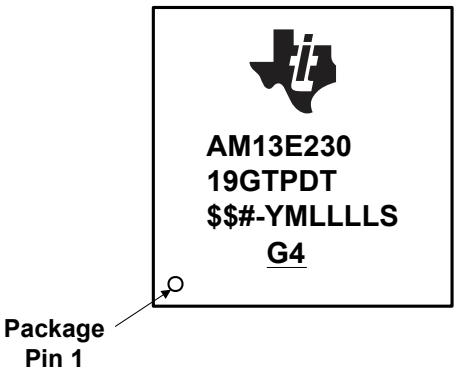
ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

9.3 マーキング

PDT パッケージのパッケージ シンボル、PZ パッケージのパッケージ シンボル、PNA パッケージのパッケージ シンボル、PM パッケージのパッケージ シンボル、PT パッケージのパッケージ シンボル、RGZ パッケージのパッケージ シンボルは、パッケージ シンボルを示します。



19GTPDT or 19GT2PDT

BLANK = 250MHz, 2 = 200 MHz

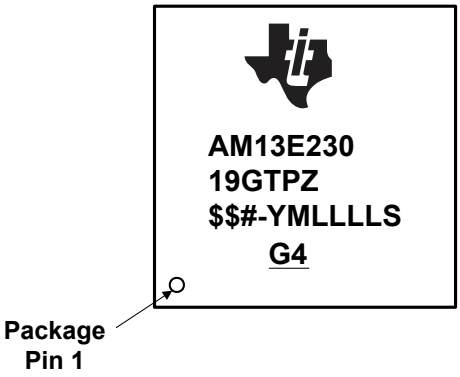
G = STM32G4 Pin Compatible, H = STM32H5 Pin Compatible

YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
$$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 9-2. PDT パッケージのパッケージ マーキング



19GTPZ or 19GT2PZ

BLANK = 250MHz, 2 = 200 MHz

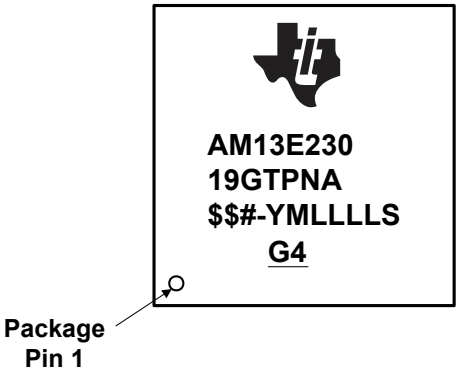
G = STM32G4 Pin Compatible, H = STM32H5 Pin Compatible

YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
$$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 9-3. PZ パッケージのパッケージ マーキング



19GTPNA or 19GT2PNA

BLANK = 250MHz, 2 = 200 MHz

G = STM32G4 Pin Compatible, H = STM32H5 Pin Compatible

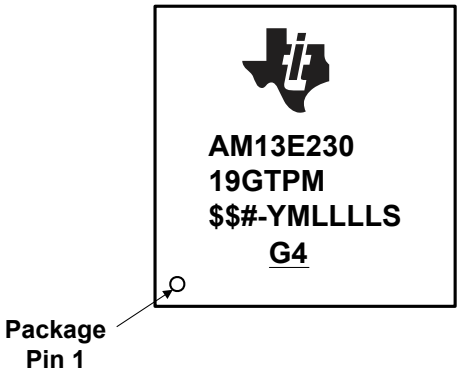
YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
$$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 9-4. PNA パッケージのパッケージ マーキング

Copyright © 2026 Texas Instruments Incorporated



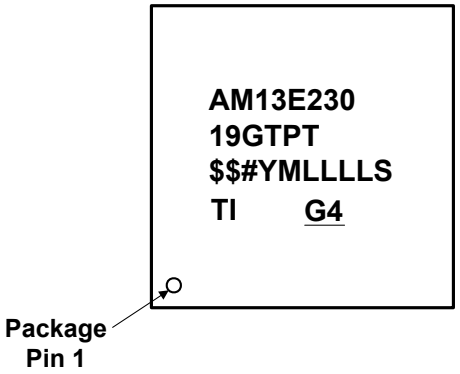
19GTPM or 19GT2PM
BLANK = 250MHz, 2 = 200 MHz
G = STM32G4 Pin Compatible, H = STM32H5 Pin Compatible

YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
$$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 9-5. PM パッケージのパッケージ マーキング



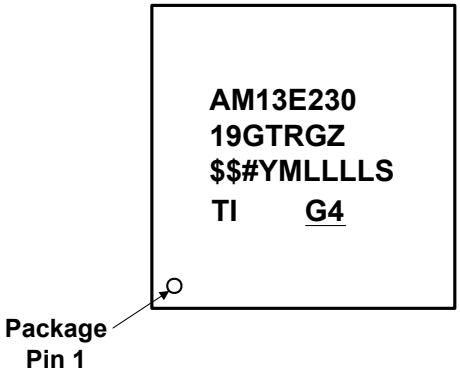
19GTPT or 19GT2PT
BLANK = 250MHz, 2 = 200 MHz
G = STM32G4 Pin Compatible, H = STM32H5 Pin Compatible

YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
$$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 9-6. PT パッケージのパッケージ マーキング



19GTRGZ or 19GT2RGZ
BLANK = 250MHz, 2 = 200 MHz
G = STM32G4 Pin Compatible, H = STM32H5 Pin Compatible

YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
$$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 9-7. RGZ パッケージのパッケージ マーキング

9.4 ツールとソフトウェア

設計キットと評価モジュール

AM13E230LaunchPad (LP) ボード:LP-AM13E230 リンクを更新

業界で最も優れたアナログ機能を内蔵し、コストを最適化した汎用 ASM マイコンファミリの開発をただちに開始できます。すべてのデバイス ピンと機能が見えるようなります。複数の内蔵回路、すぐに使用できるソフトウェア デモ、オンボード XDS110 デバッグ プローブ (プログラミング、デバッグ用) が含まれています。

ADVANCE INFORMATION

ADVANCE INFORMATION

	LP エコシステムには、機能を拡張するための多数の BoosterPack スタッカブル プラグイン モジュールが含まれています。
組込みソフトウェア	
AM13 ソフトウェア開発キット (SDK) **(リンクを更新)**	ソフトウェア ドライバ、ミドルウェア ライブラリ、資料、ツール、すべての AM13 デバイスのための使いやすく簡単なユーザー体験を実現するサンプル コードが含まれています。
ソフトウェア開発ツール	
TI デベロッパー ゾーン	Web ブラウザ上で評価と開発を開始できます。インストールは不要です。クラウド ツールには、ダウンロード可能なオフライン バージョンもあります。
TI Resource Explorer	TI SDK へのオンライン ポータル。CCS IDE または TI クラウド ツールからアクセスできます。
SysConfig	デバイスとペリフェラルの構成、システム競合の解消、構成コードの生成、ピン多重化設定の自動化のための直感的な GUI。CCS IDE、TI Cloud Tools からアクセスできます。スタンドアロン バージョンもあります。(オフライン バージョン)
ASM Academy **(リンクを更新)**	さまざまなトピックを網羅するトレーニング モジュールを使用して ASM マイコンプラットフォームについて学習するための優れた出発点です。TIRex の一部です。
GUI Composer	コードをまったく必要としない完全統合型アナログ信号チェーンの構成と監視など、特定の ASM マイコン機能の評価を簡素化する GUI。
IDE およびコンパイラ ツールチェーン	
Code Composer Studio™ (CCS)	Code Composer Studio は、テキサス・インスツルメンツのマイクロコントローラおよびプロセッサ向けの統合開発環境 (IDE) です。CCS は、組み込みアプリケーションの開発とデバッグに必要な一連のツールで構成されています。CCS は完全に無料で使用でき、Eclipse および Theia フレームワークで利用できます。
IAR Embedded Workbench® IDE	Arm 向け IAR Embedded Workbench は、ASM AM13 向けの組込みアプリケーションの構築とデバッグに適した包括的な開発ツールチェーンを提供します。付属の IAR C/C++ コンパイラは、アプリケーション向けに高度に最適化されたコードを生成します。C-SPY デバッガは、ソース レベルおよび逆アセンブリ レベルのデバッグ用の完全統合型デバッガであり、複雑なコードおよびデータ ブレークポイントをサポートしています。
Keil® MDK IDE	Arm Keil MDK は、ASM AM13 向けの組込みアプリケーションの構築とデバッグに適した、デバッガおよび C/C++コンパイラの包括的なツールチェーンです。Keil MDK には、ソース レベルおよび逆アセンブリ レベルのデバッグに適した統合型デバッガが含まれています。MDK は CMSIS に完全準拠しています。
TI Arm-Clang	TI Arm Clang は、Code Composer Studio IDE に含まれています。
GNU Arm Embedded Toolchain	ASM AM13 SDK は、オープン ソースの Arm GNU ツールチェーンを使用した開発をサポートしています。Arm GCC は、Code Composer Studio IDE (CCS) でサポートされています。

9.5 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

以下のドキュメントでは、AM13E230x MCU について記載しています。これらのドキュメントは、インターネット上の www.ti.com から入手可能です。

Copyright © 2026 Texas Instruments Incorporated

テクニカル リファレンス マニュアル

AM13E230x マイコン テクニカル リファレンス マニュアル	このマニュアルは、AM13E230x デバイス ファミリのモジュールおよびペリフェラルについて解説しています。それぞれの説明は、モジュールまたはペリフェラルを一般的な意味で示しています。すべてのデバイスについて、すべてのモジュールまたはペリフェラルのすべての特長や機能を示しているわけではありません。さらに、モジュールやペリフェラルは、異なるデバイスに対して、全く同じように実装されているとは限りません。ピンの機能、内部信号の接続、および動作パラメータはデバイスによって異なります。

9.6 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.7 商標

XDS™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
Arm®, Cortex®, and CoreMark® are registered trademarks of Arm Limited (or its subsidiaries or affiliates) in the US and/or elsewhere.
are registered trademarks of Arm Limited.
すべての商標は、それぞれの所有者に帰属します。

9.8 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.9 用語集

テキサス・インスツルメンツ用語集	この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from FEBRUARY 28, 2026 to AUGUST 30, 2026 (from Revision * (February 2026) to Revision A (August 2026)) **Page**

- (信号の説明):このドキュメント内のすべての「信号の説明」表で、列名を「ピンの種類」から「信号の種類」に更新.....61
- 「デバイス識別レジスタ」の表:PARTIDL ビット 14～13 を INSTASPIN から RESERVED に変更。リビジョン C のシリコンのリビジョン番号 (REVID) を追加。.....154

ADVANCE INFORMATION

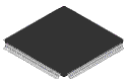
Copyright © 2026 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

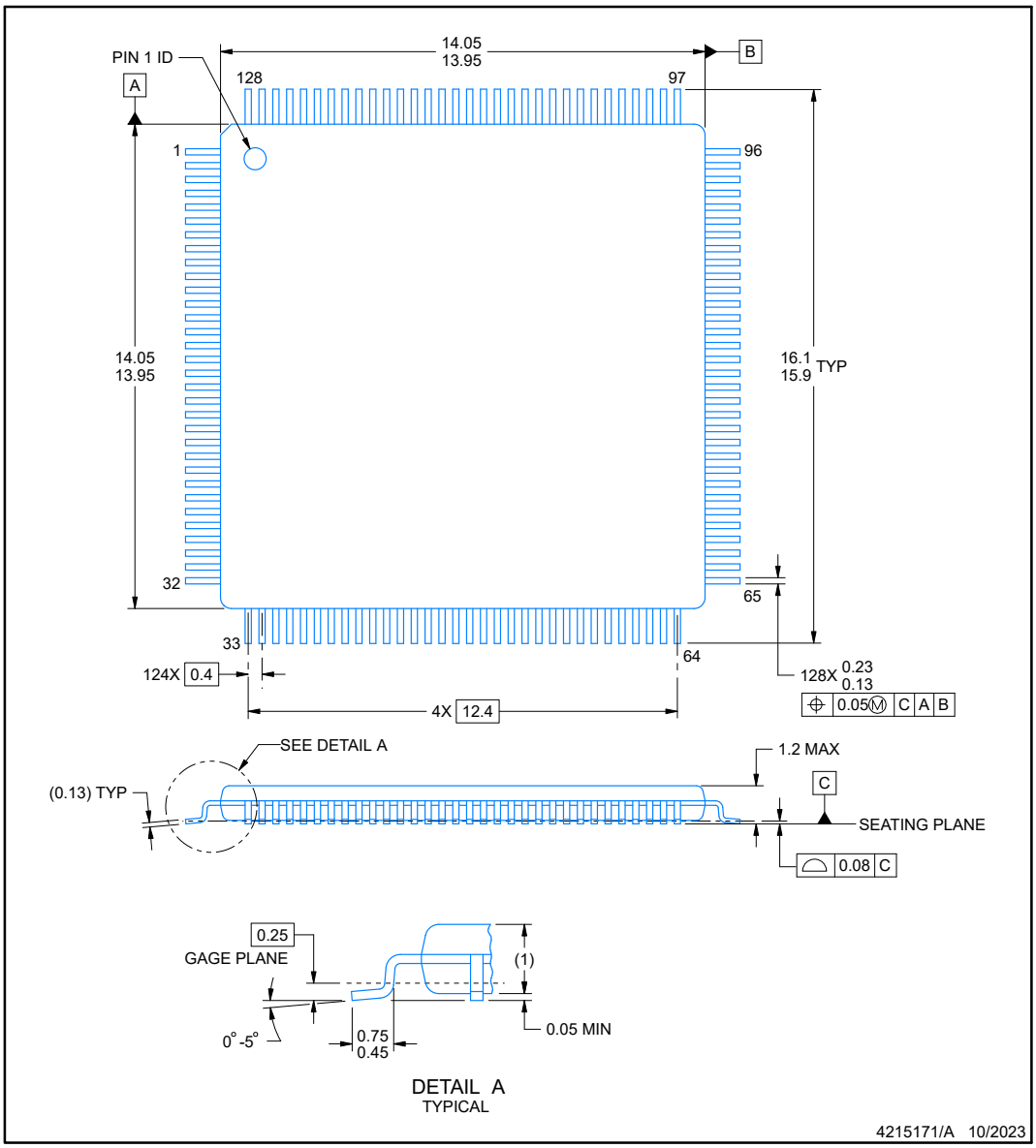


PACKAGE OUTLINE

PDT0128A

TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

ADVANCE INFORMATION

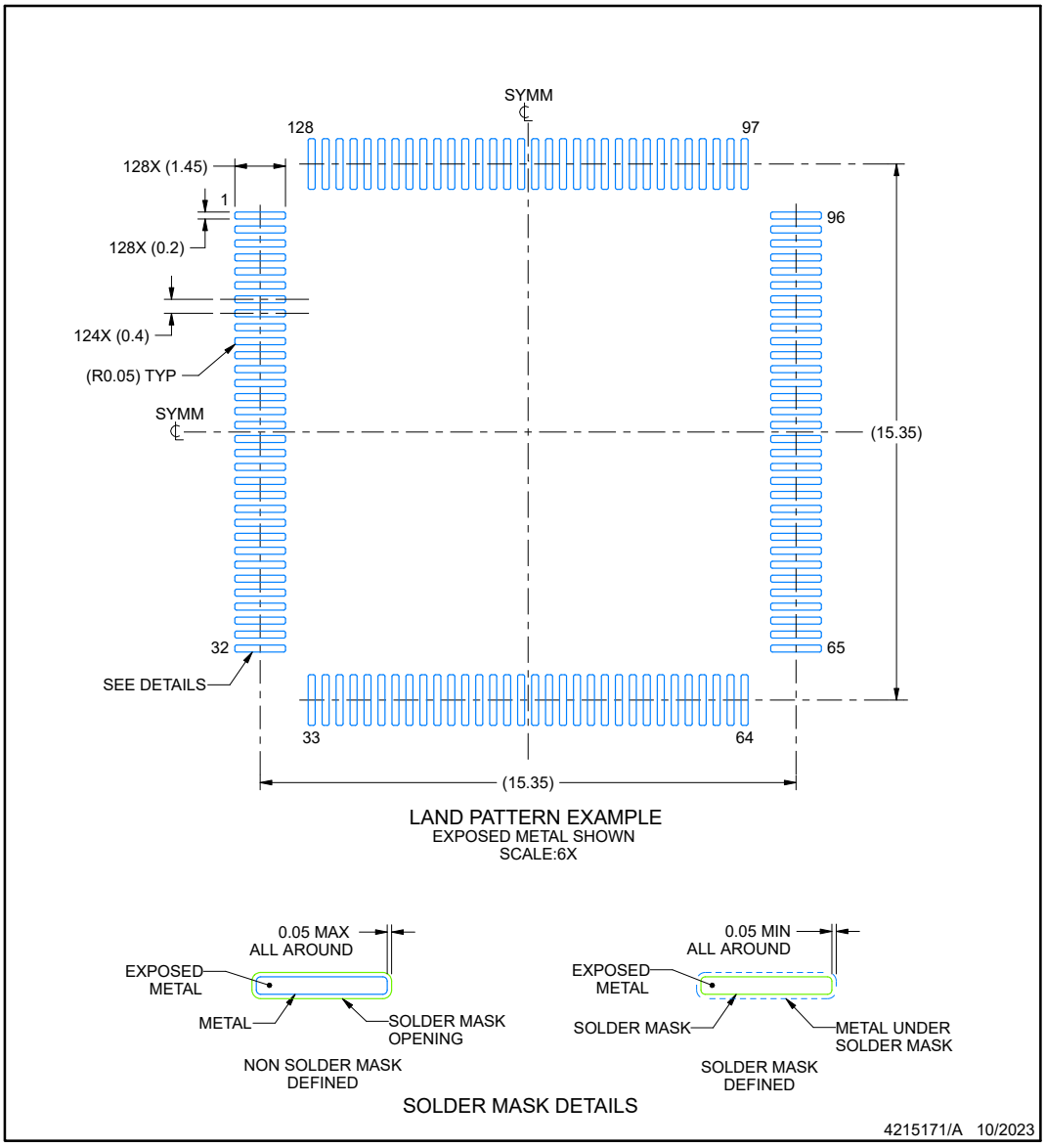
Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

PDT0128A — **TQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



NOTES: (continued)

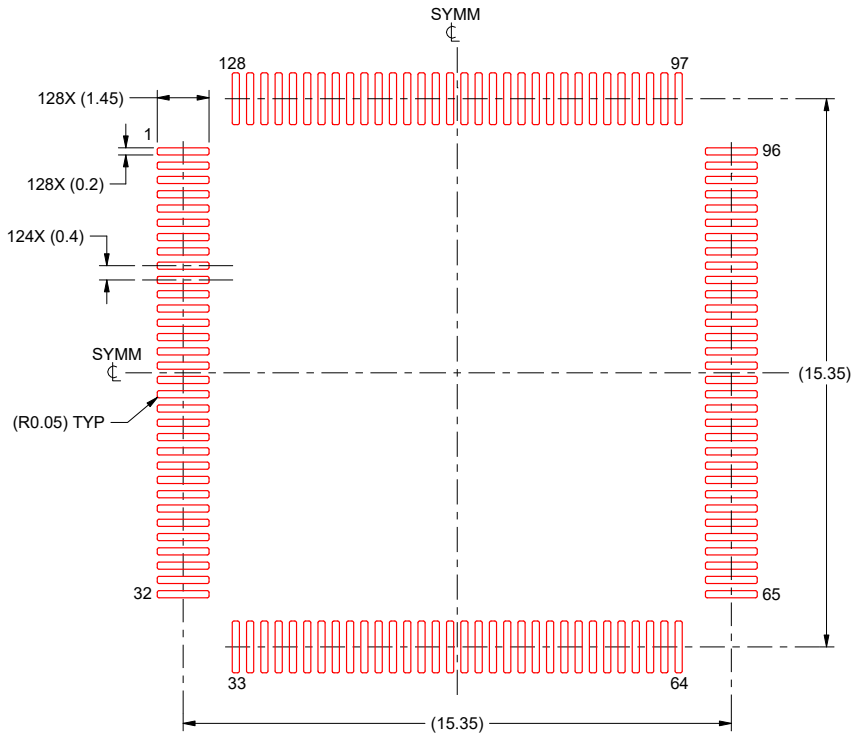
3. Publication IPC-7351 may have alternate designs.
4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
5. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PDT0128A — **TQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:6X

4215171/A 10/2023

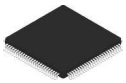
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

ADVANCE INFORMATION

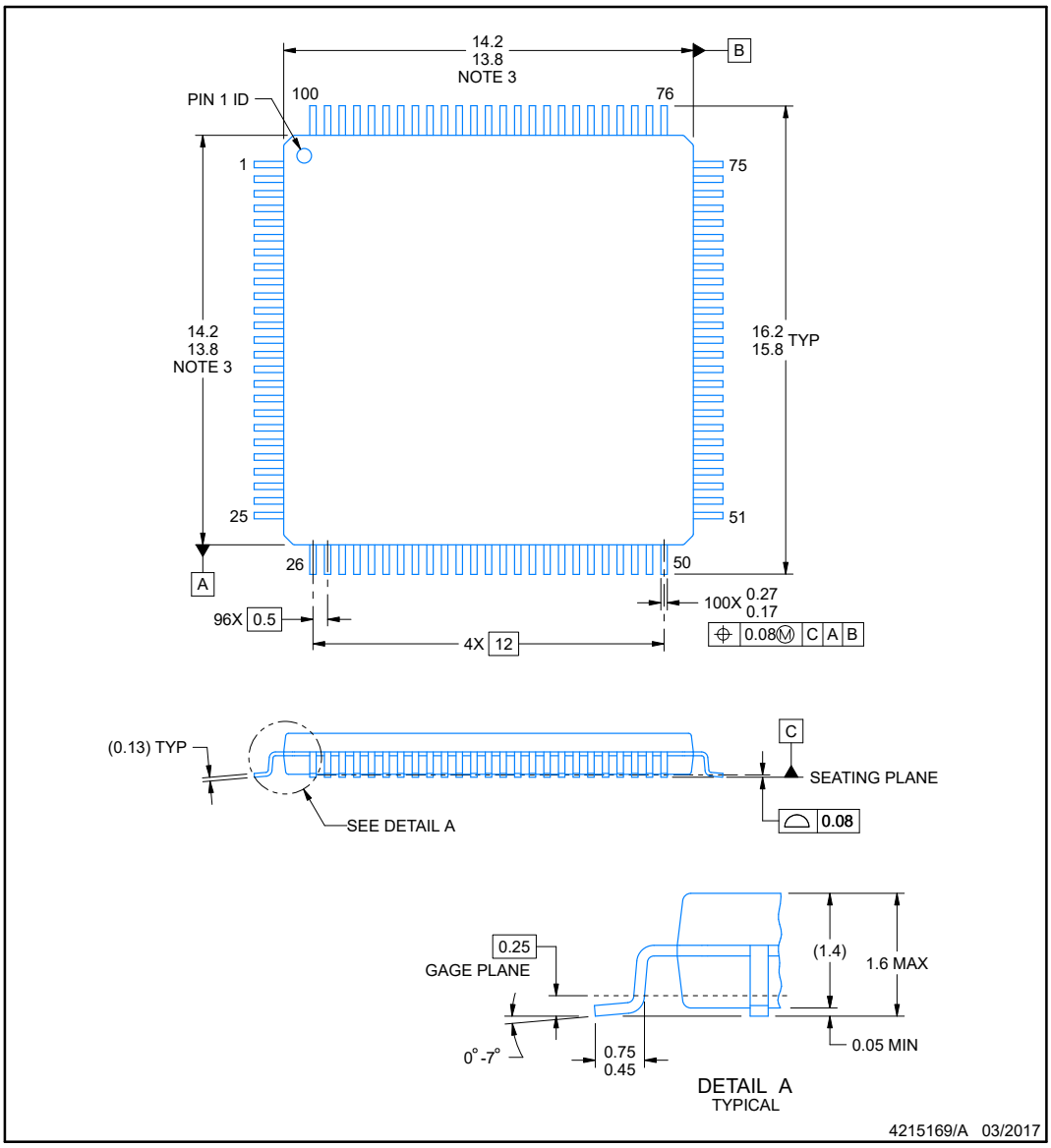


PACKAGE OUTLINE

PZ0100A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.

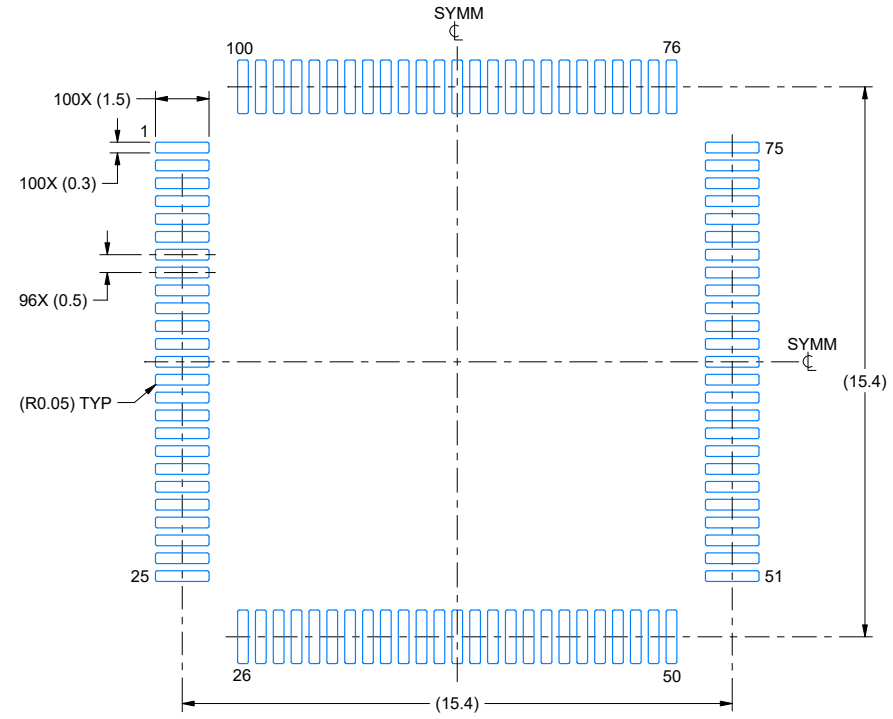
Texas Instruments
www.ti.com

Copyright © 2026 Texas Instruments Incorporated

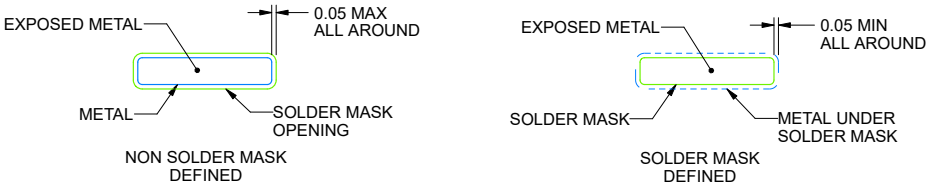
EXAMPLE BOARD LAYOUT

PZ0100A — **LQFP - 1.6 mm max height**

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS

4215169/A 03/2017

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).

www.ti.com

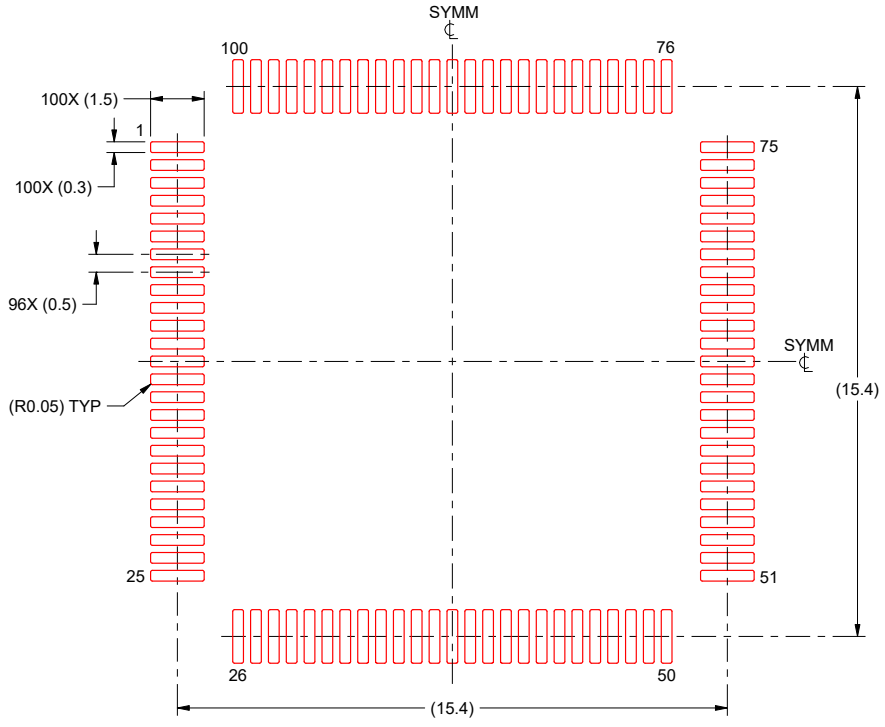
ADVANCE INFORMATION

ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

PZ0100A — **LQFP - 1.6 mm max height**

PLASTIC QUAD FLATPACK



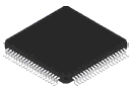
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4215169/A 03/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

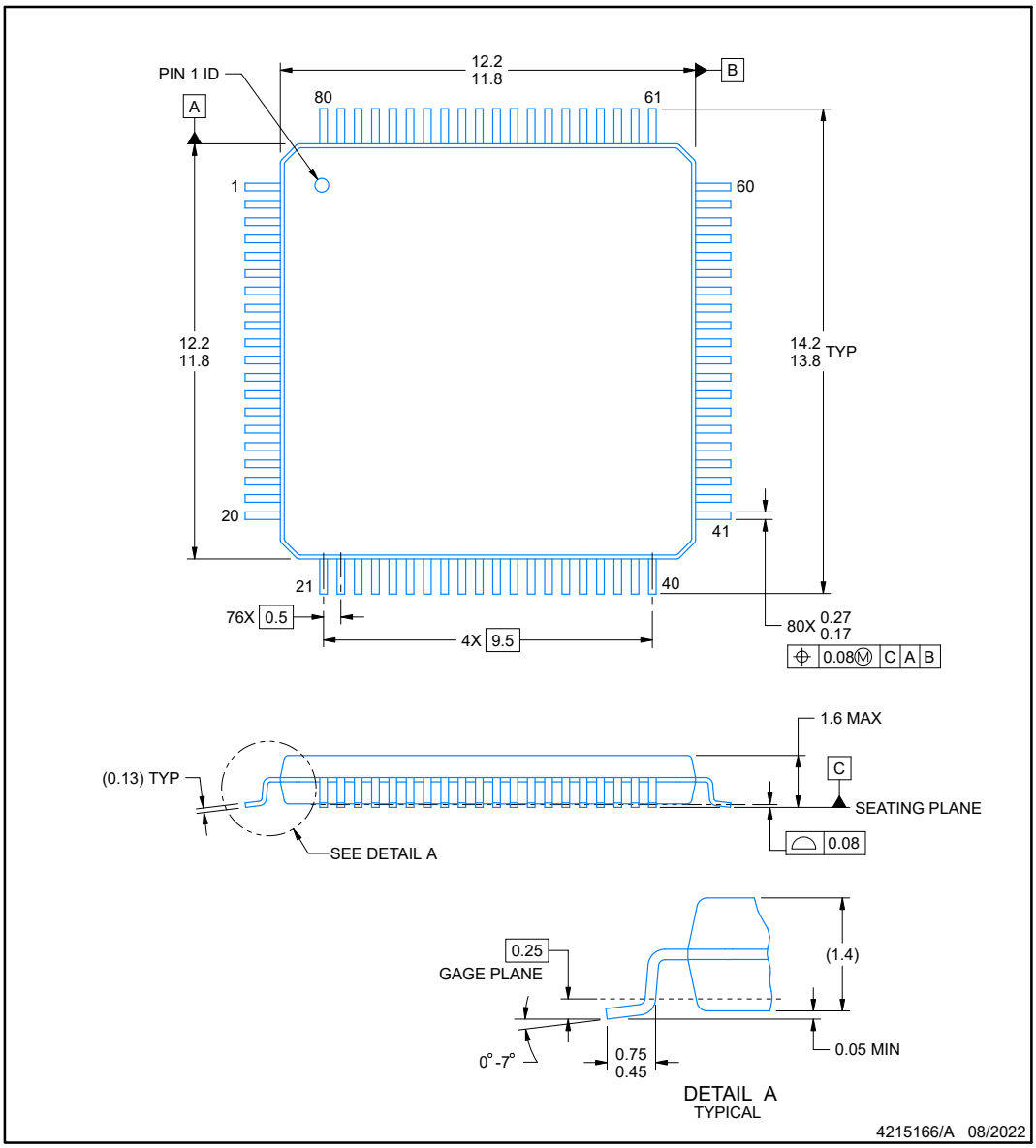


PACKAGE OUTLINE

PN0080A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.

www.ti.com

ADVANCE INFORMATION

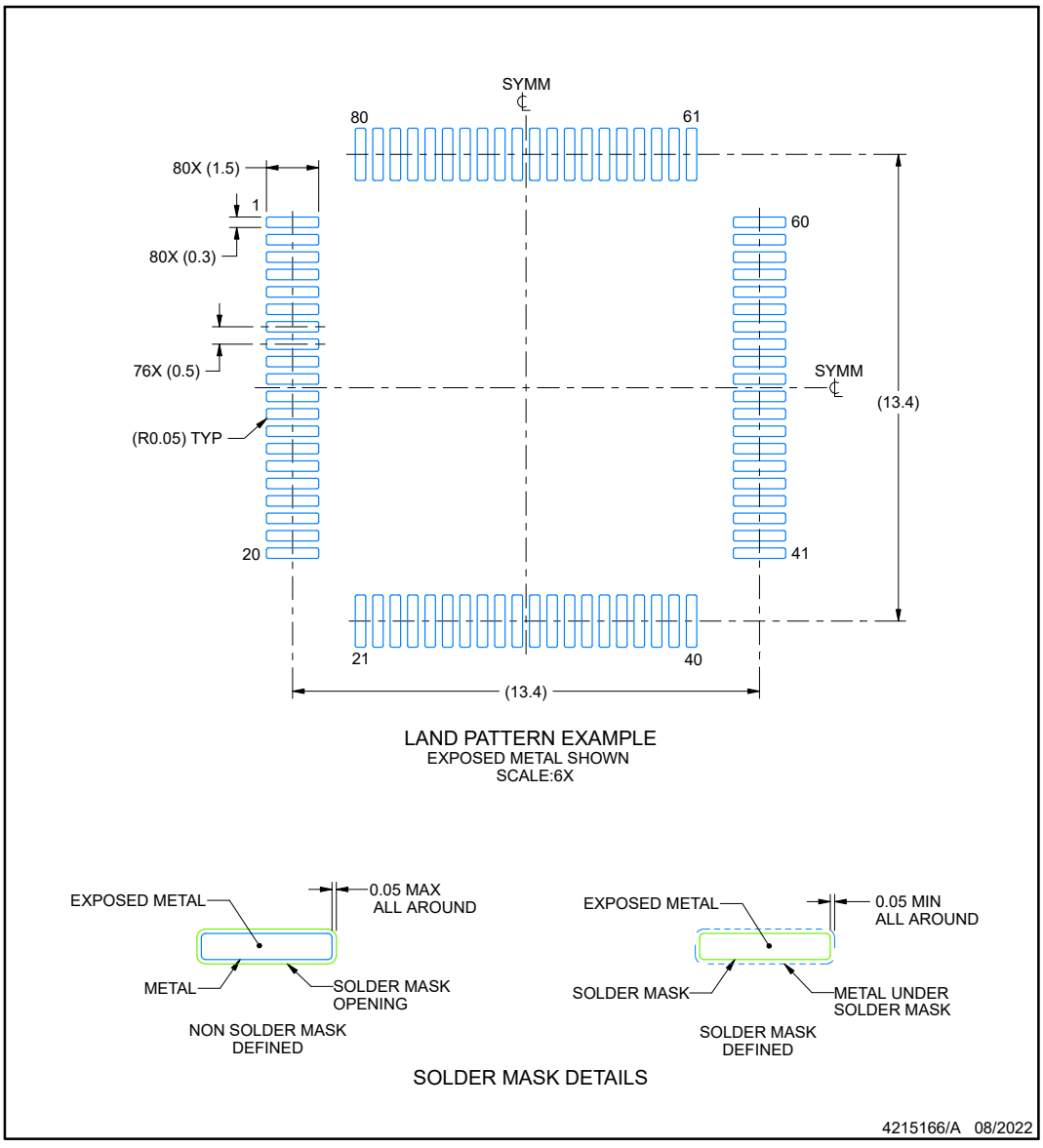
Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

PN0080A — **LQFP - 1.6 mm max height**

PLASTIC QUAD FLATPACK



NOTES: (continued)

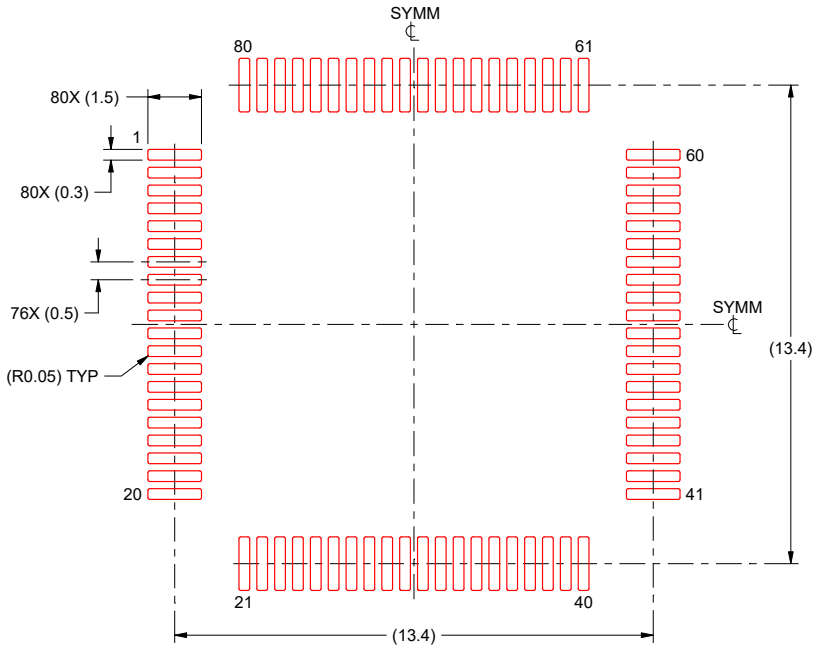
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PN0080A — **LQFP - 1.6 mm max height**

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:6X

4215166/A 08/2022

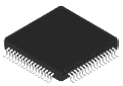
NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

ADVANCE INFORMATION

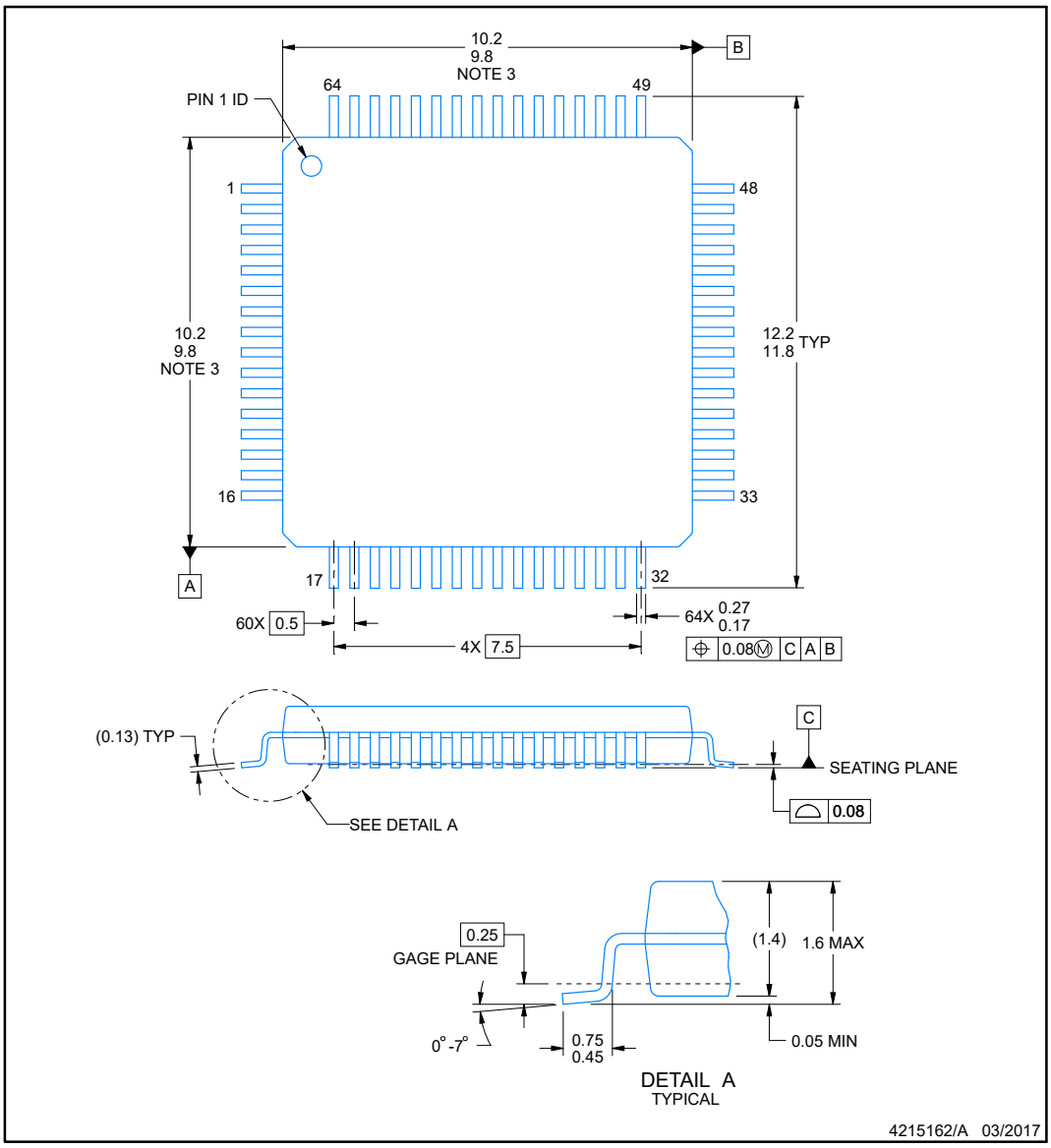


PACKAGE OUTLINE

PM0064A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.

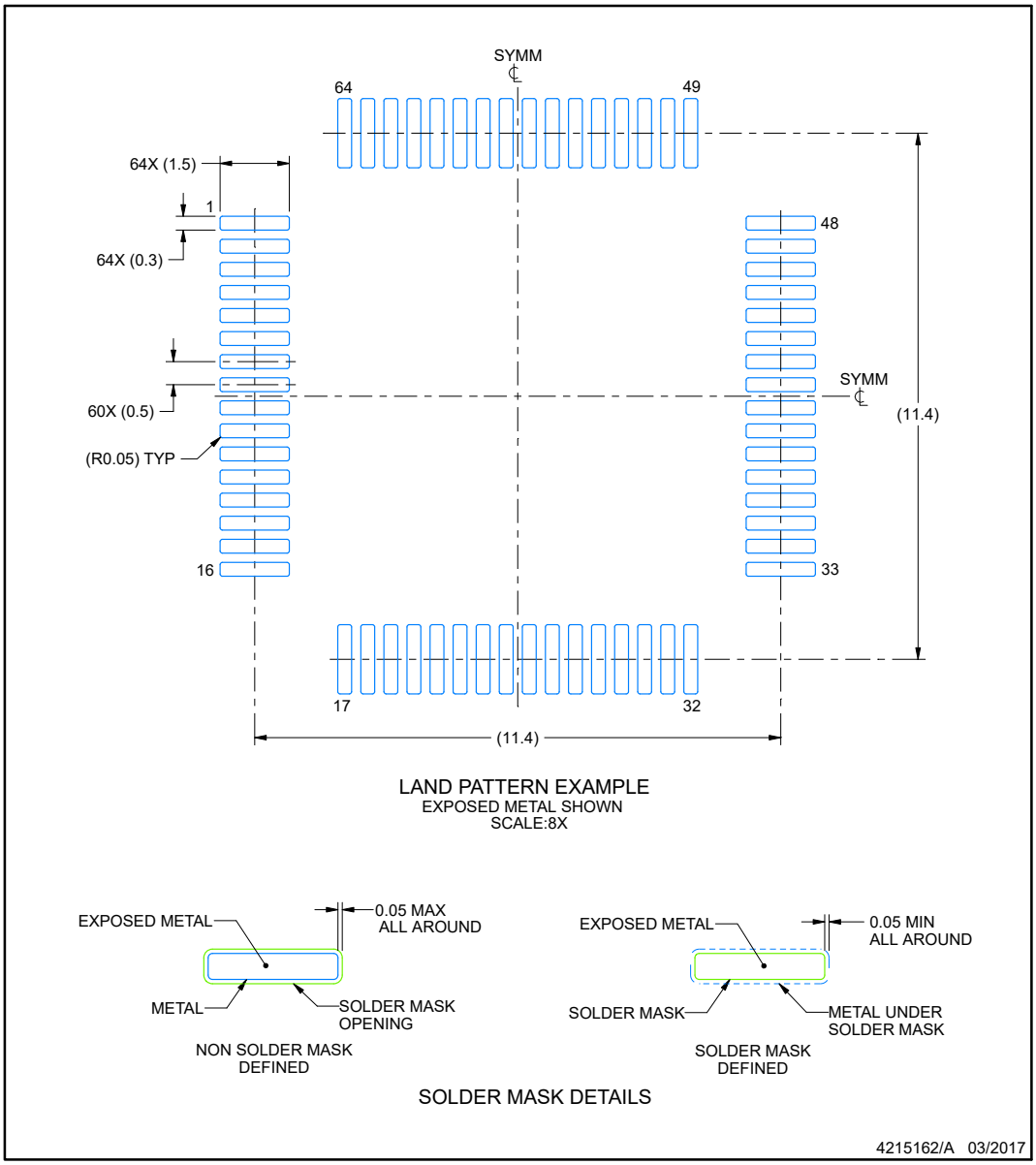
TEXAS INSTRUMENTS
www.ti.com

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

PM0064A — **LQFP - 1.6 mm max height**

PLASTIC QUAD FLATPACK



NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).

ADVANCE INFORMATION

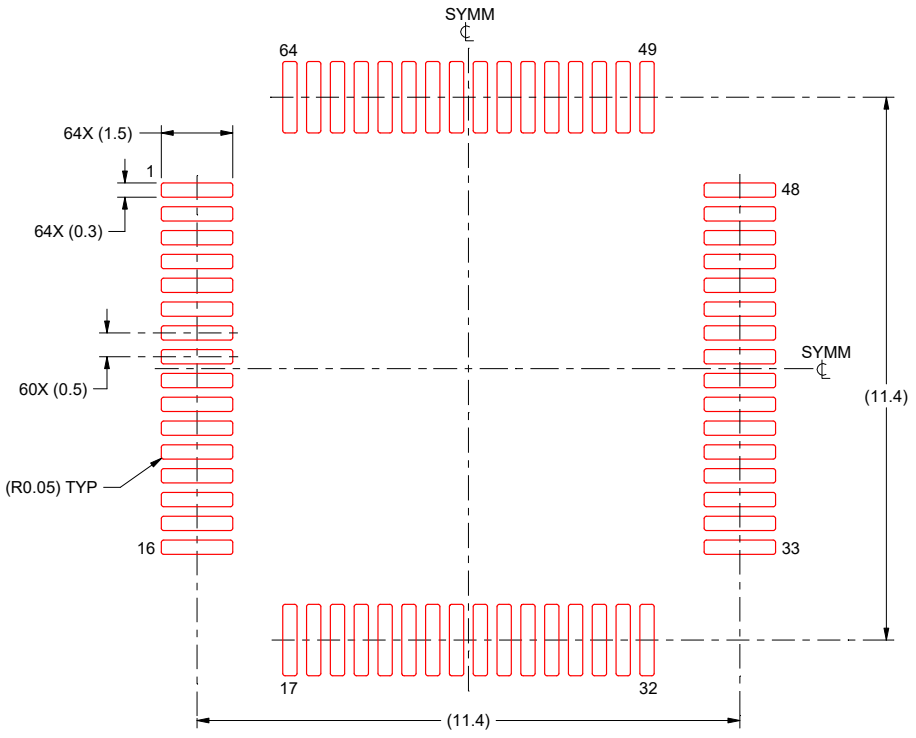
Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

PM0064A — **LQFP - 1.6 mm max height**

PLASTIC QUAD FLATPACK



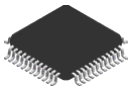
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4215162/A 03/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

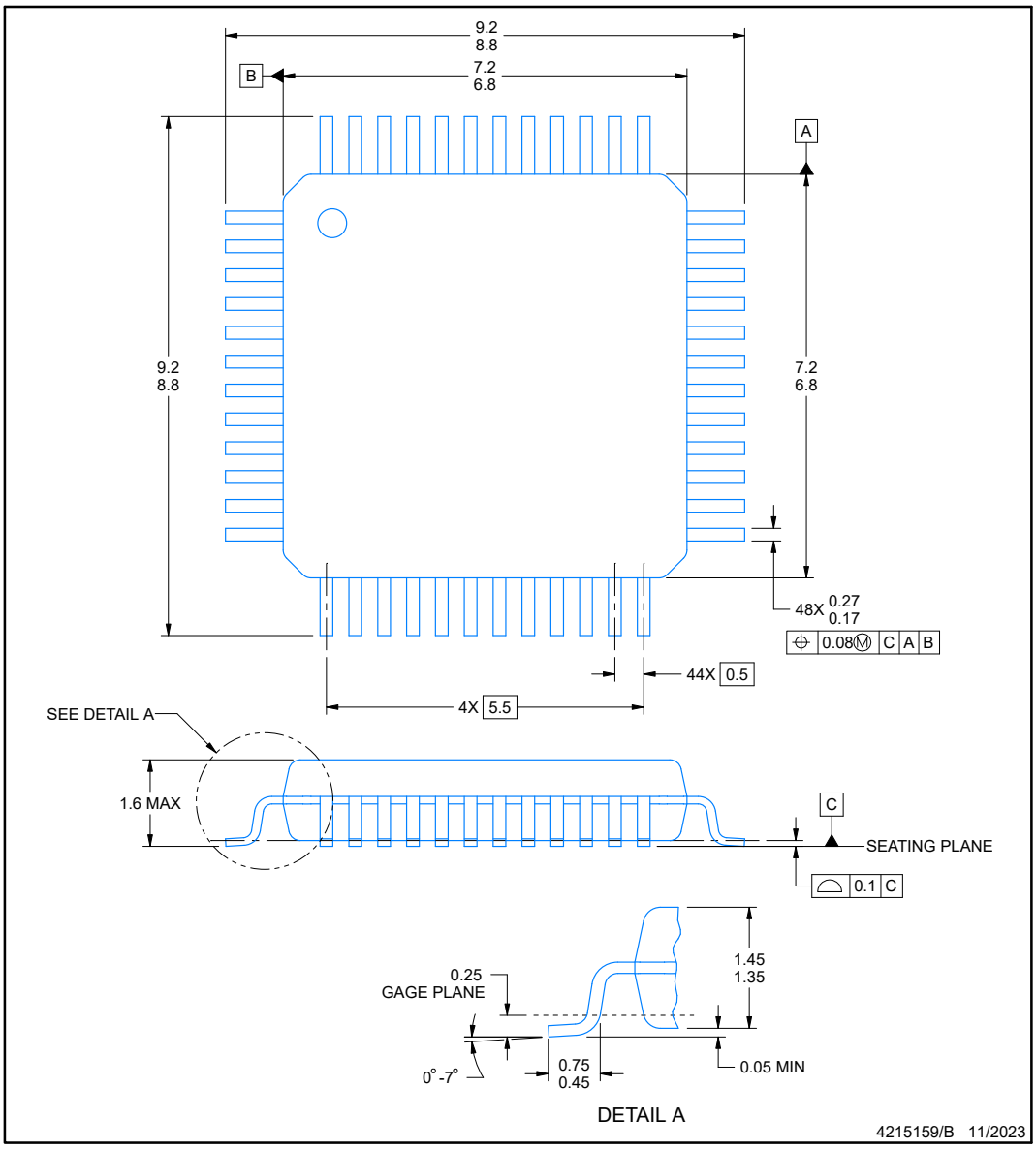


PACKAGE OUTLINE

PT0048A

LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.
4. This may also be a thermally enhanced plastic package with leads conected to the die pads.

TEXAS INSTRUMENTS
www.ti.com

ADVANCE INFORMATION

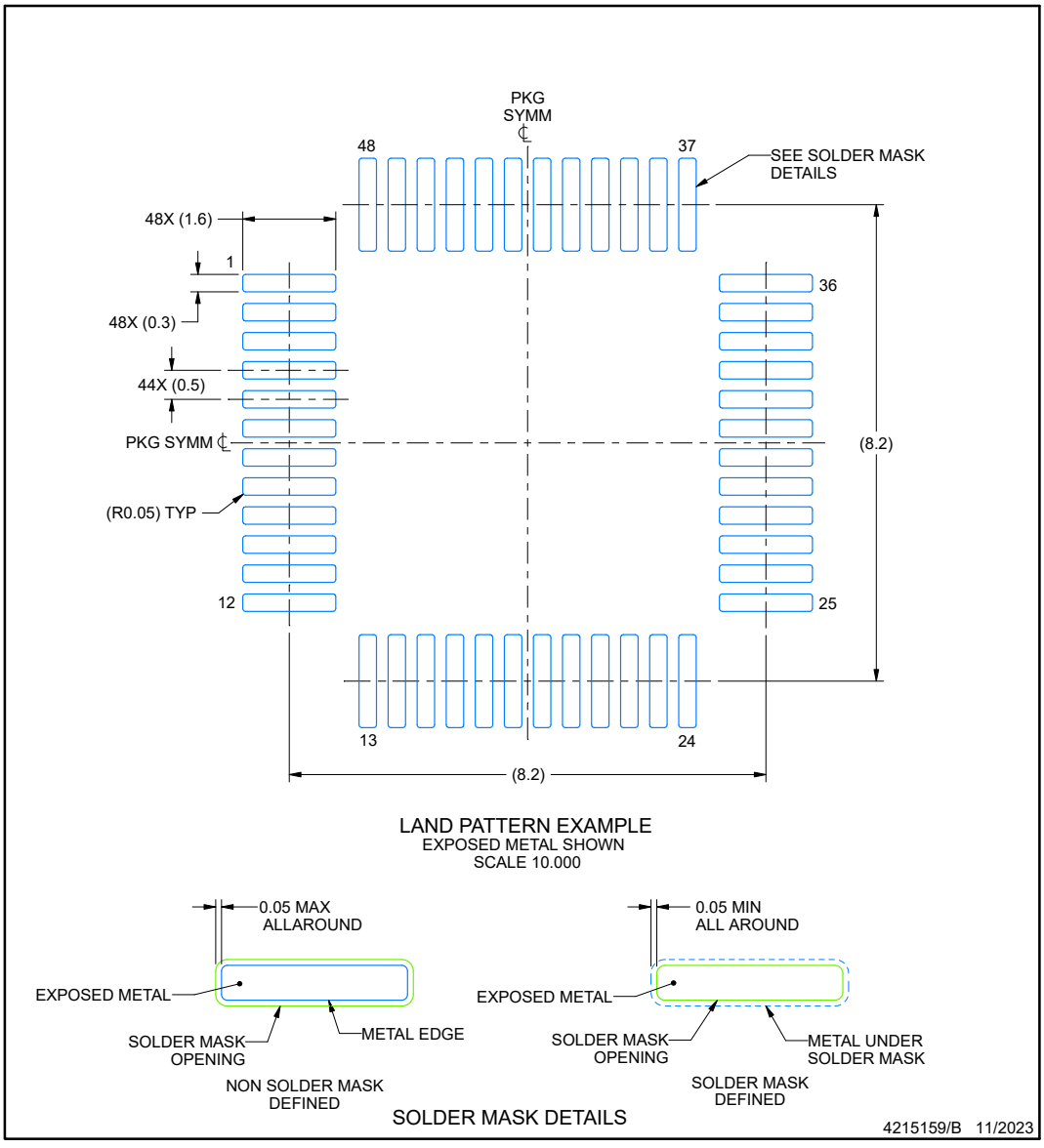
Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

PT0048A — **LQFP - 1.6 mm max height**

LOW PROFILE QUAD FLATPACK



NOTES: (continued)

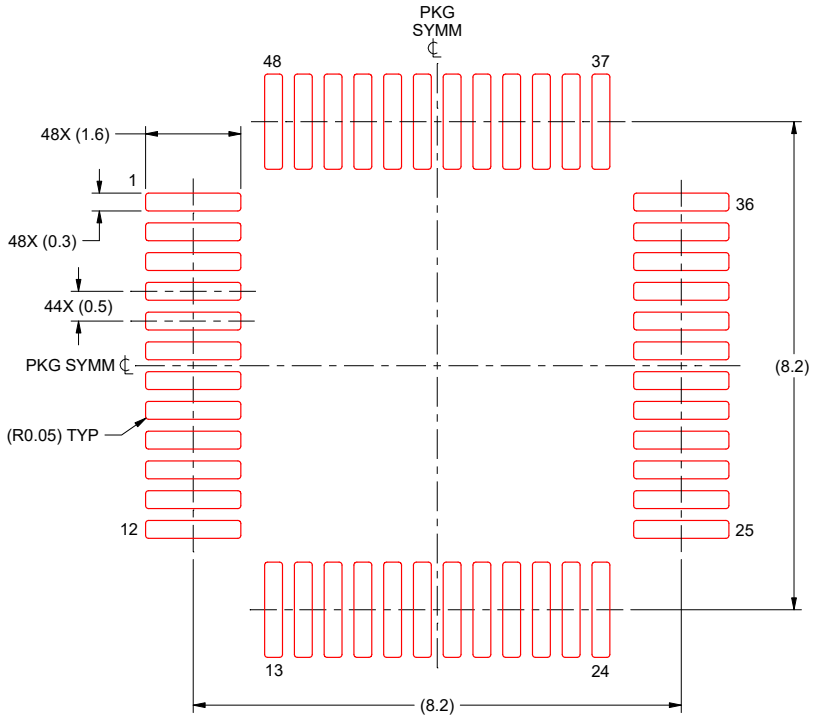
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PT0048A — **LQFP - 1.6 mm max height**

LOW PROFILE QUAD FLATPACK



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 10X

4215159/B 11/2023

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

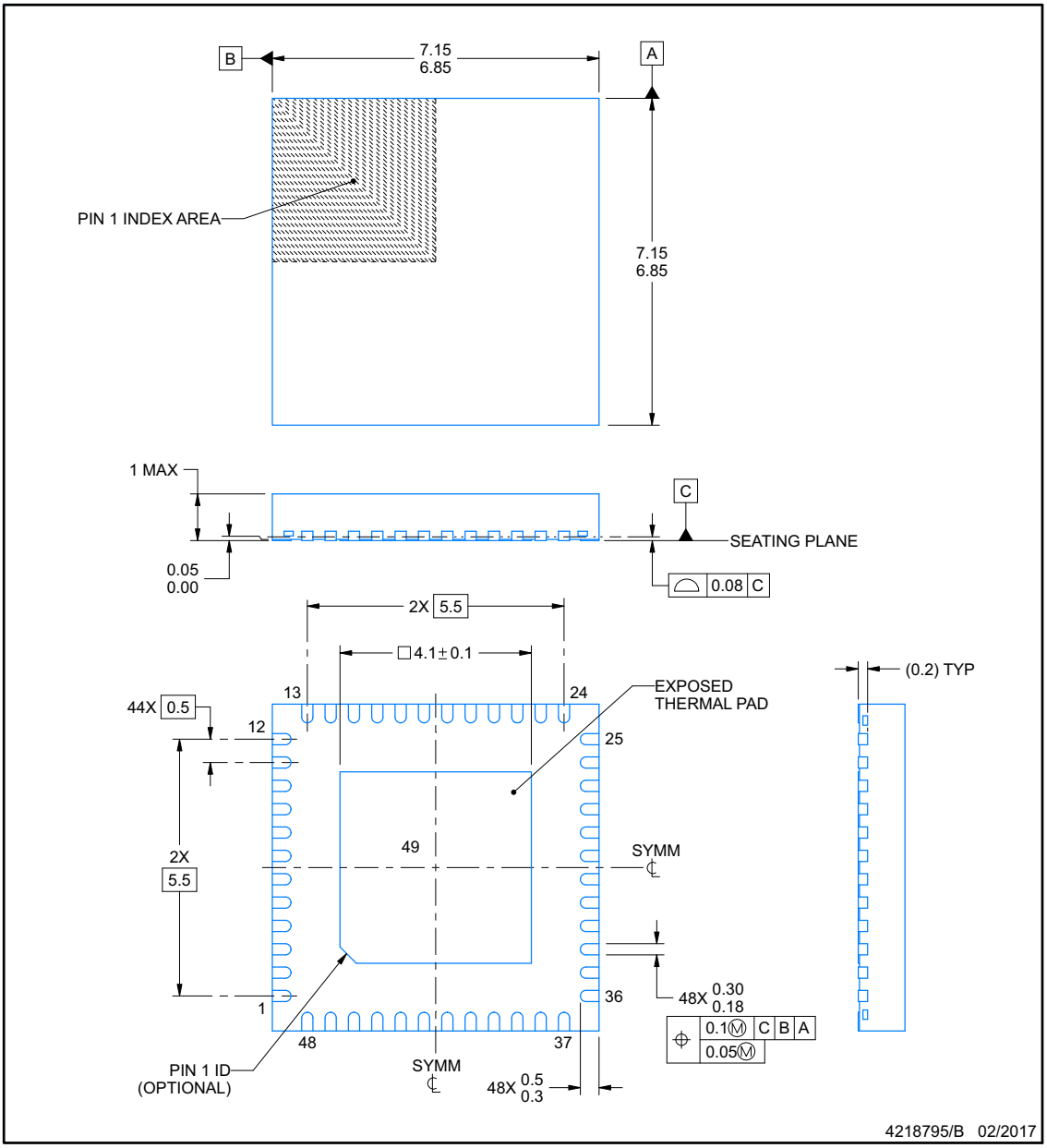
ADVANCE INFORMATION

PACKAGE OUTLINE

RGZ0048B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

TEXAS INSTRUMENTS
www.ti.com

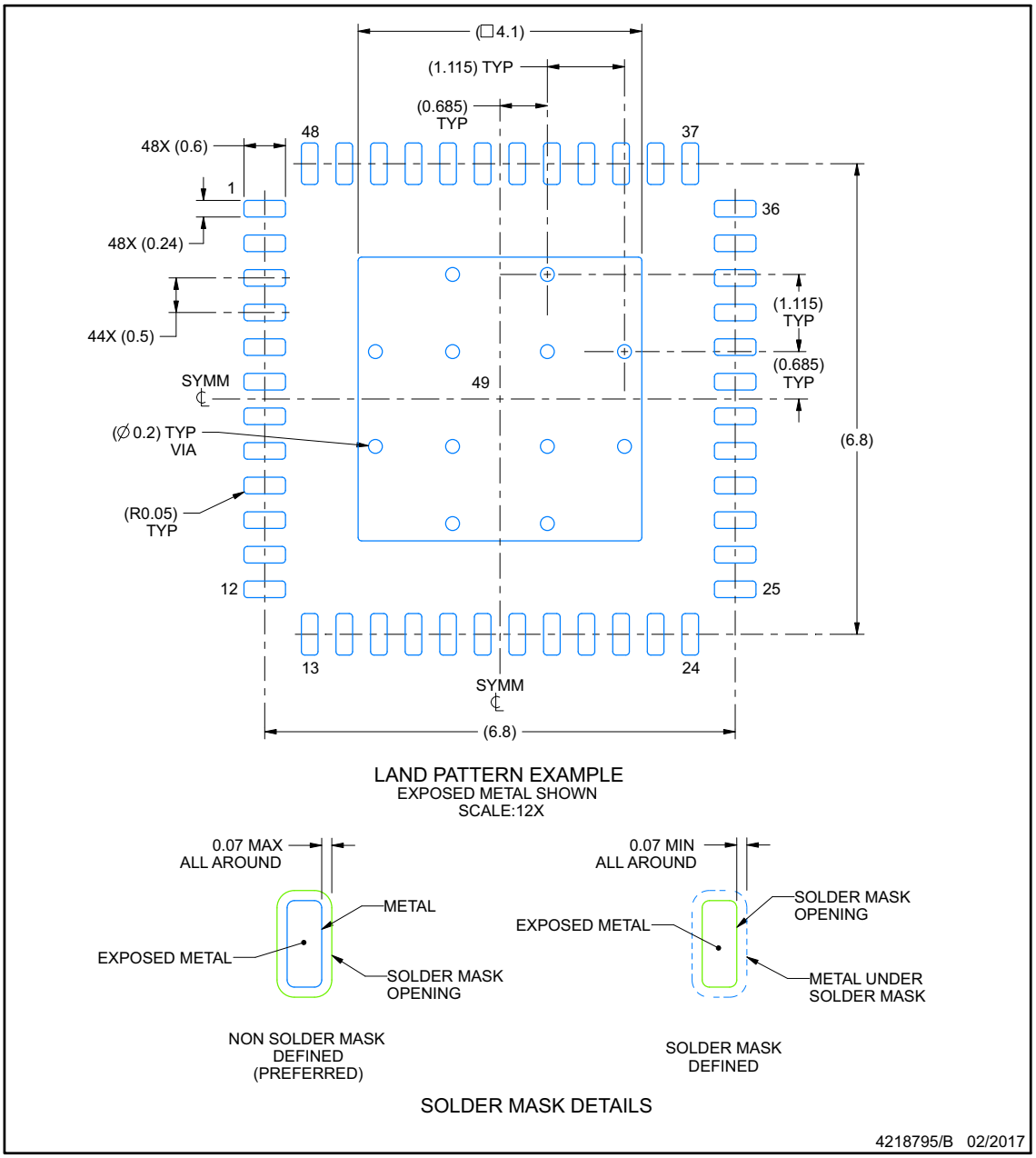
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

RGZ0048B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2026 Texas Instruments Incorporated

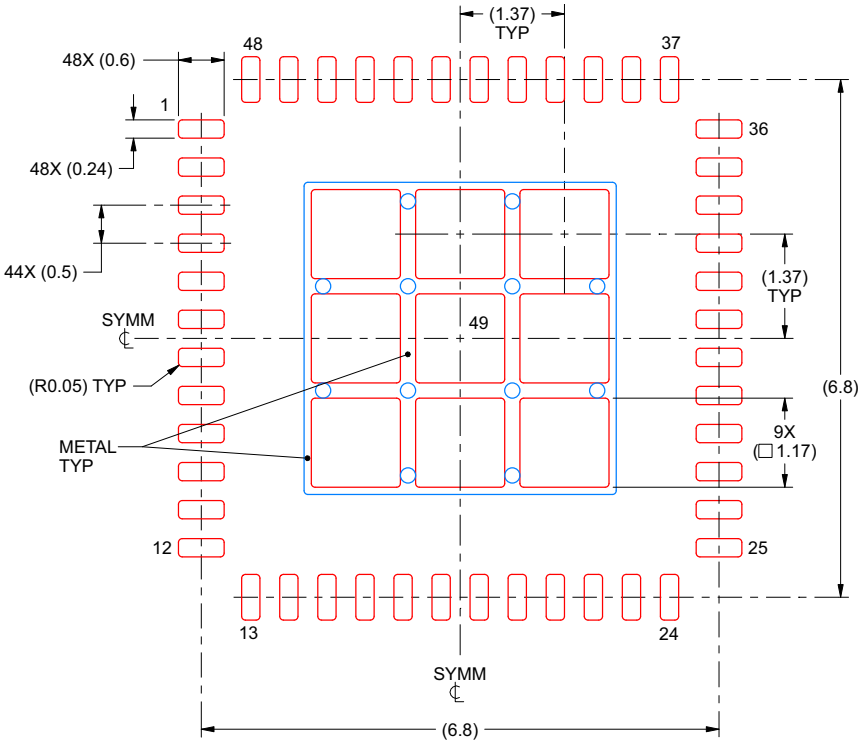
ADVANCE INFORMATION

ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

RGZ0048B — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 49
73% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:12X

4218795/B 02/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2026 Texas Instruments Incorporated

付録：パッケージ·オプション

パッケージ情報

注文可能な型番	ステータス	資料のタイプ	パッケージ	ピン数	パッケージ数量	キャリア	RoHS	リード端子の仕上げ / ボールの原材料	MSL 定格/ピークリフロー	動作温度 (℃)	部品マーキング
XAM13E23019GTPDT	アクティブ	量産開始前	TQFP (PDT)	128	90	JEDEC TRAY (10+1)	あり	TI までお問い合わせください	TI までお問い合わせください	-40～125	19GTPDT
XAM13E23019GTPZ	アクティブ	量産開始前	LQFP (PZ)	100	90	JEDEC TRAY (10+1)	あり	TI までお問い合わせください	TI までお問い合わせください	-40～125	19GTPZ
XAM13E23019GTPN	アクティブ	量産開始前	LQFP (PN)	80	190	JEDEC TRAY (10+1)	あり	TI までお問い合わせください	TI までお問い合わせください	-40～125	19GTPN
XAM13E23019GTPM	アクティブ	量産開始前	LQFP (PM)	64	160	JEDEC TRAY (10+1)	あり	TI までお問い合わせください	TI までお問い合わせください	-40～125	19GTPM
XAM13E23019GTPT	アクティブ	量産開始前	LQFP (PT)	48	1,000	大口径の T&R	あり	TI までお問い合わせください	TI までお問い合わせください	-40～125	19GTPT
XAM13E23019GTRGZR	アクティブ	量産開始前	VQFN (RGZ)	48	4,000	大口径の T&R	あり	TI までお問い合わせください	TI までお問い合わせください	-40～125	19GTRGZ
XAM13E23019HTPZ	アクティブ	量産開始前	LQFP (PZ)	100	90	JEDEC TRAY (10+1)	あり	TI までお問い合わせください	TI までお問い合わせください	-40～125	19HTPZ
XAM13E23019HTPM	アクティブ	量産開始前	LQFP (PM)	64	160	JEDEC TRAY (10+1)	あり	TI までお問い合わせください	TI までお問い合わせください	-40～125	19HTPM
XAM13E23019GT2PDT	アクティブ	量産開始前	TQFP (PDT)	128	90	JEDEC TRAY (10+1)	あり	TI までお問い合わせください	TI までお問い合わせください	-40～125	19GT2PDT
XAM13E23019GT2PZ	アクティブ	量産開始前	LQFP (PZ)	100	90	JEDEC TRAY (10+1)	あり	TI までお問い合わせください	TI までお問い合わせください	-40～125	19GT2PZ
XAM13E23019GT2PM	アクティブ	量産開始前	LQFP (PM)	64	160	JEDEC TRAY (10+1)	あり	TI までお問い合わせください	TI までお問い合わせください	-40～125	19GT2PM
XAM13E23019GT2PT	アクティブ	量産開始前	LQFP (PT)	48	1,000	大口径の T&R	あり	TI までお問い合わせください	TI までお問い合わせください	-40～125	19GT2PT

重要なお知らせと免責事項: このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じた TI の責任は、このドキュメント発行時点での TI 製品の価格に基づく TI からお客様への合計購入価格 (年次ベース) を超えることはありません。

ADVANCE INFORMATION

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
XAM13E23019GTPDT	Active	Preproduction	TQFP (PDT) | 128	90 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 105	
XAM13E23019GTPM	Active	Preproduction	LQFP (PM) | 64	160 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 105	
XAM13E23019GTPN	Active	Preproduction	LQFP (PN) | 80	190 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 105	
XAM13E23019GTPT	Active	Preproduction	LQFP (PT) | 48	1000 | LARGE T&R	-	Call TI	Call TI	-40 to 105	
XAM13E23019GTPZ	Active	Preproduction	LQFP (PZ) | 100	90 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 105	
XAM13E23019GTRGZR	Active	Preproduction	VQFN (RGZ) | 48	4000 | LARGE T&R	-	Call TI	Call TI	-40 to 105	
XAM13E23019HTPZ	Active	Preproduction	LQFP (PZ) | 100	90 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 105	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

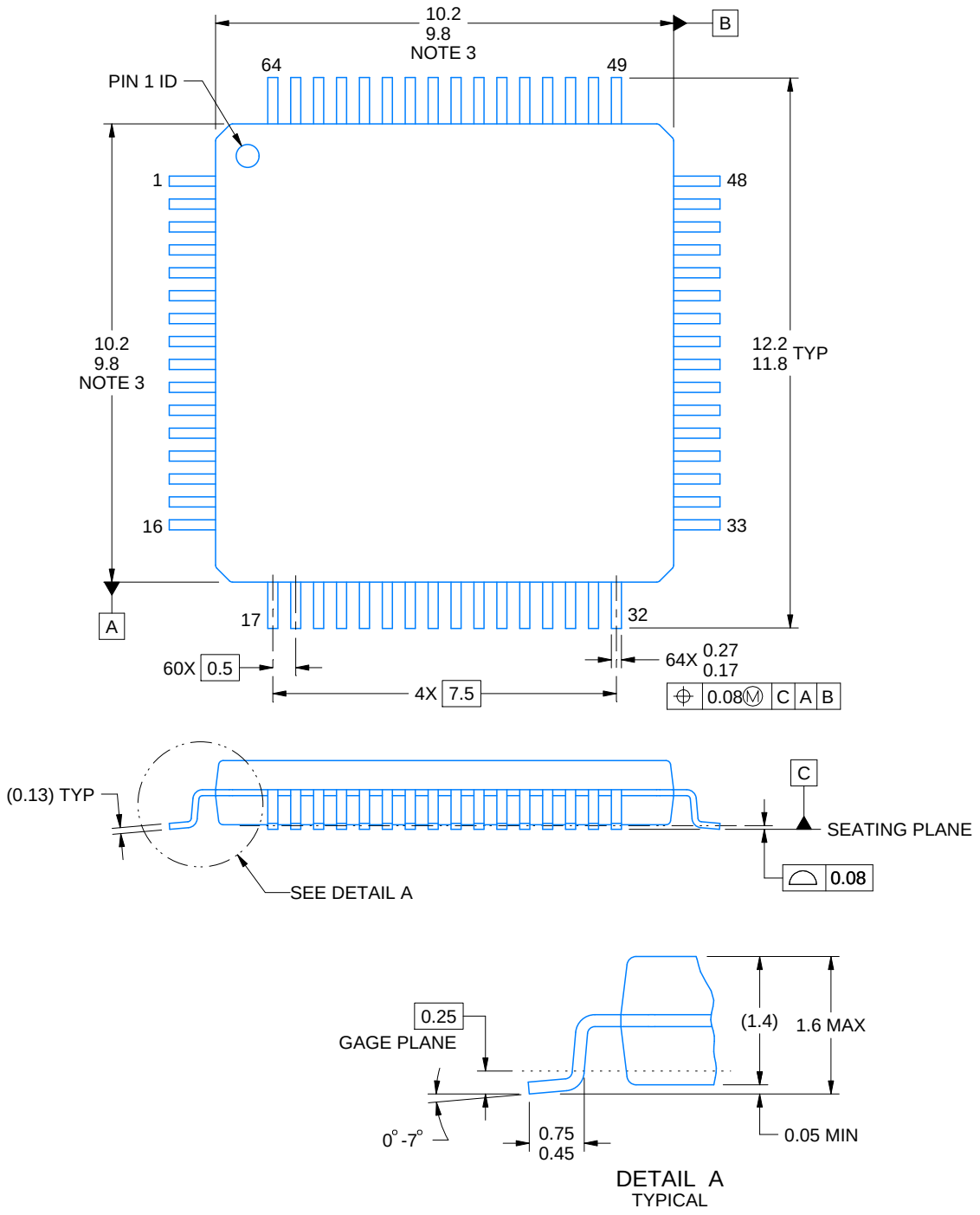
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PACKAGE OUTLINE

PM0064A

LQFP - 1.6 mm max height

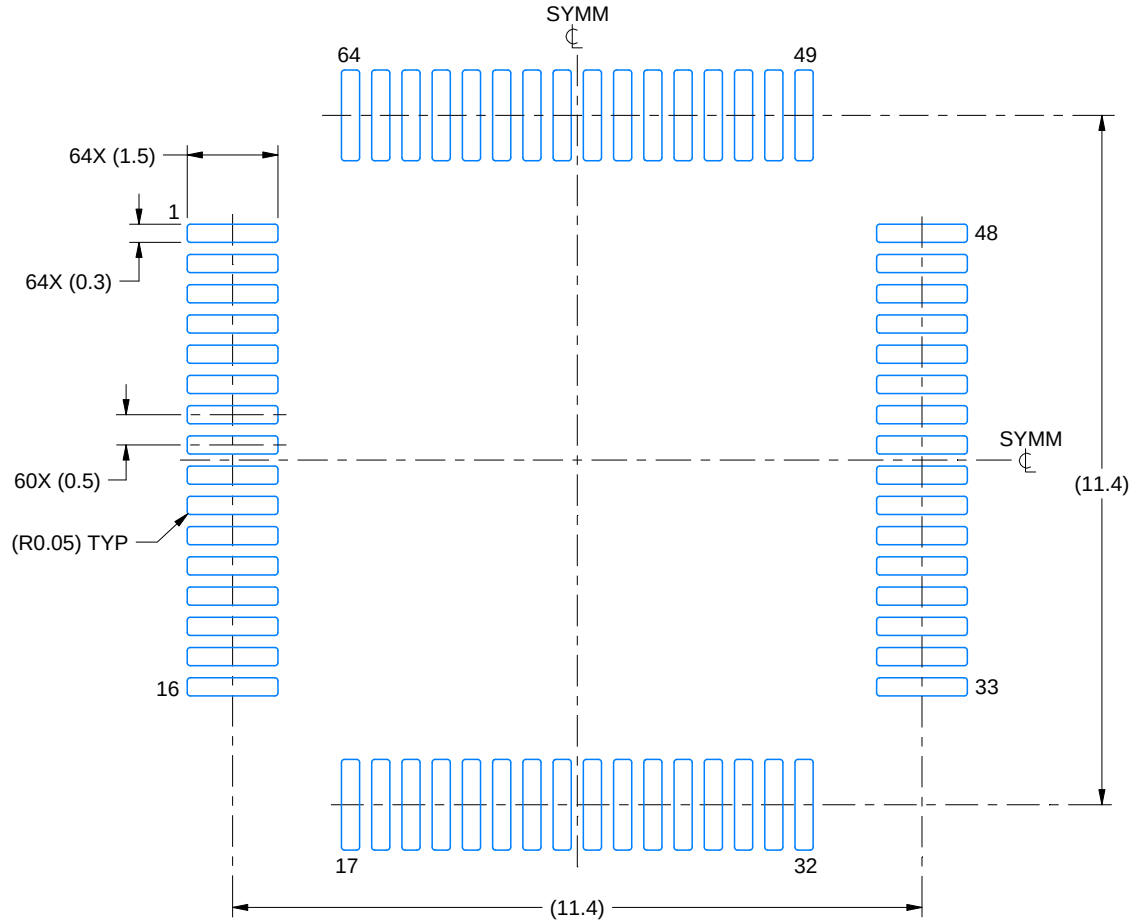
PLASTIC QUAD FLATPACK



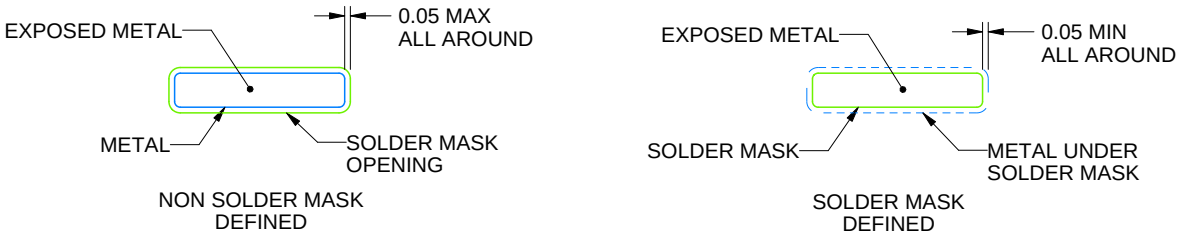
4215162/A 03/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

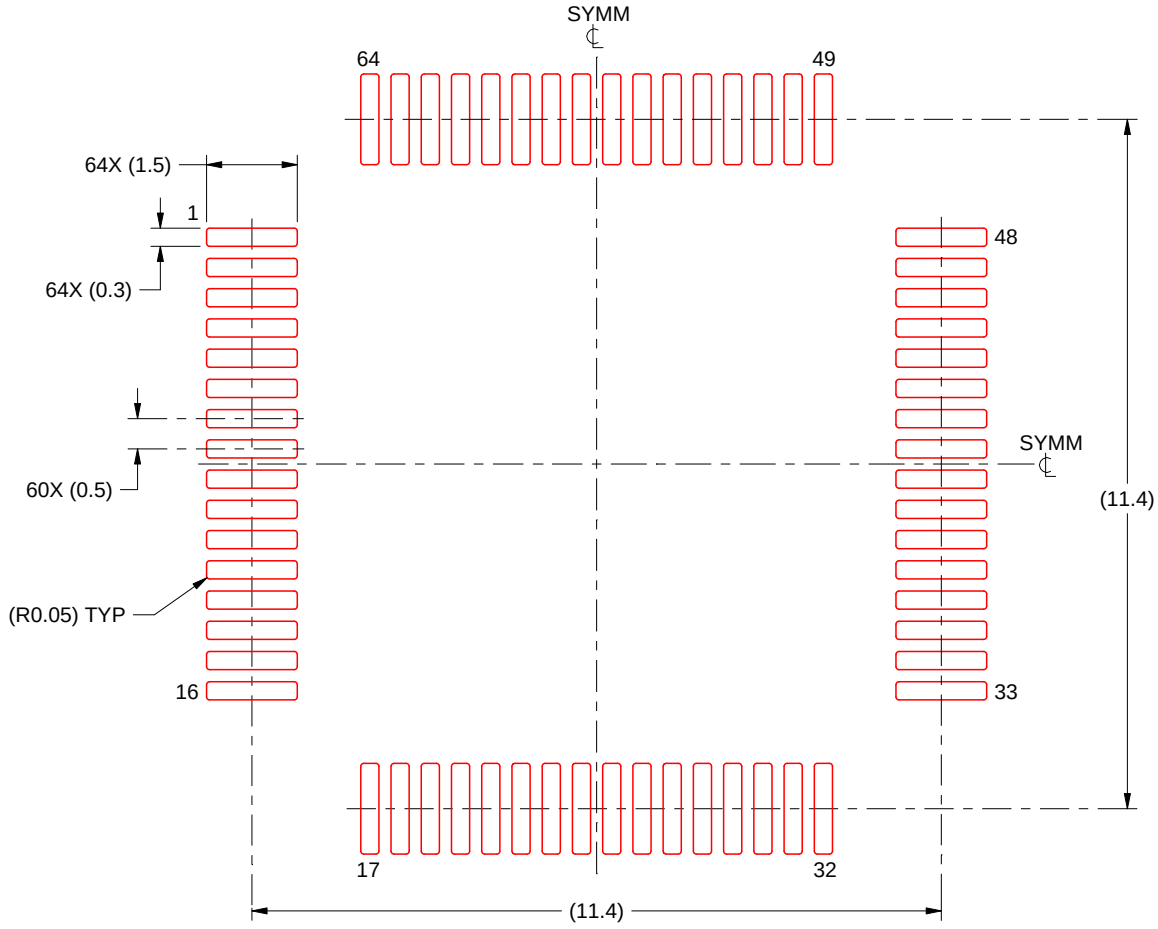


SOLDER MASK DETAILS

4215162/A 03/2017

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4215162/A 03/2017

NOTES: (continued)

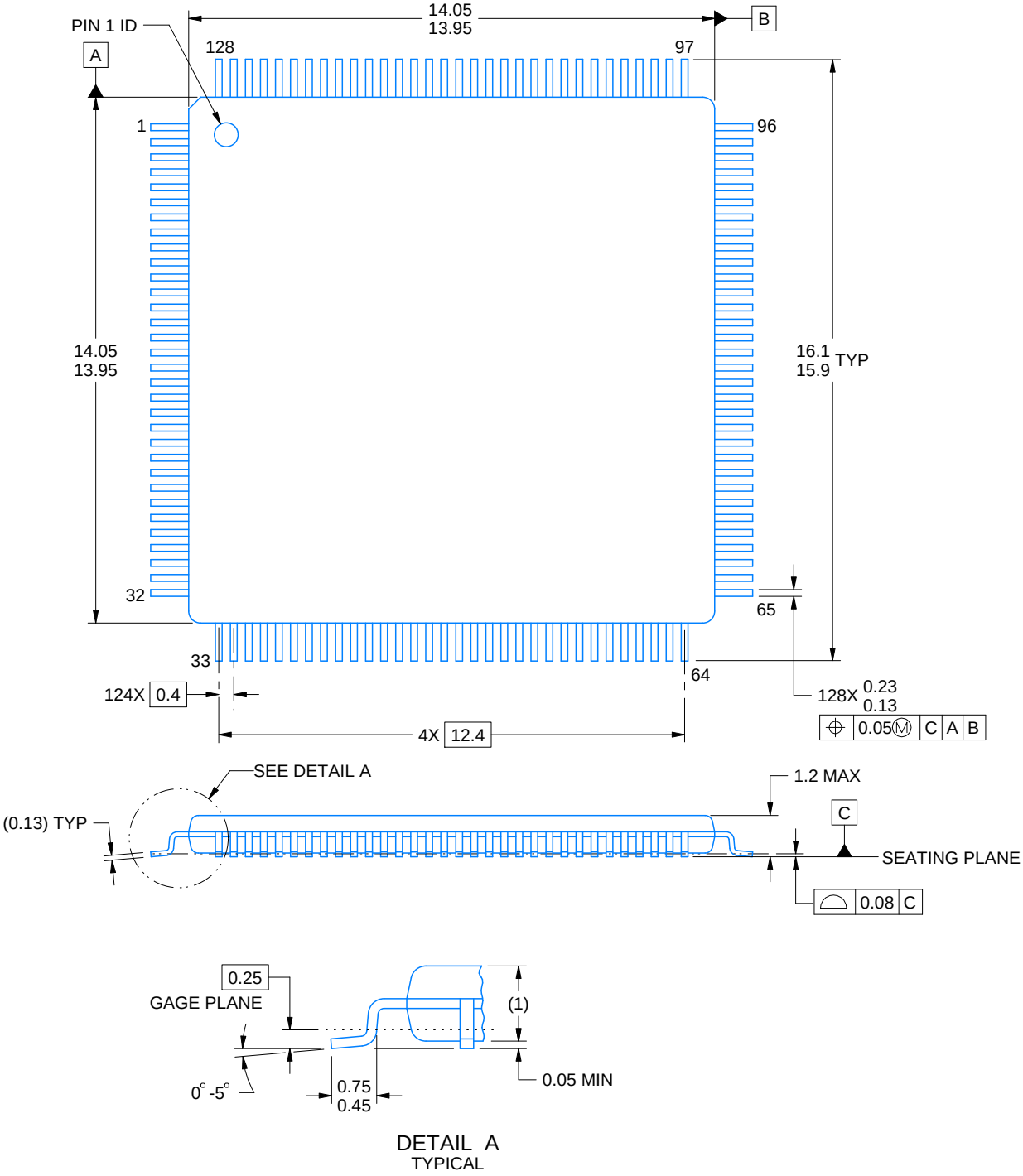
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PDT0128A

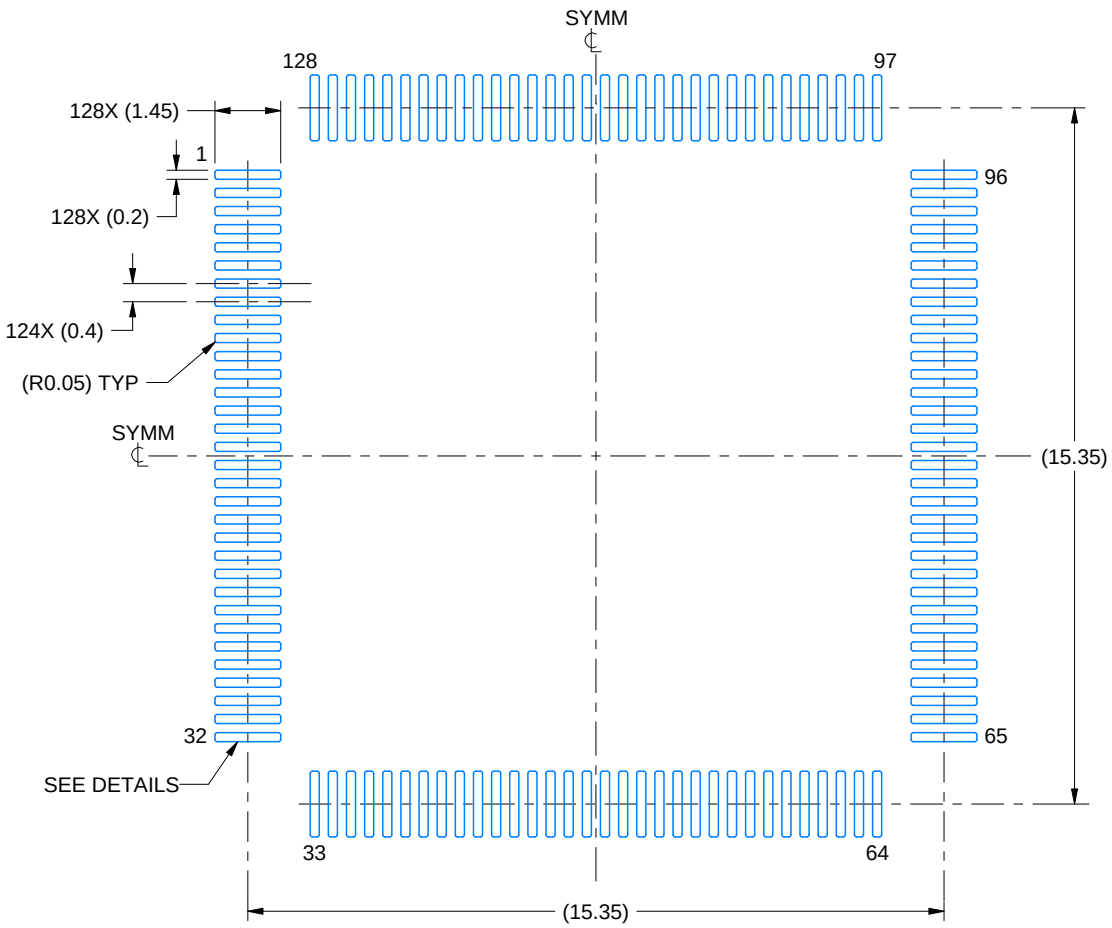
TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK

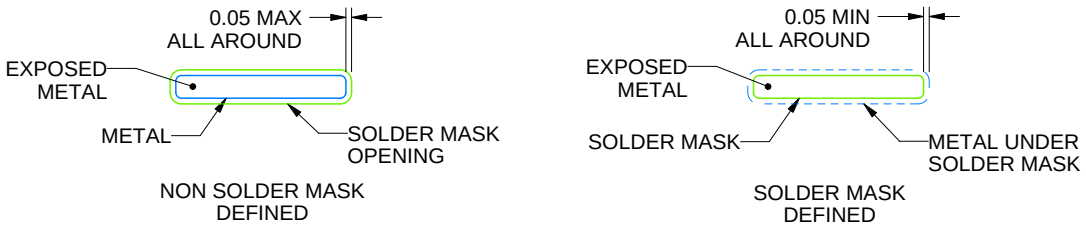


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

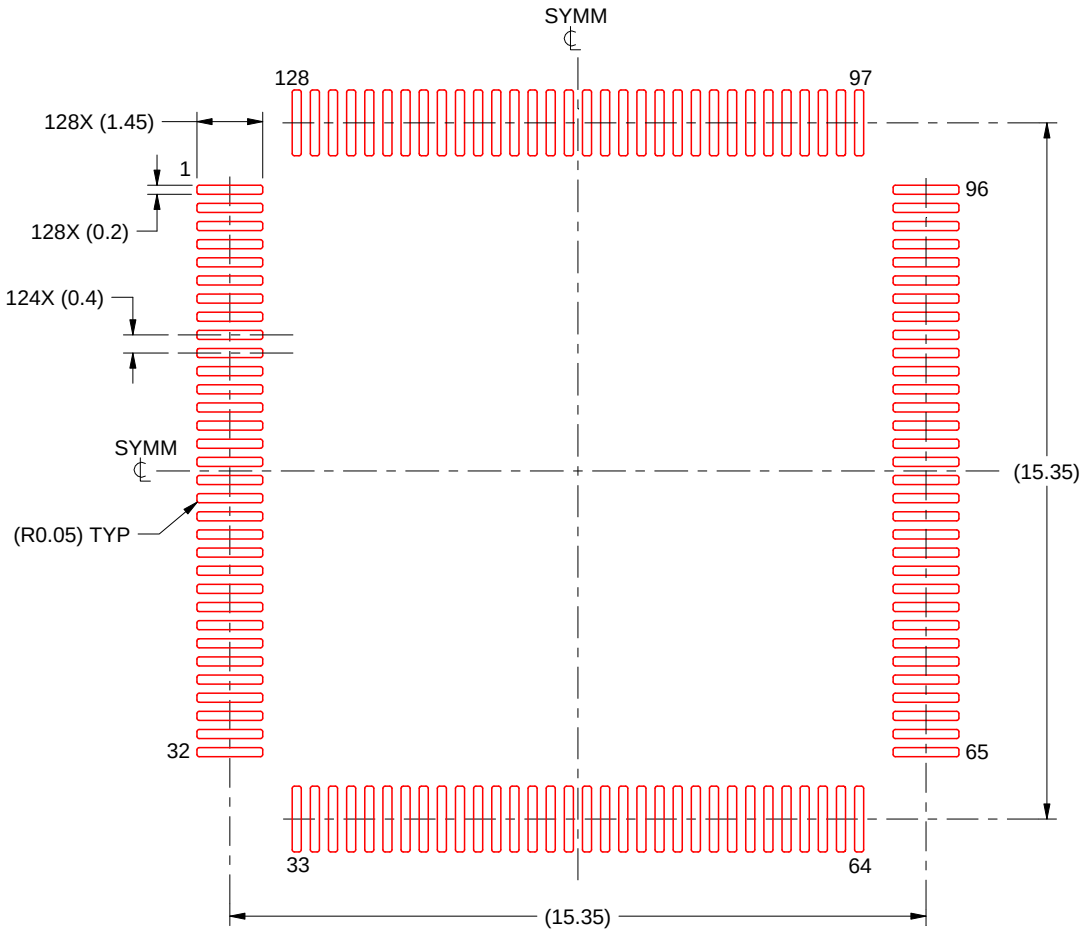


SOLDER MASK DETAILS

4215171/A 10/2023

NOTES: (continued)

3. Publication IPC-7351 may have alternate designs.
4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
5. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:6X

4215171/A 10/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

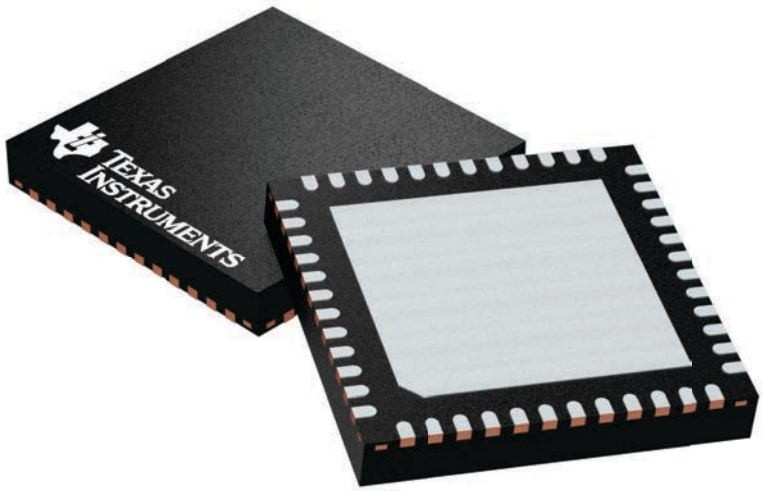
GENERIC PACKAGE VIEW

RGZ 48

VQFN - 1 mm max height

7 x 7, 0.5 mm pitch

PLASTIC QUADFLAT PACK- NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

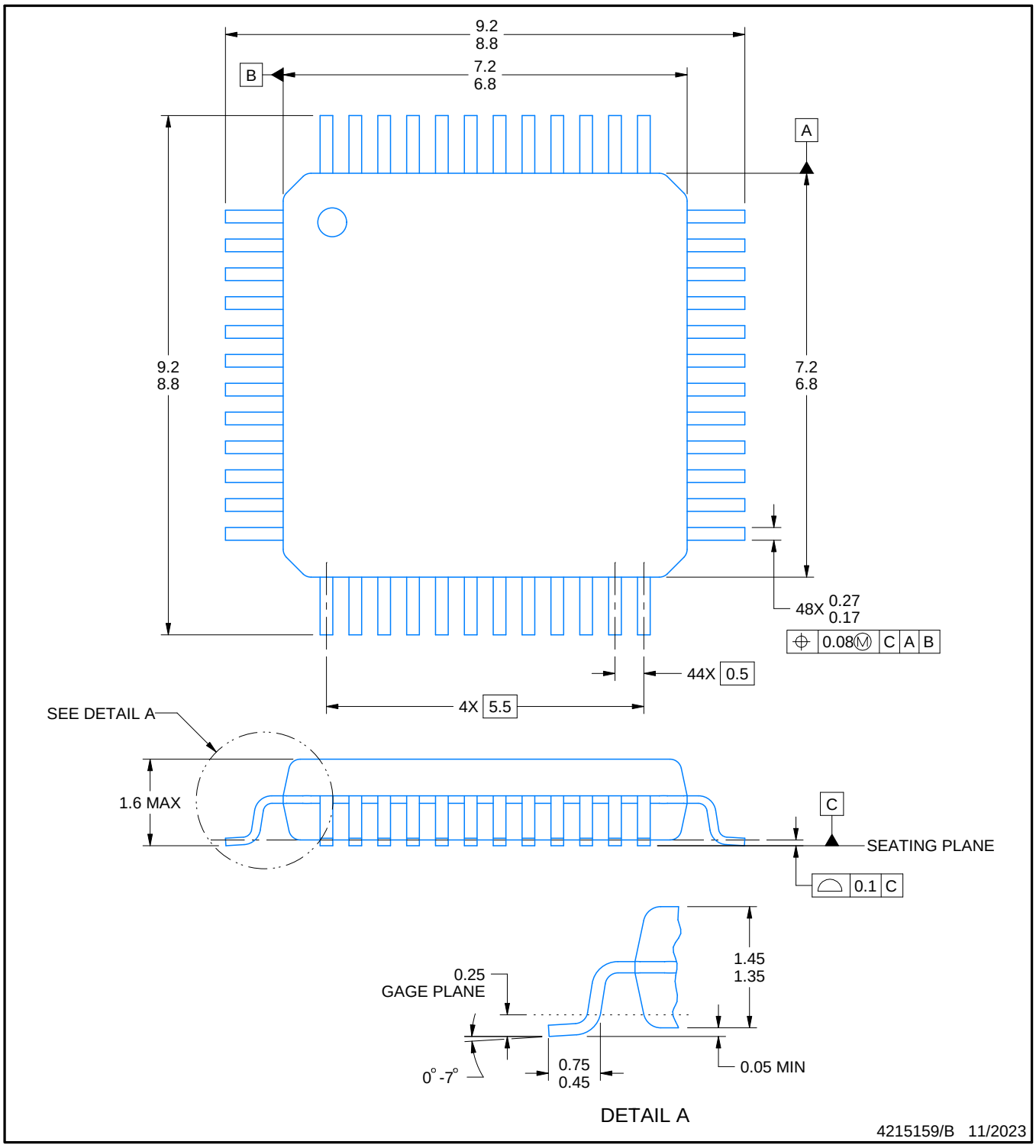
4224671/A

PACKAGE OUTLINE

PT0048A

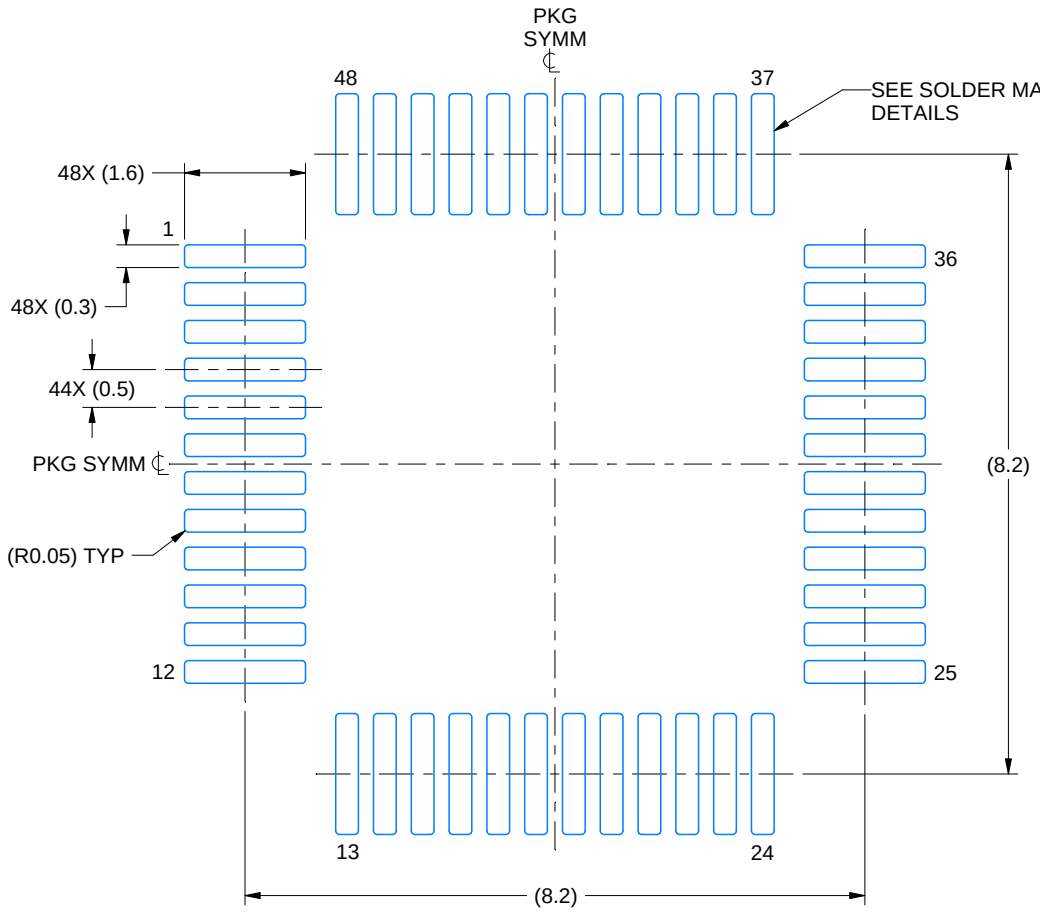
LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK

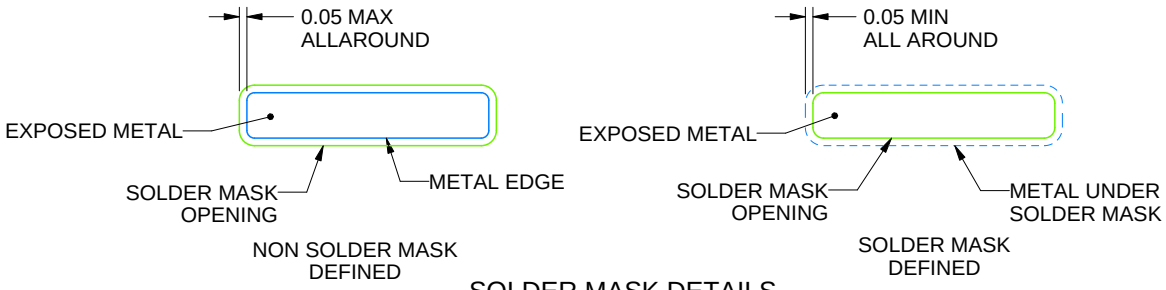


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.
4. This may also be a thermally enhanced plastic package with leads conected to the die pads.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE 10.000

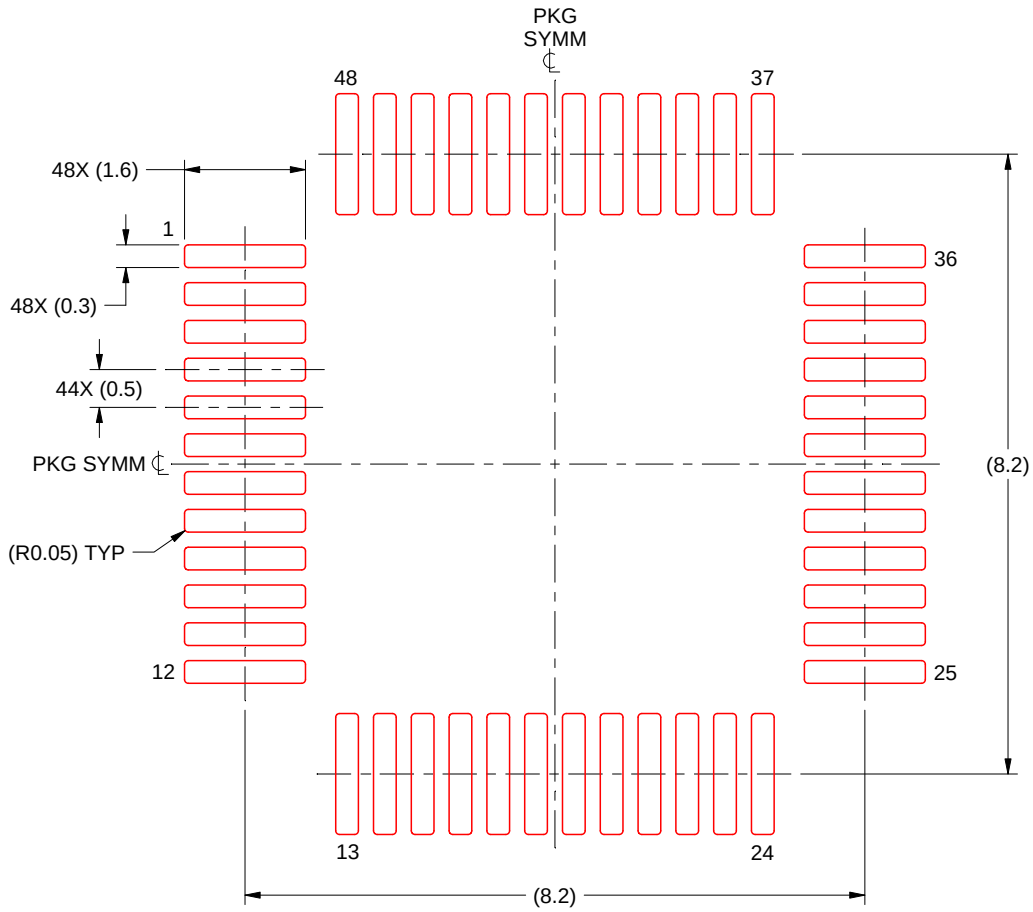


SOLDER MASK DETAILS

4215159/B 11/2023

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 10X

4215159/B 11/2023

NOTES: (continued)

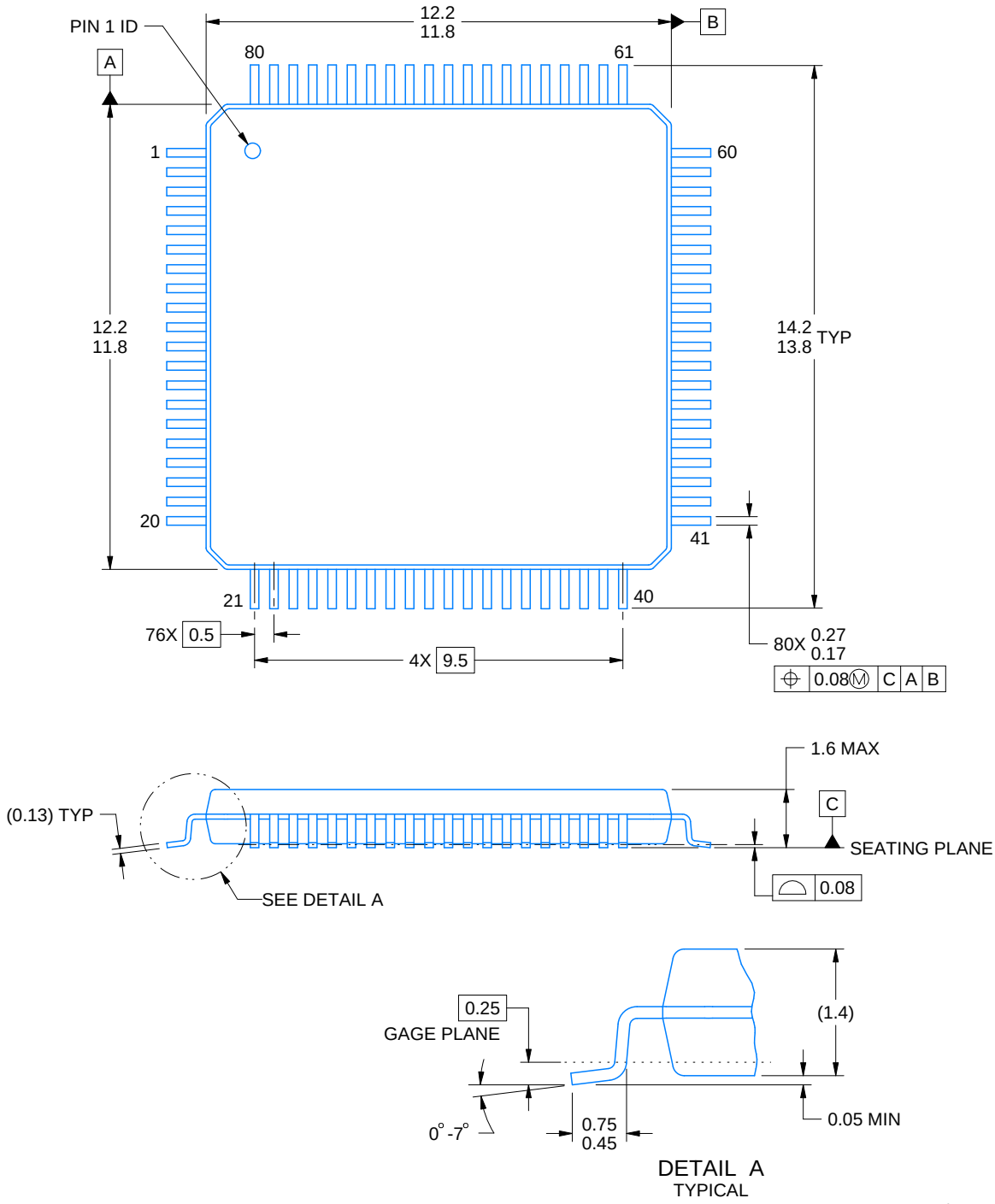
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PN0080A

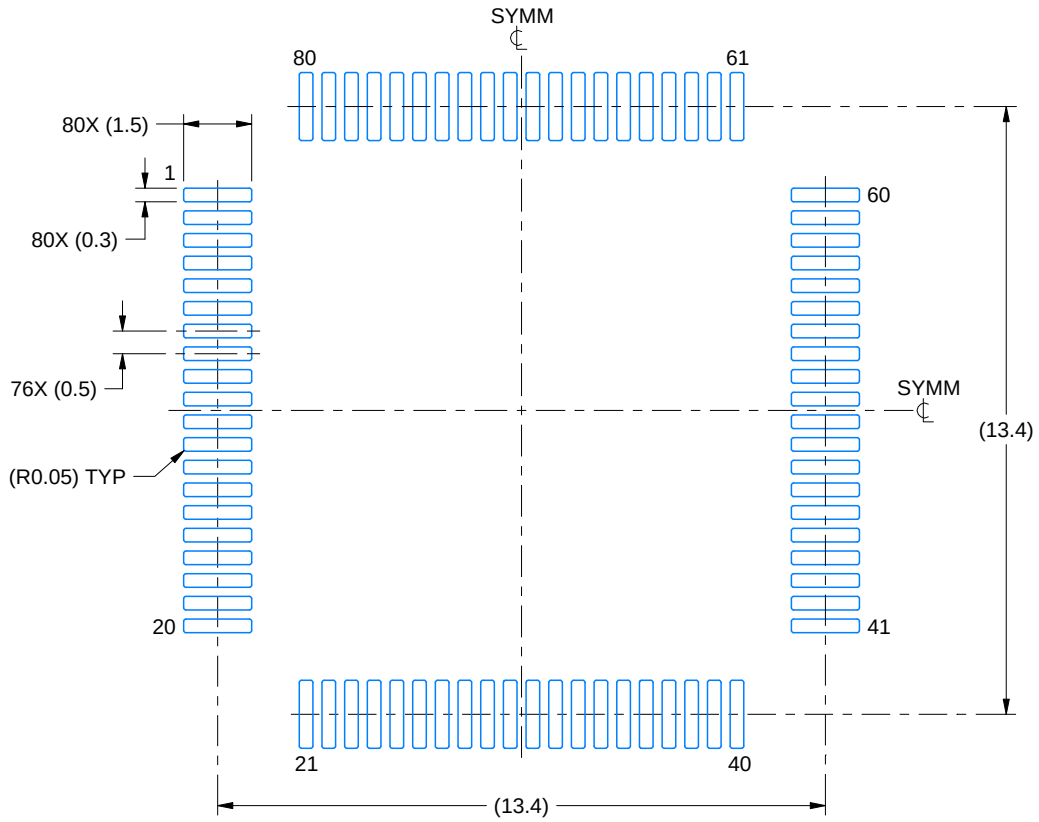
LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK

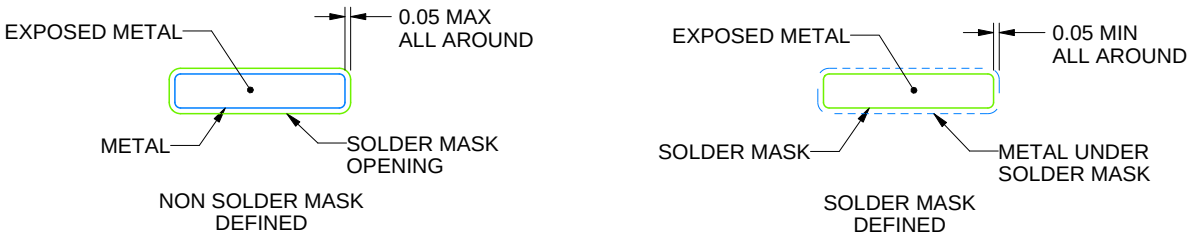


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

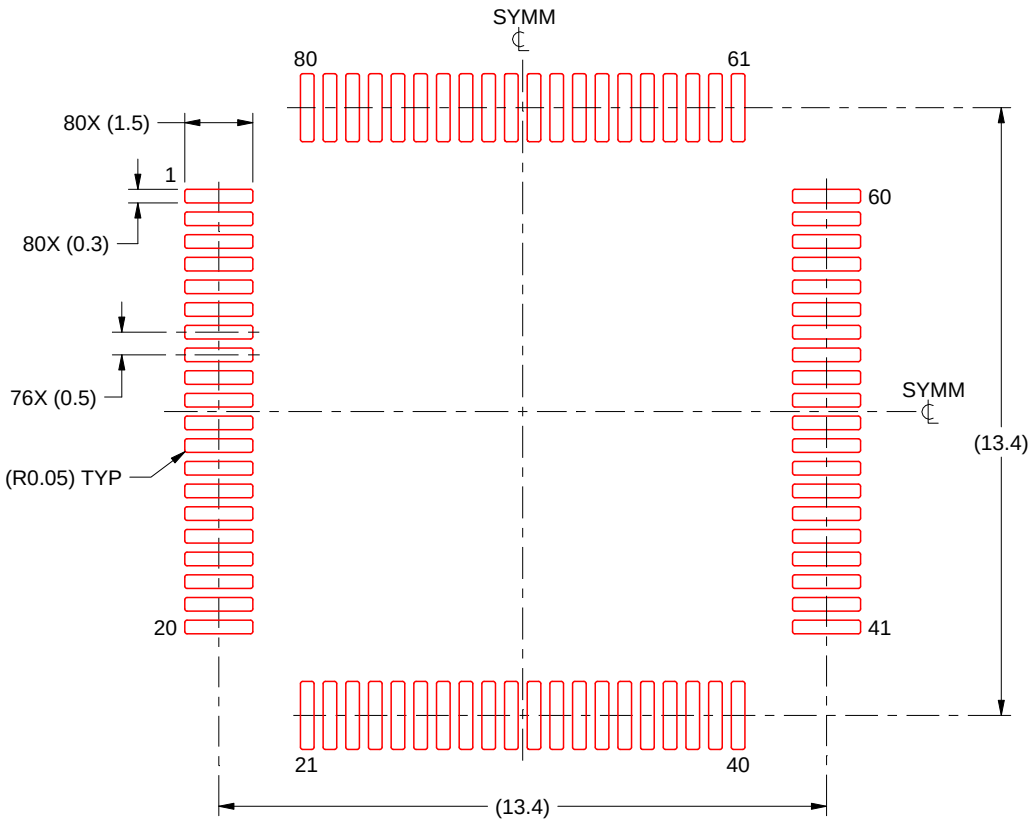


SOLDER MASK DETAILS

4215166/A 08/2022

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:6X

4215166/A 08/2022

NOTES: (continued)

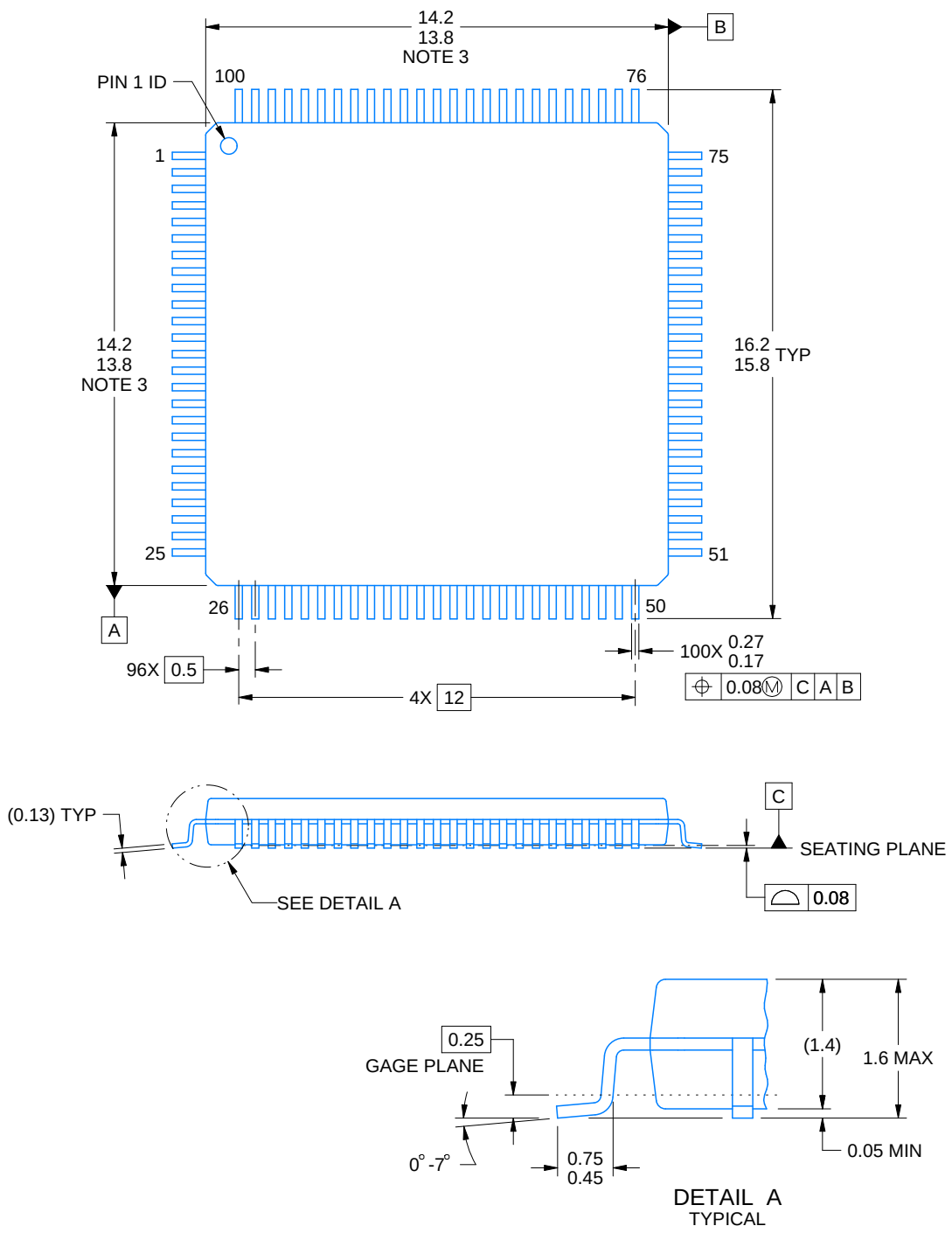
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PZ0100A

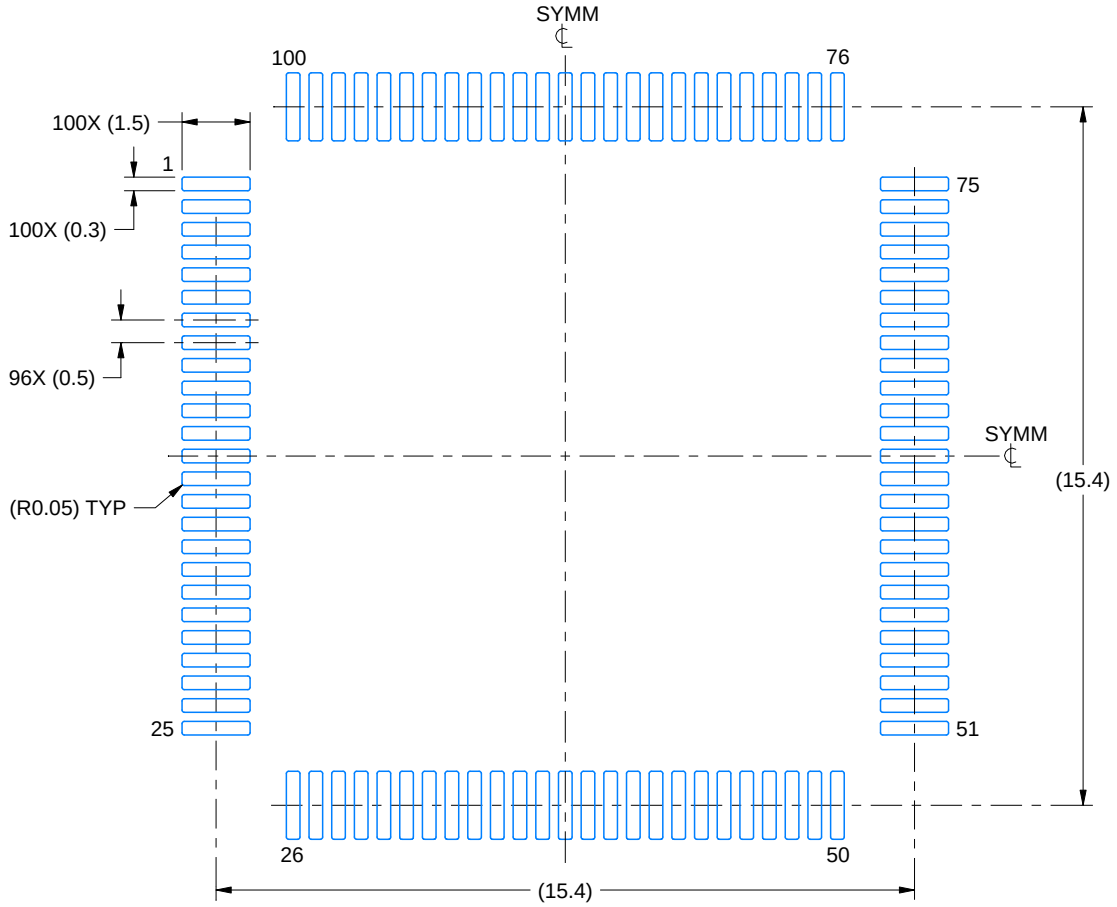
LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK

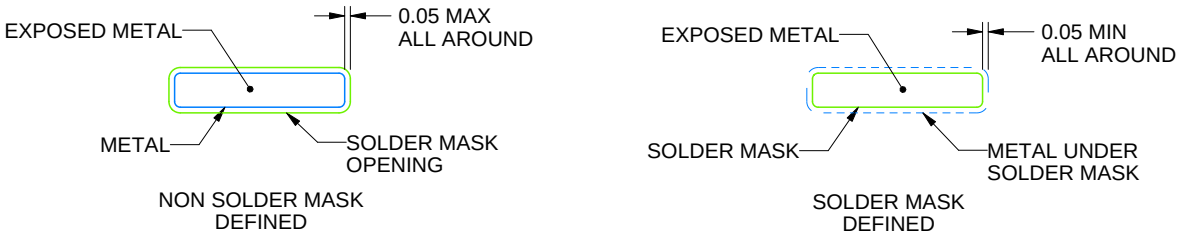


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

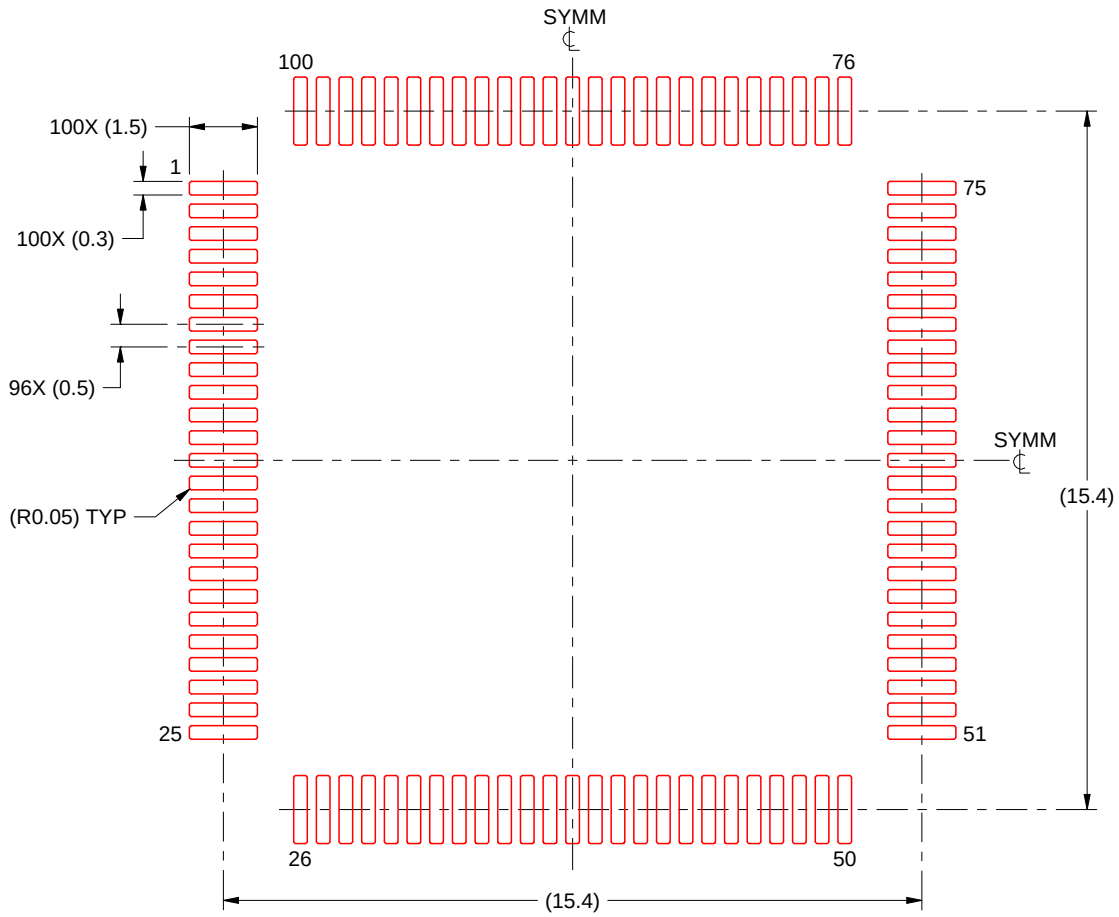


SOLDER MASK DETAILS

4215169/A 03/2017

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4215169/A 03/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月