

AM273x Sitara™ マイクロコントローラ

1 特長

プロセッサ コア:

- リアルタイム処理向けに高度に統合され、最大 400MHz で動作するデュアルコア Arm® Cortex®-R5F MCU サブシステム
 - デュアルコア Arm® Cortex®-R5F クラスは、デュアルコアおよびシングルコア動作をサポート
 - R5F コアごとに 32KB の I キャッシュと 32KB の D キャッシュ (全メモリに SECDED ECC 付き)
 - シングルコア: クラスごとに 128KB の TCM (R5F コアごとに 128KB の TCM)
 - デュアルコア: クラスごとに 128KB の TCM (R5F コアごとに 64KB の TCM)
- C66x DSP コア
 - シングルコア、32 ビット浮動小数点 DSP
 - 550MHz で動作 (17.6GMAC)

メモリ サブシステム:

- 最大 5.0MB のオンチップ RAM (OCSRAM)
 - DSP、MCU、共有 L3 でメモリ空間を共有可能
 - 3.5625MB 共有 L3 メモリ
 - 960KB はメイン サブシステム専用
 - 384KB は DSP サブシステム専用
- 外部メモリ インターフェイス (EMIF)
 - QSPI インターフェイスは最大 67MHz で動作

システム オン チップ (SoC) サービスおよびアーキテクチャ:

- 各種サブシステム、マイコン、DSP、アクセラレータコア用に 12 個の EDMA を搭載
- 5 個のリアルタイム割り込み (RTI) モジュール
- プロセッサ間通信 (IPC) 用のメールボックス システム
- デバイス デバッグ用 JTAG/Trace インターフェイス
- クロック ソース
 - 40.0MHz の水晶振動子と内部発振器
 - 40 / 50MHz の外部発振器をサポート
 - 40 / 50MHz の外部駆動クロック (方形波 / 正弦波) をサポート

高速シリアル インターフェイス:

- 10/100Mbps イーサネット (RGMII/RMII/MII)
- 入力: 2 個の 4 レーン MIPI D-PHY CSI 2.0 データ
- 出力: 4 レーン Aurora/LVDS

汎用接続ペリフェラル:

- 汎用アナログ / デジタル コンバータ (GPADC)

- 1 個の 9 チャンネル ADC、最大 625Ksps
- デジタル接続
 - 4 個のシリアル ペリフェラル インターフェイス (SPI) コントローラ、最高 25MHz
 - 3 個の I2C (Inter-Integrated Circuit) ポート
 - 4 個のユニバーサル非同期レシーバトランスミッタ (UART)
 - 3 個のマルチチャンネル オーディオ シリアル ポート (McASP)
 - オーディオ トラッキング ロジック (ATL)

産業および制御用インターフェイス:

- 3 個の拡張パルス幅変調器 (ePWM)
- 1 個の拡張キャプチャ モジュール (eCAP)
- 2 個のモジュラー コントローラ エリア ネットワーク (MCAN) モジュール、CAN-FD をサポート

パワー マネージメント:

- 推奨される LP87745-Q1 パワー マネージメント IC (PMIC)
- 簡素化された電源シーケンスと、電源レール数の削減
- デュアル電圧デジタル I/O により 3.3V と 1.8V の動作をサポート

セキュリティ:

- デバイスのセキュリティ
 - プログラム可能な組み込みハードウェア セキュリティ モジュール (HSM)
 - セキュア認証および暗号化ブートのサポート
 - 顧客がプログラム可能なルート キー、対称キー (256 ビット)、非対称キー (RSA-4K または ECC-512 まで)、キー失効機能付き
 - 暗号化ハードウェア アクセラレータ - ECC を用いた PKA、AES (最大 256 ビット)、TRNG / DRBG

機能安全:

- 機能安全品質管理
 - ISO 26262 機能安全システム設計を支援するドキュメントを準備中
- AEC-Q100 認定済み
- 動作条件
 - 車載グレードの温度範囲を拡張サポート
 - 産業グレードの温度範囲を拡張サポート

パッケージ オプション:

- ZCE (285 ピン) nFBGA パッケージ (13mm x 13mm、0.65mm ピッチ)
- NZN (225 ピン) nFBGA パッケージ (13mm x 13mm、0.80mm ピッチ)



2 アプリケーション

- ロボット
- 物体検出
- 車載オーディオ
- マシンビジョン
- 航空
- 産業用輸送

3 説明

AM273x ファミリのマイクロコントローラは、Arm Cortex-R5F および C66x 浮動小数点 DSP コアをベースとする高度に統合された高性能マイクロコントローラです。このデバイスにより、OEM (Original Equipment Manufacturers) と ODM (Original Design Manufacturers) は、堅牢なソフトウェア サポート、豊富なユーザー インターフェイス、高性能のデバイスを迅速に市場に投入できます。このデバイスは、最大の柔軟性を備えた完全に統合された混在プロセッサ設計を実現します。

内蔵 HSM (ハードウェア セキュリティ モジュール)、機能安全サポートの内蔵、ダイ上の大容量 RAM の内蔵、広い温度範囲により AM273x は、多くの産業用および車載用アプリケーション向けに、安全、確実、コスト効率に優れた設計を実現します。

AM273x デバイスは、ハードウェア リファレンス デザイン、ソフトウェア ドライバ、DSP ライブラリ、サンプル ソフトウェア構成 / アプリケーション、API ガイド、ユーザー ドキュメントなどを含む総合的なプラットフォームの一部として提供されます。

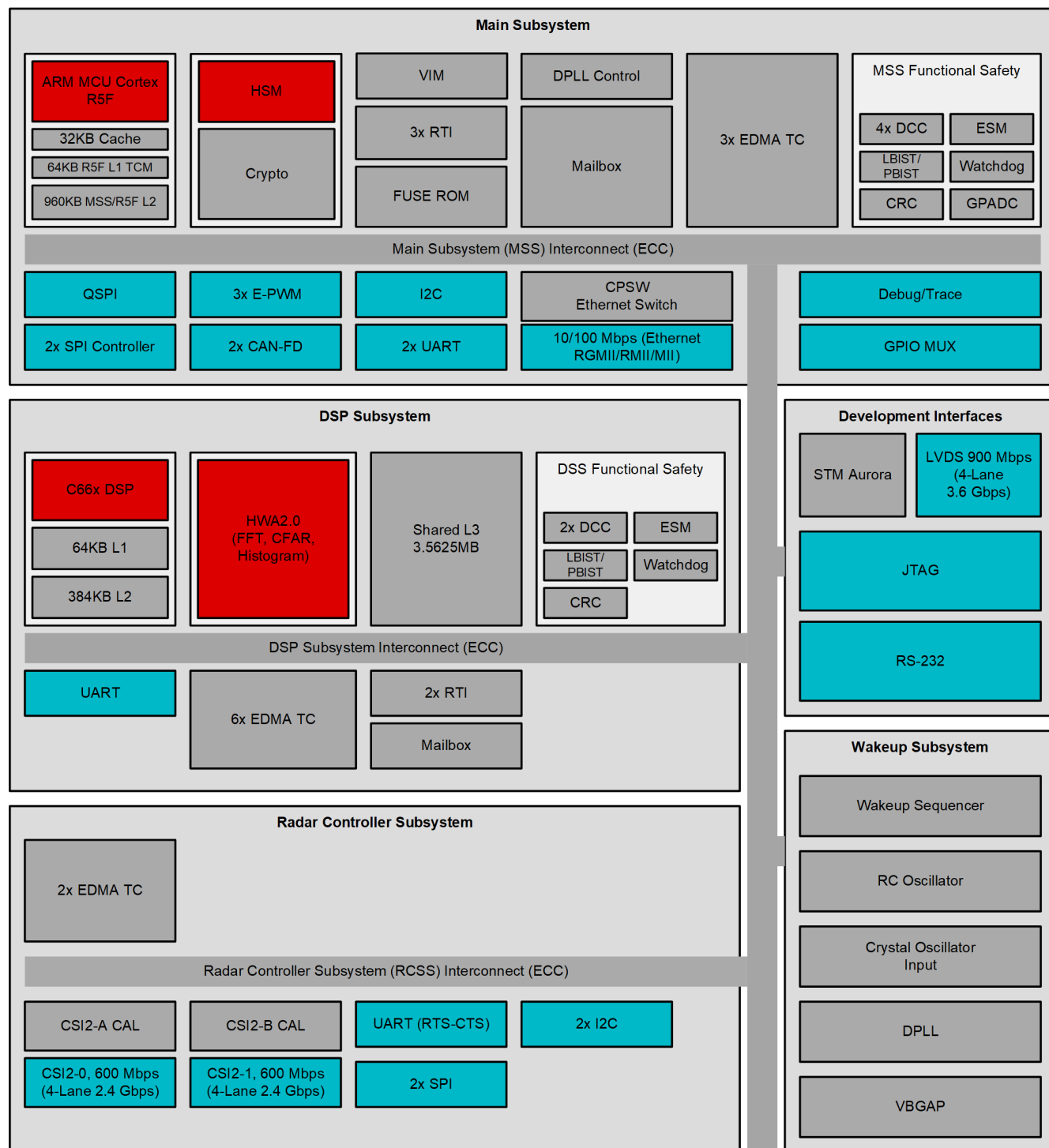
製品情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
AM2732ADRFGAZCER	285 ピン NFBGA	13.0mm × 13.0 mm
AM2732CDRFHAZCER		
AM2732ADRFQZCERQ1		
AM2732CDRFHQZCERQ1		
AM2732CMRFHQZCERQ1		
AM2732CMSFHQNZNRQ1	225 ピン NFBGA	13.0mm × 13.0 mm
AM2731CLSFHQNZNRQ1		
AM2731CASFHQNZNRQ1		
AM2731CNSFHQNZNRQ1		
AM2732CLSFHQNZNRQ1		

(1) 詳細については、[セクション 11](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。

3.1 機能ブロック図



 Denotes associated peripheral interface

Note: For additional information on supported subsystems and peripherals please see the device comparison table in the datasheet.

図 3-1. AM273x 機能ブロック図

目次

1 特長	1	6.11 消費電力の概略.....	59
2 アプリケーション	2	6.12 電気的特性.....	59
3 説明	2	6.13 タイミングおよびスイッチング特性.....	60
3.1 機能ブロック図.....	3	7 詳細説明	92
4 デバイスの比較	5	7.1 概要.....	92
4.1 関連製品.....	6	7.2 メイン サブシステム.....	92
5 端子構成および機能	7	7.3 DSP サブシステム.....	92
5.1 ピン配置図.....	7	7.4 レーダー制御サブシステム.....	92
5.2 ピン属性 (AM273x ZCE、NZN パッケージ).....	10	7.5 その他のサブシステム.....	93
5.3 信号の説明.....	34	7.6 ブート モード.....	95
5.4 ピン接続要件.....	52	8 アプリケーション、実装、およびレイアウト	97
6 仕様	54	8.1 代表的なアプリケーション.....	97
6.1 絶対最大定格.....	54	9 デバイスおよびドキュメントのサポート	103
6.2 ESD 定格 - 車載用.....	54	9.1 デバイスの命名規則.....	103
6.3 電源投入時間 (POH).....	54	9.2 ツールとソフトウェア.....	107
6.4 推奨動作条件.....	55	9.3 ドキュメントのサポート.....	108
6.5 動作性能ポイント.....	57	9.4 サポート・リソース.....	108
6.6 電源仕様.....	57	9.5 商標.....	108
6.7 I/O バッファのタイプと電圧レールの依存関係.....	57	9.6 静電気放電に関する注意事項.....	108
6.8 CPU の仕様.....	58	9.7 用語集.....	108
6.9 nFBGA パッケージの熱抵抗特性 [ZCE285A].....	58	10 改訂履歴	109
6.10 nFBGA パッケージの熱抵抗特性 [NZN225A].....	58	11 メカニカル、パッケージ、および注文情報	110

4 デバイスの比較

表 4-1. デバイスの比較

FUNCTION	AM2732	AM2732-Q1	AM2731	AM2731-Q1
オンチップ メモリ	最大 3.5625 MB		最大 2MB	
プロセッサ				
MCU Arm Cortex (R5F)	2x		1x	
DSP (C66x)	1x			
レーダーの特長				
ハードウェア アクセラレータ 2.0	有			
ペリフェラル				
イーサネット インターフェイス RGMII、RMII、MII (10/100 のみ)	有			
シリアル ペリフェラル インターフェイス (SPI) ポート	4			
クワッド シリアル ペリフェラル インターフェイス (QSPI)	1			
I ² C (Inter-Integrated Circuit) インターフェイス	3			
MCAN (モジュラー コントローラ エリア ネットワーク) モジュール、CAN-FD 対応	2			
UART (ユニバーサル非同期レシーバ/トランスミッタ)	4			
拡張パルス幅変調器 (ePWM)	3			
拡張キャプチャ モジュール (eCAP)	有			
MCASP	3x			
ハードウェア イン ループ (HIL/DMM)	有			
汎用 ADC (9 チャネル)	有			
4 レーン Aurora/LVDS デバッグ ⁽¹⁾	有		無	
4 レーン MIPI D-PHY CSI2.0 レシーバ (CSI2_RX0 および CSI2_RX1) ⁽¹⁾	2x		無	
JTAG/Trace	有			
パッケージ ⁽²⁾	ZCE、NZN		NZN	
接合部温度 ⁽³⁾	拡張産業用温度範囲 -40°C ~ 105°C			
	拡張産業用温度範囲 -40°C ~ 140°C			

(1) ZCE パッケージのバリエーションでのみ利用可能

(2) 表 9-1 の機能 R をサポート

(3) セクション 6.1 を参照

4.1 関連製品

Sitara™ プロセッサ Arm® Cortex® コアをベースとするスケーラブルなプロセッサで構成された幅広いファミリは、柔軟なアクセラレータやペリフェラル、接続性にくわえ、統合ソフトウェアのサポートにより、センサからサーバーまでさまざまな用途に最適です。Sitara™ プロセッサは、産業用アプリケーションで必要とされる信頼性を実現します。

AM273x Sitara™ マイコン AM273x マイコンは、産業用イーサネット ネットワーク、拡張 ECC 対応メモリによる堅牢な動作、セキュリティ強化機能を実現します。

Sitara™ マイコン - 評価基板 TI は、製品開発をすぐ始められるように、評価基板 (EVM) を提供しています。詳細については、『[AM273x GP 評価基板](#)』を参照してください。

設計を完成させるための製品 設計を完成させるために、この製品と併せてよく購入または使用される製品をご確認ください。次の表を参照してください:

- 車載 SoC 向け、機能安全の各種機能搭載、4 x 5A (20A) 多相降圧コンバータ PMIC [LP87745-Q1](#)
- 拡張温度範囲、堅牢性、低レイテンシ、ギガビット イーサネット PHY トランシーバ [DP83867E](#)
- 車載用高速 CAN トランシーバ [TCAN1044-Q1](#)

5 端子構成および機能

5.1 ピン配置図

注

「ボール」、「ピン」、「端子」という用語は、ドキュメント全体で同じ意味で使用されています。物理的なパッケージに言及する場合にのみ「ボール」が使用されています。

このセクションの図を、その他の「端子構成および機能」表と組み合わせて使用することで、信号名とボール グリッド番号を特定できます。

5.1.1 AM273x ZCE のピン配置図

図 5-1 に、285 ボール NanoFree™ ボール グリッド アレイ (NFBGA) パッケージのボール位置を示します。

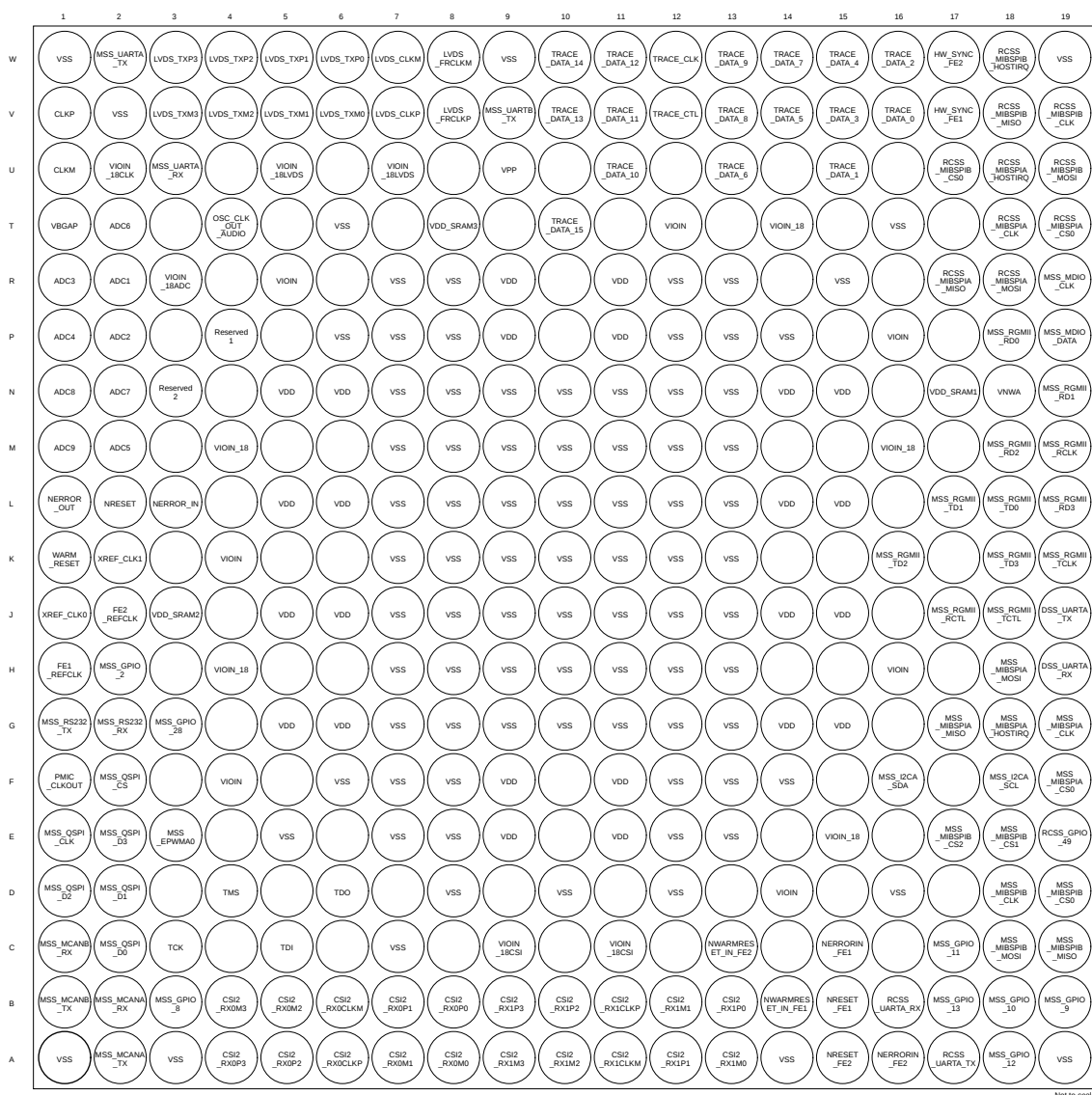
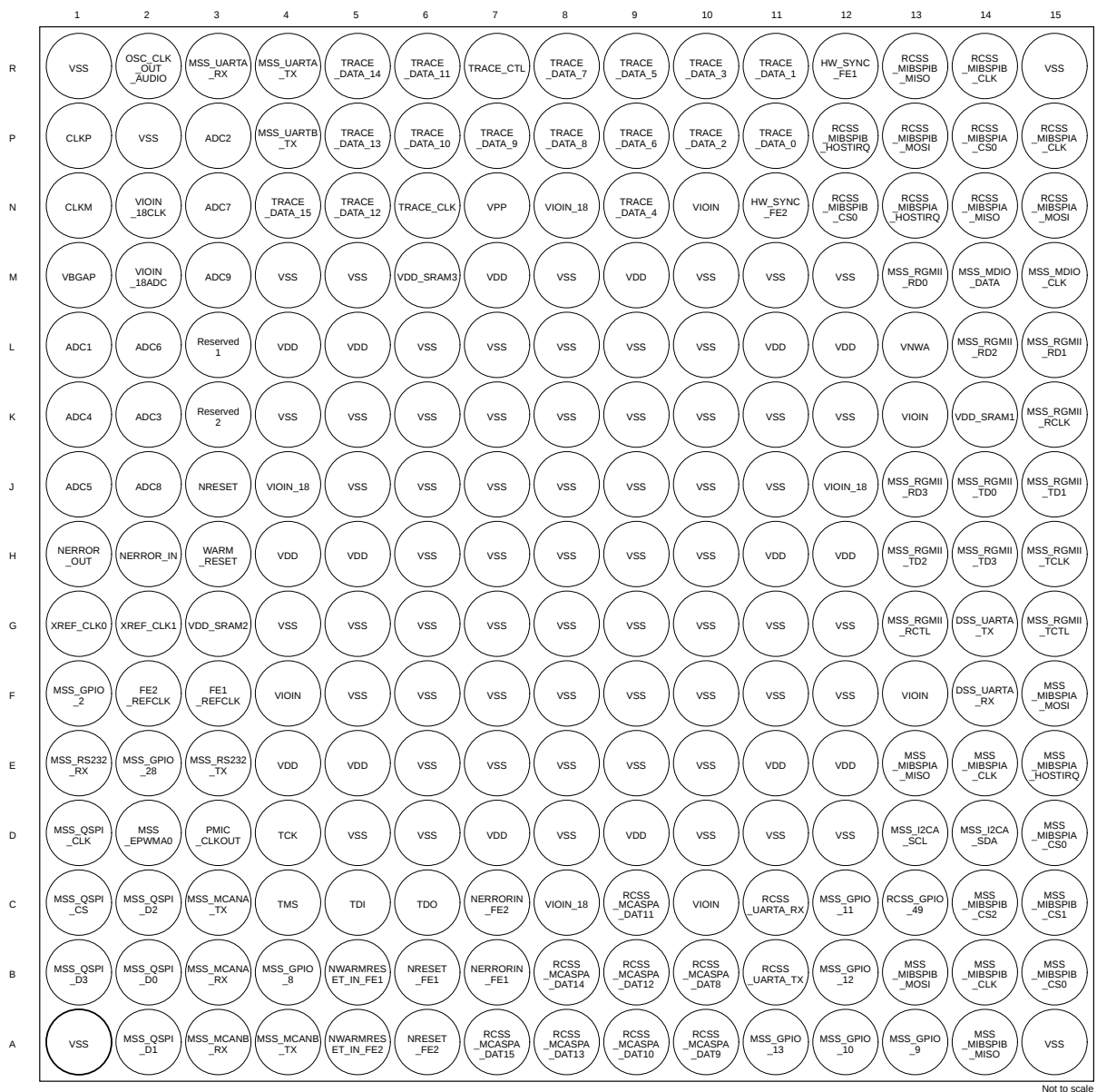


図 5-1. ZCE ZCE0285A のピン配置図 (底面図)

5.1.2 AM273x NZN のピン配置図

図 5-2 に、225 ボール NanoFree™ ボール グリッド アレイ (NFBGA) パッケージのボール位置を示します。



Not to scale

図 5-2. NZN NZN0225A のピン配置図 (底面図)

5.2 ピン属性 (AM273x ZCE、NZN パッケージ)

次のリストは、「ピン属性」表の各列の内容についての説明です。

1. **ボール番号:**ボール グリッド アレイ パッケージの各端子に割り当てられたボール番号。
2. **ボール名:**ボール グリッド アレイ パッケージの各端子に割り当てられたボール名 (この名前は通常、プライマリ MUXMODE 0 信号機能から取られます)。
3. **信号名:**ボールに関連付けられているすべての専用およびピン多重化信号機能の信号名。

注

「ピン属性」表は、ピンに実装されるピン多重化信号機能を定義しており、デバイス サブシステムに実装される信号機能の 2 次多重化は定義していません。信号機能の 2 次多重化については、この表では説明しません。2 次多重化信号機能の詳細については、デバイスのテクニカル リファレンス マニュアルで該当するペリフェラルの章を参照してください。

4. **ピン制御レジスタ:**ピン制御レジスタの名前。デバイスのテクニカル リファレンス マニュアルを参照してください。
5. **ピン制御アドレス:**ピン制御レジスタのアドレス。デバイスのテクニカル リファレンス マニュアルを参照してください。
6. **多重化モード:**各ピンの多重化信号機能に関連付けられた MUXMODE 値:
 - a. MUXMODE 0 は、プライマリ ピンの多重化信号機能です。ただし、プライマリ ピンの多重化信号機能は、必ずしもデフォルトのピン多重化信号機能とは限りません。

注

「リセット後の MUX モード」列の値は、MCU_PORz がアサート解除されたときに選択されるデフォルトのピン多重化信号機能を定義します。

- b. ピン多重化信号機能には、MUXMODE の値 1~15 を使用できます。ただし、すべての MUXMODE 値が実装されているわけではありません。有効な MUXMODE 値は、「ピン属性」表でピン多重化された信号機能として定義された値のみです。MUXMODE の有効な値のみを使用する必要があります。
 - c. ブートストラップは SOC 構成ピンを定義します。各ピンに適用されるロジック状態は、PORz_OUT の立ち上がりエッジでラッチされます。これらの入力信号機能はそれぞれのピンに固定で、MUXMODE を使用してプログラムすることはできません。
 - d. 空欄または「-」は、該当しないことを意味します。
7. **タイプ:**信号の種類と方向:
 - I = 入力
 - O = 出力
 - IO = 入力、出力、または同時に入力と出力
 - IOD = 入力、出力、または同時に入力と出力、オープンドレイン出力機能付き
 - IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
 - OZ = 出力、3 ステート出力機能付き
 - A = アナログ
 - PWR = 電源
 - GND = グランド
 - CAP = LDO コンデンサ。

8. **DSIS:** 選択解除入力状態 (DSIS) は、MUXMODE によってピン多重化信号機能が選択されていないとき、サブシステム入力 (ロジック「0」、ロジック「1」、または「パッド」レベル) に駆動される状態を示します。
- 0: ロジック 0 がサブシステム入力に駆動されます。
 - 1: ロジック 1 がサブシステム入力に駆動されます。
 - パッド: パッドのロジック状態がサブシステム入力に駆動されます。
 - 空欄または「-」は、該当しないことを意味します。
9. **リセット時のボールの状態 (RX/TX/PULL):** MCU_PORz がアサートされているときの端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
- RX (入力バッファ)
 - オフ: 入力バッファは無効です。
 - オン: 入力バッファは有効です。
 - TX (出力バッファ)
 - オフ: 出力バッファは無効です。
 - Low: 出力バッファは有効であり、V_{OL} を駆動します。
 - PULL (内部プル抵抗)
 - オフ: 内部プル抵抗はターンオフされています。
 - アップ: 内部プルアップ抵抗はターンオンされています。
 - ダウン: 内部プルダウン抵抗はターンオンされています。
 - 空欄または「-」は、該当しないことを意味します。
10. **リセット後のボールの状態 (RX/TX/PULL):** MCU_PORz がアサート解除された後の端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
- RX (入力バッファ)
 - オフ: 入力バッファは無効です。
 - オン: 入力バッファは有効です。
 - TX (出力バッファ)
 - オフ: 出力バッファは無効です。
 - SS: MUXMODE で選択されたサブシステムによって、出力バッファの状態が決まります。
 - PULL (内部プル抵抗)
 - オフ: 内部プル抵抗はターンオフされています。
 - アップ: 内部プルアップ抵抗はターンオンされています。
 - ダウン: 内部プルダウン抵抗はターンオンされています。
 - 空欄または「-」は、該当しないことを意味します。
11. **リセット後の多重化モード:** この列の値は、MCU_PORz がデアサートされた後のデフォルトのピン多重化信号機能を定義します。
空欄は該当しないことを意味します。
12. **I/O 電圧値:** この列は、それぞれの電源の I/O 動作電圧オプションについて説明します (該当する場合)。

空欄または「-」は、該当しないことを意味します。

詳細については、「推奨動作条件」で、各電源に定義されている有効な動作電圧範囲を参照してください。

13. **電源ドメイン**: 関連付けられている I/O の電源 (該当する場合)。空欄または「-」は、この説明が該当しないことを意味します。

14. **HYS**: この I/O に関連付けられている入力バッファにヒステリシスがあるかどうかを示します。

- はい: ヒステリシス付き
- いいえ: ヒステリシスなし
- 空欄または「-」は、該当しないことを意味します。

詳細については、「電気的特性」のヒステリシスの値を参照してください。

15. **バッファのタイプ**: この列は、端末に関連付けられたバッファのタイプを定義します。この情報を使用して、適用可能な電気的特性の表を決定できます。

空欄または「-」は、該当しないことを意味します。

電気的特性については、「電気的特性」の適切なバッファ タイプの表を参照してください。

16. **プルアップ / ダウン タイプ**: 内部プルアップまたはプルダウン抵抗が存在することを示します。プルアップおよびプルダウン抵抗は、ソフトウェアによって有効化または無効化できます。

- PU: 内部プルアップ
- PD: 内部プルダウン
- PU/PD: 内部プルアップおよびプルダウン
- 空欄、または「-」は、内部プルが存在しないことを意味します。

注

同じピン多重化信号機能に 2 つのピンを構成すると、予期しない結果が生じる可能性があるため、この構成はサポートされていません。これは、正しいソフトウェア構成を使用すると簡単に防止できます。

注

ピン多重化で定義されない多重化モードにパッドが設定されたとき、そのパッドの挙動は未定義になります。これは避けるべきです。

表 5-1. ピン属性 (ZCE、NZN パッケージ)

ZCE ボール番号	NZN ボール番号	ボール名	信号名	ピン制御レジスタ	ピン制御アドレス	MUX モード	信号のタイプ	DSIS	リセット時のボールの状態	リセット後のボールの状態	リセット後の MUX モード	I/O 電圧	パワードメイン	ヒステリシス	プルタイプ	バッファのタイプ
R2	L1	ADC1	ADC1			0	I					1.8V	VIOIN_18 ADC			ADC
P2	P3	ADC2	ADC2			0	I					1.8V	VIOIN_18 ADC			ADC
R1	K2	ADC3	ADC3			0	I					1.8V	VIOIN_18 ADC			ADC

表 5-1. ピン属性 (ZCE、NZN パッケージ) (続き)

ZCE ボール番号	NZN ボール番号	ボール名	信号名	ピン制御レジスタ	ピン制御アドレス	MUX モード	信号のタイプ	DSIS	リセット時のボールの状態	リセット後のボールの状態	リセット後の MUX モード	I/O 電圧	パワー ドメイン	ヒステリシス	プル タイプ	バッファのタイプ
P1	K1	ADC4	ADC4			0	I					1.8V	VIOIN_18 ADC			ADC
M2	J1	ADC5	ADC5			0	I					1.8V	VIOIN_18 ADC			ADC
T2	L2	ADC6	ADC6			0	I					1.8V	VIOIN_18 ADC			ADC
N2	N3	ADC7	ADC7			0	I					1.8V	VIOIN_18 ADC			ADC
N1	J2	ADC8	ADC8			0	I					1.8V	VIOIN_18 ADC			ADC
M1	M3	ADC9	ADC9			0	I					1.8V	VIOIN_18 ADC			ADC
U1	N1	CLKM	CLKM			0	I					1.8V	VIOIN_18 CLK			クロック サブシステム
V1	P1	CLKP	CLKP			0	I					1.8V	VIOIN_18 CLK			クロック サブシステム
B6		CSI2_RX0CLKM	CSI2_RX0CLKM				I						VIOIN_18 CSI			MIPI D-PHY
A6		CSI2_RX0CLKP	CSI2_RX0CLKP				I						VIOIN_18 CSI			MIPI D-PHY
A8		CSI2_RX0M0	CSI2_RX0M0				I						VIOIN_18 CSI			MIPI D-PHY
A7		CSI2_RX0M1	CSI2_RX0M1				I						VIOIN_18 CSI			MIPI D-PHY
B5		CSI2_RX0M2	CSI2_RX0M2				I						VIOIN_18 CSI			MIPI D-PHY
B4		CSI2_RX0M3	CSI2_RX0M3				I						VIOIN_18 CSI			MIPI D-PHY
B8		CSI2_RX0P0	CSI2_RX0P0				I						VIOIN_18 CSI			MIPI D-PHY
B7		CSI2_RX0P1	CSI2_RX0P1				I						VIOIN_18 CSI			MIPI D-PHY
A5		CSI2_RX0P2	CSI2_RX0P2				I						VIOIN_18 CSI			MIPI D-PHY
A4		CSI2_RX0P3	CSI2_RX0P3				I						VIOIN_18 CSI			MIPI D-PHY
A11		CSI2_RX1CLKM	CSI2_RX1CLKM				I						VIOIN_18 CSI			MIPI D-PHY
B11		CSI2_RX1CLKP	CSI2_RX1CLKP				I						VIOIN_18 CSI			MIPI D-PHY
A13		CSI2_RX1M0	CSI2_RX1M0				I						VIOIN_18 CSI			MIPI D-PHY
B12		CSI2_RX1M1	CSI2_RX1M1				I						VIOIN_18 CSI			MIPI D-PHY
A10		CSI2_RX1M2	CSI2_RX1M2				I						VIOIN_18 CSI			MIPI D-PHY

表 5-1. ピン属性 (ZCE、NZN パッケージ) (続き)

ZCE ボール番号	NZN ボール番号	ボール名	信号名	ピン制御レジスタ	ピン制御アドレス	MUX モード	信号のタイプ	DSIS	リセット時のボールの状態	リセット後のボールの状態	リセット後の MUX モード	I/O 電圧	パワー ドメイン	ヒステリシス	プル タイプ	バッファのタイプ
A9		CSI2_RX1M3	CSI2_RX1M3				I						VIOIN_18 CSI			MIPI D-PHY
B13		CSI2_RX1P0	CSI2_RX1P0				I						VIOIN_18 CSI			MIPI D-PHY
A12		CSI2_RX1P1	CSI2_RX1P1				I						VIOIN_18 CSI			MIPI D-PHY
B10		CSI2_RX1P2	CSI2_RX1P2				I						VIOIN_18 CSI			MIPI D-PHY
B9		CSI2_RX1P3	CSI2_RX1P3				I						VIOIN_18 CSI			MIPI D-PHY
H19	F14	DSS_UARTA_RX	RCSS_GPIO_47	PADDD_CFG_REG	0x020C 0144	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / アップ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			DSS_UARTA_RX			1	IO	バッド								
			RCSS_UARTA_TX			5	O	バッド								
			MSS_UARTA_TX			6	IO	バッド								
J19	G14	DSS_UARTA_TX	RCSS_GPIO_46	PADDC_CFG_REG	0x020C 0140	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / アップ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_CPTS0_HW1TSPUSH			1	I	バッド								
			DSS_UARTA_TX			4	IO	バッド								
			RCSS_UARTA_RX			5	I	バッド								
H1	F3	FE1_REFCLK	MSS_GPIO_13	PADAB_CFG_REG	0x020C 0004	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_GPIO_0			1	IO	バッド								
			PMIC_CLKOUT			2	O	バッド								
			MSS_EPWM_TZ2			3	I	バッド								
J2	F2	FE2_REFCLK	MSS_GPIO_16	PADAC_CFG_REG	0x020C 0008	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_GPIO_1			1	IO	バッド								
			MSS_EPWM_TZ1			3	I	バッド								
			DMM_MUX_IN			12	I	バッド								
V17	R12	HW_SYNC_FE1	RCSS_GPIO_42	PADCY_CFG_REG	0x020C 0130	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_CPTS0_TS_GENF			1	O	バッド								
			RCSS_MCASPC_DAT3			4	IO	バッド								
W17	N11	HW_SYNC_FE2	RCSS_GPIO_43	PADCZ_CFG_REG	0x020C 0134	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_CPTS0_TS_COMP			1	O	バッド								
			RCSS_MCASPC_DAT2			4	IO	バッド								
W7		LVDS_CLKM	LVDS_CLKM				O									LVDS

表 5-1. ピン属性 (ZCE、NZN パッケージ) (続き)

ZCE ボール番号	NZN ボール番号	ボール名	信号名	ピン制御レジスタ	ピン制御アドレス	MUX モード	信号のタイプ	DSIS	リセット時のボールの状態	リセット後のボールの状態	リセット後の MUX モード	I/O 電圧	パワー ドメイン	ヒステリシス	プル タイプ	バッファのタイプ
V7		LVDS_CLKP	LVDS_CLKP				O									LVDS
W8		LVDS_FRCLKM	LVDS_FRCLKM				O									LVDS
V8		LVDS_FRCLKP	LVDS_FRCLKP				O									LVDS
V6		LVDS_TXM0	LVDS_TXM0				O									LVDS
V5		LVDS_TXM1	LVDS_TXM1				O									LVDS
V4		LVDS_TXM2	LVDS_TXM2				O									LVDS
V3		LVDS_TXM3	LVDS_TXM3				O									LVDS
W6		LVDS_TXP0	LVDS_TXP0				O									LVDS
W5		LVDS_TXP1	LVDS_TXP1				O									LVDS
W4		LVDS_TXP2	LVDS_TXP2				O									LVDS
W3		LVDS_TXP3	LVDS_TXP3				O									LVDS
E3	D2	MSS_EPWMA0	MSS_GPIO_25	PADAY_CFG_REG	0x020C0060	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MCU_CLKOUT			1	O	バッド								
			MSS_EPWMA0			12	O	バッド								
			OBS_CLKOUT			15	O	バッド								
H2	F1	MSS_GPIO_2	MSS_GPIO_26	PADAZ_CFG_REG	0x020C0064	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_GPIO_2			1	IO	バッド								
			MSS_UARTB_TX			7	IO	バッド								
			RCSS_GPIO_34			8	IO	バッド								
			PMIC_CLKOUT			10	O	バッド								
			MSS_EPWM_TZ0			14	I	バッド								
B3	B4	MSS_GPIO_8	MSS_GPIO_8	PADDM_CFG_REG	0x020C0168	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_EPWMA_SYNCO			2	O	バッド								
			MSS_EPWMB_SYNCI			3	I	バッド								
			MSS_EPWMC0			4	O	バッド								
			RCSS_I2CB_SCL			5	IO	バッド								
			MSS_UARTA_TX			6	IO	バッド								
			MSS_CPTS0_TS_SYNC			7	O	バッド								
			RCSS_ECAPA_SYNCOUT			8	O	バッド								
			RCSS_GPIO_40			12	IO	バッド								

表 5-1. ピン属性 (ZCE、NZN パッケージ) (続き)

ZCE ボール番号	NZN ボール番号	ボール名	信号名	ピン制御レジスタ	ピン制御アドレス	MUX モード	信号のタイプ	DSIS	リセット時のボールの状態	リセット後のボールの状態	リセット後の MUX モード	I/O 電圧	パワー ドメイン	ヒステリシス	プル タイプ	バッファのタイプ
B19	A13	MSS_GPIO_9	MSS_GPIO_9	PADDN_CFG_REG	0x020C016C	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_UARTA_TX			2	O	バッド								
			MSS_EPWMB_SYNCO			3	O	バッド								
			MSS_EPWMA1			4	O	バッド								
			DSS_UARTA_TX			6	IO	バッド								
			MSS_CPTS0_HW2TSPUSH			7	I	バッド								
			RCSS_MCASPA_AHCLKX			8	IO	バッド								
			RCSS_ATL_CLK0			11	IO	バッド								
			RCSS_GPIO_41			12	IO	バッド								
B18	A12	MSS_GPIO_10	MSS_GPIO_10	PADDO_CFG_REG	0x020C0170	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_UARTA_RX			2	I	バッド								
			MSS_EPWMC_SYNCI			3	I	バッド								
			MSS_EPWMB1			4	O	バッド								
			DSS_UARTA_RX			6	IO	バッド								
			MSS_CPTS0_HW1TSPUSH			7	I	バッド								
			RCSS_MCASPA_ACLKX			8	IO	バッド								
			RCSS_GPIO_42			12	IO	バッド								
C17	C12	MSS_GPIO_11	MSS_GPIO_11	PADDP_CFG_REG	0x020C0174	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_UARTA_RTS			2	O	バッド								
			MSS_EPWMC_SYNCO			3	O	バッド								
			MSS_EPWMC1			4	O	バッド								
			MSS_I2CA_SDA			5	IO	バッド								
			MSS_UARTB_TX			6	IO	バッド								
			RCSS_MCASPA_FSX			8	IO	バッド								
			RCSS_GPIO_43			12	IO	バッド								
A18	B12	MSS_GPIO_12	MSS_GPIO_12	PADDP_CFG_REG	0x020C0178	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_I2CA_SCL			1	IO	バッド								
			RCSS_UARTA_CTS			2	I	バッド								
			RCSS_ECAPA_CAPIN_PWM0			4	IO	バッド								
			MSS_CPTS0_TS_GENF			5	O	バッド								
			MSS_UARTB_RX			6	IO	バッド								
			RCSS_ECAPA_CAPIN_PWM0			7	IO	バッド								
			RCSS_MCASPA_ACLKR			8	IO	バッド								
			MSS_RS232_RX			11	IO	バッド								
			RCSS_GPIO_44			12	IO	バッド								

表 5-1. ピン属性 (ZCE、NZN パッケージ) (続き)

ZCE ボール番号	NZN ボール番号	ボール名	信号名	ピン制御レジスタ	ピン制御アドレス	MUX モード	信号のタイプ	DSIS	リセット時のボールの状態	リセット後のボールの状態	リセット後の MUX モード	I/O 電圧	パワー ドメイン	ヒステリシス	プル タイプ	バッファのタイプ
B17	A11	MSS_GPIO_13	MSS_GPIO_13	PADDR_CFG_REG	0x020C017C	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_I2CA_SDA			1	IO	バッド								
			MSS_CPTS0_TS_COMP			2	O	バッド								
			RCSS_UARTA_TX			4	O	バッド								
			MSS_UARTA_TX			5	IO	バッド								
			MSS_UARTB_TX			6	IO	バッド								
			DSS_UARTA_TX			7	IO	バッド								
			RCSS_MCASPA_FSR			8	IO	バッド								
			MSS_RS232_TX			11	IO	バッド								
			RCSS_GPIO_45			12	IO	バッド								
G3	E2	MSS_GPIO_28	MSS_GPIO_28	PADBB_CFG_REG	0x020C006C	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			SYNC_IN			1	I	バッド								
			RCSS_MCASPB_AHCLKR			3	IO	バッド								
			MSS_UARTB_RX			6	IO	バッド								
			DMM_MUX_IN			7	I	バッド								
			DSS_UARTA_RX			8	IO	バッド								
F18	D13	MSS_I2CA_SCL	RCSS_GPIO_51	PADBZ_CFG_REG	0x020C00CC	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_RXER			1	I	バッド								
			MSS_RMII_RXER			2	I	バッド								
			MSS_I2CA_SCL			3	IO	バッド								
			MSS_EPWMC1			6	O	バッド								
F16	D14	MSS_I2CA_SDA	RCSS_GPIO_50	PADBY_CFG_REG	0x020C00C8	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_CRS			1	I	バッド								
			MSS_RMII_CRS_DV			2	I	バッド								
			MSS_I2CA_SDA			3	IO	バッド								
			MSS_EPWMB1			6	O	バッド								
B2	B3	MSS_MCANA_RX	MSS_GPIO_3	PADAF_CFG_REG	0x020C0014	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / アップ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_MIBSPIA_CLK			1	IO	バッド								
			RCOSC_CLK			2	O	バッド								
			MSS_MCANB_RX			6	I	バッド								
			DSS_UARTA_TX			7	IO	バッド								
			MSS_MCANA_RX			9	I	バッド								
A2	C3	MSS_MCANA_TX	MSS_GPIO_30	PADAG_CFG_REG	0x020C0018	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / アップ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_MIBSPIA_CS0			1	IO	バッド								
			RCOSC_CLK			2	O	バッド								
			MSS_MCANB_TX			6	O	バッド								
			MSS_MCANA_TX			9	O	バッド								

表 5-1. ピン属性 (ZCE、NZN パッケージ) (続き)

ZCE ボール番号	NZN ボール番号	ボール名	信号名	ピン制御レジスタ	ピン制御アドレス	MUX モード	信号のタイプ	DSIS	リセット時のボールの状態	リセット後のボールの状態	リセット後の MUX モード	I/O 電圧	パワー ドメイン	ヒステリシス	プル タイプ	バッファのタイプ
C1	A3	MSS_MCANB_RX	MSS_GPIO_19	PADAD_CFG_REG	0x020C000C	0	IO	バッド	オフ / オフ	オフ / オフ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_MIBSPIA_MOSI			1	IO	バッド								
			MSS_MCANA_RX			2	I	バッド								
			DSS_UARTA_TX			8	IO	バッド								
			MSS_MCANB_RX			9	I	バッド								
			MSS_I2CA_SCL			10	IO	バッド								
B1	A4	MSS_MCANB_TX	MSS_GPIO_20	PADAE_CFG_REG	0x020C0010	0	IO	バッド	オフ / オフ	オフ / オフ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_MIBSPIA_MISO			1	IO	バッド								
			MSS_MCANA_TX			2	O	バッド								
			MSS_MCANB_TX			9	O	バッド								
			MSS_I2CA_SDA			10	IO	バッド								
R19	M15	MSS_MDIO_CLK	MSS_GPIO_31	PADCN_CFG_REG	0x020C0104	0	IO	バッド	オフ / オフ	オフ / オフ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_MDIO_CLK			1	O	バッド								
P19	M14	MSS_MDIO_DATA	MSS_GPIO_30	PADCM_CFG_REG	0x020C0100	0	IO	バッド	オフ / オフ	オフ / オフ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_MDIO_DATA			1	IO	バッド								
G19	E14	MSS_MIBSPIA_CLK	MSS_GPIO_5	PADDJ_CFG_REG	0x020C015C	0	IO	バッド	オフ / オフ	オフ / オフ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_CPTS0_TS_COMP			2	O	バッド								
			MSS_EPWMB1			3	O	バッド								
			RCSS_ECAPA_CAPIN_PWM0			4	IO	バッド								
			RCSS_I2CA_SDA			5	IO	バッド								
			MSS_UARTB_TX			6	IO	バッド								
			MSS_MIBSPIA_CLK			10	IO	バッド								
			RCSS_GPIO_37			12	IO	バッド								
F19	D15	MSS_MIBSPIA_CS0	MSS_GPIO_6	PADDK_CFG_REG	0x020C0160	0	IO	バッド	オフ / オフ	オフ / オフ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_EPWMA_SYNCI			1	I	バッド								
			MSS_EPWMA0			4	O	バッド								
			RCSS_I2CA_SCL			5	IO	バッド								
			MSS_UARTB_RX			6	IO	バッド								
			MSS_CPTS0_TS_GENF			7	O	バッド								
			MSS_MIBSPIA_CS0			10	IO	バッド								
			RCSS_GPIO_38			12	IO	バッド								

表 5-1. ピン属性 (ZCE、NZN パッケージ) (続き)

ZCE ボール番号	NZN ボール番号	ボール名	信号名	ピン制御レジスタ	ピン制御アドレス	MUX モード	信号のタイプ	DSIS	リセット時のボールの状態	リセット後のボールの状態	リセット後の MUX モード	I/O 電圧	パワー ドメイン	ヒステリシス	プル タイプ	バッファのタイプ
G18	E15	MSS_MIBSPIA_HOSTIRQ	MSS_GPIO_7	PADDL_CFG_REG	0x020C0164	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_EPWMA_SYNCN			1	O	バッド								
			MSS_EPWMC1			2	O	バッド								
			MSS_EPWMB0			4	O	バッド								
			RCSS_I2CB_SDA			5	IO	バッド								
			MSS_UARTA_RX			6	IO	バッド								
			MSS_CPTS0_TS_COMP			7	O	バッド								
			RCSS_ECAPA_SYNCIN			8	I	バッド								
			MSS_MIBSPIA_HOSTIRQ			10	O	バッド								
			RCSS_GPIO_39			12	IO	バッド								
G17	E13	MSS_MIBSPIA_MISO	MSS_GPIO_4	PADDL_CFG_REG	0x020C0158	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / アップ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_CPTS0_TS_GENF			2	O	バッド								
			RCSS_ATL_CLK1			3	IO	バッド								
			RCSS_I2CB_SCL			4	IO	バッド								
			MSS_EPWMB1			5	O	バッド								
			MSS_EPWMB0			6	O	バッド								
			OBS_CLKOUT			8	O	バッド								
			RCSS_UARTA_CTS			9	I	バッド								
			MSS_MIBSPIA_MISO			10	IO	バッド								
			RCSS_GPIO_36			12	IO	バッド								
H18	F15	MSS_MIBSPIA_MOSI	MSS_GPIO_3	PADDD_CFG_REG	0x020C0154	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / アップ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			OBS_CLKOUT			1	O	バッド								
			RCSS_ATL_CLK0			2	IO	バッド								
			RCSS_I2CB_SDA			4	IO	バッド								
			MSS_EPWMA1			5	O	バッド								
			RCSS_UARTA_RTS			9	O	バッド								
			MSS_MIBSPIA_MOSI			10	IO	バッド								
			RCSS_GPIO_35			12	IO	バッド								
D18	B14	MSS_MIBSPIB_CLK	MSS_GPIO_5	PADAJ_CFG_REG	0x020C0024	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / アップ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_MIBSPIB_CLK			1	IO	バッド								
			MSS_UARTA_RX			2	IO	バッド								
			MSS_EPWMC0			3	O	バッド								
			MSS_UARTB_TX			6	IO	バッド								
			MSS_MCANA_RX			8	I	バッド								

表 5-1. ピン属性 (ZCE、NZN パッケージ) (続き)

ZCE ボール番号	NZN ボール番号	ボール名	信号名	ピン制御レジスタ	ピン制御アドレス	MUX モード	信号のタイプ	DSIS	リセット時のボールの状態	リセット後のボールの状態	リセット後の MUX モード	I/O 電圧	パワー ドメイン	ヒステリシス	プル タイプ	バッファのタイプ
D19	B15	MSS_MIBSPIB_CS0	MSS_GPIO_4	PDAK_CFG_REG	0x020C0028	0	IO	バッド	オフ / オフ	オフ / オフ / アップ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_MIBSPIB_CS0			1	IO	バッド								
			MSS_UARTA_TX			2	IO	バッド								
			MSS_UARTB_TX			6	IO	バッド								
			MSS_MCANB_TX			9	O	バッド								
E18	C15	MSS_MIBSPIB_CS1	MSS_GPIO_12	PADAA_CFG_REG	0x020C0000	0	IO	バッド	オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MIBSPIA_HOSTIRQ			1	O	バッド								
			MSS_MIBSPIB_CS1			6	IO	バッド								
E17	C14	MSS_MIBSPIB_CS2	MSS_GPIO_29	PADBC_CFG_REG	0x020C0070	0	IO	バッド	オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCOSC_CLK			2	O	バッド								
			DMM_MUX_IN			9	I	バッド								
			MSS_MIBSPIB_CS1			10	IO	バッド								
			MSS_MIBSPIB_CS2			11	IO	バッド								
			MSS_EPWMB0			12	O	バッド								
			MSS_EPWMB1			13	O	バッド								
C19	A14	MSS_MIBSPIB_MISO	MSS_GPIO_22	PADAI_CFG_REG	0x020C0020	0	IO	バッド	オフ / オフ	オフ / オフ / アップ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_MIBSPIB_MISO			1	IO	バッド								
			MSS_I2CA_SCL			2	IO	バッド								
			MSS_EPWMB0			3	O	バッド								
			DSS_UARTA_TX			6	IO	バッド								
			MSS_MCANB_TX			7	O	バッド								
C18	B13	MSS_MIBSPIB_MOSI	MSS_GPIO_21	PDAH_CFG_REG	0x020C001C	0	IO	バッド	オフ / オフ	オフ / オフ / アップ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_MIBSPIB_MOSI			1	IO	バッド								
			MSS_I2CA_SDA			2	IO	バッド								
			MSS_EPWMA0			3	O	バッド								
			MSS_MCANB_RX			7	I	バッド								
E1	D1	MSS_QSPI_CLK	MSS_GPIO_7	PADAP_CFG_REG	0x020C003C	0	IO	バッド	オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_QSPI_CLK			1	IO	バッド								
			MSS_MIBSPIB_CLK			2	IO	バッド								
			DSS_UARTA_TX			6	IO	バッド								
F2	C1	MSS_QSPI_CS	MSS_GPIO_6	PADAQ_CFG_REG	0x020C0040	0	IO	バッド	オフ / オフ	オフ / オフ / アップ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_QSPI_CS			1	O	バッド								
			MSS_MIBSPIB_CS0			2	IO	バッド								
C2	B2	MSS_QSPI_D0	MSS_GPIO_8	PADAL_CFG_REG	0x020C002C	0	IO	バッド	オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_QSPI_D0			1	IO	バッド								
			MSS_MIBSPIB_MISO			2	IO	バッド								

表 5-1. ピン属性 (ZCE、NZN パッケージ) (続き)

ZCE ボール番号	NZN ボール番号	ボール名	信号名	ピン制御レジスタ	ピン制御アドレス	MUX モード	信号のタイプ	DSIS	リセット時のボールの状態	リセット後のボールの状態	リセット後の MUX モード	I/O 電圧	パワー ドメイン	ヒステリシス	プル タイプ	バッファのタイプ
D2	A2	MSS_QSPI_D1	MSS_GPIO_9	PADAM_CFG_REG	0x020C0030	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_QSPI_D1			1	I	バッド								
			MSS_MIBSPIB_MOSI			2	IO	バッド								
			MSS_MIBSPIB_CS2			8	IO	バッド								
D1	C2	MSS_QSPI_D2	MSS_GPIO_10	PADAN_CFG_REG	0x020C0034	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / アップ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_QSPI_D2			1	I	バッド								
			MSS_MCANA_TX			8	O	バッド								
E2	B1	MSS_QSPI_D3	MSS_GPIO_11	PADOA_CFG_REG	0x020C0038	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / アップ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_QSPI_D3			1	I	バッド								
			MSS_MCANA_RX			8	I	バッド								
M19	K15	MSS_RGMII_RCLK	RCSS_GPIO_59	PADCH_CFG_REG	0x020C00EC	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_RXCLK			1	I	バッド								
			MSS_RGMII_RCLK			3	I	バッド								
			RCSS_I2CA_SCL			5	IO	バッド								
J17	G13	MSS_RGMII_RCTL	RCSS_GPIO_53	PADCB_CFG_REG	0x020C00D4	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_RXDV			1	I	バッド								
			MSS_RGMII_RCTL			3	I	バッド								
			MSS_UARTB_RX			5	IO	バッド								
			MSS_EPWMB0			6	O	バッド								
P18	M13	MSS_RGMII_RD0	RCSS_GPIO_63	PADCL_CFG_REG	0x020C00FC	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_RXD0			1	I	バッド								
			MSS_RMII_RXD0			2	I	バッド								
			MSS_RGMII_RD0			3	I	バッド								
N19	L15	MSS_RGMII_RD1	RCSS_GPIO_62	PADCK_CFG_REG	0x020C00F8	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_RXD1			1	I	バッド								
			MSS_RMII_RXD1			2	I	バッド								
			MSS_RGMII_RD1			3	I	バッド								
M18	L14	MSS_RGMII_RD2	RCSS_GPIO_61	PADCJ_CFG_REG	0x020C00F4	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_RXD2			1	I	バッド								
			MSS_RGMII_RD2			3	I	バッド								
			RCSS_I2CB_SCL			5	IO	バッド								
L19	J13	MSS_RGMII_RD3	RCSS_GPIO_60	PADCI_CFG_REG	0x020C00F0	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_RXD3			1	I	バッド								
			MSS_RGMII_RD3			3	I	バッド								
			RCSS_I2CB_SDA			5	IO	バッド								

AM2732, AM2732-Q1

JAJSNL7D – DECEMBER 2021 – REVISED JULY 2026

表 5-1. ピン属性 (ZCE、NZN パッケージ) (続き)

ZCE ボール番号	NZN ボール番号	ボール名	信号名	ピン制御レジスタ	ピン制御アドレス	MUX モード	信号のタイプ	DSIS	リセット時のボールの状態	リセット後のボールの状態	リセット後の MUX モード	I/O 電圧	パワー ドメイン	ヒステリシス	プル タイプ	バッファのタイプ
K19	H15	MSS_RGMII_TCLK	RCSS_GPIO_58	PADCG_CFG_REG	0x020C00E8	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_RXD3			1	I	バッド								
			MSS_RGMII_RD3			3	I	バッド								
			RCSS_I2CB_SDA			5	IO	バッド								
J18	G15	MSS_RGMII_TCTL	RCSS_GPIO_52	PADCA_CFG_REG	0x020C00D0	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_TXEN			1	O	バッド								
			MSS_RMII_TXEN			2	O	バッド								
			MSS_RGMII_TCTL			3	O	バッド								
			MSS_EPWMA0			6	O	バッド								
L18	J14	MSS_RGMII_TD0	RCSS_GPIO_57	PADCF_CFG_REG	0x020C00E4	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_TXD0			1	O	バッド								
			MSS_RMII_TXD0			2	O	バッド								
			MSS_RGMII_TD0			3	O	バッド								
L17	J15	MSS_RGMII_TD1	RCSS_GPIO_56	PADCE_CFG_REG	0x020C00E0	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_TXD1			1	O	バッド								
			MSS_RMII_TXD1			2	O	バッド								
			MSS_RGMII_TD1			3	O	バッド								
K16	H13	MSS_RGMII_TD2	RCSS_GPIO_55	PADCD_CFG_REG	0x020C00DC	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_TXD2			1	O	バッド								
			MSS_RGMII_TD2			3	O	バッド								
K18	H14	MSS_RGMII_TD3	RCSS_GPIO_54	PADCC_CFG_REG	0x020C00D8	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_TXD3			1	O	バッド								
			MSS_RGMII_TD3			3	O	バッド								
			MSS_UARTB_TX			5	IO	バッド								
			MSS_EPWMC0			6	O	バッド								
G2	E1	MSS_RS232_RX	MSS_GPIO_15	PADBD_CFG_REG	0x020C0074	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ / アップ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_RS232_RX			1	IO	バッド								
			MSS_UARTA_RX			2	IO	バッド								
			MSS_UARTB_RX			7	IO	バッド								
			MSS_MCANA_RX			8	I	バッド								
			MSS_I2CA_SCL			9	IO	バッド								
			MSS_EPWMB0			10	O	バッド								
			MSS_EPWMB1			11	O	バッド								
			MSS_EPWMC0			12	O	バッド								

表 5-1. ピン属性 (ZCE、NZN パッケージ) (続き)

ZCE ボール番号	NZN ボール番号	ボール名	信号名	ピン制御レジスタ	ピン制御アドレス	MUX モード	信号のタイプ	DSIS	リセット時のボールの状態	リセット後のボールの状態	リセット後の MUX モード	I/O 電圧	パワー ドメイン	ヒステリシス	プル タイプ	バッファのタイプ
G1	E3	MSS_RS232_TX	MSS_GPIO_14	PADBE_CFG_REG	0x020C0078	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ	1	1.8V/3.3V	VIOIN	有	PU/PD (プルなし)	LVCMOS
			MSS_RS232_TX			1	IO	バッド								
			MSS_UARTA_TX			5	IO	バッド								
			MSS_UARTB_TX			6	IO	バッド								
			MSS_MCANA_TX			10	O	バッド								
			MSS_I2CA_SDA			11	IO	バッド								
			MSS_EPWMA0			12	O	バッド								
			MSS_EPWMA1			13	O	バッド								
			NDMM_EN			14	O	バッド								
			MSS_EPWMB0			15	O	バッド								
U3	R3	MSS_UARTA_RX	RCSS_GPIO_44	PADDA_CFG_REG	0x020C0138	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / アップ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_CPTS0_TS_SYNC			1	O	バッド								
			MSS_UARTB_TX			4	IO	バッド								
			MSS_UARTA_RX			5	IO	バッド								
			DSS_UARTA_TX			6	IO	バッド								
W2	R4	MSS_UARTA_TX	RCSS_GPIO_45	PADDB_CFG_REG	0x020C013C	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / アップ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_CPTS0_HW2TSPUSH			1	I	バッド								
			MSS_UARTB_RX			4	IO	バッド								
			MSS_UARTA_TX			5	IO	バッド								
			DSS_UARTA_RX			6	IO	バッド								
V9	P4	MSS_UARTB_TX	MSS_GPIO_0	PADDE_CFG_REG	0x020C0148	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / アップ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			DSS_UARTA_TX			1	IO	バッド								
			MSS_EPWMB_SYNCI			3	I	バッド								
			MSS_UARTA_TX			5	IO	バッド								
			MSS_UARTB_TX			6	IO	バッド								
			RCSS_GPIO_32			12	IO	バッド								
C15	B7	NERRORIN_FE1	MSS_GPIO_16	PADDU_CFG_REG	0x020C0188	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_MCASPA_DAT10			7	IO	バッド								
			RCSS_MCASPA_DAT2			8	IO	バッド								
			RCSS_GPIO_48			12	IO	バッド								
A16	C7	NERRORIN_FE2	MSS_GPIO_17	PADDV_CFG_REG	0x020C018C	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_MCASPA_DAT11			7	IO	バッド								
			RCSS_MCASPA_DAT3			8	IO	バッド								
			RCSS_GPIO_49			12	IO	バッド								
L3	H2	NERROR_IN	NERROR_IN	PADAR_CFG_REG	0x020C0044	0	I	バッド	オフ / オフ / オフ	オフ / NA / アップ	0	1.8V/3.3V	VIOIN	有	プルが無効	LVCMOS

表 5-1. ピン属性 (ZCE、NZN パッケージ) (続き)

ZCE ボール番号	NZN ボール番号	ボール名	信号名	ピン制御レジスタ	ピン制御アドレス	MUX モード	信号のタイプ	DSIS	リセット時のボールの状態	リセット後のボールの状態	リセット後の MUX モード	I/O 電圧	パワー ドメイン	ヒステリシス	プル タイプ	バッファのタイプ
L1	H1	NERROR_OUT	NERROR_OUT	PADAT_CFG_REG	0x020C004C	0	IO	バッド	オフ / オフ	オフ / NA / オフ	0	1.8V/3.3V	VIOIN	有	プルが無効	LVC MOS
L2	J3	NRESET	NRESET				I					1.8V/3.3V	VIOIN	有	PU/PD	LVC MOS
B15	B6	NRESET_FE1	MSS_GPIO_18	PADDW_CFG_REG	0x020C0190	0	IO	バッド	オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVC MOS
			RCSS_MCASPA_DAT12			7	IO	バッド								
			RCSS_MCASPA_DAT4			8	IO	バッド								
			RCSS_GPIO_50			12	IO	バッド								
A15	A6	NRESET_FE2	MSS_GPIO_19	PADDX_CFG_REG	0x020C0194	0	IO	バッド	オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVC MOS
			RCSS_I2CA_SDA			3	IO	バッド								
			RCSS_MCASPA_DAT13			7	IO	バッド								
			RCSS_MCASPA_DAT5			8	IO	バッド								
			RCSS_GPIO_51			12	IO	バッド								
B14	B5	NWARMRESET_IN_FE1	MSS_GPIO_20	PADDY_CFG_REG	0x020C0198	0	IO	バッド	オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVC MOS
			RCSS_I2CA_SCL			3	IO	バッド								
			RCSS_MCASPA_DAT14			7	IO	バッド								
			RCSS_MCASPA_DAT6			8	IO	バッド								
			RCSS_GPIO_52			12	IO	バッド								
C13	A5	NWARMRESET_IN_FE2	MSS_GPIO_21	PADDZ_CFG_REG	0x020C019C	0	IO	バッド	オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVC MOS
			RCSS_ECAPA_CAPIN_PWM0			4	IO	バッド								
			RCSS_MCASPA_DAT15			7	IO	バッド								
			RCSS_MCASPA_DAT7			8	IO	バッド								
			RCSS_GPIO_53			12	IO	バッド								
T4	R2	OSC_CLK_OUT_AUDIO	OSCCLKOUT			0	O					1.8V	VIOIN_18 CLK			クロック サブシステム出力
F1	D3	PMIC_CLKOUT	MSS_GPIO_27	PADBA_CFG_REG	0x020C0068	0	IO	バッド	オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVC MOS
			PMIC_CLKOUT			1	O	バッド								
			OBS_CLKOUT			2	O	バッド								
			MSS_EPWMA1			11	O	バッド								
			MSS_EPWMB0			12	O	バッド								
E19	C13	RCSS_GPIO_49	RCSS_GPIO_49	PADBX_CFG_REG	0x020C00C4	0	IO	バッド	オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVC MOS
			MSS_MII_COL			1	I	バッド								
			MSS_RMII_REFCLK			2	IO	バッド								
			MSS_EPWMA1			6	O	バッド								

表 5-1. ピン属性 (ZCE、NZN パッケージ) (続き)

ZCE ボール番号	NZN ボール番号	ボール名	信号名	ピン制御レジスタ	ピン制御アドレス	MUX モード	信号のタイプ	DSIS	リセット時のボールの状態	リセット後のボールの状態	リセット後の MUX モード	I/O 電圧	パワー ドメイン	ヒステリシス	プル タイプ	バッファのタイプ
	B10	RCSS_MCASPA_DAT8	MSS_GPIO_22	PADEA_CFG_REG	0x020C01A0	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_UARTA_RX			1	IO	バッド								
			MSS_GPIO_0			2	IO	バッド								
			RCSS_ECAPA_SYNCIN			4	I	バッド								
			RCSS_I2CA_SDA			5	IO	バッド								
			RCSS_GPIO_54			12	IO	バッド								
	A10	RCSS_MCASPA_DAT9	MSS_GPIO_23	PADEB_CFG_REG	0x020C01A4	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_UARTA_TX			1	IO	バッド								
			MSS_GPIO_1			2	IO	バッド								
			RCSS_ECAPA_SYNCOUT			4	O	バッド								
			RCSS_I2CA_SCL			5	IO	バッド								
			RCSS_GPIO_55			12	IO	バッド								
	A9	RCSS_MCASPA_DAT10	MSS_GPIO_24	PADEC_CFG_REG	0x020C01A8	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_UARTB_TX			1	IO	バッド								
			MSS_GPIO_2			2	IO	バッド								
			RCSS_ECAPA_CAPIN_PWM0			4	IO	バッド								
			RCSS_I2CB_SDA			5	IO	バッド								
			RCSS_GPIO_56			12	IO	バッド								
	C9	RCSS_MCASPA_DAT11	MSS_GPIO_25	PADED_CFG_REG	0x020C01AC	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_UARTB_RX			1	IO	バッド								
			MSS_GPIO_3			2	IO	バッド								
			RCSS_ECAPA_SYNCIN			4	I	バッド								
			RCSS_I2CB_SCL			5	IO	バッド								
			RCSS_GPIO_57			12	IO	バッド								
	B9	RCSS_MCASPA_DAT12	MSS_GPIO_26	PADEE_CFG_REG	0x020C01B0	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_UARTA_RTS			1	IO	バッド								
			MSS_GPIO_4			2	IO	バッド								
			RCSS_ECAPA_SYNCOUT			4	O	バッド								
			RCSS_ECAPA_CAPIN_PWM0			5	IO	バッド								
			RCSS_GPIO_58			12	IO	バッド								
	A8	RCSS_MCASPA_DAT13	MSS_GPIO_27	PADEF_CFG_REG	0x020C01B4	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_UARTA_CTS			1	I	バッド								
			MSS_GPIO_9			2	IO	バッド								
			DSS_UARTA_RX			3	IO	バッド								
			RCSS_GPIO_59			12	IO	バッド								

表 5-1. ピン属性 (ZCE、NZN パッケージ) (続き)

ZCE ボール番号	NZN ボール番号	ボール名	信号名	ピン制御レジスタ	ピン制御アドレス	MUX モード	信号のタイプ	DSIS	リセット時のボールの状態	リセット後のボールの状態	リセット後の MUX モード	I/O 電圧	パワー ドメイン	ヒステリシス	プル タイプ	バッファのタイプ
	B8	RCSS_MCASPA_DAT14	MSS_GPIO_28	PADEG_CFG_REG	0x020C01B8	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_UARTA_TX			1	O	バッド								
			MSS_GPIO_10			2	IO	バッド								
			MSS_I2CA_SDA			5	IO	バッド								
			RCSS_GPIO_60			12	IO	バッド								
	A7	RCSS_MCASPA_DAT15	MSS_GPIO_29	PADEH_CFG_REG	0x020C01BC	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_UARTA_RX			1	I	バッド								
			MSS_GPIO_11			2	IO	バッド								
			MSS_I2CA_SCL			5	IO	バッド								
			RCSS_GPIO_61			12	IO	バッド								
T18	P15	RCSS_MIBSPIA_CLK	RCSS_GPIO_34	PADCQ_CFG_REG	0x020C0110	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / アップ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			RCSS_MIBSPIA_CLK			1	IO	バッド								
			RCSS_I2CB_SDA			2	IO	バッド								
			MSS_MIBSPIA_CLK			5	IO	バッド								
T19	P14	RCSS_MIBSPIA_CS0	RCSS_GPIO_35	PADCR_CFG_REG	0x020C0114	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / アップ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			RCSS_MIBSPIA_CS0			1	IO	バッド								
			RCSS_I2CB_SCL			2	IO	バッド								
			MSS_MIBSPIA_CS0			5	IO	バッド								
U18	N13	RCSS_MIBSPIA_HOSTIRQ	RCSS_GPIO_36	PADCS_CFG_REG	0x020C0118	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_MIBSPIA_CS1			1	IO	バッド								
			MSS_GPIO_2			2	IO	バッド								
			MSS_GPIO_8			3	IO	バッド								
			MSS_MIBSPIA_HOSTIRQ			5	O	バッド								
			MSS_MIBSPIB_CS2			6	IO	バッド								
			RCSS_GPIO_34			7	IO	バッド								
			RCSS_GPIO_40			10	IO	バッド								
R17	N14	RCSS_MIBSPIA_MISO	RCSS_GPIO_33	PADCP_CFG_REG	0x020C010C	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / アップ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			RCSS_MIBSPIA_MISO			1	IO	バッド								
			RCSS_I2CA_SCL			2	IO	バッド								
			MSS_MIBSPIA_MISO			5	IO	バッド								
R18	N15	RCSS_MIBSPIA_MOSI	RCSS_GPIO_32	PADCO_CFG_REG	0x020C0108	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / アップ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			RCSS_MIBSPIA_MOSI			1	IO	バッド								
			RCSS_I2CA_SDA			2	IO	バッド								
			MSS_MIBSPIA_MOSI			5	IO	バッド								

表 5-1. ピン属性 (ZCE、NZN パッケージ) (続き)

ZCE ボール番号	NZN ボール番号	ボール名	信号名	ピン制御レジスタ	ピン制御アドレス	MUX モード	信号のタイプ	DSIS	リセット時のボールの状態	リセット後のボールの状態	リセット後の MUX モード	I/O 電圧	パワー ドメイン	ヒステリシス	プル タイプ	バッファのタイプ
V19	R14	RCSS_MIBSPIB_CLK	RCSS_GPIO_39	PADCV_CFG_REG	0x020C0124	0	IO	パッド	オフ / オフ	オフ / オフ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			RCSS_MIBSPIB_CLK			1	IO	パッド								
			RCSS_I2CB_SDA			2	IO	パッド								
			MSS_CPTS0_TS_SYNC			3	O	パッド								
			MSS_MIBSPIB_CLK			5	IO	パッド								
U17	N12	RCSS_MIBSPIB_CS0	RCSS_GPIO_40	PADCW_CFG_REG	0x020C0128	0	IO	パッド	オフ / オフ	オフ / オフ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			RCSS_MIBSPIB_CS0			1	IO	パッド								
			RCSS_I2CB_SCL			2	IO	パッド								
			MSS_CPTS0_TS_COMP			3	O	パッド								
			RCSS_MCASPC_DAT5			4	IO	パッド								
			MSS_MIBSPIB_CS0			5	IO	パッド								
W18	P12	RCSS_MIBSPIB_HOSTIRQ	RCSS_GPIO_41	PADCX_CFG_REG	0x020C012C	0	IO	パッド	オフ / オフ	オフ / オフ	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_MIBSPIB_CS1			1	IO	パッド								
			MSS_CPTS0_TS_GENF			3	O	パッド								
			RCSS_MCASPC_DAT4			4	IO	パッド								
			MSS_MIBSPIB_CS1			5	IO	パッド								
			MSS_GPIO_3			6	IO	パッド								
			MSS_GPIO_9			7	IO	パッド								
			RCSS_GPIO_35			10	IO	パッド								
V18	R13	RCSS_MIBSPIB_MISO	RCSS_GPIO_38	PADCU_CFG_REG	0x020C0120	0	IO	パッド	オフ / オフ	オフ / オフ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			RCSS_MIBSPIB_MISO			1	IO	パッド								
			RCSS_I2CA_SCL			2	IO	パッド								
			MSS_CPTS0_HW2TSPUSH			3	I	パッド								
			MSS_MIBSPIB_MISO			5	IO	パッド								
U19	P13	RCSS_MIBSPIB_MOSI	RCSS_GPIO_37	PADCT_CFG_REG	0x020C011C	0	IO	パッド	オフ / オフ	オフ / オフ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			RCSS_MIBSPIB_MOSI			1	IO	パッド								
			RCSS_I2CA_SDA			2	IO	パッド								
			MSS_CPTS0_HW1TSPUSH			3	I	パッド								
			MSS_MIBSPIB_MOSI			5	IO	パッド								
B16	C11	RCSS_UARTA_RX	MSS_GPIO_15	PADDT_CFG_REG	0x020C0184	0	IO	パッド	オフ / オフ	オフ / オフ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			RCSS_UARTA_RX			2	I	パッド								
			RCSS_I2CB_SCL			3	IO	パッド								
			RCSS_MCASPA_DAT9			7	IO	パッド								
			RCSS_MCASPA_DAT1			8	IO	パッド								
			RCSS_GPIO_47			12	IO	パッド								

表 5-1. ピン属性 (ZCE、NZN パッケージ) (続き)

ZCE ボール番号	NZN ボール番号	ボール名	信号名	ピン制御レジスタ	ピン制御アドレス	MUX モード	信号のタイプ	DSIS	リセット時のボールの状態	リセット後のボールの状態	リセット後の MUX モード	I/O 電圧	パワー ドメイン	ヒステリシス	プル タイプ	バッファのタイプ
A17	B11	RCSS_UARTA_TX	MSS_GPIO_14	PADDS_CFG_REG	0x020C0180	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / アップ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			RCSS_UARTA_TX			2	O	バッド								
			RCSS_I2CB_SDA			3	IO	バッド								
			RCSS_MCASPA_DAT8			7	IO	バッド								
			RCSS_MCASPA_DAT0			8	IO	バッド								
			RCSS_GPIO_46			12	IO	バッド								
P4	L3	Reserved1	Reserved1			0	予約済み									
N3	K3	Reserved2	Reserved2			0	予約済み									
C3	D4	TCK	MSS_GPIO_17	PADAU_CFG_REG	0x020C0050	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			TCK			1	I	バッド								
			MSS_UARTB_TX			2	IO	バッド								
			MSS_MCANA_TX			8	O	バッド								
C5	C5	TDI	MSS_GPIO_23	PADAW_CFG_REG	0x020C0058	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / アップ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			TDI			1	I	バッド								
			MSS_UARTA_RX			2	IO	バッド								
			DSS_UARTA_RX			7	IO	バッド								
D6	C6	TDO	MSS_GPIO_24	PADAX_CFG_REG	0x020C005C	0	IO	バッド	オフ / オフ / オフ	オフ / NA / オフ	1	1.8V/3.3V	VIOIN	有	プルが無効	LVCMOS
			TDO			1	O	バッド								
			MSS_UARTA_TX			2	IO	バッド								
			MSS_UARTB_TX			6	IO	バッド								
			NDMM_EN			9	O	バッド								
D4	C4	TMS	MSS_GPIO_18	PADAV_CFG_REG	0x020C0054	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / アップ	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			TMS			1	IO	バッド								
			MSS_MCANA_RX			6	I	バッド								
W12	N6	TRACE_CLK	TRACE_CLK	PADBV_CFG_REG	0x020C00BC	0	O	バッド	オフ / オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_47			1	IO	バッド								
			DMM_CLK			2	I	バッド								
			RCSS_MCASPB_DAT5			7	IO	バッド								
			DSS_UARTA_RX			10	IO	バッド								
			RCSS_I2CA_SCL			11	IO	バッド								
V12	R7	TRACE_CTL	TRACE_CTL	PADBW_CFG_REG	0x020C00C0	0	O	バッド	オフ / オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_48			1	IO	バッド								
			DMM_SYNC			2	I	バッド								
			RCSS_MCASPB_AHCLKX			7	IO	バッド								
			DSS_UARTA_TX			10	IO	バッド								

表 5-1. ピン属性 (ZCE、NZN パッケージ) (続き)

ZCE ボール番号	NZN ボール番号	ボール名	信号名	ピン制御レジスタ	ピン制御アドレス	MUX モード	信号のタイプ	DSIS	リセット時のボールの状態	リセット後のボールの状態	リセット後の MUX モード	I/O 電圧	パワー ドメイン	ヒステリシス	プル タイプ	バッファのタイプ
V16	P11	TRACE_DATA_0	TRACE_DATA_0	PADBF_CFG_REG	0x020C007C	0	O	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_GPIO_31			1	IO	バッド								
			DMM0			2	I	バッド								
			MSS_UARTA_TX			4	IO	バッド								
			RCSS_MCASPC_DAT1			7	IO	バッド								
			MSS_I2CA_SDA			10	IO	バッド								
U15	R11	TRACE_DATA_1	TRACE_DATA_1	PADBG_CFG_REG	0x020C0080	0	O	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_32			1	IO	バッド								
			DMM1			2	I	バッド								
			MSS_EPWMC_SYNCI			3	I	バッド								
			MSS_UARTA_RX			4	IO	バッド								
			RCSS_MCASPC_DAT0			7	IO	バッド								
W16	P10	TRACE_DATA_2	TRACE_DATA_2	PADBH_CFG_REG	0x020C0084	0	O	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_33			1	IO	バッド								
			DMM2			2	I	バッド								
			MSS_EPWMB_SYNCI			3	I	バッド								
			RCSS_MCASPC_FSR			7	IO	バッド								
V15	R10	TRACE_DATA_3	TRACE_DATA_3	PADBI_CFG_REG	0x020C0088	0	O	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_34			1	IO	バッド								
			DMM3			2	I	バッド								
			MSS_EPWMC_SYNCO			4	O	バッド								
			RCSS_MCASPC_ACLKR			7	IO	バッド								
W15	N9	TRACE_DATA_4	TRACE_DATA_4	PADBJ_CFG_REG	0x020C008C	0	O	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_35			1	IO	バッド								
			DMM4			2	I	バッド								
			MSS_EPWMB_SYNCO			4	O	バッド								
			RCSS_MCASPC_FSX			7	IO	バッド								
V14	R9	TRACE_DATA_5	TRACE_DATA_5	PADBK_CFG_REG	0x020C0090	0	O	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_36			1	IO	バッド								
			DMM5			2	I	バッド								
			MSS_EPWM_TZ2			4	I	バッド								
			MSS_UARTB_TX			5	IO	バッド								
			RCSS_MCASPC_ACLKX			7	IO	バッド								

表 5-1. ピン属性 (ZCE、NZN パッケージ) (続き)

ZCE ボール番号	NZN ボール番号	ボール名	信号名	ピン制御レジスタ	ピン制御アドレス	MUX モード	信号のタイプ	DSIS	リセット時のボールの状態	リセット後のボールの状態	リセット後の MUX モード	I/O 電圧	パワー ドメイン	ヒステリシス	プル タイプ	バッファのタイプ
U13	P9	TRACE_DATA_6	TRACE_DATA_6	PADBL_CFG_REG	0x020C0094	0	O	バッド	オフ / オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_37			1	IO	バッド								
			DMM6			2	I	バッド								
			MSS_EPWM_TZ1			4	I	バッド								
			RCSS_MCASPC_AHCLKX			7	IO	バッド								
W14	R8	TRACE_DATA_7	TRACE_DATA_7	PADBM_CFG_REG	0x020C0098	0	O	バッド	オフ / オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_38			1	IO	バッド								
			DMM7			2	I	バッド								
			MSS_EPWM_TZ0			4	I	バッド								
			DSS_UARTA_TX			5	IO	バッド								
V13	P8	TRACE_DATA_8	TRACE_DATA_8	PADBN_CFG_REG	0x020C009C	0	O	バッド	オフ / オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_39			1	IO	バッド								
			DMM8			2	I	バッド								
			MSS_MCANA_TX			4	O	バッド								
			MSS_EPWMA_SYNCI			5	I	バッド								
W13	P7	TRACE_DATA_9	TRACE_DATA_9	PADBO_CFG_REG	0x020C00A0	0	O	バッド	オフ / オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_40			1	IO	バッド								
			DMM9			2	I	バッド								
			MSS_MCANA_RX			4	I	バッド								
			MSS_EPWMA_SYNCO			5	O	バッド								
U11	P6	TRACE_DATA_10	TRACE_DATA_10	PADBP_CFG_REG	0x020C00A4	0	O	バッド	オフ / オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_41			1	IO	バッド								
			DMM10			2	I	バッド								
			MSS_EPWMC0			4	O	バッド								
			RCSS_MCASPB_FSR			7	IO	バッド								
V11	R6	TRACE_DATA_11	TRACE_DATA_11	PADBQ_CFG_REG	0x020C00A8	0	O	バッド	オフ / オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_42			1	IO	バッド								
			DMM11			2	I	バッド								
			MSS_EPWMC1			4	O	バッド								
			RCSS_MCASPB_DAT0			7	IO	バッド								

表 5-1. ピン属性 (ZCE、NZN パッケージ) (続き)

ZCE ボール番号	NZN ボール番号	ボール名	信号名	ピン制御レジスタ	ピン制御アドレス	MUX モード	信号のタイプ	DSIS	リセット時のボールの状態	リセット後のボールの状態	リセット後の MUX モード	I/O 電圧	パワー ドメイン	ヒステリシス	プル タイプ	バッファのタイプ
W11	N5	TRACE_DATA_12	TRACE_DATA_12	PADBR_CFG_REG	0x020C00AC	0	O	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_43			1	IO	バッド								
			DMM12			2	I	バッド								
			MSS_EPWMA0			4	O	バッド								
			MSS_MCANB_TX			5	O	バッド								
			RCSS_MCASPB_DAT1			7	IO	バッド								
V10	P5	TRACE_DATA_13	TRACE_DATA_13	PADBS_CFG_REG	0x020C00B0	0	O	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_44			1	IO	バッド								
			DMM13			2	I	バッド								
			MSS_EPWMA1			4	O	バッド								
			MSS_MCANB_RX			5	I	バッド								
			RCSS_MCASPB_DAT2			7	IO	バッド								
W10	R5	TRACE_DATA_14	TRACE_DATA_14	PADBT_CFG_REG	0x020C00B4	0	O	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_45			1	IO	バッド								
			DMM14			2	I	バッド								
			MSS_EPWMB0			4	O	バッド								
			RCSS_MCASPB_DAT3			7	IO	バッド								
T10	N4	TRACE_DATA_15	TRACE_DATA_15	PADBU_CFG_REG	0x020C00B8	0	O	バッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_46			1	IO	バッド								
			DMM15			2	I	バッド								
			MSS_EPWMB1			4	O	バッド								
			RCSS_MCASPB_DAT4			7	IO	バッド								
			RCSS_I2CA_SDA			11	IO	バッド								
T1	M1	VBGAP	VBGAP					PWR								
E11, E9, F11, F9, G14, G15, G5, G6, J14, J15, J5, J6, L14, L15, L5, L6, N14, N15, N5, N6, P11, P9, R11, R9	D7, D9, E11, E12, E4, E5, H11, H12, H4, H5, L11, L12, L4, L5, M7, M9	VDD	VDD					PWR				1.2V				
N17	K14	VDD_SRAM1	VDD_SRAM1					PWR				1.2V				
J3	G3	VDD_SRAM2	VDD_SRAM2					PWR				1.2V				
T8	M6	VDD_SRAM3	VDD_SRAM3					PWR				1.2V				
D14, F4, H16, K4, P16, R5, T12	C10, F13, F4, K13, N10	VIOIN	VIOIN					PWR				1.8V/3.3V				
E15, H4, M16, M4, T14	C8, J12, J4, N8	VIOIN_18	VIOIN_18					PWR				1.8V				
R3	M2	VIOIN_18ADC	VIOIN_18ADC					PWR				1.8V				

AM2732, AM2732-Q1

JAJSNL7D – DECEMBER 2021 – REVISED JULY 2026

表 5-1. ピン属性 (ZCE、NZN パッケージ) (続き)

ZCE ボール番号	NZN ボール番号	ボール名	信号名	ピン制御レジスタ	ピン制御アドレス	MUX モード	信号のタイプ	DSIS	リセット時のボールの状態	リセット後のボールの状態	リセット後の MUX モード	I/O 電圧	パワー ドメイン	ヒステリシス	プル タイプ	バッファのタイプ
U2	N2	VIOIN_18CLK	VIOIN_18CLK				PWR					1.8V				
C11, C9		VIOIN_18CSI	VIOIN_18CSI				PWR					1.8V				
U5, U7		VIOIN_18LVDS	VIOIN_18LVDS				PWR					1.8V				
N18	L13	VNWA	VNWA				PWR					1.2V				
U9	N7	VPP	VPP				PWR					1.7V				
A1, A14, A19, A3, C7, D10, D12, D16, D8, E12, E13, E5, E7, E8, F12, F13, F14, F6, F7, F8, G10, G11, G12, G13, G7, G8, G9, H10, H11, H12, H13, H7, H8, H9, J10, J11, J12, J13, J7, J8, J9, K10, K11, K12, K13, K7, K8, K9, L10, L11, L12, L13, L7, L8, L9, M10, M11, M12, M13, M7, M8, M9, N10, N11, N12, N13, N7, N8, N9, P12, P13, P14, P6, P7, P8, R12, R13, R15, R7, R8, T16, T6, V2, W1, W19, W9	A1, A15, D10, D11, D12, D5, D6, D8, E10, E6, E7, E8, E9, F10, F11, F12, F5, F6, F7, F8, F9, G10, G11, G12, G4, G5, G6, G7, G8, G9, H10, H6, H7, H8, H9, J10, J11, J5, J6, J7, J8, J9, K10, K11, K12, K4, K5, K6, K7, K8, K9, L10, L6, L7, L8, L9, M10, M11, M12, M4, M5, M8, P2, R1, R15	VSS	VSS				GND					VSS				
K1	H3	WARM_RESET	WARM_RESET	PADAS_CFG_REG	0x020C0048	0	IO	バッド	オフ / オフ / オフ	オフ / NA / オフ	0	1.8V/3.3V	VIOIN	有	プルが無効	LVCMOS
J1	G1	XREF_CLK0	MSS_GPIO_1	PADDF_CFG_REG	0x020C014C	0	IO	バッド	オフ / オフ / オフ	オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			XREF_CLK0			1	IO	バッド								
			MCU_CLKOUT			6	O	バッド								
			RCSS_GPIO_33			12	IO	バッド								

表 5-1. ピン属性 (ZCE、NZN パッケージ) (続き)

ZCE ボール番号	NZN ボール番号	ボール名	信号名	ピン制御レジスタ	ピン制御アドレス	MUX モード	信号のタイプ	DSIS	リセット時のボールの状態	リセット後のボールの状態	リセット後の MUX モード	I/O 電圧	パワー ドメイン	ヒステリシス	プル タイプ	バッファのタイプ
K2	G2	XREF_CLK1	MSS_GPIO_2	PADDG_CFG_REG	0x020C0150	0	IO	パッド	オフ / オフ / オフ	オフ / オフ / オフ / ダウン	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			XREF_CLK1			1	IO	パッド								
			RCSS_ECAPA_CAPIN_PWM0			3	IO	パッド								
			PMIC_CLKOUT			7	O	パッド								
			RCSS_GPIO_34			12	IO	パッド								

5.3 信号の説明

注

本デバイスのすべてのデジタル IO ピン (NERROR_IN、NERROR_OUT、WARM_RESET を除く) フェイルセーフではないので、VIO 電源が本デバイスに供給されていない状態において、これらの IO ピンが外部から駆動されないように注意する必要があります。

注

電源ランプ時の GPIO 状態は保証されません。GPIO の状態が重要なアプリケーションで GPIO を使用する場合には、NRESET が Low の状態でも、GPIO 出力を接続されたデバイスから分離するために、トライステートバッファを使用する必要があります。アプリケーションで必要な状態を定義するには、追加のプル抵抗を使用する必要があります。NRESET 信号は、トライステートバッファの出力イネーブル (OE) を制御するために使用できます。

信号の説明のヘッダー リスト

ピン多重化オプションのソフトウェア構成に応じて、複数のピンで多くの信号が利用可能です。

次に列ヘッダーについて説明します：

1. **信号名:**ピンを通過する信号の名前。

注

それぞれの「信号の説明」表に記載されている信号名と説明は、ピンに実装され、PADCONFIG レジスタで選択されたピン多重化信号機能を表しています。一部のデバイス サブシステムは、これらの表に記載されていない信号機能に、多重化の追加レイヤを提供します。2 次多重化信号機能の詳細については、デバイスのテクニカルリファレンス マニュアルで該当するペリフェラルの章を参照してください。

2. **信号タイプ:**信号の種類と方向：

- I = 入力
- O = 出力
- IO = 入力、出力、または同時に入力と出力
- OD = 出力、オープンドレイン出力機能付き
- IOD = 入力、出力、または同時に入力と出力、オープンドレイン出力機能付き
- IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
- OZ = 出力、3 ステート出力機能付き
- A = アナログ
- CAP = LDO コンデンサ
- PWR = 電源
- GND = グランド

3. **説明:**信号の説明

4. **ボール番号:**信号

に関連するボール番号

I/O セル構成の詳細については、デバイス TRM の「デバイス構成」の章にある「パッド構成レジスタ」セクションを参照してください。

5.3.1 ADC 信号の説明

表 5-2. ADC 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
ADC1	I	チャンネル 1 の ADC 入力	R2	L1
ADC2	I	チャンネル 2 の ADC 入力	P2	P3
ADC3	I	チャンネル 3 の ADC 入力	R1	K2
ADC4	I	チャンネル 4 の ADC 入力	P1	K1
ADC5	I	チャンネル 5 の ADC 入力	M2	J1
ADC6	I	チャンネル 6 の ADC 入力	T2	L2
ADC7	I	チャンネル 7 の ADC 入力	N2	N3
ADC8	I	チャンネル 8 の ADC 入力	N1	J2
ADC9	I	チャンネル 9 の ADC 入力	M1	M3

5.3.2 CPTS 信号の説明

表 5-3. CPTS 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MSS_CPTS0_TS_COMP	O	メイン サブシステム共通プラットフォームの時間同期モジュール 0 タイムスタンプの比較出力	B17、G18、G19、U17、W17	A11、E14、E15、N11、N12
MSS_CPTS0_TS_GENF	O	メイン サブシステム共通プラットフォームの時間同期モジュール 0 タイムスタンプの機能生成出力	A18、F19、G17、V17、W18	B12、D15、E13、P12、R12
MSS_CPTS0_TS_SYNC	O	メイン サブシステム共通プラットフォームの時間同期モジュール 0 タイムスタンプの同期出力	B3、U3、V19	B4、R14、R3
MSS_CPTS0_HW1TSPUSH	I	メイン サブシステム共通プラットフォームの時間同期モジュール 0 非同期ハードウェア タイムスタンプの 1 プッシュ入力	B18、J19、U19	A12、G14、P13
MSS_CPTS0_HW2TSPUSH	I	メイン サブシステム共通プラットフォームの時間同期モジュール 0 非同期ハードウェア タイムスタンプの 2 プッシュ入力	B19、V18、W2	A13、R13、R4

5.3.3 CSI 2.0 信号の説明

表 5-4. CSI 2.0 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
CSI2_RX0CLKM	I	CSI2.0 レシーバ 0、負の極性のクロック入力	B6	
CSI2_RX0CLKP	I	CSI2.0 レシーバ 0、正の極性のクロック入力	A6	
CSI2_RX0M0	I	CSI2.0 レシーバ 0、レーン 0 負の極性	A8	
CSI2_RX0M1	I	CSI2.0 レシーバ 0、レーン 1 負の極性	A7	
CSI2_RX0M2	I	CSI2.0 レシーバ 0、レーン 2 負の極性	B5	
CSI2_RX0M3	I	CSI2.0 レシーバ 0、レーン 3 負の極性	B4	
CSI2_RX0P0	I	CSI2.0 レシーバ 0、レーン 0 正の極性	B8	
CSI2_RX0P1	I	CSI2.0 レシーバ 0、レーン 1 正の極性	B7	
CSI2_RX0P2	I	CSI2.0 レシーバ 0、レーン 2 正の極性	A5	
CSI2_RX0P3	I	CSI2.0 レシーバ 0、レーン 3 正の極性	A4	
CSI2_RX1CLKM	I	CSI2.0 レシーバ 1、負の極性のクロック入力	A11	
CSI2_RX1CLKP	I	CSI2.0 レシーバ 1、正の極性のクロック入力	B11	

表 5-4. CSI 2.0 信号の説明 (続き)

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
CSI2_RX1M0	I	CSI2.0 レシーバ 1、レーン 0 負の極性	A13	
CSI2_RX1M1	I	CSI2.0 レシーバ 1、レーン 1 負の極性	B12	
CSI2_RX1M2	I	CSI2.0 レシーバ 1、レーン 2 負の極性	A10	
CSI2_RX1M3	I	CSI2.0 レシーバ 1、レーン 3 負の極性	A9	
CSI2_RX1P0	I	CSI2.0 レシーバ 1、レーン 0 正の極性	B13	
CSI2_RX1P1	I	CSI2.0 レシーバ 1、レーン 1 正の極性	A12	
CSI2_RX1P2	I	CSI2.0 レシーバ 1、レーン 2 正の極性	B10	
CSI2_RX1P3	I	CSI2.0 レシーバ 1、レーン 3 正の極性	B9	

5.3.4 DMM 信号の説明

表 5-5. DMM 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
DMM0	I	DMM データ入力	V16	P11
DMM1	I	DMM データ入力	U15	R11
DMM2	I	DMM データ入力	W16	P10
DMM3	I	DMM データ入力	V15	R10
DMM4	I	DMM データ入力	W15	N9
DMM5	I	DMM データ入力	V14	R9
DMM6	I	DMM データ入力	U13	P9
DMM7	I	DMM データ入力	W14	R8
DMM8	I	DMM データ入力	V13	P8
DMM9	I	DMM データ入力	W13	P7
DMM10	I	DMM データ入力	U11	P6
DMM11	I	DMM データ入力	V11	R6
DMM12	I	DMM データ入力	W11	N5
DMM13	I	DMM データ入力	V10	P5
DMM14	I	DMM データ入力	W10	R5
DMM15	I	DMM データ入力	T10	N4
DMM_CLK	I	DMM クロック	W12	N6
DMM_MUX_IN	I	DMM MUX 入力	E17、G3、J2	C14、E2、F2
DMM_SYNC	I	DMM 同期入力	V12	R7
NDMM_EN	O	DMM イネーブル入力	D6、G1	C6、E3

5.3.5 ECAP 信号の説明

表 5-6. eCAP 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
RCSS_ECAPA_CAPIN_PWMO	IO	拡張キャプチャ モジュール A、拡張キャプチャ入力または PWM 出力	A18、C13、G19、K2	A5、A9、B12、B9、E14、G2
RCSS_ECAPA_SYNCIN	I	拡張キャプチャ モジュール A、同期入力	G18	B10、C9、E15
RCSS_ECAPA_SYNCOUT	O	拡張キャプチャ モジュール A、同期出力	B3	A10、B4、B9

5.3.6 EPWM 信号の説明

表 5-7. EPWMA 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MSS_EPWMA0	O	メイン サブシステム、PWM A、チャンネル 0	C18、E3、F19、G1、J18、W11	B13、D15、D2、E3、G15、N5
MSS_EPWMA1	O	メイン サブシステム、PWM A、チャンネル 1	B19、E19、F1、G1、H1、H18、V10	A13、C13、D3、E3、F15、F3、P5
MSS_EPWMA_SYNCI	I	メイン サブシステム、PWM A、同期入力	F19、J2、V13	D15、F2、P8
MSS_EPWMA_SYNCO	O	メイン サブシステム、PWM A、同期出力	B3、G18、W13	B4、E15、P7

表 5-8. EPWMB 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MSS_EPWMB0	O	メイン サブシステム、PWM B、チャンネル 0	C19、E17、F1、G1、G17、G18、G2、H1、J17、W10	A14、C14、D3、E1、E13、E15、E3、F3、G13、R5
MSS_EPWMB1	O	メイン サブシステム、PWM B、チャンネル 1	B18、E17、F16、G17、G19、G2、T10	A12、C14、D14、E1、E13、E14、N4
MSS_EPWMB_SYNCI	I	メイン サブシステム、PWM B、同期入力	B3、V9、W16	B4、P10、P4
MSS_EPWMB_SYNCO	O	メイン サブシステム、PWM B、同期出力	B19、W15	A13、N9

表 5-9. EPWMC 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MSS_EPWMC0	O	メイン サブシステム、PWM C、チャンネル 0	B3、D18、G2、K18、U11	B14、B4、E1、H14、P6
MSS_EPWMC1	O	メイン サブシステム、PWM C、チャンネル 1	C17、F18、G18、V11	C12、D13、E15、R6
MSS_EPWMC_SYNCI	I	メイン サブシステム、PWM C、同期入力	B18、U15	A12、R11
MSS_EPWMC_SYNCO	O	メイン サブシステム、PWM C、同期出力	C17、V15	C12、R10

表 5-10. EPWM トリップ信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MSS_EPWM_TZ0	I	メイン サブシステム、PWM トリップ信号 0	H2、W14	F1、R8
MSS_EPWM_TZ1	I	メイン サブシステム、PWM トリップ信号 1	J2、U13	F2、P9
MSS_EPWM_TZ2	I	メイン サブシステム、PWM トリップ信号 2	H1、V14	F3、R9

5.3.7 GPIO 信号の説明

表 5-11. MSS GPIO 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MSS_GPIO_0	IO	メイン サブシステム GPIO	H1、V9	B10、F3、P4
MSS_GPIO_1	IO	メイン サブシステム GPIO	J1、J2	A10、F2、G1
MSS_GPIO_2	IO	メイン サブシステム GPIO	H2、K2、U18	A9、F1、G2、N13
MSS_GPIO_3	IO	メイン サブシステム GPIO	B2、H18、W18	B3、C9、F15、P12

表 5-11. MSS GPIO 信号の説明 (続き)

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MSS_GPIO_4	IO	メイン サブシステム GPIO	D19、G17	B15、B9、E13
MSS_GPIO_5	IO	メイン サブシステム GPIO	D18、G19	B14、E14
MSS_GPIO_6	IO	メイン サブシステム GPIO	F19、F2	C1、D15
MSS_GPIO_7	IO	メイン サブシステム GPIO	E1、G18	D1、E15
MSS_GPIO_8	IO	メイン サブシステム GPIO	B3、C2、U18	B2、B4、N13
MSS_GPIO_9	IO	メイン サブシステム GPIO	B19、D2、W18	A13、A2、A8、P12
MSS_GPIO_10	IO	メイン サブシステム GPIO	B18、D1	A12、B8、C2
MSS_GPIO_11	IO	メイン サブシステム GPIO	C17、E2	A7、B1、C12
MSS_GPIO_12	IO	メイン サブシステム GPIO	A18、E18	B12、C15
MSS_GPIO_13	IO	メイン サブシステム GPIO	B17、H1	A11、F3
MSS_GPIO_14	IO	メイン サブシステム GPIO	A17、G1	B11、E3
MSS_GPIO_15	IO	メイン サブシステム GPIO	B16、G2	C11、E1
MSS_GPIO_16	IO	メイン サブシステム GPIO	C15、J2	B7、F2
MSS_GPIO_17	IO	メイン サブシステム GPIO	A16、C3	C7、D4
MSS_GPIO_18	IO	メイン サブシステム GPIO	B15、D4	B6、C4
MSS_GPIO_19	IO	メイン サブシステム GPIO	A15、C1	A3、A6
MSS_GPIO_20	IO	メイン サブシステム GPIO	B1、B14	A4、B5
MSS_GPIO_21	IO	メイン サブシステム GPIO	C13、C18	A5、B13
MSS_GPIO_22	IO	メイン サブシステム GPIO	C19	A14、B10
MSS_GPIO_23	IO	メイン サブシステム GPIO	C5	A10、C5
MSS_GPIO_24	IO	メイン サブシステム GPIO	D6	A9、C6
MSS_GPIO_25	IO	メイン サブシステム GPIO	E3	C9、D2
MSS_GPIO_26	IO	メイン サブシステム GPIO	H2	B9、F1
MSS_GPIO_27	IO	メイン サブシステム GPIO	F1	A8、D3
MSS_GPIO_28	IO	メイン サブシステム GPIO	G3	B8、E2
MSS_GPIO_29	IO	メイン サブシステム GPIO	E17	A7、C14
MSS_GPIO_30	IO	メイン サブシステム GPIO	A2、P19	C3、M14
MSS_GPIO_31	IO	メイン サブシステム GPIO	R19、V16	M15、P11

表 5-12. RCSS GPIO 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
RCSS_GPIO_32	IO	レーダー制御サブシステム GPIO	R18、U15、V9	N15、P4、R11
RCSS_GPIO_33	IO	レーダー制御サブシステム GPIO	J1、R17、W16	G1、N14、P10
RCSS_GPIO_34	IO	レーダー制御サブシステム GPIO	H2、K2、T18、U18、V15	F1、G2、N13、P15、R10
RCSS_GPIO_35	IO	レーダー制御サブシステム GPIO	H18、T19、W15、W18	F15、N9、P12、P14
RCSS_GPIO_36	IO	レーダー制御サブシステム GPIO	G17、U18、V14	E13、N13、R9
RCSS_GPIO_37	IO	レーダー制御サブシステム GPIO	G19、U13、U19	E14、P13、P9
RCSS_GPIO_38	IO	レーダー制御サブシステム GPIO	F19、V18、W14	D15、R13、R8
RCSS_GPIO_39	IO	レーダー制御サブシステム GPIO	G18、V13、V19	E15、P8、R14

表 5-12. RCSS GPIO 信号の説明 (続き)

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
RCSS_GPIO_40	IO	レーダー制御サブシステム GPIO	B3、U17、U18、W13	B4、N12、N13、P7
RCSS_GPIO_41	IO	レーダー制御サブシステム GPIO	B19、U11、W18	A13、P12、P6
RCSS_GPIO_42	IO	レーダー制御サブシステム GPIO	B18、V11、V17	A12、R12、R6
RCSS_GPIO_43	IO	レーダー制御サブシステム GPIO	C17、W11、W17	C12、N11、N5
RCSS_GPIO_44	IO	レーダー制御サブシステム GPIO	A18、U3、V10	B12、P5、R3
RCSS_GPIO_45	IO	レーダー制御サブシステム GPIO	B17、W10、W2	A11、R4、R5
RCSS_GPIO_46	IO	レーダー制御サブシステム GPIO	A17、J19、T10	B11、G14、N4
RCSS_GPIO_47	IO	レーダー制御サブシステム GPIO	B16、H19、W12	C11、F14、N6
RCSS_GPIO_48	IO	レーダー制御サブシステム GPIO	C15、V12	B7、R7
RCSS_GPIO_49	IO	レーダー制御サブシステム GPIO	A16、E19	C13、C7
RCSS_GPIO_50	IO	レーダー制御サブシステム GPIO	B15、F16	B6、D14
RCSS_GPIO_51	IO	レーダー制御サブシステム GPIO	A15、F18	A6、D13
RCSS_GPIO_52	IO	レーダー制御サブシステム GPIO	B14、J18	B5、G15
RCSS_GPIO_53	IO	レーダー制御サブシステム GPIO	C13、J17	A5、G13
RCSS_GPIO_54	IO	レーダー制御サブシステム GPIO	K18	B10、H14
RCSS_GPIO_55	IO	レーダー制御サブシステム GPIO	K16	A10、H13
RCSS_GPIO_56	IO	レーダー制御サブシステム GPIO	L17	A9、J15
RCSS_GPIO_57	IO	レーダー制御サブシステム GPIO	L18	C9、J14
RCSS_GPIO_58	IO	レーダー制御サブシステム GPIO	K19	B9、H15
RCSS_GPIO_59	IO	レーダー制御サブシステム GPIO	M19	A8、K15
RCSS_GPIO_60	IO	レーダー制御サブシステム GPIO	L19	B8、J13
RCSS_GPIO_61	IO	レーダー制御サブシステム GPIO	M18	A7、L14
RCSS_GPIO_62	IO	レーダー制御サブシステム GPIO	N19	L15
RCSS_GPIO_63	IO	レーダー制御サブシステム GPIO	P18	M13

5.3.8 I2C 信号の説明

表 5-13. I2CA 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MSS_I2CA_SCL	IO	メイン サブシステム、I2C A、シリアル クロック	A18、C1、C19、F18、G2、U15	A14、A3、A7、B12、D13、E1、R11
MSS_I2CA_SDA	IO	メイン サブシステム、I2C A、シリアル データ	B1、B17、C17、C18、F16、G1、V16	A11、A4、B13、B8、C12、D14、E3、P11

表 5-14. RCSS I2CB 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
RCSS_I2CB_SCL	IO	レーダー制御サブシステム I2C B、シリアル クロック	B16、B3、G17、M18、T19、U17	B4、C11、C9、E13、L14、N12、P14

表 5-14. RCSS I2CB 信号の説明 (続き)

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
RCSS_I2CB_SDA	IO	レーダー制御サブシステム I2C B、シリアル データ	A17、G18、H18、 K19、L19、T18、 V19	A9、B11、E15、 F15、H15、J13、 P15、R14

表 5-15. RCSS I2CA 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
RCSS_I2CA_SCL	IO	レーダー制御サブシステム I2C A、シリアル クロック	B14、F19、M19、 R17、V18、W12	A10、B5、D15、 K15、N14、N6、 R13
RCSS_I2CA_SDA	IO	レーダー制御サブシステム I2C A、シリアル データ	A15、G19、R18、 T10、U19	A6、B10、E14、 N15、N4、P13

5.3.9 クロック信号の説明

表 5-16. 入力クロック信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
CLKM	I	プライマリ水晶振動子または発振器のリファレンス クロック入力、負入力	U1	N1
CLKP	I	プライマリ水晶振動子または発振器のリファレンス クロック入力、正入力	V1	P1
XREF_CLK0	IO	外部リファレンス クロック入力 0	J1	G1
XREF_CLK1	IO	外部リファレンス クロック入力 1	K2	G2

表 5-17. 出力クロック信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MCU_CLKOUT	O	MCU 出力リファレンス クロック	E3、J1	D2、G1
OBS_CLKOUT	O	観測クロック出力	E3、F1、G17、H18	D2、D3、E13、F15
OSCCLKOUT	O	リファレンス クロック出力	T4	R2
PMIC_CLKOUT	O	PMIC 同期クロック出力	F1、H1、H2、K2	D3、F1、F3、G2
RCOSC_CLK	O	内部 RCOSC クロック出力	A2、B2、E17	B3、C14、C3
RCSS_ATL_CLK0	IO	オーディオトラッキング ロジック クロック 0	B19、H18	A13、F15
RCSS_ATL_CLK1	IO	オーディオトラッキング ロジック クロック 1	G17	E13

5.3.10 JTAG 信号の説明

表 5-18. JTAG 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
TCK	I	JTAG テスト クロック	C3	D4
TDI	I	JTAG テスト データ入力	C5	C5
TDO	O	JTAG テスト データ出力	D6	C6
TMS	IO	JTAG テスト モード選択	D4	C4

5.3.11 LVDS 信号の説明

表 5-19. LVDS 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
LVDS_CLKM	O	LVDS/Aurora トランスミッタ、クロック、負の極性	W7	
LVDS_CLKP	O	LVDS/Aurora トランスミッタ、クロック、正の極性	V7	
LVDS_FRCLKM	O	LVDS/Aurora トランスミッタ、フレーム クロック、負の極性	W8	
LVDS_FRCLKP	O	LVDS/Aurora トランスミッタ、フレーム クロック、正の極性	V8	
LVDS_TXM0	O	LVDS/Aurora トランスミッタ、データ出力、負の極性、レーン 0	V6	
LVDS_TXM1	O	LVDS/Aurora トランスミッタ、データ出力、負の極性、レーン 1	V5	
LVDS_TXM2	O	LVDS/Aurora トランスミッタ、データ出力、負の極性、レーン 2	V4	
LVDS_TXM3	O	LVDS/Aurora トランスミッタ、データ出力、負の極性、レーン 3	V3	
LVDS_TXP0	O	LVDS/Aurora トランスミッタ、データ出力、正の極性、レーン 0	W6	
LVDS_TXP1	O	LVDS/Aurora トランスミッタ、データ出力、正の極性、レーン 1	W5	
LVDS_TXP2	O	LVDS/Aurora トランスミッタ、データ出力、正の極性、レーン 2	W4	
LVDS_TXP3	O	LVDS/Aurora トランスミッタ、データ出力、正の極性、レーン 3	W3	

5.3.12 MCAN 信号の説明

表 5-20. MCANA 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MSS_MCANA_RX	I	メイン サブシステム、CAN-FD A、レシーバ	B2、C1、D18、D4、E2、G2、W13	A3、B1、B14、B3、C4、E1、P7
MSS_MCANA_TX	O	メイン サブシステム、CAN-FD A、トランスミッタ	A2、B1、C3、D1、D19、G1、V13	A4、B15、C2、C3、D4、E3、P8

表 5-21. MCANB 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MSS_MCANB_RX	I	メイン サブシステム、CAN-FD B、レシーバ	B2、C1、C18、V10	A3、B13、B3、P5
MSS_MCANB_TX	O	メイン サブシステム、CAN-FD B、トランスミッタ	A2、B1、C19、W11	A14、A4、C3、N5

5.3.13 MCASP 信号の説明

表 5-22. MCASPA 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
RCSS_MCASPA_ACLKR	IO	マルチチャネル オーディオ シリアル ポート A ビット クロック、レシーバ	A18	B12
RCSS_MCASPA_ACLKX	IO	マルチチャネル オーディオ シリアル ポート A ビット クロック、トランスミッタ	B18	A12

表 5-22. MCASPA 信号の説明 (続き)

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
RCSS_MCASPA_AHCLKX	IO	マルチチャネル オーディオ シリアル ポート A 高周波クロック、トランスミッタ	B19	A13
RCSS_MCASPA_DAT0	IO	マルチチャネル オーディオ シリアル ポート A データ	A17	B11
RCSS_MCASPA_DAT1	IO	マルチチャネル オーディオ シリアル ポート A データ	B16	C11
RCSS_MCASPA_DAT2	IO	マルチチャネル オーディオ シリアル ポート A データ	C15	B7
RCSS_MCASPA_DAT3	IO	マルチチャネル オーディオ シリアル ポート A データ	A16	C7
RCSS_MCASPA_DAT4	IO	マルチチャネル オーディオ シリアル ポート A データ	B15	B6
RCSS_MCASPA_DAT5	IO	マルチチャネル オーディオ シリアル ポート A データ	A15	A6
RCSS_MCASPA_DAT6	IO	マルチチャネル オーディオ シリアル ポート A データ	B14	B5
RCSS_MCASPA_DAT7	IO	マルチチャネル オーディオ シリアル ポート A データ	C13	A5
RCSS_MCASPA_DAT8	IO	マルチチャネル オーディオ シリアル ポート A データ	A17	B11
RCSS_MCASPA_DAT9	IO	マルチチャネル オーディオ シリアル ポート A データ	B16	C11
RCSS_MCASPA_DAT10	IO	マルチチャネル オーディオ シリアル ポート A データ	C15	B7
RCSS_MCASPA_DAT11	IO	マルチチャネル オーディオ シリアル ポート A データ	A16	C7
RCSS_MCASPA_DAT12	IO	マルチチャネル オーディオ シリアル ポート A データ	B15	B6
RCSS_MCASPA_DAT13	IO	マルチチャネル オーディオ シリアル ポート A データ	A15	A6
RCSS_MCASPA_DAT14	IO	マルチチャネル オーディオ シリアル ポート A データ	B14	B5
RCSS_MCASPA_DAT15	IO	マルチチャネル オーディオ シリアル ポート A データ	C13	A5
RCSS_MCASPA_FSR	IO	マルチチャネル オーディオ シリアル ポート A フレーム同期クロック、レシーバ	B17	A11
RCSS_MCASPA_FSX	IO	マルチチャネル オーディオ シリアル ポート A フレーム同期クロック、トランスミッタ	C17	C12

表 5-23. MCASPB 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
RCSS_MCASPB_ACLKR	IO	マルチチャネル オーディオ シリアル ポート B ビットクロック、レシーバ	W13	P7
RCSS_MCASPB_ACLKX	IO	マルチチャネル オーディオ シリアル ポート B ビットクロック、トランスミッタ	W14	R8
RCSS_MCASPB_AHCLKR	IO	マルチチャネル オーディオ シリアル ポート B 高周波クロック、レシーバ	G3	E2
RCSS_MCASPB_AHCLKX	IO	マルチチャネル オーディオ シリアル ポート B 高周波クロック、トランスミッタ	V12	R7

表 5-23. MCASPB 信号の説明 (続き)

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
RCSS_MCASPB_DAT0	IO	マルチチャネル オーディオ シリアル ポート B データ	V11	R6
RCSS_MCASPB_DAT1	IO	マルチチャネル オーディオ シリアル ポート B データ	W11	N5
RCSS_MCASPB_DAT2	IO	マルチチャネル オーディオ シリアル ポート B データ	V10	P5
RCSS_MCASPB_DAT3	IO	マルチチャネル オーディオ シリアル ポート B データ	W10	R5
RCSS_MCASPB_DAT4	IO	マルチチャネル オーディオ シリアル ポート B データ	T10	N4
RCSS_MCASPB_DAT5	IO	マルチチャネル オーディオ シリアル ポート B データ	W12	N6
RCSS_MCASPB_FSR	IO	マルチチャネル オーディオ シリアル ポート B フレーム同期クロック、レシーバ	U11	P6
RCSS_MCASPB_FSX	IO	マルチチャネル オーディオ シリアル ポート B フレーム同期クロック、トランスミッタ	V13	P8

表 5-24. MCASPC 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
RCSS_MCASPC_ACLKR	IO	マルチチャネル オーディオ シリアル ポート C ビットクロック、レシーバ	V15	R10
RCSS_MCASPC_ACLKX	IO	マルチチャネル オーディオ シリアル ポート C ビットクロック、トランスミッタ	V14	R9
RCSS_MCASPC_AHCLKX	IO	マルチチャネル オーディオ シリアル ポート C 高周波クロック、トランスミッタ	U13	P9
RCSS_MCASPC_DAT0	IO	マルチチャネル オーディオ シリアル ポート C データ	U15	R11
RCSS_MCASPC_DAT1	IO	マルチチャネル オーディオ シリアル ポート C データ	V16	P11
RCSS_MCASPC_DAT2	IO	マルチチャネル オーディオ シリアル ポート C データ	W17	N11
RCSS_MCASPC_DAT3	IO	マルチチャネル オーディオ シリアル ポート C データ	V17	R12
RCSS_MCASPC_DAT4	IO	マルチチャネル オーディオ シリアル ポート C データ	W18	P12
RCSS_MCASPC_DAT5	IO	マルチチャネル オーディオ シリアル ポート C データ	U17	N12
RCSS_MCASPC_FSR	IO	マルチチャネル オーディオ シリアル ポート C フレーム同期クロック、レシーバ	W16	P10
RCSS_MCASPC_FSX	IO	マルチチャネル オーディオ シリアル ポート C フレーム同期クロック、トランスミッタ	W15	N9

5.3.14 イーサネット信号の説明

表 5-25. MDIO 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MSS_MDIO_CLK	O	メイン サブシステム、イーサネット MDIO クロック	R19	M15

表 5-25. MDIO 信号の説明 (続き)

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MSS_MDIO_DATA	IO	メイン サブシステム、イーサネット MDIO データ	P19	M14

表 5-26. MII 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MSS_MII_COL	I	メイン サブシステム、イーサネット MII、衝突検出	E19	C13
MSS_MII_CRS	I	メイン サブシステム、イーサネット MII、キャリア検知	F16	D14
MSS_MII_RXCLK	I	メイン サブシステム、イーサネット MII、受信クロック	M19	K15
MSS_MII_RXD0	I	メイン サブシステム、イーサネット MII、受信データ 0	P18	M13
MSS_MII_RXD1	I	メイン サブシステム、イーサネット MII、受信データ 1	N19	L15
MSS_MII_RXD2	I	メイン サブシステム、イーサネット MII、受信データ 2	M18	L14
MSS_MII_RXD3	I	メイン サブシステム、イーサネット MII、受信データ 3	K19、L19	H15、J13
MSS_MII_RXDV	I	メイン サブシステム、イーサネット MII、受信データ有効	J17	G13
MSS_MII_RXER	I	メイン サブシステム、イーサネット MII、受信エラー	F18	D13
MSS_MII_TXD0	O	メイン サブシステム、イーサネット MII、送信データ 0	L18	J14
MSS_MII_TXD1	O	メイン サブシステム、イーサネット MII、送信データ 1	L17	J15
MSS_MII_TXD2	O	メイン サブシステム、イーサネット MII、送信データ 2	K16	H13
MSS_MII_TXD3	O	メイン サブシステム、イーサネット MII、送信データ 3	K18	H14
MSS_MII_TXEN	O	メイン サブシステム、イーサネット MII、送信イネーブル	J18	G15

表 5-27. RMII 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MSS_RMII_CRS_DV	I	メイン サブシステム、イーサネット RMII、キャリア検知 / 受信データ有効	F16	D14
MSS_RMII_REFCLK	IO	メイン サブシステム、イーサネット RMII、リファレンスクロック	E19	C13
MSS_RMII_RXD0	I	メイン サブシステム、イーサネット RMII、受信データ 0	P18	M13
MSS_RMII_RXD1	I	メイン サブシステム、イーサネット RMII、受信データ 1	N19	L15
MSS_RMII_RXER	I	メイン サブシステム、イーサネット RMII、受信エラー	F18	D13
MSS_RMII_TXD0	O	メイン サブシステム、イーサネット RMII、送信データ 0	L18	J14
MSS_RMII_TXD1	O	メイン サブシステム、イーサネット RMII、送信データ 1	L17	J15
MSS_RMII_TXEN	O	メイン サブシステム、イーサネット RMII、送信イネーブル	J18	G15

表 5-28. RGMII 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MSS_RGMII_RCLK	I	メイン サブシステム、イーサネット RGMII、受信クロック	M19	K15

表 5-28. RGMII 信号の説明 (続き)

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MSS_RGMII_RCTL	I	メイン サブシステム、イーサネット RGMII、受信制御	J17	G13
MSS_RGMII_RD0	I	メイン サブシステム、イーサネット RGMII、レシーバ 0	P18	M13
MSS_RGMII_RD1	I	メイン サブシステム、イーサネット RGMII、レシーバ 1	N19	L15
MSS_RGMII_RD2	I	メイン サブシステム、イーサネット RGMII、レシーバ 2	M18	L14
MSS_RGMII_RD3	I	メイン サブシステム、イーサネット RGMII、レシーバ 3	K19、L19	H15、J13
MSS_RGMII_TCTL	O	メイン サブシステム、イーサネット RGMII、送信制御	J18	G15
MSS_RGMII_TD0	O	メイン サブシステム、イーサネット RGMII、トランスミッタ 0	L18	J14
MSS_RGMII_TD1	O	メイン サブシステム、イーサネット RGMII、トランスミッタ 1	L17	J15
MSS_RGMII_TD2	O	メイン サブシステム、イーサネット RGMII、トランスミッタ 2	K16	H13
MSS_RGMII_TD3	O	メイン サブシステム、イーサネット RGMII、トランスミッタ 3	K18	H14

5.3.15 GPIO 信号の説明

表 5-29. MSS GPIO 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MSS_GPIO_0	IO	メイン サブシステム GPIO	H1、V9	B10、F3、P4
MSS_GPIO_1	IO	メイン サブシステム GPIO	J1、J2	A10、F2、G1
MSS_GPIO_2	IO	メイン サブシステム GPIO	H2、K2、U18	A9、F1、G2、N13
MSS_GPIO_3	IO	メイン サブシステム GPIO	B2、H18、W18	B3、C9、F15、P12
MSS_GPIO_4	IO	メイン サブシステム GPIO	D19、G17	B15、B9、E13
MSS_GPIO_5	IO	メイン サブシステム GPIO	D18、G19	B14、E14
MSS_GPIO_6	IO	メイン サブシステム GPIO	F19、F2	C1、D15
MSS_GPIO_7	IO	メイン サブシステム GPIO	E1、G18	D1、E15
MSS_GPIO_8	IO	メイン サブシステム GPIO	B3、C2、U18	B2、B4、N13
MSS_GPIO_9	IO	メイン サブシステム GPIO	B19、D2、W18	A13、A2、A8、P12
MSS_GPIO_10	IO	メイン サブシステム GPIO	B18、D1	A12、B8、C2
MSS_GPIO_11	IO	メイン サブシステム GPIO	C17、E2	A7、B1、C12
MSS_GPIO_12	IO	メイン サブシステム GPIO	A18、E18	B12、C15
MSS_GPIO_13	IO	メイン サブシステム GPIO	B17、H1	A11、F3
MSS_GPIO_14	IO	メイン サブシステム GPIO	A17、G1	B11、E3
MSS_GPIO_15	IO	メイン サブシステム GPIO	B16、G2	C11、E1
MSS_GPIO_16	IO	メイン サブシステム GPIO	C15、J2	B7、F2
MSS_GPIO_17	IO	メイン サブシステム GPIO	A16、C3	C7、D4
MSS_GPIO_18	IO	メイン サブシステム GPIO	B15、D4	B6、C4
MSS_GPIO_19	IO	メイン サブシステム GPIO	A15、C1	A3、A6
MSS_GPIO_20	IO	メイン サブシステム GPIO	B1、B14	A4、B5
MSS_GPIO_21	IO	メイン サブシステム GPIO	C13、C18	A5、B13

表 5-29. MSS GPIO 信号の説明 (続き)

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MSS_GPIO_22	IO	メイン サブシステム GPIO	C19	A14、B10
MSS_GPIO_23	IO	メイン サブシステム GPIO	C5	A10、C5
MSS_GPIO_24	IO	メイン サブシステム GPIO	D6	A9、C6
MSS_GPIO_25	IO	メイン サブシステム GPIO	E3	C9、D2
MSS_GPIO_26	IO	メイン サブシステム GPIO	H2	B9、F1
MSS_GPIO_27	IO	メイン サブシステム GPIO	F1	A8、D3
MSS_GPIO_28	IO	メイン サブシステム GPIO	G3	B8、E2
MSS_GPIO_29	IO	メイン サブシステム GPIO	E17	A7、C14
MSS_GPIO_30	IO	メイン サブシステム GPIO	A2、P19	C3、M14
MSS_GPIO_31	IO	メイン サブシステム GPIO	R19、V16	M15、P11

表 5-30. RCSS GPIO 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
RCSS_GPIO_32	IO	レーダー制御サブシステム GPIO	R18、U15、V9	N15、P4、R11
RCSS_GPIO_33	IO	レーダー制御サブシステム GPIO	J1、R17、W16	G1、N14、P10
RCSS_GPIO_34	IO	レーダー制御サブシステム GPIO	H2、K2、T18、U18、V15	F1、G2、N13、P15、R10
RCSS_GPIO_35	IO	レーダー制御サブシステム GPIO	H18、T19、W15、W18	F15、N9、P12、P14
RCSS_GPIO_36	IO	レーダー制御サブシステム GPIO	G17、U18、V14	E13、N13、R9
RCSS_GPIO_37	IO	レーダー制御サブシステム GPIO	G19、U13、U19	E14、P13、P9
RCSS_GPIO_38	IO	レーダー制御サブシステム GPIO	F19、V18、W14	D15、R13、R8
RCSS_GPIO_39	IO	レーダー制御サブシステム GPIO	G18、V13、V19	E15、P8、R14
RCSS_GPIO_40	IO	レーダー制御サブシステム GPIO	B3、U17、U18、W13	B4、N12、N13、P7
RCSS_GPIO_41	IO	レーダー制御サブシステム GPIO	B19、U11、W18	A13、P12、P6
RCSS_GPIO_42	IO	レーダー制御サブシステム GPIO	B18、V11、V17	A12、R12、R6
RCSS_GPIO_43	IO	レーダー制御サブシステム GPIO	C17、W11、W17	C12、N11、N5
RCSS_GPIO_44	IO	レーダー制御サブシステム GPIO	A18、U3、V10	B12、P5、R3
RCSS_GPIO_45	IO	レーダー制御サブシステム GPIO	B17、W10、W2	A11、R4、R5
RCSS_GPIO_46	IO	レーダー制御サブシステム GPIO	A17、J19、T10	B11、G14、N4
RCSS_GPIO_47	IO	レーダー制御サブシステム GPIO	B16、H19、W12	C11、F14、N6
RCSS_GPIO_48	IO	レーダー制御サブシステム GPIO	C15、V12	B7、R7
RCSS_GPIO_49	IO	レーダー制御サブシステム GPIO	A16、E19	C13、C7
RCSS_GPIO_50	IO	レーダー制御サブシステム GPIO	B15、F16	B6、D14
RCSS_GPIO_51	IO	レーダー制御サブシステム GPIO	A15、F18	A6、D13
RCSS_GPIO_52	IO	レーダー制御サブシステム GPIO	B14、J18	B5、G15
RCSS_GPIO_53	IO	レーダー制御サブシステム GPIO	C13、J17	A5、G13
RCSS_GPIO_54	IO	レーダー制御サブシステム GPIO	K18	B10、H14
RCSS_GPIO_55	IO	レーダー制御サブシステム GPIO	K16	A10、H13
RCSS_GPIO_56	IO	レーダー制御サブシステム GPIO	L17	A9、J15
RCSS_GPIO_57	IO	レーダー制御サブシステム GPIO	L18	C9、J14

表 5-30. RCSS GPIO 信号の説明 (続き)

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
RCSS_GPIO_58	IO	レーダー制御サブシステム GPIO	K19	B9, H15
RCSS_GPIO_59	IO	レーダー制御サブシステム GPIO	M19	A8, K15
RCSS_GPIO_60	IO	レーダー制御サブシステム GPIO	L19	B8, J13
RCSS_GPIO_61	IO	レーダー制御サブシステム GPIO	M18	A7, L14
RCSS_GPIO_62	IO	レーダー制御サブシステム GPIO	N19	L15
RCSS_GPIO_63	IO	レーダー制御サブシステム GPIO	P18	M13

5.3.16 電源信号の説明

表 5-31. 電源信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
VBGAP	PWR	バンドギャップ出力	T1	M1
VDD	PWR	1.2V コア デジタル電源	E11, E9, F11, F9, G14, G15, G5, G6, J14, J15, J5, J6, L14, L15, L5, L6, N14, N15, N5, N6, P11, P9, R11, R9	D7, D9, E11, E12, E4, E5, H11, H12, H4, H5, L11, L12, L4, L5, M7, M9
VDD_SRAM1	PWR	1.2V SRAM デジタル電源	N17	K14
VDD_SRAM2	PWR	1.2V SRAM デジタル電源	J3	G3
VDD_SRAM3	PWR	1.2V SRAM デジタル電源	T8	M6
VIOIN	PWR	1.8V/3.3V デジタル I/O 電源	D14, F4, H16, K4, P16, R5, T12	C10, F13, F4, K13, N10
VIOIN_18	PWR	1.8V デジタル I/O 電源	E15, H4, M16, M4, T14	C8, J12, J4, N8
VIOIN_18ADC	PWR	1.8V ADC 電源	R3	M2
VIOIN_18CLK	PWR	1.8V クロック電源	U2	N2
VIOIN_18CSI	PWR	1.8V CSI 電源	C11, C9	
VIOIN_18LVDS	PWR	1.8V LVDS 電源	U5, U7	
VNWA	PWR	1.2V の N ウェル バイアス	N18	L13
VPP	PWR	E-fuse プログラミング電圧	U9	N7

表 5-31. 電源信号の説明 (続き)

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
VSS	GND	グラウンドリターン	A1, A14, A19, A3, C7, D10, D12, D16, D8, E12, E13, E5, E7, E8, F12, F13, F14, F6, F7, F8, G10, G11, G12, G13, G7, G8, G9, H10, H11, H12, H13, H7, H8, H9, J10, J11, J12, J13, J7, J8, J9, K10, K11, K12, K13, K7, K8, K9, L10, L11, L12, L13, L7, L8, L9, M10, M11, M12, M13, M7, M8, M9, N10, N11, N12, N13, N7, N8, N9, P12, P13, P14, P6, P7, P8, R12, R13, R15, R7, R8, T16, T6, V2, W1, W19, W9	A1, A15, D10, D11, D12, D5, D6, D8, E10, E6, E7, E8, E9, F10, F11, F12, F5, F6, F7, F8, F9, G10, G11, G12, G4, G5, G6, G7, G8, G9, H10, H6, H7, H8, H9, J10, J11, J5, J6, J7, J8, J9, K10, K11, K12, K4, K5, K6, K7, K8, K9, L10, L6, L7, L8, L9, M10, M11, M12, M4, M5, M8, P2, R1, R15

5.3.17 QSPI 信号の説明

表 5-32. QSPI 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MSS_QSPI_CLK	IO	メインサブシステム、QSPI クロック	E1	D1
MSS_QSPI_CS	O	メインサブシステム、QSPI チップセレクト	F2	C1
MSS_QSPI_D0	IO	メインサブシステム、QSPI 入出力 0	C2	B2
MSS_QSPI_D1	I	メインサブシステム、QSPI 入出力 1	D2	A2
MSS_QSPI_D2	I	メインサブシステム、QSPI 入出力 2	D1	C2
MSS_QSPI_D3	I	メインサブシステム、QSPI 入出力 3	E2	B1

5.3.18 予約済み信号の説明

表 5-33. 予約済み信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
Reserved1	予約済み	予約済み。VSS は PCB へ短絡	P4	L3
Reserved2	予約済み	予約済み。VSS は PCB へ短絡	N3	K3

5.3.19 UART 信号の説明

表 5-34. RS232 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MSS_RS232_RX	IO	メイン サブシステム、デバッグ RS232 (UART) レシーバ	A18、G2	B12、E1
MSS_RS232_TX	IO	メイン サブシステム、デバッグ RS232 (UART) トランスミッタ	B17、G1	A11、E3

表 5-35. RCSS UARTA 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
RCSS_UARTA_CTS	I	レーダー制御サブシステム、UART A、UART A、送信許可	A18、G17	A8、B12、E13
RCSS_UARTA_RTS	O	レーダー制御サブシステム、UART A、送信要求	C17、H18	B9、C12、F15
RCSS_UARTA_RX	I	レーダー制御サブシステム、UART A、UART A、レシーバ	B16、B18、J19	A12、A7、C11、G14
RCSS_UARTA_TX	O	レーダー制御サブシステム、UART A、UART A、トランスミッタ	A17、B17、B19、H19	A11、A13、B11、B8、F14

表 5-36. UARTA 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
DSS_UARTA_RX	IO	DSP サブシステム UARTA RX	B18、C5、G3、H19、W12、W2	A12、A8、C5、E2、F14、N6、R4
DSS_UARTA_TX	IO	DSP サブシステム UARTA TX	B17、B19、B2、C1、C19、E1、J19、U3、V12、V9、W14	A11、A13、A14、A3、B3、D1、G14、P4、R3、R7、R8
MSS_UARTA_RX	IO	メイン サブシステム、UART A、レシーバ	C5、D18、G18、G2、J19、U15、U3	B10、B14、C5、E1、E15、G14、R11、R3
MSS_UARTA_TX	IO	メイン サブシステム、UART A、トランスミッタ	B17、B3、D19、D6、G1、H19、V16、V9、W2	A10、A11、B15、B4、C6、E3、F14、P11、P4、R4

表 5-37. UARTB 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MSS_UARTB_RX	IO	メイン サブシステム、UART B、レシーバ	A18、F19、G2、G3、J17、W2	B12、C9、D15、E1、E2、G13、R4
MSS_UARTB_TX	IO	メイン サブシステム、UART B、トランスミッタ	B17、C17、C3、D18、D19、D6、G1、G19、H2、K18、U3、V14、V9	A11、A9、B14、B15、C12、C6、D4、E14、E3、F1、H14、P4、R3、R9

5.3.20 SPI 信号の説明

表 5-38. SPIA 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MSS_MIBSPIA_CLK	IO	メイン サブシステム、SPI A、クロック	B2、G19、T18	B3、E14、P15

表 5-38. SPIA 信号の説明 (続き)

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MSS_MIBSPIA_CS0	IO	メイン サブシステム, SPI A、チップセレクト 0	A2, F19, T19	C3, D15, P14
MSS_MIBSPIA_HOSTIRQ	O	メイン サブシステム, SPI A、ホスト割り込み入力	E18, G18, U18	C15, E15, N13
MSS_MIBSPIA_MISO	IO	メイン サブシステム, SPI A、コントローラ入力、ペリフェラル出力	B1, G17, R17	A4, E13, N14
MSS_MIBSPIA_MOSI	IO	メイン サブシステム, SPI A、コントローラ出力、ペリフェラル入力	C1, H18, R18	A3, F15, N15

表 5-39. SPIB 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
MSS_MIBSPIB_CLK	IO	メイン サブシステム, SPI B、クロック	D18, E1, V19	B14, D1, R14
MSS_MIBSPIB_CS0	IO	メイン サブシステム, SPI B、チップセレクト 0	D19, F2, U17	B15, C1, N12
MSS_MIBSPIB_CS1	IO	メイン サブシステム, SPI B、チップセレクト 1	E17, E18, J2, W18	C14, C15, F2, P12
MSS_MIBSPIB_CS2	IO	メイン サブシステム, SPI B、チップセレクト 2	D2, E17, J2, U18	A2, C14, F2, N13
MSS_MIBSPIB_MISO	IO	メイン サブシステム, SPI B、コントローラ入力、ペリフェラル出力	C19, C2, V18	A14, B2, R13
MSS_MIBSPIB_MOSI	IO	メイン サブシステム, SPI B、コントローラ出力、ペリフェラル入力	C18, D2, U19	A2, B13, P13

表 5-40. RCSS SPIA 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
RCSS_MIBSPIA_CLK	IO	レーダー制御サブシステム SPI A、クロック	T18	P15
RCSS_MIBSPIA_CS0	IO	レーダー制御サブシステム SPI A、チップセレクト 0	T19	P14
RCSS_MIBSPIA_CS1	IO	レーダー制御サブシステム SPI B、チップセレクト 1	U18	N13
RCSS_MIBSPIA_MISO	IO	レーダー制御サブシステム SPI A、コントローラ入力、ペリフェラル出力	R17	N14
RCSS_MIBSPIA_MOSI	IO	レーダー制御サブシステム SPI A、コントローラ出力、ペリフェラル入力	R18	N15

表 5-41. RCSS SPIB 信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
RCSS_MIBSPIB_CLK	IO	レーダー制御サブシステム SPI B、クロック	V19	R14
RCSS_MIBSPIB_CS0	IO	レーダー制御サブシステム SPI B、チップセレクト 0	U17	N12
RCSS_MIBSPIB_CS1	IO	レーダー制御サブシステム SPI B、チップセレクト 1	W18	P12
RCSS_MIBSPIB_MISO	IO	レーダー制御サブシステム SPI B、コントローラ入力、ペリフェラル出力	V18	R13
RCSS_MIBSPIB_MOSI	IO	レーダー制御サブシステムの SPI B、コントローラ出力、ペリフェラル入力	U19	P13

5.3.21 システム信号の説明

表 5-42. システム信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
NERROR_IN	I	安全性、エラー入力	L3	H2

表 5-42. システム信号の説明 (続き)

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
NERROR_OUT	IO	安全性、エラー出力	L1	H1
NRESET	I	パワーオン リセット入力。アクティブ Low。	L2	J3
SYNC_IN	I	低周波数同期信号入力	G3	E2
WARM_RESET	IO	ウォーム リセット入力。リセット ステータス出力。	K1	H3

5.3.22 トレース信号の説明

表 5-43. トレース信号の説明

信号名	信号のタイプ	説明	ZCE ピン	NZN ピン
TRACE_CLK	O	トレース クロック	W12	N6
TRACE_CTL	O	トレース制御	V12	R7
TRACE_DATA_0	O	トレース データ	V16	P11
TRACE_DATA_1	O	トレース データ	U15	R11
TRACE_DATA_2	O	トレース データ	W16	P10
TRACE_DATA_3	O	トレース データ	V15	R10
TRACE_DATA_4	O	トレース データ	W15	N9
TRACE_DATA_5	O	トレース データ	V14	R9
TRACE_DATA_6	O	トレース データ	U13	P9
TRACE_DATA_7	O	トレース データ	W14	R8
TRACE_DATA_8	O	トレース データ	V13	P8
TRACE_DATA_9	O	トレース データ	W13	P7
TRACE_DATA_10	O	トレース データ	U11	P6
TRACE_DATA_11	O	トレース データ	V11	R6
TRACE_DATA_12	O	トレース データ	W11	N5
TRACE_DATA_13	O	トレース データ	V10	P5
TRACE_DATA_14	O	トレース データ	W10	R5
TRACE_DATA_15	O	トレース データ	T10	N4

5.4 ピン接続要件

このセクションでは、特定の接続要件を持つパッケージ ボールと、未使用のパッケージ ボールの接続要件について説明します。

注

特に記述のない限り、すべての電源ボールには「推奨動作条件」セクションで規定されている電圧を供給する必要があります。

注

「未接続のまま」または「接続なし」(NC) は、これらのデバイスのボール番号にいかなる信号トレースも接続できないことを意味します。

注

詳細および設計上の背景については、関連する『[AM273x ハードウェア設計ガイド](#)』を参照してください。

表 5-44. 接続要件 - AM273x ZCE パッケージ

ボール番号	ボール名	接続要件
V1	CLKP	水晶振動子の励振出力。外部の水晶振動子端子に接続するか、1.8V 発振器出力で駆動することができます。
U1	CLKM	水晶振動子の励振入力。外部の水晶振動子端子に接続できます。外部の 1.8V 発振器を使用して CLKP ピンを駆動する場合は、この CLKM ピンを VSS に接続する必要があります。プルダウン抵抗を介して接続することを推奨します。
T1	VBGAP	バンドギャップ電圧を適切に動作させるため、外付けの 0.047μF コンデンサに接続する必要があります。
N18, N17, J3, T8	VNWA, VDD_SRAM_1, VDD_SRAM_2, VDD_SRAM_3	これらの電源ピンはすべて、共通の VDD 1.2V コア電源ネットに短絡する必要があります。PCB 上に別々のデカップリング容量を確保する必要があります。
U9	VPP	有効な e-Fuse プログラミング電圧源に接続するか、コネクタに配線します。これを使わない場合、PCB 上で完全に接続解除する必要があります。
K1, L1, L3	WARM_RESET, NERROR_OUT, NERROR_IN	WARM_RESET, NERROR_OUT, NERROR_IN は、フェイルセーフのオープンドレイン I/O として実装されています。これらのピンには、正しく機能させるために、VIOIN への個別の外部プルアップ抵抗が必要です。
P4, N3	RESERVED1, RESERVED2	予約済み信号。VSS に短絡する必要があります。

表 5-45. 接続要件 - AM273x NZN パッケージ

ボール番号	ボール名	接続要件
P1	CLKP	水晶振動子の励振出力。外部の水晶振動子端子に接続するか、1.8V 発振器出力で駆動することができます。
N1	CLKM	水晶振動子の励振入力。外部の水晶振動子端子に接続できます。外部の 1.8V 発振器を使用して CLKP ピンを駆動する場合は、この CLKM ピンを VSS に接続する必要があります。プルダウン抵抗を介して接続することを推奨します。
M1	VBGAP	バンドギャップ電圧を適切に動作させるため、外付けの 0.047μF コンデンサに接続する必要があります。
L13, K14, G3, M6	VNWA, VDD_SRAM_1, VDD_SRAM_2, VDD_SRAM_3	これらの電源ピンはすべて、共通の VDD 1.2V コア電源ネットに短絡する必要があります。PCB 上に別々のデカップリング容量を確保する必要があります。
N7	VPP	有効な e-Fuse プログラミング電圧源に接続するか、コネクタに配線します。これを使わない場合、PCB 上で完全に接続解除する必要があります。

表 5-45. 接続要件 - AM273x NZN パッケージ (続き)

ボール番号	ボール名	接続要件
H3, H1, H2	WARM_RESET、 NERROR_OUT、NERROR_IN	WARM_RESET、NERROR_OUT、NERROR_IN は、フェイルセーフのオープンドレイン I/O として実装されています。これらのピンには、正しく機能させるために、VIOIN への個別の外部プルアップ抵抗が必要です。
L3, K3	RESERVED1、RESERVED2	予約済み信号。VSS に短絡する必要があります。

注

内部プル抵抗は駆動力が弱い場合、動作条件によっては有効なロジックレベルを維持するのに十分な電流を供給できない場合があります。この状況は、逆のロジックレベルへのリークがある部品に接続されている場合や、内部抵抗によって有効なロジックレベルにプルされているだけのボールに接続された信号トレースに外部ノイズ源が結合した場合に発生することがあります。そのため、外付けプル抵抗を使って、ボールの有効なロジックレベルを保持することを推奨します。

デバイス IO の多くはデフォルトでオフになっているため、ソフトウェアで各 IO が初期化されるまで、接続されているすべてのデバイスの入力を有効なロジック状態に保持するために、外部プル抵抗が必要になる場合があります。構成可能なデバイス IO の状態は、「ピン属性」表の「リセット時のボールの状態 (RX/TX/PULL)」と「リセット後のボールの状態 (RX/TX/PULL)」列に定義されています。入力バッファ (RX) がオフになっている IO は、フローティング状態にしても、本デバイスに損傷を与えません。ただし、入力バッファ (RX) がオンになっている IO は、 V_{ILSS} と V_{IHSS} の間の電位にフローティングさせることはできません。入力をこれらのレベルの間の電位にフローティングさせた場合、入力バッファが大電流状態に入ることがあり、IO セルが損傷する可能性があります。

6 仕様

6.1 絶対最大定格

PARAMETER/PIN ^{(1) (2)}	説明		最小値	最大値	単位
VDD	1.2V デジタル電源		-0.5	1.4	V
VIN_SRAM	内部 SRAM 用 1.2V 電源レール		-0.5	1.4	V
VNWA	SRAM アレイのバック バイアス用 1.2V 電源レール		-0.5	1.4	V
VIOIN	I/O 電源 (3.3V または 1.8V): すべての LVCMOS1833 I/O はこの電源で動作します		-0.5	3.8	V
VIOIN_18	CMOS I/O 用 1.8V 電源		-0.5	2	V
VIOIN_18CLK	クロック モジュール用 1.8V 電源		-0.5	2	V
VIOIN_18DIFF	CSI2 および LVDS ポート用 1.8V 電源		-0.5	2	V
入力電圧	デュアル電圧 LVCMOS 入力、3.3V または 1.8V で動作 (定常状態)		-0.3V ~ VIOIN +0.3V		V
	デュアル電圧 LVCMOS 入力。3.3V/1.8V (過渡オーバーシュート/アンダーシュート) で動作		VIOIN +20%、信号周期の最大 20% まで		V
	CLKP/CLKN		-0.5	2	V
クランプ電流	クランプ電流の制限 ⁽³⁾		-20	20	mA
T _J	動作ジャンクション温度範囲	拡張自動車用	-40	140	°C
		産業用拡張	-40	105	
T _{stg}	プリント基板に半田付けした後の保存温度範囲		-55	150	°C

- (1) 「絶対最大定格」に記載されている値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみに関するものであり、絶対最大定格において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) すべての電圧値は、回路のグランド端子 GND を基準としたものです。
- (3) 過電圧または低電圧の状態では I/O の内部ダイオード保護セルを流れるクランプ電流を規定します。

6.2 ESD 定格 - 車載用

			値	単位
V _(ESD) 静電放電	ESD ストレス電圧 HBM、AEC Q100-002 準拠 ⁽¹⁾	すべてのピン	±2000	V
	ESD ストレス電圧 CDM、AEC Q100-011 準拠	すべてのピン	±500	
		角のピン (A1、A19、W1、W19)	±750	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 電源投入時間 (POH)

パラメータ ⁽¹⁾	産業用拡張	拡張自動車用
動作時の接合部温度 (T _J)	-40°C ~ 105°C	-40°C ~ 140°C
温度プロファイルでの POH	「拡張産業用温度プロファイル」を参照	「拡張車載用温度プロファイル」を参照

- (1) この情報は、お客様の利便性のみを目的として提供されるものであり、テキサス・インスツルメンツの半導体製品に関する標準的な契約条件に基づいて提供される保証を拡張または変更するものではありません。

6.3.1 車載用温度プロファイル

表 6-1. 拡張車載用温度プロファイル

T _J (°C)	時間	日	年	時間の割合
-40	1200	≅50	≅0.14	6%
75	4000	≅167	≅0.46	20%

表 6-1. 拡張車載用温度プロファイル (続き)

T _J (°C)	時間	日	年	時間の割合
95	13000	≅541	≅1.48	65%
130	1600	≅67	≅0.18	8%
140	200	≅8.5	≅0.023	1%
合計	20000	≅833	≅2.28	100%

6.3.2 産業用温度プロファイル

表 6-2. 拡張産業用温度プロファイル

T _J (°C)	合計時間	合計日数	合計年数
95	100000	≅4166	≅11.41
105 ⁽¹⁾	70000	≅2916	≅7.99

(1) CSI2.0 インターフェイスで 50% の使用率で動作することに基づいています

6.4 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

電源名	説明	最小値	公称値	最大値	単位
電源条件					
VDD	1.2V デジタル電源	1.14	1.2	1.32	V
VIN-SRAM	内蔵 SRAM 用 1.2V 電源レール	1.14	1.2	1.32	V
VNWA	SRAM アレイのバック バイアス用 1.2V 電源レール	1.14	1.2	1.32	V
VIOIN	I/O 電源 (3.3V モード): すべての LVCMOS1833 I/O はこの電源で動作します	3.135	3.3	3.465	V
VIOIN	I/O 電源 (1.8V モード): すべての LVCMOS1833 I/O はこの電源で動作します	1.71	1.8	1.89	V
VIOIN_18	LVCMOS1833 I/O 用 1.8V 電源	1.71	1.8	1.9	V
VIOIN_18CLK	クロック モジュール用 1.8V 電源	1.71	1.8	1.9	V
VIOIN_18ADC	クロック モジュール用 1.8V ADC モジュール	1.71	1.8	1.9	V
VIOIN_18CSI	CSI-2 D-PHY バッファ用 1.8V 電源	1.71	1.8	1.9	V
VIOIN_18LVDS	LVDS バッファ用 1.8V 電源	1.71	1.8	1.9	V
VPP	e-Fuse アレイ用 1.7V 電源	1.65	1.7	1.75	V
I/O 条件					
LVCMOS V _{IH}	LVCMOS18/33 (1.8V モード) 電圧入力 High	1.71			V
	LVCMOS18/33 (3.3V モード) 電圧入力 High	2.25			V
LVCMOS V _{IL}	LVCMOS18/33 (1.8V モード) 電圧入力 Low			0.3 × VIOIN	V
	LVCMOS18/33 (3.3V モード) 電圧入力 Low			0.3 × VIOIN	V
LVCMOS V _{OH}	LVCMOS18/33 (1.8 および 3.3V モード) 電圧出力 High (I _{OH} = 6mA)	VIOIN - 0.450			V
LVCMOS V _{OL}	LVCMOS18/33 (1.8V および 3.3V モード) 電圧出力 Low (I _{OL} = 6mA)	0.45			V
NRESET、SOP[4:0] V _{IH}	NRESET、SOP[4:0]、(1.8V モード) 電圧入力 High	0.96			V
	NRESET、SOP[4:0]、(3.3V モード) 電圧入力 High	1.57			V

6.4 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

電源名	説明	最小値	公称値	最大値	単位
NRESET、SOP[4:0] V _{IL}	NRESET、SOP[4:0]、(1.8V モード) 電圧入力 Low			0.2	V
	NRESET、SOP[4:0]、(3.3V モード) 電圧入力 Low			0.3	V
LVDS TX V _{OH}	電圧出力 High			1.5	V
LVDS TX V _{OL}	電圧出力 Low	0.9			V
CSI2 RX V _{IH} ⁽¹⁾	電圧入力 High - LP モード	0.74			V
CSI2 RX V _{IL} ⁽¹⁾	電圧入力 Low - LP モード			0.55	V
CSI2 RX V _{IH} ⁽¹⁾	電圧入力 High - HS モード			0.46	V
CSI2 RX V _{IL} ⁽¹⁾	電圧入力 Low - HS モード	-0.04			V
OSC_CLKOUT	電圧出力 High		1.4		V
	電圧出力 Low		VSS		V

(1) CSI2 レシーバは、MIPI D-PHY 標準バージョン 2.1 と互換性があります。

6.5 動作性能ポイント

このセクションでは、デバイスの動作条件について説明します。また、プロセッサ クロックとデバイス コア クロックの各動作性能の特長 (OPP) についても説明します。

注

シリコンの特性評価結果に応じて、OPP の電圧と周波数の値は変化する場合があります。

表 6-3 に、デバイスの速度グレードごとにサポートされる最大周波数を示します。

表 6-3. デバイス速度とメモリ グレード

デバイス	グレード	RAM (MB)	DSP (MHz)	R5FSS (MHz)
AM2731, AM2731-Q1	A	1.5	450	400
AM2732, AM2732-Q1	D	3.5625	450	400
AM2731, AM2731-Q1	L	2	550	400
AM2732, AM2732-Q1	M	3.5625	550	400
AM2731, AM2731-Q1	N	1.5	300	200

6.6 電源仕様

表 6-4 には、外部電源から供給される 4 つの電源レールと、AM273x デバイスの主要なサブシステムや電源ネットへの割り当て方法が記載されています。

表 6-4. 電源レールの特性：

電源	その電源から電力を供給されるデバイス ブロック	デバイス上の関連する入力電源ネット
1.8V	APLL、水晶発振器、ADC、CSI2、LVDS	入力: VIOIN_18CLK、VIOIN_18ADC、VIOIN_18DIFF、VIOIN_18LVDS、VIOIN_18CSI
3.3V (または、1.8V I/O モードの場合は 1.8V)	デジタル I/O	入力: VIOIN
1.2V	コア デジタルおよび SRAM	入力: VDD、VIN_SRAM1、VIN_SRAM2、VIN_SRAM3、VNWA

6.7 I/O バッファのタイプと電圧レールの依存関係

表 6-5. バッファのタイプ

バッファのタイプ (標準)	説明	電圧レール	ペリフェラル
LVC MOS	デュアル電圧 1.8V/3.3V LVC MOS I/O バッファ	VIOIN、VIOIN_18	リセット、QSPI、UART、SPI、I ² C、CAN-FD、GPIO、RGMII、MDIO、ePWM、eCAP、JTAG、トレース、SOP、安全性、DMM
GPADC	汎用ロジック ADC 入力	VIOIN_18ADC	GPADC
クロック サブシステム	クロック サブシステム水晶振動子または 1.8V シングルエンド入力バッファ	VIOIN_18CLK	CLKP/CLKM
クロック サブシステム出力	クロック サブシステムからのアナログ、低ジッタ出力	VIOIN_18CLK	OSC_CLKOUT
LVDS TX	LVDS 高速データ、差動出力バッファ	VIOIN_18DIFF	Aurora 向け LVDS
CSI2.0 RX	MIPI D-PHY CSI2.0 高速データ、差動入力バッファ	VIOIN_18DIFF	CSI2

6.8 CPU の仕様

表 6-6. CPU およびハードウェア アクセラレータの仕様

	パラメータ	最小値	最大値	単位
メイン サブシステム (MSS)	デュアルコア Cortex-R5F、ARMv7 ⁽²⁾			
	クロック速度		400	MHz
	L1 プログラム メモリ (I キャッシュ)、64 ビット ECC 付き		32	KB
	L1 データ メモリ (D キャッシュ)、32 ビット ECC 付き		32	KB
	L1 密結合メモリ ⁽³⁾ (TCM)、32 ビット ECC 付き	32	64	KB
	L2 メモリー		960	KB
DSP サブシステム (DSS)	シングルコア C66x DSP			
	クロック速度		550	MHz
	L1 プログラム メモリ		32	KB
	L1 データ メモリ		32	KB
	L2 メモリー ⁽¹⁾		384	KB
共有メモリ	共有 L3 メモリ ⁴	1.5	3.5625	MB

(1) C66x の L2 メモリは、最大 256KB まで RAM またはキャッシュとして構成できます。

(2) R5F デュアルコアを 1 つの冗長型ロックステップ デバイス、または 2 つの独立したコアとして構成可能です。

(3) R5F 最大 64KB TCM、32 ビット ECC 付き

- シングルコア ロックステップ モードでは、フル 64KB L1 TCM は 32KB TCMA および 32KB TCMB として利用できます
- デュアルコアの分割モードでは、各コアに 16KB の TCMA と 16KB の TCMB として利用可能な 32KB L1 TCM があります

(4) R5F と C66x サブシステムで使用可能な共有 L3 メモリ

6.9 nFBGA パッケージの熱抵抗特性 [ZCE285A]

熱評価基準 ⁽¹⁾	°C/W ^{(2) (3)}
R θ _{JC} 接合部とケースとの間	6.2
R θ _{JB} 接合部と基板との間	5.7
R θ _{JA} 接合部と自由空気との間	17.3
Ps _{iJT} 接合部とパッケージ上面との間	1.0
Ps _{iJB} 接合部と基板との間	5.6

(1) 従来および新しい熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』を参照してください。

(2) °C/W = 摂氏温度 / ワット。

(3) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [R θ_{JC}] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

6.10 nFBGA パッケージの熱抵抗特性 [NZN225A]

熱評価基準 ⁽¹⁾	°C/W ^{(2) (3)}
R θ _{JC} 接合部とケースとの間	6.1
R θ _{JB} 接合部と基板との間	5.9
R θ _{JA} 接合部と自由空気との間	18.2
Ps _{iJT} 接合部とパッケージ上面との間	0.7
Ps _{iJB} 接合部と基板との間	5.8

6.11 消費電力の概略

表 表 6-7 は、一連の代表的なアプリケーション使用率と熱パラメータについて、AM273x デバイスの平均消費電力をまとめたものです。表 表 6-8 に、デバイスの仮想的なピーク電流を示します。これらの表はどちらも、電源レギュレータと PCB 設計のスケーリングに使用できます。ただし、デバイスの実際の電力使用率は、デバイス コア、アクセラレータ、ペリフェラルのソフトウェア使用率、動作温度に依存します。正確に電力を計画できるよう、TI ではさまざまなシナリオでのデバイス電力使用率を推定するために使用できる電力推定ツール (PET) スプレッドシートを提供しています。詳細については、[sprad10](#) を参照してください。

表 6-7. 平均電力と電流

パラメータ	電源名	電源の説明	平均電力 (mW)	平均電流 (mA)
代表的な制御および処理の使用事例での平均消費電力と電流: - C66x DSP: 450MHz、50% の使用率 - R5F デュアル コア: 400MHz、70% の使用率 - CSI2-A/B: 4 レーン、600Mbps 動作 - SPI: 10% の使用率 - イーサネット: 100Mbps の動作、70% の使用率 - CAN: 8Mbps の動作、10% の使用率 - SPI: 25Mbps の動作、10% の使用率 - T_J = 25°C	VDD	1.2V コア デジタル電源	692	576
	VDD_SRAM	1.2V SRAM 電源	3	3
	VIOIN	1.8V または 3.3V デジタル I/O 電源	12	4
	VIOIN_18	1.8V デジタル I/O 電源	0	0
	VIOIN_18CLK	1.8V クロック電源	32	18
	VIOIN_18ADC	1.8V ADC 電源	3	2
	VIOIN_18CSI	1.8V CSI 電源	40	22
	VIOIN_18LVDS	1.8V LVDS 電源	125	69
	合計電力		907	

表 6-8. ピーク電流

電源名	電源の説明	ピーク電流 (mA)
VDD	1.2V コア デジタル電源	2315
VDD_SRAM	1.2V SRAM 電源	75
VIOIN	1.8V または 3.3V デジタル I/O 電源	74
VIOIN_18	1.8V デジタル I/O 電源	1
VIOIN_18CLK	1.8V クロック電源	18
VIOIN_18ADC	1.8V ADC 電源	2
VIOIN_18CSI	1.8V CSI 電源	23
VIOIN_18LVDS	1.8V LVDS 電源	70

6.12 電気的特性

このセクションでは、デバイス コンポーネント システムの電気的特性について説明します。

6.12.1 GPADC のパラメータ

表 6-9. GPADC のパラメータ

パラメータ		標準値	単位
ADC 電源		1.8	V
ADC 入力電圧範囲 ⁽¹⁾	バッファなし入力バス	0 – 1.8	V
	バッファ付き入力バス	0.4 – 1.3	V
ADC の分解能		10	ビット
ADC のオフセット誤差		±5	LSB

表 6-9. GPADC のパラメータ (続き)

パラメータ	標準値	単位
ADC のゲイン誤差	±5	LSB
ADC の DNL	-1/+2.5	LSB
ADC の INL	±2.5	LSB
ADC のサンプリング レート	625	kSPS
ADC のサンプリング時間	400	ns
ADC 内部静電容量	10	pF
ADC の入力静電容量	2	pF
ADC の入力リーク電流	3	μA

- (1) GPADC には、選択可能なすべての入力ソース用のバッファ付きパスとバッファなしパスが含まれています。バッファ付き入力パスにより入力範囲が狭くなります。外部の信号コンディショニングまたはスケーリング回路を構築するときは、この範囲縮小を考慮する必要があります。入力電圧範囲外で動作すると、GPADC は非線形に動作します。バッファなし入力およびバッファ付き入力の動作、ならびにその他の GPADC 機能の詳細については、『AM273x テクニカル リファレンス マニュアル [spruii0](#)』を参照してください。

6.13 タイミングおよびスイッチング特性

6.13.1 電源シーケンスおよびリセット タイミング

AM273x デバイスでは、NRESET がデアサートされる前に (VSS レベルから VIOIN レベルに移行)、すべての外部電圧レールと SOP ブート モード選択ラインが安定している必要があります。NRESET の立ち上がりエッジで、SOP ブート モードの状態がサンプリングされます。同様に、外部電圧レールは、NRESET がアサートされた後 (VIOIN レベルから VSS レベルに移行) にのみ電源をオフにする必要があります。図 6-1 に、デバイスのウェークアップおよびパワーダウン シーケンスを示します。

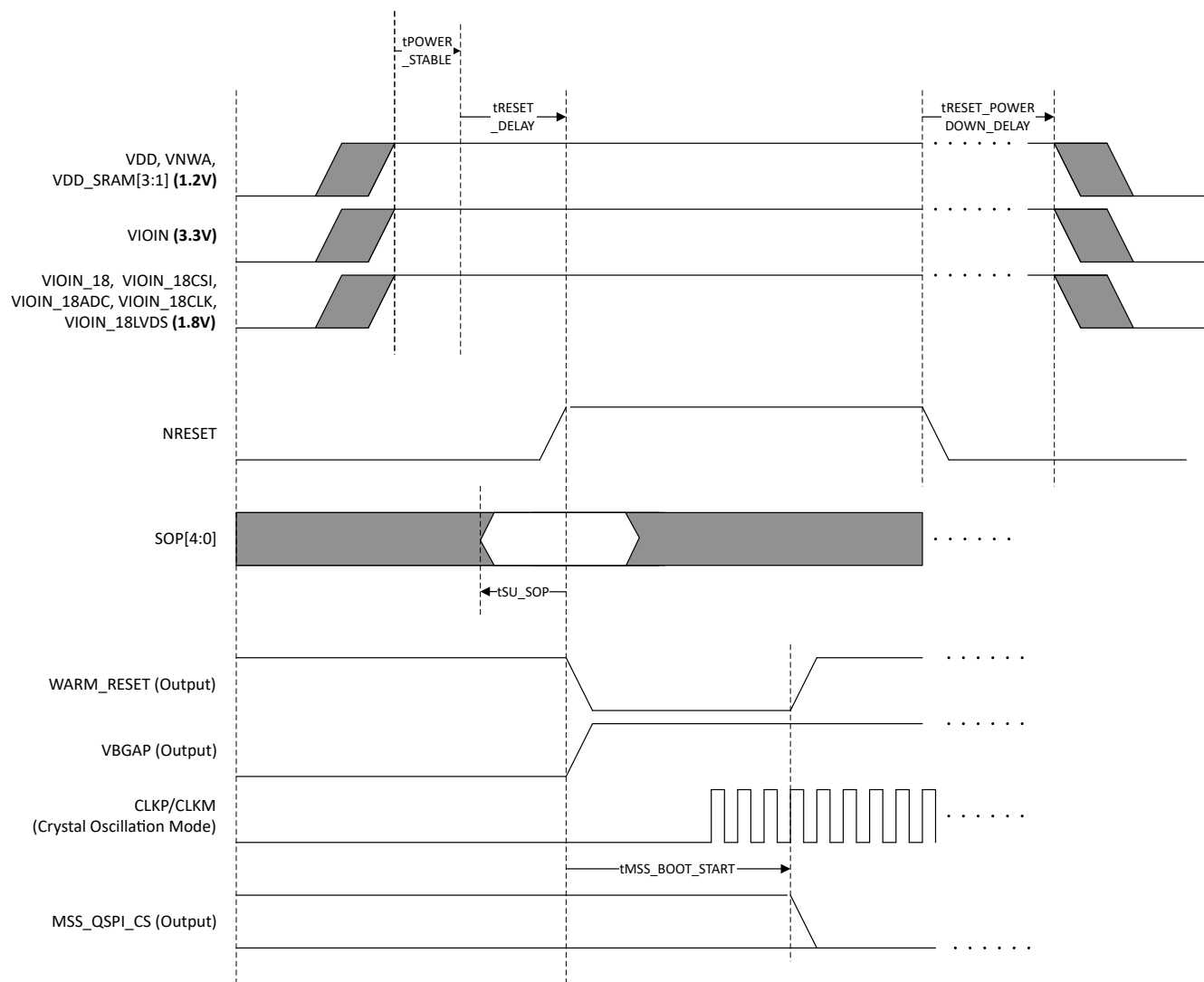


図 6-1. デバイスのパワーアップおよびパワーダウン シーケンス

表 6-10 は、に示されるタイミング値を一覧表示しています。図 6-1

表 6-10. デバイスのウェークアップ シーケンスのタイミング

名称	説明	最小値	標準値	最大値	単位
t ^{POWER_STABLE}	経過するとデバイス電源ネットが有効で、推奨動作条件になる、最初の電源オン後のセtring タイム。 すべての電源ピンが推奨動作ポイントになる前に、NRESET をデアサートしないでください (GND から VIOIN レベルに移行)。 すべてのデバイスの電源ピンの推奨動作条件については、「 推奨動作条件 」を参照してください。	0			ms
t ^{RESET_DELAY}	NRESET が VSS から VIOIN レベルに移行できるとき、デバイスの電源ネットが有効な公称値になってからの遅延。 電源が推奨動作条件になると、NRESET はいつでも VSS レベルから VIOIN レベルに移行できます。	0			ms

表 6-10. デバイスのウェークアップ シーケンスのタイミング (続き)

名称	説明	最小値	標準値	最大値	単位
t _{SU_SOP}	NRESET の立ち上がりエッジにより SOP 信号がサンプリングされるセットアップ時間。 電源が推奨動作条件になると、デバイスはいつでも SOP ピン ステータスをサンプリングする準備が整います。	0			ms
t _{MSS_BOOT_START}	NRESET の立ち上がりエッジからブート ROM が MSS コード実行を開始するまでの一般的な遅延。 デバイスの CLKP/CLKM 入力基準クロックが水晶振動子源 (水晶発振器モード) と外部発振器 (外部発振器モード) のどちらで動作するかによって値が異なります。外部発振器モードでは、より高速な起動が可能です。 MSS コードの実行開始は、ROM が QSPI メモリからセカンダリ ブート ロード (SBL) を読み取るときに、最初の QSPI チップ セレクトの立ち上がりエッジを観測することで検出できます。	外部発振器モード	0.5		ms
		水晶発振器モード	7.0		
t _{RESET_POWERDOWN_DELAY}	パワー オフ イベント中に、NRESET が VIOIN から VSS レベルに移行してから電源ピンをオフにできるようになるまでの遅延。 NRESET が VSS レベルに移行した後は、いつでもデバイスの電源ピンをオフにできます。	0			ms

6.13.2 クロック仕様

外部水晶振動子は、デバイスのピンに接続されています。図 6-2 に、水晶振動子の実装を示します。

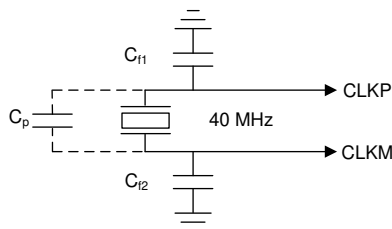


図 6-2. 水晶振動子の実装

注

図 6-2 の負荷コンデンサ C_{f1} および C_{f2} は、式 1 が満足されるように選択する必要があります。この式の C_L は、水晶振動子のメーカーによって指定された負荷です。発振器回路の実装に使用されるすべてのディスクリート部品は、関連する発振器の CLKP および CLKM ピンのできるだけ近くに配置する必要があります。 C_{f1} と C_{f2} には、PCB 配線による寄生容量が含まれていることに注意してください。

$$C_L = C_{f1} \times \frac{C_{f2}}{C_{f1} + C_{f2}} + C_P \quad (1)$$

表 6-11 に、クロック水晶振動子の電気的特性を示します。

表 6-11. 水晶振動子の電気的特性 (発振器モード)

名称	説明	最小値	標準値	最大値	単位
f _P	並列共振水晶振動子周波数		40		MHz
C _L	水晶振動子の負荷容量	5	8	12	pF

表 6-11. 水晶振動子の電気的特性 (発振器モード) (続き)

名称	説明	最小値	標準値	最大値	単位
ESR	水晶振動子の ESR			50	Ω
温度範囲	想定される動作温度範囲	-40		150	°C
周波数の許容誤差	水晶振動子周波数の許容誤差 (1) (2) (3)	-200		200	ppm
励振レベル			50	200	μW

- (1) 水晶振動子メーカーの仕様はこの要件を満たす必要があります。
(2) 水晶振動子の初期許容誤差、全温度範囲でのドリフト、経年劣化、不適切な負荷容量による周波数変動が含まれます。
(3) 接続されているセンサのクロックソースとして AM273x を使用する場合、水晶振動子の許容誤差はセンサの精度に影響を及ぼします。

非水晶発振器は、クロック リファレンス ソースとしても使用できます。この場合、信号は **CLKP** ピンにのみ供給され、**CLKM** は接地されます。表 6-12 に、外部発振器入力信号の電気的要件、AC タイミング要件、および位相ノイズ要件を示します。

表 6-12. 外部クロック モード入力要件

パラメータ		仕様			単位
		最小値	標準値	最大値	
入力クロック: 外部 AC 結合正弦波または DC 結合方形波の 位相ノイズ (40MHz 基準)	周波数		40		MHz
	AC 振幅	700		1200	mV (pp)
	DC- V_{IL}			$0.35 \times V_{DD}^{(1)}$	V
	DC- V_{IH}	$0.65 \times V_{DD}^{(1)}$			V
	DC- $t_{rise/fall}$			10	ns
	1kHz での位相ノイズ			-132	dBc/Hz
	10kHz での位相ノイズ			-143	dBc/Hz
	100kHz での位相ノイズ			-152	dBc/Hz
	1MHz での位相ノイズ			-153	dBc/Hz
	デューティ サイクル	35		65	%
	周波数の許容範囲	-50		50	ppm

- (1) V_{DD} は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

6.13.3 ペリフェラル情報

以下のセクションで、初期のペリフェラルの説明と特長を示します。追加のペリフェラルの詳細やインターフェイスのタイミング情報については、今後の製品プレビューやデータシートのリリースで提供される予定です。

6.13.3.1 QSPI フラッシュ メモリ ペリフェラル

AM273x には、外部フラッシュ メモリへのアクセスのためのクアド シリアル ペリフェラル インターフェイスが搭載されています。フラッシュ メモリは、次のような多くの目的に使用できます: セカンダリ ブートローダー用メモリ、アプリケーション プログラム用メモリ、セキュリティ キーの保存、およびセキュリティやエラー状況に関する長期データ ログ用メモリ。

- ROM ブートローダーは、フラッシュ デバイス ID (DEVID) レジスタを通じて、サポートされているフラッシュを自動識別
- ループバック スキュー補正により、クロック信号の遅延を調整し、高速なフラッシュ インターフェイスのクロック周波数に対応
- 2 つのチップ セレクト信号により、2 つの外部フラッシュ デバイスに接続可能
- フラッシュ データ転送を行うために、メモリ マップドの「直接モード」と、ソフトウェアトリガによる「間接モード」の動作をサポート
- 67MHz 動作クロックをサポート

6.13.3.1.1 QSPI のタイミング条件

仕様番号	パラメータ	最小値	標準値	最大値	単位
	入力条件				
1	t_R 入力立ち上がり時間	1		3	ns
2	t_F 入力立ち下がり時間	1		3	ns
	出力条件				
3	C_{LOAD} 出力負荷容量	2		15	pF

6.13.3.1.2 QSPI のタイミング要件

仕様番号	パラメータ ⁽¹⁾ , ⁽²⁾ , ⁽³⁾		最小値	標準値	最大値	単位
Q12	$t_{su}(D-SCLK)$	セットアップ時間、D[3:0] 有効から SCLK 立ち下がりエッジまで	5			ns
Q13	$t_h(SCLK-D)$	ホールド時間、SCLK 立ち下がりエッジから D[3:0] 有効の間	0			ns
Q14	$t_{su}(D-SCLK)$	セットアップ時間、最後の D[3:0] ビット有効から最後の SCLK 立ち下がりエッジまで	5-P			ns
Q15	$t_h(SCLK-D)$	ホールド時間、最後の SCLK 立ち下がりエッジから最後の D[3:0] ビット有効の間	0+P			ns

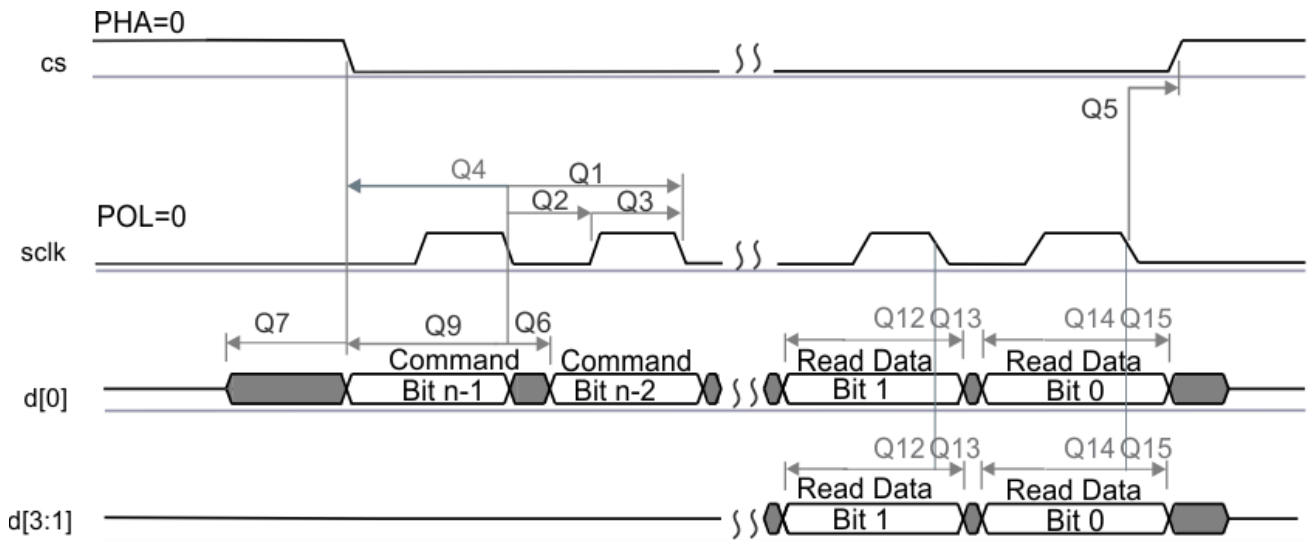
- (1) クロック モード 0 (クロック極性 = 0、クロック位相 = 0) が動作モードです。
- (2) 従来の立ち上がりクロック エッジとは対照的に、本デバイスはクロック モード 0 の立ち下がりクロック エッジでデータを取り込みます。標準ではありませんが、立ち下がりエッジ基準のセットアップ時間およびホールド時間のタイミングは、クロック モード 0 においてデータを立ち下がりエッジで出力する標準的な SPI デバイスとの互換性があるように設計されています。
- (3) P = SCLK 周期 (ns 単位)。

6.13.3.1.3 QSPI スイッチング特性

仕様番号	パラメータ ^{(1), (2)}		最小値	標準値	最大値	単位
Q1	$t_c(\text{SCLK})$	サイクル時間、sclk	14.9			ns
Q2	$t_w(\text{SCLKL})$	パルス幅、sclk Low	$0.5 \cdot P - 1.5$			ns
Q3	$t_w(\text{SCLKH})$	パルス幅、sclk High	$0.5 \cdot P - 1.5$			ns
Q4	$t_d(\text{CS-SCLK})$	遅延時間、sclk 立ち下がりエッジから cs アクティブ エッジまで	$-M \cdot P - 1$		$-M \cdot P + 2.5$	ns
Q5	$t_d(\text{SCLK-CS})$	遅延時間、sclk 立ち下がりエッジから cs 非アクティブ エッジまで	$N \cdot P - 1$		$N \cdot P + 2.5$	ns
Q6	$t_d(\text{SCLK-D0})$	遅延時間、sclk 立ち下がりエッジから d[0] 遷移まで	-3		5.2	ns
Q7	$t_{\text{ena}}(\text{CS-D0LZ})$	イネーブル時間、cs アクティブ エッジから d[0] 駆動 (ロー インピーダンス) まで	$-P - 4$		$-P + 3.5$	ns
Q8	$t_{\text{dis}}(\text{CS-D0Z})$	ディセーブル時間、cs アクティブ エッジから d[0] トライステート (ハイ インピーダンス) まで	$-P - 4$		$-P + 3.5$	ns
Q9	$t_d(\text{SCLK-D0})$	遅延時間、最初の sclk 立ち下がりエッジから最初の d[0] 遷移まで (PHA = 0 の場合のみ)	$-3 - P$		$3.5 - P$	ns

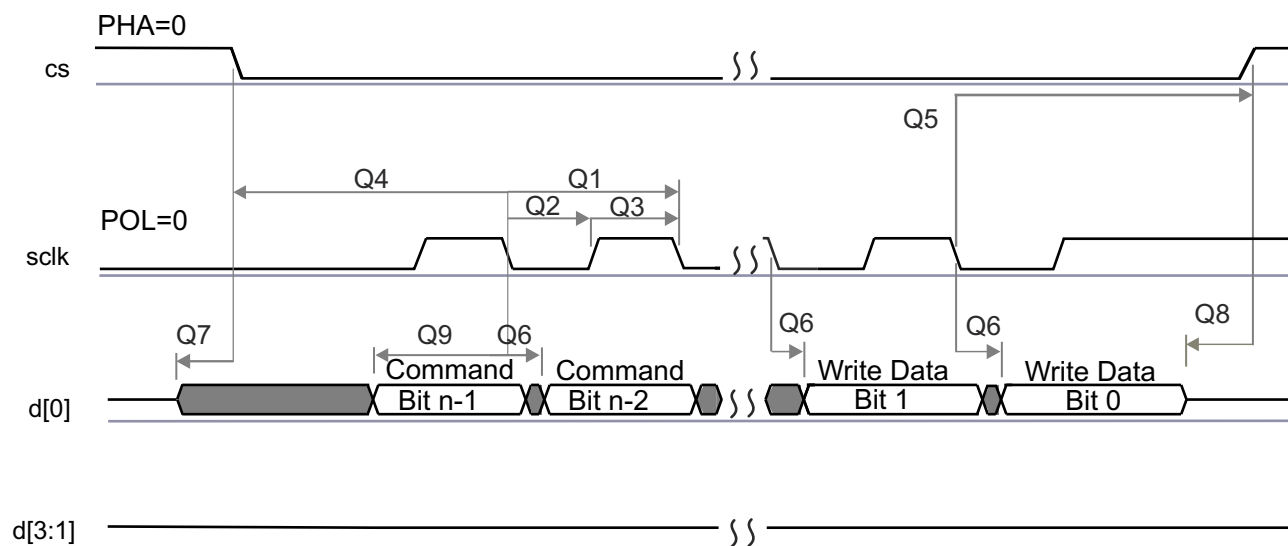
(1) $P = \text{SCLK 周期 (ns 単位)}$ 。

(2) $M = \text{QSPI_SPI_DC_REG.DDx} + 1$ 、 $N = 2$



SPRS85v TIMING OSP11 02

図 6-3. QSPI 読み出し (クロック モード 0)



SPRS85v_TIMING_OSPi1_04

図 6-4. QSPI 書き込み (クロック モード 0)

6.13.3.2 MIBSPI ペリフェラル

AM273x には、4 つのマルチバッファ付きシリアル ペリフェラル インターフェイス (MIBSPI) ホスト インターフェイスが搭載されています。これらのインターフェイスのうち 2 つは、外部 MCU、PMIC、EEPROM、ウォッチドッグ、およびその他のシステム レベルの通信を目的としており、「MSS_MIBSPI」とラベル付けされています。他の 2 つのインターフェイスは SPI デバイス センサを独立して制御することを目的としており、「RCSS_MIBSPI」とラベル付けされています。

- 各 MIBSPI モジュールでサポートされている最大クロック レートは 25MHz です。

さらに、MSS および RCSS MIBSPI には、デバイス レベルでホスト割り込み要求の入力信号パスが実装されています。これらの信号は、接続された SPI デバイスが、必要な処理を AM273x MCU ホスト デバイスに通知できるようにするためのものです。これらの信号には「HOST_IRQ」というラベルが付けられています。以下の 表 6-13 に、これらの MIBSPI ホスト IRQ 信号を示します。MIBSPI ペリフェラルのすべての機能の詳細については、『AM273x テクニカル リファレンス マニュアル』を参照してください。

表 6-13. MIBSPI ホスト割り込み (IRQ) 信号

信号名	信号の説明
MSS_MIBSPIA_HOSTIRQ	MSS MIBSPIA ホスト割り込み要求
RCSS_MIBSPIA_HOSTIQ	RCSS MIBSPIA ホスト割り込み要求
RCSS_MIBSPIB_HOSTIRQ	RCSS MIBSPIB ホスト割り込み要求

6.13.3.2.1 SPI のタイミング条件

番号	パラメータ	最小値	標準値	最大値	単位
入力条件					
1	t_R 入力立ち上がり時間	1		3	ns
2	t_F 入力立ち下がり時間	1		3	ns
出力条件					
3	C_{LOAD} 出力負荷容量	2		15	pF

6.13.3.2.2 SPI コントローラ モードのタイミングとスイッチングパラメータ (クロック位相 = 0、SPICLK = 出力、SPISIMO = 出力、SPISOMI = 入力)

以下の表と図に、SPI - コントローラ モードのタイミング要件およびスイッチング特性を示します。

表 6-14. SPI コントローラ モードのスイッチング特性 (クロック位相 = 0、SPICLK = 出力、SPISIMO = 出力、SPISOMI = 入力) ^{(1) (3)}

図 6-5 および 図 6-6 を参照

番号	パラメータ	最小値	標準値	最大値	単位
1	$t_{c(SPC)}M$ サイクル時間、SPICLK ⁽²⁾	40		$256t_{c(VCLK)}$	ns
2	$t_{w(SPCH)}M$ パルス幅、SPICLK high (クロック極性 = 0)	$0.5t_{c(SPC)}M - 4$		$0.5t_{c(SPC)}M + 4$	ns
	$t_{w(SPCL)}M$ パルス幅、SPICLK Low (クロック極性 = 1)	$0.5t_{c(SPC)}M - 4$		$0.5t_{c(SPC)}M + 4$	
3	$t_{w(SPCL)}M$ パルス幅、SPICLK Low (クロック極性 = 0)	$0.5t_{c(SPC)}M - 4$		$0.5t_{c(SPC)}M + 4$	ns
	$t_{w(SPCH)}M$ パルス幅、SPICLK high (クロック極性 = 1)	$0.5t_{c(SPC)}M - 4$		$0.5t_{c(SPC)}M + 4$	
4	$t_{d(SPCH-SIMO)}M$ 遅延時間、SPISIMO 有効から SPICLK Low まで (クロック極性 = 0)	$0.5t_{c(SPC)}M - 13$			ns
	$t_{d(SPCL-SIMO)}M$ 遅延時間、SPISIMO 有効から SPICLK High まで (クロック極性 = 1)	$0.5t_{c(SPC)}M - 13$			
5	$t_{v(SPCL-SIMO)}M$ 有効時間、SPICLK Low から SPISIMO データ有効の間 (クロック極性 = 0)	$0.5t_{c(SPC)}M - 10.5$			ns
	$t_{v(SPCH-SIMO)}M$ 有効時間、SPICLK High から SPISIMO データ有効の間 (クロック極性 = 1)	$0.5t_{c(SPC)}M - 10.5$			

表 6-14. SPI コントローラ モードのスイッチング特性 (クロック位相 = 0、SPICLK = 出力、SPISIMO = 出力、SPISOMI = 入力) ^{(1) (3)} (続き)

図 6-5 および 図 6-6 を参照

番号	パラメータ		最小値	標準値	最大値	単位
6	$t_{C2TDELAY}$	セットアップ時間、CS アクティブから SPICLK High まで (クロック極性 = 0) ⁽⁵⁾	CSHOLD = 0	$(C2TDELAY+2) * t_{c(VCLK)} - 7.5$	$(C2TDELAY+2) * t_{c(VCLK)} + 7$	ns
			CSHOLD = 1	$(C2TDELAY+3) * t_{c(VCLK)} - 7.5$	$(C2TDELAY+3) * t_{c(VCLK)} + 7$	
		セットアップ時間、CS アクティブから SPICLK Low まで (クロック極性 = 1) ⁽⁵⁾	CSHOLD = 0	$(C2TDELAY+2) * t_{c(VCLK)} - 7.5$	$(C2TDELAY+2) * t_{c(VCLK)} + 7$	
			CSHOLD = 1	$(C2TDELAY+3) * t_{c(VCLK)} - 7.5$	$(C2TDELAY+3) * t_{c(VCLK)} + 7$	
7	$t_{T2CDELAY}$	ホールド時間、SPICLK Low から CS 非アクティブまで (クロック極性 = 0) ⁽⁵⁾		$0.5 * t_{c(SPC)M} + (T2CDELAY + 1) * t_{c(VCLK)} - 7$	$0.5 * t_{c(SPC)M} + (T2CDELAY + 1) * t_{c(VCLK)} + 7.5$	ns
		ホールド時間、SPICLK High から CS 非アクティブまで (クロック極性 = 1) ⁽⁵⁾		$0.5 * t_{c(SPC)M} + (T2CDELAY + 1) * t_{c(VCLK)} - 7$	$0.5 * t_{c(SPC)M} + (T2CDELAY + 1) * t_{c(VCLK)} + 7.5$	

表 6-15. SPI コントローラ モードのタイミング要件 (クロック位相 = 0、SPICLK = 出力、SPISIMO = 出力、SPISOMI = 入力) ^{(1) (3)}

図 6-5 参照

番号	パラメータ		最小値	標準値	最大値	単位
8	$t_{su(SOMI-SPCL)M}$	セットアップ時間、SPISOMI から SPICLK Low まで (クロック極性 = 0) ⁽⁴⁾	5			ns
	$t_{su(SOMI-SPCH)M}$	セットアップ時間、SPISOMI から SPICLK High まで (クロック極性 = 1) ⁽⁴⁾	5			
9	$t_{h(SPCL-SOMI)M}$	ホールド時間、SPICLK Low から SPISOMI データ有効の間 (クロック極性 = 0) ⁽⁴⁾	3			ns
	$t_{h(SPCH-SOMI)M}$	ホールド時間、SPICLK High から SPISOMI データ有効の間 (クロック極性 = 1) ⁽⁴⁾	3			

(1) nRESET ビット (SPIGCRx.0) はセットされ、PHASE ビット (SPIFMTx.16) はクリアされています (x = 0 または 1)。

(2) $t_{c(MSS_VCLK)}$ = メイン サブシステム クロック時間 = $1 / f_{(MSS_VCLK)}$ 。詳細については、『[テクニカルリファレンス マニュアル](#)』を参照してください。

(3) SPI がコントローラ モードの場合、次の条件を満たす必要があります。PS 値が 1~255 の場合: $t_{c(SPC)M} \geq (PS + 1) t_{c(MSS_VCLK)} \geq 25ns$ 。ここで、PS は SPIFMTx.[15:8] レジスタ ビットで設定されたプリスケール値です。PS 値が 0 の場合: $t_{c(SPC)M} = 2 t_{c(MSS_VCLK)} \geq 25ns$ 。

(4) 基準となる SPICLK 信号のアクティブ エッジはクロック極性ビット (SPIFMTx.17) によって制御されます。

(5) C2TDELAY および T2CDELAY は、SPIDELAY レジスタでプログラムされます。

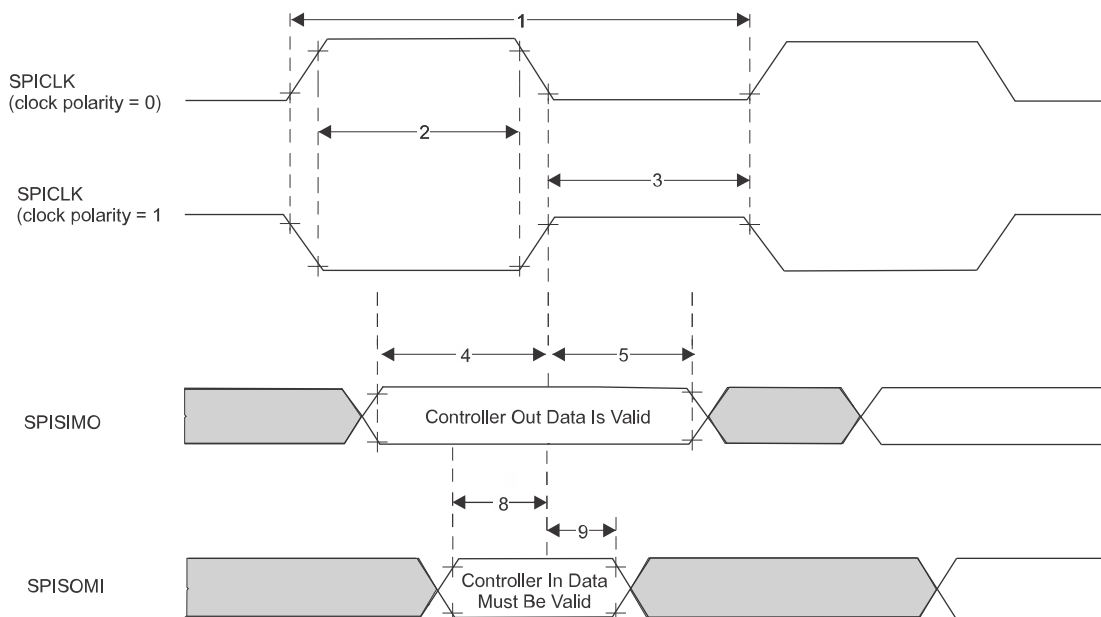


図 6-5. SPI コントローラ モードの外部タイミング (クロック位相 = 0)

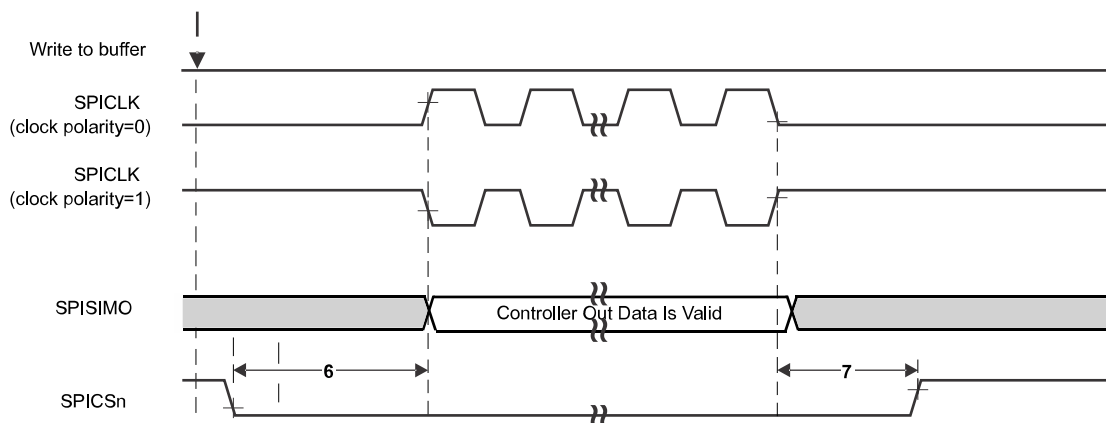


図 6-6. SPI コントローラ モードのチップセレクト タイミング (クロック位相 = 0)

6.13.3.2.3 SPI コントローラ モード タイミングとスイッチングパラメータ (クロック位相 = 1, SPICLK = 出力, SPISIMO = 出力, SPISOMI = 入力)

表 6-16. SPI コントローラ モードのスイッチング特性 (クロック位相 = 1, SPICLK = 出力, SPISIMO = 出力, SPISOMI = 入力) ^{(1) (3)}

図 6-5 および 図 6-8 を参照

番号	パラメータ	最小値	標準値	最大値	単位
1	$t_{c(SPC)M}$ サイクル時間、SPICLK ⁽²⁾	40		$256t_{c(VCLK)}$	ns
2	$t_{w(SPCH)M}$ パルス幅、SPICLK high (クロック極性 = 0)	$0.5t_{c(SPC)M} - 4$		$0.5t_{c(SPC)M} + 4$	ns
	$t_{w(SPCL)M}$ パルス幅、SPICLK Low (クロック極性 = 1)	$0.5t_{c(SPC)M} - 4$		$0.5t_{c(SPC)M} + 4$	
3	$t_{w(SPCL)M}$ パルス幅、SPICLK Low (クロック極性 = 0)	$0.5t_{c(SPC)M} - 4$		$0.5t_{c(SPC)M} + 4$	ns
	$t_{w(SPCH)M}$ パルス幅、SPICLK high (クロック極性 = 1)	$0.5t_{c(SPC)M} - 4$		$0.5t_{c(SPC)M} + 4$	

表 6-16. SPI コントローラ モードのスイッチング特性 (クロック位相 = 1、SPICLK = 出力、SPISIMO = 出力、SPISOMI = 入力) ^{(1) (3)} (続き)

図 6-5 および 図 6-8 を参照

番号	パラメータ		最小値	標準値	最大値	単位
4	$t_{d(SPCH-SIMO)M}$	遅延時間、SPISIMO 有効から SPICLK Low まで (クロック極性 = 0)	$0.5t_{c(SPC)M} - 13$			ns
	$t_{d(SPCL-SIMO)M}$	遅延時間、SPISIMO 有効から SPICLK High まで (クロック極性 = 1)	$0.5t_{c(SPC)M} - 13$			
5	$t_{v(SPCL-SIMO)M}$	有効時間、SPICLK Low から SPISIMO データ有効の間 (クロック極性 = 0)	$0.5t_{c(SPC)M} - 10.5$			ns
	$t_{v(SPCH-SIMO)M}$	有効時間、SPICLK High から SPISIMO データ有効の間 (クロック極性 = 1)	$0.5t_{c(SPC)M} - 10.5$			
6	$t_{C2TDELAY}$	セットアップ時間、CS アクティブから SPICLK High まで (クロック極性 = 0) ⁽⁵⁾	CSHOLD = 0	$0.5 * t_{c(SPC)M} + (C2TDELAY + 2) * t_{c(VCLK)} - 7.5$	$0.5 * t_{c(SPC)M} + (C2TDELAY + 2) * t_{c(VCLK)} + 7$	ns
			CSHOLD = 1	$0.5 * t_{c(SPC)M} + (C2TDELAY + 2) * t_{c(VCLK)} - 7.5$	$0.5 * t_{c(SPC)M} + (C2TDELAY + 2) * t_{c(VCLK)} + 7$	
		セットアップ時間、CS アクティブから SPICLK Low まで (クロック極性 = 1) ⁽⁵⁾	CSHOLD = 0	$0.5 * t_{c(SPC)M} + (C2TDELAY + 2) * t_{c(VCLK)} - 7.5$	$0.5 * t_{c(SPC)M} + (C2TDELAY + 2) * t_{c(VCLK)} + 7$	
			CSHOLD = 1	$0.5 * t_{c(SPC)M} + (C2TDELAY + 3) * t_{c(VCLK)} - 7.5$	$0.5 * t_{c(SPC)M} + (C2TDELAY + 3) * t_{c(VCLK)} + 7$	
7	$t_{T2CDELAY}$	ホールド時間、SPICLK Low から CS 非アクティブまで (クロック極性 = 0) ⁽⁵⁾	$(T2CDELAY + 1) * t_{c(VCLK)} - 7.5$	$(T2CDELAY + 1) * t_{c(VCLK)} + 7$		ns
		ホールド時間、SPICLK High から CS 非アクティブまで (クロック極性 = 1) ⁽⁵⁾	$(T2CDELAY + 1) * t_{c(VCLK)} - 7.5$	$(T2CDELAY + 1) * t_{c(VCLK)} + 7$		

表 6-17. SPI コントローラ モードのタイミング要件 (クロック位相 = 0、SPICLK = 出力、SPISIMO = 出力、SPISOMI = 入力) ^{(1) (3)}

図 6-5 および 図 6-8 を参照

番号	パラメータ		最小値	標準値	最大値	単位
8	$t_{su(SOMI-SPCL)M}$	セットアップ時間、SPISOMI から SPICLK Low まで (クロック極性 = 0) ⁽⁴⁾	5			ns
	$t_{su(SOMI-SPCH)M}$	セットアップ時間、SPISOMI から SPICLK High まで (クロック極性 = 1) ⁽⁴⁾	5			
9	$t_{h(SPCL-SOMI)M}$	ホールド時間、SPICLK Low から SPISOMI データ有効の間 (クロック極性 = 0) ⁽⁴⁾	3			ns
	$t_{h(SPCH-SOMI)M}$	ホールド時間、SPICLK High から SPISOMI データ有効の間 (クロック極性 = 1) ⁽⁴⁾	3			

(1) nRESET ビット (SPIGRx.0) はセットされ、PHASE ビット (SPIFMTx.16) はセットされています (x = 0 または 1)。

(2) $t_{c(MSS_VCLK)}$ = メイン サブシステム クロック時間 = $1 / f_{(MSS_VCLK)}$ 。詳細については、『[テクニカルリファレンス マニュアル](#)』を参照してください。

(3) SPI がコントローラ モードの場合、次の条件を満たす必要があります。PS 値が 1~255 の場合: $t_{c(SPC)M} \geq (PS + 1)t_{c(MSS_VCLK)} \geq 25ns$ 。ここで、PS は SPIFMTx.[15:8] レジスタビットで設定されたプリスケール値です。PS 値が 0 の場合: $t_{c(SPC)M} = 2t_{c(MSS_VCLK)} \geq 25ns$ 。

(4) 基準となる SPICLK 信号のアクティブ エッジはクロック極性ビット (SPIFMTx.17) によって制御されます。

(5) C2TDELAY および T2CDELAY は、SPIDELAY レジスタでプログラムされます

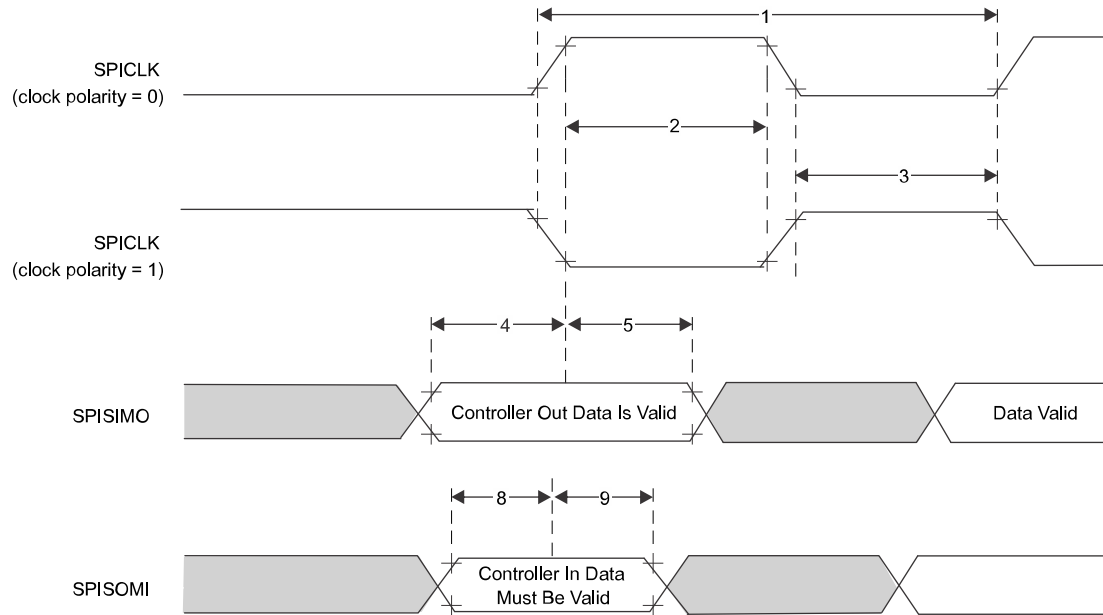


図 6-7. SPI コントローラ モードの外部タイミング (クロック位相 = 1)

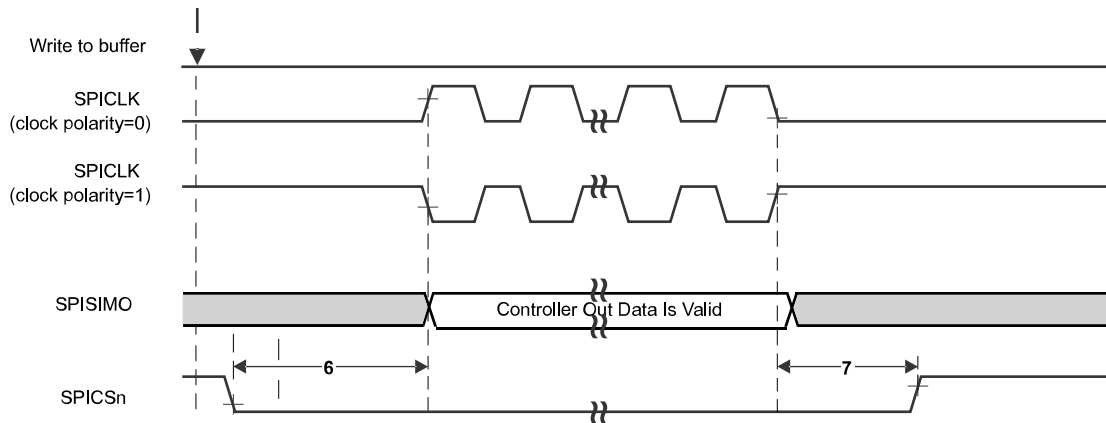


図 6-8. SPI コントローラ モードのチップ セレクト タイミング (クロック位相 = 1)

6.13.3.2.4 SPI パリフェラル モードのタイミングとスイッチングパラメータ (SPICLK = 入力, SPISIMO = 入力, SPISOMI = 出力)

表 6-18. SPI パリフェラル モードのタイミング パラメータ (SPICLK = 入力, SPISIMO = 入力, SPISOMI = 出力) ^{(1) (2)}

図 6-9 および 図 6-10 を参照

番号	パラメータ	最小値	標準値	最大値	単位
1	$t_{c(SPC)}S$ サイクル時間、SPICLK ⁽²⁾	25			ns
2	$t_{w(SPCH)}S$ パルス幅、SPICLK high (クロック極性 = 0)	10			ns
	$t_{w(SPCL)}S$ パルス幅、SPICLK Low (クロック極性 = 1)	10			
3	$t_{w(SPCL)}S$ パルス幅、SPICLK Low (クロック極性 = 0)	10			ns
	$t_{w(SPCH)}S$ パルス幅、SPICLK high (クロック極性 = 1)	10			

表 6-18. SPI ペリフェラル モードのタイミング パラメータ (SPICLK = 入力, SPISIMO = 入力, SPISOMI = 出力) ^{(1) (2)} (続き)

図 6-9 および 図 6-10 を参照

番号	パラメータ		最小値	標準値	最大値	単位
4	t _d (SPCH-SOMI)S	遅延時間、SPICLK High から SPISOMI 有効まで (クロック極性 = 0、クロック位相 = 0) または (クロック極性 = 1、クロック位相 = 1) ⁽³⁾			11	ns
	t _d (SPCL-SOMI)S	遅延時間、SPICLK Low から SPISOMI 有効まで (クロック極性 = 0、クロック位相 = 0) または (クロック極性 = 0、クロック位相 = 1) ⁽³⁾			11	
5	t _h (SPCH-SOMI)S	ホールド時間、SPICLK High から SPISOMI データ有効の間 (クロック極性 = 0、クロック位相 = 0) または (クロック極性 = 1、クロック位相 = 1) ⁽³⁾	2			ns
	t _h (SPCL-SOMI)S	ホールド時間、SPICLK Low から SPISOMI データ有効の間 (クロック極性 = 1、クロック位相 = 0) または (クロック極性 = 0、クロック位相 = 1) ⁽³⁾	2			

表 6-19. SPI ペリフェラル モードのスイッチング特性 (SPICLK = 入力, SPISIMO = 入力, SPISOMI = 出力) ^{(1) (2)}

図 6-9 および 図 6-10 を参照

図 6-6 を参照

番号	パラメータ	最小値	標準値	最大値	単位
6	$t_{su(SIMO-SPCL)S}$	4.5			ns
	$t_{su(SIMO-SPCH)S}$	4.5			
7	$t_{h(SPCL-SIMO)S}$	1			ns
	$t_{h(SPCL-SIMO)S}$	1			

(1) nRESET ビット (SPIGCRx.0) がクリアされます (x = 0 または 1)。

(2) SPI がペリフェラル モードの場合、 $t_{c(SPC)S} \geq (PS + 1) t_{c(MSS_VCLK)}$ の条件を満たす必要があります。ここでは、PS は SPIFMTx.[15:8] に設定されたプリスケール値です。

(3) SPI がペリフェラル モードの場合、次の条件を満たす必要があります。PS 値が 1~255 の場合: $t_{c(SPC)S} \geq (PS + 1) t_{c(MSS_VCLK)} \geq 25ns$ 、ここでは、PS は SPIFMTx.[15:8] レジスタビットに設定されたプリスケール値です。PS 値が 0 の場合: $t_{c(SPC)S} = 2t_{c(MSS_VCLK)} \geq 25 ns$ 。

(4) 基準となる SPICLK 信号のアクティブ エッジはクロック極性ビット (SPIFMTx.17) によって制御されます。

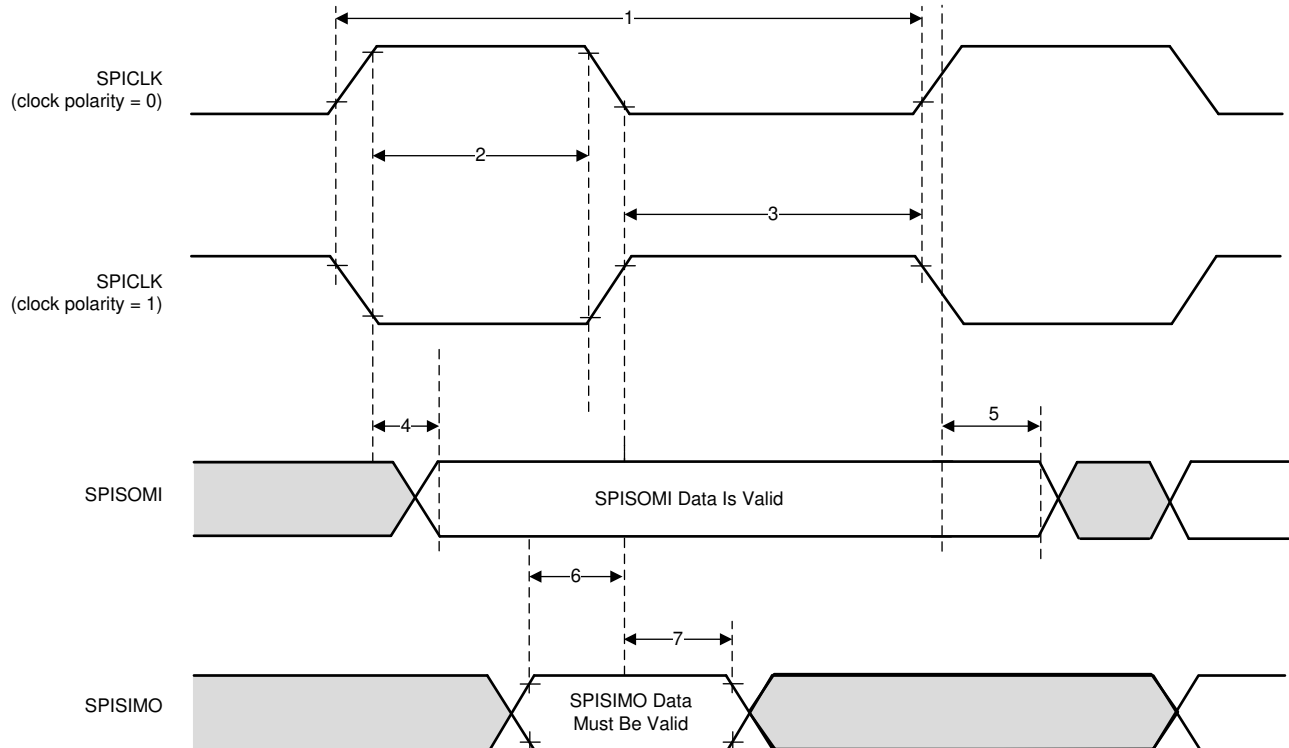


図 6-9. SPI ペリフェラル モードの外部タイミング (クロック位相 = 0)

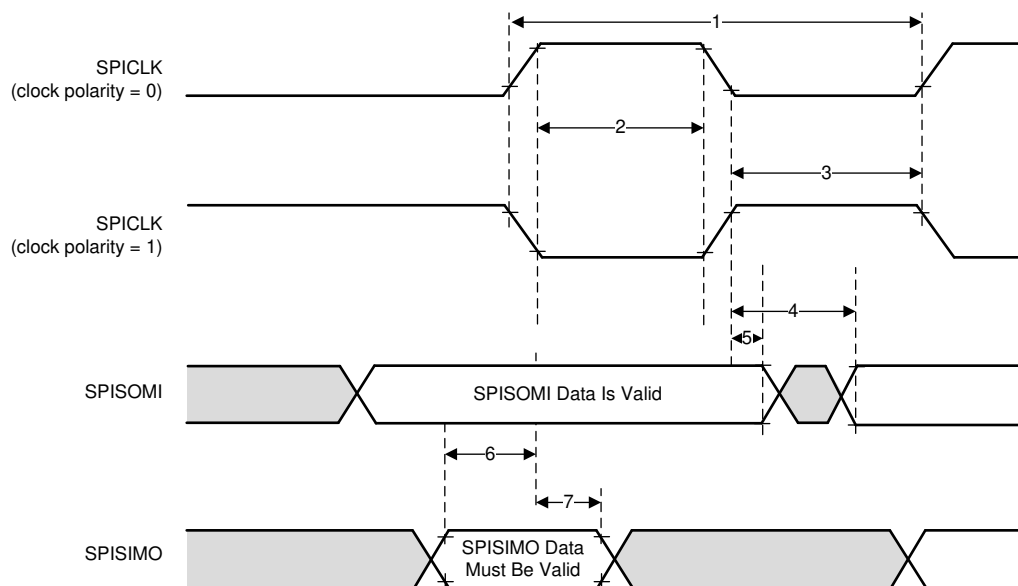


図 6-10. SPI ペリフェラル モードの外部タイミング (クロック位相 = 1)

6.13.3.3 イーサネット スイッチ (RGMII/RMII/MII) ペリフェラル

AM273x は 2 ポート イーサネット スイッチを統合しており、1 つは外部 RGMII/RMII/MII ポート、もう 1 つはメイン サブシステム (MSS) に接続されます。このインターフェイスは主に 100Mbps の ECU インターフェイスとして動作することを目的としています。また、計測用インターフェイスとして使用することもできます。

- RGMII, RMII, MII パラレル インターフェイス経由のイーサネット PHY への全二重通信 10/100Mbps ワイヤレート インターフェイス

- MDIO Clause 22 および 45 PHY 管理インターフェイス
- IEEE 1588 同期イーサネットのサポート
- 同期トリガ出力により、イーサネットを介して CSI データ フレームのトリガが可能

6.13.3.3.1 RGMII/GMII/MII のタイミング条件

仕様番号	パラメータ	最小値	標準値	最大値	単位
入力条件					
1	t_R 入力立ち上がり時間	1		3	ns
2	t_F 入力立ち下がり時間	1		3	ns
出力条件					
3	C_{LOAD} 出力負荷容量	2		20	pF

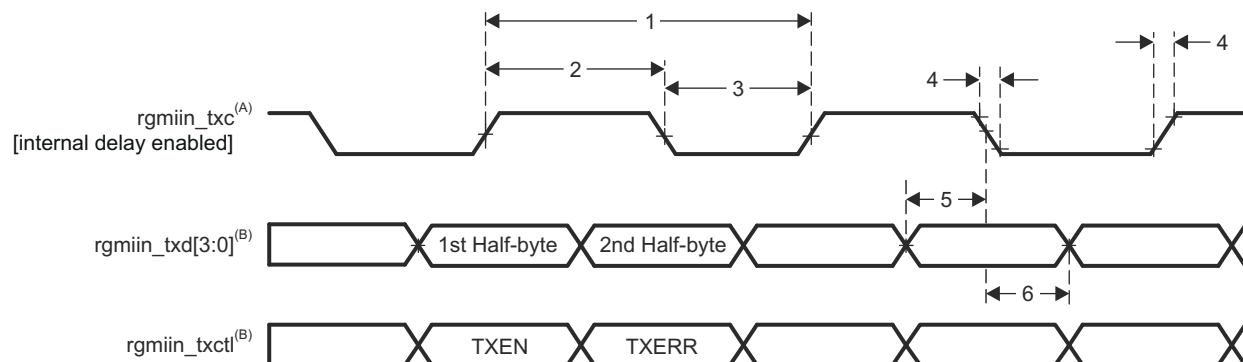
6.13.3.3.2 RGMII 送信クロックのスイッチング特性

番号	パラメータ	説明	SPEED	最小値	最大値	単位
1	$t_c(TXC)$	サイクルタイム、rgmiin_txc	10Mbps	360	440	ns
			100Mbps	36	44	ns
2	$t_w(TXCH)$	パルス幅、rgmiin_txc High	10Mbps	160	240	ns
			100Mbps	16	24	ns
3	$t_w(TXCL)$	パルス幅、rgmiin_txc Low	10Mbps	160	240	ns
			100Mbps	16	24	ns
4	$t_t(TXC)$	遷移時間、rgmiin_txc	10Mbps		0.75	ns
			100Mbps		0.75	ns

6.13.3.3.3 RGMII の送信データおよび制御のスイッチング特性

番号 ⁽¹⁾	パラメータ	説明	モード	最小値	最大値	単位
5	$t_{osu}(TXD-TXC)$	出力セットアップ時間: 送信信号が有効になってから、MSS_RGMII_TCLK の立ち上がり/立ち下がりエッジまでの時間	RGMII、内部遅延有効化、10/100 Mbps	1.2		ns
6	$t_{oh}(TXC-TXD)$	出力ホールド時間: MSS_RGMII_TCLK の立ち上がり/立ち下がりの後も、送信される選択信号が有効であり続ける時間	RGMII、内部遅延有効化、10/100 Mbps	1.2		ns

(1) RGMII の場合、選択した信号の送信には以下が含まれます: MSS_RGMII_TXD[3:0] および MSS_RGMII_TCTL。



A. TXC は内部で遅延されてから、 $rgmiin_txc$ ピンを駆動します。この内部遅延は常にイネーブルになっています。

- B. データおよび制御情報は、クロックの両エッジを使用して送信されます。rgmiin_txd[3:0] は、rgmiin_txc の立ち上がりエッジでデータビット 3～0 を、立ち下がりエッジでビット 7～4 を伝送します。同様に、rgmiin_txctl は、rgmiin_txc の立ち上がりエッジで TXEN を、立ち下がりエッジで TXERR を伝送します。

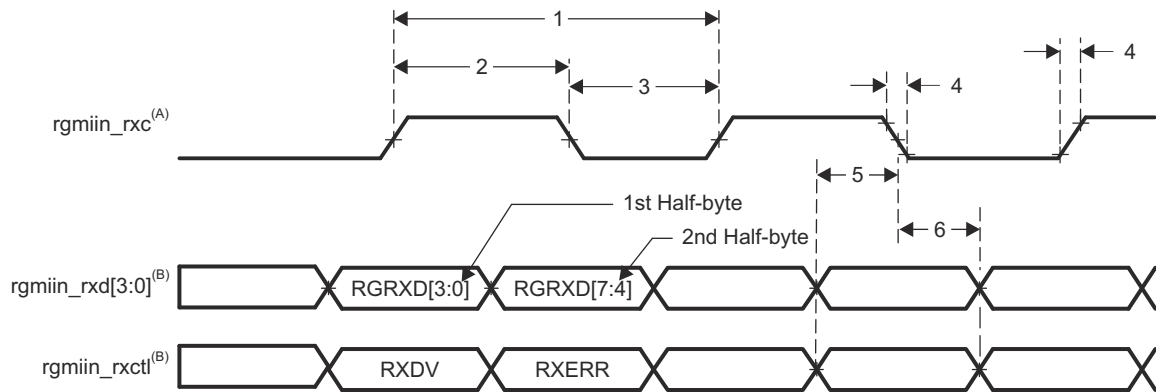
図 6-11. RGMII 送信インターフェイスのスイッチング特性

6.13.3.3.4 RGMII 受信クロックのタイミング要件

番号	パラメータ	説明	SPEED	最小値	最大値	単位
1	$t_{c(RXC)}$	サイクル タイム、rgmiin_rxc	10Mbps	360	440	ns
			100Mbps	36	44	ns
2	$t_{w(RXCH)}$	パルス幅、rgmiin_rxc High	10Mbps	160	240	ns
			100Mbps	16	24	ns
3	$t_{w(RXCL)}$	パルス幅、rgmiin_rxc Low	10Mbps	160	240	ns
			100Mbps	16	24	ns
4	$t_{l(RXC)}$	遷移時間、rgmiin_rxc	10Mbps		0.75	ns
			100Mbps		0.75	ns

6.13.3.3.5 RGMII 受信データおよび制御のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
5	$t_{su(RXD-RXCH)}$	セットアップ時間: MSS_RGMII_RCLK の High/Low の遷移前に、選択された信号が有効である必要がある時間	2		ns
6	$t_{h(RXCH-RXD)}$	ホールド時間: MSS_RGMII_RCLK の High/Low の遷移後に、選択された信号が有効であり続ける必要がある時間	2		ns



- A. rgmiin_rxc は、データピンおよび制御ピンに対して、外部で遅延させる必要があります。
- B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。MSS_RGMII_RXD[3:0] は、rgmiin_rxc の立ち上がりエッジでデータビット 3～0 を、立ち下がりエッジでデータビット 7～4 を伝送します。同様に、rgmiin_rxctl は rgmiin_rxc の立ち上がりエッジで RXDV を、立ち下がりエッジで RXERR を伝送します。

図 6-12. GMAC 受信インターフェイスのタイミング、RGMII 動作

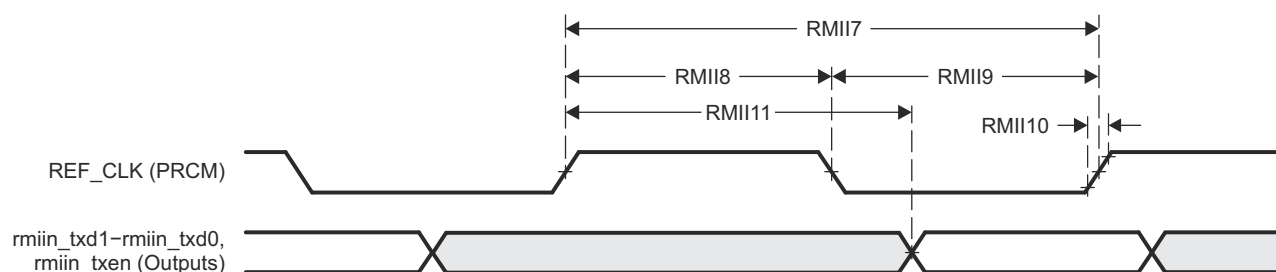
6.13.3.3.6 RMII 送信クロックのスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
RMII7	$t_{c(REF_CLK)}$	サイクル時間、REF_CLK	20		ns
RMII8	$t_{w(REF_CLKH)}$	パルス幅、REF_CLK High	7	13	ns
RMII9	$t_{w(REF_CLKL)}$	パルス幅、REF_CLK Low	7	13	ns

番号	パラメータ	説明	最小値	最大値	単位
RMII10	$t_{\text{f}}(\text{REF_CLK})$	遷移時間、REF_CLK		3	ns

6.13.3.3.7 RMII の送信データおよび制御のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
RMII11	$t_{\text{d}}(\text{REF_CLK-TXD})$	選択された送信信号が有効になるまでの REF_CLK High からの遅延時間	2	14.2	ns
	$t_{\text{d}}(\text{REF_CLK-TXEN})$				



SPRS8xx_GMAC_RMII_TX_06

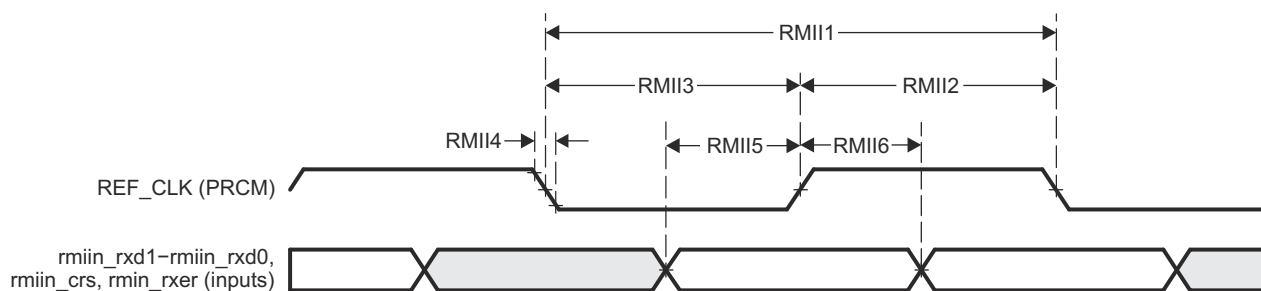
図 6-13. GMAC 送信インターフェースのタイミング、RMIIin 動作

6.13.3.3.8 RMII 受信クロックのタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
RMII1	$t_{\text{c}}(\text{REF_CLK})$	サイクル時間、REF_CLK	20		ns
RMII2	$t_{\text{w}}(\text{REF_CLKH})$	パルス幅、REF_CLK High	7	13	ns
RMII3	$t_{\text{w}}(\text{REF_CLKL})$	パルス幅、REF_CLK Low	7	13	ns
RMII4	$t_{\text{f}}(\text{REF_CLK})$	遷移時間、REF_CLK		3	ns

6.13.3.3.9 RMII 受信データおよび制御のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
RMII5	$t_{\text{su}}(\text{RXD-REF_CLK})$	セットアップ時間、受信される選択信号が REF_CLK の前に有効である必要がある時間	4		ns
	$t_{\text{su}}(\text{CRS_DV-REF_CLK})$				
	$t_{\text{su}}(\text{RX_ER-REF_CLK})$				
RMII6	$t_{\text{h}}(\text{REF_CLK-RXD})$	ホールド時間、受信される選択信号が REF_CLK の後に有効であり続ける必要がある時間	2		ns
	$t_{\text{h}}(\text{REF_CLK-CRS_DV})$				
	$t_{\text{h}}(\text{REF_CLK-RX_ER})$				



SPRS8xx_GMAC_RMII_RX_05

図 6-14. GMAC 受信インターフェースのタイミング、RMIIin 動作

6.13.3.3.10 MII 送信のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
1	$t_{d(TX_CLK-TXD)}$	遅延時間、miin_txclk から送信される選択信号が有効になるまでの時間	0	25	ns
	$t_{d(TX_CLK-TX_EN)}$				
	$t_{d(TX_CLK-TX_ER)}$				

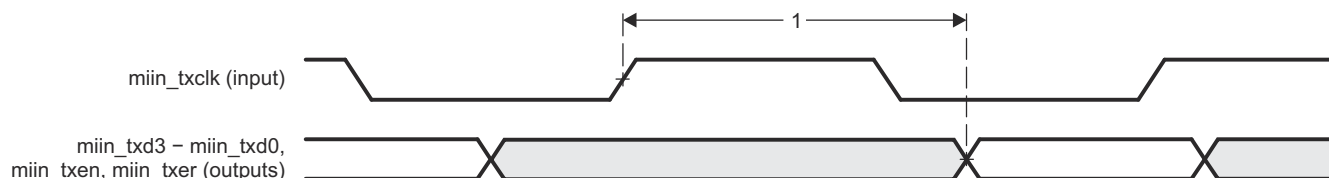


図 6-15. GMAC 送信インターフェースのタイミング、MIIn 動作

6.13.3.3.11 MII 受信クロックのタイミング要件

番号	パラメータ	説明	SPEED	最小値	最大値	単位
1	$t_c(RX_CLK)$	サイクル タイム、miin_rxclk	10Mbps	400		ns
			100Mbps	40		ns
2	$t_w(RX_CLKH)$	パルス幅、miin_rxclk High	10Mbps	140	260	ns
			100Mbps	14	26	ns
3	$t_w(RX_CLKL)$	パルス幅、miin_rxclk Low	10Mbps	140	260	ns
			100Mbps	14	26	ns
4	$t_t(RX_CLK)$	遷移時間、miin_rxclk	10Mbps		3	ns
			100Mbps		3	ns

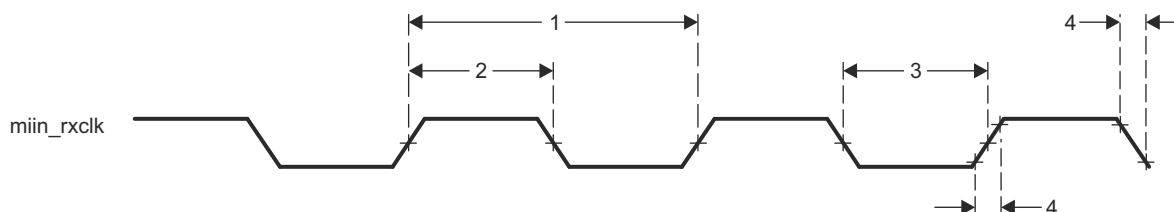


図 6-16. クロック タイミング (GMAC 受信) - MIIn 動作

6.13.3.3.12 MII 受信のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
1	$t_{su}(RXD-RX_CLK)$	セットアップ時間、miin_rxclk の立ち上がり/立ち下がり前に、受信する選択信号が有効である必要がある時間	8		ns
	$t_{su}(RX_DV-RX_CLK)$				
	$t_{su}(RX_ER-RX_CLK)$				
2	$t_h(RX_CLK-RXD)$	ホールド時間、miin_rxclk から選択した信号の受信有効の間	8		ns
	$t_h(RX_CLK-RX_DV)$				
	$t_h(RX_CLK-RX_ER)$				

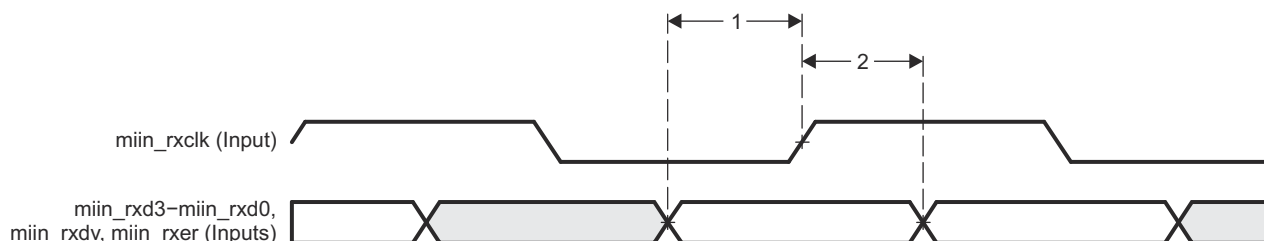


図 6-17. GMAC 受信インターフェイスのタイミング、MII In 動作

6.13.3.3.13 MII 送信クロックのタイミング要件

番号	パラメータ	説明	SPEED	最小値	最大値	単位
1	$t_{c(TX_CLK)}$	サイクル タイム、miin_txclk	10Mbps	400		ns
			100Mbps	40		ns
2	$t_{w(TX_CLKH)}$	パルス幅、miin_txclk High	10Mbps	140	260	ns
			100Mbps	14	26	ns
3	$t_{w(TX_CLKL)}$	パルス幅、miin_txclk Low	10Mbps	140	260	ns
			100Mbps	14	26	ns
4	$t_{t(TX_CLK)}$	遷移時間、miin_txclk	10Mbps		3	ns
			100Mbps		3	ns

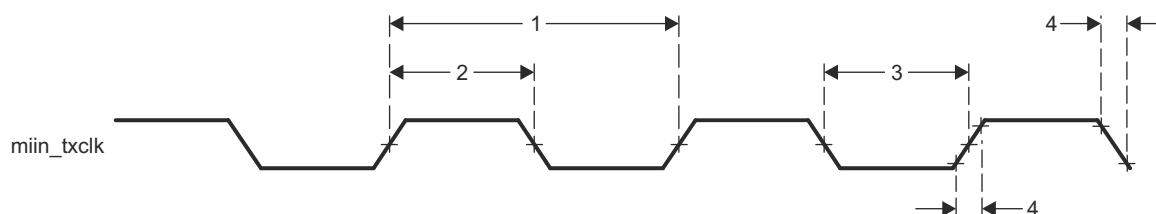


図 6-18. クロック タイミング (GMAC 送信) – MII In 動作

6.13.3.3.14 MDIO インターフェイスのタイミング

注意

このセクションに記載されている IO タイミングは、対応する仮想 IO タイミングまたは手動 IO タイミングが本セクション内の表に記載されたとおりに設定されている場合に限り、一部の GMAC 使用モードにおいてのみ有効です。

表 6-20、表 6-21 および 図 6-19 は、MDIO インターフェイスのスイッチング特性とタイミング要件を示します。

表 6-20. MDIO 入力のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
MDIO1	$t_{c(MDC)}$	サイクル時間、MDC	400		ns
MDIO2	$t_{w(MDCH)}$	パルス幅、MDC High	160		ns
MDIO3	$t_{w(MDCL)}$	パルス幅、MDC Low	160		ns
MDIO4	$t_{su(MDIO_MDC)}$	セットアップ時間、MDIO 有効から MDC High まで	90		ns
MDIO5	$t_{h(MDIO_MDC)}$	ホールド時間、MDC High から MDIO 有効まで	0		ns

表 6-21. MDIO 出力の推奨動作条件に対するスイッチング特性

なし	パラメータ	説明	最小値	最大値	単位
MDIO6	$t_{t(MDC)}$	遷移時間、MDC		5	ns

表 6-21. MDIO 出力の推奨動作条件に対するスイッチング特性 (続き)

なし	パラメータ	説明	最小値	最大値	単位
MDIO7	$t_d(\text{MDC-MDIO})$	遅延時間、MDC LOW から MDIO 有効まで	10	$(P * 0.5) - 10$	ns

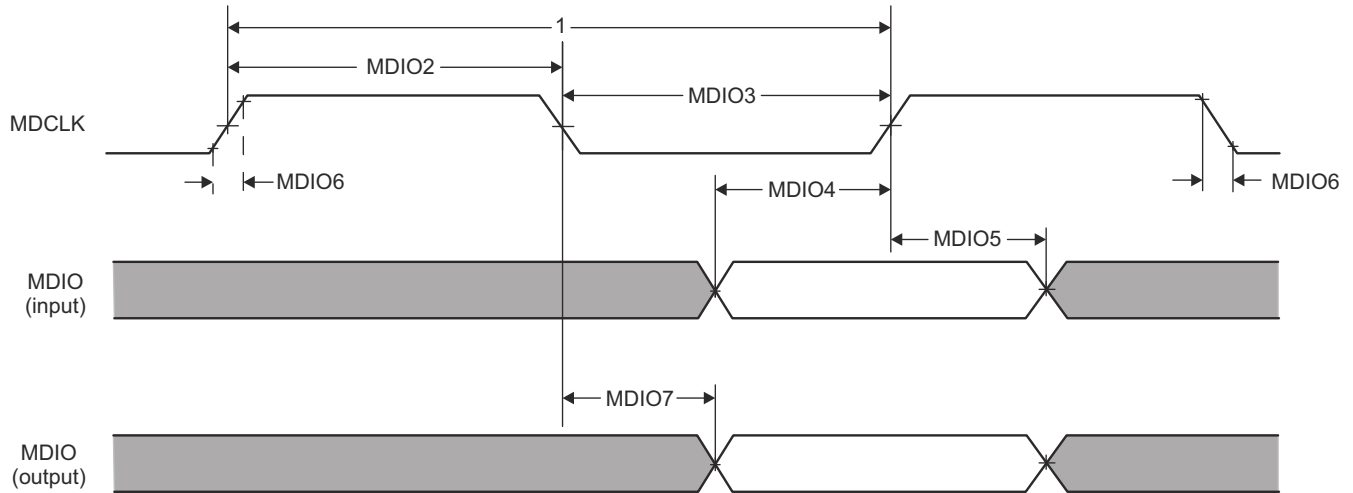


図 6-19. GMAC MDIO 図

6.13.3.4 LVDS/Aurora 計測および測定ペリフェラル

AM273x は、未加工の IF ADC センサ データをエクスポートするための一連の LVDS STM-TWP Aurora インターフェイスをサポートしています。LVDS トランスミッタは、2 つの測定インターフェイス オプションで共有されます。

- 1Gbps/レーンで動作する 4 データレーン LVDS インターフェイス (データクロックおよびフレームクロック用の 2 つの追加レーンを含む)
- 6 レーン STM-TWP-Aurora-LVDS インターフェイス モード

両方の LVDS インターフェイスのプログラミング オプションに関する情報については、AM273x の TRM を参照してください。

6.13.3.4.1 LVDS インターフェイスの構成

サポートされている AM273x LVDS レーン構成は、4 つのデータ レーン (LVDS_TXP/M)、1 つのビット クロック レーン (LVDS_CLKP/M)、1 つのフレーム クロック レーン (LVDS_FRCLKP/M) です。LVDS インターフェイスは、以下のデータ レートをサポートしています。

- 900Mbps (450MHz DDR クロック)
- 600Mbps (300MHz DDR クロック)
- 450Mbps (225MHz DDR クロック)
- 400Mbps (200MHz DDR クロック)
- 300Mbps (150MHz DDR クロック)
- 225Mbps (112.5MHz DDR クロック)
- 150Mbps (75MHz DDR クロック)

ビット クロックは DDR 形式であるため、クロックのトグルの数はデータに相当します。

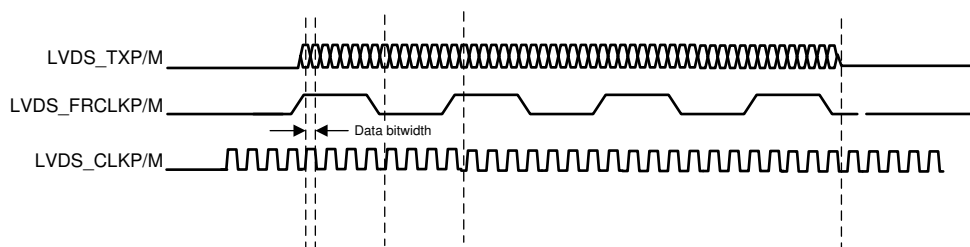


図 6-20. LVDS インターフェイスのレーン構成および相対タイミング

6.13.3.4.2 LVDS インターフェイスのタイミング

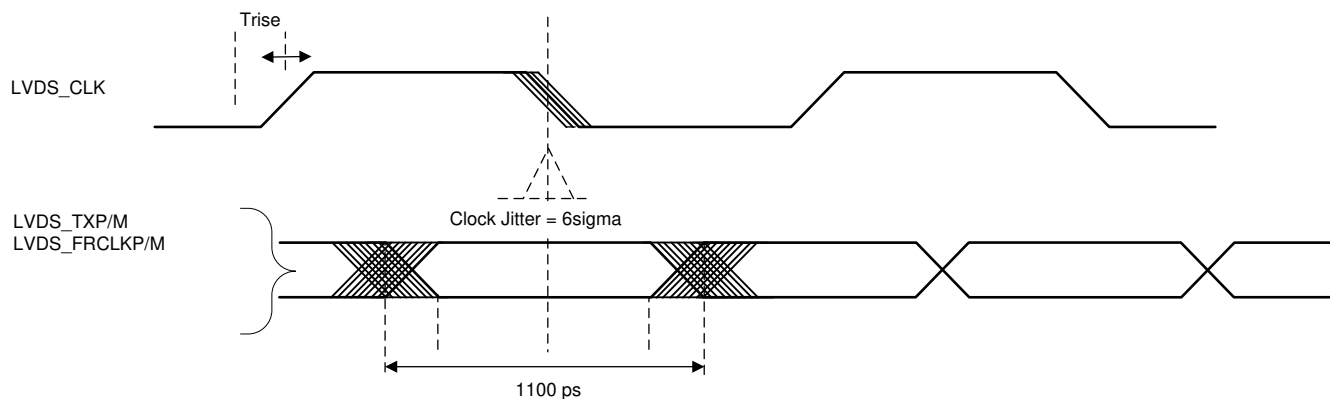


図 6-21. タイミング パラメータ

表 6-22. LVDS の電気的特性

パラメータ	テスト条件	最小値	標準値	最大値	単位
デューティ サイクル要件	LVDS レーン上で最大 1pF の集中容量性負荷	48%		52%	
出力差動電圧	差動ペア間に 100Ω の抵抗性負荷があるピーク ツー ピークのシングルエンド	250		450	mV
出力オフセット電圧		1125		1275	mV
Trise と Tfall	20%～80%、900Mbps				ps
ジッタ (pk-pk)	900Mbps		80		ps

6.13.3.5 UART ペリフェラル

AM273x には、4 つの UART インターフェイスが搭載されています。1 系統の UART はセカンダリ ブート ローダー ソースとして、1 系統は (XDS110 クラス エミュレータを用いた) レジスタ デバッグ インターフェイスとして使用され、2 系統は汎用 UART 通信のサポートを目的としています。

- 各クロック周波数モードにおいて、サポートされる最大ボーレートは最低でも 1536K baud とする必要があります
- UART インターフェイスは、他の I/O と多重化されており、ペリフェラル機能の最大限の柔軟な利用を可能にしています

6.13.3.5.1 UART のタイミング要件

	最小値	標準値	最大値	単位
f (ボー) サポートされているボーレート (20pF)		921.6		kHz

6.13.3.6 I²C プロトコル定義

AM273x は、3 つのコントローラまたはターゲット I²C (Inter-Integrated Circuit) インターフェイスをサポートしています。1 つの I²C インターフェイスは、外部 PMIC または EEPROM デバイス (代わりに SPI で制御することも可能) に接続することを想定しています。他の 2 つの I²C は、センサ デバイスや他の外部 IC の代替制御として使用されています。

- Philips I²C 仕様バージョン 2.1 に準拠した標準/高速モード I²C インターフェイス
- 最大クロックレートは、標準モードでは 100Kbps、高速モードでは 400Kbps です

6.13.3.6.1 I2C のタイミング要件⁽¹⁾

		標準モード		高速モード		単位
		最小値	最大値	最小値	最大値	
$t_{c(SCL)}$	サイクル時間、SCL	10		2.5		μs
$t_{su(SCLH-SDAL)}$	セットアップ時間、SCL High から SDA Low まで (繰り返しスタート条件の場合)	4.7		0.6		μs
$t_{h(SCLL-SDAL)}$	ホールド時間、SDA Low から SCL Low の間 (スタートおよび繰り返しスタート条件の場合)	4		0.6		μs
$t_{w(SCLL)}$	パルス幅、SCL low	4.7		1.3		μs
$t_{w(SCLH)}$	パルス幅、SCL high	4		0.6		μs
$t_{su(SDA-SCLH)}$	セットアップ時間、SDA 有効から SCL High まで	250		100		μs
$t_{h(SCLL-SDA)^{(1)}}$	ホールド時間、SCL low から SDA 有効の間	0	3.45	0	0.9	μs
$t_{w(SDAH)}$	パルス幅、ストップ条件とスタート条件の間の SDA High の 期間	4.7		1.3		μs
$t_{su(SCLH-SDAH)}$	セットアップ時間、SCL High から SDA High まで (ストップ条件の場合)	4		0.6		μs
$t_{w(SP)}$	パルス幅、スパイク (抑制が必要)			0	50	ns
$C_b^{(2)(3)}$	各バスラインの容量性負荷		400		400	pF

- (1) I2C ピンの SDA および SCL は、フェイルセーフ I/O バッファを備えていません。これらのピンは、デバイスの電源がオフのときに電流を引き出す可能性があります。
- (2) I2C バス デバイスの $t_h(SDA-SCLL)$ の最大値を満たす必要があるのは、SCL 信号の Low 期間 ($t_w(SCLL)$) を本デバイスがストレッチ (延長) しない場合に限られます。
- (3) $C_b = 1$ 本のバスラインの合計容量 (pF 単位)。ファスト モード デバイスと混在する場合、より高速な立ち下がり時間が許容されます。

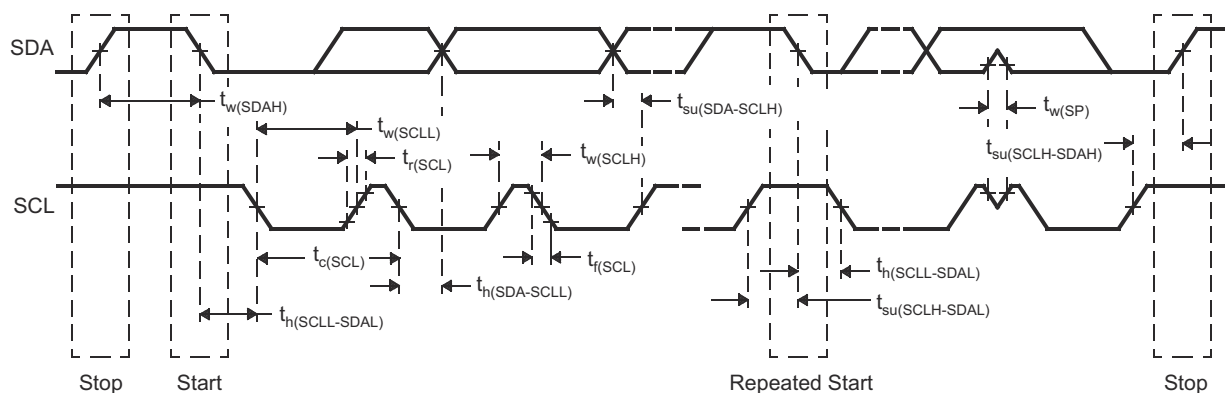


図 6-22. I2C タイミング図

注

- SCL 信号の立ち下がりエッジの未定義領域をブリッジするため、デバイスは SDA 信号のために (SCL 信号の V_{IHmin} を基準として) 300ns 以上のホールド時間を内部的に確保する必要があります。
- $t_h(SDA-SCLL)$ の最大値を満たす必要があるのは、SCL 信号の Low 期間 ($t_w(SCLL)$) を本デバイスがストレッチ (延長) しない場合に限られます。ファースト モード I2C バス デバイスは、スタンダード モード I2C バス システムでも使えますが、その場合、 $t_{su(SDA-SCLH)} \geq 250ns$ の要件を満たす必要があります。本デバイスが SCL 信号の Low 期間をストレッチしない場合、これは自動的に当てはまります。そのようなデバイスが SCL 信号の Low 期間をストレッチする場合、次のデータビットを SDA ラインに $t_r \max + t_{su(SDA-SCLH)}$ の間出力する必要があります。

6.13.3.7 コントローラ エリア ネットワーク - フレキシブル データ レート (CAN-FD)

AM273x には、2 つの CAN-FD インターフェイス、MSS_MCANA および MSS_MCANB が内蔵されています。これにより、一般的なユースケースである 1 つの CAN-FD インターフェイスを ECU のネットワーク インターフェイスとして使用し、もう 1 つのインターフェイスをローカル ネットワーク インターフェイスとして使用して近隣のセンサーとの通信を行うことができます。

- ISO 11898-7 規格に準拠して CAN-FD をサポートし、最大 8Mbps のデータレートに対応
- マルチプレックスされた GPIO を、CAN-FD の外部ドライバ制御に使用可能
- 同期トリガ出力によって、CAN-FD で CSI2 データ フレームをトリガ

6.13.3.7.1 CAN-FD TX ピンおよびRX ピンの動的特性

パラメータ ⁽¹⁾		最小値	標準値	最大値	単位
$t_d(MSS_CANA_TX)$	遅延時間、送信シフトレジスタから MSS_CANA_TX ピンまでの遅延			15	ns
$t_d(MSS_CANB_TX)$	遅延時間、送信シフトレジスタの出力が MSS_CANB_TX ピンに反映されるまでの遅延時間			15	ns
$t_d(MSS_MCANA_RX)$	遅延時間、MSS_MCANA_RX ピンから受信シフトレジスタまでの遅延			10	ns
$t_d(MSS_MCANB_RX)$	MSS_MCANB_RX ピンで受信された信号が、受信シフトレジスタに到達するまでの遅延時間			10	ns

(1) これらの値には、出力バッファの立ち上がり / 立ち下がり時間は含まれていません。

6.13.3.8 CSI-2 ペリフェラル

AM273x は、2 系統の 4 レーン MIPI CSI-2、D-PHY レシーバ ペリフェラル、すなわち CSI2 レシーバ 0 (CSI2_RX0) と CSI2 レシーバ 1 (CSI2_RX1) を内蔵しています。各ペリフェラルを使用して、センサ データ サンプルをキャプチャできます。CSI2 インターフェイスは主に、ハードウェア インザループ (HIL) インターフェイスとして機能し、開発用途において記録済みデータの再生を可能にします。

- インターフェイスは、MIPI CSI-2 D-PHY 規格リビジョン 1.2 に準拠しています
- 2 系統の 4 レーン CSI2 レシーバ インターフェイスであり、600Mbps/ レーンで同時に動作し
- 4 レーン、3 レーン、2 レーン、1 レーンの CSI2 構成
- 仮想チャネル (最小 4 個) とデータタイプ (最小 4 個) のサポート
- 8/10/12/14/16 ビットの RAW データ モードをサポートしており、RAW 10/12/14 モードでは、16 ビットメモリ アドレスに合わせて符号拡張またはゼロパディングによる整列が可能
- ユーザー定義データ型のサポート

レシーバのすべてのタイミング要件については、『MIPI CSI-2 D-PHY 標準リビジョン 1.2』を参照してください。すべてのプログラマブル オプションの詳細な説明については、AM273x TRM を参照してください。

6.13.3.9 汎用 ADC (GPADC)

AM273x デバイスには、安全監視デバイスのほか、温度センサや電圧レギュレータなどのシステム アナログ信号用の GPADC モジュールを実装しています。

- 最大 9 つの外部チャネルまたは内部チャネルをサポート
- 7.5 ENOB、625Ksps ADC
- VSS と 1.8V 間の GPADC 入力フルスケールレンジ
- シングルまたは連続変換モード
- 変換結果を格納するデータ RAM (1KB の結果)

6.13.3.10 拡張パルス幅変調器 (ePWM)

AM273x には、3 つの拡張型パルス幅変調 (ePWM) モジュールが含まれています。これらのモジュールは、電源レギュレータや電源管理システム用のデューティ サイクル制御波形、またはモータ制御アプリケーション向けのより複雑な波形を生成するために使用できます。

- 各 PWM モジュール向けの周期および周波数制御機能を備えた専用の 16 ビット時間ベース カウンタ
- 各モジュールには、2 つの PWM 出力 (EPWMxA および EPWMxB) が含まれており、以下の構成で使用できます:
 - シングル エッジ動作の 2 つの独立した PWM 出力
 - デュアル エッジ対称動作の 2 つの独立した PWM 出力
 - デュアル エッジ非対称動作の 1 つの独立した PWM 出力

6.13.3.11 拡張キャプチャ (eCAP)

AM273x デバイスには、拡張キャプチャ (eCAP) モジュールを 1 基内蔵しています。eCAP モジュールは、外部タイミング イベントをキャプチャするために使用されます。これは、ePWM を補完する機能を備えた汎用モジュールです。用途には、回転機械の速度測定 (例: 歯付きスプロケットをホール センサで感知) が含まれます

- 位置センサ パルス間の経過時間測定
- パルス列信号の周期およびデューティ サイクル測定
- デューティ サイクル符号化電流 / 電圧センサから得られた電流または電圧振幅の復号
- eCAP を動作させるには、100MHz 以上の動作クロックが必要
- 4 つのイベント タイムスタンプ レジスタ (各 32 ビット)

6.13.3.12 MCASP

MCASP ペリフェラルの詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションを参照してください。

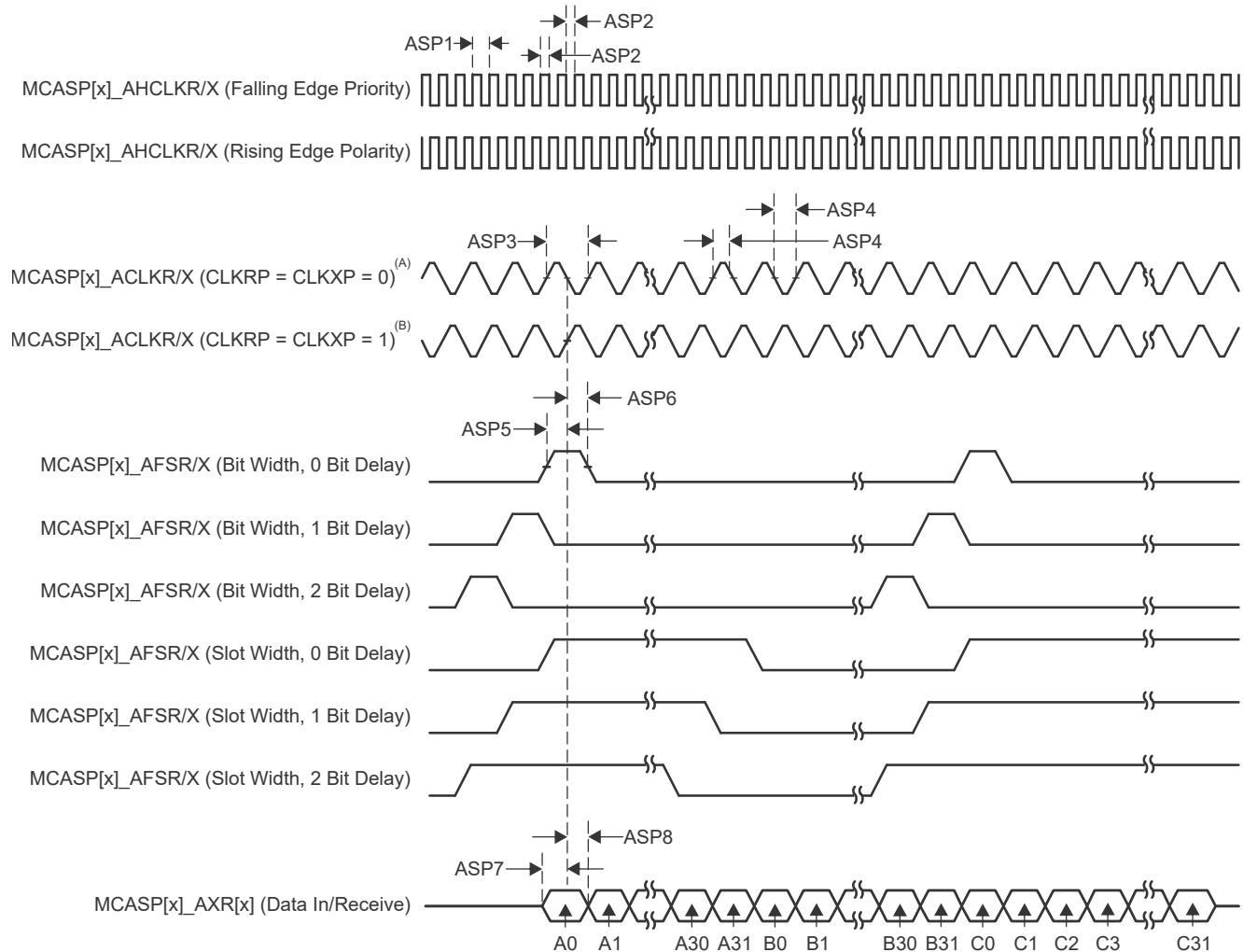
MCASP のタイミング条件

番号	パラメータ	最小値	標準値	最大値	単位
入力条件					
1	t_R 入力立ち上がり時間	1		3	ns
2	t_F 入力立ち下がり時間	1		3	ns
出力条件					
3	C_{LOAD} 出力負荷容量	2		15	pF

MCASP のタイミング要件

番号	パラメータ	説明	モード ⁽¹⁾	最小値	最大値	単位
ASP1	$t_c(AHCLKRX)$	サイクル時間、MCASP[x]_AHCLKR/X ⁽³⁾		38.46		ns
ASP2	$t_w(AHCLKRX)$	パルス幅、MCASP[x]_AHCLKR/X ⁽³⁾ High または Low		0.5P ⁽²⁾ – 2.5		ns
ASP3	$t_c(ACLKRX)$	サイクル時間、MCASP[x]_ACLKR/X ⁽³⁾		38.46		ns
ASP4	$t_w(ACLKRX)$	パルス幅、MCASP[x]_ACLKR/X ⁽³⁾ High または Low		0.5P ⁽²⁾ – 2.5		ns
ASP5	$t_{su}(AFSRX-ACLKRX)$	セットアップ時間、MCASP[x]_AFSR/X ⁽³⁾ 入力 MCASP[x]_ACLKR/X ⁽³⁾ より前に有効	ACLKR/X 内部	15.5		ns
			ACLKR/X 外部入力 / 出力	6		ns
ASP6	$t_h(ACLKRX-AFSRX)$	ホールド時間、MCASP[x]_AFSR/X ⁽³⁾ 入力 MCASP[x]_ACLKR/X ⁽³⁾ の後に有効	ACLKR/X 内部	-1		ns
			ACLKR/X 外部入力 / 出力	2.3		ns
ASP7	$t_{su}(AXR-ACLKRX)$	セットアップ時間、MCASP[x]_AXR ⁽³⁾ 入力 MCASP[x]_ACLKR/X ⁽³⁾ より前に有効	ACLKR/X 内部	15.5		ns
			ACLKR/X 外部入力 / 出力	6		ns
ASP8	$t_h(ACLKRX-AXR)$	ホールド時間、MCASP[x]_AXR ⁽³⁾ 入力 MCASP[x]_ACLKR/X ⁽³⁾ の後に有効	ACLKR/X 内部	-1		ns
			ACLKR/X 外部入力 / 出力	2.3		ns

- (1) ACLKR 内部: ACLKRCTL.CLKRM = 1、PDIR.ACLKR = 1
 ACLKR 外部入力: ACLKRCTL.CLKRM = 0、PDIR.ACLKR = 0
 ACLKR 外部出力: ACLKRCTL.CLKRM = 0、PDIR.ACLKR = 1
 ACLKX 内部: ACLKXCTL.CLKXM = 1、PDIR.ACLKX = 1
 ACLKX 外部入力: ACLKXCTL.CLKXM = 0、PDIR.ACLKX = 0
 ACLKX 外部出力: ACLKXCTL.CLKXM = 0、PDIR.ACLKX = 1
- (2) P = AHCLKR/X 周期 (ns 単位)。AHCLKR/X クロック ソース オプションの詳細については、テクニカル リファレンス マニュアルにある「モジュール統合」の章の「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションの「McASP クロック」表を参照してください。
- (3) MCASP[x]_* の x は A、B、または C



- A. $\text{CLKRP} = \text{CLKXP} = 0$ の場合、MCASP トランスミッタは立ち上がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち下がりエッジ (シフト データ イン) に構成されます。
- B. $\text{CLKRP} = \text{CLKXP} = 1$ の場合、MCASP トランスミッタは立ち下がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち上がりエッジ (シフト データ イン) に構成されます。

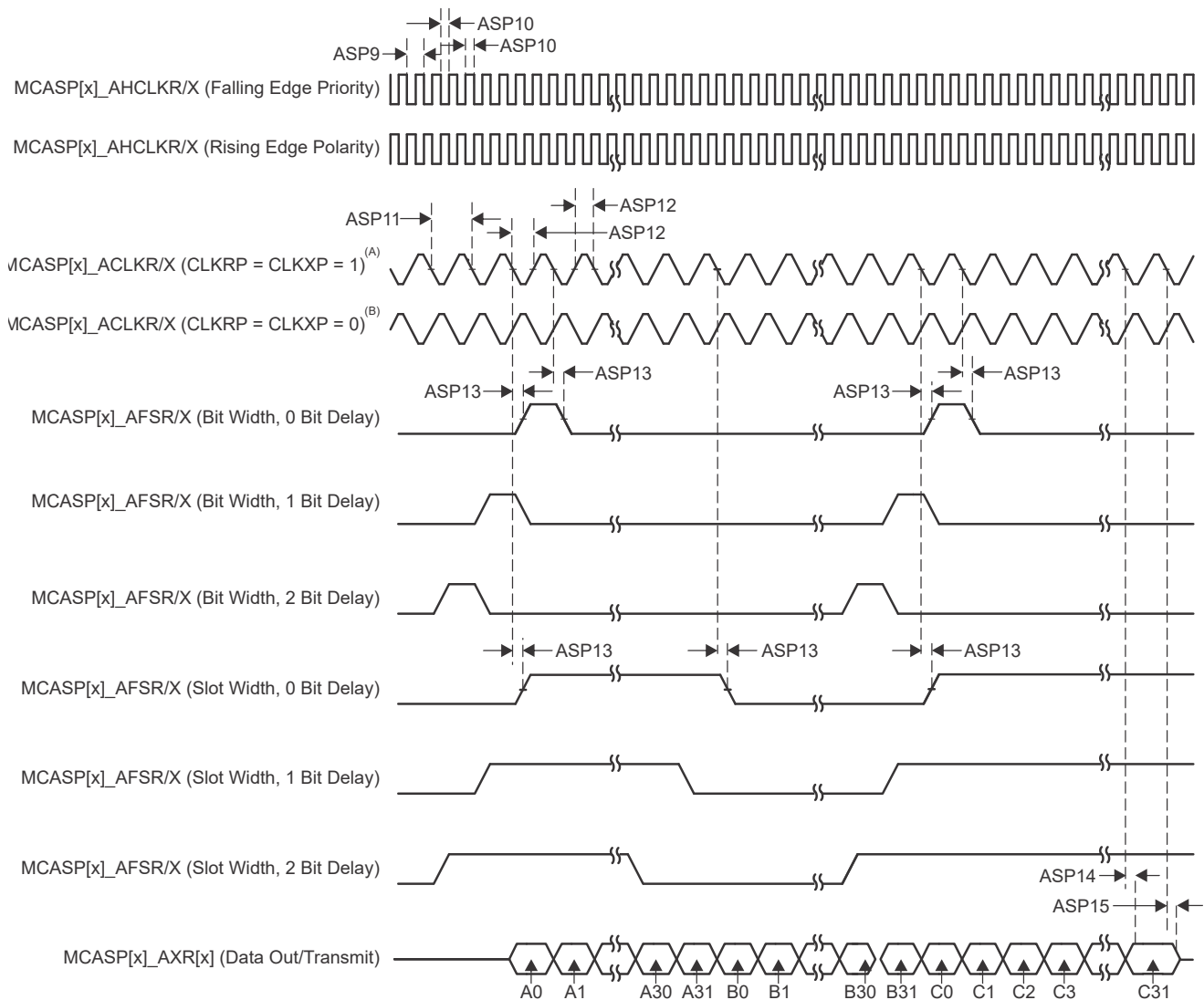
図 6-23. MCASP のタイミング要件

MCASP スイッチング特性

番号	パラメータ	説明	モード ⁽¹⁾	最小値	最大値	単位
ASP9	$t_c(\text{AHCLKRX})$	サイクル時間、MCASP[x]_AHCLKR/X ⁽³⁾		38.46		ns
ASP10	$t_w(\text{AHCLKRX})$	パルス幅、MCASP[x]_AHCLKR/X ⁽³⁾ High または Low		0.5P ⁽²⁾ – 2.5		ns
ASP11	$t_c(\text{ACLKRX})$	サイクル時間、MCASP[x]_ACLKR/X ⁽³⁾		38.46		ns
ASP12	$t_w(\text{ACLKRX})$	パルス幅、MCASP[x]_ACLKR/X ⁽³⁾ High または Low		0.5P ⁽²⁾ – 2.5		ns
ASP13	$t_d(\text{ACLKRX-AFSRX})$	遅延時間、MCASP[x]_ACLKR/X ⁽³⁾ 送信エッジから MCASP[x]_AFSR/X ⁽³⁾ まで	ACLKR/X 内部	0	18	ns
			ACLKR/X 外部入力 / 出力	2	18	ns
ASP14	$t_d(\text{ACLKX-AXR})$	遅延時間、MCASP[x]_ACLKX ⁽³⁾ 送信エッジから MCASP[x]_AXR ⁽³⁾ まで	ACLKR/X 内部	0	18	ns
			ACLKR/X 外部入力 / 出力	2	18	ns

番号	パラメータ	説明	モード ⁽¹⁾	最小値	最大値	単位
ASP15	$t_{dis}(ACLKX-AXR)$	ディセーブル時間、MCASP[x]_ACLKX ⁽³⁾ 送信エッジから MCASP[x]_AXR ⁽³⁾ 出力ハイインピーダンスまで	ACLKR/X 内部	0	18	ns
			ACLKR/X 外部入力 / 出力	0	18	ns

- (1) ACLKR 内部: ACLKRCTL.CLKRM = 1, PDIR.ACLKR = 1
ACLKR 外部入力: ACLKRCTL.CLKRM = 0, PDIR.ACLKR = 0
ACLKR 外部出力: ACLKRCTL.CLKRM = 0, PDIR.ACLKR = 1
ACLKX 内部: ACLKXCTL.CLKXM = 1, PDIR.ACLKX = 1
ACLKX 外部入力: ACLKXCTL.CLKXM = 0, PDIR.ACLKX = 0
ACLKX 外部出力: ACLKXCTL.CLKXM = 0, PDIR.ACLKX = 1
- (2) P = AHCLKR/X 周期 (ns 単位)。AHCLKR/X クロック ソース オプションの詳細については、テクニカルリファレンス マニュアルにある「モジュール統合」の章の「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションの「McASP クロック」表を参照してください。
- (3) MCASP[x]_* の x は A、B、または C



- A. CLKRP = CLKXP = 1 の場合、MCASP トランスミッタは立ち下がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち上がりエッジ (シフト データ イン) に構成されます。

- B. CLKRP = CLKXP = 0 の場合、MCASP トランスミッタは立ち上がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち下がりエッジ (シフト データ イン) に構成されます。

図 6-24. MCASP スイッチング特性

6.13.3.13 汎用入出力 (General-Purpose Input/Output)

セクション 6.13.3.13.1 に、出力タイミングのスイッチング特性と負荷容量との関係を示します。

6.13.3.13.1 出力タイミングに対する負荷容量の変化によるスイッチング特性 (C_L) ^{(1) (2)}

パラメータ		テスト条件		VIOIN = 1.8V	VIOIN = 3.3V	単位
t _r	最大立ち上がり時間	スルー制御 = 0	C _L = 20pF	2.8	3.0	ns
			C _L = 50pF	6.4	6.9	
			C _L = 75pF	9.4	10.2	
t _f	最大立ち下がり時間		C _L = 20pF	2.8	2.8	ns
			C _L = 50pF	6.4	6.6	
			C _L = 75pF	9.4	9.8	
t _r	最大立ち上がり時間	スルー制御 = 1	C _L = 20pF	3.3	3.3	ns
			C _L = 50pF	6.7	7.2	
			C _L = 75pF	9.6	10.5	
t _f	最大立ち下がり時間		C _L = 20pF	3.1	3.1	ns
			C _L = 50pF	6.6	6.6	
			C _L = 75pF	9.6	9.6	

(1) PADxx_CFG_REG で設定されるスルー制御は、出力ドライバの挙動を変化させます (高速または低速の出力スルーレート)。

(2) 立ち上がり / 立ち下がり時間は、VIOIN 電圧の 10% と 90% の間を信号が遷移するのに要する時間として測定されます。

6.13.4 エミュレーションおよびデバッグ

6.13.4.1 エミュレーションおよびデバッグの説明

6.13.4.2 JTAG インターフェイス

JTAG インターフェイスは、プロセッサのデバッグおよびバウンダリ スキャン テストのために IEEE1149.1 標準インターフェイスを実装しています。

セクション 6.13.4.2.1 とセクション 6.13.4.2.2 は、図 6-25 に記載された動作条件を前提としています。

6.13.4.2.1 IEEE 1149.1 JTAG のタイミング要件

表 6-23. JTAG のタイミング条件

		最小値	標準値	最大値	単位
入力条件					
t_R	入力立ち上がり時間	1		3	ns
t_F	入力立ち下がり時間	1		3	ns
出力条件					
C_{LOAD}	出力負荷容量	2		15	pF

表 6-24. JTAG のタイミング要件

番号			最小値	標準値	最大値	単位
1	$t_c(\text{TCK})$	サイクル時間 TCK	66.66			ns
1a	$t_w(\text{TCKH})$	パルス幅、TCK High (t_c の 40%)	26.67			ns
1b	$t_w(\text{TCKL})$	パルス幅、TCK Low (t_c の 40%)	26.67			ns
3	$t_{su}(\text{TDI-TCK})$	入力セットアップ時間、TDI 有効から TCK High まで	2.5			ns

表 6-24. JTAG のタイミング要件 (続き)

番号			最小値	標準値	最大値	単位
3	$t_{su}(TMS-TCK)$	入力セットアップ時間、TMS 有効から TCK High まで	2.5			ns
4	$t_h(TCK-TDI)$	入力ホールド時間、TCK High から TDI 有効の間	18			ns
4	$t_h(TCK-TMS)$	入力ホールド時間、TCK High から TMS 有効の間	18			ns

6.13.4.2.2 IEEE 1149.1 JTAG のスイッチング特性

番号	パラメータ		最小値	標準値	最大値	単位
2	t _d (TCKL-TDOV)	遅延時間、TCK LOW から TDO 有効まで	0		25	ns

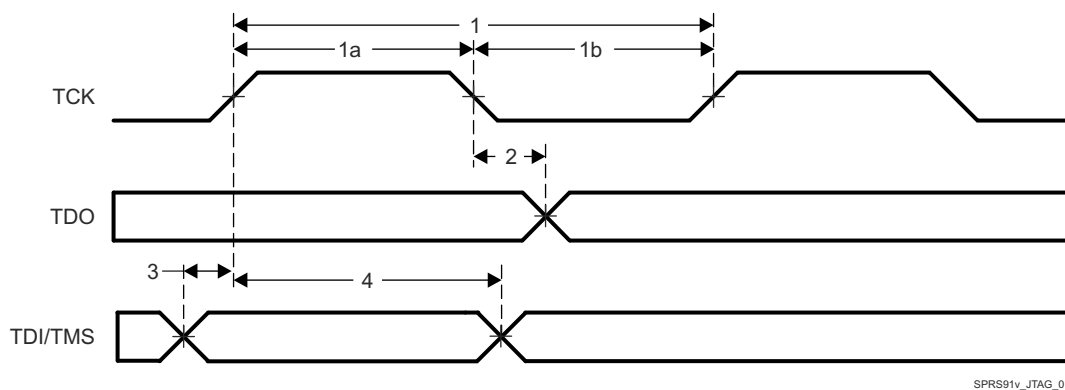


図 6-25. JTAG のタイミング

6.13.4.3 ETM トレース インターフェイス

ETM トレース インターフェイスは、互換性のあるエミュレータ ツールセットを介して、リアルタイムのプロセッサ デバッグ情報をホスト PC に出力する手段を提供します。

セクション 6.13.4.3.1 とセクション 6.13.4.3.2 は、図 6-26 および図 6-27 に示す動作条件を示しています。

6.13.4.3.1 ETM TRACE のタイミング要件

	最小値	標準値	最大値	単位
出力条件				
C _{LOAD} 出力負荷容量	2		20	pF

6.13.4.3.2 ETM TRACE のスイッチング特性

番号	パラメータ	最小値	標準値	最大値	単位
1	t _{cyc} (ETM)	16			ns
2	t _h (ETM)	7			ns
3	t _l (ETM)	7			ns
4	t _r (ETM)			3.3	ns
5	t _f (ETM)			3.3	ns
6	t _d (ETMTRACECLKH-ETMDATAV)	1		7	ns
7	t _d (ETMTRACECLKL-ETMDATAV)	1		7	ns

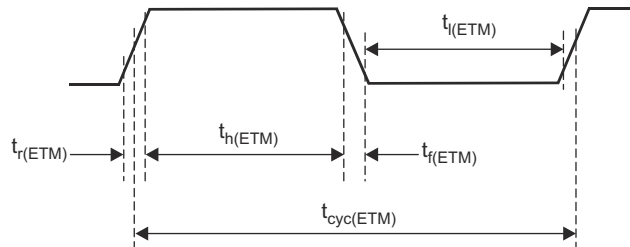


図 6-26. ETMTRACECLKOUT のタイミング

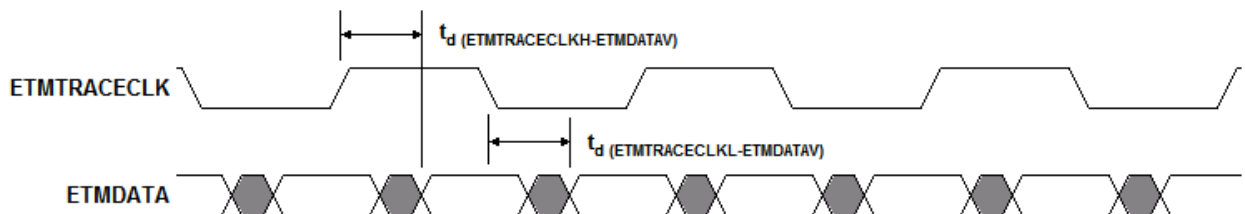


図 6-27. ETMDATA のタイミング

7 詳細説明

7.1 概要

AM273x は C66x DSP を内蔵した高性能のマイコンです。コンディショニングや処理機能を必要とするアプリケーションに理想的です。400MHz で動作する 2 つの R5F コア (オプションのロックステップ機能) と 5MB の内蔵メモリに加え、幅広い車載および産業用接続ペリフェラル、使いやすい SDK により、お客様は車載、産業分野のさまざまな用途に対応できます。新しい市場トレンドに対応できるように、機能安全とセキュリティ (HSM) の各機能を統合しています。

代表的な用途の 1 つとして、AM273x を車載レーダー システムの MCU ホストとして使用するケースがあります。この構成において、AM273x はデータの集約、FFT、CFAR、範囲、速度、角度の推定、追跡処理を実行します。AM273x は、シングルまたはデュアル (カスケード) フロントエンド レーダ アプリケーションのホストとして動作できます。

図 3-1 に示すように、AM273x はいくつかの高度な機能サブシステムに分割されています。各サブシステムには、特定の制御、信号処理、デジタル通信ペリフェラルが搭載されています。

- メイン サブシステム (MSS): MCU コア、暗号化コア、メールボックス、EDMA、RTI、QSPI、SPI、CAN-FD、I2C、UART、イーサネット、GPIO
- DSP サブシステム (DSS): C66x コア、HWA2.0 アクセラレータ、メールボックス、EDMA、RTI
- レーダー コントローラ サブシステム (RCSS): EDMA、CSI2A/B、SPIA/B、I2C、GPIO

その後、各プライマリ サブシステムは ECC 対応のスイッチ インターコネクト バスを介して相互接続され、ペリフェラルおよびプロセッシング コア間で EDMA データを転送できます。

7.2 メイン サブシステム

メイン サブシステム (MSS) は、デバイスの主要なコントローラであり、他のすべてのデバイス サブシステムのコアおよびペリフェラルを制御します。MSS には、Cortex-R5F (MSS R5F) プロセッサと関連ペリフェラル、関連 EDMA およびメールボックス IPC 機能が搭載されています。MSS は、I2C、UART、SPI、CAN-FD、EPWM、イーサネットなど、システム全体の広範な接続機能およびネットワーク ペリフェラルも制御します。MSS は、ECC がイネーブルなメイン サブシステム (MSS) インターコネクトを介してプライマリ インターコネクトに接続されています。

MSS には、電源および温度モニタなどの重要なシステム信号を安全に監視するための、DCC、ESM、LBIST/PBIST、CRC Watchdog Timer、GPADC で構成される専用の機能安全ブロックが含まれています。

7.3 DSP サブシステム

DSP サブシステム (DSS) は、TI の高性能 C66x DSP、HWA 2.0、高性能処理向けの広帯域インターコネクト (128 ビット、150MHz)、および関連するデータ転送ペリフェラルで構成されています。データ転送用として、6 個の EDMA、2 個の RTI、および Mailbox IPC を備えています。Aurora/LVDS 測定データ出力インターフェイスも、C66x DSP によって制御されます。L3 共有メモリは DSS インターコネクト上で使用可能であり、ECC にも対応しています。

DSP 機能の詳細については、を参照してください

7.4 レーダー制御サブシステム

レーダー制御サブシステム (RCSS) は、高帯域幅インターコネクト、2 系統の 4 レーン CSI 2.0 レシーバ (CSI2_RX0 および CSI2_RX1)、2 つの SPI コントローラ (RCSS_SPIA および RCSS_SPIB)、I2C コントローラ、ならびに GPIO セットを統合しています。SPI、I2C、GPIO ペリフェラルは、接続されているセンサ デバイスの制御と構成に使用できます。CSI 2.0 レシーバは、サンプルなどの高速センサ データ サンプルを受信できます。

デバイス ピンリストには、レーダー フロントエンド接続の使用事例をサポートするように名前が付けられたピンも多数あります。これらすべての信号は、デバイスのピン マルチプレクサにおいて各種 MSS/RCSS GPIO 機能に割り当てられるため、pinmux 信号リストには存在しません。これらの信号の以下の説明を参照してください。

表 7-1. レーダー フロントエンド (FE) 制御信号

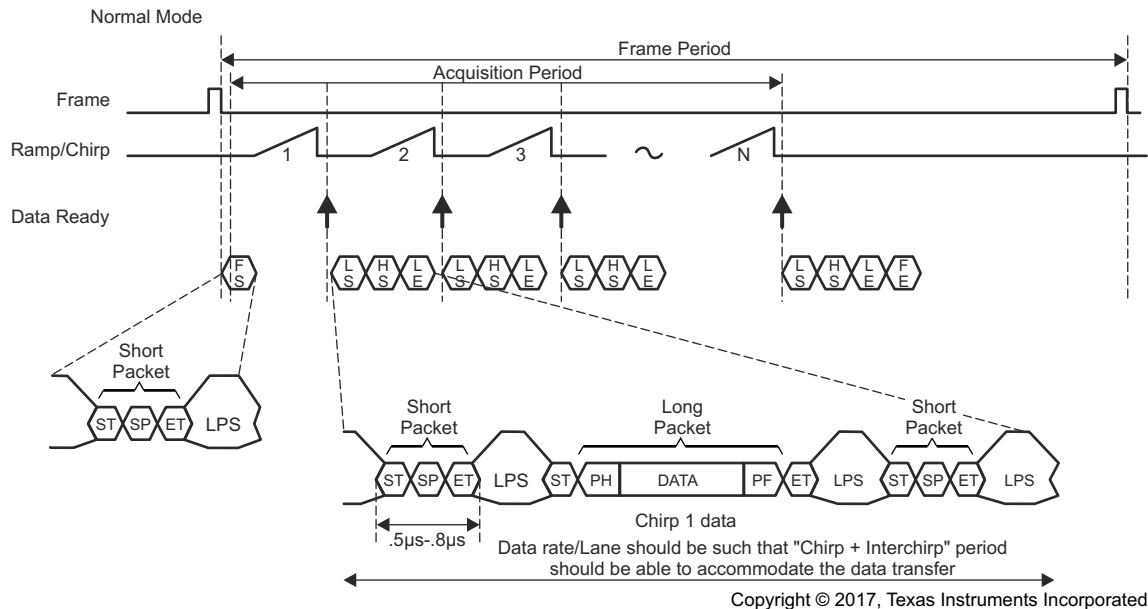
信号名	説明と意図された機能
FE1_REFCLK	レーダー フロントエンドのリファレンス クロック検出入力。レーダー フロントエンド デバイスから利用可能な出力クロックに接続できます。
FE2_REFCLK	
HW_SYNC_FE1	レーダー フロントエンド フレーム同期出力トリガ入出力。接続されているレーダー フロントエンド フレームトリガを駆動したり、フレームトリガ ソースを検出したりできます。
HW_SYNC_FE2	
NERRORIN_FE1	レーダー フロントエンドのエラー ステータス入力。接続されているレーダー フロントエンドのエラー出力ステータスを検出できます。
NERRORIN_FE2	
NRESET_FE1	レーダー フロントエンド向けリセット出力。接続されているレーダー フロントエンドのリセットを駆動できます。
NRESET_FE2	
NWARMRESET_IN_FE1	レーダー フロントエンドのウォームリセット入出力。接続されているレーダー フロントエンドのウォームリセットを駆動したり、リセット ステータスを検出したりできます。
NWARMRESET_IN_FE2	

7.5 その他のサブシステム

7.5.1 CSI2 インターフェイスを介したレーダー A2D データ フォーマット

AM273x デバイスは、MIPI D-PHY/CSI2 ベースのフォーマットを使用して、未加工の A2D サンプルを外部レーダー トランシーバから受信します。これは、図 7-1 に示すとおりです。

- 4 つのデータ レーンをサポート
- CSI-2 データ レートは、レーンごとに 150 Mbps ~ 600 Mbps の範囲でスケーラブル
- 仮想チャネル ベース
- CRC 生成



Frame Start (フレーム スタート) – CSI2 VSYNC スタート ショート パケット Line Start (ライン スタート) – CSI2 HSYNC スタート ショート パケット
Line End (ライン エンド) – CSI2 HSYNC エンド ショート パケット Frame End (フレーム エンド) – CSI2 VSYNC エンド ショート パケット

図 7-1. CSI-2 伝送フォーマット

データペイロードは、次の 3 種類の情報で構成されます。

- チャープ プロファイル情報
- 実際のチャープ番号
- 4 つのチャネルすべてのチャープに対応する A2D データ
 - インターリーブ方式
- チャープ品質データ (構成可能)

その後、ペイロードは 4 つの物理データレーンに分割され、受信 D-PHY に送信されます。図 7-2 に、データ パケットのパッキング形式を示します。

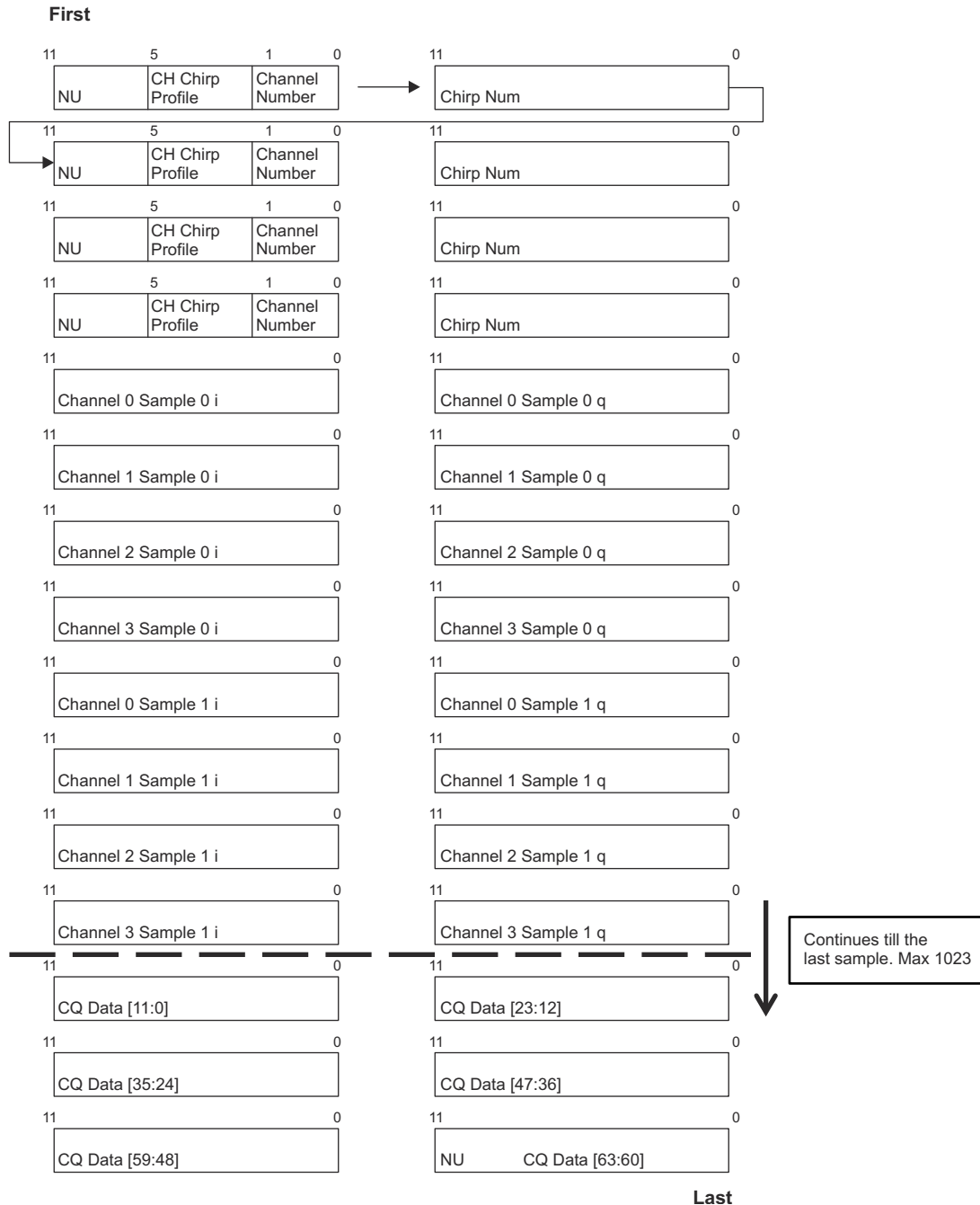


図 7-2. 12 ビット複素数構成用データ パケットのパッキング形式

7.5.2 ユーザー アプリケーション向け ADC チャンネル (サービス)

AM273x デバイスにはユーザー アプリケーション向けの ADC サービスが用意されており、デバイス内の GPADC エンジンを使用して最大 9 個の外部および内部電圧を測定できます。この目的で、ADC1、ADC2、ADC3、ADC4、ADC5、ADC6、ADC7、ADC8、ADC9 の各ピンを使用します。

注

GPADC 構造は、内部温度センサの出力を測定するために使われます。

GPADC Specifications:

- 625Ksps SAR ADC
- 入力電圧範囲: 0V ~ 1.8V
- 10 ビット分解能

GPADC パラメータの詳細については、[セクション 6.12.1](#) を参照してください。

7.6 ブート モード

AM273x ブートローダの機能は、一連の SOP (START ON POWER) ピンによって制御されます。これらのピンの状態は、デバイスの電源投入後、NRESET ピンがデアサートされるとラッチされます。SOP ピンは、NRESET のデアサート前およびデアサート中は機能モード信号と多重化されています。ブートローダの実行後、機能モードの動作が回復します。詳細については、パワーオン リセットのタイミング シーケンスを参照してください。次の表に、SOP ピンの動作を示します。

ホスト ハードウェアは、NRESET のデアサート時にこれらの SOP ピンを必要な状態に設定できる手段を備えるとともに、アプリケーションで必要な場合には機能モードで動作できるようにする必要があります。

表 7-2. SOP ピン

ピン	SOP モード信号名	ピンリスト信号名
D6	SOP[0]	TDO
E17	SOP[1]	MSS_MIBSPIB_CS2
F1	SOP[2]	PMIC_CLKOUT
V9	SOP[3]	MSS_UARTB_TX
W2	SOP[4]	MSS_UARTA_TX

表 7-3. SOP ピンのモード

ブート オプション	SOP モード
ブートモード SOP のモード	• SOP[2:0] = 0b011 は SOP_MODE2 を選択します • SOP[2:0] = 0b001 は SOP_MODE4 を選択します • SOP[2:0] = 0b101 は SOP_MODE5 を選択します • その他のすべての状態は予約済みです。選択しないでください。
水晶振動子検出 SOP モード	• SOP[4:3] = 0b00 は 40MHz 水晶振動子モードを選択します • SOP[4:3] = 0b01 は 45.1584MHz 水晶振動子モードを選択します • SOP[4:3] = 0b10 は 49.152MHz 水晶振動子モードを選択します • SOP[4:3] = 0b11 は 50MHz 水晶振動子モードを選択します

表 7-4. ブートモード SOP の説明

ブートモード SOP のモード	機能	説明
SOP_MODE2	開発モード	開発ブート モード。AM273x ROM ブートローダは、JTAG デバッガからの接続を待機するようにデバイスを設定します。

表 7-4. ブートモード SOP の説明 (続き)

ブートモード SOP のモード	機能	説明
SOP_MODE4	機能モード	AM273x デバイスの機能ブートモード。このモードでは、ROM ブートローダは主に QSPI インターフェイス、もう 1 つは SPI ホストインターフェイスから有効なセカンダリブートローダイメージのロードを試みます。
SOP_MODE5	デバイス管理モード	AM273x デバイスの QSPI フラッシュプログラミングブートモード。このモードでは、ROM ブートローダは MSS_UARTA_TX/RX (ピン W2、U3) 経由で有効な QSPI セカンダリブートローダイメージの受信を試み、このイメージで接続されている QSPI メモリのフラッシュ書き込みを試みます。

表 7-5. 水晶振動子検出 SOP モードの説明

水晶振動子検出 SOP モード	
40MHz 水晶振動子モード	ROM ブートローダイメージには、40MHz 公称水晶振動子クロックソースが必要です。
45.1584MHz 水晶振動子モード	ROM ブートローダイメージには、45.1584MHz 公称水晶振動子クロックソースが必要です。
49.152MHz 水晶振動子モード	ROM ブートローダイメージには、49.152MHz 公称水晶振動子クロックソースが必要です。
50MHz 水晶振動子モード	ROM ブートローダイメージには、50MHz 公称水晶振動子クロックソースが必要です。

8 アプリケーション、実装、およびレイアウト

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様には含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 代表的なアプリケーション

8.1.1 回路図

以下の **AM273x の回路図例**は、AM273x 評価基板の回路図の抜粋を示しています。ここでは、デバイスのピンの使用方法を示すため、AM273x デバイスの回路図記号のみを記載しています。

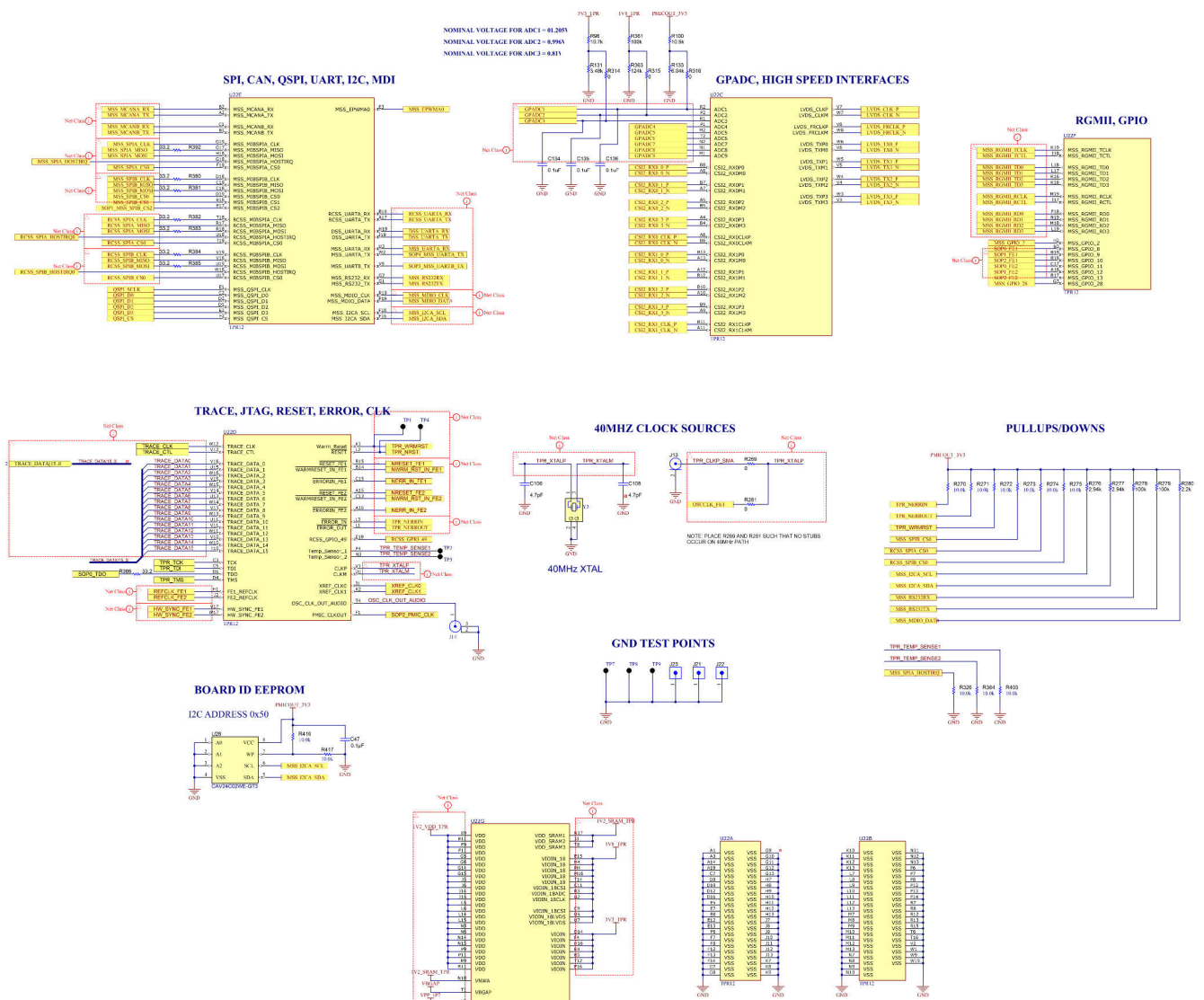


図 8-1. AM273x の回路図例

8.1.2 レイアウト

8.1.2.1 レイアウト例

以下の図は、AM273x 評価基板 の PCB レイアウト、部品、積層から参照したものです。

Top Layer (Scale 1:1)

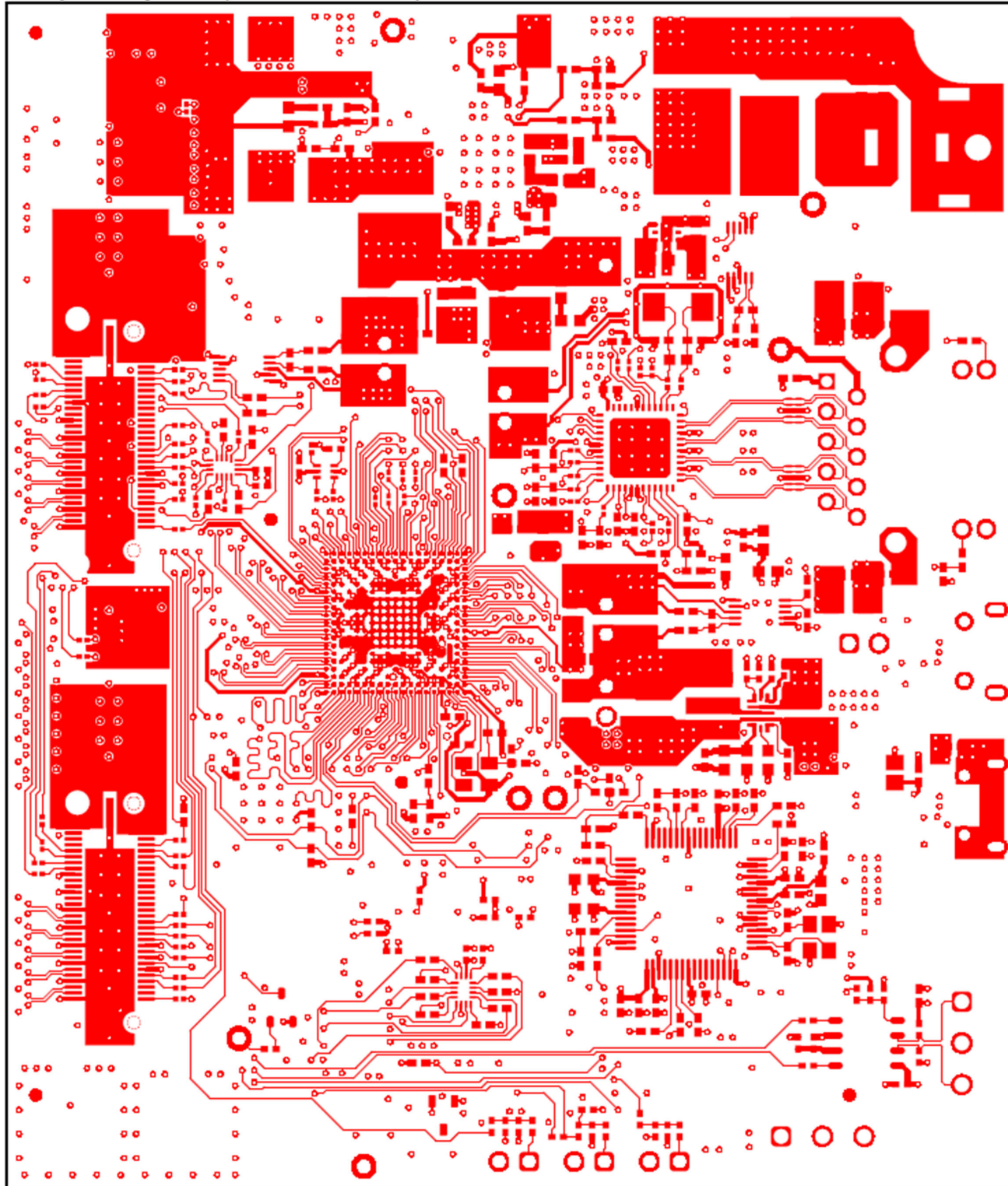


図 8-2. AM273x 評価基板 - レイヤ 1 (上部)

Bottom Layer (Scale 1:1)

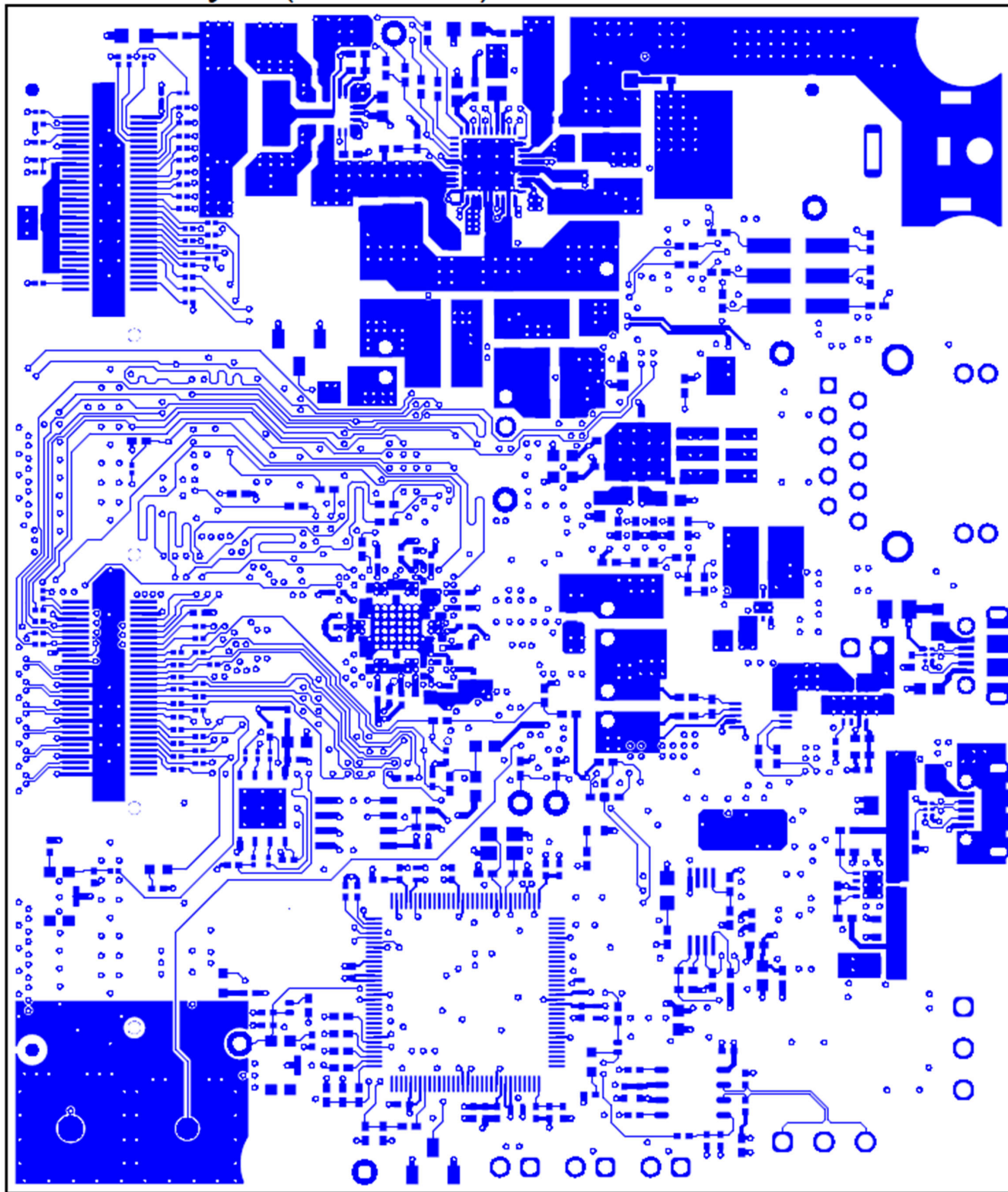


図 8-3. AM273x 評価基板 - レイヤ 10 (下部)

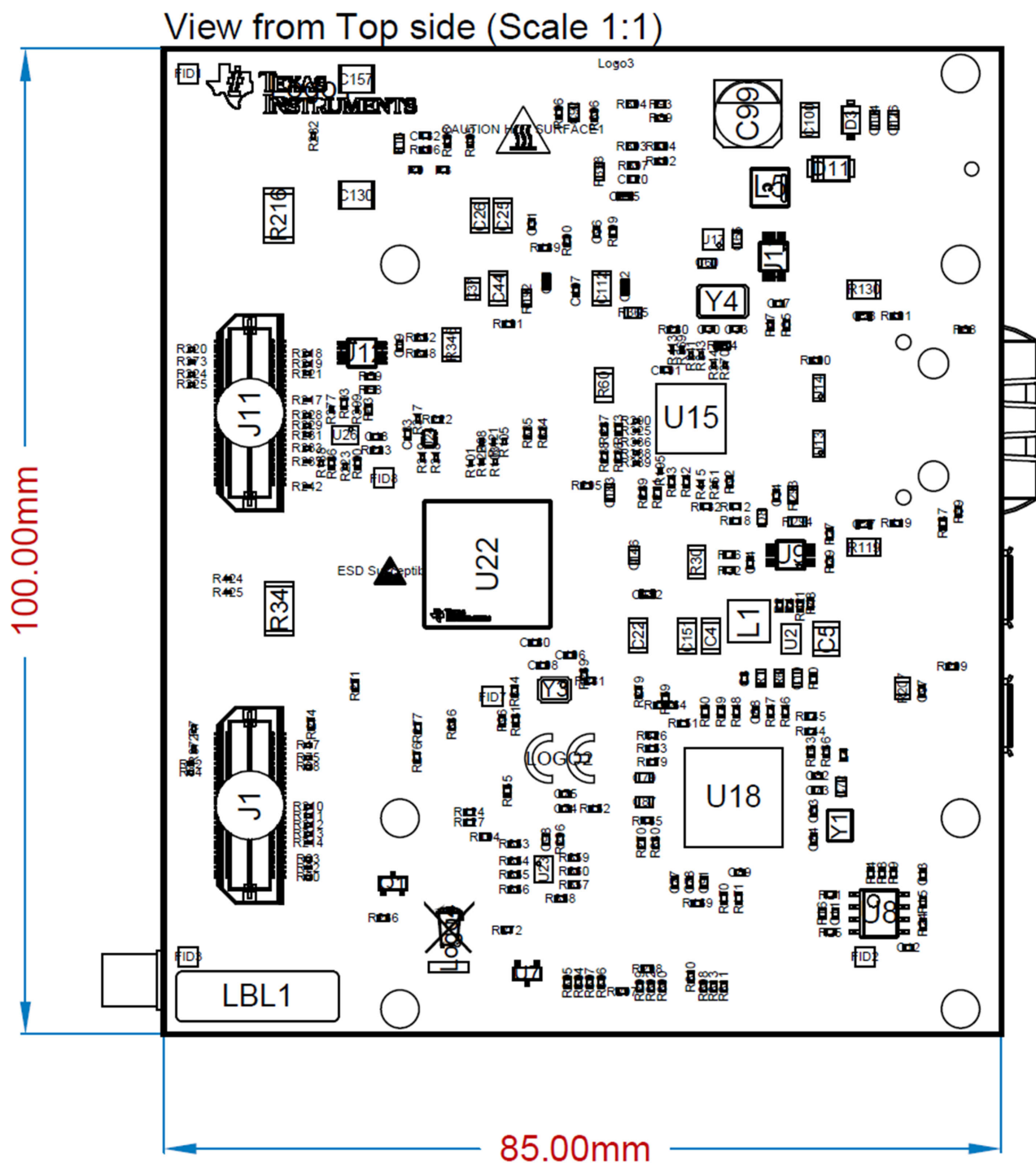


図 8-4. AM273x 評価基板 - 上部部品

Layer Stack Legend

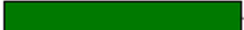
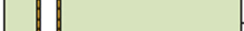
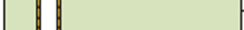
	Material	Layer	Thickness	Dielectric Material	Type	Gerber
		Top Overlay			Legend	GTO
	Surface Material	Top Solder	2.00mil	Solder Resist	Solder Mask	GTS
	Copper	Top Layer	1.85mil		Signal	GTL
	Prepreg		3.70mil	FR-4 High Tg	Dielectric	
	Copper	GND1	1.26mil		Signal	G1
	Core		6.00mil	FR-4 High Tg	Dielectric	
	Copper	SIG1	1.26mil		Signal	G2
	Prepreg		7.10mil	FR-4 High Tg	Dielectric	
	Copper	GND2	1.26mil		Signal	G3
	Core		4.00mil	FR-4 High Tg	Dielectric	
	Copper	PWR1	1.26mil		Signal	G4
	Prepreg		5.29mil	FR-4	Dielectric	
	Copper	PWR2	1.26mil		Signal	G5
	Core		4.00mil	FR-4 High Tg	Dielectric	
	Copper	GND3	1.26mil		Signal	G6
	Prepreg		7.10mil	FR-4 High Tg	Dielectric	
	Copper	SIG2	1.26mil		Signal	G7
	Core		6.00mil	FR-4 High Tg	Dielectric	
	Copper	GND4	1.26mil		Signal	G8
	Prepreg		3.70mil	FR-4 High Tg	Dielectric	
	Copper	Bottom Layer	1.85mil		Signal	GBL
	Surface Material	Bottom Solder	2.00mil	Solder Resist	Solder Mask	GBS
		Bottom Overlay			Legend	GBO
Total thickness: 64.67mil						

図 8-5. AM273x 評価基板 - 積層

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 デバイスの命名規則

製品開発サイクルの各段階を示すために、TI はすべてのマイコン (MCU) およびサポート ツールの品番にプレフィックスを割り当てています。各デバイスには、次の 3 つのいずれかの接頭辞が付けられます。X、P、空白 (接頭辞なし) (例: AM273x)。テキサス・インスツルメンツでは、サポート ツールに対して使用可能な 3 つの接頭辞のうち、TMDX、TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ (TMDX) から、完全認定済みの量産デバイス/ツール (TMDS) まであります。

デバイスの開発進展フロー:

- X** 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ・フローを使用しない可能性があります。
- P** プロトタイプ・デバイス。最終的なシリコン・ダイとは限らず、最終的な電気的特性を満たさない可能性があります。
- 空白** 認定済みのシリコン・ダイの量産バージョン。

サポート・ツールの開発進展フロー:

- TMDX** 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。
- TMDS** 完全に認定済みの開発サポート製品です。

X および P デバイスと TMDX 開発サポート・ツールは、以下の免責事項の下で出荷されます。

製品開発サイクルの段階を示すために、TI では DSP デバイスとサポート ツールすべての型番に接頭辞を割り当てます。DSP 商用ファミリの製品には、次の 3 つの接頭辞のいずれかが付いています。TMX、TMP、TMS (たとえば、AM273x)。テキサス・インスツルメンツでは、サポート ツールに対して使用可能な 3 つの接頭辞のうち、TMDX、TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ (TMX および TMDX) から、完全認定済みの量産デバイス/ツール (TMS および TMDS) まであります。

デバイスの開発進展フロー:

- TMX** 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ・フローを使用しない可能性があります。
- TMP** プロトタイプ・デバイス。最終的なシリコン・ダイとは限らず、最終的な電気的特性を満たさない可能性があります。
- TMS** 認定済みのシリコン・ダイの量産バージョン。

サポート・ツールの開発進展フロー:

- TMDX** 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。
- TMDS** 完全に認定済みの開発サポート製品です。

TMX および TMP デバイスと TMDX 開発サポート・ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です」。

量産デバイスおよび TMDS 開発サポート・ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ・デバイス (X または P) の方が標準的な量産デバイスに比べて故障率が大いだと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツでは、それらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

TI デバイスの項目表記には、デバイス ファミリ名の接尾辞も含まれます。この接尾辞は、パッケージ タイプ (例: ZCE)、温度範囲 (例: 空白がデフォルトの商用温度範囲)、およびデバイスの速度範囲 (MHz 単位)(例: 400MHz) を示しています。表 9-1 および 図 9-1 に、任意の AM273x デバイスについて、完全なデバイス名を読み取るための凡例を示します。

AM273x パッケージ タイプの AM273x デバイスの注文可能な型番については、このドキュメントにある「パッケージ オプションの付録」や ti.com を参照するか、TI 販売代理店にお問い合わせください。

ダイに対するデバイス命名規則マーキングの詳細説明については、を参照してください。

9.1.1 標準パッケージの記号化

注

一部のデバイスには、パッケージの上面に装飾的な円形のマーキングがあります。これは、量産テストプロセスの結果として添付されます。さらに、一部のデバイスでは、パッケージのサブストレートの製造元によって、パッケージのサブストレートに色のばらつきが見られる場合があります。このばらつきは外見上だけのものであって、信頼性には影響しません。

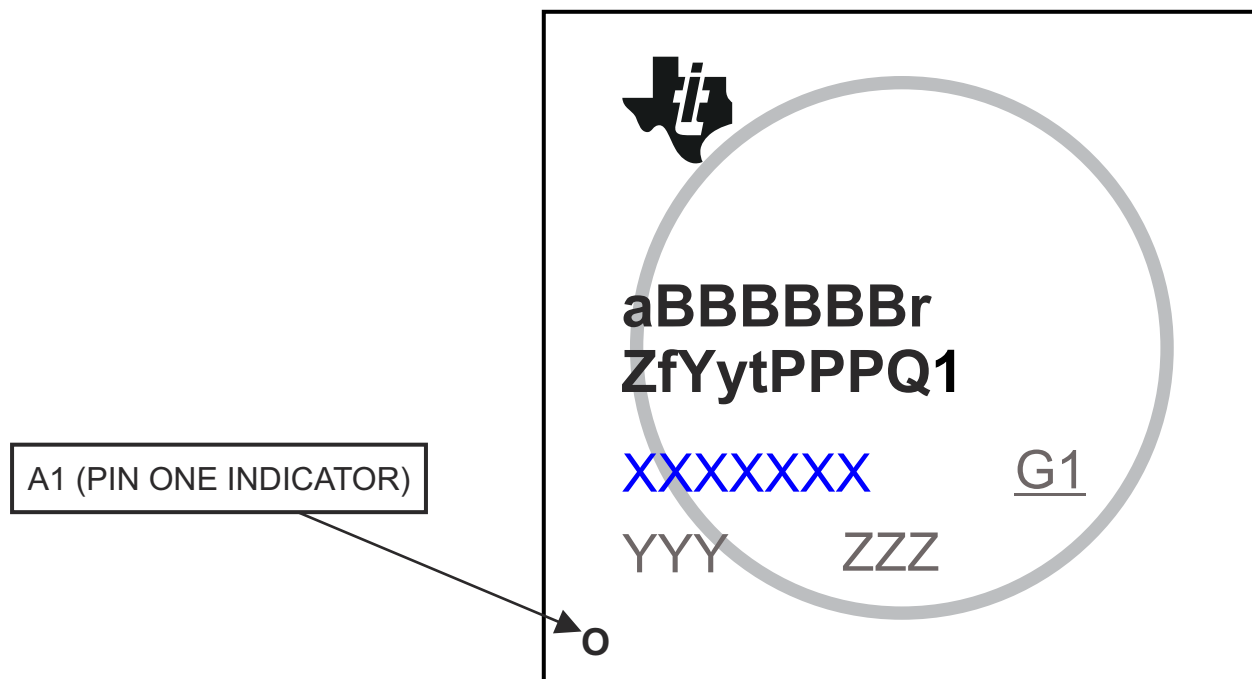


図 9-1. 印刷されたデバイス参照

9.1.2 デバイスの命名規則

表 9-1. 項目名の説明

フィールド パラメータ	フィールドの説明	値	説明
a ⁽¹⁾	デバイスの開発段階	X	プロトタイプ
		P	量産前(量産テスト フロー、信頼性データなし)
		空白	量産出荷中
BBBBBB	基本量産型番	AM2731	表 4-1、製品比較表を参照
		AM2732	
r	デバイス リビジョン	A	SR 1.0 (非セキュア)
		B	SR 1.1 (セキュア)
		C	SR 1.2 (セキュア)
Z	デバイス速度とメモリ グレード	A	表 6-3、「デバイス速度とメモリ グレード」を参照
		D	
		L	
		M	
		N	
f	特長 (表 4-1、「デバイスの比較」を参照)	R	ZCE パッケージ デバイス
		S	NZN パッケージ デバイス
Y	機能安全	G	非機能安全関連デバイス
		F	機能安全品質管理デバイス
y	セキュリティ	G	非セキュア
		H	量産キー HS デバイス
t ⁽²⁾	温度 (「絶対最大定格」を参照)	A	-40°C ~ 105°C - 拡張産業用
		I	-40°C~125°C - 車載用
		Q	-40°C~140°C - 拡張車載用
PPP	パッケージ記号	ZCE	ZCE NFBGA-N285 (13mm × 13mm) 0.65mm ピッチ パッケージ
		NZN	NZN NFBGA-N225 (13mm × 13mm) 0.80mm ピッチ パッケージ
Q1	車載識別記号	Q1	車載規格準拠 (AEC-Q100)
		EP	エンハンスド製品
XXXXXXX			ロットのトレース コード(LTC)
YYY			量産コード、テキサス・インスツルメンツでのみ使用
ZZZ			量産コード、テキサス・インスツルメンツでのみ使用
O			ピン 1 の指定子
G1			ECAT—グリーン パッケージ 指定子

- (1) 製品開発サイクルの段階を示すために、TI では型番に接頭辞を割り当てます。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプから、完全認定済みの量産デバイスまであります。
プロトタイプ デバイスは、次の免責事項付きで出荷されます。
「この製品はまだ開発中であり、社内での評価を目的としています。
テキサス・インスツルメンツはこれらのデバイスについて、これに反するような条項が存在していても、明示的、暗黙的、法定にかかわらず、商用性や特定目的への適合性への暗黙的な保証も含め、一切の責任を負いません。」
- (2) デバイスの接合部の最大温度に適用されます。

注

記号または型番の空白は省略されるため、前後の文字は連続して表記されます。

9.2 ツールとソフトウェア

AM273x プラットフォームの開発を支援するため、以下の製品を使用できます。

開発ツール

Code Composer Studio™ 統合開発環境 Code Composer Studio (CCS) 統合開発環境 (IDE) は、テキサス・インスツルメンツのマイクロコントローラと組み込みプロセッサのポートフォリオをサポートする開発環境です。Code Composer Studio は、組み込みアプリケーションの開発およびデバッグに必要な一連のツールで構成されています。最適化 C/C++ コンパイラ、ソースコードエディタ、プロジェクトビルド環境、デバッガ、プロファイラなど、多数の機能が含まれています。IDE は直感的で、アプリケーションの開発フローの各段階を、すべて同一のユーザーインターフェイスで実行できます。使い慣れたツールとインターフェイスにより、ユーザーは従来より迅速に作業を開始できます。Code Composer Studio は、Eclipse ソフトウェアフレームワークの利点と、テキサス・インスツルメンツの先進的な組み込みデバッグ機能の利点を組み合わせて、組み込み製品の開発者向けの魅力的で機能豊富な開発環境を実現します。

SYSCONFIGSYSCONFIG ピンのマルチプレクサユーティリティは、テキサス・インスツルメンツの MPU のピン多重化設定を構成し、競合を解決し、I/O セルの特性を指定するためのグラフィカルユーザーインターフェイスを提供する、ソフトウェアツールです。結果は C ヘッダおよびコードファイルとして出力され、ソフトウェア開発キット (SDK) へのインポートや、お客様のカスタムソフトウェアの構成に使用できます。

AM273x 電力推定ツール (PET) AM273x 電力推定ツール (PET) は、選定された TI プロセッサの消費電力を把握するためのツールです。このツールには、複数のアプリケーションシナリオの選択機能のほか、消費電力に関する理解を可能にする機能が用意されています。また、高度な省電力機能により全体の消費電力を低減する方法についても理解することができます。

プロセッサプラットフォーム用の開発サポートツールすべての一覧については、テキサス・インスツルメンツの Web サイト (ti.com) を参照してください。価格と在庫状況については、お近くのフィールドセールスオフィスまたは認可代理店にお問い合わせください。

9.3 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、[ti.com](https://www.ti.com) のデバイス製品フォルダを開いてください。右上の「Alert me」(アラートを受け取る) をクリックして登録すると、製品情報の更新に関する週次ダイジェストを受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

プロセッサおよび関連ペリフェラルに関する最新ドキュメント、その他の技術資料を以下に示します。

以下のドキュメントは、AM273x デバイスについて記載しています。

テクニカル リファレンス マニュアル

『[AM273x マイコン テクニカル リファレンス マニュアル](#)』には、AM273x ファミリー内の各ペリフェラルおよびサブシステムの統合、環境、機能説明、およびプログラミング モデルが詳しく記載されています。

エラッタ

『[AM273x マイコン シリコン エラッタ](#)』には、デバイスの機能仕様に関する既知の例外事項が記載されています。

ハードウェア設計ガイド

『[AM273x ハードウェア設計ガイド](#)』には、デバイスの機能仕様に関する既知の例外事項が記載されています。

ヒント: 資料番号を使用して TI.com を検索してください。

9.4 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 商標

Sitara™, Code Composer Studio™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

Arm® and Cortex® are registered trademarks of Arm Limited.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from JUNE 6, 2025 to JULY 30, 2026 (from Revision C (June 2025) to Revision D (July 2026))

Page

• (アプリケーション):リストとリンクを更新.....	2
• 絶対最大定格:「ピン属性」表で使用されている電源レール名に合わせて、VIN_18CLK の名前を VIOIN_18CLK に変更.....	54
• 推奨動作条件:「ピン属性」の表で使用する電源レールの名前に合わせて、VIN_18CLK を VIOIN_18CLK に、VIN_18ADC を VIOIN_18ADC に、VIN_18CSI を VIOIN_18CSI に名称変更.....	55
• バッファのタイプ - 表:「ピン属性」の表で使用する電源レールの名前に合わせて、VIN_18CLK を VIOIN_18CLK に、VIN_18ADC を VIOIN_18ADC に名前を変更.....	57
• 新しく「電气的特性」セクションを追加し、GPADC のパラメータ表をこのセクションに移動。明確な注釈を表に追加..	59
• 電源シーケンスおよびリセット タイミング:デバイスのスタートアップ シーケンスの説明と図を更新。tMSS_BOOT_START の説明を更新。「デバイスウェークアップおよびパワーダウン シーケンス」図から tH_SOP を削除.....	60
• 外部クロック モード入力要件:DC-VIL.max および DC-VIH.min の値を更新。DC-VIH.max の値を削除。VDD 電源パラメータに関連する表の注記 (1) を追加.....	62
• MIBSPI ペリフェラル:TRM と一致するように、SPIGCRx.0 ビットの名前を nRESET に更新.....	67
• MCASP のタイミング パラメータを追加.....	85

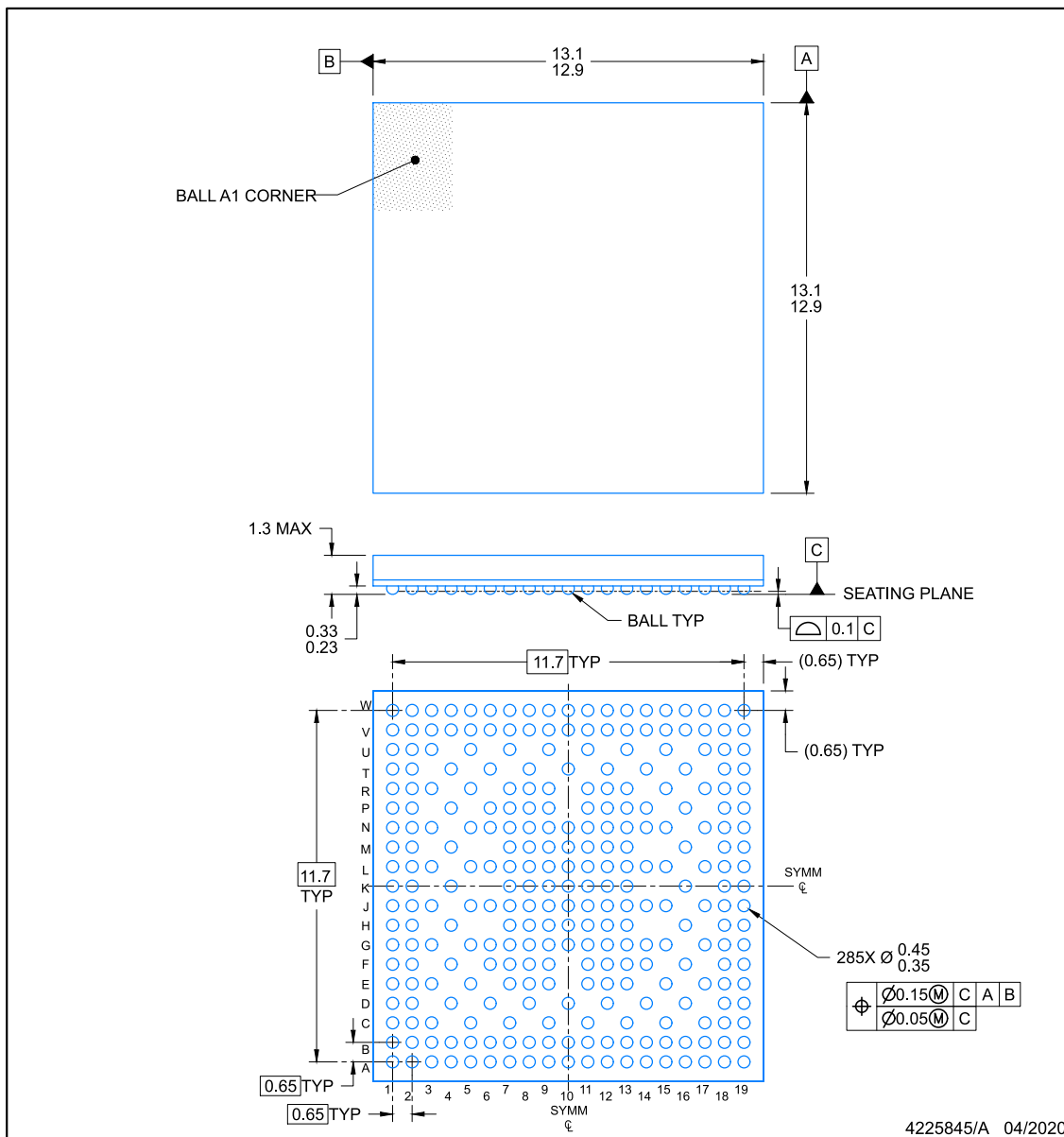
11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

ZCE0285A-C01

PACKAGE OUTLINE NFBGA - 1.3 mm max height

PLASTIC BALL GRID ARRAY



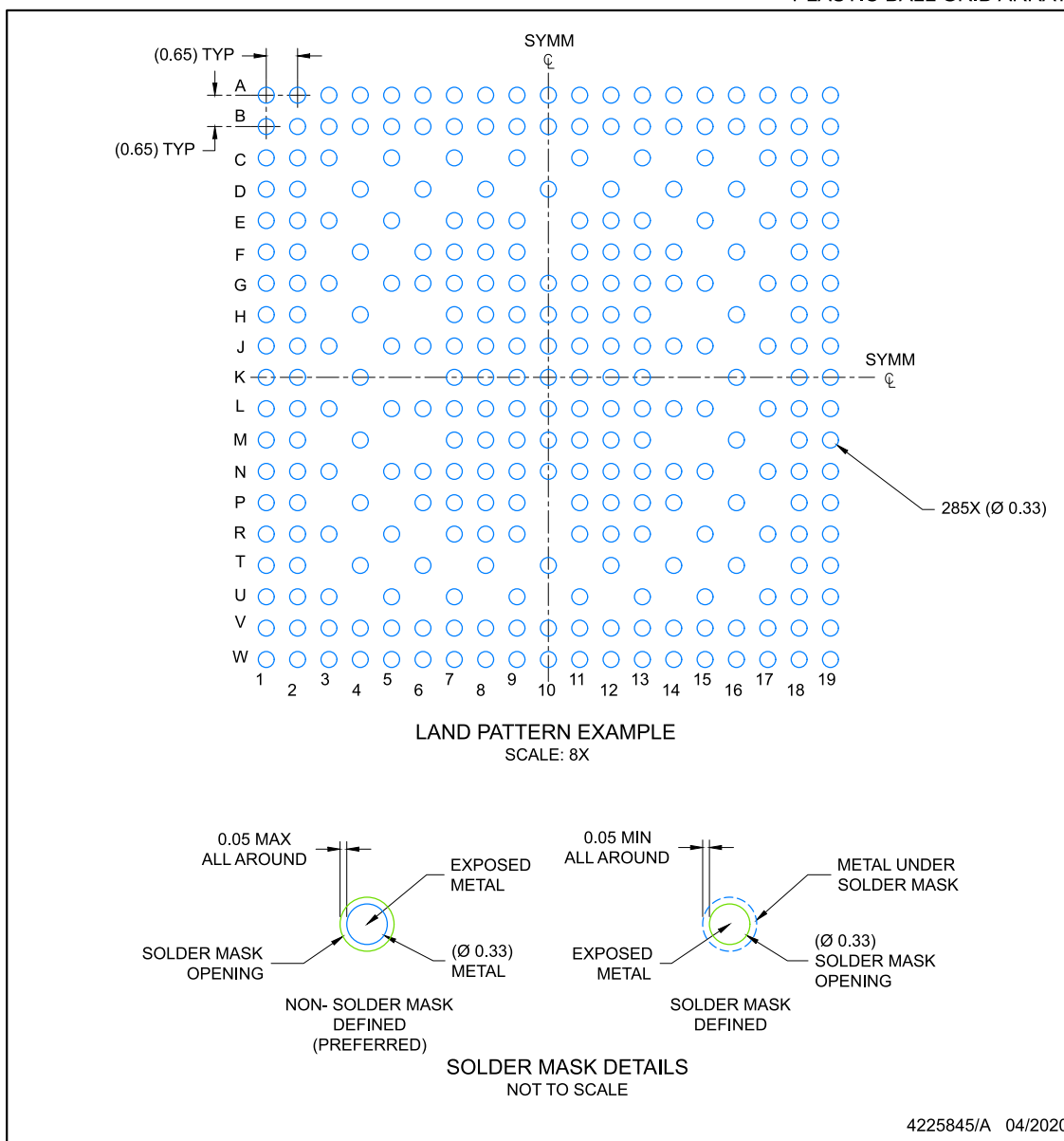
NOTES:

NanoFree is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT**NFBGA - 1.3 mm max height****ZCE0285A-C01**

PLASTIC BALL GRID ARRAY



NOTES: (continued)

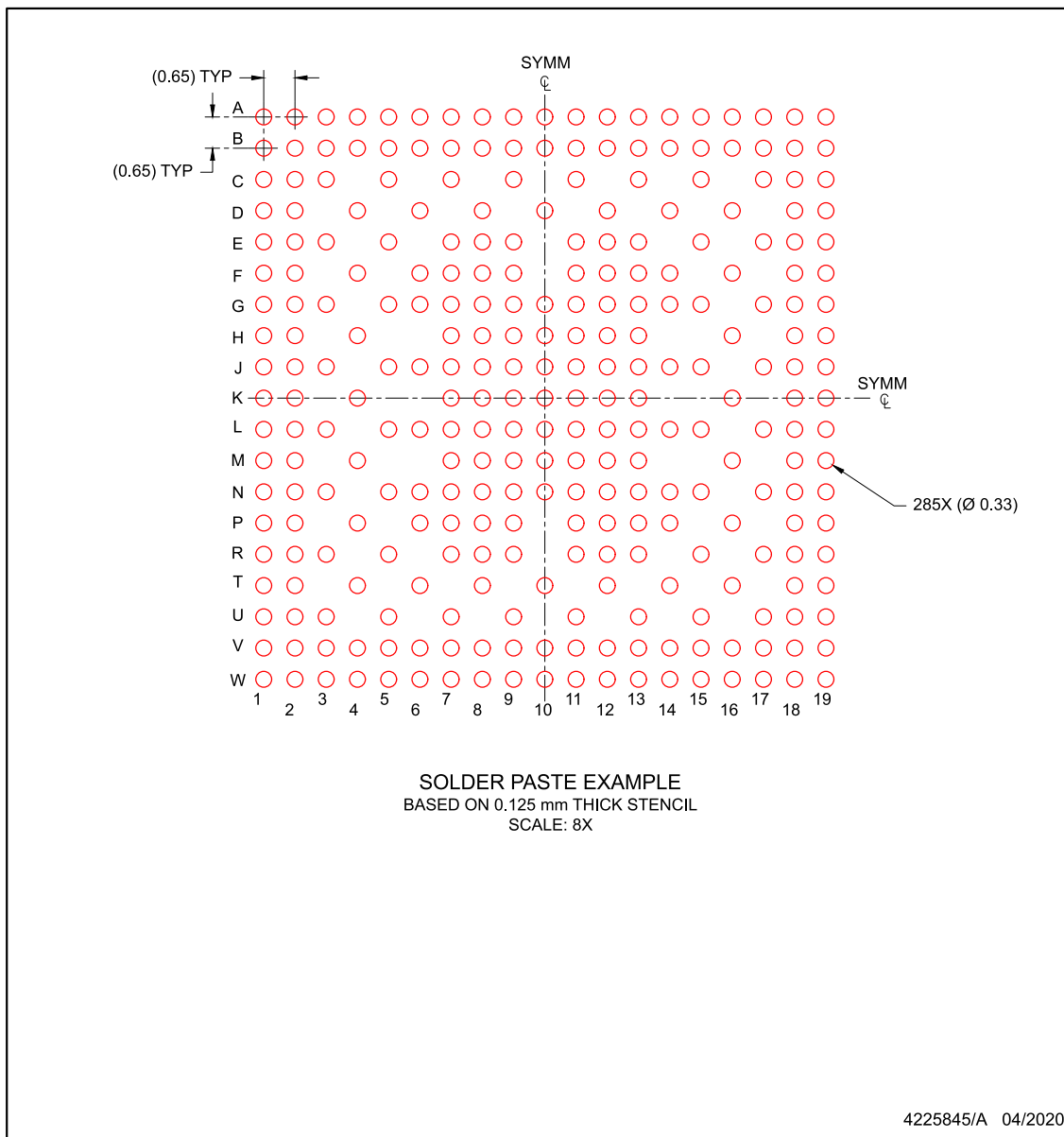
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. Refer to Texas Instruments Literature number SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

ZCE0285A-C01

NFBGA - 1.3 mm max height

PLASTIC BALL GRID ARRAY



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM2731CASFHQNZNRQ1	Active	Production	NFBGA (NZN) 225	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AM2731C ASFHQNZN 711
AM2731CASFHQNZNRQ1.B	Active	Production	NFBGA (NZN) 225	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AM2731C ASFHQNZN 711
AM2731CLSFHQNZNRQ1	Active	Production	NFBGA (NZN) 225	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AM2731C LSFHQNZN 711
AM2731CLSFHQNZNRQ1.B	Active	Production	NFBGA (NZN) 225	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AM2731C LSFHQNZN 711
AM2731CNSFHQNZNRQ1	Active	Production	NFBGA (NZN) 225	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AM2731C NSFHQNZN 711
AM2731CNSFHQNZNRQ1.B	Active	Production	NFBGA (NZN) 225	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AM2731C NSFHQNZN 711
AM2732CDRFHAZCER	Active	Production	NFBGA (ZCE) 285	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2732C DRFHAZCE 711
AM2732CDRFHAZCER.A	Active	Production	NFBGA (ZCE) 285	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2732C DRFHAZCE 711
AM2732CDRFHAZCER.B	Active	Production	NFBGA (ZCE) 285	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2732C DRFHAZCE 711
AM2732CDRFHQZCERQ1	Active	Production	NFBGA (ZCE) 285	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AM2732C DRFHQZCEQ1 711
AM2732CDRFHQZCERQ1.A	Active	Production	NFBGA (ZCE) 285	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AM2732C DRFHQZCEQ1 711

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM2732CDRFHQZCERQ1.B	Active	Production	NFBGA (ZCE) 285	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AM2732C DRFHQZCEQ1 711
AM2732CMSFHQNZNQRQ1	Active	Production	NFBGA (NZN) 225	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AM2732C MSFHQNZN 711
AM2732CMSFHQNZNQRQ1.B	Active	Production	NFBGA (NZN) 225	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AM2732C MSFHQNZN 711

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

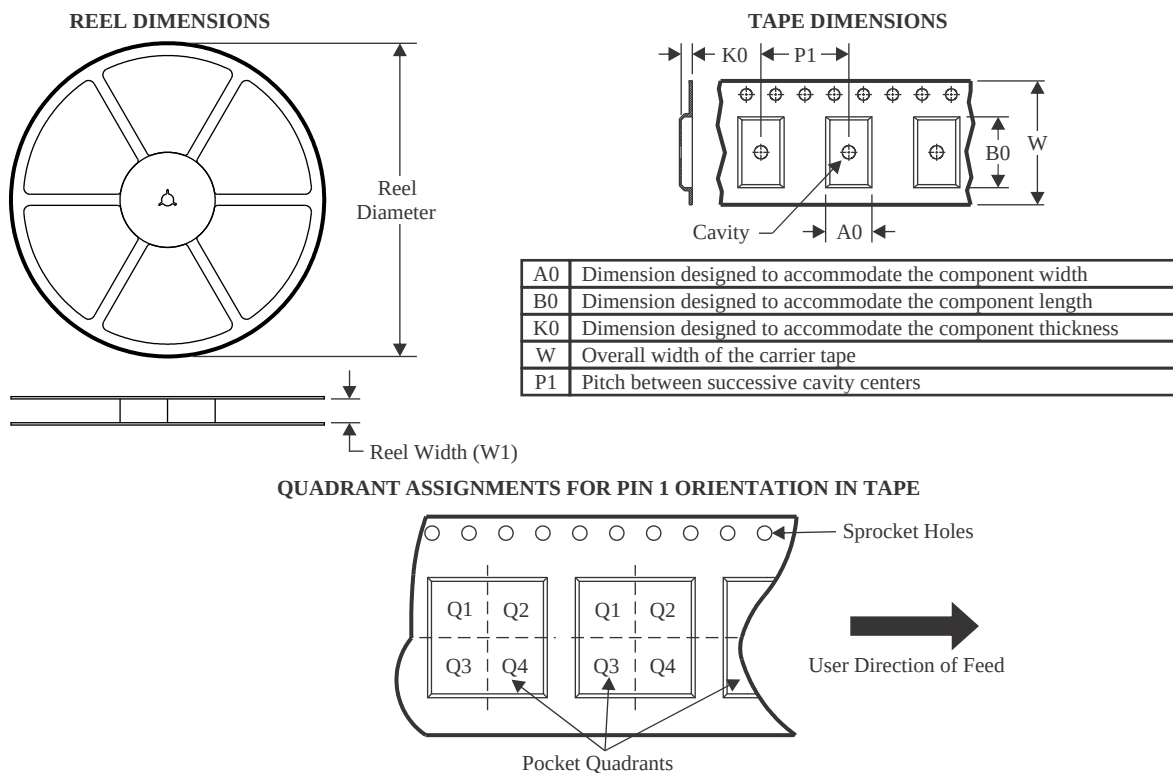
OTHER QUALIFIED VERSIONS OF AM2732, AM2732-Q1 :

- Catalog : [AM2732](#)
- Automotive : [AM2732-Q1](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

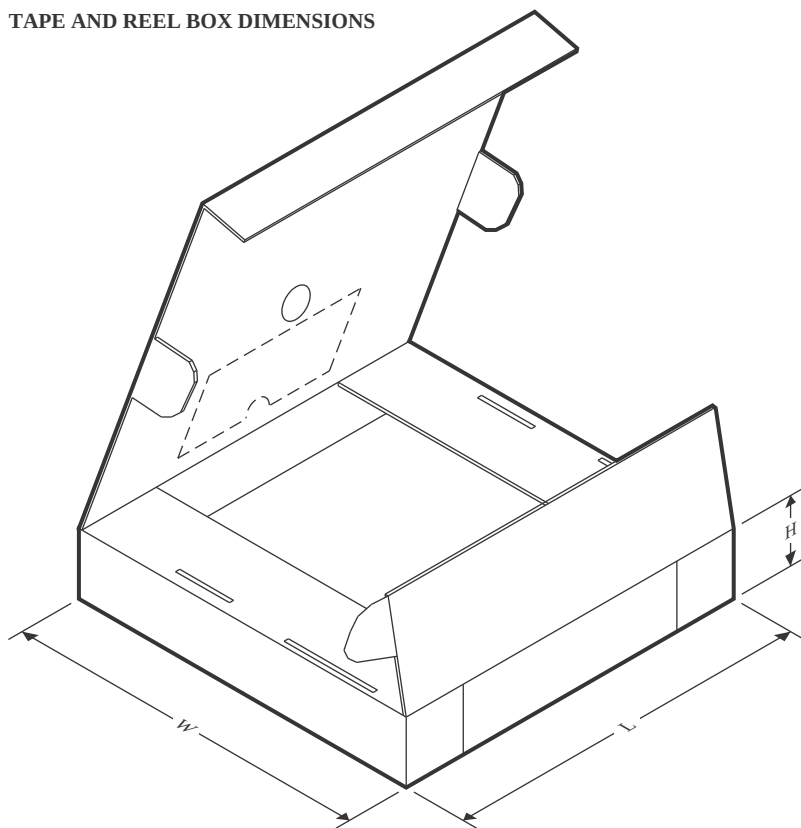
TAPE AND REEL INFORMATION



*All dimensions are nominal

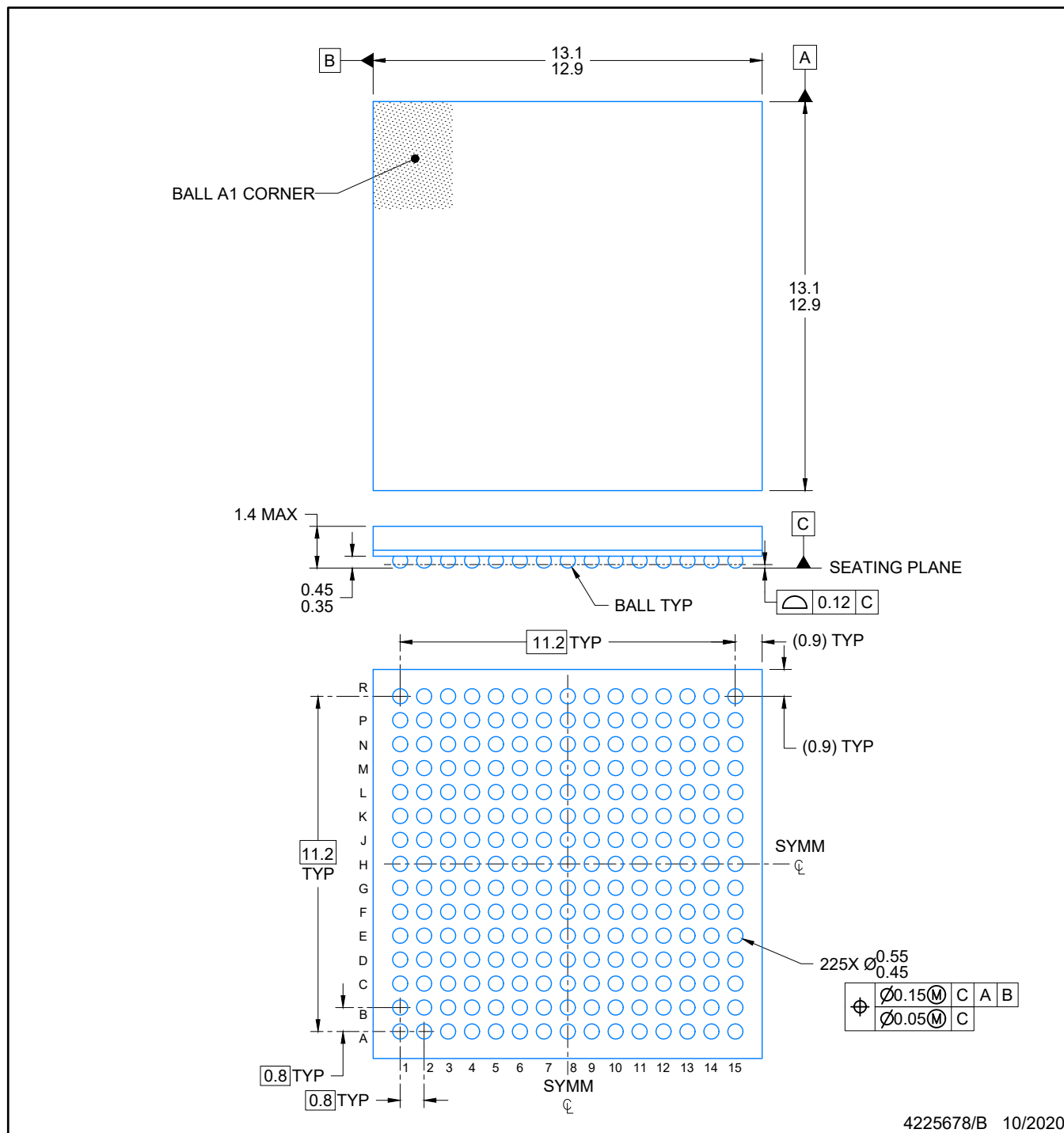
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AM2731CASFHQNZNRQ1	NFBGA	NZN	225	1000	330.0	24.4	13.3	13.3	2.35	16.0	24.0	Q1
AM2731CLSFHQNZNRQ1	NFBGA	NZN	225	1000	330.0	24.4	13.3	13.3	2.35	16.0	24.0	Q1
AM2731CNSFHQNZNRQ1	NFBGA	NZN	225	1000	330.0	24.4	13.3	13.3	2.35	16.0	24.0	Q1
AM2732CDRFHAZCER	NFBGA	ZCE	285	1000	330.0	24.4	13.3	13.3	2.35	16.0	24.0	Q1
AM2732CDRFHQZCERQ1	NFBGA	ZCE	285	1000	330.0	24.4	13.3	13.3	2.35	16.0	24.0	Q1
AM2732CMSFHQNZNRQ1	NFBGA	NZN	225	1000	330.0	24.4	13.3	13.3	2.35	16.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

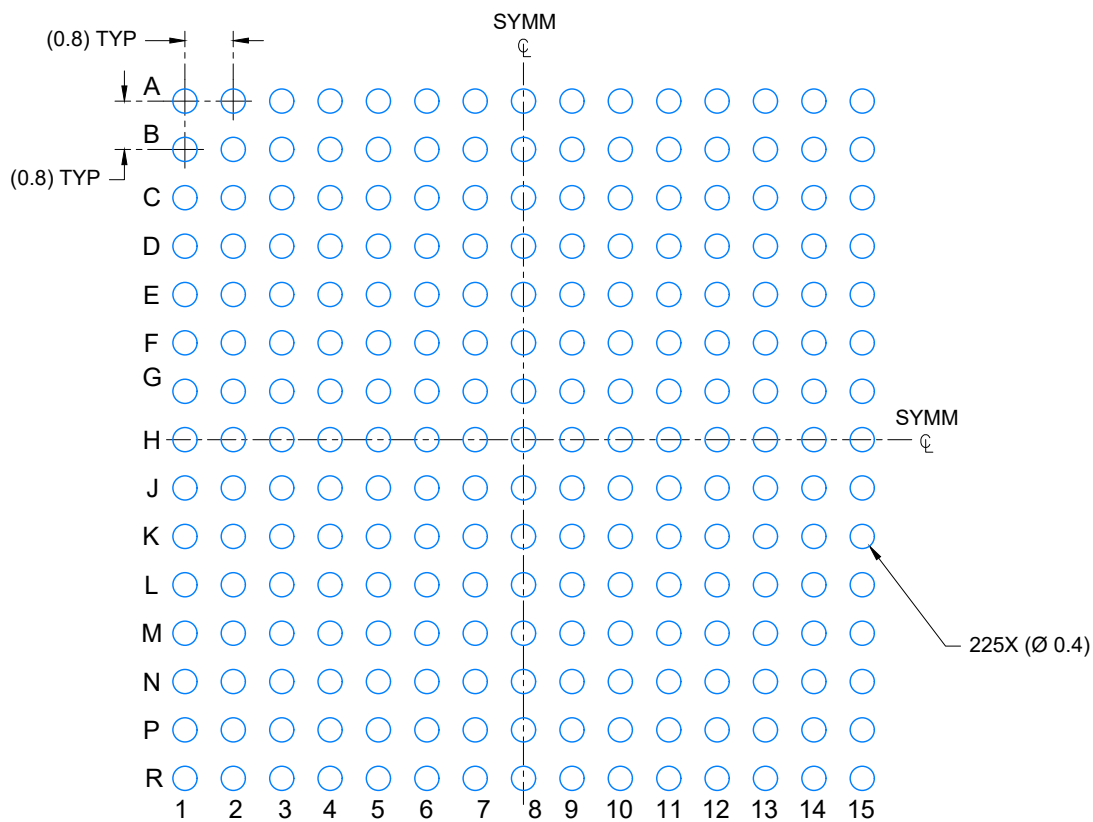
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AM2731CASFHQNZNRQ1	NFBGA	NZN	225	1000	336.6	336.6	41.3
AM2731CLSFHQNZNRQ1	NFBGA	NZN	225	1000	336.6	336.6	41.3
AM2731CNSFHQNZNRQ1	NFBGA	NZN	225	1000	336.6	336.6	41.3
AM2732CDRFHAZCER	NFBGA	ZCE	285	1000	336.6	336.6	41.3
AM2732CDRFHQZCERQ1	NFBGA	ZCE	285	1000	336.6	336.6	41.3
AM2732CMSFHQNZNRQ1	NFBGA	NZN	225	1000	336.6	336.6	41.3



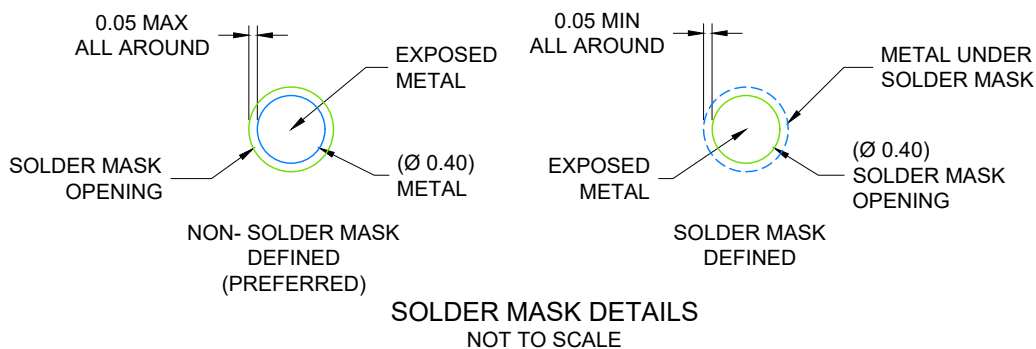
4225678/B 10/2020

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
SCALE: 8X



4225678/B 10/2020

NOTES: (continued)

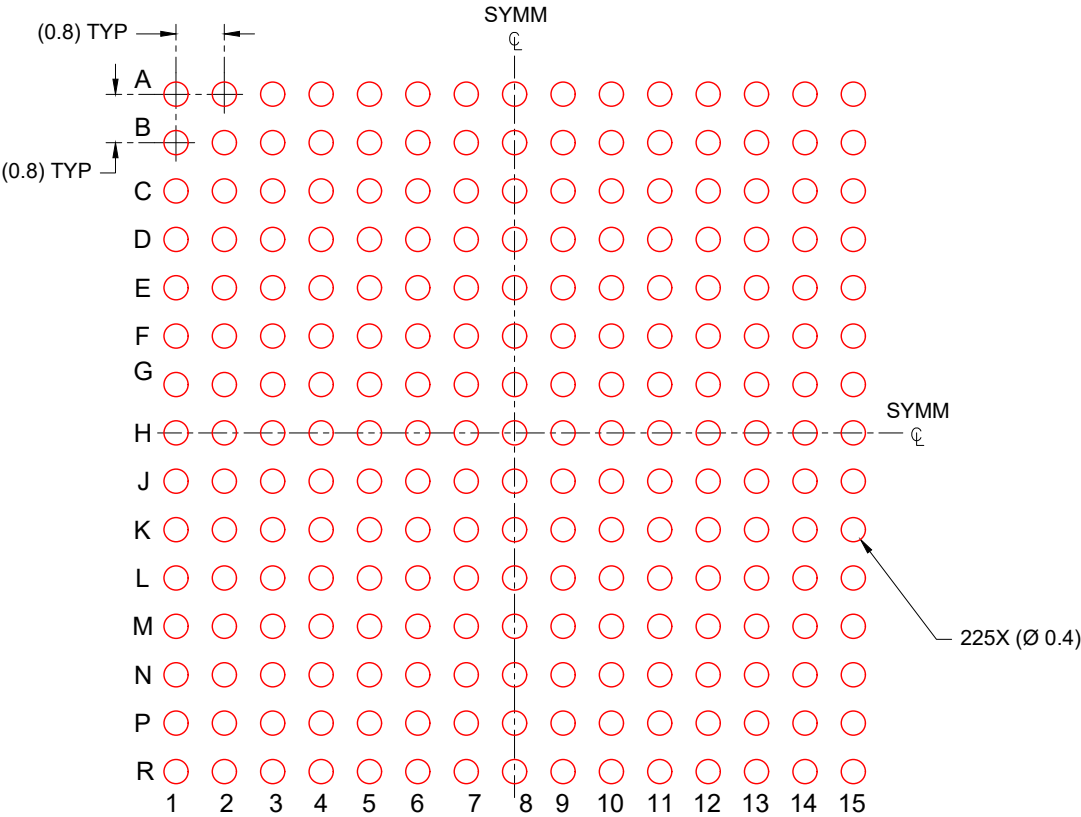
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. Refer to Texas Instruments Literature number SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

NZN0225A

NFBGA - 1.4 mm max height

PLASTIC BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.150 mm THICK STENCIL
SCALE: 8X

4225678/B 10/2020

NOTES: (continued)

- 4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月