AMC0x11D-Q1 車載対応、 固定ゲイン差動出力付き、高精度、2V 入力、基本および強化絶縁型アンプ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1:-40°C ～ +125°C、T_A
- リニア入力電圧範囲:-0.1V ～ 2V
- 高い入力インピーダンス:2.4GΩ (標準値)
- 電源電圧範囲:
  - ハイサイド (VDD1):3.0V ～ 5.5V
  - ローサイド (VDD2):3.0V ～ 5.5V
- 固定ゲイン:1V/V
- 差動出力
- 小さい DC 誤差:
  - オフセット誤差:±0.8mV (最大値)
  - オフセットドリフト:±10µV/°C (最大値)
  - ゲイン誤差:±0.25% (最大値)
  - ゲイン ドリフト:±50ppm/°C (最大値)
  - 非線形性:±0.035% (最大値)
- 高 CMTI:150V/ns (最小値)
- 低 EMI:CISPR-11 および CISPR-25 規格に準拠
- 絶縁定格:
  - AMC0211D-Q1:基本絶縁型
  - AMC0311D-Q1:強化絶縁型
- 安全関連認証:
  - DIN EN IEC 60747-17 (VDE 0884-17)
  - UL1577

2 アプリケーション

- トラクション インバータ
- オンボード チャージャ
- DC/DC コンバータ

3 説明

AMC0x11D-Q1 は、2V、高インピーダンス入力、固定ゲイン、差動出力備えた高精度、電気的絶縁型アンプです。高インピーダンス入力は、高インピーダンスの抵抗分圧器や出力抵抗の高い他の電圧信号源と接続するよう最適化されています。

この絶縁バリアは、異なる同相電圧レベルで動作するシステム領域を分離します。絶縁バリアは磁気干渉に対して非常に耐性があります。この絶縁バリアは、最大 $5kV_{RMS}$ (DWV パッケージ) の強化絶縁と、最大 $3kV_{RMS}$ (D パッケージ) (60s) の基本絶縁を実現することが認定されています。

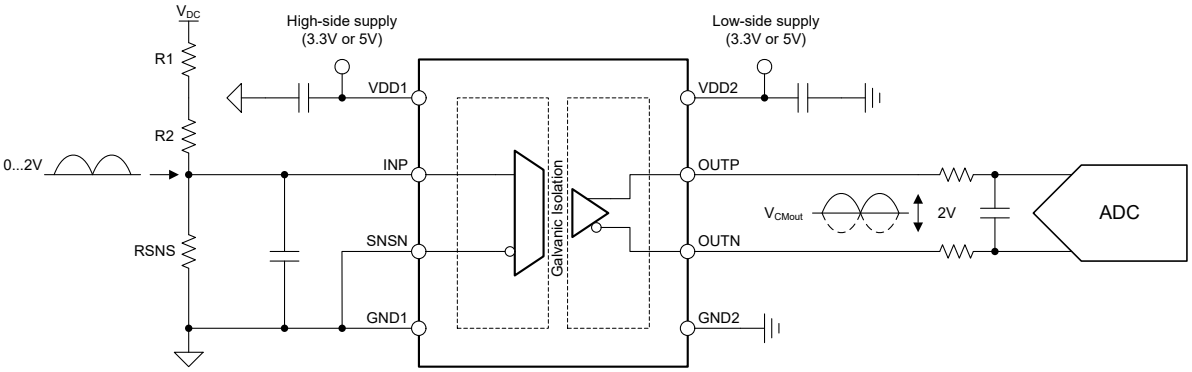
AMC0x11D-Q1 は、入力電圧に比例する差動信号を出力します。差動出力はグランド シフトの影響を受けず、長距離にわたる出力信号の配線が可能です。

AMC0x11D-Q1 デバイスは、8 ピンのワイド ボディおよびナロー ボディ SOIC パッケージで供給され、–40°C から 125°C までの温度範囲で完全に動作が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
AMC0211D-Q1	D (SOIC、8)	4.9mm × 6mm
AMC0311D-Q1	DWV (SOIC、8)	5.85mm × 11.5mm

(1) 詳細については、*メカニカル、パッケージ、および注文情報* を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 デバイス比較表 ... 2
5 ピン構成および機能 ... 3
6 仕様 ... 4
6.1 絶対最大定格 ... 4
6.2 ESD 定格 ... 4
6.3 推奨動作条件 - ... 4
6.4 熱に関する情報 (D パッケージ) ... 5
6.5 熱に関する情報 (DWV パッケージ) ... 6
6.6 電力定格 ... 6
6.7 絶縁仕様 (基本絶縁) ... 7
6.8 絶縁仕様 (強化絶縁) ... 8
6.9 安全関連認証 (基本絶縁) ... 9
6.10 安全関連認証 (強化絶縁) ... 10
6.11 安全限界値 (D パッケージ) ... 11
6.12 安全限界値 (DWV パッケージ) ... 12
6.13 電気的特性 ... 13
6.14 スイッチング特性 ... 14
6.15 タイミング図 ... 14
6.16 絶縁特性曲線 ... 15
6.17 代表的特性 ... 16
7 詳細説明 ... 18
7.1 概要 ... 18
7.2 機能ブロック図 ... 18
7.3 機能説明 ... 19
7.4 デバイスの機能モード ... 21
8 アプリケーションと実装 ... 22
8.1 アプリケーション情報 ... 22
8.2 代表的なアプリケーション ... 22
8.3 設計のベスト プラクティス ... 25
8.4 電源に関する推奨事項 ... 26
8.5 レイアウト ... 26
9 デバイスおよびドキュメントのサポート ... 28
9.1 ドキュメントのサポート ... 28
9.2 ドキュメントの更新通知を受け取る方法 ... 28
9.3 サポート・リソース ... 28
9.4 商標 ... 28
9.5 静電気放電に関する注意事項 ... 28
9.6 用語集 ... 28
10 改訂履歴 ... 29
11 メカニカル、パッケージ、および注文情報 ... 29

4 デバイス比較表

パラメータ	AMC0211D-Q1	AMC0311D-Q1
VDE 0884-17 に準拠した絶縁定格	基本	強化
パッケージ	ナローボディ SOIC (D)	ワイドバディ SOIC (DWV)

Copyright © 2025 Texas Instruments Incorporated

5 ピン構成および機能

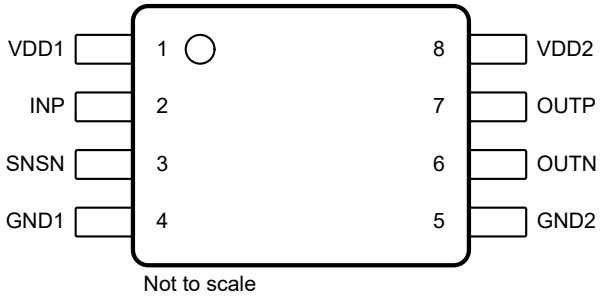


図 5-1. DWV および D パッケージ、8 ピン SOIC (上面図)

表 5-1. ピンの機能

ピン		タイプ	説明
番号	名称		
1	VDD1	ハイサイド電源	ハイサイド電源(1)
2	INP	アナログ入力	アナログ入力
3	SNSN	アナログ入力	GND1 センス ピンとアンプへの反転アナログ入力。GND1 に接続します。
4	GND1	ハイサイド グランド	ハイサイド (高電圧側) のアナログ グランド
5	GND2	ローサイド グランド	2 次側(定電圧側)のアナログ グランド
6	OUTN	アナログ出力	反転アナログ出力
7	OUTP	アナログ出力	非反転アナログ出力
8	VDD2	ローサイド電源	ローサイド電源(1)

(1) 電源のデカップリングに関する推奨事項については、「 電源に関する推奨事項 」セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
電源電圧	ハイサイド VDD1 ～ GND1	-0.3	6.5	V
	ローサイド VDD2 ～ GND2	-0.3	6.5	
アナログ入力電圧	INP、SNSN から GND1 へ、	GND1 - 3	VDD1 + 0.5	V
アナログ出力電圧	OUTP、OUTN から GND2 へ、	GND2 - 0.5	VDD2 + 0.5	V
入力電流	連続、電源ピンを除く任意のピン	-10	10	mA
温度	接合部、T_J		150	°C
	保存、T_{stg}	-65	150	

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002(1) HBM ESD 分類レベル 2 準拠	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011、 CDM ESD 分類レベル C6 準拠	±1000	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件 -

動作時周囲温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
電源						
VDD1	ハイサイド電源	VDD1～GND1	3	5.0	5.5	V
VDD2	ローサイド電源	VDD2～GND2	3	3.3	5.5	V
アナログ入力						
$V_{Clipping}$	出力電圧 、クリッピング前の公称入力電圧	$V_{IN} = V_{INP} – V_{SNSN}$	-0.2		2.56	V
V_{FSR}	リニア入力電圧 を規定	$V_{IN} = V_{INP} – V_{SNSN}$	-0.1		2	V
アナログ出力						
C_{LOAD}	容量性負荷	OUTP、または OUTN から GND2 へ			500	pF
		OUTP から OUTN へ			250	
R_{LOAD}	抵抗性負荷	OUTP、または OUTN から GND2 へ		10	1	kΩ
温度範囲						
T_A	規定周囲温度		-40		125	°C

Copyright © 2025 Texas Instruments Incorporated

6.4 熱に関する情報 (D パッケージ)

熱評価基準(1)		D (SOIC)	単位
		8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	116.5	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	52.8	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	58.9	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	19.4	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	58.0	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.5 熱に関する情報 (DWV パッケージ)

熱評価基準(1)		DWV (SOIC)	単位
		8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	102.8	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	45.1	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	63.0	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	14.3	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	61.1	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.6 電力定格

パラメータ		テスト条件	値	単位
P_D	最大消費電力 (両サイド)	VDD1 = VDD2 = 5.5V	84	mW
P_{D1}	最大消費電力 (ハイサイド)	VDD1 = 5.5V	31	mW
P_{D2}	最大消費電力 (ローサイド)	VDD2 = 5.5V	53	mW

Copyright © 2025 Texas Instruments Incorporated

6.7 絶縁仕様 (基本絶縁)

動作時周囲温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	値	単位
一般				
CLR	外部空間距離(1)	空気中での最短のピン間距離	≥ 4	mm
CPG	外部沿面距離(1)	パッケージ表面に沿った最短のピン間距離	≥ 4	mm
DTI	絶縁間の距離	絶縁の最小内部ギャップ (内部距離)	≥ 15.4	µm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11)、IEC 60112	≥ 600	V
	材料グループ	IEC 60664-1 に準拠	I	
	IEC 60664-1 に準拠した過電圧カテゴリ	定格商用電源 V_{RMS} が 300V 以下	I-IV	
		定格商用電源 V_{RMS} が 600V 以下	I-III	
DIN EN IEC 60747-17 (VDE 0884-17)(2)				
V_{IORM}	最大反復ピーク絶縁電圧	AC 電圧で	1130	V_{PK}
V_{IOWM}	最大定格絶縁動作電圧	AC 電圧で (正弦波)	800	V_{RMS}
		DC 電圧で	1130	V_{DC}
V_{IOTM}	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}$、t = 60s (認定試験)、 $V_{TEST} = 1.2 \times V_{IOTM}$、t = 1s (100% 出荷時テスト)	4250	V_{PK}
V_{IMP}	最大インパルス電圧 (3)	気中でテスト、IEC 62368-1 に準拠した 1.2/50µs の波形	5000	V_{PK}
V_{IOSM}	最大サージ絶縁電圧(4)	IEC 62368-1 に準拠し油中でテスト (認定試験)、 1.2/50µs の波形	10000	V_{PK}
q_{pd}	見掛けの電荷(5)	手法 a、入力 / 出力安全性テストのサブグループ 2 および 3 の後、 $V_{pd(ini)} = V_{IOTM}$、t_{ini} = 60s、$V_{pd(m)} = 1.2 \times V_{IORM}$、$t_m$ = 10s	≦ 5	pC
		手法 a、環境テストのサブグループ 1 の後、 $V_{pd(ini)} = V_{IOTM}$、t_{ini} = 60s、$V_{pd(m)} = 1.3 \times V_{IORM}$、$t_m$ = 10s	≦ 5	
		手法 b1、事前条件設定 (タイプ テスト) およびルーチン テスト、 $V_{pd(ini)} = V_{IOTM}$、t_{ini} = 1s、$V_{pd(m)} = 1.5 \times V_{IORM}$、$t_m$ = 1s	≦ 5	
		手法 b2、ルーチン テスト (100% 出荷時)(7)、 $V_{pd(ini)} = V_{IOTM} = V_{pd(m)}$、$t_{ini} = t_m$ = 1s	≦ 5	
C_{IO}	バリア容量、入力から出力へ(6)	V_{IO} = 0.5V_{PP} (1MHz 時)	≅1.5	pF
R_{IO}	絶縁抵抗、入力から出力へ(6)	V_{IO} = 500V (T_A = 25℃時)	> 10^{12}	Ω
		V_{IO} = 500V (100℃ ≦ T_A ≦ 125℃時)	> 10^{11}	
		V_{IO} = 500V (T_S = 150℃時)	> 10^9	
	汚染度		2	
	耐候性カテゴリ		55/125/21	
UL1577				
V_{ISO}	絶縁耐圧	$V_{TEST} = V_{ISO}$、t = 60s (認定試験)、 $V_{TEST} = 1.2 \times V_{ISO}$、t = 1s (100% 出荷時テスト)	3000	V_{RMS}

(1) アプリケーションに固有の機器の絶縁規格に従って沿面距離および空間距離の要件を適用します。基板設計では、沿面距離および空間距離を維持して、プリント基板 (PCB) のアイソレータの取り付けパッドによりこの距離が短くならないようにします。特定の場合には、PCB 上の沿面距離と空間距離は等しくなります。これらの規格値を増やすため、PCB 上にグルーブやリブを挿入するなどの技法が使用されます。
(2) この絶縁素子は安全定格内の *安全な電気的絶縁* のみに適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
(3) テストは、パッケージのサージ耐性を判定するため、空気中で実行されます。
(4) テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。
(5) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
(6) バリアのそれぞれの側にあるすべてのピンは互いに接続され、実質的に 2 ピンのデバイスになります。
(7) 正式運用環境では、手法 b1 または b2 のいずれかが使用されます。

Copyright © 2025 Texas Instruments Incorporated

6.8 絶縁仕様 (強化絶縁)

動作時周囲温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	値	単位
一般				
CLR	外部空間距離(1)	空気中での最短のピン間距離	≥ 8.5	mm
CPG	外部沿面距離(1)	パッケージ表面に沿った最短のピン間距離	≥ 8.5	mm
DTI	絶縁間の距離	二重絶縁の最小内部ギャップ (内部距離)	≥ 15.4	µm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11)、IEC 60112	≥ 600	V
	材料グループ	IEC 60664-1 に準拠	I	
	IEC 60664-1 に準拠した過電圧カテゴリ	定格商用電源 V_{RMS} が 300V 以下	I-IV	
		定格商用電源 V_{RMS} が 6000V 以下	I-III	
DIN EN IEC 60747-17 (VDE 0884-17)(2)				
V_{IORM}	最大反復ピーク絶縁電圧	AC 電圧で	2120	V_{PK}
V_{IOWM}	最大定格絶縁動作電圧	AC 電圧で (正弦波)	1500	V_{RMS}
		DC 電圧で	2120	V_{DC}
V_{IOTM}	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}$、t = 60s (認定試験)、 $V_{TEST} = 1.2 \times V_{IOTM}$、t = 1s (100% 出荷時テスト)	7000	V_{PK}
V_{IMP}	最大インパルス電圧 (3)	気中でテスト、IEC 62368-1 に準拠した 1.2/50µs の波形	7700	V_{PK}
V_{IOSM}	最大サージ絶縁電圧(4)	IEC 62368-1 に準拠し油中でテスト (認定試験)、 1.2/50µs の波形	10000	V_{PK}
q_{pd}	見掛けの電荷(5)	手法 a、入力 / 出力安全性テストのサブグループ 2 および 3 の後、 $V_{pd(ini)} = V_{IOTM}$、t_{ini} = 60s、$V_{pd(m)} = 1.2 \times V_{IORM}$、$t_m$ = 10s	≦ 5	pC
		手法 a、環境テストのサブグループ 1 の後、 $V_{pd(ini)} = V_{IOTM}$、t_{ini} = 60s、$V_{pd(m)} = 1.6 \times V_{IORM}$、$t_m$ = 10s	≦ 5	
		手法 b1、事前条件設定 (タイプ テスト) およびルーチン テスト、 $V_{pd(ini)} = 1.2x\ V_{IOTM}$、$t_{ini}$ = 1s、$V_{pd(m)} = 1.875 \times V_{IORM}$、$t_m$ = 1s	≦ 5	
		手法 b2、ルーチン テスト (100% 出荷時)(7) $V_{pd(ini)} = V_{pd(m)} = 1.2 \times V_{IOTM}$、$t_{ini} = t_m$ = 1s	≦ 5	
C_{IO}	バリア容量、入力から出力へ(6)	V_{IO} = 0.5V_{PP} (1MHz 時)	≅1.5	pF
R_{IO}	絶縁抵抗、入力から出力へ(6)	V_{IO} = 500V (T_A = 25℃時)	> 10^{12}	Ω
		V_{IO} = 500V (100℃ ≦ T_A ≦ 125℃時)	> 10^{11}	
		V_{IO} = 500V (T_S = 150℃時)	> 10^9	
	汚染度		2	
	耐候性カテゴリ		55/125/21	
UL1577				
V_{ISO}	絶縁耐圧	$V_{TEST} = V_{ISO}$、t = 60s (認定試験)、 $V_{TEST} = 1.2 \times V_{ISO}$、t = 1s (100% 出荷時テスト)	5000	V_{RMS}

(1) アプリケーションに固有の機器の絶縁規格に従って沿面距離および空間距離の要件を適用します。基板設計では、沿面距離および空間距離を維持して、プリント基板 (PCB) のアイソレータの取り付けパッドによりこの距離が短くならないようにします。特定の場合には、PCB 上の沿面距離と空間距離は等しくなります。これらの規格値を増やすため、PCB 上にグルーブやリブを挿入するなどの技法が使用されます。
(2) この絶縁素子は安全定格内の *安全な電気的絶縁* のみに適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
(3) テストは、パッケージのサージ耐性を判定するため、空気中で実行されます。
(4) テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。
(5) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
(6) バリアのそれぞれの側にあるすべてのピンは互いに接続され、実質的に 2 ピンのデバイスになります。
(7) 正式運用環境では、手法 b1 または b2 のいずれかが使用されます。

Copyright © 2025 Texas Instruments Incorporated

6.9 安全関連認証 (基本絶縁)

VDE	UL
DIN EN IEC 60747-17 (VDE 0884-17)、 EN IEC 60747-17、 DIN EN 61010-1 (VDE 0411-1) 条項:6.4.3、6.7.1.3、6.7.2.1、6.7.2.2、6.7.3.4.2、6.8.3.1	1577 component および CSA component acceptance NO 5 programs により承認済み
基本絶縁	単一保護
認証書番号:保留中	ファイル番号:保留中

Copyright © 2025 Texas Instruments Incorporated

6.10 安全関連認証 (強化絶縁)

VDE	UL
DIN EN IEC 60747-17 (VDE 0884-17)、 EN IEC 60747-17、 DIN EN IEC 62368-1 (VDE 0868-1)、 EN IEC 62368-1、 IEC 62368-1 条項:5.4.3、5.4.4.4、5.4.9	1577 component および CSA component acceptance NO 5 programs により承認済み
強化絶縁	単一保護
認証書番号:保留中	ファイル番号:保留中

Copyright © 2025 Texas Instruments Incorporated

6.11 安全限界値 (D パッケージ)

安全限界値 (1) の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。I/O 回路の故障により、グランドあるいは電源との抵抗が低くなることがあります。電流制限がないと、チップがオーバーヒートして絶縁バリアが破壊されるほどの大電力が消費され、ひいてはシステムの 2 次故障に到る可能性があります。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_S	安全入力、出力、または電源電流	$R_{\theta JA}$ = 116.5°C/W、VDDx = 5.5V、T_J = 150°C、T_A = 25°C			195	mA
P_S	安全入力、出力、または合計電力	$R_{\theta JA}$ = 116.5℃/W、T_J = 150℃、T_A = 25℃			1070	mW
T_S	最高安全温度				150	°C

(1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。
I_S と P_S の上限値を超えないようにします。これらの
制限値は周囲温度 T_A によって変化します。
「熱に関する情報」の表にある、接合部から外気への熱抵抗 $R_{\theta JA}$ は、
リード付き表面実装パッケージ用の高誘電率テスト基板に実装されたデバイスのものです。次の式を使用して、各パラメータの値を計算します。
$T_J = T_A + R_{\theta JA} \times P$ (P はデバイスで消費される電力)。
$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$ ($T_{J(max)}$ は最大接合部温度)。
$P_S = I_S \times VDD_{max}$ (VDD_{max} はハイサイドとローサイドの最大電源電圧)。

Copyright © 2025 Texas Instruments Incorporated

6.12 安全限界値 (DWV パッケージ)

安全限界値 (1) の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。I/O 回路の故障により、グランドあるいは電源との抵抗が低くなることがあります。電流制限がないと、チップがオーバーヒートして絶縁バリアが破壊されるほどの大電力が消費され、ひいてはシステムの 2 次故障に到る可能性があります。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_S	安全入力、出力、または電源電流	$R_{\theta JA}$ = 102.8°C/W、VDDx = 5.5V、T_J = 150°C、T_A = 25°C			220	mA
P_S	安全入力、出力、または合計電力	$R_{\theta JA}$ = 102.8℃/W、T_J = 150℃、T_A = 25℃			1210	mW
T_S	最高安全温度				150	°C

(1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。
I_S と P_S の上限値を超えないようにします。これらの
制限値は周囲温度 T_A によって変化します。
「熱に関する情報」の表にある、接合部から外気への熱抵抗 $R_{\theta JA}$ は、
リード付き表面実装パッケージ用の高誘電率テスト基板に実装されたデバイスのものです。次の式を使用して、各パラメータの値を計算します。
$T_J = T_A + R_{\theta JA} \times P$ (P はデバイスで消費される電力)。
$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$ ($T_{J(max)}$ は最大接合部温度)。
$P_S = I_S \times VDD_{max}$ (VDD_{max} はハイサイドとローサイドの最大電源電圧)。

Copyright © 2025 Texas Instruments Incorporated

6.13 電気的特性

最小および最大仕様は、T_A = –40°C ～ +125°C、VDD1 = 3.0V ～ 5.5V、VDD2 = 3.0V ～ 5.5V、SNSN = GND1、V_{INP} = –0.1V～2V（特に記載がない限り）; 標準仕様は T_A = 25°C、VDD1 = 5V、VDD2 = 3.3V です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
アナログ入力						
C_{IN}	入力容量			2		pF
R_{INP}	入力インピーダンス	INP ピン (GND1 基準)	0.05	2.4		GΩ
$I_{IB, INP}$	入力バイアス電流(1)	INP ピン、INP = GND1	-10	±3	10	nA
CMTI	同相過渡耐性		150			V/ns
アナログ出力						
	公称ゲイン			1		V/V
V_{CMout}	出力同相電圧		1.39	1.44	1.50	V
$V_{CLIPout}$	クリッピング差動出力電圧	V_{OUT} = (V_{OUTP} – V_{OUTN})、 V_{IN} > $V_{Clipping}$		2.49		V
$V_{FAILSAFE}$	フェイルセーフ差動出力電圧	VDD1 低電圧または VDD1 がありません		-2.57	-2.53	V
R_{OUT}	出力抵抗	OUTP または OUTN		<0.2		Ω
	出力短絡検出電流	OUTP または OUTN で、ソースまたはシンク、INP = GND1 で、 出力は GND2 または VDD2 に短絡しています		11		mA
DC 精度						
V_{OS}	入力オフセット電圧(1) (2)	T_A = 25℃	-0.8	±0.1	0.8	mV
TCV_{OS}	入力オフセットの熱ドリフト(1) (2) (4)		-10	±1	10	µV/℃
E_G	ゲイン(1)	T_A = 25℃	-0.25%	±0.04%	0.25%	
TCE_G	ゲイン誤差ドリフト(1) (5)		-50	±5	50	ppm/℃
	非線形性		-0.035%	0.002%	0.035%	
	出力ノイズ電圧	INP = GND1、BW = 50kHz		200		$µV_{RMS}$
PSRR	電源除去比(2)	VDD1 DC PSRR、INP = GND1、 VDD1 を 3V ～ 5.5V に調整します		-77		dB
		VDD1AC PSRR、INP = GND1、 VDD1、10kHz/100mV リップル		-56		
		VDD2 の DC PSRR、INP = GND1、 VDD2 を 3V ～ 5.5V で動作させます		-100		
		VDD2 AC PSRR、INP = GND1、 VDD2、10kHz/100mV リップル		-69		
AC 精度						
BW	出力帯域幅		120	145		kHz
THD	全高調波歪(3)	V_{INP} = $2V_{PP}$、V_{INP} > 0V、 f_{IN} = 10kHz		-83	-73	dB
SNR	信号対雑音比	V_{INP} = $2V_{PP}$、f_{INP} = 1kHz、BW = 10kHz	75	80		dB
		V_{INP} = $2V_{PP}$、f_{INP} = 10kHz、BW = 50kHz		70		
電源						
I_{DD1}	ハイサイド電源電流			4.4	5.6	mA
I_{DD2}	ローサイド電源電流			6.2	9.7	mA
$VDD1_{UV}$	ハイサイド低電圧検出スレッショルド	VDD1 の立ち上がり	2.4	2.6	2.8	V
		VDD1 の立ち下がり	1.9	2.05	2.2	

Copyright © 2025 Texas Instruments Incorporated

最小および最大仕様は、T_A = –40°C ～ +125°C、VDD1 = 3.0V ～ 5.5V、VDD2 = 3.0V ～ 5.5V、SNSN = GND1、V_{INP} = –0.1V～2V（特に記載がない限り）; 標準仕様は T_A = 25°C、VDD1 = 5V、VDD2 = 3.3V です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$VDD2_{UV}$	ローサイドの低電圧検出スレッショルド	VDD2 の立ち上がり	2.3	2.5	2.7	V
		VDD2 の立ち下がり	1.9	2.05	2.2	

(1) 標準値には、公称動作条件での 1 つの標準偏差 (シグマ) が含まれます。
(2) このパラメータは入力換算です。
(3) THD は、最初の 5 つのより高い高調波の振幅の rms 合計と、基本波の振幅との比です。
(4) オフセット誤差の温度ドリフトは、次の式で表すボックス法を使用して計算されます。
$TCV_{OS} = (Value_{MAX} - Value_{MIN}) / TempRange$
(5) ゲインエラー温度ドリフトは、ボックス法を使用して次の式で計算されます:
$TCE_G\ (ppm) = (Value_{MAX} - Value_{MIN}) / (Value_{(T=25℃)} \times TempRange) \times 10^6$

6.14 スイッチング特性

動作時周囲温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_r	出力信号の立ち上がり時間	10% ～ 90%、フィルタなしの出力		2.6		µs
t_f	出力信号の立ち下がり時間	10% ～ 90%、フィルタなしの出力		2.6		µs
	V_{INP} to V_{OUTx} への信号遅延 (50% ～ 10%)	フィルタなしの出力		1.6		µs
	V_{INP} to V_{OUTx} への信号遅延 (50% ～ 50%)	フィルタなしの出力		3.0	3.2	µs
	V_{INP} to V_{OUTx} への信号遅延 (50% ～ 90%)	フィルタなしの出力		4.2		µs
t_{AS}	アナログ セトリング タイム	VDD1 を 3.0V にステップアップ (VDD2 ≥ 3.0V)、V_{OUTP}、V_{OUTN} 有効、0.1% セトリング		20	100	µs

6.15 タイミング図

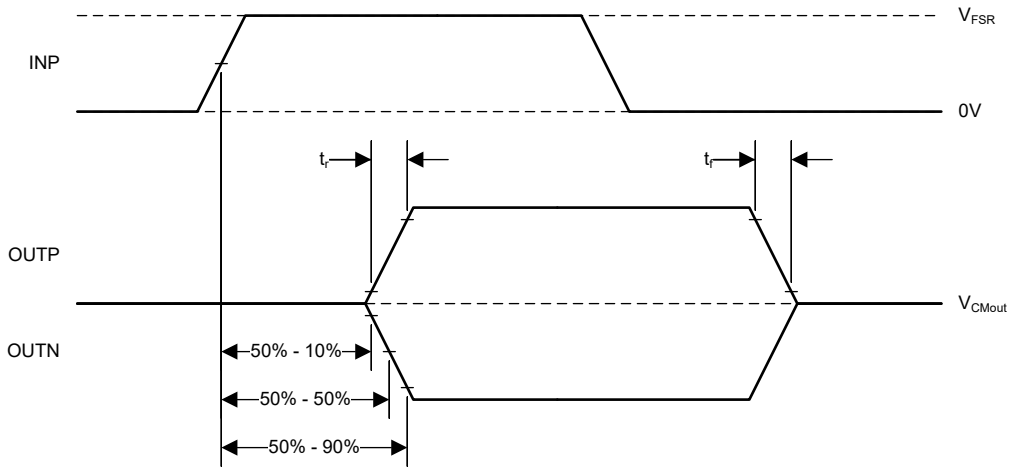


図 6-1. 立ち上がり、立ち下がり、遅延時間の定義

Copyright © 2025 Texas Instruments Incorporated

6.16 絶縁特性曲線

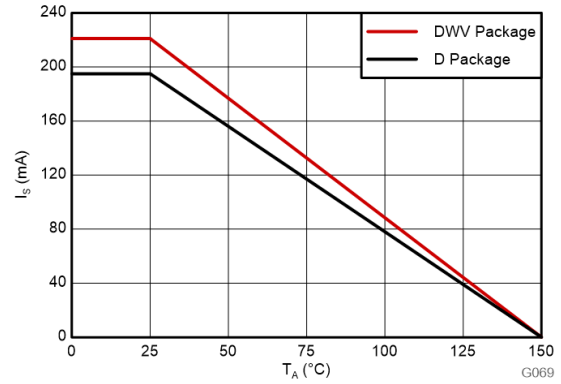


図 6-2. VDE に従う安全性制限電流の熱特性低下曲線

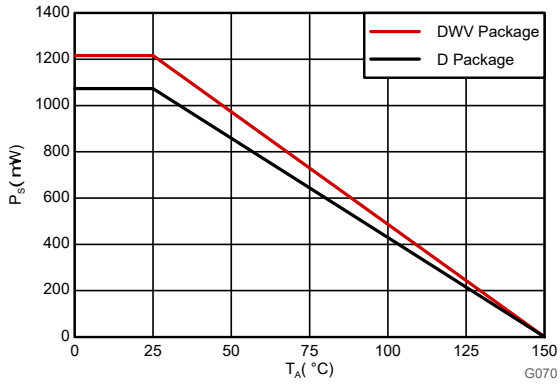
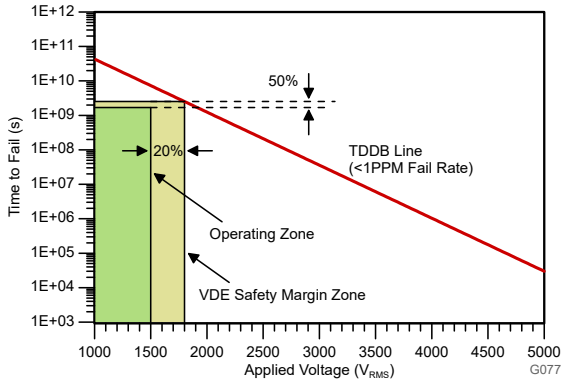
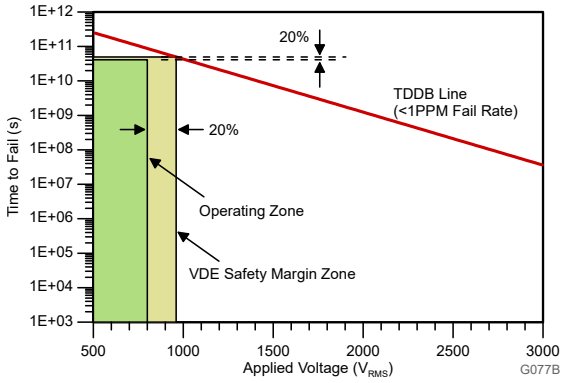


図 6-3. VDE に従う安全性制限電力の熱特性低下曲線



150℃ までの T_A、ストレス電圧周波数 = 60Hz、絶縁動作電圧 = $1500V_{RMS}$、
予測動作寿命 = 50 年

図 6-4. 絶縁コンデンサの寿命推定
(強化絶縁)



150℃ までの T_A、ストレス電圧周波数 = 60Hz、絶縁動作電圧 = $800V_{RMS}$、
予測動作寿命 >> 100 年

図 6-5. 絶縁コンデンサの寿命推定
(基本絶縁)

6.17 代表的特性

VDD1 = 5V、VDD2 = 3.3V、SNSN = GND1、f_{IN} = 10kHz、BW = 100kHz (特に記述のない限り)

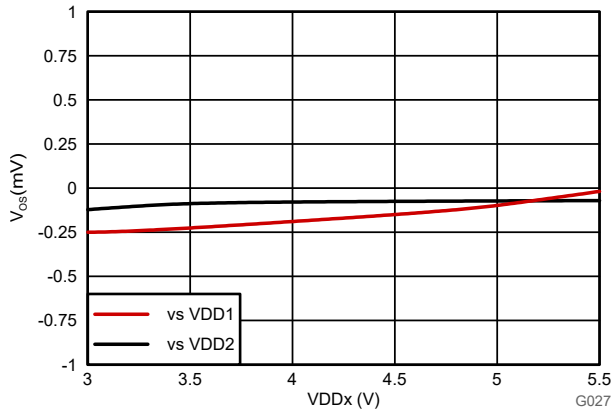


図 6-6. 入力オフセット電圧と電源電圧との関係

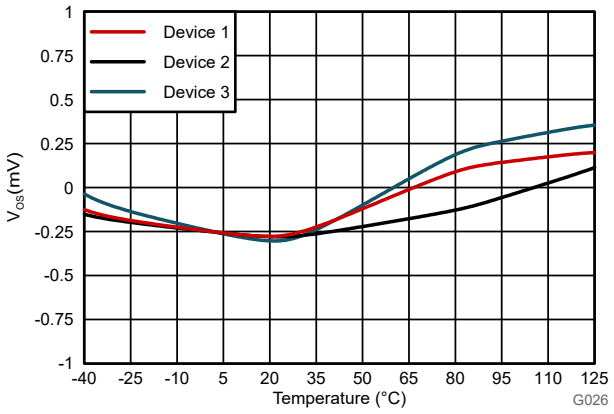


図 6-7. 入力オフセット電圧と温度との関係

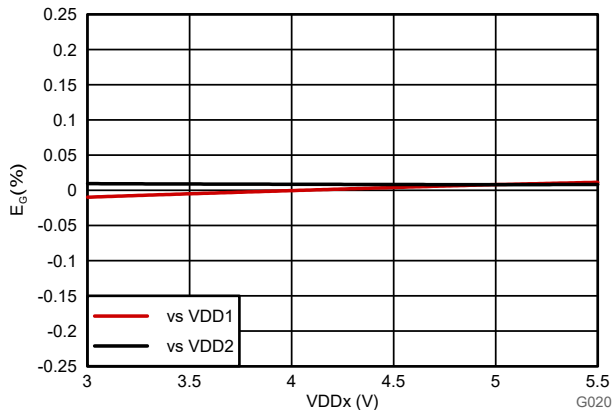


図 6-8. ゲイン誤差と電源電圧との関係

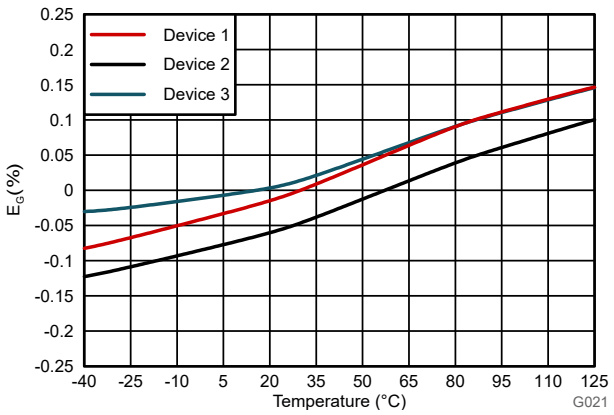


図 6-9. ゲイン誤差と温度との関係

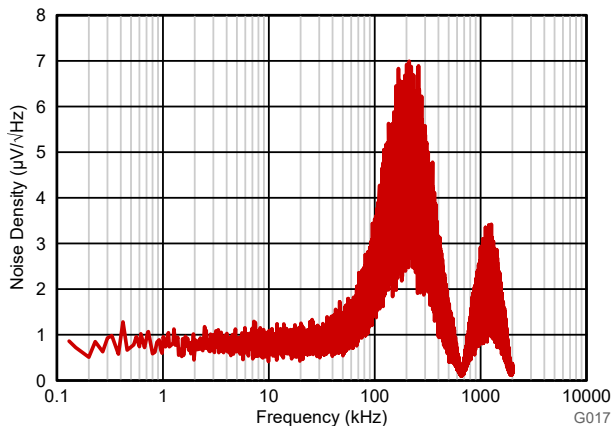


図 6-10. 入力換算ノイズ密度と周波数との関係

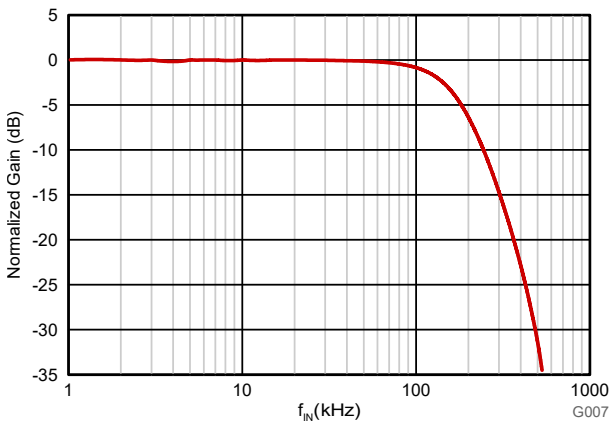


図 6-11. 正規化ゲインと入力周波数との関係

Copyright © 2025 Texas Instruments Incorporated

6.17 代表的特性 (続き)

VDD1 = 5V、VDD2 = 3.3V、SNSN = GND1、f_{IN} = 10kHz、BW = 100kHz (特に記述のない限り)

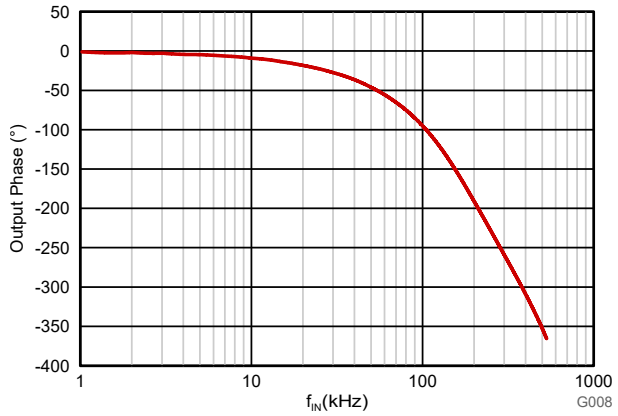


図 6-12. 出力位相と入力周波数との関係

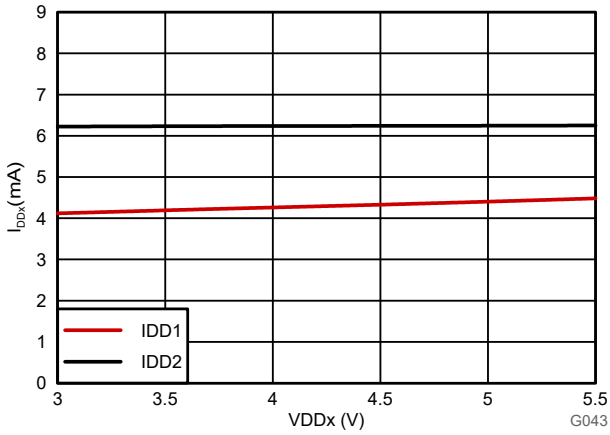


図 6-13. 電源電流と電源電圧との関係

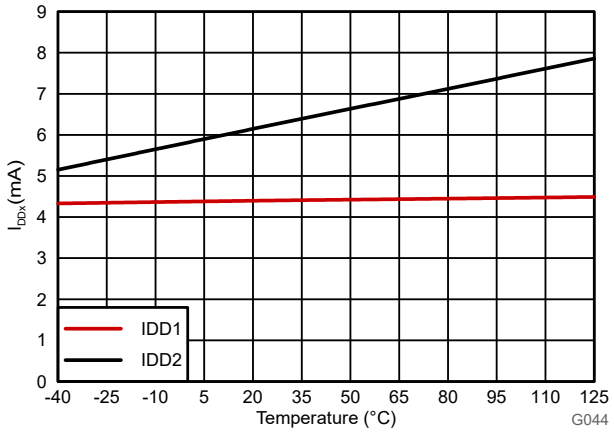


図 6-14. 電源電流と温度との関係

7 詳細説明

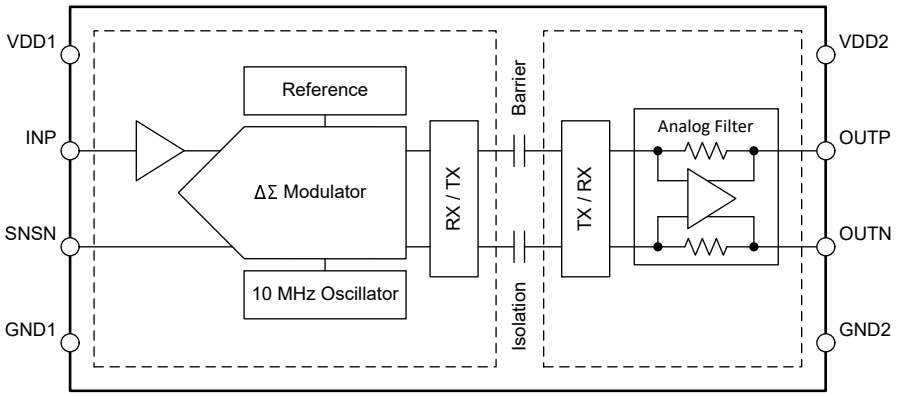
7.1 概要

AMC0x11D-Q1 は、2V、高インピーダンス入力、固定ゲイン、差動出力。デバイスの入力段は、2 次デルタ シグマ (ΔΣ) 変調器を駆動します。変調器は、アナログ入力信号を、ハイ サイドとロー サイドを分離する絶縁バリアを介して転送されるデジタル ビット ストリームに変換します。

ローサイドでは、受信したビット ストリームは OUTP ピンと OUTN ピンに差動信号を出力する 4 次アナログ フィルタで処理されます。この差動出力信号は、入力信号に比例します。

SiO_2 ベースの容量性絶縁バリアは、*ISO72x デジタル アイソレータの磁場耐性アプリケーション ノート*に記載されているように、高いレベルの磁場耐性をサポートします。AMC0x11D-Q1 で使用されるデジタル変調により、絶縁バリアをまたぐデータが送信されます。この変調と絶縁バリアの特性から、高い信頼性と、高い同相過渡耐性が得られます。

7.2 機能ブロック図



Copyright © 2025 Texas Instruments Incorporated

7.3 機能説明

7.3.1 アナログ入力

INP ピンの高インピーダンス の入力バッファは、2 次のスイッチング コンデンサ、フィードフォワード ΔΣ 変調器に電力を供給します。変調器は、*絶縁チャネルの信号伝送* セクションで説明されているように、アナログ信号をビットストリームに変換します。ビットストリームは、絶縁バリアをまたぐ転送されます。

アナログ入力信号には 2 つの制限があります。まず、入力電圧が *絶対最大定格* 表に規定された値を超える場合は、入力電流を 10mA に制限する必要があります。この制限は、デバイスの入力静電放電 (ESD) ダイオードがオンになることによって発生します。第 2 に、直線性とノイズ性能は、入力電圧が線形性のフルスケール範囲 (V_{FSR}) 内にあるときのみ規定されます。V_{FSR} は *推奨動作条件 -* 表に指定されています。

7.3.2 絶縁チャネルの信号伝送

図 7-1 に示されているように、AMC0x11D-Q1 は、オン / オフ キーイング (OOK) 変調方式を使用して、変調器の出力ビットストリームを、SiO_2 ベースの絶縁膜間で伝送します。送信ドライバ (TX) をに *機能ブロック図* 示します。TX は、内部で生成された高周波キャリアを絶縁バリア越しに送信し、デジタル *1* を表現します。ただし、TX はデジタル *0* を表す信号を送信しません。AMC0x11D-Q1 で使用されるキャリアの公称周波数は 480MHz です。

絶縁バリアの反対側にある受信機 (RX) は信号を回復して復調し、アナログ フィルタに入力を提供します。AMC0x11D-Q1 の送信チャネルは、同相過渡耐性 (CMTI) を最大限に高め、放射妨害波を最小限に抑えるように最適化されています。高周波キャリアと RX/TX バッファのスイッチングにより、これらの放射が発生します。

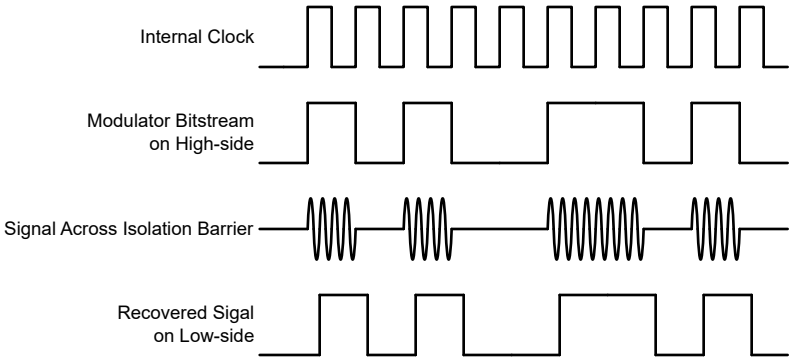


図 7-1. OOK ベースの変調方式

7.3.3 アナログ出力

AMC0x11D-Q1 は、入力電圧に比例した OUTP ピンおよび OUTN ピンに差動アナログ出力電圧を提供します。$V_{FSR, MIN}$ から $V_{FSR, MAX}$ までの入力電圧範囲について、デバイスは次のような線形応答を行います。出力電圧は次のようになります。

$$V_{OUT} = V_{IN} = (V_{INP} – V_{SNSN}) \quad (1)$$

ゼロ入力では、両方のピンが *電気的特性* の表に規定されているように、同じ同相出力電圧 V_{CMout} を出力します。絶対入力電圧が $|V_{FSR}|$ を超え、$|V_{Clipping}|$ を下回る場合、差動出力電圧の大きさは引き続き増加しますが、直線性性能は低下します。入力電圧が $V_{clipping}$ 値を超える場合、出力は、図 7-2 に示すように $V_{CLIPout}$ の差動出力電圧で飽和します。

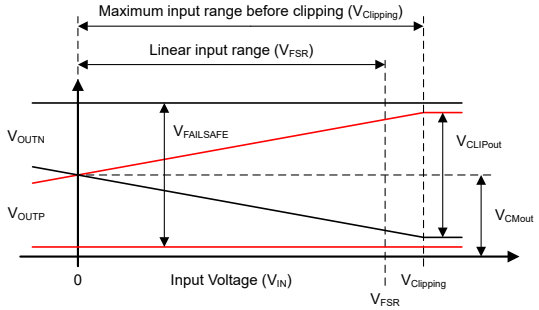


図 7-2. AMC0x11D-Q1 の入力から出力への伝達曲線

AMC0x11D-Q1 出力ではフェイルセーフ機能が備わっているため、システム レベルでの診断が容易になります。図 7-2 はフェイルセーフ モードでの動作を示しており、AMC0x11D-Q1 は通常の動作条件では発生しない負の差動出力電圧を出力します。フェイルセーフ出力がアクティブです。

- これは、AMC0x11D-Q1 デバイスの 1 次側電源 VDD1 が存在しない場合です
- 1 次側電源 VDD1 が低電圧閾値電圧 $VDD1_{UV}$ を下回ると

電気的特性 表に規定されている最大 $V_{FAILSAFE}$ 電圧を、システム レベルでのフェイルセーフ検出の基準値として使用してください。

Copyright © 2025 Texas Instruments Incorporated

7.4 デバイスの機能モード

AMC0x11D-Q1 は、次の状態のいずれかで動作します。

- OFF 状態:ローサイド電源 (VDD2) は $VDD2_{UV}$ スレッショルドを下回っています。デバイスが応答しません。OUTP と OUTN は Hi-Z 状態です。内部では、OUTP および OUTN は ESD 保護ダイオードによって VDD2 および GND2 にクランプされます。
- ハイサイド電源喪失:デバイス (VDD2) のローサイドに電源が供給され、「推奨動作条件」内です。ハイサイド電源 (VDD1) は $VDD1_{UV}$ スレッショルドを下回っています。このデバイスは $V_{FAILSAFE}$ 電圧を出力します。
- アナログ入力オーバーレンジ (正のフルスケール入力):VDD1 および VDD2 は推奨動作条件の範囲内ですが、アナログ入力電圧 V_{IN} は最大クリッピング電圧 $Vclipping_{,Clipping, MAX}$ を上回っています。このデバイスは正の $V_{CLIPout}$ を出力します。
- アナログ入力アンダーレンジ (負のフルスケール入力):VDD1 および VDD2 は推奨動作条件の範囲内ですが、アナログ入力電圧 V_{IN} は最小クリッピング電圧 $Vclipping_{,Clipping, min}$ を下回っています。このデバイスは、不特定の負の差動電圧を出力します。
- 通常動作の場合:VDD1、VDD2、V_{IN} は推奨動作条件内です。このデバイスは、入力電圧に比例する差動電圧を出力します。

表 7-1 に、動作モードを示します。

表 7-1. デバイスの動作モード

動作条件	VDD1	VDD2	V_{IN}	デバイス の応答
オフ	未使用	$VDD2 < VDD2_{UV}$	未使用	OUTP と OUTN は Hi-Z 状態です。内部では、OUTP および OUTN は ESD 保護ダイオードによって VDD2 および GND2 にクランプされます。
ハイサイド電源喪失	$VDD1 < VDD1_{UV}$	有効(1)	未使用	このデバイスは $V_{FAILSAFE}$ 電圧を出力します。
入力オーバーレンジ	有効(1)	有効(1)	$V_{IN} > V_{Clipping, MAX}$	このデバイスは正の $V_{CLIPout}$ を出力します。
アンダーレンジ入力	有効(1)	有効(1)	$V_{IN} < V_{Clipping, MIN}$	このデバイスは、不特定の負の差動電圧を出力します。
通常動作	有効(1)	有効(1)	有効(1)	このデバイスは、入力電圧に比例する差動電圧を出力します。

(1) 「*Valid*」は一、推奨動作条件の範囲内での動作を示します。

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

トラクション インバータのような車載電源システムは、互いに電気的に絶縁された 2 つ以上の電圧ドメインに分割されています。たとえば、高電圧ドメインには、HV バッテリとトラクション インバータの電力段が含まれています。低電圧ドメインには、システム コントローラとヒューマン インターフェイスが含まれます。コントローラは、安全上の理由から高電圧ドメインから電気的に絶縁された状態で、DC バス電圧の値を測定します。AMC0x11D-Q1 は、入力インピーダンスが高く、ガルバニック絶縁された出力を備えているため、この測定を可能にします。

8.2 代表的なアプリケーション

下図は、回路図 を示しています。この AMC0x11D-Q1 は、DC バス電圧のセンシングに使用します。電力ドメインでは の DC バス 電圧が高インピーダンス抵抗分圧器の下側抵抗 (RSNS) を介して 2V レベルに分圧されます。RSNS 両端の電圧は、AMC0x11D-Q1 によって検出されます。ローサイド ゲート ドライバ電源は 5V レベルに安定化され、AMC0x11D-Q1 の高電圧側に電力を供給します。信号ドメインでは、AMC0x11D-Q1 絶縁バリアの反対側で、DC バス電圧に比例した電圧を出力します。

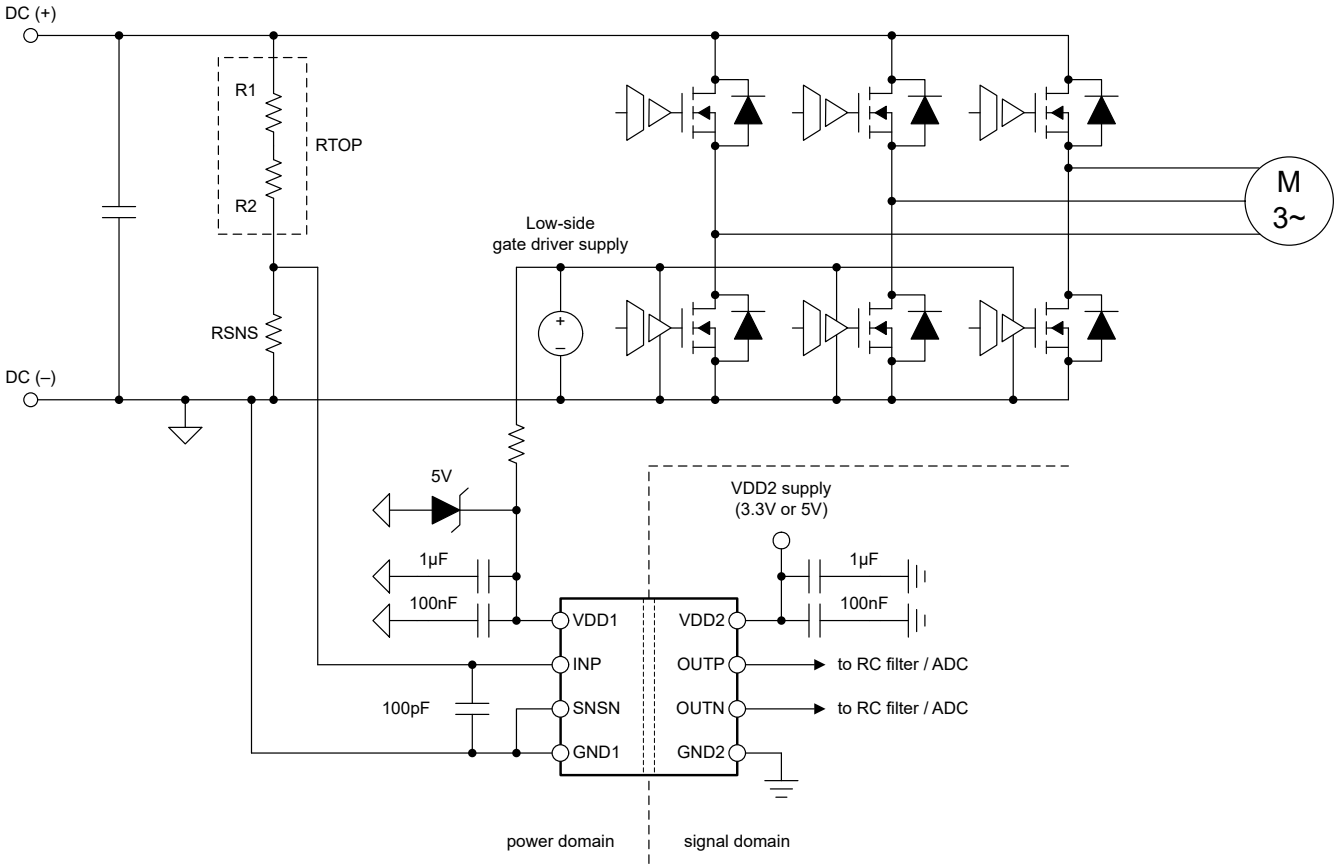


図 8-1. 代表的なアプリケーションでを使用 AMC0x11D-Q1

Copyright © 2025 Texas Instruments Incorporated

8.2.1 設計要件

表 8-1 に、この代表的なアプリケーションのパラメータを一覧します。

表 8-1. 設計要件

パラメータ	値
DC バス電圧	960V (最大値)
ハイサイド電源電圧	5V
ローサイド電源電圧	3.3V
最大抵抗器動作電圧	125V
線形応答に関する、抵抗 (RSNS) の両端での電圧ドロップ	2V (最大値)
抵抗分圧器を通って流れる電流、I_{CROSS}	200µA (最大値)

8.2.2 詳細な設計手順

最大 DC バス電圧 (960V) で 200µA クロス電流要件が課されるので、抵抗分圧器の合計インピーダンスは 4.80MΩ となります。抵抗分圧器のインピーダンスは、*代表的なアプリケーション* 図の R1 および R2 で例示されている上部によって決まります。ユニット抵抗あたりの最大許容電圧降下は、125V と規定されています。したがって、抵抗分圧器の上部にあるユニット抵抗の最小数は 960V/125V ≅ 8 です。計算されたユニット値は 4.80MΩ/8 = 600kΩ であり、E96 シリーズの次に近い値は 604kΩ です。RNSN のサイズは、最大 DC バス電圧 (960V) での抵抗の電圧降下がリニア V_{FSR} と等しくなるように設定します。V_{FSR} は線形フルスケール電圧で、2V と規定されています。RSNS は、$RSNS = V_{FSR} / (V_{DC\text{-}link,\ max} - V_{FSR}) \times R_{TOP}$ として計算されます。R_{TOP} は上部抵抗ストリングの合計値 (8 × 604kΩ = 4.832MΩ) です。RSNS の結果の値は 10.09kΩ になります。E96 シリーズで次に近い値は 10kΩ です。

抵抗分圧器の設計を、表 8-2 にまとめます。

表 8-2. 抵抗値の例

パラメータ	値
ユニット抵抗値、R_{TOP}	604kΩ
R_{TOP} の単位抵抗の数	8
センス抵抗値、RSNS	10kΩ
合計抵抗値 $R(_{TOP}$ + RSNS)	4.842MΩ
この結果、抵抗分割器を流れる電流 I_{CROSS} が生じます	198.3µA
その結果、センス抵抗 RSNS の両端間でのフルスケール電圧降下が発生します	1.983V
R_{TOP} ユニット抵抗で消費されるピーク電力	23.7mW
抵抗分圧器で消費される総ピーク電力	190.3mW

Copyright © 2025 Texas Instruments Incorporated

8.2.2.1 入力フィルタの設計

デバイスの前に RC フィルタを配置すると、信号路の信号対雑音比性能が向上します。ΔΣ 変調器のサンプリング周波数に近い周波数 (通常は 10MHz) の入力ノイズは、変調器によって低周波数の範囲にフォールドバックされます。RC フィルタの目的は、高周波ノイズを測定に必要なノイズ レベルを下回るように減衰させることです。実際には、変調器の周波数より 2 桁低いカットオフ周波数を使用すると、良好な結果が得られます。

ほとんどの電圧センシング アプリケーションでは、高インピーダンスの抵抗分圧器を使用して、入力電圧を分圧しています。この場合、図 8-2 に示すように 1 つのコンデンサで入力信号をフィルタリングできます。(R1 + R2) >> RSNS の場合、入力フィルタのカットオフ周波数は 1/ (2×π×RSNS×C5) です。たとえば、RSNS = 10kΩ、C5 = 100pF の場合、カットオフ周波数は 160kHz になります。

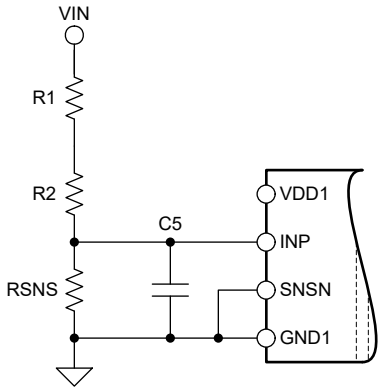


図 8-2. 入力フィルタ

8.2.2.2 差動からシングルエンドへの出力変換

多くのシステムで、AMC0x11D-Q1 の差動出力に直接接続できないシングルエンド入力を持つ ADC が使用されています。図 8-3 に、差動出力信号を ADC の前段のシングルエンド信号に変換する回路を示します。R1 = R3 および R2 = R4 の場合、出力電圧は (R2/R1) × (V_{OUTP} - V_{OUTN}) + V_{REF} と等しくなります。C1 = C2 の場合、フィルタの帯域幅は 1 / (2 × π × C1 × R1) になります。システムの帯域幅要件と一致するようにフィルタの帯域幅を設定します。直線性を最大限に高めるには、電圧係数 (NP0 タイプのコンデンサなど) の低いコンデンサを使用します。ほとんどのアプリケーションで、R1 = R2 = R3 = R4 = 3.3kΩ および C1 = C2 = 330pF となり、良好な性能が得られます。

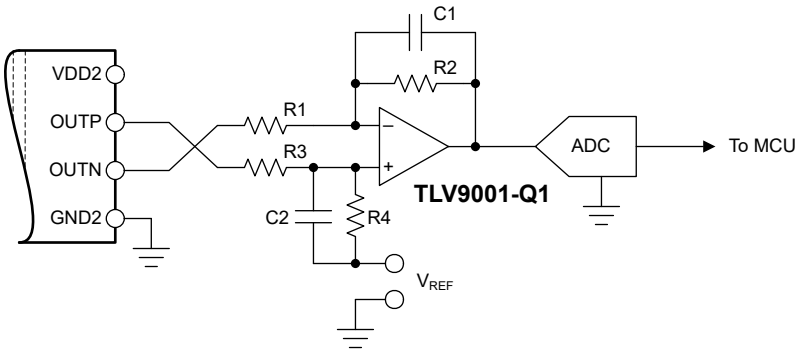


図 8-3. AMC0x11D-Q1 出力をシングルエンド入力 ADC に接続する

以下のリファレンス ガイドでは、SAR ADC のフィルタ処理段と駆動段を設計する一般的な手順について、詳しく説明します。これらのリファレンス ガイドは、www.ti.com からダウンロードできます。

- *『歪みとノイズが最低になるよう最適化された 18 ビット、1MSPS データ収集ブロック (DAQ)』リファレンス ガイド*
- *『消費電力が最低になるよう最適化された 18 ビット データ収集ブロック (DAQ)』リファレンス ガイド*

Copyright © 2025 Texas Instruments Incorporated

8.2.3 アプリケーション曲線

AMC0x11D-Q1 の代表的なフルスケール ステップ応答を、図 8-4 に示します。

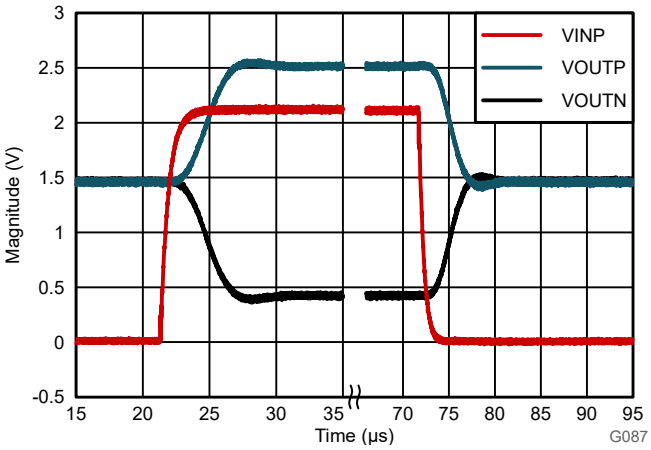


図 8-4. AMC0x11D-Q1 のステップ応答

8.3 設計のベスト プラクティス

デバイスが電源オンのとき、AMC0x11D-Q1 のアナログ入力 (INP ピン) を未接続 (フローティング) のままにしないください。デバイス入力がフローティングのままになっている場合、デバイスの出力は有効ではありません。

AMC0x11D-Q1 の入力 (INP ピン) に保護ダイオードを接続しないでください。ダイオードのリーク電流は、特に高温で大きな測定誤差を引き起こす可能性があります。入力ピンは、ESD 保護回路と外部抵抗分割器の高インピーダンスによって高電圧から保護されます。

Copyright © 2025 Texas Instruments Incorporated

8.4 電源に関する推奨事項

一般的なアプリケーションでは、AMC0x11D-Q1 のハイサイド電源 (VDD1) は、絶縁型 DC/DC コンバータによってローサイド電源 (VDD2) から生成されます。低コストのオプションでは、プッシュプル ドライバ SN6501-Q1 と、目的の絶縁電圧定格をサポートするトランスを使います。

AMC0x11D-Q1 は、特定の起動シーケンスを必要としません。ハイサイド電源 (VDD1) は、低 ESR の 1µF コンデンサ (C2) と並列接続された低 ESR の 100nF コンデンサ (C1) でデカップリングされます。ローサイド電源 (VDD2) は、低 ESR の 1µF コンデンサ (C4) と並列接続された低 ESR の 100nF コンデンサ (C3) で同様にデカップリングされます。4 つのコンデンサ (C1、C2、C3、C4) はすべてデバイスのできるだけ近くに配置します。図 8-5 に、AMC0x11D-Q1 のデカップリング図を示します。

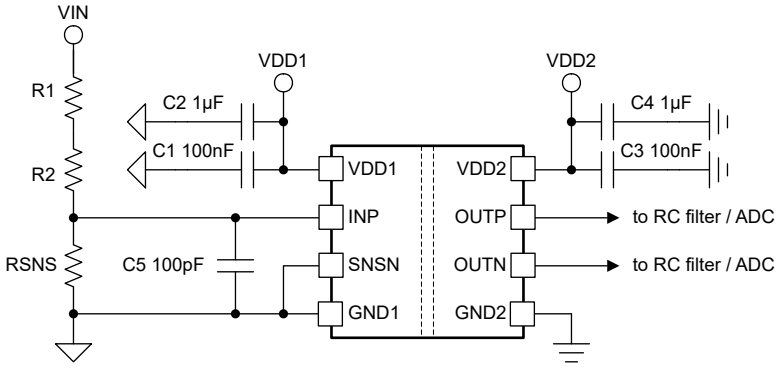


図 8-5. AMC0x11D-Q1 のデカップリング

アプリケーションで発生する DC バイアス条件の下で、コンデンサは十分な*実効*容量を提供することを確認します。マルチレイヤ セラミック コンデンサ (MLCC) は通常、実際の使用条件下における容量は、公称容量よりはるかに小さい値となります。これらのコンデンサを選択する際は、これらの要素を考慮してください。この問題は、背の高い部品よりも絶縁体電界強度が高くなる薄型コンデンサで特に深刻です。信頼できるコンデンサ メーカーは、部品選択を非常に簡単にする容量対 DC バイアス曲線を提供しています。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

この *レイアウト* セクションでは、デカップリング コンデンサの重要な配置 (AMC0x11D-Q1 電源ピンにできるだけ近い場所) に関するレイアウト推奨事項について詳しく説明します。この例では、デバイスに必要な他の部品の配置も示しています。

Copyright © 2025 Texas Instruments Incorporated

8.5.2 レイアウト例

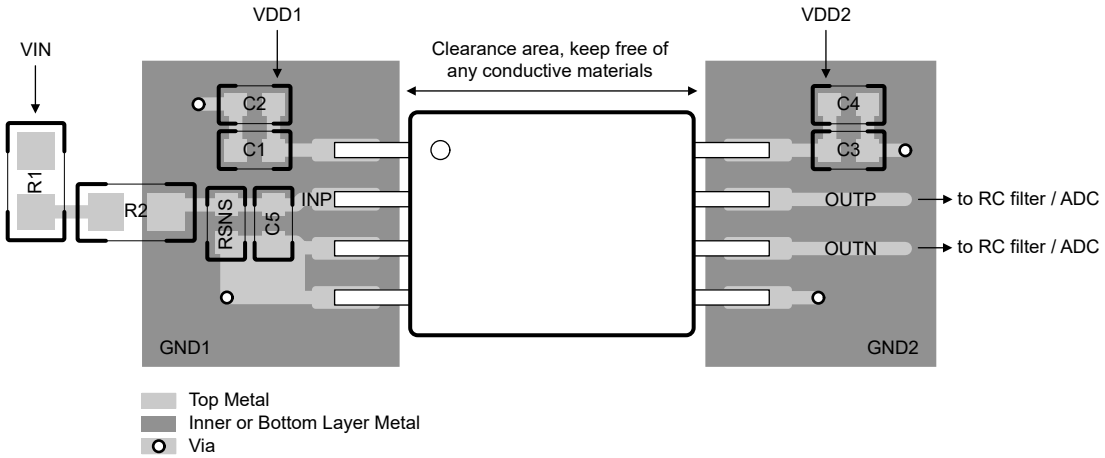


図 8-6. AMC0x11D-Q1 の推奨レイアウト

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、*『絶縁の用語集』アプリケーション ノート*
- テキサス インスツルメンツ、*半導体および IC パッケージの熱評価基準 アプリケーション ノート*
- テキサス インスツルメンツ、*『ISO72x デジタル アイソレータの磁界耐性』アプリケーション ノート*
- テキサス インスツルメンツ、*『TLV900x-Q1 低電力、RRIO、1MHz 車載用オペアンプ』データシート*
- テキサス・インスツルメンツ、『SN6501-Q1 絶縁電源用のトランスドライバ』データシート
- テキサス インスツルメンツ、*『歪みとノイズが最低になるよう最適化された 18 ビット、1MSPS データ収集ブロック (DAQ)』リファレンス ガイド*
- テキサス インスツルメンツ、*『消費電力が最低になるよう最適化された 18 ビット、1MSPS データ収集ブロック (DAQ)』リファレンス ガイド*
- テキサス・インスツルメンツ、「絶縁型アンプの電圧センシング Excel カリキュレータ」設計ツール

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2025 Texas Instruments Incorporated

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from MAY 30, 2025 to OCTOBER 17, 2025 (from Revision A (May 2025) to Revision B (October 2025)) **Page**

- AMC0211D-Q1 デバイスのステータスを *製品プレビュー* から *量産データ* へ変更 1
- $V_{FAILSAFE}$ (標準値) を –2.6V から –2.57V に、(最大値) を –2.5V から –2.53V に変更 13
- アナログ セトリング タイムの 100µs の上限仕様を追加 (t_{AS}) 14
- *絶縁特性曲線* セクションの *温度ディレーティング曲線* を変更 15

Changes from Revision * (October 2024) to Revision A (May 2025) **Page**

- AMC0311D-Q1 デバイスのステータスを *製品プレビュー* から *量産データ* へ変更 1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AMC0211DQDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	0211DQ
AMC0311DQDWVRQ1	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	C0311D-Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF AMC0211D-Q1, AMC0311D-Q1 :

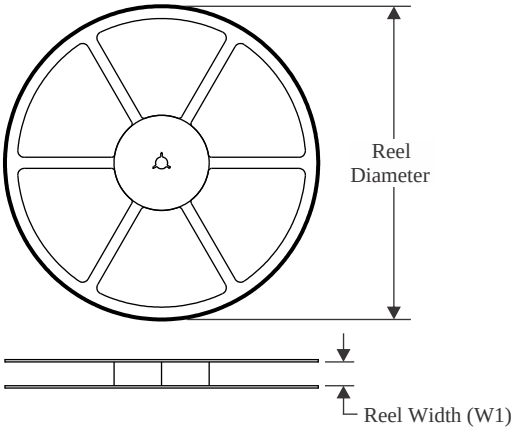
- Catalog : AMC0211D, AMC0311D

NOTE: Qualified Version Definitions:

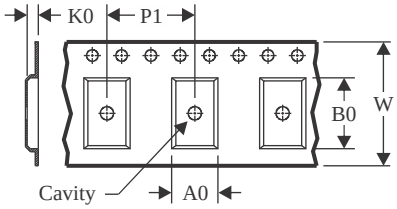
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

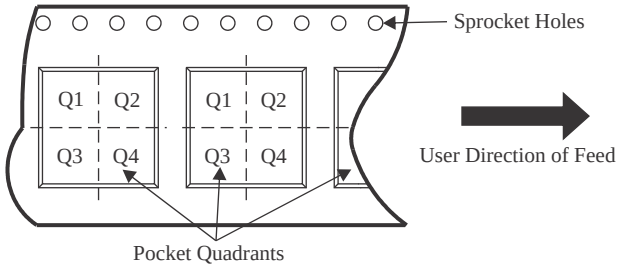


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

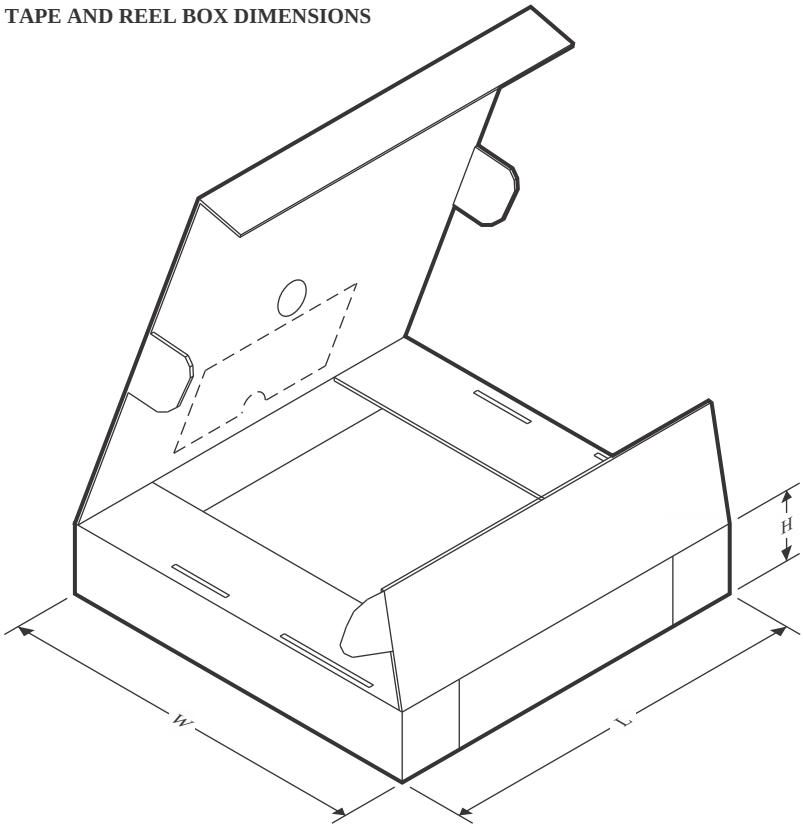
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

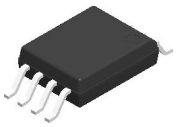
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AMC0211DQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
AMC0311DQDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.15	6.2	3.05	16.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

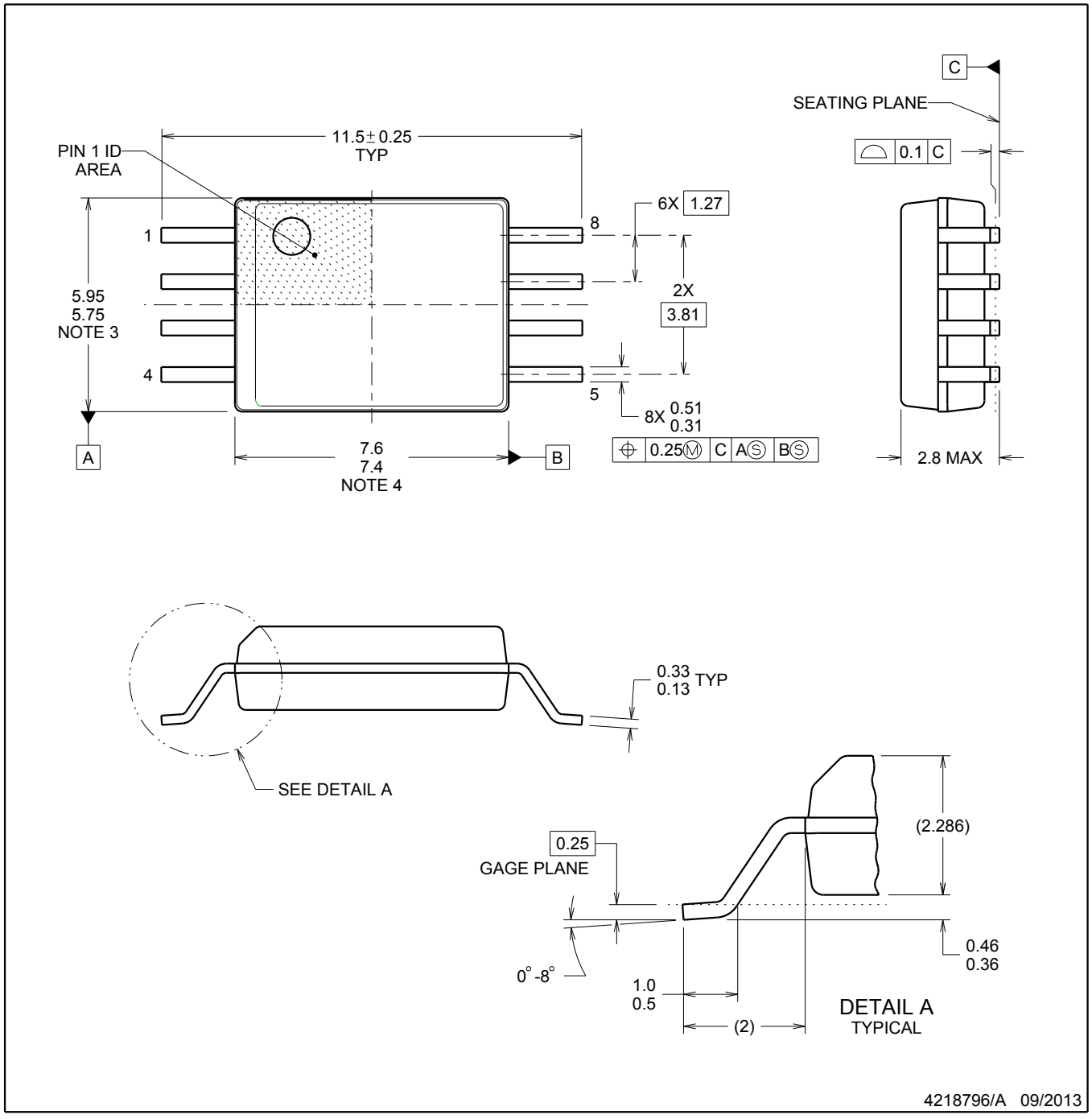
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AMC0211DQDRQ1	SOIC	D	8	3000	353.0	353.0	32.0
AMC0311DQDWVRQ1	SOIC	DWV	8	1000	356.0	356.0	35.0



DWV0008A

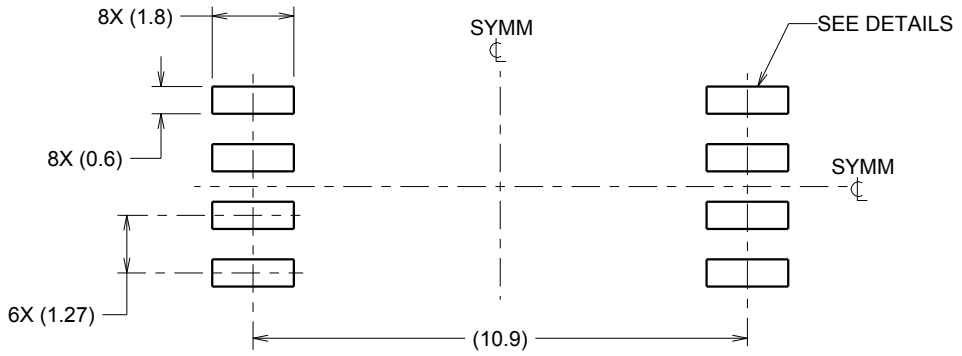
SOIC - 2.8 mm max height

SOIC

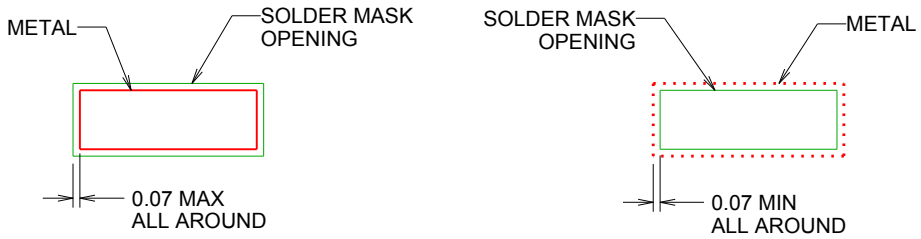


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
9.1 mm NOMINAL CLEARANCE/CREEPAGE
SCALE:6X



SOLDER MASK DETAILS

4218796/A 09/2013

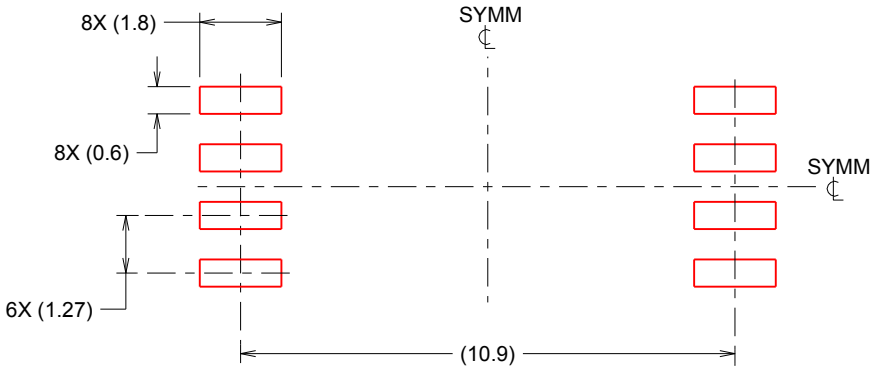
NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

DWV0008A

SOIC - 2.8 mm max height

SOIC

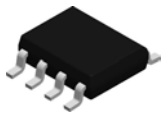


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4218796/A 09/2013

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

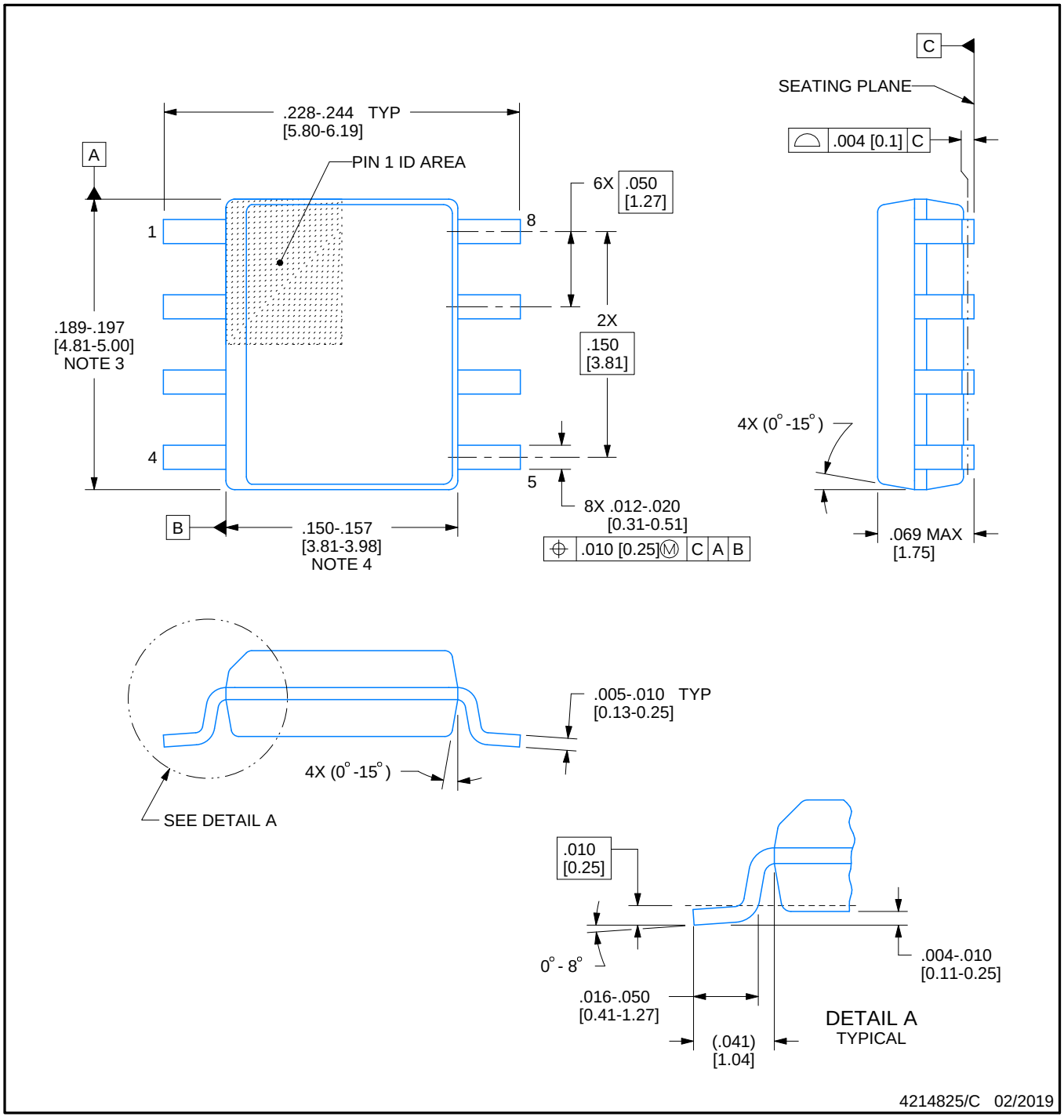


PACKAGE OUTLINE

D0008A

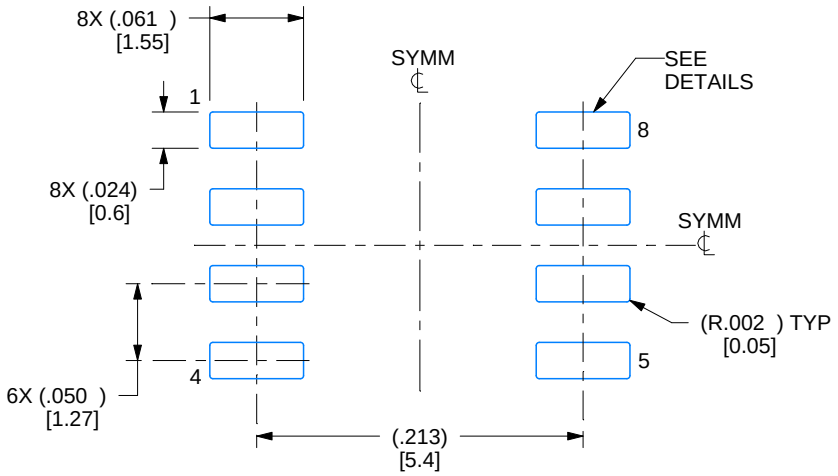
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

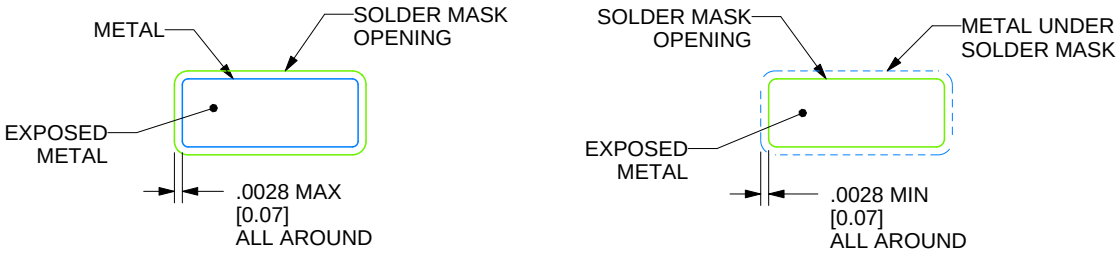


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

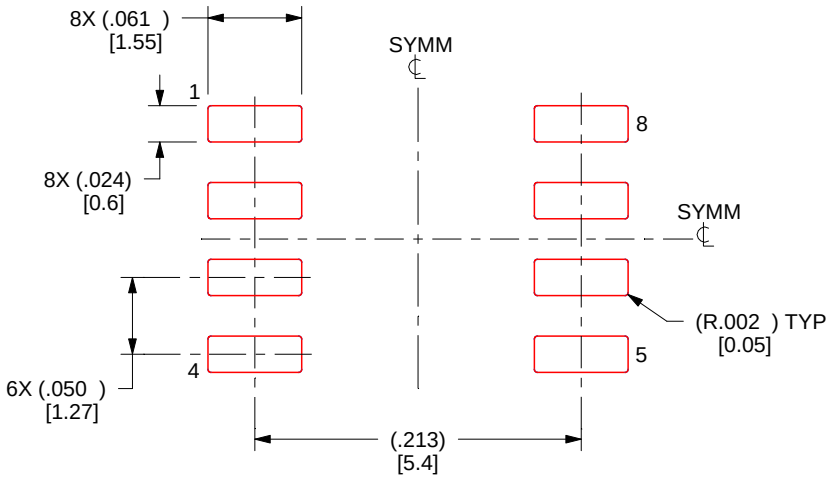
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月