# AMC23C10-Q1
# 車載用、デュアル出力、高速応答、強化絶縁型コンパレータ

## 1 特長

- 広いハイサイド電源電圧範囲:3V～27V
- ローサイド電源電圧範囲:2.7V～5.5V
- トリップ スレッショルドの誤差:±6mV (最大値)
- オープン ドレインおよびプッシュプル出力
- 伝搬遅延:230 ns (標準値)
- 「高 CMTI:
  - オープンドレイン出力:75V/ns (最小値)
  - プッシュプル出力:100V/ns (最小値)
- 安全関連認証:
  - DIN EN IEC 60747-17 (VDE 0884-17) に準拠した強化絶縁耐圧:7000$V_{PK}$
  - UL 1577 に準拠した絶縁耐圧:5000$V_{RMS}$ (1 分間)
- 拡張産業温度範囲の全体にわたって完全に仕様を規定:-40℃ ～ +125℃

## 2 アプリケーション

- 次のゼロクロス検出および汎用監視:
  - ソリッド ステート リレー (SSR)
  - ハイブリッド、電動、パワートレイン システム
  - バッテリ管理システム
  - オンボード チャージャ

## 3 概要

AMC23C10-Q1 は、応答時間が短い高精度絶縁型コンパレータです。このデバイスは、低電圧回路から電気的に絶縁された高電圧信号をゼロ交差検出するために特に設計されています。そのオープン ドレインおよびプッシュプル出力は、磁気干渉に対して優れた耐性を示す絶縁バリアによって入力回路から分離されています。この絶縁膜は、VDE V 0884-17 および UL1577 に準拠し、5k$V_{RMS}$ までの強化ガルバニック絶縁体に認定されています。また、この絶縁膜は最大 1k$V_{RMS}$ の動作電圧にも対応しています。

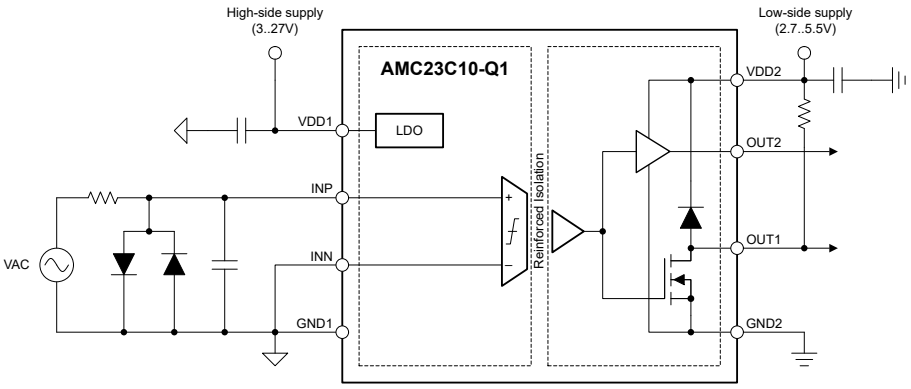
このデバイスはオープン ドレインおよびプッシュプル出力を備え、伝搬遅延は 320ns 未満です。内蔵の低ドロップアウト (LDO) レギュレータは、高電圧側で 3V ～ 27V の動作電圧範囲に対応します。このため、コンパレータに対してさまざまな電源から電力を供給できます。ローサイドの動作電圧範囲は 2.7V～5.5V です。

AMC23C10-Q1 は 8 ピンのワイド ボディ SOIC パッケージで供給され、-40℃～+125℃の拡張産業用温度範囲で動作が規定されています。

**パッケージ情報**

| 部品番号 | パッケージ (1) | パッケージ サイズ(2) |
|---|---|---|
| AMC23C10-Q1 | DWV (SOIC、8) | 5.85mm × 11.5mm |

(1) 詳細については、*メカニカル、パッケージ、および注文情報*をご覧ください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。




**代表的なアプリケーション**

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

# 目次

**1 特長**.....1
**2 アプリケーション**.....1
**3 概要**.....1
**4 ピン構成および機能**.....3
**5 仕様**.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....5
5.4 熱に関する情報.....5
5.5 電力定格.....5
5.6 絶縁仕様 (強化絶縁).....6
5.7 安全性関連認証.....7
5.8 安全限界値.....7
5.9 電気的特性.....8
5.10 スイッチング特性.....10
5.11 タイミング図.....10
5.12 絶縁特性曲線.....11
5.13 代表的特性.....12
**6 詳細説明**.....15
6.1 概要.....15
6.2 機能ブロック図.....15
6.3 機能説明.....16
6.4 デバイスの機能モード.....21
**7 アプリケーションと実装**.....21
7.1 アプリケーション情報.....21
7.2 代表的なアプリケーション.....21
7.3 設計のベスト プラクティス.....23
7.4 電源に関する推奨事項.....24
7.5 レイアウト.....24
**8 デバイスおよびドキュメントのサポート**.....26
8.1 ドキュメントのサポート.....26
8.2 ドキュメントの更新通知を受け取る方法.....26
8.3 サポート・リソース.....26
8.4 商標.....26
8.5 静電気放電に関する注意事項.....26
8.6 用語集.....26
**9 改訂履歴**.....26
**10 メカニカル、パッケージ、および注文情報**.....26


Copyright © 2025 Texas Instruments Incorporated

# 4 ピン構成および機能

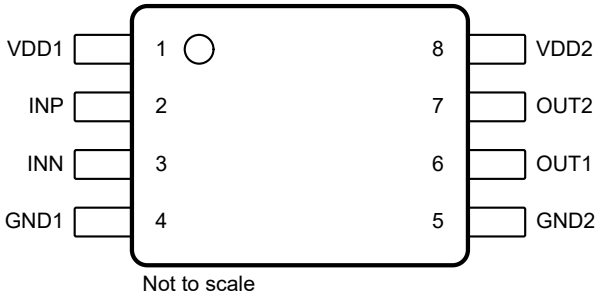



**図 4-1. DWV パッケージ、 8 ピン SOIC (上面図)**

**表 4-1. ピン機能**

| ピン | | 種類 | 説明 |
|---|---|---|---|
| 番号 | 名称 | | |
| 1 | VDD1 | ハイサイド電源 | ハイサイド電源。(1) |
| 2 | INP | アナログ入力 | コンパレータへの非反転入力。このピンはコンパレータへの信号入力として使用します。 |
| 3 | INN | アナログ入力 | コンパレータへの反転入力。このピンは、コンパレータへのリファレンスまたはクワイエット入力として使用します。 |
| 4 | GND1 | ハイサイド・グランド | ハイサイド・グランド。 |
| 5 | GND2 | ローサイド・グランド | ローサイド・グランド。 |
| 6 | OUT1 | デジタル出力 | コンパレータのオープン・ドレイン出力。このピンは外部プルアップ抵抗に接続するか、未使用時は未接続 (フローティング) のままにします。 |
| 7 | OUT2 | デジタル出力 | コンパレータのプッシュプル出力。未使用時は未接続 (フローティング) のままにします。 |
| 8 | VDD2 | ローサイド電源 | ローサイド電源。(1) |

(1) 電源のデカップリングに関する推奨事項については、「レイアウト」セクションを参照してください。

# 5 仕様

## 5.1 絶対最大定格

(1) を参照

| | | 最小値 | 最大値 | 単位 |
|---|---|---|---|---|
| 電源電圧 | VDD1～GND1 | -0.3 | 30 | V |
| | VDD2～GND2 | -0.3 | 6.5 | |
| アナログ入力電圧 | INP から GND1 へ | -6 | 5.5 | V |
| | INN から GND1 へ | -0.5 | 6.5 | |
| デジタル出力電圧 | OUT1、OUT2 (GND2 基準) | -0.5 | VDD2 + 0.5 | V |
| 入力電流 | 連続、電源ピンを除く任意のピン | -10 | 10 | mA |
| 温度 | 接合部、$T_J$ | | 150 | ℃ |
| | 保存、$T_{stg}$ | -65 | 150 | |

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、この条件、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗黙的に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

## 5.2 ESD 定格

| | | | 値 | 単位 |
|---|---|---|---|---|
| $V_{(ESD)}$ | 静電放電 | 人体モデル (HBM)、AEC Q100-002(1)、HBM ESD 分類レベル 2 準拠 | ±2000 | V |
| | | デバイス帯電モデル (CDM)、AEC Q100-011、CDM ESD 分類レベル C6 準拠 | ±1000 | |

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。


Copyright © 2025 Texas Instruments Incorporated

## 5.3 推奨動作条件

動作時周辺温度範囲内 (特に記述のない限り)

| | | | 最小値 | 公称値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| **電源** | | | | | | |
| $V_{VDD1}$ | ハイサイド電源電圧 | VDD1～GND1 | 3.0 | 5 | 25 | V |
| $V_{VDD2}$ | ローサイド電源電圧 | VDD2～GND2 | 2.7 | 3.3 | 5.5 | V |
| **アナログ入力** | | | | | | |
| $V_{INP}$ | 入力電圧 | INP (GND1 基準)、VDD1 ≦ 4.3V | -1 | | VDD1 - 0.3 | V |
| | | INP (GND1 基準)、VDD1 > 4.3V | -1 | | 4 | |
| $V_{INN}$ | 入力電圧 | INN (GND1 基準)、VDD1 ≦ 4.3V | 0 | | VDD1 - 0.3 | V |
| | | INP (GND1 基準)、VDD1 > 4.3V | 0 | | 4 | |
| **デジタル出力** | | | | | | |
| | デジタル出力電圧 | OUT1、OUT2 (GND2 基準) | GND2 | | VDD2 | V |
| | シンク電流 | OUT1 | 0 | | 4 | mA |
| | ソースまたはシンク電流 | OUT2 | -10 | | 4 | mA |
| **温度範囲** | | | | | | |
| $T_A$ | 規定周囲温度 | | -40 | 25 | 125 | ℃ |

## 5.4 熱に関する情報

| 熱評価基準(1) | | DWV (SOIC) | 単位 |
|---|---|---|---|
| | | 8 ピン | |
| $R_{\theta JA}$ | 接合部から周囲への熱抵抗 | 102.8 | ℃/W |
| $R_{\theta JC(top)}$ | 接合部からケース (上面) への熱抵抗 | 45.1 | ℃/W |
| $R_{\theta JB}$ | 接合部から基板への熱抵抗 | 63.0 | ℃/W |
| $\Psi_{JT}$ | 接合部から上面への特性パラメータ | 14.3 | ℃/W |
| $\Psi_{JB}$ | 接合部から基板への特性パラメータ | 61.1 | ℃/W |
| $R_{\theta JC(bot)}$ | 接合部からケース (底面) への熱抵抗 | 該当なし | ℃/W |

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

## 5.5 電力定格

| パラメータ | | テスト条件 | 値 | 単位 |
|---|---|---|---|---|
| $P_D$ | 最大消費電力 (両サイド) | VDD1 = 25V、VDD2 = 5.5V | 95 | mW |
| | | VDD1 = VDD2 = 5.5V | 30 | |
| | | VDD1 = VDD2 = 3.6V | 20 | |
| $P_{D1}$ | 最大消費電力 (ハイサイド) | VDD1 = 25 V | 83 | mW |
| | | VDD1 = 5.5 V | 18 | |
| | | VDD1 = 3.6 V | 12 | |
| $P_{D2}$ | 最大消費電力 (ローサイド) | VDD2 = 5.5 V | 12 | mW |
| | | VDD2 = 3.6 V | 8 | |

Copyright © 2025 Texas Instruments Incorporated

## 5.6 絶縁仕様 (強化絶縁)

動作時周辺温度範囲内 (特に記述のない限り)

| パラメータ | | テスト条件 | 値 | 単位 |
|---|---|---|---|---|
| **一般** | | | | |
| CLR | 外部空間距離(1) | 空気中での最短のピン間距離 | ≥ 8.5 | mm |
| CPG | 外部沿面距離(1) | パッケージ表面に沿った最短のピン間距離 | ≥ 8.5 | mm |
| DTI | 絶縁間の距離 | 二重絶縁の最小内部ギャップ (内部距離) | ≥ 15.4 | µm |
| CTI | 比較トラッキング インデックス | DIN EN 60112 (VDE 0303-11)、IEC 60112 | ≥ 600 | V |
| | 材料グループ | IEC 60664-1 に準拠 | I | |
| | IEC 60664-1 に準拠した過電圧カテゴリ | 定格商用電源 $V_{RMS}$ が 600V 以下 | I-III | |
| | | 定格商用電源 $V_{RMS}$ が 1000V 以下 | I-II | |
| **DIN EN IEC 60747-17 (VDE 0884-17)** (2) | | | | |
| $V_{IORM}$ | 最大反復ピーク絶縁電圧 | AC 電圧で | 1410 | $V_{PK}$ |
| $V_{IOWM}$ | 最大定格絶縁動作電圧 | AC 電圧で (正弦波) | 1000 | $V_{RMS}$ |
| | | DC 電圧で | 1410 | $V_{DC}$ |
| $V_{IOTM}$ | 最大過渡絶縁電圧 | $V_{TEST} = V_{IOTM}$、t = 60s (認定試験)、<br>$V_{TEST} = 1.2 \times V_{IOTM}$、t = 1s (100% 出荷時テスト) | 7070 | $V_{PK}$ |
| $V_{IMP}$ | 最大インパルス電圧 (3) | 気中でテスト、IEC 62368-1 に準拠した 1.2/50µs の波形 | 7700 | $V_{PK}$ |
| $V_{IOSM}$ | 最大サージ絶縁電圧(4) | IEC 62368-1 に準拠し油中でテスト (認定試験)、<br>1.2/50µs の波形 | 10000 | $V_{PK}$ |
| $q_{pd}$ | 見掛けの電荷(5) | 手法 a、入力 / 出力安全性テストのサブグループ 2 および 3 の後、<br>$V_{pd(ini)} = V_{IOTM}$、$t_{ini}$ = 60s、$V_{pd(m)} = 1.2 \times V_{IORM}$、$t_m$ = 10s | ≤ 5 | pC |
| | | 手法 a、環境テストのサブグループ 1 の後、<br>$V_{pd(ini)} = V_{IOTM}$、$t_{ini}$ = 60s、$V_{pd(m)} = 1.6 \times V_{IORM}$、$t_m$ = 10s | ≤ 5 | |
| | | 手法 b1、事前条件設定 (タイプ テスト) およびルーチン テスト、<br>$V_{pd(ini)} = 1.2 \times V_{IOTM}$、$t_{ini}$ = 1s、$V_{pd(m)} = 1.875 \times V_{IORM}$、$t_m$ = 1s | ≤ 5 | |
| | | 手法 b2、ルーチン テスト (100% 出荷時)(7)<br>$V_{pd(ini)} = V_{pd(m)} = 1.2 \times V_{IOTM}$、$t_{ini} = t_m$ = 1s | ≤ 5 | |
| $C_{IO}$ | バリア容量、入力から出力へ(6) | $V_{IO}$ = 0.5$V_{PP}$ (1MHz 時) | ≅ 1.5 | pF |
| $R_{IO}$ | 絶縁抵抗、入力から出力へ(6) | $V_{IO}$ = 500V ($T_A$ = 25℃時) | > $10^{12}$ | Ω |
| | | $V_{IO}$ = 500V (100℃ ≦ $T_A$ ≦ 125℃時) | > $10^{11}$ | |
| | | $V_{IO}$ = 500V ($T_S$ = 150℃時) | > $10^9$ | |
| | 汚染度 | | 2 | |
| | 耐候性カテゴリ | | 55/125/21 | |
| **UL1577** | | | | |
| $V_{ISO}$ | 絶縁耐圧 | $V_{TEST} = V_{ISO}$、t = 60s (認定試験)、<br>$V_{TEST} = 1.2 \times V_{ISO}$、t = 1s (100% 出荷時テスト) | 5000 | $V_{RMS}$ |

(1) アプリケーションに固有の機器の絶縁規格に従って沿面距離および空間距離の要件を適用します。基板設計では、沿面距離および空間距離を維持し、プリント基板 (PCB) のアイソレータの取り付けパッドによりこの距離が短くならないよう注意が必要です。特定の場合には、PCB 上の沿面距離と空間距離は等しくなります。これらの規格値を増やすため、PCB 上にグルーブやリブを挿入するなどの技法が使用されます。
(2) この絶縁素子は、安全定格内の安全な電気的絶縁のみに適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
(3) テストは、パッケージのサージ耐性を判定するため、空気中で実行されます。
(4) テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。
(5) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
(6) バリアのそれぞれの側にあるすべてのピンは互いに接続され、実質的に 2 ピンのデバイスになります。
(7) 正式運用環境では、手法 b1 または b2 のいずれかが使用されます。


Copyright © 2025 Texas Instruments Incorporated

## 5.7 安全性関連認証

| VDE | UL |
|---|---|
| DIN EN IEC 60747-17 (VDE 0884-17)、<br>EN IEC 60747-17、<br>DIN EN IEC 62368-1 (VDE 0868-1)、<br>EN IEC 62368-1、<br>IEC 62368-1 条項:5.4.3、5.4.4.4、5.4.9 | 1577 component および<br>CSA component acceptance NO 5 programs により承認済み |
| 強化絶縁 | 単一保護 |
| 認証書番号:40040142 | ファイル番号:E181974 |

## 5.8 安全限界値

安全限界値 (1) の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。I/O 回路の故障により、グランドあるいは電源との抵抗が低くなることがあります。電流制限がないと、チップがオーバーヒートして絶縁バリアが破壊されるほどの大電力が消費され、ひいてはシステムの 2 次故障に到る可能性があります。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $I_S$ | 安全入力、出力、または電源電流 | $R_{\theta JA}$ = 102.8℃/W、<br>VDD1 = VDD2 = 5.5V、<br>$T_J$ = 150℃、$T_A$ = 25℃ | | | 220 | mA |
| | | $R_{\theta JA}$ = 102.8℃/W、<br>VDD1 = VDD2 = 3.6V、<br>$T_J$ = 150℃、$T_A$ = 25℃ | | | 340 | |
| $P_S$ | 安全入力、出力、または合計電力 | $R_{\theta JA}$ = 102.8℃/W、<br>$T_J$ = 150℃、$T_A$ = 25℃ | | | 1220 | mW |
| $T_S$ | 最高安全温度 | | | | 150 | ℃ |

(1) 最高安全温度 $T_S$ は、本デバイスに規定された最大接合部温度 $T_J$ と同じ値です。$I_S$ および $P_S$ パラメータはそれぞれ安全電流と安全電力を表します。
$I_S$ と $P_S$ の上限値を超えないようにします。これらの
制限値は周囲温度 $T_A$ によって変化します。
「熱に関する情報」の表にある、接合部から外気への熱抵抗 $R_{\theta JA}$ は、
リード付き表面実装パッケージ用の高誘電率テスト基板に実装されたデバイスのものです。これらの式を使って各パラメータの値を計算します。
$T_J = T_A + R_{\theta JA} \times P$、ここで P は本デバイスで消費される電力です。
$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$、ここで $T_{J(max)}$ は最大接合部温度です。
$P_S = I_S \times AVDD_{max} + I_S \times DVDD_{max}$、ここで $AVDD_{max}$ は最大ハイサイド電圧、$DVDD_{max}$ はコントローラ側の最大電源電圧です。

Copyright © 2025 Texas Instruments Incorporated

## 5.9 電気的特性

最小値と最大値の仕様には $T_A$ = -40℃～125℃、VDD1 = 3.0V～25V、VDD2 = 2.7V～5.5V、INN = GND1、$V_{INP}$ = -1V～4V(3) が適用されます。標準値の仕様は $T_A$ = 25℃、VDD1 = 5V、VDD2 = 3.3V、INN = GND1 でのものです (特に記述のない限り)。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| **アナログ入力** | | | | | | |
| $R_{IN}$ | 入力抵抗 | INP、INN ピン、0 ≦ $V_{IN}$ ≦ 4V | | 1 | | GΩ |
| $I_{BIAS}$ | 入力バイアス電流 | INP ピン、0 ≤ $V_{IN}$ ≤ 4V(2) | | 0.1 | 25 | nA |
| | | INP ピン、–400 mV ≤ $V_{IN}$ ≤ 0 V(3) | -310 | -0.5 | | |
| | | INP ピン、-1V ≦ $V_{IN}$ < -400mV(4) | -80 | -40 | -10 | µA |
| | | INN ピン、0 ≦ $V_{IN}$ ≦ 4V(2) | | 0.5 | 12 | nA |
| $C_{IN}$ | 入力容量 | INP、INN ピン | | 4 | | pF |
| **コンパレータ** | | | | | | |
| $V_{IT+}$ | 正方向のトリップ スレッショルド | | $V_{INN}$ + $V_{HYS}$ / 2 | | | mV |
| $V_{IT–}$ | 負方向のトリップ スレッショルド | | $V_{INN}$ - $V_{HYS}$ / 2 | | | mV |
| | トリップ スレッショルドの誤差 | ($V_{IT+}$ - $V_{INN}$ - $V_{HYS}$ / 2)、$V_{HYS}$ = 25mV、INN = GND1、$V_{INP}$ 立ち上がり | -6 | | 6 | mV |
| | | ($V_{IT-}$ - $V_{INN}$ + $V_{HYS}$ / 2)、$V_{HYS}$ = 25mV、INN = GND1、$V_{INP}$ 立ち下がり | -6 | | 6 | |
| $V_{HYS}$ | トリップ スレッショルドのヒステリシス | ($V_{IT+}$ - $V_{IT-}$) | | 25 | | mV |
| **デジタル出力** | | | | | | |
| $V_{OL}$ | Low レベル出力電圧 | $I_{SINK}$ = 4mA | | 80 | 250 | mV |
| $V_{OH}$ | High レベル出力電圧 | $I_{SOURCE}$ = 4mA (プッシュプル出力のみ) | VDD2 - 175mV | | VDD2 | V |
| $I_{LKG}$ | オープンドレイン出力リーク電流 | VDD2 = 5V、$V_{OUT}$ = 5V | | 5 | 100 | nA |
| CMTI | 同相過渡耐性 | \|$V_{INP}$ - $V_{INN}$\| ≧ 25mV、プッシュプル出力 | 100 | 150 | | V/ns |
| | | \|$V_{INP}$ - $V_{INN}$\| ≧ 25mV、オープンドレイン出力、$R_{PULLUP}$ = 10kΩ | 75 | 150 | | |


Copyright © 2025 Texas Instruments Incorporated

## 5.9 電気的特性 (続き)

最小値と最大値の仕様には $T_A$ = -40℃～125℃、VDD1 = 3.0V～25V、VDD2 = 2.7V～5.5V、INN = GND1、$V_{INP}$ = -1V～4V(3) が適用されます。標準値の仕様は $T_A$ = 25℃、VDD1 = 5V、VDD2 = 3.3V、INN = GND1 でのものです (特に記述のない限り)。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| **電源** | | | | | | |
| $VDD1_{UV}$ | VDD1 低電圧検出スレッショルド | VDD1 の立ち上がり | | | 3 | V |
| | | VDD1 の立ち下がり | | | 2.9 | |
| $VDD1_{POR}$ | VDD1 パワーオン リセット スレッショルド | VDD1 の立ち下がり | | | 2.3 | V |
| $VDD2_{UV}$ | VDD2 低電圧検出スレッショルド | VDD2 の立ち上がり | | | 2.7 | V |
| | | VDD2 の立ち下がり | | | 2.1 | |
| $I_{DD1}$ | ハイサイド電源電流 | | | 2.6 | 3.6 | mA |
| $I_{DD2}$ | ローサイド電源電流 | | | 1.8 | 2.2 | mA |

(1) しかし、「推奨動作条件」の表に規定された最大入力電圧を超えないようにします。
(2) 標準値は、$V_{IN}$ = 0.4V で測定されます。
(3) 標準値は、$V_{IN}$ = -400mV で測定されます。
(4) 標準値は、$V_{IN}$ = 1V で測定されます。

Copyright © 2025 Texas Instruments Incorporated

## 5.10 スイッチング特性

動作時周辺温度範囲内 (特に記述のない限り)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| **プッシュプル出力** | | | | | | |
| $t_{pH}$ | 伝搬遅延時間、$\|V_{INP}\|$ 立ち上がり | VDD2 = 3.3V、INN = GND1、$V_{OVERDRIVE}$ = 50mV、$C_L$ = 15pF | | 230 | 320 | ns |
| $t_{pL}$ | 伝搬遅延時間、$\|V_{INP}\|$ 立ち下がり | VDD2 = 3.3V、INN = GND1、$V_{OVERDRIVE}$ = 50mV、$C_L$ = 15pF | | 230 | 320 | ns |
| $t_r$ | 出力信号の立ち上がり時間 | VDD2 = 3.3V、$C_L$ = 15pF | | 2 | | ns |
| $t_f$ | 出力信号の立ち下がり時間 | VDD2 = 3.3V、$C_L$ = 15pF | | 2 | | ns |
| **オープンドレイン出力** | | | | | | |
| $t_{pH}$ | 伝搬遅延時間、$\|V_{INP}\|$ 立ち上がり | VDD2 = 3.3V、INN = GND1、$V_{OVERDRIVE}$ = 50mV、$C_L$ = 15pF | | 230 | 320 | ns |
| $t_{pL}$ | 伝搬遅延時間、$\|V_{INP}\|$ 立ち下がり | VDD2 = 3.3V、INN = GND1、$V_{OVERDRIVE}$ = 50mV、$C_L$ = 15pF | | 230 | 320 | ns |
| $t_f$ | 出力信号の立ち下がり時間 | $R_{PULLUP}$ = 4.7kΩ、$C_L$ = 15pF | | 2 | | ns |
| **起動タイミング** | | | | | | |
| $t_{LS_STA}$ | ローサイド起動時間 | 2.7V への VDD2 のステップ、VDD1 ≧ 3.0V | | 40 | | µs |
| $t_{HS_STA}$ | ハイサイド起動時間 | 3.0V への VDD1 のステップ、VDD2 ≧ 2.7V | | 45 | | µs |
| $t_{HS_BLK}$ | ハイサイドのブランキング時間 | | | 200 | | µs |
| $t_{HS_FLT}$ | ハイサイド フォルト検出遅延時間 | | | 100 | | µs |

## 5.11 タイミング図

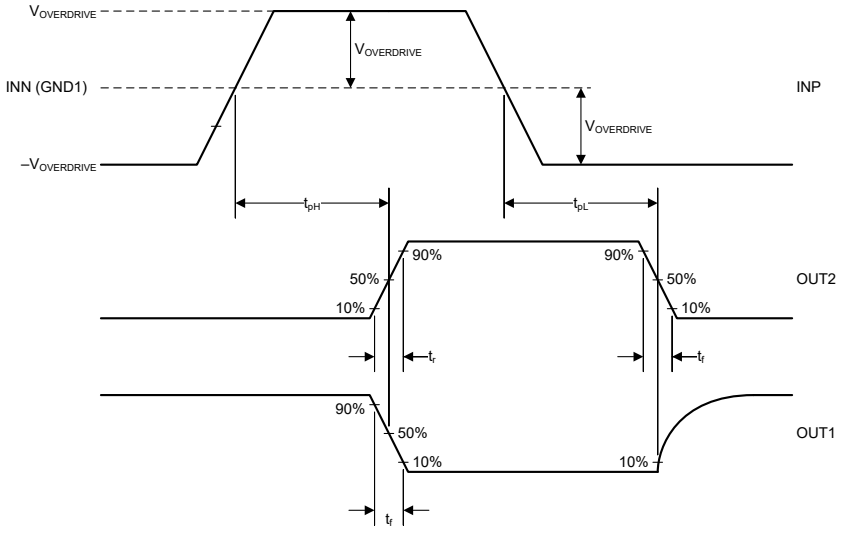



**図 5-1. 立ち上がり、立ち下がり、遅延時間の定義**

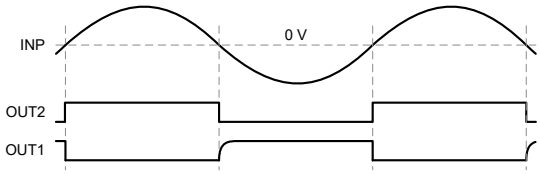



**図 5-2. 動作時のタイミング図**


Copyright © 2025 Texas Instruments Incorporated

## 5.12 絶縁特性曲線

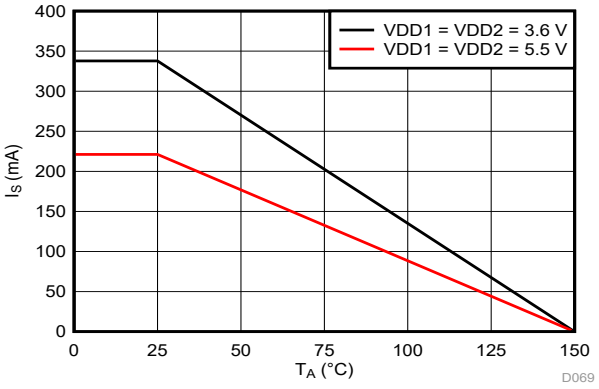



**図 5-3. VDE に従う安全性制限電流の熱特性低下曲線**

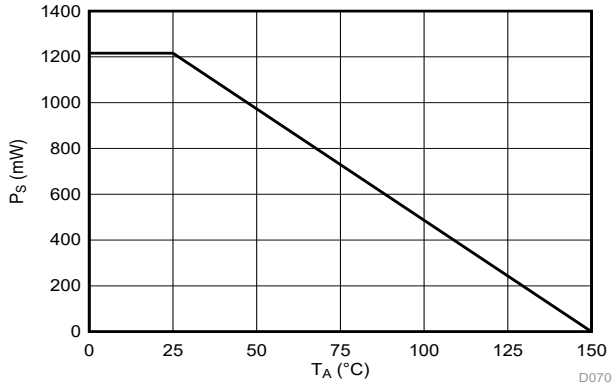
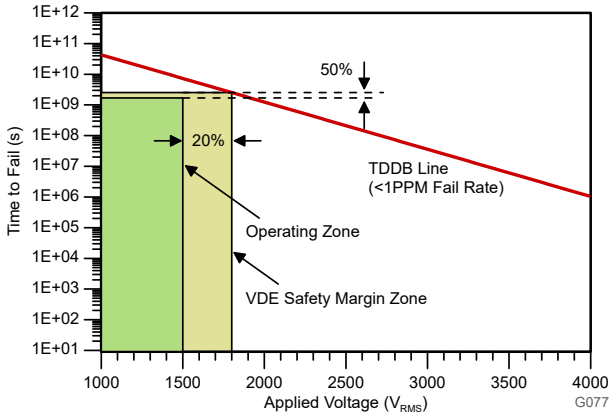



**図 5-4. VDE に従う安全性制限電力の熱特性低下曲線**




150℃までの $T_A$、ストレス電圧周波数 = 60Hz、絶縁動作電圧 = 1000$V_{RMS}$、動作寿命 = 400 年

**図 5-5. 強化絶縁コンデンサの寿命推定**

## 5.13 代表的特性

VDD1 = 5V、VDD2 = 3.3V のとき (特に記述のない限り)

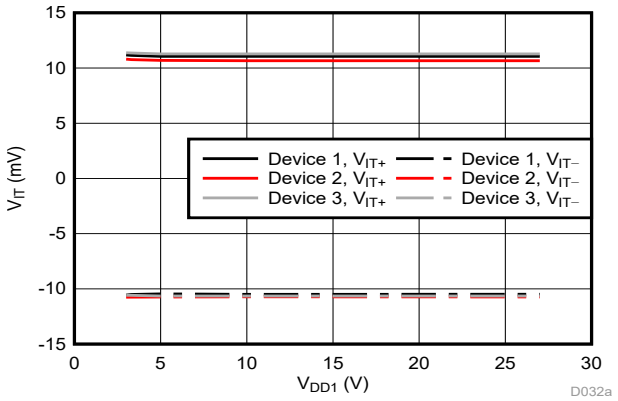



図 5-6. トリップ スレッショルドと電源電圧との関係

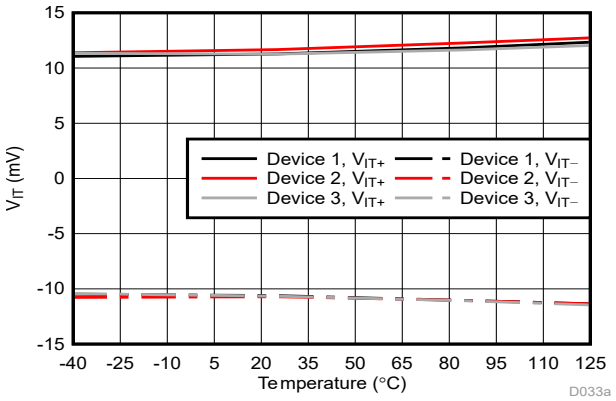



図 5-7. トリップ スレッショルドと温度との関係

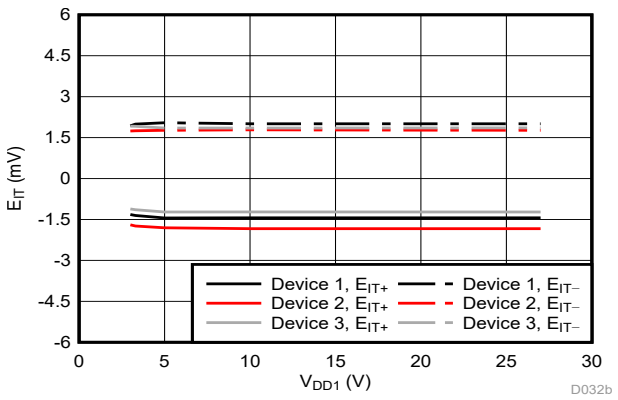



図 5-8. トリップ スレッショルド誤差と電源電圧との関係

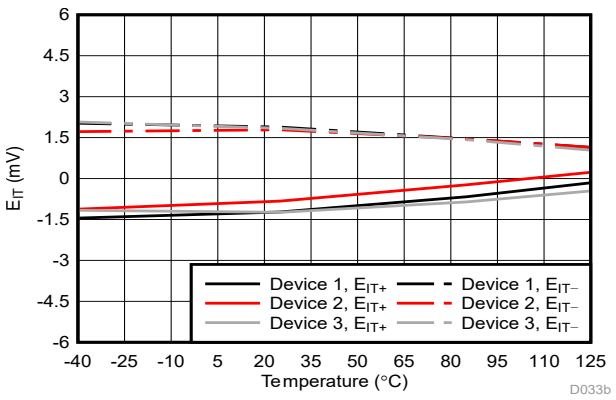



図 5-9. トリップ スレッショルド誤差と温度との関係

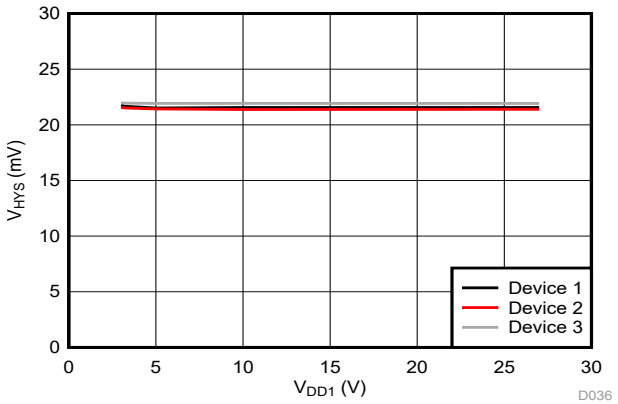



図 5-10. トリップ スレッショルドのヒステリシスと電源電圧との関係

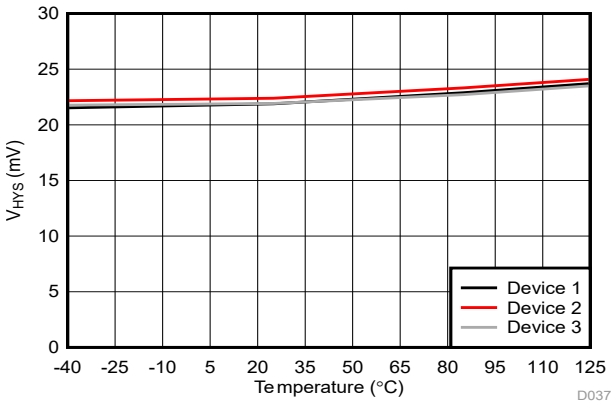



図 5-11. トリップ スレッショルドのヒステリシスと温度との関係


Copyright © 2025 Texas Instruments Incorporated

## 5.13 代表的特性 (続き)

VDD1 = 5V、VDD2 = 3.3V のとき (特に記述のない限り)

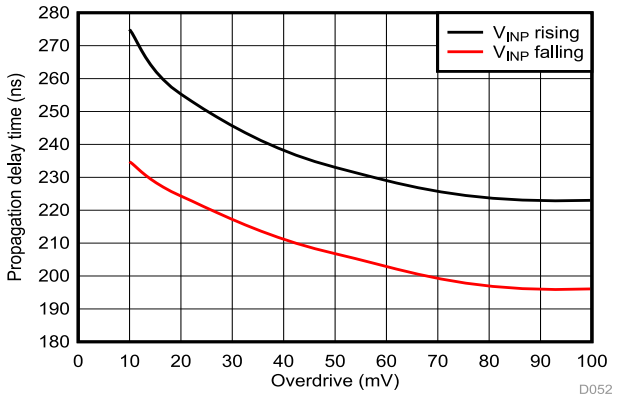
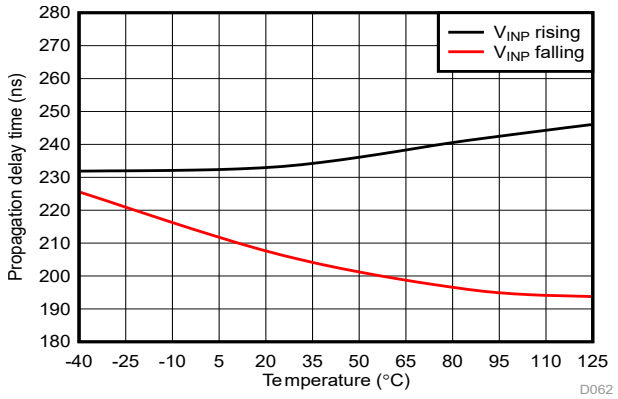



図 5-12. 伝搬遅延とオーバードライブとの関係




VOVERDRIVE = 50mV

図 5-13. 伝搬遅延と温度との関係

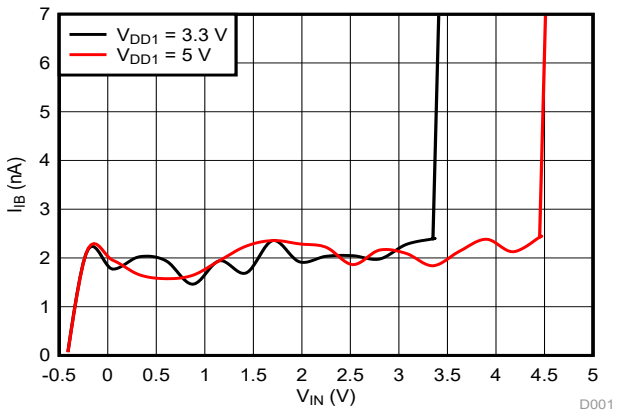
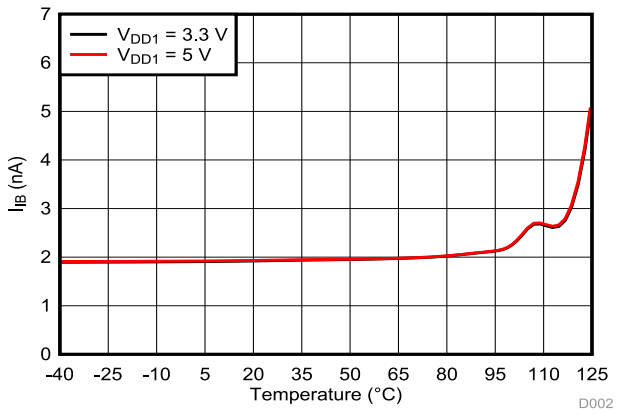



図 5-14. INP の入力バイアス電流と入力電圧との関係




VINP = 2V

図 5-15. INP の入力バイアス電流と温度との関係

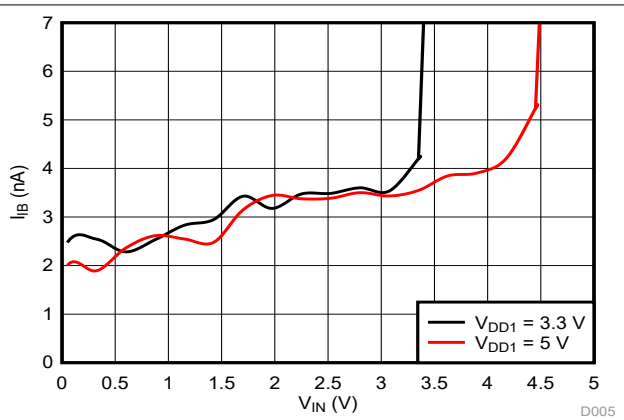
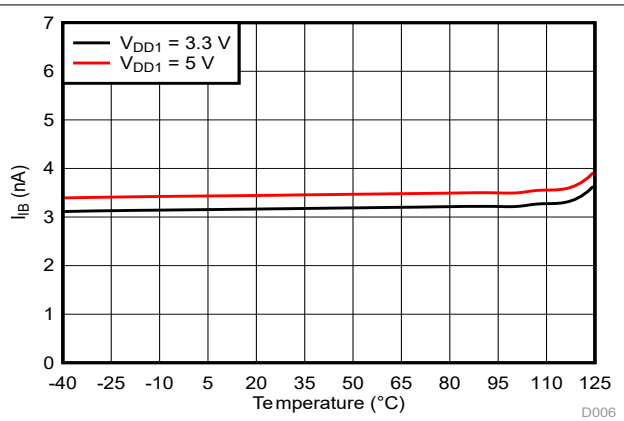



図 5-16. INN の入力バイアス電流と入力電圧との関係




VINN = 2V

図 5-17. INN の入力バイアス電流と温度との関係

Copyright © 2025 Texas Instruments Incorporated

## 5.13 代表的特性 (続き)

VDD1 = 5V、VDD2 = 3.3V のとき (特に記述のない限り)

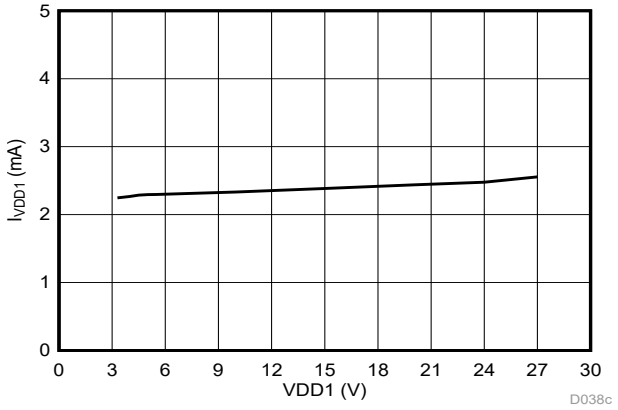



図 5-18. ハイサイド電源電流と電源電圧との関係

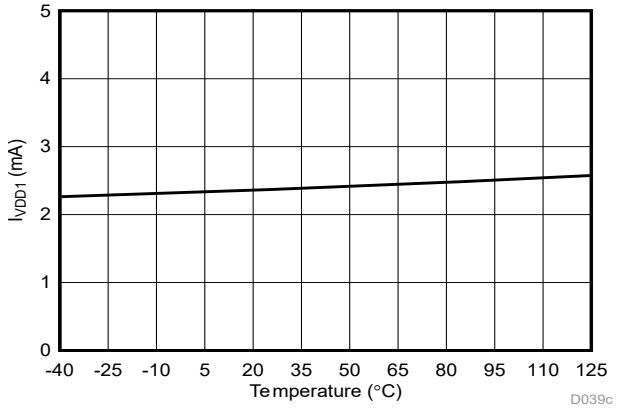



図 5-19. ハイサイド電源電流と温度との関係

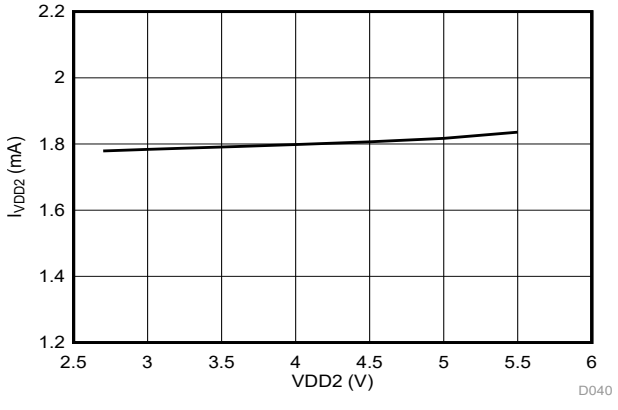



図 5-20. ローサイド電源電流と電源電圧との関係

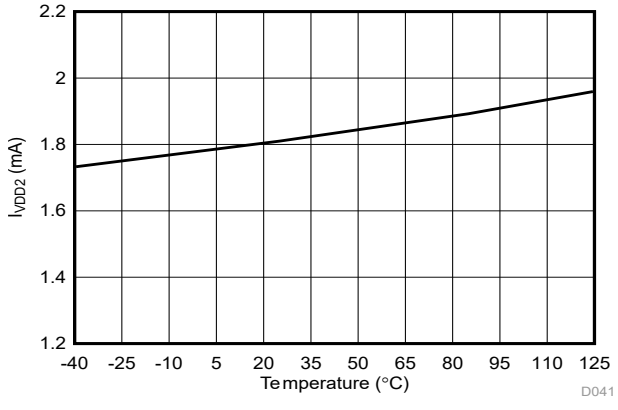



図 5-21. ローサイド電源電流と温度との関係


Copyright © 2025 Texas Instruments Incorporated

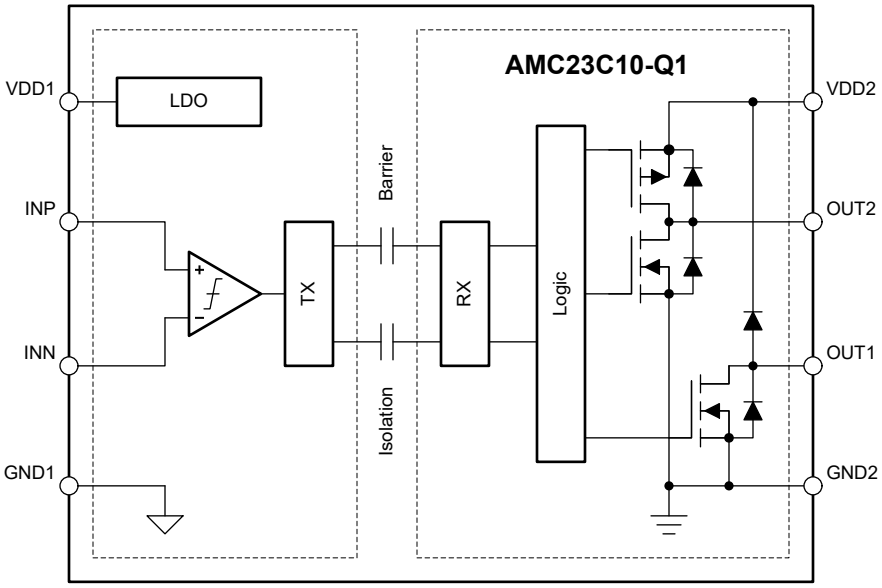
# 6 詳細説明

## 6.1 概要

AMC23C10-Q1 は、オープン ドレインおよびプッシュプル出力の絶縁型コンパレータです。この出力は、低電圧回路から電気的に絶縁された高電圧信号をゼロ交差検出するために特に設計されています。本コンパレータは、通常 0V であるリファレンス電圧 ($V_{INN}$) (INN は GND1 に短絡しています) と入力電圧 ($V_{INP}$) を比較します。オープン ドレイン出力は、$V_{INP}$ が $V_{INN}$ を上回るとアクティブに Low になり、$V_{INP}$ が $V_{INN}$ レベルを下回るとハイ インピーダンス (Hi-Z) に戻ります。プッシュプル出力は、$V_{INP}$ が $V_{INN}$ を上回るとアクティブに High になり、$V_{INP}$ が $V_{INN}$ を下回るとアクティブに Low になります。コンパレータには、$V_{INN}$ を中心とするヒステリシス ($V_{HYS}$) が組み込まれています。

本デバイスの高電圧側と低電圧側の間のガルバニック絶縁は、$SiO_2$ ベースの強化容量性絶縁バリア越しにコンパレータの状態を送信することで実現されます。この絶縁バリアは、『ISO72x デジタル アイソレータの磁界耐性』アプリケーション レポートに記載されているように、高水準の磁界耐性をサポートします。絶縁バリア越しにデータを送信するために AMC23C10-Q1 が採用しているデジタル変調方式により、優れた信頼性と同相モード過渡耐性が得られます。

## 6.2 機能ブロック図



## 6.3 機能説明

### 6.3.1 アナログ入力

$V_{INN}$ にヒステリシス電圧 ($V_{HYS}$) の 1/2 を加えた値として定義される $V_{IT+}$ スレッショルドを入力電圧 ($V_{INP}$) が上回ると、コンパレータはトリップします。$V_{INN}$ からヒステリシス電圧の 1/2 を引いた値と等しい $V_{IT-}$ スレッショルドを $V_{INP}$ が下回ると、コンパレータはリリースされます。

ヒステリシスとスイッチング スレッショルドとの関係を表すタイミング図を、図 6-1 に示します。

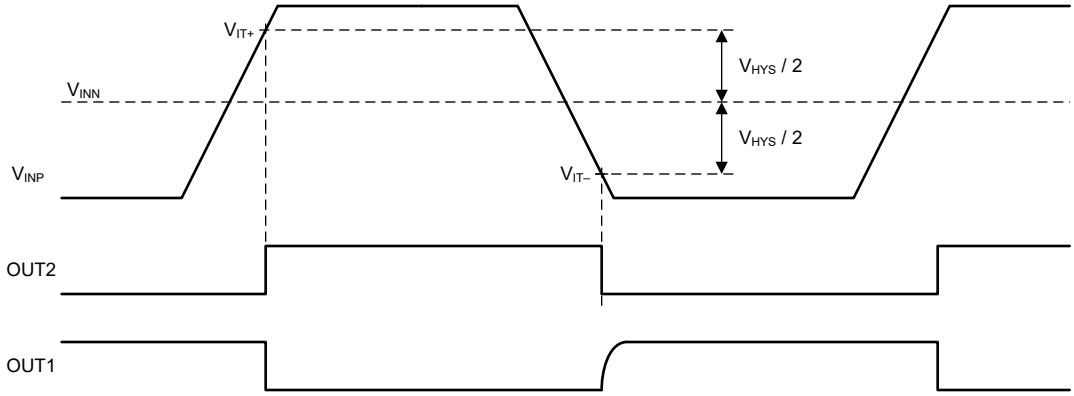



**図 6-1. スイッチング スレッショルドとヒステリシス**


Copyright © 2025 Texas Instruments Incorporated

### 6.3.2 絶縁チャネルの信号伝送

AMC23C10-Q1 は、$SiO_2$ ベースの絶縁バリア越しにコンパレータの出力状態を送信するため、図 6-2 に示すオン / オフ キーイング (OOK) 変調方式を採用しています。「機能ブロック図」に示す送信ドライバ (TX) は、デジタル 1 を表すために内部で生成された高周波キャリアを絶縁バリア越しに送信します。デジタル 0 を表す信号は送りません。

絶縁バリアの反対側のレシーバ (RX) は信号を回復および復調し、オープン ドレイン出力バッファを駆動するロジックにデータを提供します。AMC23C10-Q1 の送信チャネルは、同相過渡耐性 (CMTI) を最大限に高め、高周波キャリアと RX/TX バッファのスイッチングに起因する放射妨害波を最小限に抑えるように最適化されています。

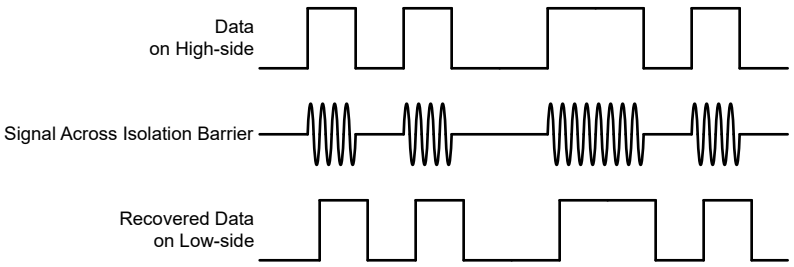



**図 6-2. OOK ベースの変調方式**

### 6.3.3 デジタル出力

AMC23C10-Q1 はオープン ドレイン出力とプッシュプル出力を備えています。オープン ドレイン出力は、$V_{INP}$ が $V_{INN}$ を上回るとアクティブに Low になり、$V_{INP}$ が $V_{INN}$ レベルを下回るとハイ インピーダンス (Hi-Z) に戻ります。プッシュプル出力は、$V_{INP}$ が $V_{INN}$ を上回るとアクティブに High になり、$V_{INP}$ が $V_{INN}$ を下回るとアクティブに Low になります。コンパレータには、$V_{INN}$ を中心とするヒステリシス ($V_{HYS}$) が組み込まれています (図 6-1 を参照)。

オープン ドレイン出力は、VDD2 電源に対してダイオード接続されています (*機能ブロック図*を参照)。つまり、OUT1 ピンに大電流が流れ始める前に、出力を VDD2 電源より 500mV を超えて引き込むことはできません。特に VDD2 が GND2 レベルである場合、オープン ドレイン出力は、グランドより 1 ダイオード分高い電圧にクランプされます。この動作を、図 6-3 から図 6-8 までの、灰色の網掛けで示します。

システム レベルでは、オープン ドレイン信号ラインの CMTI 性能はプルアップ抵抗の値によって異なります。高スルーレート (高 dV/dt) の同相モード過渡イベント中、オープン ドレイン信号ラインが Low になる可能性があります。この状況は、プリント基板 (PCB) のハイサイドとローサイドとの間の寄生容量結合が理由で発生します。寄生結合が信号レベルに及ぼす影響は、プルアップ強度の関数で表されます。プルアップ抵抗の値が小さいほど、CMTI の性能は向上します。AMC23C10-Q1 は、比較的弱いプルアップ抵抗値 (10kΩ) であることが特徴です。この値により、4.7kΩ 以下のプルアップ抵抗を使用する代表的なアプリケーションで、規定の CMTI 性能を確実に満たすことができます。

Copyright © 2025 Texas Instruments Incorporated

### 6.3.4 パワーアップ動作とパワーダウン動作

ローサイド電源 (VDD2) がオンになると、オープン ドレイン出力はハイ インピーダンス (Hi-Z) 状態で起動します。起動後、ハイサイドがまだ機能していない場合、出力はアクティブに Low になります。図 6-3 に示すように、この状態は、ローサイドの起動時間とハイサイドのフォルト検出遅延時間の和 ($t_{LS,STA}$ + $t_{HS,FLT}$) の後で発生します。同様に、通常動作中にハイサイドのフォルト検出遅延時間より長い間、ハイサイド電源が低電圧スレッショルド ($VDD1_{UV}$) を下回ると、オープンドレイン出力は Low になります (図 6-6 を参照)。この遅延により、ハイサイド電源を喪失してもシステムは確実にシャットダウンできます。

AMC23C10-Q1 のプッシュプル出力 (OUT2) はオープンドレイン出力 (OUT1) と同様に動作しますが、逆極性です。

起動中にコンパレータの出力が意図せず切り替わることを防止するため、コンパレータのハイサイドとローサイドとの間での通信開始は、ハイサイドのブランキング時間 ($t_{HS,BLK}$、高電圧側に実装された時定数) だけ遅延します。

図 6-3 から図 6-8 までに、代表的な起動および停止のシナリオを示します。

図 6-3 では、ローサイド電源 (VDD2) がオンになりますが、ハイサイド電源 (VDD1) はオフのままです。OUT1 は Hi-Z 状態で起動し、OUT2 は Low になります。$t_{HS,FLT}$ 後、OUT1 は Low に、OUT2 は High になり、ハイサイド電源喪失フォルトを示します。

図 6-4 では、ローサイド電源 (VDD2) がオンになった後しばらくして、ハイサイド電源 (VDD1) がオンになります。OUT1 は最初は Low 状態で、OUT2 は High 状態です (ケース (1) を参照)。ハイサイド電源が有効になった後、本デバイスが通常動作となり、出力がコンパレータの現在の状態を反映するまでに、$t_{HS,STA}$ + $t_{HS,BLK}$ の時間が経過します。

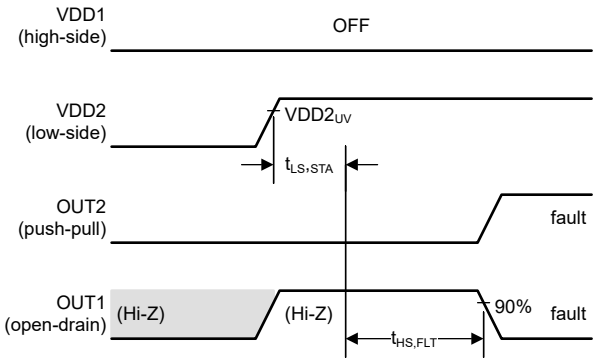



**図 6-3. VDD2 がオンになり、VDD1 はオフのまま**

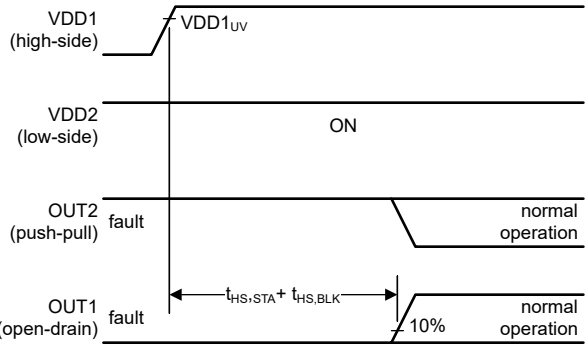



**図 6-4. VDD2 がオンで、VDD1 がオンになる (遅延時間が長い)**

図 6-5 では、ローサイド電源 (VDD2) がオンになった後で、わずかに遅れてハイサイド電源 (VDD1) がオンになります。最初は OUT1 は Hi-Z 状態、OUT2 は Low です。ハイサイド フォルト検出遅延 ($t_{HS,FLT}$) はハイサイドのブランキング時間 ($t_{HS,BLK}$) より短いため、$t_{HS,FLT}$ の後 で OUT1 は Low、OUT2 は High になり、ハイサイドがまだ動作していないことを示します。ハイサイドのブランキング時間 ($t_{HS,BLK}$) が経過した後で、本デバイスは通常動作になり、出力はコンパレータの現在の状態を反映します。

図 6-6 では、ハイサイド電源 (VDD1) がオフになった後で、ローサイド電源 (VDD2) がオフになります。ハイサイド フォルト検出遅延時間 ($t_{HS,FLT}$) の後で、OUT1 は Low、OUT2 は High になります。VDD2 が $VDD2_{UV}$ スレッショルドを下回るとすぐに、OUT1 は Hi-Z 状態になり、OUT2 は Low になります。


Copyright © 2025 Texas Instruments Incorporated

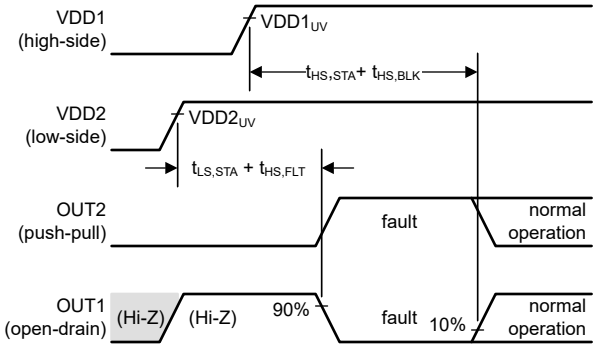



**図 6-5. VDD2 がオンになってから VDD1 がオンになる (遅延時間が短い)**

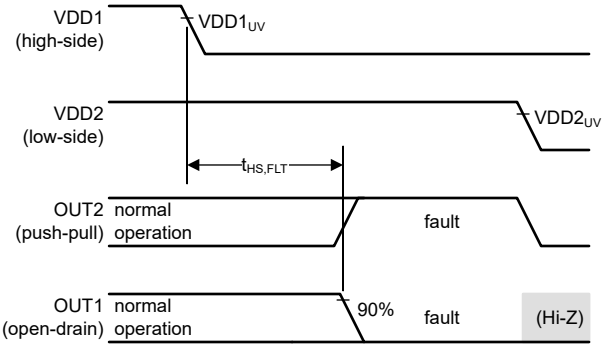



**図 6-6. VDD1 がオフになってから VDD2 がオフになる**

図 6-7 では、ハイサイドが完全に起動した後で、ローサイド電源 (VDD2) がオンになります (VDD1 と VDD2 の間の遅延は ($t_{HS,STA}$ + $t_{HS,BLK}$) より大きい)。OUT1 は Hi-Z 状態で起動し、OUT2 は Low 状態で起動します。ローサイドの起動時間 ($t_{LS,STA}$) の後で、デバイスは通常動作になります。

図 6-8 では、ローサイド電源 (VDD2) がオフになってから、ハイサイド電源 (VDD1) がオフになります。VDD2 が $VDD2_{UV}$ スレッショルドを下回るとすぐに、OUT1 は Hi-Z 状態になり、OUT2 は Low になります。

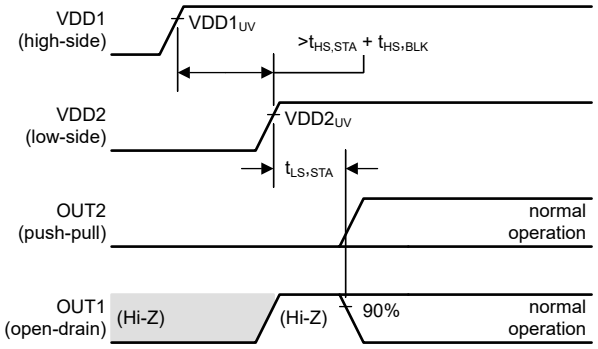



**図 6-7. VDD1 がオンになってから VDD2 がオンになる (遅延時間が長い)**

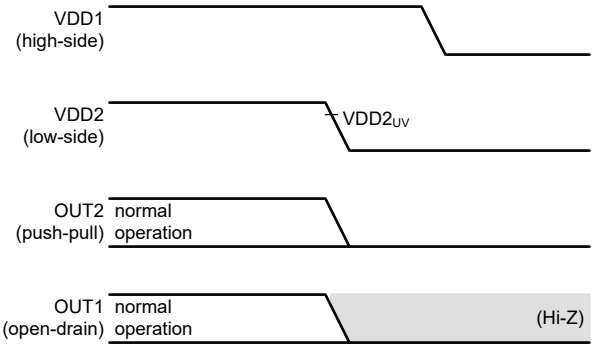



**図 6-8. VDD2 がオフになってから VDD1 がオフになる**

### 6.3.5 VDD1 のブラウンアウトおよび電源喪失時の動作

ブラウンアウトとは、仕様で規定された動作電圧範囲よりも VDD1 電源電圧が低下したが、そのデバイスは機能し続けている状態を指します。電源喪失とは、そのデバイスが機能を停止するレベルを VDD1 電源電圧が下回った状態を指します。その持続時間と電圧レベルに応じて、ブラウンアウト状態はそのデバイスの出力で観測される可能性があります。電源喪失状態は、絶縁型コンパレータの出力で常に通知されます。

図 6-9～図 6-11 に、代表的なブラウンアウトおよび電源喪失シナリオを示します。

図 6-9 では、VDD1 は低電圧検出閾値電圧 ($VDD1_{UV}$) 未満に低下しますが、1 次側フォルト検出遅延時間 ($t_{HS,FLT}$) が経過する前に復帰しています。ブラウンアウト イベントは、コンパレータのには影響しません。

図 6-10 では、1 次側フォルト検出の遅延時間 ($t_{HS,FLT}$) より長い間、VDD1 が低電圧検出閾値電圧 ($VDD1_{UV}$) を下回っています。このブラウンアウト状態はフォルトとして検出され、$t_{HS,FLT}$ に等しい遅延の後、OUT1 は LOW に駆動され、OUT2 は HIGH に駆動されます。$VDD1_{UV}$ 閾値電圧より高い電圧に VDD1 が回復するとすぐに、本デバイスは通常動作に復帰します。

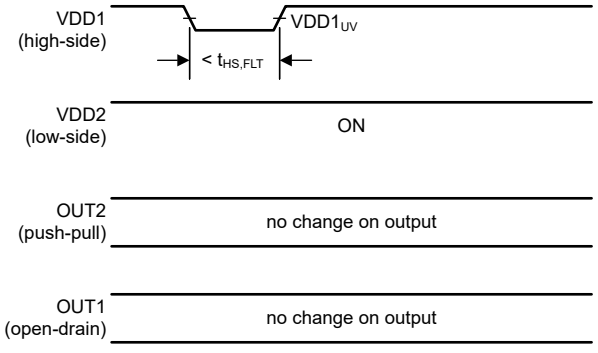



**図 6-9. VDD1 の短いブラウンアウト イベントに対する出力応答**

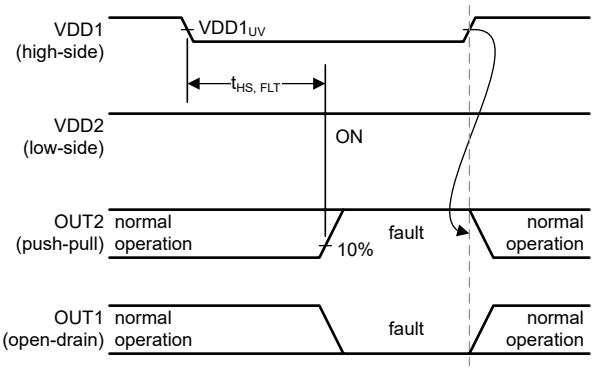



**図 6-10. VDD1 の長いブラウンアウト イベントに対する出力応答**

図 6-11 では、VDD1 がパワーオン リセット (POR) 閾値電圧 ($VDD1_{POR}$) 未満に低下しています。この電源喪失状態はフォルトとして検出され、$t_{HS,FLT}$ に等しい遅延の後、OUT1 は LOW に駆動され、OUT2 は HIGH に駆動されます。$VDD1_{UV}$ 閾値電圧より高い電圧に VDD1 が回復すると、$t_{HS,STA}$ + $t_{HS,BLK}$ に等しい遅延の後、本デバイスは通常動作に復帰します。

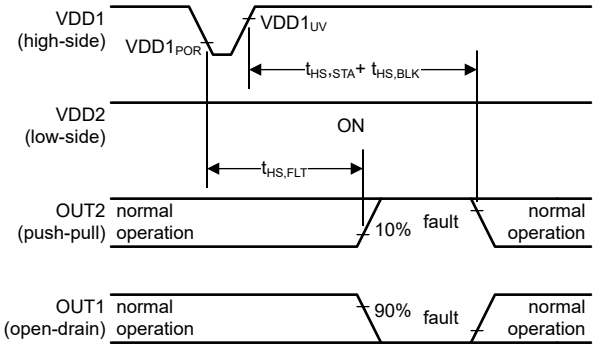



**図 6-11. VDD1 の電源喪失イベントに対する出力応答**


Copyright © 2025 Texas Instruments Incorporated

## 6.4 デバイスの機能モード

AMC23C10-Q1 デバイスは、*推奨動作条件*の表に規定された電源 (VDD1、VDD2) を使うことで機能します。

# 7 アプリケーションと実装

**注**

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

## 7.1 アプリケーション情報

AMC23C10-Q1 は応答時間が短く、同相過渡耐性 (CMTI) が高く、強化絶縁バリアが組み込まれており、過酷でノイズの多い環境の高電圧アプリケーションで、高速かつ高い信頼性で比較機能を実行するように設計されています。

## 7.2 代表的なアプリケーション

### *7.2.1 電圧のゼロクロス検出*

AC 電源スイッチング アプリケーションでは、AC ライン電圧のゼロクロス時にロード スイッチを閉じることで、ターンオン時の突入電流を最小限に抑えます。TPSI3050-Q1 デバイスをベースとするソリッド ステート リレーの実装を、図 7-1 に示します。TPSI3050-Q1 は、10V のゲート電源を内蔵した絶縁スイッチ ドライバです。TPSI3050-Q1 の EN ピンが High に駆動されると、2 つの外部、双方向、N タイプのフィールド エフェクト トランジスタ (NMOS) パワー スイッチがオンになります。これらのパワー スイッチは、EN ピンが Low のときオフになります。このアプリケーションでは、AMC23C10-Q1 は AC ライン電圧のゼロ交差を検出し、EN 信号を TPSI3050-Q1 にゲートします。AMC23C10-Q1 のハイサイドは、TPSI3050-Q1 の内蔵 10V ゲート駆動電源から電力が供給されます。ハイサイドに対して個別の電源は必要ありません。

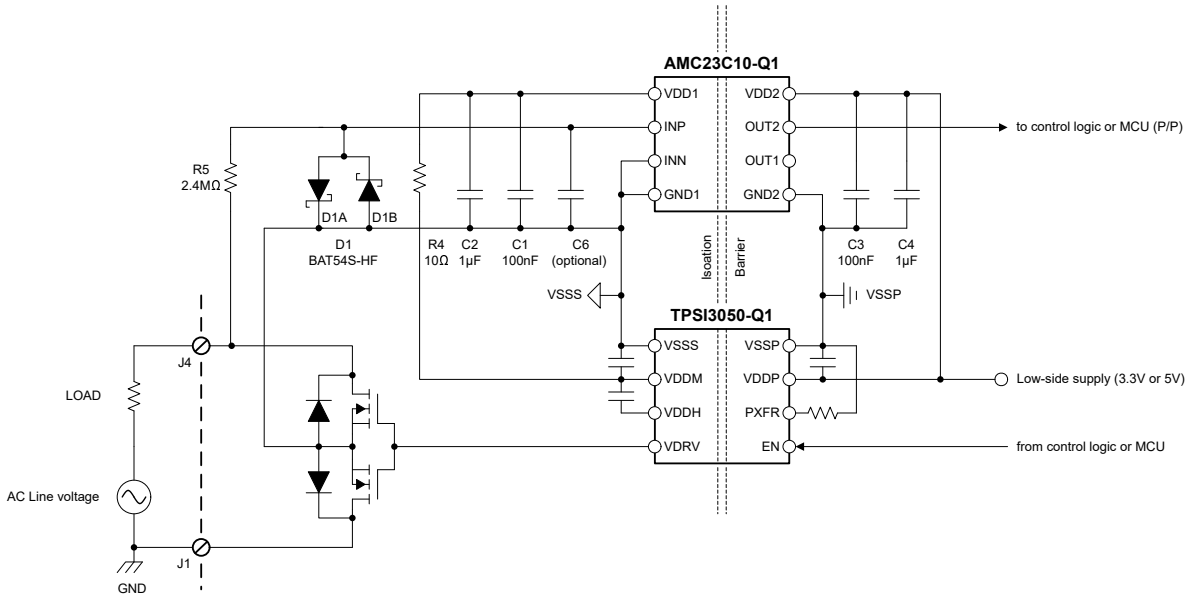



**図 7-1. AMC23C10-Q1 によるソリッド ステート リレー (SSR) での AC 電圧のゼロクロス検出**

AC ライン電圧は R5 および 2 つの小信号のアンチ パラレル ダイオードによってクランプされ、AMC23C10-Q1 の入力電圧を制限します。AC ライン電圧のゼロ交差付近では、いずれのダイオードも導通せず、INP ピンの電圧は AC ライン電圧と等しくなります。図 7-2 に示すように、OUT1 (オープン ドレイン出力) は、立ち上がりのゼロクロス イベント時は High から Low、立ち下がりのゼロクロス イベント時は Low から High に切り替わります。OUT2 (プッシュプル出力) は逆

極性で切り換わります。ディスクリート ロジック ブロック内またはマイコンで OUT2 を使用し、TPSI3050-Q1 の EN 信号をゲートします。

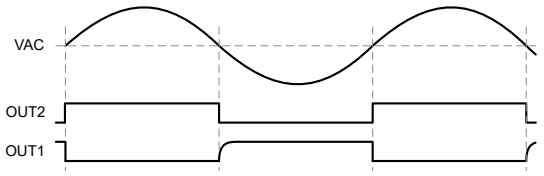



**図 7-2. 電圧ゼロクロスの検出回路で使用される AMC23C10-Q1 の出力**

### 7.2.2 設計要件

表 7-1 に、図 7-1 のアプリケーション例のパラメータ一覧を示します。

**表 7-1. 設計要件**

| パラメータ | 値 |
|---|---|
| AC ライン電圧 | $230V_{RMS}$ ±10%、50Hz |
| ハイサイド電源電圧 | 3V～27V |
| ローサイド電源電圧 | 3.3V または 5V |
| INP での最大入力電圧 | ±1V |
| INP での最小電圧スイング | ±100mV |
| ユニット抵抗あたりの最大動作電圧 (R5) | 75V |
| シャント抵抗 R5 を流れる最大電流 | ±150µA |
| 150µA で D1A、D1B の順方向バイアス電圧 | 200mV～500mV |
| 逆バイアスのダイオード容量 | <3pF |

### 7.2.3 詳細な設計手順

シャント抵抗 R5 の値は、最大ピーク入力電圧と最大許容電流によって決定されます。最大ピーク入力電圧は $230V_{RMS} \times 1.1 \times \sqrt{2} = 360V_{PK}$ で、最大許容電流は 150µA です。したがって、R5 は $360V_{PK}$ / 150µA = 2.4MΩ と計算されます。R5 を 480kΩ の最小 5 個のユニット抵抗に分割することで、抵抗ごとの最大電圧降下を許容される 75V に制限します。E96 シリーズで最も近い値は 487kΩ なので、R5 の合計値は 5 × 487kΩ = 2.43MΩ です。

2 個のダイオード D1A および D1B の順方向バイアス電圧は、温度に応じて順方向電流 150µA で 200mV ～ 500mV です。このため、これらのダイオードは、INP ピンで必要な最小電圧振幅と最大許容入力電圧の両方を満たします。

D1A および D1B の逆バイアス容量は 3pF (最大値) です。D1A、D1B、R5 は、コーナー周波数が 22.1kHz 未満、または遅延時間が約 7.2µs (最大値) の入力フィルタを形成します。ローパス フィルタのコーナー周波数は、値の小さいコンデンサ (C6) を挿入することで低く調整されます。システムで遅延が長くなっても問題なければ、ノイズ耐性を高めるためにフィルタ容量を増やすことが推奨されます。ゼロ交差検出の合計遅延時間は、入力フィルタからの 7.2µs と、コンパレータの伝搬遅延 320ns (最大値) とを加えた値です。ゼロクロス時の AC ライン電圧のスルーレートは、$360V_{PK} \times 2 \times \pi \times 50Hz = 113mV/\mu s$ です。したがって、ゼロ交差スレッショルドの実効値は 113mV/µs × (7.2µs + 320ns) = 850mV です。

表 7-2 に、この設計の主要パラメータを示します。

**表 7-2. ゼロクロス検出の設計例**

| パラメータ | 値 |
|---|---|
| シャント抵抗値 R5 | 2.43MΩ (5 × 487kΩ) |
| R5 を流れる最大電流 | 148µA |
| スイッチング スレッショルドの実効値 | ±850mV |
| 伝搬遅延 | <8µs |


Copyright © 2025 Texas Instruments Incorporated

### 7.2.4 アプリケーション曲線

図 7-3 に、INN が接地している (0V) のとき、400mV$_{PP}$ の正弦入力波を INP ピンに印加した場合の AMC23C10-Q1 の代表的な応答を示します。入力が 0V + コンパレータのヒステリシスのレベルに交差すると、両方の出力が切り替わります。

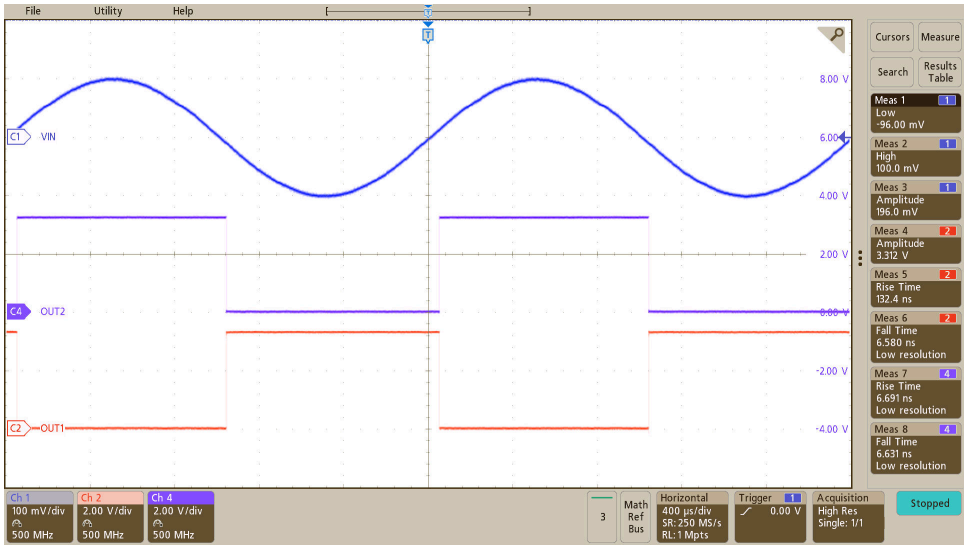



**図 7-3. 正弦入力波に対する AMC23C10-Q1 の出力応答**

AMC23C10-Q1 の内蔵 LDO は、高電圧側の電源要件を大幅に緩和し、レギュレートされていないトランス、チャージ ポンプ、ブートストラップ電源からデバイスに電力を供給できます。以下の図に示すように、内部 LDO は内部回路に安定した動作電圧を供給するため、2V$_{PP}$ 以上のリップル電圧でもトリップのスレッショルドにほぼ影響しません。

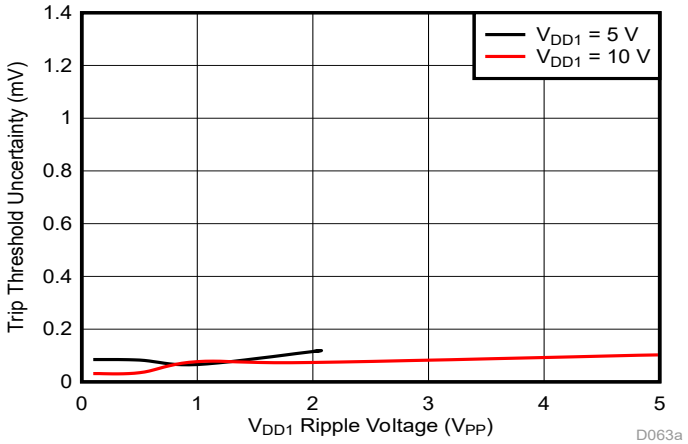



**図 7-4. VDD1 リップル電圧に対するトリップ スレッショルド感度 ($f_{RIPPLE}$ = 10kHz)**

## 7.3 設計のベスト プラクティス

同相過渡イベント時にオープンドレイン信号ラインでの容量性結合の影響を最小限に抑えるため、「 デジタル出力 」の説明に従って、オープンドレイン出力に小さい値 (10kΩ 未満) のプルアップ抵抗を使用します。

INP ピンを信号入力として、INN ピンをコンパレータへのリファレンス電圧入力または静かな入力として使用します。コンパレータの誤トリガを防止するため、入力との接続を短く保ち、かつノイズ源からシールドします。

Copyright © 2025 Texas Instruments Incorporated

## 7.4 電源に関する推奨事項

AMC23C10-Q1 は、特定の起動シーケンスを必要としません。ハイサイド電源 (VDD1) は、低 ESR の 1µF コンデンサ (C2) と並列接続された低 ESR の 100nF コンデンサ (C1) でデカップリングされます。ローサイド電源 (VDD2) は、低 ESR の 1µF コンデンサ (C4) と並列接続された低 ESR の 100nF コンデンサ (C3) で同様にデカップリングされます。4 つのコンデンサ (C1、C2、C3、C4) はすべてデバイスのできるだけ近くに配置します。図 7-5 に、AMC23C10-Q1 のデカップリング回路図を示します。

VDD1 電源電圧が高い (> 5.5V) 場合、追加のフィルタ処理のために、VDD1 電源と直列に 10Ω の抵抗 (R4) を接続します。

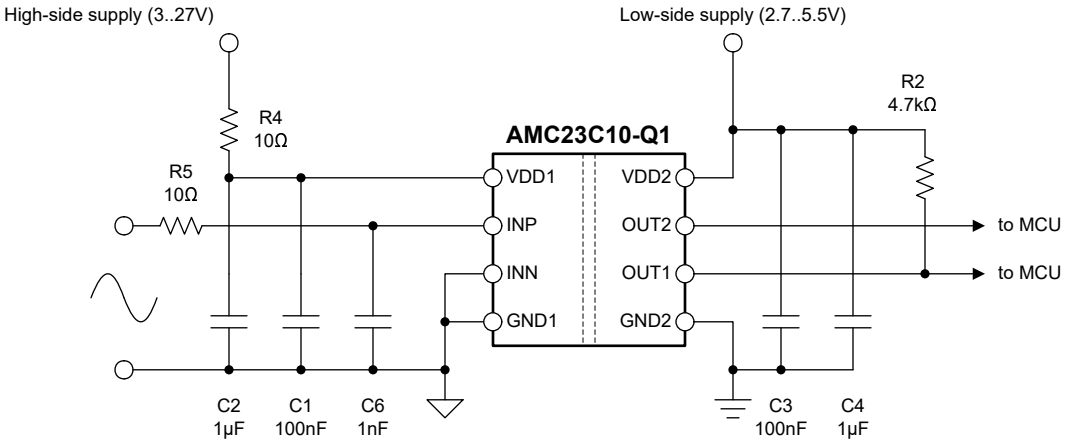



**図 7-5. AMC23C10-Q1 のデカップリング**

アプリケーションで発生する DC バイアス条件の下で、コンデンサは十分な実効容量を保つ必要があります。マルチレイヤ セラミック コンデンサ (MLCC) は通常、実際の使用条件下における容量は、公称容量よりはるかに小さい値となります。これらのコンデンサを選択する際は、この要素を考慮してください。この問題は、背の高い部品よりも絶縁体電界強度が高くなる薄型コンデンサで特に深刻です。信頼できるコンデンサ メーカーは、部品選択を非常に簡単にする容量対 DC バイアス曲線を提供しています。

## 7.5 レイアウト

### *7.5.1 レイアウトのガイドライン*

デカップリング・コンデンサの重要な配置 (AMC1303 の電源ピンと可能な限り近く)、およびデバイスに必要な他のコンポーネントの配置を示したレイアウトの推奨事項を、図 7-6 に示します。AMC23C10-Q1


Copyright © 2025 Texas Instruments Incorporated

### 7.5.2 レイアウト例

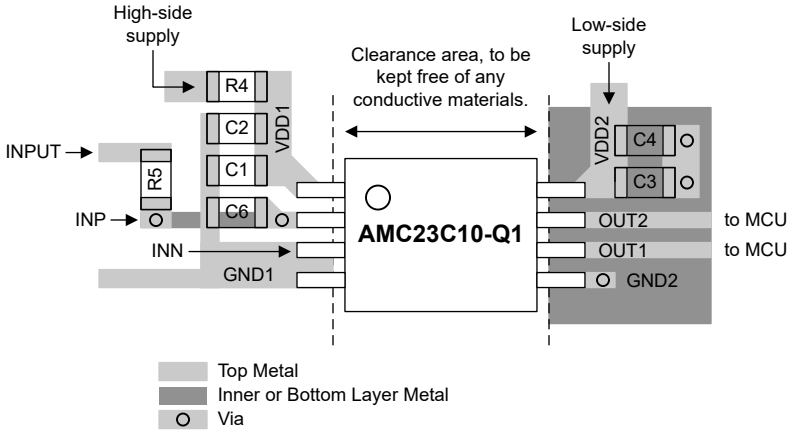



**図 7-6. AMC23C10-Q1 の推奨レイアウト**

# 8 デバイスおよびドキュメントのサポート

## 8.1 ドキュメントのサポート

### 8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『絶縁の用語集』アプリケーション レポート
- テキサス・インスツルメンツ、『半導体および IC パッケージの熱評価基準』アプリケーション レポート
- テキサス・インスツルメンツ、『ISO72x デジタル アイソレータの磁界耐性』アプリケーション レポート
- テキサス・インスツルメンツ、『TPSI3050-Q1 10V ゲート電源を内蔵した車載用強化絶縁型スイッチ ドライバ』データシート
- テキサス・インスツルメンツ、「絶縁型アンプの電圧センシング Excel カリキュレータ」設計ツール

## 8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

## 8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

## 8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

## 8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

# 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

| 日付 | 改訂 | 注 |
|---|---|---|
| February 2025 | * | 初版 |

# 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。


Copyright © 2025 Texas Instruments Incorporated

# 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

## PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| AMC23C10QDWVRQ1 | Active | Production | SOIC (DWV) \| 8 | 1000 \| LARGE T&R | Yes | NIPDAU | Level-3-260C-168 HR | -40 to 125 | MC23C10Q |
| AMC23C10QDWVRQ1.A | Active | Production | SOIC (DWV) \| 8 | 1000 \| LARGE T&R | Yes | NIPDAU | Level-3-260C-168 HR | -40 to 125 | MC23C10Q |

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF AMC23C10-Q1 :**

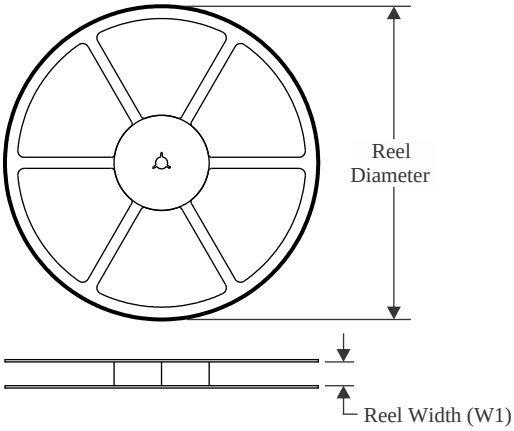
- Catalog : AMC23C10

NOTE: Qualified Version Definitions:

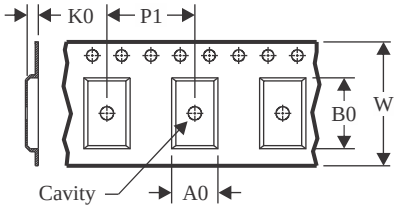
- Catalog - TI's standard catalog product

## TAPE AND REEL INFORMATION

**REEL DIMENSIONS**

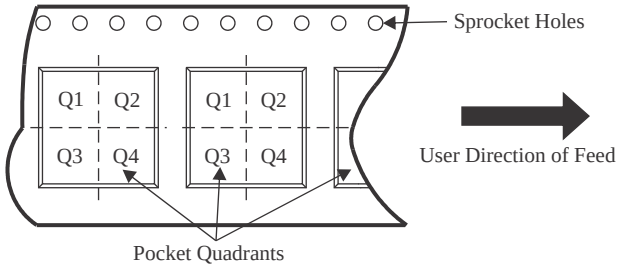



**TAPE DIMENSIONS**




| | |
|---|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

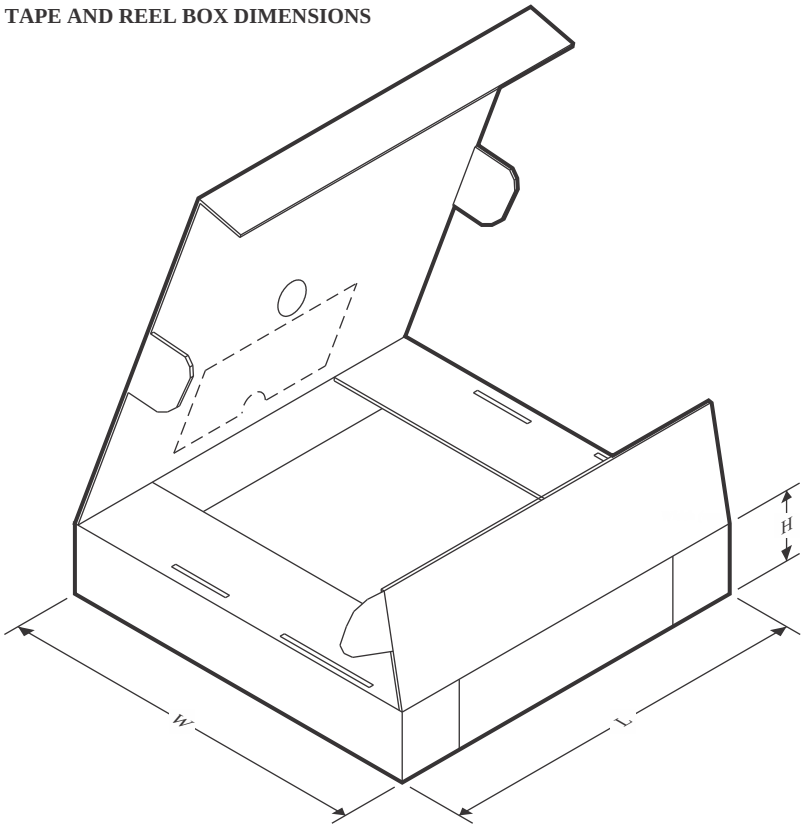
**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**




*All dimensions are nominal

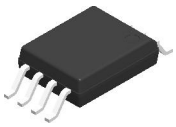
| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| AMC23C10QDWVRQ1 | SOIC | DWV | 8 | 1000 | 330.0 | 16.4 | 12.05 | 6.15 | 3.3 | 16.0 | 16.0 | Q1 |

TAPE AND REEL BOX DIMENSIONS




*All dimensions are nominal

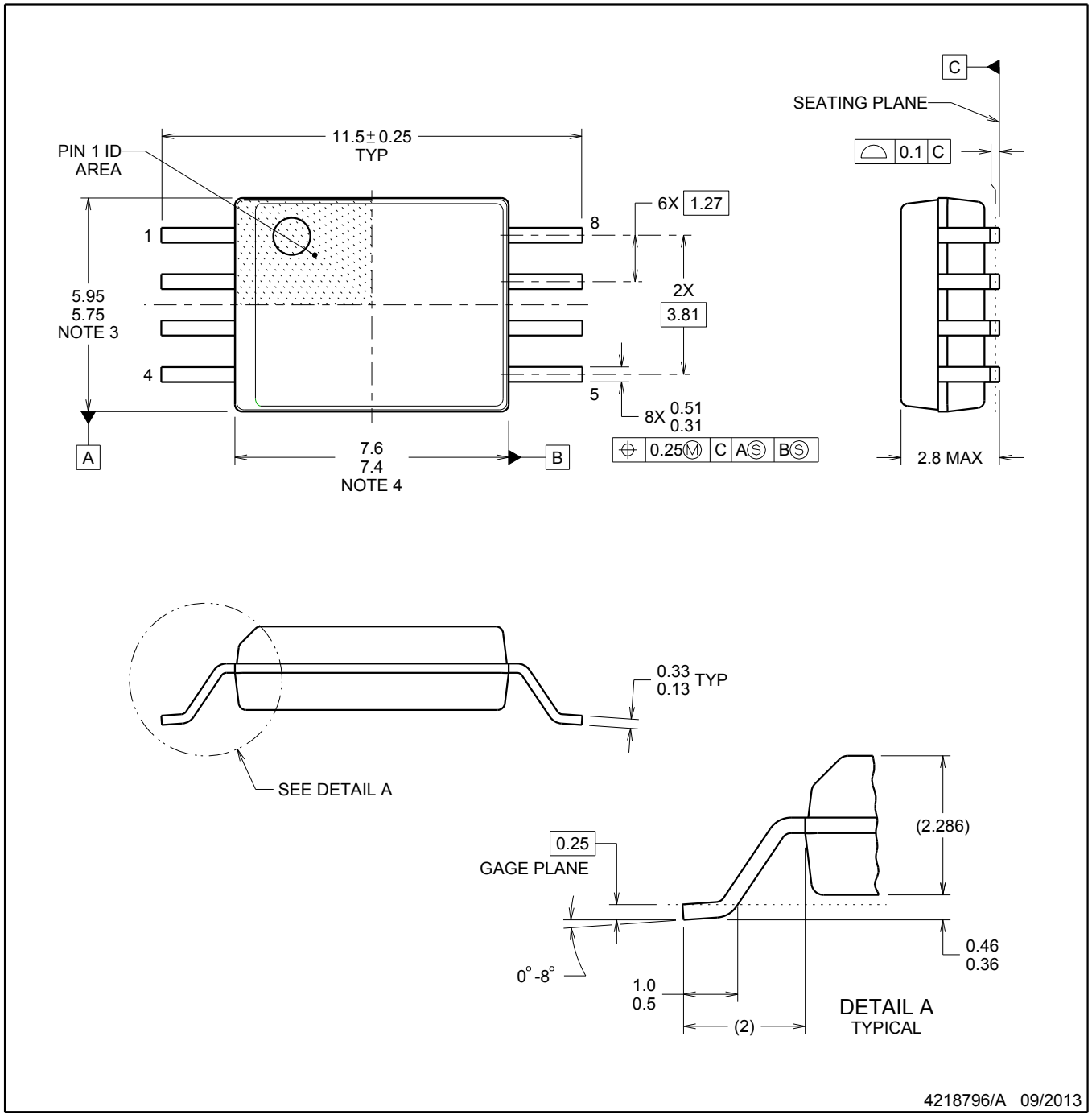
| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|---|---|---|---|---|---|---|---|
| AMC23C10QDWVRQ1 | SOIC | DWV | 8 | 1000 | 350.0 | 350.0 | 43.0 |



# DWV0008A

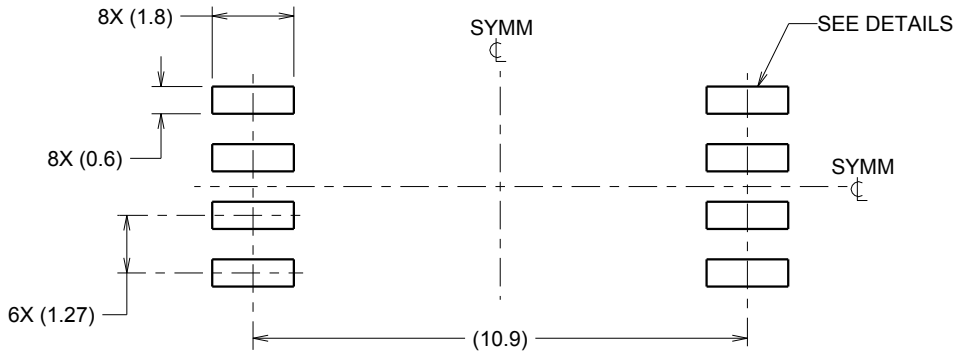
## SOIC - 2.8 mm max height

SOIC

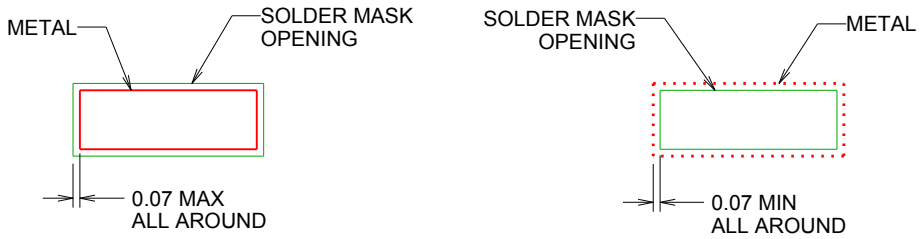



NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.




LAND PATTERN EXAMPLE
9.1 mm NOMINAL CLEARANCE/CREEPAGE
SCALE:6X




SOLDER MASK DETAILS

4218796/A 09/2013

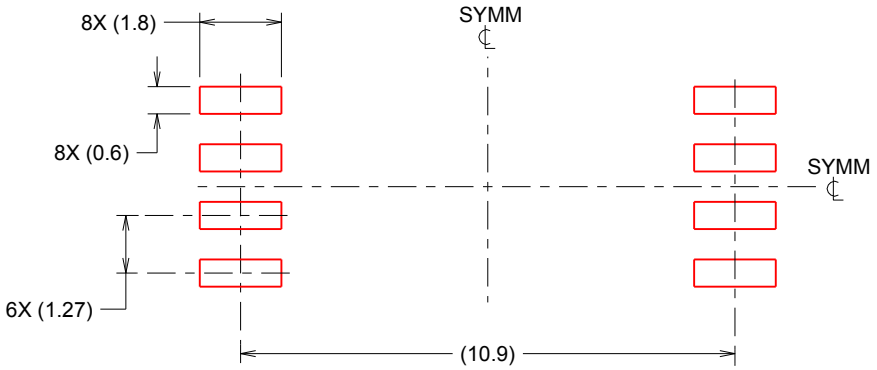
NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

DWV0008A

SOIC - 2.8 mm max height

SOIC




SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4218796/A 09/2013

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

# 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月