

# AWR2544 ADAS アプリケーション向け、ローンチ オン パッケージ (LOP) 導波管インターフェイス搭載、シングルチップ 76~81GHz FMCW レーダー SoC

## 1 特長

- FMCW トランシーバ
  - PLL、トランスミッタ、レシーバ、ベースバンド、ADC を内蔵
  - 76~81GHz 帯で使用可能帯域幅 4GHz 超
  - アンテナに対するローンチ オン パッケージ (LOP) インターフェイスを備えた、4 個の受信チャンネルと 4 個の送信チャンネル
  - 送信用位相シフタ
  - フラクショナル PLL を使用した超高精度のチャープ エンジン
  - TX 出力
    - +12.5dBm
  - RX ノイズ指数
    - +12.5 dB
  - 位相ノイズ (1MHz)
    - -96dBc/Hz (76GHz~77GHz)
    - -95dBc/Hz (76GHz~81GHz)
- 較正および自己テストを内蔵
  - 内蔵ファームウェア (ROM)
  - プロセスおよび温度の自己較正システム
- 処理部品
  - 300MHz で動作する Arm® Cortex-R5F® コア (ロック ステップ動作をサポート)
  - FFT、干渉軽減、メモリ圧縮などの動作向け、テキサス・インスツルメンツのレーダー ハードウェア アクセラレータ (HWA1.5)
  - データ移動用の複数の EDMA インスタンス
- ホスト インターフェイス
  - 10/100/1000Mbps RGMII/RMII/MII イーサネット
  - イーサネット PHY のクロック用 25MHz クロック出力
- シリアル フラッシュ メモリ インターフェイスをサポート (QSPI フラッシュ メモリからのユーザー アプリケーションのロード)
- ユーザー アプリケーションで利用可能なその他のインターフェイス
  - 最大 4 つの ADC チャンネル
  - 1 SPI
  - 2 つの UART
  - I<sup>2</sup>C
  - GPIO
  - 3 つの EPWM
  - 未加工 ADC データおよびデバッグ計測機器向け 2 レーン LVDS インターフェイス
- オンチップ RAM
  - 2MB
  - MCU、共有 L3 でメモリ空間を分割
- デバイスのセキュリティ (一部の型番のみ)
  - プログラム可能な組み込みハードウェア セキュリティ モジュール (HSM)
  - セキュア認証および暗号化ブートのサポート
  - 顧客がプログラム可能なルート キー、対称キー (256 ビット)、非対称キー (RSA-4K または ECC-512 まで)、キー失効機能付き
  - 暗号化ハードウェア アクセラレータ: ECC 付き PKA、AES (最大 256 ビット)、SHA (最大 512 ビット)、TRNG/DRBG
- 機能安全準拠製品向け
  - 機能安全アプリケーション向けに開発
  - ISO26262 機能安全システムの設計に役立つ資料を利用可能
  - ASIL B までを対象とするハードウェア インテグリティ
- AEC-Q100 認定済み
- 高度な機能
  - 外部プロセッサの関与を必要としない自己監視機能を内蔵
  - 干渉検出機能を内蔵
- パワー マネージメント
  - オンダイ LDO ネットワークにより PSRR の向上を実現
  - LVCMOS IO は 3.3V、1.8V のデュアル電圧に対応
- クロック ソース
  - 40MHz または 50MHz の水晶振動子と内部発振器
  - 40MHz または 50MHz の外部発振器 / 駆動クロックをサポート
- パワー マネージメント
  - 推奨される LP8772-Q1 パワー マネージメント IC (PMIC)
    - デバイスの電源要件を満たすように特別に設計されたコンパニオン PMIC
    - さまざまな使用事例をサポートするためのフレキシブルなマッピングと工場出荷時にプログラムされた構成
- コストを抑えたハードウェア設計
  - 0.65mm ピッチ、12.4mm × 12mm の FCCSP パッケージ
  - 小型サイズ
- 車載用動作温度範囲に対応



- 動作時の接合部温度範囲: -40°C ~ +140°C

## 2 アプリケーション

- 車線変更支援
- 死角検出
- 自動緊急ブレーキ
- アダプティブ クルーズ コントロール
- クロストラフィック アラート
- 衛星

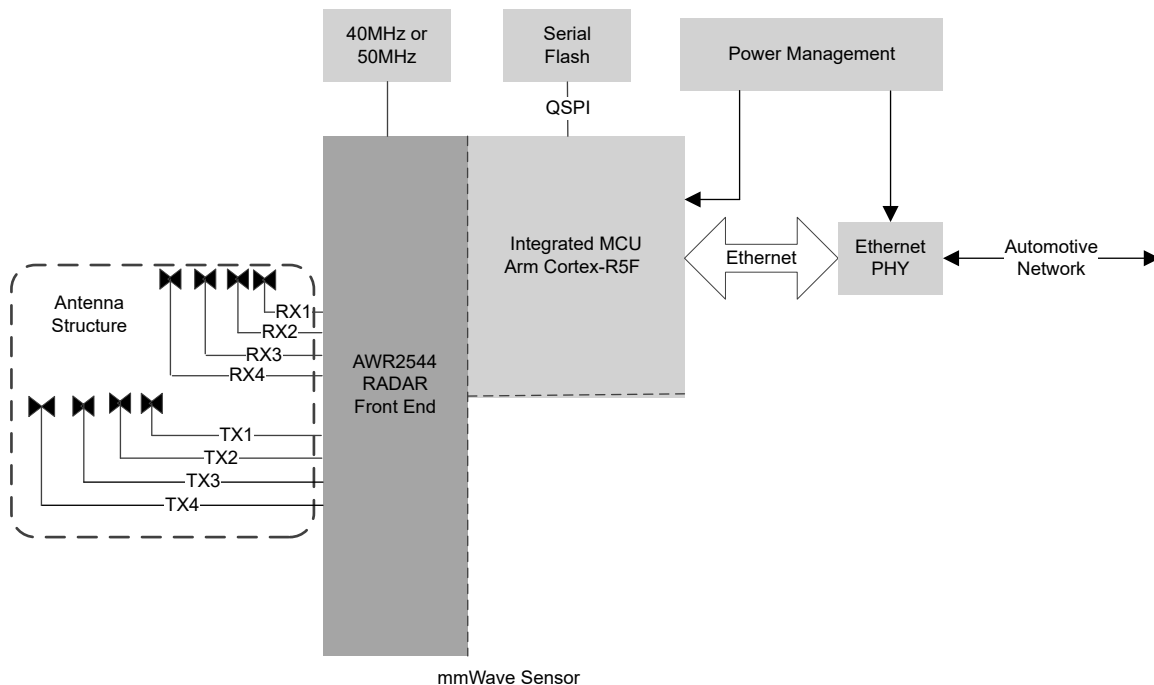


図 2-1. 車載アプリケーション用の自律レーダー センサ

## 3 説明

AWR2544 は、FMCW トランシーバで構成されるシングルチップのミリ波センサです。このデバイスは 76~81GHz (EHF) 帯域で動作可能で、レーダー データ処理部品と、車内ネットワーク用の豊富な周辺機器セットを備えています。AWR2544 は、パッケージにアンテナを容易に直接接続できるようにする、追加のローンチ オン パッケージ (LOP) アンテナ機能をお客様に提供します。AWR2544 は、テキサス・インスツルメンツの低消費電力 45nm RFCMOS プロセスで製造され、小さいフォーム ファクタと最小限の部品点数で、かつてないレベルの統合を実現しています。AWR2544 は、低消費電力で自己監視機能を備えた、超高精度の車載用レーダー システム向けに設計されています。

テキサス・インスツルメンツの低消費電力 45nm RFCMOS プロセスにより、PLL、VCO、ミキサ、ベースバンド ADC を内蔵し、4 個の TX、4 個の RX を備えたシステムのモノリシック実装が可能になります。このデバイスは、レーダー フロントエンドの構成、制御、較正を行う、無線プロセッサ サブシステムも備えています。メイン サブシステム (MSS) 内には、ユーザーによるプログラムが可能な Arm Cortex-R5F プロセッサが実装されており、カスタム制御アプリケーションや車載用インターフェイス アプリケーションに使用できます。ハードウェア アクセラレータ ブロック (HWA 1.5) は、FFT、スケーリング、圧縮などの一般的なレーダー処理を負荷分担して、MSS を補完します。これにより、外部プロセッサの MIPS が軽減され、カスタム アプリケーションや高度な後処理アルゴリズムの実装のためにリソースが使えるようになります。

ハードウェア セキュリティ モジュール (HSM) もこのデバイスに用意されています (セキュア部品バリエーションのみで使用可能)。HSM は、プログラム可能な Arm Cortex-M4 コアと、デバイス内でセキュアな動作ゾーンを実現するために必要なインフラで構成されます。

プログラミング モデルを変更するだけで、さまざまなセンサ (短距離、中距離、長距離) を実装でき、マルチモード センサの実装においては動的再構成にも対応します。

テキサス・インスツルメンツは AWR2544 を特にサテライト アーキテクチャ向けに設計しています。サテライト アーキテクチャは、センサ フュージョン アルゴリズムと集中型 ECU のより大きな計算能力を通じて付加価値を高めます。簡素化されたサテライト センサとソフトウェアによる差別化は、システムの複雑さを緩和し、価値を創造する新しい方法を実現するのに役立ちます。

サテライト レーダーを使用すると、自動車メーカーは無線ソフトウェア アップデートを使用してシステム性能の向上とセキュリティの強化を図ることができます。これらの性能、スケーラビリティ、簡素化といった複数の利点により、自動車業界でサテライト アーキテクチャが注目されるようになっていきます。

また、AWR2544 は、テキサス・インスツルメンツのハードウェアおよびソフトウェアのリファレンス デザイン、ソフトウェアドライバ、構成例、API ガイド、ユーザー マニュアルを含む完全なプラットフォームとして提供しています。

### 製品情報

| 部品番号            | パッケージ (1)        | 本体サイズ (公称)    | セキュリティ  |
|-----------------|------------------|---------------|---------|
| AWR2544BGAMQQ1  | AMQ (FCCSP, 248) | 12.4mm x 12mm | 全般      |
| AWR2544BGAMQRQ1 | AMQ (FCCSP, 248) | 12.4mm x 12mm | 全般      |
| AWR2544BSAMQQ1  | AMQ (FCCSP, 248) | 12.4mm x 12mm | セキュアな機能 |
| AWR2544BSAMQRQ1 | AMQ (FCCSP, 248) | 12.4mm x 12mm | セキュアな機能 |

(1) 詳細については、[セクション 13](#) を参照してください。

### 設計上の考慮事項

- ここでは、推奨電源ソリューションを使用してこのデバイスに電力を供給します。

### 3.1 機能ブロック図

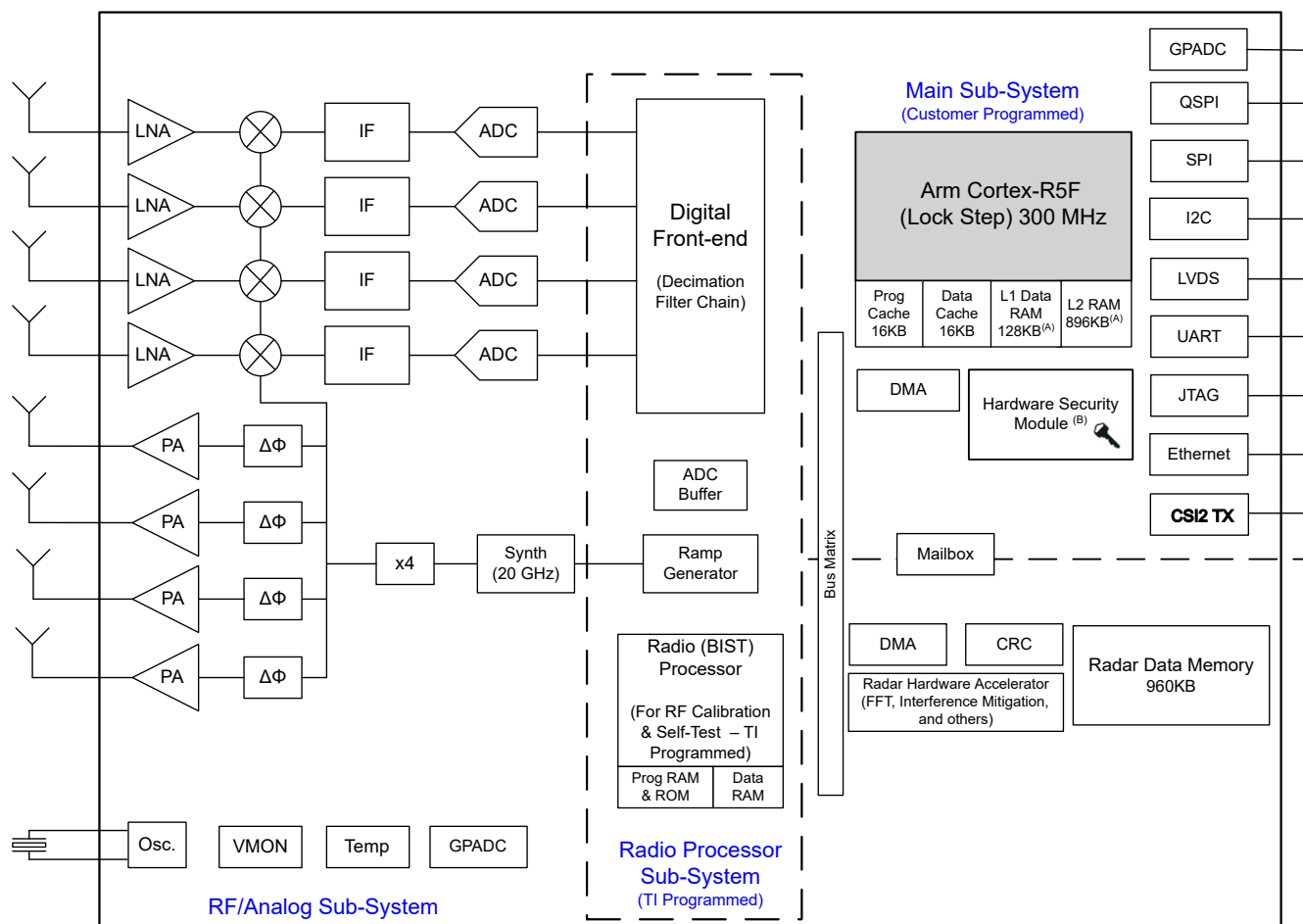


図 3-1. 機能ブロック図

## 目次

|                                                 |           |                                      |           |
|-------------------------------------------------|-----------|--------------------------------------|-----------|
| <b>1 特長</b> .....                               | <b>1</b>  | 7.12 ペリフェラル情報.....                   | <b>45</b> |
| <b>2 アプリケーション</b> .....                         | <b>2</b>  | 7.13 エミュレーションおよびデバッグ.....            | <b>67</b> |
| <b>3 説明</b> .....                               | <b>2</b>  | <b>8 詳細説明</b> .....                  | <b>70</b> |
| 3.1 機能ブロック図.....                                | <b>4</b>  | 8.1 概要.....                          | <b>70</b> |
| <b>4 デバイスの比較</b> .....                          | <b>6</b>  | 8.2 機能ブロック図.....                     | <b>70</b> |
| <b>5 関連製品</b> .....                             | <b>8</b>  | 8.3 サブシステム.....                      | <b>71</b> |
| <b>6 ピン構成および機能</b> .....                        | <b>9</b>  | 8.4 その他のサブシステム.....                  | <b>75</b> |
| 6.1 ピン配置図.....                                  | <b>9</b>  | <b>9 監視と診断</b> .....                 | <b>77</b> |
| 6.2 ピン属性.....                                   | <b>14</b> | 9.1 監視と診断のメカニズム.....                 | <b>77</b> |
| 6.3 信号の説明 - デジタル.....                           | <b>27</b> | <b>10 アプリケーション、実装、およびレイアウト</b> ..... | <b>80</b> |
| 6.4 信号の説明 - アナログ.....                           | <b>33</b> | 10.1 使用上の注意.....                     | <b>80</b> |
| <b>7 仕様</b> .....                               | <b>36</b> | 10.2 短距離および中距離レーダー.....              | <b>80</b> |
| 7.1 絶対最大定格.....                                 | <b>36</b> | 10.3 リファレンス回路図.....                  | <b>80</b> |
| 7.2 ESD 定格.....                                 | <b>36</b> | <b>11 デバイスおよびドキュメントのサポート</b> .....   | <b>81</b> |
| 7.3 電源投入時間 (POH).....                           | <b>37</b> | 11.1 デバイス サポート.....                  | <b>81</b> |
| 7.4 推奨動作条件.....                                 | <b>37</b> | 11.2 デバイスの命名規則.....                  | <b>81</b> |
| 7.5 ワンタイム プログラマブル (OTP) eFuse の VPP 仕<br>様..... | <b>38</b> | 11.3 ツールとソフトウェア.....                 | <b>82</b> |
| 7.6 電源仕様.....                                   | <b>39</b> | 11.4 ドキュメントのサポート.....                | <b>82</b> |
| 7.7 消費電力の概略.....                                | <b>40</b> | 11.5 サポート・リソース.....                  | <b>82</b> |
| 7.8 RF の仕様.....                                 | <b>41</b> | 11.6 商標.....                         | <b>82</b> |
| 7.9 熱抵抗特性.....                                  | <b>42</b> | 11.7 静電気放電に関する注意事項.....              | <b>83</b> |
| 7.10 電源シーケンスおよびリセット タイミング.....                  | <b>43</b> | 11.8 用語集.....                        | <b>83</b> |
| 7.11 入力クロックおよび発振器.....                          | <b>44</b> | <b>12 改訂履歴</b> .....                 | <b>83</b> |
|                                                 |           | <b>13 メカニカル、パッケージ、および注文情報</b> .....  | <b>86</b> |

## 4 デバイスの比較

表 4-1. デバイスの機能の比較

| FUNCTION                                             | AWR2544                                   | AWR2944           | AWR2243          | AWR1843          |
|------------------------------------------------------|-------------------------------------------|-------------------|------------------|------------------|
| Launch on Package (LOP) アンテナ                         | あり                                        | —                 | —                | —                |
| レシーバの数                                               | 4                                         | 4                 | 4                | 4                |
| トランスミッタの数                                            | 4                                         | 4                 | 3 <sup>(1)</sup> | 3 <sup>(1)</sup> |
| オンチップ メモリ                                            | 2MB                                       | 4MB               | —                | 2MB              |
| 最大 I/F (中間周波数) (MHz)                                 | 20                                        | 15 <sup>(2)</sup> | 20               | 10               |
| 最大実数 / 複素数 2x サンプリングレート (MSPS)                       | 45 <sup>(2)</sup>                         | 37.5              | 45               | 25               |
| 最大複素数 1x サンプリングレート (MSPS)                            | — <sup>(2)</sup>                          | —                 | 22.5             | 12.5             |
| <b>安全およびセキュリティ<sup>(3)</sup></b>                     |                                           |                   |                  |                  |
| ハードウェア セキュリティ モジュール (HSM) <sup>(6)</sup>             | あり                                        | あり                | —                | —                |
| セキュリティ アクセラレータ <sup>(6)</sup>                        | あり                                        | あり                | —                | あり               |
| AEC-Q100 認定済み                                        | あり                                        | あり                | あり               | あり               |
| <b>プロセッサ</b>                                         |                                           |                   |                  |                  |
| DSP (C6xx)                                           | —                                         | あり                | —                | あり               |
| MCU (RxF)                                            | あり <sup>(4)</sup>                         | あり <sup>(5)</sup> | —                | あり               |
| ハードウェア アクセラレータ                                       | あり <sup>(5)</sup>                         | あり <sup>(6)</sup> | —                | あり               |
| <b>ペリフェラル</b>                                        |                                           |                   |                  |                  |
| シリアル ペリフェラル インターフェイス (SPI) ポート                       | 1                                         | 2                 | 1                | 2                |
| クワッド シリアル ペリフェラル インターフェイス (QSPI)                     | 1                                         | あり                | —                | あり               |
| LVDS / デバッグ                                          | あり                                        | あり                | あり               | あり               |
| Aurora 向け LVDS                                       | —                                         | あり                | —                | —                |
| イーサネット インターフェイス                                      | あり                                        | あり                | —                | —                |
| I <sup>2</sup> C (Inter-Integrated Circuit) インターフェイス | 1                                         | 1                 | 1                | 1                |
| コントローラ エリア ネットワーク (DCAN) インターフェイス                    | —                                         | —                 | —                | あり               |
| CAN FD                                               | —                                         | 2                 | —                | 1                |
| トレース                                                 | あり                                        | あり                | —                | あり               |
| EPWM                                                 | あり                                        | あり                | —                | あり               |
| DMM インターフェイス                                         | —                                         | あり                | —                | あり               |
| GPADC                                                | あり                                        | あり <sup>(7)</sup> | あり               | あり               |
| CSI2 TX                                              | あり                                        | —                 | あり               | —                |
| CSI2 RX                                              | —                                         | あり                | —                | —                |
| カスケード (20GHz 同期)                                     | —                                         | —                 | あり               | —                |
| JTAG                                                 | あり                                        | あり                | —                | あり               |
| チャープごとに構成可能な Tx 位相シフト                                | あり                                        | あり                | あり               | あり               |
| 製品ステータス <sup>(7)</sup>                               | 製品プレビュー (PP)、<br>事前情報 (AI)、<br>量産データ (PD) | AI                | PD               | PD               |

- (1) AWR1843 および AWR2243 での 3 Tx 同時動作は、1V LDO バイパスおよび PA LDO 無効化モードのみでサポートされます。このモードでは、1V 電源を VOUT PA ピンに供給する必要があります。詳細については、各製品のデータシートを参照してください。
- (2) AWR2544 は、実数信号専用のレシーバをサポートします。
- (3) 機能安全アプリケーション向けに開発された AWR2544 デバイスは、ハードウェアの整合性において ASIL-B までの対応を想定しています。他のデバイスについては、各製品のデータシートを参照してください。
- (4) AWR2544 では、メインサブシステム処理コアが AWR1843 の ARM CR4F から ARM CR5F に変更されます。

- (5) AWR2544 のハードウェア アクセラレータは HWA1.5 にアップグレードされ、AWR1843 に比べて機能が追加されています。
- (6) AWR2544 セキュア部品バリエーションにのみ適用できます
- (7) 量産データの情報は、公開日の時点で最新のものです。製品は、テキサス・インスツルメンツの標準保証条件に基づく仕様に準拠しています。量産プロセスにすべてのパラメータのテストが含まれているとは限りません。  
事前情報は、開発のサンプリングまたは量産開始前フェーズの新製品に関するものです。特性データおよびその他の仕様は、予告なく変更される場合があります。

## 5 関連製品

この製品ファミリまたは関連製品の他のデバイスの詳細については、以下のリンクを参照してください。

### ミリ波センサ

テキサス・インスツルメンツの最もフットプリントが小さい車載アプリケーション向けミリ波センサは、小さい電力で、距離、角度、速度を迅速かつ正確に検出します。

### 車載ミリ波センサ

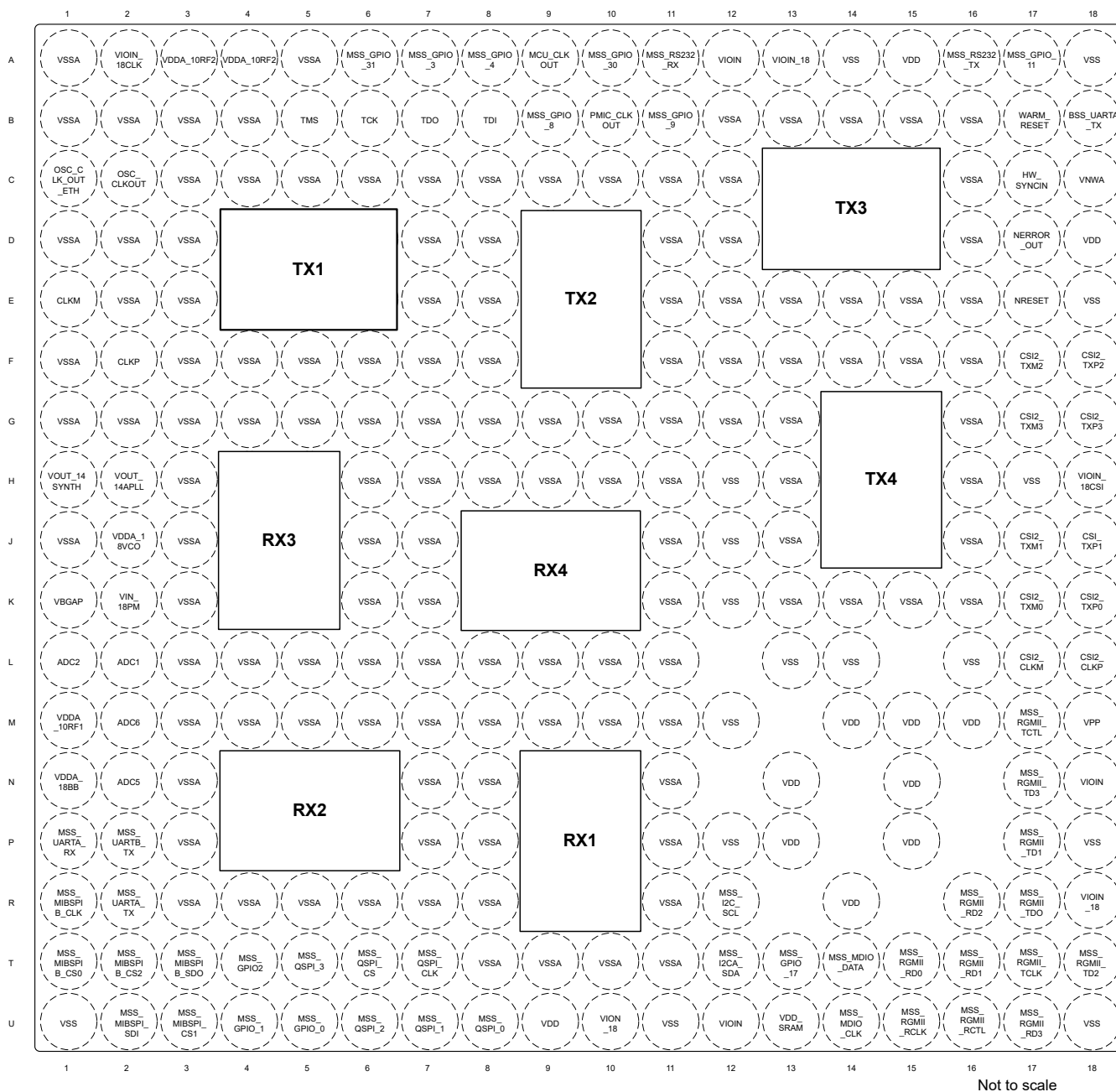
テキサス・インスツルメンツの車載ミリ波センサ製品ラインアップは、超高分解能、小型、低消費電力のシングルチップ レーダー ソリューションに高性能レーダー フロント エンドを提供します。テキサス・インスツルメンツのスケラブルなセンサ製品ラインアップは、すべての自動車の快適性機能から安全性機能に至るまで、あらゆる性能、アプリケーション、センサ構成に対応する **ADAS** システム ソリューションの設計と開発を可能にします。

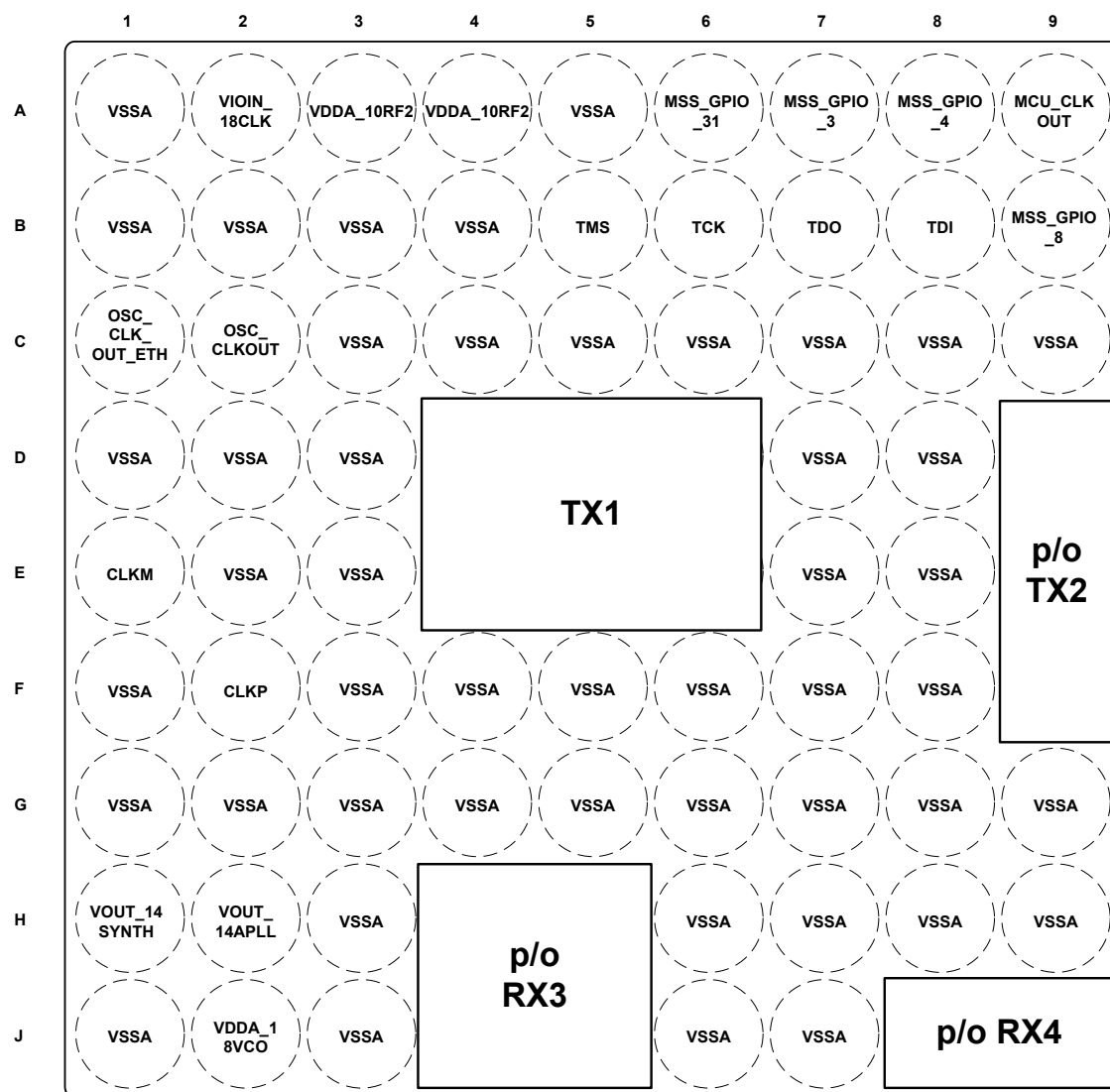
## 6 ピン構成および機能

## 6.1 ピン配置図

### ピン配置図

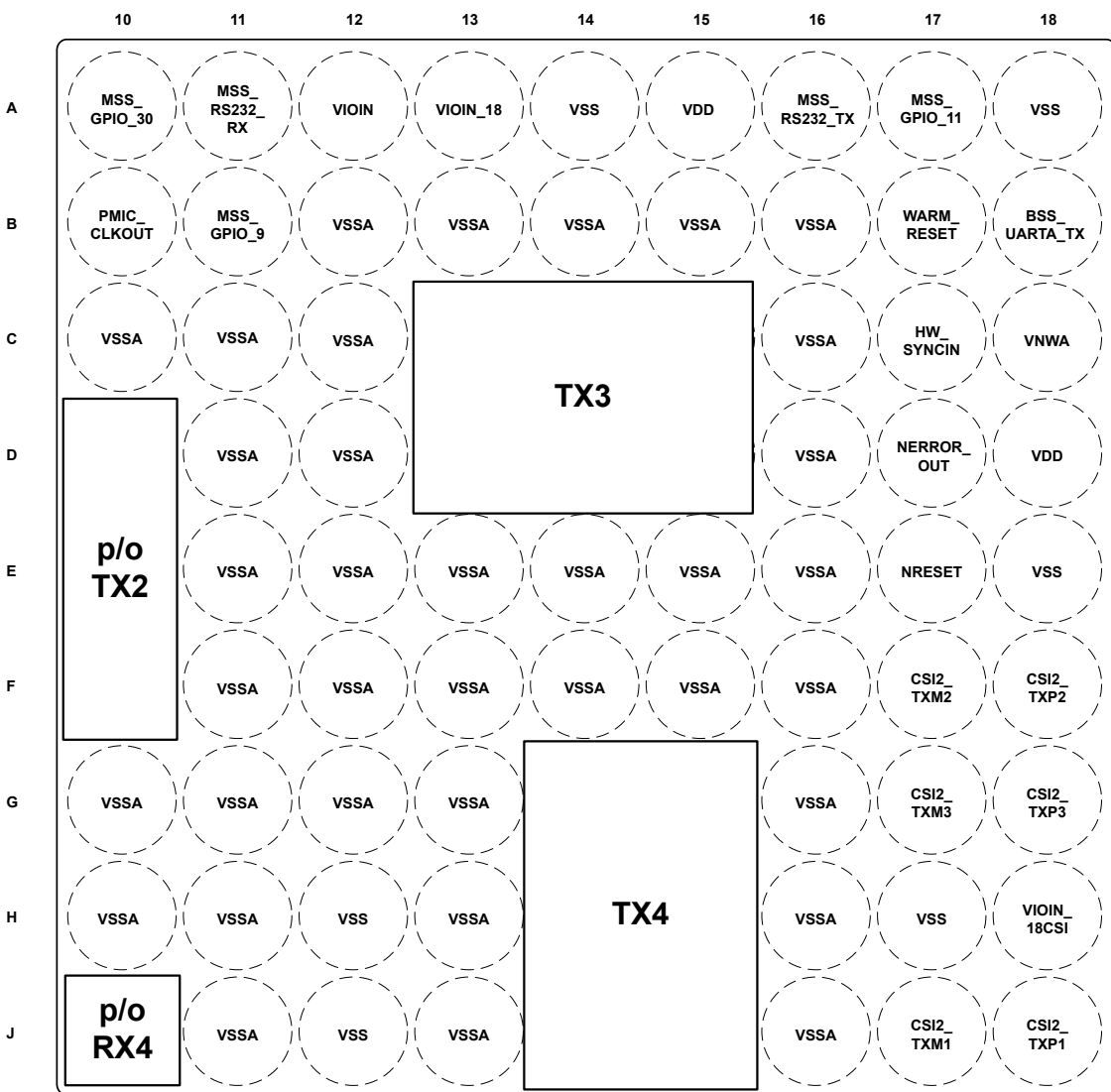
次の図に、12.4mm x 12mm の FCCSP パッケージのピン位置を示します。次の四つの図は同じピンを示していますが、四つの象限に分割して表示しています。





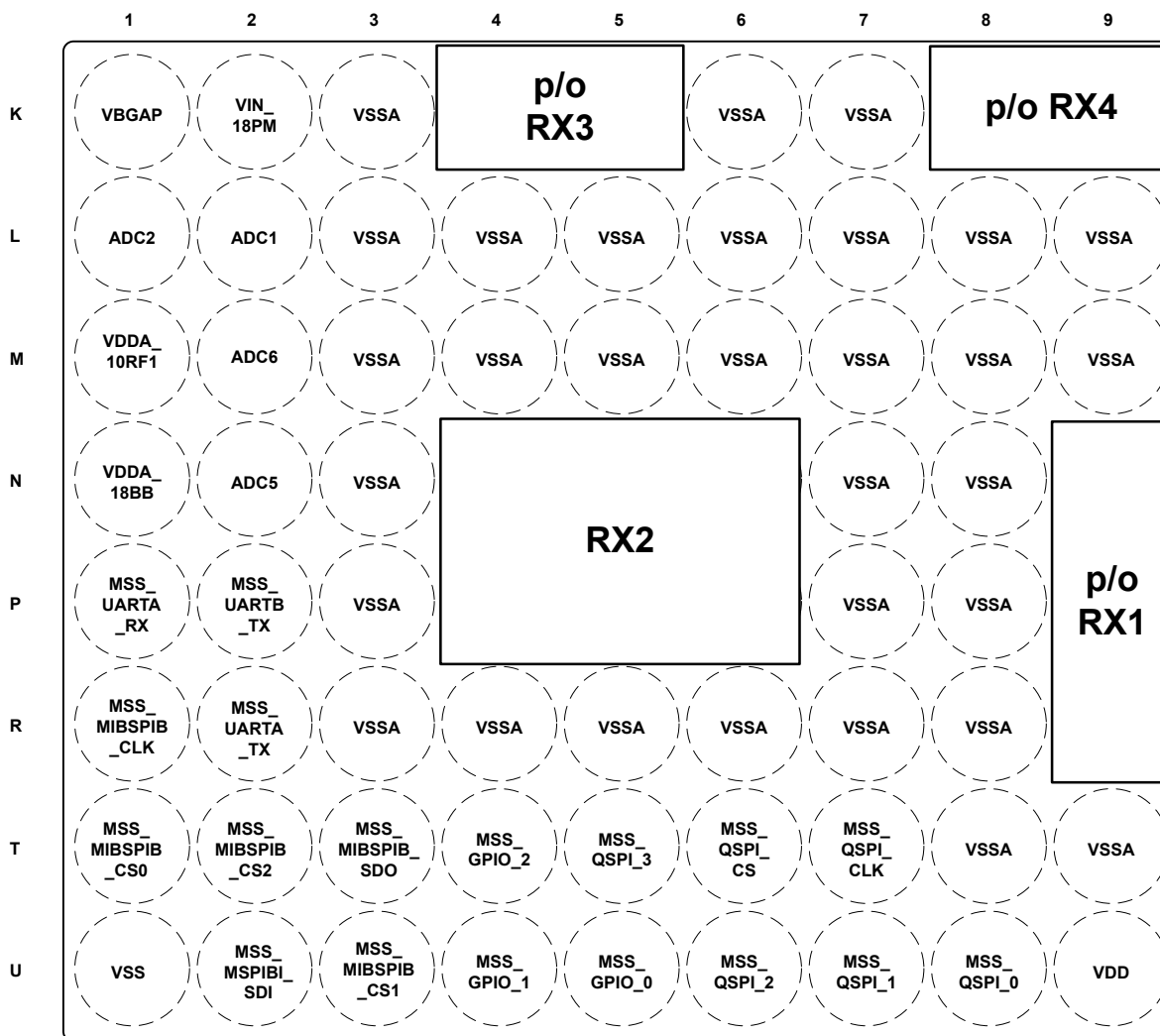
**Not to scale**

|   |   |
|---|---|
| 1 | 2 |
| 3 | 4 |



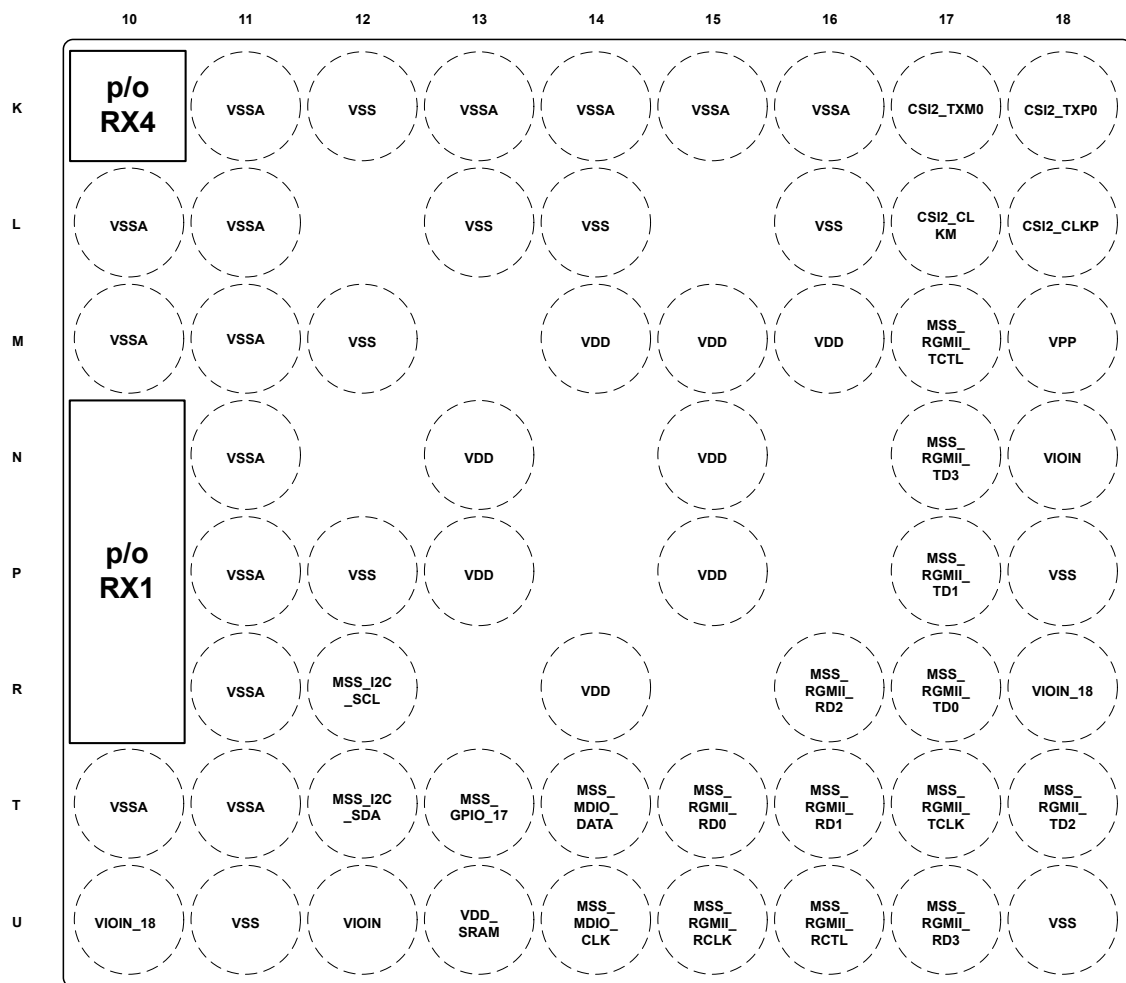
Not to scale

|   |   |
|---|---|
| 1 | 2 |
| 3 | 4 |



**Not to scale**

|   |   |
|---|---|
| 1 | 2 |
| 3 | 4 |



Not to scale

|   |   |
|---|---|
| 1 | 2 |
| 3 | 4 |

図 6-1. ピン配置図

## 6.2 ピン属性

表 6-1. ピン属性 (AMQ/FCCSP パッケージ)

| ボール番号 | ボール名 (デフォルト)    | マルチプレクサ信号名          | モード | タイプ | BALL RESET STATE | PULL UP/DOWN TYPE |
|-------|-----------------|---------------------|-----|-----|------------------|-------------------|
| U3    | MSS_MIBSPIB_CS1 | MSS_GPIO_12         | 0   | IO  | 出力無効化            | PD                |
|       |                 | MSS_MIBSPIA_HOSTIRQ | 1   | O   |                  |                   |
|       |                 | ADC_VALID           | 2   | O   |                  |                   |
|       |                 | RSVD                | 3   | I   |                  |                   |
|       |                 | RSVD                | 4   | O   |                  |                   |
|       |                 | RSVD                | 5   | O   |                  |                   |
|       |                 | MSS_MIBSPIB_CS1     | 6   | IO  |                  |                   |
| U5    | MSS_GPIO_0      | MSS_GPIO_13         | 0   | IO  | 出力無効化            | PD                |
|       |                 | MSS_GPIO_0          | 1   | IO  |                  |                   |
|       |                 | PMIC_CLKOUT         | 2   | O   |                  |                   |
|       |                 | MSS_EPWM_TZ2        | 3   | I   |                  |                   |
|       |                 | RSVD                | 4   | O   |                  |                   |
|       |                 | RSVD                | 5   | O   |                  |                   |
|       |                 | RSVD                | 6   | IO  |                  |                   |
|       |                 | RSVD                | 7   | I   |                  |                   |
|       |                 | RSVD                | 8   | O   |                  |                   |
|       |                 | RSVD                | 9   | O   |                  |                   |
|       |                 | MSS_EPWMA1          | 10  | O   |                  |                   |
|       |                 | MSS_EPWMB0          | 11  | O   |                  |                   |
|       |                 | RSVD                | 12  | IO  |                  |                   |
|       |                 |                     |     |     |                  |                   |
| U4    | MSS_GPIO_1      | MSS_GPIO_16         | 0   | IO  | 出力無効化            | PD                |
|       |                 | MSS_GPIO_1          | 1   | IO  |                  |                   |
|       |                 | SYNC_OUT            | 2   | O   |                  |                   |
|       |                 | MSS_EPWM_TZ1        | 3   | I   |                  |                   |
|       |                 | RSVD                | 4   | O   |                  |                   |
|       |                 | RSVD                | 5   | O   |                  |                   |
|       |                 | RSVD                | 6   | IO  |                  |                   |
|       |                 | BSS_UARTA_TX        | 7   | O   |                  |                   |
|       |                 | READY_INT           | 8   | O   |                  |                   |
|       |                 | LVDS_VALID          | 9   | O   |                  |                   |
|       |                 | RSVD                | 10  | O   |                  |                   |
|       |                 | RSVD                | 11  | O   |                  |                   |
|       |                 | RSVD                | 12  | IO  |                  |                   |
|       |                 | MSS_MIBSPIB_CS1     | 13  | IO  |                  |                   |
|       |                 | RSVD                | 14  | IO  |                  |                   |
|       |                 | MSS_EPWMA_SYNCI     | 15  | I   |                  |                   |

**表 6-1. ピン属性 (AMQ/FCCSP パッケージ) (続き)**

| ボール番号 | ボール名 (デフォルト)    | マルチプレクサ信号名       | モード | タイプ | BALL RESET STATE | PULL UP/DOWN TYPE |
|-------|-----------------|------------------|-----|-----|------------------|-------------------|
| T3    | MSS_MIBSPIB_SDO | MSS_GPIO_21      | 0   | IO  | 出力無効化            | PU                |
|       |                 | MSS_MIBSPIB_SDO  | 1   | IO  |                  |                   |
|       |                 | MSS_I2CA_SDA     | 2   | IO  |                  |                   |
|       |                 | MSS_EPWMA0       | 3   | O   |                  |                   |
|       |                 | RSVD             | 4   | O   |                  |                   |
|       |                 | RSVD             | 5   | O   |                  |                   |
|       |                 | RSVD             | 6   | I   |                  |                   |
|       |                 | RSVD             | 7   | IO  |                  |                   |
| U2    | MSS_MIBSPIB_SDI | MSS_GPIO_22      | 0   | IO  | 出力無効化            | PU                |
|       |                 | MSS_MIBSPIB_SDI  | 1   | IO  |                  |                   |
|       |                 | MSS_I2CA_SCL     | 2   | IO  |                  |                   |
|       |                 | MSS_EPWMB0       | 3   | O   |                  |                   |
|       |                 | RSVD             | 4   | O   |                  |                   |
|       |                 | RSVD             | 5   | O   |                  |                   |
|       |                 | RSVD             | 6   | IO  |                  |                   |
|       |                 | RSVD             | 7   | IO  |                  |                   |
| R1    | MSS_MIBSPIB_CLK | MSS_GPIO_5       | 0   | IO  | 出力無効化            | PU                |
|       |                 | MSS_MIBSPIB_CLK  | 1   | IO  |                  |                   |
|       |                 | MSS_UARTA_RX     | 2   | IO  |                  |                   |
|       |                 | MSS_EPWMC0       | 3   | O   |                  |                   |
|       |                 | RSVD             | 4   | O   |                  |                   |
|       |                 | RSVD             | 5   | O   |                  |                   |
|       |                 | MSS_UARTB_TX     | 6   | IO  |                  |                   |
|       |                 | BSS_UARTA_TX     | 7   | O   |                  |                   |
|       |                 | RSVD             | 8   | IO  |                  |                   |
| T1    | MSS_MIBSPIB_CS0 | MSS_GPIO_4       | 0   | IO  | 出力無効化            | PU                |
|       |                 | MSS_MIBSPIB_CS0  | 1   | IO  |                  |                   |
|       |                 | MSS_UARTA_TX     | 2   | IO  |                  |                   |
|       |                 | RSVD             | 3   | I   |                  |                   |
|       |                 | RSVD             | 4   | O   |                  |                   |
|       |                 | RSVD             | 5   | O   |                  |                   |
|       |                 | MSS_UARTB_TX     | 6   | IO  |                  |                   |
|       |                 | BSS_UARTA_TX     | 7   | O   |                  |                   |
|       |                 | RSVD             | 8   | IO  |                  |                   |
| U8    | MSS_QSPI_0      | RSVD             | 9   | IO  |                  |                   |
|       |                 | MSS_GPIO_8       | 0   | IO  | 出力無効化            | PD                |
|       |                 | MSS_QSPI_0       | 1   | IO  |                  |                   |
|       |                 | MSS_MIBSPIB_MISO | 2   | IO  |                  |                   |

表 6-1. ピン属性 (AMQ/FCCSP パッケージ) (続き)

| ボール番号 | ボール名 (デフォルト) | マルチプレクサ信号名       | モード | タイプ | BALL RESET STATE | PULL UP/DOWN TYPE |
|-------|--------------|------------------|-----|-----|------------------|-------------------|
|       |              | RSVD             | 3   | I   |                  |                   |
|       |              | RSVD             | 4   | O   |                  |                   |
|       |              | RSVD             | 5   | O   |                  |                   |
|       |              | RSVD             | 6   | O   |                  |                   |
|       |              | RSVD             | 7   | O   |                  |                   |
| U7    | MSS_QSPI_1   | MSS_GPIO_9       | 0   | IO  | 出力無効化            | PD                |
|       |              | MSS_QSPI_1       | 1   | I   |                  |                   |
|       |              | MSS_MIBSPIB_MOSI | 2   | IO  |                  |                   |
|       |              | RSVD             | 3   | I   |                  |                   |
|       |              | RSVD             | 4   | O   |                  |                   |
|       |              | RSVD             | 5   | O   |                  |                   |
|       |              | RSVD             | 6   | O   |                  |                   |
|       |              | RSVD             | 7   | O   |                  |                   |
|       |              | MSS_MIBSPIB_CS2  | 8   | IO  |                  |                   |
| U6    | MSS_QSPI_2   | MSS_GPIO_10      | 0   | IO  | 出力無効化            | PU                |
|       |              | MSS_QSPI_2       | 1   | I   |                  |                   |
|       |              | ADC_VALID        | 2   | O   |                  |                   |
|       |              | RSVD             | 3   | I   |                  |                   |
|       |              | RSVD             | 4   | O   |                  |                   |
|       |              | RSVD             | 5   | O   |                  |                   |
|       |              | RSVD             | 6   | O   |                  |                   |
|       |              | RSVD             | 7   | O   |                  |                   |
|       |              | RSVD             | 8   | IO  |                  |                   |
| T5    | MSS_QSPI_3   | MSS_GPIO_11      | 0   | IO  | 出力無効化            | PU                |
|       |              | MSS_QSPI_3       | 1   | I   |                  |                   |
|       |              | ADC_VALID        | 2   | O   |                  |                   |
|       |              | RSVD             | 3   | I   |                  |                   |
|       |              | RSVD             | 4   | O   |                  |                   |
|       |              | RSVD             | 5   | O   |                  |                   |
|       |              | RSVD             | 6   | O   |                  |                   |
|       |              | RSVD             | 7   | O   |                  |                   |
|       |              | RSVD             | 8   | IO  |                  |                   |
| T7    | MSS_QSPI_CLK | MSS_GPIO_7       | 0   | IO  | 出力無効化            | PD                |
|       |              | MSS_QSPI_CLK     | 1   | IO  |                  |                   |
|       |              | MSS_MIBSPIB_CLK  | 2   | IO  |                  |                   |
|       |              | RSVD             | 3   | I   |                  |                   |
|       |              | RSVD             | 4   | O   |                  |                   |
|       |              | RSVD             | 5   | O   |                  |                   |

**表 6-1. ピン属性 (AMQ/FCCSP パッケージ) (続き)**

| ボール番号 | ボール名 (デフォルト) | マルチプレクサ信号名      | モード | タイプ | BALL RESET STATE         | PULL UP/DOWN TYPE |
|-------|--------------|-----------------|-----|-----|--------------------------|-------------------|
|       |              | RSVD            | 6   | IO  |                          |                   |
| T6    | MSS_QSPI_CS  | MSS_GPIO_6      | 0   | IO  | 出力無効化                    | PU                |
|       |              | MSS_QSPI_CS     | 1   | O   |                          |                   |
|       |              | MSS_MIBSPIB_CS0 | 2   | IO  |                          |                   |
|       |              | RSVD            | 3   | I   |                          |                   |
|       |              | RSVD            | 4   | O   |                          |                   |
|       |              | RSVD            | 5   | O   |                          |                   |
| B17   | WARM_RESET   | WARM_RESET      | 0   | IO  | ハイ インピーダンス<br>(オープンドレイン) |                   |
| D17   | NERROR_OUT   | NERROR_OUT      | 0   | IO  | ハイ インピーダンス<br>(オープンドレイン) |                   |
| B6    | TCK          | MSS_GPIO_17     | 0   | IO  | 出力無効化                    | PD                |
|       |              | TCK             | 1   | I   |                          |                   |
|       |              | MSS_UARTB_TX    | 2   | IO  |                          |                   |
|       |              | RSVD            | 3   | I   |                          |                   |
|       |              | RSVD            | 4   | O   |                          |                   |
|       |              | RSVD            | 5   | O   |                          |                   |
|       |              | BSS_UARTA_RX    | 6   | I   |                          |                   |
|       |              | RSVD            | 7   | I   |                          |                   |
|       |              | RSVD            | 8   | IO  |                          |                   |
| B5    | TMS          | MSS_GPIO_18     | 0   | IO  | 出力無効化                    | PU                |
|       |              | TMS             | 1   | IO  |                          |                   |
|       |              | BSS_UARTA_TX    | 2   | O   |                          |                   |
|       |              | RSVD            | 3   | I   |                          |                   |
|       |              | RSVD            | 4   | O   |                          |                   |
|       |              | RSVD            | 5   | O   |                          |                   |
|       |              | RSVD            | 6   | IO  |                          |                   |
| B8    | TDI          | MSS_GPIO_23     | 0   | IO  | 出力無効化                    | PU                |
|       |              | TDI             | 1   | I   |                          |                   |
|       |              | MSS_UARTA_RX    | 2   | IO  |                          |                   |
|       |              | RSVD            | 3   | I   |                          |                   |
|       |              | RSVD            | 4   | O   |                          |                   |
|       |              | RSVD            | 5   | O   |                          |                   |
|       |              | RSVD            | 6   | I   |                          |                   |
|       |              | RSVD            | 7   | IO  |                          |                   |
| B7    | TDO          | MSS_GPIO_24     | 0   | IO  | 出力無効化                    | ハイ インピーダンス        |
|       |              | TDO             | 1   | O   |                          |                   |
|       |              | MSS_UARTA_TX    | 2   | IO  |                          |                   |
|       |              | RSVD            | 3   | I   |                          |                   |

表 6-1. ピン属性 (AMQ/FCCSP パッケージ) (続き)

| ボール番号 | ボール名 (デフォルト) | マルチプレクサ信号名   | モード | タイプ | BALL RESET STATE | PULL UP/DOWN TYPE |
|-------|--------------|--------------|-----|-----|------------------|-------------------|
|       |              | RSVD         | 4   | O   |                  |                   |
|       |              | RSVD         | 5   | O   |                  |                   |
|       |              | MSS_UARTB_TX | 6   | IO  |                  |                   |
|       |              | BSS_UARTA_TX | 7   | O   |                  |                   |
|       |              | RSVD         | 8   | O   |                  |                   |
|       |              | RSVD         | 9   | IO  |                  |                   |
| A9    | MCU_CLKOUT   | MSS_GPIO_25  | 0   | IO  | 出力無効化            | PD                |
|       |              | MCU_CLKOUT   | 1   | O   |                  |                   |
|       |              | TRACE_CLK    | 2   | O   |                  |                   |
|       |              | RSVD         | 3   | I   |                  |                   |
|       |              | RSVD         | 4   | O   |                  |                   |
|       |              | RSVD         | 5   | O   |                  |                   |
|       |              | RSVD         | 6   | I   |                  |                   |
|       |              | FRAME_START  | 7   | O   |                  |                   |
|       |              | READY_INT    | 8   | O   |                  |                   |
|       |              | LVDS_VALID   | 9   | O   |                  |                   |
|       |              | BSS_UARTA_RX | 10  | I   |                  |                   |
|       |              | RSVD         | 11  | O   |                  |                   |
|       |              | MSS_EPWMA0   | 12  | O   |                  |                   |
|       |              | RSVD         | 13  | O   |                  |                   |
|       |              | RSVD         | 14  | IO  |                  |                   |
|       |              | OBS_CLKOUT   | 15  | O   |                  |                   |
| T4    | MSS_GPIO_2   | MSS_GPIO_26  | 0   | IO  | 出力無効化            | PD                |
|       |              | MSS_GPIO_2   | 1   | IO  |                  |                   |
|       |              | RSVD         | 2   | O   |                  |                   |
|       |              | RSVD         | 3   | IO  |                  |                   |
|       |              | RSVD         | 4   | O   |                  |                   |
|       |              | RSVD         | 5   | O   |                  |                   |
|       |              | RSVD         | 6   | IO  |                  |                   |
|       |              | MSS_UARTB_TX | 7   | IO  |                  |                   |
|       |              | MSS_GPIO_2   | 8   | IO  |                  |                   |
|       |              | SYNC_OUT     | 9   | O   |                  |                   |
|       |              | PMIC_CLKOUT  | 10  | O   |                  |                   |
|       |              | CHIRP_START  | 11  | O   |                  |                   |
|       |              | CHIRP_END    | 12  | O   |                  |                   |
|       |              | FRAME_START  | 13  | O   |                  |                   |
|       |              | MSS_EPWM_TZ0 | 14  | I   |                  |                   |
|       |              | LVDS_VALID   | 15  | O   |                  |                   |

**表 6-1. ピン属性 (AMQ/FCCSP パッケージ) (続き)**

| ボール番号 | ボール名 (デフォルト)    | マルチプレクサ信号名      | モード | タイプ | BALL RESET STATE | PULL UP/DOWN TYPE |
|-------|-----------------|-----------------|-----|-----|------------------|-------------------|
| B10   | PMIC_CLKOUT     | MSS_GPIO_27     | 0   | IO  | 出力無効化            | ハイ インピーダンス        |
|       |                 | PMIC_CLKOUT     | 1   | O   |                  |                   |
|       |                 | OBS_CLKOUT      | 2   | O   |                  |                   |
|       |                 | TRACE_CTL       | 3   | O   |                  |                   |
|       |                 | RSVD            | 4   | O   |                  |                   |
|       |                 | RSVD            | 5   | O   |                  |                   |
|       |                 | CHIRP_START     | 6   | O   |                  |                   |
|       |                 | CHIRP_END       | 7   | O   |                  |                   |
|       |                 | FRAME_START     | 8   | O   |                  |                   |
|       |                 | READY_INT       | 9   | O   |                  |                   |
|       |                 | LVDS_VALID      | 10  | O   |                  |                   |
|       |                 | MSS_EPWMA1      | 11  | O   |                  |                   |
|       |                 | MSS_EPWMB0      | 12  | O   |                  |                   |
| C17   | HW_SYNCIN       | RSVD            | 13  | IO  |                  |                   |
|       |                 | MSS_GPIO_28     | 0   | IO  | 出力無効化            | PD                |
|       |                 | HW_SYNCIN       | 1   | I   |                  |                   |
|       |                 | ADC_VALID       | 2   | O   |                  |                   |
|       |                 | RSVD            | 3   | IO  |                  |                   |
|       |                 | RSVD            | 4   | O   |                  |                   |
|       |                 | RSVD            | 5   | O   |                  |                   |
|       |                 | MSS_UARTB_RX    | 6   | IO  |                  |                   |
|       |                 | RSVD            | 7   | IO  |                  |                   |
|       |                 | RSVD            | 8   | IO  |                  |                   |
| T2    | MSS_MIBSPIB_CS2 | SYNC_OUT        | 9   | O   |                  |                   |
|       |                 | MSS_GPIO_29     | 0   | IO  | 出力無効化            | ハイ インピーダンス        |
|       |                 | SYNC_OUT        | 1   | O   |                  |                   |
|       |                 | RCOSC_CLK       | 2   | O   |                  |                   |
|       |                 | RSVD            | 3   | IO  |                  |                   |
|       |                 | RSVD            | 4   | O   |                  |                   |
|       |                 | RSVD            | 5   | O   |                  |                   |
|       |                 | READY_INT       | 6   | O   |                  |                   |
|       |                 | LVDS_VALID      | 7   | O   |                  |                   |
|       |                 | RSVD            | 8   | O   |                  |                   |
|       |                 | RSVD            | 9   | IO  |                  |                   |
|       |                 | MSS_MIBSPIB_CS1 | 10  | IO  |                  |                   |
|       |                 | MSS_MIBSPIB_CS2 | 11  | IO  |                  |                   |
|       |                 | MSS_EPWMB0      | 12  | O   |                  |                   |
|       |                 | MSS_EPWMB1      | 13  | O   |                  |                   |

表 6-1. ピン属性 (AMQ/FCCSP パッケージ) (続き)

| ボール番号 | ボール名 (デフォルト) | マルチプレクサ信号名   | モード | タイプ | BALL RESET STATE | PULL UP/DOWN TYPE |
|-------|--------------|--------------|-----|-----|------------------|-------------------|
| A11   | MSS_RS232_RX | MSS_GPIO_15  | 0   | IO  | 出力無効化            | PU                |
|       |              | MSS_RS232_RX | 1   | IO  |                  |                   |
|       |              | MSS_UARTA_RX | 2   | IO  |                  |                   |
|       |              | RSVD         | 4   | O   |                  |                   |
|       |              | RSVD         | 5   | O   |                  |                   |
|       |              | BSS_UARTA_TX | 6   | O   |                  |                   |
|       |              | MSS_UARTB_RX | 7   | IO  |                  |                   |
|       |              | RSVD         | 8   | IO  |                  |                   |
|       |              | MSS_I2CA_SCL | 9   | IO  |                  |                   |
|       |              | MSS_EPWMB0   | 10  | O   |                  |                   |
|       |              | MSS_EPWMB1   | 11  | O   |                  |                   |
|       |              | MSS_EPWMC0   | 12  | O   |                  |                   |
| A16   | MSS_RS232_TX | MSS_GPIO_14  | 0   | IO  | 出力無効化            | PU                |
|       |              | MSS_RS232_TX | 1   | IO  |                  |                   |
|       |              | RSVD         | 3   | O   |                  |                   |
|       |              | RSVD         | 4   | O   |                  |                   |
|       |              | MSS_UARTA_TX | 5   | IO  |                  |                   |
|       |              | MSS_UARTB_TX | 6   | IO  |                  |                   |
|       |              | BSS_UARTA_TX | 7   | O   |                  |                   |
|       |              | READY_INT    | 8   | O   |                  |                   |
|       |              | LVDS_VALID   | 9   | O   |                  |                   |
|       |              | RSVD         | 10  | IO  |                  |                   |
|       |              | MSS_I2CA_SDA | 11  | IO  |                  |                   |
|       |              | MSS_EPWMA0   | 12  | O   |                  |                   |
|       |              | MSS_EPWMA1   | 13  | O   |                  |                   |
|       |              | RSVD         | 14  | IO  |                  |                   |
|       |              | MSS_EPWMB0   | 15  | O   |                  |                   |
| A6    | MSS_GPIO_31  | TRACE_DATA_0 | 0   | O   | 出力無効化            | PD                |
|       |              | MSS_GPIO_31  | 1   | IO  |                  |                   |
|       |              | RSVD         | 2   | IO  |                  |                   |
|       |              | RSVD         | 3   | I   |                  |                   |
|       |              | MSS_UARTA_TX | 4   | IO  |                  |                   |
|       |              | RSVD         | 5   | I   |                  |                   |
|       |              | MSS_GPIO_31  | 6   | IO  |                  |                   |
|       |              | RSVD         | 7   | IO  |                  |                   |
|       |              | RSVD         | 8   | I   |                  |                   |
|       |              | RSVD         | 9   | I   |                  |                   |
|       |              | MSS_I2CA_SDA | 10  | IO  |                  |                   |

**表 6-1. ピン属性 (AMQ/FCCSP パッケージ) (続き)**

| ボール番号 | ボール名 (デフォルト) | マルチプレクサ信号名         | モード | タイプ | BALL RESET STATE | PULL UP/DOWN TYPE |
|-------|--------------|--------------------|-----|-----|------------------|-------------------|
| A10   | MSS_GPIO_30  | TRACE_DATA_1       | 0   | O   | 出力無効化            | PD                |
|       |              | MSS_GPIO_30        | 1   | IO  |                  |                   |
|       |              | RSVD               | 2   | IO  |                  |                   |
|       |              | MSS_EPWMC_SYNCI    | 3   | I   |                  |                   |
|       |              | MSS_UARTA_RX       | 4   | IO  |                  |                   |
|       |              | RSVD               | 5   | I   |                  |                   |
|       |              | MSS_GPIO_0         | 6   | IO  |                  |                   |
|       |              | RSVD               | 7   | IO  |                  |                   |
|       |              | RSVD               | 8   | I   |                  |                   |
|       |              | RSVD               | 9   | I   |                  |                   |
|       |              | MSS_I2CA_SCL       | 10  | IO  |                  |                   |
| B9    | MSS_GPIO_8   | TRACE_DATA_2       | 0   | O   | 出力無効化            | PD                |
|       |              | MSS_GPIO_29        | 1   | IO  |                  |                   |
|       |              | RSVD               | 2   | IO  |                  |                   |
|       |              | MSS_EPWMB_SYNCI    | 3   | I   |                  |                   |
|       |              | RSVD               | 4   | I   |                  |                   |
|       |              | RSVD               | 5   | I   |                  |                   |
|       |              | MSS_GPIO_1         | 6   | IO  |                  |                   |
|       |              | MSS_GPIO_8         | 7   | IO  |                  |                   |
|       |              | MSS_EPWMA0         | 8   | O   |                  |                   |
|       |              | MSS_CPTS0_TS_GENF0 | 9   | O   |                  |                   |
|       |              | CHIRP_START        | 10  | O   |                  |                   |
|       |              | CHIRP_END          | 11  | O   |                  |                   |
|       |              | FRAME_START        | 12  | O   |                  |                   |
|       |              | READY_INT          | 13  | O   |                  |                   |
|       |              | ADC_VALID          | 14  | O   |                  |                   |
| B11   | MSS_GPIO_9   | TRACE_DATA_3       | 0   | O   | 出力無効化            | PD                |
|       |              | MSS_GPIO_28        | 1   | IO  |                  |                   |
|       |              | RSVD               | 2   | IO  |                  |                   |
|       |              | RSVD               | 3   | I   |                  |                   |
|       |              | MSS_EPWMC_SYNC0    | 4   | O   |                  |                   |
|       |              | RSVD               | 5   | I   |                  |                   |
|       |              | MSS_GPIO_2         | 6   | IO  |                  |                   |
|       |              | MSS_GPIO_9         | 7   | IO  |                  |                   |
|       |              | MSS_EPWMA1         | 8   | O   |                  |                   |
|       |              | MSS_CPTS0_TS_GENF1 | 9   | O   |                  |                   |
|       |              | CHIRP_START        | 10  | O   |                  |                   |
|       |              | CHIRP_END          | 11  | O   |                  |                   |

表 6-1. ピン属性 (AMQ/FCCSP パッケージ) (続き)

| ボール番号 | ボール名 (デフォルト) | マルチプレクサ信号名          | モード | タイプ | BALL RESET STATE | PULL UP/DOWN TYPE |
|-------|--------------|---------------------|-----|-----|------------------|-------------------|
|       |              | FRAME_START         | 12  | O   |                  |                   |
|       |              | READY_INT           | 13  | O   |                  |                   |
|       |              | ADC_VALID           | 14  | O   |                  |                   |
| A7    | MSS_GPIO_3   | TRACE_DATA_4        | 0   | O   | 出力無効化            | PD                |
|       |              | MSS_GPIO_3          | 1   | IO  |                  |                   |
|       |              | RSVD                | 2   | IO  |                  |                   |
|       |              | RSVD                | 3   | I   |                  |                   |
|       |              | MSS_EPWMB_SYNCO     | 4   | O   |                  |                   |
|       |              | RSVD                | 5   | I   |                  |                   |
|       |              | MSS_GPIO_27         | 6   | IO  |                  |                   |
|       |              | MSS_EPWMB0          | 7   | O   |                  |                   |
|       |              | MSS_CPTS0_TS_GENF2  | 8   | O   |                  |                   |
|       |              | XREF_CLK1           | 9   | I   |                  |                   |
|       |              | MSS_CPTS0_TS_GENF1  | 10  | O   |                  |                   |
|       |              | MSS_CPTS0_HW1TSPUSH | 11  | I   |                  |                   |
|       |              | ADC_VALID           | 12  | O   |                  |                   |
| A8    | MSS_GPIO_4   | TRACE_DATA_5        | 0   | O   | 出力無効化            | PD                |
|       |              | MSS_GPIO_4          | 1   | IO  |                  |                   |
|       |              | RSVD                | 2   | IO  |                  |                   |
|       |              | RSVD                | 3   | I   |                  |                   |
|       |              | MSS_EPWM_TZ2        | 4   | I   |                  |                   |
|       |              | MSS_UARTB_TX        | 5   | IO  |                  |                   |
|       |              | MSS_GPIO_26         | 6   | IO  |                  |                   |
|       |              | MSS_EPWMB1          | 7   | O   |                  |                   |
|       |              | MSS_CPTS0_TS_COMP   | 8   | O   |                  |                   |
|       |              | XREF_CLK0           | 9   | I   |                  |                   |
|       |              | MSS_CPTS0_HW2TSPUSH | 10  | I   |                  |                   |
|       |              | READY_INT           | 11  | O   |                  |                   |
| B18   | BSS_UARTA_TX | TRACE_DATA_6        | 0   | O   | 出力無効化            | PD                |
|       |              | MSS_GPIO_5          | 1   | IO  |                  |                   |
|       |              | RSVD                | 2   | IO  |                  |                   |
|       |              | RSVD                | 3   | I   |                  |                   |
|       |              | MSS_EPWM_TZ1        | 4   | I   |                  |                   |
|       |              | BSS_UARTA_TX        | 5   | O   |                  |                   |
|       |              | MSS_GPIO_25         | 6   | IO  |                  |                   |
|       |              | MSS_GPIO_10         | 7   | IO  |                  |                   |
|       |              | MSS_EPWMC0          | 8   | O   |                  |                   |
|       |              | MSS_CPTS0_TS_GENF2  | 9   | O   |                  |                   |

**表 6-1. ピン属性 (AMQ/FCCSP パッケージ) (続き)**

| ボール番号 | ボール名 (デフォルト)   | マルチプレクサ信号名          | モード | タイプ | BALL RESET STATE | PULL UP/DOWN TYPE |
|-------|----------------|---------------------|-----|-----|------------------|-------------------|
|       |                | MSS_CPTS0_HW1TSPUSH | 10  | I   |                  |                   |
|       |                | CHIRP_START         | 11  | O   |                  |                   |
| A17   | MSS_GPIO_11    | TRACE_DATA_7        | 0   | O   | 出力無効化            | PD                |
|       |                | MSS_GPIO_6          | 1   | IO  |                  |                   |
|       |                | RSVD                | 2   | IO  |                  |                   |
|       |                | RSVD                | 3   | I   |                  |                   |
|       |                | MSS_EPWM_TZ0        | 4   | I   |                  |                   |
|       |                | RSVD                | 5   | IO  |                  |                   |
|       |                | MSS_GPIO_24         | 6   | IO  |                  |                   |
|       |                | MSS_GPIO_11         | 7   | IO  |                  |                   |
|       |                | MSS_EPWMC1          | 8   | O   |                  |                   |
|       |                | MSS_CPTS0_TS_COMP   | 9   | O   |                  |                   |
|       |                | MSS_CPTS0_TS_GENF0  | 10  | O   |                  |                   |
|       |                | MSS_CPTS0_HW2TSPUSH | 11  | I   |                  |                   |
|       |                | CHIRP_END           | 12  | O   |                  |                   |
| T13   | MSS_GPIO_17    | MSS_GPIO_17         | 0   | IO  | 出力無効化            | PD                |
|       |                | MSS_MII_COL         | 1   | I   |                  |                   |
|       |                | MSS_RMII_REFCLK     | 2   | IO  |                  |                   |
|       |                | RSVD                | 3   | I   |                  |                   |
|       |                | RSVD                | 4   | IO  |                  |                   |
|       |                | RSVD                | 5   | I   |                  |                   |
|       |                | MSS_EPWMA1          | 6   | O   |                  |                   |
| T12   | MSS_I2CA_SDA   | MSS_GPIO_18         | 0   | IO  |                  | ハイ インピーダンス        |
|       |                | MSS_MII_CRD         | 1   | I   |                  |                   |
|       |                | MSS_RMII_CRD_DV     | 2   | I   |                  |                   |
|       |                | MSS_I2CA_SDA        | 3   | IO  |                  |                   |
|       |                | RSVD                | 4   | IO  |                  |                   |
|       |                | RSVD                | 5   | I   |                  |                   |
|       |                | MSS_EPWMB1          | 6   | O   |                  |                   |
| R12   | MSS_I2CA_SCL   | MSS_GPIO_19         | 0   | IO  |                  | ハイ インピーダンス        |
|       |                | MSS_MII_RXER        | 1   | I   |                  |                   |
|       |                | MSS_RMII_RXER       | 2   | I   |                  |                   |
|       |                | MSS_I2CA_SCL        | 3   | IO  |                  |                   |
|       |                | RSVD                | 4   | IO  |                  |                   |
|       |                | RSVD                | 5   | I   |                  |                   |
|       |                | MSS_EPWMC1          | 6   | O   |                  |                   |
| M17   | MSS_RGMII_TCTL | MSS_GPIO_20         | 0   | IO  | 出力無効化            | PD                |
|       |                | MSS_MII_TXEN        | 1   | O   |                  |                   |

表 6-1. ピン属性 (AMQ/FCCSP パッケージ) (続き)

| ボール番号 | ボール名 (デフォルト)   | マルチプレクサ信号名     | モード | タイプ | BALL RESET STATE | PULL UP/DOWN TYPE |
|-------|----------------|----------------|-----|-----|------------------|-------------------|
|       |                | MSS_RMII_TXEN  | 2   | O   |                  |                   |
|       |                | MSS_RGMII_TCTL | 3   | O   |                  |                   |
|       |                | RSVD           | 4   | IO  |                  |                   |
|       |                | RSVD           | 5   | I   |                  |                   |
|       |                | MSS_EPWMA0     | 6   | O   |                  |                   |
| U16   | MSS_RGMII_RCTL | MSS_GPIO_21    | 0   | IO  |                  | ハイ インピーダンス        |
|       |                | MSS_MII_RXDV   | 1   | I   |                  |                   |
|       |                | RSVD           | 2   | I   |                  |                   |
|       |                | MSS_RGMII_RCTL | 3   | I   |                  |                   |
|       |                | MSS_UARTB_RX   | 5   | IO  |                  |                   |
|       |                | MSS_EPWMB0     | 6   | O   |                  |                   |
| N17   | MSS_RGMII_TD3  | MSS_GPIO_22    | 0   | IO  | 出力無効化            | PD                |
|       |                | MSS_MII_TXD3   | 1   | O   |                  |                   |
|       |                | RSVD           | 2   | I   |                  |                   |
|       |                | MSS_RGMII_TD3  | 3   | O   |                  |                   |
|       |                | RSVD           | 4   | IO  |                  |                   |
|       |                | MSS_UARTB_TX   | 5   | IO  |                  |                   |
|       |                | MSS_EPWMC0     | 6   | O   |                  |                   |
| T18   | MSS_RGMII_TD2  | MSS_GPIO_23    | 0   | IO  | 出力無効化            | PD                |
|       |                | MSS_MII_TXD2   | 1   | O   |                  |                   |
|       |                | RSVD           | 2   | I   |                  |                   |
|       |                | MSS_RGMII_TD2  | 3   | O   |                  |                   |
| P17   | MSS_RGMII_TD1  | MSS_GPIO_24    | 0   | IO  | 出力無効化            | PD                |
|       |                | MSS_MII_TXD1   | 1   | O   |                  |                   |
|       |                | MSS_RMII_TXD1  | 2   | O   |                  |                   |
|       |                | MSS_RGMII_TD1  | 3   | O   |                  |                   |
| R17   | MSS_RGMII_TD0  | MSS_GPIO_25    | 0   | IO  | 出力無効化            | PD                |
|       |                | MSS_MII_TXD0   | 1   | O   |                  |                   |
|       |                | MSS_RMII_TXD0  | 2   | O   |                  |                   |
|       |                | MSS_RGMII_TD0  | 3   | O   |                  |                   |
| T17   | MSS_RGMII_TCLK | MSS_GPIO_26    | 0   | IO  | 出力無効化            | PD                |
|       |                | MSS_MII_TXCLK  | 1   | I   |                  |                   |
|       |                | RSVD           | 2   | I   |                  |                   |
|       |                | MSS_RGMII_TCLK | 3   | O   |                  |                   |
| U15   | MSS_RGMII_RCLK | MSS_GPIO_27    | 0   | IO  | 出力無効化            | PD                |
|       |                | MSS_MII_RXCLK  | 1   | I   |                  |                   |
|       |                | RSVD           | 2   | I   |                  |                   |
|       |                | MSS_RGMII_RCLK | 3   | I   |                  |                   |

**表 6-1. ピン属性 (AMQ/FCCSP パッケージ) (続き)**

| ボール番号 | ボール名 (デフォルト)  | マルチプレクサ信号名          | モード | タイプ | BALL RESET STATE | PULL UP/DOWN TYPE |
|-------|---------------|---------------------|-----|-----|------------------|-------------------|
| U17   | MSS_RGMII_RD3 | MSS_GPIO_28         | 0   | IO  |                  | ハイ インピーダンス        |
|       |               | MSS_MII_RXD3        | 1   | I   |                  |                   |
|       |               | RSVD                | 2   | I   |                  |                   |
|       |               | MSS_RGMII_RD3       | 3   | I   |                  |                   |
| R16   | MSS_RGMII_RD2 | MSS_GPIO_29         | 0   | IO  |                  | ハイ インピーダンス        |
|       |               | MSS_MII_RXD2        | 1   | I   |                  |                   |
|       |               | RSVD                | 2   | I   |                  |                   |
|       |               | MSS_RGMII_RD2       | 3   | I   |                  |                   |
| T16   | MSS_RGMII_RD1 | MSS_GPIO_30         | 0   | IO  |                  | ハイ インピーダンス        |
|       |               | MSS_MII_RXD1        | 1   | I   |                  |                   |
|       |               | MSS_RMII_RXD1       | 2   | I   |                  |                   |
|       |               | MSS_RGMII_RD1       | 3   | I   |                  |                   |
| T15   | MSS_RGMII_RD0 | MSS_GPIO_31         | 0   | IO  |                  | ハイ インピーダンス        |
|       |               | MSS_MII_RXD0        | 1   | I   |                  |                   |
|       |               | MSS_RMII_RXD0       | 2   | I   |                  |                   |
|       |               | MSS_RGMII_RD0       | 3   | I   |                  |                   |
| T14   | MSS_MDIO_DATA | MSS_GPIO_30         | 0   | IO  | 出力無効化            | PU                |
|       |               | MSS_MDIO_DATA       | 1   | IO  |                  |                   |
|       |               | RSVD                | 2   | I   |                  |                   |
|       |               | RSVD                | 3   | I   |                  |                   |
| U14   | MSS_MDIO_CLK  | MSS_GPIO_31         | 0   | IO  | 出力無効化            | PU                |
|       |               | MSS_MDIO_CLK        | 1   | O   |                  |                   |
|       |               | RSVD                | 2   | I   |                  |                   |
|       |               | RSVD                | 3   | I   |                  |                   |
| P1    | MSS_UARTA_RX  | MSS_GPIO_12         | 0   | IO  | 出力無効化            | PU                |
|       |               | MSS_CPTS0_TS_SYNC   | 1   | O   |                  |                   |
|       |               | RSVD                | 2   | I   |                  |                   |
|       |               | MSS_GPIO_8          | 3   | IO  |                  |                   |
|       |               | MSS_UARTB_RX        | 4   | IO  |                  |                   |
|       |               | MSS_UARTA_RX        | 5   | IO  |                  |                   |
| R2    | MSS_UARTA_TX  | RSVD                | 6   | IO  |                  |                   |
|       |               | MSS_GPIO_13         | 0   | IO  |                  | ハイ インピーダンス        |
|       |               | MSS_CPTS0_HW2TSPUSH | 1   | I   |                  |                   |
|       |               | RSVD                | 2   | I   |                  |                   |
|       |               | MSS_GPIO_9          | 3   | IO  |                  |                   |
|       |               | MSS_UARTB_TX        | 4   | IO  |                  |                   |
|       |               | MSS_UARTA_TX        | 5   | IO  |                  |                   |
|       |               | RSVD                | 6   | IO  |                  |                   |

表 6-1. ピン属性 (AMQ/FCCSP パッケージ) (続き)

| ボール番号 | ボール名 (デフォルト) | マルチプレクサ信号名      | モード | タイプ | BALL RESET STATE | PULL UP/DOWN TYPE |
|-------|--------------|-----------------|-----|-----|------------------|-------------------|
| P2    | MSS_UARTB_TX | MSS_GPIO_0      | 0   | IO  |                  | ハイ インピーダンス        |
|       |              | RSVD            | 1   | IO  |                  |                   |
|       |              | RSVD            | 2   | I   |                  |                   |
|       |              | MSS_EPWMB_SYNCI | 3   | I   |                  |                   |
|       |              | RSVD            | 4   | IO  |                  |                   |
|       |              | MSS_UARTA_TX    | 5   | IO  |                  |                   |
|       |              | MSS_UARTB_TX    | 6   | IO  |                  |                   |
|       |              | RSVD            | 7   | I   |                  |                   |
|       |              | LVDS_VALID      | 8   | O   |                  |                   |
|       |              | RSVD            | 9   | I   |                  |                   |
|       |              | RSVD            | 10  | I   |                  |                   |
|       |              | RSVD            | 11  | I   |                  |                   |
|       |              | MSS_GPIO_31     | 12  | IO  |                  |                   |

## 6.3 信号の説明 - デジタル

### 注

本デバイスのすべてのデジタル IO ピン (NERROR\_OUT、WARM\_RESET を除く) フェイルセーフではないので、VIO 電源が本デバイスに供給されていない状態において、これらの IO ピンが外部から駆動されないように注意する必要があります。

### 注

電源ランプ時の GPIO 状態は保証されません。GPIO の状態が重要なアプリケーションで GPIO を使用する場合には、NRESET が Low であるときにも、トライステート バッファを使用して GPIO 出力をレーダー デバイスから分離し、プル抵抗を使って、アプリケーションで必要な状態を確定する必要があります。レーダー デバイスへの NRESET 信号は、トライステート バッファの出力イネーブル (OE) を制御するために使用できます。

| FUNCTION          | 信号名             | ピンの種類 | 説明                                      | ボール番号                           |
|-------------------|-----------------|-------|-----------------------------------------|---------------------------------|
| SPI インターフェイス      | MSS_MIBSPIB_CLK | O     | SPI チャンネル B - クロック                      | R1、T7                           |
|                   | MSS_MIBSPIB_SDO | O     | SPI チャンネル B - シリアル データ出力                | T3                              |
|                   | MSS_MIBSPIB_SDI | I     | SPI チャンネル B - シリアル データ入力                | U2                              |
|                   | MSS_MIBSPIB_CS0 | O     | SPI チャンネル B - チップ セレクト 0                | T1、T6                           |
|                   | MSS_MIBSPIB_CS1 | O     | SPI チャンネル B - チップ セレクト 1                | U3、U4、T2                        |
|                   | MSS_MIBSPIB_CS2 | O     | PI チャンネル B - チップ セレクト 2                 | T2、U7                           |
| UART (MSS)        | MSS_UARTA_RX    | I     | メイン サブシステム - UART A 受信 (フラッシュ プログラミング用) | P1、A10、A11、B8、R1                |
|                   | MSS_UARTA_TX    | IO    | メイン サブシステム - UART A 送信 (フラッシュ プログラミング用) | R2、A6、A16、B7、P2、T1              |
|                   | MSS_UARTB_TX    | IO    | メイン サブシステム - UART B 送信                  | P2、A8、A16、B4、B6、N17、R1、R2、T1、T4 |
|                   | MSS_UARTB_RX    | I     | メイン サブシステム - UART B 受信                  | A11、C17、P1、U16                  |
| シリアル フラッシュ向け QSPI | MSS_QSPI_0      | IO    | QSPI データライン #0 (シリアル データ フラッシュと使用)      | U8                              |
|                   | MSS_QSPI_1      | I     | QSPI データライン #1 (シリアル データ フラッシュと使用)      | U7                              |
|                   | MSS_QSPI_2      | I     | QSPI データライン #2 (シリアル データ フラッシュと使用)      | U6                              |
|                   | MSS_QSPI_3      | I     | QSPI データライン #3 (シリアル データ フラッシュと使用)      | T5                              |
|                   | MSS_QSPI_CLK    | IO    | QSPI クロック (シリアル データ フラッシュと使用)           | T7                              |
|                   | MSS_QSPI_CS     | O     | QSPI チップ セレクト (シリアル データ フラッシュと使用)       | T6                              |
| I2C インターフェイス      | MSS_I2C_SCL     | IO    | I2C クロック                                | R12、A10、A11、U2                  |
|                   | MSS_I2C_SDA     | IO    | I2C データ                                 | T12、A6、A16、T3                   |
| RS232 UART        | MSS_RS232_RX    | IO    | デバッグ UART (バス マスタとして動作) - 受信信号          | A11                             |
|                   | MSS_RS232_TX    | IO    | デバッグ UART (バス マスタとして動作) - 送信信号          | A16                             |

| FUNCTION  | 信号名             | ピンの種類 | 説明                  | ボール番号                       |
|-----------|-----------------|-------|---------------------|-----------------------------|
| PWM モジュール | MSS_EPWMA0      | O     | PWM モジュール 1 - 出力 A0 | A9、A16、B9、M17、T3            |
|           | MSS_EPWMA1      | O     | PWM モジュール 1 - 出力 A1 | A16、B10、B11、U5、T13          |
|           | MSS_EPWMA_SYNCI | I     | PWM モジュール 1 - 同期入力  | U4                          |
|           | MSS_EPWMA_SYNCO | O     | PWM モジュール 1 - 同期出力  | A7、B11                      |
|           | MSS_EPWMB0      | O     | PWM モジュール 2 - 出力 B0 | A7、A11、A16、B10、T2、U2、U5、U16 |
|           | MSS_EPWMB1      | O     | PWM モジュール 2 - 出力 B1 | A8、A11、T2、T12               |
|           | MSS_EPWMB_SYNCI | I     | PWM モジュール 2 - 同期入力  | B9、P2                       |
|           | MSS_EPWMB_SYNCO | O     | PWM モジュール 2 - 同期出力  | A7                          |
|           | MSS_EPWMC0      | O     | PWM モジュール 3 - 出力 C0 | A11、B18、N17、R1              |
|           | MSS_EPWMC1      | O     | PWM モジュール 3 - 出力 C1 | A17、R12                     |
|           | MSS_EPWMC_SYNCI | I     | PWM モジュール 3 - 同期入力  | A10                         |
|           | MSS_EPWMC_SYNCO | O     | PWM モジュール 3 - 同期出力  | B11                         |
|           | MSS_EPWM_TZ0    | I     | PWM モジュールトリップ信号 0   | A17、T4                      |
|           | MSS_EPWM_TZ1    | I     | PWM モジュールトリップ信号 1   | B18、U4                      |
|           | MSS_EPWM_TZ2    | I     | PWM モジュールトリップ信号 2   | A8、U5                       |

| FUNCTION                      | 信号名                 | ピンの種類 | 説明                                 | ボール番号     |
|-------------------------------|---------------------|-------|------------------------------------|-----------|
| RGMII/<br>RMII/MII イー<br>サネット | MSS_MII_COL         | I     | MSS イーサネット MII 衝突検出                | T13       |
|                               | MSS_MII_CRS         | I     | MSS イーサネット MII キャリア センス            | T12       |
|                               | MSS_MII_RXER        | I     | MSS イーサネット MII 受信エラー               | R12       |
|                               | MSS_MII_TXEN        | O     | MSS イーサネット MII 送信イネーブル             | M17       |
|                               | MSS_MII_RXDV        | I     | MSS イーサネット MII 受信データ有効             | U16       |
|                               | MSS_MII_TXD3        | O     | MSS イーサネット MII 送信データ 3             | N17       |
|                               | MSS_MII_TXD2        | O     | MSS イーサネット MII 送信データ 2             | T18       |
|                               | MSS_MII_TXD1        | O     | MSS イーサネット MII 送信データ 1             | P17       |
|                               | MSS_MII_TXD0        | O     | MSS イーサネット MII 送信データ 0             | R17       |
|                               | MSS_MII_TXCLK       | I     | MSS イーサネット MII 送信クロック              | T17       |
|                               | MSS_MII_RXCLK       | I     | MSS イーサネット MII 受信クロック              | U15       |
|                               | MSS_MII_RXD3        | I     | MSS イーサネット MII 受信データ 3             | U17       |
|                               | MSS_MII_RXD2        | I     | MSS イーサネット MII 受信データ 2             | R16       |
|                               | MSS_MII_RXD1        | I     | MSS イーサネット MII 受信データ 1             | T16       |
|                               | MSS_MII_RXD0        | I     | MSS イーサネット MII 受信データ 0             | T15       |
|                               | MSS_RMII_REFCLK     | IO    | MSS イーサネット RMII クロック入力             | T13       |
|                               | MSS_RMII_CRS_DV     | I     | MSS イーサネット RMII キャリア センス / 受信データ有効 | T12       |
|                               | MSS_RMII_RXER       | I     | MSS イーサネット RMII 受信エラー              | R12       |
|                               | MSS_RMII_TXEN       | O     | MSS イーサネット RMII 送信イネーブル            | M17       |
|                               | MSS_RMII_TXD1       | O     | MSS イーサネット RMII 送信データ 1            | P17       |
|                               | MSS_RMII_TXD0       | O     | MSS イーサネット RMII 送信データ 0            | R17       |
|                               | MSS_RMII_RXD1       | I     | MSS イーサネット MII 受信データ 1             | T16       |
|                               | MSS_RMII_RXD0       | I     | MSS イーサネット MII 受信データ 0             | T15       |
|                               | MSS_RGMII_TCTL      | O     | MSS イーサネット RGMII 送信制御              | M17       |
|                               | MSS_RGMII_RCTL      | I     | MSS イーサネット RGMII 受信制御              | U16       |
|                               | MSS_RGMII_TD3       | O     | MSS イーサネット RGMII 送信データ 3           | N17       |
|                               | MSS_RGMII_TD2       | O     | MSS イーサネット RGMII 送信データ 2           | T18       |
|                               | MSS_RGMII_TD1       | O     | MSS イーサネット RGMII 送信データ 1           | P17       |
|                               | MSS_RGMII_TD0       | O     | MSS イーサネット RGMII 送信データ 0           | R17       |
|                               | MSS_RGMII_TCLK      | O     | MSS イーサネット RGMII 送信クロック            | T17       |
|                               | MSS_RGMII_RCLK      | I     | MSS イーサネット RGMII 受信クロック            | U15       |
|                               | MSS_RGMII_RD3       | I     | MSS イーサネット RGMII 受信データ 3           | U17       |
|                               | MSS_RGMII_RD2       | I     | MSS イーサネット RGMII 受信データ 2           | R16       |
|                               | MSS_RGMII_RD1       | I     | MSS イーサネット RGMII 受信データ 1           | T16       |
|                               | MSS_RGMII_RD0       | I     | MSS イーサネット RGMII 受信データ 0           | T15       |
|                               | MSS_MDIO_DATA       | IO    | MSS イーサネット管理データの入出力データ             | T14       |
|                               | MSS_MDIO_CLK        | O     | MSS イーサネット管理データの入出力クロック            | U14       |
|                               | MSS_CPTS0_TS_SYNC   | O     | イーサネット タイムスタンプ同期出力                 | P1        |
|                               | MSS_CPTS0_HW2TSPUSH | I     | イーサネット ハードウェア タイムスタンプ入力ピン          | A8、A17、R2 |

| FUNCTION | 信号名                 | ピンの種類 | 説明                        | ボール番号  |
|----------|---------------------|-------|---------------------------|--------|
|          | MSS_CPTS0_HW1TSPUSH | I     | イーサネット ハードウェア タイムスタンプ入力ピン | A7、B18 |
| トレース信号   | TRACE_DATA_0        | O     | デバッグトレース出力 - データライン       | A6     |
|          | TRACE_DATA_1        | O     | デバッグトレース出力 - データライン       | A10    |
|          | TRACE_DATA_2        | O     | デバッグトレース出力 - データライン       | B9     |
|          | TRACE_DATA_3        | O     | デバッグトレース出力 - データライン       | B11    |
|          | TRACE_DATA_4        | O     | デバッグトレース出力 - データライン       | A7     |
|          | TRACE_DATA_5        | O     | デバッグトレース出力 - データライン       | A8     |
|          | TRACE_DATA_6        | O     | デバッグトレース出力 - データライン       | B18    |
|          | TRACE_DATA_7        | O     | デバッグトレース出力 - データライン       | A17    |
|          | TRACE_CLK           | O     | デバッグトレース出力 - クロック         | A9     |
|          | TRACE_CTL           | O     | デバッグトレース出力 - 制御           | B10    |

| FUNCTION | 信号名         | ピンの種類 | 説明     | ボール番号         |
|----------|-------------|-------|--------|---------------|
| 汎用 I/O   | MSS_GPIO_0  | IO    | 汎用 I/O | U5、A10、P2     |
|          | MSS_GPIO_1  | IO    | 汎用 I/O | U4、B9         |
|          | MSS_GPIO_2  | IO    | 汎用 I/O | T4、B11        |
|          | MSS_GPIO_3  | IO    | 汎用 I/O | A7            |
|          | MSS_GPIO_4  | IO    | 汎用 I/O | A8、T1         |
|          | MSS_GPIO_5  | IO    | 汎用 I/O | B18、R1        |
|          | MSS_GPIO_6  | IO    | 汎用 I/O | A17、T6        |
|          | MSS_GPIO_7  | IO    | 汎用 I/O | T7            |
|          | MSS_GPIO_8  | IO    | 汎用 I/O | B9、P1、U8      |
|          | MSS_GPIO_9  | IO    | 汎用 I/O | B11、R2、U7     |
|          | MSS_GPIO_10 | IO    | 汎用 I/O | B18、U6        |
|          | MSS_GPIO_11 | IO    | 汎用 I/O | A17、T5        |
|          | MSS_GPIO_12 | IO    | 汎用 I/O | P1、U2         |
|          | MSS_GPIO_13 | IO    | 汎用 I/O | R2、U5         |
|          | MSS_GPIO_14 | IO    | 汎用 I/O | A16           |
|          | MSS_GPIO_15 | IO    | 汎用 I/O | A11           |
|          | MSS_GPIO_16 | IO    | 汎用 I/O | U4            |
|          | MSS_GPIO_17 | IO    | 汎用 I/O | T13、B6        |
|          | MSS_GPIO_18 | IO    | 汎用 I/O | B5、T12        |
|          | MSS_GPIO_19 | IO    | 汎用 I/O | R12           |
|          | MSS_GPIO_20 | IO    | 汎用 I/O | M17           |
|          | MSS_GPIO_21 | IO    | 汎用 I/O | U16、T3        |
|          | MSS_GPIO_22 | IO    | 汎用 I/O | N17、U2        |
|          | MSS_GPIO_23 | IO    | 汎用 I/O | B8、T18        |
|          | MSS_GPIO_24 | IO    | 汎用 I/O | A17、B7、P17    |
|          | MSS_GPIO_25 | IO    | 汎用 I/O | A9、B18、R17    |
|          | MSS_GPIO_26 | IO    | 汎用 I/O | A8、T4、T17     |
|          | MSS_GPIO_27 | IO    | 汎用 I/O | A7、B10、U15    |
|          | MSS_GPIO_28 | IO    | 汎用 I/O | B11、C17、U17   |
|          | MSS_GPIO_29 | IO    | 汎用 I/O | B9、R16、T2     |
|          | MSS_GPIO_30 | IO    | 汎用 I/O | A10、T14、T16   |
|          | MSS_GPIO_31 | IO    | 汎用 I/O | A6、P2、T15、U14 |

| FUNCTION    | 信号名          | ピンの種類 | 説明                                                                                         | ボール番号                      |
|-------------|--------------|-------|--------------------------------------------------------------------------------------------|----------------------------|
| チャープ/フレーム信号 | ADC_VALID    | O     | High のとき、有効な ADC サンプルを示します                                                                 | A7、B9、B11、C17、T5、U3、U6     |
|             | CHIRP_START  | O     | 各チャープの開始を示すパルス信号                                                                           | B9、B10、B11、B18、T4          |
|             | CHIRP_END    | O     | 各チャープの終了を示すパルス信号                                                                           | A17、B9、B10、B11、T4          |
|             | FRAME_START  | O     | 各フレームの開始を示すパルス信号                                                                           | A9、B9、B10、B11、T4           |
| LVDS_VALID  | LVDS_VALID   | O     | High のとき、有効な LVDS データを示します                                                                 | A9、A16、B10、P2、T2、T4、U4     |
| 外部クロック出力    | MCU_CLKOUT   | O     | 外部 MCU またはプロセッサに供給されるプログラマブルクロック                                                           | A9                         |
|             | PMIC_CLKOUT  | O     | PMIC 向けのデバイスからの出力クロック                                                                      | B10、T4、U5                  |
| システムの同期     | HW_SYNCIN    | I     | 低周波数同期信号入力                                                                                 | C17                        |
|             | SYNC_OUT     | O     | 低周波数同期信号出力                                                                                 | C17、T2、T4、U4               |
| クロック出力      | OBS_CLKOUT   | O     | デバッグ クロック出力                                                                                | A9、B10                     |
|             | RCOSC_CLK    | O     | デバッグ クロック出力                                                                                | T2                         |
| リファレンス クロック | XREF_CLK0    | I     | 外部基準入力クロック 0                                                                               | A8                         |
|             | XREF_CLK1    | I     | 外部基準入力クロック 1                                                                               | A7                         |
| JTAG        | TCK          | I     | JTAG テスト クロック                                                                              | B6                         |
|             | TMS          | IO    | JTAG テスト モード信号                                                                             | B5                         |
|             | TDI          | I     | JTAG テスト データ入力                                                                             | B8                         |
|             | TDO          | O     | JTAG テスト データ出力                                                                             | B7                         |
| UART (BSS)  | BSS_UARTA_TX | O     | デバッグ UART 送信 [レーダー ブロック]                                                                   | B18、A16、A11、B5、B7、R1、T1、U4 |
|             | BSS_UARTA_RX | I     | デバッグ UART 受信 [レーダー ブロック]                                                                   | A9、B6                      |
| リセット        | WARM_RESET   | IO    | オープンドレインのフェイルセーフ ウォームリセット信号。診断用として PMIC から駆動するか、または、デバイスがリセット中であることを示すステータス信号として使用できます。    | B17                        |
| 安全          | NERROR_OUT   | O     | オープンドレインのフェイルセーフ出力信号。非常に重大なフォルトが発生していることを示すために、PMIC / プロセッサ / MCU に接続されています。復帰にはリセットが必要です。 | D17                        |

| FUNCTION    | 信号名                              | ピンの種類 | 説明                                                                                                                                                                                                                                                                                                                                                                                                                            | ボール番号 |
|-------------|----------------------------------|-------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------|
| センス オン パワー  | SOP[0]                           | I     | SOP ピンは外部から駆動され (弱い駆動)、ミリ波デバイスはブートアップ時にこれらのピンの状態を検出して、ブートアップ モードを決定します。ブート後は、同じピンが他の機能を持つようになります。<br>• [SOP2 SOP1 SOP0] = [0 0 1] -> 機能 QSPI 負荷モード<br>• [SOP2 SOP1 SOP0] = [1 0 1]-> UART 負荷モード<br>• [SOP2 SOP1 SOP0] = [0 1 1]-> デバッグおよび開発モード<br>• [SOP2 SOP1 SOP0] = [1 1 0] -> カスタマー キー プロビジョニング用の JTAG ロード モード<br>以下の SOP ピンの設定により、基準水晶発振子の周波数が決定されます<br>• [SOP4 SOP3] = [0 0] -> 40MHz<br>• [SOP4 SOP3] = [1 1] -> 50MHz | B7    |
|             | SOP[1]                           | I     |                                                                                                                                                                                                                                                                                                                                                                                                                               | T2    |
|             | SOP[2]                           | I     |                                                                                                                                                                                                                                                                                                                                                                                                                               | B10   |
|             | SOP[3]                           | I     |                                                                                                                                                                                                                                                                                                                                                                                                                               | P2    |
|             | SOP[4]                           | I     |                                                                                                                                                                                                                                                                                                                                                                                                                               | R2    |
| CSI2 (LVDS) | CSI2_TXM0 / LVDS_TXM0            | O     | CSI2/LVDS トランスミッタ、差動データ出力、レーン 0                                                                                                                                                                                                                                                                                                                                                                                               | K17   |
|             | CSI2_TXP0 / LVDS_TXP0            | O     |                                                                                                                                                                                                                                                                                                                                                                                                                               | K18   |
|             | CSI2_TXM4/LVDS_CLKM              | O     | CSI2/LVDS 差動クロック                                                                                                                                                                                                                                                                                                                                                                                                              | L17   |
|             | CSI2_TXP4/LVDS_CLKP              | O     |                                                                                                                                                                                                                                                                                                                                                                                                                               | L18   |
|             | CSI2_CLKM/CSI2_TXM2/LVDS_FRCLKM  | O     | CSI2/LVDS 差動フレーム クロック                                                                                                                                                                                                                                                                                                                                                                                                         | F17   |
|             | CSI2_CLKP/CSI2_TXP2/LVDS_FRCLKMP | O     |                                                                                                                                                                                                                                                                                                                                                                                                                               | F18   |
|             | CSI2_TXM1 / LVDS_TXM1            | O     | CSI2/LVDS トランスミッタ、差動データ出力、レーン 1                                                                                                                                                                                                                                                                                                                                                                                               | J17   |
|             | CSI2_TXP1 / LVDS_TXP1            | O     |                                                                                                                                                                                                                                                                                                                                                                                                                               | J18   |
|             | CSI2_TXM3                        | O     | CSI2 トランスミッタ — 差動データ出力                                                                                                                                                                                                                                                                                                                                                                                                        | G17   |
|             | CSI2_TXP3                        | O     | CSI2 トランスミッタ — 差動データ出力                                                                                                                                                                                                                                                                                                                                                                                                        | G18   |

## 6.4 信号の説明 - アナログ

| インターフェイス           | 信号名             | ピンの種類 | 説明                                                                                                                            | ボール番号 |
|--------------------|-----------------|-------|-------------------------------------------------------------------------------------------------------------------------------|-------|
| 導波管が起動             | トランスミッタ         | O     | TX 出力用導波管起動                                                                                                                   |       |
|                    | レシーバ            | I     | RX 入力用導波管起動                                                                                                                   |       |
| リセット               | NRESET          | I     | チップのパワーオンリセット。アクティブ Low。デバイスを正しくリセットするには、NRESET を最低 20 $\mu$ sec の間 low に保つ必要があります。                                           | E17   |
| リファレンス発振器          | CLKP            | I     | XTAL モード:リファレンス水晶振動子用入力<br>外部クロック モード:シングルエンド入力リファレンス クロック ポート                                                                | F2    |
|                    | CLKM            | I     | XTAL モード:リファレンス水晶振動子用フィードバック駆動<br>外部クロック モード:このポートはグラウンドに接続します。                                                               | E1    |
| イーサネット用のリファレンスクロック | OSC_CLK_OUT_ETH | O     | イーサネット PHY IC で使用される 25MHz 水晶振動子の代わりとして使用できます (評価基板では OSC_CLK_OUT_25)。これは、デバイスで 50MHz リファレンス水晶振動子を使用している場合にのみ使用できることに注意してください | C1    |

| インターフェイス       | 信号名                 | ピンの種類 | 説明                                                                  | ボール<br>番号                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |
|----------------|---------------------|-------|---------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| リファレンス クロック    | OSC_CLKOUT          | O     | PLL をクリーンアップした後にクロック サブシステムから出力されるリファレンス クロック<br>(評価基板の OSC_CLKTOP) | C2                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |
| バンドギャップ電圧      | VBGAP               | O     | デバイスのバンドギャップ リファレンス出力                                               | K1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |
| 電源             | VDD                 | 電源    | 1.2V デジタル電源                                                         | A15、D18、M14、M15、M16、N13、N15、<br>P13、P15、R14、U9                                                                                                                                                                                                                                                                                                                                                                                                                                                             |
|                | VDD_SRAM            | 電源    | 内部 SRAM 用 1.2V 電源レール                                                | U13                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |
|                | VNWA                | 電源    | SRAM アレイのバック バイアス用 1.2V 電源レール                                       | C18                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |
|                | VIOIN               | 電源    | I/O 電源 (3.3V または 1.8V): すべての CMOS I/O はこの電源で動作します。                  | A12、N18、U12                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |
|                | VIOIN_18            | 電源    | CMOS IO 用 1.8V 電源                                                   | A13、R18、U10                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |
|                | VDDA_18CLK          | 電源    | クロック モジュール用 1.8V 電源                                                 | A2                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |
|                | VDDA_18PM           | 電源    | クロック モジュール用 1.8V PM モジュール                                           | K2                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |
|                | VIOIN_18CSI         | 電源    | CSI ポート用 1.8V 電源                                                    | H18                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |
|                | VPP                 | 電源    | ヒューズ チェーン用電源電圧                                                      | M18                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |
| 電源             | VDDA_10RF1          | 電源    | 1V アナログおよび RF 電源、VDDA_10RF1 と VDDA_10RF2 が基板上で短絡されている可能性があります。      | M1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |
|                | VDDA_10RF2          | 電源    | 1V アナログおよび RF 電源                                                    | A3、A4                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |
|                | VDDA_18BB           | 電源    | 1.8V アナログ ベース バンド電源                                                 | N1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |
|                | VDDA_18VCO          | 電源    | 1.8V RF VCO 電源                                                      | J2                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |
|                | VSS <sup>(2)</sup>  | グランド  | デジタル グランド                                                           | A14、A18、E18、H12、H17、J12、L14、<br>L16、M12、P12、P18、U1、U11、U18                                                                                                                                                                                                                                                                                                                                                                                                                                                 |
|                | VSSA <sup>(3)</sup> | グランド  | アナログ グランド                                                           | A1、A5、B1、B2、B3、B4、B12、B13、<br>B14、B15、B16、C3、C4、C5、C6、C7、<br>C8、C9、C10、C11、C12、C16、D1、D2、<br>D3、D7、D8、D11、D12、D16、E2、E3、<br>E7、E8、E11、E12、E13、E14、E15、E16、<br>F1、F3、F4、F5、F6、F7、F8、F11、F12、<br>F13、F14、F15、F16、G1、G2、G3、G4、<br>G5、G6、G8、G9、G10、G11、G12、G13、<br>G16、H3、H6、H7、H8、H9、H10、H11、<br>H13、H16、J1、J3、J6、J7、J11、J13、<br>J16、K3、K6、K7、K11、K13、K14、K15、<br>K16、L3、L4、L5、L6、L7、L8、L9、L10、<br>L11、M3、M4、M5、M6、M7、M8、M9、<br>M10、M11、N3、N7、N8、N11、P3、P7、<br>P8、P11、R3、R4、R5、R6、R7、R8、R11、<br>T8、T9、T10、T11 |
| 内部 LDO 出力 / 入力 | VOOUT_14APLL        | O     | 内部 LDO 出力                                                           | H2                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |
|                | VOOUT_14SYNTH       | O     | 内部 LDO 出力                                                           | H1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |

| インターフェイス                            | 信号名  | ピンの種類 | 説明          | ボール<br>番号 |
|-------------------------------------|------|-------|-------------|-----------|
| 外部電圧監視用の汎用<br>ADC 入力 <sup>(1)</sup> | ADC1 | I     | ADC チャンネル 1 | L2        |
|                                     | ADC2 | I     | ADC チャンネル 2 | L1        |
|                                     | ADC5 | I     | ADC チャンネル 5 | N2        |
|                                     | ADC6 | I     | ADC チャンネル 6 | M2        |

- (1) 詳細については、[セクション 8.4.3](#) を参照してください。
- (2) コーナー BGA は VSS であり冗長化されているため、コーナー BGA に障害が発生してもデバイスは引き続き機能します。
- (3) 起動に関連する VSSA BGA は冗長ではなく、機能に必要です。

## 7 仕様

### 7.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1)(2)</sup>

| パラメータ            |                                                                       | 最小値                         | 最大値         | 単位  |
|------------------|-----------------------------------------------------------------------|-----------------------------|-------------|-----|
| VDD              | 1.2V デジタル電源                                                           | -0.5                        | 1.4         | V   |
| VDD_SRAM         | 内部 SRAM 用 1.2V 電源レール                                                  | -0.5                        | 1.4         | V   |
| VNWA             | SRAM アレイのバック バイアス用 1.2V 電源レール                                         | -0.5                        | 1.4         | V   |
| VIOIN            | I/O 電源 (3.3V または 1.8V): すべての CMOS I/O はこの電源で動作します。                    | -0.5                        | 3.8         | V   |
| VIOIN_18         | CMOS IO 用 1.8V 電源                                                     | -0.5                        | 2           | V   |
| VDDA_18CLK       | クロック モジュール用 1.8V 電源                                                   | -0.5                        | 2           | V   |
| VDDA_18PM        | PM モジュール用 1.8V 電源                                                     | -0.5                        | 2           | V   |
| VIOIN_18CSI      | CSI2 ポート用 1.8V 電源                                                     | -0.5                        | 2           | V   |
| VIOIN_18LVDS     | LVDS ポート用 1.8V 電源                                                     | -0.5                        | 2           | V   |
| VDDA_10RF1       | 1V アナログおよび RF 電源、VDDA_10RF1 と VDDA_10RF2 が基板上で短絡する可能性があります。           | -0.5                        | 1.4         | V   |
| VDDA_10RF2       |                                                                       |                             |             |     |
| VDDA_18BB        | 1.8V アナログ ベースバンド電源                                                    | -0.5                        | 2           | V   |
| VDDA_18VCO 電源    | 1.8V RF VCO 電源                                                        | -0.5                        | 2           | V   |
| RX1-4            | RF 入力の外部印加電力                                                          |                             | 10          | dBm |
| TX1-4            | RF 出力の外部印加電力 <sup>(3)</sup>                                           |                             | 10          | dBm |
| 入力および出力電圧範囲      | デュアル電圧 LVCMOS 入力、3.3V または 1.8V (定常状態)                                 | -0.3V                       | VIOIN + 0.3 | V   |
|                  | デュアル電圧 LVCMOS 入力、1.8V/3.3V (過渡オーバーシュート / アンダーシュート) または外部発振器入力で動作します。  | VIOIN + 20%<br>信号周期の 20% まで |             |     |
| CLKP、CLKM        | リファレンス水晶振動子用入力ポート                                                     | -0.5                        | 2           | V   |
| クランプ電流           | それぞれの電源レールを 0.3V 上回るまたは下回る入力または出力電圧。I/O の内部ダイオード保護セルを流れるクランプ電流を制限します。 | -20                         | 20          | mA  |
| T <sub>J</sub>   | 動作ジャンクション温度範囲                                                         | -40                         | 140         | °C  |
| T <sub>STG</sub> | プリント基板に半田付けした後の保存温度範囲                                                 | -55                         | 150         | °C  |

(1) 「絶対最大定格」で示す値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレス定格のみを示すものであり、これらの条件で、または「推奨動作条件」で示された条件を超えるそれ以外の条件で本デバイスが正常に動作することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

(2) 特に記述のない限り、すべての電圧値は V<sub>SS</sub> を基準にしています。

(3) この値は、TX に外部から印加される信号レベルに対応します。さらに、TX 出力にはガンマ = 1 までの反射係数を適用できます。

### 7.2 ESD 定格

|                    |      |                                            |        | 値     | 単位 |
|--------------------|------|--------------------------------------------|--------|-------|----|
| V <sub>(ESD)</sub> | 静電放電 | 人体モデル (HBM)、AEC Q100-002 準拠 <sup>(1)</sup> | すべてのピン | ±2000 | V  |
|                    |      | デバイス帯電モデル (CDM)、AEC Q100-011 準拠            | すべてのピン | ±500  |    |
|                    |      |                                            | 角のピン   | ±750  |    |

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

## 7.3 電源投入時間 (POH)

| 接合部温度 (T <sub>J</sub> ) <sup>(1)(2)</sup> | 動作条件           | 公称 CVDD 電圧 (V) | パワーオン時間 [POH] (時間) |
|-------------------------------------------|----------------|----------------|--------------------|
| -40°C                                     | 50% デューティ サイクル | 1.2            | 1440 (6%)          |
| 75°C                                      |                |                | 4800 (20%)         |
| 95°C                                      |                |                | 15600 (65%)        |
| 130°C                                     |                |                | 1920 (8%)          |
| 140°C                                     |                |                | 240 (1%)           |

- (1) この情報は、お客様の利便性のみを目的として提供されるものであり、テキサス・インスツルメンツの半導体製品に関する標準的な契約条件に基づいて提供される保証を拡張または変更するものではありません。
- (2) POH の規定値は、デフォルトのファームウェアのゲイン表を使って Tx 出力電力を最大値に設定した場合に適用されます。API を使用して Tx ゲイン表が上書きされた場合、POH の規定値は適用されません。

## 7.4 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

| パラメータ              | 説明                                                             | 最小値         | 公称値 | 最大値         | 単位 |
|--------------------|----------------------------------------------------------------|-------------|-----|-------------|----|
| VDD                | 1.2V デジタル電源                                                    | 1.14        | 1.2 | 1.26        | V  |
| VDD_SRAM           | 内部 SRAM 用 1.2V 電源レール                                           | 1.14        | 1.2 | 1.26        | V  |
| VNWA               | SRAM アレイのバック バイアス用 1.2V 電源レール                                  | 1.14        | 1.2 | 1.26        | V  |
| VIOIN              | I/O 電源 (3.3V または 1.8V):<br>すべての CMOS I/O はこの電源で動作します。          | 3.135       | 3.3 | 3.465       | V  |
|                    |                                                                | 1.71        | 1.8 | 1.89        |    |
| VIOIN_18           | CMOS IO 用 1.8V 電源                                              | 1.71        | 1.8 | 1.89        | V  |
| VDDA_18CLK         | クロック モジュール用 1.8V 電源                                            | 1.71        | 1.8 | 1.89        | V  |
| VDDA_18PM          | PM モジュール用 1.8V 電源                                              | 1.71        | 1.8 | 1.89        | V  |
| VIOIN_18CSI        | CSI2 ポート用 1.8V 電源                                              | 1.71        | 1.8 | 1.89        | V  |
| VIOIN_18LVDS       | LVDS ポート用 1.8V 電源                                              | 1.71        | 1.8 | 1.89        | V  |
| VDDA_10RF1         | 1V アナログおよび RF 電源。VDDA_10RF1 と VDDA_10RF2<br>が基板上で短絡する可能性があります。 | 0.95        | 1   | 1.05        | V  |
| VDDA_10RF2         |                                                                |             |     |             |    |
| VDDA_18BB          | 1.8V アナログ ベースバンド電源                                             | 1.71        | 1.8 | 1.89        | V  |
| VDDA_18VCO         | 1.8V RF VCO 電源                                                 | 1.71        | 1.8 | 1.89        | V  |
| V <sub>IH</sub>    | 電圧入力 High (1.8 V モード)                                          | 1.17        |     | 0.3 + VIOIN | V  |
|                    | 電圧入力 High (3.3 V モード)                                          | 2.25        |     | 0.3 + VIOIN |    |
| V <sub>IL</sub>    | 電圧入力 Low (1.8V モード)                                            | -0.3        |     | 0.3*VIOIN   | V  |
|                    | 電圧入力 Low (3.3V モード)                                            | -0.3        |     | 0.62        |    |
| V <sub>OH</sub>    | High レベル出力スレッショルド (I <sub>OH</sub> = 6mA)                      | VIOIN - 450 |     |             | mV |
| V <sub>OL</sub>    | Low レベル出力スレッショルド (I <sub>OL</sub> = 6mA)                       |             |     | 450         | mV |
| NRESET<br>SOP[4:0] | V <sub>IL</sub> (1.8V モード)                                     |             |     | 0.45        | V  |
|                    | V <sub>IH</sub> (1.8V モード)                                     | 0.96        |     |             |    |
|                    | V <sub>IL</sub> (3.3V モード)                                     |             |     | 0.65        |    |
|                    | V <sub>IH</sub> (3.3V モード)                                     | 1.57        |     |             |    |
| T <sub>J</sub>     | 動作ジャンクション温度範囲                                                  | -40         |     | 140         | °C |

## 7.5 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様

このセクションは、OTP eFuse のプログラミングに必要な動作条件を規定しており、高セキュリティ (AWR2544 HS) デバイスにのみ適用できます。お客様固有のキーやその他のカスタム情報を eFuse に書き込む際には、ユーザーが VPP 電源を供給する必要があります。

### 7.5.1 OTP eFuse プログラミングの推奨動作条件

| パラメータ       | 説明                                                 | 最小値  | 公称値 | 最大値  | 単位 |
|-------------|----------------------------------------------------|------|-----|------|----|
| VPP         | 通常動作時の eFuse ROM ドメインの電源電圧範囲                       |      | NC  |      |    |
|             | OTP プログラミング時の eFuse ROM ドメインの電源電圧範囲 <sup>(1)</sup> | 1.65 | 1.7 | 1.75 | V  |
| VPP 電源の持続時間 | VPP 電圧が推奨時間を超えて供給された場合、信頼性の問題が発生する可能性があります。        |      |     | 24   | 時間 |
| I(VPP)      |                                                    |      |     | 50   | mA |

(1) 通常動作中は、VPP に電圧を印加しないでください。これは通常、VPP 端子に接続されている外部レギュレータを無効にすることで実現できます。

### 7.5.2 ハードウェア要件

OTP eFuse にキーをプログラムする場合、以下のハードウェア要件を満たす必要があります。

- OTP レジスタをプログラムしないときは、VPP 電源をディセーブルにする必要があります。

### 7.5.3 ハードウェア保証への影響

お客様は、eFuse を使用すると テキサス・インスツルメンツのデバイスに対して永続的な変更が加えられることを、自己の責任において認識し、受け入れるものとします。お客様は、不適切な動作条件またはプログラミング シーケンスが原因で eFuse が故障する可能性があることを承諾するものとします。このような障害が発生すると、テキサス・インスツルメンツのデバイスが動作不能になることがあります。また、テキサス・インスツルメンツは eFuse の使用を試行する前に、テキサス・インスツルメンツのデバイスがテキサス・インスツルメンツのデバイスの仕様に準拠していることを確認できません。したがって、eFuse のプログラム可能性に問題がある場合、テキサス・インスツルメンツは法的責任を負いません。

## 7.6 電源仕様

表 7-1 では、外部電源から AWR2544 に供給すべき 4 系統の必須電源レールについて説明します。1.8V LVCMOS IO を使用する場合、VIOIN は 1.8V 電源から供給されるため、3.3V 電源レールは省略可能となり、必要な電源レールは 3 系統のみとなります。また、採用する電源トポロジによっては、RF 用 1.0V およびベースバンド、クロック、VCO 用の 1.8V 電源に対して、所定のリップル仕様を満たすために追加の電源フィルタ処理が必要となる場合があります。この追加のフィルタ処理により、これら 4 つの基本レールから、個別の電源回路が生成されます。

**表 7-1. 電源レールの特性：**

| 電源電圧                             | その電源から電力を供給されるデバイス ブロック                                     | デバイスの電源ネット                                                                                                          |
|----------------------------------|-------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------|
| 1.8V                             | シンセサイザおよび APLL の VCO、水晶発振器、IF アンブダ、ADC、CSI2、LVDS、LVCMOS I/O | 入力: VDDA_18VCO、VDDA_18CLK、VDDA_18PM、VDDA_18BB、VIOIN_18CSI、VIOIN_18LVDS、VIOIN_18<br>LDO 出力: VOUT_14SYNTH、VOUT_14APLL |
| 1.0V                             | パワー アンプ、低ノイズ アンプ、ミキサ、LO 分配                                  | 入力: VDDA_10RF2、VDDA_10RF1                                                                                           |
| 3.3V (または、1.8V I/O モードの場合は 1.8V) | LVCMOS IO                                                   | VIOIN                                                                                                               |
| 1.2V                             | コア デジタルおよび SRAM                                             | VDD、VDD_SRAM、VNWA                                                                                                   |
| 1.7V                             | OTP eFuse のプログラミング (セキュア デバイス用)                             | VPP                                                                                                                 |

1.0V および 1.8V の電源リップル仕様については、表 7-2 に記載されています。スプリアス レベルとリップル レベルには dB 単位での相関関係があり、たとえば電源リップルが 1dB 増加すると、スプリアス レベルもおおよそ 1dB 増加します。記載された値は、指定された周波数で印加された正弦波入力 rms レベルです。

**表 7-2. リップル仕様**

| 周波数 (kHz) | スプリアス レベル dBc) | RF レール                            | VCO/IF レール                        |
|-----------|----------------|-----------------------------------|-----------------------------------|
|           |                | 1V ( $\mu\text{V}_{\text{RMS}}$ ) | 1.8V ( $\text{mV}_{\text{RMS}}$ ) |
| 10        | -85            | 22                                | 10.99                             |
| 100       | -95            | 8                                 | 1.42                              |
| 200       | -98            | 6                                 | 0.73                              |
| 500       | -102           | 4                                 | 0.45                              |
| 1000      | -105           | 3                                 | 0.30                              |
| 2000      | -105           | 3                                 | 0.08                              |
| 5000      | -105           | 3                                 | 0.06                              |
| 10000     | -105           | 3                                 | 0.06                              |
| 15000     | -105           | 2                                 | 0.04                              |
| 20000     | -105           | 2                                 | 0.04                              |

### 電源に関するガイドライン

統合型 AWR2544 電源ソリューションには、LP8772-Q1 PMIC (パワー マネージメント IC) を推奨します。この低コストかつ省スペースのソリューションは、AWR2544 レーダー センサとその主要なペリフェラルへの電力供給用に設計されています。

LP8772-Q1 PMIC を AWR2544 への電力供給に使用すると、次のような利点があります。

1. テキサス・インスツルメンツの評価ボードで検証済みのデバイス性能をフルに発揮
2. AWR ノイズリップル性能仕様を満たすノイズリップル性能

- a. LP8772-Q1 は高いスイッチング周波数で動作し、中間周波 (IF) 帯域の外でスイッチングを行うため、スプリアスの影響を回避できます。また、LDO の使用を避けることで、システム全体の熱性能が向上し、リップルやスプリアスを抑えるための 2 段 LC フィルタも不要になります。
- b. 放熱は RF 性能に影響を与えません

## 7.7 消費電力の概略

表 7-3 および 表 7-4 に、電源端子の消費電力をまとめます。

**表 7-3. 電源端子の最大電流定格**

| パラメータ <sup>(1)</sup> | 電源名                                                                               | 説明                                                  | 最小値 | 標準値 | 最大値  | 単位 |
|----------------------|-----------------------------------------------------------------------------------|-----------------------------------------------------|-----|-----|------|----|
| 消費電流                 | VDD, VDD_SRAM, VNWA                                                               | 1.2V レールによって駆動される全ノードが消費する電流の合計値                    |     |     | 2000 | mA |
|                      | VDDA_10RF1, VDDA_10RF2                                                            | 4 つのトランスミッタすべてを使用した場合に、1V レールで駆動されるすべてのノードが消費する合計電流 |     |     | 2300 |    |
|                      | VIOIN_18, VDDA_18CLK, VDDA_18PM, VIOIN_18CSI, VIOIN_18LVDS, VDDA_18BB, VDDA_18VCO | 1.8V レールによって駆動される全ノードが消費する電流の合計値                    |     |     | 600  |    |
|                      | VIOIN                                                                             | 3.3V レールによって駆動される全ノードが消費する電流の合計値                    |     |     | 50   |    |

(1) 記載されている電流値は、推奨動作条件における最大電源電圧レベルでの値です。

**表 7-4. 電源端子の平均消費電力**

| パラメータ                 | 条件       |               | 説明                                                                                                                                                                                                                                                                            | 最小値 | 標準値 <sup>(1)</sup> | 最大値 | 単位 |
|-----------------------|----------|---------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----|--------------------|-----|----|
| シングル チップ モードでの平均消費電力。 | 3TX, 4RX | 25% デューティサイクル | 使用事例:<br>76~77GHz のチャープ:<br>レギュラー モード、45 Msps のサンプリングレート、25.6 ms のフレーム周期、1 フレームあたり 256 チャープ、アイドル時間 2μs、ランプ終了時間 50μs、ADC 開始時間 7μs、およびランプ余剰時間<br>コアのアクティビティ:<br>• 70% MSS R5F<br>• 50% Arm M4F<br>上記すべてのコアは、アイドル時間中に動作クロックが低下またはクロックゲーティングされています)<br>イーサネットはデータ転送用にイネーブルになっています |     | 1350               |     | mW |
|                       |          | 50% デューティサイクル |                                                                                                                                                                                                                                                                               |     | 2000               |     |    |
|                       | 4TX, 4RX | 25% デューティサイクル |                                                                                                                                                                                                                                                                               |     | 1400               |     |    |
|                       |          | 50% デューティサイクル |                                                                                                                                                                                                                                                                               |     | 2100               |     |    |

(1) 電力消費の数値は、代表的な使用例に基づくものであり、25°C の周囲温度および公称電圧条件下における標準デバイスでの値です。

## 7.8 RF の仕様

推奨動作条件下およびランタイム キャリブレーションを有効にした状態で測定 (特に記述のない限り)

| パラメータ       |                                 |                                                        | 最小値 | 標準値        | 最大値                | 単位     |
|-------------|---------------------------------|--------------------------------------------------------|-----|------------|--------------------|--------|
| レシーバ        | ノイズ指数                           |                                                        |     | 12.5       |                    | dB     |
|             | 1dB 圧縮ポイント (帯域外) <sup>(1)</sup> |                                                        |     | -8         |                    | dBm    |
|             | 最大ゲイン                           |                                                        |     | 44         |                    | dB     |
|             | ゲイン範囲                           |                                                        |     | 20         |                    | dB     |
|             | ゲイン ステップ サイズ                    |                                                        |     | 2          |                    | dB     |
|             | IF 帯域幅 <sup>(2)</sup>           |                                                        |     |            | 20                 | MHz    |
|             | ADC サンプリング レート                  |                                                        |     |            | 45                 | Msp/s  |
|             | ADC の分解能                        |                                                        |     | 12         |                    | ビット    |
|             | 反射損失 (S11)                      |                                                        |     | -10        |                    | dB     |
|             | ゲイン ミスマッチの変動 (温度範囲全体)           |                                                        |     | ±0.5       |                    | dB     |
|             | 位相ミスマッチの変動 (温度範囲全体)             |                                                        |     | ±3         |                    | °      |
|             | アイドル チャネル スプリアス                 |                                                        |     | -90        |                    | dBFS   |
| トランスミッタ     | 出力電力                            |                                                        |     | +12.5      |                    | dBm    |
|             | 位相シフトの精度                        |                                                        |     | ±5         |                    | °      |
|             | 温度センサの精度                        |                                                        |     | ±5         |                    | °C     |
|             | 振幅ノイズ                           |                                                        |     | -145       |                    | dBc/Hz |
| クロック サブシステム | 周波数範囲                           |                                                        | 76  |            | 81                 | GHz    |
|             | ランプレート                          |                                                        |     |            | 250 <sup>(3)</sup> | MHz/μs |
|             | 1MHz オフセットでの位相ノイズ               | 76 ~ 77 GHz (VCO1)<br>76 ~ 81GHz (VCO2) <sup>(4)</sup> |     | -96<br>-95 |                    | dBc/Hz |

- (1) 1dB 圧縮ポイント (帯域外) は、プログラムされた HPF のカットオフ周波数の 5% に相当する連続波トーン (いわゆるブロッカー トーン) を印加して測定されます。圧縮ポイントは、RX ADC においてブロッカー トーンが 1dB 圧縮されるブロッカー電力によって決定されます。
- (2) アナログ IF 段には、次の -6dB コーナー周波数に設定可能な 2 次ハイパス フィルタが含まれています:

|                         |
|-------------------------|
| 使用可能な HPF コーナー周波数 (kHz) |
| HPF                     |
| 300、350、700、1400、       |

デジタル ベースバンド チェーンによるフィルタリングは、以下の特長を実現することを目的としています。

- パスバンドリップル / ドループ ±0.5dB 未満、および
  - パスバンドにエイリアス バックする可能性のある任意の周波数に対して、60dB 以上のアンチエイリアシング減衰。
- (3) 最大ランプレートは「AWR\_APLL\_SYNT\_H\_BW\_CONTROL\_SB」API によって設定される PLL 帯域幅の構成に依存します。詳細については、『ミリ波レーダー インターフェイス制御』の資料を参照してください。
- (4) VCO2 は最大 4.5GHz の連続範囲をサポートします。対応する周波数範囲は、AWR\_CAL\_MON\_FREQUENCY\_API 内の VCO2\_RANGE\_CONFIG によって、76 ~ 80.5GHz または 76.5 ~ 81GHz のいずれかに設定できます。

図 7-1 に、設定されたレシーバ ゲインに対するノイズ指数と帯域内 P1dB パラメータのばらつきを示します

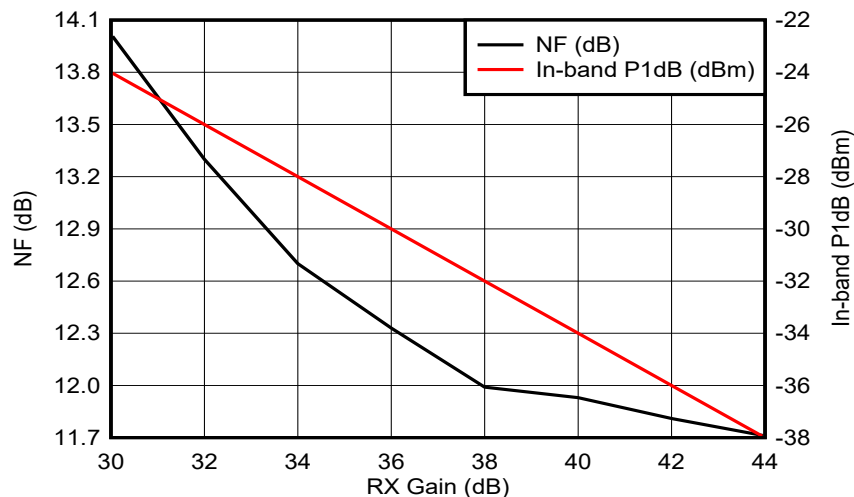


図 7-1. ノイズ指数、帯域内 P1dB とレシーバ ゲインとの関係

## 7.9 熱抵抗特性

| 熱評価基準 <sup>(1)(4)</sup> |             | °C/W <sup>(2)(3)</sup> |
|-------------------------|-------------|------------------------|
| $R\theta_{JC}$          | 接合部とケースとの間  | 3.36                   |
| $R\theta_{JB}$          | 接合部と基板との間   | 5.0                    |
| $R\theta_{JA}$          | 接合部と自由空気との間 | 17.3                   |
| $\Psi_{JT}$             | 接合部から上面     | 0.12                   |
| $\Psi_{JB}$             | 接合部と基板との間   | 4.9                    |

- (1) 従来および新しい熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』を参照してください。
- (2) °C/W = 摂氏温度 / ワット。
- (3) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる  $\theta_{JC}$  [ $R\theta_{JC}$ ] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。
- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
  - JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
  - JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
  - JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』
- 140°C の接合部温度を想定。
- (4) エアフロー = 0m/s

## 7.10 電源シーケンスおよびリセット タイミング

AWR2544 デバイスでは、デバイスを正常に起動させるために、外部の 1.2V、1.8V、3.3V の各電圧レールおよびすべての SOP[4:0] ラインが、NRESET がデアサートされる前に安定している必要があります。VIOIN および VIOIN\_18 の電源が供給されるまでは、IO の状態は保証されません。図 7-2 に、デバイス ウェークアップ シーケンスを示します。

### 注

ハードウェア プラットフォームは、OTP eFuse プログラミング中のみ VPP ピンに 1.7V を供給できる必要があります。

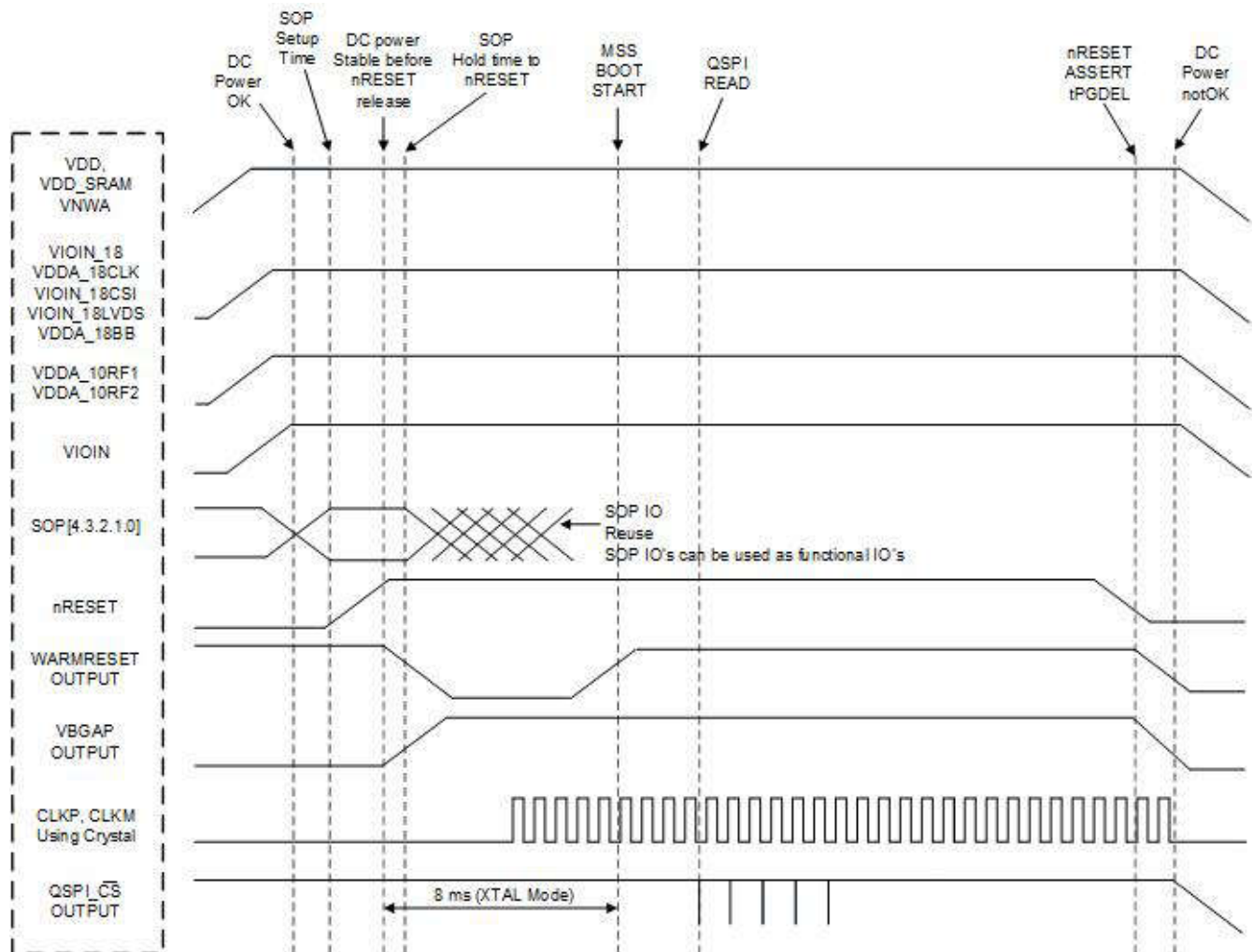


図 7-2. デバイス ウェークアップ シーケンス

## 7.11 入力クロックおよび発振器

### 7.11.1 クロック仕様

外部水晶振動子は、デバイスのピンに接続されています。図 7-3 に、水晶振動子の実装を示します。

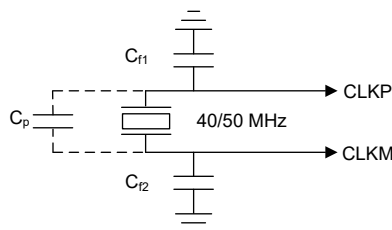


図 7-3. 水晶振動子の実装

#### 注

図 7-3 の負荷コンデンサ  $C_{f1}$  および  $C_{f2}$  は、式 1 が満足されるように選択できます。この式の  $C_L$  は、水晶振動子のメーカーによって指定された負荷です。発振器回路の実装に使用されるすべてのディスクリート部品は、関連する発振器の CLKP および CLKM ピンのできるだけ近くに配置できます。 $C_{f1}$  と  $C_{f2}$  には、PCB 配線による寄生容量が含まれていることに注意してください。

#### 注

CLKP/CLKM ピン間の基板配線寄生成分も  $C_p$  の見積もりに含める必要があります

$$C_L = C_{f1} \times \frac{C_{f2}}{C_{f1} + C_{f2}} + C_p \quad (1)$$

表 7-5 には、クロック水晶振動子の電気的特性を示します。

表 7-5. 水晶振動子の電気的特性 (発振器モード)

| 名称       | 説明                              | 最小値  | 標準値 | 最大値                | 単位                 |
|----------|---------------------------------|------|-----|--------------------|--------------------|
| $f_p$    | 並列共振水晶振動子周波数                    |      | 50  |                    | MHz                |
| $C_L$    | 水晶振動子の負荷容量                      | 5    | 8   | 12                 | pF                 |
| ESR      | 水晶振動子の ESR                      |      |     | 50                 | $\Omega$           |
| 温度範囲     | 想定される動作温度範囲                     | -40  |     | 140                | $^{\circ}\text{C}$ |
| 周波数の許容誤差 | 水晶振動子周波数の許容誤差 <sup>(1)(2)</sup> | -100 |     | 100 <sup>(3)</sup> | ppm                |
| 励振レベル    |                                 |      | 50  | 200                | $\mu\text{W}$      |

- (1) 水晶振動子メーカーの仕様はこの要件を満たす必要があります。
- (2) 水晶振動子の初期許容誤差、全温度範囲でのドリフト、経年劣化、不適切な負荷容量による周波数変動が含まれます。
- (3) イーサネットを動作させるには、100PPM 未満の周波数誤差というより厳しい仕様が求められます。イーサネット インターフェイスを使用しない場合、最大 200PPM までの PPM が許容されます。

外部クロックをクロック源として使用する場合、その信号は CLKP ピンにのみ入力し、CLKM はグランドに接続します。50MHz クロックを外部から入力する場合、位相ノイズ要件は非常に重要です。表 7-6 に、外部クロック信号の電気的特性を示します。

**表 7-6. 外部クロック モード仕様**

| パラメータ                                                |                | 仕様   |     |      | 単位      |
|------------------------------------------------------|----------------|------|-----|------|---------|
|                                                      |                | 最小値  | 標準値 | 最大値  |         |
| 入力クロック: 外部 AC 結合正弦波<br>または DC 結合方形波の位相ノイズ (50MHz 基準) | 周波数            |      | 50  |      | MHz     |
|                                                      | AC 振幅          | 700  |     | 1200 | mV (pp) |
|                                                      | DC-trise/fall  |      |     | 10   | ns      |
|                                                      | 1kHz での位相ノイズ   |      |     | -132 | dBc/Hz  |
|                                                      | 10kHz での位相ノイズ  |      |     | -143 | dBc/Hz  |
|                                                      | 100kHz での位相ノイズ |      |     | -152 | dBc/Hz  |
|                                                      | 1MHz での位相ノイズ   |      |     | -153 | dBc/Hz  |
|                                                      | デューティ サイクル     | 35   |     | 65   | %       |
|                                                      | 周波数の許容範囲       | -100 |     | 100  | ppm     |

## 7.12 ペリフェラル情報

以下のセクションで、初期のペリフェラルの説明と特長を示します。追加のペリフェラルの詳細やインターフェイスのタイミング情報については、今後の製品プレビューやデータシートのリリースで提供される予定です。

### 7.12.1 QSPI フラッシュ メモリ ペリフェラル

このデバイスには、外部フラッシュ メモリへのアクセスのためのクアド シリアル ペリフェラル インターフェイスが搭載されています。フラッシュ メモリは、次のような多くの目的に使用できます: セカンダリ ブートローダー用メモリ、アプリケーション プログラム用メモリ、セキュリティ キーの保存、およびセキュリティやエラー 状況に関する長期データ ログ用メモリ。

デバイスの QSPI インターフェイスは、以下の機能をサポートしています:

- ループバック スキュー補正により、クロック信号の遅延を調整し、高速なフラッシュ インターフェイスのクロック周波数に対応
- 2 つのチップ セレクト信号により、2 つの外部フラッシュ デバイスに接続可能
- フラッシュ データ転送を行うために、メモリ マップドの「直接モード」と、ソフトウェアトリガによる「間接モード」の動作をサポート

#### 7.12.1.1 QSPI のタイミング条件

| パラメータ      |           | 最小値 | 標準値 | 最大値 | 単位 |
|------------|-----------|-----|-----|-----|----|
| 入力条件       |           |     |     |     |    |
| $t_R$      | 入力立ち上がり時間 | 1   |     | 3   | ns |
| $t_F$      | 入力立ち下がり時間 | 1   |     | 3   | ns |
| 出力条件       |           |     |     |     |    |
| $C_{LOAD}$ | 出力負荷容量    | 5   |     | 15  | pF |

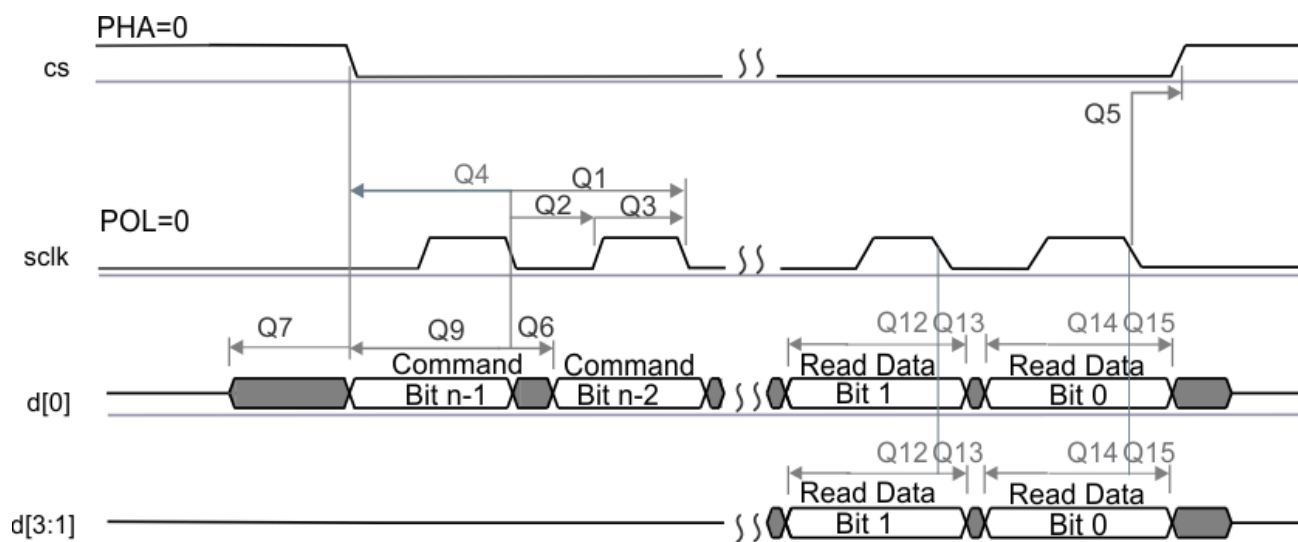
#### 7.12.1.2 QSPI のタイミング要件<sup>(1)(2)</sup>

| パラメータ            |                                                        | 最小値 | 標準値 | 最大値 | 単位 |
|------------------|--------------------------------------------------------|-----|-----|-----|----|
| $t_{su(D-SCLK)}$ | セットアップ時間: SCLK の立ち下がりエッジの前に D[3:0] が有効である必要がある時間 (Q12) | 5   |     |     | ns |
| $t_h(SCLK-D)$    | ホールド時間: SCLK の立ち下がりエッジ (Q13) の後に D[3:0] が有効である必要がある時間  | 1   |     |     | ns |

- (1) クロック モード 0 (クロック極性 = 0、クロック位相 = 0) が動作モードです。
- (2) 従来の立ち上がりクロック エッジとは対照的に、本デバイスはクロック モード 0 の立ち下がりクロック エッジでデータを取り込みます。標準ではありませんが、立ち下がりエッジ基準のセットアップ時間およびホールド時間のタイミングは、クロック モード 0 においてデータを立ち下がりエッジで出力する標準的な SPI デバイスとの互換性があるように設計されています。

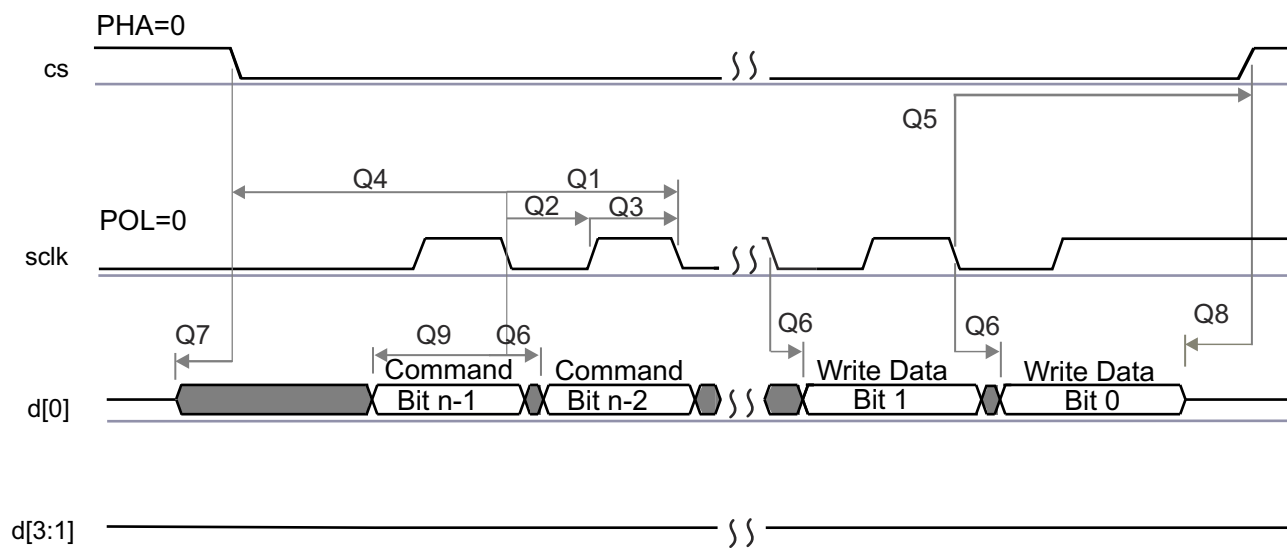
7.12.1.3 QSPI のスイッチング特性<sup>(1)(2)</sup>

| パラメータ                 |                                                       | 最小値                   | 標準値 | 最大値                | 単位 |
|-----------------------|-------------------------------------------------------|-----------------------|-----|--------------------|----|
| $t_c(\text{SCLK})$    | サイクル時間、sclk                                           | 12.5                  |     |                    | ns |
| $t_w(\text{SCLKL})$   | パルス幅、sclk Low                                         | $0.5 \cdot P - 0.625$ |     |                    | ns |
| $t_w(\text{SCLKH})$   | パルス幅、sclk High                                        | $0.5 \cdot P - 0.625$ |     |                    | ns |
| $t_d(\text{CS-SCLK})$ | 遅延時間、sclk 立ち下がりエッジから cs アクティブ エッジまで                   | $-M \cdot P - 1$      |     | $-M \cdot P + 2.5$ | ns |
| $t_d(\text{SCLK-CS})$ | 遅延時間、sclk 立ち下がりエッジから cs 非アクティブ エッジまで                  | $N \cdot P - 1$       |     | $N \cdot P + 2.5$  | ns |
| $t_d(\text{SCLK-D1})$ | 遅延時間、sclk 立ち下がりエッジから d[0] 遷移まで                        | -2                    |     | 4                  | ns |
| $t_d(\text{SCLK-D1})$ | 遅延時間、最初の sclk 立ち下がりエッジから最初の d[1] 遷移まで (PHA = 0 の場合のみ) | $-2 - P$              |     | $4 - P$            | ns |

(1)  $P = \text{SCLK 周期 (ns 単位)}$ 。(2)  $M = \text{QSPI\_SPI\_DC\_REG.DDx} + 1, N = 2$ 

SPRS85v TIMING QSPI1 Q2

図 7-4. QSPI 読み出し (クロック モード 0)



SPRS85v\_TIMING\_OSPI1\_04

図 7-5. QSPI 書き込み (クロック モード 0)

## 7.12.2 マルチバッファ付き / 標準シリアル ペリフェラル インターフェイス (MibSPI)

### 7.12.2.1 MibSPI ペリフェラルの説明

MibSPI/SPI は高速な同期シリアル入出力ポートであり、プログラムされたビット転送速度で、プログラムされた長さ (2～16 ビット) のシリアル ビット ストリームをデバイスにシフトイン / シフトアウトできます。このデバイスのメイン サブシステム (MSS) には、マルチバッファ シリアル ペリフェラル インターフェイス (MibSPI) が一つ搭載されています。これは、外部のマイコン、PMIC、EEPROM、ウォッチドッグとの通信を目的としています。

標準的なモジュールと MibSPI モジュールの主な機能は次の通りです。

- 16 ビット シフトレジスタ
- 受信バッファレジスタ
- 8 ビット ボー クロック ジェネレータ
- SPICLK は、内部で生成される (コントローラ モード) か、外部クロック ソースから受信されます (ペリフェラル モード)
- 各 MIBSPI モジュールでサポートされる最大クロック レートは 40MHz です。
- 転送される各ワードは、固有のフォーマットを持つことができます。
- 通信で使用されていない SPI I/O は、デジタル入出力信号として使用できます。

### 7.12.2.2 MibSPI 送信および受信 RAM の構成

マルチバッファ RAM は 256 個のバッファで構成されています。マルチバッファ RAM の各エントリは、16 ビットの送信フィールド、16 ビットの受信フィールド、16 ビットの制御フィールド、16 ビットのステータス フィールドという、4 つの部分で構成されています。マルチバッファ RAM は、それぞれ異なるバッファ数の複数の転送グループに分割できます。

セクション 7.12.2.2.2 とセクション 7.12.2.2.3 は、セクション 7.12.2.2.1 に記載された動作条件を前提としています。

#### 7.12.2.2.1 SPI のタイミング条件

|            |           | 最小値 | 標準値 | 最大値 | 単位 |
|------------|-----------|-----|-----|-----|----|
| 入力条件       |           |     |     |     |    |
| $t_R$      | 入力立ち上がり時間 | 1   |     | 3   | ns |
| $t_F$      | 入力立ち下がり時間 | 1   |     | 3   | ns |
| 出力条件       |           |     |     |     |    |
| $C_{LOAD}$ | 出力負荷容量    | 2   |     | 20  | pF |

#### 7.12.2.2.2 SPI コントローラ モードのスイッチング パラメータ (クロック位相 = 0、SPICLK = 出力、SPISIMO = 出力、SPISOMI = 入力)<sup>(1)(2)(3)</sup>

| パラメータ             | 説明                                            | 最小値                  | 標準値 | 最大値                  | 単位 |
|-------------------|-----------------------------------------------|----------------------|-----|----------------------|----|
| $t_{c(SPC)}M$     | サイクル時間、SPICLK <sup>(4)</sup>                  | 20                   |     | $256t_{c(VCLK)}$     | ns |
| $t_{w(SPCH)}M$    | パルス幅、SPICLK high (クロック極性 = 0)                 | $0.5t_{c(SPC)}M - 2$ |     | $0.5t_{c(SPC)}M + 2$ | ns |
| $t_{w(SPCL)}M$    | パルス幅、SPICLK Low (クロック極性 = 1)                  | $0.5t_{c(SPC)}M - 2$ |     | $0.5t_{c(SPC)}M + 2$ |    |
| $t_{w(SPCL)}M$    | パルス幅、SPICLK Low (クロック極性 = 0)                  | $0.5t_{c(SPC)}M - 2$ |     | $0.5t_{c(SPC)}M + 2$ | ns |
| $t_{w(SPCH)}M$    | パルス幅、SPICLK high (クロック極性 = 1)                 | $0.5t_{c(SPC)}M - 2$ |     | $0.5t_{c(SPC)}M + 2$ |    |
| $t_d(SPCH-SIMO)M$ | 遅延時間、SPISIMO 有効から SPICLK Low まで (クロック極性 = 0)  | $0.5t_{c(SPC)}M - 7$ |     |                      | ns |
| $t_d(SPCL-SIMO)M$ | 遅延時間、SPISIMO 有効から SPICLK High まで (クロック極性 = 1) | $0.5t_{c(SPC)}M - 7$ |     |                      |    |

| パラメータ                        | 説明                                                 | 最小値                                                                         | 標準値                                             | 最大値                                                                           | 単位 |
|------------------------------|----------------------------------------------------|-----------------------------------------------------------------------------|-------------------------------------------------|-------------------------------------------------------------------------------|----|
| $t_v(\text{SPCL-SIMO})_M$    | 有効時間、SPICLK Low から SPISIMO データ有効の間 (クロック極性 = 0)    | $0.5t_{c(\text{SPC})_M} - 8$                                                |                                                 |                                                                               | ns |
| $t_v(\text{SPCH-SIMO})_M$    | 有効時間、SPICLK High から SPISIMO データ有効の間 (クロック極性 = 1)   | $0.5t_{c(\text{SPC})_M} - 8$                                                |                                                 |                                                                               |    |
| $t_{C2\text{DELAY}}$         | セットアップ時間、CS アクティブから SPICLK High まで (クロック極性 = 0)    | CSHOLD = 0                                                                  | $(C2\text{DELAY}+2) * t_{c(\text{VCLK})} - 7.5$ | $(C2\text{DELAY}+2) * t_{c(\text{VCLK})} + 7$                                 | ns |
|                              |                                                    | CSHOLD = 1                                                                  | $(C2\text{DELAY}+3) * t_{c(\text{VCLK})} - 7.5$ | $(C2\text{DELAY}+3) * t_{c(\text{VCLK})} + 7$                                 |    |
|                              | セットアップ時間、CS アクティブから SPICLK Low まで (クロック極性 = 1)     | CSHOLD = 0                                                                  | $(C2\text{DELAY}+2) * t_{c(\text{VCLK})} - 7.5$ | $(C2\text{DELAY}+2) * t_{c(\text{VCLK})} + 7$                                 |    |
|                              |                                                    | CSHOLD = 1                                                                  | $(C2\text{DELAY}+3) * t_{c(\text{VCLK})} - 7.5$ | $(C2\text{DELAY}+3) * t_{c(\text{VCLK})} + 7$                                 |    |
| $t_{T2\text{DELAY}}$         | ホールド時間、SPICLK Low から CS 非アクティブまで (クロック極性 = 0)      | $0.5 * t_{c(\text{SPC})_M} + (T2\text{DELAY} + 1) * t_{c(\text{VCLK})} - 7$ |                                                 | $0.5 * t_{c(\text{SPC})_M} + (T2\text{DELAY} + 1) * t_{c(\text{VCLK})} + 7.5$ | ns |
|                              | ホールド時間、SPICLK High から CS 非アクティブまで (クロック極性 = 1)     | $0.5 * t_{c(\text{SPC})_M} + (T2\text{DELAY} + 1) * t_{c(\text{VCLK})} - 7$ |                                                 | $0.5 * t_{c(\text{SPC})_M} + (T2\text{DELAY} + 1) * t_{c(\text{VCLK})} + 7.5$ |    |
| $t_{su}(\text{SOMI-SPCL})_M$ | セットアップ時間、SPISOMI から SPICLK Low まで (クロック極性 = 0)     | 5                                                                           |                                                 |                                                                               | ns |
| $t_{su}(\text{SOMI-SPCH})_M$ | セットアップ時間、SPISOMI から SPICLK High まで (クロック極性 = 1)    | 5                                                                           |                                                 |                                                                               |    |
| $t_h(\text{SPCL-SOMI})_M$    | ホールド時間、SPICLK Low から SPISOMI データ有効の間 (クロック極性 = 0)  | 2                                                                           |                                                 |                                                                               | ns |
| $t_h(\text{SPCH-SOMI})_M$    | ホールド時間、SPICLK High から SPISOMI データ有効の間 (クロック極性 = 1) | 2                                                                           |                                                 |                                                                               |    |

- (1) コントローラ ビット (SPIGCRx.0) はセットされ、クロック位相ビット (SPIFMTx.16) はクリアされています (x = 0 または 1)。
- (2)  $t_{c(\text{MSS\_VCLK})}$  = メイン サブシステム クロック時間 =  $1 / f_{(\text{MSS\_VCLK})}$ 。詳細については、デバイスのテクニカル リファレンス マニュアルを参照してください。
- (3) SPI がコントローラ モードの場合、次の条件を満たす必要があります。PS 値が 1～255 の場合:  $t_{c(\text{SPC})_M} \geq (\text{PS} + 1)t_{c(\text{MSS\_VCLK})} \geq 25\text{ns}$ 。ここで、PS は SPIFMTx.[15:8] レジスタ ビットで設定されたプリスケール値です。PS 値が 0 の場合:  $t_{c(\text{SPC})_M} = 2t_{c(\text{MSS\_VCLK})} \geq 25\text{ns}$ 。
- (4) 基準となる SPICLK 信号のアクティブ エッジはクロック極性ビット (SPIFMTx.17) によって制御されます。

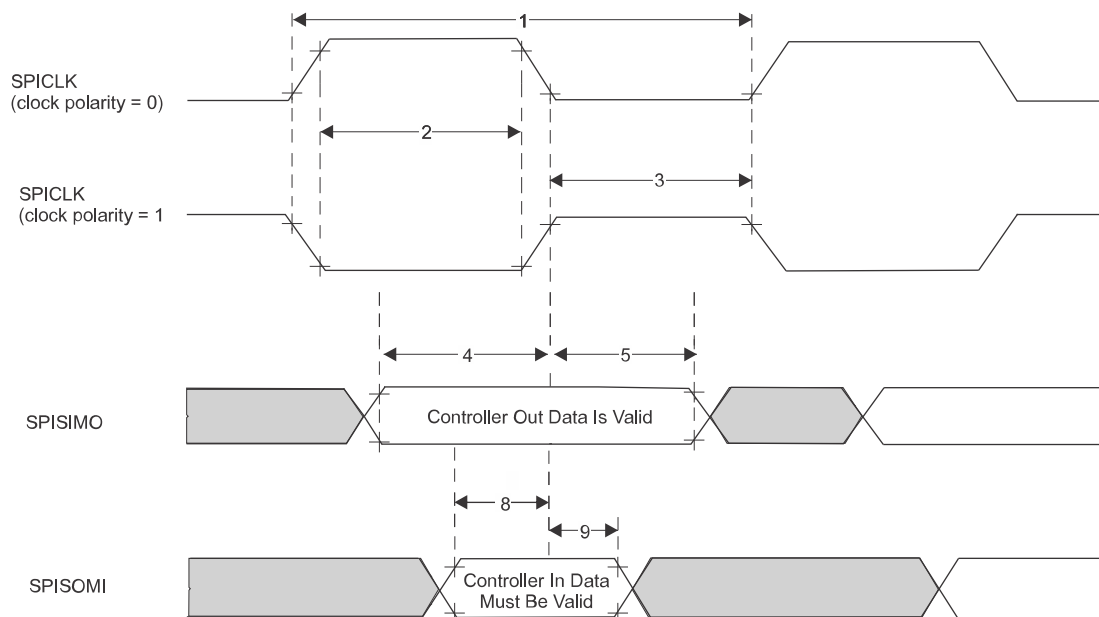


図 7-6. SPI コントローラ モードの外部タイミング (クロック位相 = 0)

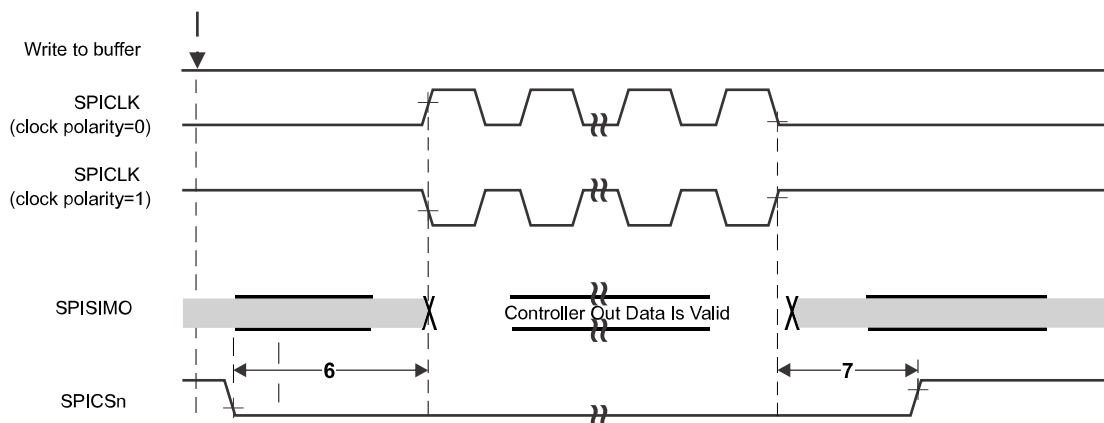


図 7-7. SPI コントローラ モードのチップセレクト タイミング (クロック位相 = 0)

**7.12.2.2.3 SPI コントローラ モードのスイッチング パラメータ (クロック位相 = 1、SPICLK = 出力、  
SPISIMO = 出力、SPISOMI = 入力)<sup>(1)(2)(3)</sup>**

| パラメータ                | 説明                                                 | 最小値                               | 標準値                                              | 最大値                                                | 単位 |
|----------------------|----------------------------------------------------|-----------------------------------|--------------------------------------------------|----------------------------------------------------|----|
| $t_{c(SPC)M}$        | サイクル時間、SPICLK <sup>(4)</sup>                       | 20                                |                                                  | $256t_{c(VCLK)}$                                   | ns |
| $t_{w(SPCH)M}$       | パルス幅、SPICLK high (クロック極性 = 0)                      | $0.5t_{c(SPC)M} - 2$              |                                                  | $0.5t_{c(SPC)M} + 2$                               | ns |
| $t_{w(SPCL)M}$       | パルス幅、SPICLK Low (クロック極性 = 1)                       | $0.5t_{c(SPC)M} - 2$              |                                                  | $0.5t_{c(SPC)M} + 2$                               |    |
| $t_{w(SPCL)M}$       | パルス幅、SPICLK Low (クロック極性 = 0)                       | $0.5t_{c(SPC)M} - 2$              |                                                  | $0.5t_{c(SPC)M} + 2$                               | ns |
| $t_{w(SPCH)M}$       | パルス幅、SPICLK high (クロック極性 = 1)                      | $0.5t_{c(SPC)M} - 2$              |                                                  | $0.5t_{c(SPC)M} + 2$                               |    |
| $t_{d(SPCH-SIMO)M}$  | 遅延時間、SPISIMO 有効から SPICLK Low まで (クロック極性 = 0)       | $0.5t_{c(SPC)M} - 7$              |                                                  |                                                    | ns |
| $t_{d(SPCL-SIMO)M}$  | 遅延時間、SPISIMO 有効から SPICLK High まで (クロック極性 = 1)      | $0.5t_{c(SPC)M} - 7$              |                                                  |                                                    |    |
| $t_{v(SPCL-SIMO)M}$  | 有効時間、SPICLK Low から SPISIMO データ有効の間 (クロック極性 = 0)    | $0.5t_{c(SPC)M} - 8$              |                                                  |                                                    | ns |
| $t_{v(SPCH-SIMO)M}$  | 有効時間、SPICLK High から SPISIMO データ有効の間 (クロック極性 = 1)   | $0.5t_{c(SPC)M} - 8$              |                                                  |                                                    |    |
| $t_{C2TDELAY}$       | セットアップ時間、CS アクティブから SPICLK High まで (クロック極性 = 0)    | CSHOLD = 0                        | $0.5t_{c(SPC)M} + (C2TDELAY + 2)t_{c(VCLK)} - 7$ | $0.5t_{c(SPC)M} + (C2TDELAY + 2)t_{c(VCLK)} + 7.5$ | ns |
|                      |                                                    | CSHOLD = 1                        | $0.5t_{c(SPC)M} + (C2TDELAY + 2)t_{c(VCLK)} - 7$ | $0.5t_{c(SPC)M} + (C2TDELAY + 2)t_{c(VCLK)} + 7.5$ |    |
|                      | セットアップ時間、CS アクティブから SPICLK Low まで (クロック極性 = 1)     | CSHOLD = 0                        | $0.5t_{c(SPC)M} + (C2TDELAY + 2)t_{c(VCLK)} - 7$ | $0.5t_{c(SPC)M} + (C2TDELAY + 2)t_{c(VCLK)} + 7.5$ |    |
|                      |                                                    | CSHOLD = 1                        | $0.5t_{c(SPC)M} + (C2TDELAY + 3)t_{c(VCLK)} - 7$ | $0.5t_{c(SPC)M} + (C2TDELAY + 3)t_{c(VCLK)} + 7.5$ |    |
| $t_{T2CDELAY}$       | ホールド時間、SPICLK Low から CS 非アクティブまで (クロック極性 = 0)      | $(T2CDELAY + 1)t_{c(VCLK)} - 7.5$ |                                                  | $(T2CDELAY + 1)t_{c(VCLK)} + 7$                    | ns |
|                      | ホールド時間、SPICLK High から CS 非アクティブまで (クロック極性 = 1)     | $(T2CDELAY + 1)t_{c(VCLK)} - 7.5$ |                                                  | $(T2CDELAY + 1)t_{c(VCLK)} + 7$                    |    |
| $t_{su(SOMI-SPCL)M}$ | セットアップ時間、SPISOMI から SPICLK Low まで (クロック極性 = 0)     | 5                                 |                                                  |                                                    | ns |
| $t_{su(SOMI-SPCH)M}$ | セットアップ時間、SPISOMI から SPICLK High まで (クロック極性 = 1)    | 5                                 |                                                  |                                                    |    |
| $t_{h(SPCL-SOMI)M}$  | ホールド時間、SPICLK Low から SPISOMI データ有効の間 (クロック極性 = 0)  | 2                                 |                                                  |                                                    | ns |
| $t_{h(SPCH-SOMI)M}$  | ホールド時間、SPICLK High から SPISOMI データ有効の間 (クロック極性 = 1) | 2                                 |                                                  |                                                    |    |

- (1) コントローラ ビット (SPIGCRx.0) はセットされ、クロック位相ビット (SPIFMTx.16) はセットされています (x = 0 または 1)。  
(2)  $t_{c(MSS\_VCLK)}$  = メイン サブシステム クロック時間 =  $1 / f_{(MSS\_VCLK)}$ 。詳細については、デバイスのテクニカル リファレンス マニュアルを参照してください。  
(3) SPI がコントローラ モードの場合、次の条件を満たす必要があります。PS 値が 1~255 の場合:  $t_{c(SPC)M} \geq (PS + 1)t_{c(MSS\_VCLK)} \geq 25ns$ 。ここで、PS は SPIFMTx.[15:8] レジスタ ビットで設定されたプリスケール値です。PS 値が 0 の場合:  $t_{c(SPC)M} = 2t_{c(MSS\_VCLK)} \geq 25ns$ 。  
(4) 基準となる SPICLK 信号のアクティブ エッジはクロック極性ビット (SPIFMTx.17) によって制御されます。

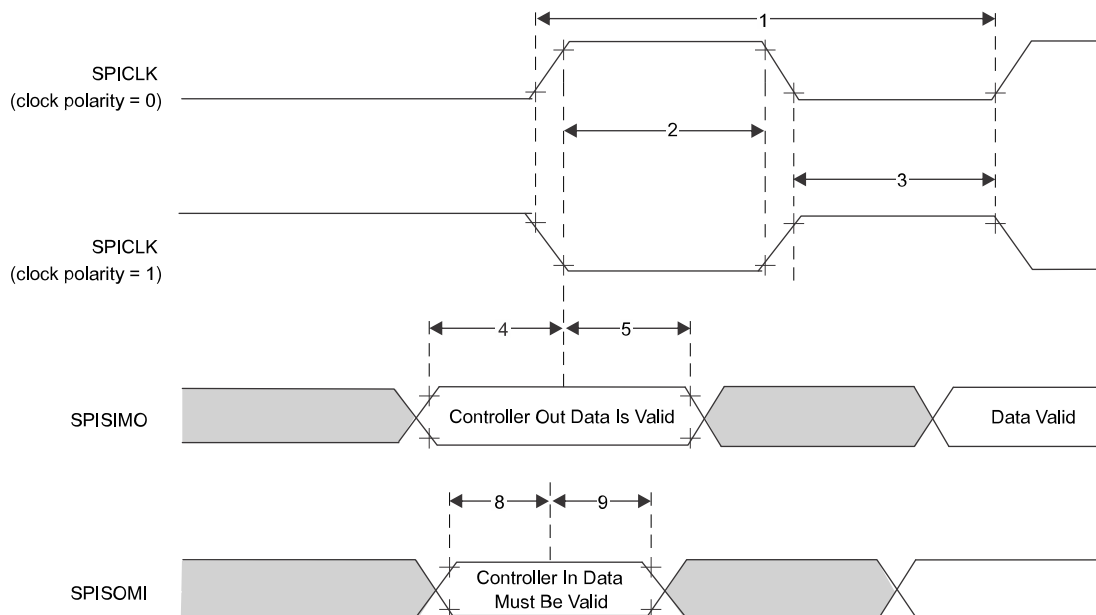


図 7-8. SPI コントローラ モードの外部タイミング (クロック位相 = 1)

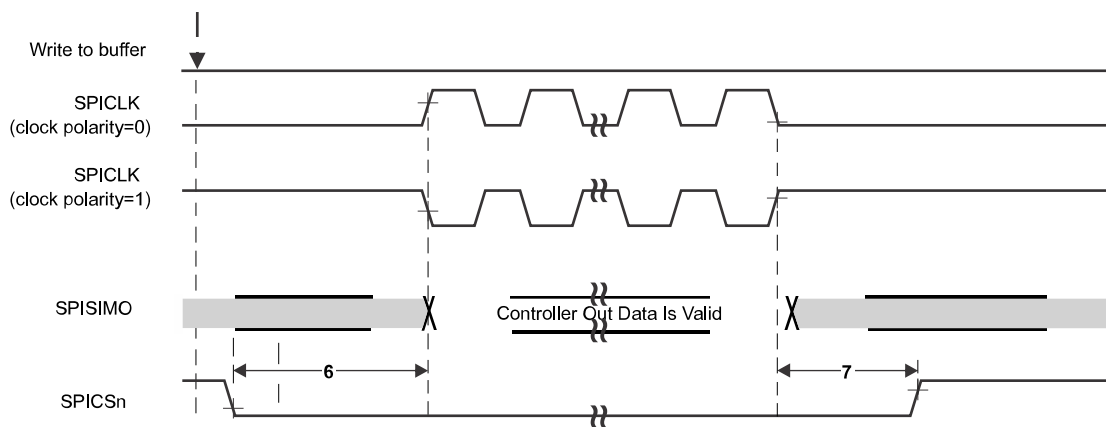


図 7-9. SPI コントローラ モードのチップ セレクト タイミング (クロック位相 = 1)

### 7.12.2.3 SPI ペリフェラル モードの I/O タイミング

#### 7.12.2.3.1 SPI ペリフェラル モードのスイッチング パラメータ (SPICLK = 入力, SPISIMO = 入力, SPISOMI = 出力)<sup>(1)(2)(3)</sup>

| パラメータ <sup>(5)</sup> | 説明                                                                                        | 最小値 | 標準値 | 最大値 | 単位 |
|----------------------|-------------------------------------------------------------------------------------------|-----|-----|-----|----|
| $t_{c(SPC)S}$        | サイクル時間、SPICLK <sup>(4)</sup>                                                              | 20  |     |     | ns |
| $t_{w(SPCH)S}$       | パルス幅、SPICLK high (クロック極性 = 0)                                                             | 8   |     |     | ns |
| $t_{w(SPCL)S}$       | パルス幅、SPICLK Low (クロック極性 = 1)                                                              | 8   |     |     |    |
| $t_{w(SPCL)S}$       | パルス幅、SPICLK Low (クロック極性 = 0)                                                              | 8   |     |     | ns |
| $t_{w(SPCH)S}$       | パルス幅、SPICLK high (クロック極性 = 1)                                                             | 8   |     |     |    |
| $t_{d(SPCH-SOMI)S}$  | 遅延時間、SPICLK High から SPISOMI 有効まで (クロック極性 = 0)                                             |     |     | 10  | ns |
| $t_{d(SPCL-SOMI)S}$  | 遅延時間、SPICLK Low から SPISOMI 有効まで (クロック極性 = 1)                                              |     |     | 10  |    |
| $t_{h(SPCH-SOMI)S}$  | ホールド時間、SPICLK High から SPISOMI データ有効の間 (クロック極性 = 0)                                        | 2   |     |     | ns |
| $t_{h(SPCL-SOMI)S}$  | ホールド時間、SPICLK Low から SPISOMI データ有効の間 (クロック極性 = 1)                                         | 2   |     |     |    |
| $t_{d(SPCH-SOMI)S}$  | 遅延時間、SPICLK High から SPISOMI 有効まで (クロック極性 = 0、クロック位相 = 0) または (クロック極性 = 1、クロック位相 = 1)      |     |     | 14  | ns |
| $t_{d(SPCL-SOMI)S}$  | 遅延時間、SPICLK Low から SPISOMI 有効まで (クロック極性 = 0、クロック位相 = 0) または (クロック極性 = 0、クロック位相 = 1)       |     |     | 14  |    |
| $t_{h(SPCH-SOMI)S}$  | ホールド時間、SPICLK High から SPISOMI データ有効の間 (クロック極性 = 0、クロック位相 = 0) または (クロック極性 = 1、クロック位相 = 1) | 2   |     |     | ns |
| $t_{h(SPCL-SOMI)S}$  | ホールド時間、SPICLK Low から SPISOMI データ有効の間 (クロック極性 = 1、クロック位相 = 0) または (クロック極性 = 0、クロック位相 = 1)  | 2   |     |     |    |
| $t_{su(SIMO-SPCL)S}$ | セットアップ時間、SPISIMO から SPICLK Low まで (クロック極性 = 0、クロック位相 = 0) または (クロック極性 = 1、クロック位相 = 1)     | 2.1 |     |     | ns |
| $t_{su(SIMO-SPCH)S}$ | セットアップ時間、SPISIMO から SPICLK High まで (クロック極性 = 1、クロック位相 = 0) または (クロック極性 = 0、クロック位相 = 1)    | 2.1 |     |     |    |
| $t_{h(SPCL-SIMO)S}$  | ホールド時間、SPICLK Low から SPISIMO データ有効の間 (クロック極性 = 0、クロック位相 = 0) または (クロック極性 = 1、クロック位相 = 1)  | 1   |     |     | ns |
| $t_{h(SPCL-SIMO)S}$  | ホールド時間、SPICLK High から SPISIMO データ有効の間 (クロック極性 = 1、クロック位相 = 0) または (クロック極性 = 0、クロック位相 = 1) | 1   |     |     |    |

- (1) コントローラ ビット (SPIGCRx.0) がクリアされます (x = 0 または 1)。  
(2) クロック位相ビット (SPIFMTx.16) は、クロック位相 = 0 またはクロック位相 = 1 の場合、それぞれクリアまたはセットされます。  
(3)  $t_{c(MSS\_VCLK)}$  = メイン サブシステム クロック時間 =  $1 / f_{(MSS\_VCLK)}$ . 詳細については、デバイスのテクニカル リファレンス マニュアルを参照してください。  
(4) SPI がペリフェラル モードの場合、次の条件を満たす必要があります。PS 値が 1~255 の場合:  $t_{c(SPC)S} \geq (PS + 1)t_{c(MSS\_VCLK)} \geq 25ns$ 、ここでは、PS は SPIFMTx.[15:8] レジスタ ビットに設定されたプリスケール値です。PS 値が 0 の場合:  $t_{c(SPC)S} = 2t_{c(MSS\_VCLK)} \geq 25 ns$ 。  
(5) 基準となる SPICLK 信号のアクティブ エッジはクロック極性ビット (SPIFMTx.17) によって制御されます。

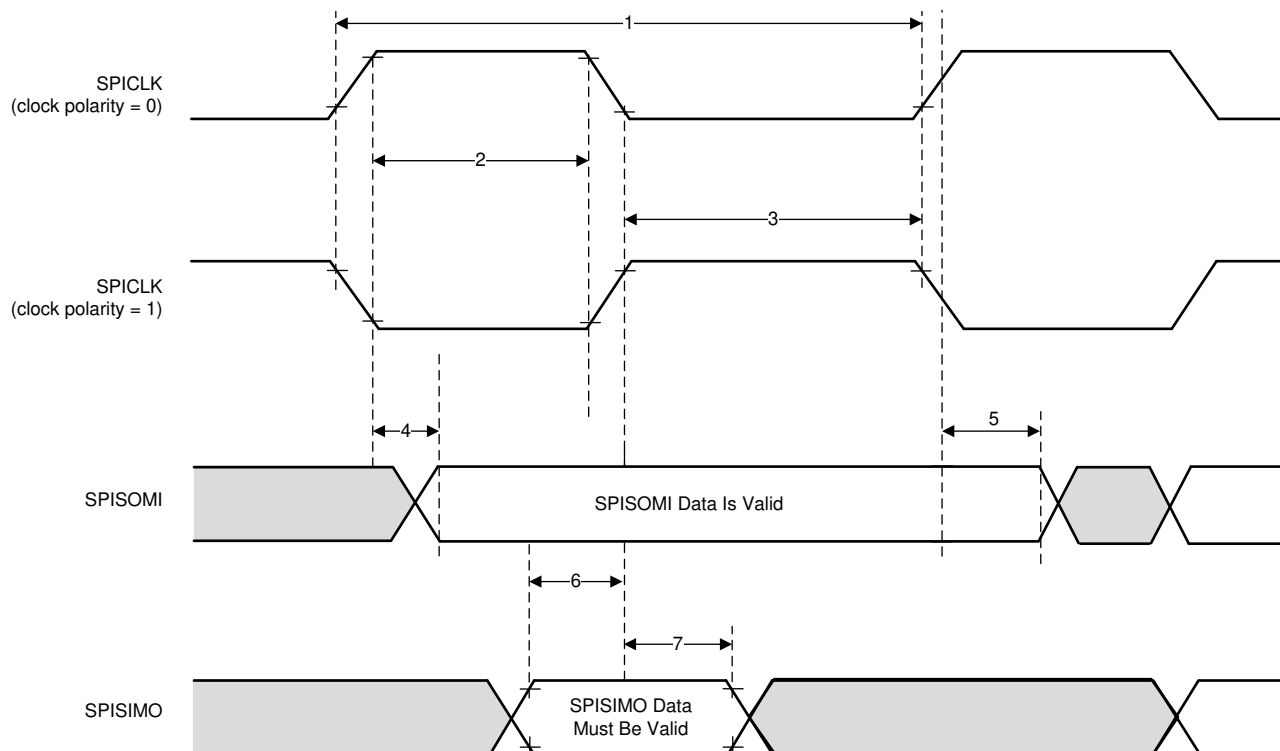


図 7-10. SPI ペリフェラル モードの外部タイミング (クロック位相 = 0)

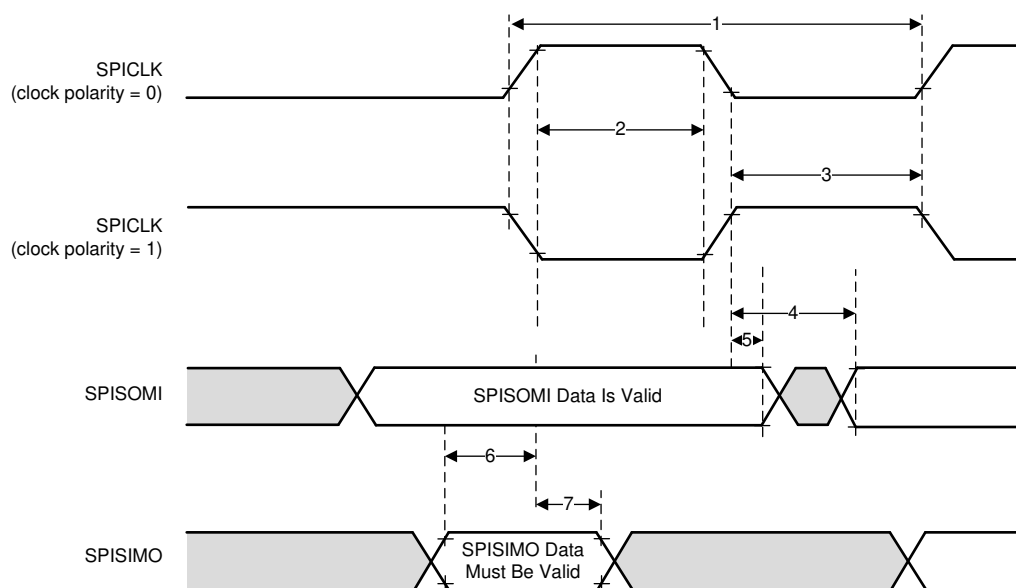


図 7-11. SPI ペリフェラル モードの外部タイミング (クロック位相 = 1)

### 7.12.3 イーサネット スイッチ (RGMII/RMII/MII) ペリフェラル

このデバイスは 2 ポート イーサネットを統合しており、1 つは外部 RGMII/RMII/MII ポート、もう 1 つはメイン サブシステム (MSS) に接続されます。このインターフェイスは主に 1Gbps の ECU インターフェイスとして動作することを目的としています。また、計測用インターフェイスとして使用することもできます。

- RGMII、RMII、MII パラレル インターフェイス経由のイーサネット PHY への全二重通信 10Mbps/100Mbps/1Gbps ワイヤ レート インターフェイス
- MDIO Clause 22 および 45 PHY 管理インターフェイス
- IEEE 1588 同期イーサネットのサポート
- CPTS ベースのレーダー フレームトリガにより、イーサネットからレーダー フレームをトリガ可能

#### 7.12.3.1 RGMII/RMII/MII のタイミング条件

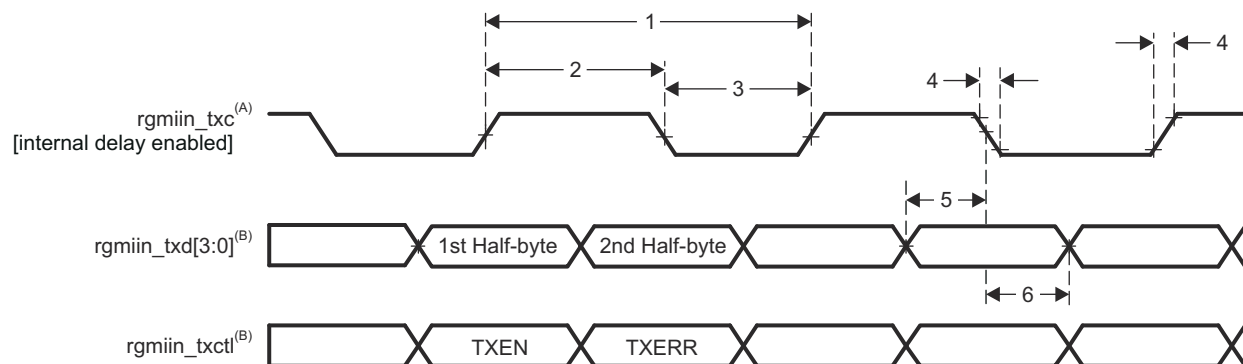
| 仕様番号 | パラメータ                    | 最小値  | 標準値 | 最大値 | 単位       |
|------|--------------------------|------|-----|-----|----------|
| 入力条件 |                          |      |     |     |          |
| 1    | SR <sub>I</sub> 入力スルーレート | 2.64 |     | 5   | V/<br>ns |
| 出力条件 |                          |      |     |     |          |
| 3    | C <sub>LOAD</sub> 出力負荷容量 | 2    |     | 20  | pF       |

#### 7.12.3.2 RGMII 送信クロックのスイッチング特性

| パラメータ                 | 説明                   | SPEED   | 最小値 | 最大値  | 単位 |
|-----------------------|----------------------|---------|-----|------|----|
| t <sub>c</sub> (TXC)  | サイクル タイム、rgmiin_txc  | 10Mbps  | 360 | 440  | ns |
|                       |                      | 100Mbps | 36  | 44   | ns |
|                       |                      | 1Gbps   | 7.6 | 8.4  | ns |
| t <sub>w</sub> (TXCH) | パルス幅、rgmiin_txc High | 10Mbps  | 160 | 240  | ns |
|                       |                      | 100Mbps | 16  | 24   | ns |
|                       |                      | 1Gbps   | 3.6 | 4.4  | ns |
| t <sub>w</sub> (TXCL) | パルス幅、rgmiin_txc Low  | 10Mbps  | 160 | 240  | ns |
|                       |                      | 100Mbps | 16  | 24   | ns |
|                       |                      | 1Gbps   | 3.6 | 4.4  | ns |
| t <sub>l</sub> (TXC)  | 遷移時間、rgmiin_txc      | 10Mbps  |     | 1.4  | ns |
|                       |                      | 100Mbps |     | 1.4  | ns |
|                       |                      | 1Gbps   |     | 0.75 | ns |

#### 7.12.3.3 RGMII の送信データおよび制御のスイッチング特性

| パラメータ                      | 説明                                                            | モード                       | 最小値 | 最大値 | 単位 |
|----------------------------|---------------------------------------------------------------|---------------------------|-----|-----|----|
| t <sub>osu</sub> (TXD-TXC) | 出力セットアップ時間: 送信信号が有効になってから、MSS_RGMII_TCLK の立ち上がり/立ち下がりエッジまでの時間 | RGMII、内部遅延有効化、10M/100M/1G | 1.2 |     | ns |
| t <sub>oh</sub> (TXC-TXD)  | 出力ホールド時間: MSS_RGMII_TCLK の立ち上がり/立ち下がりの後も、送信される選択信号が有効であり続ける時間 | RGMII、内部遅延有効化、10M/100M/1G | 1.2 |     | ns |



- A. TxC は内部で遅延されてから、**rgmiiin\_txc** ピンを駆動します。この内部遅延は常にイネーブルになっています。
- B. データおよび制御情報は、クロックの両エッジを使用して送信されます。**rgmiiin\_txd[3:0]** は、**rgmiiin\_txc** の立ち上がりエッジでデータビット 3～0 を、立ち下がりエッジでビット 7～4 を伝送します。同様に、**rgmiiin\_txctl** は、**rgmiiin\_txc** の立ち上がりエッジで TXEN を、立ち下がりエッジで TXERR を伝送します。

図 7-12. RGMII 送信インターフェイスのスイッチング特性

#### 7.12.3.4 RGMII 受信クロックのタイミング要件

| パラメータ         | 説明                            | SPEED   | 最小値 | 最大値  | 単位 |
|---------------|-------------------------------|---------|-----|------|----|
| $t_{c(RXC)}$  | サイクル タイム、 <b>rgmiiin_rxc</b>  | 10Mbps  | 360 | 440  | ns |
|               |                               | 100Mbps | 36  | 44   | ns |
|               |                               | 1Gbps   | 7.6 | 8.4  | ns |
| $t_{w(RXCH)}$ | パルス幅、 <b>rgmiiin_rxc</b> High | 10Mbps  | 160 | 240  | ns |
|               |                               | 100Mbps | 16  | 24   | ns |
|               |                               | 1Gbps   | 3.6 | 4.4  | ns |
| $t_{w(RXCL)}$ | パルス幅、 <b>rgmiiin_rxc</b> Low  | 10Mbps  | 160 | 240  | ns |
|               |                               | 100Mbps | 16  | 24   | ns |
|               |                               | 1Gbps   | 3.6 | 4.4  | ns |
| $t_{l(RXC)}$  | 遷移時間、 <b>rgmiiin_rxc</b>      | 10Mbps  |     | 1.4  | ns |
|               |                               | 100Mbps |     | 1.4  | ns |
|               |                               | 1Gbps   |     | 0.75 | ns |

### 7.12.3.5 RGMII RX および TX のタイミング図

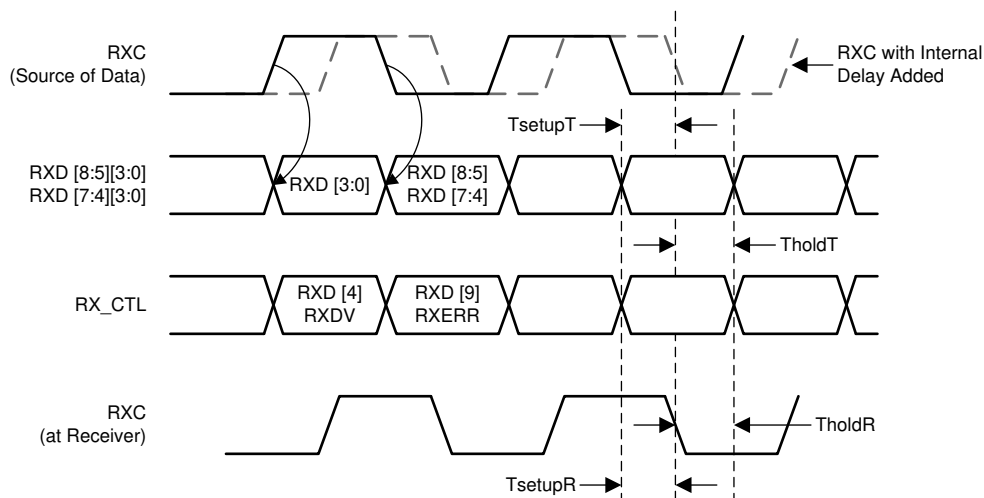


図 7-13. RGMII RX のタイミング図

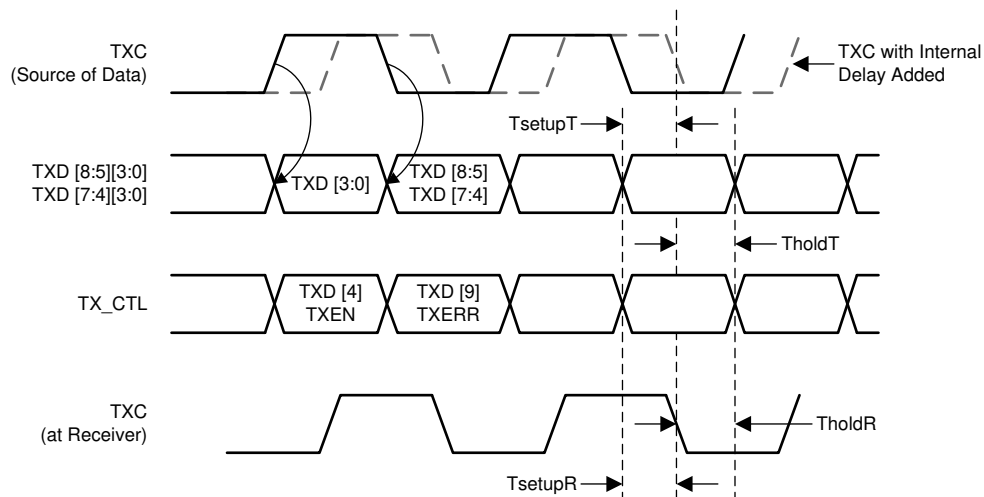


図 7-14. RGMII TX のタイミング図

表 7-7.

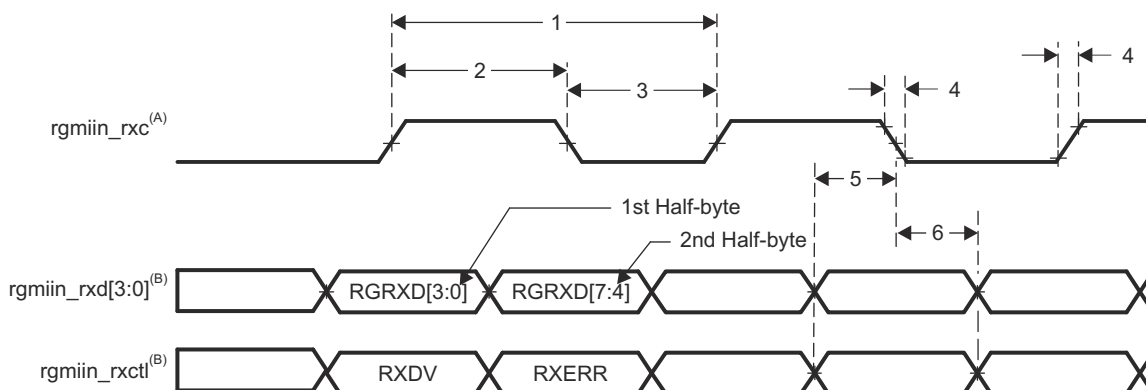
| TX モード | RX モード | TX 遅延   | RX 遅延   | ループバック テスト ケース                      | コメント              |
|--------|--------|---------|---------|-------------------------------------|-------------------|
| 整列     | 整列     | 0.250ns | 0.250ns | MAC ポートでの RXCRC エラー、RXAlignCode エラー |                   |
| 整列     | 整列     | 0.500ns | 0.500ns | MAC ポートでの RXCRC エラー、RXAlignCode エラー |                   |
| 整列     | シフト    | 0.250ns | 0.250ns | 合格:MAC ポートでパケットがドロップされません           |                   |
| 整列     | シフト    | 0.250ns | 2ns     | 合格:MAC ポートでのパケットドロップはありません。         | これは、TI で推奨される設定です |

表 7-7. (続き)

| TX モード | RX モード | TX 遅延   | RX 遅延   | ループバックテスト ケース                       | コメント |
|--------|--------|---------|---------|-------------------------------------|------|
| 整列     | 整列     | 0.250ns | 0.500ns | MAC ポートでの RXCRC エラー、RXAlignCode エラー |      |

## 7.12.3.6 RGMII 受信データおよび制御のタイミング要件

| パラメータ              | 説明                                                              | 最小値  | 最大値 | 単位 |
|--------------------|-----------------------------------------------------------------|------|-----|----|
| $t_{su}(RXD-RXCH)$ | セットアップ時間: MSS_RGMII_RCLK の High/Low の遷移前に、選択された信号が有効である必要がある時間  | 1.25 |     | ns |
| $t_h(RXCH-RXD)$    | ホールド時間: MSS_RGMII_RCLK の High/Low の遷移後に、選択された信号が有効であり続ける必要がある時間 | 1.25 |     | ns |



- A.  $rgmiin\_rxc$  は、データピンおよび制御ピンに対して、外部で遅延させる必要があります。
- B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。MSS\_RGMII\_RXD[3:0] は、 $rgmiin\_rxc$  の立ち上がりエッジでデータビット 3～0 を、立ち下がりエッジでデータビット 7～4 を伝送します。同様に、 $rgmiin\_rxctl$  は  $rgmiin\_rxc$  の立ち上がりエッジで RXDV を、立ち下がりエッジで RXERR を伝送します。

図 7-15. MAC 受信インターフェ이스のタイミング、RGMII 動作

## 7.12.3.7 RMII 送信クロックのスイッチング特性

| パラメータ            | 説明                | 最小値 | 最大値 | 単位 |
|------------------|-------------------|-----|-----|----|
| $t_c(REF\_CLK)$  | サイクル時間、REF_CLK    | 20  |     | ns |
| $t_w(REF\_CLKH)$ | パルス幅、REF_CLK High | 7   | 13  | ns |
| $t_w(REF\_CLKL)$ | パルス幅、REF_CLK Low  | 7   | 13  | ns |
| $t_l(REF\_CLK)$  | 遷移時間、REF_CLK      |     | 3   | ns |

## 7.12.3.8 RMII の送信データおよび制御のスイッチング特性

| パラメータ                   | 説明                                      | 最小値 | 最大値  | 単位 |
|-------------------------|-----------------------------------------|-----|------|----|
| $t_d(REF\_CLK-TXD)$     | 選択された送信信号が有効になるまでの REF_CLK High からの遅延時間 | 2   | 14.2 | ns |
| $t_{dd}(REF\_CLK-TXEN)$ |                                         |     |      |    |

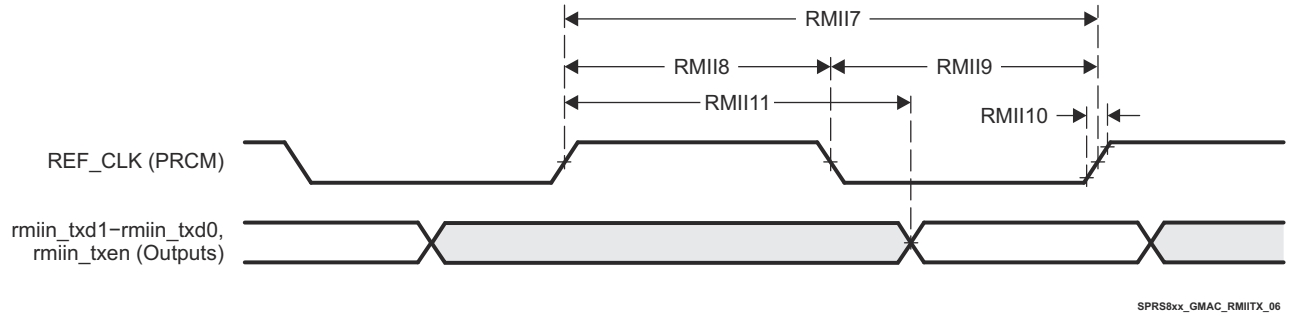


図 7-16. MAC 送信インターフェースのタイミング、RMIIn 動作

#### 7.12.3.9 RMII 受信クロックのタイミング要件

| パラメータ              | 説明                | 最小値 | 最大値 | 単位 |
|--------------------|-------------------|-----|-----|----|
| $t_{c(REF\_CLK)}$  | サイクル時間、REF_CLK    | 20  |     | ns |
| $t_{w(REF\_CLKH)}$ | パルス幅、REF_CLK High | 7   | 13  | ns |
| $t_{w(REF\_CLKL)}$ | パルス幅、REF_CLK Low  | 7   | 13  | ns |
| $t_{tt(REF\_CLK)}$ | 遷移時間、REF_CLK      |     | 3   | ns |

#### 7.12.3.10 RMII 受信データおよび制御のタイミング要件

| パラメータ                      | 説明                                           | 最小値 | 最大値 | 単位 |
|----------------------------|----------------------------------------------|-----|-----|----|
| $t_{su(RXD-REF\_CLK)}$     | セットアップ時間、受信される選択信号が REF_CLK の前に有効である必要がある時間  | 4   |     | ns |
| $t_{su(CRS\_DV-REF\_CLK)}$ |                                              |     |     |    |
| $t_{su(RX\_ER-REF\_CLK)}$  |                                              |     |     |    |
| $t_{h(REF\_CLK-RXD)}$      | ホールド時間、受信される選択信号が REF_CLK の後に有効であり続ける必要がある時間 | 2   |     | ns |
| $t_{h(REF\_CLK-CRS\_DV)}$  |                                              |     |     |    |
| $t_{h(REF\_CLK-RX\_ER)}$   |                                              |     |     |    |

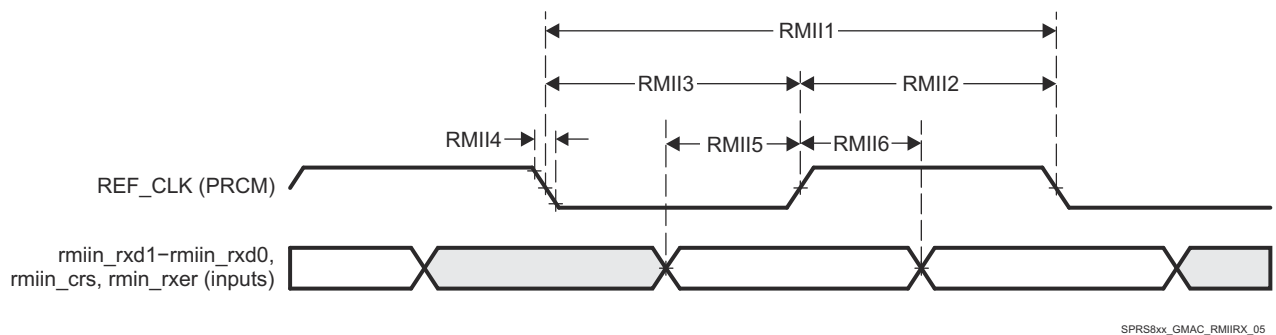
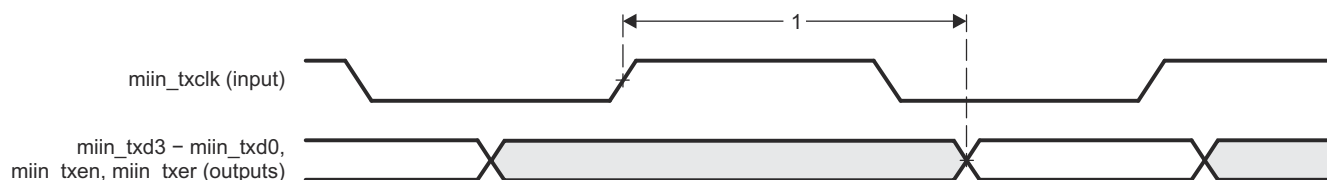


図 7-17. MAC 受信インターフェースのタイミング、RMIIn 動作

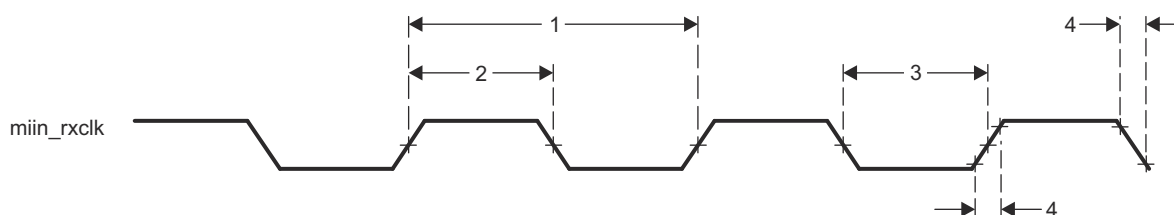
#### 7.12.3.11 MII 送信のスイッチング特性

| パラメータ                   | 説明                                     | 最小値 | 最大値 | 単位 |
|-------------------------|----------------------------------------|-----|-----|----|
| $t_{d(TX\_CLK-TXD)}$    | 遅延時間、miin_txclk から送信される選択信号が有効になるまでの時間 | 0   | 25  | ns |
| $t_{d(TX\_CLK-TX\_EN)}$ |                                        |     |     |    |
| $t_{d(TX\_CLK-TX\_ER)}$ |                                        |     |     |    |

図 7-18. MAC 送信インターフェ이스のタイミング、MII<sub>n</sub> 動作

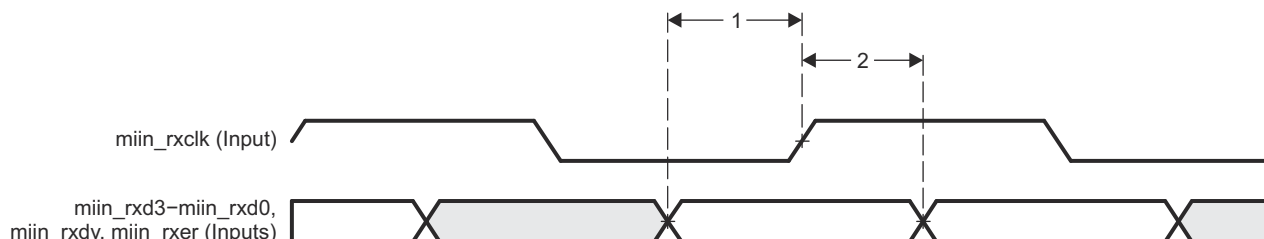
## 7.12.3.12 MII 受信クロックのタイミング要件

| パラメータ           | 説明                   | SPEED   | 最小値 | 最大値 | 単位 |
|-----------------|----------------------|---------|-----|-----|----|
| $t_c(RX\_CLK)$  | サイクル タイム、miin_rxclk  | 10Mbps  | 400 |     | ns |
|                 |                      | 100Mbps | 40  |     | ns |
| $t_w(RX\_CLKH)$ | パルス幅、miin_rxclk High | 10Mbps  | 140 | 260 | ns |
|                 |                      | 100Mbps | 14  | 26  | ns |
| $t_w(RX\_CLKL)$ | パルス幅、miin_rxclk Low  | 10Mbps  | 140 | 260 | ns |
|                 |                      | 100Mbps | 14  | 26  | ns |
| $t_t(RX\_CLK)$  | 遷移時間、miin_rxclk      | 10Mbps  |     | 3   | ns |
|                 |                      | 100Mbps |     | 3   | ns |

図 7-19. クロック タイミング (MAC 受信) - MII<sub>n</sub> 動作

## 7.12.3.13 MII 受信のタイミング要件

| パラメータ                    | 説明                                                       | 最小値 | 最大値 | 単位 |
|--------------------------|----------------------------------------------------------|-----|-----|----|
| $t_{su}(RXD-RX\_CLK)$    | セットアップ時間、miin_rxclk の立ち上がり/立ち下がり前に、受信する選択信号が有効である必要がある時間 | 8   |     | ns |
| $t_{su}(RX\_DV-RX\_CLK)$ |                                                          |     |     |    |
| $t_{su}(RX\_ER-RX\_CLK)$ |                                                          |     |     |    |
| $t_h(RX\_CLK-RXD)$       | ホールド時間、miin_rxclk から選択した信号の受信有効の間                        | 8   |     | ns |
| $t_h(RX\_CLK-RX\_DV)$    |                                                          |     |     |    |
| $t_h(RX\_CLK-RX\_ER)$    |                                                          |     |     |    |

図 7-20. MAC 受信インターフェ이스のタイミング、MII<sub>n</sub> 動作

### 7.12.3.14 MII 送信クロックのタイミング要件

| パラメータ                  | 説明                   | SPEED   | 最小値 | 最大値 | 単位 |
|------------------------|----------------------|---------|-----|-----|----|
| $t_c(\text{TX\_CLK})$  | サイクルタイム、miin_txclk   | 10Mbps  | 400 |     | ns |
|                        |                      | 100Mbps | 40  |     | ns |
| $t_w(\text{TX\_CLKH})$ | パルス幅、miin_txclk High | 10Mbps  | 140 | 260 | ns |
|                        |                      | 100Mbps | 14  | 26  | ns |
| $t_w(\text{TX\_CLKL})$ | パルス幅、miin_txclk Low  | 10Mbps  | 140 | 260 | ns |
|                        |                      | 100Mbps | 14  | 26  | ns |
| $t_t(\text{TX\_CLK})$  | 遷移時間、miin_txclk      | 10Mbps  |     | 3   | ns |
|                        |                      | 100Mbps |     | 3   | ns |

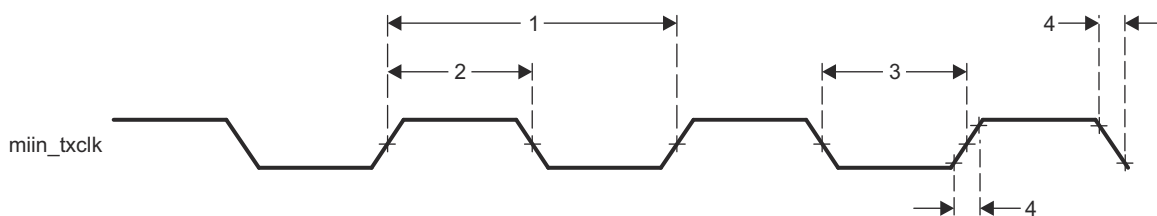


図 7-21. クロック タイミング (MAC 送信) — MIIin 動作

### 7.12.3.15 MDIO インターフェ이스のタイミング

#### 注意

このセクションに記載されている IO タイミングは、対応する仮想 IO タイミングまたは手動 IO タイミングが本セクション内の表に記載されたとおりに設定されている場合に限り、一部の MAC 使用モードにおいてのみ有効です。

表 7-8 表 7-9 および図 7-22 は、MDIO インターフェ이스のスイッチング特性とタイミング要件を示します。

表 7-8. MDIO 入力のタイミング要件

| パラメータ                     | 説明                             | 最小値 | 最大値 | 単位 |
|---------------------------|--------------------------------|-----|-----|----|
| $t_c(\text{MDC})$         | サイクル時間、MDC                     | 40  |     | ns |
| $t_w(\text{MDCH})$        | パルス幅、MDC High                  | 16  |     | ns |
| $t_w(\text{MDCL})$        | パルス幅、MDC Low                   | 16  |     | ns |
| $t_{su}(\text{MDIO-MDC})$ | セットアップ時間、MDIO 有効から MDC High まで | 9   |     | ns |
| $t_h(\text{MDIO\_MDC})$   | ホールド時間、MDC High から MDIO 有効まで   | 0   |     | ns |

表 7-9. MDIO 出力の推奨動作条件に対するスイッチング特性

| パラメータ                  | 説明                        | 最小値 | 最大値              | 単位 |
|------------------------|---------------------------|-----|------------------|----|
| $t_t(\text{MDC})$      | 遷移時間、MDC                  |     | 3                | ns |
| $t_d(\text{MDC-MDIO})$ | 遅延時間、MDC LOW から MDIO 有効まで | 10  | $(P * 0.5) - 10$ | ns |

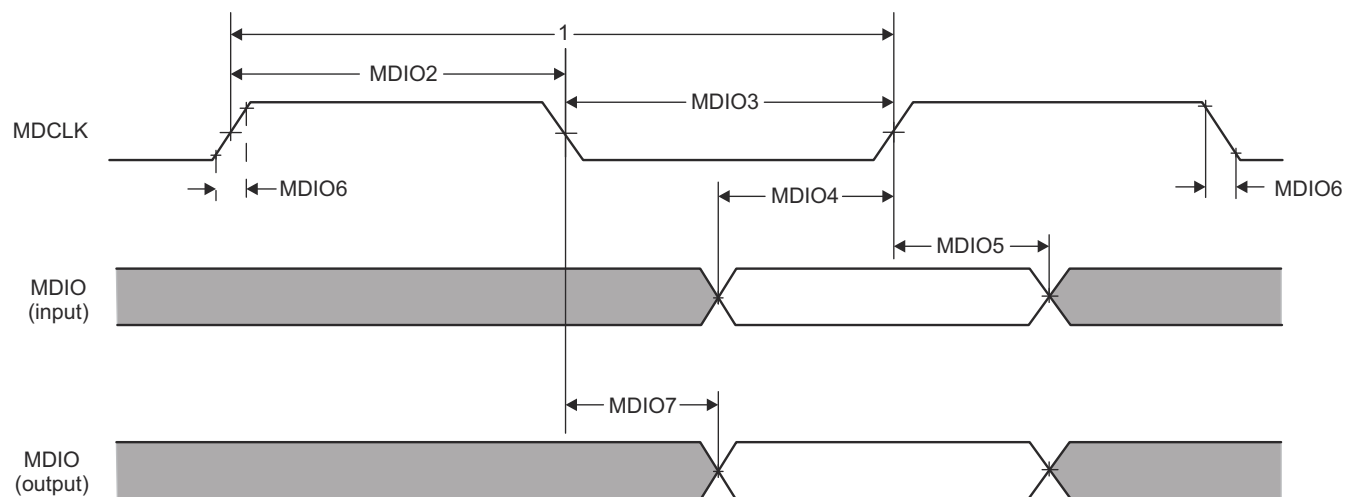


図 7-22. MAC MDIO の図

#### 7.12.4 LVDS 計測および測定ペリフェラル

このデバイスは、2 つの異なるモードで一連の LVDS インターフェイスをサポートしています。

- 従来の LVDS モード

LVDS IO は、上記の 2 つの測定インターフェイス オプションで共有されます。

以下の機能をサポートしています:

- 2 個のデータ レーン LVDS インターフェイス (データ クロックとフレーム クロック用に追加の 2 レーンを含む)

LVDS インターフェイスのプログラミング オプションについては、デバイスの TRM を参照してください。

##### 7.12.4.1 LVDS インターフェイスの構成

サポートされている LVDS レーン構成は、2 データ レーンまたは (LVDS\_TXP/M)、1 ビット クロック レーン (LVDS\_TXxx\_CLKP/M)、および 1 フレーム クロック レーン (LVDS\_TXxx\_FRCLKP/M) です。LVDS インターフェイスは、最大 900Mbps (450MHz DDR クロック) のプログラマブルなデータ レートをサポートしています。

ビット クロックは DDR 形式であるため、クロックのトグル回数はデータのビット数と同等になりますのでご注意ください。

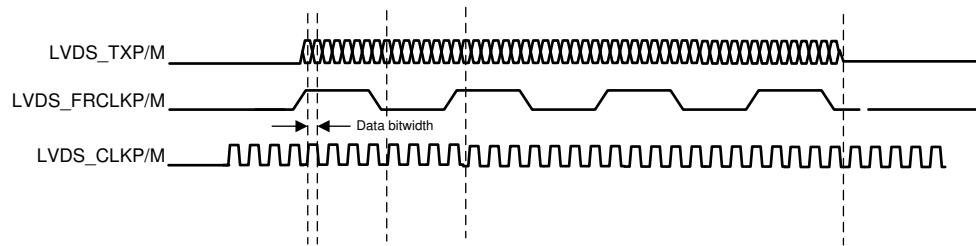


図 7-23. LVDS インターフェイスのレーン構成および相対タイミング

##### 7.12.4.2 LVDS インターフェイスのタイミング

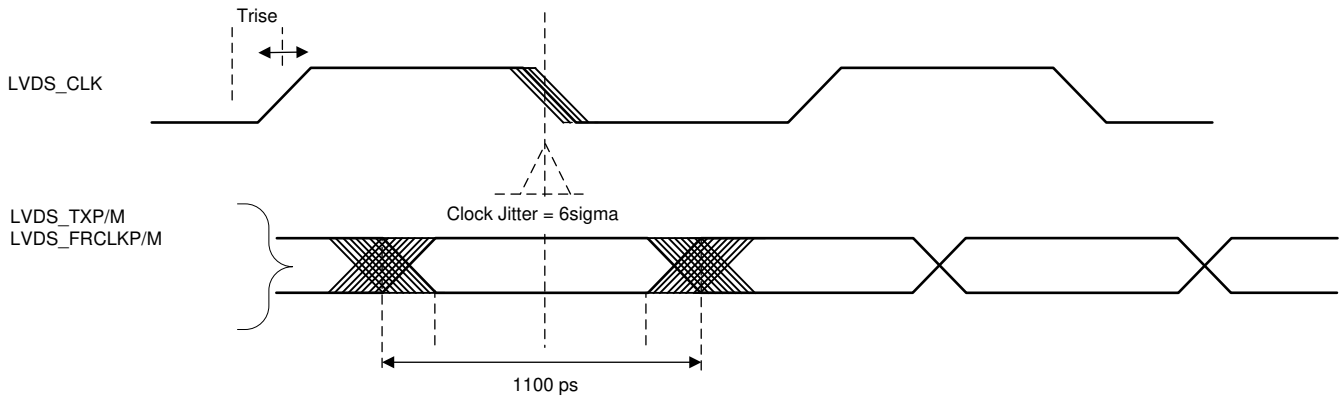


図 7-24. タイミング パラメータ

表 7-10. LVDS の電氣的特性

| パラメータ         | テスト条件                                    | 最小値  | 標準値 | 最大値  | 単位 |
|---------------|------------------------------------------|------|-----|------|----|
| デューティ サイクル要件  | LVDS レーン上で最大 1pF の集中容量性 負荷               | 48%  |     | 52%  |    |
| 出力差動電圧        | 差動ペア間に 100Ω の抵抗性負荷がある ピーク ツー ピークのシングルエンド | 250  |     | 450  | mV |
| 出力オフセット電圧     |                                          | 1125 |     | 1275 | mV |
| Trise と Tfall | 20%~80%、900Mbps                          |      | 330 |      | ps |

表 7-10. LVDS の電気的特性 (続き)

| パラメータ       | テスト条件   | 最小値 | 標準値 | 最大値 | 単位 |
|-------------|---------|-----|-----|-----|----|
| ジッタ (pk-pk) | 900Mbps |     | 80  |     | ps |

### 7.12.5 UART ペリフェラル

このデバイスには、二つの UART インターフェイスが搭載されています。一系統の UART はセカンダリ ブートローダー ソースとして、もう 1 系統は (XDS110 エミュレータを使用した) レジスタ デバッグ インターフェイスとして使用することを想定しています。

- 各クロック周波数モードにおいて、サポートされる最大ボーレートは最低でも 1536kBaud とする必要があります
- UART インターフェイスは、他の I/O と多重化されており、ペリフェラル機能の最大限の柔軟な利用を可能にしています

#### 7.12.5.1 SCI のタイミング要件

|        |                       | 最小値 | 標準値   | 最大値 | 単位  |
|--------|-----------------------|-----|-------|-----|-----|
| f (ボー) | サポートされているボーレート (20pF) |     | 921.6 |     | kHz |

### 7.12.6 I2C (Inter-Integrated Circuit Interface)

このデバイスは、コントローラ/ターゲット両対応の インターインテグレートッド サーキット インターフェイスを 1 系統サポートしており、外部の PMIC や EEPROM デバイス (代替制御用 SPI) に接続することを想定しています。

I2C には次の特長があります。

- I2C バス仕様 (UM10204) に準拠した標準モード / 高速モード I2C インターフェイス
  - ビット / バイト形式の転送
  - 7 ビットおよび 10 ビットのデバイス アドレッシング モード
  - ゼネラルコール
  - START バイト
  - マルチコントローラトランスミッタ / ターゲット レシーバ モード
  - マルチコントローラ レシーバ / ターゲットトランスミッタ モード
  - コントローラ送信 / 受信、受信 / 送信の組み合わせモード
  - 最大 400kbps の転送速度
- フリー データ形式
- 2 つの DMA イベント (送信および受信)
- DMA イベントのイネーブル / ディセーブル機能
- モジュールのイネーブル / ディセーブル機能
- SDA と SCL を汎用 I/O として構成可能 (任意)
- 出力のスルーレート制御
- 出力のオープンドレイン制御
- 入力のプログラマブル プルアップ / プルダウン機能
- NACK 無視モードをサポート

#### 注

この I2C モジュールは次の機能をサポートしていません。

- 高速モード プラスまたは高速 (Hs) モード
- C バス互換モード
- 10 ビット アドレス モードの複合フォーマット (I2C がターゲット アドレスの第 1 バイトを送信するたびに、ターゲット アドレスの第 2 バイトを送信する)

### 7.12.6.1 I2C のタイミング要件<sup>(1)</sup>

| パラメータ                 | 説明                                                     | 標準モード |      | 高速モード |     | 単位      |
|-----------------------|--------------------------------------------------------|-------|------|-------|-----|---------|
|                       |                                                        | 最小値   | 最大値  | 最小値   | 最大値 |         |
| $f_{SCL}$             | SCL クロック周波数                                            | 0     | 100  | 0     | 400 | kHz     |
| $t_{su}(SCLH-SDAL)$   | セットアップ時間、SCL High から SDA Low まで<br>(繰り返しスタート条件の場合)     | 4.7   |      | 0.6   |     | $\mu s$ |
| $t_h(SCLL-SDAL)$      | ホールド時間、SDA Low から SCL Low の間<br>(スタートおよび繰り返しスタート条件の場合) | 4     |      | 0.6   |     | $\mu s$ |
| $t_w(SCLL)$           | パルス幅、SCL low                                           | 4.7   |      | 1.3   |     | $\mu s$ |
| $t_w(SCLH)$           | パルス幅、SCL high                                          | 4     |      | 0.6   |     | $\mu s$ |
| $t_{su}(SDA-SCLH)$    | セットアップ時間、SDA 有効から SCL High まで                          | 250   |      | 100   |     | $\mu s$ |
| $t_h(SCLL-SDA)^{(1)}$ | ホールド時間、SCL low から SDA 有効の間                             | 0     | 3.45 | 0     | 0.9 | $\mu s$ |
| $t_w(SDAH)$           | パルス幅、ストップ条件とスタート条件の間の SDA High の<br>期間                 | 4.7   |      | 1.3   |     | $\mu s$ |
| $t_{su}(SCLH-SDAH)$   | セットアップ時間、SCL High から SDA High まで<br>(ストップ条件の場合)        | 4     |      | 0.6   |     | $\mu s$ |
| $t_w(SP)$             | パルス幅、スパイク (抑制が必要)                                      |       |      | 0     | 50  | ns      |
| $C_b^{(2)(3)}$        | 各バスラインの容量性負荷                                           |       | 400  |       | 400 | pF      |

- (1) I2C ピンの SDA および SCL は、フェイルセーフ I/O パッファを備えていません。これらのピンは、デバイスの電源がオフのときに電流を引き出す可能性があります。
- (2) I2C バス デバイスの  $t_h(SDA-SCLL)$  の最大値を満たす必要があるのは、SCL 信号の Low 期間 ( $t_w(SCLL)$ ) を本デバイスがストレッチ (延長) しない場合に限られます。
- (3)  $C_b = 1$  本のバスラインの合計容量 (pF 単位)。ファスト モード デバイスと混在する場合、より高速な立ち下がり時間が許容されます。

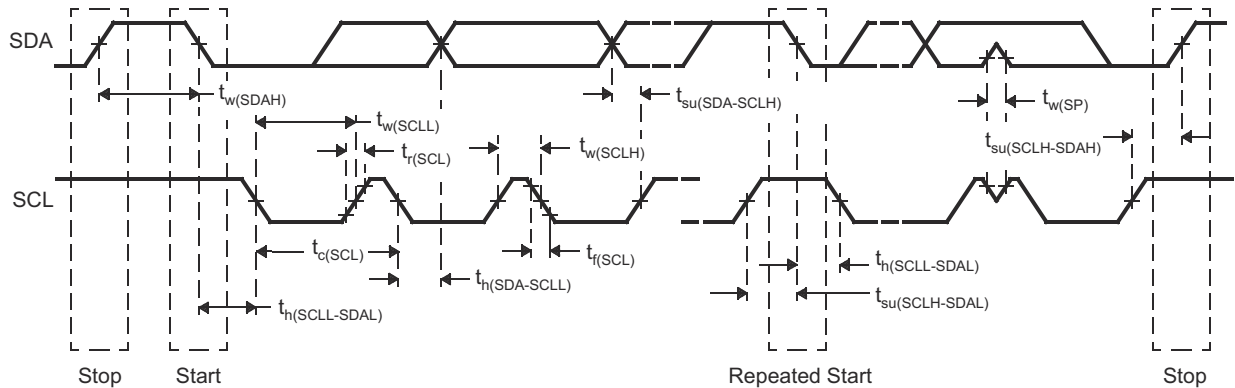


図 7-25. I2C タイミング図

#### 注

- SCL 信号の立ち下がりエッジの未定義領域をブリッジするため、デバイスは SDA 信号のために (SCL 信号の  $V_{IHmin}$  を基準として) 300ns 以上のホールド時間を内部的に確保する必要があります。
- $t_h(SDA-SCLL)$  の最大値を満たす必要があるのは、SCL 信号の Low 期間 ( $t_w(SCLL)$ ) を本デバイスがストレッチ (延長) しない場合に限られます。ファースト モード I2C バス デバイスは、スタンダード モード I2C バス システムでも使えますが、その場合、 $t_{su}(SDA-SCLH) \geq 250ns$  の要件を満たす必要があります。本デバイスが SCL 信号の Low 期間をストレッチしない場合、これは自動的に当てはまります。そのようなデバイスが SCL 信号の Low 期間をストレッチする場合、次のデータビットを SDA ラインに  $t_r \max + t_{su}(SDA-SCLH)$  の間出力する必要があります。

### 7.12.7 拡張パルス幅変調器 (ePWM)

このデバイスには、3 つの拡張型パルス幅変調(ePWM) モジュールが含まれています。これらのモジュールは、電源レギュレータや電源管理システム用のデューティ サイクル制御波形、またはモータ制御アプリケーション向けのより複雑な波形を生成するために使用できます。

このモジュールは以下の機能をサポートしています：

- 各 PWM モジュール向けの周期および周波数制御機能を備えた専用の 16 ビット時間ベース カウンタ
- 各モジュールには、2 つの PWM 出力 (EPWMxA および EPWMxB) が含まれており、以下の構成で使用できます：
  - シングル エッジ動作の 2 つの独立した PWM 出力
  - デュアル エッジ対称動作の 2 つの独立した PWM 出力
  - デュアル エッジ非対称動作の 1 つの独立した PWM 出力

### 7.12.8 汎用入出力 (General-Purpose Input/Output)

セクション 7.12.8.1 に、出力タイミングのスイッチング特性と負荷容量との関係を示します。

#### 7.12.8.1 出力タイミングに対する負荷容量の変化によるスイッチング特性 ( $C_L$ )<sup>(1)(2)</sup>

| パラメータ          | 説明        | テスト条件     |                       | VIOIN = 1.8V | VIOIN = 3.3V | 単位 |
|----------------|-----------|-----------|-----------------------|--------------|--------------|----|
| t <sub>r</sub> | 最大立ち上がり時間 | スルー制御 = 0 | C <sub>L</sub> = 20pF | 2.8          | 3.0          | ns |
|                |           |           | C <sub>L</sub> = 50pF | 6.4          | 6.9          |    |
|                |           |           | C <sub>L</sub> = 75pF | 9.4          | 10.2         |    |
| t <sub>f</sub> | 最大立ち下がり時間 |           | C <sub>L</sub> = 20pF | 2.8          | 2.8          | ns |
|                |           |           | C <sub>L</sub> = 50pF | 6.4          | 6.6          |    |
|                |           |           | C <sub>L</sub> = 75pF | 9.4          | 9.8          |    |
| t <sub>r</sub> | 最大立ち上がり時間 | スルー制御 = 1 | C <sub>L</sub> = 20pF | 3.3          | 3.3          | ns |
|                |           |           | C <sub>L</sub> = 50pF | 6.7          | 7.2          |    |
|                |           |           | C <sub>L</sub> = 75pF | 9.6          | 10.5         |    |
| t <sub>f</sub> | 最大立ち下がり時間 |           | C <sub>L</sub> = 20pF | 3.1          | 3.1          | ns |
|                |           |           | C <sub>L</sub> = 50pF | 6.6          | 6.6          |    |
|                |           |           | C <sub>L</sub> = 75pF | 9.6          | 9.6          |    |

(1) PADxx\_CFG\_REG で設定されるスルー制御は、出力ドライバの挙動を変化させます (高速または低速の出力スルーレート)。

(2) 立ち上がり / 立ち下がり時間は、VIOIN 電圧の 10% と 90% の間を信号が遷移するのに要する時間として測定されます。

## 7.13 エミュレーションおよびデバッグ

### 7.13.1 エミュレーションおよびデバッグの説明

#### 7.13.2 JTAG インターフェイス

JTAG インターフェイスは、プロセッサのデバッグおよびバウンダリ スキャン テストのために IEEE1149.1 標準インターフェイスを実装しています。

セクション 7.13.2.1 とセクション 7.13.2.2 は、図 7-26 に記載された動作条件を前提としています。

##### 7.13.2.1 IEEE 1149.1 JTAG のタイミング要件

表 7-11. JTAG のタイミング条件

| パラメータ      | 説明        | 最小値 | 標準値 | 最大値 | 単位 |
|------------|-----------|-----|-----|-----|----|
| $t_R$      | 入力立ち上がり時間 | 1   |     | 3   | ns |
| $t_F$      | 入力立ち下がり時間 | 1   |     | 3   | ns |
| $C_{LOAD}$ | 出力負荷容量    | 2   |     | 15  | pF |

表 7-12. JTAG のタイミング要件

| パラメータ             | 説明                              | 最小値   | 標準値 | 最大値 | 単位 |
|-------------------|---------------------------------|-------|-----|-----|----|
| $t_c(TCK)$        | サイクル時間 TCK                      | 33.33 |     |     | ns |
| $t_w(TCKH)$       | パルス幅、TCK High (tc の 40%)        | 13.33 |     |     | ns |
| $t_w(TCKL)$       | パルス幅、TCK Low (tc の 40%)         | 13.33 |     |     | ns |
| $t_{su}(TDI-TCK)$ | 入力セットアップ時間、TDI 有効から TCK High まで | 2.5   |     |     | ns |
| $t_{su}(TMS-TCK)$ | 入力セットアップ時間、TMS 有効から TCK High まで | 2.5   |     |     | ns |
| $t_h(TCK-TDI)$    | 入力ホールド時間、TCK High から TDI 有効の間   | 18    |     |     | ns |
| $t_h(TCK-TMS)$    | 入力ホールド時間、TCK High から TMS 有効の間   | 18    |     |     | ns |

##### 7.13.2.2 IEEE 1149.1 JTAG のスイッチング特性

| パラメータ            | 説明                       | 最小値 | 標準値 | 最大値 | 単位 |
|------------------|--------------------------|-----|-----|-----|----|
| $t_d(TCKL-TDOV)$ | 遅延時間、TCK LOW から TDO 有効まで | 0   |     | 21  | ns |

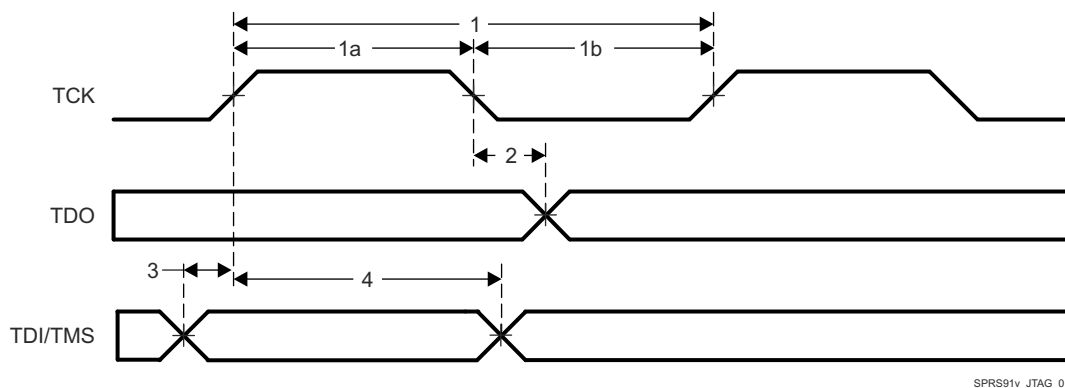


図 7-26. JTAG のタイミング

### 7.13.3 ETM トレース インターフェイス

ETM トレース インターフェイスは、互換性のあるエミュレータ ツールセットを介して、リアルタイムのプロセッサ デバッグ情報をホスト PC に出力する手段を提供します。

セクション 7.13.3.1 とセクション 7.13.3.2 は、図 7-27 および図 7-28 に示す動作条件を示しています。

#### 7.13.3.1 ETM TRACE のタイミング要件

| パラメータ      | 説明     | 最小値 | 標準値 | 最大値 | 単位 |
|------------|--------|-----|-----|-----|----|
| $C_{LOAD}$ | 出力負荷容量 | 2   |     | 20  | pF |

#### 7.13.3.2 ETM TRACE のスイッチング特性

| パラメータ                        | 説明                                     | 最小値 | 標準値 | 最大値  | 単位 |
|------------------------------|----------------------------------------|-----|-----|------|----|
| $t_{cyc}(ETM)$               | サイクル時間、TRACECLK 周期                     | 16  |     |      | ns |
| $t_h(ETM)$                   | パルス幅、TRACECLK High                     | 7   |     |      | ns |
| $t_l(ETM)$                   | パルス幅、TRACECLK Low                      | 7   |     |      | ns |
| $t_r(ETM)$                   | クロック / データの立ち上がり時間                     |     |     | 3.3  | ns |
| $t_f(ETM)$                   | クロック / データの立ち下がり時間                     |     |     | 3.3  | ns |
| $t_d(ETMTRACECLKH-ETMDATAV)$ | 遅延時間、ETM トレース クロック High から ETM データ有効まで | 1   |     | 14.5 | ns |
| $t_d(ETMTRACECLKL-ETMDATAV)$ | 遅延時間、ETM トレース クロック Low から ETM データ有効まで  | 1   |     | 14.5 | ns |

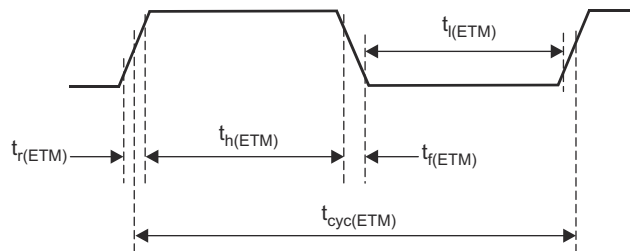


図 7-27. ETMTRACECLKOUT のタイミング

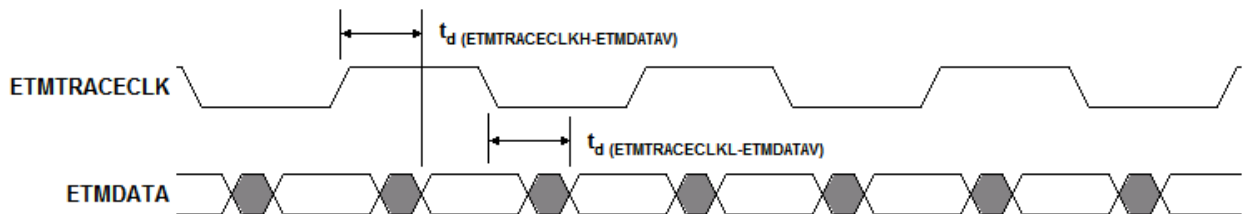


図 7-28. ETMDATA のタイミング

## 8 詳細説明

### 8.1 概要

AWR2544 デバイスには、ミリ波ブロック全体と、4 個のトランスミッタと 4 個のレシーバのためのアナログ ベースバンド シグナル チェーン、およびお客様がプログラム可能なマイコンが含まれています。このデバイスは、追加のローンチ オン パッケージ (LOP) アンテナ機能を提供し、パッケージにアンテナを容易に直接接続できるようにします。

### 8.2 機能ブロック図

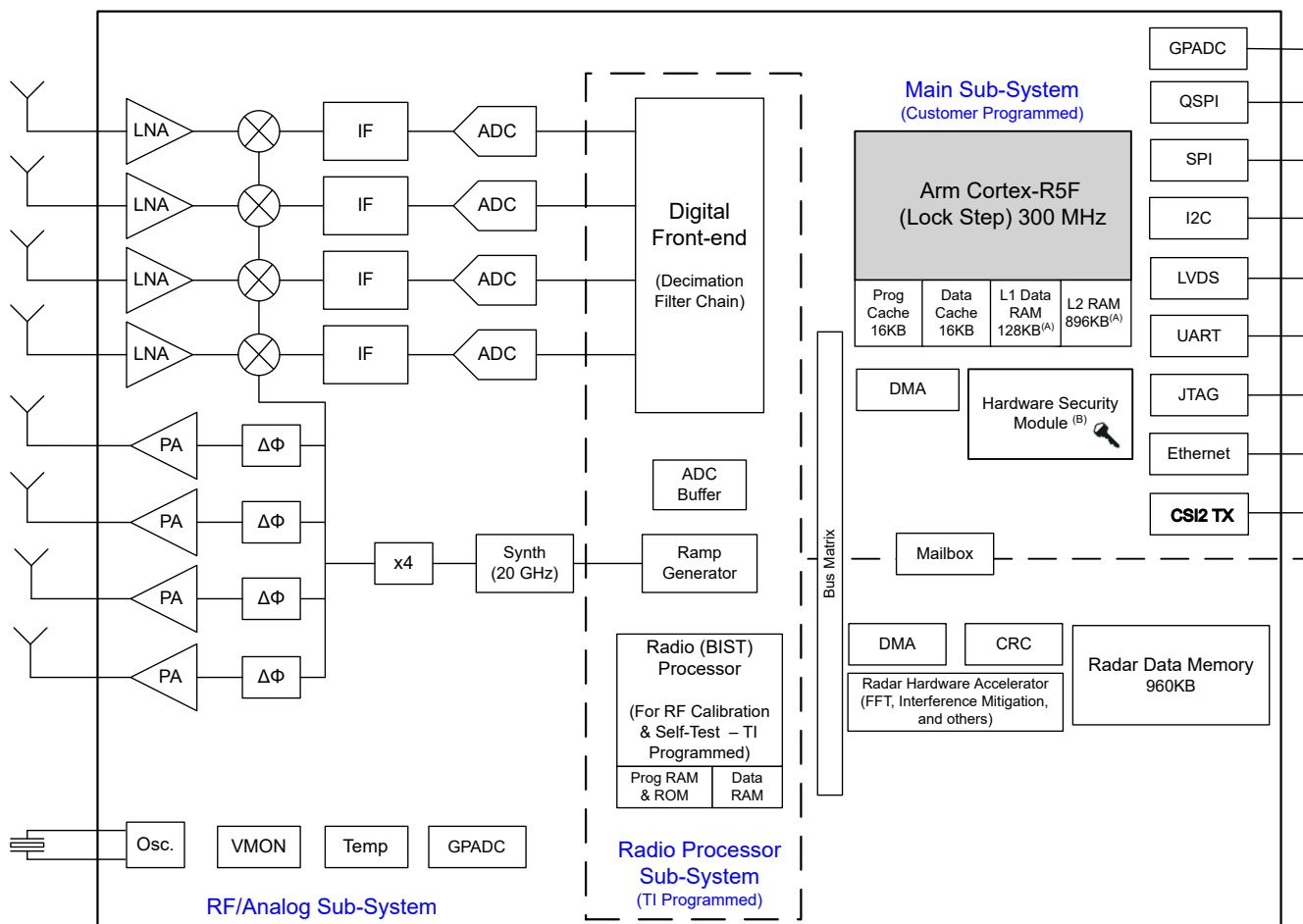


図 8-1. 機能ブロック図

## 8.3 サブシステム

### 8.3.1 RF およびアナログ サブシステム

RF / アナログ サブシステムには RF 回路とアナログ回路 (つまり、シンセサイザ、PA、LNA、ミキサ、IF、ADC) が含まれます。このサブシステムには水晶発振器と温度センサも含まれます。4 つの送信チャネルと受信チャネルはすべて、送信ビームフォーミングの目的や必要に応じたデータの受信のために同時に動作させることができます。

#### 8.3.1.1 RF クロック サブシステム

デバイスのクロック サブシステムは、50MHz の水晶発振器を基準入力として、76 ~ 81GHz の周波数を生成します。内蔵の発振回路の後に、アナログ PLL と RF シンセサイザ回路が続いています。次に、RF シンセサイザの出力は x4 通倍器で処理され、76~81GHz の範囲の必要な周波数を生成します。RF シンセサイザの出力は、タイミング エンジン ブロックによって変調され、効果的なセンサ動作に必要な波形を生成することができます。または、APLL から直接 1GHz の固定信号を入力することも可能です。

アナログ PLL は、システムのウェイクアップ後にホスト プロセッサ用のリファレンス クロックも提供します。

クロック サブシステムには、水晶振動子の存在を検出し、生成されたクロックの品質を監視するための機能も内蔵されています。

図 8-2 に、クロック サブシステムを示します。

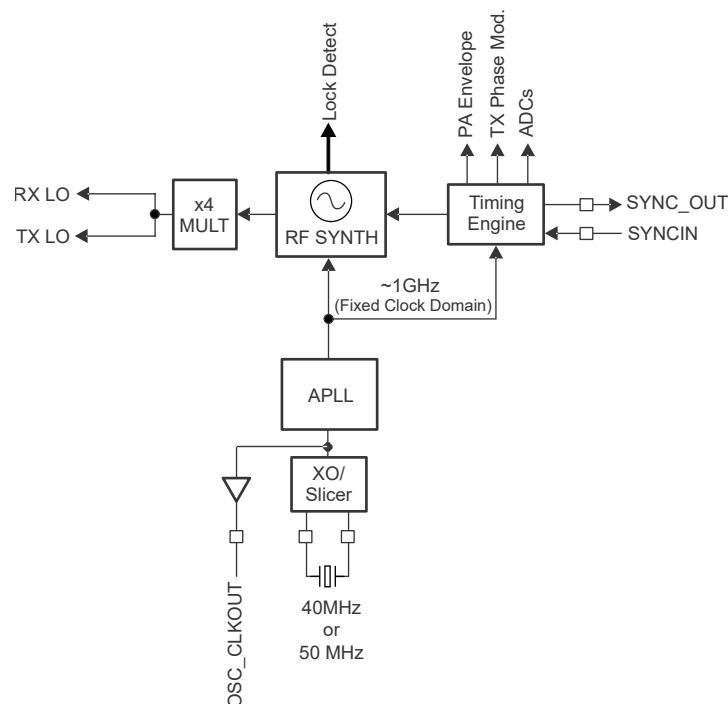


図 8-2. RF クロック サブシステム

### 8.3.1.2 送信サブシステム

このデバイスの送信サブシステムは、独立した位相および振幅制御を備えた 4 系統の並列送信チェーンで構成されています。4 つすべてのトランスミッタは、同時に使用することも、時分割方式で使用することもできます。次の図に示すように、このデバイスは、チャンネルごとにチャープ単位でビームフォーミング制御を行うために、バイナリ位相変調と 6 ビットのプログラマブル位相シフタをサポートしています。送信チェーンは、システムを最適化するためのプログラム可能なバックオフもサポートしています。

図 8-3 に、送信サブシステムを示します。

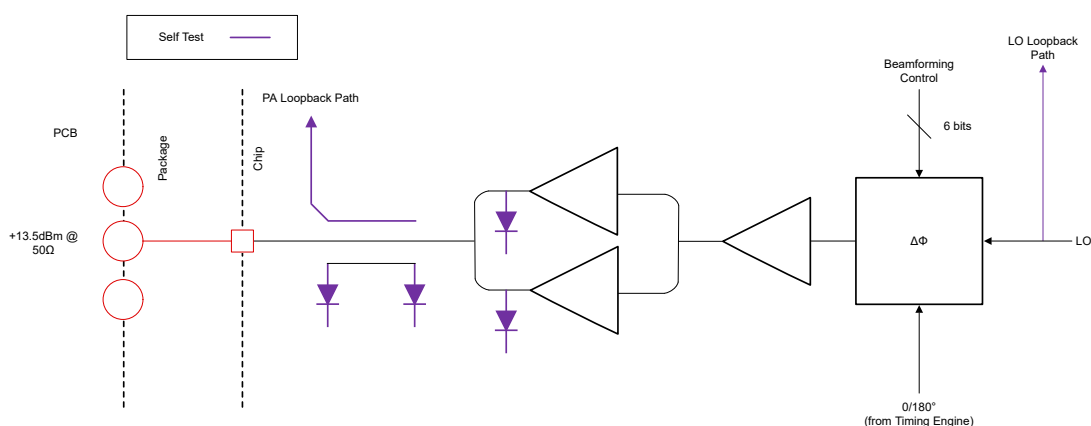


図 8-3. 送信サブシステム (チャンネルごと)

### 8.3.1.3 受信サブシステム

このデバイスの受信サブシステムは、4 つの並列チャンネルで構成されています。1 つの受信チャンネルは LNA、ミキサ、IF フィルタ、ADC 変換、デシメーションで構成されています。4 つすべての受信チャンネルを同時に動作させることができます。システムの最適化のために、各チャンネルを個別に電源オフにするオプションも用意されています。

このデバイスは、受信専用のレシーバをサポートしています。バンドパス IF チェーンは、350kHz を超えるカットオフ周波数を設定可能で、最大 20MHz までの帯域幅に対応しています。

図 8-4 に、受信サブシステムを示します。

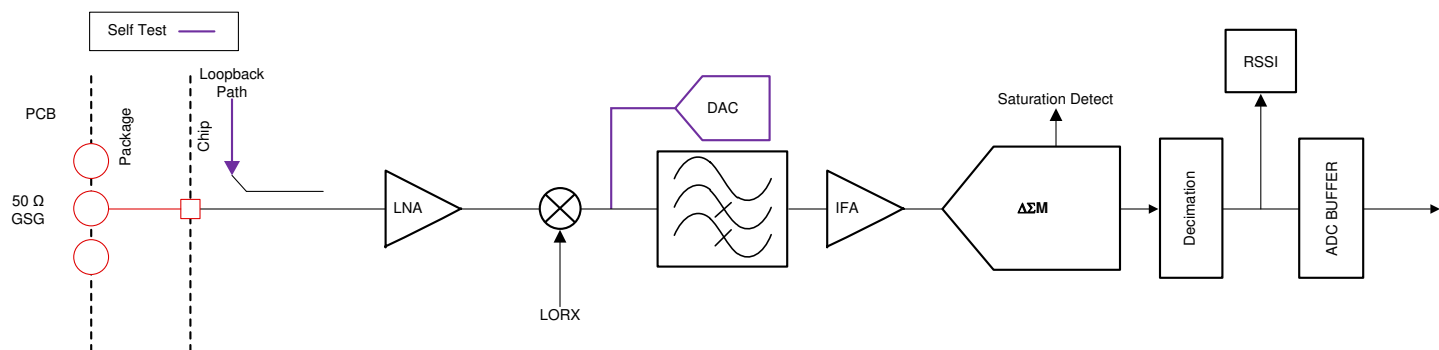


図 8-4. 受信サブシステム (チャネルごと)

### 8.3.2 プロセッサ サブシステム

概要としては、お客様がプログラム可能なサブシステムが一つあります。左側には、TI の高性能 HWA 1.5、高性能 (128 ビット、150MHz) の高帯域幅インターコネク、および関連するペリフェラルが示されています。ペリフェラルには、測定データ出力用の LVDS インターフェイス、L3 レーダー データ キューブ メモリ、ADC バッファ、CRC エンジン、データ ハンドシェイク メモリ (インターコネク上に追加されたメモリ) があります。

図の右側はメイン サブシステム (MSS) を示しています。その名の通り、メイン サブシステムはこのデバイスの主要なコントローラであり、すべてのペリフェラル機能とデバイスの管理処理を制御します。メイン サブシステムには、Cortex-R5F (MSS R5F) プロセッサが搭載されており、EDMA や CRC を含むペリフェラル機能およびハウスキーピング コンポーネント、ならびに各種ペリフェラル (I<sup>2</sup>C、UART、SPI、EPWM など) が、ペリフェラル セントラルリソース (PCR インターコネク) を介してメインのインターコネクに接続されています。

無線処理サブシステムまたは BIST サブシステム (RSS) は、アナログ/RF モジュールの初期化とキャリブレーションを行います。RSS はアナログ/ RF 機能を定期的にモニタリングし、すべてのアナログ/ RF モジュールが規定された範囲内で動作するようにします。

汎用 ADC (GPADC)、高速フーリエ変換エンジン(FFT エンジン)、およびトランスミッタ チェーンのさまざまな点からの信号を監視するために他のモジュールが搭載されています。主に BSS の制御下にあるデジタル フロントエンド フィルタ (DFE)、ランプ生成モジュール、およびアナログ/ DFE レジスタは、メイン サブシステムからの API 呼び出しを介して間接的に制御できます。

MSS Cortex-R5F については、AWR2544 の TRM (テクニカル リファレンス マニュアル) を参照してください。

### 8.3.3 車載インターフェイス

このデバイスは、以下のメイン インターフェイスを介して車載ネットワークと通信します。

- イーサネット

## 8.4 その他のサブシステム

### 8.4.1 ハードウェア アクセラレータ サブシステム

このデバイスはレーダー ハードウェア アクセラレータ (HWA1.5) を搭載しており、距離 FFT データを圧縮して効率的にイーサネット転送するとともに、中央レーダー プロセッサの負荷を軽減します。

目的の機能を実現するためにレーダー ハードウェア アクセラレータ 1.5 が提供する機能については、デバイス テクニカル リファレンス マニュアルの「ハードウェア アクセラレータ 1.5」セクションを参照してください。

### 8.4.2 セキュリティ- ハードウェア セキュリティ モジュール

セキュア ゾーン動作を実行するハードウェア セキュリティ モジュール (HSM) がこのデバイスにプロビジョニングされています (一部の部品バリエーションでのみ動作可能)。暗号の柔軟性の要件を実装するために、プログラム可能な Arm Cortex-M4 コアが利用可能です。

暗号化アルゴリズムは、HSM のハードウェア モジュールを使用して高速化できます。機能には、非対称鍵暗号の要件に対応する数学演算を実行するための AES、SHA、および公開鍵アクセラレータ (PKA) の高速化、ならびに真の乱数生成が含まれます。

メイン サブシステム (MSS) の Cortex-R5F プロセッサは、セキュア ブートおよびセキュアランタイム通信に必要な暗号化処理を実行するために、HSM サブシステムと連携します。

セキュリティの詳細については、関連資料を参照してください。詳細については、お近くのテキサス・インスツルメンツ営業担当者までお問い合わせください。

### 8.4.3 ユーザー アプリケーション向け ADC チャンネル (サービス)

このデバイスにはユーザー アプリケーション向けの ADC サービスが用意されて、デバイス内の GPADC エンジンを使用して最大 9 個の外部および内部電圧を測定できます。この目的で、ADC1、ADC2、ADC5、ADC6 の各ピンを使用します。

---

#### 注

GPADC 構造は、内部温度センサの出力を測定するためにも使われます。

---

GPADC Specifications:

- 625Ksps SAR ADC
- 入力範囲: 0~1.8V
- 10 ビット分解能

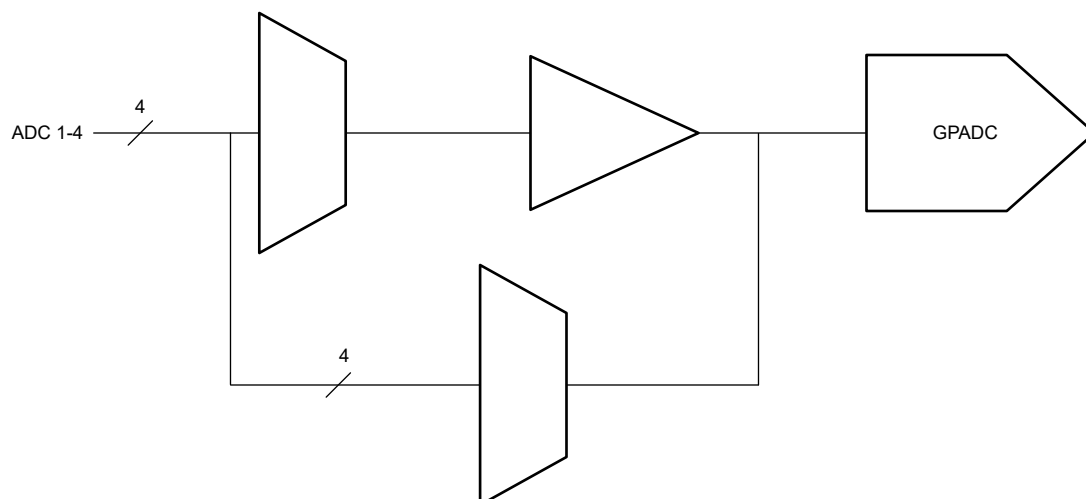


表 8-1. GP-ADC パラメータ

| パラメータ                               | 標準値       | 単位   |
|-------------------------------------|-----------|------|
| ADC 電源                              | 1.8       | V    |
| ADC の入力電圧範囲 (バッファなし)                | 0 – 1.8   | V    |
| ADC の入力電圧範囲 (バッファ付き) <sup>(1)</sup> | 0.4 – 1.3 | V    |
| ADC の分解能                            | 10        | ビット  |
| ADC のオフセット誤差                        | ±5        | LSB  |
| ADC のゲイン誤差                          | ±5        | LSB  |
| ADC の DNL                           | -1/+2.5   | LSB  |
| ADC の INL                           | ±2.5      | LSB  |
| ADC のサンプリングレート                      | 625       | kSPS |
| ADC のサンプリング時間                       | 400       | ns   |
| ADC の内部コンデンサ                        | 10        | pF   |
| ADC の入力静電容量                         | 2         | pF   |
| ADC の入力リーク電流                        | 3         | μA   |

(1) 規定の範囲を外れると、バッファ出力は非線形になります。

## 9 監視と診断

### 9.1 監視と診断のメカニズム

表 9-1 はデバイスで使用可能な主な監視および診断メカニズムのリストです。

**表 9-1. AWR2544 の監視と診断のメカニズム**

| 機能                              | 説明                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |
|---------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <b>メイン サブシステム</b>               |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |
| MSS R5F コアのロックステップ動作            | デバイスのアーキテクチャは、MSS R5F コアのロックステップ動作をサポートしています。このコアは、デバイス内でセーフティ アイランドとして構成されているメイン サブシステムの動作コアです。                                                                                                                                                                                                                                                                                                                                                                                         |
| MSS R5F コアおよび関連 VIM 用ブート時 LBIST | デバイス アーキテクチャは、ハードウェア ロジック BIST (LBIST) エンジン セルフ テスト コントローラ (STC) をサポートしています。このロジックを使って、MSS R5F CPU コアとベクタ割り込みモジュール (VIM) において、トランジスタレベルで非常に高い診断範囲 (>90%) を実現しています。CPU および VIM 用の LBIST は、機能安全アプリケーションを開始する前に、アプリケーション コードによってトリガする必要があります。STC 処理の終了時に CPU のリセットが実行され、リセット要因はリセット原因レジスタに記録されます。その後、STC レジスタを読み出すことで、STC 実行の状態を確認し、エラーが発生したかどうかを判断できます。CPU は故障が検出されると while ループ内に留まり、それ以上の処理は行いません。また、故障注入テストが実行される場合もあり、このテストによってエラーが STC レジスタに記録され、CPU がリセットされることがあります。                  |
| MSS R5F メモリ向けの起動時 PBIST         | MSS R5F には、TCMA、TCMB0、および TCMB1 という密結合されたメモリ (TCM) であるレベル 1 (L1) メモリと、レベル 2 (L2) メモリが搭載されています。デバイスのアーキテクチャは、ハードウェア プログラマブル メモリ BIST (PBIST) エンジンをサポートしています。このロジックは、実装された MSS R5F TCM に対して、トランジスタレベルで非常に高い診断カバレッジ (March-13n) を提供するために使用されます。L1 および L2 メモリに対する PBIST は、アプリケーションのフラッシュまたはペリフェラル インターフェイスからのダウンロードを開始する前に、ブート時にブートローダーによってトリガされます。故障が検出されると、CPU は while ループ内で待機し、それ以上処理を進めません。                                                                                              |
| MSS R5F メモリ向けのエンドツーエンド ECC      | TCM および L2 メモリの診断機能は、1 ビットのエラー訂正と 2 ビットのエラー検出 (SECCDED) に対応した ECC 診断をサポートしています。L2 メモリでは、64 ビットのデータ バスに対して算出された ECC データを格納するために、8 ビットのコードワードが使用されます。TCM では、32 ビットのデータ バスに対して ECC データを格納するために、7 ビットのコードワードが使用されます。TCM における ECC の評価は、CPU 内部の ECC 制御ロジックによって行われます。この方式により、CPU と TCM 間の通信においてエンド ツー エンドの診断が可能になります。CPU は、シングル ビットおよびダブル ビットのエラー状態に対して、あらかじめ決められた応答 (無視または中止) を行うように構成できます。                                                                                                    |
| MSS R5F のビット マルチプレクシング          | 論理的な TCM および L2 メモリのワードと、それに対応する ECC コードは、2 つの物理的な SRAM バンクに分割されて格納されます。この方式では、物理的な SRAM バンクのアドレス デコード障害に対する固有の診断メカニズムが提供されます。バンク アドレッシングのフォルトは、CPU によって ECC フォルトとして検出されます。さらに、論理 (CPU) ワードを生成するためにアクセスされるビットが物理的に隣接しないように、ビット多重化方式が実装されています。この方式により、物理的なマルチビット故障が論理的なマルチビットフォルトとして現れる可能性が低減されます。代わりに、フォルトは複数のシングル ビット フォルトとして現れるようになります。SECCDED TCM ECC は論理ワード内のシングル ビット フォルトを訂正できるため、この方式は TCM ECC 診断の有効性を高めます。これら 2 つの機能はどちらもハードウェア機能であり、アプリケーション ソフトウェアによって有効化または無効化することはできません。      |
| クロック モニタ                        | デバイスのアーキテクチャは、4 つのデジタル クロック コンバータ (EDCC) と内部 RCOSC をサポートしています。これらのモジュールは、クロック検出とクロック モニタリングという 2 つの機能を提供します。EDCCA は、ADPLL/APLL のロック検出およびモニタリング専用であり、ADPLL/APLL の出力を分周した信号と、デバイスの基準入力クロックを比較します。EDCCA における障害検出は、デバイスをリンプ モードに移行させるように設定することが可能です。さらに、EDCCA を用いて内部クロックを監視するために、外部リファレンス クロックを入力できる機能も備えています。EDCCB、EDCCC、EDCCD は、ユーザー ソフトウェアから利用可能なモジュールです。任意の 2 つのクロックを比較できます。一例として、CPU クロックをリファレンス クロックまたは内部 RCOSC クロックソースと比較できます。障害の検出は、エラー シグナリング モジュール (ESM) を介して MSS R5F CPU に通知されます。 |

表 9-1. AWR2544 の監視と診断のメカニズム (続き)

| 機能                                                      | 説明                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |
|---------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| MSS R5F 用 RTI/WDT                                       | デバイス アーキテクチャは、リアルタイム割り込み (RTI) モジュールに実装された内部ウォッチドッグの使用をサポートしています。内部ウォッチドッグには、デジタル ウォッチドッグ (DWD) とデジタル ウィンドウ付きウォッチドッグ (DWWD) という 2 つの動作モードがあります。これらの動作モードは相互に排他的であり、設計者はどちらか一方のモードを選択できますが、同時に両方を使用することはできません。ウォッチドッグは、障害を検出した際に、内部 (ウォーム) システムリセットまたは CPU の非マスク可能割り込みのいずれかを発行できます。ブート時には、ブートローダーによってウォッチドッグが DWD モードで有効化され、ブートプロセスの監視が行われます。アプリケーション コードが制御を取得した後は、アプリケーションの要件に応じて、ウォッチドッグのモードやタイミングを再設定できます。                                                                                                                 |
| MSS R5F 用 MPU                                           | Cortex-R5F CPU には MPU が搭載されています。MPU ロジックを使用すると、デバイス メモリ内のソフトウェア タスクを空間的に分離できます。Cortex-R5F MPU は 16 の領域をサポートしています。オペレーティング システムは MPU を制御し、各タスクのニーズに応じて MPU の設定を変更します。構成済みメモリ保護ポリシーに違反すると、CPU が停止します。                                                                                                                                                                                                                                                                                                                           |
| ペリフェラル インターフェイス SRAM 用の PBIST - SPI、イーサネット、EDMA、メールボックス | デバイス アーキテクチャは、ペリフェラル SRAM 用ハードウェア プログラマブル メモリ BIST (PBIST) エンジンもサポートしています。ペリフェラル SRAM メモリ用 PBIST は、アプリケーションによってトリガできます。ユーザーは、PBIST 診断に割り当てられる実行時間に基づいて、1 つの SRAM に対して PBIST を実行するか、複数の SRAM に対して実行するかを選択できます。PBIST テストはメモリ内容を破壊する可能性があるため、通常はブート時のみ実行されます。ただし、ペリフェラル機能の通信に支障が出ない場合であれば、ユーザーは任意のタイミングでテストを開始できます。PBIST によって障害を検出されると、エラーは PBIST ステータス レジスタに記録されます。                                                                                                                                                             |
| ペリフェラル インターフェイス SRAM 用の ECC - SPI、イーサネット、EDMA、メールボックス   | ペリフェラル インターフェイス SRAM の診断は、シングル エラー訂正ダブル エラー検出 (SECCDED) ECC 診断によってサポートされています。シングル ビットまたはダブル ビット エラーが検出されると、ESM (エラー信号モジュール) 経由で MSS R5F に通知されます。この機能はリセット後は無効になっています。ソフトウェアによって、ペリフェラル モジュールおよび ESM モジュールで構成し、有効化する必要があります。ECC 障害 (シングル ビット訂正済みエラーとダブルビット訂正不可能エラーの両方) は、ESM モジュール経由の割り込みとして MSS R5F に通知されます。                                                                                                                                                                                                                  |
| メイン SS ペリフェラルの構成レジスタ保護                                  | すべてのメイン サブシステム (SS) のすべてのペリフェラル (SPI、イーサネット、I2C、DMA、RTI/WD、DCC、EDMA、IOMUX など) は、ペリフェラル センtral リソース (PCR) を介してインターコネクに接続されています。これにより、ペリフェラルへのアクセスを制限できる 2 つの診断メカニズムが提供されます。ペリフェラルは、PCR 内のペリフェラル チップ セレクトによってクロックをゲートできます。これを利用することで、未使用の機能を無効化し、それらが干渉しないようにすることができます。また、トランザクションの特権レベルに基づいてアクセスを制限するように、各ペリフェラルのチップ セレクトをプログラムできます。この機能を使用することで、特権レベルのオペレーティング システム コードのみにペリフェラル モジュール全体へのアクセスを制限できます。これらの診断メカニズムは、リセット後は無効化されています。ソフトウェアは、これらのメカニズムを設定して、有効にする必要があります。保護違反が発生すると、MSS R5F へのアボートや、DMA などの他のホストへのエラー応答が生成されます。 |
| 巡回冗長検査 - メイン SS                                         | デバイス アーキテクチャは、メイン SS でハードウェア CRC エンジンをサポートし、以下の多項式を実装しています。 <ul style="list-style-type: none"> <li>• CRC16 CCITT – 0x10</li> <li>• CRC32 Ethernet – 0x04C11DB7</li> <li>• CRC64</li> <li>• CRC 32C – CASTAGNOLI – 0x1EDC6F4</li> </ul> CRC への SRAM 内容の読み取り動作は、CPU または DMA によって行うことができます。結果の比較、フォルトの表示、およびフォルト応答は、テストを管理するソフトウェアの責任となります。                                                                                                                                                                                      |
| MPU                                                     | デバイスのアーキテクチャは、メイン SS 内の一部のペリフェラル ポートに対して MPU をサポートしています。これには、L2 メモリ、PCR ペリフェラル アクセス、QSPI アクセス、R5F の AXI ペリフェラル アクセスが含まれます。これにより、メイン SS 内のこれらの重要な領域に対してアクセス権限を設定することが可能になります。デフォルトでは、このコントロールは HSM にあります。                                                                                                                                                                                                                                                                                                                      |
| DMA 用 MPU                                               | デバイス アーキテクチャは、メイン SS EDMA の MPU をサポートしています。EDMA には、読み出しポートおよび書き込みポートの両方に対して MPU が含まれています。EDMA MPU は 8 つの領域をサポートしています。MPU によって障害を検出されると、ローカル ESM 経由の割り込みとしてコアに通知されます。                                                                                                                                                                                                                                                                                                                                                          |

**表 9-1. AWR2544 の監視と診断のメカニズム (続き)**

| 機能                                                                                                                                                                   | 説明                                                                                                                                                                                                                                                                                                                                                                                 |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| インターコネクト ECC                                                                                                                                                         | デバイスのアーキテクチャは、システム インターコネクト上での転送に対してハードウェア ベースの ECC 保護メカニズムをサポートしています。コード実行には、インターコネクト上に接続されたメモリからの命令フェッチが含まれるため、インターコネクト上での転送は、ECC および冗長性に基づくメカニズムの組み合わせによって安全に設計されています。転送中に検出されたすべての障害は、ESM インターフェイスを通じて報告されます。このメカニズムは、R5F CPU SS に対してのみ、HW でデフォルトで有効になっています。                                                                                                                   |
| エラー通知モジュール                                                                                                                                                           | 診断で故障が検出された場合は、エラーを通知する必要があります。デバイス アーキテクチャは、エラー信号モジュール (ESM) と呼ばれるペリフェラル ロジックを使用して、内部の監視 / 診断メカニズムからのフォルト通知をまとめて処理します。ESM は、エラーを重大度に応じて分類し、プログラマブルなエラー応答を行うためのメカニズムを提供します。<br>ESM モジュールはカスタマーのアプリケーション コードによって設定され、特定のエラー信号を有効化またはマスクして、MSS R5F CPU に対して低優先度または高優先度の割り込みを発生させることができます。<br>また、このデバイスは Nerror 出力信号 (I/O) をサポートしており、これを外部で監視することで、R5F では処理されない設計上の重大な障害を検出することが可能です。 |
| 温度センサ                                                                                                                                                                | デバイスのアーキテクチャは、チップ内のデジタル領域における温度のホットスポットに複数の温度センサを備えており、これらは内部の GPADC チャンネルを通じてアプリケーションから監視できます。                                                                                                                                                                                                                                                                                    |
| 電圧モニタ                                                                                                                                                                | デバイスのアーキテクチャは、外部の電圧モニタと連携して、チップに接続された電源レールの監視をサポートしています。                                                                                                                                                                                                                                                                                                                           |
| <b>BIST (レーダー サブシステム内)</b>                                                                                                                                           |                                                                                                                                                                                                                                                                                                                                                                                    |
| 注: BIST は TI のファームウェアによって管理されます。安全メカニズムに関する情報については、 <a href="#">mmWave-MCUPLUS-SDK</a> パッケージに含まれる <a href="#">mmWave インターフェイス コントロール ドキュメント</a> および安全マニュアルを参照してください。 |                                                                                                                                                                                                                                                                                                                                                                                    |

**注**

すべての診断機能の適用可能性の詳細については、『デバイス安全マニュアル』またはその他の関連資料を参照してください。

## 10 アプリケーション、実装、およびレイアウト

### 注

以下のアプリケーションに関するセクションの情報は、テキサス・インスツルメンツの部品仕様の一部ではなく、テキサス・インスツルメンツはこれらの情報の正確性や完全性を保証しません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 10.1 使用上の注意

以下のアプリケーションにおけるデバイスの主な機能は次の通りです。

- レーダー フロント エンドとプログラマブル MCU の統合
- Launch on Package (LOP) アンテナ インターフェイス
- 柔軟なブート モード: シリアル フラッシュを使用した自律アプリケーションのブート、または SPI 経由の外部ブート
- ハードウェア セキュリティ モジュール
- 最大 1Gbps の高速イーサネットをサポート

### 10.2 短距離および中距離レーダー

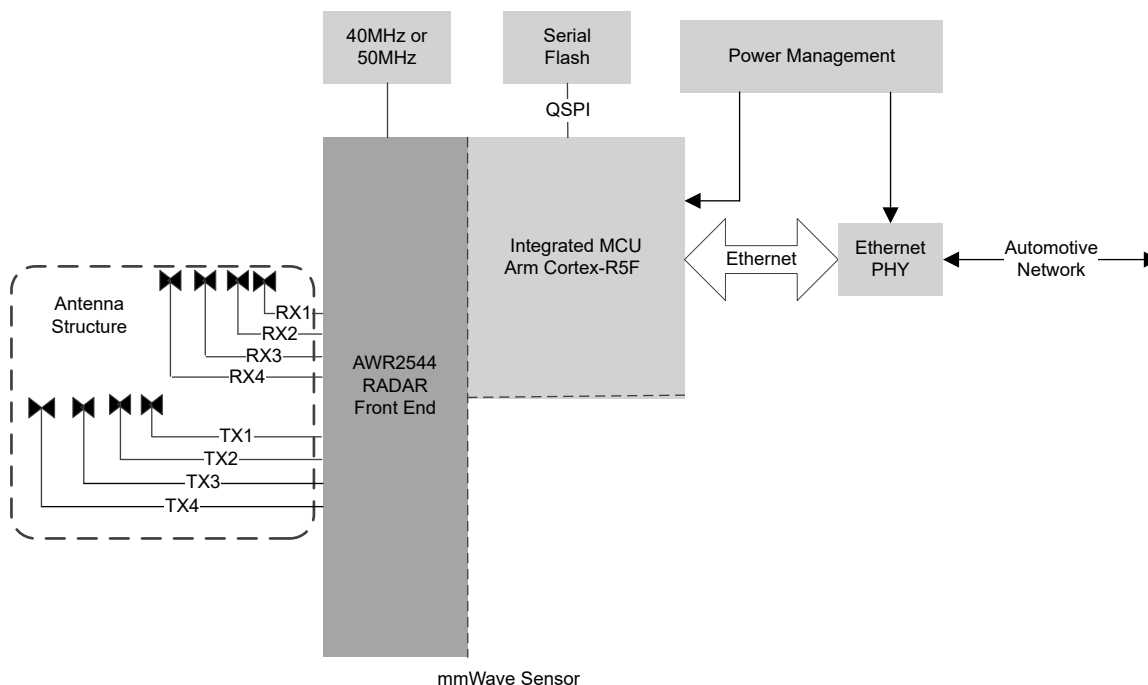


図 10-1. 短距離および中距離レーダー

### 10.3 リファレンス回路図

参考回路図および電源供給に関する情報については、アクセスについて TI 担当者にお問い合わせください。

## 11 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

### 11.1 デバイス サポート

### 11.2 デバイスの命名規則

製品開発サイクルの段階を示すために、TI ではマイクロプロセッサ (MPU) とサポート ツールのすべての型番に接頭辞を割り当てています。各デバイスには、次の三つのいずれかの接頭辞が付けられます。**X**、**P**、空白 (接頭辞なし) (例: **XA2944PBDALT**)。テキサス インスツルメンツでは、サポート ツールに対して使用可能な 3 つの接頭辞のうち、**TMDX**、**TMDS** の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ(**TMDX**)から、完全認定済みの量産デバイス/ツール(**TMDS**)まであります。

デバイスの開発進展フロー:

**X** 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ フローを使用しない可能性があります。

**P** プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

空白 認定済みのシリコン ダイの量産バージョン。

サポート ツールの開発進展フロー:

**TMDX** 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

**TMDS** 完全に認定済みの開発サポート製品です。

**X** および **P** デバイスと **TMDX** 開発サポート ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび **TMDS** 開発サポート ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。TI の標準保証が適用されます。

プロトタイプ デバイス(**X** または **P**)の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス インスツルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

TI デバイスの命名規則には、デバイス ファミリー名の接尾辞も含まれます。このサフィックスは、パッケージ タイプ (たとえば、お使いのパッケージ)、温度範囲 (たとえば、空欄は標準の商用温度範囲)、およびデバイスの動作速度範囲 (たとえば、お使いのデバイスの速度範囲(MHz)) を示します。図 x は、お使いのデバイスの完全な名称の読み方を理解するための凡例を示しています。

お使いのデバイスの注文可能な品番 (お使いのパッケージ タイプ別) については、本書の「パッケージ オプション補足資料」、TI のウェブサイト([ti.com](http://ti.com))、または TI の営業担当までお問い合わせください。

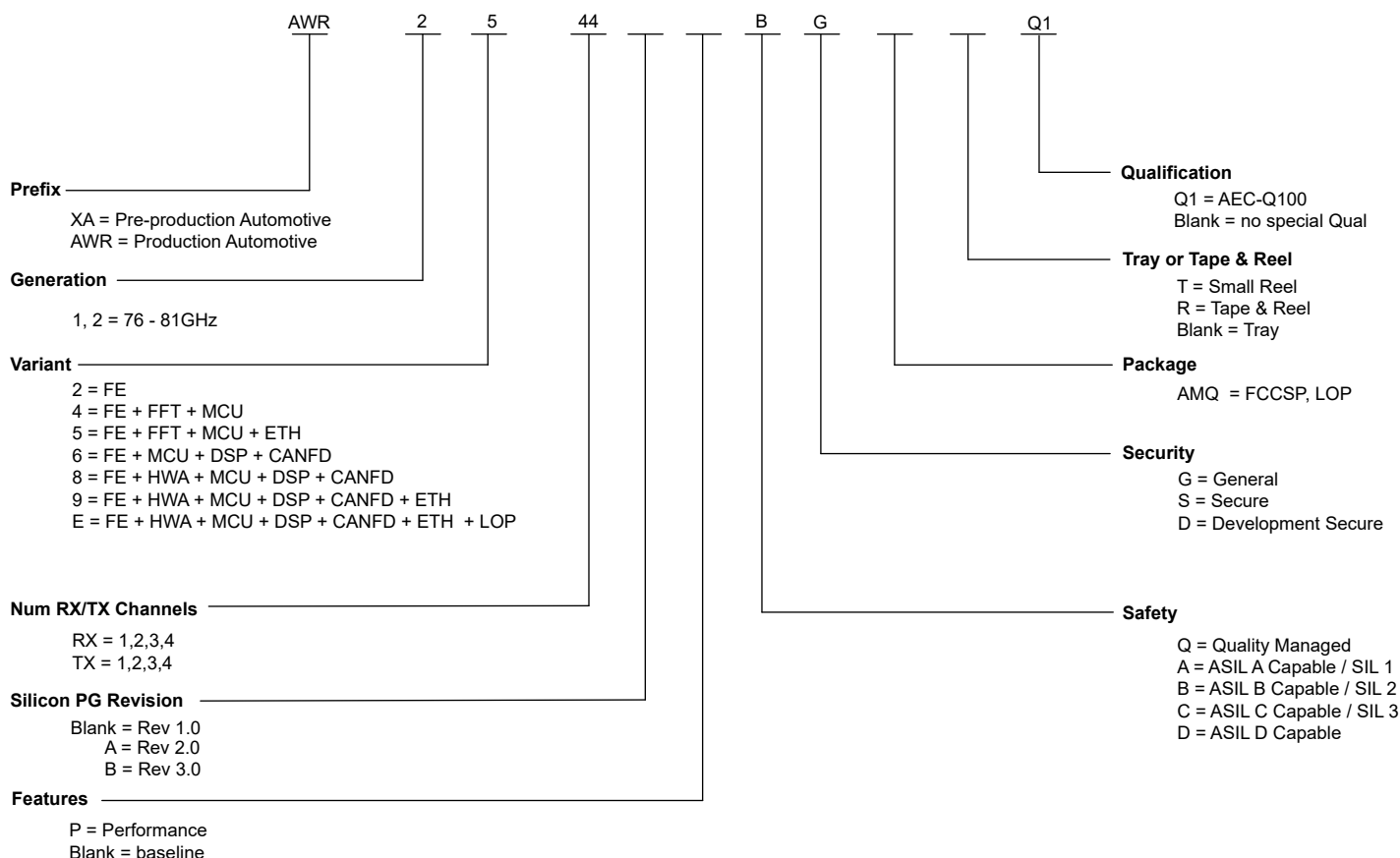


図 11-1. デバイスの命名規則

### 11.3 ツールとソフトウェア

このセクションの内容は以降のバージョンで更新されます。

### 11.4 ドキュメントのサポート

このセクションの内容は以降のバージョンで更新されます。

### 11.5 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 11.6 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

Arm® and Cortex-R5F® are registered trademarks of Arm Limited.

すべての商標は、それぞれの所有者に帰属します。

## 11.7 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 11.8 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 12 改訂履歴

### Changes from December 30, 2024 to October 2, 2026 (from Revision B (December 2024) to Revision C (October 2026))

Page

|                         |   |
|-------------------------|---|
| • (概要):設計上の考慮事項を更新..... | 2 |
|-------------------------|---|

### Changes from November 30, 2024 to December 30, 2024 (from Revision A (November 2024) to Revision B (December 2024))

Page

|                                                                       |    |
|-----------------------------------------------------------------------|----|
| • (概要):デバイスの説明の表から x マークが付いた OPN を削除.....                             | 2  |
| • (信号の説明 - デジタル):MSS_EPWMA_SYNCO の表項目に A7 と B11 を追加.....              | 27 |
| • (OTP eFuse プログラミングの推奨動作条件):VPP 電源の最大印加時間に関する情報を追加して更新.....          | 38 |
| • (消費電力のまとめ _LOP): 未定の値を更新.....                                       | 40 |
| • (RF 仕様):ノイズ指数、帯域内 P1dB とレシーバ ゲインとの関係を更新.....                        | 41 |
| • (RGMII RX および TX のタイミング図):「RGMII RX および TX のタイミング図」セクションを追加.....    | 57 |
| • (RGMII RX および TX のタイミング図): 表を RX および TX 遅延情報で更新.....                | 57 |
| • (RGMII 受信データおよび制御のタイミング要件): ホールド時間とセットアップ時間を 1ns から 1.25ns に更新..... | 58 |
| • (デバイスの命名規則):「デバイス命名規則」を更新.....                                      | 81 |

### Changes from January 1, 2024 to November 30, 2024 (from Revision \* (January 2024) to Revision A (November 2024))

Page

|                                                                                                                     |    |
|---------------------------------------------------------------------------------------------------------------------|----|
| • (特長):パワー マネージメント ソリューションに関する推奨事項を追加.....                                                                          | 1  |
| • (概要):ES2.0 シリコンの受注可能な部品番号 (OPN) を更新。.....                                                                         | 2  |
| • (概要):デバイスの説明の表から x マークが付いた OPN を削除.....                                                                           | 2  |
| • (機能ブロック図):図を更新し、脚注を削除。.....                                                                                       | 4  |
| • (デバイスの比較):AWR2243 の表を更新。.....                                                                                     | 6  |
| • (信号の説明 - デジタル):MSS_RGMII_RDx ピンの説明を修正.....                                                                        | 27 |
| • (信号の説明 - デジタル):MSS_MIBSPIB 信号の使用に関する表の注を追加.....                                                                   | 27 |
| • (信号の説明 - デジタル):TRACE_CLK および TRACE_CTL からピン C20 および B20 を削除.....                                                  | 27 |
| • (推奨動作条件):1.2V デジタルおよび SRAM 電源、ならびに 1.8V 電源の最大値を更新.....                                                            | 37 |
| • (VPP 仕様) - 保証への影響:セクションを書き換え.....                                                                                 | 38 |
| • (電源仕様):電源リップルの仕様を追加.....                                                                                          | 39 |
| • (電源仕様):パワー マネージメント ソリューションに関する推奨事項を追加.....                                                                        | 39 |
| • (消費電力の概略):表「ES2.0 シリコンの電源端子での最大電流定格」の 1.2V および 1.8V の最大ピーク電流値を、それぞれ 2100mA および 600mA から 2000mA および 550mA に更新..... | 40 |
| • (消費電力の概略):ES2.0 シリコンの電源端子での平均消費電力の表の概要の条件と電力の数値を更新.....                                                           | 40 |

|                                                                                                                                                           |    |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| • (RF 仕様):ES2.0 シリコンで、1dB 圧縮ポイント (帯域外) の標準値を -11dBm から -8dBm に改善.....                                                                                     | 41 |
| • (RF 仕様):1dB 圧縮ポイント (帯域外) 測定手法に関する表の注を更新し、VCO2 範囲に関する新しい注を追加..                                                                                           | 41 |
| • (RF 仕様):このセクションの「雑音指数、帯域内 P1dB とレシーバゲインとの関係」の図を更新.....                                                                                                  | 41 |
| • (RF 仕様):IF BW を 20MHz に訂正.....                                                                                                                          | 41 |
| • (クロックの仕様):デバイスの適切な動作温度範囲を反映する「水晶振動子の電気的特性 (発振器モード)」を更新/<br>変更.....                                                                                      | 44 |
| • (QSPI のタイミング条件):出力負荷容量を 2pF から 5pF に更新.....                                                                                                             | 45 |
| • (QSPI のタイミング要件):Q12 および Q14 のセットアップ時間を、13.2ns から 5ns に更新.....                                                                                           | 45 |
| • (QSPI のスイッチング特性):サイクル時間、sclk を 15ns から 12.5ns に更新/変更.....                                                                                               | 46 |
| • (QSPI のスイッチング特性):パルス幅の sclk [Q2、Q3] を $0.5 \cdot P - 1.5$ から $0.5 \cdot P - 0.625$ (最小) に更新/変更.....                                                     | 46 |
| • (QSPI のスイッチング特性):遅延時間、sclk 立ち上がりエッジから d[0] 遷移まで、すなわち [Q6、Q9] を 5.5ns から<br>2ns (最大) に、2.5us から -4.5us (最小) に更新 / 変更.....                                | 46 |
| • (SPI のタイミング条件):C <sub>LOAD</sub> 、出力負荷容量を 15pF から 20pF (最大) に更新/変更.....                                                                                 | 48 |
| • (SPI コントローラ モードのスイッチング特性 - クロック位相 = 0): サイクル時間、SPICLK を 40ns から 20ns に更新/<br>変更.....                                                                    | 48 |
| • (SPI コントローラ モードのスイッチング特性 - クロック位相 = 0): パルス幅、SPICLK [Q2、Q3] を $0.5t_{c(SPC)M} + 4$ か<br>ら $0.5t_{c(SPC)M} + 2$ (最小/最大) に更新/変更.....                      | 48 |
| • (SPI コントローラ モードのスイッチング特性 - クロック位相 = 0): SPICLK の Low 期間前に SPISIMO が有効になる<br>遅延時間 [Q4] を $0.5t_{c(SPC)M} - 14$ から $0.5t_{c(SPC)M} - 7$ (最小) に更新/変更.....  | 48 |
| • (SPI コントローラ モードのスイッチング特性 - クロック位相 = 0): SPICLK の Low 期間後に SPISIMO データが有効<br>になる時間 [Q5] を $0.5t_{c(SPC)M} - 18$ から $0.5t_{c(SPC)M} - 8$ (最小) に更新/変更..... | 48 |
| • (SPI コントローラ モードのスイッチング特性 - クロック位相 = 0): SPICLK に対する SPISOMI データのホールド時間<br>[Q9] を、3ns から 2ns (最小) に更新/変更.....                                            | 48 |
| • (SPI コントローラ モードのスイッチング特性 - クロック位相 = 1): サイクル時間、SPICLK を 40ns から 20ns に更新/<br>変更.....                                                                    | 51 |
| • (SPI コントローラ モードのスイッチング特性 - クロック位相 = 1): パルス幅、SPICLK [Q2、Q3] を $0.5t_{c(SPC)M} + 4$ か<br>ら $0.5t_{c(SPC)M} + 2$ (最小/最大) に更新/変更.....                      | 51 |
| • (SPI コントローラ モードのスイッチング特性 - クロック位相 = 1): SPICLK の Low 期間前に SPISIMO が有効になる<br>遅延時間 [Q4] を $0.5t_{c(SPC)M} - 14$ から $0.5t_{c(SPC)M} - 7$ (最小) に更新/変更.....  | 51 |
| • (SPI コントローラ モードのスイッチング特性 - クロック位相 = 1): SPICLK の Low 期間後に SPISIMO データが有効<br>になる時間 [Q5] を $0.5t_{c(SPC)M} - 18$ から $0.5t_{c(SPC)M} - 8$ (最小) に更新/変更..... | 51 |
| • (SPI コントローラ モードのスイッチング特性 - クロック位相 = 1): SPICLK に対する SPISOMI データのホールド時間<br>[Q9] を、3ns から 2ns (最小) に更新/変更.....                                            | 51 |
| • (SPI ペリフェラル モードのスイッチング特性): サイクル時間、SPICLK を 50ns から 20ns に更新/変更.....                                                                                     | 53 |
| • (SPI ペリフェラル モードのスイッチング特性): パルス持続時間および SPICLK [Q2、Q3]を 20ns から 8ns (最小値)<br>に更新/変更.....                                                                  | 53 |
| • (SPI ペリフェラル モードのスイッチング特性): セットアップ時間、SPICLK より前の SPISIMO [Q6]を 6ns から 2.1ns<br>(最小値) に更新/変更.....                                                         | 53 |
| • RGMII/RMII/MII のタイミング条件を更新.....                                                                                                                         | 55 |
| • (RGMII 受信データおよび制御のタイミング要件): ホールド時間 [No. 6] を 4.5ns から 1ns (最小値) に更新/変更....                                                                              | 58 |
| • (RMII の送信データおよび制御のスイッチング特性): 選択された送信信号が有効になるまでの REF_CLK High から<br>の遅延時間 ([RMII 11])を 3ns から 2ns (最小) に更新/変更.....                                       | 58 |
| • (MII 送信のスイッチング特性): 遅延時間、miin_txclk から送信される選択信号が有効になるまでの時間 [No. 1] を、<br>3ns から 0ns (最小) に更新/変更.....                                                     | 59 |
| • (LVDS インターフェイスの構成):LVDS のデータレーン数の誤記を「4」から「2」に修正.....                                                                                                    | 63 |
| • (IEEE 1149.1 JTAG のスイッチング特性): 遅延時間、TCK 低 → TDO 有効 (No. 2) を 27.1ns から 21ns (最大) に<br>更新/変更.....                                                         | 67 |
| • BW を 20MHz に更新.....                                                                                                                                     | 72 |

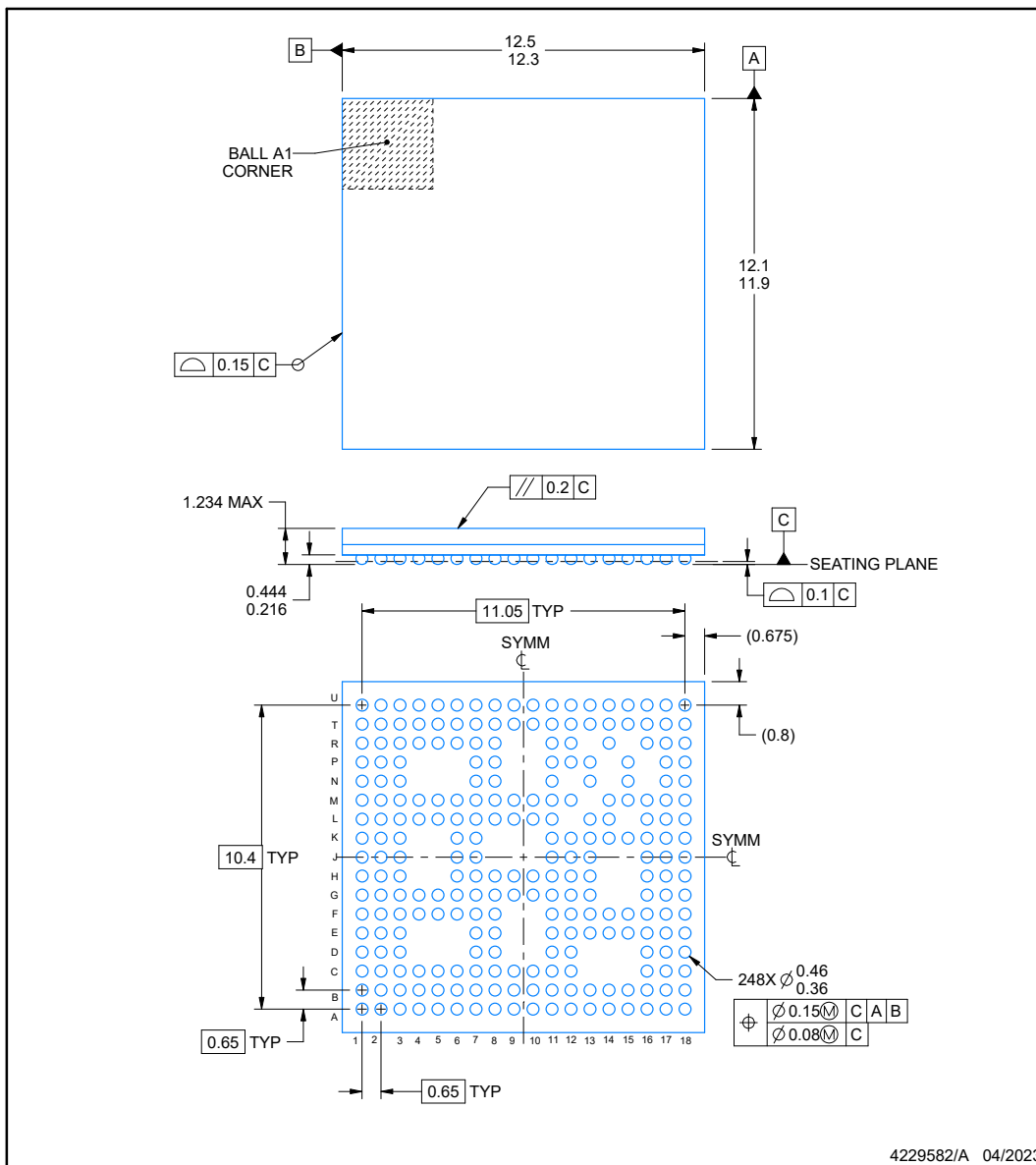
- (ユーザー アプリケーション向け ADC チャンネル (サービス)): セクションに図を追加..... [75](#)
- (監視と診断のメカニズム): セクションを更新し、安全関連の補足資料への注記を追記。..... [77](#)
- (監視と診断のメカニズム): このデザインは、多項式をサポートしていないため、CRC-8 のサポートを削除。..... [77](#)
- デバイスの命名規則にパッケージを追加..... [81](#)

| 日付         | 改訂 | 注      |
|------------|----|--------|
| 2024 年 1 月 | *  | 初版リリース |

## 13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーションをご覧ください。

**AMQ0248A**  **PACKAGE OUTLINE**  
**FCCSP - 1.234 mm max height**  
PLASTIC BALL GRID ARRAY

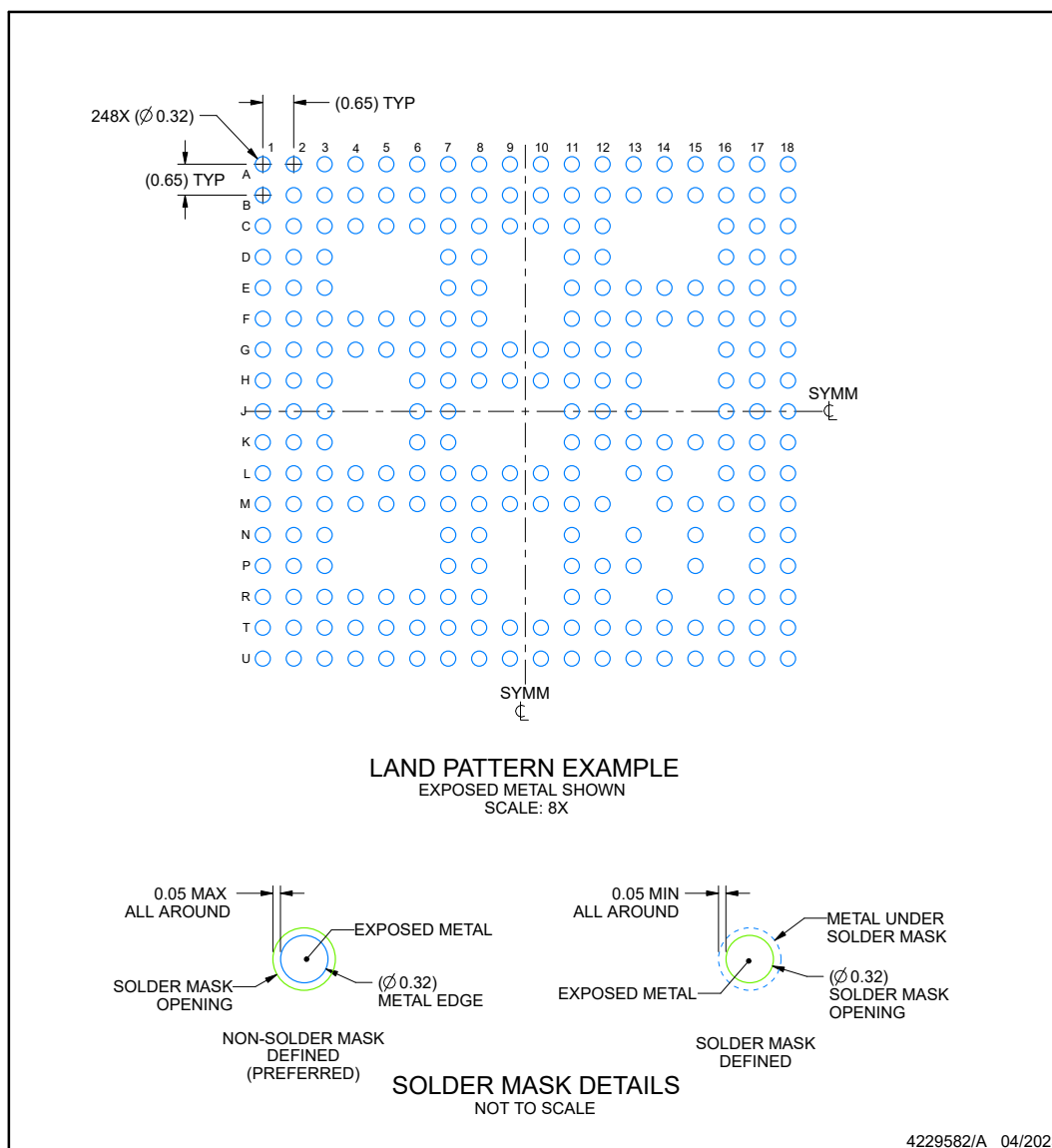


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

**EXAMPLE BOARD LAYOUT****AMQ0248A****FCCSP - 1.234 mm max height**

PLASTIC BALL GRID ARRAY



NOTES: (continued)

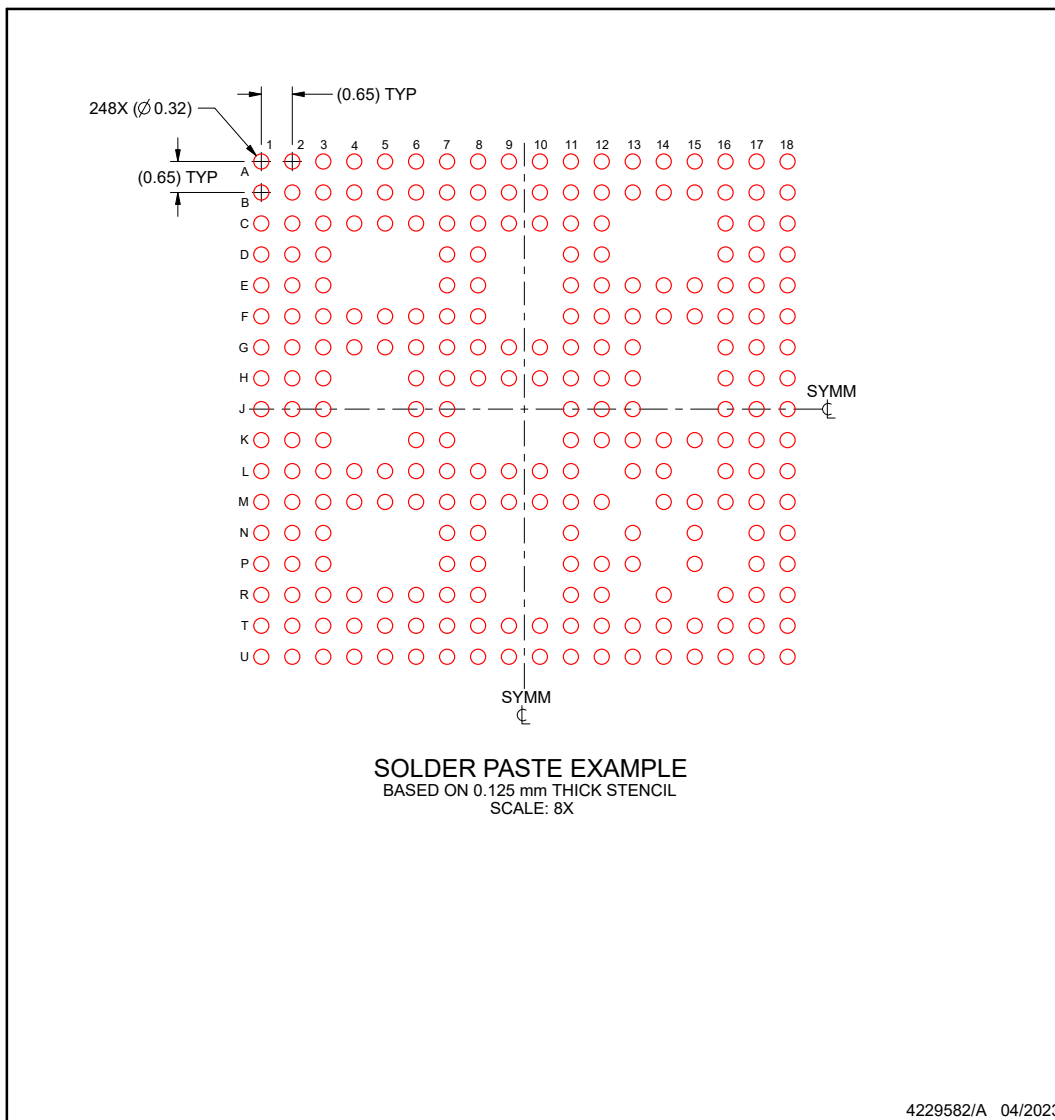
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRAA99 ([www.ti.com/lit/spraa99](http://www.ti.com/lit/spraa99)).

## EXAMPLE STENCIL DESIGN

**AMQ0248A**

**FCCSP - 1.234 mm max height**

PLASTIC BALL GRID ARRAY



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

## PACKAGING INFORMATION

| Orderable part number           | Status<br>(1) | Material type<br>(2) | Package   Pins    | Package qty   Carrier  | RoHS<br>(3) | Lead finish/<br>Ball material<br>(4) | MSL rating/<br>Peak reflow<br>(5) | Op temp (°C) | Part marking<br>(6)  |
|---------------------------------|---------------|----------------------|-------------------|------------------------|-------------|--------------------------------------|-----------------------------------|--------------|----------------------|
| <a href="#">AWR2544BGAMQQ1</a>  | Active        | Production           | FCCSP (AMQ)   248 | 147   JEDEC TRAY (5+1) | Yes         | Call TI                              | Level-3-260C-168 HR               | -40 to 140   | AWR2544<br>BG<br>585 |
| <a href="#">AWR2544BGAMQRQ1</a> | Active        | Production           | FCCSP (AMQ)   248 | 1000   LARGE T&R       | Yes         | Call TI                              | Level-3-260C-168 HR               | -40 to 140   | AWR2544<br>BG<br>585 |
| AWR2544BGAMQRQ1.B               | Active        | Production           | FCCSP (AMQ)   248 | 1000   LARGE T&R       | Yes         | Call TI                              | Level-3-260C-168 HR               | -40 to 140   | AWR2544<br>BG<br>585 |

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月