AWR6843AOP シングル チップ 60～64GHz ミリ波センサ アンテナ搭載パッケージ (AOP)

1 特長

- FMCW トランシーバ
  - 4 つのレシーバと 3 つのトランスミッタを内蔵したアンテナ オン パッケージ (AOP)
  - PLL、トランスミッタ、レシーバ、ベースバンド、ADC を内蔵
  - 60～64GHz 帯で、連続帯域幅 4GHz
  - 6 ビット位相シフタをサポート
  - フラクショナル N PLL を使用した超高精度のチャープ エンジン
- 較正および自己テストを内蔵
  - Arm® Cortex®-R4F ベースの無線制御システム
  - 内蔵ファームウェア (ROM)
  - プロセスおよび温度の自己較正システム
  - ホスト プロセッサの関与を必要としない自己監視機能を内蔵 (機能安全準拠デバイス)
- C674x DSP による高度な信号処理 (AWR6843 のみ)
- FFT、フィルタリング、CFAR 処理用のハードウェア アクセラレータ
- メモリ圧縮
- 物体検出およびインターフェイス制御用の Arm® Cortex®-R4F マイクロコントローラ
  - 自律モード (QSPI フラッシュ メモリからのユーザー アプリケーションのロード) をサポート
- ECC 付き内部メモリ
  - AWR6843：1.75MB を以下に分割：MSS プログラム RAM (512KB)、MSS データ RAM (192KB)、DSP L1 RAM (64KB)、DSP L2 RAM (256KB)、L3 レーダー データ キューブ RAM (768KB)
  - AWR6443：1.4MB を以下に分割：MSS プログラム RAM (512KB)、MSS データ RAM (192KB)、L3 レーダー データ キューブ RAM (768KB)
  - 許容されるサイズ変更をテクニカル リファレンス マニュアルに記載
- ユーザー アプリケーションで利用可能なその他のインターフェイス
  - 最大 6 つの ADC チャネル (低サンプル レートの監視)
  - 最大 2 つの SPI ポート
  - 最大 2 つの UART
  - 2 つの CAN-FD インターフェイス
  - I2C
  - GPIO
  - 未加工 ADC データおよびデバッグ計測用の 2 レーンの LVDS インターフェイス
- デバイスのセキュリティ (*一部の型番のみ*)
  - セキュア認証および暗号化ブートのサポート
  - 顧客がプログラム可能なルート キー、対称キー (256 ビット)、非対称キー (RSA-2K まで)、キー失効機能付き
  - 暗号化ソフトウェア アクセラレータ - PKA、AES (最大 256 ビット)、SHA (最大 256 ビット)、TRNG/DRGB
- 機能安全準拠
  - 機能安全アプリケーション向けに開発
  - ASIL-D までの ISO 26262 機能安全システム設計に役立つ資料を入手可能
  - ASIL-B までのハードウェア インテグリティ
  - 安全関連の認証
    - TUV SUD により ISO 26262 認証済み (ASIL B まで)
- AEC-Q100 認定済み
- パワー マネージメント
  - 内蔵 LDO ネットワークにより PSRR の向上を実現
  - I/O は 3.3V/1.8V のデュアル電圧に対応
- クロック ソース
  - 40.0MHz の水晶振動子と内部発振器
  - 40MHz の外部発振器をサポート
  - 40MHz の外部駆動クロック (方形波 / 正弦波) をサポート
- ハードウェア設計が簡単
  - 組み立てが簡単で低コストの PCB を設計できる 0.8mm ピッチ、180 ピン、15mm × 15mm のフリップ チップ BGA パッケージ (ALP)
  - 小型ソリューション サイズ
- 動作条件：
  - 接合部温度範囲：–40℃～125℃

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

2 アプリケーション

- 車室内センシング
- 子供の存在検知
- 物体検出
- シートベルト警報
- ドライバーのバイタルサイン監視
- キック センサ / アクセス センサ
- 侵入者検出
- ジェスチャ制御の HMI
- ジェスチャ認識

3 説明

AWR6843AOP は、テキサス・インスツルメンツ (TI) のシングル チップ レーダー デバイス ファミリの先進のアンテナ搭載パッケージ (AOP) デバイスです。超小型フォーム ファクタで、これまでにないレベルの統合を実現しており、低消費電力で自己監視機能を備えた超高精度の車載用レーダー システムに最適なソリューションです。現在、機能安全準拠デバイス (ASIL-B) と機能安全非準拠デバイスを含む複数の車載認定済みバリアントを提供しています。

また、TI の高性能 C674x DSP を含む DSP サブシステムをレーダー信号処理のために統合しています。無線の構成、制御、較正用に BIST プロセッサ サブシステムも内蔵されています。さらに、このデバイスには車載用インターフェイスとして使用される Arm Cortex-R4F が搭載されており、ユーザーがプログラム可能です。ハードウェア アクセラレータ ブロック (HWA) はレーダー処理を実行でき、DSP がより高いレベルのアルゴリズムを実行できるように DSP の負荷を解放できます。プログラミング モデルを変更するだけで、さまざまなセンサに応用でき、マルチモード センサの実装においては動的再構成にも対応します。また本デバイスは、リファレンス ハードウェア デザイン、ソフトウェア ドライバ、構成例、API ガイド、ユーザー マニュアルを含む完全なプラットフォーム ソリューションとして提供しています。

デバイス情報

部品番号	パッケージ (1)	本体サイズ (2)	トレイ / テープ アンド リール
AWR6843ARBGALPQ1	FCBGA (180)	15mm × 15mm	トレイ
AWR6843ARBGALPRQ1	FCBGA (180)	15mm × 15mm	テープ アンド リール
AWR6843ARBSALPQ1	FCBGA (180)	15mm × 15mm	トレイ
AWR6843ARBSALPRQ1	FCBGA (180)	15mm × 15mm	テープ アンド リール

(1) 詳細については、セクション 13、「*メカニカル、パッケージ、および注文情報*」を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

Copyright © 2025 Texas Instruments Incorporated

4 機能ブロック図

デバイスの機能ブロック図を図 4-1 に示します。

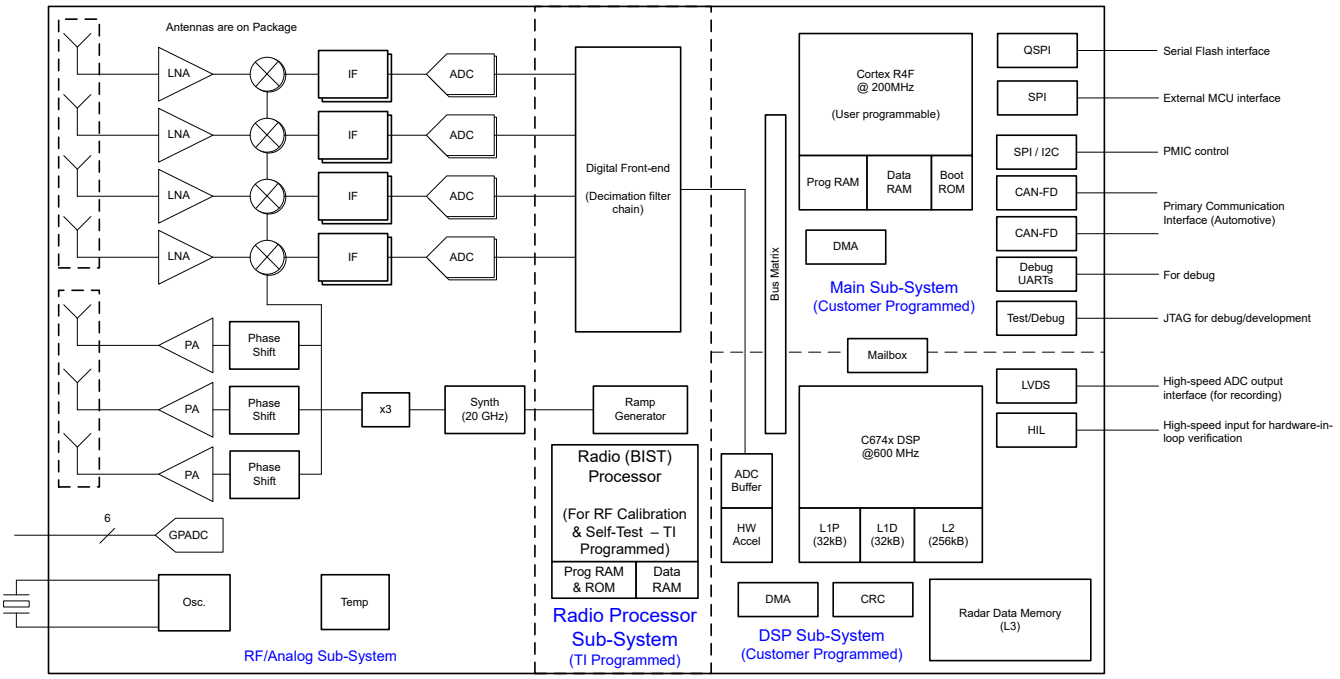


図 4-1. 機能ブロック図

目次

1 特長 1
2 アプリケーション 2
3 説明 2
4 機能ブロック図 3
5 デバイスの比較 5
5.1 関連製品 7
6 端子構成および機能 8
6.1 ピン配置図 8
6.2 信号の説明 9
6.3 ピン属性 15
7 仕様 29
7.1 絶対最大定格 29
7.2 ESD 定格 29
7.3 電源投入時間 (POH) 30
7.4 推奨動作条件 31
7.5 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様 32
7.6 電源仕様 32
7.7 消費電力の概略 33
7.8 パワー セーブ モード 34
7.9 RF 仕様 36
7.10 CPU の仕様 36
7.11 FCBGA パッケージの熱抵抗特性 [ALP0180A] 37
7.12 タイミングおよびスイッチング特性 38
8 詳細説明 68
8.1 概要 68
8.2 機能ブロック図 68
8.3 サブシステム 69
8.4 その他のサブシステム 73
8.5 ブート モード 74
9 監視と診断 78
9.1 監視と診断のメカニズム 78
10 アプリケーション、実装、およびレイアウト 83
10.1 アプリケーション情報 83
10.2 リファレンス回路図 83
11 デバイスおよびドキュメントのサポート 84
11.1 デバイスの命名規則 84
11.2 ツールとソフトウェア 86
11.3 ドキュメントのサポート 86
11.4 サポート・リソース 86
11.5 商標 86
11.6 静電気放電に関する注意事項 86
11.7 用語集 86
12 改訂履歴 87
13 メカニカル、パッケージ、および注文情報 89
13.1 パッケージ情報 89
13.2 ALP, 15 × 15 mm のトレイ情報 89

Copyright © 2025 Texas Instruments Incorporated

5 デバイスの比較

表 5-1. デバイスの機能の比較

機能	AWR6843AOP [1]	AWR1843AOP	AWR6843	AWR6443	AWR1843	AWR1642	AWR1443	AWRL6432	AWRL1432
アンテナ オン パッケージ (AOP)	あり	あり	—	—	—	—	—	—	—
レシーバの数	4	4	4	4	4	4	4	3	3
トランスミッタの数	3[2]	3[2]	3[2]	3[2]	3[2]	2	3	2	2
RF 周波数範囲	60～64GHz	76～81GHz	60～64GHz	60～64GHz	76～81GHz	76～81GHz	76～81GHz	57～64GHz	57～64GHz
オンチップ メモリ	1.75MB	2MB	1.75MB	1.4MB	2MB	1.5MB	576KB	1MB	1MB
最大 I/F (中間周波数) (MHz)	10	10	10	10	10	5	5	5	5
最大実数サンプリング レート (Msps)	25	25	25	25	25	12.5	12.5	12.5	12.5
最大複素サンプリング レート (Msps)	12.5	12.5	12.5	12.5	12.5	6.25	6.25	—	—
デバイスのセキュリティ [3]	あり	あり	あり	—	あり	あり	—	—	—
プロセッサ									
MCU	あり	あり	あり	あり	あり	あり	あり	あり	あり
DSP (C674x)	あり	あり	あり	—	あり	あり	—	—	—
ペリフェラル									
シリアル ペリフェラル インターフェイス (SPI) ポート	2	2	2	2	2	2	1	2	2
クワッド シリアル ペリフェラル インターフェイス (QSPI)	あり	あり	あり	あり	あり	あり	あり	あり	あり
I^2C (Inter-Integrated Circuit) インターフェイス	1	1	1	1	1	1	1	1	1
コントローラ エリア ネットワーク (DCAN) インターフェイス	—	1	—	—	1	1	1	—	—
コントローラ エリア ネットワーク (CAN-FD) インターフェイス	2	1	2	2	1	—	—	1	1
トレース	あり	あり	あり	あり	あり	あり	—	—	—
PWM	あり	あり	あり	あり	あり	あり	—	あり	あり
ハードウェア イン ループ (HIL/DMM)	あり	あり	あり	あり	あり	あり	—	—	—
GPADC	あり	あり	あり	あり	あり	あり	あり	あり	あり
LVDS / デバッグ [4]	あり	あり	あり	あり	あり	あり	あり	—	—
CSI2	—	—	—	—	—	—	—	—	—
ハードウェア アクセラレータ	あり	あり	あり	あり	あり	—	あり	あり	あり
1V バイパス モード	あり	あり	あり	あり	あり	あり	あり	該当なし	該当なし
JTAG	あり	あり	あり	あり	あり	あり	あり	あり	あり

Copyright © 2025 Texas Instruments Incorporated

表 5-1. デバイスの機能の比較 (続き)

機能		AWR6843AOP (1)	AWR1843AOP	AWR6843	AWR6443	AWR1843	AWR1642	AWR1443	AWRL6432	AWRL1432
製品のステータス	製品プレビュー (PP)、事前情報 (AI)、量産データ (PD)	PD (5)	PD (5)	PD (5)	PD (5)	PD (5)	PD (5)	PD (5)	PD (5)	PD (5)

(1) 機能安全アプリケーション用に開発された本デバイスは、ASIL-B までのハードウェア安全度をサポートしています。詳細については、関連資料を参照してください。
(2) 3 Tx 同時動作は、1V LDO バイパスおよび PA LDO 無効化モードのみでサポートしています。このモードでは、1V 電源を VOUT PA ピンに供給する必要があります。
(3) セキュア ブートとカスタマー プログラマブル キーを含むデバイス セキュリティ機能は、「製品情報」表のセクション 3 のデバイス タイプ識別子で示された一部の製品バリアントでのみ利用できます。
(4) LVDS インターフェイスは、製品インターフェイスではなく、デバッグ目的でのみ使用されます。
(5) 量産データの情報は、公開日の時点で最新のものです。製品は、テキサス・インスツルメンツの標準保証条件に基づく仕様に準拠しています。量産開始前の製品の事前情報。予告なく変更される場合があります。

Copyright © 2025 Texas Instruments Incorporated

5.1 関連製品

この製品ファミリまたは関連製品の他のデバイスの詳細については、以下のリンクを参照してください。

ミリ波センサ	テキサスインスツルメンツの車載最もフットプリントが小さい車載アプリケーション向けミリ波センサは、小さい電力で、距離、角度、速度を迅速かつ正確に検出します。
車載ミリ波センサ	テキサス・インスツルメンツの車載ミリ波センサ製品ラインアップは、超高分解能、小型、低消費電力のシングルチップ レーダー ソリューションに高性能レーダー フロント エンドを提供します。テキサス・インスツルメンツのスケーラブルなセンサ製品ラインアップは、すべての自動車の快適性機能から安全性機能に至るまで、あらゆる性能、アプリケーション、センサ構成に対応する ADAS システム ソリューションの設計と開発を可能にします。
コンパニオン製品 (AWR6843)	この製品と組み合わせて購入または使用されることが多い製品を確認してください。
リファレンス デザイン (AWR6843)	TI Designs リファレンス デザイン ライブラリは、アナログ、組み込みプロセッサ、コネクティビティの各分野にわたる堅牢なリファレンス デザイン ライブラリです。すべての TI Designs は、システム設計を迅速に開始できるように テキサス・インスツルメンツの専門家により作成されたもので、回路図またはブロック図、BOM、設計ファイルが含まれており、製品の開発期間短縮に役立ちます。ti.com/tidesigns でリファレンス デザインを検索、ダウンロードしてください。
車両乗員検出のリファレンス デザイン	このリファレンス デザインは、AWR6843 の使用方法を示します。この製品は、DSP を搭載した 60GHz シングルチップ ミリ波センサであり、車両の乗員検出 (VOD) や子供の占有検出 (CPD) センサとして使用すると、車両内の乗員や生体を検出できます。このデザインは、C674x DSP 上で動作するリファレンス ソフトウェアの処理チェーンを実現し、ヒート マップを生成して、±60 度の視野角 (FOV) で乗員を検出できるようにします。

Copyright © 2025 Texas Instruments Incorporated

6 端子構成および機能

6.1 ピン配置図

図 6-1 は、180 ピン 15 × 15 mm FCBGA パッケージと



	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	
V	VSSA	VSSA	RS232_RX	VDDIN	VNWA	MCU_CLKOUT	VIN_SRAM	VIOIN_18	PMIC_CLKOUT	VIOIN	VDDIN	VNWA	VIN_SRAM	DP2	VDDIN	DP4	VPP	VSS	V
U	VSSA	VSSA	RS232_TX	NERROR_OUT	NERROR_IN	WARM_RESET	SYNC_IN	NRESET	TDO	TDI	TMS	DP0	DP1	DP3	DMM_SYNC	DMM_CLK	VIOIN_18DIFF	VSS	U
T	GPADC_4	VSSA	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	TCK	LVDS_FRCLKM	LVDS_FRCLKP	T
R	GPADC_3	VSSA	VSSA													VSS	LVDS_CLKM	LVDS_CLKP	R
P	GPADC_1	GPADC_2	VSSA													VSS	LVDS_TXP[1]	LVDS_TXM[1]	P
N	VSSA	VSSA	VSSA													VSS	LVDS_TXP[0]	LVDS_TXM[0]	N
M	VIN_18BB	VIN_18BB	VIN_18BB													SYNC_OUT	GPIO_0	DP5	M
L	VSSA	VSSA	VSSA													GPIO_1	DP6	DP7	L
K	VSSA	VSSA	VSSA													GPIO_2	QSPI[3]	VIOIN_18	K
J	VIN_13RF1	VIN_13RF1	VIN_13RF1													QSPI[2]	QSPI_CS_N	VDDIN	J
H	VIN_13RF2	VIN_13RF2	VIN_13RF2													QSPI[0]	QSPI_CLK	VIOIN	H
G	VOUT_PA	VOUT_PA	VOUT_PA													SPIB_MISO	QSPI[1]	SPIB_MOSI	G
F	VSSA	VSSA	VSSA													VSS	SPIA_MOSI	VIOIN_18	F
E	VSSA	VSSA	VSSA													VSS	SPIB_CLK	VDDIN	E
D	VSSA	VSSA	VSSA													SPIB_CS_N	SPIA_CLK	SPIA_MISO	D
C	VIN_18CLK	VSSA	VSSA	VIN_18CLK	VSSA	VSSA	VSSA	VIN_18VCO	GPADC_6	GPADC_5	VSSA	VSSA	VSSA	DP14	DP10	DP8	SPIA_CS_N	VNWA	C
B	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	CLKM	VSSA	DP15	DP12	DP9	SPI_HOST_INTR	VIOIN_18	B
A	VSSA	VSSA	VBGAP	VSSA	OSC_CLKOUT	VSSA	VIN_18VCO	VSSA	VOUT_14APLL	VOUT_14SYNTH	VSSA	CLKP	VSSA	VIN_SRAM	DP13	DP11	VSS	VSS	A
	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	

図 6-1. ピン配置図 (上面図)

Copyright © 2025 Texas Instruments Incorporated

6.2 信号の説明

注

本デバイスのすべての IO ピン (NERROR IN、NERROR_OUT、WARM_RESET を除く) はフェイルセーフではないので、VIO 電源が本デバイスに供給されていない状態において、これらの IO ピンが外部から駆動されないように注意する必要があります。

注

電源ランプ時の GPIO 状態は保証されません。GPIO の状態が重要なアプリケーションで GPIO を使用する場合には、NRESET が Low であるときにも、トライステート バッファを使用して GPIO 出力をレーダー デバイスから分離し、プル抵抗を使って、アプリケーションで必要な状態を確定する必要があります。レーダー デバイスへの NRESET 信号は、トライステート バッファの出力イネーブル (OE) を制御するために使用できます。

6.2.1 ピンの機能 - デジタルおよびアナログ [ALP パッケージ]

名称	I/O	説明	番号
		デジタル	
BSS_UART_TX	O	デバッグ UART 送信 [レーダー ブロック]	D3、E2、K3、L2、U8、U10、U16、V16
CAN1_FD_RX	I	CAN1 FD (MCAN) 受信信号	A4、B3、E2、F2、K2、U8、V16
CAN1_FD_TX	O	CAN1 FD (MCAN) 送信信号	C2、C3、D1、D3、J3、T3、U16
CAN2_FD_RX	I	CAN2 FD (MCAN) 受信信号	D2
CAN2_FD_TX	O	CAN2 FD (MCAN) 送信信号	B4
DMM0	I	デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン	U7
DMM1	I	デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン	U6
DMM2	I	デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン	V5
DMM3	I	デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン	U5
DMM4	I	デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン	V3
DMM5	I	デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン	M1
DMM6	I	デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン	L2
DMM7	I	デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン	L1
DMM8	I	デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン	C3
DMM9	I	デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン	B3
DMM10	I	デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン	C4
DMM11	I	デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン	A3
DMM12	I	デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン	B4
DMM13	I	デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン	A4
DMM14	I	デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン	C5
DMM15	I	デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン	B5
DMM_CLK	I	デバッグ インターフェイス (ハードウェア イン ループ) - クロック	U3
DMM_MUX_IN	I	デバッグ インターフェイス (ハードウェア イン ループ) DMM1 と DMM2 の間でのマルチプレクサ選択 (2 インスタンス)	L3、M3、U12
DMM_SYNC	I	デバッグ インターフェイス (ハードウェア イン ループ) - 同期	U4
DSS_UART_TX	O	デバッグ UART 送信 [DSP]	D2、F2、G3、H2、L1

Copyright © 2025 Texas Instruments Incorporated

名称	I/O	説明	番号
EPWM1A	O	PWM モジュール 1 - 出力 A	B4、U16、V13
EPWM1B	O	PWM モジュール 1 - 出力 B	A4、M2、U16、V10
EPWM1SYNCI	I	PWM モジュール 1 - 同期入力	C3、L3
EPWM1SYNCO	I	PWM モジュール 1 - 同期出力	B3
EPWM2A	O	PWM モジュール 2 - 出力 A	C5、M2、U16、V10、V16
EPWM2B	O	PWM モジュール 2 - 出力 B	B5、V16
EPWM2SYNCO	O	PWM モジュール 2 - 同期出力	V3
EPWM3A	O	PWM モジュール 3 - 出力 A	C4、V16
EPWM3B	O	PWM モジュール 3 - 出力 A	A3
EPWM3SYNCO	O	PWM モジュール 3 - 同期出力	U5
GPIO_0	IO	汎用 I/O	M2
GPIO_1	IO	汎用 I/O	L3
GPIO_2	IO	汎用 I/O	K3
GPIO_3	IO	汎用 I/O	D2
GPIO_4	IO	汎用 I/O	D3
GPIO_5	IO	汎用 I/O	E2
GPIO_6	IO	汎用 I/O	J2
GPIO_7	IO	汎用 I/O	H2
GPIO_8	IO	汎用 I/O	H3
GPIO_9	IO	汎用 I/O	G2
GPIO_10	IO	汎用 I/O	J3
GPIO_11	IO	汎用 I/O	K2
GPIO_12	IO	汎用 I/O	B2
GPIO_13	IO	汎用 I/O	M2
GPIO_14	IO	汎用 I/O	U16
GPIO_15	IO	汎用 I/O	V16
GPIO_16	IO	汎用 I/O	L3
GPIO_17	IO	汎用 I/O	T3
GPIO_18	IO	汎用 I/O	U8
GPIO_19	IO	汎用 I/O	F2
GPIO_20	IO	汎用 I/O	D1
GPIO_21	IO	汎用 I/O	G1
GPIO_22	IO	汎用 I/O	G3
GPIO_23	IO	汎用 I/O	U9
GPIO_24	IO	汎用 I/O	U10
GPIO_25	IO	汎用 I/O	V13
GPIO_26	IO	汎用 I/O	K3
GPIO_27	IO	汎用 I/O	V10
GPIO_28	IO	汎用 I/O	U12
GPIO_29	IO	汎用 I/O	M3
GPIO_30	IO	汎用 I/O	C2、D2
GPIO_31	IO	汎用 I/O	U7
GPIO_32	IO	汎用 I/O	U6

Copyright © 2025 Texas Instruments Incorporated

名称	I/O	説明	番号
GPIO_33	IO	汎用 I/O	V5
GPIO_34	IO	汎用 I/O	U5
GPIO_35	IO	汎用 I/O	V3
GPIO_36	IO	汎用 I/O	M1
GPIO_37	IO	汎用 I/O	L2
GPIO_38	IO	汎用 I/O	L1
GPIO_39	IO	汎用 I/O	C3
GPIO_40	IO	汎用 I/O	B3
GPIO_41	IO	汎用 I/O	C4
GPIO_42	IO	汎用 I/O	A3
GPIO_43	IO	汎用 I/O	B4
GPIO_44	IO	汎用 I/O	A4
GPIO_45	IO	汎用 I/O	C5
GPIO_46	IO	汎用 I/O	B5
GPIO_47	IO	汎用 I/O	U3
I2C_SCL	IO	I2C クロック	G3、V16
I2C_SDA	IO	I2C データ	G1、U16
LVDS_TXP[0]	O	差動データ出力 - レーン 0	N2
LVDS_TXM[0]	O	差動データ出力 - レーン 0	N1
LVDS_TXP[1]	O	差動データ出力 - レーン 1	P2
LVDS_TXM[1]	O	差動データ出力 - レーン 1	P1
LVDS_CLKP	O	差動クロック出力	R1
LVDS_CLKM	O	差動クロック出力	R2
LVDS_FRCLKP	O	差動フレーム クロック	T1
LVDS_FRCLKM	O	差動フレーム クロック	T2
MCU_CLKOUT	O	外部 MCU またはプロセッサに供給されるプログラマブル クロック	V13
MSS_UARTA_RX	I	メイン サブシステム - UART A 受信	E2、U9、V16
MSS_UARTA_TX	O	メイン サブシステム - UART A 送信	D3、U7、U10、U16
MSS_UARTB_RX	IO	メイン サブシステム - UART B 受信	U12、V16
MSS_UARTB_TX	O	メイン サブシステム - UART B 送信	D3、E2、K3、M1、T3、U10、U16
NDMM_EN	I	デバッグ インターフェイス (ハードウェア イン ループ) イネーブル - アクティブ Low 信号	U10、U16
NERROR_IN	I	デバイスへのフェイルセーフ入力。他のデバイスからの NERROR 出力は、デバイス内のエラー信号モニタ モジュールに集約させることができ、ファームウェアによって適切なアクションを実行できます。	U14
NERROR_OUT	O	オープンドレインのフェイルセーフ出力信号。非常に重大なフォルトが発生していることを示すために、PMIC / プロセッサ / MCU に接続されています。復帰にはリセットが必要です。	U15
PMIC_CLKOUT	O	PMIC 用 AWR6843AOP デバイスからの出力クロック	K3、M2、V10
QSPI[0]	IO	QSPI データ ライン #0 (シリアル データ フラッシュと使用)	H3
QSPI[1]	I	QSPI データ ライン #1 (シリアル データ フラッシュと使用)	G2
QSPI[2]	I	QSPI データ ライン #2 (シリアル データ フラッシュと使用)	J3
QSPI[3]	I	QSPI データ ライン #3 (シリアル データ フラッシュと使用)	K2
QSPI_CLK	O	QSPI クロック (シリアル データ フラッシュと使用)	H2

Copyright © 2025 Texas Instruments Incorporated

名称	I/O	説明	番号
QSPI_CLK_EXT	I	QSPI クロック (シリアル データ フラッシュと使用)	D3
QSPI_CS_N	O	QSPI チップ セレクト (シリアル データ フラッシュと使用)	J2
RS232_RX	I	デバッグ UART (バス マスタとして動作) - 受信信号	V16
RS232_TX	O	デバッグ UART (バス マスタとして動作) - 送信信号	U16
SOP[0]	I	センス オン パワー - ライン #0	U10
SOP[1]	I	センス オン パワー - ライン #1	M3
SOP[2]	I	センス オン パワー - ライン #2	V10
SPIA_CLK	IO	SPI チャネル A - クロック	D2
SPIA_CS_N	IO	SPI チャネル A - チップ セレクト	C2
SPIA_MISO	IO	SPI チャネル A - マスタ入力 / スレーブ出力	D1
SPIA_MOSI	IO	SPI チャネル A - マスタ出力 / スレーブ入力	F2
SPIB_CLK	IO	SPI チャネル B - クロック	E2、H2
SPIB_CS_N	IO	SPI チャネル B チップ セレクト (インスタンス ID 0)	D3、J2
SPIB_CS_N_1	IO	SPI チャネル B チップ セレクト (インスタンス ID 1)	B2、L3、M3
SPIB_CS_N_2	IO	SPI チャネル B チップ セレクト (インスタンス ID 2)	G2、L3、M3
SPIB_MISO	IO	SPI チャネル B - マスタ入力 / スレーブ出力	G3、H3
SPIB_MOSI	IO	SPI チャネル B - マスタ出力 / スレーブ入力	G1、G2
SPI_HOST_INTR	O	SPI 経由で通信中の外部ホストへの帯域外割り込み	B2
SYNC_IN	I	低周波数同期信号入力	U12
SYNC_OUT	O	低周波数同期信号出力	K3、L3、M3、U12
TCK	I	JTAG テスト クロック	T3
TDI	I	JTAG テスト データ入力	U9
TDO	O	JTAG テスト データ出力	U10
TMS	I	JTAG テスト モード信号	U8
TRACE_CLK	O	デバッグ トレース出力 - クロック	U3
TRACE_CTL	O	デバッグ トレース出力 - 制御	U4
TRACE_DATA_0	O	デバッグ トレース出力 - データ ライン	U7
TRACE_DATA_1	O	デバッグ トレース出力 - データ ライン	U6
TRACE_DATA_2	O	デバッグ トレース出力 - データ ライン	V5
TRACE_DATA_3	O	デバッグ トレース出力 - データ ライン	U5
TRACE_DATA_4	O	デバッグ トレース出力 - データ ライン	V3
TRACE_DATA_5	O	デバッグ トレース出力 - データ ライン	M1
TRACE_DATA_6	O	デバッグ トレース出力 - データ ライン	L2
TRACE_DATA_7	O	デバッグ トレース出力 - データ ライン	L1
TRACE_DATA_8	O	デバッグ トレース出力 - データ ライン	C3
TRACE_DATA_9	O	デバッグ トレース出力 - データ ライン	B3
TRACE_DATA_10	O	デバッグ トレース出力 - データ ライン	C4
TRACE_DATA_11	O	デバッグ トレース出力 - データ ライン	A3
TRACE_DATA_12	O	デバッグ トレース出力 - データ ライン	B4
TRACE_DATA_13	O	デバッグ トレース出力 - データ ライン	A4
TRACE_DATA_14	O	デバッグ トレース出力 - データ ライン	C5
TRACE_DATA_15	O	デバッグ トレース出力 - データ ライン	B5
FRAME_START	O	各フレームの開始を示すパルス信号	K3、V10、V13

Copyright © 2025 Texas Instruments Incorporated

名称	I/O	説明	番号
CHIRP_START	O	各チャープの開始を示すパルス信号	K3、V10、V13
CHIRP_END	O	各チャープの終了を示すパルス信号	K3、V10、V13
ADC_VALID	O	High のとき、有効な ADC サンプルを示します	B2、L3、M2
WARM_RESET	IO	オープンドレインのフェイルセーフ ウォーム リセット信号。診断用として PMIC から駆動するか、または、デバイスがリセット中であることを示すステータス信号として使用できます。	U13
アナログ			
NRESET	I	チップのパワーオン リセット。アクティブ Low	U11
CLKP	I	XTAL モード：外部クロック モードのリファレンス水晶振動子用差動ポート：シングルエンド入力リファレンス クロック ポート	A7
CLKM	I	XTAL モード：外部クロック モードのリファレンス水晶振動子用差動ポート：このポートはグランドに接続します。	B7
OSC_CLKOUT	O	PLL のクリーンアップ後に、クロック サブシステムから出力されるリファレンス クロック (1.4V 出力電圧スイング)。	A14、K3
VBGAP	O	デバイスのバンドギャップ リファレンス出力	A16
VDDIN	電源	1.2V デジタル電源	E1、J1、V4、V8、V15
VIN_SRAM	電源	内部 SRAM 用 1.2V 電源レール	A5、V6、V12
VNWA	電源	SRAM アレイのバック バイアス用 1.2V 電源レール	C1、V7、V14
VIOIN	電源	I/O 電源 (3.3V または 1.8V)：すべての CMOS I/O はこの電源で動作します。	H1、V9
VIOIN_18	電源	CMOS IO 用 1.8V 電源	B1、F1、K1、V11
VIN_18CLK	電源	クロック モジュール用 1.8V 電源	C15、C18
VIOIN_18DIFF	電源	LVDS ポート用 1.8V 電源	U2
VPP	電源	ヒューズ チェーン用電源電圧	V2
VIN_13RF1	電源	1.3V アナログおよび RF 電源、VIN_13RF1 と VIN_13RF2 が基板上で短絡されている可能性があります。	J16、J17、J18
VIN_13RF2	電源	1.3V アナログおよび RF 電源	H16、H17、H18
VIN_18BB	電源	1.8V アナログ ベース バンド電源	M16、M17、M18
VIN_18VCO	電源	1.8V RF VCO 電源	A12、C11
VSS	グランド	デジタル グランド	A1、A2、E3、F3、N3、P3、R3、T4、T5、T6、T7、T8、T9、T10、T11、T12、T13、T14、T15、T16、U1、V1
VSSA	グランド	アナログ グランド	A6、A8、A11、A13、A15、A17、A18、B6、B8、B9、B10、B11、B12、B13、B14、B15、B16、B17、B18、C6、C7、C8、C12、C13、C14、C16、C17、D16、D17、D18、E16、E17、E18、F16、F17、F18、K16、K17、K18、L16、L17、L18、N16、N17、N18、P16、R16、R17、T17、U17、U18、V17、V18
VOUT_14APLL	O	内部 LDO 出力	A10
VOUT_14SYNTH	O	内部 LDO 出力	A9
VOUT_PA	IO	内部 LDO 出力	G16、G17、G18
アナログ テスト 1/GPADC1	IO	ADC サービス専用のアナログ IO	P18

Copyright © 2025 Texas Instruments Incorporated

名称	I/O	説明	番号
アナログ テスト 2/GPADC2	IO	ADC サービス専用のアナログ IO	P17
アナログ テスト 3/GPADC3	IO	ADC サービス専用のアナログ IO	R18
アナログ テスト 4/GPADC4	IO	ADC サービス専用のアナログ IO	T18
ANAMUX/GPADC5	IO	ADC サービス専用のアナログ IO	C9
VSENSE/GPADC6	IO	ADC サービス専用のアナログ IO	C10

Copyright © 2025 Texas Instruments Incorporated

6.3 ピン属性

表 6-1. ピン属性 (ALP180A パッケージ)

ボール番号 [1]	ボール名 [2]	信号名 [3]	PINCNTL アドレス [4]	モード [5] [9]	タイプ [6]	ボール リセット状態 [7]	プルアップ / ダウン タイプ [8]
M2	GPIO_0	GPIO_13	0xFFFFEA04	0	IO	出力ディセーブル	プルダウン
		GPIO_0		1	IO		
		PMIC_CLKOUT		2	O		
		EPWM1B		10	O		
		ePWM2A		11	O		
L3	GPIO_1	GPIO_16	0xFFFFEA08	0	IO	出力ディセーブル	プルダウン
		GPIO_1		1	IO		
		SYNC_OUT		2	O		
		DMM_MUX_IN		12	I		
		SPIB_CS_N_1		13	IO		
		SPIB_CS_N_2		14	IO		
		EPWM1SYNCI		15	I		
K3	GPIO_2	GPIO_26	0xFFFFEA64	0	IO	出力ディセーブル	プルダウン
		GPIO_2		1	IO		
		OSC_CLKOUT		2	O		
		MSS_UARTB_TX		7	O		
		BSS_UART_TX		8	O		
		SYNC_OUT		9	O		
		PMIC_CLKOUT		10	O		
		CHIRP_START		11	O		
		CHIRP_END		12	O		
		FRAME_START		13	O		
U7	GPIO_31 (DP0)	TRACE_DATA_0	0xFFFFEA7C	0	O	出力ディセーブル	プルダウン
		GPIO_31		1	IO		
		DMM0		2	I		
		MSS_UARTA_TX		4	IO		
U6	GPIO_32 (DP1)	TRACE_DATA_1	0xFFFFEA80	0	O	出力ディセーブル	プルダウン
		GPIO_32		1	IO		
		DMM1		2	I		
V5	GPIO_33 (DP2)	TRACE_DATA_2	0xFFFFEA84	0	O	出力ディセーブル	プルダウン
		GPIO_33		1	IO		
		DMM2		2	I		
U5	GPIO_34 (DP3)	TRACE_DATA_3	0xFFFFEA88	0	O	出力ディセーブル	プルダウン
		GPIO_34		1	IO		
		DMM3		2	I		
		EPWM3SYNCO		4	O		

Copyright © 2025 Texas Instruments Incorporated

表 6-1. ピン属性 (ALP180A パッケージ) (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	PINCNTL アドレス [4]	モード [5] [9]	タイプ [6]	ボール リセット状態 [7]	プルアップ / ダウン タイプ [8]
V3	GPIO_35 (DP4)	TRACE_DATA_4	0xFFFFEA8C	0	O	出力ディセーブル	プルダウン
		GPIO_35		1	IO		
		DMM4		2	I		
		EPWM2SYNCO		4	O		
M1	GPIO_36 (DP5)	TRACE_DATA_5	0xFFFFEA90	0	O	出力ディセーブル	プルダウン
		GPIO_36		1	IO		
		DMM5		2	I		
		MSS_UARTB_TX		5	O		
L2	GPIO_37 (DP6)	TRACE_DATA_6	0xFFFFEA94	0	O	出力ディセーブル	プルダウン
		GPIO_37		1	IO		
		DMM6		2	I		
		BSS_UART_TX		5	O		
L1	GPIO_38 (DP7)	TRACE_DATA_7	0xFFFFEA98	0	O	出力ディセーブル	プルダウン
		GPIO_38		1	IO		
		DMM7		2	I		
		DSS_UART_TX		5	O		
C3	GPIO_39 (DP8)	TRACE_DATA_8	0xFFFFEA9C	0	O	出力ディセーブル	プルダウン
		GPIO_39		1	IO		
		DMM8		2	I		
		CAN1_FD_TX		4	O		
		EPWM1SYNCI		5	I		
B3	GPIO_40 (DP9)	TRACE_DATA_9	0xFFFFEAA0	0	O	出力ディセーブル	プルダウン
		GPIO_40		1	IO		
		DMM9		2	I		
		CAN1_FD_RX		4	I		
		EPWM1SYNCO		5	O		
C4	GPIO_41 (DP10)	TRACE_DATA_10	0xFFFFEAA4	0	O	出力ディセーブル	プルダウン
		GPIO_41		1	IO		
		DMM10		2	I		
		EPWM3A		4	O		
A3	GPIO_42 (DP11)	TRACE_DATA_11	0xFFFFEAA8	0	O	出力ディセーブル	プルダウン
		GPIO_42		1	IO		
		DMM11		2	I		
		EPWM3B		4	O		
B4	GPIO_43 (DP12)	TRACE_DATA_12	0xFFFFEAAC	0	O	出力ディセーブル	プルダウン
		GPIO_43		1	IO		
		DMM12		2	I		
		EPWM1A		4	O		

Copyright © 2025 Texas Instruments Incorporated

表 6-1. ピン属性 (ALP180A パッケージ) (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	PINCNTL アドレス [4]	モード [5] [9]	タイプ [6]	ボール リセット状態 [7]	プルアップ / ダウン タイプ [8]
		CAN2_FD_TX		5	O		
A4	GPIO_44 (DP13)	TRACE_DATA_13	0xFFFFEAB0	0	O	出力ディセーブル	プルダウン
		GPIO_44		1	IO		
		DMM13		2	I		
		EPWM1B		4	O		
		CAN1_FD_RX		5	I		
C5	GPIO_45 (DP14)	TRACE_DATA_14	0xFFFFEAB4	0	O	出力ディセーブル	プルダウン
		GPIO_45		1	IO		
		DMM14		2	I		
		EPWM2A		4	O		
B5	GPIO_46 (DP15)	TRACE_DATA_15	0xFFFFEAB8	0	O	出力ディセーブル	プルダウン
		GPIO_46		1	IO		
		DMM15		2	I		
		EPWM2B		4	O		
U3	GPIO_47 (DMM_CLK)	TRACE_CLK	0xFFFFEABC	0	O	出力ディセーブル	プルダウン
		GPIO_47		1	IO		
		DMM_CLK		2	I		
U4	DMM_SYNC	TRACE_CTL	0xFFFFEAC0	0	O	出力ディセーブル	プルダウン
		DMM_SYNC		2	I		
V13	MCU_CLKOUT	GPIO_25	0xFFFFEA60	0	IO	出力ディセーブル	プルダウン
		MCU_CLKOUT		1	O		
		CHIRP_START		2	O		
		CHIRP_END		6	O		
		FRAME_START		7	O		
		EPWM1A		12	O		
U14	NERROR_IN	NERROR_IN	0xFFFFEA44	0	I	入力	
U15	NERROR_OUT	NERROR_OUT	0xFFFFEA4C	0	O	Hi-Z (オープン ドレイン)	
V10	PMIC_CLKOUT	SOP[2]	0xFFFFEA68	パワーアップ時	I	出力ディセーブル	プルダウン
		GPIO_27		0	IO		
		PMIC_CLKOUT		1	O		
		CHIRP_START		6	O		
		CHIRP_END		7	O		
		FRAME_START		8	O		
		EPWM1B		11	O		
		EPWM2A		12	O		

Copyright © 2025 Texas Instruments Incorporated

表 6-1. ピン属性 (ALP180A パッケージ) (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	PINCNTL アドレス [4]	モード [5] [9]	タイプ [6]	ボール リセット状態 [7]	プルアップ / ダウン タイプ [8]
H3	QSPI[0]	GPIO_8	0xFFFFEA2C	0	IO	出力ディセーブル	プルダウン
		QSPI[0]		1	IO		
		SPIB_MISO		2	IO		
G2	QSPI[1]	GPIO_9	0xFFFFEA30	0	IO	出力ディセーブル	プルダウン
		QSPI[1]		1	I		
		SPIB_MOSI		2	IO		
		SPIB_CS_N_2		8	IO		
J3	QSPI[2]	GPIO_10	0xFFFFEA34	0	IO	出力ディセーブル	プルダウン
		QSPI[2]		1	I		
		CAN1_FD_TX		8	O		
K2	QSPI[3]	GPIO_11	0xFFFFEA38	0	IO	出力ディセーブル	プルダウン
		QSPI[3]		1	I		
		CAN1_FD_RX		8	I		
H2	QSPI_CLK	GPIO_7	0xFFFFEA3C	0	IO	出力ディセーブル	プルダウン
		QSPI_CLK		1	O		
		SPIB_CLK		2	IO		
		DSS_UART_TX		6	O		
J2	QSPI_CS_N	GPIO_6	0xFFFFEA40	0	IO	出力ディセーブル	プルアップ
		QSPI_CS_N		1	O		
		SPIB_CS_N		2	IO		
V16	RS232_RX	GPIO_15	0xFFFFEA74	0	IO	入力イネーブル	プルアップ
		RS232_RX		1	I		
		MSS_UARTA_RX		2	I		
		BSS_UART_TX		6	IO		
		MSS_UARTB_RX		7	IO		
		CAN1_FD_RX		8	I		
		I2C_SCL		9	IO		
		EPWM2A		10	O		
		EPWM2B		11	O		
		EPWM3A		12	O		

Copyright © 2025 Texas Instruments Incorporated

表 6-1. ピン属性 (ALP180A パッケージ) (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	PINCNTL アドレス [4]	モード [5] [9]	タイプ [6]	ボール リセット状態 [7]	プルアップ / ダウン タイプ [8]
U16	RS232_TX	GPIO_14	0xFFFFEA78	0	IO	出力イネーブル	
		RS232_TX		1	O		
		MSS_UARTA_TX		5	IO		
		MSS_UARTB_TX		6	IO		
		BSS_UART_TX		7	IO		
		CAN1_FD_TX		10	O		
		I2C_SDA		11	IO		
		EPWM1A		12	O		
		EPWM1B		13	O		
		NDMM_EN		14	I		
		EPWM2A		15	O		
D2	SPIA_CLK	GPIO_3	0xFFFFEA14	0	IO	出力ディセーブル	プルアップ
		SPIA_CLK		1	IO		
		CAN2_FD_RX		6	I		
		DSS_UART_TX		7	O		
C2	SPIA_CS_N	GPIO_30	0xFFFFEA18	0	IO	出力ディセーブル	プルアップ
		SPIA_CS_N		1	IO		
		CAN1_FD_TX		6	O		
D1	SPIA_MISO	GPIO_20	0xFFFFEA10	0	IO	出力ディセーブル	プルアップ
		SPIA_MISO		1	IO		
		CAN1_FD_TX		2	O		
F2	SPIA_MOSI	GPIO_19	0xFFFFEA0C	0	IO	出力ディセーブル	プルアップ
		SPIA_MOSI		1	IO		
		CAN1_FD_RX		2	I		
		DSS_UART_TX		8	O		
E2	SPIB_CLK	GPIO_5	0xFFFFEA24	0	IO	出力ディセーブル	プルアップ
		SPIB_CLK		1	IO		
		MSS_UARTA_RX		2	I		
		MSS_UARTB_TX		6	O		
		BSS_UART_TX		7	O		
		CAN1_FD_RX		8	I		
D3	SPIB_CS_N	GPIO_4	0xFFFFEA28	0	IO	出力ディセーブル	プルアップ
		SPIB_CS_N		1	IO		
		MSS_UARTA_TX		2	O		
		MSS_UARTB_TX		6	O		
		BSS_UART_TX		7	IO		
		QSPI_CLK_EXT		8	I		
		CAN1_FD_TX		9	O		

Copyright © 2025 Texas Instruments Incorporated

表 6-1. ピン属性 (ALP180A パッケージ) (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	PINCNTL アドレス [4]	モード [5] [9]	タイプ [6]	ボール リセット状態 [7]	プルアップ / ダウン タイプ [8]
G3	SPIB_MISO	GPIO_22	0xFFFFEA20	0	IO	出力ディセーブル	プルアップ
		SPIB_MISO		1	IO		
		I2C_SCL		2	IO		
		DSS_UART_TX		6	O		
G1	SPIB_MOSI	GPIO_21	0xFFFFEA1C	0	IO	出力ディセーブル	プルアップ
		SPIB_MOSI		1	IO		
		I2C_SDA		2	IO		
B2	SPI_HOST_INTR	GPIO_12	0xFFFFEA00	0	IO	出力ディセーブル	プルダウン
		SPI_HOST_INTR		1	O		
		SPIB_CS_N_1		6	IO		
U12	SYNC_IN	GPIO_28	0xFFFFEA6C	0	IO	出力ディセーブル	プルダウン
		SYNC_IN		1	I		
		MSS_UARTB_RX		6	IO		
		DMM_MUX_IN		7	I		
		SYNC_OUT		9	O		
M3	SYNC_OUT	SOP[1]	0xFFFFEA70	パワーアップ時	I	出力ディセーブル	プルダウン
		GPIO_29		0	IO		
		SYNC_OUT		1	O		
		DMM_MUX_IN		9	I		
		SPIB_CS_N_1		10	IO		
		SPIB_CS_N_2		11	IO		
T3	TCK	GPIO_17	0xFFFFEA50	0	IO	入力イネーブル	プルダウン
		TCK		1	I		
		MSS_UARTB_TX		2	O		
		CAN1_FD_TX		8	O		
U9	TDI	GPIO_23	0xFFFFEA58	0	IO	入力イネーブル	プルアップ
		TDI		1	I		
		MSS_UARTA_RX		2	I		
U10	TDO	SOP[0]	0xFFFFEA5C	パワーアップ時	I	出力イネーブル	
		GPIO_24		0	IO		
		TDO		1	O		
		MSS_UARTA_TX		2	O		
		MSS_UARTB_TX		6	O		
		BSS_UART_TX		7	O		
		NDMM_EN		9	I		

Copyright © 2025 Texas Instruments Incorporated

表 6-1. ピン属性 (ALP180A パッケージ) (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	PINCNTL アドレス [4]	モード [5] [9]	タイプ [6]	ボール リセット状態 [7]	プルアップ / ダウン タイプ [8]
U8	TMS	GPIO_18	0xFFFFEA54	0	IO	入力イネーブル	プルダウン
		TMS		1	I		
		BSS_UART_TX		2	O		
		CAN1_FD_RX		6	I		
U13	WARM_RESET	WARM_RESET	0xFFFFEA48	0	IO	Hi-Z 入力 (オープンドレイン)	
R2	LVDS_CLKM	LVDS_CLKM			O		
R1	LVDS_CLKP	LVDS_CLKP			O		
N2	LVDS_TXP[0]	LVDS_TXP[0]			O		
N1	LVDS_TXM[0]	LVDS_TXM[0]			O		
P2	LVDS_TXP[1]	LVDS_TXP[1]			O		
P1	LVDS_TXM[1]	LVDS_TXM[1]			O		
T1	LVDS_FRCLKP	LVDS_FRCLKP			O		
T2	LVDS_FRCLKM	LVDS_FRCLKM			O		
U11	NRESET	NRESET			I		
A7	CLKP	CLKP			I		
B7	CLKM	CLKM			I		
A14	OSC_CLKOUT	OSC_CLKOUT			O		
A16	VBGAP	VBGAP			O		
E1	VDDIN	VDDIN			PWR		
J1	VDDIN	VDDIN			PWR		
V4	VDDIN	VDDIN			PWR		
V8	VDDIN	VDDIN			PWR		
V15	VDDIN	VDDIN			PWR		
A5	VIN_SRAM	VIN_SRAM			PWR		
V6	VIN_SRAM	VIN_SRAM			PWR		
V12	VIN_SRAM	VIN_SRAM			PWR		
C1	VNWA	VNWA			PWR		
V7	VNWA	VNWA			PWR		
V14	VNWA	VNWA			PWR		
H1	VIOIN	VIOIN			PWR		
V9	VIOIN	VIOIN			PWR		
B1	VIOIN_18	VIOIN_18			PWR		
F1	VIOIN_18	VIOIN_18			PWR		
K1	VIOIN_18	VIOIN_18			PWR		
V11	VIOIN_18	VIOIN_18			PWR		
C15	VIN_18CLK	VIN_18CLK			PWR		
C18	VIN_18CLK	VIN_18CLK			PWR		

Copyright © 2025 Texas Instruments Incorporated

表 6-1. ピン属性 (ALP180A パッケージ) (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	PINCNTL アドレス [4]	モード [5] [9]	タイプ [6]	ボール リセット状態 [7]	プルアップ / ダウン タイプ [8]
U2	VIOIN_18DIFF	VIOIN_18DIFF			PWR		
V2	VPP	VPP			PWR		
J16	VIN_13RF1	VIN_13RF1			PWR		
J17	VIN_13RF1	VIN_13RF1			PWR		
J18	VIN_13RF1	VIN_13RF1			PWR		
H16	VIN_13RF2	VIN_13RF2			PWR		
H17	VIN_13RF2	VIN_13RF2			PWR		
H18	VIN_13RF2	VIN_13RF2			PWR		
M16	VIN_18BB	VIN_18BB			PWR		
M17	VIN_18BB	VIN_18BB			PWR		
M18	VIN_18BB	VIN_18BB			PWR		
A12	VIN_18VCO	VIN_18VCO			PWR		
C11	VIN_18VCO	VIN_18VCO			PWR		
A1	VSS	VSS			GND		
A2	VSS	VSS			GND		
E3	VSS	VSS			GND		
F3	VSS	VSS			GND		
N3	VSS	VSS			GND		
P3	VSS	VSS			GND		
R3	VSS	VSS			GND		
T4	VSS	VSS			GND		
T5	VSS	VSS			GND		
T6	VSS	VSS			GND		
T7	VSS	VSS			GND		
T8	VSS	VSS			GND		
T9	VSS	VSS			GND		
T10	VSS	VSS			GND		
T11	VSS	VSS			GND		
T12	VSS	VSS			GND		
T13	VSS	VSS			GND		
T14	VSS	VSS			GND		
T15	VSS	VSS			GND		
T16	VSS	VSS			GND		
U1	VSS	VSS			GND		
V1	VSS	VSS			GND		
A6	VSSA	VSSA			GND		
A8	VSSA	VSSA			GND		
A11	VSSA	VSSA			GND		

Copyright © 2025 Texas Instruments Incorporated

表 6-1. ピン属性 (ALP180A パッケージ) (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	PINCNTL アドレス [4]	モード [5] [9]	タイプ [6]	ボール リセット状態 [7]	プルアップ / ダウン タイプ [8]
A13	VSSA	VSSA			GND		
A15	VSSA	VSSA			GND		
A17	VSSA	VSSA			GND		
A18	VSSA	VSSA			GND		
B6	VSSA	VSSA			GND		
B8	VSSA	VSSA			GND		
B9	VSSA	VSSA			GND		
B10	VSSA	VSSA			GND		
B11	VSSA	VSSA			GND		
B12	VSSA	VSSA			GND		
B13	VSSA	VSSA			GND		
B14	VSSA	VSSA			GND		
B15	VSSA	VSSA			GND		
B16	VSSA	VSSA			GND		
B17	VSSA	VSSA			GND		
B18	VSSA	VSSA			GND		
C6	VSSA	VSSA			GND		
C7	VSSA	VSSA			GND		
C8	VSSA	VSSA			GND		
C12	VSSA	VSSA			GND		
C13	VSSA	VSSA			GND		
C14	VSSA	VSSA			GND		
C16	VSSA	VSSA			GND		
C17	VSSA	VSSA			GND		
D16	VSSA	VSSA			GND		
D17	VSSA	VSSA			GND		
D18	VSSA	VSSA			GND		
E16	VSSA	VSSA			GND		
E17	VSSA	VSSA			GND		
E18	VSSA	VSSA			GND		
F16	VSSA	VSSA			GND		
F17	VSSA	VSSA			GND		
F18	VSSA	VSSA			GND		
K16	VSSA	VSSA			GND		
K17	VSSA	VSSA			GND		
K18	VSSA	VSSA			GND		
L16	VSSA	VSSA			GND		
L17	VSSA	VSSA			GND		

Copyright © 2025 Texas Instruments Incorporated

表 6-1. ピン属性 (ALP180A パッケージ) (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	PINCNTL アドレス [4]	モード [5] [9]	タイプ [6]	ボール リセット状態 [7]	プルアップ / ダウン タイプ [8]
L18	VSSA	VSSA			GND		
N16	VSSA	VSSA			GND		
N17	VSSA	VSSA			GND		
N18	VSSA	VSSA			GND		
P16	VSSA	VSSA			GND		
R16	VSSA	VSSA			GND		
R17	VSSA	VSSA			GND		
T17	VSSA	VSSA			GND		
U17	VSSA	VSSA			GND		
U18	VSSA	VSSA			GND		
V17	VSSA	VSSA			GND		
V18	VSSA	VSSA			GND		
A10	VOUT_14APLL	VOUT_14APLL			O		
A9	VOUT_14SYNTH	VOUT_14SYNTH			O		
G16	VOUT_PA	VOUT_PA			IO		
G17	VOUT_PA	VOUT_PA			IO		
G18	VOUT_PA	VOUT_PA			IO		
P18	アナログ テスト 1/GPADC1	アナログ テスト 1/GPADC1			IO		
P17	アナログ テスト 2/GPADC2	アナログ テスト 2/GPADC2			IO		
R18	アナログ テスト 3/GPADC3	アナログ テスト 3/GPADC3			IO		
T18	アナログ テスト 4/GPADC4	アナログ テスト 4/GPADC4			IO		
C9	ANAMUX/GPADC5	ANAMUX/GPADC5			IO		
C10	VSENSE/GPADC6	VSENSE/GPADC6			IO		

Copyright © 2025 Texas Instruments Incorporated

以下は、表の列ヘッダーについて説明しています。

1. **ボール番号:** 底面の各信号に関連付けられた底面側のボール番号。
2. **ボール名:** パッケージ デバイスのメカニカル名 (名前は muxmode 1 に由来します)。
3. **信号名:** 各ボールで多重化された信号の名前 (ボールの名前は muxmode 1 での信号名であることにも注意)。
4. **PINCNTL アドレス:** PinMux 制御用 MSS アドレス
5. **モード:** 多重化モード番号:このボール番号に対応する特定の信号名を選択するために PinMux 制御レジスタに書き込まれる値。モード列にはビット範囲値があります。
6. **タイプ:** 信号の種類と方向:
   - I = 入力
   - O = 出力
   - IO = 入出力
7. **ボール リセット状態:** パワーオン リセット (NRESET) がアサートされた後、電源が安定した後の端子の状態
8. **プルアップ / ダウン タイプ:** 内部プルアップまたはプルダウン抵抗が存在することを示します。プルアップおよびプルダウン抵抗は、ソフトウェアによって有効化または無効化できます。
   - プルアップ:内部プルアップ
   - プルダウン:内部プルダウン
   - 空欄はプルアップ / ダウンがないことを意味します。
9. ピン多重化制御値はレジスタの下位 4 ビットに割り当てられています。

Copyright © 2025 Texas Instruments Incorporated

IO MUX レジスタは MSS メモリ マップで使用可能で、それぞれのデバイス ピンへのマッピングは以下の通りです。

表 6-2. PAD IO 制御レジスタ

デフォルトのピン / ボール名	パッケージのボール / ピン (アドレス)	ピン多重化構成レジスタ
SPI_HOST_INTR	B2	0xFFFFEA00
GPIO_0	M2	0xFFFFEA04
GPIO_1	L3	0xFFFFEA08
SPIA_MOSI	F2	0xFFFFEA0C
SPIA_MISO	D1	0xFFFFEA10
SPIA_CLK	D2	0xFFFFEA14
SPIA_CS_N	C2	0xFFFFEA18
SPIB_MOSI	G1	0xFFFFEA1C
SPIB_MISO	G3	0xFFFFEA20
SPIB_CLK	E2	0xFFFFEA24
SPIB_CS_N	D3	0xFFFFEA28
QSPI[0]	H3	0xFFFFEA2C
QSPI[1]	G2	0xFFFFEA30
QSPI[2]	J3	0xFFFFEA34
QSPI[3]	K2	0xFFFFEA38
QSPI_CLK	H2	0xFFFFEA3C
QSPI_CS_N	J2	0xFFFFEA40
NERROR_IN	U14	0xFFFFEA44
WARM_RESET	U13	0xFFFFEA48
NERROR_OUT	U15	0xFFFFEA4C
TCK	T3	0xFFFFEA50
TMS	U8	0xFFFFEA54
TDI	U9	0xFFFFEA58
TDO	U10	0xFFFFEA5C
MCU_CLKOUT	V13	0xFFFFEA60
GPIO_2	K3	0xFFFFEA64
PMIC_CLKOUT	V10	0xFFFFEA68
SYNC_IN	U12	0xFFFFEA6C
SYNC_OUT	M3	0xFFFFEA70
RS232_RX	V16	0xFFFFEA74

Copyright © 2025 Texas Instruments Incorporated

表 6-2. PAD IO 制御レジスタ (続き)

デフォルトのピン / ボール名	パッケージのボール / ピン (アドレス)	ピン多重化構成レジスタ
RS232_TX	U16	0xFFFFEA78
GPIO_31	U7	0xFFFFEA7C
GPIO_32	U6	0xFFFFEA80
GPIO_33	V5	0xFFFFEA84
GPIO_34	U5	0xFFFFEA88
GPIO_35	V3	0xFFFFEA8C
GPIO_36	M1	0xFFFFEA90
GPIO_37	L2	0xFFFFEA94
GPIO_38	L1	0xFFFFEA98
GPIO_39	C3	0xFFFFEA9C
GPIO_40	B3	0xFFFFEAA0
GPIO_41	C4	0xFFFFEAA4
GPIO_42	A3	0xFFFFEAA8
GPIO_43	B4	0xFFFFEAAC
GPIO_44	A4	0xFFFFEAB0
GPIO_45	C5	0xFFFFEAB4
GPIO_46	B5	0xFFFFEAB8
GPIO_47	U3	0xFFFFEABC
DMM_SYNC	U4	0xFFFFEAC0

レジスタのレイアウトは次の通りです。

表 6-3. PAD IO レジスタ ビットの説明

ビット	フィールド	タイプ	リセット (パワー オン デフォルト)	説明
31-11	NU	RW	0	予約済み
10	SC	RW	0	IO スルー レート制御: 0 = 高いスルーレート 1 = 低いスルーレート
9	PUPDSEL	RW	0	プルアップ / プルダウン選択 0 = プルダウン 1 = プルアップ (このフィールドは、プル禁止 が 0 に設定されている場合のみ有効)

Copyright © 2025 Texas Instruments Incorporated

表 6-3. PAD IO レジスタ ビットの説明 (続き)

ビット	フィールド	タイプ	リセット (パワー オン デフォルト)	説明
8	PI	RW	0	プル禁止 / プル ディセーブル 0 = イネーブル 1 = ディセーブル
7	OE_OVERRIDE	RW	1	出力オーバーライド
6	OE_OVERRIDE_CTRL	RW	1	出力オーバーライド制御: (ここで 1 が設定されている場合、この IO に関連付けられているペリフェラル ブロックハードウェア (例えば SPI チップ セレクト) によるいかなる出力操作もオーバーライドされます)
5	IE_OVERRIDE	RW	0	入力オーバーライド
4	IE_OVERRIDE_CTRL	RW	0	入力オーバーライド制御: (ここで 1 が設定されている場合、この IO の入力値は指定された値でオーバーライドされます)
3-0	FUNC_SEL	RW	1	ピン多重化の機能選択 (「ピン多重化シート」を参照)

Copyright © 2025 Texas Instruments Incorporated

7 仕様

7.1 絶対最大定格

パラメータ (1) (2)		最小値	最大値	単位
VDDIN	1.2V デジタル電源	-0.5	1.4	V
VIN_SRAM	内部 SRAM 用 1.2V 電源レール	-0.5	1.4	V
VNWA	SRAM アレイのバック バイアス用 1.2V 電源レール	-0.5	1.4	V
VIOIN	I/O 電源 (3.3V または 1.8V):すべての CMOS I/O はこの電源で動作します。	-0.5	3.8	V
VIOIN_18	CMOS IO 用 1.8V 電源	-0.5	2	V
VIN_18CLK	クロック モジュール用 1.8V 電源	-0.5	2	V
VIOIN_18DIFF	LVDS ポート用 1.8V 電源	-0.5	2	V
VIN_13RF1	1.3V アナログおよび RF 電源、VIN_13RF1 と VIN_13RF2 が基板上で短絡する可能性があります。	-0.5	1.45	V
VIN_13RF2				
VIN_13RF1 (1V 内部 LDO バイパス モード)	デバイスは、外付けのパワー マネージメント ブロックが VIN_13RF1 と VIN_13RF2 レールに 1V を供給できるモードをサポートしています。この構成では、デバイスの内部 LDO はバイパスされたままになります。	-0.5	1.4	V
VIN_13RF2 (1V 内部 LDO バイパス モード)				
VIN_18BB	1.8V アナログ ベースバンド電源	-0.5	2	V
VIN_18VCO 電源	1.8V RF VCO 電源	-0.5	2	V
入力および出力電圧範囲	デュアル電圧 LVCMOS 入力、3.3V または 1.8V (定常状態)	-0.3V	VIOIN + 0.3	V
	デュアル電圧 LVCMOS 入力。3.3V/1.8V (過渡オーバーシュート / アンダーシュート) または外部発振器入力で動作します。		VIOIN + 20% 信号周期の 20% まで	
CLKP、CLKM	リファレンス水晶振動子用入力ポート	-0.5	2	V
クランプ電流	それぞれの電源レールを 0.3V 上回るまたは下回る入力または出力電圧。I/O の内部ダイオード保護セルを流れるクランプ電流を制限します。	-20	20	mA
T_J	動作ジャンクション温度範囲	-40	125	℃
T_{STG}	プリント基板に半田付けした後の保存温度範囲	-55	150	℃

(1) *絶対最大定格*を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス評価であり、データシートの*「推奨動作条件」*に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 特に記述のない限り、すべての電圧値は V_{SS} を基準にしていします。

7.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、AEC Q100-002 準拠 (1)	±2000	V
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠 (2)	±500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。
(2) コーナーピンの定格は ±750V です

7.3 電源投入時間 (POH)

接合部温度 (T_J)(1) (2)	動作条件	公称 CVDD 電圧 (V)	パワーオン時間 [POH] (時間)
-40°C	100% デューティ サイクル	1.2	600 (6%)
75°C			2000 (20%)
95°C			6500 (65%)
125°C			900 (9%)

(1) この情報は、お客様の利便性のみを目的として提供されるものであり、テキサス・インスツルメンツの半導体製品に関する標準的な契約条件に基づいて提供される保証を拡張または変更するものではありません。
(2) POH の規定値は、デフォルトのファームウェアのゲイン表を使って Tx 出力電力を最大値に設定した場合に適用されます。API を使用して Tx ゲイン表が上書きされた場合、POH の規定値は適用されません。

Copyright © 2025 Texas Instruments Incorporated

7.4 推奨動作条件

		最小値	公称値	最大値	単位
VDDIN	1.2V デジタル電源	1.14	1.2	1.32	V
VIN_SRAM	内部 SRAM 用 1.2V 電源レール	1.14	1.2	1.32	V
VNWA	SRAM アレイのバック バイアス用 1.2V 電源レール	1.14	1.2	1.32	V
VIOIN	I/O 電源 (3.3V または 1.8V): すべての CMOS I/O はこの電源で動作します。	3.13	3.3	3.45	V
		1.71	1.8	1.89	
VIOIN_18	CMOS IO 用 1.8V 電源	1.71	1.8	1.9	V
VIN_18CLK	クロック モジュール用 1.8V 電源	1.71	1.8	1.9	V
VIOIN_18DIFF	LVDS ポート用 1.8V 電源	1.71	1.8	1.9	V
VIN_13RF1	1.3V アナログおよび RF 電源。VIN_13RF1 と VIN_13RF2 が基板上で短絡する可能性があります。	1.23	1.3	1.36	V
VIN_13RF2					
VIN_13RF1 (1V 内部 LDO バイパス モード)		0.95	1	1.05	V
VIN_13RF2 (1V 内部 LDO バイパス モード)					
VIN18BB	1.8V アナログ ベースバンド電源	1.71	1.8	1.9	V
VIN_18VCO	1.8V RF VCO 電源	1.71	1.8	1.9	V
V_{IH}	電圧入力 High (1.8 V モード)	1.17			V
	電圧入力 High (3.3 V モード)	2.25			
V_{IL}	電圧入力 Low (1.8V モード)			0.3*VIOIN	V
	電圧入力 Low (3.3V モード)			0.62	
V_{OH}	High レベル出力スレッショルド (I_{OH} = 6mA)	VIOIN - 450			mV
V_{OL}	Low レベル出力スレッショルド(I_{OL} = 6mA)			450	mV
NRESET SOP[2:0]	V_{IL} (1.8V モード)			0.45	V
	V_{IH} (1.8V モード)	0.96			
	V_{IL} (3.3V モード)			0.65	
	V_{IH} (3.3V モード)	1.57			

Copyright © 2025 Texas Instruments Incorporated

7.5 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様

このセクションは、OTP eFuse のプログラミングに必要な動作条件を規定しており、認証済みブート デバイスにのみ適用できます。お客様固有のキーまたはその他のフィールド (ソフトウェア バージョンなど) を efuse に書き込む際に、ユーザーは VPP 電源を供給する必要があります。

7.5.1 OTP eFuse プログラミングの推奨動作条件

パラメータ	説明	最小値	公称値	最大値	単位
VPP	通常動作時の eFuse ROM ドメインの電源電圧範囲		NC (2)		
	OTP プログラミング時の eFuse ROM ドメインの電源電圧範囲 (1)	1.65	1.7	1.75	V
VPP 電源の持続時間	VPP 電圧が推奨時間を超えて供給された場合、信頼性の問題が発生する可能性があります。			24	時間帯
I(VPP)				50	mA

(1) 通常動作中は、VPP に電圧を印加しないでください。これは通常、VPP 端子に接続されている外部レギュレータを無効にすることで実現できます。
(2) NC:接続なし

注

パワーアップ シーケンス:VPP は、最後 (つまりその他のすべてのレールを立ち上げた後) に立ち上げる必要があります。

7.5.2 ハードウェア要件

OTP eFuse にキーをプログラムする場合、以下のハードウェア要件を満たす必要があります。

- OTP レジスタをプログラムしないときは、VPP 電源をディセーブルにする必要があります。

7.5.3 ハードウェア保証への影響

お客様は、eFuse を使用すると テキサス・インスツルメンツのデバイスに対して永続的な変更が加えられることを、自己の責任において認識し、受け入れるものとします。お客様は、不適切な動作条件またはプログラミング シーケンスが原因で eFuse が故障する可能性があることを承諾するものとします。このような障害が発生すると、テキサス・インスツルメンツのデバイスが動作不能になることがあります。また、テキサス・インスツルメンツは eFuse の使用を試行する前に、テキサス・インスツルメンツのデバイスがテキサス・インスツルメンツのデバイスの仕様に準拠していることを確認できません。したがって、eFuse のプログラム可能性に問題がある場合、テキサス・インスツルメンツは法的責任を負いません。

7.6 電源仕様

表 7-1 では、AWR6843AOP デバイスの外部電源ブロックからの 4 つのレールについて説明します。

表 7-1. 電源レールの特性：

電源	その電源から電力を供給されるデバイス ブロック	本デバイス内の関連 IO
1.8V	シンセサイザおよび APLL の VCO、水晶発振器、IF アンプ段、ADC、LVDS	入力:VIN_18VCO、VIN18CLK、VIN_18BB、VIOIN_18DIFF、VIOIN_18 LDO 出力:VOUT_14SYNTH、VOUT_14APLL
1.3V (または、内部 LDO バイパスモードの場合は 1V)(1)	パワー アンプ、低ノイズ アンプ、ミキサ、LO 分配	入力:VIN_13RF2、VIN_13RF1 LDO 出力:VOUT_PA
3.3V (または、1.8V I/O モードの場合は 1.8V)	デジタル I/O	入力 VIOIN
1.2V	コア デジタルおよび SRAM	入力:VDDIN、VIN_SRAM

(1) 3Tx 同時動作は、1V LDO バイパスおよび PA LDO 無効化モード。このモードでは、1V 電源を VOUT PA ピンに供給する必要があります。

Copyright © 2025 Texas Instruments Incorporated

表 7-2 に示す 1.3V (1.0V) および 1.8V 電源リップル仕様は、RX で -105dBc (RF ピン = -15dBm) の目標スプリアス レベルを満たすように定義されています。スプリアス レベルとリップル レベルには、dB 対 dB の関係があります。たとえば、電源リップルが 1dB 増加すると、スプリアス レベルは約 1dB 増加します。記載された値は、指定された周波数で印加された正弦波入力の rms レベルです。

表 7-2. リップル仕様

周波数 (kHz)	RF レール		VCO/IF レール
	1.0V (内部 LDO バイパス) (μV_{RMS})	1.3V (μV_{RMS})	1.8V (μV_{RMS})
137.5	7	648	83
275	5	76	21
550	3	22	11
1100	2	4	6
2200	11	82	13
4400	13	93	19
6600	22	117	29

7.7 消費電力の概略

表 7-3 および 表 7-4 に、電源端子の消費電力をまとめます。

表 7-3. 電源端子の最大電流定

パラメータ	電源名	説明	最小値	標準値	最大値	単位
消費電流(1)	VDDIN、VIN_SRAM、VNWA	1.2V レールによって駆動される全ノードが消費する電流の合計値			1000	mA
	VIN_13RF1、VIN_13RF2	2 つのトランスミッタのみを使用した場合、1.3V レール (LDO バイパス モードの場合は 1V レール) で駆動される全ノードが消費する電流の合計値。(3)			2000	
	VIOIN_18、VIN_18CLK、VIOIN_18DIFF、VIN_18BB、VIN_18VCO	1.8V レールによって駆動される全ノードが消費する電流の合計値			850	
	VIOIN	3.3V レールによって駆動される全ノードが消費する電流の合計値 (2)			50	

(1) 電流の規定値は、代表的な電源電圧レベルにおける値です。
(2) 正確な VIOIN 電流は、使用するペリフェラルとその動作周波数によって異なります。
(3) 3Tx 同時動作は、1V LDO バイパスおよび PA LDO 無効化モードのみでサポートしています。このモードでは、1V 電源を VOUT PA ピンに供給する必要があります。この場合、ピーク 1V 電源電流は 2500mA まで上昇します。LDO バイパスモードをイネーブルにするには、ミリ波ソフトウェア開発キット (SDK) の *インターフェイス制御*のドキュメントを参照してください。

Copyright © 2025 Texas Instruments Incorporated

表 7-4. 電源端子の平均消費電力

パラメータ	条件			説明	最小値 標準値 最大値	単位
平均消費電力 (1)	1.0V 内部 LDO バイパス モード	24% デューティ サイクル	1TX、4RX	通常電力 ADC モード 6.4MSPS 複合トランシーバ、フレーム時間 13.13ms、チャープ数 64、256 サンプル/チャープ、チャープ間時間 8.5µs、DSP + ハードウェア アクセラレータ アクティブ	1.19	W
			2TX、4RX(1)		1.25	
		48% デューティ サイクル	1TX、4RX		1.62	
			2TX、4RX(1)		1.75	

(1) 2 つの TX アンテナが同時にオン。

7.8 パワー セーブ モード

xWR6x43 デバイスは、3 つのパワー ダウン状態をサポートしています。

1. RF パワー ダウン状態
2. APLL パワー ダウン状態

許容される状態遷移を、図 7-1 に示します。このフロー チャートは、節電モードの開始と終了の手順を示しています。

Copyright © 2025 Texas Instruments Incorporated

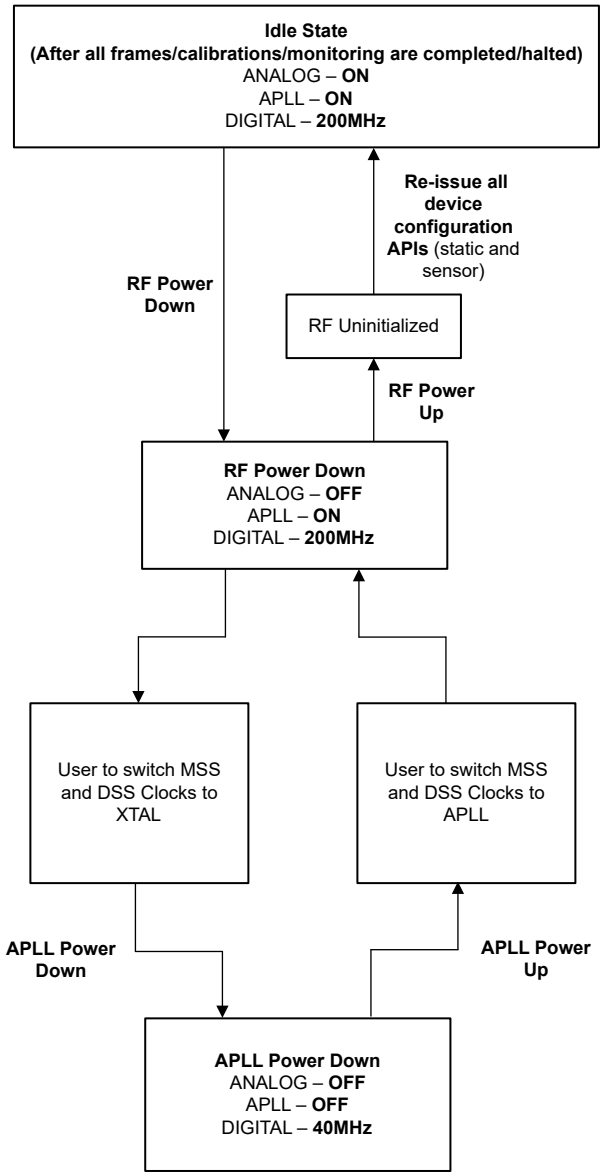


図 7-1. パワー セーブ モードの状態遷移図

7.9 RF 仕様

推奨動作条件範囲内 (特に記述のない限り)

パラメータ			最小値	標準値	最大値	単位
レシーバ	実効等方ノイズ指数 (EINF)	60～64GHz		9		dB
	IF 帯域幅 (1)				10	MHz
	ADC サンプリング レート (実数)				25	Msps
	ADC サンプリング レート (複素数 1x)				12.5	Msps
	ADC の分解能			12		ビット
	アイドル チャネル スプリアス			-90		dBFS
トランスミッタ	シングル トランスミッタの実効等方放射電力 (EIRP)			16		dBm
	電源バックオフ範囲			26		dB
クロック サブシステム	周波数範囲		60		64	GHz
	ランプ レート				250	MHz/µs
	1MHz オフセットでの位相ノイズ	60～64GHz		-93		dBc/Hz

(1) アナログ IF 段は、1 次ハイパス コーナー周波数を 2 つ個別に設定可能なハイパス フィルタ回路を備えています。一連の使用可能な HPF コーナーは次のように要約されます。

使用可能な HPF コーナー周波数 (kHz)

HPF1	HPF2
175、235、350、700	350、700、1400、2800

デジタル ベースバンド チェーンによるフィルタリングは、以下の特長を実現することを目的としています。

- パスバンド リップル / ドループ ±0.5dB 未満、および
- パスバンドにエイリアス バックする可能性のある任意の周波数に対して、60dB 以上のアンチエイリアシング減衰。

7.10 CPU の仕様

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
DSP サブシステム (C674 ファミリ)	クロック速度		600		MHz
	L1 コード メモリ		32		KB
	L1 データ メモリ		32		KB
	L2 メモリー		256		KB
メイン サブシステム (R4F ファミリ)	クロック速度		200		MHz
	密結合メモリ - A (プログラム)		512		KB
	密結合メモリ - B (データ)		192		KB
共有メモリ	共有 L3 メモリ		768		KB

Copyright © 2025 Texas Instruments Incorporated

7.11 FCBGA パッケージの熱抵抗特性 [ALP0180A]

熱評価基準(1)		°C/W(2) (3)
$R\Theta_{JC}$	接合部とケースとの間	2.6
$R\Theta_{JB}$	接合部と基板との間	7.5
$R\Theta_{JA}$	接合部と自由空気との間	20.3
$R\Theta_{JMA}$	接合部と空気流との間	N/A(4)
Psi_{JT}	接合部とパッケージ上面との間	0.9
Psi_{JB}	接合部と基板との間	7.3

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。
(2) °C/W = 摂氏温度 / ワット。
(3) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ JC [$R\Theta_{JC}$] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。
- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

。
(4) N/A = 該当なし。このデバイスのヒートシンク。

7.12 タイミングおよびスイッチング特性

7.12.1 アンテナ放射パターン

このセクションでは、指定された周波数における、方位角面と仰角面の両方の、トランスミッタとレシーバのアンテナ放射パターンについて説明します。

7.12.1.1 レシーバのアンテナ放射パターン

図 7-2 に、方位角面 (H 面) と仰角面 (E 面) の両方の 4 つのレシーバの、各種周波数でボアサイトを基準として正規化された代表的なアンテナ放射ゲインの図を示します。

Copyright © 2025 Texas Instruments Incorporated

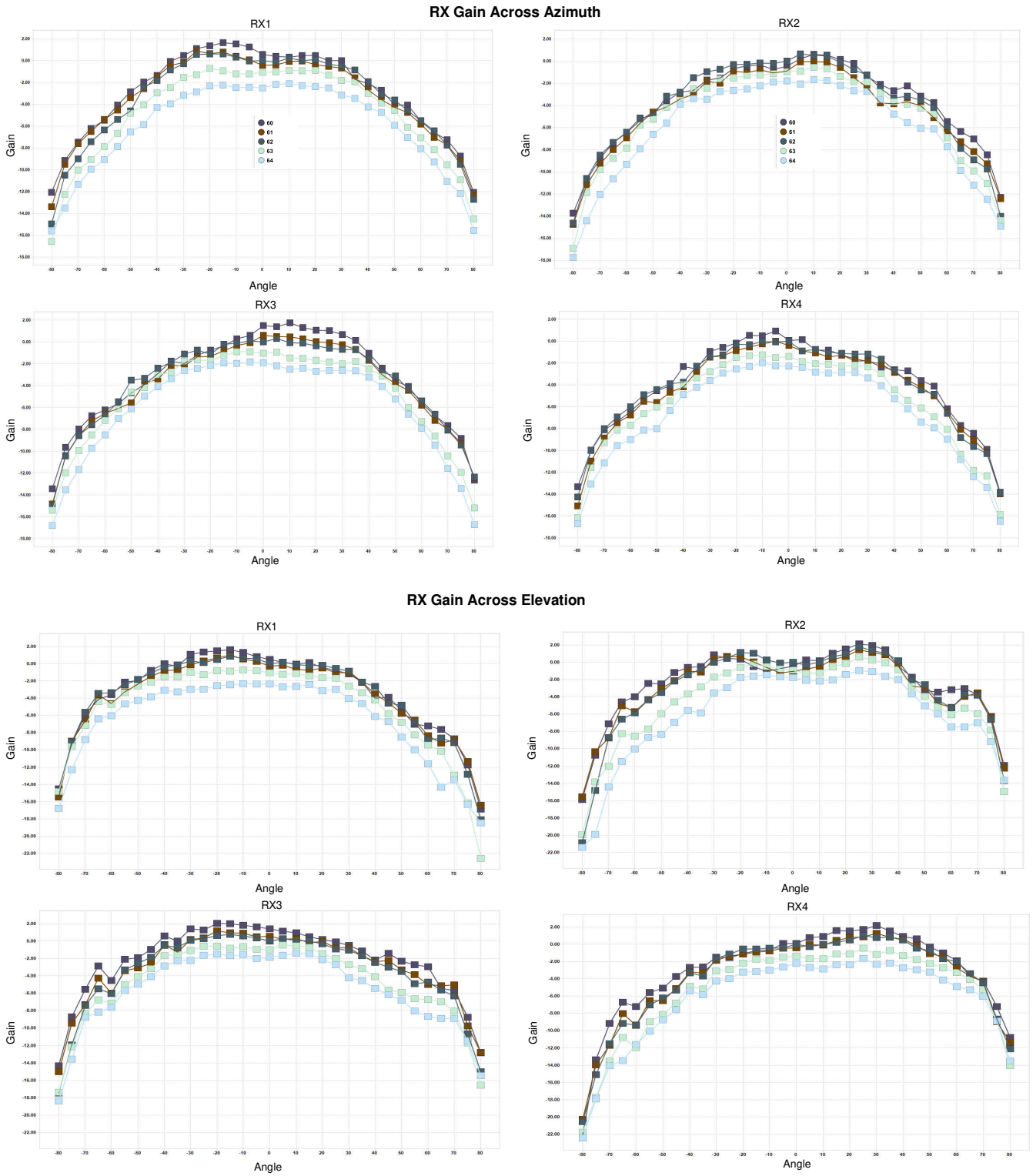


図 7-2. レシーバのアンテナ放射パターン

7.12.1.2 トランスミッタのアンテナ放射パターン

図 7-3 に、方位角面と仰角面の両方の 3 つのトランスミッタの代表的なアンテナ放射パターンを示します。

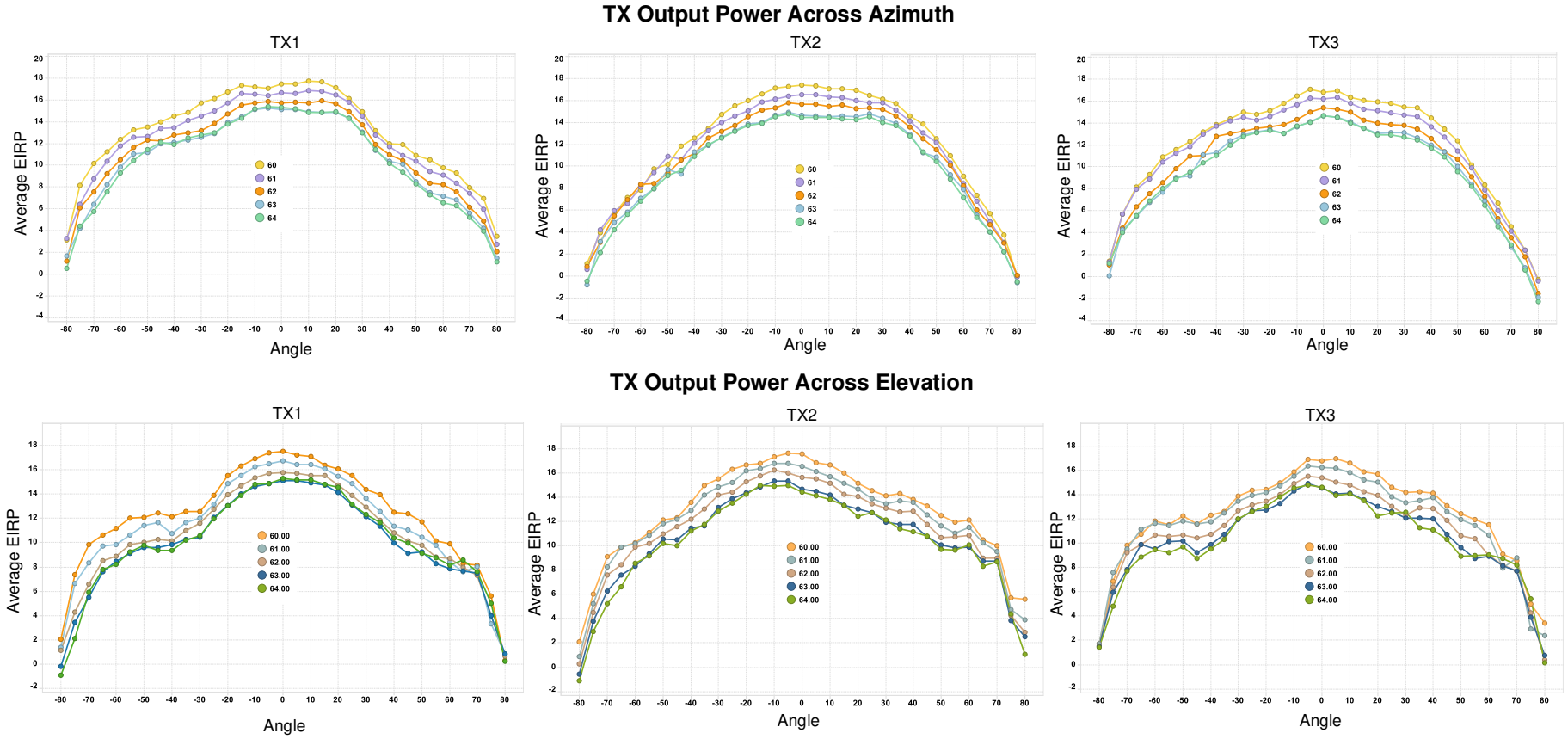


図 7-3. トランスミッタのアンテナ放射パターン

Copyright © 2025 Texas Instruments Incorporated

7.12.2 アンテナ位置

図 7-4 に、アンテナの配置と相対間隔を示します。

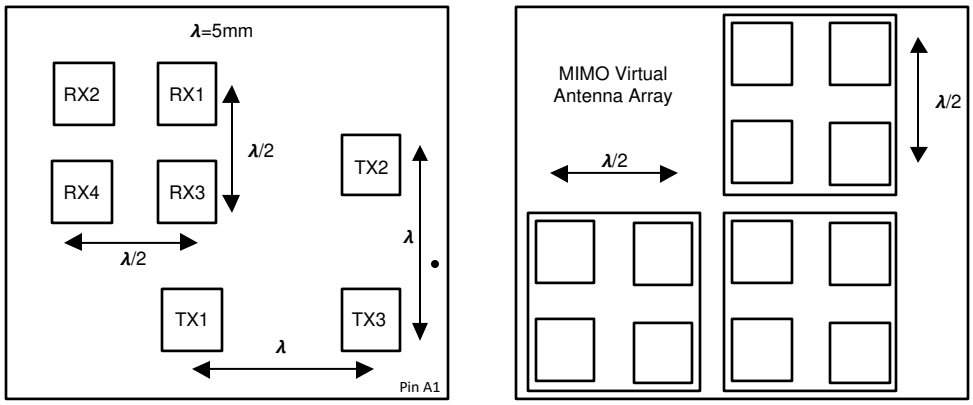
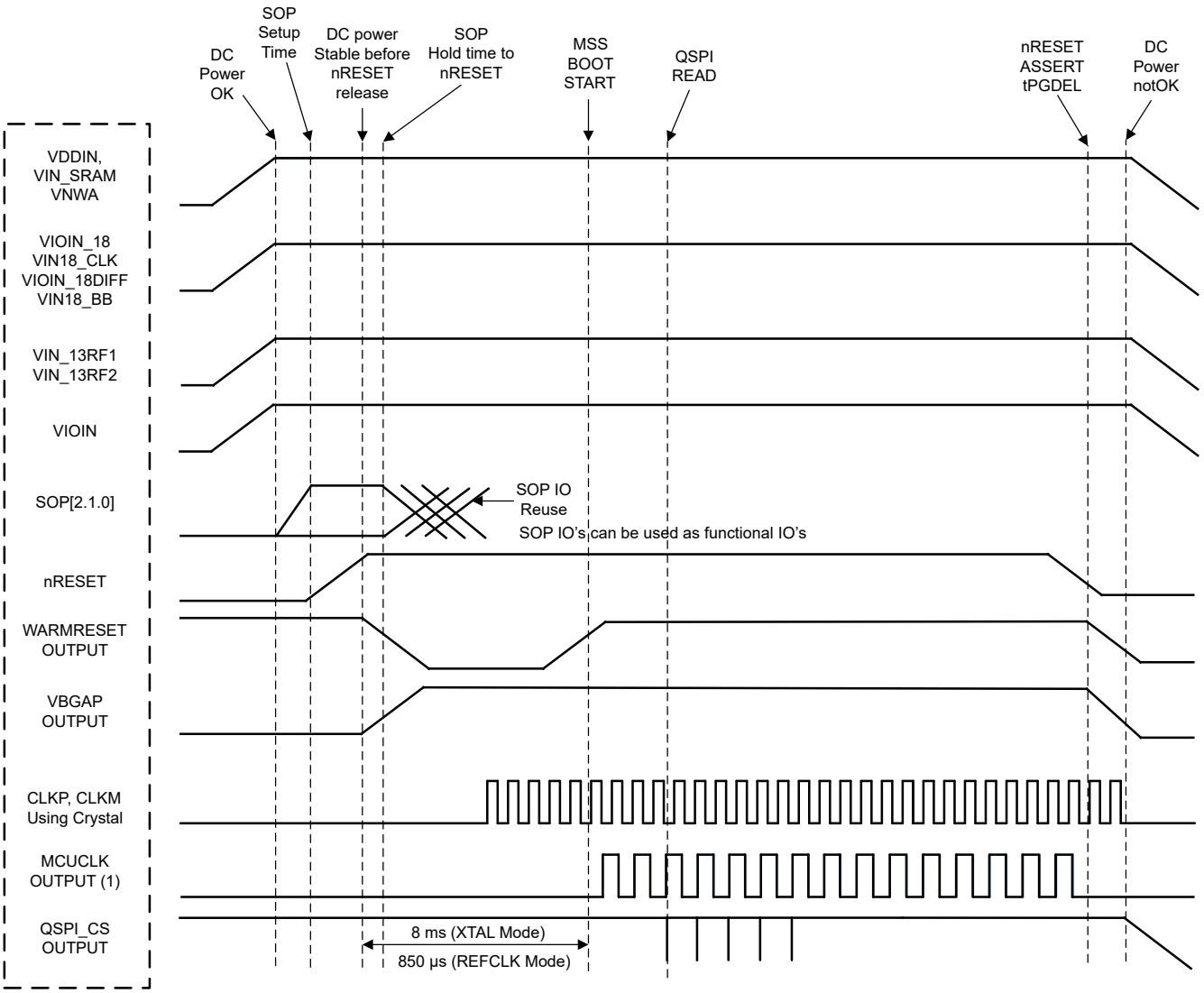


図 7-4. アンテナ位置 (配置と相対間隔)

7.12.3 電源シーケンスおよびリセット タイミング

AWR6843AOP デバイスは、リセットがデアサートされる前に、すべての外部電圧レール が安定することを想定しています。図 7-5 に、デバイス ウェークアップ シーケンスを示します。



A. MCU_CLK_OUT は、AWR6843AOP のアプリケーションがシリアル フラッシュからブートされる自律モードの場合、デフォルトでは、本デバイスのブートローダによって有効化されません。

図 7-5. デバイス ウェークアップ シーケンス

Copyright © 2025 Texas Instruments Incorporated

7.12.4 入力クロックおよび発振器

7.12.4.1 クロック仕様

AWR6843AOP は、初期ブートのため、そして本デバイスが内蔵している内部 APLL のリファレンスとして、外部クロック源 (すなわち、CLKP に接続された 40MHz 水晶振動子または外部発振器) を必要とします。外部水晶振動子は、デバイスのピンに接続されています。図 7-6 に、水晶振動子の実装を示します。

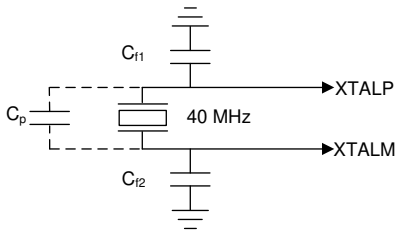


図 7-6. 水晶振動子の実装

注

図 7-6 の負荷コンデンサ C_{f1} および C_{f2} は、式 1 が満足されるように選択する必要があります。この式の C_L は、水晶振動子のメーカーによって指定された負荷です。発振器回路の実装に使用されるすべてのディスクリート部品は、関連する発振器の CLKP および CLKM ピンのできるだけ近くに配置する必要があります。

$$C_L = C_{f1} \times \frac{C_{f2}}{C_{f1} + C_{f2}} + C_P \quad (1)$$

表 7-5 に、クロック水晶振動子の電気的特性を示します。

表 7-5. 水晶振動子の電気的特性 (発振器モード)

名称	説明	最小値	標準値	最大値	単位
f_P	並列共振水晶振動子周波数		40		MHz
C_L	水晶振動子の負荷容量	5	8	12	pF
ESR	水晶振動子の ESR			50	Ω
温度範囲	想定される動作温度範囲	-40		125	℃
周波数の許容誤差	水晶振動子周波数の許容誤差 (1) (2) (3)	-200		200	ppm
励振レベル			50	200	µW

(1) 水晶振動子メーカーの仕様はこの要件を満たす必要があります。
(2) 水晶振動子の初期許容誤差、全温度範囲でのドリフト、経年劣化、不適切な負荷容量による周波数変動が含まれます。
(3) 水晶振動子の許容誤差はレーダー センサの精度に影響します。

外部クロックをクロック源として使用する場合、その信号は CLKP ピンにのみ入力し、CLKM はグランドに接続します。40MHz クロックを外部から入力する場合、位相ノイズ要件は非常に重要です。表 7-6 に、外部クロック信号の電気的特性を示します。

Copyright © 2025 Texas Instruments Incorporated

表 7-6. 外部クロック モード仕様

パラメータ		仕様			単位
		最小値	標準値	最大値	
入力クロック: 外部 AC 結合正弦波または DC 結合方形波の 位相ノイズ (40MHz 基準)	周波数		40		MHz
	AC 振幅	700		1200	mV (pp)
	DC-V_{il}	0.00		0.20	V
	DC-V_{ih}	1.6		1.95	V
	1kHz での位相ノイズ			-132	dBc/Hz
	10kHz での位相ノイズ			-143	dBc/Hz
	100kHz での位相ノイズ			-152	dBc/Hz
	1MHz での位相ノイズ			-153	dBc/Hz
	デューティ サイクル	35		65	%
	周波数の許容範囲	-100		100	ppm

Copyright © 2025 Texas Instruments Incorporated

7.12.5 マルチバッファ付き / 標準シリアル ペリフェラル インターフェイス (MibSPI)

7.12.5.1 ペリフェラルの概要

SPI はテキサス・インスツルメンツ の MibSPI プロトコルを使用しています。

MibSPI/SPI は高速な同期シリアル入出力ポートであり、プログラムされたビット転送速度で、プログラムされた長さ (2～16 ビット) のシリアル ビット ストリームをデバイスにシフトイン / シフトアウトできます。MibSPI/SPI は、マイクロコントローラと、外部ペリフェラルや他のマイクロコントローラとの間の通信に使用されます。

標準的なモジュールと MibSPI モジュールの主な機能は次の通りです。

- 16 ビット シフト レジスタ
- 受信バッファ レジスタ
- 8 ビット ボー クロック ジェネレータ
- SPICLK は、内部で生成される (マスター モード) か、外部クロック ソースから受信されます (ペリフェラル モード)。
- 転送される各ワードは、固有のフォーマットを持つことができます。
- 通信で使用されていない SPI I/O は、デジタル入出力信号として使用できます。

7.12.5.2 MibSPI 送信および受信 RAM の構成

マルチバッファ RAM は 256 個のバッファで構成されています。マルチバッファ RAM の各エントリは、16 ビットの送信フィールド、16 ビットの受信フィールド、16 ビットの制御フィールド、16 ビットのステータス フィールドという、4 つの部分で構成されています。マルチバッファ RAM は、それぞれ異なるバッファ数の複数の転送グループに分割できます。

セクション 7.12.5.2.2 とセクション 7.12.5.2.3 は、セクション 7.12.5.2.1 に記載された動作条件を前提としています。

7.12.5.2.1 SPI のタイミング条件

		最小値	標準値	最大値	単位
入力条件					
t_R	入力立ち上がり時間	1		3	ns
t_F	入力立ち下がり時間	1		3	ns
出力条件					
C_{LOAD}	出力負荷容量	2		15	pF

7.12.5.2.2 SPI コントローラ モードのスイッチング パラメータ (クロック位相 = 0、SPICLK = 出力、SPISIMO = 出力、SPISOMI = 入力)

番号(1) (2) (3)	パラメータ			最小値	標準値	最大値	単位
1	$t_{c(SPC)M}$	サイクル時間、SPICLK(4)		25		$256t_{c(VCLK)}$	ns
2(4)	$t_{w(SPCH)M}$	パルス幅、SPICLK high (クロック極性 = 0)		$0.5t_{c(SPC)M}$ - 4		$0.5t_{c(SPC)M}$ + 4	ns
	$t_{w(SPCL)M}$	パルス幅、SPICLK Low (クロック極性 = 1)		$0.5t_{c(SPC)M}$ - 4		$0.5t_{c(SPC)M}$ + 4	
3(4)	$t_{w(SPCL)M}$	パルス幅、SPICLK Low (クロック極性 = 0)		$0.5t_{c(SPC)M}$ - 4		$0.5t_{c(SPC)M}$ + 4	ns
	$t_{w(SPCH)M}$	パルス幅、SPICLK high (クロック極性 = 1)		$0.5t_{c(SPC)M}$ - 4		$0.5t_{c(SPC)M}$ + 4	
4(4)	$t_{d(SPCH-SIMO)M}$	遅延時間、SPISIMO 有効から SPICLK Low まで (クロック極性 = 0)		$0.5t_{c(SPC)M}$ - 3			ns
	$t_{d(SPCL-SIMO)M}$	遅延時間、SPISIMO 有効から SPICLK High まで (クロック極性 = 1)		$0.5t_{c(SPC)M}$ - 3			
5(4)	$t_{v(SPCL-SIMO)M}$	有効時間、SPICLK Low から SPISIMO データ有効の間 (クロック極性 = 0)		$0.5t_{c(SPC)M}$ - 10.5			ns
	$t_{v(SPCH-SIMO)M}$	有効時間、SPICLK High から SPISIMO データ有効の間 (クロック極性 = 1)		$0.5t_{c(SPC)M}$ - 10.5			
6(5)	$t_{C2TDELAY}$	セットアップ時間、CS アクティブから SPICLK High まで (クロック極性 = 0)	CSHOLD = 0	(C2TDELAY+2)*$t_{c(VCLK)}$ – 7.5		(C2TDELAY+2) * $t_{c(VCLK)}$ + 7	ns
			CSHOLD = 1	(C2TDELAY +3) * $t_{c(VCLK)}$ – 7.5		(C2TDELAY+3) * $t_{c(VCLK)}$ + 7	
		セットアップ時間、CS アクティブから SPICLK Low まで (クロック極性 = 1)	CSHOLD = 0	(C2TDELAY+2)*$t_{c(VCLK)}$ – 7.5		(C2TDELAY+2) * $t_{c(VCLK)}$ + 7	
			CSHOLD = 1	(C2TDELAY +3) * $t_{c(VCLK)}$ – 7.5		(C2TDELAY+3) * $t_{c(VCLK)}$ + 7	
7(5)	$t_{T2CDELAY}$	ホールド時間、SPICLK Low から CS 非アクティブまで (クロック極性 = 0)		0.5*$t_{c(SPC)M}$ + (T2CDELAY + 1) *$t_{c(VCLK)}$ – 7		0.5*$t_{c(SPC)M}$ + (T2CDELAY + 1) * $t_{c(VCLK)}$ + 7.5	ns
		ホールド時間、SPICLK High から CS 非アクティブまで (クロック極性 = 1)		0.5*$t_{c(SPC)M}$ + (T2CDELAY + 1) *$t_{c(VCLK)}$ – 7		0.5*$t_{c(SPC)M}$ + (T2CDELAY + 1) * $t_{c(VCLK)}$ + 7.5	
8(4)	$t_{su(SOMI-SPCL)M}$	セットアップ時間、SPISOMI から SPICLK Low まで (クロック極性 = 0)		5			ns
	$t_{su(SOMI-SPCH)M}$	セットアップ時間、SPISOMI から SPICLK High まで (クロック極性 = 1)		5			
9(4)	$t_{h(SPCL-SOMI)M}$	ホールド時間、SPICLK Low から SPISOMI データ有効の間 (クロック極性 = 0)		3			ns
	$t_{h(SPCH-SOMI)M}$	ホールド時間、SPICLK High から SPISOMI データ有効の間 (クロック極性 = 1)		3			

(1) マスタ ビット (SPIGCRx.0) はセットされ、クロック位相ビット (SPIFMTx.16) はクリアされています (x = 0 または 1)。
(2) $t_{c(MSS_VCLK)}$ = メイン サブシステム クロック時間 = 1 / $f_{(MSS_VCLK)}$.詳細については、『テクニカル リファレンス マニュアル』を参照してください。

Copyright © 2025 Texas Instruments Incorporated

(3) SPI がコントローラ モードの場合、次の条件を満たす必要があります。PS 値が 1～255 の場合：$t_{c(SPC)M} \geq (PS + 1)t_{c(MSS_VCLK)} \geq 25ns$。ここで、PS は SPIFMTx.[15:8] レジスタ ビットで設定されたプリスケール値です。PS 値が 0 の場合：$t_{c(SPC)M} = 2t_{c(MSS_VCLK)} \geq 25ns$。
(4) 基準となる SPICLK 信号のアクティブ エッジはクロック極性ビット (SPIFMTx.17) によって制御されます。
(5) C2TDELAY および T2CDELAY は、SPIDELAY レジスタでプログラムされます

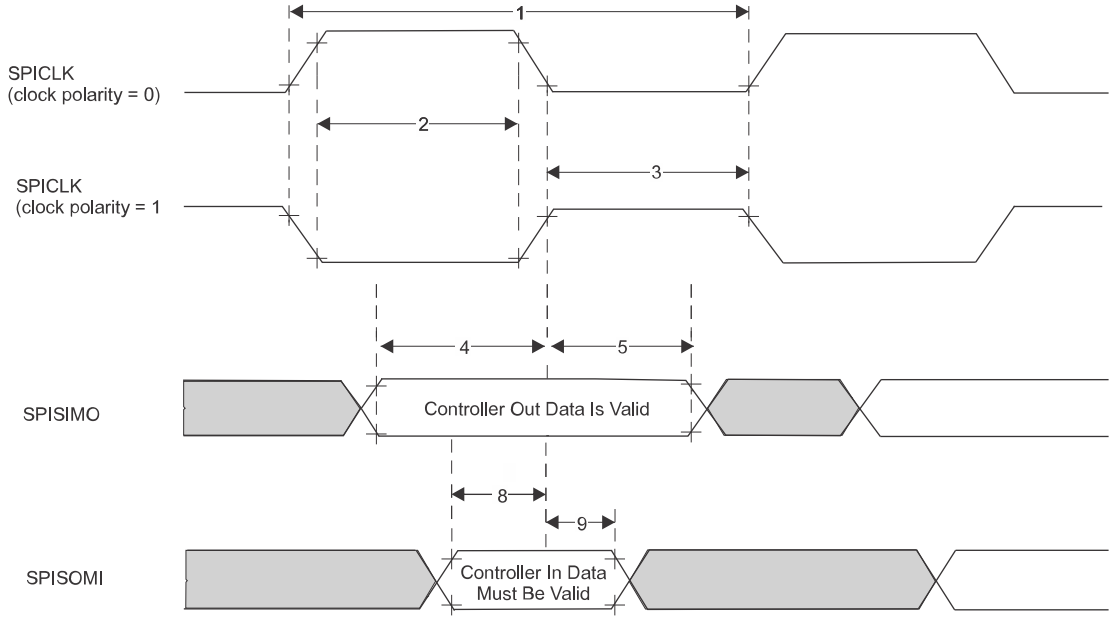


図 7-7. SPI コントローラ モードの外部タイミング (クロック位相 = 0)

Copyright © 2025 Texas Instruments Incorporated

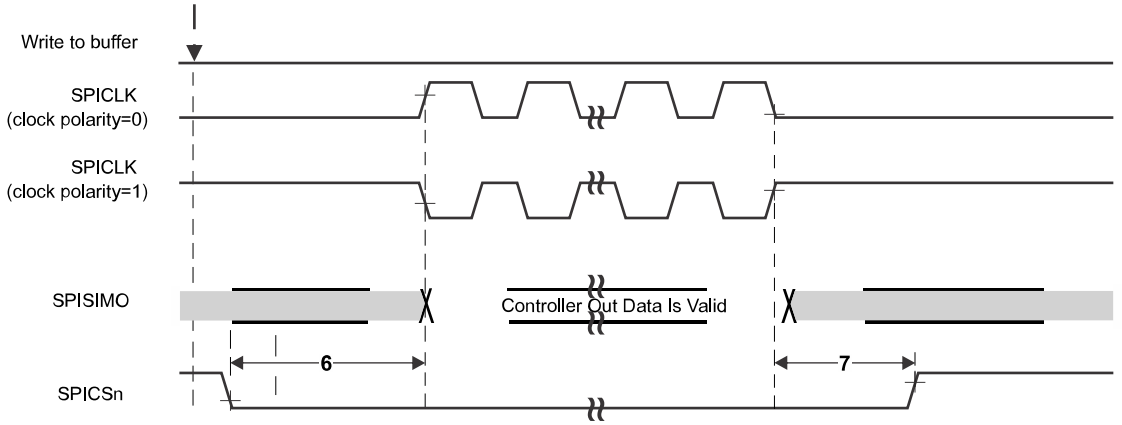


図 7-8. SPI コントローラ モードのチップ セレクト タイミング (クロック位相 = 0)

Copyright © 2025 Texas Instruments Incorporated

7.12.5.2.3 SPI コントローラ モードのスイッチング パラメータ (クロック位相 = 1、SPICLK = 出力、SPISIMO = 出力、SPISOMI = 入力)

番号(1) (2) (3)	パラメータ			最小値	標準値	最大値	単位
1	$t_{c(SPC)M}$	サイクル時間、SPICLK(4)		25		$256t_{c(VCLK)}$	ns
2(4)	$t_{w(SPCH)M}$	パルス幅、SPICLK high (クロック極性 = 0)		$0.5t_{c(SPC)M}$ - 4		$0.5t_{c(SPC)M}$ + 4	ns
	$t_{w(SPCL)M}$	パルス幅、SPICLK Low (クロック極性 = 1)		$0.5t_{c(SPC)M}$ - 4		$0.5t_{c(SPC)M}$ + 4	
3(4)	$t_{w(SPCL)M}$	パルス幅、SPICLK Low (クロック極性 = 0)		$0.5t_{c(SPC)M}$ - 4		$0.5t_{c(SPC)M}$ + 4	ns
	$t_{w(SPCH)M}$	パルス幅、SPICLK high (クロック極性 = 1)		$0.5t_{c(SPC)M}$ - 4		$0.5t_{c(SPC)M}$ + 4	
4(4)	$t_{d(SPCH-SIMO)M}$	遅延時間、SPISIMO 有効から SPICLK Low まで (クロック極性 = 0)		$0.5t_{c(SPC)M}$ - 3			ns
	$t_{d(SPCL-SIMO)M}$	遅延時間、SPISIMO 有効から SPICLK High まで (クロック極性 = 1)		$0.5t_{c(SPC)M}$ - 3			
5(4)	$t_{v(SPCL-SIMO)M}$	有効時間、SPICLK Low から SPISIMO データ有効の間 (クロック極性 = 0)		$0.5t_{c(SPC)M}$ - 10.5			ns
	$t_{v(SPCH-SIMO)M}$	有効時間、SPICLK High から SPISIMO データ有効の間 (クロック極性 = 1)		$0.5t_{c(SPC)M}$ - 10.5			
6(5)	$t_{C2TDELAY}$	セットアップ時間、CS アクティブから SPICLK High まで (クロック極性 = 0)	CSHOLD = 0	$0.5*t_{c(SPC)M}$ + (C2TDELAY + 2)*$t_{c(VCLK)}$ – 7		$0.5*t_{c(SPC)M}$ + (C2TDELAY+2) * $t_{c(VCLK)}$ + 7.5	ns
			CSHOLD = 1	$0.5*t_{c(SPC)M}$ + (C2TDELAY + 2)*$t_{c(VCLK)}$ – 7		$0.5*t_{c(SPC)M}$ + (C2TDELAY+2) * $t_{c(VCLK)}$ + 7.5	
		セットアップ時間、CS アクティブから SPICLK Low まで (クロック極性 = 1)	CSHOLD = 0	$0.5*t_{c(SPC)M}$ + (C2TDELAY+2)*$t_{c(VCLK)}$ – 7		$0.5*t_{c(SPC)M}$ + (C2TDELAY+2) * $t_{c(VCLK)}$ + 7.5	
			CSHOLD = 1	$0.5*t_{c(SPC)M}$ + (C2TDELAY+3)*$t_{c(VCLK)}$ – 7		$0.5*t_{c(SPC)M}$ + (C2TDELAY+3) * $t_{c(VCLK)}$ + 7.5	
7(5)	$t_{T2CDELAY}$	ホールド時間、SPICLK Low から CS 非アクティブまで (クロック極性 = 0)		(T2CDELAY + 1) *$t_{c(VCLK)}$ – 7.5		(T2CDELAY + 1) *$t_{c(VCLK)}$ + 7	ns
		ホールド時間、SPICLK High から CS 非アクティブまで (クロック極性 = 1)		(T2CDELAY + 1) *$t_{c(VCLK)}$ – 7.5		(T2CDELAY + 1) *$t_{c(VCLK)}$ + 7	
8(4)	$t_{su(SOMI-SPCL)M}$	セットアップ時間、SPISOMI から SPICLK Low まで (クロック極性 = 0)		5			ns
	$t_{su(SOMI-SPCH)M}$	セットアップ時間、SPISOMI から SPICLK High まで (クロック極性 = 1)		5			

番号(1) (2) (3)	パラメータ		最小値	標準値	最大値	単位
g(4)	$t_{h(SPCL-SOMI)M}$	ホールド時間、SPICLK Low から SPISOMI データ有効の間 (クロック極性 = 0)	3			ns
	$t_{h(SPCH-SOMI)M}$	ホールド時間、SPICLK High から SPISOMI データ有効の間 (クロック極性 = 1)	3			

(1) マスタ ビット (SPIGCRx.0) はセットされ、クロック位相ビット (SPIFMTx.16) はセットされています (x = 0 または 1)。
(2) $t_{c(MSS_VCLK)}$ = メイン サブシステム クロック時間 = 1 / $f_{(MSS_VCLK)}$.詳細については、『テクニカル リファレンス マニュアル』を参照してください。
(3) SPI がコントローラ モードの場合、次の条件を満たす必要があります。PS 値が 1～255 の場合：$t_{c(SPC)M} \geq (PS + 1)t_{c(MSS_VCLK)} \geq 25ns$。ここで、PS は SPIFMTx.[15:8] レジスタ ビットで設定されたプリスケール値です。PS 値が 0 の場合：$t_{c(SPC)M} = 2t_{c(MSS_VCLK)} \geq 25ns$。
(4) 基準となる SPICLK 信号のアクティブ エッジはクロック極性ビット (SPIFMTx.17) によって制御されます。
(5) C2TDELAY および T2CDELAY は、SPIDELAY レジスタでプログラムされます

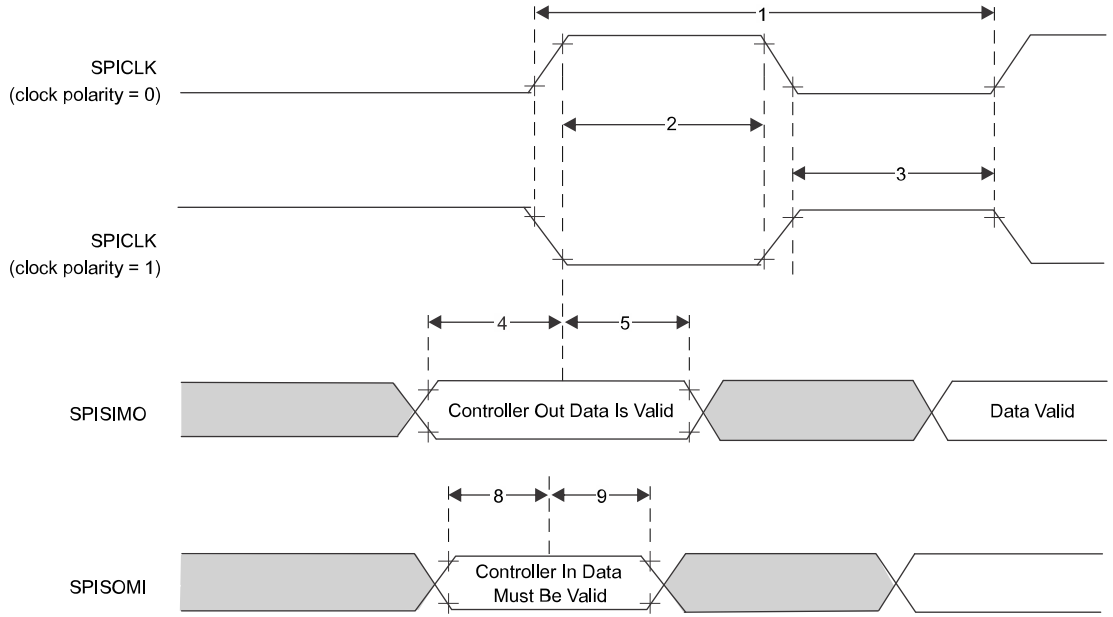


図 7-9. SPI コントローラ モードの外部タイミング (クロック位相 = 1)

Copyright © 2025 Texas Instruments Incorporated

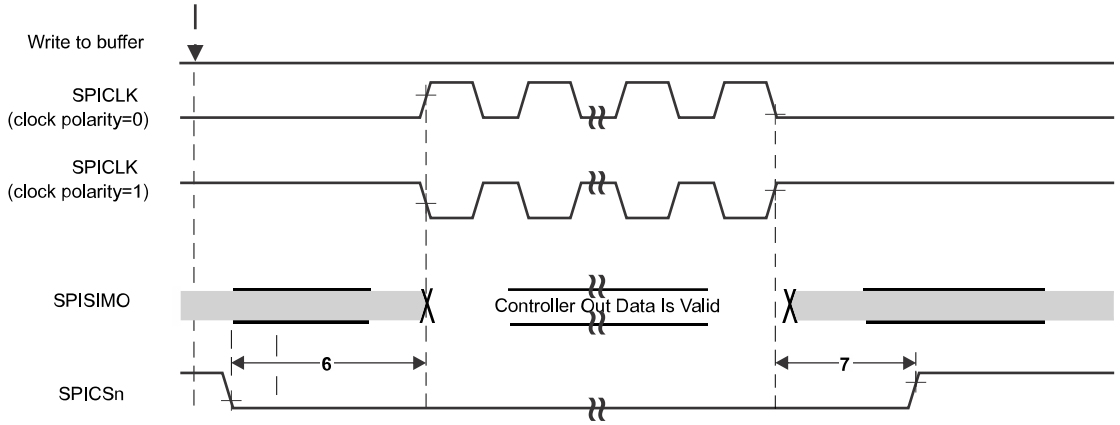


図 7-10. SPI コントローラ モードのチップ セレクト タイミング (クロック位相 = 1)

7.12.5.3 SPI ペリフェラル モードの I/O タイミング

7.12.5.3.1 SPI ペリフェラル モードのスイッチング パラメータ (SPICLK = 入力、SPISIMO = 入力、SPISOMI = 出力) (1) (2) (3)

番号	パラメータ		最小値	標準値	最大値	単位
1	$t_{c(SPC)S}$	サイクル時間、SPICLK(4)	25			ns
2(5)	$t_{w(SPCH)S}$	パルス幅、SPICLK high (クロック極性 = 0)	10			ns
	$t_{w(SPCL)S}$	パルス幅、SPICLK Low (クロック極性 = 1)	10			
3(5)	$t_{w(SPCL)S}$	パルス幅、SPICLK Low (クロック極性 = 0)	10			ns
	$t_{w(SPCH)S}$	パルス幅、SPICLK high (クロック極性 = 1)	10			
4(5)	$t_{d(SPCH-SOMI)S}$	遅延時間、SPICLK High から SPISOMI 有効まで (クロック極性 = 0)			10	ns
	$t_{d(SPCL-SOMI)S}$	遅延時間、SPICLK Low から SPISOMI 有効まで (クロック極性 = 1)			10	
5(5)	$t_{h(SPCH-SOMI)S}$	ホールド時間、SPICLK High から SPISOMI データ有効の間 (クロック極性 = 0)	2			ns
	$t_{h(SPCL-SOMI)S}$	ホールド時間、SPICLK Low から SPISOMI データ有効の間 (クロック極性 = 1)	2			

(1) マスタ ビット (SPIGCRx.0) がクリアされます (x = 0 または 1)。
(2) クロック位相ビット (SPIFMTx.16) は、クロック位相 = 0 またはクロック位相 = 1 の場合、それぞれクリアまたはセットされます。
(3) $t_{c(MSS_VCLK)}$ = メイン サブシステム クロック時間 = 1 / $f_{(MSS_VCLK)}$.詳細については、『テクニカル リファレンス マニュアル』を参照してください。
(4) SPI がペリフェラル モードの場合、次の条件を満たす必要があります。PS 値が 1～255 の場合 : $t_{c(SPC)S} \geq (PS+1)t_{c(MSS_VCLK)} \geq 25ns$、ここでは、PS は SPIFMTx.[15:8] レジスタ ビットに設定されたプリスケール値です。PS 値が 0 の場合 : $t_{c(SPC)S} = 2t_{c(MSS_VCLK)} \geq 25$ ns。
(5) 基準となる SPICLK 信号のアクティブ エッジはクロック極性ビット (SPIFMTx.17) によって制御されます。

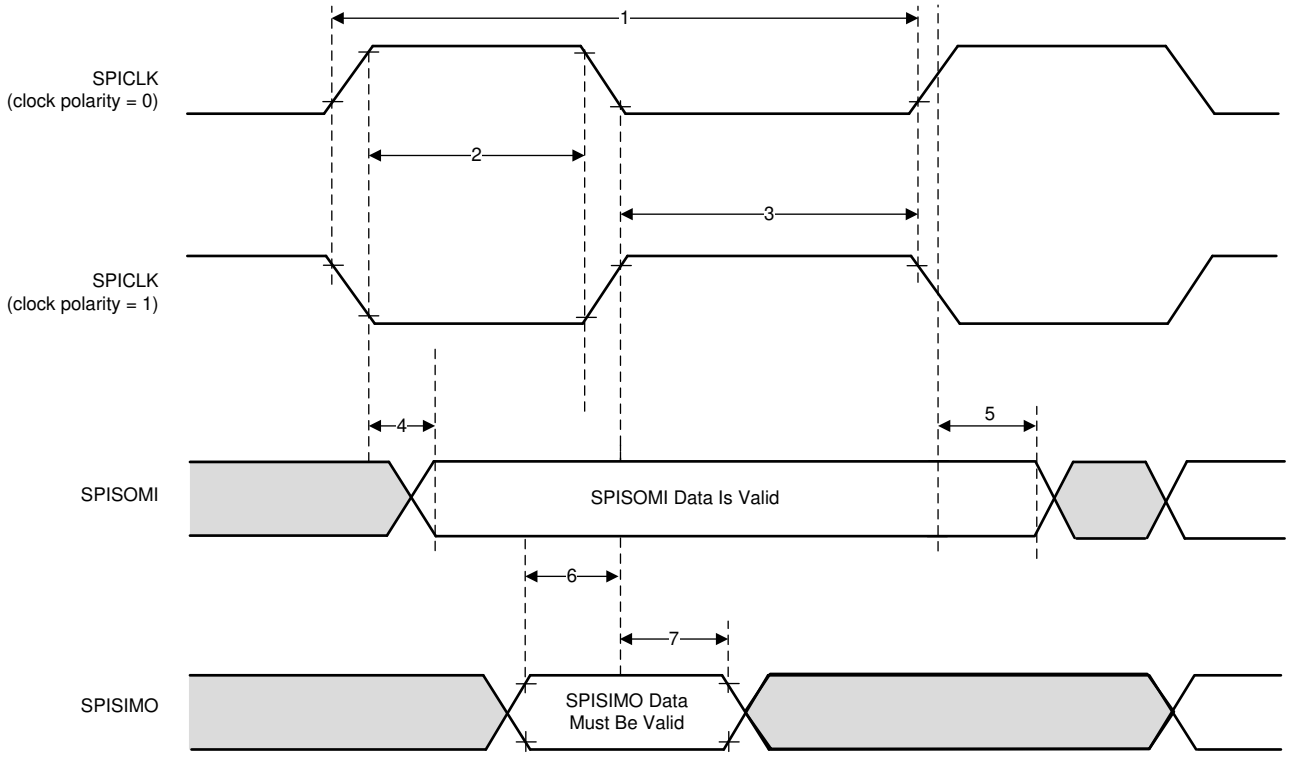


図 7-11. SPI ペリフェラル モードの外部タイミング (クロック位相 = 0)

Copyright © 2025 Texas Instruments Incorporated

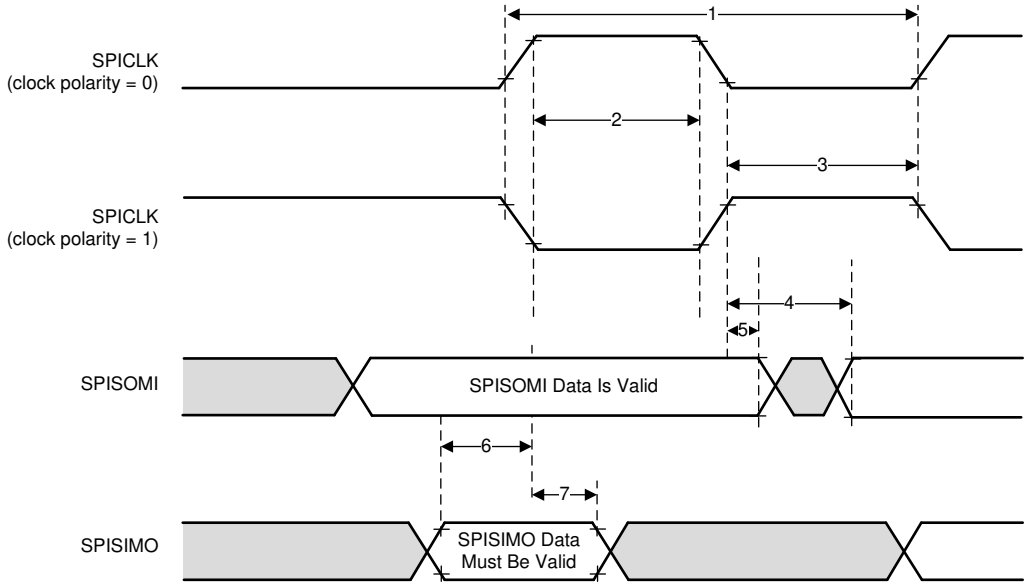


図 7-12. SPI ペリフェラル モードの外部タイミング (クロック位相 = 1)

7.12.5.4 代表的なインターフェイス プロトコルの図 (ペリフェラル モード)

1. ホストは、CS が Low になる時点と SPI クロックの開始の間に、SPI クロック 2 つの遅延が存在するようにする必要があります。
2. ホストは、SPI を経由する転送の 16 ビットごとに CS がトグルされるようにする必要があります。

図 7-13 に、標準的なインターフェイス プロトコルの SPI 通信タイミングを示します。

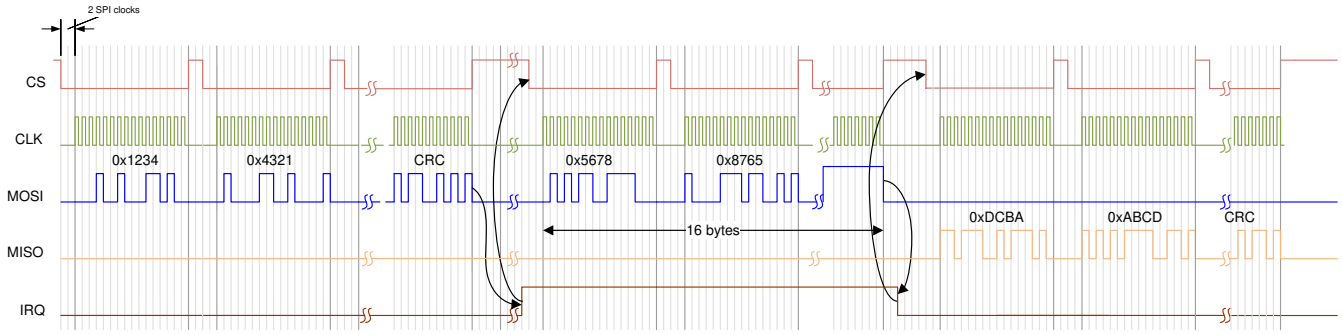


図 7-13. SPI 通信

Copyright © 2025 Texas Instruments Incorporated

7.12.6 LVDS インターフェイスの構成

サポートされている AWR6843AOP LVDS レーン構成は、2 つのデータ レーン (LVDS_TXP/M)、1 つのビット クロック レーン (LVDS_CLKP/M)、1 つのフレーム クロック レーン (LVDS_FRCLKP/M) です。LVDS インターフェイスはデバッグに使用されます。LVDS インターフェイスは、以下のデータ レートをサポートしています。

- 900Mbps (450MHz DDR クロック)
- 600Mbps (300MHz DDR クロック)
- 450Mbps (225MHz DDR クロック)
- 400Mbps (200MHz DDR クロック)
- 300Mbps (150MHz DDR クロック)
- 225Mbps (112.5MHz DDR クロック)
- 150Mbps (75MHz DDR クロック)

ビット クロックは DDR 形式であるため、クロックのトグルの数はデータに相当します。

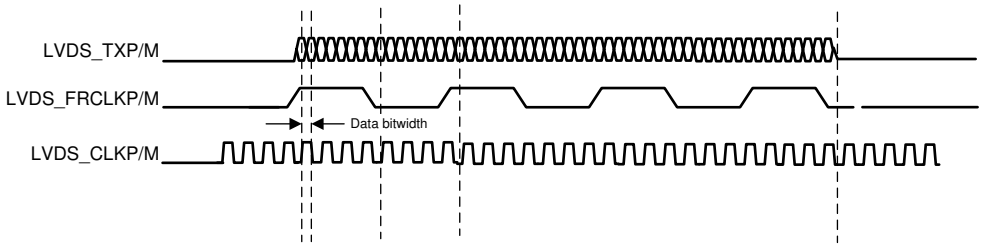


図 7-14. LVDS インターフェイスのレーン構成および相対タイミング

7.12.6.1 LVDS インターフェイスのタイミング

表 7-7. LVDS の電気的特性

パラメータ	テスト条件	最小値	標準値	最大値	単位
デューティ サイクル要件	LVDS レーン上で最大 1pF の集中容量性負荷	48%		52%	
出力差動電圧	差動ペア間に 100Ω の抵抗性負荷があるピーク ツー ピークのシングルエンド	250		450	mV
出力オフセット電圧		1125		1275	mV
Trise と Tfall	20%～80%、900Mbps		330		ps
ジッタ (pk-pk)	900Mbps		80		ps

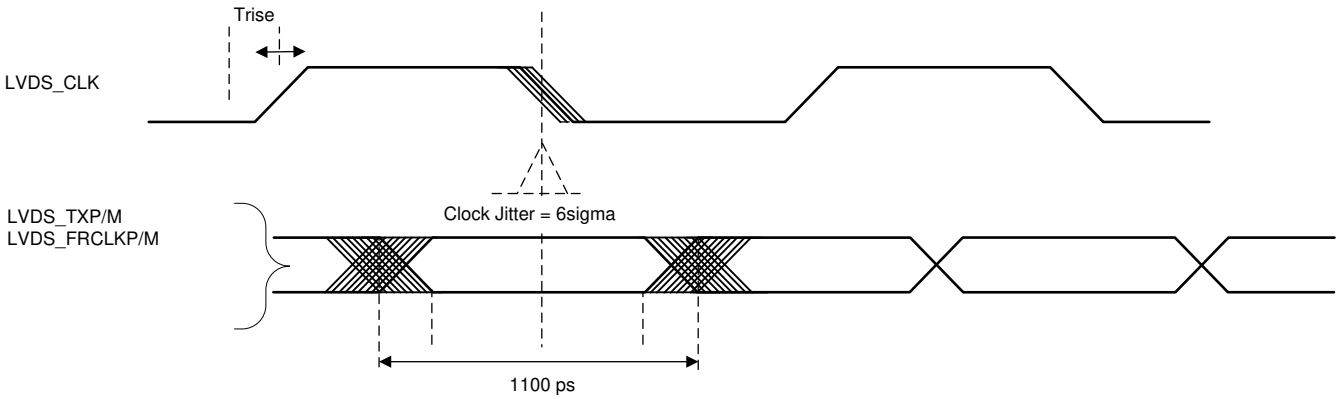


図 7-15. タイミング パラメータ

Copyright © 2025 Texas Instruments Incorporated

7.12.7 汎用入出力 (General-Purpose Input/Output)

セクション 7.12.7.1 に、出力タイミングのスイッチング特性と負荷容量との関係を示します。

7.12.7.1 出力タイミングと負荷容量 (C_L) のスイッチング特性

パラメータ(1) (2)		テスト条件		VIOIN = 1.8 V	VIOIN = 3.3 V	単位
t_r	最大立ち上がり時間	スルー制御 = 0	C_L = 20pF	2.8	3.0	ns
			C_L = 50pF	6.4	6.9	
			C_L = 75pF	9.4	10.2	
t_f	最大立ち下がり時間		C_L = 20pF	2.8	2.8	ns
			C_L = 50pF	6.4	6.6	
			C_L = 75pF	9.4	9.8	
t_r	最大立ち上がり時間	スルー制御 = 1	C_L = 20pF	3.3	3.3	ns
			C_L = 50pF	6.7	7.2	
			C_L = 75pF	9.6	10.5	
t_f	最大立ち下がり時間		C_L = 20pF	3.1	3.1	ns
			C_L = 50pF	6.6	6.6	
			C_L = 75pF	9.6	9.6	

(1) PADxx_CFG_REG で設定されるスルー制御は、出力ドライバの挙動を変化させます (高速または低速の出力スルーレート)。
(2) 立ち上がり / 立ち下がり時間は、VIOIN 電圧の 10% と 90% の間を信号が遷移するのに要する時間として測定されます。

Copyright © 2025 Texas Instruments Incorporated

7.12.8 CAN-FD (Controller Area Network - Flexible Data-rate)

本デバイスは 2 基の CAN-FD (Flexible Data-rate 対応 CAN) インターフェースを統合しており、高いスループットとデータ フレームあたりのペイロード増加を実現しています。これにより、一般的なユースケースとして、1 つの CAN-FD インターフェースを ECU ネットワーク インターフェースとして、もう 1 つを近接センサーとの通信を行うローカル ネットワーク インターフェースとして使用することが可能となります。

CAN-FD の主な機能は次のとおりです。

- CAN プロトコル 2.0A、B、ISO 11898-1 に準拠
- 完全な CAN FD のサポート (フレームあたり最大 64 データ バイト)
- AUTOSAR および SAE J1939 をサポート
- 最大 32 個の専用送信バッファ
- 構成可能な送信 FIFO、最大 32 エレメント
- 構成可能な送信キュー、最大 32 エレメント
- 構成可能な送信イベント FIFO、最大 32 エレメント
- 最大 64 個の専用受信バッファ
- 2 つの構成可能な受信 FIFO、それぞれ最大 64 エレメント
- 最大 128 の 11 ビット フィルタ素子
- 自己テスト用内部ループバック モード
- マスク可能割り込み、2 本の割り込みライン
- 2 つのクロック ドメイン (CAN クロック / ホスト クロック)
- パリティ / ECC のサポート - メッセージ RAM のシングル エラー訂正およびダブル エラー検出 (SECDED) 機能
- 全メッセージ メモリ容量 (4352 ワード)。

7.12.8.1 CANx TX および RX ピンの動的特性

パラメータ		最小値	標準値	最大値	単位
$t_{d(CANx_FD_TX)}$	遅延時間、送信シフト レジスタから CANx_FD_TX ピンまで (1)			15	ns
$t_{d(CANx_FD_RX)}$	遅延時間、CANx_FD_RX ピンから受信シフト レジスタまで (1)			10	ns

(1) これらの値には、出力バッファの立ち上がり / 立ち下がり時間は含まれていません。

7.12.9 シリアル通信インターフェイス (SCI)

SCI の特長は次のとおりです。

- 標準的な UART (Universal Asynchronous Receiver-Transmitter) 通信
- 標準的な NRZ (non-return to zero) 形式
- ダブル バッファ付き受信および送信機能
- CLK ピンを使わない非同期または同期通信モード
- ダイレクト メモリ アクセス (DMA) によるデータ送受信可能
- 2 本の外部ピン:RS232_RX、RS232_TX

7.12.9.1 SCI のタイミング要件

		最小値	標準値	最大値	単位
f (ボー)	サポートされているボーレート (20pF)		921.6		kHz

Copyright © 2025 Texas Instruments Incorporated

7.12.10 I2C (Inter-Integrated Circuit Interface)

I2C (Inter-Integrated Circuit) モジュールは、Philips Semiconductors 社の I2C バス仕様バージョン 2.1 に準拠しかつ I²C-bus™ で接続されたデバイスの間のインターフェイスとして機能するマルチコントローラ通信モジュールです。このモジュールは、すべてのターゲットまたはコントローラ I2C 互換デバイスをサポートしています。

I2C には次の特長があります。

- Philips I2C バス仕様 v2.1 (I2C 仕様、Philips ドキュメント番号 9398 393 40011) に準拠
  - ビット / バイト形式の転送
  - 7 ビットおよび 10 ビットのデバイス アドレッシング モード
  - ゼネラル コール
  - START バイト
  - マルチコントローラ トランスミッタ / ターゲット レシーバ モード
  - マルチコントローラ レシーバ / ターゲット トランスミッタ モード
  - コントローラ送信 / 受信、受信 / 送信の組み合わせモード
  - 100kbps～最大 400kbps (Phillips ファースト モード) の転送レートをサポート
- フリー データ形式
- 2 つの DMA イベント (送信および受信)
- DMA イベントのイネーブル / ディセーブル機能
- モジュールのイネーブル / ディセーブル機能
- SDA と SCL を汎用 I/O として構成可能 (任意)
- 出力のスルーレート制御
- 出力のオープン ドレイン制御
- 入力のプログラマブル プルアップ / プルダウン機能
- NACK 無視モードをサポート

注

この I2C モジュールは次の機能をサポートしていません。

- High-Speed (HS) モード
- C バス互換モード
- 10 ビット アドレス モードの複合フォーマット (I2C がターゲット アドレスの第 1 バイトを送信するたびに、ターゲット アドレスの第 2 バイトを送信する)

Copyright © 2025 Texas Instruments Incorporated

7.12.10.1 I2C のタイミング要件

	(1)	スタンダード モード		ファースト モード		単位
		最小値	最大値	最小値	最大値	
$t_{c(SCL)}$	サイクル時間、SCL	10		2.5		µs
$t_{su(SCLH-SDAL)}$	セットアップ時間、SCL High から SDA Low まで (繰り返しスタート条件の場合)	4.7		0.6		µs
$t_{h(SCLL-SDAL)}$	ホールド時間、SDA Low から SCL Low の間 (スタートおよび繰り返しスタート条件の場合)	4		0.6		µs
$t_{w(SCLL)}$	パルス幅、SCL low	4.7		1.3		µs
$t_{w(SCLH)}$	パルス幅、SCL high	4		0.6		µs
$t_{su(SDA-SCLH)}$	セットアップ時間、SDA 有効から SCL High まで	250		100		µs
$t_{h(SCLL-SDA)}$	ホールド時間、SCL low から SDA 有効の間	0	3.45(1)	0	0.9	µs
$t_{w(SDAH)}$	パルス幅、ストップ条件とスタート条件の間の SDA High の期間	4.7		1.3		µs
$t_{su(SCLH-SDAH)}$	セットアップ時間、SCL High から SDA High まで (ストップ条件の場合)	4		0.6		µs
$t_{w(SP)}$	パルス幅、スパイク (抑制が必要)			0	50	ns
C_b (2) (3)	各バス ラインの容量性負荷		400		400	pF

(1) I2C ピンの SDA および SCL は、フェイルセーフ I/O バッファを備えていません。これらのピンは、デバイスの電源がオフのときに電流を引き出す可能性があります。
(2) I2C バス デバイスの th(SDA-SCLL) の最大値を満たす必要があるのは、SCL 信号の Low 期間 (tw(SCLL)) を本デバイスがストレッチ (延長) しない場合に限られます。
(3) C_b = 1 本のバス ラインの合計容量 (pF 単位)。ファスト モード デバイスと混在する場合、より高速な立ち下がり時間が許容されます。

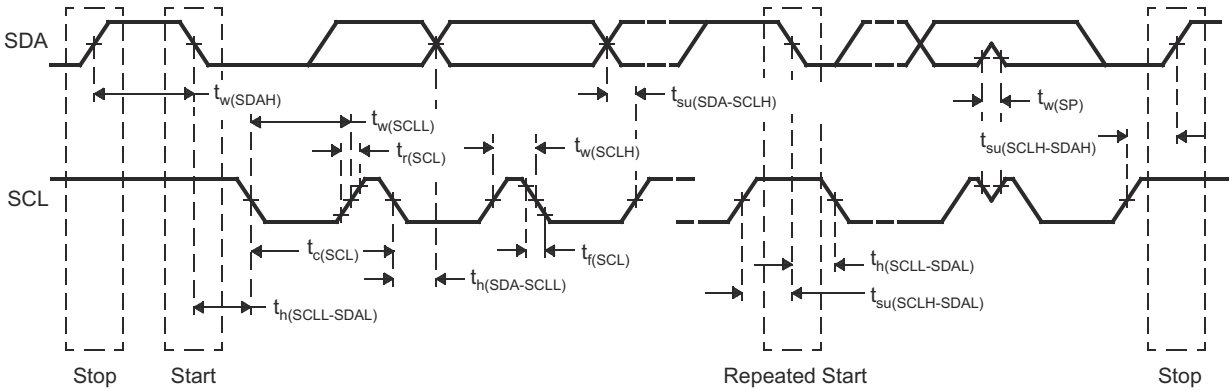


図 7-16. I2C タイミング図

注

- SCL 信号の立ち下がりエッジの未定義領域をブリッジするため、デバイスは SDA 信号のために (SCL 信号の VIHmin を基準として) 300ns 以上のホールド時間を内部的に確保する必要があります。
- th(SDA-SCLL) の最大値を満たす必要があるのは、SCL 信号の Low 期間 (tw(SCLL)) を本デバイスがストレッチ (延長) しない場合に限られます。ファースト モード I2C バス デバイスは、スタンダード モード I2C バス システムでも使えますが、その場合、$t_{su(SDA-SCLH)}$ ≧ 250ns の要件を満たす必要があります。本デバイスが SCL 信号の Low 期間をストレッチしない場合、これは自動的に当てはまります。そのようなデバイスが SCL 信号の Low 期間をストレッチする場合、次のデータ ビットを SDA ラインに tr max + $t_{su(SDA-SCLH)}$ の間出力する必要があります。

Copyright © 2025 Texas Instruments Incorporated

7.12.11 クワッド シリアル ペリフェラル インターフェイス (QSPI)

本クワッド シリアル ペリフェラル インターフェイス (QSPI) モジュールは、外部 SPI デバイスへのシングル、デュアル、クワッドの読み取りアクセスを可能にする SPI モジュールの一種です。このモジュールは、メモリ マップ レジスタ インターフェイスを備えており、外部 SPI デバイスからデータにアクセスするための直接インターフェイスとして機能するため、ソフトウェア要件が簡素化されます。QSPI はマスターとしてのみ動作します。本デバイス内の QSPI は、クワッド SPI フラッシュ メモリからの高速ブートを主な目的としています。

QSPI は、以下の機能をサポートしています。

- プログラマブルなクロック分周回路
- 6 ピン インターフェイス
- 転送されるワード長をプログラム可能 (1～128 ビット)
- 転送されるワード数をプログラム可能 (1～4096)
- 3 ピン、4 ピン、6 ピンの SPI インターフェイスをサポート
- ワードまたはフレーム (ワード数) 完了時の任意の割り込み生成
- チップ セレクトのアクティブ化と出力データの間の遅延をプログラム可能 (0～3 QSPI クロック サイクル)

セクション 7.12.11.2 とセクション 7.12.11.3 は、セクション 7.12.11.1 に記載された動作条件を前提としています。

7.12.11.1 QSPI のタイミング条件

		最小値	標準値	最大値	単位
入力条件					
t_R	入力立ち上がり時間	1		3	ns
t_F	入力立ち下がり時間	1		3	ns
出力条件					
C_{LOAD}	出力負荷容量	2		15	pF

7.12.11.2 QSPI 入力 (読み取り) タイミングのタイミング要件

クロック モード 0 (clk 極性 = 0、clk 位相 = 0) が動作モードです。(1)

		最小値	標準値	最大値	単位
$t_{su(D-SCLK)}$	セットアップ時間、d[3:0] 有効から sclk 立ち下がりエッジまで	5			ns
$t_{h(SCLK-D)}$	ホールド時間、sclk 立ち下がりエッジから d[3:0] 有効の間	1			ns
$t_{su(D-SCLK)}$	セットアップ時間、最後の d[3:0] ビット有効から最後の sclk 立ち下がりエッジまで	5 - P (2)			ns
$t_{h(SCLK-D)}$	ホールド時間、最後の sclk 立ち下がりエッジから最後の d[3:0] ビット有効の間	1 + P (2)			ns

(1) 従来の立ち上がりクロック エッジとは対照的に、本デバイスはクロック モード 0 の立ち下がりクロック エッジでデータを取り込みます。立ち下がりエッジに基づく本デバイスのセットアップおよびホールド時間タイミングは標準ではありませんが、クロック モード 0 の立ち下がりエッジでデータを出力する標準 SPI デバイスと接続できるように設計されています。
(2) P = SCLK 周期 (ns 単位)。

7.12.11.3 QSPI スイッチング特性

番号	パラメータ		最小値	標準値	最大値	単位
Q1	$t_{c(SCLK)}$	サイクル時間、sclk	12.5			ns
Q2	$t_{w(SCLKL)}$	パルス幅、sclk Low	Y*P - 3 (1) (2)			ns
Q3	$t_{w(SCLKH)}$	パルス幅、sclk High	Y*P - 3 (1)			ns
Q4	$t_{d(CS-SCLK)}$	遅延時間、sclk 立ち下がりエッジから cs アクティブ エッジまで	–M*P - 1 (1) (3)		–M*P + 2.5 (1) (3)	ns
Q5	$t_{d(SCLK-CS)}$	遅延時間、sclk 立ち下がりエッジから cs 非アクティブ エッジまで	N*P - 1 (1) (3)		N*P + 2.5 (1) (3)	ns
Q6	$t_{d(SCLK-D1)}$	遅延時間、sclk 立ち下がりエッジから d[1] 遷移まで	-2.5		4	ns
Q7	$t_{ena(CS-D1LZ)}$	イネーブル時間、cs アクティブ エッジから d[1] 駆動 (ロー インピーダンス) まで	-P - 4 (3)		-P + 1 (3)	ns
Q8	$t_{dis(CS-D1Z)}$	ディセーブル時間、cs アクティブ エッジから d[1] トライステート (ハイ インピーダンス) まで	-P - 4 (3)		-P + 1 (3)	ns
Q9	$t_{d(SCLK-D1)}$	遅延時間、最初の sclk 立ち下がりエッジから最初の d[1] 遷移まで (PHA = 0 の場合のみ)	-2.5 - P (3)		4 - P (3)	ns
Q12	$t_{su(D-SCLK)}$	セットアップ時間、d[3:0] 有効から sclk 立ち下がりエッジまで	5			ns
Q13	$t_{h(SCLK-D)}$	ホールド時間、sclk 立ち下がりエッジから d[3:0] 有効の間	1			ns
Q14	$t_{su(D-SCLK)}$	セットアップ時間、最後の d[3:0] ビット有効から最後の sclk 立ち下がりエッジまで	5 - P (3)			ns
Q15	$t_{h(SCLK-D)}$	ホールド時間、最後の sclk 立ち下がりエッジから最後の d[3:0] ビット有効の間	1 + P (3)			ns

(1) Y パラメータは、次のように定義されます。DCLK_DIV が 0 または奇数の場合、Y = 0.5 です。DCLK_DIV が偶数の場合、Y = (DCLK_DIV/2)/(DCLK_DIV+1) です。最高の性能を得るため、0 または偶数の DCLK_DIV を使い、デューティ サイクルの歪みを最小化することを推奨します。クロック分周係数 DCLK_DIV の詳細については、デバイス固有のテクニカル リファレンス マニュアルを参照してください。
(2) P = SCLK 周期 (ns 単位)。
(3) M = QSPI_SPI_DC_REG.DDx + 1、N = 2

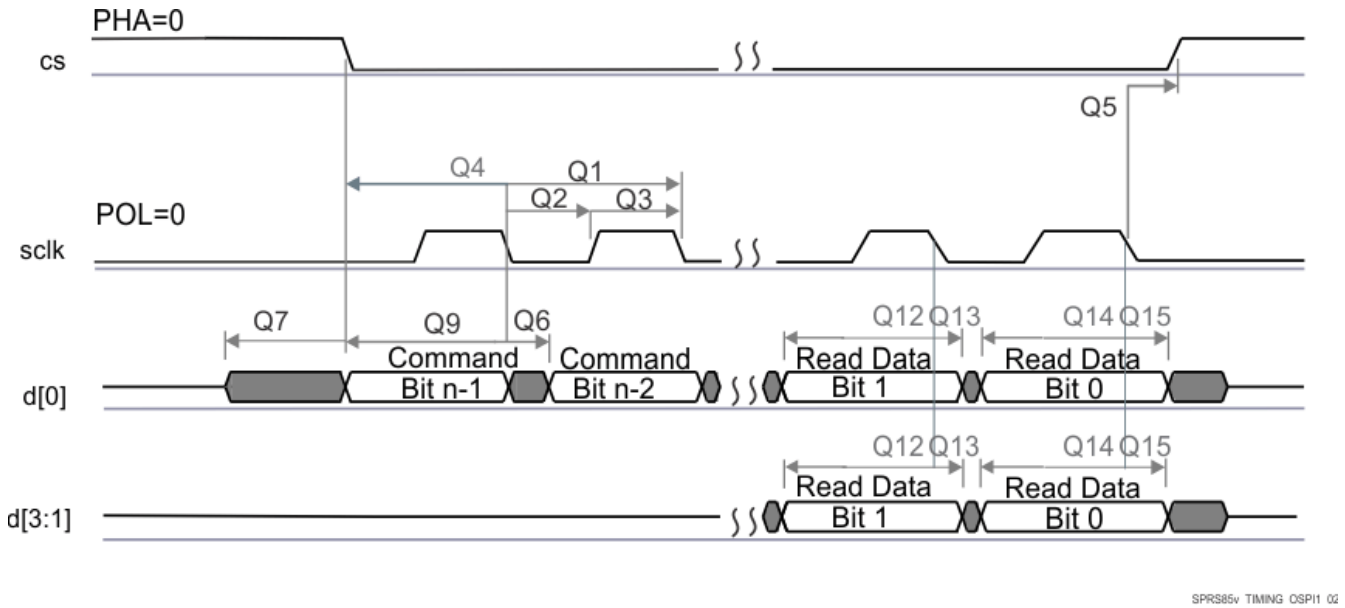


図 7-17. QSPI 読み出し (クロック モード 0)

Copyright © 2025 Texas Instruments Incorporated

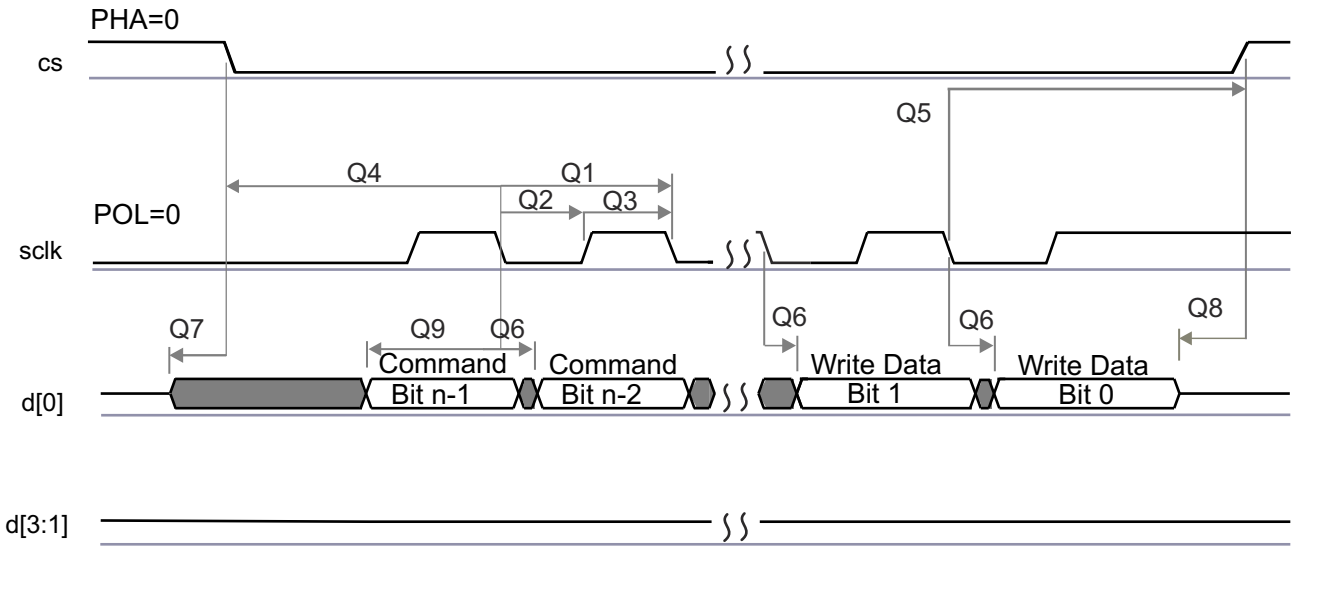


図 7-18. QSPI 書き込み (クロック モード 0)

7.12.12 ETM トレース インターフェイス

セクション 7.12.12.2 は、セクション 7.12.12.1 に記載された推奨動作条件を前提としています。

7.12.12.1 ETMTRACE のタイミング条件

		最小値	標準値	最大値	単位
出力条件					
C_{LOAD}	出力負荷容量	2		20	pF

7.12.12.2 ETM TRACE のスイッチング特性

番号	パラメータ		最小値	標準値	最大値	単位
1	$t_{cyc(ETM)}$	サイクル時間、TRACECLK 周期	20			ns
2	$t_{h(ETM)}$	パルス幅、TRACECLK High	9			ns
3	$t_{l(ETM)}$	パルス幅、TRACECLK Low	9			ns
4	$t_{r(ETM)}$	クロック / データの立ち上がり時間			3.3	ns
5	$t_{f(ETM)}$	クロック / データの立ち下がり時間			3.3	ns
6	$t_{d(ETMTRACECLKH-ETMDATAV)}$	遅延時間、ETM トレース クロック High から ETM データ有効まで	1		7	ns
7	$t_{d(ETMTRACECLKl-ETMDATAV)}$	遅延時間、ETM トレース クロック Low から ETM データ有効まで	1		7	ns

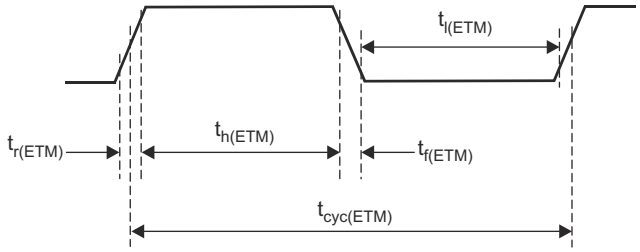


図 7-19. ETMTRACECLKOUT のタイミング

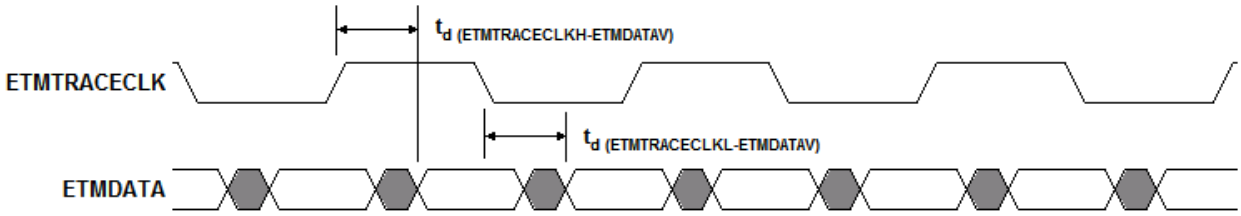


図 7-20. ETMDATA のタイミング

Copyright © 2025 Texas Instruments Incorporated

7.12.13 データ変更モジュール (DMM)

データ変更モジュール (DMM) により、デバイス メモリに外部データを書き込むことができます。

DMM の特長は次のとおりです。

- バス マスターとして動作するため、CPU を介さずに 4GB のアドレス空間への直接書き込みが可能
- 受信パケットで指定されたメモリ位置への書き込み (RAM トレース ポート [RTP] モジュールのトレース モードで定義されたパケットを利用)
- DMM が指定した連続するアドレスへの受信データの書き込み (RTP モジュールの直接データ モードで定義されたパケットを利用)
- 構成可能なポート幅 (1、2、4、8、16 ピン)
- 最大 100 Mbit/s のピン データ レート

7.12.13.1 DMM のタイミング要件

		最小値	標準値	最大値	単位
$t_{cyc(DMM)}$	クロック周期	10			ns
t_R	クロック立ち上がり時間	1		3	ns
t_F	クロック立ち下がり時間	1		3	ns
$t_{h(DMM)}$	High パルス幅	6			ns
$t_{l(DMM)}$	Low パルス幅	6			ns
$t_{ssu(DMM)}$	SYNC アクティブから CLK 立ち下がりエッジまでのセットアップ時間	2			ns
$t_{sh(DMM)}$	DMM CLK 立ち下がりエッジから SYNC 非アクティブまでのホールド時間	3			ns
$t_{dsu(DMM)}$	データ有効から DMM CLK 立ち下がりエッジまでのセットアップ時間	2			ns
$t_{dh(DMM)}$	DMM CLK 立ち下がりエッジからデータ有効の間のホールド時間	3			ns

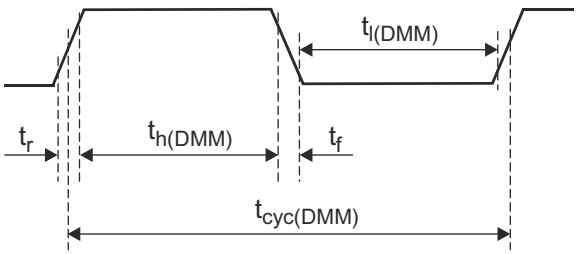


図 7-21. DMMCLK のタイミング

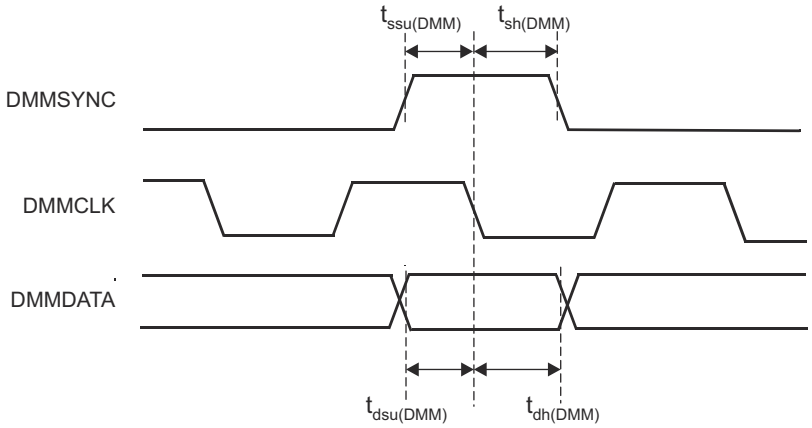


図 7-22. DMMDATA のタイミング

Copyright © 2025 Texas Instruments Incorporated

7.12.14 JTAG インターフェイス

セクション 7.12.14.2 とセクション 7.12.14.3 は、セクション 7.12.14.1 に記載された動作条件を前提としています。

7.12.14.1 JTAG のタイミング条件

		最小値	標準値	最大値	単位
入力条件					
t_R	入力立ち上がり時間	1		3	ns
t_F	入力立ち下がり時間	1		3	ns
出力条件					
C_{LOAD}	出力負荷容量	2		15	pF

7.12.14.2 IEEE 1149.1 JTAG のタイミング要件

番号			最小値	標準値	最大値	単位
1	$t_{c(TCK)}$	サイクル時間 TCK	66.66			ns
1a	$t_{w(TCKH)}$	パルス幅、TCK High (tc の 40%)	26.67			ns
1b	$t_{w(TCKL)}$	パルス幅、TCK Low (tc の 40%)	26.67			ns
3	$t_{su(TDI-TCK)}$	入力セットアップ時間、TDI 有効から TCK High まで	2.5			ns
	$t_{su(TMS-TCK)}$	入力セットアップ時間、TMS 有効から TCK High まで	2.5			ns
4	$t_{h(TCK-TDI)}$	入力ホールド時間、TCK High から TDI 有効の間	18			ns
	$t_{h(TCK-TMS)}$	入力ホールド時間、TCK High から TMS 有効の間	18			ns

7.12.14.3 IEEE 1149.1 JTAG の推奨動作条件に対するスイッチング特性

番号	パラメータ		最小値	標準値	最大値	単位
2	$t_{d(TCKL-TDOV)}$	遅延時間、TCK LOW から TDO 有効まで	0		25	ns

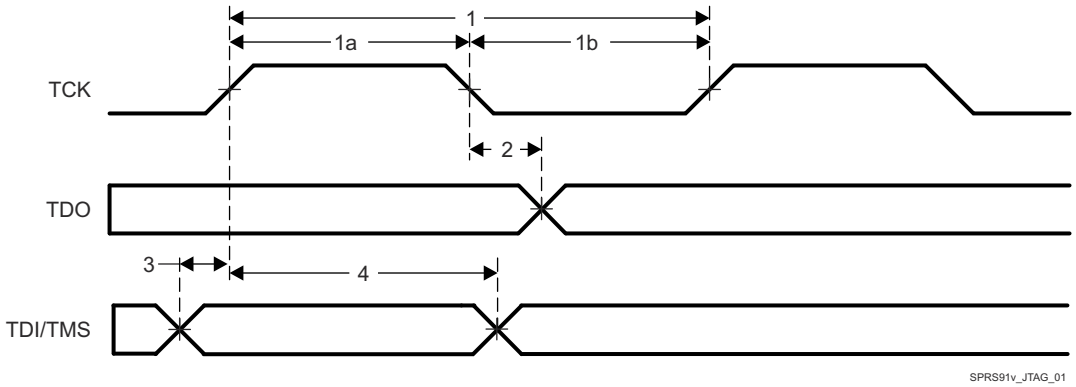


図 7-23. JTAG のタイミング

8 詳細説明

8.1 概要

AWR6843AOP デバイスには、ミリ波ブロック全体と、3 個のトランスミッタと 4 個のレシーバのためのアナログ ベースバンド シグナル チェーン、およびお客様がプログラム可能な MCU と DSP が含まれています。このデバイスは、メモリ、処理能力、アプリケーション コード サイズの要件を控えめに抑えた使用事例で、レーダー オン チップとして適用できます。これらのアプリケーションは、24GHz の狭帯域実装と、いくつかの新しいシンプルな超短距離レーダー アプリケーションから進化している、コスト重視の車載アプリケーションを想定できます。このデバイスの代表的なアプリケーション例は次のとおりです。

- 子供の検知
- 占有検出
- シートベルト警報
- ジェスチャ検出
- ドライバーのバイタルサイン監視

拡張性の観点から見ると、AWR6843AOP デバイスは、より大きいアプリケーション ソフトウェア フットプリントのための追加のメモリと、より速いインターフェイスとを必要とする場合があるより複雑なアプリケーションに対応するため、外付けのローエンド MCU と組み合わせて使用できます。AWR6843AOP デバイスは、シリアル LVDS などの高速データ インターフェイスも搭載しているので、より高性能な外部処理ブロックとのインターフェイスに適しています。ここでシステム設計者は、AWR6843AOP を選択して ADC の未加工データを提供できます。

8.2 機能ブロック図

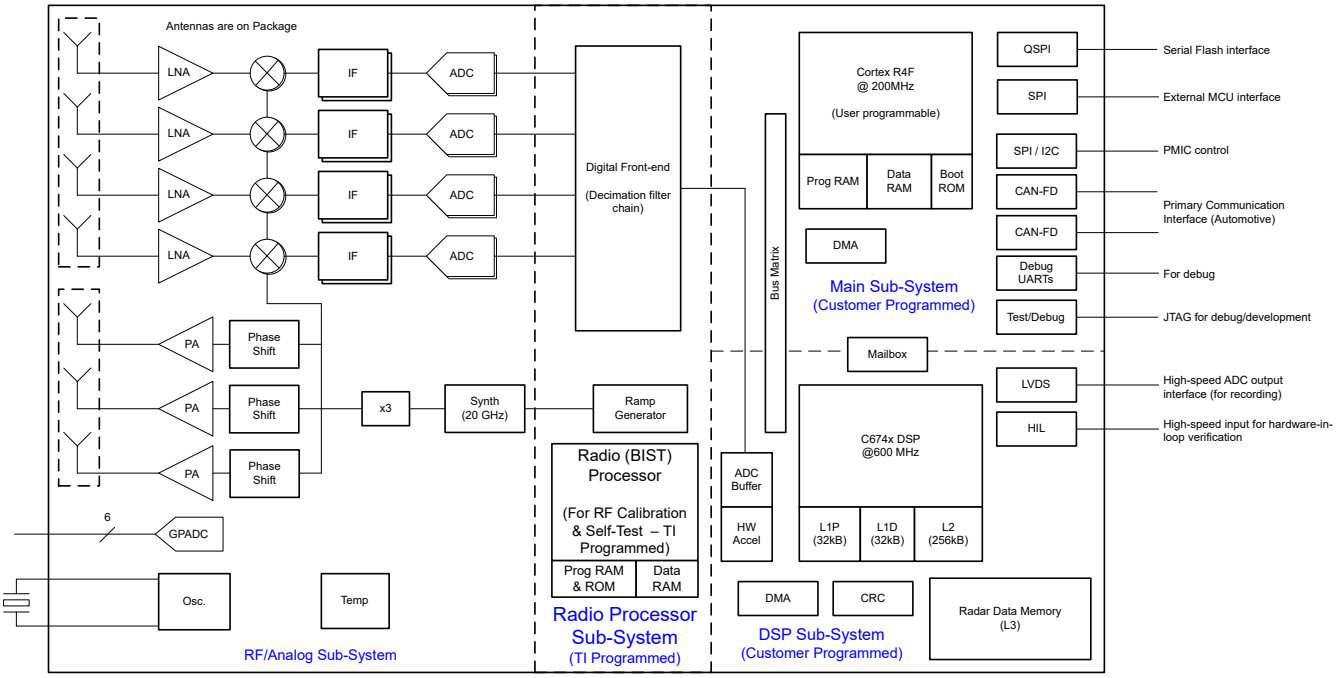


図 8-1. 機能ブロック図

Copyright © 2025 Texas Instruments Incorporated

8.3 サブシステム

8.3.1 RF およびアナログ サブシステム

RF / アナログ サブシステムには RF 回路とアナログ回路 (つまり、シンセサイザ、PA、LNA、ミキサ、IF、ADC) が含まれます。このサブシステムには水晶発振器と温度センサも含まれます。1.3V モードでは、3 つの送信チャネルを最大 2 つまで同時に動作させることができます。3 つの送信チャネルの同時動作は、必要に応じて、送信ビームフォーミングの目的で 1V LDO バイパスおよび PA LDO ディセーブル モードでのみサポートされます。このモードでは、1V 電源を VIN_13RF1、VIN_13RF2、VOUT PA ピンに供給する必要があり、一方で、4 つの受信チャネルはすべて同時に動作させることができます。

Copyright © 2025 Texas Instruments Incorporated

8.3.1.1 クロック サブシステム

AWR6843AOP のクロック サブシステムは、40MHz 水晶振動子の入力リファレンスから 60～64 GHz を生成します。このサブシステムは、発振器回路と、それに続くクリーンアップ PLL および RF シンセサイザ回路を内蔵しています。次に、RF シンセサイザの出力は X3 逓倍器で処理され、60～64GHz の範囲の必要な周波数を生成します。RF シンセサイザの出力は、効果的なセンサ動作に必要な波形を生成するため、タイミング エンジン ブロックによって変調されます。

システムのウェークアップ後、クリーンアップ PLL はホスト プロセッサにも基準クロックを提供します。

クロック サブシステムには、水晶振動子の存在を検出し、生成されたクロックの品質を監視するための機能も内蔵されています。

図 8-2 に、クロック サブシステムを示します。

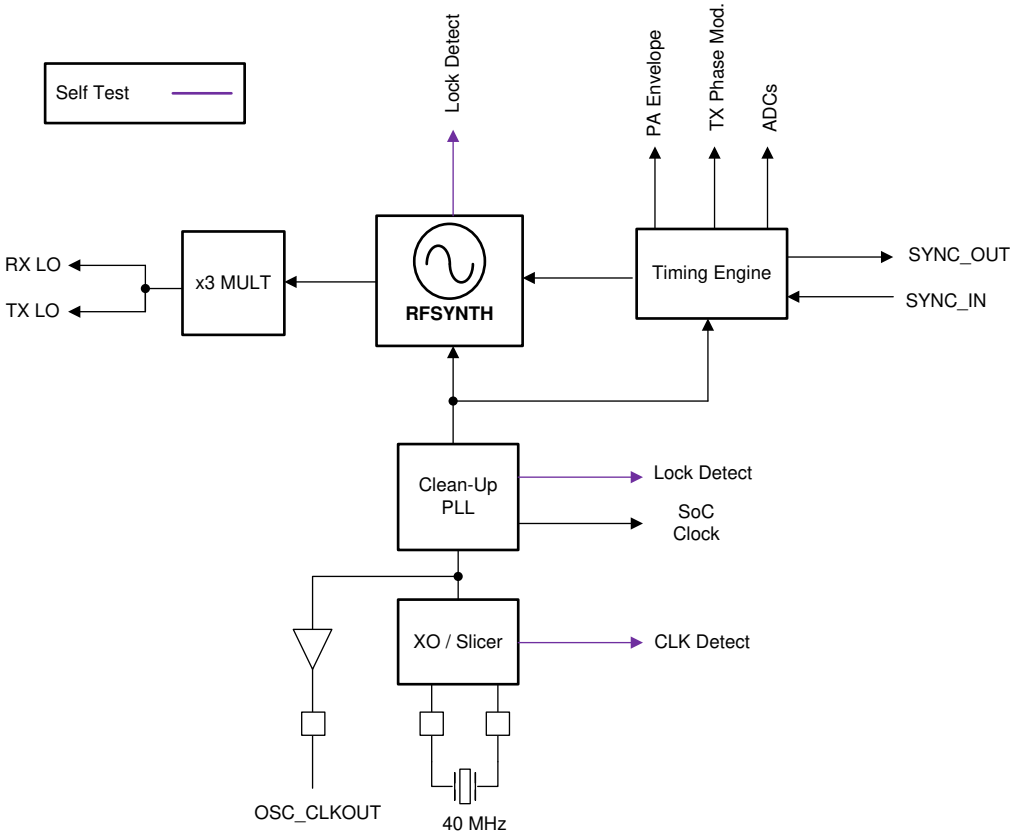


図 8-2. クロック サブシステム

Copyright © 2025 Texas Instruments Incorporated

8.3.1.2 送信サブシステム

AWR6843AOP の送信サブシステムは 3 つの並列送信チェーンで構成され、それぞれが独立して位相および振幅制御を行います。本デバイスは MIMO レーダーおよび干渉軽減のために 6 ビットのリニア フェーズ変調をサポートしています。

送信チェーンは、システムを最適化するためのプログラム可能なバックオフもサポートしています。

図 8-3 に、送信サブシステムを示します。

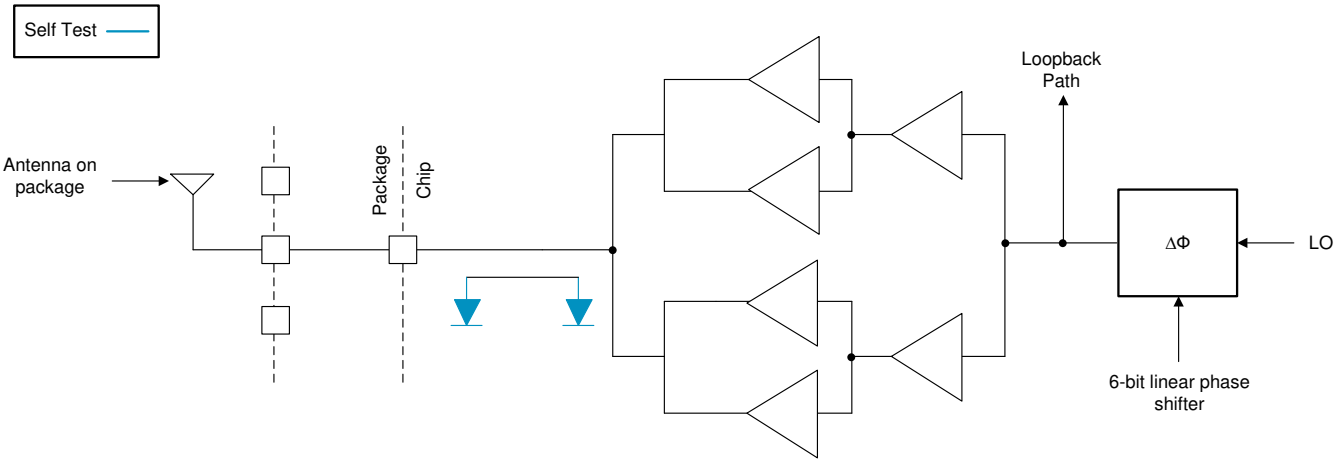


図 8-3. 送信サブシステム (チャネルごと)

8.3.1.3 受信サブシステム

AWR6843AOP の受信サブシステムは、4 つの並列チャネルで構成されています。1 つの受信チャネルは LNA、ミキサ、IF フィルタ、ADC 変換、デシメーションで構成されています。4 つの受信チャネルはすべて同時に動作させることができ、個別のパワーダウン オプションも使用できて、システムの最適化が可能です。

従来型の実数のみのレシーバとは異なり、AWR6843AOP デバイスは複素ベースバンド アーキテクチャをサポートしており、直交ミキサおよびデュアル IF と ADC チェーンを使用して、各レシーバ チャネルに複素数の I および Q 出力を提供します。AWR6843AOP は、高速チャープ システムを対象としています。バンドパス IF チェーンは下側カットオフ周波数を 175kHz よりも高く設定でき、最大 10 MHz の帯域幅をサポートできます。

図 8-4 に、受信サブシステムを示します。

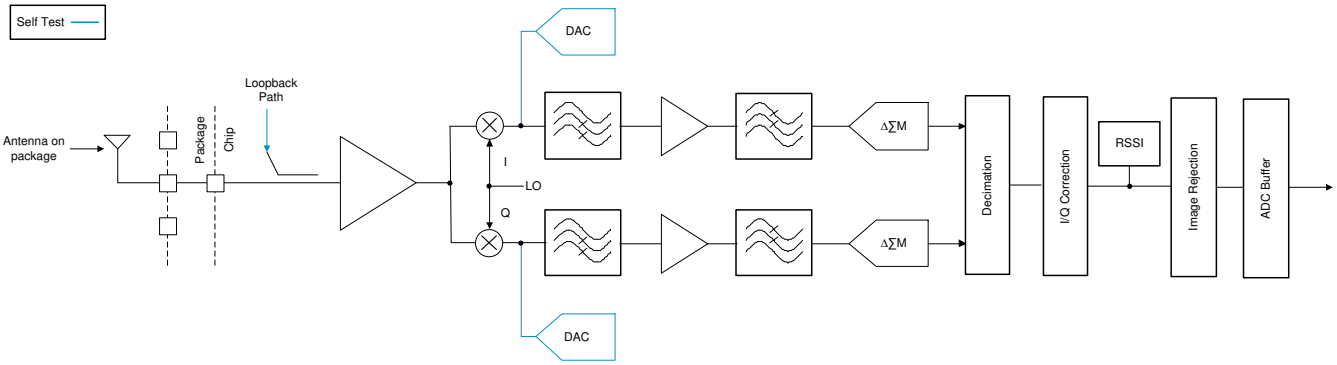


図 8-4. 受信サブシステム (チャネルごと)

8.3.2 プロセッサ サブシステム

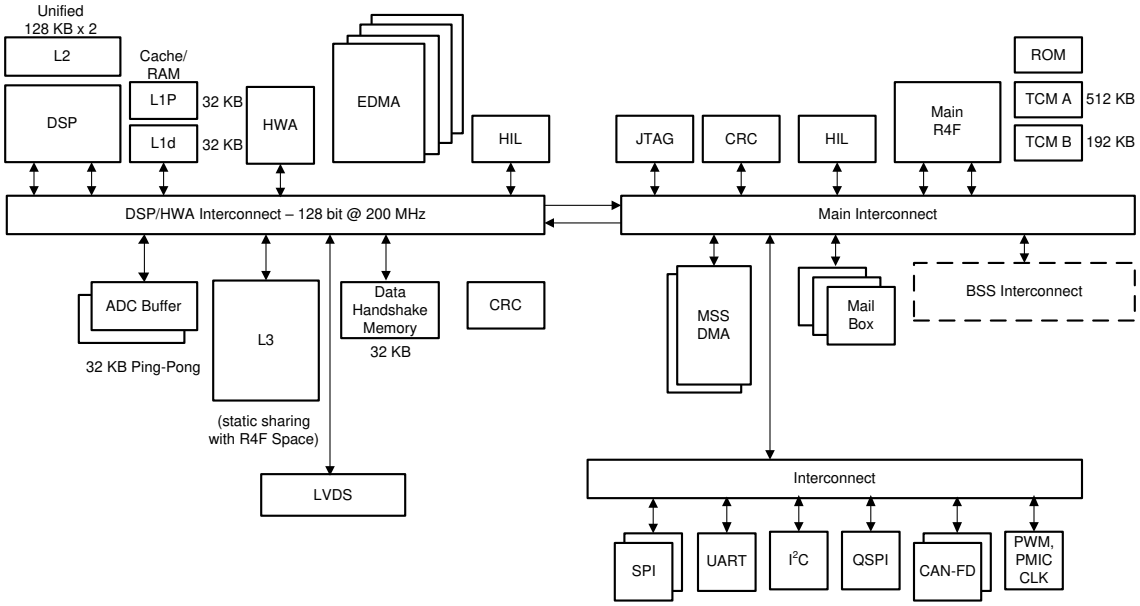


図 8-5. プロセッサ サブシステム

図 8-5 に、AWR6843AOP デバイスのカスタマー プログラマブル プロセッサ サブシステムのブロック図を示します。概念的には、2 つのカスタマー プログラマブル プロセッサ サブシステムが存在し、図に示すように点線で区切られています。左側は DSP サブシステムを示しており、テキサス・インスツルメンツの高性能 C674x DSP、ハードウェア アクセラレータ、高度なパフォーマンスを可能にする高帯域幅インターコネクト (128 ビット、200MHz)、および関連ペリフェラル (データ転送用 DMA 4 つ) が搭載されています。

測定データ出力用の LVDS インターフェイス、L3 レーダー データ キューブ メモリ、ADC バッファ、CRC エンジン、データ ハンドシェイク メモリ (インターコネクト上に搭載された追加メモリ)。

DSP サブシステムの C674x DSP と L1/L2 RAM 部分は AWR6443 デバイスではサポートされていないため、IWR6843 デバイスの 1.75MB に比べて利用可能なメモリは 1.4MB です。各デバイスでサポートされている機能とサポートされていない機能の詳細については、「デバイスの機能の比較」表を参照してください。

図の右側はメイン サブシステムを示しています。メイン サブシステムは、その名の通り、デバイスの中心であり、デバイスのすべてのペリフェラルとハウスキーピング動作を制御します。メイン サブシステムには、Cortex-R4F (メイン R4F) プロセッサと関連ペリフェラルおよびハウスキーピング コンポーネント (例：DMA、CRC、および PCR (ペリフェラル セントラル リソース) インターコネクトを介してメイン インターコネクトに接続されたペリフェラル (I^{2}C、UART、SPI、CAN-FD、PMIC クロック モジュール、PWM など)) が含まれます。

DSP CPU コアの詳細については、http://www.ti.com/product/TMS320C6748 を参照してください。

両方のサブシステムには HIL モジュールが示されており、RF サブシステムを介さずに、外部からデバイスにキャプチャしたデータを供給するレーダー動作を実行するために使用できます。メイン SS 上の HIL は構成の制御用、DSPSS 上の HIL はデバイスへの高速 ADC データ入力用です。どちらの HIL モジュールもデバイス上で同じ IO を使用しており、追加の IO (DMM_MUX_IN) を 1 つ使用することで、2 つのうちのいずれかを選択できます。

8.3.3 車載用インターフェイス

AWR6843AOP は、以下のメイン インターフェイスを介して車載ネットワークと通信します。

- 2 つの CAN-FD モジュール

Copyright © 2025 Texas Instruments Incorporated

8.3.4 ホスト インターフェイス

ホスト インターフェイスは、SPI、UART、または CAN-FD インターフェイスを介して提供できます。産業用アプリケーション向けシリアル インターフェイスは、別のシリアル規格にコード変換される場合があります。

このデバイスは、以下のメイン インターフェイスを介してレーダー プロセッサと通信します。

- 基準クロック – デバイス ウェークアップ後にホスト プロセッサ用に使用できる基準クロック
- 制御 – ホスト制御用の 4 ポート標準 SPI (スレーブ)。すべての無線制御コマンド (および応答) は、このインターフェイスを通ります。
- リセット – ホストからのデバイス ウェークアップのためのアクティブ Low のリセット。
- ホスト割り込み - ミリ波センサがホスト インターフェイスを必要としていることを示します。
- エラー – 無線コントローラがフォルトを検出した際にホストに通知するために使用されます。

8.3.5 メイン サブシステム Cortex-R4F

メイン システムには、最大 200MHz のクロック周波数で動作する ARM Cortex R4F プロセッサが含まれます。このプロセッサで実行されるユーザー アプリケーションは、明確に定義された API メッセージによるレーダー制御、(レーダー ハードウェア アクセラレータで支援された) レーダー信号処理、外部インターフェイス用ペリフェラルを含む、本デバイス全体の動作を制御します。

詳細な説明とメモリ マップについては、テクニカル リファレンス マニュアルを参照してください。

8.3.6 DSP サブシステム

DSP サブシステムには、テキサス・インスツルメンツの標準的な TMS320C674x メガモジュールと複数の内部メモリ ブロック (L1P、L1D、L2) が含まれています。メモリ マップを含む詳細については、『テクニカル リファレンス マニュア』参照してください。

8.3.7 ハードウェア アクセラレータ

レーダー ハードウェア アクセラレータ (HWA) は、FMCW レーダー信号処理で頻繁に使用される特定の計算について、メイン プロセッサから負荷を軽減できる IP です。FMCW レーダー信号処理では、FFT と対数振幅の計算を使用して、距離、速度、角度の各次元にわたってレーダー イメージを取得します。FMCW レーダー信号処理で頻繁に使用される機能の一部は、レーダー ハードウェア アクセラレータ内で実行できますが、その他の独自アルゴリズムをメイン プロセッサに実装する柔軟性も維持されています。このモジュールの機能説明と特長については、『レーダー ハードウェア アクセラレータ ユーザー ガイド』を参照してください。レジスタおよびメモリ マップの全リストについては、『テクニカル リファレンス マニュアル』を参照してください。

8.4 その他のサブシステム

8.4.1 ユーザー アプリケーション向け ADC チャネル (サービス)

The AWR6843AOP デバイスには、ユーザー アプリケーション向け ADC サービスのための装備が含まれています。

ここでは、デバイス内部に搭載された GPADC エンジンを使って、最大 6 つの外部電圧を測定できます。この目的で、ADC1、ADC2、ADC3、ADC4、ADC5、ADC6 の各ピンを使用します。

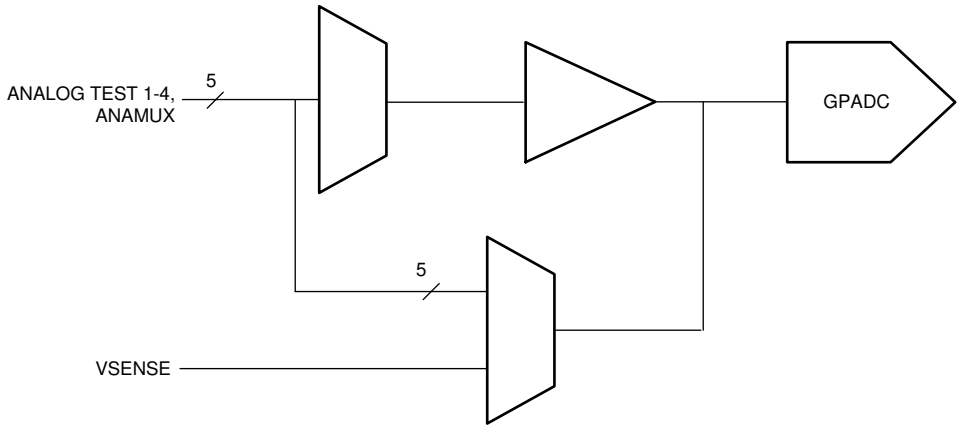
- ADC 自体は、BIST サブシステム内で実行されるテキサス・インスツルメンツのファームウェアによって制御され、ユーザーが外部電圧を監視するためのアクセスは、BIST サブシステムに転送される「監視 API」コールによって行われます。この API は、MSS R4F で動作しているユーザー アプリケーションとリンクさせることができます。
- BIST サブシステム ファームウェアは、これらの測定とともに、他の RF やアナログ監視動作を内部でスケジュールします。この API を使用すると、セトリング時間 (スキップする ADC サンプル数) と取得する連続サンプル数を設定できます。フレームの最後に、監視対象の各電圧について、測定値の最小値、最大値、平均値が報告されます。

GPADC Specifications:

- 625Ksps SAR ADC
- 入力範囲:0～1.8V
- 10 ビット分解能

Copyright © 2025 Texas Instruments Incorporated

- 6 個の入力のうち 5 個について、オプションの内部バッファ (0.4～1.4V の入力範囲) を使用できます。バッファがない場合、ADC には、5pF のサンプリング容量と 12pF の寄生容量でモデル化されたスイッチト キャパシタ入力負荷があります (GPADC チャネル 6 では内部バッファは利用できません)。



A. GPADC 構造は、内部温度センサの出力を測定するために使われます。これらの測定の精度は、±7°C です。

図 8-6. ADC パス

8.4.1.1 GP-ADC パラメータ

パラメータ	標準値	単位
ADC 電源	1.8	V
ADC の入力電圧範囲 (バッファなし)	0 ～ 1.8	V
ADC の入力電圧範囲 (バッファ付き) (1)	0.4 ～ 1.3	V
ADC の分解能	10	ビット
ADC のオフセット誤差	±5	LSB
ADC のゲイン誤差	±5	LSB
ADC の DNL	-1/+2.5	LSB
ADC の INL	±2.5	LSB
ADC のサンプリング レート (2)	625	kSPS
ADC のサンプリング時間 (2)	400	ns
ADC の内部コンデンサ	10	pF
ADC の入力静電容量	2	pF
ADC の入力リーク電流	3	uA

(1) 規定の範囲を外れると、バッファ出力は非線形になります。
(2) ADC 自体は、BIST サブシステム内で動作するテキサス・インスツルメンツ製ファームウェアによって制御されます。詳細については、API コールを参照してください。

8.5 ブート モード

デバイス リセットがデアサートされるとすぐに、マスター (コントロール) システムの R4F プロセッサは、オンチップ ROM メモリからブートローダの実行を開始します。

マスター システムのブートローダは、2 つの基本モードで動作し、これらのモードは、「センス オン パワー」(SOP) ピンと呼ばれるピンを設定することで、ユーザー ハードウェア (プリント基板) 上で指定されます。デバイス境界上のこれらのピンはブートローダ ファームウェアによってスキャンされ、ブートローダ動作モードが選択されます。

表 8-1 に、関連する SOP の組み合わせと、それらがブートローダの動作にどのように割り当てられるかを列挙します。

Copyright © 2025 Texas Instruments Incorporated

表 8-1. SOP の組み合わせ

SOP2	SOP1	SOP0	ブートローダのモードと動作
0	0	1	機能モード デバイス ブートローダは、QSPI シリアル フラッシュから内部 RAM にユーザー アプリケーションを読み込み、制御をそのユーザー アプリケーションに切り替えます。
1	0	1	フラッシュ モード デバイス ブートローダはループを繰り返して、ユーザー アプリケーション (またはテキサス・インスツルメンツが提供したデバイス ファームウェア パッチ) をシリアル フラッシュに書き込みます。
0	1	1	デバッグ モード ブートローダはバイパスされ、R4F プロセッサは停止します。これにより、ユーザーはエミュレータを既知のポイントに接続できます。

Copyright © 2025 Texas Instruments Incorporated

8.5.1 フラッシュ モード

フラッシュ モードでは、メイン システムのブートローダは UART ドライバを有効にし、外部のフラッシュ ユーティリティからユーザー アプリケーション (バイナリイメージ) およびデバイス ファームウェア (デバイス ファームウェア パッチまたはサービスパックとも呼ぶ) で構成されるデータ ストリームの受信を想定しています。図 8-7 に、PC プラットフォームで実行されるフラッシュ書き込みユーティリティをに示しますが、このプロトコルは組込みプラットフォームでも実現できます。

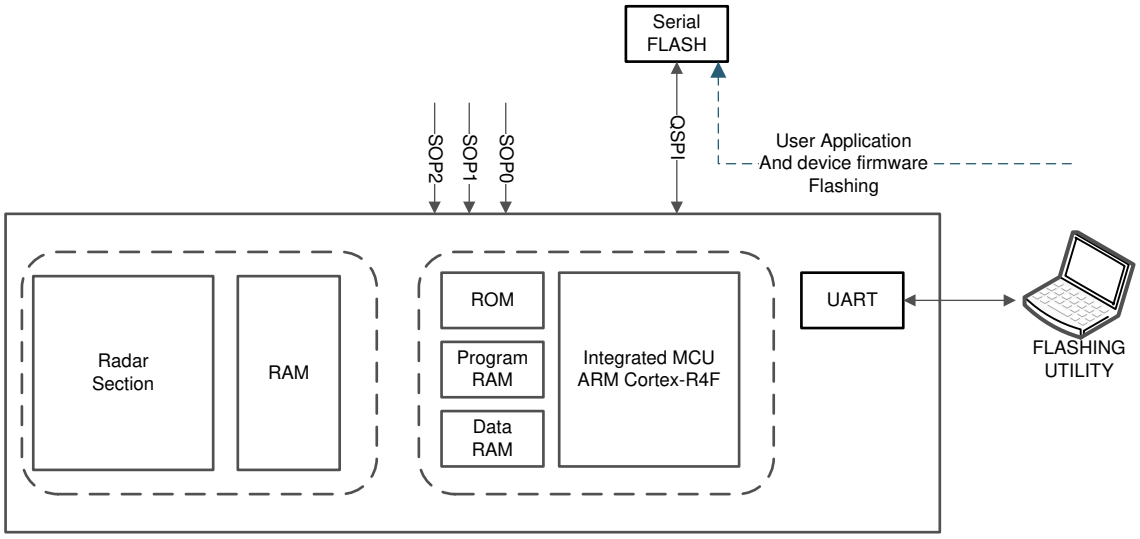


図 8-7. 図 5：ブートローダのフラッシュ モード

Copyright © 2025 Texas Instruments Incorporated

8.5.2 機能モード

機能モードでは、マスター システムのブートローダーは、QSPI ポート経由でインターフェイスされているシリアル フラッシュ メモリ内の有効なイメージを探します。有効なイメージが見つかると、ブートローダーはマスター システムのメモリ サブシステムに同じイメージを転送します。

有効なイメージ (または QSPI シリアル フラッシュ) が見つからない場合、ブートローダーは SPI ポートを初期化し、イメージ転送を待ちます。この動作が役立つのは、AWR6843AOP が、独自の不揮発性ストレージを持つ外部プロセッサに接続され、ユーザー アプリケーションと AWR6843AOP デバイスのファームウェア イメージを保存できる構成の場合です。

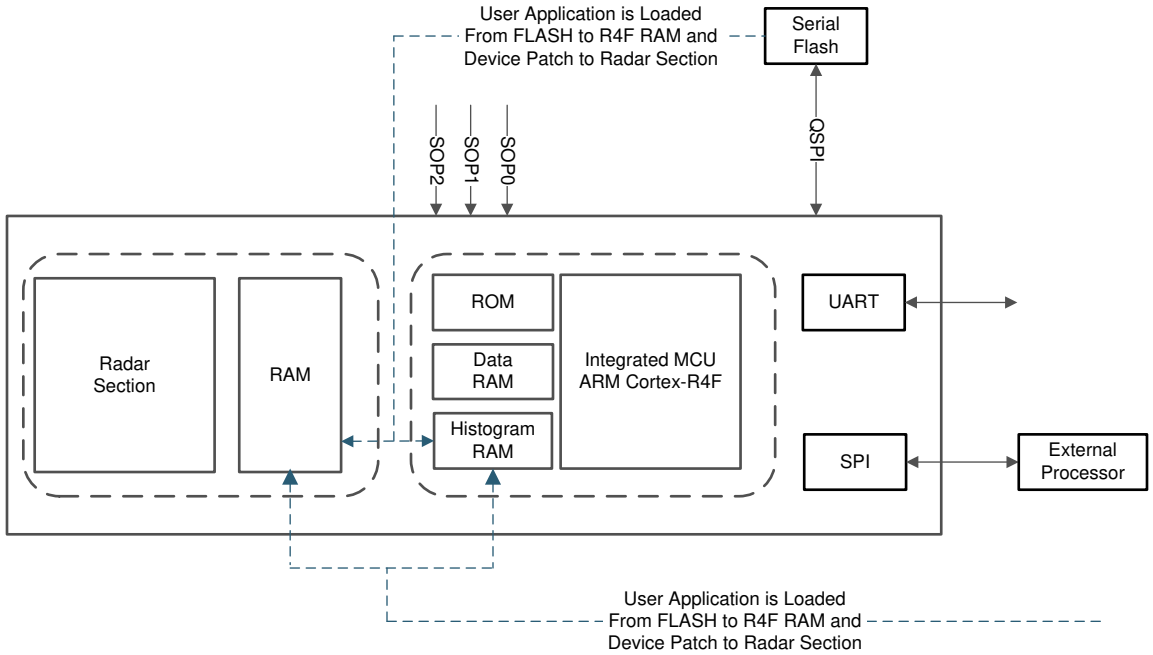


図 8-8. ブートローダーの機能モード

9 監視と診断

9.1 監視と診断のメカニズム

表 9-1 に、機能安全準拠デバイスで使用可能な主な監視および診断メカニズムのリストを示します。

表 9-1. 機能安全準拠デバイス向けの監視と診断のメカニズム

NO	機能	説明
1	MSS R4F コアおよび関連 VIM 用ブート時 LBIST	デバイス アーキテクチャは、ハードウェア ロジック BIST (LBIST) エンジン セルフ テスト コントローラ (STC) をサポートしています。このロジックを使って、MSS R4F CPU コアとベクタ割り込みモジュール (VIM) において、トランジスタ レベルで非常に高い診断範囲 (>90%) を実現しています。 CPU および VIM 用の LBIST は、機能安全アプリケーションを開始する前に、アプリケーション コードによってトリガする必要があります。CPU は、フォルトが検出されると、ループ内にとどまり、それ以上処理を進めることはありません。
2	MSS R4F TCM メモリ用ブート時 PBIST	メイン R4F には、TCMA、TCMB0、TCMB1 の 3 つの密結合メモリ (TCM) が搭載されています。デバイスのアーキテクチャは、ハードウェア プログラマブル メモリ BIST (PBIST) エンジンをサポートしています。実装されている MSS R4F TCM において、このロジックを使って、トランジスタ レベルで非常に高い診断範囲 (March-13n) を実現しています。 TCM メモリの PBIST は、フラッシュまたはペリフェラル インターフェイスからアプリケーションのダウンロードを開始する前のブート時にブートローダによってトリガされます。CPU は、フォルトが検出されると、ループ内にとどまり、それ以上処理を進めることはありません。
3	MSS R4F TCM メモリ用エンドツー エンド ECC	TCM の診断は、シングル エラー訂正ダブル エラー検出 (SECDED) ECC 診断によってサポートされています。64 ビットのデータ バスで計算された ECC データを保存するために 8 ビットのコード ワードが使用されます。ECC の評価は、CPU 内部の ECC 制御ロジックによって行われます。この方式により、CPU と TCM 間の通信においてエンド ツー エンドの診断が可能になります。CPU は、シングル ビットおよびダブル ビットのエラー状態に対して、あらかじめ決められた応答 (無視または中止) を行うように構成できます。
4	メイン R4F TCM ビット多重化	論理 TCM ワードとそれに関連する ECC コードは分割され、2 つの物理的な SRAM バンクに保存されます。この方式では、物理的な SRAM バンクのアドレス デコード障害に対する固有の診断メカニズムが提供されます。バンク アドレッシングのフォルトは、CPU によって ECC フォルトとして検出されます。 さらに、論理 (CPU) ワードを生成するためにアクセスされるビットが物理的に隣接しないように、ビット多重化方式が実装されています。この方式は、物理的なマルチビット フォルトに起因して論理的なマルチビット フォルトが発生する可能性を低減し、その代わりに、複数のシングルビット フォルトとして現れるようにします。SECDED TCM ECC は論理ワード内のシングルビットフォルトを修正できるので、この方式により TCM ECC 診断の有用性が向上します。 これらの機能はどちらもハードウェア機能であり、アプリケーション ソフトウェアで有効または無効にすることはできません。
5	クロック モニタ	デバイス アーキテクチャは、3 つのデジタル クロック コンパレータ (DCC) と 1 つの内部 RCOSC をサポートしています。これらのモジュールでは、クロック検出とクロック監視という 2 つの機能が使用できます。 DCCint は、ブート時にリファレンス クロックの可用性 / 範囲をチェックするために使用されます。そうでない場合は、デバイスはリンプ モードに移行します (デバイスはブートを続けますが、RCOSC クロック ソースは 10MHz です。この状態ではデバッグ機能が提供されます)。DCCint はブート時にブートローダーによってのみ使用されます。APLL がイネーブルになり、ロックされると、このブロックはディセーブルになります。 DCC1 は APLL ロック検出監視専用であり、デバイスのリファレンス入力クロックと分周された APLL 出力を比較します。最初に (APLL の構成前)、ブートローダは DCC1 を使用して、内蔵 RCOSC クロック ソースに対するリファレンス入力クロックの正確な周波数を識別します。DCC1 に障害が検出されると、デバイスはリンプ モードに移行します。 DCC2 モジュールは、ユーザー ソフトウェアで利用できるものです。詳細仕様に記載されているクロック オプションのリストから、任意の 2 つのクロックを比較できます。使用例の 1 つは、CPU クロックをリファレンスまたは内部 RCOSC クロック ソースと比較することです。フォルトが検出されると、エラー信号モジュール (ESM) により MSS R4F CPU に通知されます。

Copyright © 2025 Texas Instruments Incorporated

表 9-1. 機能安全準拠デバイス向けの監視と診断のメカニズム (続き)

NO	機能	説明
7	MSS R4F 用 RTI/WD	デバイス アーキテクチャは、リアルタイム割り込み (RTI) モジュールに実装された内部ウォッチドッグの使用をサポートしています。内部ウォッチドッグには、デジタル ウォッチドッグ (DWD) とデジタル ウィンドウ付きウォッチドッグ (DWWD) という 2 つの動作モードがあります。これらの動作モードは相互に排他的です。設計者はいずれかのモードを選択できますが、同時に両方のモードを使用することはできません。 ウォッチドッグは、障害を検出すると、内部 (ウォーム) システム リセットまたは CPU マスク不可割り込みのいずれかを発行できます。 ウォッチドッグは、ブート時にブートローダによって DWD モードでイネーブルになり、ブートプロセスを追跡します。アプリケーション コードが制御を開始した後、特定の顧客要件に基づいて、ウォッチドッグのモードおよびタイミングを再構成できます。
8	MSS R4F 用 MPU	Cortex-R4F CPU には MPU が搭載されています。MPU ロジックを使用すると、デバイス メモリ内のソフトウェア タスクを空間的に分離できます。Cortex-R4F MPU は 12 の領域をサポートしています。オペレーティング システムが MPU を制御し、各タスクのニーズに基づいて MPU 設定を変更するよう想定されています。構成済みメモリ保護ポリシーに違反すると、CPU が停止します。
9	ペリフェラル インターフェイス SRAM 用 PBIST - SPI、CAN-FD	デバイス アーキテクチャは、ペリフェラル SRAM 用ハードウェア プログラマブル メモリ BIST (PBIST) エンジンもサポートしています。 ペリフェラル SRAM メモリ用 PBIST は、アプリケーションによってトリガできます。ユーザーは、PBIST 診断に割り当てられる実行時間に基づいて、1 つの SRAM に対して PBIST を実行するか、複数の SRAM に対して実行するかを選択できます。PBIST テストはメモリ内容を破壊する可能性があるため、通常はブート時にのみ実行されます。ただし、ペリフェラル通信が妨げられる可能性がある場合は、いつでもテストを開始できます。 PBIST によってフォルトが検出された場合、PBIST ステータス レジスタにエラーが示されます。
10	ペリフェラル インターフェイス SRAM 用 ECC – SPI、CAN-FD	ペリフェラル インターフェイス SRAM の診断は、シングル エラー訂正ダブル エラー検出 (SECDED) ECC 診断によってサポートされています。シングル ビットまたはダブル ビット エラーが検出されると、ESM (エラー信号モジュール) 経由で MSS R4F に通知されます。この機能はリセット後はディセーブルになっています。ソフトウェアは、ペリフェラル および ESM モジュールでこの機能を設定して、イネーブルにする必要があります。ECC 障害 (シングル ビット訂正済みエラーとダブル ビット訂正不可能エラーの両方) は、ESM モジュール経由の割り込みとして MSS R4F に通知されます。
11	メイン SS ペリフェラルの構成レジスタ保護	すべてのメイン SS ペリフェラル (SPI、CAN-FD、I2C、DMA、RTI/WD、DCC、IOMUX など) は、ペリフェラル セントラル リソース (PCR) 経由で相互接続されています。これにより、ペリフェラルへのアクセスを制限できる 2 つの診断メカニズムが提供されます。ペリフェラルは、PCR 内のペリフェラル チップ セレクトによってクロックをゲートできます。これを利用すれば、未使用の機能を無効にして干渉を回避できます。また、トランザクションの特権レベルに基づいてアクセスを制限するように、各ペリフェラルのチップ セレクトをプログラムできます。この機能を使用すると、すべてのペリフェラルへのアクセスを、特権付きオペレーティング システム コードのみに制限できます。 これらの診断メカニズムは、リセット後はディセーブルになっています。ソフトウェアは、これらのメカニズムを設定して、有効にする必要があります。また、保護違反が発生すれば、「エラー」を生成して、MSS R4F を停止させたり、あるいは、DMA などの他のペリフェラルに対するエラー応答を発生させたりします。
12	巡回冗長検査 - メイン SS	デバイス アーキテクチャは、メイン SS でハードウェア CRC エンジンをサポートし、以下の多項式を実装しています。 • CRC16 CCITT – 0x10 • CRC32 Ethernet – 0x04C11DB7 • CRC64 • CRC 32C – CASTAGNOLI – 0x1EDC6F4 • CRC32P4 – E2E Profile4 – 0xF4ACFB1 • CRC-8 – H2F Autosar – 0x2F • CRC-8 – VDA CAN-FD – 0x1D CRC への SRAM 内容の読み取り動作は、CPU または DMA によって行うことができます。結果の比較、フォルトの表示、およびフォルト応答は、テストを管理するソフトウェアの責任となります。
13	DMA 用 MPU	デバイス アーキテクチャは、メイン SS DMA の MPU をサポートしています。MPU によって障害が検出されると、ESM 経由の割り込みとして MSS R4F CPU コアに通知されます。 DSPSS の高性能 EDMA では、読み取りポートと書き込みマスターポートの両方に MPU が搭載されています。EDMA MPU は 8 つの領域をサポートしています。MPU によって障害が検出されると、ローカル ESM 経由の割り込みとして DSP コアに通知されます。

Copyright © 2025 Texas Instruments Incorporated

表 9-1. 機能安全準拠デバイス向けの監視と診断のメカニズム (続き)

NO	機能	説明
14	BIST R4F コアおよび関連 VIM 用ブート時 LBIST	デバイス アーキテクチャは、BIST R4F コアおよび関連する VIM モジュールでもハードウェア ロジック BIST (LBIST) をサポートしています。このロジックは、BIST R4F CPU コアおよび VIM において、非常に高い診断範囲 (>90%) を実現しています。 これは、MSS R4F ブートローダによってブート時にトリガされ、フォルトが検出された場合、それ以上処理を進めることはありません。
15	BIST R4F TCM メモリ用ブート時 PBIST	デバイスのアーキテクチャは、BIST R4F TCM 用ハードウェア プログラマブル メモリ BIST (PBIST) エンジンをサポートしており、BIST R4F TCM で非常に高い診断範囲 (March-13n) を実現しています。 PBIST は、MSS R4F ブートローダによってブート時にトリガされ、フォルトが検出された場合、それ以上処理を進めることはありません。
16	BIST R4F TCM メモリ用エンドツー エンド ECC	BIST R4F TCM の診断は、シングル エラー訂正ダブル エラー検出 (SECDED) ECC 診断によってサポートされています。シングル ビット エラーは BIST R4F CPU に対して、ダブル ビット エラーは MSS R4F に対して、割り込みとして通知されるので、アプリケーションコードはこれを認識し、適切なアクションを実行します。
17	BIST R4F TCM ビット多重化	論理 TCM ワードとそれに関連する ECC コードは分割され、2 つの物理的な SRAM バンクに保存されます。この方式では、物理的な SRAM バンクにおけるアドレス デコード障害の固有の診断メカニズムが提供され、物理的なマルチビット フォルトに起因して論理的なマルチビット フォルトが発生する可能性を低減します。
18	BIST R4F 用 RTI/WD	デバイス アーキテクチャは、BIST R4F 用の内部ウォッチドッグをサポートしています。MSS R4F への割り込みを通じてタイムアウト状態を通知します。その先はアプリケーション コードに任せて、BIST SS の SW リセット、またはデバイスの障害状態を解消するためのウォーム リセットのいずれかを実施できます。
19	L1P、L1D、L2、L3 メモリのブート時 PBIST	デバイス アーキテクチャは、DSPSS の L1P、L1D、L2、L3 メモリ BIST (PBIST) エンジンをサポートしており、非常に高い診断範囲 (March-13n) を実現しています。 PBIST は、MSS R4F ブートローダによってブート時にトリガされ、フォルトが検出された場合、それ以上処理を進めることはありません。
20	L1P のパリティ	デバイス アーキテクチャは、DSP の L1P メモリでパリティ診断をサポートします。パリティ エラーは、割り込みとして CPU に通知されます。 注:L1D メモリは、パリティまたは ECC の対象ではないので、アプリケーション レベルの診断で対応する必要があります。
21	DSP の L2 メモリの ECC	デバイス アーキテクチャは、DSP の L2 メモリにおいて、パリティとシングル エラー訂正ダブル エラー検出 (SECDED) ECC 診断の両方をサポートします。L2 メモリは、DSP のプログラム セクションとデータ セクションを保存するために使用される統合型 256KB のメモリです。256 ビットのデータ バス (論理命令フェッチ サイズ) に対して計算された ECC データを保存するために、12 ビットのコード ワードを使用します。L2 アクセスの ECC ロジックは DSP 内に配置されており、DSP 内部の ECC 制御ロジックを使用して評価を行います。この方式により、DSP と L2 の間の送信について、エンド ツー エンドの診断が可能になります。バイト整列パリティ メカニズムは、データ セクションを処理するために L2 でも利用できます。
22	レーダー データ キューブ (L3) メモリの ECC	L3 メモリは、デバイスのレーダー データ セクションとして使用されます。デバイス アーキテクチャは、L3 メモリにおいて、シングル エラー訂正ダブル エラー検出 (SECDED) ECC 診断をサポートしています。64 ビットのデータバスで計算された ECC データを保存するために、8 ビットのコードワードを使用します。 ECC ロジックで障害が検出されると、ESM 経由の割り込みとして MSS R4F CPU コアに通知されます。
23	DSP コア用 RTI/WD	デバイス アーキテクチャは、リアルタイム割り込み (RTI) モジュールに実装された BIST R4F の内部ウォッチドッグの使用をサポートしています。このウォッチドッグは、メイン SS で使用されるのと同じモジュールの複製です。このモジュールは、メイン/BIST R4F 用 RTI /WD と同じ機能をサポートしています。 このウォッチドッグは、ユーザーのアプリケーション コードによって有効化され、MSS R4F への割り込みを通じてタイムアウト状態を通知します。その先は MSS R4F のアプリケーション コードに任せて、DSP SS の SW リセット、または、デバイスの障害状態を解消するためのウォーム リセットのいずれかを実施できます。

Copyright © 2025 Texas Instruments Incorporated

表 9-1. 機能安全準拠デバイス向けの監視と診断のメカニズム (続き)

NO	機能	説明
24	DSP サブシステムの CRC	デバイス アーキテクチャは、DSPSS で専用ハードウェア CRC をサポートし、以下の多項式を実装しています。 • CRC16 CCITT - 0x10 • CRC32 Ethernet - 0x04C11DB7 • CRC64 CRC への SRAM 内容の読み取りは、DSP CPU または DMA によって行うことができます。結果の比較、フォルトの表示、およびフォルト応答は、テストを管理するソフトウェアの責任となります。
25	DSP の MPU	デバイス アーキテクチャは、DSP メモリ アクセス (L1D、L1P、L2) 用の MPU をサポートします。L2 メモリは 64 の領域、L1P および L1D はそれぞれ 16 の領域をサポートしています。MPU によって障害が検出されると、処理中断として DSP コアに通知されます。
26	温度センサ	デバイス アーキテクチャは、デバイス全体にわたってさまざまな温度センサ (PA や DSP などの電力消費の多いモジュールの付近に配置) をサポートします。これらは、フレームとフレームの間の期間中に監視されます。(1)
27	TX 電力モニタ	デバイス アーキテクチャは、Tx 出力での電力検出器をサポートしています。(2)
28	エラー信号 エラー出力	診断で故障が検出された場合は、エラーを通知する必要があります。デバイス アーキテクチャは、エラー信号モジュール (ESM) と呼ばれるペリフェラル ロジックを使用して、内部の監視 / 診断メカニズムからのフォルト通知をまとめて処理します。ESM は、重大度によってフォルトを分類するメカニズムを備えており、プログラム可能なエラー応答が実現できます。 ESM モジュールは、ユーザーのアプリケーション コードの設定により、特定のエラー信号の有効または無効を選択して、MSS R4F CPU への割り込み (低 / 高優先度) を生成することができます。 デバイスは、nERROR 出力信号 (IO) をサポートしています。この信号を外部で監視することにより、R4F では処理できなかった重大度の高い異常を識別できます。
29	シンセサイザ (チャープ) 周波数のモニタ	シンセサイザの周波数ランプにおいて、(分周) クロック サイクルをカウントし、理想的な周波数ランプと比較して監視します。特定のしきい値を超える過剰な周波数エラーが検出された場合、報告されます。
30	TX ポート用ボール破損検出 (TX ボール破損のモニタ)	デバイス アーキテクチャは、TX 出力のインピーダンス測定に基づくボール破損検出メカニズムをサポートしており、ボール破損を示している可能性のある大きな偏差を検出して報告します。 監視は、BIST R4F で実行されるテキサス・インスツルメンツのコードによって行われ、障害はメールボックスを介して MSS R4F に通知されます。 BIST R4F からのメッセージに基づいて、適切なアクションを決定することは、ユーザーの SW に完全に任されています。
31	RX ループバック テスト	TX から RX へのループバックを内蔵しており、ゲイン、RX 間バランスなど、RX パスの障害を検出できます。
32	IF ループバック テスト	内蔵の IF (方形波) テスト トーン入力により、IF フィルタの周波数応答を監視して障害を検出します。
33	RX 飽和検出	過大な受信信号レベルや干渉による ADC 飽和を検出する機能。
34	DSP コア用のブート時 LBIST	デバイスは、DSP コア用のブート時 LBIST をサポートしています。LBIST は、ブート時に MSS R4F アプリケーション コードでトリガできます。

(1) 監視は、BIST R4F で実行されるテキサス・インスツルメンツのコードによって行われます。顧客アプリケーションによって API を介して検出された温度を報告するように構成できる 2 つのモードがあります。

a. N フレームごとに検出された温度を報告します。

b. 温度がプログラムされたスレッショルドを超えた場合、その状態を通知します。

BIST R4F からメールボックス経由のメッセージに基づいて適切なアクションを決定することは、ユーザーの SW に完全に任されています。

(2) 監視は、BIST R4F で実行されるテキサス・インスツルメンツのコードによって行われます。
ユーザー アプリケーションによって API を介して検出された出力電力を報告するように構成できる 2 つのモードがあります。

a. N フレームごとに検出された電力を報告します。

b. 設定されたスレッショルドを超えて出力電力が低下した場合、その状態を通知します。

BIST R4F からのメッセージに基づいて、適切なアクションを決定することは、ユーザーの SW に完全に任されています。

Copyright © 2025 Texas Instruments Incorporated

注

すべての診断機能の適用可能性の詳細については、『デバイス安全マニュアル』またはその他の関連資料を参照してください。認証の詳細については、デバイスの製品ページを参照してください。

9.1.1 エラー通知モジュール

診断で故障が検出された場合は、エラーを通知する必要があります。 AWR6843AOP architecture のアーキテクチャは、エラー通知モジュール (ESM) と呼ばれるペリフェラル ロジックを使用して、内部診断メカニズムからのフォルト表示をまとめて示します。ESM は、重大度によってフォルトを分類するメカニズムを備えており、プログラム可能なエラー応答が実現できます。以下に、ESM の概略ブロック図を示します。

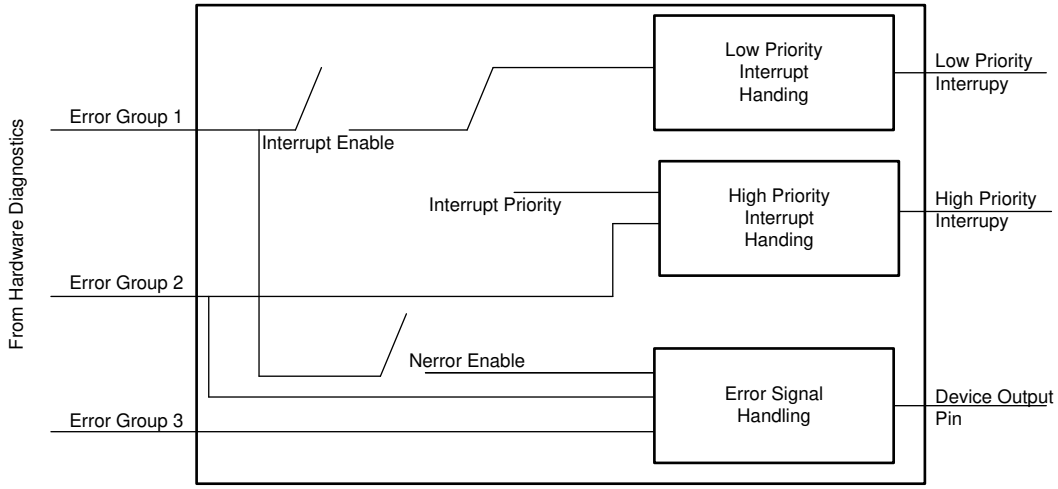


図 9-1. ESM のブロック図

Copyright © 2025 Texas Instruments Incorporated

10 アプリケーション、実装、およびレイアウト

注

以下のアプリケーションに関するセクションの情報は、テキサス・インスツルメンツの部品仕様の一部ではなく、テキサス・インスツルメンツはこれらの情報の正確性や完全性を保証しません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 アプリケーション情報

アプリケーション情報については、AWR アプリケーション Web ページを参照してください。

10.2 リファレンス回路図

リファレンス回路図と電源に関する情報は、『AWR6843AOP EVM 資料』に掲載されています。

ご参考までに、PCB の設計ファイル、回路図、レイアウト、スタック アップを以下に示します。

- Altium XWR6843 EVM 設計ファイル
- XWR6843 EVM の回路図、組立図、部品表

11 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。ツールおよびソフトウェアは、デバイスの性能評価や、コードの生成に使用され、それに従ってソリューションの開発が行われます。

11.1 デバイスの命名規則

製品開発サイクルの段階を示すために、TI ではマイクロプロセッサ (MPU) とサポート ツールのすべての型番に接頭辞が割り当てられています。各デバイスには次の 3 つのいずれかの接頭辞があります：X、P、空白 (接頭辞なし) (例：*AWR6843AOP*)。テキサス・インスツルメンツでは、サポート ツールについては、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ(TMDX)から、完全認定済みの量産デバイス/ツール(TMDS)まであります。

デバイスの開発進展フロー：

XA 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ フローを使用しない可能性があります。

P プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

空白 認定済みのシリコン ダイの量産バージョン。

サポート ツールの開発進展フロー:

TMDX 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

TMDS 完全に認定済みの開発サポート製品です。

XA および P デバイスと TMDX 開発サポート ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび TMDS 開発サポート ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ デバイス (XA または P) は、標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

TI デバイスの項目表記には、デバイス ファミリ名の接尾辞も含まれます。この接尾辞は、パッケージのタイプ (例：ALP0180) と温度範囲を表しています (たとえば、空白はデフォルトの車載用温度範囲を示します)。図 11-1 に、任意の *AWR6843AOP* デバイスについて、完全なデバイス名を読み取るための凡例を示します。

と ALP0180 パッケージ タイプの *AWR6843AOP* デバイスの注文可能な型番については、このドキュメントにあるパッケージ オプションの付録や TI の Web サイト (www.ti.com) を参照するか、TI の販売代理店にお問い合わせください。

ダイに対するデバイス命名規則マーキングの詳細説明については、『*AWR6843AOP デバイス エラッタ*』を参照してください。.

Copyright © 2025 Texas Instruments Incorporated

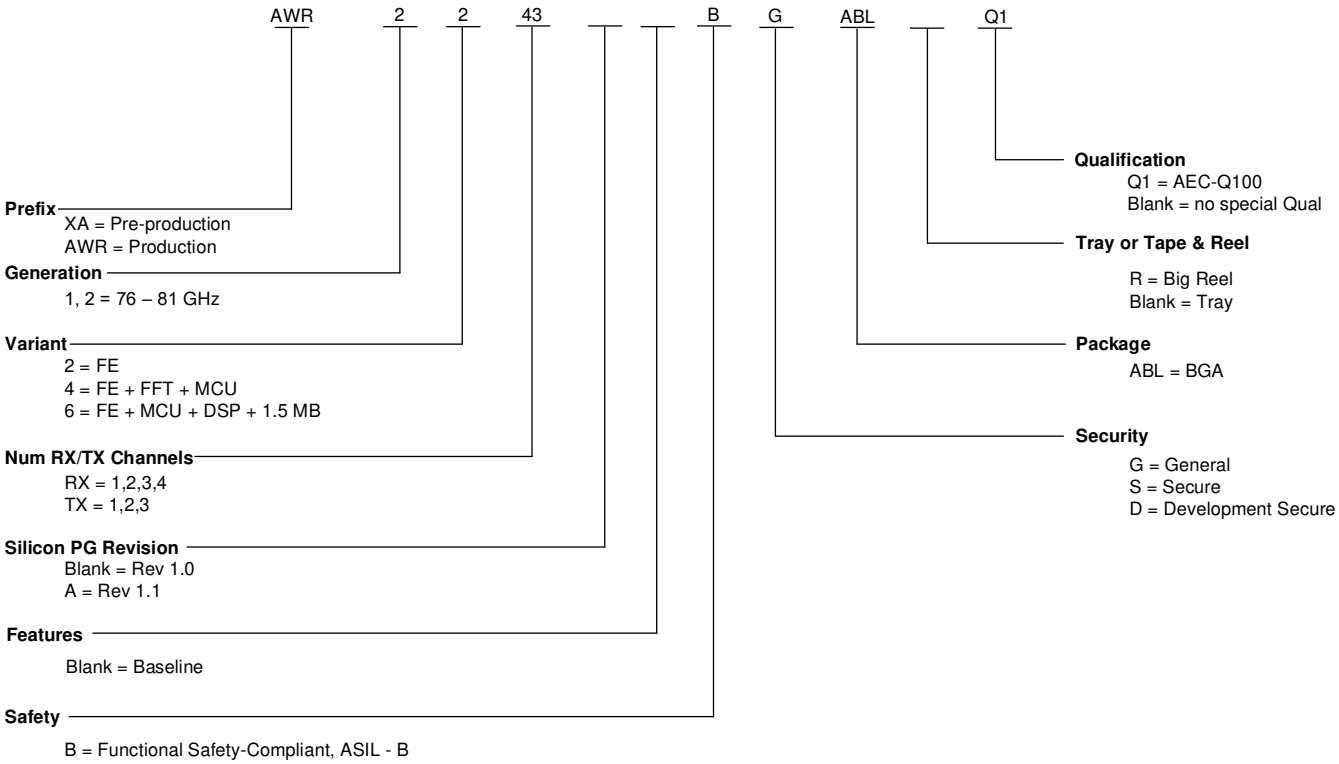


図 11-1. デバイスの命名規則

11.2 ツールとソフトウェア

モデル

xWR6843AOP BSDL モデル	個別デバイスの IEEE 1149.1 でテスト可能な入力および出力ピンのバウンダリ スキャン データベース。
xWR6843AOP IBIS モデル	デバイスの IO バッファの IO バッファ情報モデル。基板上でのシミュレーションについては、IBIS Open Forum を参照してください。
xWR6843AOP の回路図レビュー、レイアウト レビュー、開発 / 起動用のチェックリスト	システム機能とピン多重化オプションを選択するための、スプレッドシート形式にまとめた一連の手順。お客様の設計に適用する個別 EVM の回路図とレイアウトの注意事項。お客様には開発チェックリストをお勧めします。

11.3 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

DSP、関連ペリフェラル、その他の技術的事項を説明した最新のドキュメントを以下に示します。

エラッタ

AWR6843AOP デバイス正誤表	シリコンに関する既知の勧告、制限、注意事項を説明し、回避策を示しています。

11.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

11.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
すべての商標は、それぞれの所有者に帰属します。

11.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.7 用語集

テキサス・インスツルメンツ用語集	この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2025 Texas Instruments Incorporated

12 改訂履歴

Changes from JULY 31, 2022 to MAY 1, 2025 (from Revision C (July 2022) to Revision D (May 2025)) **Page**

- アプリケーション:アプリケーションを更新 2
- 図 4-1:ブロック図を更新。 3
- *(デバイスの比較)* AWRL6432 および AWRL1432 デバイスを追加 5
- (ワンタイム プログラマブル (OTP) eFuse の VPP 仕様):セクション追加済み。 29
- (パワー セーブ モード):セクション追加済み。 29
- RF 仕様:位相ノイズを -92dBc/Hz から -93dBc/Hz に更新 36
- RF 仕様:トランスミッタの EIRP 値を 15dBm から 16dBm に更新 36
- 図 7-5 (デバイス ウェークアップ シーケンス):論理図を更新。 41
- 周波数の許容誤差を「–50 および 50」から「–200～200」に更新 / 変更 43
- *(QSPI タイミング)*:QSPI のサイクル時間を 25 から 12.5 に更新 62
- (ブート モード):セクション追加済み。 74

Copyright © 2025 Texas Instruments Incorporated

Changes from JUNE 2, 2021 to JULY 31, 2022 (from Revision B (June 2021) to Revision C (July 2022)) **Page**

- *(特長)*:機能安全準拠認証資料を更新、「デバイスのセキュリティ」の詳細を追加、ミリ波センサ固有の動作温度範囲について記載 1
- (概要):「概要」を更新 / 変更して、デバイス サブシステムの詳細を追加。 2
- (デバイスの比較) 表から機能安全準拠の情報を削除し、代わりに機能安全および LVDS インターフェイスに関する表の注を追加。デバイスのセキュリティに関する情報を更新 5
- (QSPI タイミング):QSPI タイミングのセットアップ時間を 7.3us から 5us に、ホールド時間を 1.5us から 1us に更新 / 変更 61
- *(QSPI タイミング)*:「QSPI スイッチング特性」で、*遅延時間*、*sclk* 立ち下がりエッジから *d[1]* 遷移まで、すなわち *[Q6*、*Q9]* を -3.5us から -2.5us (最小値) に、7us から 4us (最大値) に更新 / 変更 62
- (監視と診断のメカニズム):機能安全準拠を反映するように表のヘッダーと説明を更新 / 変更。安全関連の資料への参照についての注を追加 78

Copyright © 2025 Texas Instruments Incorporated

13 メカニカル、パッケージ、および注文情報

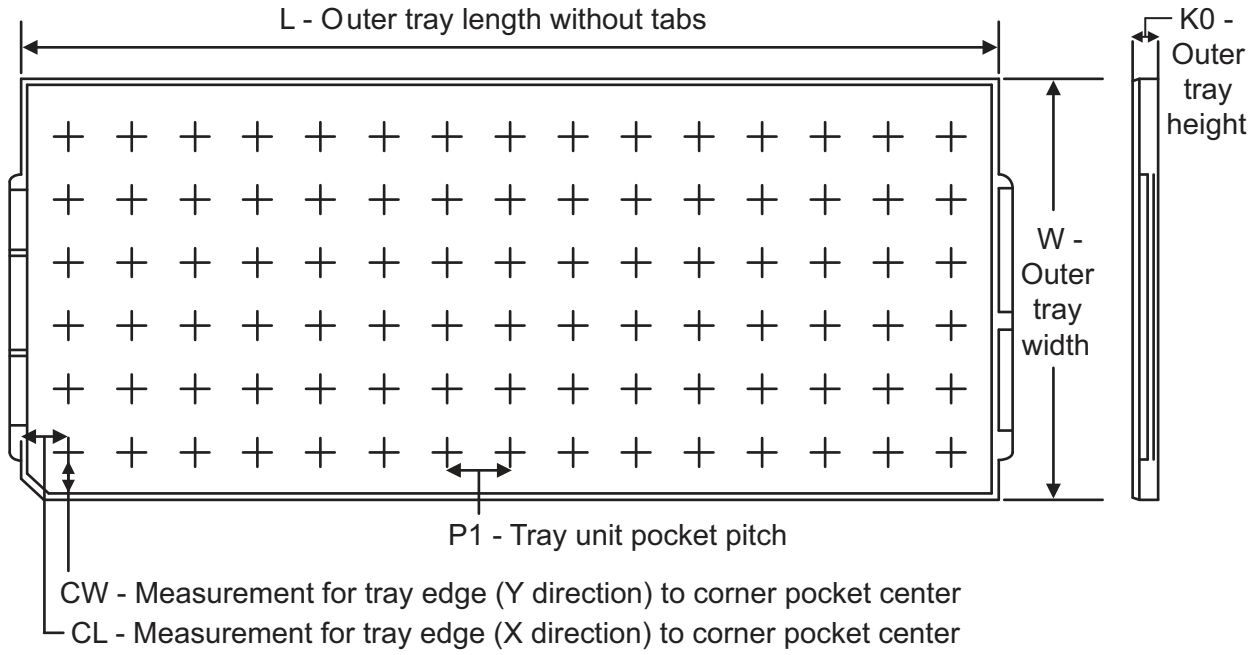
13.1 パッケージ情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

注

テキサス・インスツルメンツのアンテナ オン パッケージ (AoP) 製品の色 (または外観) のばらつきは正常であり、想定内です。このようなばらつきは、AoP 製品の性能仕様における劣化や性能低下を示すものではありません。

13.2 ALP, 15 × 15 mm のトレイ情報



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

デバイス	パッケージ タイプ	パッケージ 名	ピン	SPQ	製品のアレイ マトリクス	最大温度 (℃)	奥行き L (mm)	幅 W (mm)	K0 (mm)	P1 (mm)	切り欠きの奥行き CL (mm)	切り欠きの幅 CW (mm)
AWR6843ARBGALPQ1	FCBGA	ALP	180	126	7x18	150	315	135.9	7.62	17.2	11.30	16.35
AWR6843ARBSALPQ1	FCBGA	ALP	180	126	7x18	150	315	135.9	7.62	17.2	11.30	16.35

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AWR6843ARBGALPQ1	Active	Production	FCCSP (ALP) | 180	126 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	ABG WR6843
AWR6843ARBGALPQ1.B	Active	Production	FCCSP (ALP) | 180	126 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	ABG WR6843
AWR6843ARBGALPRQ1	Active	Production	FCCSP (ALP) | 180	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	ABG WR6843
AWR6843ARBGALPRQ1.B	Active	Production	FCCSP (ALP) | 180	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	ABG WR6843
AWR6843ARBSALPQ1	Active	Production	FCCSP (ALP) | 180	126 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	ABS WR6843

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

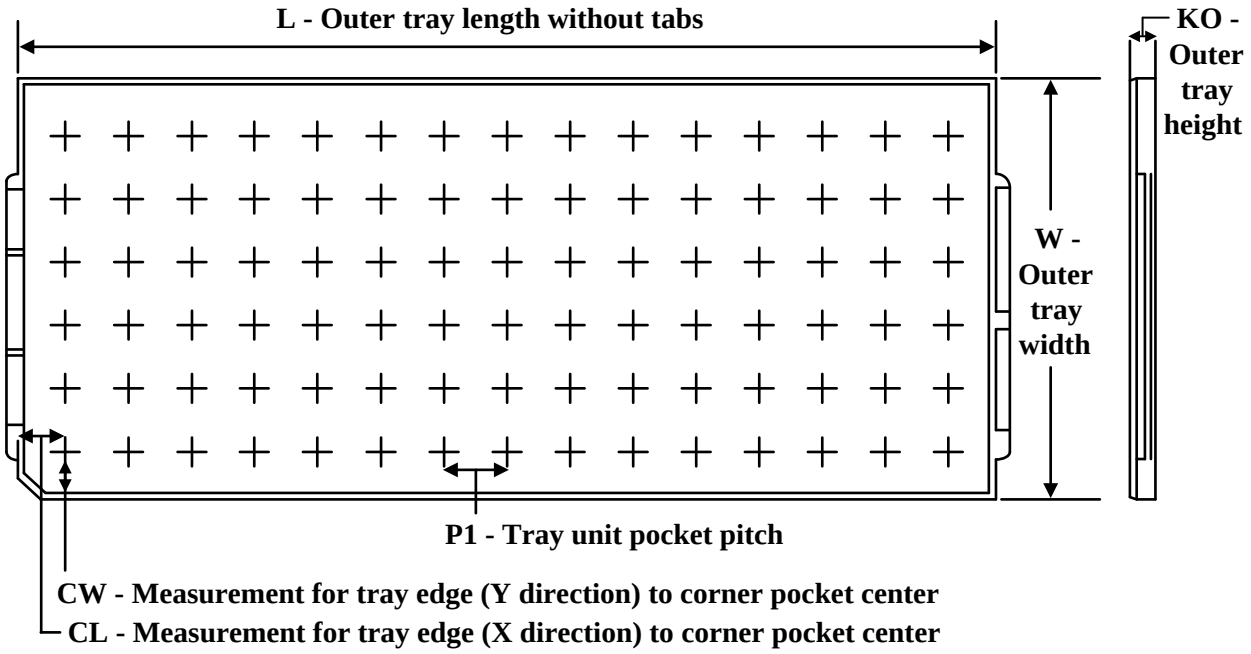
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

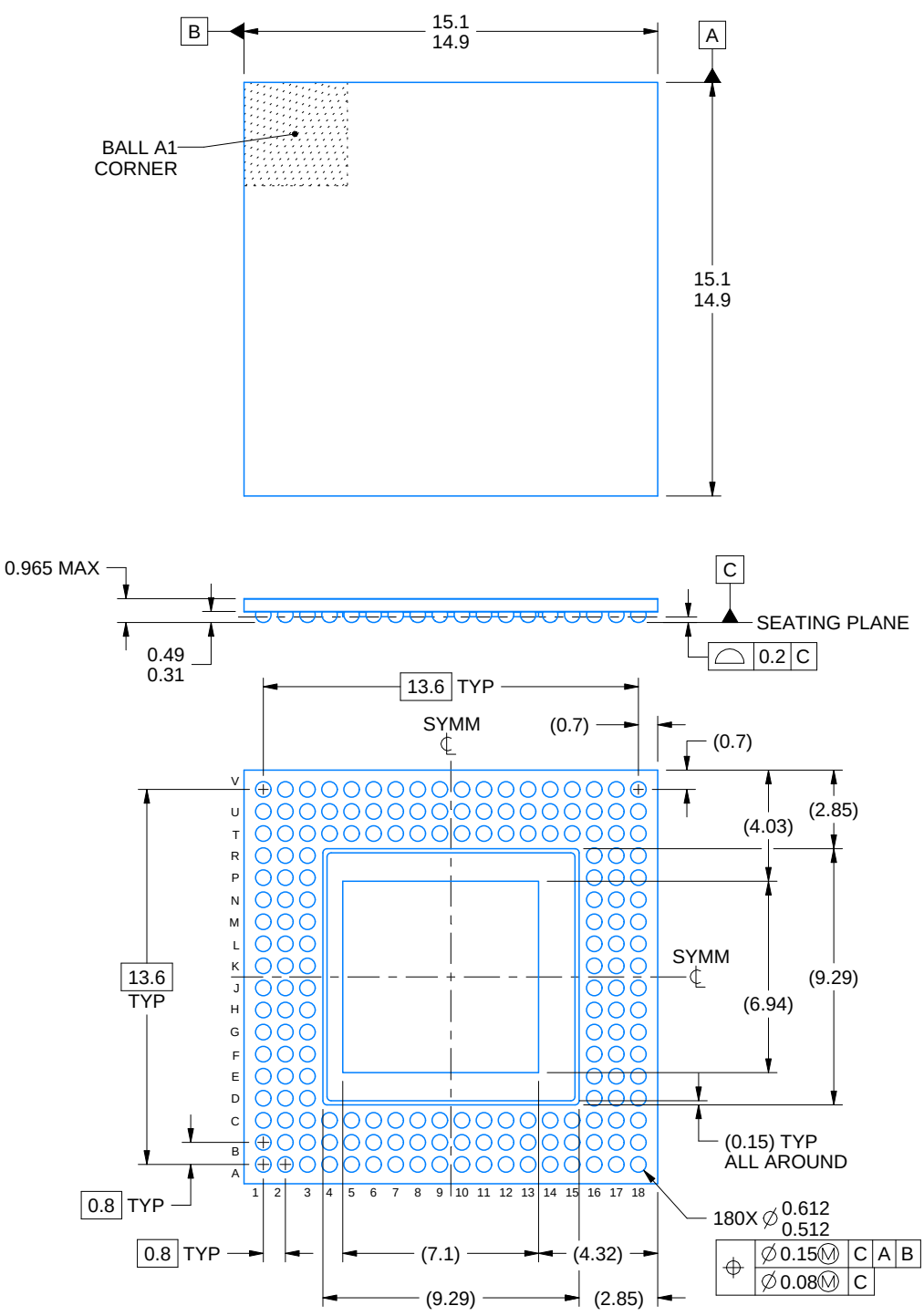
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
AWR6843ARBGALPQ1	ALP	FCCSP	180	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35
AWR6843ARBGALPQ1.B	ALP	FCCSP	180	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35

PACKAGE OUTLINE

ALP0180A

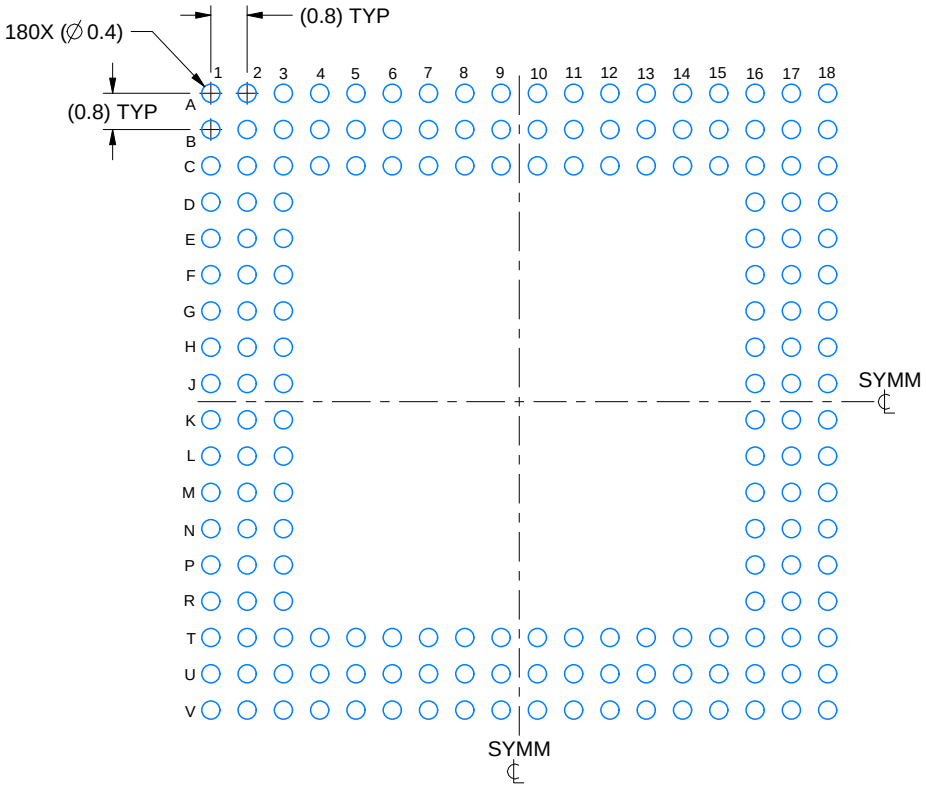
FCCSP - 0.965 mm max height

PLASTIC BALL GRID ARRAY

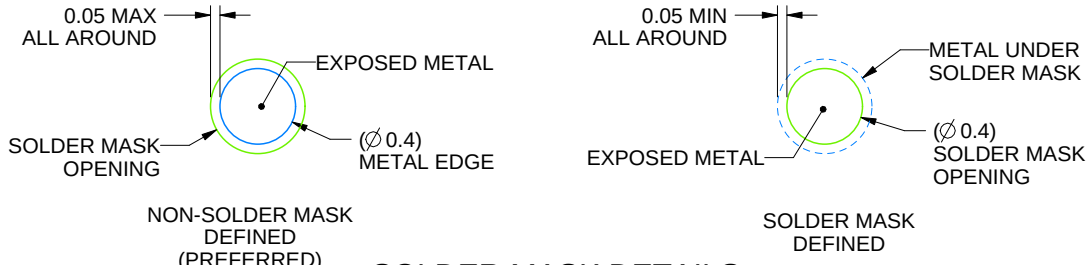


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 6X

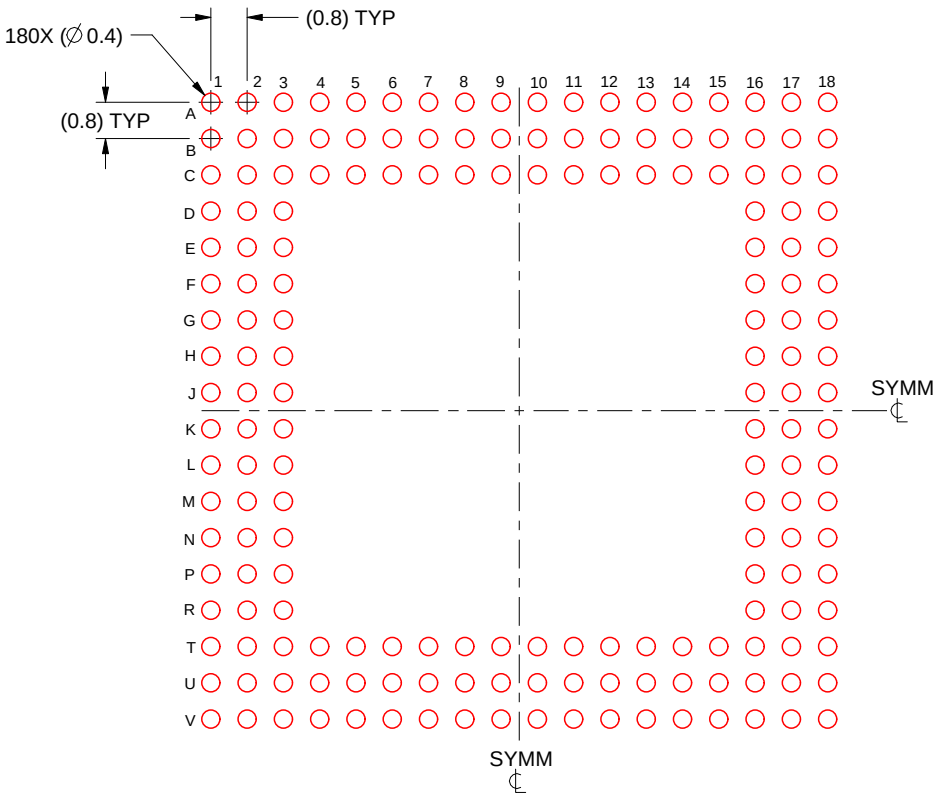


SOLDER MASK DETAILS
NOT TO SCALE

4225336/B 06/2023

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 6X

4225336/B 06/2023

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月