

AWRL6888 シングル チップ 57 ~ 64GHz 車載用レーダー センサ

1 特長

- FMCW トランシーバ
 - PLL、トランスミッタ、レシーバ、ベースバンド、ADC を内蔵
 - 57~64GHz 帯域で、連続帯域幅 7GHz
 - 2:1 スイッチング機能を備えた 8 つの受信チャネルと 8 つの送信チャネル
 - Tx あたり 9dBm (標準値) の出力電力
 - 12.5dB (標準値) のノイズ指数
 - 1MHz で -90.5dBc/Hz (標準値) の位相ノイズ
 - FMCW 動作
 - 10MHz IF 帯域幅、実数のみの Rx チャネル
 - フラクショナル N PLL を使用した超高精度のチャープ エンジン
 - 送信チャネル ペアごとに 1 つのバイナリ位相シフト
- 処理部品
 - 双精度 FPU (200MHz) を搭載した Arm®R5F® コア
 - FFT、対数振幅、CFAR 動作 (200MHz) 用ハードウェア アクセラレータ (HWA 1.2)
 - 後処理レーダー データ用の C66x DSP (450MHz)
- 複数の低消費電力モードをサポート
 - アイドル モードとディープ スリープ モード
- パワー マネージメント
 - 1.8V および 3.3V IO をサポート
 - 内蔵 LDO ネットワークにより PSRR の向上を実現
 - 1.8V IO モード用の 2 つの電源レール、3.3V IO モード用の 3 つの電源レール
- 21 x 21 BGA グリッド、329 BGA ボールを備えた FCCSP パッケージ、パッケージ サイズ: 11mm x 11mm
- 較正および自己テストを内蔵
 - 内蔵ファームウェア (ROM)
 - 自己完結型のオンチップ較正システム
- ホスト インターフェイス
 - 3xUART
 - 2xCAN-FD
 - 2xSPI
 - 1xLIN
- 未加工 ADC サンプル キャプチャのデータ転送用 LVDS
- ユーザー アプリケーションで利用可能なその他のインターフェイス
 - QSPI
 - I2C
 - JTAG
 - 8x GPIO
 - PWM インターフェイス
 - 4x GPADC
- デバイス セキュリティ (セキュア デバイス バリエーションに適用可能)
 - プログラム可能な組み込みハードウェア セキュリティ モジュール (HSM)
 - セキュア認証および暗号化ブートのサポート
 - 顧客がプログラム可能なルート キー、対称キー (256 ビット)、非対称キー (RSA-4K または ECC-512 まで)、キー失効機能付き
 - 暗号化ハードウェア アクセラレータ: ECC/RSA 対応 PKA、AES (最大 256 ビット)、SHA (最大 512 ビット)、TRNG/DRBG、および SM2、SM3、SM4 (中国語暗号化アルゴリズム)
 - 製品のサイバーセキュリティへの準拠
 - ISO21434 準拠、CAL2 までを対象
 - サイバー セキュリティ関連アプリケーション向けに開発さ
 - サイバーセキュリティ システム設計に役立つ資料が入手可能になる予定
- 内部メモリ
 - オンチップ RAM - 2.5MB (以下を含む)
 - R5F TCMA RAM - 512KB
 - R5F TCMB RAM - 256KB
 - DSS L2 RAM - 384KB
 - DSS L3 RAM - 512KB
 - DSS L3 共有 RAM - 896KB (TCM と共有可能)
- 機能安全準拠予定
 - 機能安全アプリケーション向けに開発
 - 機能安全システム設計を支援するドキュメントを準備中
 - ISO26262 規格に従いより ASIL-B までを対象とするハードウェア インテグリティ
- AEC Q-100 予定
- クロック ソース
 - プライマリ クロック用の 40.0MHz 水晶振動子
 - 40.0MHz の外部駆動クロック (方形波 / 正弦波) をサポート
 - 低消費電力動作 32kHz 内部発振器
- 動作時の温度状態対応
 - 接合部温度範囲: -40°C ~ 140°C



2 アプリケーション

- 車室内センシング
- 子供の存在検知
- 車両占有の検出、の位置特定と分類
- 車両乗員のバイタルサイン監視

- 侵入者検出
- シートベルト警報
- エアバッグ展開
- 姿勢検出
- アクティビティ検出

3 説明

AWRL6888 ミリ波センサデバイスは、FMCW レーダーテクノロジーをベースとする、TI のローパワーかつハードウェアセキュリティモジュール (HSM) 対応の統合型シングルチップミリ波センサです。このデバイスは、連続チャープ帯域幅が 7GHz である 57GHz ~ 63.9GHz の帯域で動作でき、さまざまな自動車内ユースケースに対応できるように設計されています。また、このデバイスはローパワーアーキテクチャを活用して、電力制約が厳しいアプリケーションにも対応可能です。このデバイスは、次の 4 つの切り替え可能な電力ドメインに分割されます：

1. **RF / アナログ サブシステム**: このブロックには、RF 信号の送受信に必要なすべての RF およびアナログ コンポーネントが含まれています。
2. **フロント エンド コントローラ サブシステム (FECSS)**: このブロックには、レーダー フロント エンドの構成、制御、較正を行うプロセッサが含まれています。
3. **アプリケーション サブシステム (APPSS)**: APPSS には、カスタム アプリケーション開発と車載インターフェイス向けのプログラマブル ARM Cortex-R5F マイコンが搭載されています。APPSS には、TOPSS、HSM、クロッキング、パワー マネージメント サブブロックが含まれています。
4. **DSP サブシステム (DSS)**: DSS には、レーダー信号処理用のテキサス・インスツルメンツの高性能 C66x DSP が内蔵されています。DSS にはさらにハードウェア アクセラレータブロック (HWA 1.2) が含まれており、これは、FFT、一定誤警報率 (CFAR)、スケーリング、圧縮などの一般的なレーダー処理を負荷分担して、DSP と ARM Cortex-R5F を補完します。

AWRL6888 は、アプリケーションの要件に基づいて上記の電源ドメインの電力状態を動的にコントロールできるように、特別に設計されています。このデバイスはさらに、デバイスの内部 IP ブロックをオフにすると生じるさまざまなローパワー状態を特徴としています。AWRL6888 デバイスは、これらのローパワー状態時にメモリを保持して、各種電力モードにわたってアプリケーションのイメージや RF プロファイルなどの重要な情報を保持するオプションを提供します。

ハードウェア セキュリティ モジュール (HSM) もこのデバイスに用意されています (セキュア部品バリエーションに対応可能)。HSM は、プログラム可能な Arm Cortex-M4 コアと、デバイス内でセキュアな動作ゾーンを実現するために必要なインフラで構成されます。

さらに、このデバイスは、テキサス・インスツルメンツの低消費電力 45nm RF CMOS プロセスで製造され、超小型の外形で、かつてないレベルの統合を実現しています。AWRL6888 は、自動車分野において、子供の存在検知、乗員の位置特定・分類、ロー パワー侵入監視などを用途とするロー パワーで超高精度の自己監視型レーダシステム向けに設計されています。

パッケージ情報

部品番号 ⁽¹⁾	パッケージ	本体サイズ ⁽¹⁾	トレイ / テープ アンドリール	説明
XA6888DBGAPD	APD (FCCSP, 329)	11mm x 11mm	トレイ	量産開始前製品バリエーション。ASIL-B 対応予定ディープスリープ有効、汎用バリエーション。
XA6888DBSAPD	APD (FCCSP, 329)	11mm x 11mm	トレイ	量産開始前製品バリエーション。ASIL-B 対応予定ディープスリープ有効、セキュアバリエーション - ISO21434 準拠、CAL2 まで対象。
AWRL6888DBGAPDRQ1	APD (FCCSP, 329)	11mm x 11mm	テープ アンドリール	車載用製品バリエーション。ASIL-B 対応予定ディープスリープ有効、汎用バリエーション。
AWRL6888DBSAPDRQ1	APD (FCCSP, 329)	11mm x 11mm	テープ アンドリール	車載用製品バリエーション。ASIL-B 対応予定ディープスリープ有効。セキュアバリエーション - ISO21434 準拠、CAL2 までを対象

(1) 詳細については、「デバイスの命名規則」[「メカニカル、パッケージ、および注文情報」](#)を参照してください。

4 機能ブロック図

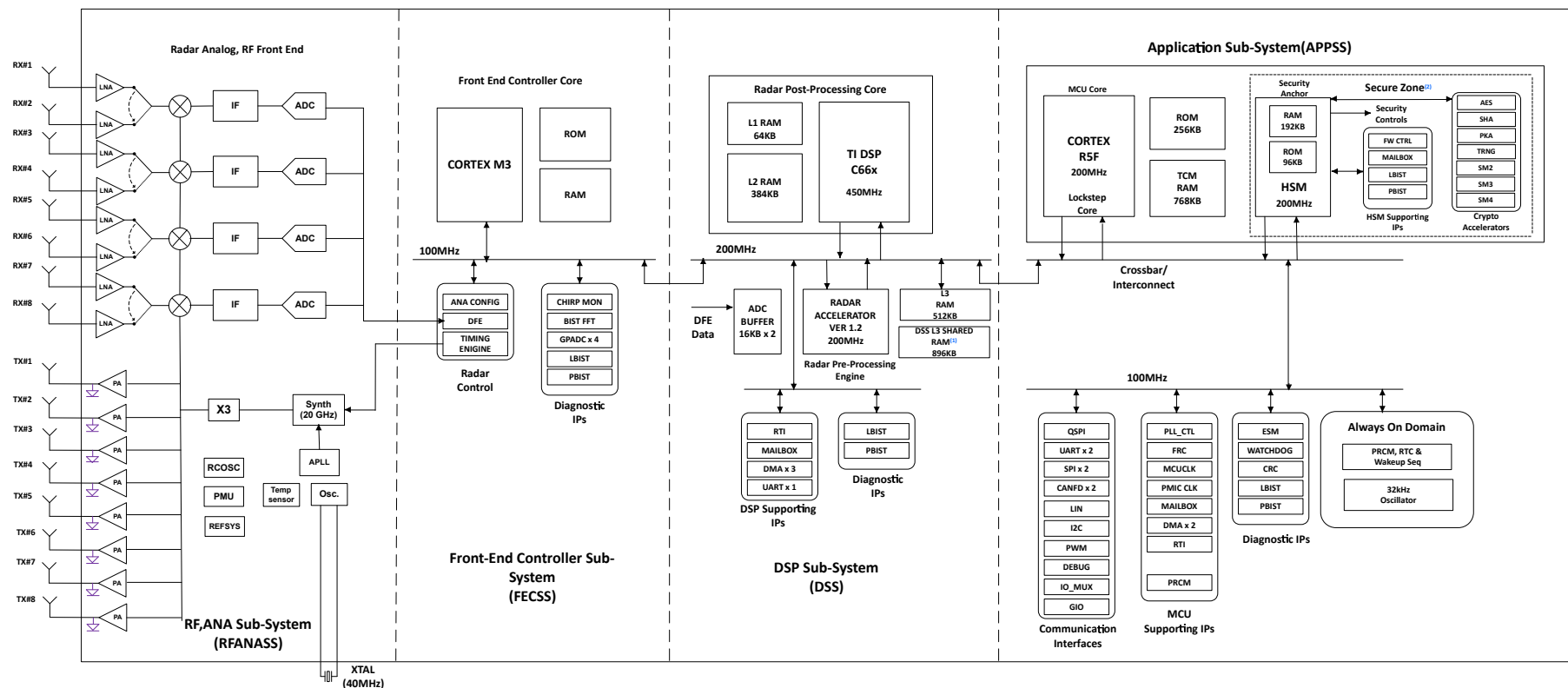


図 4-1. 機能ブロック図

1. 表 4-1 に 896KB の DSS L3 共有 RAM メモリの位置を列挙します。ネイティブ メモリと共有メモリの位置と可能なマッピングの詳細については、『[テクニカル リファレンス マニュアル](#)』の「メモリ マップ」セクションを参照してください。
2. セキュア デバイス バリエーションにのみ適用されます。

表 4-1. 共有メモリのアロケーション

メモリ	アロケーション
512KB	DSS L3、APPSS TCMA
256KB	DSS L3、APPSS TCMB
128KB	DSS L3、FECSS

目次

1 特長.....	1	7.12 熱抵抗特性.....	44
2 アプリケーション.....	2	7.13 タイミングおよびスイッチング特性.....	44
3 説明.....	2	8 詳細説明.....	64
4 機能ブロック図.....	4	8.1 概要.....	64
5 デバイスの比較.....	7	8.2 機能ブロック図.....	65
5.1 関連製品.....	9	8.3 サブシステム.....	67
6 端子構成および機能.....	10	8.4 その他のサブシステム.....	73
6.1 ピン配置図.....	10	9 監視と診断.....	77
6.2 信号の説明.....	11	10 アプリケーション、実装、およびレイアウト.....	78
7 仕様.....	27	10.1 使用上の注意.....	78
7.1 絶対最大定格.....	27	10.2 リファレンス回路図.....	78
7.2 ESD 定格.....	27	11 デバイスおよびドキュメントのサポート.....	79
7.3 電源投入時間 (POH).....	28	11.1 デバイスの命名規則.....	79
7.4 推奨動作条件.....	29	11.2 ツールとソフトウェア.....	80
7.5 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様.....	29	11.3 ドキュメントのサポート.....	80
7.6 電源仕様.....	31	11.4 サポートリソース.....	80
7.7 パワー セーブ モード.....	37	11.5 商標.....	81
7.8 電圧レールごとのピーク電流要件.....	40	11.6 静電放電に関する注意事項.....	81
7.9 RF 仕様.....	41	11.7 用語集.....	81
7.10 サポート対象 DFE 機能.....	43	12 改訂履歴.....	81
7.11 CPU の仕様.....	44	13 メカニカル、パッケージ、および注文情報.....	82

5 デバイスの比較

下表に、レーダー デバイスの機能の比較を示します。

表 5-1. デバイスの機能の比較

FUNCTION	AWRL6888	AWRL6844	AWRL6843	AWR6843	AWR6843AOP	AWRL6432
アンテナ オン パッケージ (AOP)	-	-	-	-	あり	-
レシーバの数	8	4	4	4	4	3
トランスミッタの数	8	4	3	3	3	2
RF 周波数範囲	57~64GHz	57~64GHz	57~64GHz	60~64GHz	60~64GHz	57~64GHz
オンチップ メモリ	2.5MB	2.5MB	2MB	1.75MB	1.75MB	1MB
最大 I/F (中間周波数) (MHz)	10	10	10	10	10	5
最大実数サンプリング レート (Msps)	25	25	25	25	25	12.5
最大複素サンプリング レート (Msps)	-	-	-	12.5	12.5	-
低消費電力ディープ スリープ モード	あり	あり	あり	-	-	あり
セーフティおよびセキュリティ						
機能安全への準拠	ASIL-B 対応予定 ⁽¹⁾	ASIL-B	ASIL-B	ASIL-B	ASIL-B	ASIL-B
サイバーセキュリティ - 準拠	CAL2 対応予定	CAL2 対応予定	CAL2 対応予定	-	-	-
デバイスのセキュリティ ⁽²⁾	あり (セキュア ブート対応)	あり (セキュア ブート対応)	あり (セキュア ブート対応)	あり (セキュア ブート対応)	あり (セキュア ブート対応)	あり (認証済み ブート対応)
ハードウェア セキュリティ モジュール (HSM)	あり	あり	あり	-	-	-
プロセッサ						
マイコン	R5F®	R5F®	R5F®	R4F®	R4F®	M4F®
DSP	C66x	C66x	C66x	C674x	C674x	-
HWA	HWA 1.2	HWA 1.2	HWA 1.2	HWA1.1	HWA1.1	HWA 1.2
ペリフェラル						
シリアル ペリフェラル インターフェイス (SPI) ポート	2	2	2	2	2	2
クワッド シリアル ペリフェラル インターフェイス (QSPI)	あり	あり	あり	あり	あり	あり
I2C (Inter-Integrated Circuit) インターフェイス	1	1	1	1	1	1
コントローラ エリア ネットワーク (CAN-FD) インターフェイス	2	2	2	2	2	1
DSP トレース	-	-	-	あり	あり	-
PWM	あり	あり	あり	あり	あり	あり
ハードウェア イン ループ (HIL/DMM)	-	-	-	あり	あり	-
GPADC	4	4	4	6	6	2
ADC 未加工データ キャプチャ	LVDS	LVDS	LVDS	LVDS	LVDS	RDIF
LIN	あり	あり	あり	-	-	あり
UART	3 ⁽³⁾	3 ⁽³⁾	3 ⁽³⁾	2	2	2
JTAG	あり	あり	あり	あり	あり	あり
チャープごとに構成可能な TX 位相シフト	BPM のみ	BPM のみ	BPM のみ	あり ⁽⁴⁾	あり ⁽⁴⁾	BPM のみ

表 5-1. デバイスの機能の比較 (続き)

FUNCTION		AWRL6888	AWRL6844	AWRL6843	AWR6843	AWR6843AOP	AWRL6432
製品のステータス	製品プレビュー (PP)、事前情報 (AI)、量産データ (PD)	AI	PD (5)	PD (5)	PD (5)	PD (5)	PD (5)

- (1) 認定は、異なる時期に認定書をもって確定されることがあるため、目標は、関連するデータシートのみにおいて「準拠予定」から「準拠」に更新されます。最新の準拠ステータスについては、該当するデータシートを参照してください。
- (2) セキュア ブートとカスタマー プログラマブル キーを含むデバイス セキュリティ機能は、「製品情報」表のセクション 3 のデバイス タイプ識別子で示された一部の製品バリエーションでのみ利用できます。
- (3) APPSS からの 2 つの UART インスタンスと DSS からの 1 つの UART インスタンスを含む、3 つの UART インスタンスを使用できます
- (4) 6 ビット リニア位相シフト。
- (5) 量産データの情報は、公開日の時点で最新のものです。製品は、テキサス・インスツルメンツの標準保証条件に基づく仕様に準拠しています。

5.1 関連製品

この製品ファミリまたは関連製品の他のデバイスの詳細については、以下のリンクを参照してください。

ミリ波センサ

テキサス・インスツルメンツの最もフットプリントが小さい車載アプリケーション向けミリ波センサは、小さい電力で、距離、角度、速度を迅速かつ正確に検出します。

車載ミリ波センサ

テキサス・インスツルメンツの車載ミリ波センサ製品ラインアップは、超高分解能、小型、低消費電力のシングルチップ レーダー ソリューションに高性能レーダー フロント エンドを提供します。テキサス・インスツルメンツのスケラブルなセンサ製品ラインアップは、すべての自動車の快適性機能から安全性機能に至るまで、あらゆる性能、アプリケーション、センサ構成対応する ADAS、車内、近距離システム ソリューションの設計と開発を可能にします。

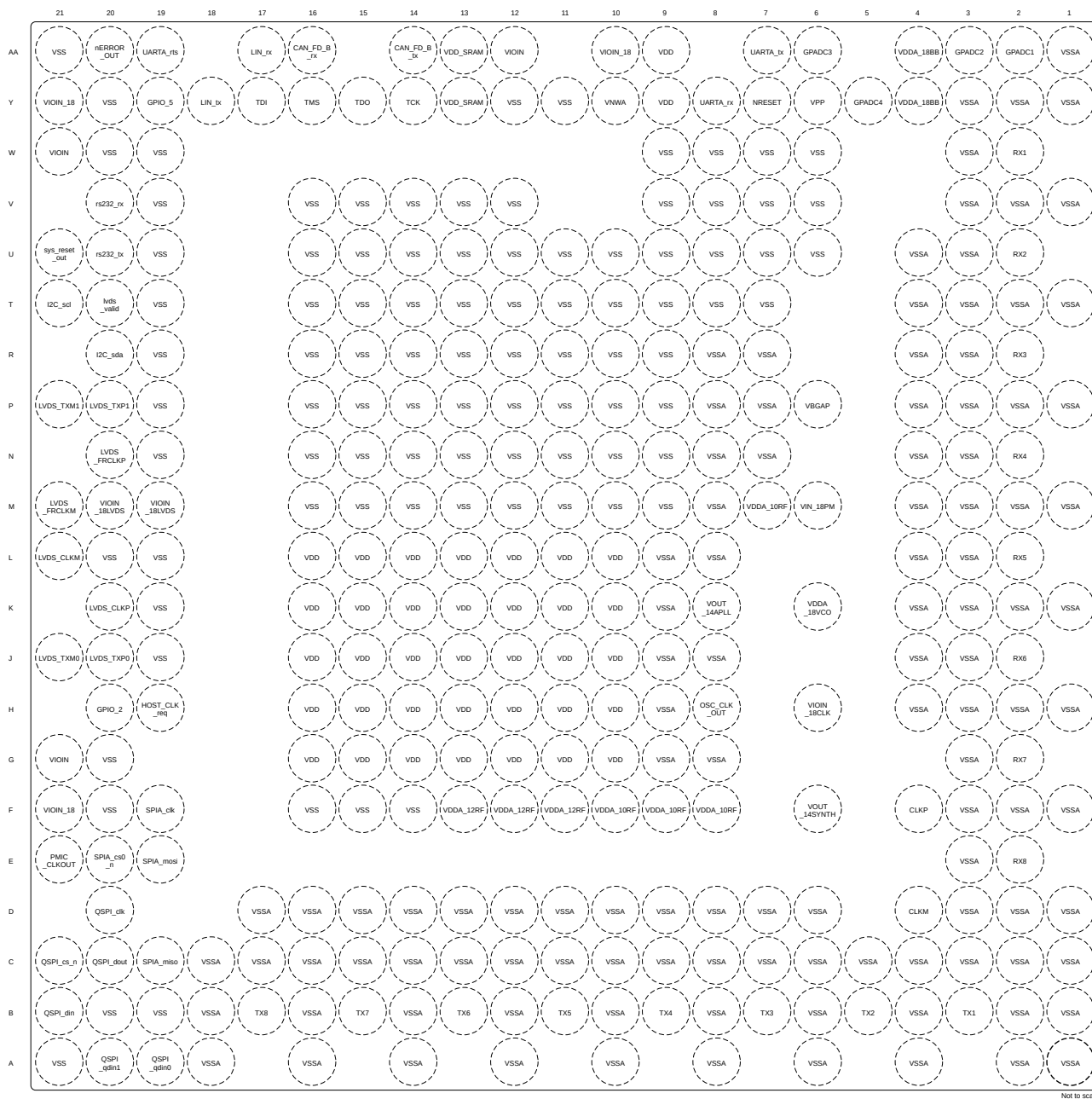
コンパニオン製品 (AWRL6888)

この製品に類似した製品を評価します。

6 端子構成および機能

6.1 ピン配置図

FCCSP のピン配置図 (上面図)



Not to scale

6.2 信号の説明

注

本デバイスのすべてのデジタル IO ピン (NRESET を除く) は非フェイルセーフであるため、VIO 電源が本デバイスに供給されていない状態で、外部から駆動しないよう注意が必要です。

LVDS インターフェイスは、デバッグおよび開発目的での使用を想定しており、量産用途には対応していません。

Y15 および E21 はセンス オン パワー ラインとしても機能します。それぞれブート モードの SOP0 および SOP1 に影響します。詳細については[セクション 6.3](#)を参照してください。

表 6-1. アナログ信号の説明

信号名	ピンの種類	説明	BGA のピン
CLKM	A	XTAL CLKM ピン	D4
CLKP	A	XTAL CLKP ピン	F4
GPADC1	A	GPADC 入力 1	AA2
GPADC2	A	GPADC 入力 2	AA3
GPADC3	A	GPADC 入力 3	AA6
GPADC4	A	GPADC 入力 4	Y5
NRESET	A	NRESET 入力	Y7
OSC_CLK_OUT	A	発振器クロック出力	H8
RX1	A	RX チャンネル 1	W2
RX2	A	RX チャンネル 2	U2
RX3	A	RX チャンネル 3	R2
RX4	A	RX チャンネル 4	N2
RX5	A	RX チャンネル 5	L2
RX6	A	RX チャンネル 6	J2
RX7	A	RX チャンネル 7	G2
RX8	A	RX チャンネル 8	E2
TX1	A	TX チャンネル 1	B3
TX2	A	TX チャンネル 2	B5
TX3	A	TX チャンネル 3	B7
TX4	A	TX チャンネル 4	B9
TX5	A	TX チャンネル 5	B11
TX6	A	TX チャンネル 6	B13
TX7	A	TX チャンネル 7	B15
TX8	A	TX チャンネル 8	B17
VBGAP	A	バンドギャップリファレンス ピン	P6

表 6-2. CAN 信号の説明

信号名	ピンの種類	説明	BGA のピン
CAN_FD_B_rx	I	CAN 受信データ	AA16
CAN_FD_B_tx	O	CAN 送信データ	AA14
CAN_FD_rx	I	CAN 受信データ	Y8

表 6-2. CAN 信号の説明 (続き)

信号名	ピンの種類	説明	BGA のピン
CAN_FD_tx	O	CAN 送信データ	AA7

表 6-3. クロック信号の説明

信号名	ピンの種類	説明	BGA のピン
MCU_CLKOUT	O	マイコンクロック出力	AA20、H19、R20
PMIC_CLKOUT	O	PMIC クロック出力	E21、T21
RTC_CLK_in	I	RTC クロック入力。これは、ディープ スリープを出るためのウェークアップ要因として使用されます。詳細については、「 テクニカル リファレンス マニュアル 」を参照してください。	AA19、AA20、B21、H20、Y16

表 6-4. EPWM 信号の説明

信号名	ピンの種類	説明	BGA のピン
ePWMA	O	EPWM 出力 A	AA16、AA19、C19、E20、T21、Y17
ePWMB	O	EPWM 出力 B	AA14、E19、F19、R20、Y14、Y19
ePWMSYNCl	I	EPWM 同期入力	T21、U20、Y16、Y19
ePWMSYNCO	O	EPWM 同期出力	R20、Y16

表 6-5. GPIO 信号の説明

信号名	ピンの種類	説明	BGA のピン
GPIO_0	IO	汎用入出力	AA16、E19
GPIO_1	IO	汎用入出力	AA14、C19
GPIO_2	IO	汎用入出力	H20、T20
GPIO_3	IO	汎用入出力	U21、Y8
GPIO_4	IO	汎用入出力	AA20、T21
GPIO_5	IO	汎用入出力	R20、Y19
GPIO_6	IO	汎用入出力	AA17、AA19
GPIO_7	IO	汎用入出力	H19、Y18

表 6-6. I2C 信号の説明

信号名	ピンの種類	説明	BGA のピン
I2C_scl	IO	I2C クロック	A19、AA7、F19、H19、T21、U20
I2C_sda	IO	I2C データ	A20、E20、H20、R20、V20、Y8

表 6-7. JTAG 信号の説明

信号名	ピンの種類	説明	BGA のピン
TCK	I	JTAG テスト クロック	Y14
TDI	I	テスト データ入力	Y17

表 6-7. JTAG 信号の説明 (続き)

信号名	ピンの種類	説明	BGA のピン
TDO	O	テスト データ出力	Y15
TMS	I	テスト モード選択	Y16

表 6-8. LIN 信号の説明

信号名	ピンの種類	説明	BGA のピン
LIN_rx	I	LIN 受信データ	AA17、H20、T20、 V20、Y19、Y8
LIN_tx	O	LIN 送信データ	AA19、AA7、E21、 H19、U20、U21、Y18

表 6-9. LVDS 信号の説明

信号名	ピンの種類	説明	BGA のピン
LVDS_CLKM	O	差動クロック	L21
LVDS_CLKP	O	差動クロック	K20
LVDS_FRCLKM	O	差動フレーム クロック	M21
LVDS_FRCLKP	O	差動フレーム クロック	N20
LVDS_TXM0	O	差動データ出力 - レ Lane0	J21
LVDS_TXM1	O	差動データ出力 - レ Lane1	P21
LVDS_TXP0	O	差動データ出力 - レ Lane0	J20
LVDS_TXP1	O	差動データ出力 - レ Lane1	P20
lvds_valid	O	High のとき、有効な LVDS データを示します	E19、T20

表 6-10. 電源信号の説明

信号名	ピンの種類	説明	BGA のピン
VDD	PWR	1.2V コア電源	AA9、G10、G11、 G12、G13、G14、 G15、G16、H10、 H11、H12、H13、 H14、H15、H16、J10、 J11、J12、J13、J14、 J15、J16、K10、K11、 K12、K13、K14、K15、 K16、L10、L11、L12、 L13、L14、L15、L16、 Y9
VDDA_10RF	PWR	1.0V 内部 LDO 出力。	F10、F8、F9、M7
VDDA_12RF	PWR	1.2V RF 電源	F11、F12、F13
VDDA_18BB	PWR	1.8V アナログ電源	AA4、Y4
VDDA_18VCO	PWR	1.8V アナログ電源	K6
VDD_SRAM	PWR	1.2V SRAM 電源	AA13、Y13
VIN_18PM	PWR	1.8V コア電源	M6
VIOIN	PWR	3.3V / 1.8V IO 電源	AA12、G21、W21
VIOIN_18	PWR	1.8V IO 電源	AA10、F21、Y21
VIOIN_18CLK	PWR	1.8V アナログ電源	H6

表 6-10. 電源信号の説明 (続き)

信号名	ピンの種類	説明	BGA のピン
VIOIN_18LVDS	PWR	LVDS ポート用 1.8V 電源	M19、M20
VNWA	PWR	1.2V VNWA 電源。常に SRAM 電源に接続。	Y10
VOUT_14APLL	PWR	1.4V 内部 LDO 出力	K8
VOUT_14SYNTH	PWR	1.4V 内部 LDO 出力	F6
VPP	PWR	ヒューズ チェーン用電源電圧	Y6
VSS	GND	グランド	A21、AA21、B19、B20、F14、F15、F16、F20、G20、J19、K19、L19、L20、M10、M11、M12、M13、M14、M15、M16、M9、N10、N11、N12、N13、N14、N15、N16、N19、N9、P10、P11、P12、P13、P14、P15、P16、P19、P9、R10、R11、R12、R13、R14、R15、R16、R19、R9、T10、T11、T12、T13、T14、T15、T16、T19、T7、T8、T9、U10、U11、U12、U13、U14、U15、U16、U19、U6、U7、U8、U9、V12、V13、V14、V15、V16、V19、V6、V7、V8、V9、W19、W20、W6、W7、W8、W9、Y11、Y12、Y20

表 6-10. 電源信号の説明 (続き)

信号名	ピンの種類	説明	BGA のピン
VSSA	GND	グランド	A1、A10、A12、A14、A16、A18、A2、A4、A6、A8、AA1、B1、B10、B12、B14、B16、B18、B2、B4、B6、B8、C1、C10、C11、C12、C13、C14、C15、C16、C17、C18、C2、C3、C4、C5、C6、C7、C8、C9、D1、D10、D11、D12、D13、D14、D15、D16、D17、D2、D3、D6、D7、D8、D9、E3、F1、F2、F3、G3、G8、G9、H1、H2、H3、H4、H9、J3、J4、J8、J9、K1、K2、K3、K4、K9、L3、L4、L8、L9、M1、M2、M3、M4、M8、N3、N4、N7、N8、P1、P2、P3、P4、P7、P8、R3、R4、R7、R8、T1、T2、T3、T4、U3、U4、V1、V2、V3、W3、Y1、Y2、Y3

表 6-11. QSPI 信号の説明

信号名	ピンの種類	説明	BGA のピン
QSPI_clk	IO	QSPI クロック	D20
QSPI_cs_n	O	OSPI チップ セレクト	C21
QSPI_din	I	QSPI データ ビット 1	B21
QSPI_dout	IO	QSPI データ ビット 0	C20
QSPI_qdin0	I	QSPI データ ビット 2	A19
QSPI_qdin1	I	QSPI データ ビット 3	A20

表 6-12. RS232 信号の説明

信号名	ピンの種類	説明	BGA のピン
rs232_rx	I	RS232 受信データ	V20
rs232_tx	O	RS232 送信データ	U20

表 6-13. SPIA 信号の説明

信号名	ピンの種類	説明	BGA のピン
SPIA_clk	IO	SPIA クロック	F19
SPIA_cs0_n	IO	SPIA チップ セレクト 0	E20
SPIA_cs1_n	IO	SPIA チップ セレクト 1	E21、H20、T20
SPIA_miso	IO	SPIA MISO	C19

表 6-13. SPIA 信号の説明 (続き)

信号名	ピンの種類	説明	BGA のピン
SPIA_mosi	IO	SPIA MOSI	E19

表 6-14. SPIB 信号の説明

信号名	ピンの種類	説明	BGA のピン
SPIB_clk	IO	SPIB クロック	D20、F19、T20、T21
SPIB_cs0_n	IO	SPIB チップ セレクト 0	AA20、C21、E20、U21
SPIB_cs1_n	IO	SPIB チップ セレクト 1	R20、U20
SPIB_miso	IO	SPIB MISO	B21、C19、H19、T20、V20
SPIB_mosi	IO	SPIB MOSI	C20、E19、R20

SPIB では、タイミング制約のため、特定の IOSET の組み合わせのみがサポートされています。表 6-15 に、SPIB に有効な IOSET の組み合わせを示します

表 6-15. SPIB 信号に有効な IOSET の組み合わせ

信号名	IOSET1	IOSET2	IOSET3	IOSET4
SPIB_clk	PAD_AA	PAD_AG	PAD_BC	PAD_BC
SPIB_cs0_n	PAD_AB	PAD_AH	PAD_BB	PAD_BB
SPIB_mosi	PAD_AC	PAD_AI	PAD_BD	PAD_BD
SPIB_miso	PAD_AD	PAD_AJ	PAD_BA	PAD_AX

表 6-16. システム信号の説明

信号名	ピンの種類	説明	BGA のピン
HOST_CLK_req	O	ホスト クロック要求出力。この信号は、外部マイコン/ホストに対して、CLKP ピンを通じてクロックを供給するように指示するものです。この信号は外部クロック モードで使用されます。詳細については、 セクション 7.13.3 を参照してください。	H19
nERROR_OUT	O	nERROR 出力信号。オープンドレインのフェイルセーフ出力信号。これは、重大度が高い故障が発生したことを示すために使用されます。復帰にはリセットが必要です。	AA20、T20
PRCM_PMIC_DeepSleep	O	ディープスリープ通知表示出力。この信号は、デバイスのディープスリープ状態を示すものです。	T20、Y18
SYNC_in	I	同期入力。これは同期フレームトリガに使用されます。詳細については セクション 7.13.2 を参照してください。	A20、AA20、T20、Y19、Y8
sys_reset_out	O	システムリセット通知出力。これは SOC がリセットを受けたことを示すために使用されます。	AA14、H20、U21、Y16
WU_regin	I	ウェークアップ要求入力。これは、ディープスリープを出るためのウェークアップ要因として使用されます。	A19、AA19、AA20、AA7、U21

表 6-17. UARTA 信号の説明

信号名	ピンの種類	説明	BGA のピン
UARTA_rts	O	UARTA RTS 出力	AA19
UARTA_rx	I	UARTA 受信データ	T21、Y8

表 6-17. UARTA 信号の説明 (続き)

信号名	ピンの種類	説明	BGA のピン
UARTA_tx	O	UARTA 送信データ	AA7、R20

表 6-18. UARTB 信号の説明

信号名	ピンの種類	説明	BGA のピン
UARTB_rx	I	UARTB 受信データ	V20、Y18、Y8
UARTB_tx	O	UARTB 送信データ	AA17、AA7、U20

表 6-19. DSS UARTA 信号の説明

信号名	説明	BGA のピン
HWASS_UARTA_RX	DSS で UART インスタンスをデバッグします。DSS UARTA 受信データ	AA16、V20、Y8
HWASS_UARTA_TX	DSS で UART インスタンスをデバッグします。DSS UARTA 送信データ	AA14、U20、AA7

表 6-20. ピン属性 (PKG1 パッケージ)

BGA ボール番号 ⁽¹⁾	ボール名 ⁽²⁾	信号名 ⁽³⁾	PINCNTL レジスタ ⁽⁴⁾	PINCNTL レジスタ アドレス ⁽⁵⁾⁽¹¹⁾	モード ⁽⁶⁾	タイプ ⁽⁷⁾	プルアップ / ダウン タイプ ⁽⁸⁾	RST 時のボールの状態 ⁽⁹⁾	RST 後のボールリセット ⁽¹⁰⁾
AA16	CAN_FD_B_rx	CAN_FD_B_rx	PADAY_CFG_REG	0x5A00 0060	0	I	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		HWASS_UARTA_rx			1	I			
		ePWMA			2	O			
		GPIO_0			3	IO			
AA14	CAN_FD_B_tx	CAN_FD_B_tx	PADAZ_CFG_REG	0x5A00 0064	0	O	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		HWASS_UARTA_tx			1	O			
		ePWMB			2	O			
		GPIO_1			3	IO			
		sys_reset_out			4	O			
D4	CLKM	CLKM				A			
F4	CLKP	CLKP				A			
AA2	GPADC1	GPADC1				A			
AA3	GPADC2	GPADC2				A			
AA6	GPADC3	GPADC3				A			
Y5	GPADC4	GPADC4				A			
H20	GPIO_2	GPIO_2	PADAL_CFG_REG	0x5A00 002C	0	IO	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		LIN_rx			1	I			
		sys_reset_out			2	O			
		I2C_sda			3	IO			
		SPIA_cs1_n			4	IO			
		RSVD			5	I			
		RTC_CLK_in			6	I			
Y19	GPIO_5	GPIO_5	PADAV_CFG_REG	0x5A00 0054	0	IO	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		SYNC_in			1	I			
		LIN_rx			2	I			
		ePWMB			3	O			
		ePWMSYNCI			4	I			
H19	HOST_CLK_req	HOST_CLK_req ⁽¹²⁾	PADAX_CFG_REG	0x5A00 005C	0	O	PU/PD	オフ / オフ / オフ	オフ / SS / オフ
		GPIO_7			1	IO			
		MCU_CLKOUT ⁽¹²⁾			2	O			
		LIN_tx			3	O			
		RSVD			4	I			
		SPIB_miso			5	IO			
		I2C_scl			6	IO			

表 6-20. ピン属性 (PKG1 パッケージ) (続き)

BGA ボール番号 ⁽¹⁾	ボール名 ⁽²⁾	信号名 ⁽³⁾	PINCNTL レジスタ ⁽⁴⁾	PINCNTL レジスタ アドレス ⁽⁵⁾⁽¹¹⁾	モード ⁽⁶⁾	タイプ ⁽⁷⁾	プルアップ / ダウン タイプ ⁽⁸⁾	RST 時のボールの状態 ⁽⁹⁾	RST 後のボールのリセット ⁽¹⁰⁾
T21	I2C_scl	I2C_scl	PADBC_CFG_REG	0x5A00 0070	0	IO	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		PMIC_CLKOUT			1	O			
		UARTA_rx			2	I			
		GPIO_4			3	IO			
		RSVD			4	O			
		ePWMA			5	O			
		ePWMSYNCl			6	I			
		SPIB_clk			7	IO			
R20	I2C_sda	I2C_sda	PADBD_CFG_REG	0x5A00 0074	0	IO	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		MCU_CLKOUT			1	O			
		UARTA_tx			2	O			
		GPIO_5			3	IO			
		RSVD			4	O			
		ePWMb			5	O			
		ePWMSYNCO			6	O			
		SPIB_cs1_n			7	IO			
AA17	LIN_rx	LIN_rx	PADBE_CFG_REG	0x5A00 0078	0	I	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		UARTB_tx			1	O			
		GPIO_6			2	IO			
Y18	LIN_tx	LIN_tx	PADBF_CFG_REG	0x5A00 007C	0	O	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		UARTB_rx			1	I			
		GPIO_7			2	IO			
		PRCM_PMIC_DeepSleep			3	O			
L21	LVDS_CLKM	LVDS_CLKM				IO			
K20	LVDS_CLKP	LVDS_CLKP				IO			
M21	LVDS_FRCLKM	LVDS_FRCLKM				IO			
N20	LVDS_FRCLKP	LVDS_FRCLKP				IO			
J21	LVDS_TXM0	LVDS_TXM0				IO			
P21	LVDS_TXM1	LVDS_TXM1				IO			
J20	LVDS_TXP0	LVDS_TXP0				IO			
P20	LVDS_TXP1	LVDS_TXP1				IO			

表 6-20. ピン属性 (PKG1 パッケージ) (続き)

BGA ボール番号 ⁽¹⁾	ボール名 ⁽²⁾	信号名 ⁽³⁾	PINCNTL レジスタ ⁽⁴⁾	PINCNTL レジスタ アドレス ⁽⁵⁾⁽¹¹⁾	モード ⁽⁶⁾	タイプ ⁽⁷⁾	プルアップ / ダウン タイプ ⁽⁸⁾	RST 時のボールの状態 ⁽⁹⁾	RST 後のボールのリセット ⁽¹⁰⁾
T20	lvds_valid	lvds_valid	PADBA_CFG_REG	0x5A00 0068	0	O	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		nERROR_OUT			1	O			
		LIN_rx			2	I			
		GPIO_2			3	IO			
		RSVD			4	O			
		SPIA_cs1_n			5	IO			
		SPIB_miso			6	IO			
		SPIB_clk			7	IO			
		SYNC_in			8	I			
		PRCM_PMIC_DeepSleep			9	O			
AA20	nERROR_OUT	nERROR_OUT	PADAU_CFG_REG	0x5A00 0050	0	O	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		GPIO_4			1	IO			
		SYNC_in			2	I			
		SPIB_cs0_n			3	IO			
		WU_reqin			4	I			
		RTC_CLK_in			5	I			
		MCU_CLKOUT			6	O			
Y7	NRESET	NRESET				A			
H8	OSC_CLK_OUT	OSC_CLK_OUT				A			
E21	PMIC_CLKOUT	SOP[1]	PADAK_CFG_REG	0x5A00 0028	During Power-Up	I	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		PMIC_CLKOUT ⁽¹²⁾			0	O			
		LIN_tx			1	O			
		SPIA_cs1_n			2	IO			
D20	QSPI_clk	QSPI_clk	PADAA_CFG_REG	0x5A00 0000	0	IO	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		SPIB_clk			1	IO			
C21	QSPI_cs_n	QSPI_cs_n	PADAB_CFG_REG	0x5A00 0004	0	O	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		SPIB_cs0_n			1	IO			
B21	QSPI_din	QSPI_din	PADAD_CFG_REG	0x5A00 000C	0	I	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		SPIB_miso			1	IO			
		RTC_CLK_in			2	I			
C20	QSPI_dout	QSPI_dout	PADAC_CFG_REG	0x5A00 0008	0	IO	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		SPIB_mosi			1	IO			
A19	QSPI_qdin0	QSPI_qdin0	PADAE_CFG_REG	0x5A00 0010	0	I	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		I2C_scl			1	IO			
		WU_reqin			2	I			

表 6-20. ピン属性 (PKG1 パッケージ) (続き)

BGA ボール番号 ⁽¹⁾	ボール名 ⁽²⁾	信号名 ⁽³⁾	PINCNTL レジスタ ⁽⁴⁾	PINCNTL レジスタ アドレス ⁽⁵⁾⁽¹¹⁾	モード ⁽⁶⁾	タイプ ⁽⁷⁾	プルアップ / ダウン タイプ ⁽⁸⁾	RST 時のボールの状態 ⁽⁹⁾	RST 後のボールのリセット ⁽¹⁰⁾
A20	QSPI_qdin1	QSPI_qdin1	PADAF_CFG_REG	0x5A00 0014	0	I	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		I2C_sda			1	IO			
		SYNC_in			2	I			
V20	rs232_rx	rs232_rx	PADAP_CFG_REG	0x5A00 003C	0	I	PU/PD	オフ / オフ / アップ	オン / オフ / アップ
		I2C_sda			1	IO			
		UARTB_rx			2	I			
		LIN_rx			3	I			
		RSVD			4	O			
		SPIB_miso			5	IO			
		HWASS_UARTA_rx			6	I			
U20	rs232_tx	rs232_tx	PADA0_CFG_REG	0x5A00 0038	0	O	PU/PD	オフ / オフ / オフ	オフ / SS / オフ
		I2C_scl			1	IO			
		UARTB_tx			2	O			
		LIN_tx			3	O			
		ePWMSYNCI			4	I			
		RSVD			5	O			
		SPIB_cs1_n			6	IO			
		HWASS_UARTA_tx			7	O			
W2	RX1	RX1				A			
U2	RX2	RX2				A			
R2	RX3	RX3				A			
N2	RX4	RX4				A			
L2	RX5	RX5				A			
J2	RX6	RX6				A			
G2	RX7	RX7				A			
E2	RX8	RX8				A			
F19	SPIA_clk	SPIA_clk	PADAG_CFG_REG	0x5A00 0018	0	IO	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		ePWMb			1	O			
		I2C_scl			2	IO			
		SPIB_clk			3	IO			
E20	SPIA_cs0_n	SPIA_cs0_n	PADAH_CFG_REG	0x5A00 001C	0	IO	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		ePWMa			1	O			
		I2C_sda			2	IO			
		SPIB_cs0_n			3	IO			
C19	SPIA_miso	SPIA_miso	PADAJ_CFG_REG	0x5A00 0024	0	IO	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		GPIO_1			1	IO			
		ePWMa			2	O			
		SPIB_miso			3	IO			

表 6-20. ピン属性 (PKG1 パッケージ) (続き)

BGA ボール番号 ⁽¹⁾	ボール名 ⁽²⁾	信号名 ⁽³⁾	PINCNTL レジスタ ⁽⁴⁾	PINCNTL レジスタ アドレス ⁽⁵⁾⁽¹¹⁾	モード ⁽⁶⁾	タイプ ⁽⁷⁾	プルアップ / ダウン タイプ ⁽⁸⁾	RST 時のボールの状態 ⁽⁹⁾	RST 後のボールリセット ⁽¹⁰⁾
E19	SPIA_mosi	SPIA_mosi	PADAI_CFG_REG	0x5A00 0020	0	IO	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		GPIO_0			1	IO			
		ePWMb			2	O			
		SPIB_mosi			3	IO			
		RSVD			4	O			
		lvds_valid			5	O			
U21	sys_reset_out	sys_reset_out	PADBB_CFG_REG	0x5A00 006C	0	O	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		WU_reqin			1	I			
		LIN_tx			2	O			
		GPIO_3			3	IO			
		RSVD			4	O			
		SPIB_cs0_n			5	IO			
Y14	TCK	TCK	PADAT_CFG_REG	0x5A00 004C	0	I	PU/PD	オフ / オフ / ダウン	オン / オフ / ダウン
		ePWMb			1	O			
Y17	TDI	TDI	PADAR_CFG_REG	0x5A00 0044	0	I	PU/PD	オフ / オフ / ダウン	オン / オフ / ダウン
		ePWMA			1	O			
Y15	TDO	SOP[0]	PADAS_CFG_REG	0x5A00 0048	パワーアップ時	I	PU/PD	オフ / オフ / オフ	オフ / SS / オフ
		TDO			0	O			
Y16	TMS	TMS	PADAQ_CFG_REG	0x5A00 0040	0	I	PU/PD	オフ / オフ / アップ	オン / オフ / アップ
		sys_reset_out			1	O			
		RSVD			2				
		RSVD			3				
		RSVD			4				
		RSVD			5				
		RTC_CLK_in			6	I			
		ePWMSYNCl			7	I			
		ePWMSYNCO			8	O			
B3	TX1	TX1				A			
B5	TX2	TX2				A			
B7	TX3	TX3				A			
B9	TX4	TX4				A			
B11	TX5	TX5				A			
B13	TX6	TX6				A			
B15	TX7	TX7				A			
B17	TX8	TX8				A			

表 6-20. ピン属性 (PKG1 パッケージ) (続き)

BGA ボール番号 ⁽¹⁾	ボール名 ⁽²⁾	信号名 ⁽³⁾	PINCNTL レジスタ ⁽⁴⁾	PINCNTL レジスタ アドレス ⁽⁵⁾⁽¹¹⁾	モード ⁽⁶⁾	タイプ ⁽⁷⁾	プルアップ / ダウン タイプ ⁽⁸⁾	RST 時のボールの状態 ⁽⁹⁾	RST 後のボールのリセット ⁽¹⁰⁾
AA19	UARTA_rts	UARTA_rts	PADAW_CFG_REG	0x5A00 0058	0	O	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		GPIO_6			1	IO			
		LIN_tx			2	O			
		RSVD			3				
		WU_reqin			4	I			
		ePWMA			5	O			
		RTC_CLK_in			6	I			
Y8	UARTA_rx	UARTA_rx	PADAM_CFG_REG	0x5A00 0030	0	I	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		GPIO_3			1	IO			
		LIN_rx			2	I			
		CAN_FD_rx			3	I			
		SYNC_in			4	I			
		UARTB_rx			5	I			
		I2C_sda			6	IO			
		RSVD			7	O			
		HWASS_UARTA_rx			8	I			
AA7	UARTA_tx	UARTA_tx	PADAN_CFG_REG	0x5A00 0034	0	O	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		LIN_tx			1	O			
		CAN_FD_tx			2	O			
		RSVD			3				
		WU_reqin			4	I			
		UARTB_tx			5	O			
		I2C_scl			6	IO			
		RSVD			7	O			
		HWASS_UARTA_tx			8	O			
P6	VBGAP	VBGAP				A			
AA9, G10, G11, G12, G13, G14, G15, G16, H10, H11, H12, H13, H14, H15, H16, J10, J11, J12, J13, J14, J15, J16, K10, K11, K12, K13, K14, K15, K16, L10, L11, L12, L13, L14, L15, L16, Y9	VDD	VDD				PWR			
F10, F8, F9, M7	VDDA_10RF	VDDA_10RF				PWR			
F11, F12, F13	VDDA_12RF	VDDA_12RF				PWR			
AA4, Y4	VDDA_18BB	VDDA_18BB				PWR			
K6	VDDA_18VCO	VDDA_18VCO				PWR			
AA13, Y13	VDD_SRAM	VDD_SRAM				PWR			

表 6-20. ピン属性 (PKG1 パッケージ) (続き)

BGA ボール番号 ⁽¹⁾	ボール名 ⁽²⁾	信号名 ⁽³⁾	PINCNTL レジスタ ⁽⁴⁾	PINCNTL レジスタ アドレス ⁽⁵⁾⁽¹¹⁾	モード ⁽⁶⁾	タイプ ⁽⁷⁾	プルアップ / ダウン タイプ ⁽⁸⁾	RST 時のボールの状態 ⁽⁹⁾	RST 後のボールのリセット ⁽¹⁰⁾
M6	VIN_18PM	VIN_18PM				PWR			
AA12, G21, W21	VIOIN	VIOIN				PWR			
AA10, F21, Y21	VIOIN_18	VIOIN_18				PWR			
H6	VIOIN_18CLK	VIOIN_18CLK				PWR			
M19, M20	VIOIN_18LVDS	VIOIN_18LVDS				PWR			
Y10	VNWA	VNWA				PWR			
K8	VOUT_14APLL	VOUT_14APLL				PWR			
F6	VOUT_14SYNTH	VOUT_14SYNTH				PWR			
Y6	VPP	VPP				PWR			
A21, AA21, B19, B20, F14, F15, F16, F20, G20, J19, K19, L19, L20, M10, M11, M12, M13, M14, M15, M16, M9, N10, N11, N12, N13, N14, N15, N16, N19, N9, P10, P11, P12, P13, P14, P15, P16, P19, P9, R10, R11, R12, R13, R14, R15, R16, R19, R9, T10, T11, T12, T13, T14, T15, T16, T19, T7, T8, T9, U10, U11, U12, U13, U14, U15, U16, U19, U6, U7, U8, U9, V12, V13, V14, V15, V16, V19, V6, V7, V8, V9, W19, W20, W6, W7, W8, W9, Y11, Y12, Y20	VSS	VSS				GND			

表 6-20. ピン属性 (PKG1 パッケージ) (続き)

BGA ボール番号 ⁽¹⁾	ボール名 ⁽²⁾	信号名 ⁽³⁾	PINCNTL レジスタ ⁽⁴⁾	PINCNTL レジスタ アドレス ⁽⁵⁾⁽¹¹⁾	モード ⁽⁶⁾	タイプ ⁽⁷⁾	プルアップ / ダウン タイプ ⁽⁸⁾	RST 時のボールの状態 ⁽⁹⁾	RST 後のボールのリセット ⁽¹⁰⁾
A1, A10, A12, A14, A16, A18, A2, A4, A6, A8, AA1, B1, B10, B12, B14, B16, B18, B2, B4, B6, B8, C1, C10, C11, C12, C13, C14, C15, C16, C17, C18, C2, C3, C4, C5, C6, C7, C8, C9, D1, D10, D11, D12, D13, D14, D15, D16, D17, D2, D3, D6, D7, D8, D9, E3, F1, F2, F3, G3, G8, G9, H1, H2, H3, H4, H9, J3, J4, J8, J9, K1, K2, K3, K4, K9, L3, L4, L8, L9, M1, M2, M3, M4, M8, N3, N4, N7, N8, P1, P2, P3, P4, P7, P8, R3, R4, R7, R8, T1, T2, T3, T4, U3, U4, V1, V2, V3, W3, Y1, Y2, Y3	VSSA	VSSA				GND			

- (1) **ボール番号**: 底面の各信号に関連付けられた底面側のボール番号。
- (2) **ボール名**: パッケージ デバイスのメカニカル名 (名前は muxmode 0 に由来します)。
- (3) **信号名**: 各ボールで多重化された信号の名前 (ボールの名前は muxmode 0 での信号名であることに注意)。
- (4) **PINCNTL_REGISTER**: PinMux 制御用 APPSS レジスタ名
- (5) **PINCNTL アドレス**: PinMux 制御用 APPSS アドレス
- (6) **モード**: 多重化モード番号: このボール番号に対応する特定の信号名を選択するために PinMux 制御レジスタに書き込まれる値。モード列にはビット範囲値があります。
- (7) **タイプ**: 信号の種類と方向:
- I = 入力
 - O = 出力
 - IO = 入出力
- (8) **プルアップ / ダウン タイプ**: 内部プルアップまたはプルダウン抵抗が存在することを示します。プルアップおよびプルダウン抵抗は、ソフトウェアによって有効化または無効化できます。
- プルアップ: 内部プルアップ
 - プルダウン: 内部プルダウン
 - 空欄はプルアップ / ダウンがないことを意味します。
- (9) **RST 時のボールの状態**: リセット時のボールの状態 (RX/TX/Pull ステータス形式)
- RX (入力バッファ)
 - オフ: 入力バッファは無効です。
 - オン: 入力バッファは有効です。
 - TX (出力バッファ)
 - オフ: 出力バッファは無効です。
 - Low: 出力バッファは有効であり、V_{OL} を駆動します。

AWRL6888

JADS434 – SEPTEMBER 2026

- プル ステータス (内部プル抵抗)
 - オフ: 内部プル抵抗は**オフ**になっています。
 - アップ: 内部**プルアップ**抵抗がオンになっています。
 - ダウン: 内部**プルダウン**抵抗がオンになっています。
 - NA: 内部プル抵抗なし。
- 空欄、または「-」は該当しないことを意味します。

(10) RST 後のボールの状態:リセット後のボールの状態 (RX / TX / プル ステータス形式)

- RX (入力バッファ)
 - オフ: 入力バッファは**無効**です。
 - オン: 入力バッファは**有効**です。
- TX (出力バッファ)
 - オフ: 出力バッファは**無効**です。
 - SS: MUXMODE で選択されたサブシステムによって、出力バッファの状態が決まります。
- プル ステータス (内部プル抵抗)
 - オフ: 内部プル抵抗は**オフ**になっています。
 - アップ: 内部**プルアップ**抵抗がオンになっています。
 - ダウン: 内部**プルダウン**抵抗がオンになっています。
 - NA: 内部プル抵抗なし。
- 空欄、NA、「-」は該当しないことを意味します。

(11) ビン多重化制御値はレジスタの下位 4 ビットに割り当てられています。

(12) 使用制限あり。ディープ スリープ中は使用不可

7 仕様

7.1 絶対最大定格

パラメータ ⁽¹⁾⁽²⁾		最小値	最大値	単位
VDD	1.2V デジタル電源	-0.5	1.4	V
VIOIN	I/O 電源 (3.3V または 1.8V): すべての CMOS I/O は同じ VIOIN 電圧レベルで動作します。	-0.5	3.8	V
VIOIN_18	CMOS IO 用 1.8V 電源	-0.5	2	V
VIOIN_18CLK	クロック モジュール用 1.8V 電源	-0.5	2	V
VDDA_18BB	1.8V アナログ ベースバンド電源	-0.5	2	V
VDDA_18VCO	1.8V RF VCO 電源	-0.5	2	V
VIOIN_18LVDS	LVDS ポート用 1.8V 電源	-0.5	2	V
VPP	ヒューズ チェーン用電源電圧	-0.5	2	V
RX1-8	RF 入力 of 外部印加電力		10	dBm
TX1-8	RF 出力 of 外部印加電力 ⁽³⁾		10	dBm
入力および出力電圧範囲	デュアル電圧 LVCMOS 入力、3.3V または 1.8V (定常状態)	-0.3V	VIOIN + 0.3	V
	デュアル電圧 LVCMOS 入力、3.3V/1.8V (過渡オーバーシュート / アンダーシュート) または外部発振器入力で動作します。		VIOIN + 20% 信号周期の 20% まで	
CLKP、CLKM	リファレンス水晶振動子用入力ポート	-0.5	2	V
クランプ電流	それぞれの電源レールを 0.3V 上回るまたは下回る入力または出力電圧。I/O の内部ダイオード保護セルを流れるクランプ電流を制限します。	-20	20	mA
T _J	動作ジャンクション温度範囲	-40	140	°C
T _{STG}	プリント基板に半田付けた後の保存温度範囲	-55	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 特に記述のない限り、すべての電圧値は V_{SS} を基準にしています。
- (3) この値は、TX に外部から印加される信号レベルに対応します。さらに、TX 出力にはガンマ = 1 までの反射係数を適用できます。

7.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AECQ100-002 準拠 ⁽¹⁾	すべてのピン	±2000
		デバイス帯電モデル (CDM)、AEC 準拠 Q100-011	すべてのピン	±500
			角のピン	±750

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

7.3 電源投入時間 (POH)

接合部温度 (T _j) ⁽¹⁾	動作条件	公称 CVDD 電圧 (V)	パワーオン時間 [POH] (時間)
-40°C	50% デューティ サイクル	1.2	1200 (6%)
75°C			4000 (20%)
95°C			13000 (65%)
130°C			1600 (8%)
140°C			200 (1%)

- (1) この情報は、お客様の利便性のみを目的として提供されるものであり、テキサス・インスツルメンツの半導体製品に関する標準的な契約条件に基づいて提供される保証を拡張または変更するものではありません。

7.4 推奨動作条件

		最小値	公称値	最大値	単位
VDD	1.2V デジタル電源	1.14	1.2	1.26	V
VIOIN	I/O 電源 (3.3V または 1.8V): すべての CMOS I/O はこの電源で動作します。	3.135	3.3	3.465	V
		1.71	1.8	1.89	
VIOIN_18	CMOS IO 用 1.8V 電源	1.71	1.8	1.89	V
VIOIN_18CLK	クロック モジュール用 1.8V 電源	1.71	1.8	1.89	V
VDDA_18BB	1.8V アナログ ベースバンド電源	1.71	1.8	1.89	V
VDDA_18VCO	1.8V RF VCO 電源	1.71	1.8	1.89	V
VIOIN_18LVDS	LVDS ポート用 1.8V 電源	1.71	1.8	1.89	V
V _{IH}	電圧入力 High (1.8 V モード)	1.17			V
	電圧入力 High (3.3 V モード)	2.25			
V _{IL}	電圧入力 Low (1.8V モード)			0.3*VIOIN	V
	電圧入力 Low (3.3V モード)			0.62	
V _{OH}	High レベル出力スレッショルド (I _{OH} = 6mA)	VIOIN - 450			mV
V _{OL}	Low レベル出力スレッショルド (I _{OL} = 6mA)			450	mV
NRESET SOP[1:0]	V _{IL} (1.8V モード)			0.2	V
	V _{IH} (1.8V モード)	0.96			
	V _{IL} (3.3V モード)			0.3	
	V _{IH} (3.3V モード)	1.57			

7.5 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様

このセクションは、OTP eFuse のプログラミングに必要な動作条件を規定しており、セキュア ブート デバイスにのみ適用できます。お客様固有のキーまたはその他のフィールド (ソフトウェア バージョンなど) を efuse に書き込む際に、ユーザーは VPP 電源を供給する必要があります。

7.5.1 OTP eFuse プログラミングの推奨動作条件

パラメータ	説明	最小値	公称値	最大値	単位
VPP	通常動作時の eFuse ROM ドメインの電源電圧範囲	NC ⁽²⁾			
	OTP プログラミング時の eFuse ROM ドメインの電源電圧範囲 ⁽¹⁾	1.65	1.7	1.75	V
VPP 電源の持続時間	VPP 電圧が推奨時間を超えて供給された場合、信頼性の問題が発生する可能性があります。			24	時間帯
I(VPP)				50	mA
デカップリング コンデンサ			0.1 ⁽³⁾		μF

- (1) 通常動作中は、VPP に電圧を印加しないでください。これは通常、VPP 端子に接続されている外部レギュレータを無効にすることで実現できます。
- (2) NC: 接続なし
- (3) セキュア デバイス バリエーションに適用可能。汎用デバイス バリエーション用に VPP ピンをフローティングにすることができます。

注

パワーアップ シーケンス: VPP は、最後 (つまりその他のすべてのレールを立ち上げた後) に立ち上げる必要があります。

7.5.2 ハードウェア要件

OTP eFuse にキーをプログラムする場合、以下のハードウェア要件を満たす必要があります。

- OTP レジスタをプログラムしないときは、VPP 電源をディセーブルにする必要があります。

7.5.3 ハードウェア保証への影響

お客様は、eFuse を使用すると テキサス・インスツルメンツのデバイスに対して永続的な変更が加えられることを、自己の責任において認識し、受け入れるものとします。お客様は、不適切な動作条件またはプログラミング シーケンスが原因で eFuse が故障する可能性があることを承諾するものとします。このような障害が発生すると、テキサス・インスツルメンツのデバイスが動作不能になることがあります。また、テキサス・インスツルメンツは eFuse の使用を試行する前に、テキサス・インスツルメンツのデバイスがテキサス・インスツルメンツのデバイスの仕様に準拠していることを確認できません。したがって、eFuse のプログラム可能性に問題がある場合、テキサス・インスツルメンツは法的責任を負いません。

7.6 電源仕様

7.6.1 3.3V I/O トポロジ

表 7-1 に、3.3V I/O トポロジによる、外部電源ブロックから本デバイスまでの電源レールを示します。

表 7-1. 電源レールの特性：3.3V I/O トポロジ

電源	その電源から電力を供給されるデバイス ブロック	本デバイス内の関連 IO
3.3V	デジタル I/O	入力: VIOIN
1.8V	シンセサイザおよび APLL の VCO、水晶発振器、IF アンブ段、ADC、LVDS	入力: VDDA_18VCO、VIOIN_18CLK、VDDA_18BB、VIOIN_18、VIN_18PM、VIOIN_18LVDS LDO 出力: VOUT_14SYNTH、VOUT_14APLL
1.2V	コア デジタルおよび SRAM、RF、VNWA	入力: VDD、VNWA、VDD_SRAM、VDDA_12RF LDO 出力: VDDA_10RF

7.6.2 1.8V I/O トポロジ

表 7-2 に、1.8V I/O トポロジによる、外部電源ブロックから本デバイスまでの電源レールを示します。

表 7-2. 電源レールの特性：1.8V I/O トポロジ

電源	その電源から電力を供給されるデバイス ブロック	本デバイス内の関連 IO
1.8V	シンセサイザおよび APLL の VCO、水晶発振器、IF アンブ段、ADC、LVDS	入力: VIOIN、VIN_18PM、VDDA_18VCO、VIOIN_18CLK、VDDA_18BB、VIOIN_18、VIOIN_18LVDS LDO 出力: VOUT_14SYNTH、VOUT_14APLL
1.2V	コア デジタルおよび SRAM、RF、VNWA	入力: VDD、VDD_SRAM、VNWA、VDDA_12RF LDO 出力: VDDA_10RF

7.6.3 システム トポロジ

以下のシステムトポロジがサポートされています。

- トポロジ 1: ペリフェラル モード (外部マイコンの制御下で動作)
- トポロジ 2: 自律モード (LIN/CAN を介してリモート ホストに接続)

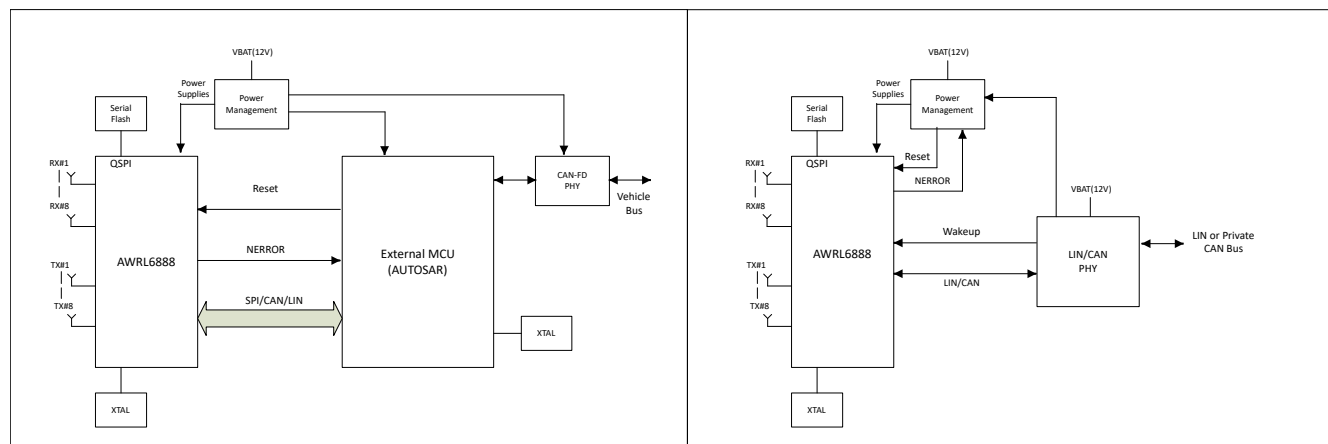


図 7-1. システム トポロジ (左: トポロジ 1、右: トポロジ 2)

トポロジ 1: ペリフェラル モードでは、AWRL6888 は外部マイコンによって制御され、ほとんどの処理は外部マイコンで実行されます。この場合、計算能力および電力要件は比較的高く、ほとんどの時間、外部マイコンはアクティブ状態を維持する可能性があります。

トポロジ 2: 自律モードでは、R5F アプリケーション プロセッサと組み合わせて、AWRL6888 を完全なセンサとして使用できます。この場合、内部アプリケーション プロセッサがすべての処理を実行した後、ホスト プロセッサに割り込み、センサデータに基づいてアクションを実行するように伝達します。ほとんどの処理は AWRL6888 チップの内蔵マイコンで実行され、必要な高レベルの結果のみが LIN/CAN を介して外部ホストに伝達されます。

7.6.3.1 I/O トポロジ

本デバイスには、2 レール (1.8V、1.2V) と 3 レール (3.3V、1.8V、1.2V) のどちらかの方法を使って電力を供給できます。

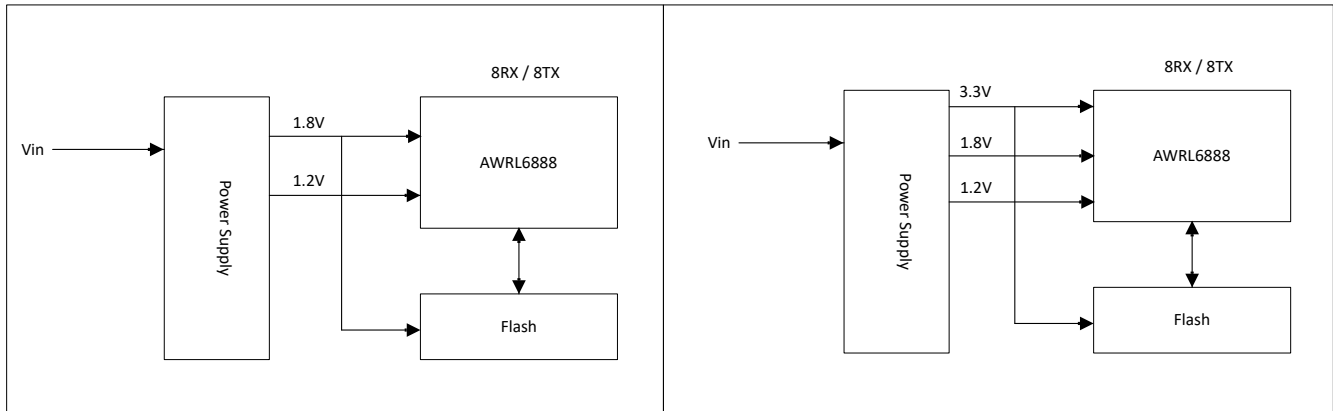


図 7-2. I/O トポロジ (左 : 1.8V I/O トポロジ、右 : 3.3V I/O トポロジ)

7.6.4 RF 電源のデカップリング コンデンサおよびレイアウト条件

このセクションでは、デカップリング コンデンサの推奨値と、RF 電源の特定の部分 (1.2V RF と 1V RF LDO) の寄生インダクタンスおよび抵抗の許容値の範囲を示します。温度による変動が小さい X7R タイプのコンデンサを使うことを推奨します。下表に、コンデンサの最小値と最大値を示します。この表には、与えられたコンデンサの DC バイアスによる変動、許容誤差、温度変動が含まれます。

注

1. 寄生素子の値が規定範囲内に収まらない場合、本デバイスの性能が低下する可能性があります。
2. 選択されたコンデンサの動作範囲が、規定された範囲を上回ることができないためです。

7.6.4.1 1.2V RF 電源レール

1.2V RF BGA ピンには、標準値が 22 μ F である 2 つのデカップリング コンデンサが必要です。

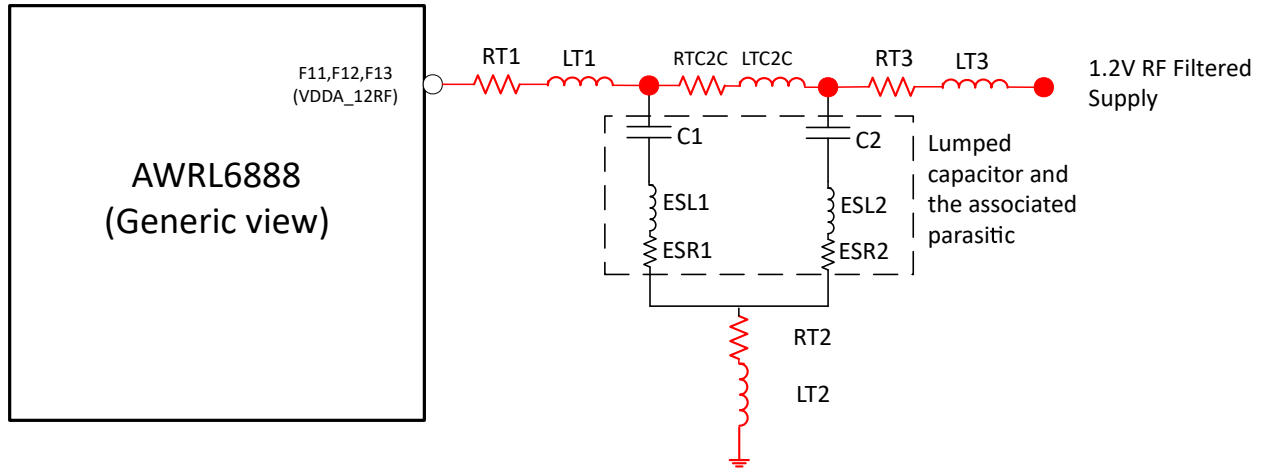


図 7-3. 入力パスの各部分が持つ寄生素子 (コンデンサが 2 つの場合)

図 7-3 に、出力パスの各部分が持つ寄生素子を示します。図に示すように、出力パスは次の 4 つの部分に分割できます。

フィルタ処理済み電源から第 2 コンデンサまで: 「RT3」と「LT3」は、1.2V RF フィルタ処理済み電源から第 2 コンデンサリードまでの部分により生じる寄生抵抗と寄生インダクタンスです。

第 2 コンデンサ沿い: 「ESL2」と「ESR2」は、第 2 デカップリング コンデンサの実効的な直列インダクタンスと直列抵抗です。「RT2」と「LT2」はそれぞれ第 2 コンデンサのグランドトレースの抵抗とインダクタンスです。

第 2 コンデンサリードから第 1 コンデンサリードまで: 「RTC2C」と「LTC2C」は、2 つのコンデンサの間のトレースの抵抗とインダクタンスです。

第 1 コンデンサ沿い: 「ESL1」と「ESR1」は、第 1 デカップリング コンデンサの実効的な直列インダクタンスと直列抵抗です。「RT2」と「LT2」はそれぞれ第 1 コンデンサのグランドトレースの抵抗とインダクタンスです。

第 1 コンデンサからボールまで: 「RT1」と「LT1」は、第 1 コンデンサリードからボールまでの部分により生じる寄生抵抗と寄生インダクタンスです。

注

2 つの 22 μ F コンデンサは、それぞれ対応する VDDA_12RF BGA ボールの近くに配置することが推奨されます。

7.6.4.1.1 1.2V RF レール

ボール名: VDDA_12RF

表 7-3. 1.2V RF レール

		最小値	標準値	最大値	単位
C の推奨値	C1		22.0 ⁽¹⁾		μ F
	C2		22.0 ⁽¹⁾		μ F

表 7-3. 1.2V RF レール (続き)

		最小値	標準値	最大値	単位
寄生インダクタンスの許容値	ボールから第 1 コンデンサのリードまで (LT1)			0.8	nH
	第 1 コンデンサ沿い (ESL1 + LT2)			0.7	
	第 2 コンデンサ沿い (ESL2 + LT2)			0.7	
	第 2 コンデンサとフィルタ処理済み電源 (LT3) の間			1.0	
寄生抵抗の許容値	ボールから第 1 コンデンサのリードまで (RT1)			1.5	mΩ
	第 1 コンデンサ沿い (ESR1 + RT2)			6.5	
	第 2 コンデンサ沿い (ESR2 + RT2)			6.5	
	第 2 コンデンサとフィルタ処理済み電源 (RT3) の間	2.0		17.0	

(1) 動作温度範囲全体にわたって 1.2V DC パイアスでキャパシタンスを 10.5μF ~ 22.2μF に維持するためにコンデンサが必須

2 つのデカップリング コンデンサを VDDA_12RF BGA ボールのできるだけ近くに配置し、コンデンサを相互に隣接させて 2 つのコンデンサ リード (RTC2C と LTC2C) の間の寄生成分を最小限に抑えます。BGA ボールに対するデカップリング コンデンサの推奨配置と、コンデンサの相互の推奨配置を 図 7-4 に示します。詳細については、[Altium AWRL6888 EVM 設計ファイル](#)を参照してください。

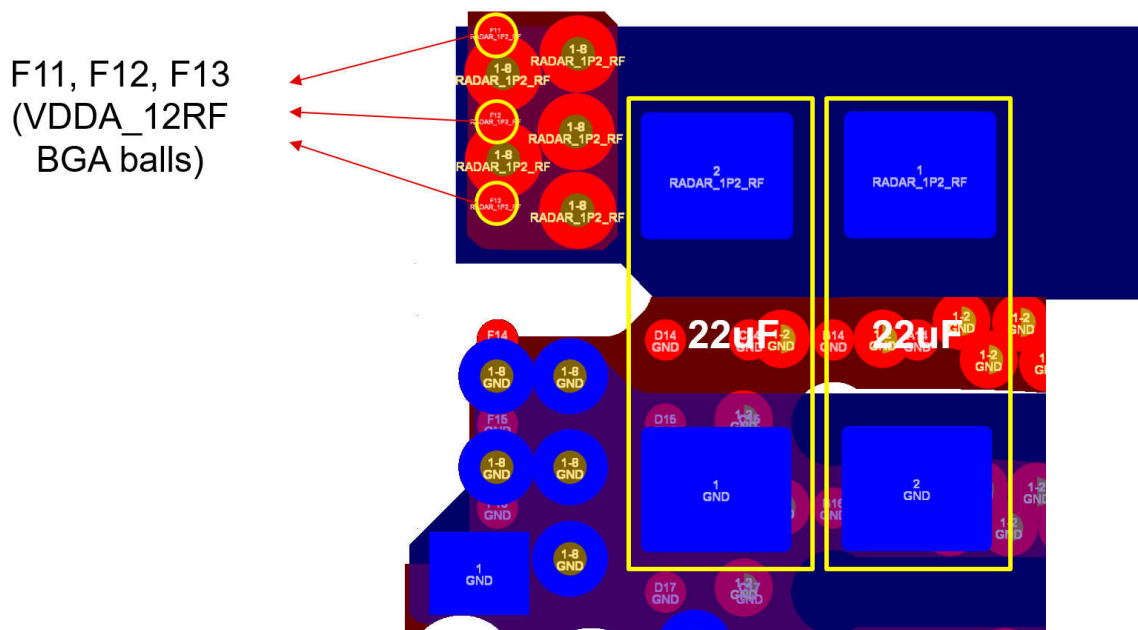


図 7-4. EVM のレイアウト例

7.6.4.2 1.0V RF LDO

1.0V RF LDO には、標準値が 10μF と 22μF である 2 つのデカップリング コンデンサが必要です。

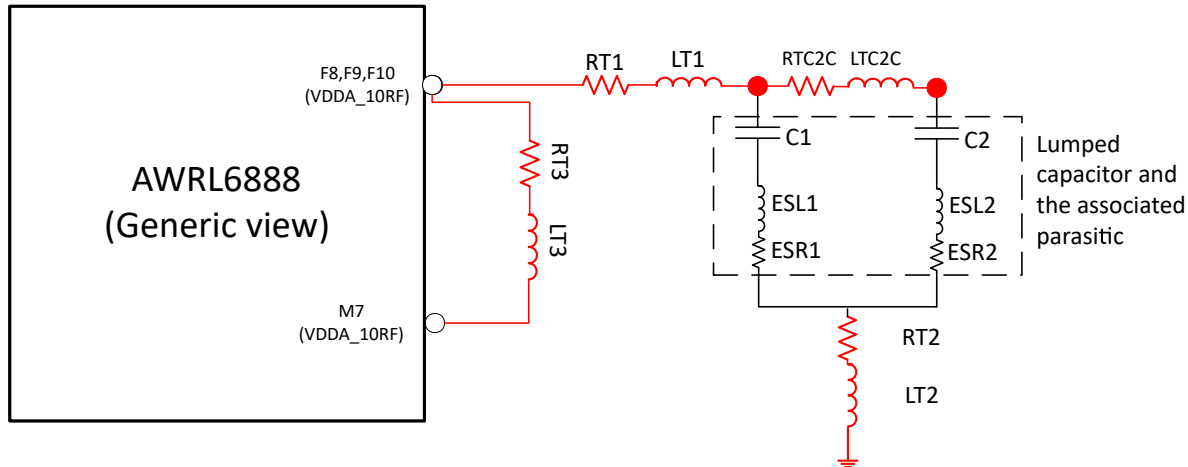


図 7-5. 出力パスの各部分が持つ寄生素子 (コンデンサが 2 つの場合)

図 7-5 に、出力パスの各部分が持つ寄生素子を示します。図に示すように、出力パスは次の 4 つの部分に分割できます。

ボールから第 1 コンデンサまで: 「RT1」と「LT1」は、ボールから第 1 コンデンサのリードまでの部分が持つ寄生抵抗と寄生インダクタンスです。

第 1 コンデンサ沿い: 「ESL1」と「ESR1」は、第 1 デカップリング コンデンサの実効的な直列インダクタンスと直列抵抗です。「RT2」と「LT2」はそれぞれ第 1 コンデンサのグラウンドトレースの抵抗とインダクタンスです。

第 1 コンデンサのリードから第 2 コンデンサのリードまで: 「RTC2C」と「LTC2C」は、2 つのコンデンサの間のトレースの抵抗とインダクタンスです。

第 2 コンデンサ沿い: 「ESL2」と「ESR2」は、第 2 デカップリング コンデンサの実効的な直列インダクタンスと直列抵抗です。「RT2」と「LT2」はそれぞれ第 2 コンデンサのグラウンドトレースの抵抗とインダクタンスです。

F8、F9、F10 の BGA ボールから M7 の BGA ボール: 「RT3」と「LT3」は、F8、F9、F10 の BGA ボールから M7 の BGA ボールまでの間に生じる寄生抵抗とインダクタンスです。

注

M7 ボールにはコンデンサを配置しないことが推奨されます。

どちらのコンデンサ (22 μ F と 10 μ F) も、それぞれの VDDA_10RF BGA ボールの近くに配置することが推奨されます。

出力デカップリング コンデンサ 1.0V RF LDO は、PCB の同じ層 (PCB の最上層または最下層のいずれか) に配置してください。

7.6.4.2.1 1.0V RF LDO

ボール名: VDDA_10RF

表 7-4. 1.0V RF LDO 出力

		最小値	標準値	最大値	単位
C の推奨値	C1		22.0 ⁽¹⁾		μ F
	C2		10.0 ⁽²⁾		μ F

表 7-4. 1.0V RF LDO 出力 (続き)

		最小値	標準値	最大値	単位
寄生インダクタンスの許容値	ボールから第 1 コンデンサのリードまで (LT1) + 第 1 コンデンサに沿って (ESL1 + LT2)	1.1		2.3	nH
	ボールから第 1 コンデンサのリードまで (LT1) + 第 2 コンデンサに沿って (ESL2 + LT2)	1.1		2.3	
	F8、F9、F10 BGA ボールから M7 BGA ボールへ			1	
寄生抵抗の許容値	ボールから第 1 コンデンサのリードまで (RT1) + 第 1 コンデンサに沿って (ESR1 + RT2)	4.5		8.5	mΩ
	ボールから第 1 コンデンサのリードまで (RT1) + 第 2 コンデンサに沿って (ESR2 + RT2)	4.5		8.5	
	F8、F9、F10 BGA ボールから M7 BGA ボールへ			50	

- (1) 動作温度範囲全体にわたって 1.0V DC バイアスでキャパシタンスを 10.8μF ~ 22.9μF に維持するためにコンデンサが必須
(2) 動作温度範囲全体にわたって 1.0V DC バイアスでキャパシタンスを 4.5μF ~ 9.9μF に維持するためにコンデンサが必須

2 つのデカップリング コンデンサを VDDA_10RF BGA ボールのできるだけ近くに配置し、コンデンサを相互に隣接させて 2 つのコンデンサ リード (RTC2C と LTC2C) の間の寄生成分を最小限に抑えます。BGA ボールに対するデカップリング コンデンサの推奨配置と、コンデンサの相互の推奨配置を 図 7-6 に示します。詳細については、[Altium AWRL6888 EVM 設計ファイル](#)を参照してください。

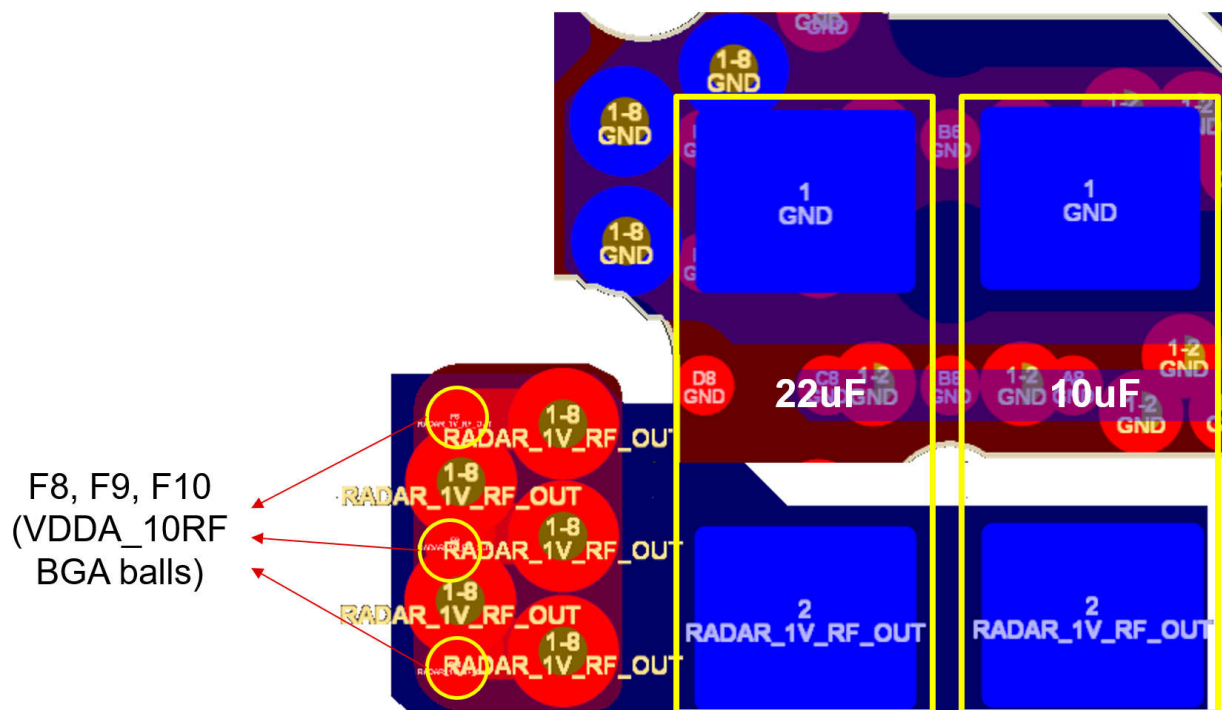


図 7-6. EVM のレイアウト例

幅が広い銅プレーンを使用して、F8、F9、F10 VDDA10_RFR BGA ボールを M7 VDDA10_RF BGA ボールに接続します。図 7-7 に、推奨レイアウトの例を示します。詳細については、[Altium AWRL6888 EVM 設計ファイル](#)を参照してください。

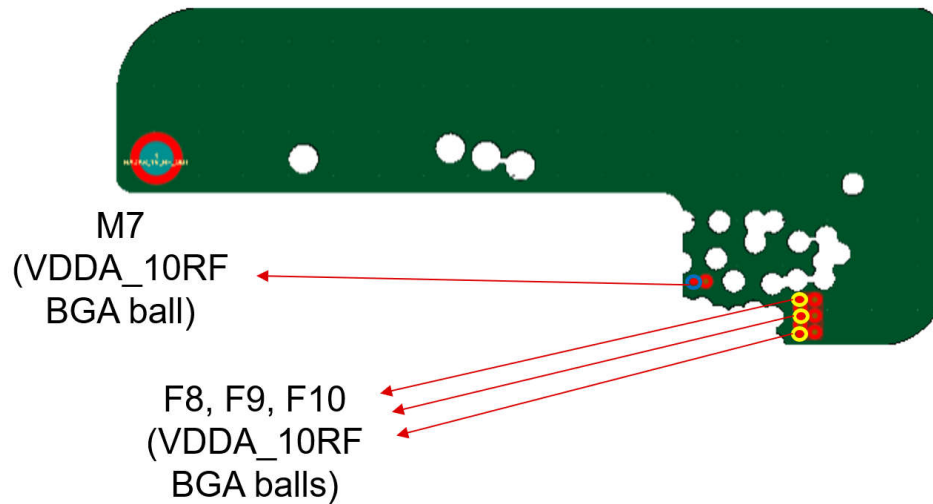


図 7-7. EVM のレイアウト例

7.6.5 ノイズおよびリップルの仕様

表 7-5 に示す 1.8V 電源リップル仕様は、RX で -105dBc (RF ピン = -15dBm) の目標スプリアス レベルを満たすように定義されています。スプリアス レベルとリップル レベルには、dB 対 dB の関係があります。たとえば、電源リップルが 1dB 増加すると、スプリアス レベルは ≈ 1 dB 増加します。引用された値は、指定された周波数で印加された正弦波入力のパーク ツー ピーク レベルです。これらの値は最適化中であり、変更される可能性があります。

表 7-5. ノイズおよびリップルの仕様

周波数 (kHz)	ノイズ仕様		リップル仕様	
	1.8V ($\mu\text{V}/\sqrt{\text{Hz}}$)	1.2V ($\mu\text{V}/\sqrt{\text{Hz}}$)	1.8V (mVpp)	1.2V (mVpp)
10	6.057	44.987	0.035	1.996
100	2.677	26.801	0.760	2.233
200	2.388	28.393	0.955	3.116
500	0.757	9.559	0.504	1.152
1000	0.419	1.182	0.379	0.532
2000	0.179	1.256	0.153	0.561
5000	0.0798	0.667	0.079	0.297
10000	0.0178	0.104	0.017	0.046

7.7 パワー セーブ モード

表 7-6 に、サポートされている電源の状態を示します。

表 7-6. デバイスの電源の状態

電源の状態	詳細
アクティブ	アクティブ電源状態とは、RF / チャージ動作が継続している状態を指します。
処理中	プロセッシング電源状態とは、データの処理中であり、かつ RF をオフにした状態を指します。(1)
アイドル	アイドル電源状態とは、フレーム間 / パースト間 / チャージ間のアイドル時間を指します。

表 7-6. デバイスの電源の状態 (続き)

電源の状態	詳細
ディープ スリープ	本デバイスの最小消費電力状態で、デバイスを再起動することなくデバイスの重要コンテンツ (アプリケーションイメージ、チャープ プロファイルなど) を保持できます。 消費電力を大幅に節約するため、フレーム処理が完了した後、本デバイスはこの状態に移行できます。ディープスリープの終了は、多くの外部ウェークアップ要因または内部タイミングの維持によって行われます。

(1) この状態での消費電力には、ハードウェア アクセラレータの消費電力も含まれます。

7.7.1 標準消費電力の値

表 7-7 および 表 7-8 には、さまざまな電源トポロジにおける公称デバイス (周囲温度 25°C、公称電圧条件、すべての I/O が適切にパークされた状態) のパワーセーブモード別標準消費電力値が記載されています。

表 7-9、表 7-10 には、公称デバイス (周囲温度 25°C、公称電圧条件、すべての I/O が適切にパークされた状態) のさまざまな電源トポロジにおけるユース ケースでの標準消費電力値が記載されています。

表 7-7. 3.3V I/O トポロジの消費電力の推定値

電力モード		消費電力 (mW)
アクティブ (1Tx, 4Rx)	平均周波数 = 60GHz、Tx バックオフ = 0dB、RX ゲイン = 40dB、ADC サンプリングレート: 25Msps、DSP への電力供給はゲートされ、HWA と R5F は、すぐに使用できる SDK デモに合わせて構成されている。	1145
処理中	LPDS は無効、HWA は 200MHz で OOB と同様に FFT を実行、チャープ 32 とチャープ当たりのサンプル数 256、R5F は 200MHz でデータを処理 (100% アクティビティ)、DSP の電源はオフ	335
アイドル	R5F は割り込み待機状態で 40MHz (XTAL) で動作、FECSS と DSS (DSP + HWA) の電源はオフ	28
ディープ スリープ	すべての電源ドメインはオフ (32kHz 時間のメンテナンスを除く)、メモリ保持量 = 896KB	4.04

表 7-8. 1.8V I/O トポロジの消費電力の推定値

電力モード		消費電力 (mW)
アクティブ (1Tx, 4Rx)	平均周波数 = 60GHz、Tx バックオフ = 0dB、RX ゲイン = 40dB、ADC サンプリングレート: 25Msps、DSP への電力供給はゲートされ、HWA と R5F は、すぐに使用できる SDK デモに合わせて構成されている。	1145
処理中	LPDS は無効、HWA は 200MHz で OOB と同様に FFT を実行、チャープ 32 とチャープ当たりのサンプル数 256、R5F は 200MHz でデータを処理 (100% アクティビティ)、DSP の電源はオフ	335
アイドル	R5F は割り込み待機状態で 40MHz (XTAL) で動作、FECSS と DSS (DSP + HWA) の電源はオフ	28

表 7-8. 1.8V I/O トポロジの消費電力の推定値 (続き)

電力モード		消費電力 (mW)
ディープ スリープ	すべての電源ドメインはオフ (32kHz 時間のメンテナンスを除く)、 メモリ保持量 = 896KB	3.91

表 7-9. 3.3V I/O トポロジのユースケース消費電力

パラメータ	条件	標準値 (mW)
平均消費電力 (1% デューティ サイクル)	RF フロント エンド構成:4TX と 4RX の同時使用 開始周波数 = 58GHz ランプ終了時間 = 22.7μs チャープ アイドル時間 = 7μs バーストあたりのチャープ数 = 48 チャープ蓄積 = 2 バースト周期 = 3122μs フレームあたりのバースト数 = 1 フレーム周期 = 200ms HWA と R5F はすぐに使用できる SDK デモに合わせて構成されている。DSP の電源はオフ。デバイスは利用可能なアイドル時間中にディープ スリープ状態に移行するように構成されている。	36
平均消費電力 (0.1% デューティ サイクル)	RF フロント エンド構成:1TX、1RX 開始周波数 = 58GHz ランプ終了時間 = 22.7μs チャープ アイドル時間 = 7μs バーストあたりのチャープ数 = 4 チャープ蓄積 = 0 バースト周期 = 254μs フレームあたりのバースト数 = 3 フレーム周期 = 250ms HWA と R5F はすぐに使用できる SDK デモに合わせて構成されている。DSP の電源はオフ。デバイスは利用可能なアイドル時間中にディープ スリープ状態に移行するように構成されている。	13

表 7-10. 1.8V I/O トポロジのユースケース消費電力

パラメータ	条件	標準値 (mW)
平均消費電力 (1% デューティ サイクル)	RF フロント エンド構成:4TX と 4RX の同時使用 開始周波数 = 58GHz ランプ終了時間 = 22.7μs チャープ アイドル時間 = 7μs バーストあたりのチャープ数 = 48 チャープ蓄積 = 2 バースト周期 = 3122μs フレームあたりのバースト数 = 1 フレーム周期 = 200ms HWA と R5F はすぐに使用できる SDK デモに合わせて構成されている。DSP の電源はオフ。デバイスは利用可能なアイドル時間中にディープ スリープ状態に移行するように構成されている。	36

表 7-10. 1.8V I/O トポロジのユースケース消費電力 (続き)

パラメータ	条件	標準値 (mW)
平均消費電力 (0.1% デューティ サイクル)	RF フロント エンド構成: 1TX, 1RX 開始周波数 = 58GHz ランプ終了時間 = 22.7μs チャープ アイドル時間 = 7μs バーストあたりのチャープ数 = 4 チャープ蓄積 = 0 バースト周期 = 254μs フレームあたりのバースト数 = 3 フレーム周期 = 250ms HWA と R5F はすぐに使用できる SDK デモに合わせて構成されている。DSP の電源はオフ。デバイスは利用可能なアイドル時間中にディープ スリープ状態に移行するように構成されている。	4Hz 更新レート 13

7.8 電圧レールごとのピーク電流要件

表 7-11 に、最大分割レール電流の値を示します。

表 7-11. 電圧レールごとの最大ピーク電流

I/O 電圧 ⁽³⁾	最大電流 (mA) (1)(2)		
	1.2V: 1.2V レールによって駆動される全ノードが消費する電流の合計値	1.8V: 1.8V レールによって駆動される全ノードが消費する電流の合計値	3.3V: 3.3V レールによって駆動される全ノードが消費する電流の合計値
3.3V	2560	200	100
1.8V	2560	300	該当なし

- (1) デバイスの全機能を使用、4TX、4RX 同時動作、HWA、DSP、R5F、各種ホスト通信 / インターフェイス ペリフェラル (CAN, LIN, I2C, GPADC) アクティブ、全温度範囲にわたるテストを含む
- (2) 電流の規定値は、代表的な電源電圧レベルにおける値です。
- (3) 正確な VIOIN 電流は、使用するペリフェラルとその動作周波数によって異なります。

7.9 RF 仕様

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
レシーバ	ノイズ指数	57~63.9GHz		12.5	dB
	1dB 圧縮ポイント (帯域外) ⁽¹⁾			-15	dBm
	最大ゲイン			46	dB
	ゲイン範囲			10	dB
	ゲイン ステップ サイズ			2	dB
	IF 帯域幅 ⁽²⁾			10	MHz
	ADC サンプリング レート (実数)			25	Msp/s
	ADC の分解能			12	ビット
	S11			-7	dB
トランスミッタ	出力電力			9	dBm
	電源バックオフ範囲			20	dB
	バックオフ ステップ サイズ			0.5	dB
	S11			-7.5	dB
クロック サブシステム	周波数範囲	57		63.9	GHz
	ランプリート			400	MHz/μs
	1MHz オフセットでの位相ノイズ	57~63.9GHz		-90.5	dBc/Hz

- (1) 1dB 圧縮ポイント (帯域外) は、HPF の最小カットオフ周波数よりも十分低い連続波形トーンを供給することで測定されます。
(2) アナログ IF 段は、1 次ハイパス コーナー周波数を設定可能なハイパス フィルタ回路を備えています。一連の使用可能な HPF コーナーは次のように要約されます。

使用可能な HPF コーナー周波数 (kHz)
175、350、700、1400

デジタル ベースバンド チェーンによって実行されるフィルタ処理は、±0.5dB 未満の通過帯域リップル / ドロップを実現することを目的としています。

図 7-8 に、設定されたレシーバ ゲインに対するノイズ指数と帯域内 P1dB パラメータの標準的なばらつきを示します。これは小信号ノイズ指数であり、帯域内 RX ADC 入力が -2dBm (16 ビット モードでは ±8192 ADC コード) 未満の場合に適用できます。ADC の飽和による影響を避けるため、このレベル内での動作が推奨されます。

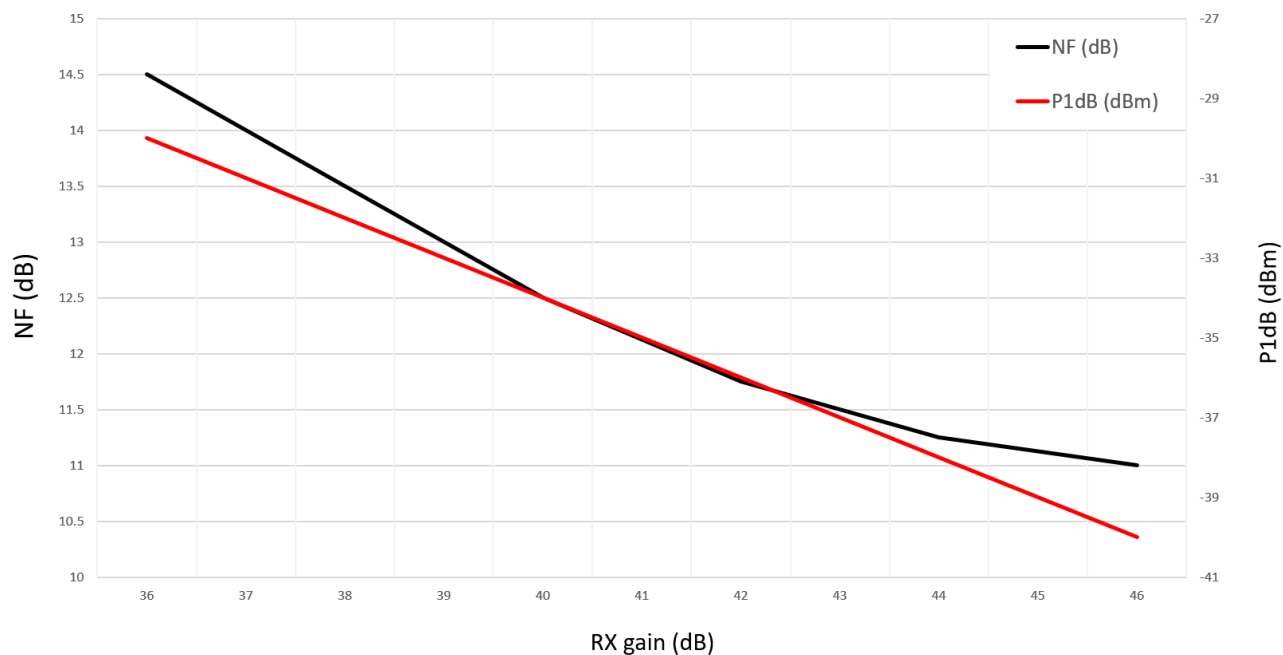


図 7-8. ノイズ指数、帯域内 P1dB とレシーバ ゲインとの関係

7.10 サポート対象 DFE 機能

- TX 出力のバックオフ
 - 0dB～20dB (0.5dB 刻み) の TX バックオフをサポート
 - 送信チャネル ペアごとにバイナリ位相変調をサポート。詳細については、「[送信サブシステム](#)」を参照してください。
- RX ゲイン
 - 実数のみの RX チャネル
 - 36dB～46dB (2dB 刻み) の総合 RX ゲイン範囲
- VCO
 - 最大 7GHz の RF 掃引帯域幅全体を 1 つの VCO でカバー
- ハイパス フィルタ
 - 1 次ハイパス フィルタのみ。コーナー周波数 (175kHz、350kHz、700kHz、1400kHz) を選択可能
- ローパス フィルタ
 - 10MHz の最大 IF 帯域幅をサポート
 - 2 つのフィルタリング オプションをサポート
 - 90% の可視性 – IF 帯域幅はナイキストの 90% (フィルタ長が長いいため設定時間が長い)
 - 80% の可視性 – IF 帯域幅はナイキストの 80% (90% の可視性と比べてセッティング時間が短いため 30% 速い)
- サポートしている ADC サンプリング レート:
 - 2.0、2.5、3.334、4.0、5.0、8.0、10.0、13.334、15.384、20.0、25Msps
- タイミング エンジン
 - チャープ、バースト、フレームのサポート
 - 長いバースト アイドル時間よりも、長いフレーム アイドル時間の方がより多くの消費電力が節約されます。さらに、長いバースト アイドル時間よりも、長いチャープ アイドル時間の方がより少ない消費電力が節約されます。詳細については、[ミリ波センシング推定ツール](#)の電力カリキュレータを参照してください。
 - チャープの連続実行時にチャープ蓄積 (平均化) を有効にすると、メモリ要件を減らして SNR を引き上げることができます。
 - チャープごとのパラメータ デザイン機能
 - AWRL6888 デバイスは、TDM と BPM の両方の動作モードをサポートしています。
 - タイミング エンジンがサポートしているチャープ プロファイルについては、[図 7-9](#)を参照してください。

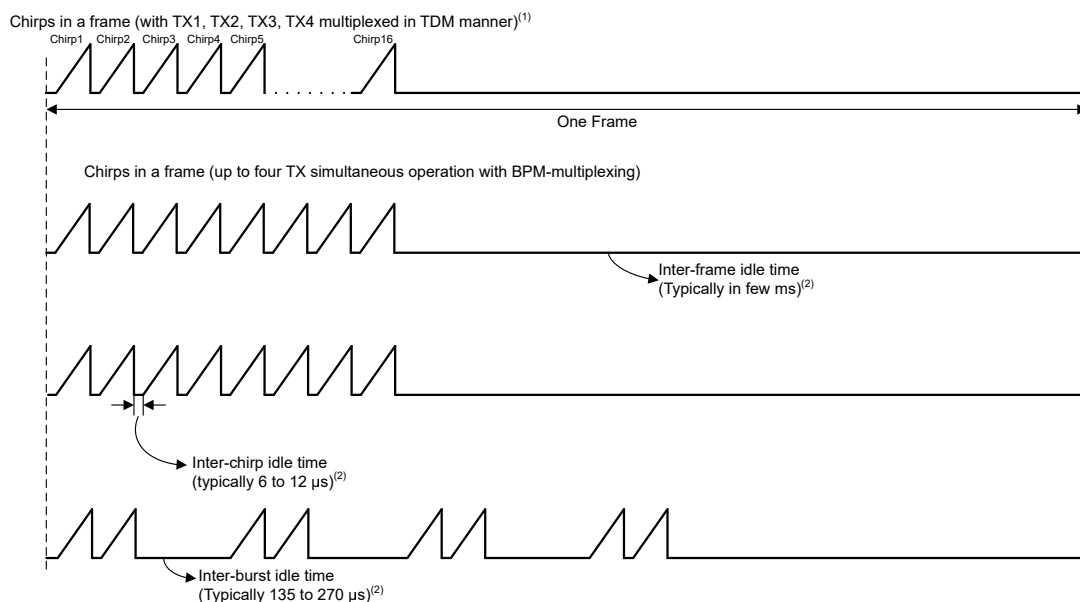


図 7-9. タイミング エンジンがサポートしているチャープ プロファイル

1. TDM 方式で多重化されたフレームにおけるチャープの代表例

- Chirp1: TX0A + RX0A, RX1A, RX2A, RX3A チャンネル
- Chirp2: TX0A + RX0B, RX1B, RX2B, RX3B チャンネル
- Chirp3: TX1A + RX0A, RX1A, RX2A, RX3A チャンネル
-
- Chirp16: TX3B + RX0B, RX1B, RX2B, RX3B チャンネル

詳細については、「[送信サブシステム](#)」または「[受信サブシステム](#)」を参照

2. 詳細については、[MMWAVE-L-SDK](#) で利用可能な ICD (インターフェイス制御資料) を参照してください。

7.11 CPU の仕様

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		標準値	単位
DSP サブシステム (C66x ファミリ)	クロック速度	450	MHz
	L1 メモリー	64	KB
	L2 メモリー	384	KB
	DSS 専用 L3 メモリ	512	KB
アプリケーション サブシステム (R5F ファミリ)	クロック速度	200	MHz
	密結合メモリ - A (プログラム + データ)	512	KB
	密結合メモリ - B (プログラム + データ)	256	KB
共有メモリ	DSS L3 共有メモリ	896KB	KB

7.12 熱抵抗特性

表 7-12. FCCSP パッケージの熱抵抗特性 [APD0329A]

熱評価基準 ⁽¹⁾		°C/W ⁽²⁾⁽³⁾
R θ_{JC}	接合部とケースとの間	4.5
R θ_{JB}	接合部と基板との間	4.4
R θ_{JA}	接合部と自由空気との間	18.3
Ps $_{JT}$	接合部とパッケージ上面との間	0.1
Ps $_{JB}$	接合部と基板との間	4.3

(1) 従来および新しい熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』を参照してください。

(2) °C/W = 摂氏温度 / ワット。

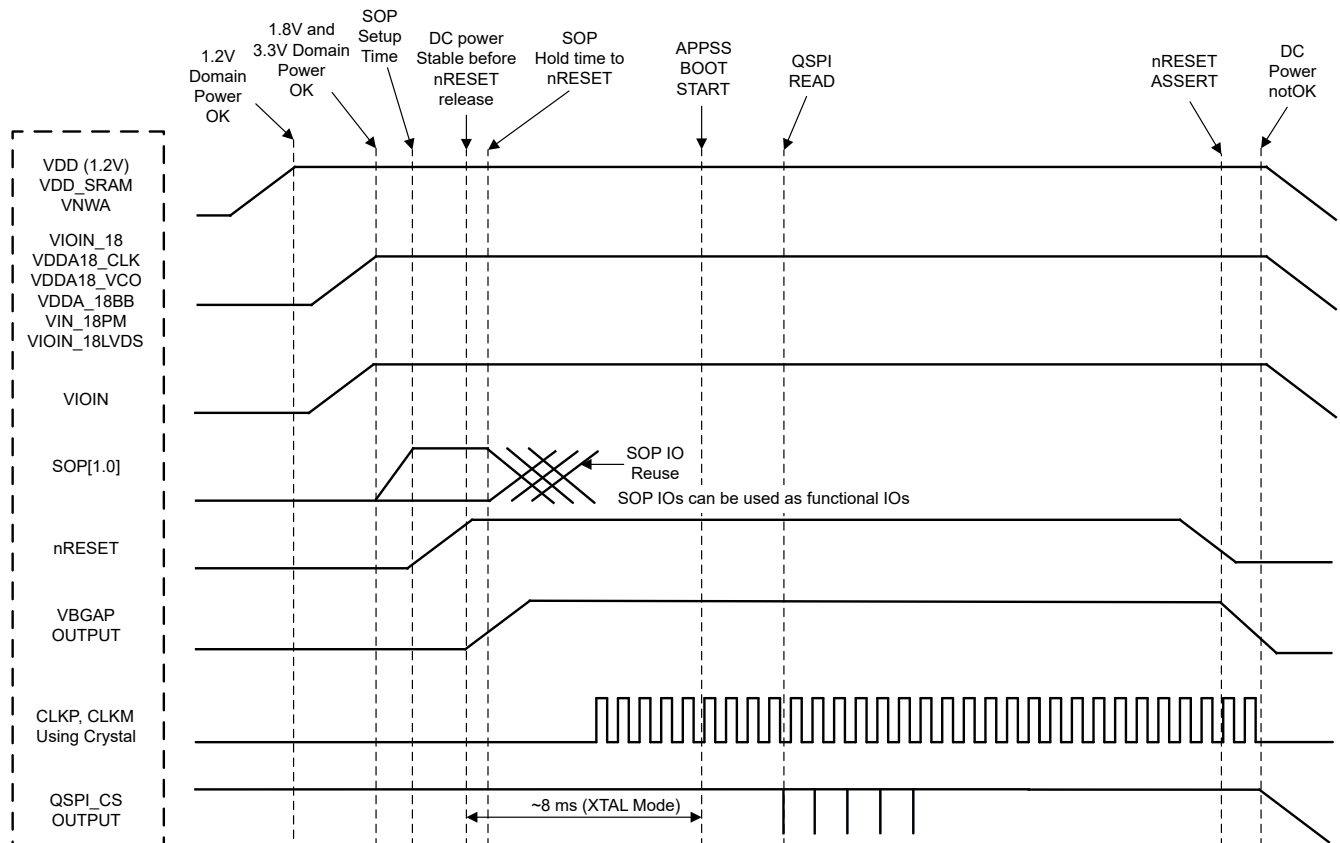
(3) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [R θ_{JC}] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『[C の熱テスト手法の環境条件 - 自然対流 \(静止空気\)](#)』
- JESD51-3、『[リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板](#)』
- JESD51-7、『[リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板](#)』
- JESD51-9、『[エリア アレイ表面実装パッケージの熱測定用テスト基板](#)』

7.13 タイミングおよびスイッチング特性

7.13.1 電源シーケンスおよびリセット タイミング

AWRL6888 デバイスでは、リセットがデアサートされる前に、すべての外部電圧レールが安定化している必要があります。[図 7-10](#) に、デバイス ウェークアップ シーケンスを示します。



A. 1.2V レールがランプアップされ、1.8V レールより前にあって安定していることを確認してください。

図 7-10. デバイス ウェークアップ シーケンス

7.13.2 同期フレーム トリガ

AWRL6888 デバイスは、レーダー フレームをトリガするハードウェア ベースのメカニズムをサポートしています。外部ホストは SYNC_IN 信号パルスを送信することで、レーダー フレームを開始できます。外部パルスの立ち上がりエッジと電波のフレーム送信との時間差 (T_{lag}) は約 160ns (標準値) です。フレーム開始時間を制御するためにユーザーが設定できる追加のプログラマブル遅延もあります。外部 SYNC_IN パルスの周期は、いかなる場合においても、フレーム構成で設定されたプログラム済みフレーム周期を常に上回っている必要があります。

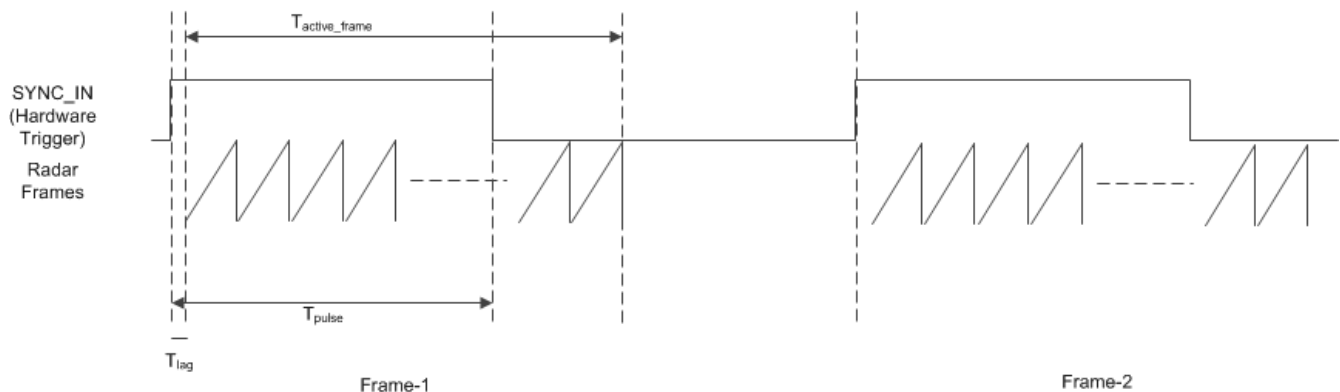


図 7-11. 同期入力ハードウェア トリガ

表 7-13. フレームトリガのタイミング

パラメータ	説明	最小値	最大値	単位
T _{active_frame}	アクティブ フレーム持続時間	ユーザー定義		ns
T _{pulse}		25	< T _{active_frame} または 4000	

7.13.3 入力クロックおよび発振器

7.13.3.1 クロック仕様

AWRL6888 には、初期ブート用、および本デバイスが内蔵している内部 APLL のリファレンス用として、外部クロック源 (40MHz 水晶振動子または、CLKP に接続する外部発振器) が必要です。デバイス ピンに接続された外部水晶振動子の図 7-12 に、水晶振動子の実装を示します。

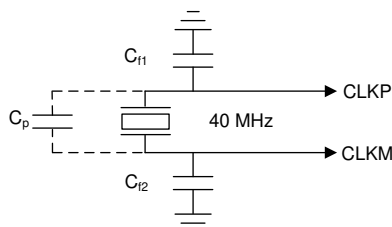


図 7-12. 水晶振動子の実装

注

図 7-12 の負荷コンデンサ C_{f1} および C_{f2} は、式 1 が満足されるように選択する必要があります。この式の C_L は、水晶振動子のメーカーによって指定された負荷です。発振器回路の実装に使用されるすべてのディスクリート部品は、関連する発振器の CLKP および CLKM ピンのできるだけ近くに配置する必要があります。

$$C_L = C_{f1} \times \frac{C_{f2}}{C_{f1} + C_{f2}} + C_P \quad (1)$$

表 7-14 に、クロック水晶振動子の電気的特性を示します。

表 7-14. 水晶振動子の電気的特性 (発振器モード)

名称	説明	最小値	標準値	最大値	単位
f _P	並列共振水晶振動子周波数		40		MHz
C _L	水晶振動子の負荷容量	5	8	12	pF
ESR	水晶振動子の ESR			50	Ω
温度範囲	想定される動作温度範囲	-40 ⁽⁴⁾		140 ⁽⁴⁾	°C
周波数の許容誤差	水晶振動子周波数の許容誤差 ⁽¹⁾⁽²⁾⁽³⁾	-200		200	ppm
励振レベル			50	200	μW

- (1) 水晶振動子メーカーの仕様はこの要件を満たす必要があります。
- (2) 水晶振動子の初期許容誤差、全温度範囲でのドリフト、経年劣化、不適切な負荷容量による周波数変動が含まれます。
- (3) 水晶振動子の許容誤差はレーダー センサの精度に影響します。
- (4) これはシステムレベル要件の対象です。AWRL6888 は、-40°C ~ 140°C の動作時接合部温度範囲に対応しています。

外部クロックをクロック源として使用する場合、その信号は CLKP ピンにのみ入力し、CLKM はグランドに接続します。40MHz クロックを外部から入力する場合、位相ノイズ要件は非常に重要です。表 7-15 に、外部クロック信号の電気的特性を示します。

表 7-15. 外部クロック モード仕様

パラメータ		仕様			単位
		最小値	標準値	最大値	
入力クロック: 外部 AC 結合正弦波または DC 結合方 形波の位相ノイズ (40MHz 基準)	周波数		40		MHz
	AC 振幅	700		1200	mV (pp)
	DCV _{il}	0.00		0.20	V
	DCV _{ih}	1.6		1.95	V
	1kHz での位相ノイズ			-132	dBc/Hz
	10kHz での位相ノイズ			-143	dBc/Hz
	100kHz での位相ノイズ			-152	dBc/Hz
	1MHz での位相ノイズ			-153	dBc/Hz
	デューティ サイクル	35		65	%
	周波数の許容誤差	-200		200	ppm

7.13.4 マルチチャンネルバッファ付き / 標準シリアル ペリフェラル インターフェイス (McSPI)

McSPI モジュールは、マルチチャンネル送信 / 受信、コントローラ / ペリフェラル同期シリアル バスです。

7.13.4.1 McSPI の特長

McSPI モジュールの主な特長は次のとおりです。

- チャンネルごとに周波数、極性、位相をプログラム可能なシリアル クロック
- 幅広く選択可能な SPI ワード長 (4～32 ビット)
- コントローラ モードで最大 4 チャンネル、または受信モードで 1 チャンネル
- コントローラのマルチチャンネル モード:
 - 全二重 / 半二重
 - 送信専用 / 受信専用 / 送信および受信モード
 - 入出力 (I/O) ポートをチャンネルごとに柔軟に制御可能
 - プログラム可能なクロック粒度
 - クロック定義、極性イネーブル、ワード幅をチャンネルごとに構成可能
- 1 本の割り込みラインで複数の割り込み要因イベントに対応
- チャンネルごとの McSPI 転送のためのプログラマブル スタートビットを追加可能 (スタートビット モード)
- スタートビット書き込みコマンドをサポート
- スタートビット休止およびブレイクシーケンスをサポート
- シフト動作 (1～32 ビット) をプログラム可能
- チップ セレクトと外部クロック生成との間のタイミング制御をプログラム可能
- 1 チャンネルで使用する内蔵 FIFO

7.13.4.2 SPI のタイミング条件

表 7-16 に、McSPI のタイミング条件を示します。

表 7-16. McSPI のタイミング条件

		最小値	標準値	最大値	単位
入力条件					
t_R	入力立ち上がり時間	1		3	ns
t_F	入力立ち下がり時間	1		3	ns
出力条件					
C_{LOAD}	出力負荷容量	2		15	pF

7.13.4.3 SPI - コントローラ モード

7.13.4.3.1 SPI - コントローラ モードのタイミングおよびスイッチング要件

表 7-17 と表 7-17 に、SPI (コントローラ モード) のタイミング要件を示します。

表 7-17. SPI のタイミング要件 - コントローラ モード

NO.(1)		モード	最小値	最大値	単位
SM4	$t_{su}(MISO-SPICLK)$	セットアップ時間、SPI_D[x] 有効から SPI_CLK アクティブ エッジまで (1)	5		ns
SM5	$t_h(SPICLK-MISO)$	ホールド時間、SPI_CLK アクティブ エッジから SPI_D[x] 有効の間 (1)	3		ns

表 7-18. SPI のスイッチング特性 - コントローラ モード

NO.(1)		モード	最小値	最大値	単位
SM1	$t_c(SPICLK)$	サイクル時間、SPI_CLK (1)(2)	24.6(3)		ns
SM2	$t_w(SPICLKL)$	標準パルス幅、SPI_CLK Low (1)	-1 + 0.5P(3) (4)		ns

表 7-18. SPI のスイッチング特性 - コントローラ モード (続き)

NO.(1)			モード	最小値	最大値	単位
SM3	$t_{w(SPICLK)}$	標準パルス幅、SPI_CLK High (1)		-1 + 0.5P(4)		ns
SM6	$t_{d(SPICLK-SIMO)}$	遅延時間、SPI_CLK アクティブ エッジから SPI_D[x] 遷移まで (1)		-2	5	ns
SM7	$t_{sk(CS-SIMO)}$	遅延時間、SPI_CS[x] アクティブ エッジから SPI_D[x] 遷移まで		5		ns
SM8	$t_{d(SPICLK-CS)}$	遅延時間、SPI_CS[x] アクティブから SPI_CLK の最初のエッジまで	Controller_PHA0_POL 0、 Controller_PHA0_POL 1 (5)	-4 + B (6)		ns
			Controller_PHA1_POL 0、 Controller_PHA1_POL 1 (5)	-4 + A (7)		ns
SM9	$t_{d(SPICLK-CS)}$	遅延時間、SPI_CLK の最後のエッジから SPI_CS[x] 非アクティブまで	Controller_PHA0_POL 0、 Controller_PHA0_POL 1 (5)	-4 + A (7)		ns
			Controller_PHA1_POL 0、 Controller_PHA1_POL 1 (5)	-4 + B (6)		ns
SM11	Cb	各バス ラインの容量性負荷		3	15	pF

- (1) このタイミングは、SPI_CLK の極性に関係なく、また、どちらのクロック エッジが出力データの駆動および入力データのキャプチャに使用されるかに関係なく、すべての構成に適用されます。
- (2) SPI_CLK の最大周波数に関連があります。
- (3) 20ns のサイクル時間 = 50MHz
- (4) $P = \text{SPICLK 周期}$
- (5) SPI_CLK の位相は、SPI_CH(i)CONF レジスタの PHA ビットを使用してプログラム可能です。
- (6) $B = (TCS + 0.5) \times \text{TSPICLKREF}$ 。ここで、TCS は SPI_CH(i)CONF レジスタのビット フィールドであり、Fratio = 偶数 (≥ 2) です。
- (7) $P = 20.8\text{ns}$ のとき、 $A = (TCS + 1) \times \text{TSPICLKREF}$ 。ここで、TCS は SPI_CH(i)CONF レジスタのビット フィールドです。
 $P > 20.8\text{ns}$ のとき、 $A = (TCS + 0.5) \times \text{Fratio} \times \text{TSPICLKREF}$ 。ここで、TCS は SPI_CH(i)CONF レジスタのビット フィールドです。

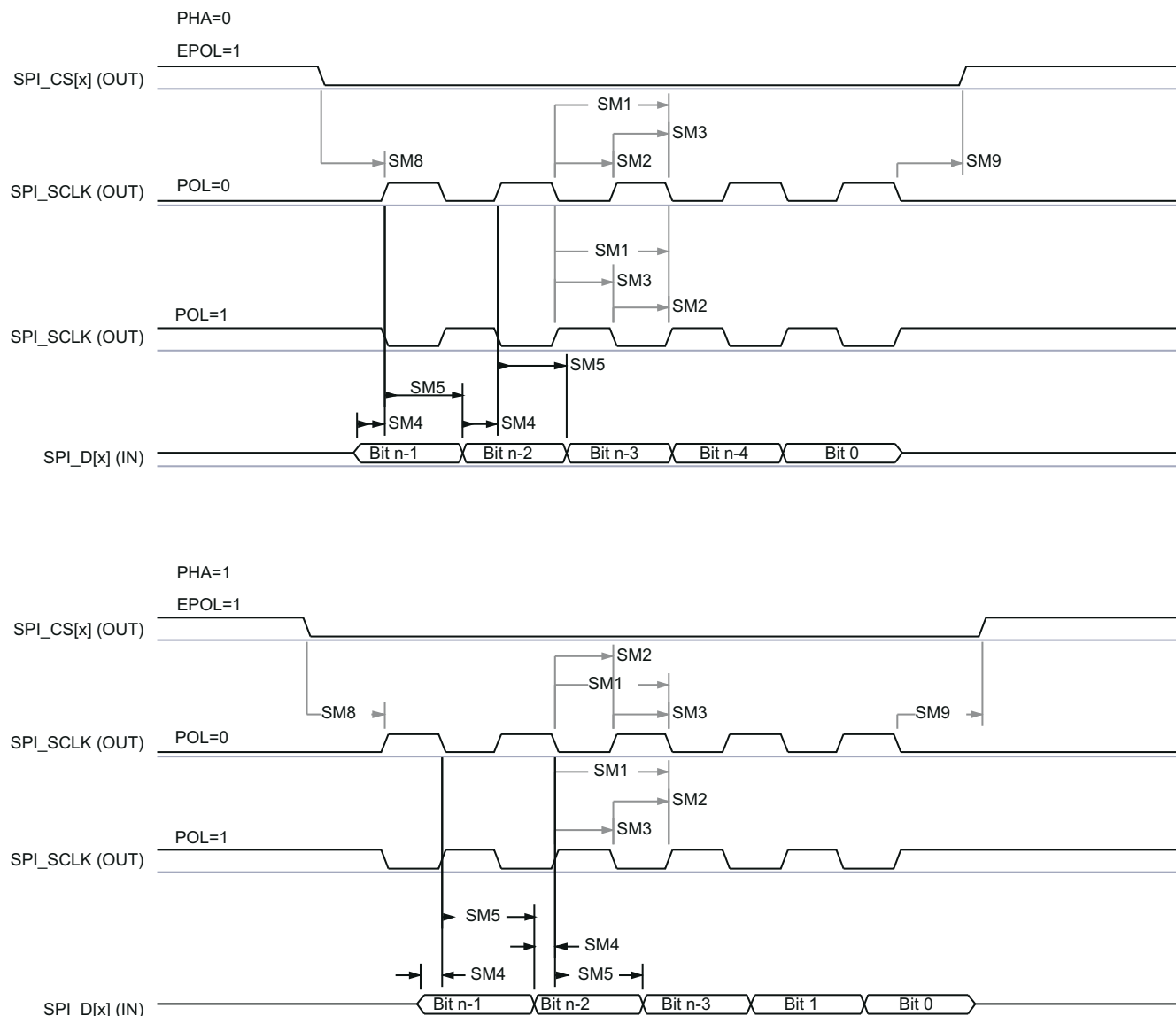
このタイミングは、SPI_CLK の極性に関係なく、また、どちらのクロック エッジが出力データの駆動および入力データのキャプチャに使用されるかに関係なく、すべての構成に適用されます。

注

レーダー SPIA ペリフェラル モードのサポート周波数は、フル サイクル モードでは 40MHz、ハーフ サイクル モードでは 20MHz です。

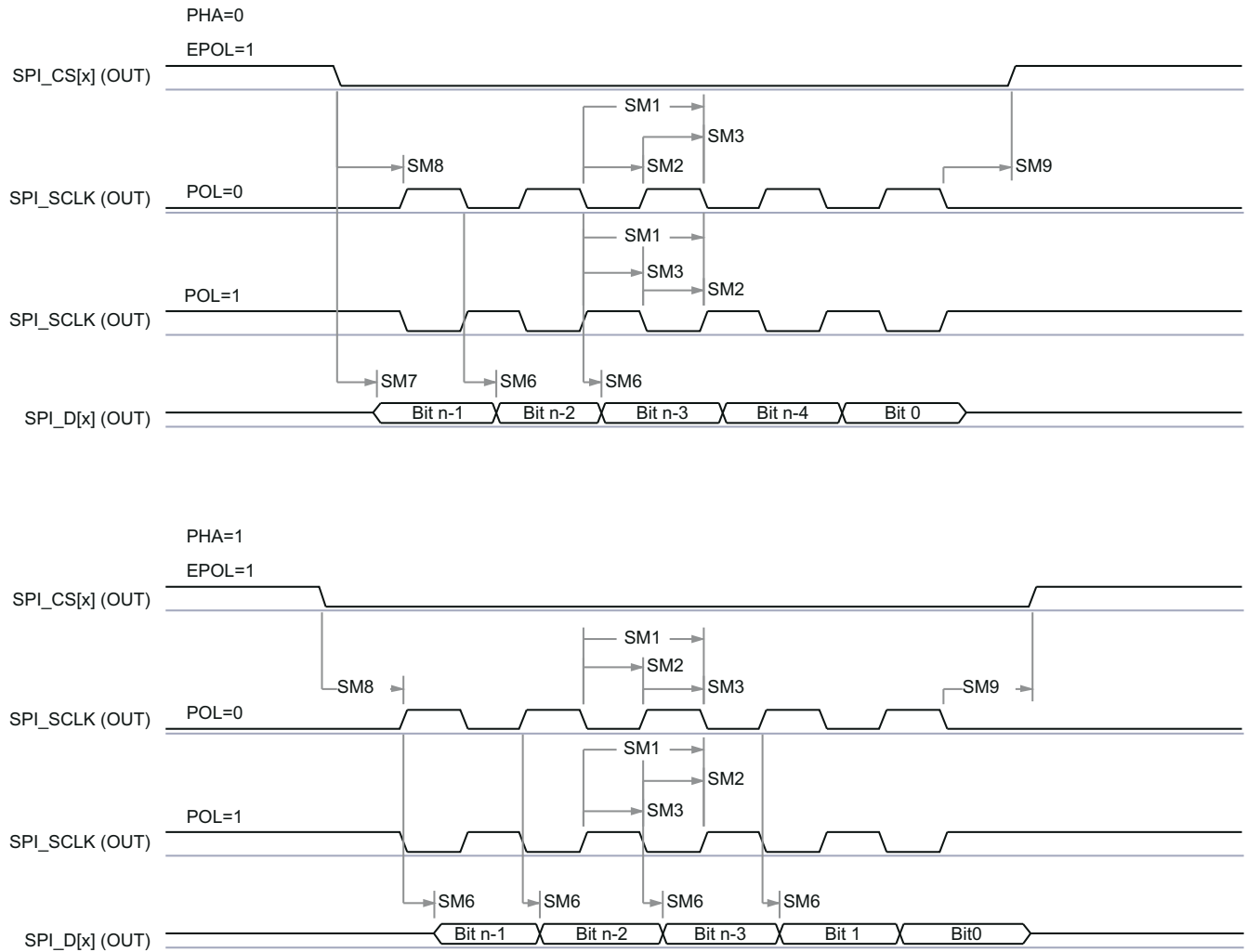
レーダー SPIB ペリフェラル モードのサポート周波数は、フル サイクル モードでは 20MHz、ハーフ サイクル モードでは 10MHz です。SPIB の有効な IOSET の組み合わせについては、[セクション 6.2.1](#) を参照してください。

7.13.4.3.2 SPI 出力タイミングのタイミングおよびスイッチング特性 - コントローラ モード



SPRSP08_TIMING_McSPI_02

図 7-13. SPI のタイミング - コントローラ モードの受信



SPRSP08_TIMING_McSPI_01

図 7-14. SPI のタイミング - コントローラ モードの送信

7.13.4.4 SPI - ペリフェラル モード

7.13.4.4.1 SPI のタイミングおよびスイッチング要件 - ペリフェラル モード

表 7-19 と表 7-20 に、SPI (ペリフェラル モード) のタイミング要件を示します。

表 7-19. SPI のタイミング要件 - ペリフェラル モード

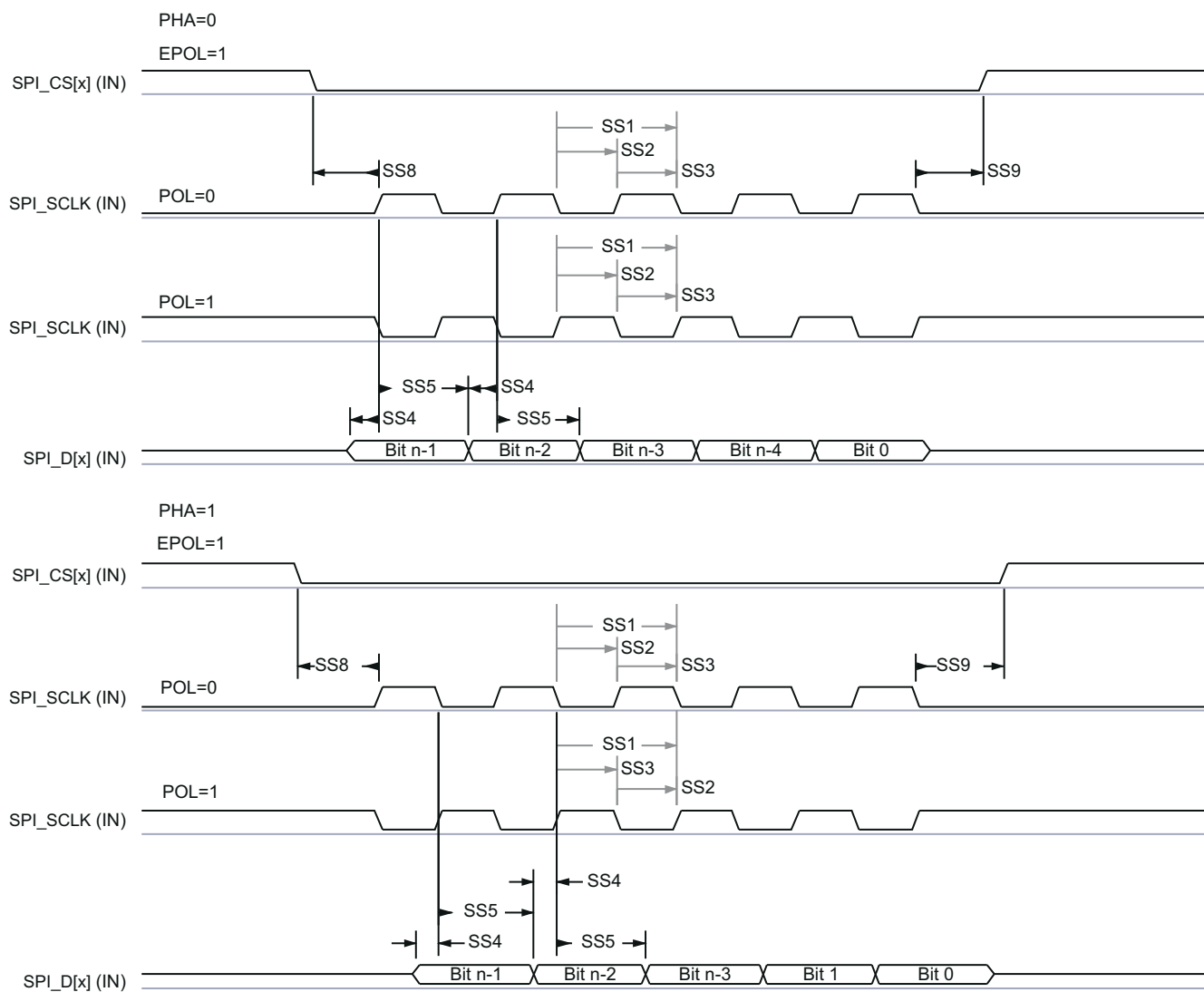
番号 (1)	パラメータ	説明	最小値	最大値	単位
SS1	$t_{c(SPICLK)}$	サイクル時間、SPI_CLK	24.6		ns
SS2	$t_{w(SPICLKL)}$	標準パルス幅、SPI_CLK low	0.45*P ⁽²⁾		ns
SS3	$t_{w(SPICLKH)}$	標準パルス幅、SPI_CLK High	0.45*P ⁽²⁾		ns
SS4	$t_{su(SIMO-SPICLK)}$	セットアップ時間、SPI_D[x] 有効から SPI_CLK アクティブ エッジまで	3		ns
SS5	$t_{h(SPICLK-SIMO)}$	ホールド時間、SPI_CLK アクティブ エッジから SPI_D[x] 有効の間	1		ns
SS8	$t_{su(CS-SPICLK)}$	セットアップ時間、SPI_CS[x] 有効から SPI_CLK の最初のエッジまで	5		ns
SS9	$t_{h(SPICLK-CS)}$	ホールド時間、SPI_CLK の最後のエッジから SPI_CS[x] 有効の間	5		ns
SS10	sr	すべてのピンの入力スルーレート	1	3	ns
SS11	Cb	D0 と D1 の容量性負荷	2	15	pF

表 7-20. SPI のスイッチング特性 - ペリフェラル モード

番号	パラメータ	説明	最小値	最大値	単位
SS6	$t_{d(SPICLK-SOMI)}$	遅延時間、SPI_CLK アクティブ エッジから McSPI_somi 遷移まで	0	5.77	ns
SS7	$t_{sk(CS-SOMI)}$	遅延時間、SPI_CS[x] アクティブ エッジから McSPI_somi 遷移まで	5.77		ns

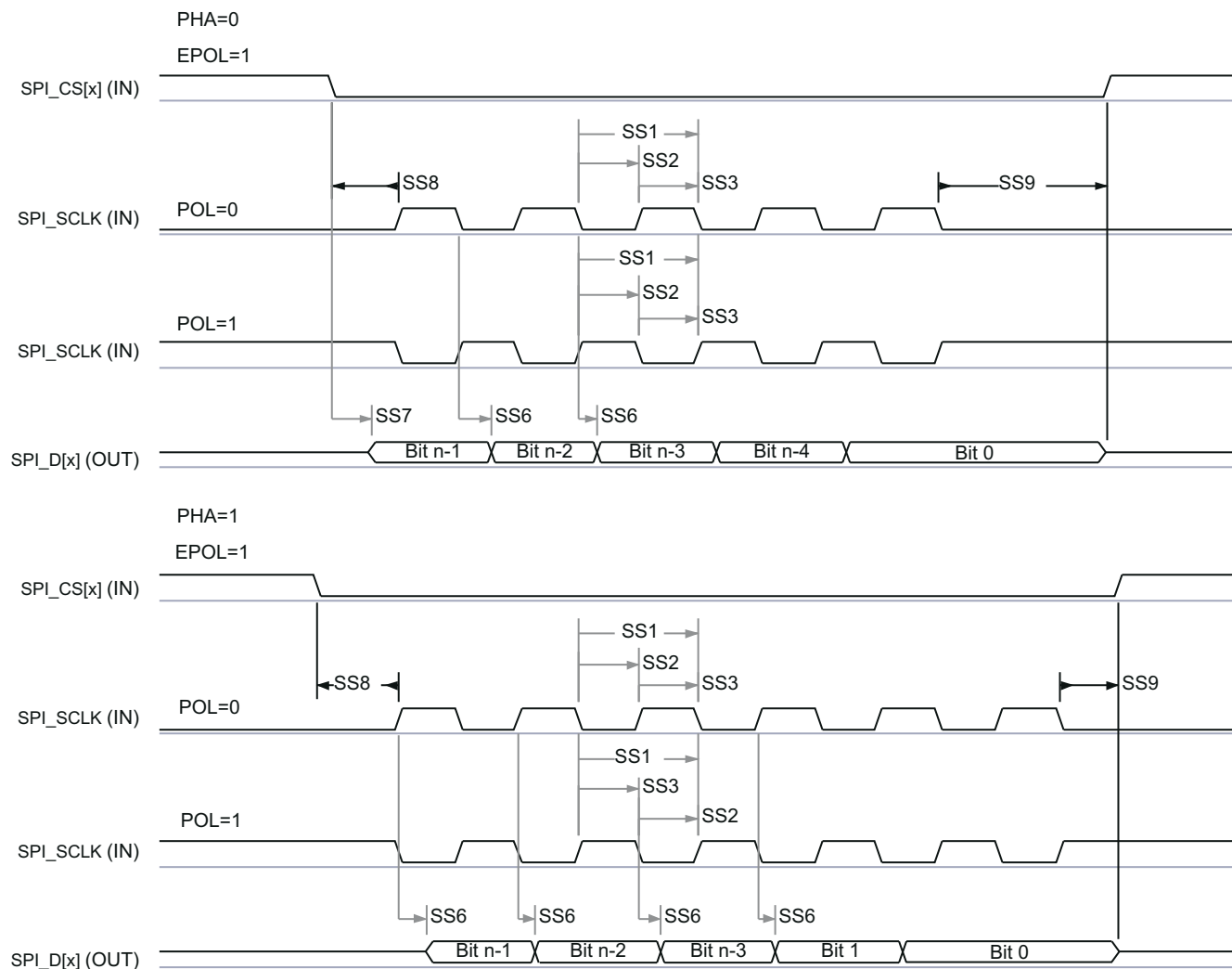
- (1) このタイミングは、SPI_CLK の極性に関係なく、また、どちらのクロック エッジが出力データの駆動および入力データのキャプチャに使用されるかに関係なく、すべての構成に適用されます。
- (2) P = SPICLK 周期。

7.13.4.4.2 SPI 出力タイミングのタイミングおよびスイッチング特性 - セカンダリ モード



SPRSP08_TIMING_McSPI_04

図 7-15. SPI のタイミング - ペリフェラル モードの受信



SPRSP08_TIMING_McSPI_03

図 7-16. SPI のタイミング - ペリフェラル モードの送信

ADVANCE INFORMATION

7.13.5 LVDS 計測および測定ペリフェラル

このデバイスは、未加工データ キャプチャ用の LVDS インターフェイスに対応しています。LVDS インターフェイスの構成オプションとプログラミング オプションに関する情報については、デバイスの TRM を参照してください。

7.13.5.1 LVDS インターフェイスの構成

サポートされている LVDS レーン構成は、2 つのデータ レーン (LVDS_TXP/M)、1 つのビット クロック レーン (LVDS_CLKP/M)、1 つのフレーム クロック レーン (LVDS_FRCLKP/M) です。LVDS インターフェイスは、最大 800Mbps (400MHz DDR クロック) のプログラマブルなデータレートをサポートしています。

ビットクロックは DDR 形式であるため、クロックのトグル回数はデータのビット数と同等になりますのでご注意ください。

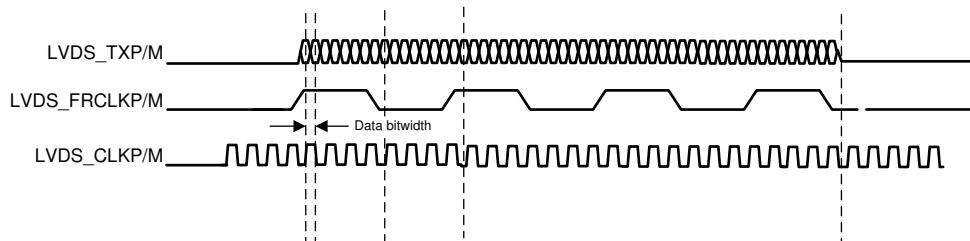


図 7-17. LVDS インターフェイスのレーン構成および相対タイミング

7.13.5.2 LVDS インターフェイスのタイミング

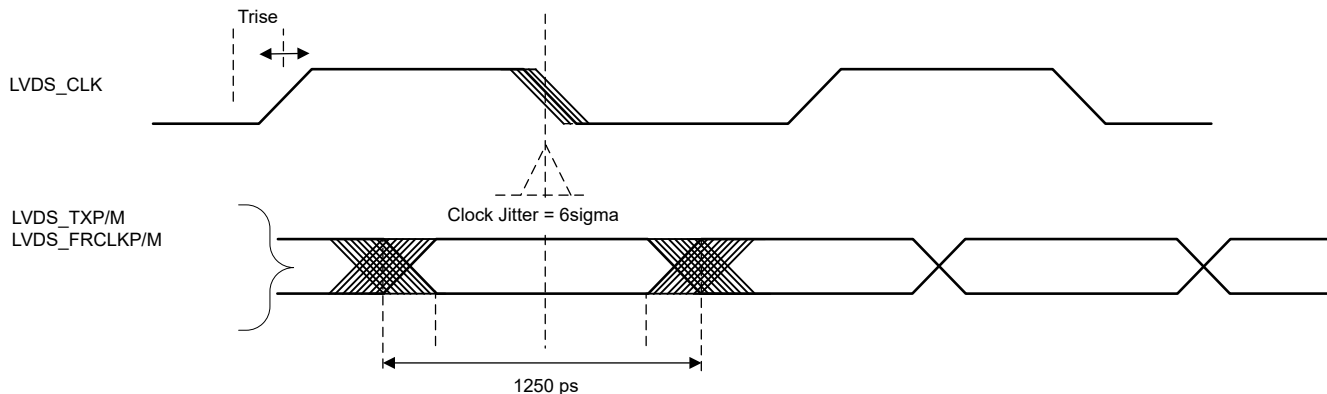


図 7-18. タイミング パラメータ

表 7-21. LVDS の電气的特性

パラメータ	テスト条件	最小値	標準値	最大値	単位
デューティ サイクル要件	LVDS レーン上で最大 1pF の集中容量性負荷	48%		52%	
出力差動電圧	差動ペア間に 100Ω の抵抗性負荷があるピークツーピークのシングルエンド	250		450	mV
出力オフセット電圧		1125		1275	mV
Trise と Tfall	20%-80%、800Mbps		371.25		ps
ジッタ (pk-pk)	800Mbps		90		ps

7.13.6 LIN

本 LIN モジュールは、SCI と LIN のどちらかとして動作するように設定できます。SCI ハードウェア機能は、LIN との互換性を実現するために強化されています。LIN 規格は、SCI (UART) シリアル データ リンク形式に基づいています。シング

ル / マルチ通信の基本構成は、任意のネットワーク ノード間でマルチキャストを送信するためのメッセージ識別機能を備えています。

LIN の特長は次のとおりです。

- LIN 1.3、2.0、2.1 の各プロトコルとの互換性
- 最大 20kpbs の構成可能なボーレート
- 2 本の外部ピン: LIN_RX と LIN_TX。
- マルチバッファ付き受信および送信ユニット
- メッセージ フィルタリング用識別マスク
- コントローラ ヘッダの自動生成
 - プログラマブルな同期ブレイク フィールド
 - 同期フィールド
 - 識別子フィールド
- ペリフェラルの自動同期
 - 同期ブレイク検出
 - オプションのボーレート更新
 - 同期検証
- 7 つのフラクショナル ビットを使用した 231 種類のプログラマブルな転送レート
- トランシーバからの LIN_RX ドミナント レベルでのウェークアップ
- 自動ウェークアップのサポート
 - ウェークアップ信号の生成
 - 有効期限付きウェークアップ信号
- バス アイドルの自動検出
- エラー検出
 - ビット エラー
 - バス エラー
 - 無応答エラー
 - チェックサム エラー
 - 同期フィールド エラー
 - パリティ エラー
- ダイレクト メモリ アクセス (DMA) によるデータ送受信可能
- 2 本の割り込みライン、優先度エンコード機能付き:
 - 受信
 - 送信
 - ID、エラー、ステータス
- LIN 2.0 チェックサムをサポート
- フレーム処理用の拡張シンクロナイザ有限ステート マシン (FSM) をサポート
- 拡張フレームの処理能力を強化
- 拡張ボーレート ジェネレータ
- ウェークアップ / スリープ移行を更新

表 7-22. LIN のタイミング要件

	最小値	標準値	最大値	単位
f (ボー) サポートされているボーレート	1		20	k ボー

7.13.7 汎用入出力 (General-Purpose Input/Output)

7.13.7.1 出力タイミングと負荷容量 (C_L) のスイッチング特性

表 7-23 に、出力タイミングのスイッチング特性と負荷容量との関係を示します。

表 7-23. 出力タイミングと負荷容量 (C_L) のスイッチング特性

パラメータ ⁽¹⁾⁽²⁾		テスト条件		VIOIN = 1.8V	VIOIN = 3.3V	単位
t _r	最大立ち上がり時間	スルー制御 = 0	C _L = 20pF	2.8	3.0	ns
			C _L = 50pF	6.4	6.9	
			C _L = 75pF	9.4	10.2	
t _f	最大立ち下がり時間		C _L = 20pF	2.8	2.8	ns
			C _L = 50pF	6.4	6.6	
			C _L = 75pF	9.4	9.8	
t _r	最大立ち上がり時間	スルー制御 = 1	C _L = 20pF	3.3	3.3	ns
			C _L = 50pF	6.7	7.2	
			C _L = 75pF	9.6	10.5	
t _f	最大立ち下がり時間		C _L = 20pF	3.1	3.1	ns
			C _L = 50pF	6.6	6.6	
			C _L = 75pF	9.6	9.6	

- (1) PADxx_CFG_REG で設定されるスルー制御は、出力ドライバの挙動を変化させます (高速または低速の出力スルーレート)。
 (2) 立ち上がり / 立ち下がり時間は、VIOIN 電圧の 10% と 90% の間を信号が遷移するのに要する時間として測定されます。

7.13.8 コントローラエリアネットワーク - フレキシブル データ レート (CAN-FD)

CAN-FD モジュールは、従来型 CAN と CAN FD (フレキシブル なデータ レートの CAN) の両方の仕様をサポートしています。CAN FD 機能により、データ フレームあたりのスループットが向上し、ペイロードが増加します。従来型 CAN デバイスと CAN FD デバイスは、競合することなく、同じネットワーク上に共存できます。本デバイスでは 2 つの CAN-FD (フレキシブル データ レート対応 CAN) が統合されており、1 つの CAN-FD インターフェイスを ECU ネットワーク インターフェイスとして、もう 1 つを近接センサーとの通信を行うローカル ネットワーク インターフェイスとして使用するという一般的なユースケースに対応できます。

CAN-FD の主な機能は次のとおりです。

- CAN プロトコル 2.0A、B、ISO 11898-1 に準拠
- 完全な CAN FD のサポート (フレームあたり最大 64 データ バイト)
- AUTOSAR および SAE J1939 をサポート
- 最大 32 個の専用送信バッファ
- 構成可能な送信 FIFO、最大 32 エLEMENT
- 構成可能な送信キュー、最大 32 エLEMENT
- 構成可能な送信イベント FIFO、最大 32 エLEMENT
- 最大 64 個の専用受信バッファ
- 2 つの構成可能な受信 FIFO、それぞれ最大 64 エLEMENT
- 最大 128 の 11 ビット フィルタ素子
- 自己テスト用内部ループバック モード
- マスク可能割り込み、2 本の割り込みライン
- 2 つのクロックドメイン (CAN クロック / ホスト クロック)
- パリティ / ECC のサポート - メッセージ RAM のシングル エラー訂正およびダブル エラー検出 (SECEDED) 機能
- 全メッセージ メモリ容量 (4352 ワード)。

7.13.8.1 CANx TX および RX ピンの動的特性

パラメータ		最小値	標準値	最大値	単位
$t_d(\text{CAN_FD_tx})$	遅延時間、送信シフトレジスタから CAN_FD_tx ピンまで ⁽¹⁾			15	ns
$t_d(\text{CAN_FD_rx})$	遅延時間、CAN_FD_rx ピンから受信シフトレジスタまで ⁽¹⁾			15	ns

(1) これらの値には、出力バッファの立ち上がり / 立ち下がり時間は含まれていません。

7.13.9 シリアル通信インターフェイス (SCI)

SCI の特長は次のとおりです。

- 標準的な UART (Universal Asynchronous Receiver-Transmitter) 通信
- 全二重または半二重動作をサポート
- 標準的な NRZ (non-return to zero) 形式
- 互換モードでのダブル バッファ付き受信および送信機能
- 個別に有効化される 2 本の割り込みライン (レベル 0、レベル 1) をサポート
- 以下に基づいて、フレーム形式を 1 文字あたり 3~13 ビットに構成可能:
 - データワード (1~8 ビットの範囲でワード長をプログラム可能)
 - アドレス ビット モードでの追加アドレス ビット
 - パリティを 0、1 パリティビット、奇数または偶数パリティにプログラム可能
 - ストップを 1 または 2 ストップ ビットにプログラム可能
- CLK ピンを使わない非同期または同期通信モード
- 2 つのマルチプロセッサ通信フォーマットにより、2 つ以上のデバイスの間の通信が可能
- マルチプロセッサ通信中、スリープ モードを使って CPU リソースを解放した後、着信メッセージを受信するためにウェークアップすることが可能

- ダイレクト メモリ アクセス (DMA) によるデータ送受信可能
- 5 つのエラー フラグと 7 つのステータス フラグにより、SCI イベントに関する詳細情報を提供
- 2 本の外部ピン: RS232_RX、RS232_TX
- マルチバッファ付き受信および送信ユニット

7.13.9.1 SCI のタイミング要件

	最小値	標準値	最大値	単位
f (ボー) サポートされているボーレート (20pF)		115.2 ⁽¹⁾	1250 ⁽²⁾	k ボー

(1) サポートされている最大標準ボーレート。

(2) サポートされている最大カスタム ボーレート。

7.13.10 I2C (Inter-Integrated Circuit Interface)

I2C (Inter-Integrated Circuit) モジュールは、Philips Semiconductors 社の I2C バス仕様バージョン 2.1 に準拠しかつ I²C-bus™ で接続されたデバイスの間のインターフェイスとして機能するマルチコントローラ通信モジュールです。このモジュールは、すべてのターゲットまたはコントローラ I2C 互換デバイスをサポートしています。

I2C には次の特長があります。

- Philips I2C バス仕様 v2.1 (I2C 仕様、Philips ドキュメント番号 9398 393 40011) に準拠
 - ビット / バイト形式の転送
 - 7 ビットおよび 10 ビットのデバイス アドレッシング モード
 - START バイト
 - マルチコントローラトランスミッタ / ターゲット レシーバ モード
 - マルチコントローラ レシーバ / ターゲット トランスミッタ モード
 - コントローラ送信 / 受信、受信 / 送信の組み合わせモード
 - 転送レート 100kbps ~ 400kbps (Phillips ファースト モード レート)
- フリー データ形式
- 2 つの DMA イベント (送信および受信)
- DMA イベントのイネーブル / ディセーブル機能
- モジュールのイネーブル / ディセーブル機能
- SDA と SCL を汎用 I/O として構成可能 (任意)
- 出力のスルーレート制御
- 出力のオープンドレイン制御
- 入力のプログラマブル プルアップ / プルダウン機能
- NACK 無視モードをサポート

注

この I2C モジュールは次の機能をサポートしていません。

- High-Speed (HS) モード
- C バス互換モード
- 10 ビット アドレス モードの複合フォーマット (I2C がターゲット アドレスの第 1 バイトを送信するたびに、ターゲット アドレスの第 2 バイトを送信する)

7.13.10.1 I2C のタイミング要件

		スタンダード モード ⁽¹⁾		高速モード		単位
		最小値	最大値	最小値	最大値	
$t_c(\text{SCL})$	サイクル時間、SCL	10		2.5		μs
$t_{su}(\text{SCLH-SDAL})$	セットアップ時間、SCL High から SDA Low まで (繰り返しスタート条件の場合)	4.7		0.6		μs
$t_h(\text{SCLL-SDAL})$	ホールド時間、SDA Low から SCL Low の間 (スタートおよび繰り返しスタート条件の場合)	4		0.6		μs
$t_w(\text{SCLL})$	パルス幅、SCL low	4.7		1.3		μs
$t_w(\text{SCLH})$	パルス幅、SCL high	4		0.6		μs
$t_{su}(\text{SDA-SCLH})$	セットアップ時間、SDA 有効から SCL High まで	250		100		ns
$t_h(\text{SCLL-SDA})$	ホールド時間、SCL low から SDA 有効の間	0	3.45 ⁽¹⁾	0	0.9	μs
$t_w(\text{SDAH})$	パルス幅、ストップ条件とスタート条件の間の SDA High の 期間	4.7		1.3		μs
$t_{su}(\text{SCLH-SDAH})$	セットアップ時間、SCL High から SDA High まで (ストップ条件の場合)	4		0.6		μs
$t_w(\text{SP})$	パルス幅、スパイク (抑制が必要)			0	50	ns
$C_b^{(2)(3)}$	各バスラインの容量性負荷		400		400	pF

- (1) I2C ピンの SDA および SCL は、フェールセーフ I/O バッファを備えていません。これらのピンは、デバイスの電源がオフのときに電流を引き出す可能性があります。
- (2) I2C バス デバイスの $t_h(\text{SDA-SCLL})$ の最大値を満たす必要があるのは、SCL 信号の Low 期間 ($t_w(\text{SCLL})$) を本デバイスがストレッチ (延長) しない場合に限られます。
- (3) $C_b = 1$ 本のバスラインの合計容量 (pF 単位)。ファスト モード デバイスと混在する場合、より高速な立ち下がり時間が許容されます。

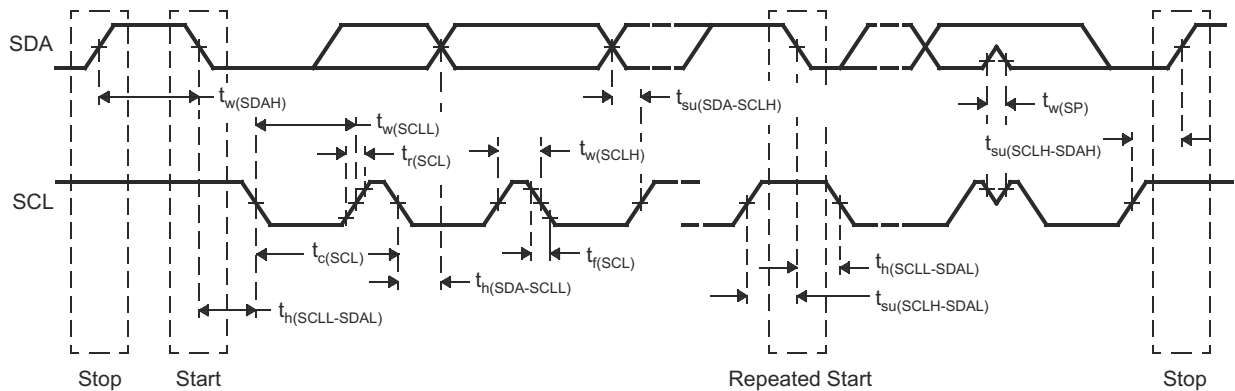


図 7-19. I2C タイミング図

注

- SCL 信号の立ち下がりエッジの未定義領域をブリッジするため、デバイスは SDA 信号のために (SCL 信号の V_{IHmin} を基準として) 300ns 以上のホールド時間を内部的に確保する必要があります。
- $t_h(\text{SDA-SCLL})$ の最大値を満たす必要があるのは、SCL 信号の Low 期間 ($t_w(\text{SCLL})$) を本デバイスがストレッチ (延長) しない場合に限られます。ファースト モード I2C バス デバイスは、スタンダード モード I2C バス システムでも使えますが、その場合、 $t_{su}(\text{SDA-SCLH}) \geq 250\text{ns}$ の要件を満たす必要があります。本デバイスが SCL 信号の Low 期間をストレッチしない場合、これは自動的に当てはまります。そのようなデバイスが SCL 信号の Low 期間をストレッチする場合、次のデータビットを SDA ラインに $t_r \text{ max} + t_{su}(\text{SDA-SCLH})$ の間出力する必要があります。

7.13.11 クワッド シリアル ペリフェラル インターフェイス (QSPI)

本クワッド シリアル ペリフェラル インターフェイス (QSPI) モジュールは、外部 SPI デバイスへのシングル、デュアル、クワッドの読み取りアクセスを可能にする SPI モジュールの一種です。このモジュールは、メモリ マップ レジスタ インターフェイスを備えており、外部 SPI デバイスからデータにアクセスするための直接インターフェイスとして機能するため、ソフトウェア要件が簡素化されます。QSPI はコントローラとしてのみ動作します。本デバイス内の QSPI は、クワッド SPI フラッシュ メモリからの高速ブートを主な目的としています。

QSPI は、以下の機能をサポートしています。

- プログラマブルなクロック分周回路
- 6 ピン インターフェイス
- 転送されるワード長をプログラム可能 (1～128 ビット)
- 転送されるワード数をプログラム可能 (1～4096)
- ワードまたはフレーム (ワード数) 完了時の任意の割り込み生成
- チップ セレクトのアクティブ化と出力データの間の遅延をプログラム可能 (0～3 QSPI クロック サイクル)

セクション 7.13.11.2 とセクション 7.13.11.3 は、セクション 7.13.11.1 に記載された動作条件を前提としています。

7.13.11.1 QSPI のタイミング条件

		最小値	標準値	最大値	単位
入力条件					
t_R	入力立ち上がり時間	1		3	ns
t_F	入力立ち下がり時間	1		3	ns
出力条件					
C_{LOAD}	出力負荷容量	2		15	pF

7.13.11.2 QSPI 入力 (読み取り) タイミングのタイミング要件

		最小値 ⁽¹⁾⁽²⁾	標準値	最大値	単位
$t_{su}(D-SCLK)$	セットアップ時間、d[3:0] 有効から sclk 立ち下がりエッジまで	5			ns
$t_h(SCLK-D)$	ホールド時間、sclk 立ち下がりエッジから d[3:0] 有効の間	1			ns
$t_{su}(D-SCLK)$	セットアップ時間、最後の d[3:0] ビット有効から最後の sclk 立ち下がりエッジまで	5 - P ⁽³⁾			ns
$t_h(SCLK-D)$	ホールド時間、最後の sclk 立ち下がりエッジから最後の d[3:0] ビット有効の間	1 + P ⁽³⁾			ns

(1) クロック モード 0 (clk 極性 = 0, clk 位相 = 0) が動作モードです。

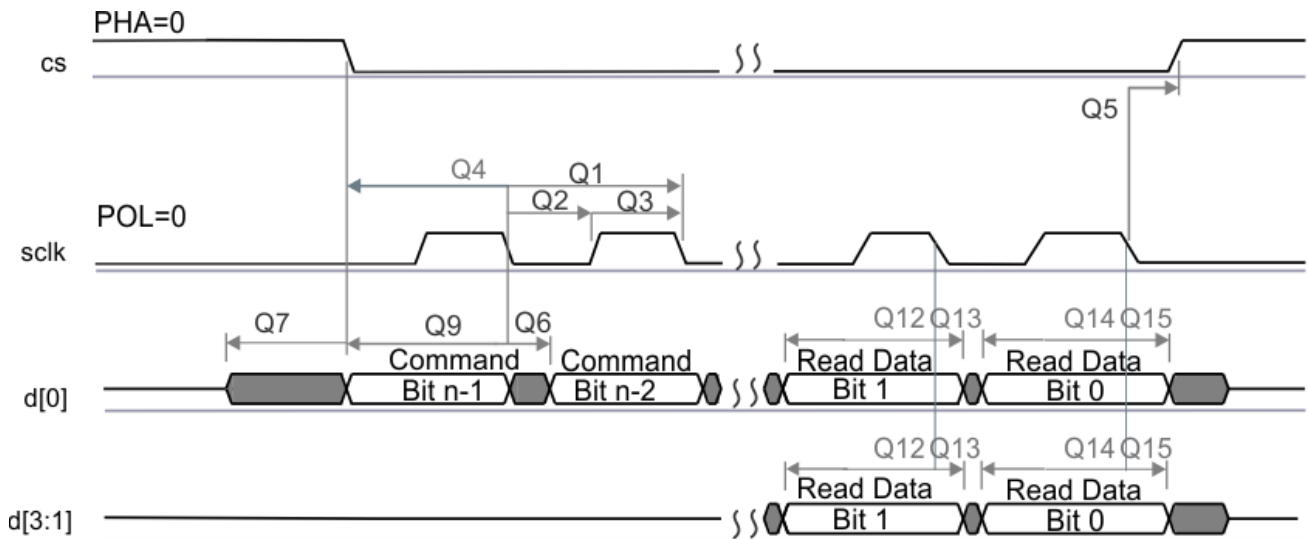
(2) 従来の立ち上がりクロック エッジとは対照的に、本デバイスはクロック モード 0 の立ち下がりクロック エッジでデータを取り込みます。立ち下がりエッジに基づく本デバイスのセットアップおよびホールド時間タイミングは標準ではありませんが、クロック モード 0 の立ち下がりエッジでデータを出る標準 SPI デバイスと接続できるように設計されています。

(3) P = SCLK 周期 (ns 単位)。

7.13.11.3 QSPI スイッチング特性

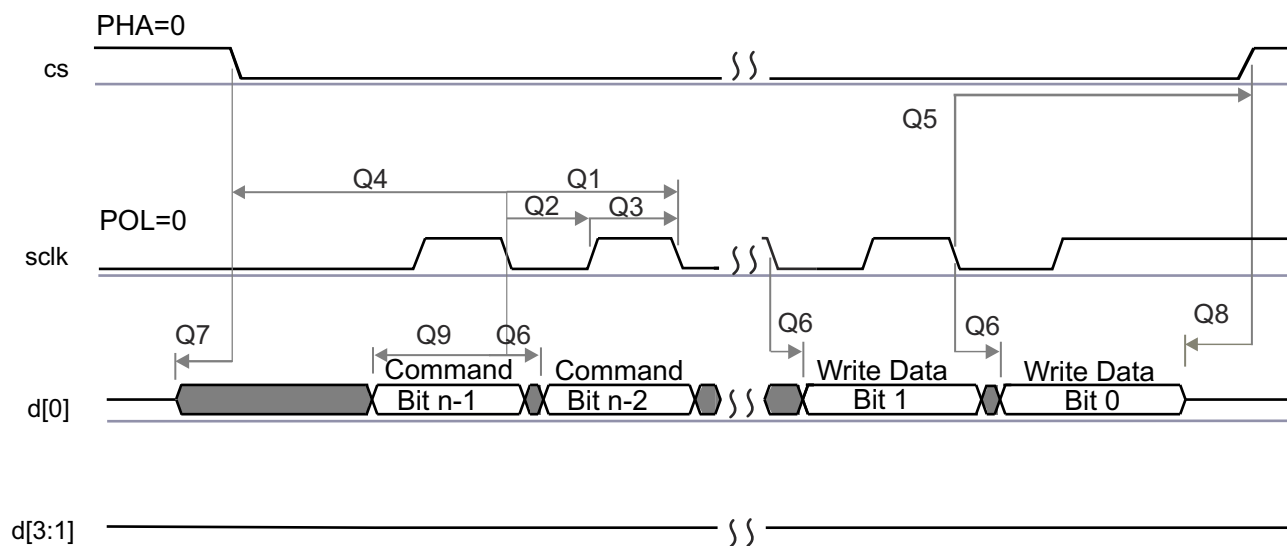
番号	パラメータ	最小値	標準値	最大値	単位
Q1	$t_{c(SCLK)}$	サイクル時間、sclk	12.5		ns
Q2	$t_{w(SCLKL)}$	パルス幅、sclk Low	$Y \cdot P - 3$ (1)(2)		ns
Q3	$t_{w(SCLKH)}$	パルス幅、sclk High	$Y \cdot P - 3$ (1)(2)		ns
Q4	$t_d(CS-SCLK)$	遅延時間、sclk 立ち下がりエッジから cs アクティブ エッジまで	$-M \cdot P - 1$ (2)(3)	$-M \cdot P + 2.5$ (2)(3)	ns
Q5	$t_d(SCLK-CS)$	遅延時間、sclk 立ち下がりエッジから cs 非アクティブ エッジまで	$N \cdot P - 1$ (2)(3)	$N \cdot P + 2.5$ (2)(3)	ns
Q6	$t_d(SCLK-D1)$	遅延時間、sclk 立ち下がりエッジから d[1] 遷移まで	-2	4	ns
Q7	$t_{ena}(CS-D1LZ)$	イネーブル時間、cs アクティブ エッジから d[1] 駆動 (ロー インピーダンス) まで	$-P - 4$ (2)	$-P + 1$ (2)	ns
Q8	$t_{dis}(CS-D1Z)$	ディセーブル時間、cs アクティブ エッジから d[1] トライステート (ハイ インピーダンス) まで	$-P - 4$ (2)	$-P + 1$ (2)	ns
Q9	$t_d(SCLK-D1)$	遅延時間、最初の sclk 立ち下がりエッジから最初の d[1] 遷移まで (PHA = 0 の場合のみ)	$-2 - P$ (2)	$4 - P$ (2)	ns
Q12	$t_{su}(D-SCLK)$	セットアップ時間、d[3:0] 有効から sclk 立ち下がりエッジまで	5		ns
Q13	$t_h(SCLK-D)$	ホールド時間、sclk 立ち下がりエッジから d[3:0] 有効の間	1		ns
Q14	$t_{su}(D-SCLK)$	セットアップ時間、最後の d[3:0] ビット有効から最後の sclk 立ち下がりエッジまで	$5 - P$ (2)		ns
Q15	$t_h(SCLK-D)$	ホールド時間、最後の sclk 立ち下がりエッジから最後の d[3:0] ビット有効の間	$1 + P$ (2)		ns

- (1) Y パラメータは、次のように定義されます。DCLK_DIV が 0 または奇数の場合、 $Y = 0.5$ です。DCLK_DIV が偶数の場合、 $Y = (DCLK_DIV/2)/(DCLK_DIV+1)$ です。最高の性能を得るため、0 または偶数の DCLK_DIV を使い、デューティ サイクルの歪みを最小化することを推奨します。クロック分周係数 DCLK_DIV の詳細については、デバイス固有のテクニカル リファレンス マニュアルを参照してください。
- (2) $P = SCLK$ 周期 (ns 単位)。
- (3) $M = QSPI_SPI_DC_REG.DDx + 1$, $N = 2$



SPRS85v TIMING QSPI1 02

図 7-20. QSPI 読み出し (クロック モード 0)



SPRS85v_TIMING_OSPi1_04

図 7-21. QSPI 書き込み (クロック モード 0)

7.13.12 JTAG インターフェイス

セクション 7.13.12.2 とセクション 7.13.12.3 は、セクション 7.13.12.1 に記載された動作条件を前提としています。

7.13.12.1 JTAG のタイミング条件

		最小値	標準値	最大値	単位
入力条件					
t_R	入力立ち上がり時間	1		3	ns
t_F	入力立ち下がり時間	1		3	ns
出力条件					
C_{LOAD}	出力負荷容量	2		15	pF

7.13.12.2 IEEE 1149.1 JTAG のタイミング要件

番号			最小値	標準値	最大値	単位
1	$t_c(TCK)$	サイクル時間 TCK	66.66			ns
1a	$t_w(TCKH)$	パルス幅、TCK High (t_c の 40%)	20			ns
1b	$t_w(TCKL)$	パルス幅、TCK Low (t_c の 40%)	20			ns
3	$t_{su}(TDI-TCK)$	入力セットアップ時間、TDI 有効から TCK High まで	2.5			ns
	$t_{su}(TMS-TCK)$	入力セットアップ時間、TMS 有効から TCK High まで	2.5			ns
4	$t_h(TCK-TDI)$	入力ホールド時間、TCK High から TDI 有効の間	18			ns
	$t_h(TCK-TMS)$	入力ホールド時間、TCK High から TMS 有効の間	18			ns

7.13.12.3 IEEE 1149.1 JTAG の推奨動作条件に対するスイッチング特性

番号	パラメータ	最小値	標準値	最大値	単位
2	$t_d(TCKL-TDOV)$	遅延時間、TCK LOW から TDO 有効まで	0	15	ns

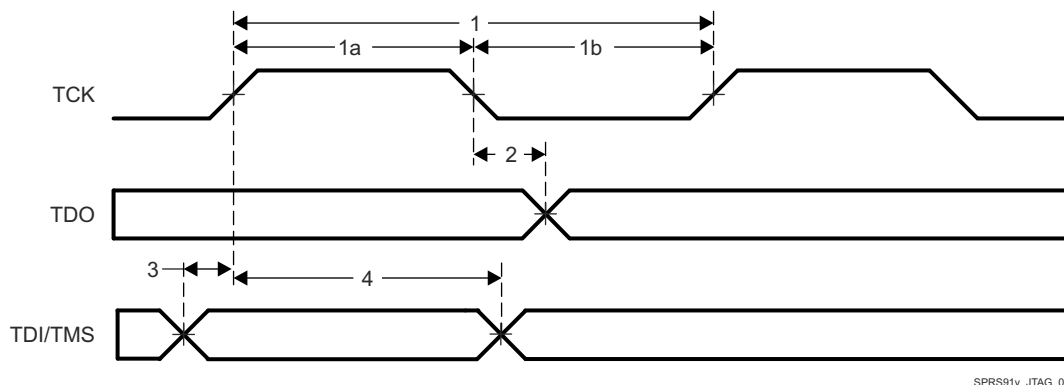


図 7-22. JTAG のタイミング

8 詳細説明

8.1 概要

AWRL6888 デバイスは、ミリ波フロント エンド、ユーザーがプログラムできるマイコン、高度信号処理用の C66x DSP、8 つのトランスミッタと 8 つのレシーバを備えたアナログ ベースバンド信号チェーンを内蔵した完全な SOC です。このデバイスは、メモリ、処理能力、アプリケーション コード サイズを重視するユースケースでは、オンチップ レーダーとして使用できます。

8.2 機能ブロック図

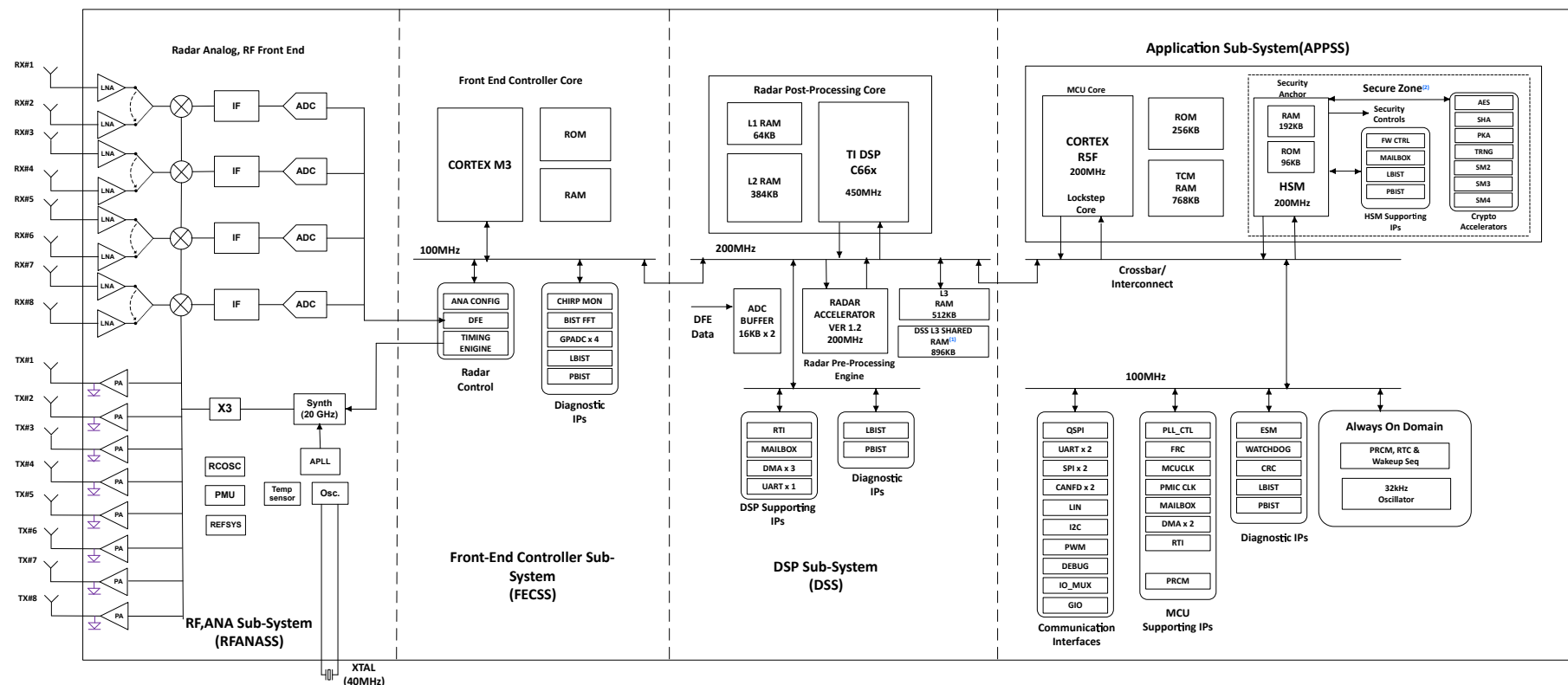


図 8-1. 機能ブロック図

- 表 8-1 に 896KB の DSS L3 共有 RAM メモリの位置を列挙します。ネイティブ メモリと共有メモリの位置と可能なマッピングの詳細については、『[テクニカル リファレンス マニュアル](#)』の「メモリ マップ」セクションを参照してください。
- セキュア デバイス バリエーションにのみ適用されます。

表 8-1. 共有メモリのアロケーション

メモリ	アロケーション
512KB	DSS L3、APPSS TCMA
256KB	DSS L3、APPSS TCMB
128KB	DSS L3、FECSS

8.3 サブシステム

8.3.1 RF およびアナログ サブシステム

RF / アナログ サブシステムには RF 回路とアナログ回路 (つまり、シンセサイザ、PA、LNA、ミキサ、IF、ADC) が含まれます。このサブシステムには水晶発振器と温度センサも含まれます。BPM モードではビームフォーミング用に最大 4 つの TX を同時に動作させることができます。また、TDM モードでは 8 つすべての TX を個別に動作させることができます。同様に、本デバイスでは、アプリケーションと電力の要件に基づいて送信チャネル数と受信チャネル数を構成できます。システムの消費電力を節約するため、AWRL6888 デバイスには、RF サブシステムとアナログ プシシステムを低消費電力モードに設定するデューティ サイクル オプションがあります。

8.3.2 クロック サブシステム

AWRL6888 のクロック サブシステムは、水晶振動子からの入力リファレンスに基づいて 57 ~ 63.9GHz を生成します。このサブシステムは、発振器回路と、それに続くクリーンアップ PLL および RF シンセサイザ回路を内蔵しています。次に、RF シンセサイザの出力は X3 通倍器で処理され、57~63.9GHz の範囲の必要な周波数を生成します。RF シンセサイザの出力は、センサ動作に必要な波形を生成するため、タイミング エンジン ブロックによって変調されます。システムのウェークアップ後、クリーンアップ PLL はホスト プロセッサにも基準クロックを提供します。クロック サブシステムには、水晶振動子の存在を検出し、生成されたクロックの品質を監視するための機能も内蔵されています。

システムのウェークアップ後、クリーンアップ PLL はホスト プロセッサにも基準クロックを提供します。

クロック サブシステムには、水晶振動子の存在を検出し、生成されたクロックの品質を監視するための機能も内蔵されています。

図 8-2 に、クロック サブシステムを示します。

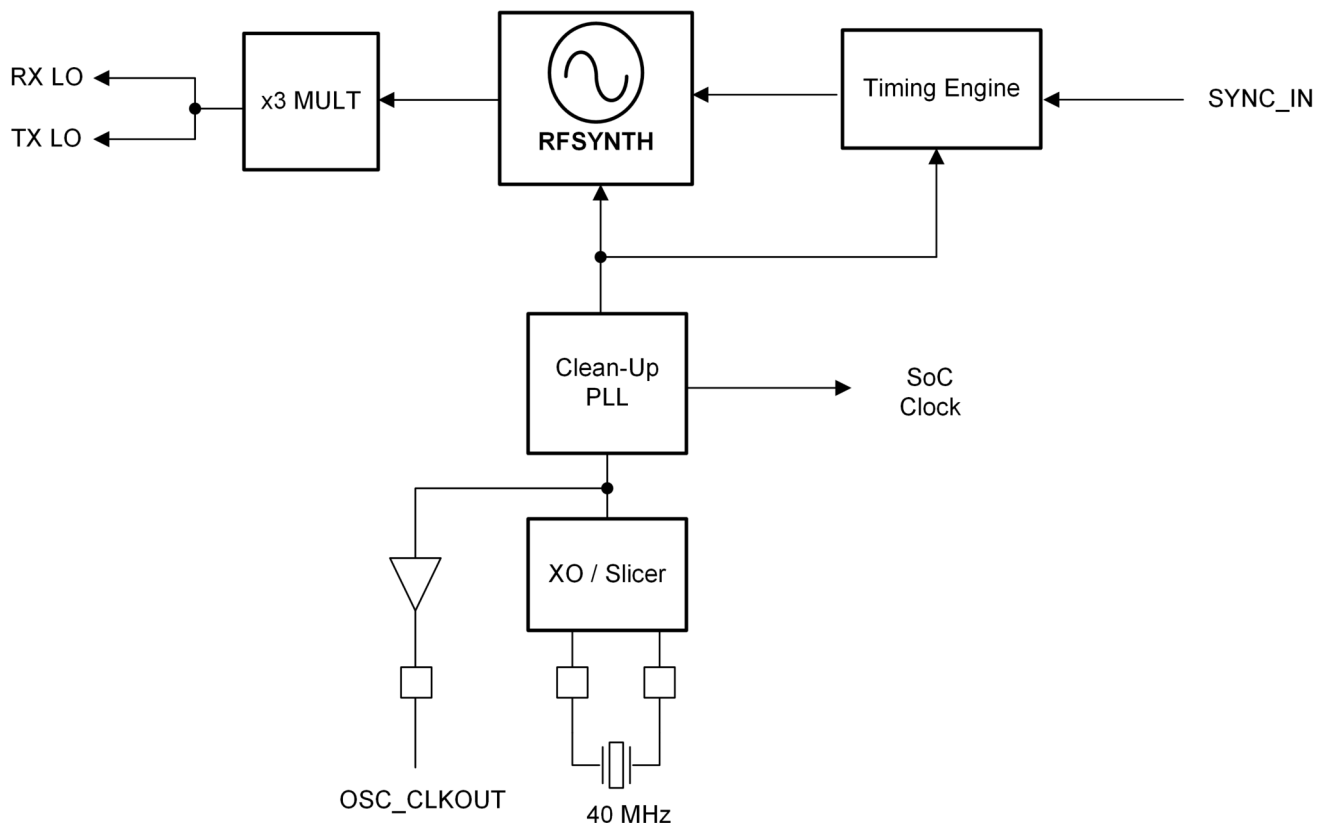


図 8-2. クロック サブシステム

8.3.3 送信サブシステム

AWRL6888 の送信サブシステムは、8 つの送信チェーン (TX0A、TX0B、TX1A、TX1B、TX2A、TX2B、TX3A、TX3B) で構成されており、各チェーンは、個別の振幅制御機能を備えた独立したパワー アンプから電力供給されます。本デバイスは MIMO レーダーのためのバイナリ位相変調をサポートしています。送信サブシステムには、4 つの FMCW 信号生成チェーンが組み込まれており、各チェーンはチャンネル A (TXnA) およびチャンネル B (TXnB) からなる送信チャンネルのペアで共有されます。ペアになっているチャンネルは、バイナリ位相シフタを含むすべての構成パラメータを共有します。そのため、ペア内の 2 つのチャンネルを同時に有効化することはできず、同時に動作させることができる送信チャンネルは最大 4 つとなります。送信チェーンは、システムを最適化するためのプログラム可能なバックオフもサポートしています。

送信チャンネルと BGA ピンの対応関係については、表 8-2 を参照してください。

図 8-3 に、送信サブシステムを示します。

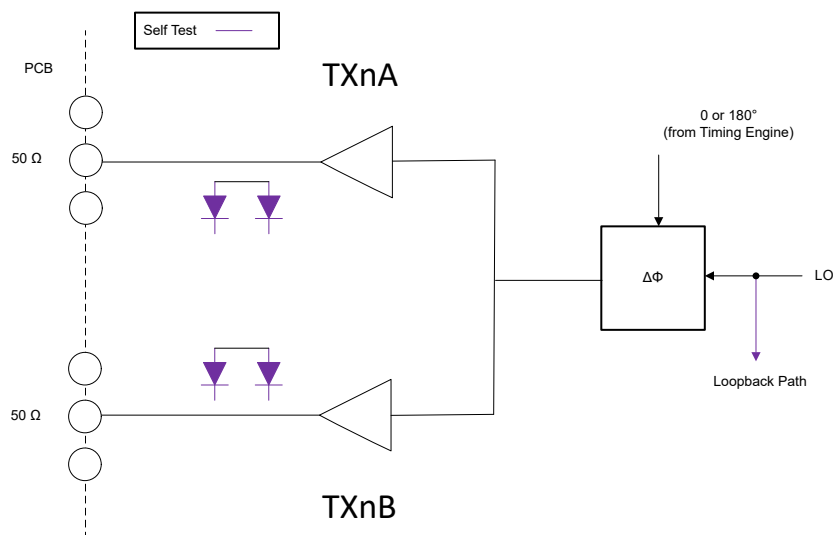


図 8-3. 送信サブシステム (2 つの送信チャンネル ペアごと)

表 8-2. 送信チャンネルと BGA ピンの対応関係

BGA ピン	チャンネル
TX1	TX0A
TX2	TX0B
TX3	TX1B
TX4	TX1A
TX5	TX2A
TX6	TX2B
TX7	TX3B
TX8	TX3A

送信チャンネルのビット フィールドの対応関係については、MMWAVE-L-SDK 内の ICD (インターフェイス制御資料) を参照してください。

注

ハードウェアでは、有効なチェーンの A および B の両チャンネルをアンテナに接続する必要があります。

8.3.4 受信サブシステム

AWRL6888 受信サブシステムは、2:1 多重化構成の 4 つのベースバンド処理チェーンによりサポートされる、8 つの RX チャンネル (RX0A、RX0B、RX1A、RX1B、RX2A、RX2B、RX3A、RX3B) を統合しています。チャンネルは 4 つのペア (RXnA と RXnB) で構成され、各ペアは共有のベースバンド処理チェーンで多重化されます。その結果、同じペア内の 2 つのチャンネルを同時に有効化することはできなくなります。同時に動作させることができる受信チャンネルは最大 4 つです。アクティブな各受信チャンネルは、低ノイズ アンプ (LNA)、ミキサ、IF フィルタリング、ADC 変換、デシメーションで構成されています。本デバイスは、実数ベースバンド アーキテクチャを採用しており、単一の IF、ADC チェーンを備えた実数ミキサを使用して、各受信チャンネルに対応する出力を提供します。個々の受信チャンネルは、システムの電力要件とアプリケーションの設計に基づいて、個別にパワーダウンできます。本デバイスは、高速チャープ システムを対象としています。バンドパス IF チェーンは、175kHz を超える下限カットオフ周波数を設定可能で、最大 10MHz の帯域幅まで対応できます。

受信チャンネルと BGA ピンの対応関係については、表 8-3 を参照してください。

図 8-4 に、受信サブシステムを示します。

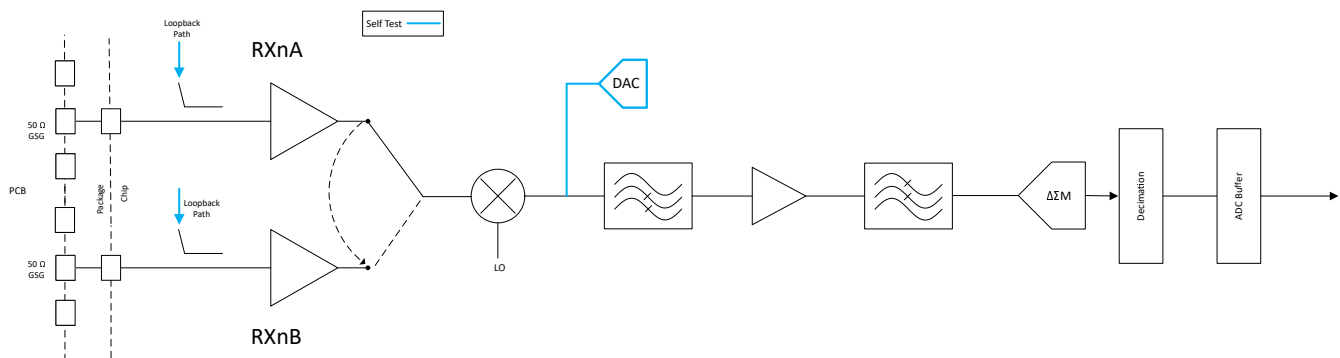


図 8-4. 受信サブシステム (受信チャンネル ペアごと)

表 8-3. 受信チャンネルと BGA ピンの対応関係

BGA ピン	チャンネル
RX1	RX0A
RX2	RX0B
RX3	RX1A
RX4	RX1B
RX5	RX2A
RX6	RX2B
RX7	RX3A
RX8	RX3B

受信チャンネルのビット フィールドの対応関係については、MMWAVE-L-SDK 内の ICD (インターフェイス制御資料) を参照してください。

8.3.5 プロセッサ サブシステム

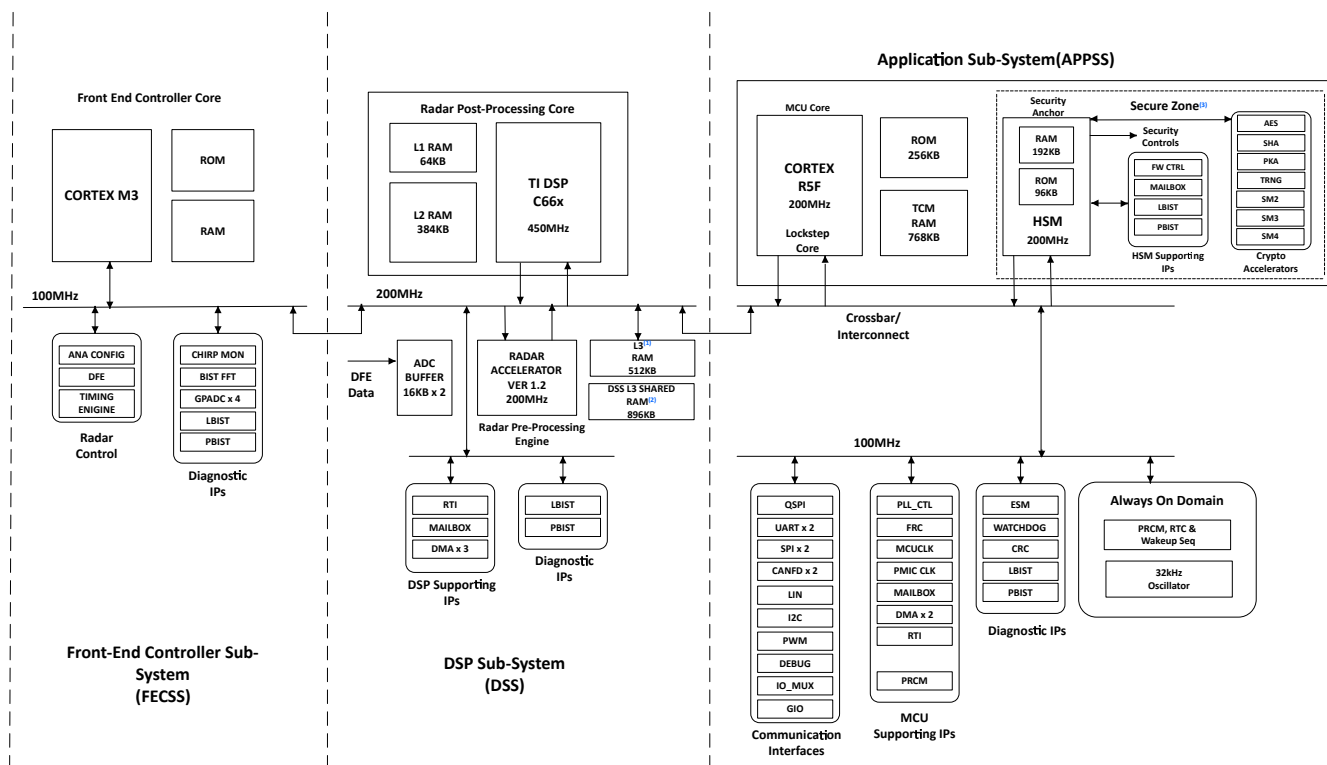


図 8-5. プロセッサ サブシステム

1. 512KB の DSS L3 ネイティブ RAM を利用可能
2. 896KB の DSS L3 共有 RAM のメモリ位置は、表 4-1 に記載されています。ネイティブ メモリと共有メモリの位置と可能なマッピングの詳細については、「[テクニカルリファレンス マニュアル](#)」の「メモリ マップ」セクションを参照してください。
3. セキュア デバイス バリエーションにのみ適用されます。

図 8-5 に、AWRL6888 デバイスにおいてユーザーがプログラム可能なプロセッサ サブシステムのブロック図を示します。概念的には、2 つのカスタマー プログラマブル プロセッサ サブシステムが存在し、図に示すように点線で区切られています。DSP サブシステムには、テキサス・インスツルメンツの高性能 C66x DSP、HWA、高性能向け高帯域幅インターコネク (128 ビット、200MHz)、関連ペリフェラルのデータ転送が含まれています。測定データ出力用の LVDS インターフェイス、L3 レーダー データ キューブ メモリ、ADC バッファ、CRC エンジン、データ ハンドシェイク メモリ (インターコネク上に搭載された追加メモリ)。

この図の右側に、アプリケーション サブシステムを示します。アプリケーション サブシステムは、本デバイスのすべてのデバイス ペリフェラルとハウスキーピング動作を制御します。アプリケーション サブシステムには、Cortex-R5F プロセッサと関連ペリフェラルおよびハウスキーピング コンポーネント 例: DMA、CRC、PCR (ペリフェラル セントラル リソース) インターコネクを介してメイン インターコネクに接続されたペリフェラル (I²C、UART、SPI、CAN、PMIC クロック モジュール、PWM、LIN など) が含まれます。

8.3.6 車載用インターフェイス

AWRL6888 は、以下のメイン インターフェイスを介して車載ネットワークと通信します。

- CAN-FD
- LIN

8.3.7 ホスト インターフェイス

ホスト インターフェイスは、SPI、LIN、UART、CAN-FD インターフェイスを介して提供できます。

AWRL6888 デバイスは、以下の主なインターフェイスを介してホスト レーダー プロセッサと通信します。

- 基準クロック – デバイス ウェークアップ後にホスト プロセッサ用に使用できる基準クロック
- 制御 – ホスト制御用の 4 ポート標準 SPI (ペリフェラル)。すべての無線制御コマンド (および応答) は、このインターフェイスを通ります。
- リセット – ホストからのデバイス ウェークアップのためのアクティブ Low のリセット。
- ホスト割り込み – ミリ波センサがホスト インターフェイスを必要としていることを示します。
- エラー – 無線コントローラがフォルトを検出した際にホストに通知するために使用されます。

8.3.8 アプリケーション サブシステム Cortex-R5F

アプリケーション サブシステムには、最大 200MHz のクロック周波数で動作する ARM Cortex -R5F プロセッサが含まれます。このプロセッサで実行されるユーザー アプリケーションは、明確に定義された API メッセージによるレーダー制御、(C66x DSP とレーダー ハードウェア アクセラレータで支援された) レーダー信号処理、外部インターフェイス用ペリフェラルを含む、本デバイス全体の動作を制御します。

詳細な説明とメモリ マップについては、[テクニカル リファレンス マニュアル](#)を参照してください。

8.3.9 DSP サブシステム

DSP サブシステムには、テキサス・インスツルメンツの標準的な TMS320C66x メガモジュールと複数の内部メモリ ブロック (L1 と L2) が含まれています。メモリ マップを含む詳細については、『[テクニカル リファレンス マニュアル](#)』参照してください。

8.3.10 ハードウェア アクセラレータ (HWA1.2) の特長

- 高速 FFT の計算は、サイズがプログラマブル (2^N) で、最大 1024 ポイントの複素 FFT
- 24 ビットの内部 FFT ビット幅 (I と Q のそれぞれ) により、優れた信号対量子化雑音比 (SQNR) 性能を実現
- radix-2 の段ごとに完全にプログラマブルなバタフライ スケーリングにより、ユーザーのフレキシビリティを向上
- FFT 前処理機能を内蔵 – 例: DC の推定と減算
- DC の推定と減算、干渉の推定とゼロ設定、実数ウィンドウ、複素前方乗算
- 振幅 (絶対値) と対数振幅の計算
- フレキシブルなデータフローとデータ サンプルの調整機能により、効率的な多次元 FFT 演算と転置アクセス
- メイン プロセッサからの干渉を最小限に抑えながら一連の演算を 1 つずつ実行するチェーン化およびループ化機能
- ピーク検出 – CFAR (CFAR-CA、CFAR-OS) 検出器
- Sum と 1D Max を含む基本的な統計値
- レーダー キューブ メモリを最適化するための圧縮エンジン

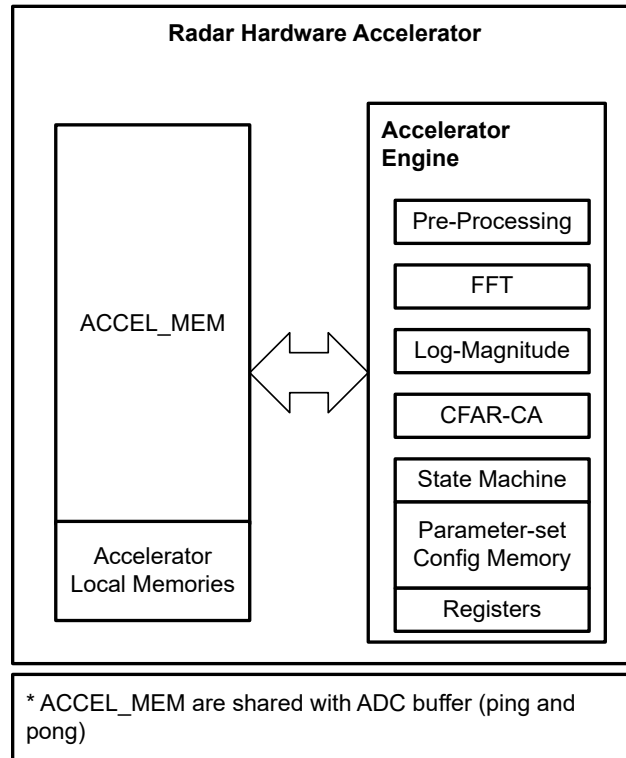


図 8-6. HWA 1.2 の機能ブロック図

8.3.10.1 xWRx843 の HWA1.1、xWRLx432 の HWA1.2、xWRL684x / AWRL6888 の HWA1.2 におけるハードウェア アクセラレータの機能差

特長		HWA1.0、HWA1.1 (xWR1843、xWR6843)	HWA1.2 (xWRL6432、xWRL1432)	HWA1.2 (xWRL684x、AWRL6888)
FFT 機能	FFT サイズ	1024、512、256、...	1024、512、256、...	1024、512、256、...
	内部ビット幅	24 ビット I、24 ビット Q	24 ビット I、24 ビット Q	24 ビット I、24 ビット Q
		パタフライ スケーリングを各段で設定可能	パタフライ スケーリングを各段で設定可能	パタフライ スケーリングを各段で設定可能
	FFT スティッチング	最大 4096 ポイント	最大 4096 ポイント	最大 4096 ポイント
4 つの 256 ポイント FFT に関する FFT ベンチマーク		1312 クロック サイクル (200MHz で 6.56μs)	1320 クロック サイクル (80MHz で 16.5μs)	1320 クロック サイクル (200MHz で 6.6μs)
パラメータ セットの数		16	32	32
ローカル メモリ		64KB	64KB	64KB
入力および出力フォーマット		- ローカル メモリの A および B dim アドレッシング - スケーリングをプログラム可能	- ローカル メモリの A および B dim アドレッシング - スケーリングをプログラム可能	- ローカル メモリの A および B dim アドレッシング - スケーリングをプログラム可能
FFT 前処理		- 振幅に基づく固定スレッショルドによる干渉の初期化 (ゼロ設定) - 複素乗算 (7 モード) - 実数ウィンドウ係数	- DC の推定と減算 - mag、mag-diff に基づく適応型統計学による干渉の初期化。干渉カウント表示。 - 複素乗算 (7 モード) - 実数ウィンドウ係数	- DC の推定と減算 - mag、mag-diff に基づく適応型統計学による干渉の初期化。干渉カウント表示。 - 複素乗算 (7 モード) - 実数ウィンドウ係数

特長	HWA1.0、HWA1.1 (xWR1843、xWR6843)	HWA1.2 (xWRL6432、xWRL1432)	HWA1.2 (xWRL684x、AWRL6888)
FFT 後処理	対数振幅 (0.3dB 精度)	対数振幅 (0.06dB 精度)	対数振幅 (0.06dB 精度)
圧縮と解凍のサポート	HWA1.0 (xWR1843) では使用不可。HWA1.1 (xWR6843) で使用可能。	使用可能	使用可能
検出	CFAR-CA (線形および対数モード)	- CFAR-CA (線形および対数モード) - CFAR-OS (各側で最大 32 のウィンドウ サイズ)	- CFAR-CA (線形および対数モード) - CFAR-OS (各側で最大 32 のウィンドウ サイズ)
統計値	1D Sum、1D Max	1D Sum、1D Max	1D Sum、1D Max

8.4 その他のサブシステム

8.4.1 セキュリティ – ハードウェア セキュリティ モジュール

セキュア ゾーン動作を実行するハードウェア セキュリティ モジュール (HSM) がこのデバイスにプロビジョニングされています (一部の部品バリエーションでのみ動作可能)。暗号の柔軟性の要件を実装するために、プログラム可能な Arm Cortex-M4 コアが利用可能です。

暗号化アルゴリズムは、HSM のハードウェア モジュールを使用して高速化できます。機能には、非対称鍵暗号の要件に対応する数学演算を実行するための AES、SHA、中国語暗号化アルゴリズム (SM2、SM3、SM4)、および公開鍵アクセラレータ (PKA) の高速化、ならびに真の乱数生成が含まれます。

APP サブシステム (APPSS) の Cortex-R5F プロセッサは、セキュア ブートおよびセキュア ランタイム通信に必要な暗号化処理を実行するために、HSM サブシステムと連携します。

セキュリティの詳細については、関連資料を参照してください。詳細については、お近くのテキサス・インスツルメンツ営業担当者までお問い合わせください。

8.4.2 ユーザー アプリケーション向け GPADC チャンネル (サービス)

AWRL6888 デバイスには、ユーザー アプリケーション向けの ADC サービスが用意されており、デバイス内の GPADC エンジンを使用して最大 4 個の外部電圧を測定できます。この目的で、GPADC1、GPADC2、GPADC3、GPADC4 の各ピンを使用します。

- GPADC 自体は、FEC サブシステム内で動作する TI のファームウェアによって制御されます。ユーザーによる外部電圧監視を目的としたアクセスは、FEC サブシステムにルーティングされる APPSS コールを介して行われます。この API は、APPSS Cortex R5F で動作しているユーザー アプリケーションとリンクさせることができます。
- デバイス ファームウェア パッケージ (DFP) には、これらの信号を構成および測定するための API が含まれています。この API を使用すると、セトリング時間 (スキップする ADC サンプル数) と取得する連続サンプル数を設定できます。読み取り値の平均が監視対象電圧別に報告されます。

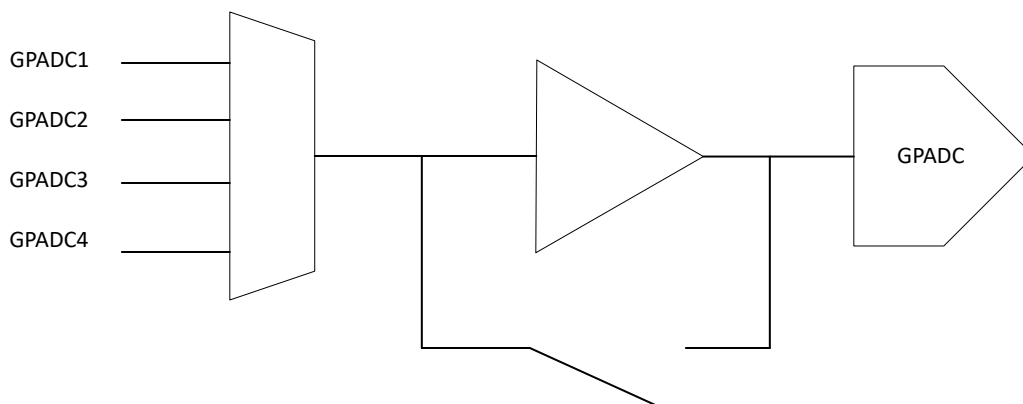


図 8-7. GPADC パス

GPADC 構造は、内部温度センサの出力を測定するために使われます。これらの測定の精度は $\pm 7^{\circ}\text{C}$ です。

8.4.3 GPADC のパラメータ

パラメータ	標準値	単位
ADC 電源	1.8	V
ADC の入力電圧範囲 (バッファなし)	0 – 1.8	V
ADC の入力電圧範囲 (バッファ付き) ⁽¹⁾	0.4 – 1.3	V
ADC の分解能	8	ビット
ADC のオフセット誤差	± 5	LSB
ADC のゲイン誤差	± 5	LSB
ADC の DNL	-1/+2.5	LSB
ADC の INL	± 2.5	LSB
ADC のサンプリングレート ⁽²⁾	831	kSPS
ADC のサンプリング時間 ⁽²⁾	300	ns
ADC の内部コンデンサ	10	pF
ADC の入力静電容量	2	pF
ADC の入力リーク電流	3	μA

(1) 規定の範囲を外れると、バッファ出力は非線形になります。

(2) GPADC 自体は、BIST サブシステム内で動作するテキサス・インスツルメンツ製ファームウェアによって制御されます。詳細については、API コールを参照してください。

8.4.4 メモリパーティションの選択

AWRL6888 デバイスの総メモリ容量は 2.5MB です。表 8-4 に、使用可能なメモリパーティションオプションの一部が記載されています。メモリパーティションオプションは表 8-4 に限定されません。

表 8-4. メモリパーティションの選択

メモリ	AWRL6888	
	デフォルト	代替
DSS L2	384KB	384KB
DSPSS L3 ネイティブ	512KB	512KB
L3 メモリ (TCMA と共有)	512KB	0KB
L3 メモリ (TCMB と共有)	256KB	0KB
L3 メモリ (FECSS と共有)	128KB	0KB
DSPSS L3 合計	1408KB	512KB

表 8-4. メモリ パーティションの選択 (続き)

メモリ	AWRL6888	
	デフォルト	代替
APPSS ネイティブ — TCMA	512KB	512KB
APPSS ネイティブ — TCMB	256KB	256KB
APPSS 共有 — TCMA	0KB	512KB
APPSS 共有 — TCMB	0KB	256KB
APPSS 合計	768KB	1536KB
FECSS	0KB	128KB
合計デバイス メモリ	2560KB	2560KB

RAM 全体が保持されます。また、各メモリ クラスタを個別にターンオフできます (必要な場合)。クラスタは以下のように定義されます。

メモリ保持の選択

表 8-5. APPSS

切り替え不能メモリ		切り替え可能メモリ			切り替え可能メモリ — DSS L3 と共有 (DSS バンク 1)		
		Group1			Group2		Group3
256KB		512KB			512KB		256KB
クラスタ #1	クラスタ #2	クラスタ #5	クラスタ #6	クラスタ #7	クラスタ #8	クラスタ #9	クラスタ #10
TCMA	TCMA	TCMA	TCMA	TCMB0 + TCMB1	TCMA Bank0	TCMA Bank1	TCMB0 + TCMB1
128KB	128KB	128KB	128KB	128KB + 128KB	256KB	256KB	128KB + 128KB

表 8-6. DSS

切り替え可能メモリ						切り替え可能メモリ - FECSS と共有
グループ 4		グループ 5		グループ 6		グループ 4
144KB		304KB		512KB		128KB
クラスタ#2	クラスタ#3	クラスタ#4	クラスタ#5	クラスタ#6	クラスタ#7	クラスタ#1
DSP L2	HWA	DSP L2	DSP L1	DSS L3 (DSS Bank0)	DSS L3 (DSS Bank0)	DSS L3 (DSS Bank0)
144KB		240KB	64KB	256KB	256KB	128KB

8.4.5 ブート モード

デバイス リセットがデアサートされるとすぐに、APPSS のプロセッサはオンチップ ROM メモリからブートローダの実行を開始します。

ブートローダは 3 つの基本モードで動作し、これらのモードは、「センス オン パワー」(SOP) ピンと呼ばれるピンを設定することで、ユーザー ハードウェア (プリント基板) 上で指定されます。デバイス境界上のこれらのピンはブートローダ ファームウェアによってスキャンされ、ブートローダ動作モードが選択されます。

表 8-7 に、関連する SOP の組み合わせと、それらがブートローダの動作にどのように割り当てられるかを列挙します。

表 8-7. SOP の組み合わせ

SOP1	SOP0	ブートローダのモードと動作
0	0	フラッシュ モード / デバイス管理モード ユーザー アプリケーション (またはテキサス・インスツルメンツが提供したデバイス ファームウェア パッチ) をシリアル フラッシュに書き込めるように、デバイス ブートローダ はループで実行します。
0	1	機能モード / アプリケーション モード デバイス ブートローダは、QSPI シリアル フラッシュから内部 RAM にユーザー アプリケーションを読み込み、制御をそのユーザー アプリケーションに切り替えます。
1	1	デバッグ モード / 開発モード ブートローダはバイパスされ、R5F プロセッサは停止します。これにより、ユーザーはエミュレータを既知のポイントに接続できます。

9 監視と診断

監視と機能安全の実施の詳細については、[テクニカル リファレンス マニュアル](#)を参照してください。

すべての診断機能の適用可能性の詳細については、デバイス安全性マニュアルまたはその他の関連資料を参照してください。

10 アプリケーション、実装、およびレイアウト

注

以下のアプリケーションに関するセクションの情報は、テキサス・インスツルメンツの部品仕様の一部ではなく、テキサス・インスツルメンツはこれらの情報の正確性や完全性を保証しません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 使用上の注意

アプリケーション情報については、[AWR アプリケーション Web ページ](#)を参照してください。

10.2 リファレンス回路図

最新のハードウェア設計情報については、「設計キット」(通常、「設計および開発」にあります) の配下の本デバイスの製品ページを確認してください。

ご参考までに、設計ファイル、回路図、レイアウト、PCB スタック アップを以下に示します。

- [Altium AWRL6888 EVM 設計ファイル](#)
- [AWRL6888 EVM の回路図、組立図、部品表](#)

11 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。ツールおよびソフトウェアは、デバイスの性能評価や、コードの生成に使用され、それに従ってソリューションの開発が行われます。

11.1 デバイスの命名規則

製品開発サイクルの段階を示すために、TI ではマイクロプロセッサ (MPU) とサポート ツールのすべての型番に接頭辞を割り当てています。各デバイスには、次の 3 つのいずれかの接頭辞が付けられます。**X**、**P**、または空白 (接頭辞なし) (例: **AWRL6888**)。テキサス インスツルメンツでは、サポート ツールに対して使用可能な 3 つの接頭辞のうち、**TMDX**、**TMDS** の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ (**TMDX**) から、完全認定済みの量産デバイスツール (**TMDS**) まであります。

デバイスの開発進展フロー:

- X** 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ フローを使用しない可能性があります。
- P** プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。
- 空白 認定済みのシリコン ダイの量産バージョン。

サポート ツールの開発進展フロー:

- TMDX** 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。
- TMDS** 完全に認定済みの開発サポート製品です。

X および **P** デバイスと **TMDX** 開発サポート ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび **TMDS** 開発サポート ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。TI の標準保証が適用されます。

プロトタイプ デバイス (**X** または **P**) の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス インスツルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

TI デバイスの命名規則には、デバイス ファミリの接尾辞も含まれます。この接尾辞は、パッケージのタイプ (例: **ABL**) と温度範囲を表しています (たとえば、空白はデフォルトの民生用温度範囲を示します)。図 11-1 に、任意の **AWRL6888** デバイスについて、完全なデバイス名を読み取るための凡例を示します。

APD パッケージ タイプの **AWRL6888** デバイスの注文可能な型番については、このドキュメントにある「パッケージ オプションの付録」(利用可能な場合) や TI の Web サイト (www.ti.com) を参照するか、TI の販売代理店にお問い合わせください。

デバイスの命名規則マーキングの詳細説明については、[AWRL6888 デバイス エラッタ](#)を参照してください。

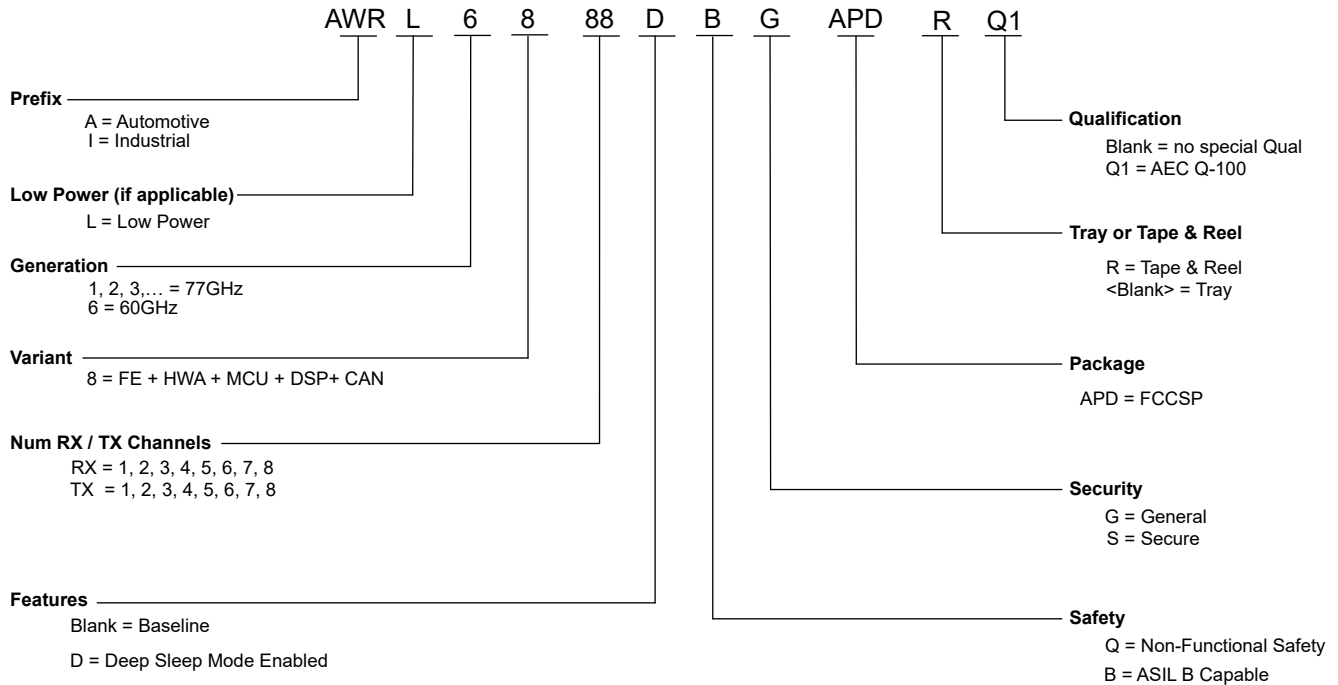


図 11-1. デバイスの命名規則

11.2 ツールとソフトウェア

MMWAVE-L-SDK この SDK には、ARM R5F と C66 の各 CPU、関連するペリフェラルを対象に RTOS ベースと非 RTOS ベースのアプリケーションを開発するためのサンプル、ライブラリ、ツールが付属しています。

モデル

AWRL6888 BSDL 個別デバイスの IEEE 1149.1 でテスト可能な入力および出力ピンのバウンダリ スキャン データベース。

AWRL6888 IBIS モデル デバイスの IO バッファの IO バッファ情報モデル。基板上でのシミュレーションについては、IBIS Open Forum を参照してください。

11.3 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。[更新の通知を受け取る]をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

ペリフェラルに関する最新ドキュメントとその他の技術資料を以下に示します。

エラッタ

AWRL6888 デバイス エラッタ。 シリコンに関する既知の勧告、制限、注意事項を説明し、回避策を示しています。

11.4 サポート リソース

テキサス・インスツルメンツ E2E™ サポート フォーラムは、エンジニアが検証済みの回答と設計に関する支援をエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらは テキサス・インスツルメンツの仕様を構成するものではなく、必ずしも テキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

11.5 商標

E2E™ is a trademark of Texas Instruments.
Arm®, R5F®, R4F®, and M4F® are registered trademarks of Arm Limited.
すべての商標は、それぞれの所有者に帰属します。

11.6 静電放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.7 用語集

テキサス・インスツルメンツ用語集	この用語集には、用語や略語の一覧および定義が記載されています。
------------------	---------------------------------

12 改訂履歴

日付	改訂	注
2026 年 9 月	*	初版リリース

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーションをご覧ください。

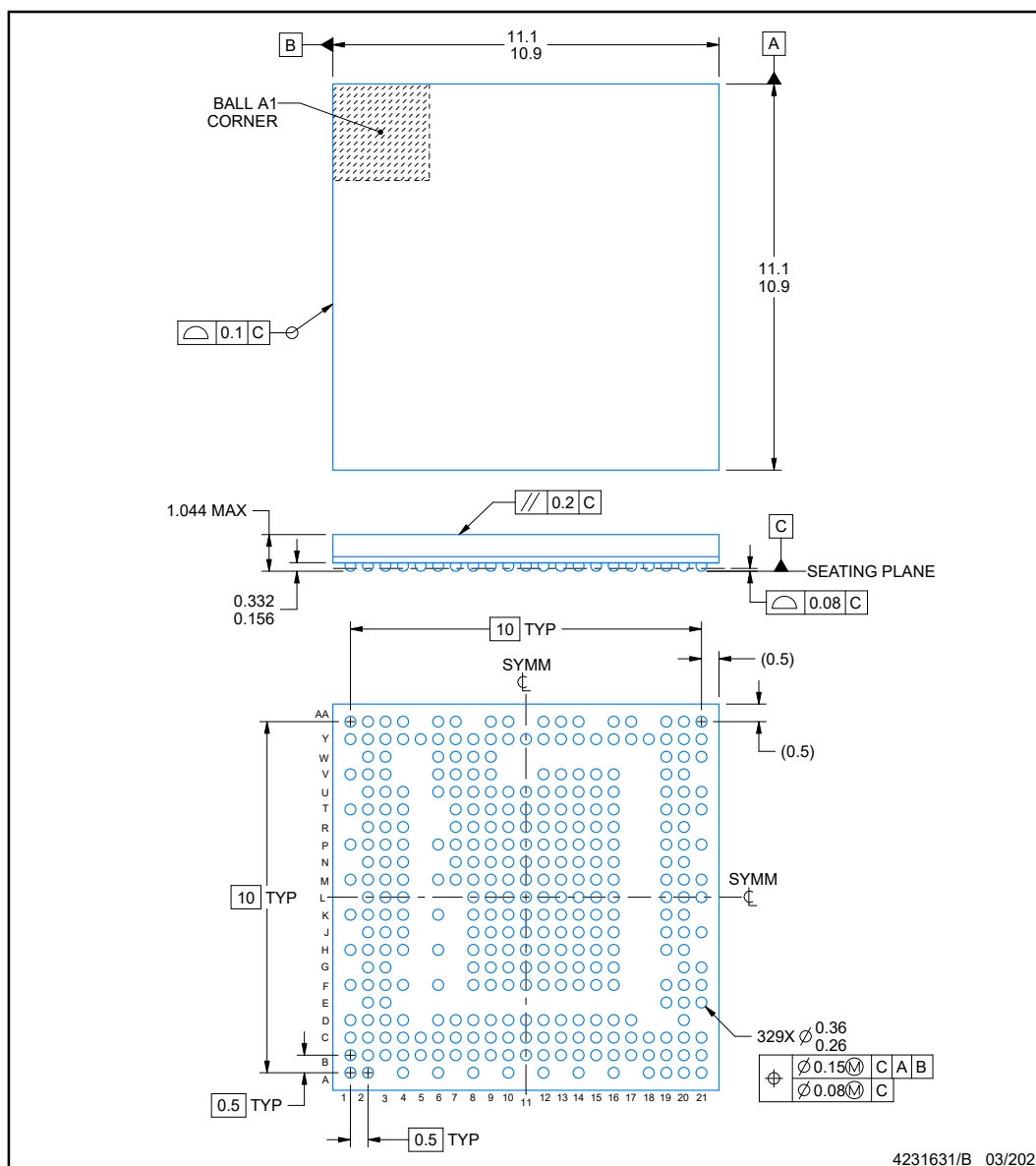
APD0329A



PACKAGE OUTLINE

FCCSP - 1.044 mm max height

PLASTIC BALL GRID ARRAY



NOTES:

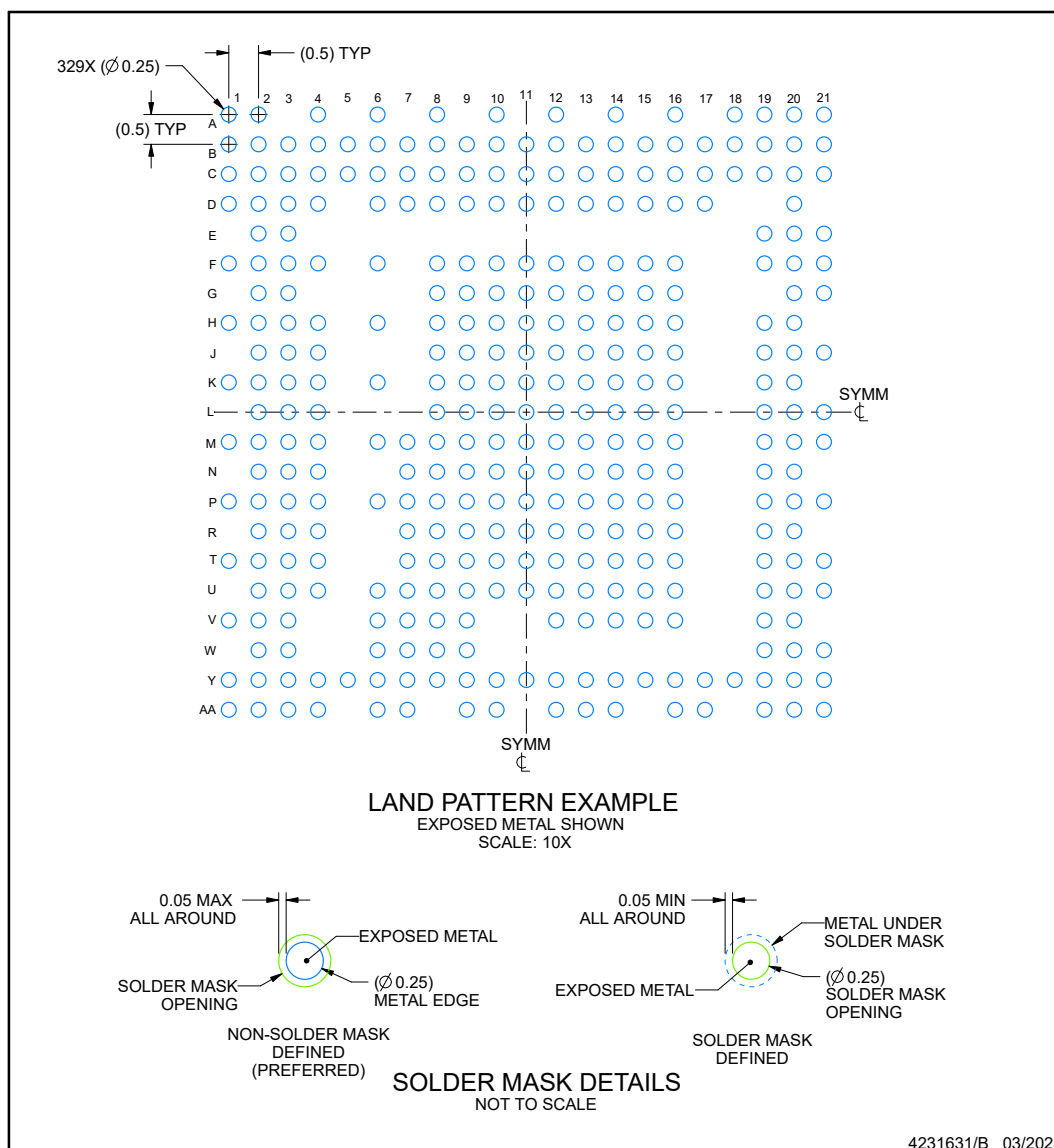
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

APD0329A

FCCSP - 1.044 mm max height

PLASTIC BALL GRID ARRAY



NOTES: (continued)

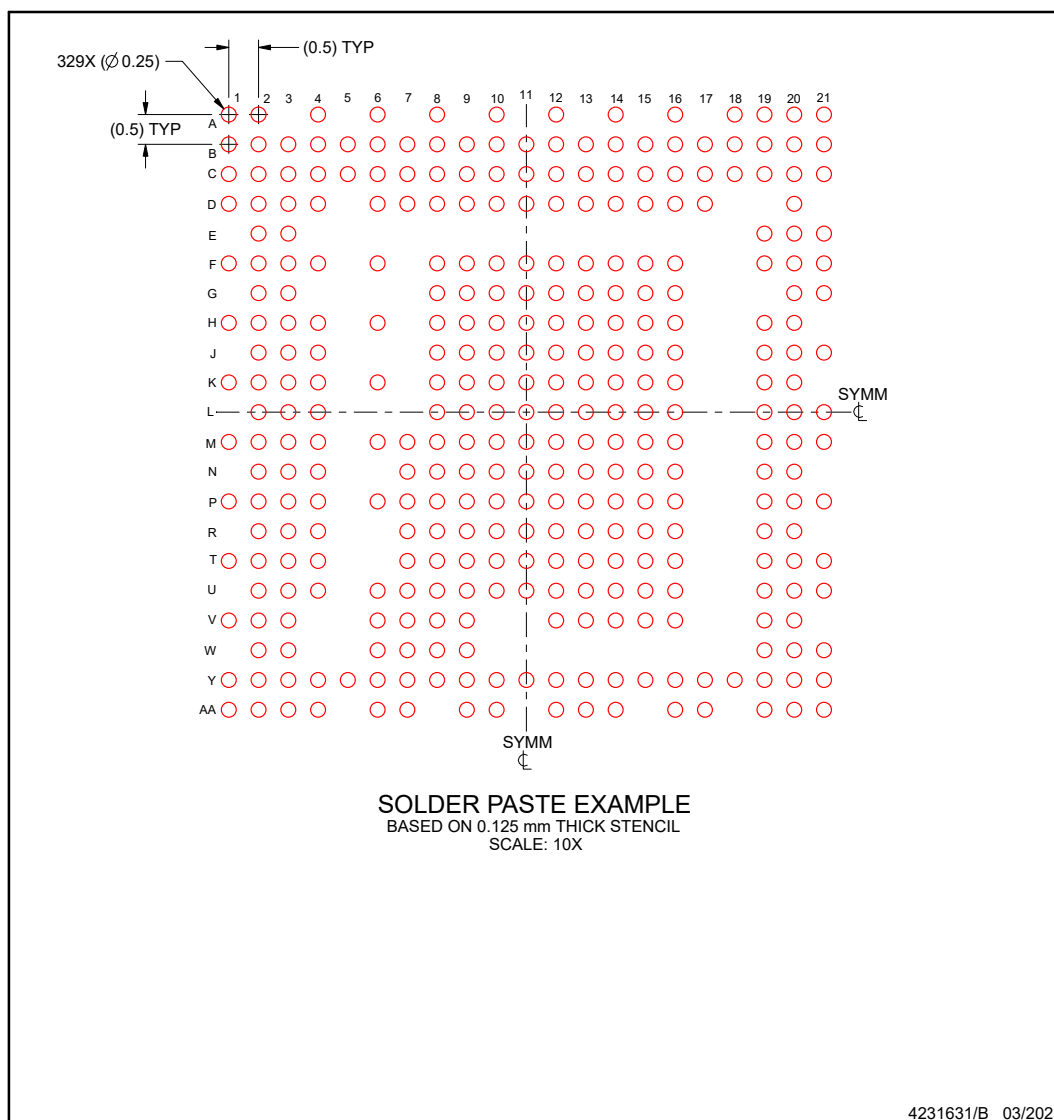
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

EXAMPLE STENCIL DESIGN

APD0329A

FCCSP - 1.044 mm max height

PLASTIC BALL GRID ARRAY



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

ADVANCE INFORMATION

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
XA6888DBGAPD	Active	Preproduction	FCCSP (APD) 329	297 JEDEC TRAY (10+1)	-	Call TI	Call TI	-	

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月