BQ2969 2/3/4 直列セル リチウムイオン バッテリ向け過電圧保護、安定化出力電源付き

1 特長

- 2/3/4 直列
  セル過電圧保護 (OVP)
- 出荷時にプログラムされた OVP スレッショルド (3.6V～5.2V)、±12mV の精度
- FET 駆動出力をトリガするための固定遅延タイマ (0.25s～6.5s を選択)
- 出力ピンのオプション:
  - アクティブ High
  - オープンドレイン、アクティブ プルダウン
  - オープンドレイン、非アクティブ プルダウン
- 3.8V、3.3V、3.15V、3.0V、2.5V、1.8V または 1.5V にプログラム可能な 3mA 安定化出力を内蔵
- 工場出荷時にプログラムされた低電圧 (UV) 検出スレッショルド (1V～4.15V) によりレギュレータをディセーブル
  - 低電圧状態でも OVP は動作を維持
- 複数の電力モード:
  - 通常モード - OV または UV なし: I_{CC} ≅ 1.23µA
  - 低電圧モード - UV 検出時: I_{CC} ≅ 0.25µA
  - 過電圧モード - OV 検出時: I_{CC} ≅ 19µA
- セル入力あたりのリーク電流が小さい: 100nA 未満
- 小さいパッケージ占有面積
  - 8 ピン WSON (2mm × 2mm)

2 アプリケーション

- ノート PC
- ウルトラブック
- ポータブル医療用電子機器
- UPS バッテリ バックアップ システム

3 説明

BQ2969 ファミリは、リチウムイオン および $LiFePO_4$ (LFP) バッテリ パック アプリケーション向け 3mA 安定化出力電源付き高精度低消費電力の過電圧保護素子です。

2～4 直列セル スタック内の各セルの過電圧状態を個別に監視します。いずれかのセルで過電圧状態が検出されると、内部固定遅延タイマが起動します。遅延タイマがタイムアウトすると、過電圧状態が発生したことを示すために出力ピンがアクティブ状態にトリガされます。

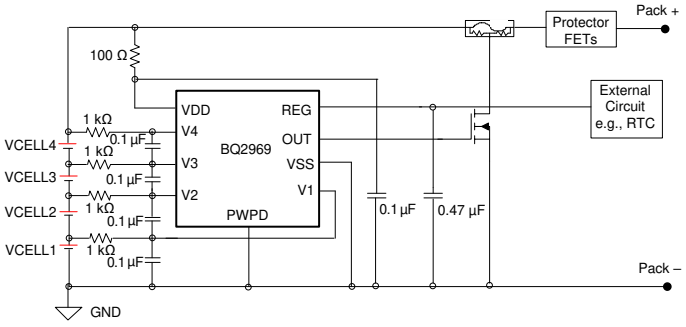
安定化出力電源は、リアルタイム クロック (RTC) 発振器などの常時オン回路を駆動するために最大 3mA の電流を出力します。BQ2969 ファミリは、いずれかのセル電圧がプログラム可能な低電圧スレッショルドを下回ると安定化出力をオフにする自己ディセーブル機能を備えており、それによってバッテリの消耗を防止できます。

BQ2969 ファミリは非常に小さい消費電力で動作し、通常動作時の消費電流はわずか 1.23µA (レギュレータの負荷電流を除く) であり、低電圧状態では 0.25uA まで低下します。低電圧状態であっても、本デバイスは他のいずれかのセルで過電圧状態を検出でき (不均衡なパックで発生する可能性があります)、出力ピンをアサートすることができます。

パッケージ情報

部品番号 (1)	パッケージ	パッケージ サイズ(2)
BQ2969xx	DSG (WSON、8)	2.00mm × 2.00mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイス比較表.....3
5 ピン構成および機能.....3
6 仕様.....4
6.1 絶対最大定格.....4
6.2 ESD 定格.....4
6.3 推奨動作条件.....4
6.4 熱に関する情報.....4
6.5 電気的特性.....5
6.6 代表的特性.....7
7 詳細説明.....8
7.1 概要.....8
7.2 機能ブロック図.....9
7.3 機能説明.....9
7.4 デバイスの機能モード.....11
8 アプリケーションと実装.....13
8.1 アプリケーション情報.....13
8.2 代表的なアプリケーション.....13
8.3 電源に関する推奨事項.....16
8.4 レイアウト.....16
9 デバイスおよびドキュメントのサポート.....18
9.1 デバイス サポート.....18
9.2 ドキュメントの更新通知を受け取る方法.....18
9.3 サポート・リソース.....18
9.4 商標.....18
9.5 静電気放電に関する注意事項.....18
9.6 用語集.....18
10 改訂履歴.....18
11 メカニカル、パッケージ、および注文情報.....19
11.1 テープおよびリール情報.....19

Copyright © 2025 Texas Instruments Incorporated

4 デバイス比較表

表 4-1. BQ2969 デバイス オプション

BQ2969 デバイス	OVP (V)	OVP 遅延 (s)	OVP ヒステリシス (mV)	UV (V)	LDO (V)	OUT ピン モード	ラッチアウト
BQ296900	4.65	6.5	300	2.5	3.3	アクティブ High	なし
BQ296901	4.65	6.5	300	2.5	3	アクティブ High	なし
BQ296902	4.65	6.5	300	3	3	アクティブ High	なし
BQ296907	4.65	6.5	300	2.5	1.5	アクティブ High	なし
BQ296909	4.65	6.5	300	2.7	3.3	アクティブ High	なし
BQ296910	4.35	6.5	300	1.8	3.0	アクティブ High	なし
BQ2969xx(1)	3.6 – 5.2	0.25、0.5、1、2、3、4、5.5、6.5	150、300	1 – 4.15	1.5、1.8、2.5、3.0、3.15、3.3、3.8	アクティブ High、オープンドレインのアクティブ プルダウン、オープンドレインの非アクティブ プルダウン	有、無

(1) 製品プレビュー (量産データではありません)詳細は テキサス・インスツルメンツまでお問い合わせください。

5 ピン構成および機能

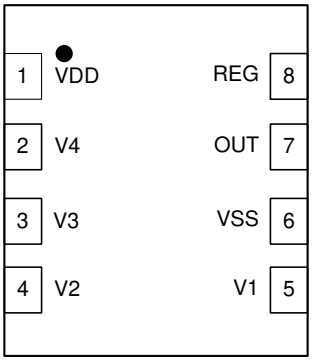


図 5-1. 2 ～ 4 直列 BQ2969 DSG パッケージ、8 ピン WSON（上面図）

表 5-1. ピンの機能

ピン		タイプ(1)	説明
名称	BQ2962		
VDD	1	P	電源入力
V4	2	IA	スタックの一番下から 4 番目のセルの正電圧に対するセンス入力
V3	3	IA	スタックの一番下から 3 番目のセルの正電圧に対するセンス入力
V2	4	IA	スタックの一番下から 2 番目のセルの正電圧に対するセンス入力
V1	5	IA	スタックの一番下の最下層のセルの正電圧に対するセンス入力
VSS	6	P	IC グランド、およびスタック内の一番下のセルの負端子に電気的に接続
OUT	7	OA	過電圧フォルト信号のアナログ出力駆動。CMOS 出力 High またはオープンドレインのアクティブ プルダウンまたはオープンドレインの非アクティブ プルダウン
REG	8	OA	安定化出力電源。安定性のために外部セラミック コンデンサが必要
PWPD	-	P	TI は、露出パッドを PCB 上の VSS に接続することを推奨しています。

(1) IA = アナログ入力、OA = アナログ出力、P = 電源接続

Copyright © 2025 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

–40°C ～ 110°C での自由気流での動作温度範囲 (特に記述のない限り)(1)

パラメータ		最小値	最大値	単位
電源電圧範囲	VDD – VSS	-0.3	30	V
	VDD - V4	-0.3	30	V
入力電圧範囲	V1 – VSS、V2 – VSS、V3 – VSS、V4 – VSS	-0.3	30	V
出力電圧範囲	REG – VSS	-0.3	5.0	V
出力電圧範囲	OUT – VSS	-0.3	30	V
保管温度、T_{stg}		-65	150	℃

(1) *絶対最大定格*を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「*推奨動作条件*」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

6.2 ESD 定格

パラメータ			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	2000	V
$V_{(ESD)}$	静電放電	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	500	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

標準値は T_A = 25°C、VDD = 15.2V の場合、最小値 / 最大値は T_A = –40°C～110°C、V_{DD} = 3V ～ 22V の場合 (特に記述のない限り)。

パラメータ		最小値	標準値	最大値	単位
電源電圧、V_{DD}	電源電圧、V_{DD} (REG ≤ 2.5V)	3		22	V
	電源電圧、V_{DD} (REG ≤ 3.3V)	4		22	V
	電源電圧、V_{DD} (REG ≥ 3.8V)	7.5		22	V
	通常動作、V_{DD} – V4 (1)	-0.2		0.2	V
	カスタマー テスト モード、V_{DD} – V4		10		V
入力電圧範囲	V4 – V3、V3 – V2、V2 – V1、V1 – VSS	0		5.5	V
動作時周囲温度範囲、T_A	動作時周囲温度範囲、T_A	-40		110	℃

(1) 設計により規定されています。

6.4 熱に関する情報

熱に関する情報 (1)		BQ2969	単位
		SON	単位
		(8 PINS)	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	80.0	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	102.5	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	46.5	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	6.1	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	46.5	℃/W
$R_{\theta JC(bottom)}$	接合部からケース (底面) への熱抵抗	22.7	℃/W

(1) 従来および最新の熱評価基準の詳細については、*「IC パッケージの熱評価基準」*アプリケーション レポートをご覧ください。

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性

標準値は T_A = 25°C、VDD = 15.2V の場合、最小値 / 最大値は T_A = –40°C～110°C、V_{DD} = 3V ～ 22V の場合 (特に記述のない限り)。

パラメータ	パラメータ	テスト条件	最小値	標準値	最大値	単位
電圧保護スレッショルド						
V_{OV}	$V_{(PROTECT)}$ 過電圧検出	R_{IN} = 1kΩ		適用電圧: 3.6V ～ 5.2V		V
V_{OVHYST}	OV 検出ヒステリシス	公称設定 150mV	100	150	200	mV
		公称設定 300mV	250	300	350	mV
V_{OA}	OV 検出精度	T_A = 25°C	-12		12	mV
$V_{OADRIFT}$	温度にわたる OV 検出精度(1)	T_A = -40°C	-40		40	mV
		T_A = -10°C	-22		22	mV
		T_A = 55°C	-24		24	mV
		T_A = 85°C	-37		37	mV
		T_A = 110°C	-50		50	mV
電源電流とリーク電流						
I_{DD}	通常モードの電源電流	(V_n – V_{n-1}) = (V1 – V_{SS}) = 3.8V、n = 2、3、4、VDD = 15.2V、I_{REG} = 0mA、T_A = –10°C ～ 60°C		1.23	2	µA
		(V_n–V_{n-1}) = (V1–V_{SS}) = 3.8V、n = 2、3、4、VDD = 15.2V、I_{REG} = 0mA、T_A =–40°C から 110°C へ			2.5	µA
	UV の電源電流	(V_n - V_{n-1}) = 3.8V, n = 2, 3, 4, および V_{UVQUAL} < (V1 - V_{SS}) < V_{UVREG}, VDD = 11.4V, T_A = –10°C to 60°C		0.25	0.5	µA
		(V_n - V_{n-1}) = 3.8V, n = 2, 3, 4, and V_{UVQUAL} < (V1 - V_{SS}) < V_{UVREG}, VDD = 11.4V, T_A = -40°C から 110°C			0.7	µA
	OV 内の消費電流	(V_n - V_{n-1}) = 3.8V、n = 2、3、4、および V_{OV} < (V1 - V_{SS})、VDD = 15.2V、T_A = -40°C ～ 110°C		19	30	µA
I_{IN}	V_n ピンの入力電流	(V_n – V_{n-1}) = (V1 – V_{SS}) = 3.8V、n = 2、3、4、VDD = 15.2V、T_A = 25°C	-0.1		0.1	µA
入力電圧						
OUT ピンドライバ						
V_{OUT}	出力駆動電圧	OUT ピンはアクティブ High モードに構成、(V_n – V_{n-1}) または (V1 – V_{SS}) > V_{OV}、n = 2、3、4、I_{OH} = 100µA、VDD ≥ 7.5V	5.5		8	V
		OUT ピンはアクティブ High モードに構成、(V_n – V_{n-1}) または (V1 – V_{SS}) > V_{OV}、n = 2、3、4、I_{OH} = 100µA、3V < VDD < 7.5V	VDD - 1.5	VDD - 1.1	VDD	V
		OUT ピンはアクティブ High モードに構成、(V_n – V_{n-1}) および (V1 – V_{SS}) < V_{OV}、n = 2、3、4、I_{OL} = 100µA、OUT ピンに流入。		190	400	mV
I_{OUTH}	OUT ソース電流 (OV 中)	OUT ピンはアクティブ High モードに構成、(V_n – V_{n-1}) または (V1 – V_{SS}) < V_{OV}、n = 2、3、4、OUT = 0V、OUT ピンから測定された電流。	0.6		5.2	mA
I_{OUTL}	OUT シンク電流	OUT ピンは、アクティブ High、オープンドレインのアクティブプルダウン、またはオープンドレインの非アクティブ プルダウンとして構成します。 デバイスはプルダウン状態、OUT は 0.5V に駆動され、OUT ピンに流れる電流を測定。	0.2		4	mA
OV 遅延タイマ						

6.5 電気的特性 (続き)

標準値は T_A = 25°C、VDD = 15.2V の場合、最小値 / 最大値は T_A = –40°C～110°C、V_{DD} = 3V ～ 22V の場合 (特に記述のない限り)。

パラメータ	パラメータ	テスト条件	最小値	標準値	最大値	単位
t_{DELAY}	OV 遅延時間(2)	内部固定遅延、0.25 秒遅延オプション(3)	0.14	0.25	0.38	s
		内部固定遅延、0.5 秒遅延オプション(3)	0.34	0.5	0.68	s
		内部固定遅延、1 秒遅延オプション(3)	0.74	1	1.28	s
		内部固定遅延、2 秒遅延オプション(3)	1.54	2	2.48	s
		内部固定遅延、3 秒遅延オプション(3)	2.4	3	3.6	s
		内部固定遅延、4 秒遅延オプション(3)	3.2	4	4.8	s
		内部固定遅延、5.5 秒遅延オプション(3)	4.4	5.5	6.6	s
		内部固定遅延、6.5 秒遅延オプション(3)	5.2	6.5	7.8	s
t_{DELAY_CTM}	テスト モードでの OV 遅延時間	内部固定遅延		15		ms
t_{DELAY_RESET}	OV 遅延リセット時間	1 つのセル電圧が V_{OV} を上回り、他のセルが V_{OV} を下回っている場合、OV 遅延タイマをリセットするために、高セル電圧が V_{OV} を下回る必要のある最短時間(3)	0.1			ms
安定化 出力電源、REG						
V_{REG}	REG サプライ	VDD ≥ 7.5V、I_{REG} = 10µA、C_{REG} = 0.47µF、V_{REG} = 3.8V、T_A = 25°C	3.724	3.8	3.876	V
		VDD≥4V、I_{REG} = 10µA、C_{REG} = 0.47µF、V_{REG} = 3.3V、T_A = 25°C	3.234	3.3	3.366	V
		VDD≥4V、I_{REG} = 10µA、C_{REG} = 0.47µF、V_{REG} = 3.15V、T_A = 25°C	3.087	3.15	3.213	V
		VDD≥4V、I_{REG} = 10µA、C_{REG} = 0.47µF、V_{REG} = 3.0V、T_A = 25°C	2.94	3.0	3.06	V
		VDD の≥3V、I_{REG} = 10µA、C_{REG} = 0.47µF、V_{REG} =2.5V、T_A = 25°C	2.45	2.5	2.55	V
		VDD の≥3V、I_{REG} = 10µA、C_{REG} = 0.47µF、V_{REG} = 1.8V、T_A = 25°C	1.764	1.8	1.836	V
		VDD の≥3V、I_{REG} = 10µA、C_{REG} = 0.47µF、V_{REG} =1.5V、T_A = 25°C	1.470	1.5	1.530	V
V_{REG}	REG サプライ	VDD ≥ 7.5V、I_{REG} = 3mA、C_{REG} = 0.47µF、V_{REG} = 3.8V	3.58	3.8	3.88	V
		VDD≥4V、I_{REG} = 3mA、C_{REG} = 0.47µF、V_{REG} =3.3V	3.12	3.3	3.39	V
		VDD≥4V、I_{REG} = 3mA、C_{REG} = 0.47µF、V_{REG} = 3.15V	2.98	3.15	3.23	V
		VDD≥4V、I_{REG} = 3mA、C_{REG} = 0.47µF、V_{REG} =3.0V	2.84	3.0	3.08	V
		VDD の≥3V、I_{REG} = 3mA、C_{REG} = 0.47µF、V_{REG} =2.5V	2.35	2.5	2.57	V
		VDD の≥3V、I_{REG} = 3mA、C_{REG} = 0.47µF、V_{REG} = 1.8V	1.70	1.8	1.85	V
		VDD の≥3V、I_{REG} = 3mA、C_{REG} = 0.47µF、V_{REG} =1.5V	1.42	1.5	1.56	V
$I_{REG_SC_Limit}$	REG 出力短絡電流制限	REG = V_{SS}、C_{REG} = 0.47µF	3.2		25	mA
R_{REG_PD}	REG プルダウン抵抗	REG がディセーブルのときにアクティブ化	20	30	40	kΩ
安定化電源低電圧自己ディセーブル						
V_{UVREG}	低電圧検出の精度	工場出荷時の構成:1.0V ～ 4.15V、50mV ステップ、T_A = 25°C	-50		50	mV
V_{UVHYS}	低電圧検出ヒステリシス		250	300	350	mV
$t_{UVDELAY}$	低電圧検出遅延(3)		5.2	6.5	7.8	s
V_{UVQUAL}	UV 検出を認証するためのセル電圧		0.45	0.5	0.55	V

(1) 特性評価と製造試験の組み合わせによる仕様
(2) 通常モードから過電圧モードへの遷移時に指定された遅延値。 デバイスが低電圧モードのとき、遅延時間が 0 ～ 1.2 秒増加する可能性があります。
(3) 設計と製造試験の組み合わせによる仕様

Copyright © 2025 Texas Instruments Incorporated

6.6 代表的特性

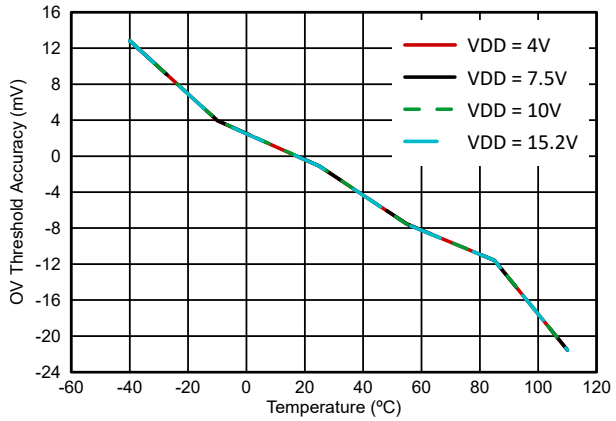


図 6-1. 過電圧スレッショルドの精度と温度との関係

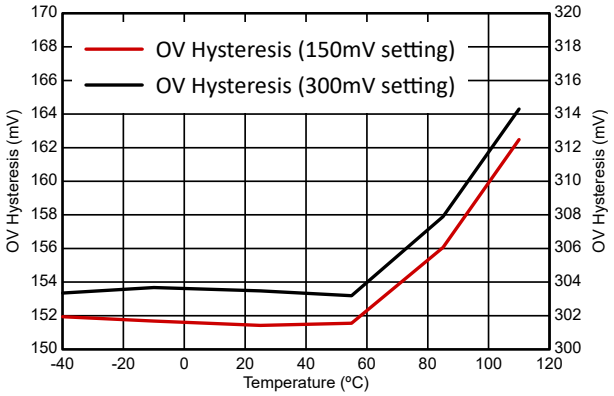


図 6-2. 過電圧ヒステリシスと温度との関係

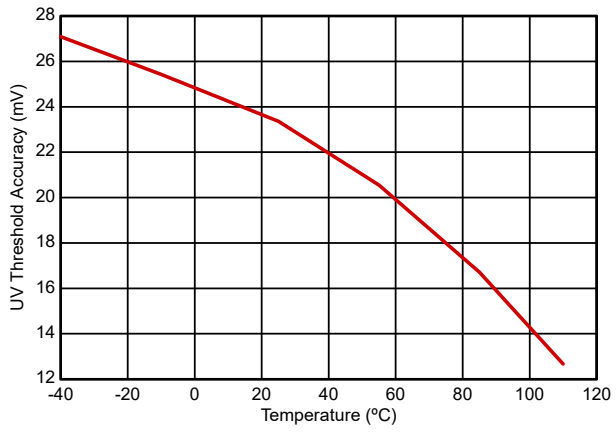


図 6-3. 低電圧スレッショルドの精度と温度との関係

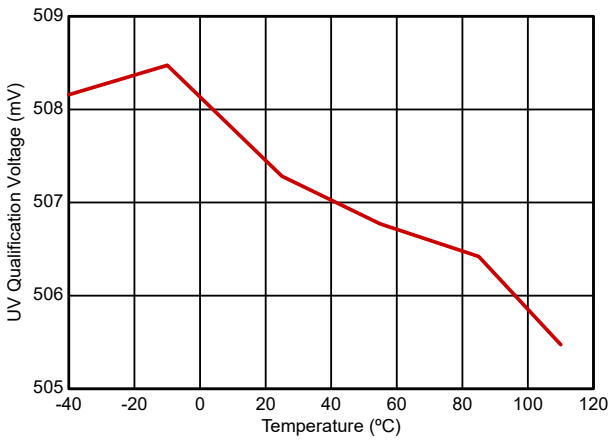


図 6-4. 低電圧認定電圧と温度との関係

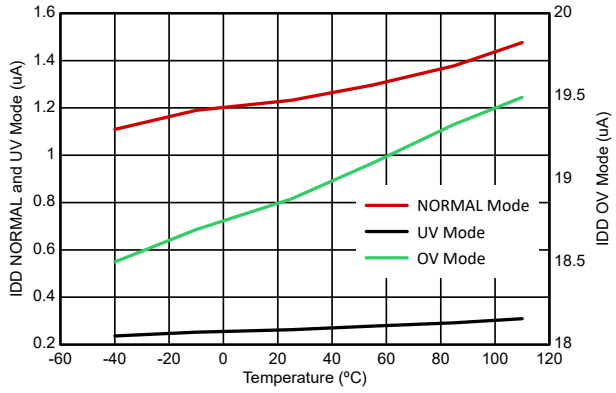


図 6-5. I_{DD} と温度との関係

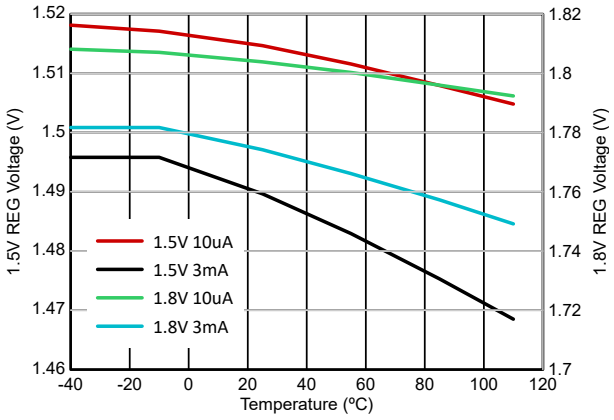


図 6-6. レギュレータ出力と温度との関係、1.5V および 1.8V 設定

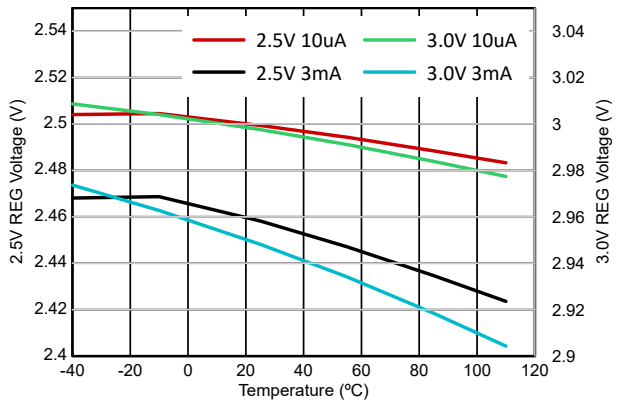


図 6-7. レギュレータ出力と温度との関係、2.5V および 3.0V 設定

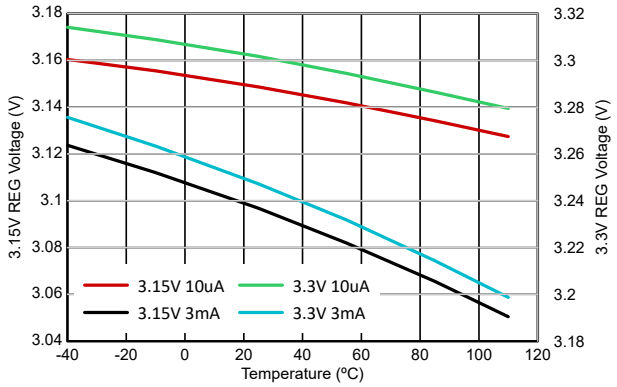


図 6-8. レギュレータ出力と温度との関係、3.15V および 3.3V 設定

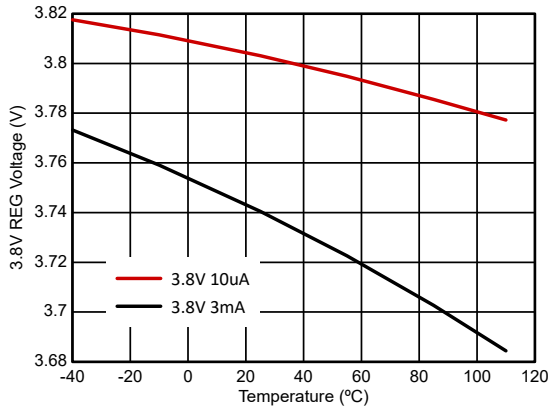


図 6-9. レギュレータ出力と温度との関係、3.8V 設定

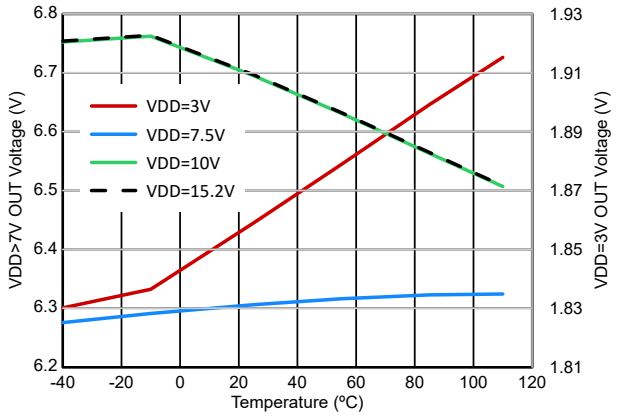


図 6-10. V_{OUT} と温度との関係 (OUT の負荷電流 100µA)

7 詳細説明

7.1 概要

BQ2969 ファミリは、リチウムイオン および $LiFePO_4$ (LFP) バッテリ パック アプリケーション向け 3mA 安定化出力電源付き高精度低消費電力の第 2 レベル過電圧保護素子です。

実際のセル電圧を過電圧スレッショルド V_{OV} と比較することで、2 ～ 4 直列セル スタック内の各セルの過電圧状態を個別に監視します。過電圧スレッショルドは出荷時に、3.6V ～ 5.2V の範囲であらかじめプログラムされています。いずれかのセルで過電圧状態が検出されると、デバイスは内部の固定遅延タイマを開始します。遅延タイマがタイムアウトすると、過電圧状態が発生したことを示すために出力ピンがアクティブ状態にトリガされます。出力ピンは、アクティブ High、オープン ドレインのアクティブ プルダウン、またはオープン ドレインの非アクティブ プルダウンとして構成できます。デバイスは、すべてのセル電圧が 150mV または 300mV にプログラム可能なヒステリシス レベルによって過電圧スレッショルド未満と検出されると、過電圧状態から回復します。または、出力ピンをラッチするようにプログラムし、アクティブ化されたときは回復しないようにすることもできます。

安定化出力電源は、1.5V から 3.8V までプログラム可能で、リアルタイム クロック (RTC) 発振器などの常時オン回路を駆動するために最大 3mA の電流を出力します。BQ2969 ファミリは、いずれかのセル電圧がプログラム可能な低電圧スレッショルドを下回ると安定化出力をオフにする自己ディセーブル機能を備えており、それによってバッテリの消耗を防止できます。この低電圧スレッショルドは 1V ～ 4.15V の範囲でプログラム可能です。

BQ2969 ファミリは非常に小さい消費電力で動作し、通常動作時の消費電流はわずか 1.23µA (レギュレータの負荷電流を除く) であり、低電圧状態では 0.25uA まで低下します。低電圧状態であっても、本デバイスはセル電圧を監視し続け、

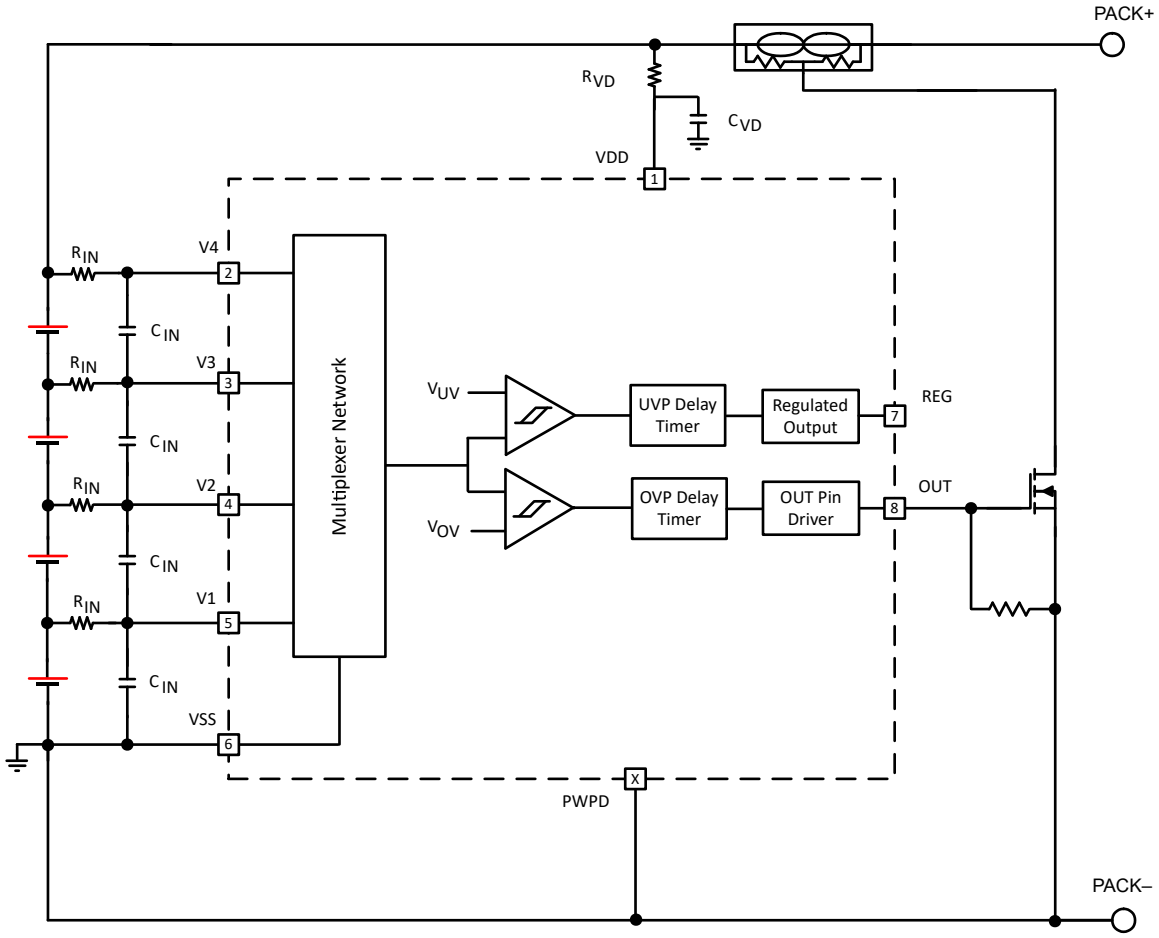
Copyright © 2025 Texas Instruments Incorporated

他のいずれかのセルで過電圧状態を検出でき (不均衡なパックで発生する可能性があります)、出力ピンをアサートすることができます。

表 7-1. プログラマブル パラメータ

過電圧範囲 (V)	過電圧遅延 (s)	過電圧ヒステリシス (mV)	低電圧範囲 (V)	OUT ピン モード	ラッチ アウト	レギュレータ (V)
3.6 ～ 5.2 (1mV 刻み)	0.25、0.5、1、2、3、4、5.5、6.5	150、300	1.0 ～ 4.15 (50mV 刻み)	アクティブ High、オープンドレインのアクティブ プルダウン、オープンドレインの非アクティブ プルダウン	有、無	1.5、1.8、2.5、3.0、3.15、3.3、3.8

7.2 機能ブロック図



BQ2969 のブロック図

7.3 機能説明

7.3.1 ピンの詳細

7.3.1.1 入力検出電圧、Vx

これらの入力は、各バッテリ セルの電圧を検出します。ノイズ フィルタリングと安定した電圧監視のために、各入力に対してセル全体に直列抵抗とコンデンサが必要です。

7.3.1.2 出力駆動、OUT

この端子は、いずれかのセルで過電圧状態が検出されたときにフォルト信号出力として機能します。このピンは、アクティブ High、オープン ドレインのアクティブ プルダウン、またはオープン ドレインの非アクティブ プルダウンとして構成できます。また、このピンは、過電圧状態が発生したときにアサートされるようにラッチするか、最大セル電圧が過電圧スレッショルドを 150mV または 300mV 下回った後に回復するようにプログラムすることも可能です。

7.3.1.3 電源入力、VDD

この端子はデバイスの非レギュレート入力電源です。電流を制限するために直列抵抗を接続し、ノイズ フィルタリングのためにコンデンサをグランドに接続します。

7.3.1.4 安定化出力電源、REG

BQ2969 は、REG ピンに安定化電源を提供します。この電源は、リアルタイム クロックやその他の機能などの外部回路への電力供給に使用できます。REG 出力には電流制限保護回路が含まれており、外部負荷の短絡による過剰な電力消費を検出して保護します。このピンには、電源出力の安定性、ノイズ耐性、ESD 性能のために、VSS との間に 0.47µF セラミック コンデンサ接続が必要です。このコンデンサは、接続のために REG ピンと VSS ピンの近くに配置する必要があります。

7.3.2 OUT の過電圧検出

BQ2969 デバイス内の各セルの過電圧状態を個別に監視します。過電圧は、実際のセル電圧を保護電圧リファレンス V_{OV} と比較することで検出されます。いずれかのセル電圧がプログラムされた V_{OV} 値を超えると、内部タイマ回路が作動します。タイマが事前にプログラムされた固定遅延を完了すると、OUT ピンは非アクティブ状態からアクティブ状態に遷移します。

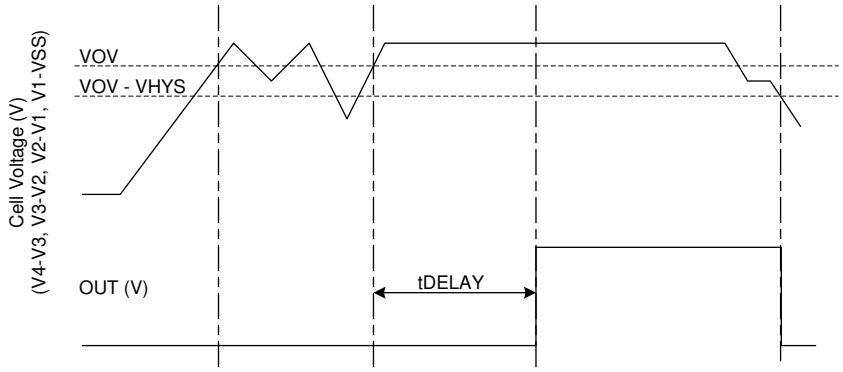


図 7-1. OUT の過電圧検知のタイミング

7.3.3 レギュレータ出力電圧

パワーアップ時に、BQ2969 のレギュレータ出力はデフォルトでオンになります。デバイスのパワーアップ時に、いずれかのセル電圧が V_{UVREG} を下回ると、レギュレータ出力は $t_{UVDELAY}$ 時間が経過するまでオンに維持され、デバイスはレギュレータ出力を無効化します。

放電中に、いずれかのセル電圧が $t_{UVDELAY}$ 時間にわたって V_{UVREG} スレッショルドを下回ると、レギュレータの出力は自動的に無効化されます。すべてのセル電圧が V_{UVREG} + V_{UVHYS} を上回ると、レギュレータ出力が再度オンになります。

Copyright © 2025 Texas Instruments Incorporated

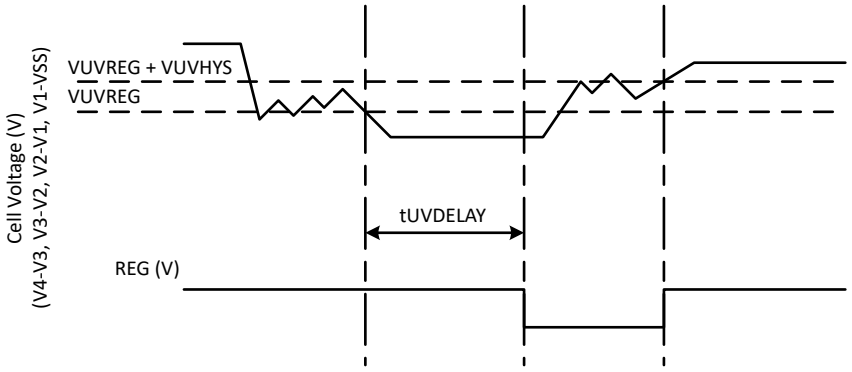


図 7-2. REG 出力のタイミング

7.4 デバイスの機能モード

7.4.1 通常モード

すべてのセル電圧が V_{OV} スレッショルドを下回っている場合、かつ V_{UVREG} スレッショルドを上回っている場合、デバイスは通常モードで動作します。デバイスは、(V1–VSS)、(V2–V1)、(V3–V2)、(V4–V3) の間に接続された差動セル電圧を定期的に監視しています。このモードでは、OUT ピンは非アクティブであり、安定化出力が有効化されます。

7.4.2 過電圧モード

過電圧モードは、いずれかのセル電圧が、構成された OV 遅延時間にわたって過電圧スレッショルド V_{OV} を超えると検出されます。OUT ピンは、工場で事前にプログラムされた遅延時間の後にアクティブになります。このピンは、通常、外部 FET を有効化し、ヒューズを解除してパックを無効化するために使用されます。すべてのセル電圧が $(V_{OV} – V_{HYS})$ を下回り、V_{UVREG} スレッショルドを超えたままになると、アサート時にラッチするように出力が構成されていない場合は、デバイスは通常モードに戻ります。すべてのセル電圧が V_{UVREG} を上回っている場合、このモードで安定化出力がイネーブルのままとなります。

7.4.3 低電圧モード

低電圧モードは、(V1–VSS)、(V2–V1)、(V3–V2)、または (V4–V3) 間のいずれかのセルの電圧が $t_{UVDELAY}$ 時間にわたって V_{UVREG} スレッショルドを下回った場合に検出されます。このモードでは、安定化出力は無効化されます。通常モードに戻るには、すべてのセル電圧が $(V_{UVREG} + V_{UVHYS})$ を上回り、V_{OV} を下回る必要があります。

デバイスを 4 セル未満のシステムで使用する場合、V_n ピンを (V_{n-1}) ピンに短絡できます。低電圧検出のため、デバイスは V_{UVQUAL} スレッショルドを下回る差動セル電圧を無視します。

低電圧モードであっても、本デバイスは各セルの電圧を定期的に監視し、いずれかのセル電圧が V_{OV} スレッショルドを超えるかどうかを確認し続けます。セル電圧が V_{OV} を上回り、別のセル電圧が V_{UVREG} を下回る状態（非常に不均衡なパックで発生する可能性がある）が発生した場合、OUT ピンがアクティブになり、レギュレータが無効化されます。

7.4.4 カスタマー テスト モード

カスタマー テスト モード (CTM) を使用すると、回路をバッテリ パックに実装した後、過電圧遅延タイマ パラメータをチェックするためのテスト時間を短縮できます。CTM を入力するには、VDD ピンを V4 より約 10V 高く設定する必要があります (図 7-3 を参照)。このモードでは、過電圧遅延タイマが約 20 ミリ秒に短縮され、通常動作でのタイマ遅延よりも大幅に短くなります。CTM を終了するには、VDD 電圧を V4 の電圧に戻します。これにより、デバイスがこのモードを終了します。

注意

デバイスを CTM に配置するときは、どのピンでも絶対最大電圧を超えないようにしてください。ピンに定格制限値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。

図 7-3 に、カスタマー テスト モードのタイミングを示します。

Copyright © 2025 Texas Instruments Incorporated

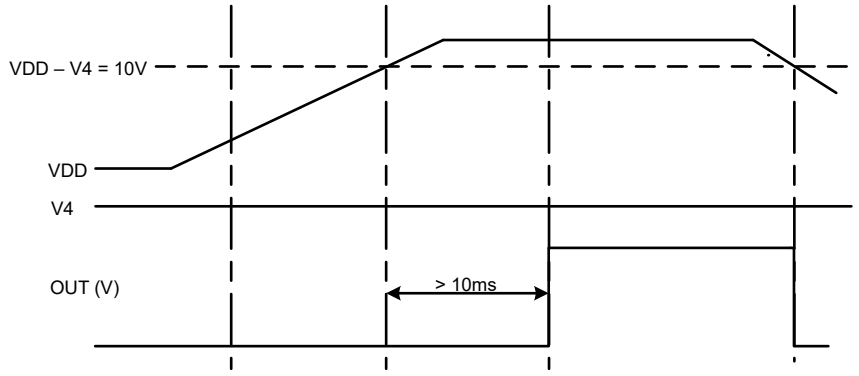


図 7-3. カスタマー テスト モードのタイミング

図 7-4 に、VDD およびセル入力ピンの製品の消費電流測定値を示します。

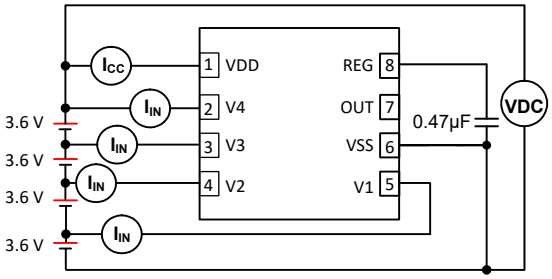


図 7-4. IC 消費電流テストの構成

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

BQ2969 ファミリの 2 次プロテクタは、アプリケーション内バッテリ パックの過電圧保護に使用されます。安定化出力を使用してローカル外部回路を駆動できます。デバイスの OUT ピンは 3 つの駆動タイプのいずれかに構成でき、デバイスが過電圧モードに移行するとアサートされます。このピンは通常、フォルト状態の場合にヒューズを切断する NMOS FET を駆動するために使用され、パックのパワー パスを遮断します。

8.2 代表的なアプリケーション

図 8-1 に、BQ2969 を関連する受動部品および外部 NFET と組み合わせて使用し、ハイサイド ヒューズを流す概略アプリケーション回路図を示します。

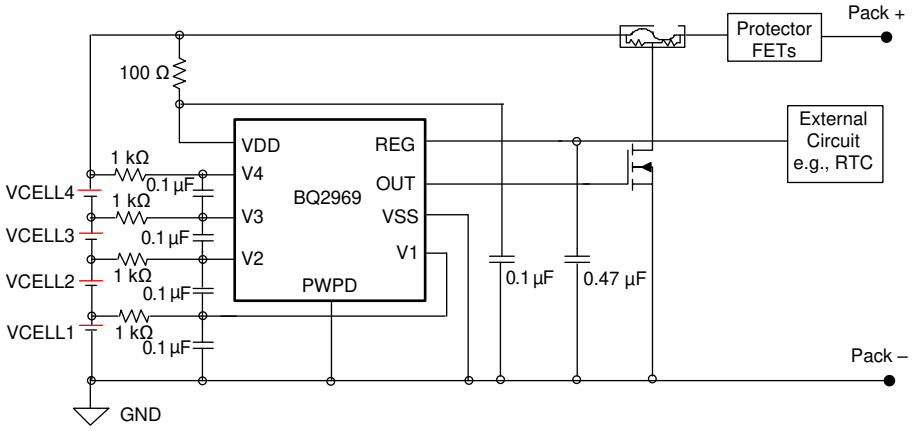


図 8-1. BQ2969 4 直列セルの代表的な実装 (概略回路図)

BQ2969 に基づく 4 直列バッテリ パックの評価基板向けの基本的な回路の完全な回路図を以下に示します。図 8-8 および 図 8-9 に、この設計の基板レイアウトを示します。

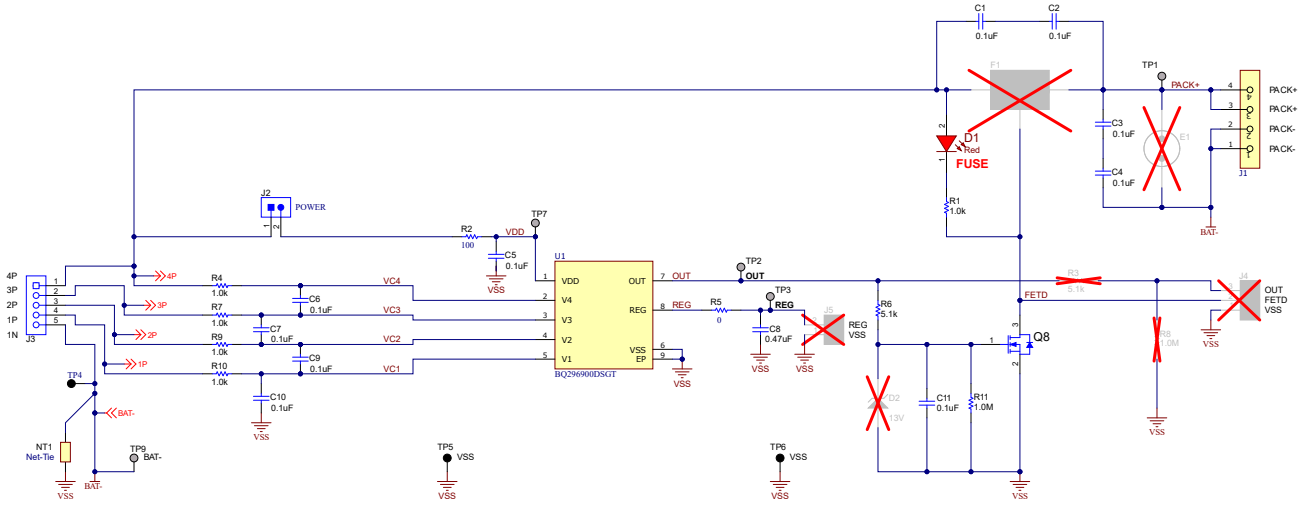


図 8-2. BQ2969 4 直列セル回路図 - プロテクタおよびヒューズ解除回路

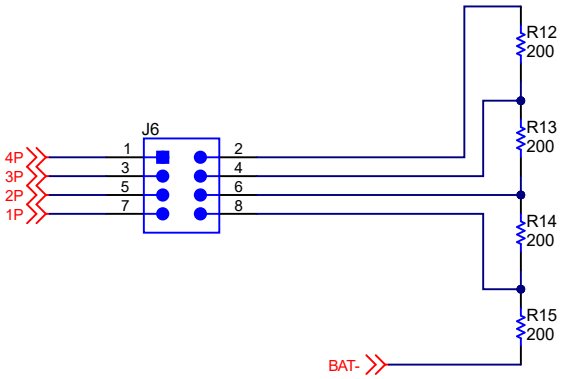


図 8-3. BQ2969 4 直列セル回路図 - セル シミュレータ回路

8.2.1 設計要件

注

表 8-1 に示されている範囲の変更は、セル測定の精度に影響を及ぼします。

表 8-1. パラメータ

パラメータ	外付け部品	最小値	公称値	最大値	単位
電圧モニタ フィルタ抵抗	R_{IN}	900	1000	4700	Ω
電圧モニタ フィルタ キャパシタンス	C_{IN}	0.01	0.1	1.0	µF
電源電圧フィルタ抵抗	R_{VD}	100	—	1000	Ω
電源電圧フィルタ キャパシタンス	C_{VD}	—	0.1	1.0	µF
REG 出力キャパシタンス	C_{REG}	0.47	1	—	µF

Copyright © 2025 Texas Instruments Incorporated

注

デバイスは、R_{IN} 値 = 1000Ω を使用して較正されています。この推奨値以外の値を使用すると、セル電圧測定の精度と V_{OV} トリガ レベルが変更されます。

8.2.2 詳細な設計手順

1. デバイスでは、VSS、V1、V2、V3、V4 の各ピンへのランダム セル接続が可能です。デバイスは最初に VSS を接続する必要はなく、セルを特定の順序で接続する必要もありません。しかし、接続のタイミングとデバイスに接続された外部回路に応じて、セル接続時に OUT ピンが一時的にアサートされる可能性があります。ユーザーは、これが生産ラインで問題を発生させないように対策を講じることができます。
2. 4 未満のセルを使用する場合、未使用のセル入力ピン V_n を次のセル入力ピン (V_{n-1}) に短絡させる必要があります。
3. セル入力コンデンサ、電源ピン コンデンサ、REG 出力コンデンサは、PCB のパターン長を最小限に抑えながら、デバイスに近づけて配置することを推奨します。

8.2.3 アプリケーション曲線

以下のスコープ プロットは、異なる状態間で遷移するデバイスの応答を示しています。図 8-4 は、デバイスが過電圧イベントを検出し、過電圧遅延時間の後で OUT ピンをアサートして外部ヒューズを溶断する様子を示しています。図 8-5 は、すべてのセル電圧が必要なヒステリシス レベル分だけ過電圧スレッショルドを下回って、OUT ピンがデアサートされたときの過電圧イベントからの回復を示しています。図 8-6 に、低電圧遅延期間の後で、デバイスが低電圧条件を検出し、REG LDO 出力を無効化する例を示します。図 8-7 に、すべてのセル電圧が必要なヒステリシス レベル分だけ低電圧スレッショルドを上回ったときに、デバイスが低電圧状態から回復し、REG LDO を再度有効化する例を示します。

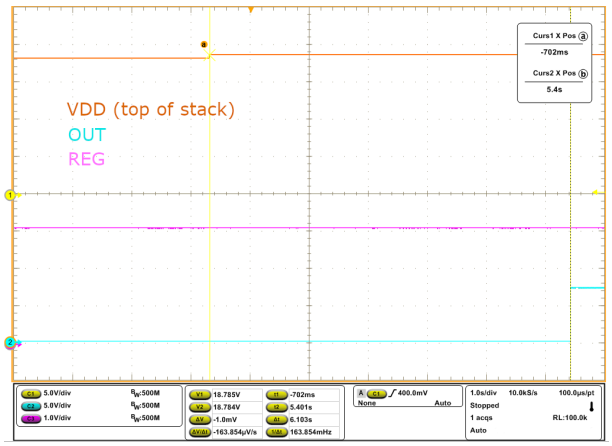


図 8-4. 過電圧保護トリガ

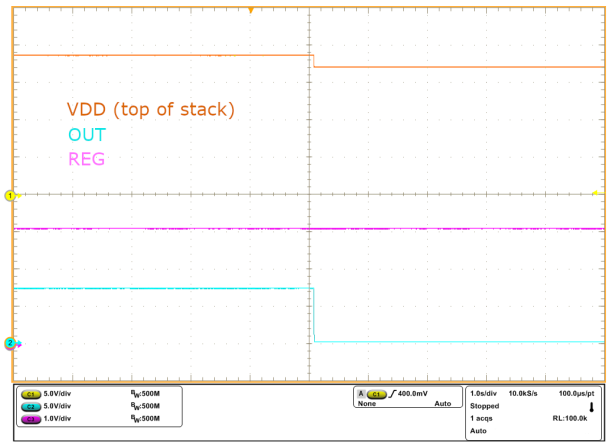


図 8-5. 過電圧保護復帰

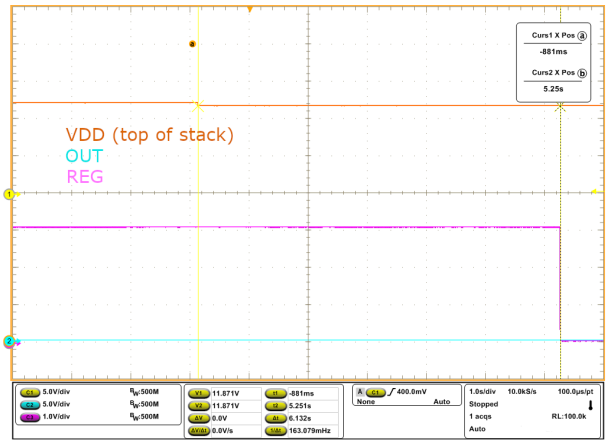


図 8-6. レギュレータを無効化する低電圧検出

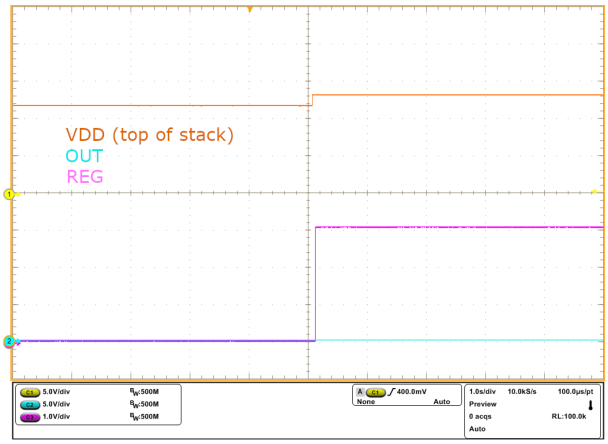


図 8-7. レギュレータを再度有効化する低電圧復帰

8.3 電源に関する推奨事項

セル スタックの上面と BQ2969 の VDD ピンの間に直列抵抗を接続します。デバイスの VDD と VSS ピンの間にコンデンサを接続し、PCB のピンの近くに配置します。VSS ピンをセル スタックの底面に接続します。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

以下のレイアウト ガイドラインに従ってください。

1. セル入力ピン (V4、V3、V2、V1、VSS) および VDD ピンの RC フィルタをターゲット ピンにできるだけ近づけて配置し、トレース ループ面積を小さくします。
2. レギュレータの出力コンデンサは REG と VSS の間に配置し、コンデンサをデバイスのピンに近づけて配置します。
3. NFET を経由して PACK– にヒューズを接続しているパターンは、ヒューズ解除イベント時の予測電流に十分に耐えるようにしてください。

8.4.2 レイアウト例

以下の 図 8-8 と 図 8-9 に直列セル設計で BQ2969 デバイスを使用する回路レイアウトの例を示します。この設計では、図 8-2 と 図 8-3 に示す回路図を実装し、2 層回路カード アセンブリを使用しており、左端にセル接続、基板の右端にパック接続があります。

RC フィルタ部品は、本デバイスの VC ピンの近くに配置するよう注意する必要があります。ヒューズが溶断する際に流れる最大電流に対応できるよう、NFET のソースおよびドレイン接続には十分な幅のトレースを使用してください。

Copyright © 2025 Texas Instruments Incorporated

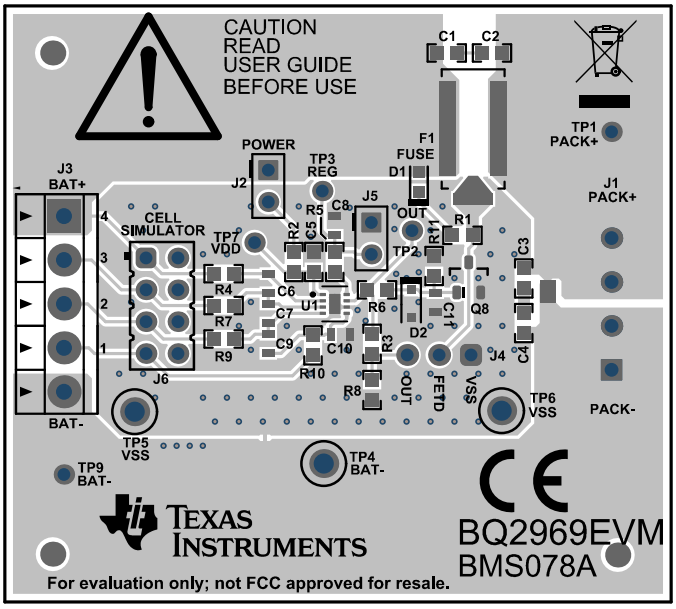


図 8-8. BQ2969 の 2 層基板レイアウト - 上層

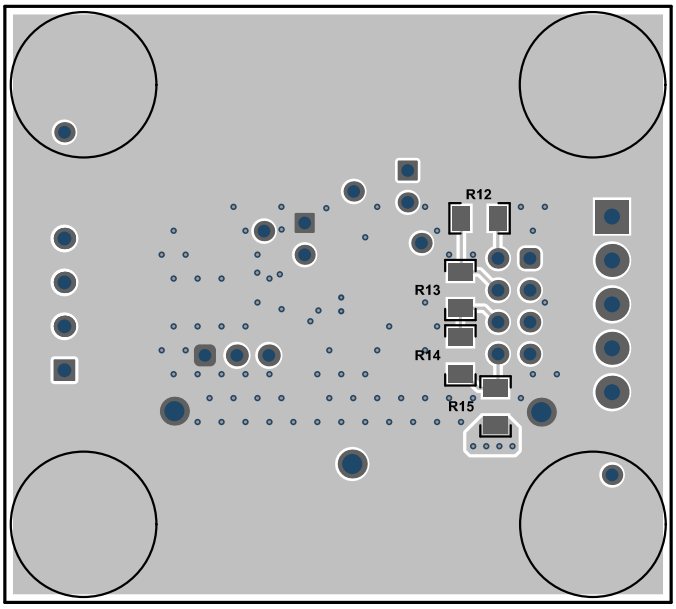


図 8-9. BQ2969 の 2 層基板レイアウト - 下層

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の [アラートを受け取る] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (June 2025) to Revision C (June 2025)	Page
• *デバイス比較表* において BQ296901、BQ296902、および BQ296910 をアクティブに変更	3

Changes from Revision A (May 2025) to Revision B (June 2025)	Page
• *デバイス比較表*において BQ296909 をアクティブに変更	3

Changes from Revision * (August 2024) to Revision A (May 2025)	Page
• *デバイス比較表*に BQ296901、BQ296902、BQ296909、BQ296910 を追加	3
• *電気的特性*の t_{DELAY_RESET} の説明を更新	4

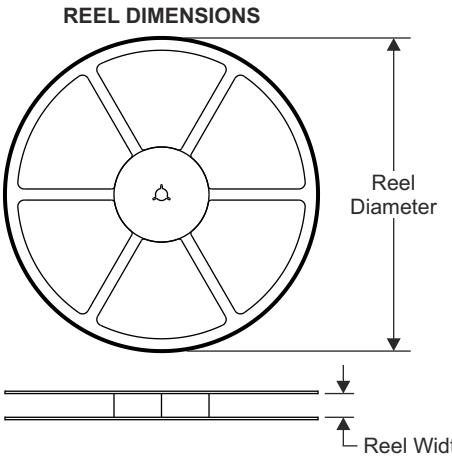
Copyright © 2025 Texas Instruments Incorporated

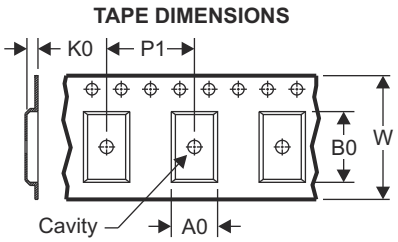
- 「詳細設計手順」に、より明確な情報を追加..... 15

11 メカニカル、パッケージ、および注文情報

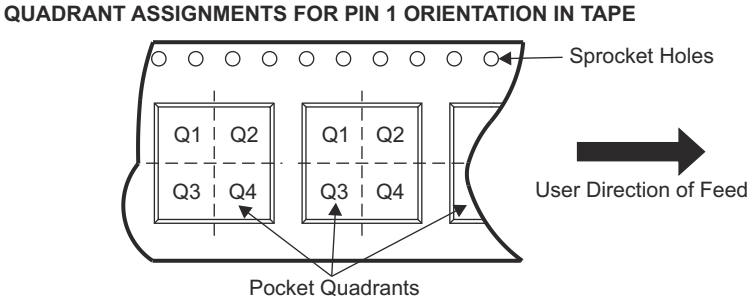
以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

11.1 テープおよびリール情報





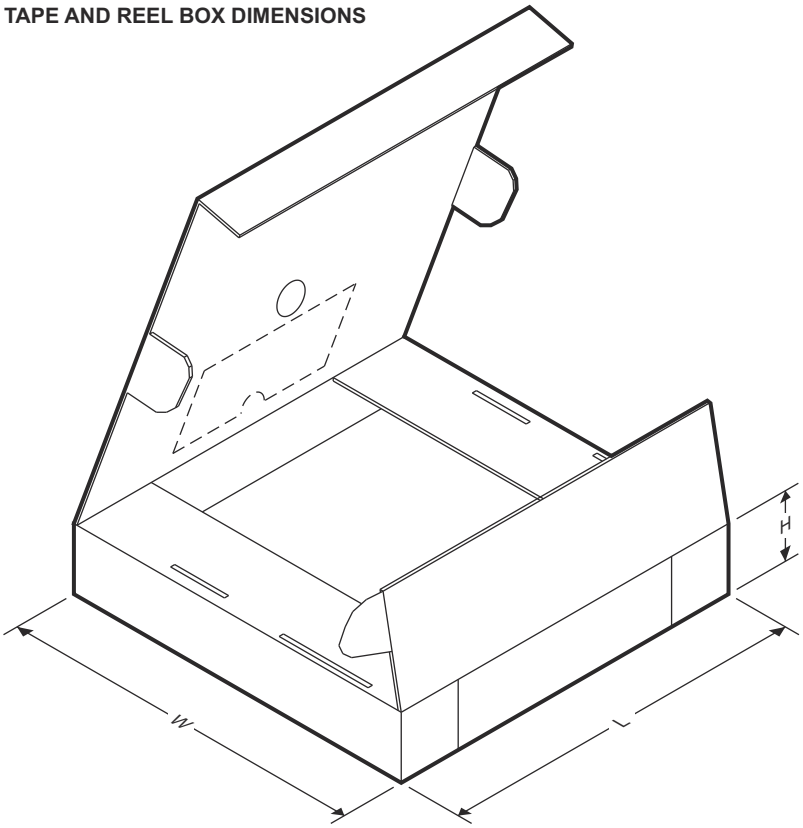
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	リール直径 (mm)	リール幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 象限
BQ296900DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q3
BQ296901DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q3
BQ296902DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q3
BQ296907DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q3
BQ296909DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q3
BQ296910DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q3

Copyright © 2025 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージ タイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
BQ296900DSGR	WSON	DSG	8	3000	210.0	185.0	35.0
BQ296901DSGR	WSON	DSG	8	3000	210.0	185.0	35.0
BQ296902DSGR	WSON	DSG	8	3000	210.0	185.0	35.0
BQ296907DSGR	WSON	DSG	8	3000	210.0	185.0	35.0
BQ296909DSGR	WSON	DSG	8	3000	210.0	185.0	35.0
BQ296910DSGR	WSON	DSG	8	3000	210.0	185.0	35.0

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
BQ296900DSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	6900
BQ296900DSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	6900
BQ296901DSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 110	6901
BQ296902DSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 110	6902
BQ296907DSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	6907
BQ296907DSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	6907
BQ296909DSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 110	6909
BQ296910DSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 110	6910

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

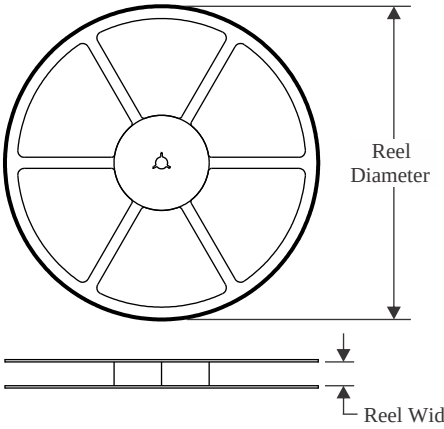
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

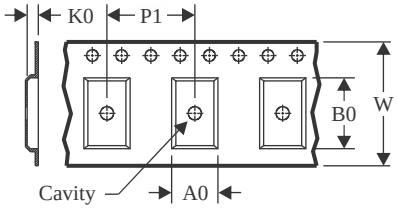
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

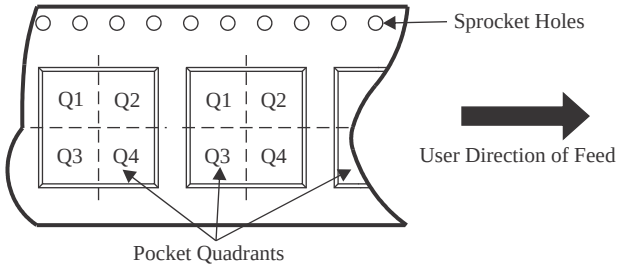


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

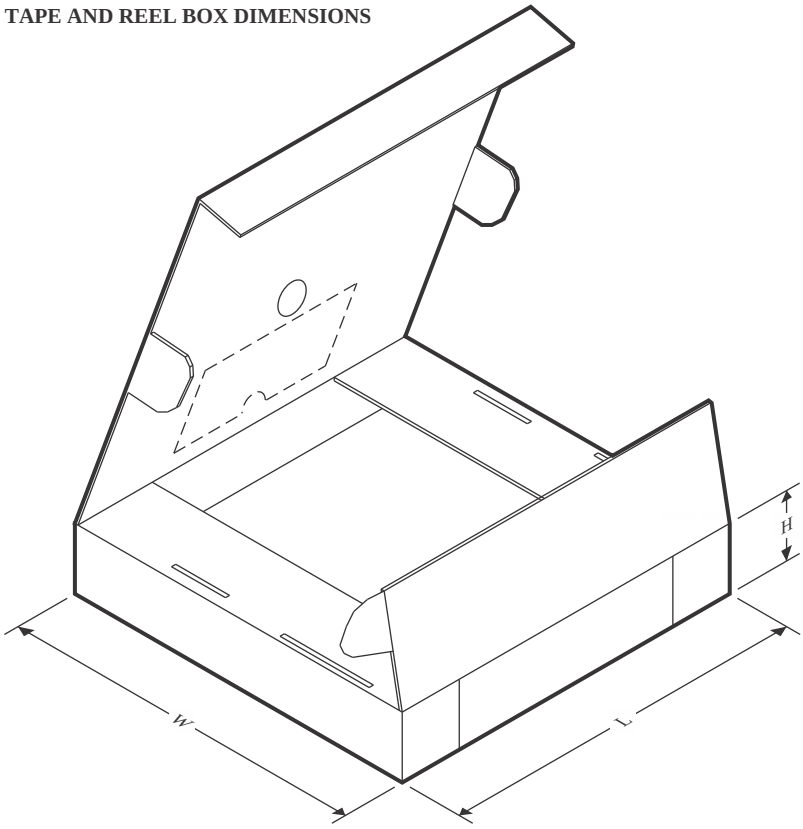
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
BQ296900DSGR	WSON	DSG	8	3000	178.0	8.4	2.3	2.3	1.15	4.0	8.0	Q3
BQ296901DSGR	WSON	DSG	8	3000	178.0	8.4	2.3	2.3	1.15	4.0	8.0	Q3
BQ296902DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q3
BQ296907DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q3
BQ296909DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q3
BQ296910DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
BQ296900DSGR	WSON	DSG	8	3000	208.0	191.0	35.0
BQ296901DSGR	WSON	DSG	8	3000	208.0	191.0	35.0
BQ296902DSGR	WSON	DSG	8	3000	210.0	185.0	35.0
BQ296907DSGR	WSON	DSG	8	3000	210.0	185.0	35.0
BQ296909DSGR	WSON	DSG	8	3000	210.0	185.0	35.0
BQ296910DSGR	WSON	DSG	8	3000	210.0	185.0	35.0

GENERIC PACKAGE VIEW

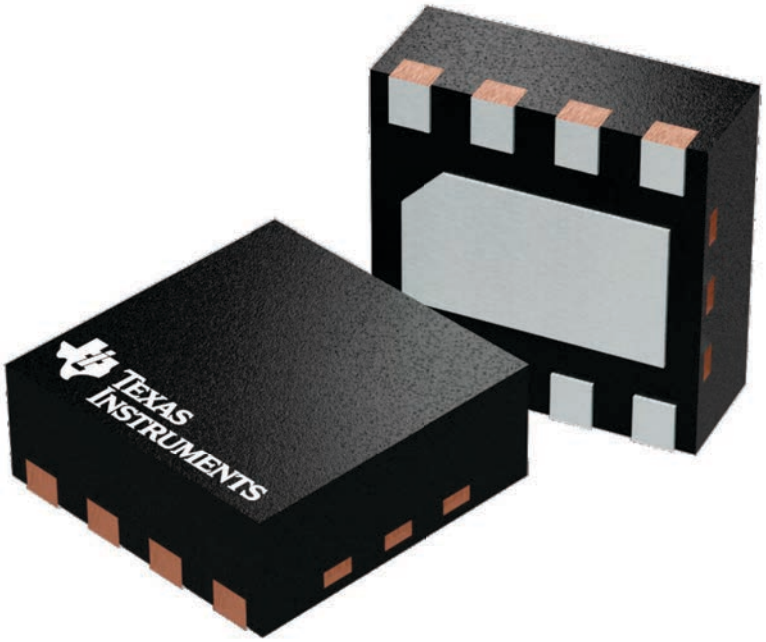
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



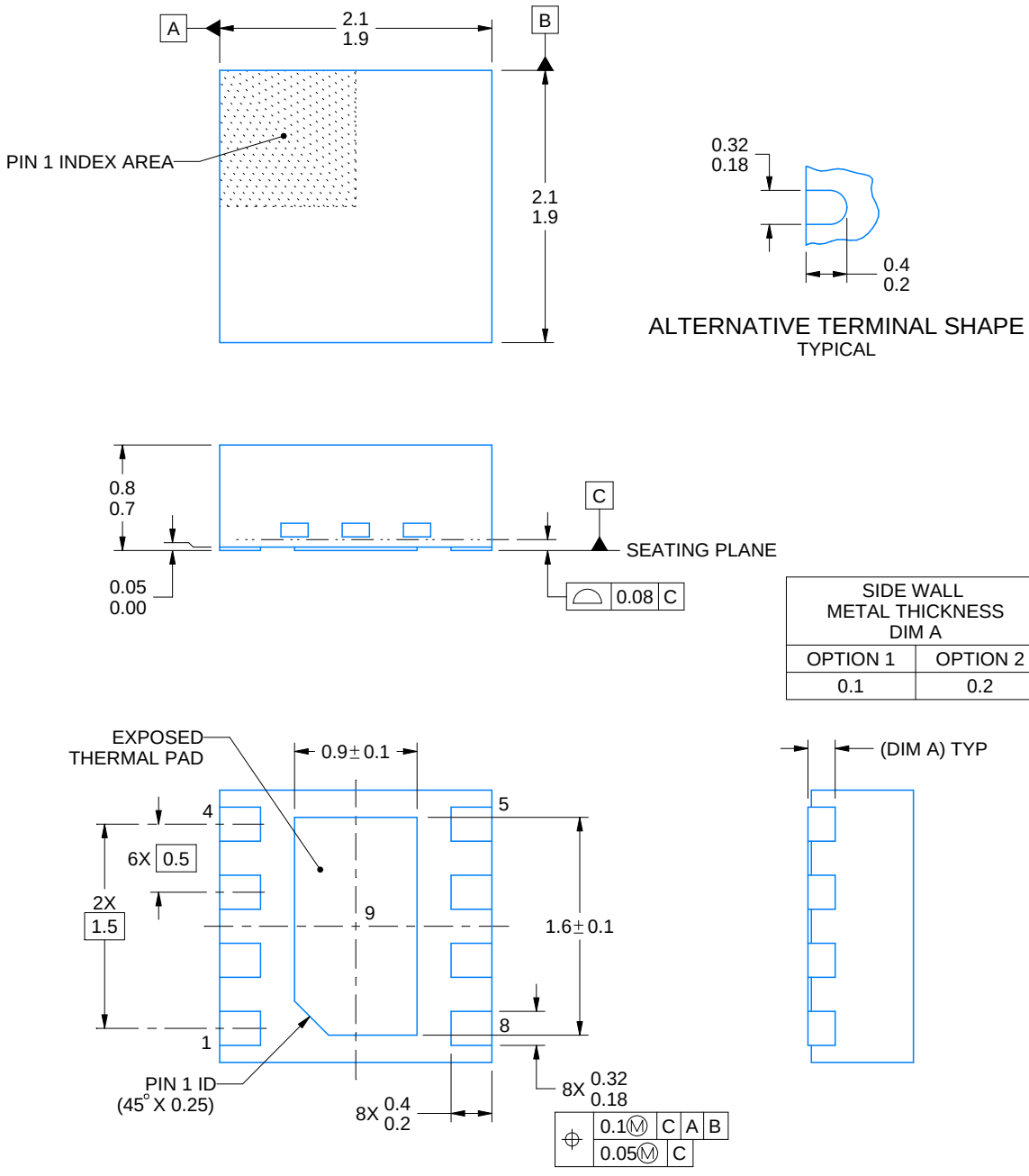
4224783/A

PACKAGE OUTLINE

DSG0008A

WSON - 0.8 mm max height

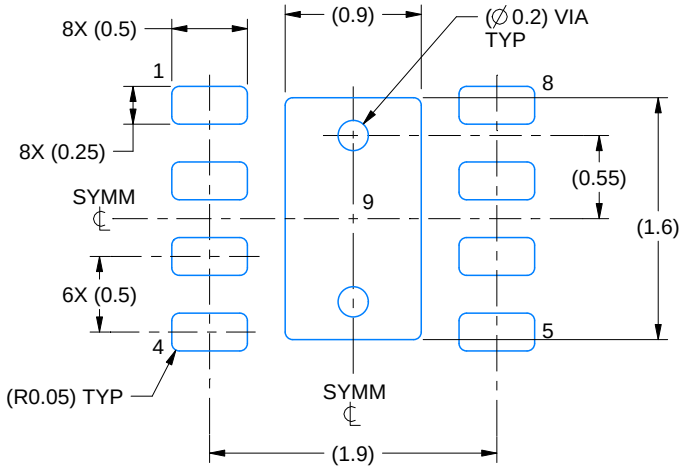
PLASTIC SMALL OUTLINE - NO LEAD



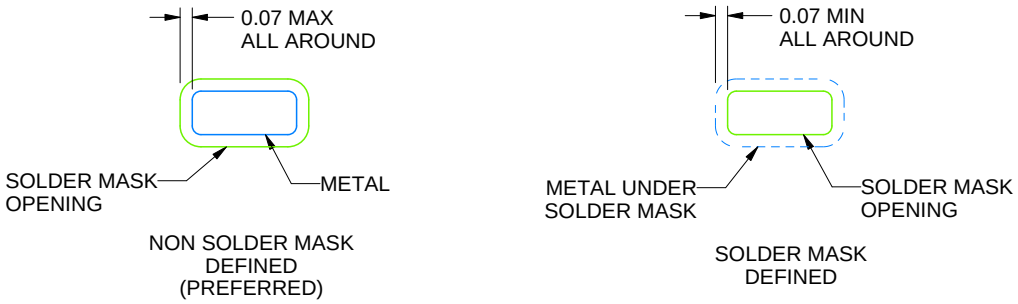
4218900/E 08/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

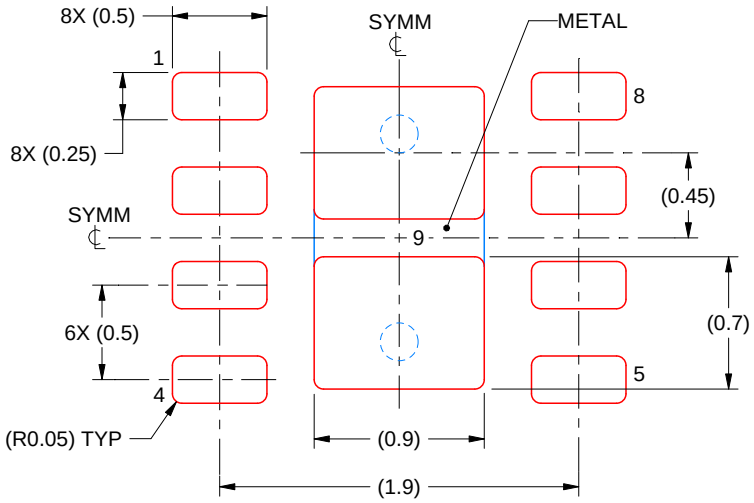


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月