

BQ7961X-Q1 機能安全準拠、車載用、16S/14S/12S、バッテリー モニタ / バランサ および統合型ハードウェア プロテクタ

1 特長

- 車載アプリケーション認定済み
- 下記の内容で AEC-Q100 認定済み:
 - デバイス温度グレード 1: 動作時周囲温度範囲 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
 - デバイス HBM ESD 分類レベル 2
 - デバイス CDM ESD 分類レベル C4B
- 機能安全準拠
 - 機能安全アプリケーション向けに開発
 - ISO 26262 システムの設計に役立つ資料
 - ASIL D までの決定論的対応能力
 - ASIL D までのハードウェア機能
- $\pm 1.5\text{mV}$ の ADC 精度
- ピン パッケージおよびソフトウェア互換のデバイス ファミリー
 - スタックアップ モニタ 16S (BQ79616-Q1, BQ79616H-Q1, BQ79656-Q1)、14S (BQ79614-Q1, BQ79654-Q1)、12S (BQ79612-Q1, BQ79652-Q1)
 - スタンドアロン モニタ 48V システム (BQ75614-Q1)
- 電圧、温度、診断用の冗長化パスを内蔵
- すべてのセル チャンネルについて $128\mu\text{s}$ 以内にセル電圧を高精度で測定
- 構成可能なポスト ADC デジタル ローパス フィルタを内蔵
- バス バーの接続と測定をサポート
- POR と同様のデバイス リセットをエミュレートするホスト制御のハードウェア リセットを内蔵
- 内蔵セル バランシングをサポート
 - 240mA でのバランシング電流
 - 自動中断および再開制御付きの平衡化熱管理機能を内蔵
- 絶縁型差動デジタイズ チェーン通信 (リング アーキテクチャにも対応可能)
- 通信ラインを介した故障信号およびハートビート信号の組込みサポート
- UART/SPI ホスト インターフェイス / 通信ブリッジ デバイス BQ79600-Q1
- 内蔵 SPI コントローラ

2 アプリケーション

- ハイブリッドおよび電動パワートレイン・システムのバッテリー管理システム (BMS)
- バッテリー管理システムを搭載したエネルギー貯蔵バッテリー・パック

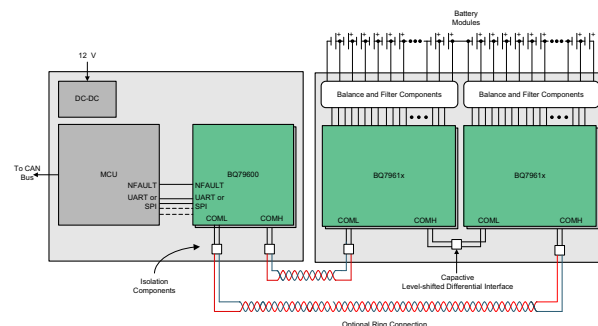
3 説明

BQ79612-Q1、BQ79614-Q1、BQ79616-Q1、および BQ79616H-Q1 は、HEV/EV 向け高電圧バッテリー マネジメントシステムにおいて、12S、14S、および 16S のバッテリー モジュール向けに、 $200\mu\text{s}$ 未満で高精度なセル電圧測定を実現します。このモニタ ファミリーは、同じパッケージ タイプでさまざまなチャンネル オプションを提供し、ピン互換性を実現しているほか、確立されたソフトウェアとハードウェアをあらゆるプラットフォームで大規模に再利用できます。内蔵のフロントエンド フィルタにより、単純な低電圧定格の差動 RC フィルタをシステムのセル入力チャンネルに実装できます。内蔵ポスト ADC ローパス フィルタにより、フィルタ処理された (DC と同様の) 電圧を測定できるため、充電状態 (SOC) をより的確に計算できます。このデバイスは、自律的な内部セル バランシング機能を備えており、温度監視によって過温度状態を防ぐために、セル バランシングを自動的に一時停止および再開できます。

パッケージ情報

型番 ⁽¹⁾	パッケージ	本体サイズ (公称)
BQ79612-Q1	HTQFP (64 ピン)	10.00mm × 10.00mm
BQ79614-Q1		
BQ79616-Q1		
BQ79616H-Q1		

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



システム簡略図



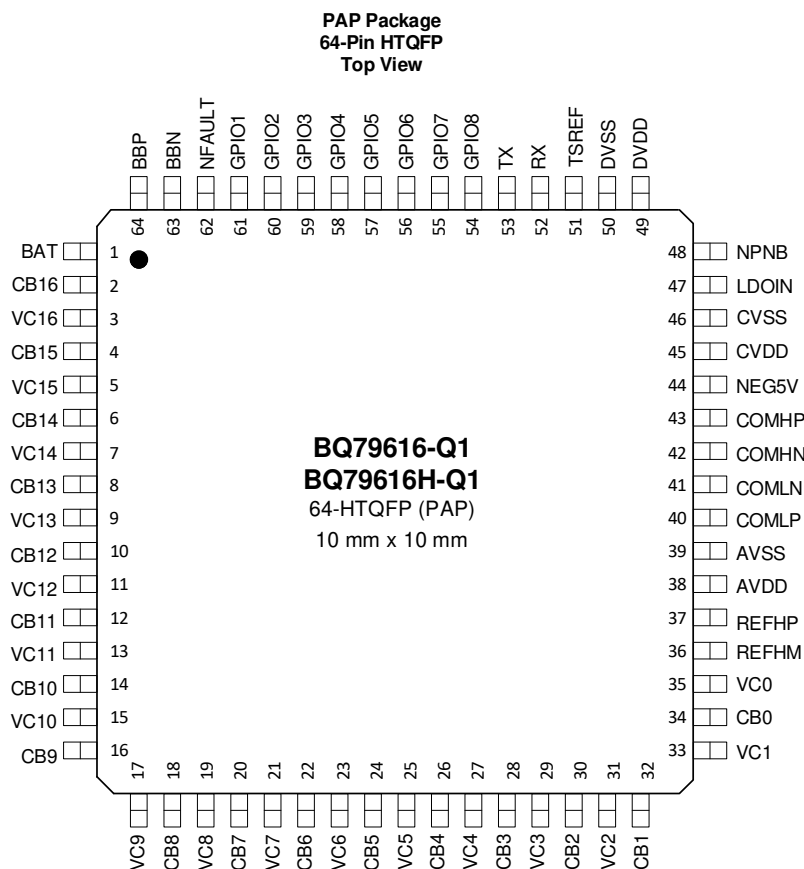
目次

1 特長	1	7.5 レジスタ マップ	118
2 アプリケーション	1	8 アプリケーションと実装	200
3 説明	1	8.1 使用上の注意.....	200
4 デバイス比較表	3	8.2 代表的なアプリケーション.....	200
5 ピン構成および機能	4	9 電源に関する推奨事項	211
6 仕様	9	10 レイアウト	213
6.1 絶対最大定格.....	9	10.1 レイアウトのガイドライン.....	213
6.2 ESD 定格.....	9	10.2 レイアウト例.....	216
6.3 推奨動作条件.....	10	11 デバイスおよびドキュメントのサポート	220
6.4 熱に関する情報.....	10	11.1 デバイス サポート.....	220
6.5 電気的特性.....	11	11.2 ドキュメントの更新通知を受け取る方法.....	220
6.6 タイミング要件.....	16	11.3 サポート・リソース.....	220
6.7 代表的特性.....	20	11.4 商標.....	220
7 詳細説明	22	11.5 静電気放電に関する注意事項.....	220
7.1 概要.....	22	11.6 用語集.....	220
7.2 機能ブロック図.....	22	12 改訂履歴	220
7.3 機能説明.....	24	13 メカニカル、パッケージ、および注文情報	223
7.4 デバイスの機能モード.....	109		

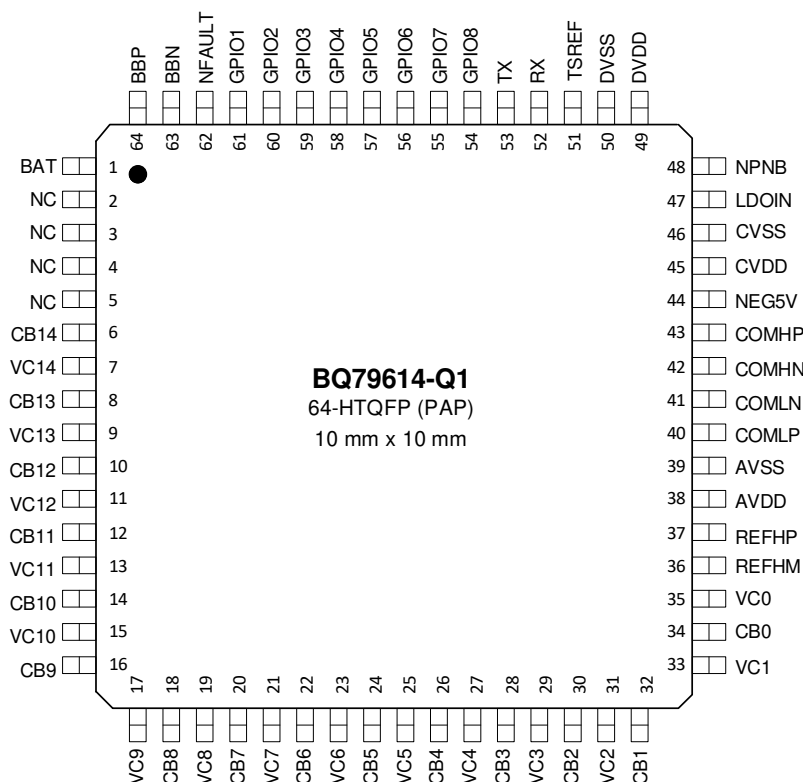
4 デバイス比較表

デバイス	ステータス	説明
BQ79616-Q1	「量産データ」	6S ～ 16S バッテリ モジュールをサポート
BQ79616H-Q1	「量産データ」	6S ～ 16S バッテリ モジュールをサポート
BQ79614-Q1	「量産データ」	6S ～ 14S バッテリ モジュールをサポート
BQ79612-Q1	「量産データ」	6S ～ 12S バッテリ モジュールをサポート

5 ピン構成および機能



**PAP Package
64-Pin HTQFP
Top View**



**PAP Package
64-Pin HTQFP
Top View**

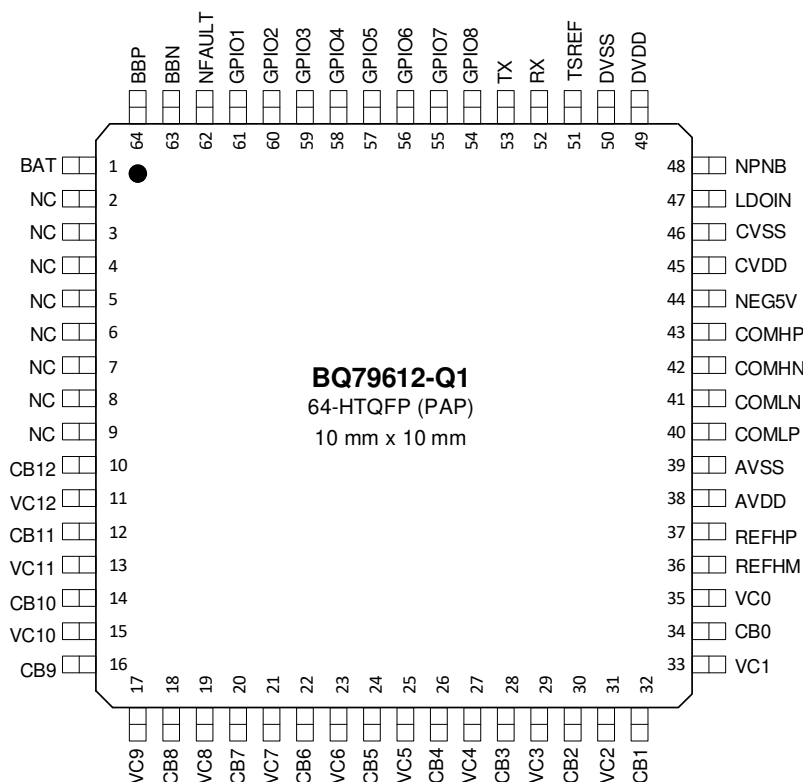


表 5-1. ピンの機能

ピン			番号	タイプ	説明
名称					
BQ79616/H	BQ79614	BQ79612			
BAT	BAT	BAT	1	P	電源入力とモジュール上面での測定入力。バッテリー モジュールのトップセルに接続します。
NPNB	NPNB	NPNB	48	P	外部 NPN トランジスタのベースに接続します。
LDOIN	LDOIN	LDOIN	47	P	6V プリレギュレーション アナログ電源入力 / センス ピン。外部 NPN トランジスタのエミッタに接続し、0.1μF デカップリング コンデンサを CVSS に接続します。
AVDD	AVDD	AVDD	38	P	5V 安定化出力。AVDD は内部アナログ回路に電圧を供給します。AVDD をコンデンサで AVSS にバイパスします。
AVSS	AVSS	AVSS	39	GND	アナログ グランド。内部アナログ回路のグランド接続。DVSS、CVSS、REFHM、AVSS を外部に接続します。
NEG5V	NEG5V	NEG5V	44	P	デイジーチェーンとメイン ADC に使用される負の 5V チャージ ポンプ。コンデンサで CVSS に接続します。
DVDD	DVDD	DVDD	49	P	1.8V 安定化出力。DVDD は内部デジタル回路に電力を供給します。DVDD をコンデンサで DVSS にバイパスします。
DVSS	DVSS	DVSS	50	GND	デジタル グランド。内部デジタル ロジック用のグランド接続。DVSS、CVSS、REFHM、AVSS を外部に接続します。
CVDD	CVDD	CVDD	45	P	5V のデイジーチェーン通信と I/O 電源。CVDD は、スタックのデイジーチェーン通信トランシーバ回路と I/O ピンに電力を供給します。この電源は、ACTIVE、SLEEP 時に追加の 10mA 外部負荷にも対応しています。
CVSS	CVSS	CVSS	46	GND	デイジーチェーン通信グランド。内部デイジーチェーントランシーバのグランド接続。DVSS、CVSS、REFHM、AVSS を外部に接続します。
TSREF	TSREF	TSREF	51	P	NTC サーミスタの 5V バイアス電圧。NTC 温度監視用に構成されている場合は、TSREF を NTC 抵抗デバイダ ネットワークの上側から GPIO に接続します。TSREF をコンデンサで CVSS にバイパスします。
REFHP	REFHP	REFHP	37	P	高精度リファレンス出力ピン。コンデンサで REFHM にバイパスします。
REFHM	REFHM	REFHM	36	GND	高精度リファレンス グランド。内部高精度リファレンス用のグランド接続。DVSS、CVSS、REFHM、AVSS を外部に接続します。
VC16	NC	NC	3	I	セル電圧検出入力。セル 16 の正端子に接続します。差動 RC フィルタを VC15 に接続します。「セル接続」で説明されているように、BQ79614 と BQ79612 の未使用 NC ピンを BAT ピンに接続します。
VC15	NC	NC	5	I	セル電圧検出入力。セル 15 の正端子に接続します。差動 RC フィルタを VC14 に接続します。「セル接続」で説明されているように、BQ79614 と BQ79612 の未使用 NC ピンを BAT ピンに接続します。
VC14	VC14	NC	7	I	セル電圧検出入力。セル 14 の正端子に接続します。差動 RC フィルタを VC13 に接続します。「セル接続」で説明されているように、BQ79612 の未使用 NC ピンを BAT ピンに接続します。
VC13	VC13	NC	9	I	セル電圧検出入力。セル 13 の正端子に接続します。差動 RC フィルタを VC12 に接続します。「セル接続」で説明されているように、BQ79612 の未使用 NC ピンを BAT ピンに接続します。
VC12	VC12	VC12	11	I	セル電圧検出入力。セル 12 の正端子に接続します。差動 RC フィルタを VC11 に接続します。
VC11	VC11	VC11	13	I	セル電圧検出入力。セル 11 の正端子に接続します。差動 RC フィルタを VC10 に接続します。
VC10	VC10	VC10	15	I	セル電圧検出入力。セル 10 の正端子に接続します。差動 RC フィルタを VC9 に接続します。
VC9	VC9	VC9	17	I	セル電圧検出入力。セル 9 の正端子に接続します。差動 RC フィルタを VC8 に接続します。
VC8	VC8	VC8	19	I	セル電圧検出入力。セル 8 の正端子に接続します。差動 RC フィルタを VC7 に接続します。
VC7	VC7	VC7	21	I	セル電圧検出入力。セル 7 の正端子に接続します。差動 RC フィルタを VC6 に接続します。
VC6	VC6	VC6	23	I	セル電圧検出入力。セル 6 の正端子に接続します。差動 RC フィルタを VC5 に接続します。
VC5	VC5	VC5	25	I	セル電圧検出入力。セル 5 の正端子に接続します。差動 RC フィルタを VC4 に接続します。
VC4	VC4	VC4	27	I	セル電圧検出入力。セル 4 の正端子に接続します。差動 RC フィルタを VC3 に接続します。
VC3	VC3	VC3	29	I	セル電圧検出入力。セル 3 の正端子に接続します。差動 RC フィルタを VC2 に接続します。
VC2	VC2	VC2	31	I	セル電圧検出入力。セル 2 の正端子に接続します。差動 RC フィルタを VC1 に接続します。
VC1	VC1	VC1	33	I	セル電圧検出入力。セル 1 の正端子に接続します。差動 RC フィルタを VC0 に接続します。
VC0	VC0	VC0	35	I	セル電圧検出入力。セル 1 の負端子に接続します。差動 RC フィルタを AVSS に接続します。
CB16	NC	NC	2	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB15 への差動 RC フィルタを使用してセル 16 の正端子にこのピンを接続します。フィルタ抵抗は、内部バランス電流も設定します。「セル接続」で説明されているように、未使用 CB16 ピンを RC を介して BAT ピンに接続し、BQ79614 と BQ79612 の未使用 NC ピンを BAT ピンに接続します。

表 5-1. ピンの機能 (続き)

ピン			番号	タイプ	説明
名称					
BQ79616/H	BQ79614	BQ79612			
CB15	NC	NC	4	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB14 への差動 RC フィルタを使用してセル 15 の正端子にこのピンを接続します。フィルタ抵抗は、内部バランス電流も設定します。「セル接続」で説明されているように、BQ79614 と BQ79612 の未使用 NC ピンを BAT ピンに接続します。
CB14	CB14	NC	6	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB13 への差動 RC フィルタを使用してセル 14 の正端子にこのピンを接続します。フィルタ抵抗は、内部バランス電流も設定します。「セル接続」で説明されているように、BQ79612 の未使用 NC ピンを BAT ピンに接続します。
CB13	CB13	NC	8	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB12 への差動 RC フィルタを使用してセル 13 の正端子にこのピンを接続します。フィルタ抵抗は、内部バランス電流も設定します。「セル接続」で説明されているように、BQ79612 の未使用 NC ピンを BAT ピンに接続します。
CB12	CB12	CB12	10	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB11 への差動 RC フィルタを使用してセル 12 の正端子にこのピンを接続します。フィルタ抵抗は、内部バランス電流も設定します。
CB11	CB11	CB11	12	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB10 への差動 RC フィルタを使用してセル 11 の正端子にこのピンを接続します。フィルタ抵抗は、内部バランス電流も設定します。
CB10	CB10	CB10	14	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB9 への差動 RC フィルタを使用してセル 10 の正端子にこのピンを接続します。フィルタ抵抗は、内部バランス電流も設定します。
CB9	CB9	CB9	16	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB8 への差動 RC フィルタを使用してセル 9 の正端子にこのピンを接続します。フィルタ抵抗は、内部バランス電流も設定します。
CB8	CB8	CB8	18	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB7 への差動 RC フィルタを使用してセル 8 の正端子にこのピンを接続します。フィルタ抵抗は、内部バランス電流も設定します。
CB7	CB7	CB7	20	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB6 への差動 RC フィルタを使用してセル 7 の正端子にこのピンを接続します。フィルタ抵抗は、内部バランス電流も設定します。
CB6	CB6	CB6	22	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB5 への差動 RC フィルタを使用してセル 6 の正端子にこのピンを接続します。フィルタ抵抗は、内部バランス電流も設定します。
CB5	CB5	CB5	24	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB4 への差動 RC フィルタを使用してセル 5 の正端子にこのピンを接続します。フィルタ抵抗は、内部バランス電流も設定します。
CB4	CB4	CB4	26	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB3 への差動 RC フィルタを使用してセル 4 の正端子にこのピンを接続します。フィルタ抵抗は、内部バランス電流も設定します。
CB3	CB3	CB3	28	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB2 への差動 RC フィルタを使用してセル 3 の正端子にこのピンを接続します。フィルタ抵抗は、内部バランス電流も設定します。
CB2	CB2	CB2	30	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB1 への差動 RC フィルタを使用してセル 2 の正端子にこのピンを接続します。フィルタ抵抗は、内部バランス電流も設定します。
CB1	CB1	CB1	32	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB0 への差動 RC フィルタを使用してセル 1 の正端子にこのピンを接続します。フィルタ抵抗は、内部バランス電流も設定します。
CB0	CB0	CB0	34	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。AVSS への差動 RC フィルタを使用して、セル 1 の負端子に接続します。フィルタ抵抗は、内部バランス電流も設定します。
BBP	BBP	BBP	64	I	バス バー接続。BBP と BBN をバス バーの両端に接続すると、このチャネルは 5x ゲインで ADC 測定に差動入力を提供します。
BBN	BBN	BBN	63	I	バス バー接続。BBP と BBN をバス バーの両端に接続すると、このチャネルは 5x ゲインで ADC 測定に差動入力を提供します。
RX	RX	RX	52	I	UART レシーバ入力。外部抵抗を使用して CVDD にプルアップし、デバイスの RX をホスト マイコンの TX 出力に接続します。使用しない場合 (スタック デバイスなど) は、RX を CVDD に接続します。

表 5-1. ピンの機能 (続き)

ピン			番号	タイプ	説明
名称					
BQ79616/H	BQ79614	BQ79612			
TX	TX	TX	53	O	UARTトランスミッタ出力。デバイスの TX をホスト マイコンの RX 入力に接続します。ホスト側からプルアップされます。使用しない場合 (スタック デバイスなど) は、フローティングのままにします。
COMHP	COMHP	COMHP	43	I/O	デジタイゼーション接続に適した垂直双方向通信インターフェイス。ハイサイド (北側) 差動 I/O。デジタイゼーション構成で、下側の隣接デバイスのローサイド (南側) COMLP と COMLN に接続します。使用しない場合は、COMHP と COMHN を 1kΩ 抵抗で接続します。
COMHN	COMHN	COMHN	42	I/O	
COMLP	COMLP	COMLP	40	I/O	デジタイゼーション接続に適した垂直双方向通信インターフェイス。ローサイド (南側) 差動 I/O。デジタイゼーション構成で、上側の隣接デバイスのハイサイド (北側) COMHP と COMHN に接続します。使用しない場合は、COMLP と COMLN を 1kΩ 抵抗で接続します。
COMLN	COMLN	COMLN	41	I/O	
NFAULT	NFAULT	NFAULT	62	O	フォルト通知出力。アクティブ Low。ベース デバイスで使用する場合は、プルアップ抵抗を使用して NFAULT を CVDD にプルアップし、NFAULT をホスト マイコンの GPIO に接続します。使用しない場合は、未接続のままにします。
GPIO1	GPIO1	GPIO1	61	I/O	汎用入出力。構成オプションは次のとおりです。 - 外部 NTC サーミスタ接続の場合は、NTC サーミスタをピンに接続し、TSREF にプルアップします。ADC と OT および UT ハードウェア コンパレータへの入力として使用されます。 - 外部 DC 電圧測定の場合、ADC への入力として構成します。 - 汎用デジタル入出力。 - SPI マスタの I/O として使用します。
GPIO2	GPIO2	GPIO2	60	I/O	
GPIO3	GPIO3	GPIO3	59	I/O	
GPIO4	GPIO4	GPIO4	58	I/O	
GPIO5	GPIO5	GPIO5	57	I/O	
GPIO6	GPIO6	GPIO6	56	I/O	
GPIO7	GPIO7	GPIO7	55	I/O	
GPIO8	GPIO8	GPIO8	54	I/O	

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
入力電圧	BAT、VC* (VC0 を除く)、CB* (CB0 を除く)、NFAULT、BBP、BBN から AVSS へ ^{(2) (3)}	-0.3	100	V
	CB0、VC0 から AVSS へ	-0.3	5.5	V
	VCn から VCn-1、n = 1 ~ 16 ⁽²⁾	-80	80	V
	CBn から CBn-1、n = 1 ~ 16 ⁽³⁾	-0.3	16	V
	BBP から BBN へ	-80	80	V
	LDOIN から AVSS へ	-0.3	9	V
	NPNB から AVSS へ	-0.3	10	V
	AVDD から AVSS へ	-0.3	5.5	V
	DVDD から DVSS へ	-0.3	1.98	V
	CVDD から CVSS へ	-0.3	6	V
	TSREF から AVSS へ	-0.3	5.5	V
	REFHP から REFHM へ	-0.3	5.5	V
	NEG5V から AVSS	-5.5	0	V
	TX、RX から AVSS へ	-0.3	6	V
	COMHP、COMHN、COMLP、COMLN から CVSS へ	-20	20	V
	COMHP から COMHN へ、COMLP から COMLN へ	-5.5	5.5	V
	GPIO* から AVSS へ	-0.3	5.5	V
CB* 電流	周囲温度 75°C でバランシング時最大 8 セル		240	mA
I/O 電流	GPIO*、RX、TX 電流		10	mA
T _{OTP_PROG}	デバイスは、この温度を超えると OTP プログラミングを開始しない		55	°C
T _A	周辺温度	-40	130	°C
T _J	接合部温度	-40	150	°C
T _{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

(2) VC ピンの電圧は、VCn ~ AVSS と VCn ~ VCn-1 の両方の基準を満たす必要があります。

(3) CB ピンの電圧は、CBn ~ AVSS と CBn ~ CBn-1 の両方の基準を満たす必要があります。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 ⁽¹⁾	±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±500	
		すべてのピン その他のピン (1、16、17、32、33、48、49、64)	±750	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{BAT_RANGE}	モジュールの合計電圧、完全な機能、OTP プログラミングなし	9		80	V
$V_{BAT_OTP_RANGE}$	モジュールの合計電圧、完全な機能、OTP プログラミング許可	11		80	V
V_{CELL_RANGE}	$VC_n - VC_{n-1}$ 、ここで $n = 2 \sim 16$	-1		5	V
	$VC_1 \sim VC_0$	0		5	V
	VC_0 、 CB_0 から $AVSS$ へ	-0.3		5	V
	VC_1 、 VC_2 、 CB_1 、 CB_2 から $AVSS$	-0.3		80	V
	VC_n 、 CB_n から $AVSS$ 、ここで $n = 3 \sim 16$	3		80	V
V_{BB_RANGE}	$V_{BBP} - V_{BBN}$	-600		800	mV
V_{CB_RANGE}	$CB_n - CB_{n-1}$ 、ここで $n = 1 \sim 16$	0		5	V
V_{IO_RANGE}	RX、TX、NFAULT	0		CVDD	V
V_{GPIO_RANGE}	GPIO _n 入力、ここで、 $n = 1 \sim 8$	0.2		4.8	V
I_{IO}	GPIO _n RX、TX、ここで、 $n = 1 \sim 8$			5	mA
T_A	動作温度	-40		125	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		BQ7961x-Q1	単位
		PAP (HTQFP)	
		64 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	21.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	8.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	7.9	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.1	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	7.8	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	2.1	°C/W

(1) 従来および最新の熱評価基準の詳細については、アプリケーション ノート「[半導体および IC パッケージの熱評価基準](#)」を参照してください。

6.5 電気的特性

自由気流での $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ の動作温度範囲内、VBAT = 9V ~ 80V (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
サーマル シャットダウン						
T _{SHUT}	サーマル シャットダウン (立ち上がり方向)		130	137	152	°C
T _{SHUT_FALL}	サーマル シャットダウン (立ち下がり方向)		112		129	°C
T _{SHUT_HYS}	サーマル シャットダウン (立ち上がりから立ち下がり方向)			20		°C
T _{WARN_RANGE}	温度警告のスレッシュホールド (立ち上がり方向)		85		115	°C
T _{WARN_HYS}	温度警告のヒステリシス (立ち下がり方向)			10		°C
T _{WARN_ACC}	温度警告精度 (±)			5		°C
供給電流						
I _{SHDN}	SHUTDOWN モードの電源電流	I _{BAT} と I _{LDOIN} 両方の合計		16	23	μA
I _{SLP(IDLE)}	SLEEP モードでの基準電源電流。フォルトなし、プロテクタ コンパレータなし、セル バランシングなし	I _{BAT} と I _{LDOIN} 両方の合計 T _A = -20°C ~ 65°C		120	160	μA
		I _{BAT} と I _{LDOIN} 両方の合計 T _A = -40°C ~ 125°C			220	μA
I _{ACT(IDLE)}	ACTIVE モードでの基準電源電流	I _{BAT} と I _{LDOIN} 両方の合計 フォルトなし、通信なし、プロテクタ コンパレータなし、セル バランシングなし		10.4	11.6	mA
I _{CB_EN}	セル バランシングをオンにしたときの追加電源電流	1 つ以上のセル バランシング FET がオンで、OT _{CB} が有効。その他の機能は非アクティブ		1	1.5	mA
I _{PROTCOMP}	プロテクタ コンパレータを有効にしたときの追加電源電流	OV/UV/OT/UT プロテクタのいずれかが有効。その他の機能は非アクティブ		20	60	μA
I _{TSREF}		SLEEP モード、TSREF ピンは無負荷		100		μA
I _{ADC}	ADC を有効にしたときの追加電源電流	1 つの ADC がオンで変換が進行中。その他の機能は非アクティブ		0.4	0.6	mA
		2 つの ADC がオンで変換が進行中。その他の機能は非アクティブ		0.6	0.9	mA
I _{BAT}	電源電流は BAT ピンに流入	ACTIVE モード		150		μA
		SLEEP モード		25		μA
		シャットダウン モード		5		μA
I _{COMT}	128 バイト データのデジタイゼーション ブロードキャスト読み取り時の追加電源電流	デジタイゼーション インターフェイスでは、トランス絶縁を使用		10		mA
I _{COMC}	128 バイト データのデジタイゼーション ブロードキャスト読み取り時の追加電源電流	デジタイゼーション インターフェイスでは、コンデンサまたはコンデンサとチョークによる絶縁を使用		10		mA
I _{OW_SINK}	断線テスト用のシンク電流 (VC1 から VC16、CB1 から CB16 に印加)		380	500	600	μA
I _{OW_SOURCE}	断線テスト用のソース電流 (VC0 と CB0 に印加)		380	500	600	μA
I _{LEAK}	VC、CB ピンのリーク電流	ADC がオフの状態の VC、CB ピン。			0.1	μA
電源 (LDOIN)						
V _{LDOIN}	LDOIN 電圧	OTP プログラミングなし	5.9	6	6.1	V
		OTP プログラミング	7.9	8	8.1	V
電源 (CVDD)						

6.5 電気的特性 (続き)

自由気流での $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ の動作温度範囲内、VBAT = 9V ~ 80V (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{CVDD}	CVDD 出力電圧	ACTIVE および SLEEP モード	4.9	5	5.1	V
		SHUTDOWN モード、外部 I _{load} なし	3.95		6	V
		SHUTDOWN モード、最大外部 I _{load} = 5mA	3.4		5.5	V
V _{CVDD_LDRG}	CVDD 負荷レギュレーション	ACTIVE / SLEEP モード、最大外部 I _{load} = 10mA	-30		30	mV
V _{CVDD_OV}	CVDD OV スレッシュホールド	ACTIVE / SLEEP モード、最大外部 I _{load} = 10mA	5.3	5.5	5.7	V
V _{CVDD_OVHYS}	CVDD OV ヒステリシス	ACTIVE / SLEEP モード、最大外部 I _{load} = 10mA	130	150	170	mV
V _{CVDD_UV}	CVDD UV スレッシュホールド	SHUTDOWN モード		3.5		V
		ACTIVE / SLEEP モード、最大外部 I _{load} = 10mA	4.3	4.45	4.65	V
V _{CVDD_UVHYS}	CVDD UV ヒステリシス			260		mV
V _{CVDD_ILIMIT}	CVDD 電流制限	ACTIVE、SLEEP	35	60	85	mA
電源 (AVDD)						
V _{AVDD}	AVDD 出力電圧	C _{SUPPLIES} = 1μF、ACTIVE モード	4.85	5	5.21	V
V _{AVDD_OV}	AVDD OV スレッシュホールド	C _{SUPPLIES} = 1μF、ACTIVE モード	5.25	5.5	5.7	V
V _{AVDD_OVHYS}	AVDD OV ヒステリシス	C _{SUPPLIES} = 1μF、ACTIVE モード	135	155	165	mV
V _{AVDD_UV}	AVDD UV スレッシュホールド	C _{SUPPLIES} = 1μF、ACTIVE モード	4.25	4.45	4.6	V
V _{AVDD_UVHYS}	AVDD UV ヒステリシス	C _{SUPPLIES} = 1μF、ACTIVE モード	235	340	430	mV
V _{AVDD_ILIMIT}	AVDD 電流制限	C _{SUPPLIES} = 1μF	10	30	50	mA
電源 (DVDD)						
V _{DVDD}		C _{SUPPLIES} = 1μF、ACTIVE モード	1.72	1.8	1.88	V
V _{DVDD_OV}	DVDD OV スレッシュホールド	C _{SUPPLIES} = 1μF、ACTIVE モード	1.95	2.1	2.3	V
V _{DVDD_OVHYS}	DVDD OV ヒステリシス	C _{SUPPLIES} = 1μF、ACTIVE モード	40	65	120	mV
V _{DVDD_UV}	DVDD UV スレッシュホールド	C _{SUPPLIES} = 1μF、ACTIVE モード	1.623	1.65	1.71	V
V _{DVDD_UVHYS}	DVDD UV ヒステリシス	C _{SUPPLIES} = 1μF、ACTIVE モード	15	50	73	mV
V _{DVDD_ILIMIT}	DVDD 電流制限		13	30	53	mA
電源 (TSREF)						
V _{TSREF}	TSREF 出力電圧	C _{SUPPLIES} = 1μF、ACTIVE モード	4.975	5	5.025	V
V _{TSREF_LDRG}	TSREF 負荷レギュレーション	I _{load} = 4mA、C _{SUPPLIES} = 1μF、ACTIVE モード	-30		30	mV
V _{TSREF_OV}	TSREF OV スレッシュホールド	I _{load} = 4mA、C _{SUPPLIES} = 1μF、ACTIVE モード	5.2	5.6	5.8	V
V _{TSREF_OVHYS}	TSREF OV ヒステリシス	I _{load} = 4mA、C _{SUPPLIES} = 1μF、ACTIVE モード	98	110	120	mV
V _{TSREF_UV}	TSREF UV スレッシュホールド	I _{load} = 4mA、C _{SUPPLIES} = 1μF、ACTIVE モード	4.0	4.2	4.4	V
V _{TSREF_UVHYS}	TSREF UV ヒステリシス	I _{load} = 4mA、C _{SUPPLIES} = 1μF、ACTIVE モード	300	350	400	mV
V _{TSREF_ILIMIT}	TSREF 電流制限	デバイスは ACTIVE モード	15	30	52	mA
極性反転チャージポンプ (NEG5V)						
V _{NEG5V}		C _{NEG5V} = 0.1μF	-5.0	-4.6	-4.5	V

6.5 電気的特性 (続き)

自由気流での $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ の動作温度範囲内、VBAT = 9V ~ 80V (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{NEG5V_UV}	NEG5V UV スレッシュホールド (立ち上がり)	C _{NEG5V} = 0.1μF	-4.1	-3.5	-3.0	V
V _{NEG5V_UVRECOV}	NEG5V UV のリカバリ	C _{NEG5V} = 0.1μF	-4.3	-3.8	-3.3	V
セル バランス						
R _{DSON}	内部セル バランス FET Rdson	VCn > 2.8V、ここで n = 1 ~ 16、 $-40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$	1.45		4.6	Ω
V _{CB_DONE}	VCB_DONE 検出スレッシュホールド設定範囲 (精度ではない)	25mV 刻み	2.45		4	V
V _{MB_DONE}	VMB_DONE 検出スレッシュホールド設定範囲 (精度ではない)	1V 刻み	18		65	V
T _{OTCB}	OTCB スレッシュホールド設定範囲 (精度ではない)	2% 刻み	10		24	%
T _{COOLOFF}	COOLOFF スレッシュホールド設定範囲 (精度ではない)	2% 刻み	4		14	%
T _{CB_WARN}	CB TWARN スレッシュホールド			105		°C
T _{CB_WARN_HYS}	CB TWARN ヒステリシス			10		°C
ADC 分解能						
ENOB _{MAIN}	メイン ADC の有効ビット数			16		ビット
ENOB _{AUX}	AUX ADC の有効ビット数			14		ビット
V _{LSB_ADC}	VCELL 測定のメインおよび AUX ADC の分解能			190.73		μV/LSB
V _{LSB_BB}	(BBP-BBN) 測定のメインおよび AUX ADC の分解能			30.52		μV/LSB
V _{LSB_MAIN_DIETEMP1}	DieTemp1 の分解能 (メイン ADC)	ADC 測定の中心は 0x000 = 0°C		0.025		°C/LSB
V _{LSB_AUX_DIETEMP2}	DieTemp2 の分解能 (AUX ADC)	ADC 測定の中心は 0x000 = 0°C		0.025		°C/LSB
V _{LSB_AUX_BAT}	BAT の分解能 (AUX ADC)	AUX ADC からの BAT 電圧測定に適用		3.05		mV/LSB
V _{LSB_GPIO}	GPIO の分解能 (メインおよび AUX ADC)			152.59		μV/LSB
V _{LSB_TSREF}	TSREF の分解能 (メイン ADC)			169.54		μV/LSB
V _{LSB_DIAG}	診断測定の分解能	REFL、VBG2、LPBG5、VCM、AVAO_REF、AVDD_REF、HW プロテクタ DAC		152.59		μV/LSB
V _{LSB_DIAG}		OV_DAC、UV_DAC、VCBDONE_DAC		190.73		μV/LSB
ADC の精度						
I _{VC_DELTA}	VCn から VCn-1 への入力電流差分 (メイン ADC がオンのとき)	T _A = $-20^{\circ}\text{C} \sim 65^{\circ}\text{C}$		1.8		μA
		T _A = $-40^{\circ}\text{C} \sim 105^{\circ}\text{C}$		2		μA
I _{VC}	VCn 入力電流 (メイン ADC がオンのとき)			8	12	μA
R _{CB_INPUT}	CB ピンの入力インピーダンス (AUX ADC がオンのとき)			16		MΩ

6.5 電気的特性 (続き)

自由気流での $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ の動作温度範囲内、VBAT = 9V ~ 80V (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{\text{ACC_MAIN_CELL}}$	メイン ADC VCELL 測定の合計チャネル精度、LPF_VCELL[2:0] = 0x03 設定。	$2\text{V} < V_{\text{CELL}} < 4.5\text{V}, T_A = 25^{\circ}\text{C}$	-2.2		1.5	mV
		$2\text{V} < V_{\text{CELL}} < 4.5\text{V}, -20^{\circ}\text{C} < T_A < 65^{\circ}\text{C}$	-3.0		2.4	mV
		$2\text{V} < V_{\text{CELL}} < 4.5\text{V}, -40^{\circ}\text{C} < T_A < 105^{\circ}\text{C}$	-3.5		2.6	mV
		$2\text{V} < V_{\text{CELL}} < 4.5\text{V}, -40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$	-3.5		2.6	mV
		$1\text{V} < V_{\text{CELL}} < 5\text{V}, -40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$	-3.7		2.8	mV
		$-2\text{V} < V_{\text{CELL}} < 5\text{V}, -40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$	-4.5		3.2	mV
$V_{\text{ACC_AUX_CELL}}$	AUX ADC 測定における合計チャネル精度 (BAT と GPIO の精度を除く)。	$2\text{V} < V_{\text{CELL}} < 4.5\text{V}, T_A = 25^{\circ}\text{C}$	-7.5		5.4	mV
		$2\text{V} < V_{\text{CELL}} < 4.5\text{V}, -20^{\circ}\text{C} < T_A < 65^{\circ}\text{C}$	-8.0		6.3	mV
		$2\text{V} < V_{\text{CELL}} < 4.5\text{V}, -40^{\circ}\text{C} < T_A < 105^{\circ}\text{C}$	-9.0		6.3	mV
		$2\text{V} < V_{\text{CELL}} < 4.5\text{V}, -40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$	-9.0		6.5	mV
		$1\text{V} < V_{\text{CELL}} < 5\text{V}, -40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$	-9.0		6.6	mV
		$0\text{V} < V_{\text{CELL}} < 5\text{V}, -40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$	-9.0		6.6	mV
$V_{(\text{MAIN-AUX})}$	VCELL と OVDAC リファレンス診断中のメイン / AUX 測定。同じ T_A で、両方の ADC に対して同じ入力電圧。	$2\text{V} < V_{\text{CELL}} < 4.5\text{V}, T_A = 25^{\circ}\text{C}$	-7.1		6.1	mV
		$2\text{V} < V_{\text{CELL}} < 4.5\text{V}, -20^{\circ}\text{C} < T_A < 65^{\circ}\text{C}$	-7.8		6.6	mV
		$2\text{V} < V_{\text{CELL}} < 4.5\text{V}, -40^{\circ}\text{C} < T_A < 105^{\circ}\text{C}$	-7.8		6.6	mV
		$2\text{V} < V_{\text{CELL}} < 4.5\text{V}, -40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$	-7.8		6.7	mV
		$1\text{V} < V_{\text{CELL}} < 5\text{V}, -40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$	-7.9		6.9	mV
		$0\text{V} < V_{\text{CELL}} < 5\text{V}, -40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$	-7.9		6.9	mV
$V_{\text{ACC_MAIN_GPIO_RA TIO}}$	メイン ADC から GPIO を測定 / メイン ADC から TSREF を測定。	$0.08\text{V} < V_{\text{IN}} < 0.2\text{V}, 85^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$	-0.20		0.20	%
		$0.2\text{V} < V_{\text{IN}} < 4.6\text{V}, -40^{\circ}\text{C} < T_A < 105^{\circ}\text{C}$	-0.20		0.20	%
		$4.6\text{V} < V_{\text{IN}} < 4.8\text{V}, -40^{\circ}\text{C} < T_A < -20^{\circ}\text{C}$	-0.30		0.30	%
$V_{\text{ACC_AUX_GPIO_RA TIO}}$	AUX ADC から GPIO を測定 / AUX ADC から TSREF を測定。	$0.08\text{V} < V_{\text{IN}} < 0.2\text{V}, 85^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$	-0.20		0.20	%
		$0.2\text{V} < V_{\text{IN}} < 4.6\text{V}, -40^{\circ}\text{C} < T_A < 105^{\circ}\text{C}$	-0.20		0.20	%
		$4.6\text{V} < V_{\text{IN}} < 4.8\text{V}, -40^{\circ}\text{C} < T_A < -20^{\circ}\text{C}$	-0.30		0.30	%
$V_{\text{ACC_MAIN_GPIO_ABS}}$	GPIO 測定の合計チャネル精度 (メイン ADC)。	$0.08\text{V} < V_{\text{IN}} < 0.2\text{V}, 85^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$	-4.00		4.00	mV
		$0.2\text{V} < V_{\text{IN}} < 4.6\text{V}, -40^{\circ}\text{C} < T_A < 105^{\circ}\text{C}$	-5.00		3.00	mV
		$4.6\text{V} < V_{\text{IN}} < 4.8\text{V}, -40^{\circ}\text{C} < T_A < -20^{\circ}\text{C}$	-4.00		4.00	mV

6.5 電気的特性 (続き)

自由気流での $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ の動作温度範囲内、VBAT = 9V ~ 80V (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{ACC_AUX_GPIO_ABS}	GPIO での AUX ADC からの精度	$0.08\text{V} < V_{\text{IN}} < 0.2\text{V}$, $85^{\circ}\text{C} < T_{\text{A}} < 125^{\circ}\text{C}$	-6.00		6.00	mV
		$0.2\text{V} < V_{\text{IN}} < 4.6\text{V}$, $-40^{\circ}\text{C} < T_{\text{A}} < 105^{\circ}\text{C}$	-6.00		6.00	mV
		$4.6\text{V} < V_{\text{IN}} < 4.8\text{V}$, $-40^{\circ}\text{C} < T_{\text{A}} < -20^{\circ}\text{C}$	-6.00		6.00	mV
V _{ACC_MAIN_BB}	メイン ADC からの (BBP-BBN) の合計チャンネル精度	LPF_BB[2:0] = 0x00	-1.1		1.1	mV
V _{ACC_AUX_BB}	AUX ADC からの (BBP-BBN) の合計チャンネル精度		-4		4	mV
V _{ACC_AUX_BAT}	BAT ピンの AUX ADC 測定精度	Vbat パックの範囲: 32V ~ 72V, $T_{\text{A}} = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$	-225		135	mV
V _{ACC_AUX_REFL}	AUX ADC 測定結果		1.092	1.1	1.106	V
V _{ACC_AUX_VBG2}	AUX ADC 測定結果		1.092	1.1	1.106	V
V _{ACC_AUX_VCM}	AUX ADC 測定結果		2.400	2.5	2.550	V
V _{ACC_AUX_AVAO_REF}	AUX ADC 測定結果		2.400	2.47	2.550	V
V _{ACC_AUX_AVDD_REF}	AUX ADC 測定結果		2.400	2.47	2.550	V
V _{ACC_AUX_OVDAC}	AUX ADC 測定結果	4.475V に設定, $T_{\text{A}} = -20^{\circ}\text{C} \sim 65^{\circ}\text{C}$	4.450		4.500	V
V _{ACC_AUX_OVDAC}	AUX ADC 測定結果	4.475V に設定, $T_{\text{A}} = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$	4.445		4.500	V
V _{ACC_AUX_OVDAC}	AUX ADC 測定結果	4.475V に設定, $T_{\text{A}} = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$	4.445		4.500	V
V _{ACC_AUX_OVDAC}	AUX ADC 測定結果	3.8V に設定	3.770		3.825	V
V _{ACC_AUX_OVDAC}	AUX ADC 測定結果	3V に設定	2.970		3.030	V
V _{ACC_AUX_UVDAC}	AUX ADC 測定結果	3.1V に設定	3.095	3.1	3.150	V
V _{ACC_AUX_VCBDONE_DAC}	AUX ADC 測定結果	4V に設定	3.950	4	4.050	V
V _{ACC_AUX_OTDAC}	AUX ADC 測定結果	39% に設定	1.900	1.95	2.000	V
V _{ACC_AUX_UTDAC}	AUX ADC 測定結果	80% に設定	3.950	4	4.050	V
V _{ACC_MAIN_TSREF}	メイン ADC 測定結果		4.975	5	5.025	V
V _{ACC_MAIN_DIETEMP}	Die Temp1 測定の合計チャンネル精度 (±)			3		°C
V _{ACC_AUX_DIETEMP}	Die Temp2 測定の合計チャンネル精度 (±)			6		°C
リファレンス電圧						
V _{REFH}	REFHP から REFHM への電圧		4.975	5	5.025	V
HW 電圧コンパレータ / プロテクタ (CELL OV/UV)						
V _{OV_COMP_RANGE}	OV コンパレータ検出スレッショルド設定範囲 (精度ではない)	25mV 刻み	2700		3000	mV
		25mV 刻み	3600		3800	mV
		25mV 刻み	4175		4500	mV
V _{OV_COMP_HYS}	検出後の OV コンパレータ ヒステリシス			50		mV
V _{OV_COMP_ACC}	OV コンパレータの精度	$T_{\text{A}} = -20^{\circ}\text{C} \sim 65^{\circ}\text{C}$	-24		24	mV
		$T_{\text{A}} = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$	-28		28	mV
V _{UV_COMP_RANGE}	UV コンパレータ検出スレッショルド設定範囲 (精度ではない)	50mV 刻み	1200		3100	mV
V _{UV_COMP_HYS}	検出後の UV コンパレータ ヒステリシス			50		mV

6.5 電気的特性 (続き)

自由気流での $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ の動作温度範囲内、VBAT = 9V ~ 80V (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{UV_COMP_ACC}	UV コンパレータの精度	T _A = −20°C ~ 65°C	−35		35	mV
		T _A = −40°C ~ 105°C	−50		50	mV
HW 温度コンパレータ / プロテクタ (NTC OT/UT)						
V _{OT_COMP_RANGE}	OT コンパレータの検出スレッシュホールド設定範囲 (精度ではない)	1% 刻み、TSREF を基準としたレシオメトリック	10		39	%
V _{OT_COMP_HYS}	検出後の OT コンパレータ ヒステリシス			2		%
V _{OT_COMP_ACC}	OT コンパレータの精度		−0.5		0.5	%
V _{UT_COMP_RANGE}	UT コンパレータ検出スレッシュホールド範囲	2% 刻み、TSREF を基準としたレシオメトリック	66		80	%
V _{UT_COMP_HYS}	検出後の UT コンパレータ ヒステリシス			2		%
V _{UT_COMP_ACC}	UT コンパレータの精度		−0.5		0.5	%
デジタル I/O (TX, RX, GPIO, SPI マスタ)						
V _{OH}	ロジックレベル "High" の出力 (出力での TX, GPIO)	GPIO を出力として構成。I _{OUT} = 1mA	V _{CVDD} − 0.3			V
V _{OL}	ロジックレベル "Low" の出力 (出力での TX, NFAULT, GPIO)	GPIO を出力として構成。I _{OUT} = 1mA			0.3	V
V _{IH}	ロジックレベル "High" の入力 (フォルト入力での RX, GPIO)	GPIO を入力として構成。I _{OUT} = 1mA	0.75 x V _{CVDD}			V
V _{IL}	ロジックレベル "Low" の入力 (フォルト入力での RX, GPIO)	GPIO を入力として構成。I _{OUT} = 1mA			0.25 x V _{CVDD}	V
R _{WK_PU}	GPIO の弱いプルアップ抵抗		20	37	60	KΩ
R _{WK_PD}	GPIO の弱いプルダウン抵抗		20	40	60	KΩ
COML と COMH						
R _{DCTX}	トランスミッタの出力インピーダンス (COML と COMH)			18		Ω
R _{DCCM}	同相モード インピーダンス (COML と COMH)			45		kΩ
V _{DCCM}	同相電圧 (COML と COMH)		2.21	2.5	2.76	V
V _{COMM_DATA1}	通信を成立させるためのレシーバのスレッシュホールド範囲 (V _{COMP} − V _{COML})	CODE:0	0.4		1.2	V
V _{COMM_TONE1}	トーン信号を受信する際のレシーバのスレッシュホールド範囲 (V _{COMP} − V _{COML})	CODE:0	0.4		1.2	V

6.6 タイミング要件

自由気流での $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ の動作温度範囲内、VBAT = 9V ~ 80V (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
電力状態のタイミング						
t _{SU(WAKE_SHUT)}	SHUTDOWN から ACTIVE モードへの起動	ベース デバイス: WAKE ping の終了から転送 WAKE トーンの開始まで		6	10	ms
		スタック デバイス: 受信した WAKE トーンの終了から転送 WAKE トーンの開始まで		6	10	ms

6.6 タイミング要件 (続き)

自由気流での $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ の動作温度範囲内、VBAT = 9V ~ 80V (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
$t_{\text{SU(SLP2ACT)}}$	SLEEP から ACTIVE モードへの起動 (SLEEP2ACTIVE ping / トーンを使用)	ベース デバイス: SLEEP2ACTIVE ping の終了から転送 SLEEP2ACTIVE トーンの開始まで			230	μs
		スタック デバイス: SLEEP2ACTIVE トーンの終了から転送 SLEEP2ACTIVE トーンの開始まで			230	μs
$t_{\text{SU(WAKE_SLP)}}$	SLEEP から ACTIVE モードへの起動 (WAKE ping / トーンを使用)	ベース デバイス: WAKE ping の終了から転送 WAKE トーンの開始まで			1	ms
		スタック デバイス: 受信した WAKE トーンの終了から転送 WAKE トーンの開始まで			1	ms
t_{SLP}	ACTIVE から SLEEP モードへ	SLEEP 開始条件を受信してから SLEEP モードに移行するまで			100	μs
t_{SHTDN}	ACTIVE から SHUTDOWN モードへ	SHUTDOWN 開始条件の受信から SHUTDOWN モードに移行するまで (すべての LDO が標準値の 10%)		20		ms
t_{RST}	ACTIVE モード中のリセット時間	CONTROL1[SOFT_RST] = 1 が、デジタル リセットの完了に送信されます			1	ms
t_{HWRST}	HW_RESET ping / トーンの発行後、デバイスが HW リセットになる時間				75	ms
電源のタイミング						
$t_{\text{TSREF_ON}}$	TSREF ランプ アップ時間 (10% ~ 90%)	$C_{\text{TSREF}} = 1\mu\text{F}$		6		ms
$t_{\text{TSREF_OFF}}$	TSREF ランプ ダウン時間 (90% ~ 10%)	$C_{\text{TSREF}} = 1\mu\text{F}$			8	ms
PING 信号のタイミング						
$t_{\text{HLD_WAKE}}$	RX ピンでの WAKE ping Low 時間、CVDD に外部負荷なし		2		2.5	ms
$t_{\text{HLD_SD}}$	RX ピンでの SHUTDOWN ping Low 時間、CVDD に外部負荷なし		7		10	ms
$t_{\text{UART(SIA)}}$	RX ピンでの SLEEPtoACTIVE ping Low 時間		250		300	μs
$t_{\text{HLD_HWRST}}$	RX ピンでの HW_RESET ping Low 時間		36			ms
COML および COMH (PULSE および TONE TIMING)						
$t_{\text{PW_DC}}$	COMM: 通信のデータのパルス幅 (ハーフ ビット時間)			250		ns
$t_{\text{RECLK_DC}}$	COMM: デバイスごとのデータリクロッキング遅延 (COMH から COML またはその逆)			4	5	μs
t_{COMTONE}	通信トーンのパルス間隔 (HFO ベース)。通信トーンは、WAKE、SLEEPtoACTIVE、SHUTDOWN、HWRST トーンです			11	15	μs
$t_{\text{COMMTONE_HI}}$	各通信パルスの HIGH 時間 (HFO ベース)		0.92	1	1.08	μs
$t_{\text{COMMTONE_LO}}$	各通信パルスの LOW 時間 (HFO ベース)		0.92	1	1.08	μs

6.6 タイミング要件 (続き)

自由気流での $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ の動作温度範囲内、VBAT = 9V ~ 80V (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
$t_{\text{FLT TONE}}$	FAULT トーンのパルス間隔 (LFO ベース)。FAULT トーンと HEARTBEAT に適用されます			11.5		μs
$t_{\text{FLT TONE_HI}}$	トーンの対での各パルスの HIGH 時間			1		μs
$t_{\text{FLT TONE_LO}}$	トーンの対での各パルスの LOW 時間			1		μs
Ω_{WAKEDET}	WAKE トーンとして検出するためのパルス数			60		パルス
Ω_{WAKE}	WAKE トーンの遷移のためのパルス数			90		パルス
Ω_{SHDNDET}	SHUTDOWN トーンとして検出するためのパルス数			180		パルス
Ω_{SHDN}	SHUTDOWN トーンの遷移のためのパルス数			270		パルス
$\Omega_{\text{SLPtoACTDET}}$	SLEEPtoACTIVE トーンとして検出するためのパルス数			20		パルス
Ω_{SLPtoACT}	SLEEPtoACTIVE トーンの遷移のためのパルス数			30		パルス
Ω_{HWRSTDET}	HW_RESET トーンとして検出するためのパルス数			540		パルス
Ω_{HWRST}	HW_RESET トーンの遷移のためのパルス数			810		パルス
Ω_{HBDET}	HEARTBEAT: 有効なトーンとして検出するためのパルス数			20		パルス
Ω_{HB}	HEARTBEAT: トーンの遷移のためのパルス数			30		パルス
$t_{\text{HB_PERIOD}}$	HEARTBEAT: HEARTBEAT バーストの間隔 (HEARTBEAT の開始から次の HEARTBEAT の開始まで)		360	400	440	ms
$t_{\text{HB_TIMEOUT}}$	HEARTBEAT: HEARTBEAT の受信なしと見なすためのタイムアウト		0.9	1	1.1	s
$t_{\text{HB_FAST}}$	HEARTBEAT: この時間内に HEARTBEAT を受信すると、HEARTBEAT が速すぎると見なされます			200		ms
Ω_{FTONEDET}	FAULT トーン: 有効なトーンとして検出するためのパルス数			60		パルス
Ω_{FTONE}	FAULT トーン: トーンの遷移のためのパルス数			90		パルス
$t_{\text{FTONE_PERIOD}}$	FAULT トーン: FAULT トーン バーストの間隔 (FAULT トーンの開始から次の FAULT トーンの開始まで)			50		ms
$t_{\text{FTS_LATENCY}}$	スタック デバイスでのフォルトトーン レイテンシ	デバイスがトーンを受信してから、同じデバイスがフォルトトーンを検出して生成するまでの間		48		μs
$t_{\text{FTB_LATENCY}}$	ベース デバイスでのフォルトトーン レイテンシ	デバイスがトーンを受信してから、同じデバイスが NFAULT を検出してアサートするまでの間		24		μs
メイン ADC と to AUX ADC のタイミング						
$t_{\text{SAR_CONV}}$	シングル変換時間 (メイン ADC と AUX ADC の両方)			8		μs

6.6 タイミング要件 (続き)

自由気流での $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ の動作温度範囲内、VBAT = 9V ~ 80V (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
$t_{\text{MAIN_ADC_CYCLE}}$	シングル ラウンド ロビン サイクル (メイン ADC)			192		μs
$t_{\text{AUX_ADC_CYCLE}}$	シングル ラウンド ロビン サイクル (AUX ADC)			192		μs
$t_{\text{AFE_SETTLE}}$	デバイスが SLEEP または SHUTDOWN から ACTIVE モードに移行するときに発生するアナログ フロント エンド (レベル シフト) のセトリング タイム			4		ms
$t_{\text{ADC_ACC}}$	これには、マルチプレクサのラウンド ロビン、ADC 変換、デジタル フィルタが含まれます。		-1.5		1.5	%
バランシング タイミング						
$t_{\text{BAL_ACC}}$	バランシング タイマの精度		-5		5	%
HW コンパレータ / プロテクタのタイミング						
$t_{\text{OV_CYCLE}}$	OV ラウンド ロビン サイクル			8		ms
$t_{\text{UV_CYCLE}}$	UV ラウンド ロビン サイクル			8		ms
$t_{\text{OVUV_BIST_CYCLE}}$	OV と UV の BIST サイクル		21.8	23	24.2	ms
$t_{\text{OT_CYCLE}}$	OT ラウンド ロビン サイクル			4		ms
$t_{\text{UT_CYCLE}}$	UT ラウンド ロビン サイクル			4		ms
$t_{\text{PWR_BIST_CYCLE}}$	パワー BIST GO コマンド後、電源 BIST が完了するために必要な時間		10.9	11.5	12.1	ms
$t_{\text{OTUT_BIST_CYCLE}}$	OT と UT の BIST サイクル		19	20	21	ms
$t_{\text{HW_COMP_ACC}}$	OV、UV、OT、UT コンパレータのタイミング精度		-5		5	%
I/O タイミング (TX, RX, GPIO, NFAULT)						
t_{RISE}	立ち上がり時間	$V_{\text{CVDD}} > \text{MIN } V_{\text{CVDD}}$, $C_{\text{LOAD}} = 150\text{pF}$, GPIO が出力モード		12		ns
t_{FALL}	立ち下がり時間 (NFAULT を除く)	$V_{\text{CVDD}} > \text{MIN } V_{\text{CVDD}}$, $C_{\text{LOAD}} = 150\text{pF}$, GPIO が出力モード		7		ns
$t_{\text{FALL_NFAULT}}$	NFAULT の立ち下がり時間	$V_{\text{CVDD}} > \text{MIN } V_{\text{CVDD}}$, $C_{\text{LOAD}} = 150\text{pF}$, $R_{\text{PULLUP}} = 10\text{k}\Omega$		100		ns
UART のタイミング						
UART _{BAUD}	UART TX/RX ボーレート			1		Mbps
UART _{ERR_BAUD(RX)}	UART RX ボーレート エラー - 外部ホストの要件		-1		1	%
UART _{ERR_BAUD(TX)}	UART TX ボーレート エラー		-1.5		1.5	%
$t_{\text{UART(CLR)}}$	UART クリア Low 時間		15		20	ビット周期
$t_{\text{UART(RX_HIGH)}}$	COMM CLEAR の後、この時間待機してから、新しいフレームを送信してください		1			ビット周期
OTP NVM のタイミング						
$t_{\text{CRC_CUST}}$	顧客の OTP 空間で、1 サイクルの CRC チェックを完了するまでの時間			175		μs
$t_{\text{CRC_FACT}}$	工場での OTP 領域で、1 サイクルの CRC チェックを完了するまでの時間			1.6		ms
SPI マスタのタイミング						

6.6 タイミング要件 (続き)

自由気流での $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ の動作温度範囲内、VBAT = 9V ~ 80V (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
f_{SCLK}	SCLK 周波数		450	500	550	kHz
$t_{\text{HIGH}}, t_{\text{LOW}}$	SCLK デューティ サイクル			50		%
$t_{\text{SS(HIGH)}}$	SS HIGH のレイテンシ時間。レジスタ書き込み High から SS ピンが High になるまでの時間			4		μs
$t_{\text{SS(LOW)}}$	SS LOW のレイテンシ時間。レジスタ書き込み Low から SS ピンが Low になるまでの時間			4		μs
$t_{\text{SU(MISO)}}$	MISO 入力データセットアップ時間 - スレーブ デバイスの要件	SCLK 遷移前に MISO が安定	100			ns
$t_{\text{HD(MISO)}}$	MISO 入力データ ホールド時間	SCLK 遷移後に MISO が安定		0		ns
発振器						
f_{HFO}	高周波発振器		31.52	32	32.48	MHz
f_{LFO}	低周波発振器		248.9	262	275.1	kHz

6.7 代表的特性

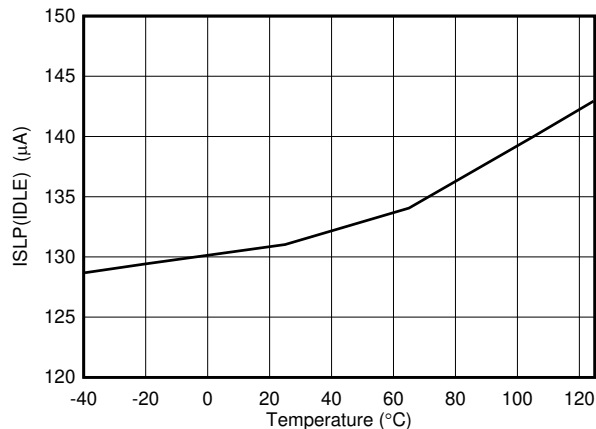


図 6-1. ISLP (IDLE) と温度との関係

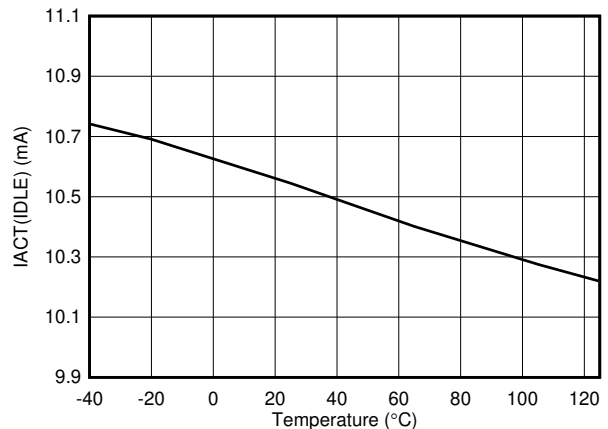


図 6-2. IACT (IDLE) と温度との関係

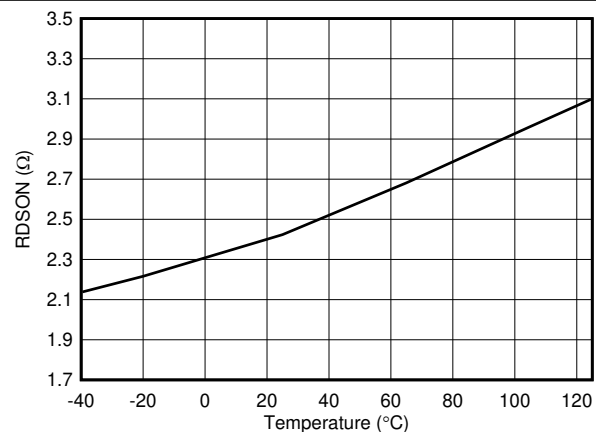


図 6-3. CBFET RDSON と温度との関係

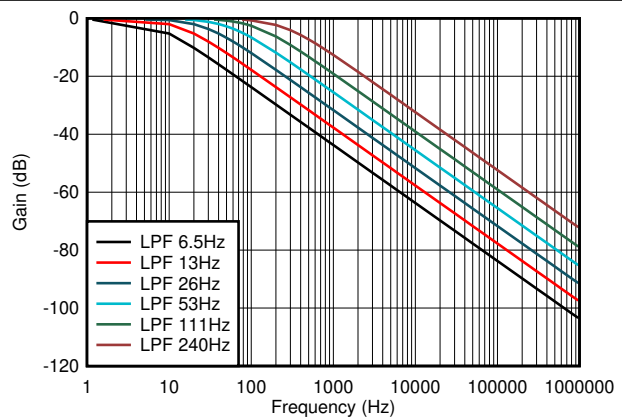


図 6-4. パッシブ ローパス フィルタ

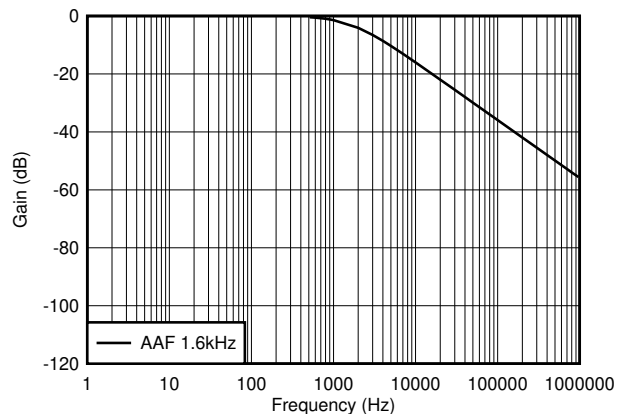


図 6-5. MAIN ADC フィルタ

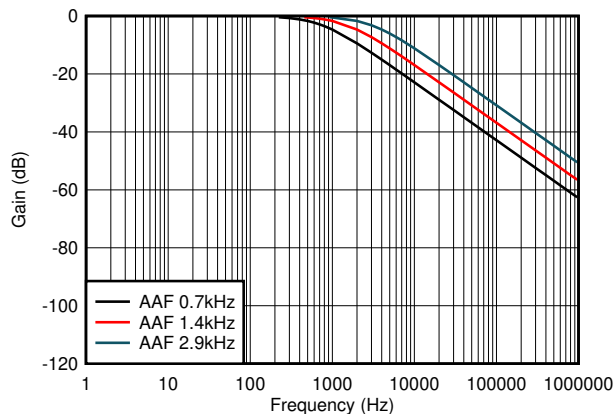


図 6-6. AUX ADC フィルタ

7 詳細説明

7.1 概要

BQ7961x-Q1 デバイスは、セル電圧および温度を測定するスタック可能なバッテリー モニタです。このデバイスは、6 ～ 16 個の直列接続 (6S ～ 16S) バッテリー セルに対応しています。これにより、セル検出入力チャネルまたは専用のバス バー 測定チャネルを使用して、最大 3 か所のバス バー接続および測定が可能となり、さまざまなバッテリー モジュール サイズに対応できる柔軟性を最大限に高めています。

複数のデバイスをデジタイゼーション接続できます。各デバイスには、High (N) と Low (S) の垂直差動通信ポートがペアであり、必要なのは一本のツイスト ペア ケーブルのみです。このデバイスは、容量性のみ、容量性とチョークの併用、または変圧器絶縁に対応しています。通信信号はデジタイゼーション接続された各デバイスで再クロック化されるため、長距離通信においても通信品質が確保されます。オプションの RING 接続に対応しており、ケーブル断線時にはデジタイゼーション通信の方向を反転させることができます。各デバイスには、GPIO により構成された SPI マスタが搭載されています。

このデバイスは、電圧測定、温度測定、および通信機能において、ASIL-D に準拠しています。デジタイゼーション接続された各デバイスの ADC は、セル電圧測定の開始タイミングを同期させるよう設定でき、すべてのセル電圧を 128μs 以内に測定できます。各セル検出チャネルには、ノイズ低減のための ADC 後段デジタル ローパス フィルタ (LPF) が搭載されており、移動平均測定結果も提供されます。このデバイスには 8 つの GPIO があり、これらはすべて NTC サーミスタ接続用として、または汎用入出力 (GPIO) として設定できます。8 個の GPIO はすべて、1.6ms 以内に測定できます。

このデバイスは、セルごとに内部セルバランシング MOSFET (CBFET) によるパッシブ バランシングをサポートしています。セル バランシング機能は、マイコン (MCU) の介入なしに自律的に動作します。このデバイスには、外部サーミスタで検出された温度が設定可能なスレッシュホールドに達した場合、またはダイ温度が高すぎる場合 (105°C 超) に、バランシングを一時停止し、その後再開する機能があります。バランシングが開始されると、デバイスは各セルのバランシング時間を追跡します。マイコンは、いつでも残りのバランシング時間を読み取ることができます。

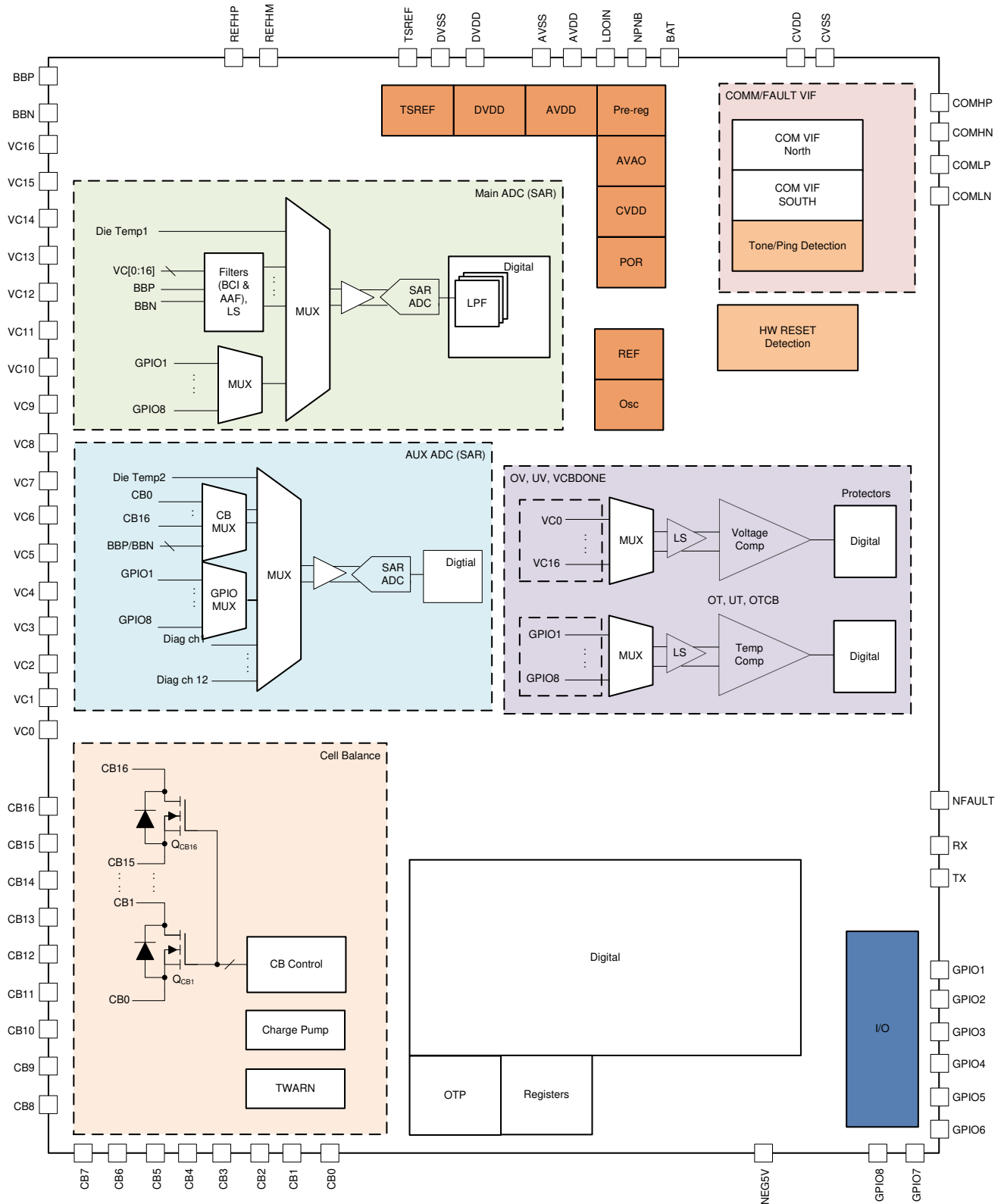
このデバイスは、ユーザーがスレッシュホールドを設定可能な OVUV コンパレータおよび OTUT コンパレータを搭載しています。これらは、ADC 測定とは独立して、セルの過電圧、低電圧およびサーミスタの過温度、低温度検出のための第二レベル保護機能として使用できます。

このデバイスは、通信フレーム内に故障状態情報を埋め込む機能を備えています。デジタイゼーション内のいずれかのデバイスが異常状態を検出すると、その情報は通信応答フレームに埋め込まれて下位デバイスまで伝達され、下位デバイスは設定に応じて NFAULT ピンをシステムへの割り込み信号として出力できます。これにより、追加のツイスト ペア ケーブルや絶縁回路を増やすことなく、通信オーバーヘッドを削減しながら、より迅速な異常検出を実現できます。

このデバイスには、消費電力を低減するため、スリープ モードとシャットダウン モードがあります。すべての機能はアクティブ モードで動作し、OVUV と OTUT のバランシング機能とハードウェア コンパレータもスリープ モードで動作します。シャットダウン中は、すべてのアクティブ機能がオフになります。HW リセット機能は利用可能で、ホスト マイコンによってアクティブにできます。HW リセットにより、実際のバッテリーを取り外すことなく、POR と同様のイベントがデバイスに提供されます。これにより、信頼性が高く、低コスト、回復可能なオプションを実現して、システム全体の堅牢性を向上させることができます。

7.2 機能ブロック図

BQ79616 の機能ブロック図は、VC 入力チャネル数および CB 入力チャネル数が少ない点を除き、BQ79616H、BQ79614、および BQ79612 にも適用されます。



7.3 機能説明

7.3.1 電源

デバイスは、動作に必要なすべての電源をバッテリー スタックから直接生成します。以下のサブセクションでは、各内部電源ブロックの概要について説明します。推奨のコンポーネント接続については、[セクション 8](#) を参照してください。電源ブロックの診断制御と故障検出については、[セクション 7.3.6.4](#) を参照してください。

7.3.1.1 AVAO_REF と AVDD_REF

AVAO_REF ブロック (アナログ電圧常時オン) には、BAT ピンから電力が供給されます。これは、すべての電源モードで必要となる常時動作の低消費電流回路に電力を供給します。このブロックは、事前に安定化されたリファレンス AVAO_REF も生成します。AVAO_REF 電圧は、シャットダウン モードによって制御される負荷スイッチを通過します。ロードスイッチの後段にあるリファレンス電圧は AVDD_REF です。

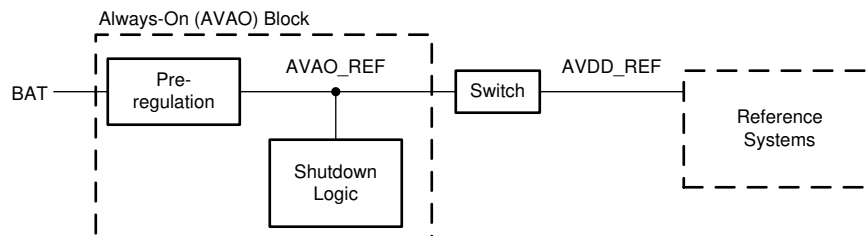


図 7-1. AVAO ブロック

7.3.1.2 LDOIN

このデバイスはバッテリー モジュールから電力を供給され、各セルに流れる電流は同じです。バッテリー モジュールの最上位セル電圧を電源として、デバイスは内部リニア レギュレータおよび外付け NPN トランジスタを用いて、LDOIN ピンに公称 6V の安定化電圧を生成します。

NPNB ピンはレギュレータ用の外付け NPN トランジスタを制御し、このピンからは最大 1.15mA の電流を取り出すことができます。

LDOIN 出力は、その他の内部低ドロップアウト レギュレータ (LDO) へ供給される事前安定化電源入力です。OTP (ワンタイム プログラマブル) メモリのプログラミング中、LDOIN ピンは 8V (公称) に調整され、OTP プログラミングに内部的にプログラミング電圧を供給します。LDOIN は、HW リセットまたは POR イベントのときのみオフになります。

7.3.1.3 AVDD

AVDD LDO は、アナログ回路の電源です。LDOIN から入力電圧を受け取り、公称 5V を生成します。この電源は外部回路への給電には使用されません。この LDO は、HW リセット時、または POR イベント時にシャットダウン モードでパワーダウンされます。

7.3.1.4 DVDD

DVDD LDO は、デジタル回路の電源です。LDOIN から入力電圧を受け取り、公称 1.8V を生成します。この電源は外部回路への給電には使用されません。この LDO は、HW リセット時、または POR イベント時にシャットダウン モードでパワーダウンされます。

7.3.1.5 CVDD および NEG5V

CVDD LDO は、デジタイゼーション インターフェイス (または垂直インターフェイス、VIF) と I/O ピン (RX、TX、NFAULT、GPIO) の電源です。LDOIN から入力電圧を受け取り、公称 5V を生成します。この LDO は内部使用のための電力を供給するほか、ACTIVE および SLEEP モードでは 10mA の追加の外部負荷、SHUTDOWN モードでは 5mA の追加の外部負荷にも対応できます。

デジタイゼーション インターフェイス (または垂直インターフェイス、VIF) とメイン ADC ブロックに使用される -5V チャージポンプがあります。NEG5V ピンには -4.6V 出力 (公称値) があります。デバイスが SLEEP モードまたは SHUTDOWN モードのとき、低消費電力のバースト モードに移行します。

7.3.1.6 TSREF

TSREF は、外部サーミスタ回路にバイアスを印加する 5V バッファされたリファレンスで、これによって ADC は温度を測定することができ、OTUT プロテクタは温度フォルトを検出することができます。このリファレンスは、メイン ADC で測定できます。メイン ADC で測定された TSREF と GPIO はどちらも、最良の温度測定を行うためのレシオメトリック測定に対応します。

TSREF は I_{TSREF_ILIMIT} まで供給でき、サーミスタ バイアス以外の外部回路への電力供給には使用されません。TSREF はデフォルトでオフになっており、CONTROL2[TSREF_EN] ビットによって有効または無効にできます。TSREF の起動時間は、外部容量によって決まります。マイコンは、GPIO 測定または OTUT プロテクタによる検出を行う前に、TSREF が安定していることを確認します。TSREF LDO を有効にした後、ユーザーは 1.35ms 待機してから、次のコマンドを送信します。

7.3.2 測定システム

このデバイスには 2 つの逐次比較型 ADC (16 ビット メイン ADC と 14 ビット AUX ADC) があり、どちらも高精度測定に高精度リファレンス電圧 (REFH) を使用します。各 ADC は独立した制御機能を備えており、個別に有効化または無効化できます。メイン ADC は、GPIO に接続されたサーミスタを使用してセル電圧 (VCELL) と温度を測定するための主な測定手段です。また、TSREF とダイ温度の測定にも使用されます。AUX ADC は主に、OVUV および OTUT コンパレータの内部リファレンス電圧や DAC 出力の測定などの診断手順で使用されます。AUX ADC は、GPIO 経由のセル電圧入力とサーミスタ温度入力の冗長測定機能として機能します。

以下のサブセクションでは、メインおよび AUX の ADC 測定パスの概要を示します。推奨される外部コンポーネント接続については、[セクション 8](#) を参照してください。診断制御機能とこのブロックのステータスについては、[セクション 7.3.6.4](#) を参照してください。

7.3.2.1 メイン ADC

メイン ADC ([図 7-2](#)) に多重化された合計 24 の入力 (スロット) があります。すべての入力はラウンド ロビン方式で測定されます ([図 7-3](#))。各入力の測定には標準で 8μs を要し、一回のラウンド ロビン サイクルは標準で 192μs で完了します。メイン ADC への入力は次のとおりです。

- ダイ温度 1
- TSREF
- Cell1 ~ Cell16 の電圧は、差動 $VC_{n-1} \sim VC_n$ を介して行われます ($n = 1 \sim 16$)
- 差動 BBP-BBN ピンを介したバス バー入力
- GPIO1 ~ GPIO8 を多重化
- スペア (RSVD)

すべての測定値は、16 ビットの 16 進数で 2 の補数で報告されます。結果は、対応する *_HI (上位バイト) および *_LO (下位バイト) レジスタに通知されます。まず、16 進数の結果を 10 進数に変換します。[表 7-1](#) の式に従って、結果を μV または °C に変換します。

メイン ADC が有効なとき、[表 7-1](#) に示すすべてのメイン ADC 関連の結果レジスタは、デフォルト値 0x8000 にリセットされます。測定結果は、Main ADC がラウンド ロビン サイクルに従って変換を実行するのに合わせて、結果レジスタへ順次格納されます。マイコンが *_HI レジスタを読み出すと、対応する *_LO レジスタが読み出されるまで、その *_LO レジスタへのデータのリフレッシュは停止されます。

表 7-1. メイン ADC 測定変換式

メイン ADC 入力	結果レジスタ	変換式
ダイ温度 1	DIETEMP1_HI/LO	$^{\circ}\text{C} = V_{\text{LSB_MAIN_DIETEMP1}} \times \text{結果は 10 進数になります}$ 0x0000h は 0°C の中心にあります。
TSREF	TSREF_HI/LO	$\mu\text{V} = V_{\text{LSB_TSREF}} \times \text{結果は 10 進数となります}$
Cell1 ~ Cell16	VCELL *_HI/LO。ここで、* = 1 ~ 16	$\mu\text{V} = V_{\text{LSB_ADC}} \times \text{結果は 10 進数になります}$
バス バー	BUSBAR_HI/LO	$\mu\text{V} = V_{\text{LSB_BB}} \times \text{結果は 10 進数になります}$

表 7-1. メイン ADC 測定変換式 (続き)

メイン ADC 入力	結果レジスタ	変換式
GPIO1～GPIO8	GPIO * _HI/LO、ここで * = 1 ～ 8	$\mu V = V_{LSB_GPIO} * \text{結果は 10 進数になります}$

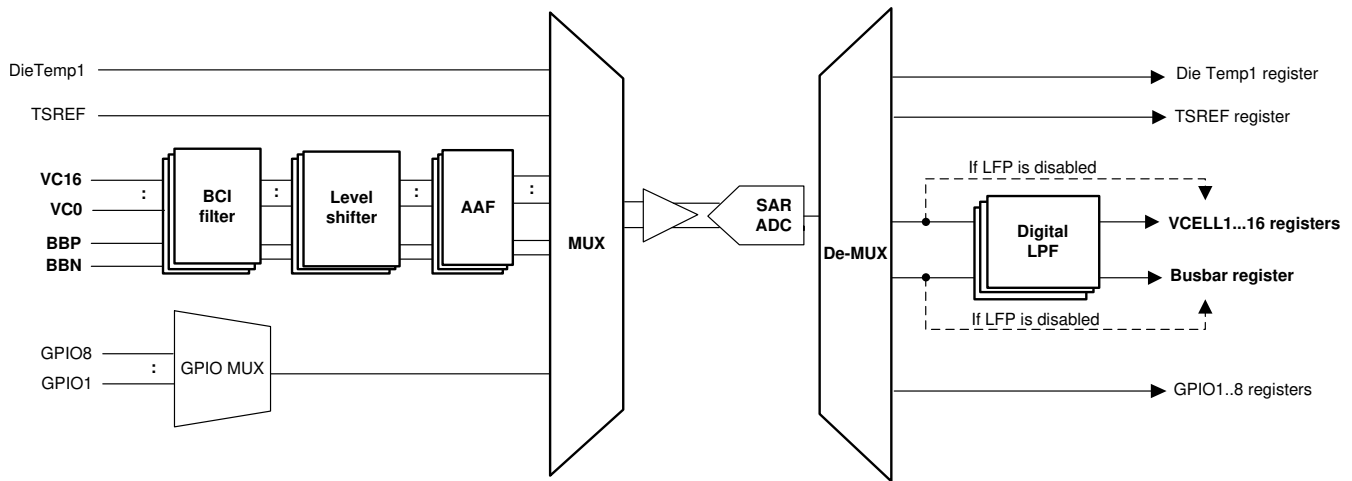


図 7-2. Main ADC 測定パス

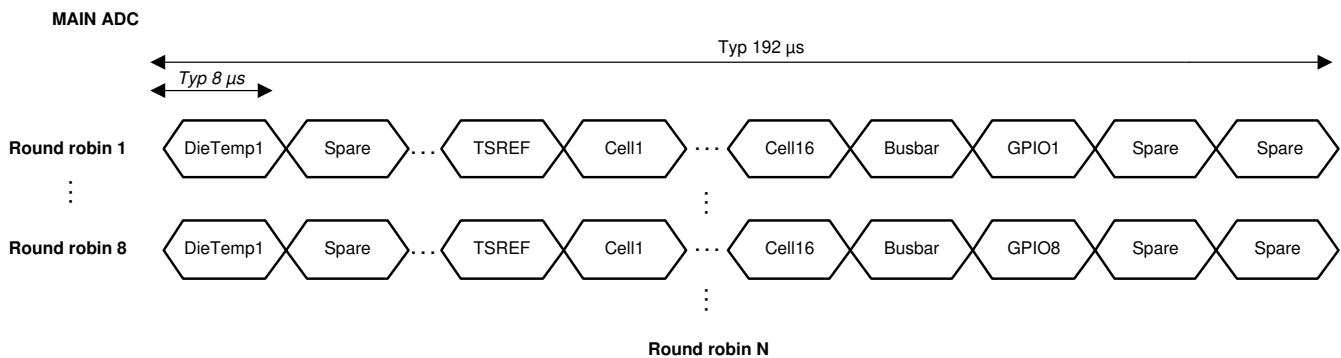


図 7-3. Main ADC ラウンド ロビン測定

7.3.2.1.1 セルの電圧測定

7.3.2.1.1.1 アナログ フロント エンド

メイン ADC のセル電圧の測定値は、VC0 ～ VC16 ピンから取得されます。このデバイスでは、最小 6 セル ～ 最大 16 セルを測定できます。VC0 ～ VC16 ピンはアナログ フロント エンドに接続されており、このアナログ フロント エンドは、各 VC 入力チャネルごとに BCI フィルタ、レベル シフタ、およびアンチエイリアシング フィルタ (AAF) で構成されています。BCI フィルタのカットオフ周波数 (f_{cutoff}) は 100kHz で、AAF の f_{cutoff} は 1.6kHz です。これにより、VC 入力に含まれる高周波ノイズが除去され、その後、高電圧マルチプレクサを経由して Main ADC で測定されます。スリープ モードおよびシャットダウン モードでは、消費電力を低減するためにレベル シフタ ブロックが無効化されます。

7.3.2.1.1.2 VC チャネル測定

VC ピンは、ラウンド ロビンの Cell1 から Cell16 スロットで測定されるメイン ADC からのセル電圧測定のための入力チャネルです。デバイスに接続されているセルが 16 セルより少ない場合でも、ラウンド ロビン タイミングは常に同じです (図 7-4)。つまり、非アクティブ (または未使用) の VC チャネルでは、デバイスはそれぞれのセル スロットを無視しますが、スロットはラウンド ロビン サイクルからは削除されません。これにより、セル数の構成に関係なく、一貫した測定タイミングが維持されます。また、ADC 後のデジタル LPF 入力に対して一貫したサンプリング時間を提供します。

ADC 測定用のアクティブな VCELL チャンネル数を規定するため、ACTIVE_CELL[NUM_CELL3:0] パラメータにアクティブなチャンネルの最大数を設定します。デバイスは、この設定値未満の任意の VC チャンネルもアクティブであると想定します。例えば、14S がデバイスに接続されている場合、マイコンは [NUM_CELL3:0] に 14S をセットし、メイン ADC はチャンネル 15 およびチャンネル 16 の測定値を無視し、チャンネル 1 ~ 14 の測定値を使用します。

測定結果は、対応する VCELL*_HI (上位バイト) および VCELL*_LO (下位バイト) レジスタに通知されます。ここで * = 1 ~ 16 です。デジタル LPF が無効の場合、結果レジスタに単一の ADC 変換値が通知されます。それ以外の場合は、結果レジスタにフィルタ測定値が通知されます。VC が非アクティブ チャンネルの場合、それぞれの _HI および _LO レジスタはデフォルト値 0x8000 のままになります。

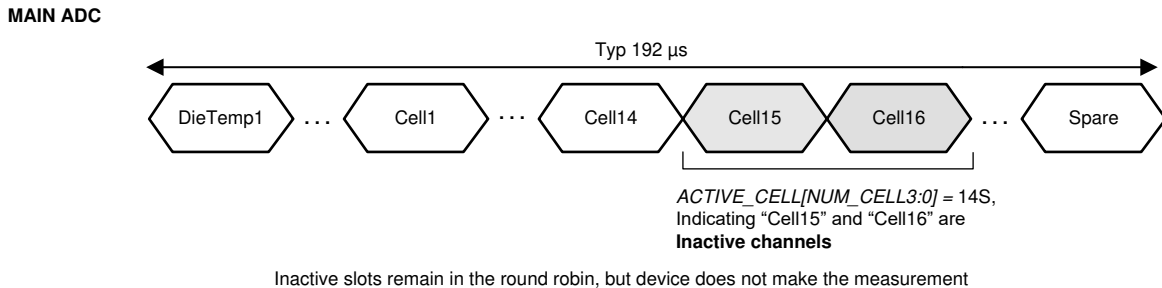


図 7-4. 6S から 16S の同じラウンド ロビン タイミング

7.3.2.1.1.3 ポスト ADC デジタル LPF

各差動 VC チャンネルの測定値には、ADC 後段の LPF が適用されます。LPF は低カットオフ周波数 (f_{cutoff}) です。カットオフ周波数 (f_{cutoff}) の設定オプションは 7 種類あります。カットオフ周波数は 6.5Hz、13Hz、26Hz、53Hz、111Hz、240Hz、および 600Hz から選択でき、ADC_CONF1[LPF_VCELL2:0] 設定によって構成できます。 f_{cutoff} 値を選択し、ADC_CTRL1[LPF_VCELL_EN] = 1 を設定して LPF を有効にすると、同じ f_{cutoff} 設定がすべての VC チャンネル測定に適用されます。

このデジタル LPF は単極フィルタとして実装されており、その応答特性はアナログ RC 回路と非常によく似ています。これは、デジタル LPF が有効なフィルタリング結果を生成するためには、メイン ADC が連続モードで動作している必要があることを意味します。

マイコンは、入力 DC 電圧レベルにステップ変化がある場合のデジタル フィルタのセトリング タイムを考慮する必要があります。以下の式は、VC 電圧がステップ状に変化した際に、デジタル フィルタの出力が所定のセトリング精度に到達するまでのセトリング タイムを概算するためのものです。

デジタル フィルタのセトリング タイムは、以下の式により近似的に求めることができます。 $\{[\log_{10}(\text{セトリング精度スレッショルド [mV]} / \text{入力電圧ステップ [mV]})] \div [\log_{10}(1 - \text{フィルタ係数})] - 1\}$ に 0.192ms を乗じた値

Fcutoff (Hz)	600	240	111	53	26	13	6.5
フィルタの係数	0.5	0.25	0.125	0.0625	0.03125	0.015625	0.007813

例: VC が 15mV ステップで、ユーザーは 26Hz の LPF 設定により、入力ステップから 1 LSB 以内の範囲で、約 27ms のセトリング タイムを対応する必要があります。

LPF が無効状態から有効状態に切り替わると、まず最初の入力値をそのまま取り込み、その値を初期値としてフィルタ処理を開始します。0V や中間レベルの電圧から開始する方式と比較して、この実装ではメイン ADC および LFP の起動直後におけるセトリング タイムを短縮できます。

7.3.2.1.1.4 BBP と BBN の測定

BBP ピンと BBN ピンは、メイン ADC からバスバーを測定するための入力です。BB チャンネルの目的は、図 7-5 に示す例のように、システムがバスバーをセルと単一の VC チャンネルで共有できるようにすることです。したがって、VC 入力と同様に、BBP/N 入力にもフロントエンド回路として BCI、レベル シフタ、および AAF フィルタが備わっています。差動 BB

チャンネル測定には、ADC 後のデジタル LPF をパススルーするオプションもあります。VC チャンネルと同じカットオフ周波数 (f_{cutoff}) オプションが用意されており、ADC_CONF1[LPF_BB2:0] および ADC_CTRL1[LPF_BB_EN] による別個の設定および有効化制御を使用します。

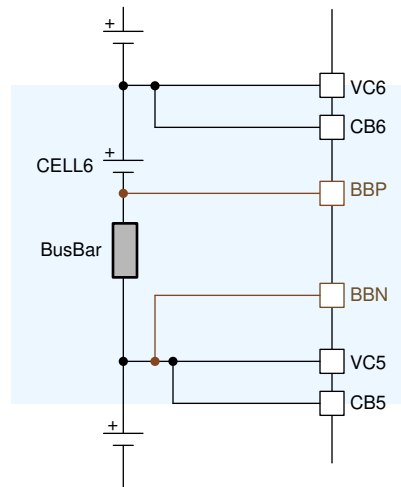


図 7-5. BBP と BBN の接続の簡素化

BB チャンネルの測定値は、BUSBAR_HI (上位バイト) および BUSBAR_LO (下位バイト) レジスタで通知されます。デジタル LPF が無効な場合、結果レジスタには単一の ADC 変換値が格納されます。一方、有効な場合は、フィルタ処理後の測定値が結果として報告されます。図 7-5 で、実際の Cell6 測定を得るため、マイコンは (VCELL6_HI/LO 測定 – BUSBAR_HI/LO 測定) の差を取得します。BBP ピンと BBN ピンを使用しない (フローティング) 場合、BUSBAR_HI/LO レジスタの値は意味がありません。マイコンは、これらのレジスタ値を無視します。

7.3.2.1.2 温度測定

7.3.2.1.2.1 DieTemp1 の測定

ダイ温度センサには、DieTemp1 と DieTemp2 の 2 つがあります。DieTemp1 はメイン ADC に配線されており、メイン ADC のゲインおよびオフセット補正にも内部的に使用されます。測定値は、DIETEMP1_HI (上位バイト) および DIETEMP1_LO (下位バイト) レジスタで通知されます。0°C 測定値は 16 進値の 0x0000h に対応しているため、正の値は正の温度を、負の値は負の温度を表します。測定値は、200°C および -100°C の上下限が設定されています。

7.3.2.1.2.2 GPIO と TSREF の測定

8 つの GPIO があります。すべての GPIO 入力、温度測定用のサーミスタ接続に使用でき、シンプルなシングルエンド電圧入力測定用としても使用できます。

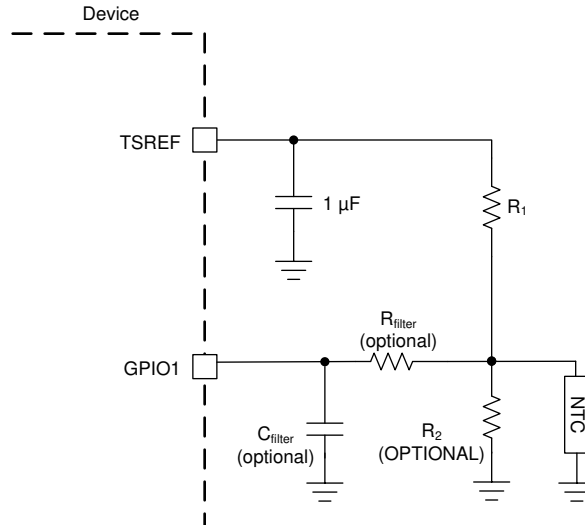


図 7-6. サーミスタ接続

図 7-6 に、サーミスタ測定用に GPIO を有効にした場合のサーミスタ回路を示します。マイコンは、測定値を取得する前に、`CONTROL2[TSREF_EN] = 1` を設定することで TSREF が有効になり、安定していることを確認します。

GPIO は、メイン ADC マルチプレクサ入力の 1 つに多重化されます。つまり、1 回のラウンド ロビン サイクルでは 1 つの GPIO だけが測定されます。8 つの GPIO 測定すべてを完了するには、8 回のラウンド ロビン サイクルが必要です。

ADC 測定用に GPIO を有効にするには、対応する `GPIO_CONFn[GPIO*2:0]` (ここで、対応する GPIO の $n = 1 \sim 4$ 、 $* = 1 \sim 8$) レジスタを ADC 入力または ADC および OTUT 入力に構成します。例えば、ADC 測定用にのみ GPIO1 を有効にするには、`GPIO_CONF1[GPIO12:0]` を ADC 入力に設定します。詳細については、[セクション 7.3.5](#) を参照してください。GPIO が ADC 測定用に構成されていない場合、デバイスは対応する GPIO スロットを無視しますが、ラウンド ロビン サイクルからスロットは削除されません。GPIO2 が ADC 以外の測定用に構成されている場合の例については、[図 7-7](#) を参照してください。

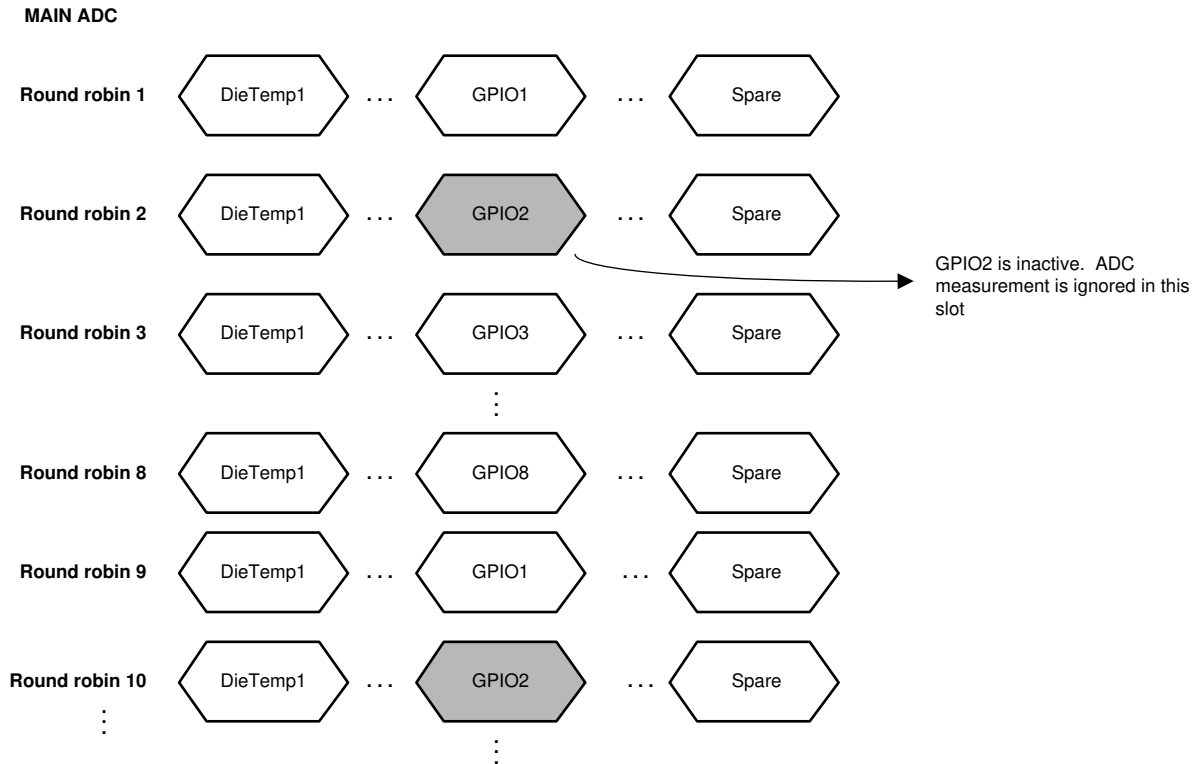


図 7-7. GPIO2 が ADC 測定用に構成されていない場合

測定値は、対応する GPIO*_HI (上位バイト) および GPIO*_LO (下位バイト) レジスタで通知されます。ここで、* = 1 ~ 8 です。測定結果は μV 単位です。温度精度を向上させるため、マイコンは、TSREF と GPIO の両方の測定値を使用したレシオメトリック測定を行い、次の式が適用されます。 $(\text{GPIO_ADC} / \text{TSREF_ADC}) = \text{RNTC} / (\text{RNTC} + \text{R1})$ 、ここで

- GPIO_ADC = GPIO の ADC 測定値
- TSREF_ADC = TSREF の ADC 測定値
- RNTC = NTC サーミスタの抵抗
- ACTIVE_CELL レジスタ: 非アクティブな VC チャンネルを判別し、結果レジスタをデフォルト値 0x8000 のままにします。
- R1 は、図 7-6 に示すプルアップ抵抗で、R2 は使用しないと仮定しています

GPIO が非アクティブ チャンネルの場合、それぞれの _HI および _LO レジスタはデフォルト値 0x8000 のままになります。

7.3.2.1.3 メイン ADC 動作制御

7.3.2.1.3.1 動作モードとステータス

メイン ADC を始動させるために、ホスト マイコンは ADC_CTRL1[MAIN_GO] = 1 を設定します。デバイスが GO コマンドを受信すると、まず次の設定をサンプリングしてメイン ADC の構成を判別し、それに応じてメイン ADC を動作させます。以下の設定を変更した場合、新しい設定を反映するために、マイコンから再度 GO コマンドを送信する必要があります。

- ADC_CTRL1[MAIN_MODE1:0]: 3 つの実行モード。詳しくは、表 7-2 を参照してください。
- ADC_CTRL1[LFP_VCELL_EN]: VC チャンネルの LPF。有効になっている場合、ADC_CONF1[LFP_VCELL2:0] f_{cutoff} に設定します。
- ADC_CTRL1[LFP_BB_EN]: BB チャンネルの LPF。有効になっている場合、ADC_CONF1[LFP_BB2:0] f_{cutoff} に設定します。

- ADC_CONF2[ADC_DLY5:0]:メイン ADC の始動を遅延させます。デジタイゼーション接続されたデバイス間で ADC の始動時間を揃えるために使用します。
- ACTIVE_CELL レジスタ:非アクティブな VC チャンネルを判別し、結果レジスタをデフォルト値 0x8000 のままにします。
- GPIO_CONF1 ~ GPIO_CONF4: 非アクティブな GPIO チャンネルを判別し、結果レジスタをデフォルト値 0x8000 のままにします。
- MAIN_ADC_CAL1、MAIN_ADC_CAL2、CS_ADC_CAL1、CS_ADC_CAL2、ADC_CTRL1[CS_DR] レジスタ

注

LPF フィルタを有効にしてメイン ADC を使用していて、ADC リセットが必要な場合は、内部 LPF バッファの再初期化が必要なため、メイン ADC を再度動作させる前に、LPF_VCELL_EN ビット、LPF_BB_EN ビット、および MAIN_GO ビットを 0 に設定し、再度 1 に設定することが重要です。この手順が省略された場合、次のメイン ADC アクティブ化の時に LPF_FAIL ステータス ビットが発生する可能性があります。

メイン ADC のステータスを示す 2 つのステータス ビットがあります。

- DEV_STAT[MAIN_RUN]:メイン ADC が動作しているかどうかを示します。
- ADC_STAT1[DRDY_MAIN_ADC]:少なくとも 8 ラウンド ロビン サイクルが完了したときに設定され、すべてのアクティブな GPIO チャンネルと他のすべてのメイン ADC 入力において少なくとも 1 回の測定が完了したことを示します。

表 7-2. メイン ADC 実行モードの概要

[MAIN_MODE1:0]	実行モード	説明
0b00	メイン ADC を停止	メイン ADC を停止します
0b01	8 RR 動作 (8 ラウンド ロビン サイクル)	メイン ADC は 8 ラウンド ロビン サイクルにわたって動作した後、停止します。これにより、すべてのセル電圧と、システムへのすべての GPIO 入力において単一の測定値が得られます。フィルタされた測定値は、実行モードでは有効ではありません。例えば、システムのアイドル状態でマイコンが定期的にウェークアップする場合、高速バースト読み取りとして使用します。
0b10	連続動作	メイン ADC は連続モードで動作し、[MAIN_MODE1:0] = 0b00 で GO が送信されると停止します。例えば、LPF が有効になっている場合は、このモードを使用する必要があります。診断動作にも使用します。

デバイスが ACTIVE モードに移行すると、ACTIVE_CELL[NUM_CELL3:0] で指定されたチャンネル数に対してレベル シフトが有効になります。マイコンは、デバイスが ACTIVE モードに移行するたびに、または [NUM_CELL3:0] 設定が変更された場合に、メイン ADC を始動させる前に t_{AFE_SETTLE} の間待機します。

メイン ADC は、ACTIVE モードでのみ動作します。ADC の動作中にデバイスが SLEEP 状態に移行すると、メイン ADC は「フリーズ」状態になります (つまり、ADC は停止しますが、デバイスは動作状態を保持します)。デジタル リセット イベントが発生せずに本デバイスが ACTIVE モードに戻ると、メイン ADC は再始動し、「フリーズ前」の状態から続行します。この状況では、ADC への入力電圧はまだ安定していないため、 t_{AFE_SETTLE} の間、セル電圧の測定はオフになります。マイコンはこれらの測定値を無視するか、 t_{AFE_SETTLE} の後に新しい GO コマンドを送信してメイン ADC を再始動できます。

7.3.2.2 AUX ADC

AUX ADC (図 7-8) には、合計 24 個の入力 (スロット) が多重化されています。すべての入力はラウンド ロビン方式で測定されます (図 7-9)。各入力が 8 μ s (公称) で測定され、1 回のラウンド ロビン サイクルが 192 μ s (公称) で完了します。AUX ADC への入力は次のとおりです。

- ダイ温度 2
- 多重化された差動 CB_{n-1} から CB_n へ (AUXCELL1 ~ AUXCELL16)。ここで、 $n = 1 \sim 16$ 、および BBP ~ BBN ピンを経由した差動バス バイ入力。
- その他の測定:
 - BAT ピン

- REFL、内部リファレンス
- VBG2、内部バンドギャップ
- VCM、メイン ADC の同相電圧
- AVAO_REF、常時オンのブロック リファレンス
- AVDD_REF
- OV プロテクタからの OV DAC
- UV プロテクタからの UV DAC
- UV プロテクタからの VCBDONE DAC
- OT プロテクタからの OT または OTCB DAC
- UT プロテクタからの UT DAC
- GPIO1 ~ GPIO8 の多重化
- スペア (RSVD)

すべての測定値は、2 の補数形式の 16 ビット 16 進数で通知されます。結果は、対応する *_HI (上位バイト) および *_LO (下位バイト) レジスタに通知されます。まず、16 進数の結果を 10 進数に変換します。表 7-3 の式に従って、結果を μV または $^{\circ}\text{C}$ に変換します。

AUX ADC が有効の場合、表 7-3 に示すすべての AUX ADC 関連結果レジスタはデフォルト値 0x8000 にリセットされます。AUX ADC はラウンド ロビン サイクルに従って変換を行うと、測定結果が結果レジスタに格納されます。マイコンが *_HI レジスタを読み取ると、デバイスは、その *_LO レジスタが読み取られるまで、関連する *_LO レジスタへのデータリフレッシュを一時停止します。

表 7-3. AUX ADC 測定変換式

AUX ADC 入力	結果レジスタ	変換式
ダイ温度 2	DIETEMP2_HI/LO	$^{\circ}\text{C} = V_{\text{LSB_AUX_DIETEMP2}} \times 10$ 進数の結果 注: 0x0000h は 0°C に対応する値です。
AUXCELL1 ~ AUXCELL16、BB チャネルの多重化	AUX_CELL_HI/LO (CB マルチプレクサが単一チャネルに固定されている場合)	μV 単位の結果 = $V_{\text{LSB_ADC}} \times 10$ 進数の結果
BAT	AUX_BAT_HI/LO	μV 単位の結果 = $V_{\text{LSB_AUX_BAT}} \times 10$ 進数の結果
REFL	AUX_REFL_HI/LO	μV 単位の結果 = $V_{\text{LSB_AUX_DIAG}} \times 10$ 進数の結果
VBG2	AUX_VBG2_HI/LO	
VCM	AUX_VCM_HI/LO	
AVAO_REF	AUX_AVAO_REF_HI/LO	
AVDD_REF	AUX_AVDD_REF_HI/LO	
OV DAC	AUX_OV_DAC_HI/LO	
UV_DAC	AUX_UV_DAC_HI/LO	
VCBDONE DAC	AUX_VCBDONE_DAC_HI/LO	
OT または OTCD DAC	AUX_OT_OTCD_DAC_HI/LO	
UT DAC	AUX_UT_DAC_HI/LO	
GPIO1 ~ GPIO8 の多重化	AUX_GPIO_HI/LO	μV 単位の結果 = $V_{\text{LSB_GPIO}} \times 10$ 進数の結果

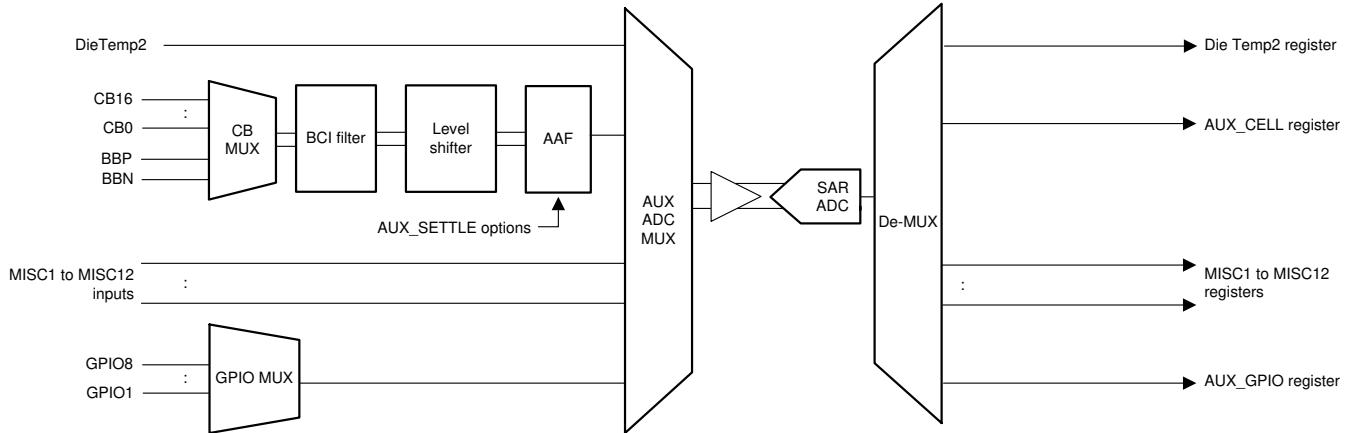


図 7-8. AUX ADC 測定パス

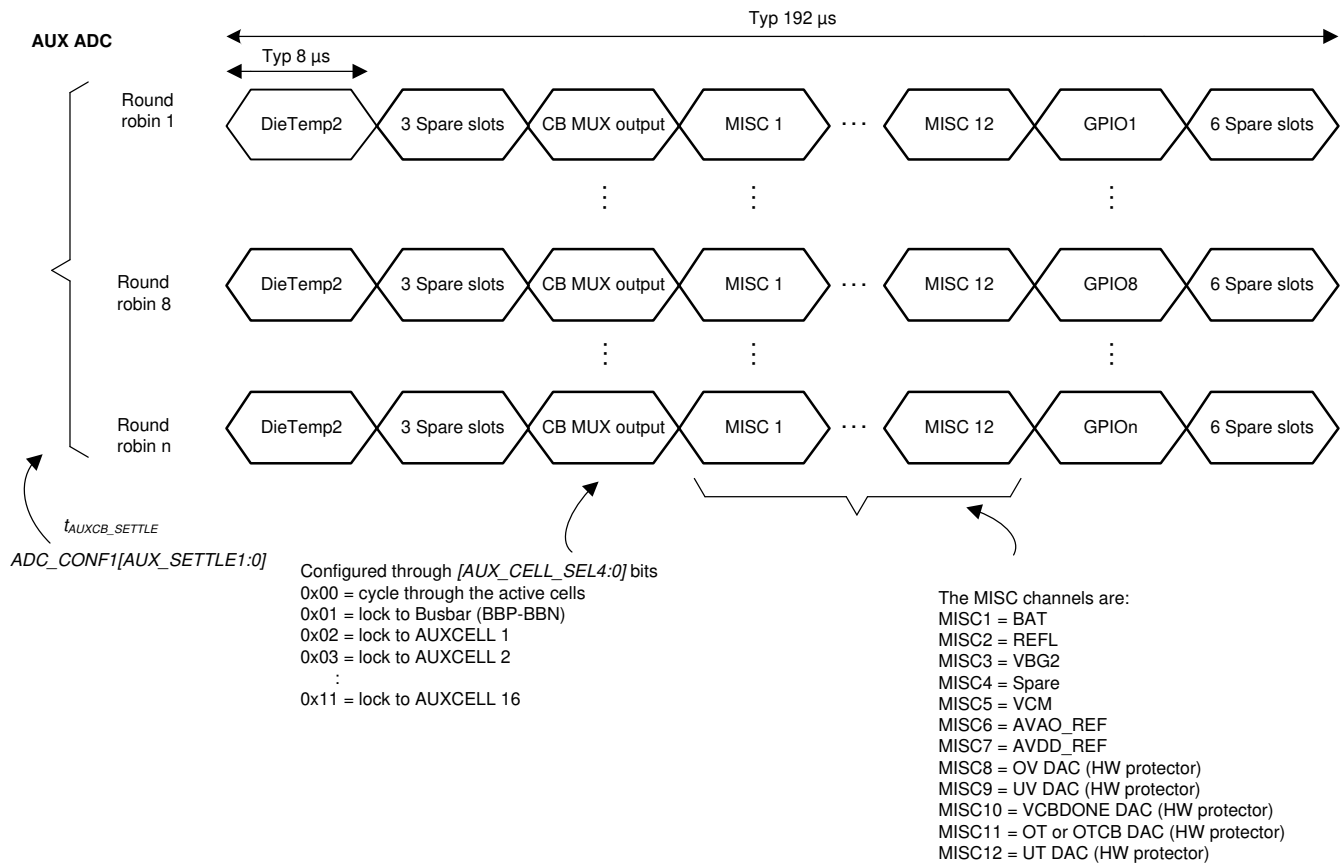


図 7-9. AUX ADC ラウンド ロビン測定

7.3.2.2.1 AUX セルの電圧測定

7.3.2.2.1.1 AUX アナログフロントエンド

AUX ADC パスは、セル電圧測定とバスバー測定におけるメイン ADC 測定の冗長パスとして機能します。AAF フィルタと BCI フィルタのフロントエンドフィルタも AUX ADC パスに搭載されています。AUX パス内の AUXCELL チャンネルおよび差動 BB チャンネル (BBP および BBN ピンから取得) は多重化されており、単一の BCI フィルタおよび AAF フィルタを共有します (図 7-8 の CB マルチプレクサを参照)。フロントエンドフィルタ後の CB マルチプレクサ出力は AUX ADC マルチプレクサの 1 つに入力され、測定のために AUX ADC に入力されます。

フロント エンド フィルタが共有されているため、デバイスは有効な CB チャンネル (AUXCELL) または BBP と BBN のチャンネル測定を行う前に、AAF フィルタが安定するのを待つ必要があります。デフォルトの AAF f_{cutoff} は 1.64kHz です。この場合、1 つの CB または BB チャンネル測定の完了には追加で 4.3ms のセトリング タイムが発生します。このデバイスには、ADC_CONF1[AUX_SETTLE1:0] ビットで構成された 3 つの AAF セトリング タイムのオプション (4.3ms (デフォルト)、2.3ms、1.3ms) があります。BCI フィルタの f_{cutoff} は、メイン ADC パスと同じく 100kHz です。

注

AUX ADC で最高の測定精度を実現するため、新しい CB チャンネルが AUX_CELL_SEL ビットによってロックされるたびに ADC をリセットすることを推奨します。これにより、同相モード誤差キャリブレーション ルーチンが確実に再実行され、測定結果の同相モード誤差が補正されます。

7.3.2.2.1.2 CB および BB チャンネルの測定

AUX ADC のラウンド ロビン サイクルでは、CB MUX 出力スロットが一つ割り当てられています。このスロットは、CB チャンネル (差動入力 $CB_{n-1} - CB_n$, $n = 1 \sim 16$)、BB チャンネル (差動入力 BBP – BBN)、および の測定に使用されます。これらのチャンネルは、AUX ADC マルチプレクサの単一入力へ多重化されているためです。単一の CB または BB チャンネル測定では、デバイスが AAF セトリングタイムを待つ必要があるため、複数のラウンドロビン サイクルが必要です。

AAF が安定するまで待つ必要があるため、AUX ADC はアクティブでマイコンによって選択される CB および BB チャンネルのみを測定します。非アクティブまたは選択されていないチャンネルはスキップされます。

有効な CB チャンネルは、ACTIVE_CELL[NUM_CELL3:0] の設定によって決まります。これらのビットは、アクティブなチャンネル番号の最大値を設定します。例えば、14S 構成のバッテリーがデバイスに接続されている場合、マイコンが ACTIVE_CELL[NUM_CELL3:0] を 14S に設定すると、デバイスは CB チャンネル 1 ~ 14 を有効と見なします。CB チャンネル 15 および 16 は無効となり、AUX ADC による測定対象から除外されます。

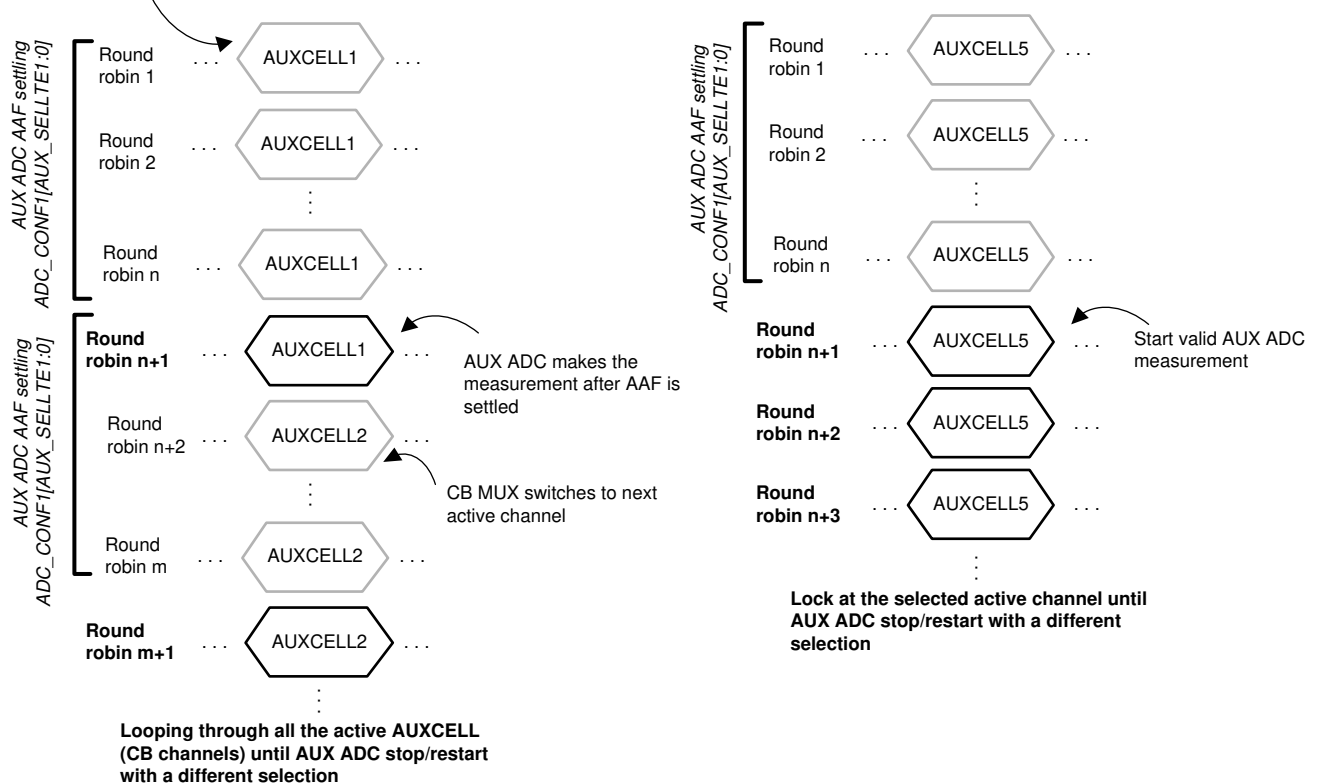
AUX ADC を使用して測定する、どの CB と BB チャンネルをマイコンが制御することができます。ADC_CTRL2[AUX_CELL_SEL4:0] では、すべての有効な CB チャンネルおよび BB チャンネルを順次切り替えて測定するか、特定の CB チャンネルに固定するか、または BB チャンネルに固定するかのオプションを選択できます。[図 7-10](#) には、[AUX_CELL_SEL4:0] の設定ごとに AUXCELL スロットがどのように動作するかのを示しています。

AUX ADC を連続モードで動作させ、すべての有効な CB チャンネルを AUX ADC で一巡測定させることを推奨します。これにより、デバイスは AUX ADC 測定の同相誤差を低減できます。マイコンは、ADC 比較に関連する診断を実行する前、または単一の CB または BB チャンネル測定にロックする前に、この手順を実行する必要があります。

AUX ADC 経路には、ADC 後段の LPF はありません。診断中に AUX ADC の測定値を使用する場合、AUX CELL (CB チャンネル) の測定値が、メイン ADC の事前フィルタ処理された測定値と比較されます。デバイスは VCELL (Main ADC の測定値) と AUX CELL (AUX ADC の測定値) の比較を内部で実行しますが、AUX BB の比較はホスト側で実行する必要があります。詳細については、[セクション 7.3.6.4](#) を参照してください。

デバイスは、[AUX_CELL_SEL4:0] ビットを設定して単一の CB チャンネル (有効なチャンネルであること) または BB チャンネルに固定した場合にのみ、CB または BB チャンネルの測定結果を読み取り可能にします。測定値は、AUX_CELL_HI (上位バイト) レジスタと AUX_CELL_LO (下位バイト) レジスタで通知されます。結果レジスタは、AAF のセトリング タイム経過後に更新されます。非アクティブな CB チャンネルへの固定選択を含むその他すべての条件では、結果レジスタはデフォルト値の 0x8000 のままとなります。

CB MUX stays at the selected channel for the AUX ADC AAF settling time, but the measurement during this time is discarded



(a) [AUX_CELL_SEL4:0] = loop through all active CB channels

(b) [AUX_CELL_SEL4:0] = Lock to CB channel 5 (AUXCELL5)

図 7-10. 各 [AUX_CELL_SEL4:0] 設定における CB MUX 出力スロットの動作

7.3.2.2.2 AUX 温度の測定値

7.3.2.2.2.1 DieTemp2 の測定

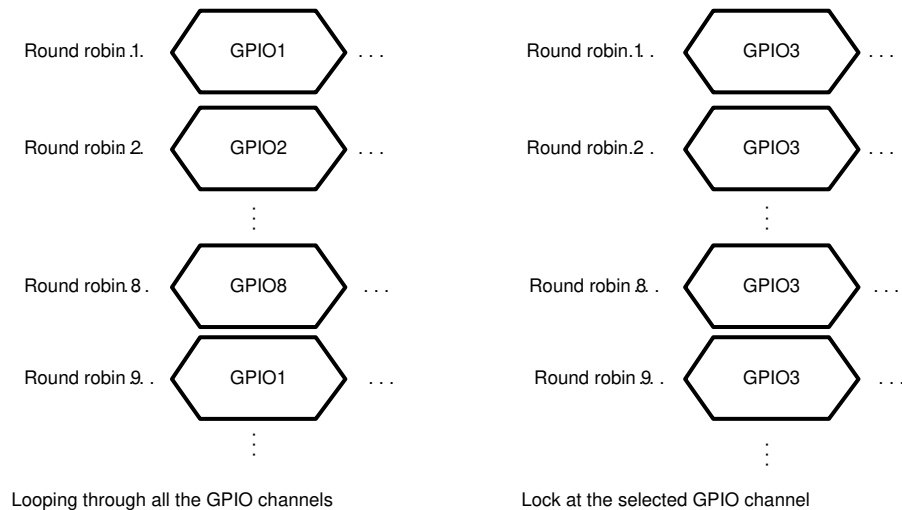
ダイ温度センサは、DieTemp1 と DieTemp2 の 2 つを搭載しています。DieTemp2 は AUX ADC に接続されており、内部で AUX ADC のゲイン補正およびオフセット補正にも使用されます。測定値は、DIETEMP2_HI (上位バイト) および DIETEMP2_LO (下位バイト) レジスタで通知されます。0°C 測定値は 16 進値の 0x00 に対応しているため、正の値は正の温度を、負の値は負の温度を表します。測定値は、200°C および -100°C の上下限が設定されています。

7.3.2.2.2.2 AUX GPIO 測定値

AUX GPIO パスは、メイン GPIO パスと同じです。八个の GPIO はすべて、一つの AUX ADC MUX 入力に多重化されています。AUX ADC のラウンド ロビン サイクルには一つの GPIO スロットのみがあります。つまり、一回の AUX ADC ラウンド ロビン サイクルでは、一つの GPIO のみが測定されます。八个すべての GPIO の測定を完了するには、八回のラウンド ロビン サイクルが必要です。GPIO がサーミスタ ネットワークに接続されている場合、マイコンは CONTROL2[TSREF_EN] = 1 に設定することで TSREF を有効にし、AUX ADC 測定を開始する前に TSREF が安定していることを確認します。

AUX ADC が有効な場合、一回目のラウンド ロビン サイクルでは GPIO スロットとして GPIO1 が測定され、二回目のラウンド ロビン サイクルでは GPIO3 が測定され、以降も同様に続きます。AUX ADC が GPIO を測定するには、対応する GPIO チャネルの GPIO_CONFn[GPIO*2:0] ビット (n = 1 ~ 4, * = 1 ~ 8) において、その GPIO が「ADC 入力」または「ADC 入力兼 OTUT 入力」に設定されている必要があります。詳細については、[セクション 7.3.5](#) を参照してください。GPIO が ADC 測定用として有効化されていない場合、デバイスは対応する GPIO スロットをスキップしますが、そのスロット自体は AUX ADC のラウンド ロビン サイクルから削除されません。

デフォルトでは、すべての GPIO チャンネルを経由して AUX ADC がループし、測定値は結果レジスタに通知されません。ただし、マイコンが単一の GPIO チャンネルに固定した場合、GPIO の測定値は AUX_GPIO_HI (上位バイト) レジスタおよび AUX_GPIO_LO (下位バイト) レジスタに格納されます。このチャンネル ロックは、ADC_CTRL3[AUX_GPIO_SEL3:0] ビットで設定できます。[AUX_GPIO_SEL3:0] が単一 GPIO チャンネル固定に設定されている場合にのみ、結果レジスタには GPIO 測定値が格納されます。それ以外の条件では、デフォルト値の 0x8000 が表示されます。



(a) [AUX_GPIO_SEL3:0] = loop through all GPIO channels

(b) [AUX_GPIO_SEL3:0] = Lock to GPIO3

図 7-11. 異なる [AUX_GPIO_SEL3:0] 設定の GPIO スロット

7.3.2.2.3 MISC 測定

AUX ADC セクションの冒頭には、12 種類の MISC 測定項目が記載されています。AUX ADC が有効になると、これらの入力はラウンド ロビン サイクルごとに測定されます。表 7-3 に、対応する結果レジスタを示します。

OVUV プロテクタおよび OTUT プロテクタの DAC 入力、デバイスのリアルタイム DAC 値を反映しており、プロテクタで現在使用されている OVUV および OTUT の検出スレッショルドまたは復帰スレッショルドを示します。未使用チャンネルが存在する場合や、いずれかのセル チャンネルまたは GPIO チャンネルで故障が検出された場合、DAC 測定値が変化することは正常な動作です。プロテクタのアーキテクチャについてはセクション 7.3.4 を参照し、プロテクタ DAC の測定構成についてはセクション 7.3.6.4 を参照してください。

7.3.2.2.4 AUX ADC 動作制御

AUX ADC を開始するため、ホスト マイコンは ADC_CTRL3[AUX_GO] = 1 に設定します。デバイスが GO コマンドを受信すると、まず以下の設定をサンプリングして AUX ADC の構成を決定した後、それに応じて AUX ADC を動作させます。以下の設定を変更した場合、新しい設定を反映するには、マイコンから再度 GO コマンドを送信する必要があります。

- ADC_CTRL3[AUX_MODE1:0]: 4 つの実行モード。詳しくは、表 7-4 を参照してください。
- ADC_CTRL2[AUX_CELL_SEL4:0]: AUX ADC で測定される CB チャンネルを選択します。
- ADC_CONF1[AUX_SETTLE1:0]: AUX ADC AAF セトリング タイムを設定します。
- ADC_CTRL3[AUX_GPIO_SEL3:0]: AUX ADC で測定される GPIO チャンネルを選択します。
- ACTIVE_CELL レジスタ: 非アクティブな CB チャンネルを決定します。
- GPIO_CONF1 ~ GPIO_CONF4: 非アクティブな GPIO チャンネルを決定します。

AUX ADC ステータスを示す 4 つのステータス ビットがあります。

- DEV_STAT[AUX_RUN]: AUX ADC が動作しているかどうかを示します。
- ADC_STAT1[DRDY_AUX_MISC]: すべての MISC 入力が少なくとも 1 回測定されるときに設定されます。
- ADC_STAT1[DRDY_AUX_CELL]: [AUX_CELL_SEL4:0] で選択された CB または BB チャネルが少なくとも 1 回測定される場合に設定されます。
- ADC_STAT1[DRDY_AUX_GPIO]: すべての GPIO チャネル (アクティブまたは非アクティブ) が 1 回測定されたときに設定されます。非アクティブなチャネル測定は、デバイスによって無視されます。

表 7-4. AUX ADC 実行モードの概要

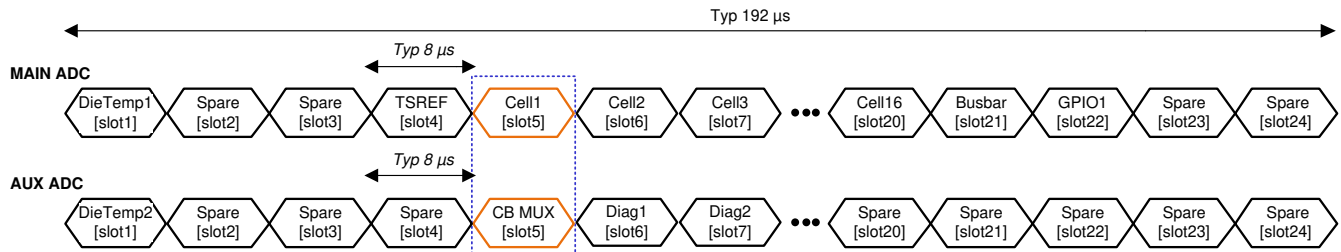
[AUX_MODE1:0]	実行モード	説明
0b00	AUX ADC を停止します	AUX ADC を停止します
0b01	1 回の実行 (1 ラウンド ロビン サイクル)	AUX ADC は、1 ラウンド ロビン サイクル実行した後には停止します。これにより、すべての MISC 入力での単一の測定が行われます。たとえば、AUX ADC へ停止コマンドを発行する必要がないため、MISC 入力専用のクイック パースト読み取りとして使用できます。
0b10	連続動作	AUX ADC は連続モードで動作し、[AUX_MODE1:0] = 0b00 の状態で GO コマンドが送信されると停止します。たとえば、ADC 診断比較動作を使用する場合は、このモードを使用する必要があります。詳しくは、 セクション 7.3.6.4 を参照してください。
0b11	8 RR 動作 (8 ラウンド ロビン サイクル)	AUX ADC は 8 ラウンド ロビン サイクルにわたって動作した後、停止します。これにより、すべてのアクティブな GPIO 入力での単一の測定が行われます。

AUX ADC は、ACTIVE モードでのみ動作します。デバイスが SLEEP モードに移行している間に ADC が動作している場合、AUX ADC は「フリーズ」状態になります (つまり、ADC は停止しますが、デバイスは動作状態を保持します)。デジタルリセット イベントが発生せずに本デバイスが ACTIVE モードに戻ると、AUX ADC は再起動し、「フリーズ前」の状態から続行します。

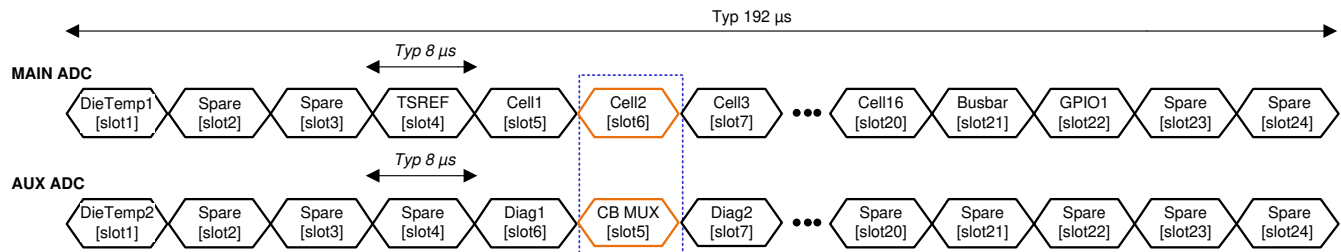
7.3.2.3 メイン ADC 測定と AUX ADC 測定間の同期

ADC_CTRL2 レジスタが AUX_CELL_ALIGN = 0x0 の場合、デバイスは AUX セル測定 (CB マルチプレクサのスロット 5) をメイン セルのターゲット VC チャネル スロットに連携します。DieTemp2 は遅延なしで起動し、AUX セル CB マルチプレクサ スロット 5 は、選択したメイン セルに合わせて動的に移動し、残りの AUX ADC スロットがそれに応じて調整されます。そのため、メイン VC と AUX CB の ADC サンプリングの間に時間スキューが発生しません。この機能は、ASIL-D の精度の大幅な向上に役立ちます。

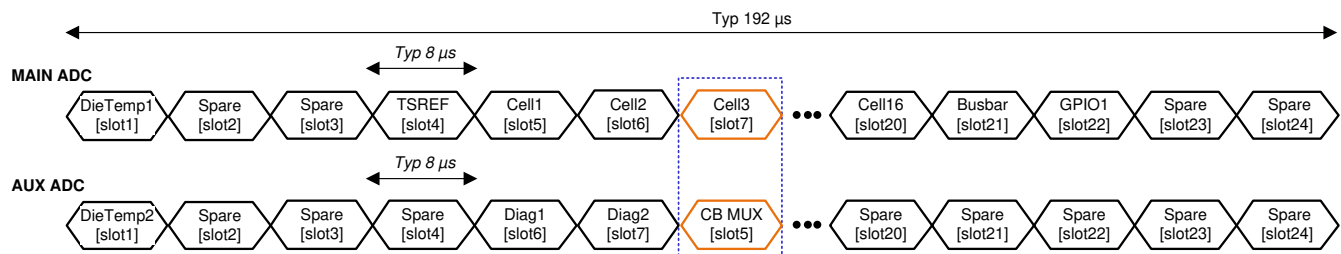
AUX_CELL_ALIGN = 0x1 の場合、動的連携は無効化され、AUX セル測定 (CB マルチプレクサ スロット 5) は常にメイン ADC セル 8 測定 (メイン ADC スロット 12) と連携します。



a) [AUX_CELL_SEL] = 00h – Running all active cell channels set by ACTIVE_CELL_CONF register. Ch1 conversion.



b) [AUX_CELL_SEL] = 00h – Running all active cell channels set by ACTIVE_CELL_CONF register. Ch2 conversion.



c) [AUX_CELL_SEL] = 04h – Lock to AUX CELL 3. Ch3 conversion.

図 7-12. メイン ADC サンプリングと AUX ADC サンプリング間の同期

7.3.3 セル バランシング

このデバイスは、パッシブ セル バランシングを実現するために、各 CB チャネルに内部セル バランシング MOSFET (CBFET) を内蔵しています。バランシング電流は、セル電圧、CB ピンに直列接続された外部抵抗、および内部 CBFET のオン抵抗 R_{dson} 、 R_{DSON} パラメータによって決まります。以下の式を用いると、隣接する CBFET がオンの場合とオフの場合の有効バランシング電流を計算できます。セル バランシングは、アクティブ モードまたはスリープ モードで動作できます。

- 連続 CBFET オンなしのバランシング (図 7-13 (a)): $I_{CB} = V_{Cell} / ((2 \times R_{CB}) + R_{dson_{QCB}})$
- 二つの連続した CBFET によるバランシング (図 7-13 (b)): $I_{CB} = (\text{二つの } V_{CELL} \text{ の合計}) / ((2 \times R_{CB}) + R_{dson_{QCBn}} + R_{dson_{(QCBn-1)}})$

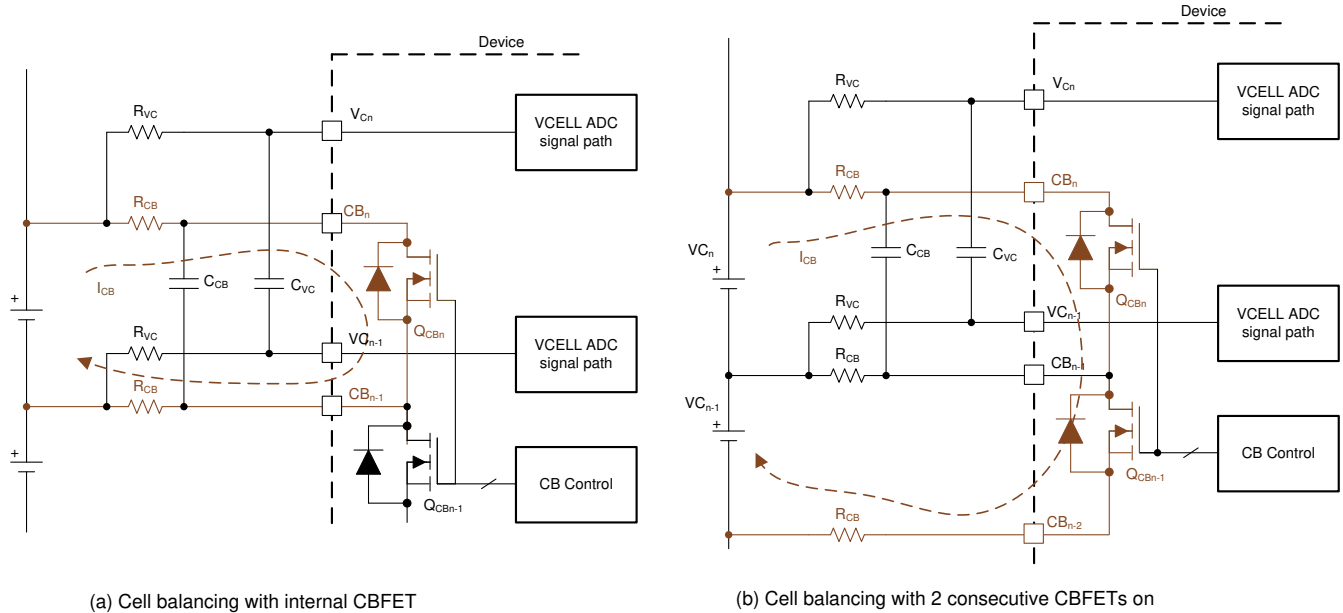


図 7-13. 内部セル バランシングとバランシング電流のフロー

7.3.3.1 セル バランシングの設定

セル バランシングを設定するには、3 つのステップがあります。各ステップについては、以下のサブセクションで詳しく説明します。ホスト マイコンは、セル バランシングを開始する前に、バランシング制御を設定するための手順に従います。バランシングを開始するには、まず $BAL_CTRL2[BAL_GO] = 1$ を設定します。 $BAL_STAT[CB_RUN] = 1$ は、セル バランシングがアクティブに動作していることを示します。 $ACTIVE_CELL[NUM_CELL3:0]$ で選択されていないチャンネルは、セル バランシング中はバイパスされることに注意してください。

1. セルバランシングを有効にするチャンネルを決定します。
2. セルバランシングの制御方式、つまり「自動」または「手動」のバランシング制御を選択します。
3. 追加の制御設定を決定します。
 - a. サーミスタ測定に基づく熱管理は有効にするか？
 - b. セル バランシングはセル電圧に基づいて停止するか？
 - c. マスクされていないフォルトが検出された場合、セル バランシングは終了するか？

7.3.3.1.1 ステップ1: バランシングチャンネルを決定する

このデバイスは、チャンネルごとに個別のバランシング タイマを備えています。バランシング タイマは、各チャンネルのセル バランシングを開始および停止するための主要な制御設定です。バランシング タイマは、 CB_CELL_CTRL レジスタによって設定されます。ここで、* は 1 ~ 16 を表し、CBFET 1 (CB チャンネル 1) から CBFET 16 (CB チャンネル 16) にそれぞれ対応します。これらのレジスタにゼロでない値があると、対応するチャンネルがバランシング用に設定されますが、マイコンが $BAL_CTRL2[BAL_GO] = 1$ を発行するまで、CBFET はオンになりません。チャンネル バランシング タイマが満了すると、そのチャンネルのセル バランシングが停止します。セル バランシングは、セル電圧が所定のスレッシュホールドを下回った場合、マスクされていない故障が検出された場合、またはホストによって強制停止された場合など、他の条件によっても停止することがあります。セル バランシング停止条件の要約を、[セクション 7.3.3.3](#) に示します。

7.3.3.1.2 ステップ2: バランシング制御方法の選択

セル バランシングは、構成すると自律的に動作します。セル バランシング制御は、 $BAL_CTRL2[AUTO_BAL]$ ビットを使用して二つの方法で構成できます。

- 自動バランシング制御 ($[AUTO_BAL] = 1$): この方法を用いることで、ホスト マイコンは任意のチャンネルでセル バランシングを有効にできます。ホストが $[BAL_GO] = 1$ を送信するとセルバランシングが開始され、デバイスは有効化され

ているすべての CBFET を奇数系統と偶数系統に分けて自動的にデューティ制御します。デューティサイクルは BAL_CTRL1[DUTY2:0] ビットによって設定されます。

- 事例 1: マイコンは、セルバランシングのために 16 チャンネルすべてを設定します。

Example: Both odd and even CB_CELL*_CTRL registers have non-zero setting

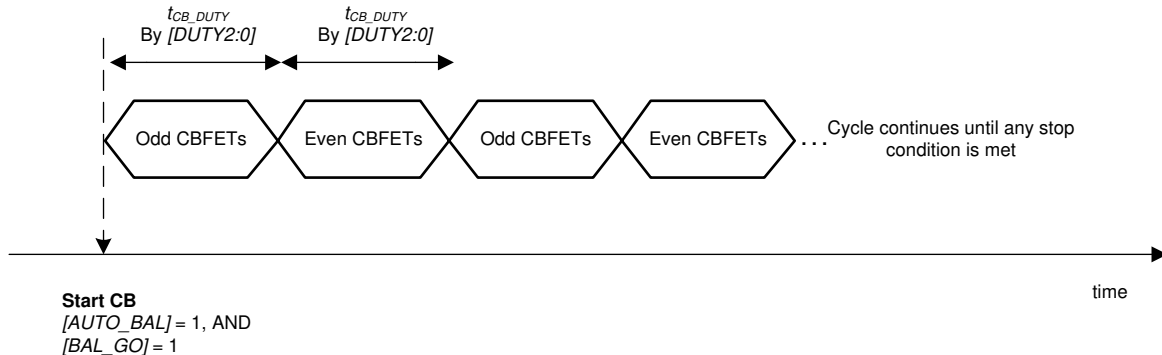


図 7-14. 自動バランシング制御、例 1

- 事例 2: マイコンは、セルバランシング専用として奇数チャンネルまたは偶数チャンネルを設定します。BAL_CTRL1[DUTY2:0] ビットの設定は、デバイスが奇数チャンネルと偶数チャンネルの間でスイッチングされないため、無効です。

Example: Odd CB_CELL*_CTRL registers have non-zero value
Even CB_CELL*_CTRL registers are all zero

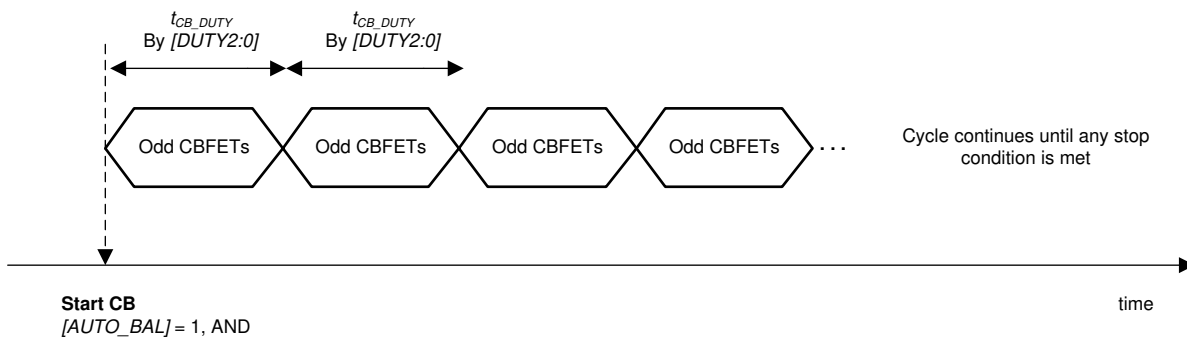


図 7-15. 自動バランシング制御、例 2

- 手動バランシング制御 ([AUTO_BAL] = 0): この方法では、[BAL_GO] = 1 を受信すると、デバイスはゼロ以外のバランシング タイマ設定を持つ CBFET をオンにします。この制御下では、セルバランシング中は奇数および偶数チャンネルのスイッチングは行われず、BAL_CTRL1[DUTY2:0] 設定は適用されません。この方法を用いることで、ホスト マイコンは連続する二つの CBFET を有効化でき、最大八個の CBFET を有効化できます。隣接する二つの CBFET が有効化され、両方のチャンネルがバッテリーセルに接続されている場合、隣接する CBFET が有効になっていない場合と比較して、バランシング電流は大きく異なります (図 7-13)。DEV_CONF[NO_ADJ_CB] ビットは、隣接チャンネルを用いたセルバランシングを意図していないシステムにおいて、隣接する CBFET が誤って有効化されることを防ぐためのビットが用意されています。この制御方式では、デバイスは適切なチャンネルを有効化することをマイコンに依存しています。マイコンが [BAL_GO] = 1 を送信しても、CBFET の有効化状態が無効な条件となっている場合、デバイスはバランシングを開始せず、BAL_STAT[INVALID_CBCONF] = 1 をセットします。無効な構成は次のいずれかです。
 - 八つ以上のチャンネルがバランシング用にイネーブルされています (八つを超える CB_CELL*_CTRL レジスタの設定はゼロ以外です)、
 - DEV_CONF[NO_ADJ_CB] = 1、ただし隣接チャンネルはバランシング用に有効です、
 - DEV_CONF[NO_ADJ_CB] = 0、ただし、セルバランシングのために二つ以上の連続するチャンネルが有効化されている場合:
 - 例: CBFET 1、2、4、5、7、10、12、および 14 を有効化することは有効です。
 - 例: CBFET 1、2、および 3 を有効化する設定は無効です。

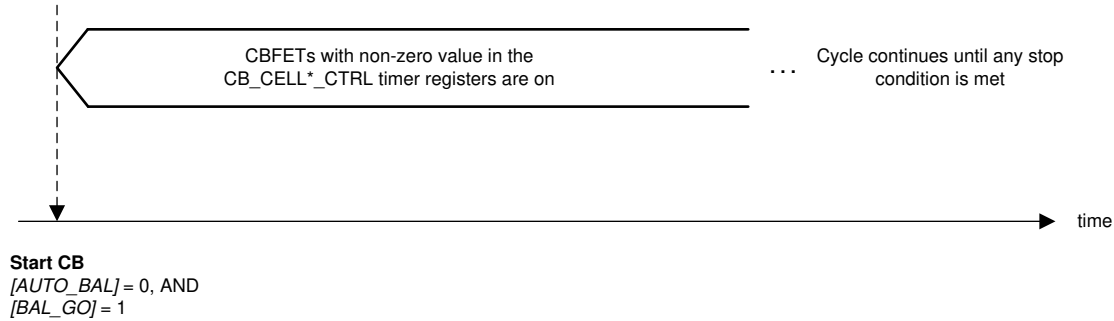


図 7-16. 手動バランシング制御

7.3.3.1.3 ステップ 3a : バランシングによる熱管理

パッシブ バランシングでは、内部 CBFET および外部バランシング抵抗で熱が発生します。この結果、PCB 上にはデバイス実装領域とバランシング抵抗実装領域の 2 か所にホットスポットが形成されます。本デバイスは、周囲温度 75°C の条件下で最大 240mA に対応するよう設計されています。周囲温度が低いと、より大きなバランシング電流をサポートできます。

それでも、このデバイスには、ダイの過熱を防止するとともに、PCB 温度を管理するための二つの熱管理機能が搭載されています。これらの機能は、ダイ温度またはサーミスタ温度を監視し、温度が一時停止スレッシュホールドを超えた場合にセルバランシングを自動的に停止します。温度が復帰スレッシュホールドを下回ると、バランシングは自動的に再開されます。セルバランシングが一時停止状態では、すべてのバランシング タイマおよびバランシング設定が保持されます。デバイスが一時停止状態から復帰すると、同じ設定のままバランシングが再開されます。

- **CB TWARN バランシングの一時停止:** 内部 CBFET の近くには、ダイ温度センサが構築されています。[BAL_GO] = 1 が送信されると、これらの温度センサは有効になります。いずれかのセンサが T_{CB_TWARN} スレッシュホールド (公称 105°C) を上回るダイ温度を検出すると、すべてのチャンネルのバランシングが一時停止します。このデバイスは、 $BAL_STAT[CB_INPAUSE] = 1$ かつ $BAL_STAT[OT_PAUSE_DET] = 1$ を設定します。すべてのセンサがダイ温度 $< (T_{CB_TWARN} - T_{CB_HYS})$ を検出すると、バランシングが有効になったチャンネルでセル バランシングが再開されます。
- **サーミスタ OTCB バランシング一時停止:** 外部バランシング抵抗による温度上昇を管理するため、本デバイスには、GPIO に接続された有効なサーミスタのいずれかが $OTCB_THRESH[OTCB_THR3:0]$ で設定されたスレッシュホールドを超える温度を検出した場合、全チャンネルのセル バランシングを一時停止する機能があります。OTCB 検出がトリガされると、 $BAL_STAT[CB_INPAUSE] = 1$ かつ $BAL_STAT[OT_PAUSE_DET] = 1$ になります。有効なすべてのサーミスタが、 $(OTCB_THRESH[OTCB_THR3:0] + OTCB_THRESH[COOLOFF2:0])$ で設定される復帰スレッシュホールド未満の温度を検出すると、有効化されているすべてのチャンネルのバランシングが再開されます。OTCB 検出は、内蔵 OT プロテクタを使用して実行されます。プロテクタは、セル バランシングを開始する前にオンにしてラウンド ロビン モードで動作させる必要があります。保護装置の制御の詳細については、[セクション 7.3.4](#) を参照してください。OTCB 機能を使用するには、マイコンは以下の設定シーケンス状態に従います。
 - OT プロテクタを有効にする前:
 - この機能で使用する GPIO は、ADC 入力および OTUT 入力として設定されます。
 - [OTCB_THR3:0] と [COOLOFF2:0] が設定されます。
 - ラウンド ロビン モードで OT プロテクタを有効にします。
 - [OTCB_EN] と [BAL_GO] を 1 に設定します。

これに従わないと、OTCB が動作を一時停止したり、誤った温度で一時停止したりする可能性があります。OTCB スレッシュホールドまたは COOLOFF スレッシュホールドを変更する必要がある場合、マイコンは新しいスレッシュホールドを設定した後、OT 保護機能を再起動して新しい設定を反映させます。[BAL_GO] = 1 を再送信する必要はありません。

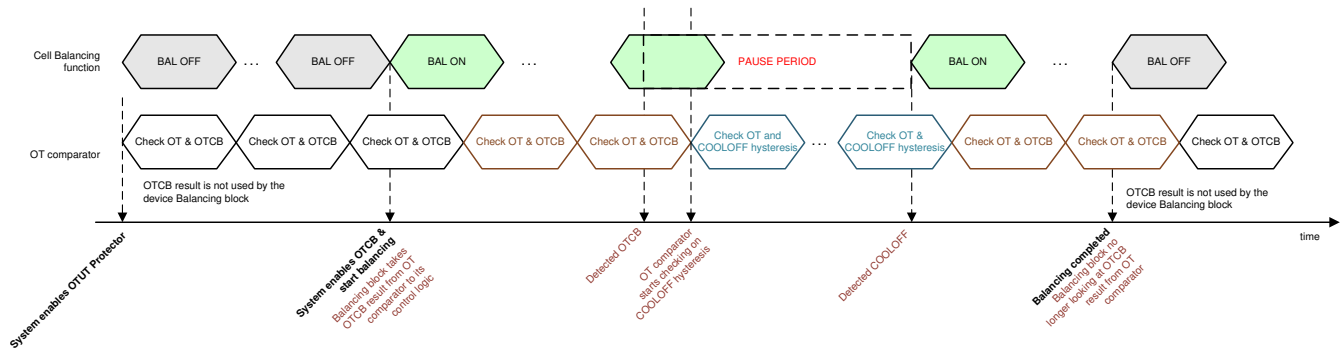


図 7-17. OTCB 検出によるセル バランシングの一時停止と再開

7.3.3.1.4 ステップ 3b : セル電圧スレッシュホールドで停止するオプション

バランシング タイマによる停止に加え、VCB_DONE_THRESH レジスタにゼロでない値が設定されている場合、チャネル電圧がスレッシュホールドを下回るとセル バランシングを停止できます。この停止電圧スレッシュホールドは、すべてのチャネルに適用されます。この停止オプションを使用すると、チャネルはバランシング タイマが満了するか、電圧レベルが VCB_DONE_THRESH のスレッシュホールドよりも小さい場合に、バランシングを停止します。

VCB_DONE_THRESH 設定の検出は、内蔵 UV プロテクタによって実行されます。プロテクタは、セル バランシングを開始する前にオンにしてラウンド ロビン モードで動作させる必要があります。保護装置の制御の詳細については、[セクション 7.3.4](#) を参照してください。

VCB_DONE 検出機能を使用する場合、マイコンは以下のセットアップ手順に従います。

- VCB_DONE_THRESH レジスタを設定します
- UV プロテクタをラウンド ロビン モードで有効化します
- [BAL_GO] を 1 に送信します

これを行わないと、VCB_DONE が正しく検出されない、または誤ったチャネル電圧でセル バランシングが停止する可能性があります。

異なる VCB_DONE スレッシュホールドが必要な場合、マイコンは新しいスレッシュホールド値を設定した後、UV プロテクタを再起動して新しい設定をラッチします。[BAL_GO] = 1 を再送信する必要はありません。

7.3.3.1.5 ステップ 3c : 故障時に停止するオプション

デバイスには、マスクされていない故障が検出された場合にセル バランシングを中止するオプションがあります。このオプションを有効化するため、セル バランシングを開始する前に、マイコンは BAL_CTRL2[FLTSTOP_EN] = 1 に設定します。この条件でセル バランシングが中止されると、BAL_STAT[ABORTFLT] = 1 になります。

7.3.3.2 スリープモードでのセル バランシング

セルバランシングは、アクティブ モードおよびスリープモードの両方で動作できます。スリープ モードでセル バランシングを実行するには、最初に構成してアクティブ モードでセル バランシングを開始します。セル バランシングが実行されたら、デバイスをスリープ モードにします。セル バランシングはスリープ モードでは自律的に継続します。デバイスをスリープ モードにする方法については、[セクション 7.4](#) を参照してください。

セル バランシングが完了し、BAL_STAT[CB_DONE] = 1 になった場合、BAL_CTRL2[BAL_ACT1:0] を使用してデバイスを別の電源モードへ移行させることができます。例えば、[BAL_ACT1:0] を 0b10 (シャットダウン モード) に設定してセル バランシングを開始した場合、バランシングが有効なすべてのチャネルでセルバランシングが完了すると、マイコンの介入なしにデバイスは自動的にシャットダウンモードへ移行します。複数のデバイスがデジタイゼーション構造で接続されている場合、あるデバイスではセルバランシングが完了していても、別のデバイスではまだ完了していないことがあります。このオプションを使用すると、一定期間、デバイスの電力状態が異なる場合があります。BAL_STAT[CB_DONE] ビットのセット条件の詳細については、[セクション 7.3.3.3](#) を参照してください。

7.3.3.3 セル バランシングの一時停止と停止

7.3.3.3.1 セル バランシング一時停止

セルバランシングは、次の三つの方法のいずれかで一時停止できます。

- バランシング中のダイ温度が T_{CB_TWARN} より大きい場合。
- いずれかのサーミスタが $OTCB_THR$ より高い温度を検出したときに、 $[OTCB_EN] = 1$ の場合。
- マイコンは $BAL_CTRL2[CB_PAUSE] = 1$ に設定します。

最初の二つの条件については、[セクション 7.3.3.1.3](#) で説明されています。三つ目の一時停止条件は、マイコンによって制御される一時停止動作であり、通常は CB 経路を使用する診断チェック時に用いられます。マイコンは、一度にバランシングを開始した後、いつでも $[CB_PAUSE]$ ビットを使用してセル バランシングを一時停止できます。

いずれの一時停止方法によってセル バランシングが一時停止された場合でも、その一時停止時の動作は同じです：

- すべてのチャネルの $CBFET$ をオフにします。
- すべてのバランシング タイマは保持状態、すなわち「フリーズ」状態となります。
- $BAL_STAT[CB_INPAUSE] = 1$ 。
- 一時停止状態でマスクされていない故障が検出されても、セル バランシングは終了しません。これは、一時停止イベントは診断中に使用でき、故障挿入が診断の一部になる可能性があるためです。

デバイスがセル バランシング一時停止状態を終了すると、セル バランシングは再開します。セルバランシング タイマは、カウントダウンを継続します。タイマにゼロ以外の値を持つ CB チャネルは、バランシングを続行します。

7.3.3.3.2 セル バランシングの停止

セル バランシングは、[表 7-5](#) にまとめられた 3 つの条件のいずれかで停止します。

表 7-5. セル バランシングの停止条件

停止条件	個々のチャネルに適用されるか？	$BAL_STAT[CB_DONE] = 1$ に設定するか？
セル バランシング タイマの期限が切れる	適用される。この停止条件はチャネルごとに監視されている	すべてのチャネルが停止条件 1 または 2 のいずれかを満たすときに設定する
CB チャネル電圧 < $V_{CB_DONE_THRESH}$ レジスタ値	適用される。この停止条件はチャネルごとに監視されている	
$[FLTSTOP_EN] = 1$ で、マスクされていないフォルトが検出される	適用されない。この場合、すべてのチャネルでセル バランシングを停止する	設定しない。代わりに $BAL_STAT[ABORTFLT] = 1$ に設定する

さらに、マイコンは以下のいずれかの方法で、特定のチャネルまたはすべてのチャネルでセル バランシングを強制的に停止することもできます。

- バランシング タイマ設定をゼロにし、 $[BAL_GO] = 1$ を発行します。
- $V_{CB_DONE_THRESH}$ レジスタの CB チャネル電圧より高い電圧を設定し、 $[BAL_GO] = 1$ を発行します。

セル バランシング タイマが、セル バランシングを開始するための主要な制御であるため、マイコンが $[BAL_GO] = 1$ であるすべてのバランシング タイマを 0 にリセットした場合、デバイスはバランシングを開始せず、 $BAL_STAT[CB_DONE]$ は 0 のままです。

一方、セル バランシング タイマのいずれかがゼロでないが、 $V_{CB_DONE_THRESH}$ レジスタが $[BAL_GO] = 1$ によって、すべての CB チャネル電圧より高いスレッショルドに設定されている場合、デバイスはバランシング タイマ上の値がゼロでないためセル バランシングを開始しますが、 $V_{CB_DONE_THRESH}$ 停止条件により直ちに停止します。この条件では、 $BAL_STAT[CB_DONE]$ が 1 に設定されます。

7.3.3.3.3 残り CB 時間

各チャネルにはバランシング タイマがあり、バランシング開始時には、タイマは CB_CELLn_CTRL レジスタで設定されたバランシング時間からカウントダウンを開始します ($n = 1 \sim 16$)。バランシングが一時停止すると、これらのタイマが一時停止します。

残りの CB 時間を読み出すには、マイコンが [BAL_TIME_SEL3:0] を設定して対象のチャネルを一つ選択し、その後 [BAL_TIME_GO] = 1 を設定します。すると、選択したチャネルの残り CB 時間が BAL_TIME レジスタにロードされます。この手順を繰り返して、他のチャネルの残り CB 時間を読み取ります。このタイマ情報は、CB が動作中である場合、一時停止状態にある場合、または有効な CB 停止状態にある場合にのみ有効です。

BAL_TIME レジスタが 0x7F または 0xFF を報告する場合、これは有効な値ではありません。これは、すべてのバランシング タイマが 0 に設定されている [BAL_GO] = 1、またはマイコンが発行しない [BAL_GO] = 1 など、バランシング構成が停止状態に維持されていることを示しています。

表 7-6. BAL_TIME レジスタ ステータス

CB ストップ条件	BAL_TIME レジスタ
セル バランシング タイマの期限切れ	選択された CB チャネルは 0 秒を報告します
CB チャネル電圧 < VCB_DONE_THRESH レジスタ値	選択された CB チャネルは、残りの CB 時間を報告します
[FLTSTOP_EN] = 1 で、マスクされていない故障が検出されました	

7.3.3.4 モジュール バランシング

モジュール電圧のバランスを取る方法として、小さな電流は GPIO 経由でシンクできます。ホストは GPIO に負荷抵抗を接続し、GPIO をデジタル出力 High に設定することで、モジュール スタックから生成される CVDD を介して負荷電流を流すことができます。このような制御は、ホストによって手動でオンまたはオフにすることができます。

あるいは、デバイスはモジュール バランシング (MB) と呼ばれる機能を使用して、この負荷経路を制御することもできます。基本的な考え方は、GPIO に接続された負荷抵抗を介してモジュール電圧を放電することと同じです (この機能では、MB が GPIO3 を専有して使用します)。ただし、ホストはモジュール バランシング タイマおよび停止スレッシュホールドを設定することで、モジュール バランシング機能を介した負荷経路を自動的にオフにすることができます。

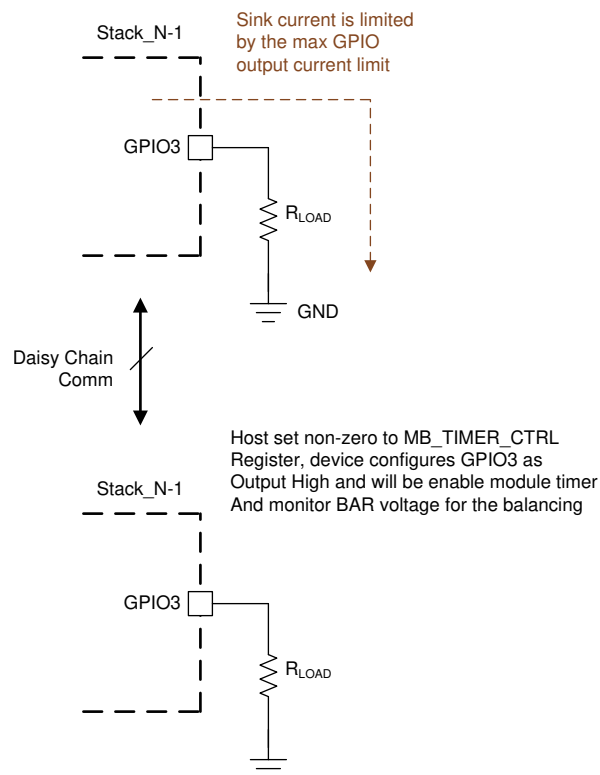


図 7-18. モジュール バランシング

7.3.3.4.1 モジュール バランシングの開始

1. MB_TIMER_CTRL レジスタにゼロでない値を設定します。
2. VMB_DONE_THRESH レジスタのストップ MB 電圧スレッシュホールドを構成します。
3. スタック モジュールの監視は、AUX ADC を使用して実行します。その結果、ホストは AUX ADC を連続的に起動します。
4. BAL_CTRL2[BAL_GO] = 1 を送信します。
5. この機能では GPIO3 が専有され、デジタル出力ポートとして設定されるとともに、負荷抵抗を介して電流のシンク動作を開始します。BAL_STAT[MB_RUN] = 1

7.3.3.4.2 モジュール バランシングの停止

開始すると、次のいずれかが発生する場合に MB は停止します。

- バランシング タイマが MB_TIMER_CTRL の設定に達し、デバイスが BAL_STAT[MB_DONE] = 1 を設定する場合。
- BAT 電圧が VMB_DONE_THRESH 設定未満 (AUX ADC がオンである必要があります) で、デバイスが BAL_STAT[MB_DONE] = 1 を設定する場合。
- ホストが MB_TIMER_CTRL = 0 を設定してバランシングを停止し、BAL_CTRL2[BAL_GO] = 1 を送信し、BAL_STAT[MB_DONE] = 0 の場合。
- BAL_CTRL[FLTSTOP_EN] = 1 で、マスクされていないフォルトが検出され、BAL_STAT[MB_DONE] = 0 の場合。

注

- モジュール バランシングに対する一時停止制御 (手動一時停止またはサーマル一時停止) はありません。
- モジュール バランシング中に AUX ADC が停止した場合 (ホストによって停止したか、デバイスが SLEEP モードに移行した場合)、BAT 電圧に基づくモジュール バランシングの停止は行われません。モジュール バランシングは、MB タイマの期限が切れると停止します。
- BAL_CTRL2[BAL_ACT1:0] 設定は、モジュール バランシング機能にも適用されます。[MB_DONE] = 1 (および CB が有効の場合は [CB_DONE] = 1) の場合、デバイスは [BAL_ACT1:0] 設定で設定された電力モードに移行できます。

7.3.4 内蔵ハードウェア プロテクタ

このデバイスは、セルの OV および UV プロテクタとサーミスタの OT および UT プロテクタを内蔵しており、ADC 機能や ADC 測定パスから独立したプログラマブルなスレッシュホールドを備えています。OVUV と OTUT プロテクタは、ACTIVE または SLEEP モードで動作できます。以下のサブセクションでは、プロテクタの概要について説明します。診断制御機能とこのブロックのステータスについては、[セクション 7.3.6.4](#) を参照してください。

7.3.4.1 OVUV プロテクタ

設定ウィンドウ コンパレータにより、すべての VC チャネルにセル電圧を監視できます。このコンパレータ機能は ADC 機能とは完全に独立しているため、ADC 機能に異常が発生した場合でも、アナログ コンパレータは過電圧 (OV) および低電圧 (UV) のスレッシュホールド超過を引き続き検出します。プログラムされたスレッシュホールドは、DAC を介してコンパレータに変換されます。

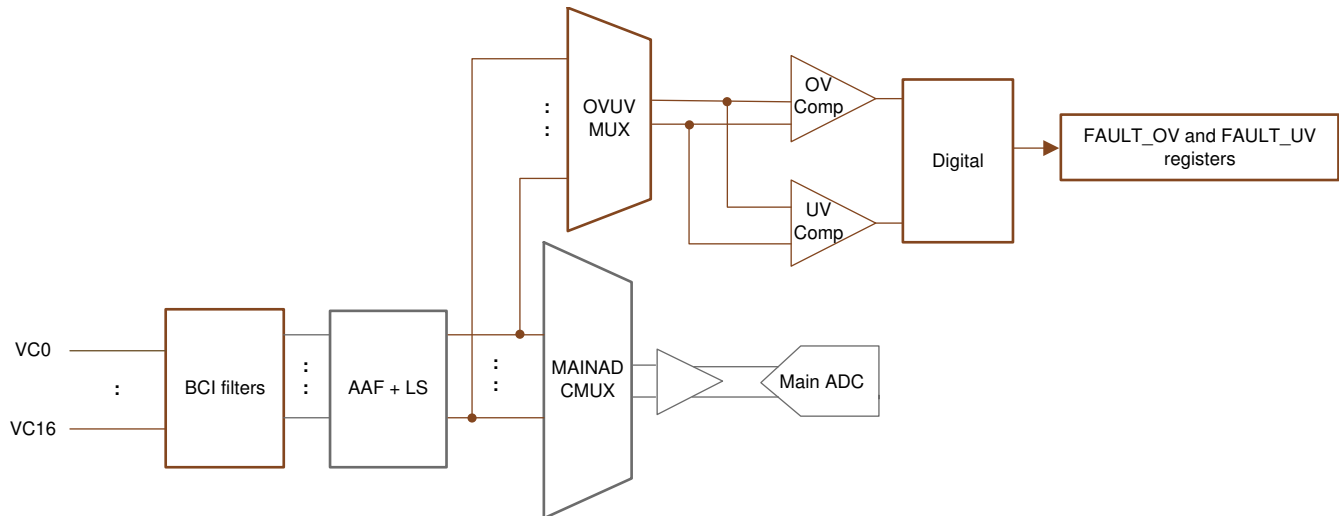


図 7-19. OV と UV のプロテクタ

OV_THRESH および UV_THRESH レジスタで設定される OV スレッショルドと UV スレッショルドは、すべての VC チャンネルで同じです。有効なチャンネルは、ACTIVE_CELL[NUM_CELL3:0] ビットによって定義されます。これらのビットは、最も高い有効チャンネル番号を設定します。デバイスは、それより低い番号のチャンネルもすべて有効であるとみなします。

、UV_DISABLE1、および UV_DISABLE2 レジスタの設定により、個々のチャンネルに対する UV 検出を無効化できます。例えば、そのチャンネルがバス バーに接続されている場合です。

それ以外の場合、OV プロテクタは、VC チャンネル電圧が OV_THRESH 設定値を超えると、そのチャンネルで OV 故障を検出します。UV プロテクタは、VC チャンネル電圧が UV_THRESH 設定よりも低い場合に、特定のチャンネルで UV 故障を検出します。

7.3.4.1.1 OVUV 動作モード

OV および UV プロテクタには、OVUV_CTRL[OVUV_MODE1:0] で制御される複数の動作モードがあります。表 7-7 にその概要を示します。OVUV プロテクタを始動するには、マイコンが OVUV_CTRL[OVUV_GO] = 1 に設定します。

表 7-7. OVUV プロテクタ動作モード

[OVUV_MOD1:0]	動作モード	説明
0b00	OV および UV プロテクタ停止	OV および UV プロテクタ停止
0b01	ラウンド ロビン実行	OV および UV プロテクタは、すべての VC 入力にループ接続されています。アクティブ チャンネルが OV および UV スレッショルドと比較してチェックされます (図 7-19)。ラウンド ロビン サイクル タイミングは、アクティブなチャンネル数に関係なく常に同じです。非アクティブな VC チャンネルについては、デジタル ロジックは検出結果を無視します。 UV プロテクタは、UV_THRESH と VCB_DONE_THRESH の両方を検出します。
0b10	OV および UV の BIST 動作 (診断用。詳細については、 セクション 7.3.6.4 を参照)	OV および UV コンパレータ、および検出パスの BIST (内蔵セルフ テスト) サイクル。 この動作中は、メイン ADC からの VCELL (VC チャンネル) ADC 測定、および OVUV プロテクタを介した OV および UV 検出を使用することはできません。OVUV BIST を実施するときは、マイコンが ADC 測定を停止する必要があります。
0b11	シングルチャンネル動作 (診断用。詳細については、 セクション 7.3.6.4 を参照)	OV と UV の DAC をチェックするために使用します。このモードでは、OV および UV コンパレータは単一の VC 入力チャンネルにロックされます。チャンネルは OVUV_CTRL[OVUV_LOCK3:0] によってロックされます。

OVUV BIST の実行が進行中で、マイコンが ADC を始動させた場合、ADC 結果レジスタは 0x8000 のままになります。OVUV BIST が完了し、t_{AFE_SETTLE} が経過すると、ADC 測定が再開されます。

ADC が動作中で、マイコンが OVUV BIST を開始する場合、ADC 結果レジスタには最後の測定値が保持されます。OVUV BIST が完了し、 t_{AFE_SETTLE} が経過すると、ADC 測定の更新が再開されます

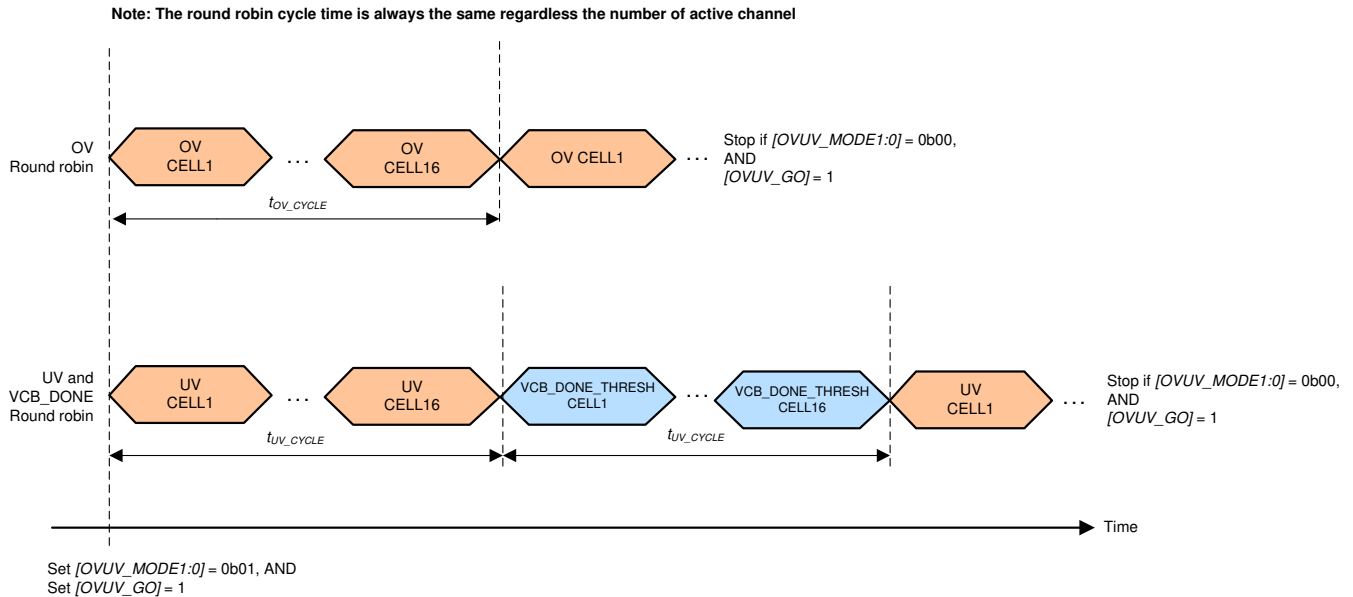


図 7-20. OV および UV ラウンド ロビン モード

7.3.4.1.2 OVUV 制御およびステータス

7.3.4.1.2.1 OVUV 制御

OV および UV プロテクタを開始するには、マイコンは $OVUV_CTRL[OVUV_GO] = 1$ に設定します。デバイスは GO コマンドを受信すると、以下のレジスタ設定を取り込み、その設定に基づいて OVUV 保護機能を開始します。以下の設定を変更した場合、新しい設定を反映するにはマイコンが再度 GO コマンドを送信する必要があります。

- **OV_THRESH** レジスタ: すべての VC チャンネルの OV スレッシュホールドを設定します
- **UV_THRESH** レジスタ: すべての VC チャンネルの UV スレッシュホールドを設定します
- **VCB_DONE_THRESH** レジスタ: セル バランシング停止条件 (有効な場合) の **VCB_DONE** スレッシュホールドを設定します
- **OVUV_CTRL[OVUV_MODE1:0]**: OVUV 動作モード選択
- **ACTIVE_CELL** レジスタ: 非アクティブな VC チャンネルを判定し、それらのチャンネルの検出結果を無視します。
- **UV_DISABLE1** および **UV_DISABLE2** レジスタ: 非アクティブな VC チャンネルを決定し、それに応じて検出結果を無視します。

OVUV 保護機能は、スリープ モードでも動作可能です。マイコンはまずプロテクタをアクティブ モードで起動し、その後デバイスをスリープ モードにします。OVUV プロテクタは、マイコンから停止指示が出されるか、デバイスがシャットダウンするまで動作を継続します。

7.3.4.1.2.2 OVUV のステータス

$DEV_STAT[OVUV_RUN] = 1$ は、OVUV プロテクタが動作していることを示します。OV 検出結果は **FAULT_OV1** および **FAULT_OV2** レジスタに反映され、UV 検出結果は **FAULT_UV1** および **FAULT_UV2** レジスタに反映されます。

VCB_DONE 検出は故障ではなく、セル バランシング停止条件です。その結果は、セル バランシングを停止する特定のチャンネルに反映されます。詳しくは、[セクション 7.3.3](#) を参照してください。

7.3.4.2 OTUT プロテクタ

設定可能なウィンドウ コンパレータにより、TSREF ヘプルアップされた外部サーミスタ ネットワークに接続されたすべての GPIO 入力の温度監視を行います。このコンパレータ機能は ADC 機能とは完全に独立しているため、ADC 機能が故障

した場合でも、アナログ コンパレータは過温度 (OT) および低温度 (UT) のスレッシュホールド超過を引き続き検出できます。プログラムされたスレッシュホールドは、DAC を介してコンパレータに変換されます。

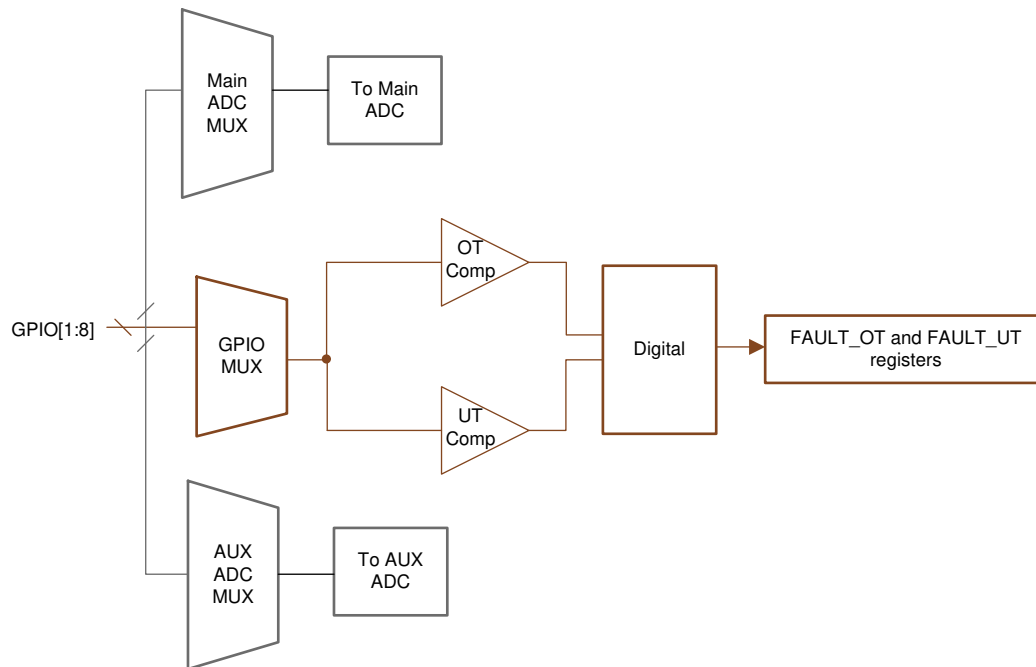


図 7-21. OT および UT プロテクタ

OTUT_THRESH[OT_THR4:0] および OTUT_THRESH[UT_THR2:0] ビットで設定される OT スレッシュホールドと UT スレッシュホールドは、すべての有効な GPIO 入力に共通して適用されます。有効な GPIO 入力は、GPIO_CONFN[GPIO*2:0] によって定義されます (n は 1 ~ 4, * は対応する GPIO 入力の 1 ~ 8 を示します)。GPIO は、OTUT プロテクタのアクティブな GPIO 入力と見なすために、ADC および OTUT 入力として構成する必要があります。

OTUT コンパレータは TSREF を基準電圧として使用するため、検出はレシオメトリック方式で行われます。OT プロテクタは、(GPIO 電圧 / TSREF) が OTUT_THRESH[OT_THR4:0] の設定よりも小さい場合、特定の GPIO で OT 故障を検出します。UT プロテクタは、(GPIO 電圧 / TSREF) が OTUT_THRESH[UT_THR2:0] の設定よりも大きい場合、特定の GPIO で UT 故障を検出します。OTUT プロテクタは、温度監視に NTC サーミスタが使用されていることを想定しています。

マイコンは、OTUT 保護を開始する前に TSREF が有効化されていることを確認します。これを実施しない場合、OTUT 保護回路は異常検出の指標として、すべての GPIO 入力に対して OT および UT 故障を発生させます。

7.3.4.2.1 OTUT 動作モード

OT および UT プロテクタには、OTUT_CTRL[OTUT_MODE1:0] によって制御される複数の動作モードがあり、その概要を表 7-8 に示します。OTUT プロテクタを開始するために、マイコンは OTUT_CTRL[OTUT_GO] = 1 に設定します。

表 7-8. OTUT プロテクタの動作モード

[OTUT_MOD1:0]	動作モード	説明
0b00	ストップ OT および UT プロテクタ	ストップ OT および UT プロテクタ
0b01	ラウンド ロビンの実行	OT および UT プロテクタは、すべての GPIO 入力を順次監視します。アクティブな GPIO 入力は、OT および UT スレッシュホールド (図 7-22) とチェックされます。ラウンド ロビン サイクルのタイミングは、アクティブな GPIO の数に関係なく常に同じです。非アクティブな GPIO 入力については、デジタル ロジックは検出結果を単に無視します。OT 保護機能は、OT スレッシュホールドと OTCB スレッシュホールドの両方を検出します。

表 7-8. OTUT プロテクタの動作モード (続き)

[OTUT_MOD1:0]	動作モード	説明
0b10	OT および UT BIST 実行 (診断使用。詳細については セクション 7.3.6.4 を参照)	OT および UT コンパレータと検出パスの BIST (内蔵セルフテスト) サイクル。この動作中は、メインまたは AUX の ADC による温度 (GPIO チャンネル) の ADC 測定、および OTUT プロテクタによる OT/UT 検出は利用できません。
0b11	シングル チャンネル実行 (診断用。詳細については セクション 7.3.6.4 を参照)	OT および UT DAC のチェックに使用します。このモードでは、OT/UT コンパレータは一つの GPIO 入力チャンネルに固定されます。チャンネルは、OTUT_CTRL[OTUT_LOCK2:0] によって固定されます。

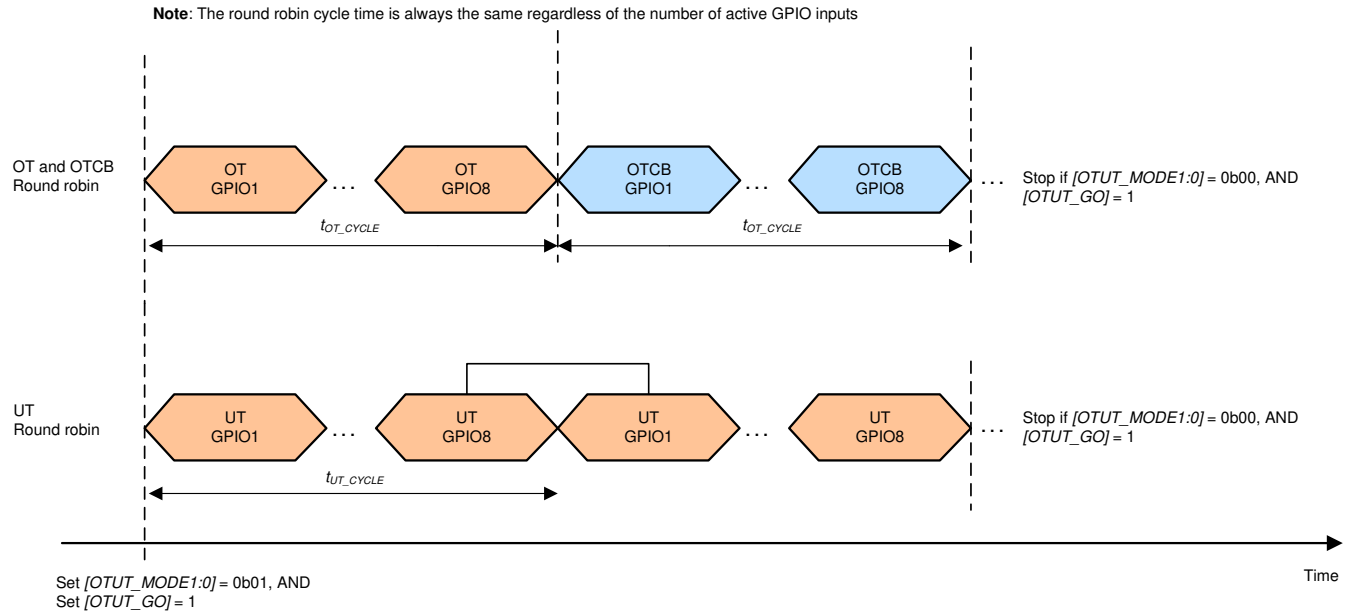


図 7-22. OT および UT ラウンド ロビン モード

7.3.4.2.2 OTUT 制御およびステータス

7.3.4.2.2.1 OTUT 制御

TSREF が有効であることを確認します。OT および UT プロテクタを開始するには、ホスト マイコンは OTUT_CTRL[OTUT_GO] = 1 に設定します。デバイスは GO コマンドを受信すると、以下のレジスタ設定値を取り込み、その設定に基づいて OTUT プロテクタを起動します。以下の設定のいずれかを変更した場合、新しい設定を有効にするために、マイコンは再度 GO コマンドを送信する必要があります。

- OTUT_THRESH[OT_THR4:0]:すべてのアクティブな GPIO 入力の OT スレッシュホールドを設定します
- OTUT_THRESH[UT_THR2:0]:すべてのアクティブな GPIO 入力の UT スレッシュホールドを設定します
- OTCB_THRESH レジスタ:OTCB スレッシュホールドと COOLOFF ヒステリシスを設定します (有効な場合)
- OTUT_CTRL[OTUT_MODE1:0]:OTUT 動作モード選択
- GPIO_CONF1 ~ GPIO_CONF4: 非アクティブな GPIO チャンネルを決定し、検出結果を無視します。

OTUT プロテクタはスリープ モードでも動作できます。マイコンはまずプロテクタをアクティブ モードで起動し、その後デバイスをスリープ モードにします。OTUT プロテクタは、マイコンから停止を指示されるまで、またはデバイスがシャットダウンされるまで動作を継続します。

7.3.4.2.2.2 OTUT のステータス

DEV_STAT[OTUT_RUN] = 1 は、OTUT プロテクタが動作中であることを示します。OT 検出結果は FAULT_OT レジスタに反映され、UT 検出結果は FAULT_UT レジスタに反映されます。

OTCB 検出は故障ではなく、セル バランシングを一時停止するための条件です。結果は、セル バランシングを一時停止する特定のチャンネルに反映されます。詳しくは、[セクション 7.3.3](#) を参照してください。

7.3.5 GPIO の構成

このデバイスには 8 つの GPIO があります。各 GPIO は、GPIO_CONF1 ~ GPIO_CONF4 レジスタを使用して、以下の構成のいずれかにプログラムできます。デバイスが SHUTDOWN モードのときは、すべての GPIO が弱いプルダウン動作を示すことに注意してください。

GPIO	無効化	入力			出力		弱いプルアップ / プルダウン		特殊		
	ハイインピーダンス	デジタル	ADC と OTUT	ADC のみ	"High"	"Low"	ADC と弱いプルアップ	ADC と弱いプルダウン	モジュール バランシング MB_TIMER_CTRL が 0x00 でない	SPI マスタ [SPI_EN] = 1	フォルト入力 [FAULT_IN_EN] = 1
GPIO1	✓	✓	✓	✓	✓	✓	✓	✓			
GPIO2	✓	✓	✓	✓	✓	✓	✓	✓			
GPIO3	✓	✓	✓	✓	✓	✓	✓	✓	✓ (出力, "High")		
GPIO4	✓	✓	✓	✓	✓	✓	✓	✓		✓ (SS)	
GPIO5	✓	✓	✓	✓	✓	✓	✓	✓		✓ (MISO)	
GPIO6	✓	✓	✓	✓	✓	✓	✓	✓		✓ (MOSI)	
GPIO7	✓	✓	✓	✓	✓	✓	✓	✓		✓ (SCLK)	
GPIO8	✓	✓	✓	✓	✓	✓	✓	✓			✓ (入力, アクティブ "Low")

GPIO の構成		説明
無効化	ハイインピーダンス	これは、OTP がプログラムされていない場合の、リセット時のデフォルトの GPIO 構成です
入力	デジタル	GPIO がデジタル入力として構成されている場合、デバイスは入力電圧レベルを検出し、その V_{IL} および V_{IH} レベルを基準に 1 または 0 を決定します。結果は GPIO_STAT レジスタに示されます。
	ADC と OTUT	GPIO は、ADC (メインと AUX 両方の ADC) により測定可能であるとともに、OTUT プロテクタへの入力として構成されています。例: GPIO をサーミスタ接続に使用するには、この選択を使用します。
	ADC のみ	GPIO は、ADC (メインと AUX 両方の ADC) でのみ測定できるように構成されています。例: この選択を使用して、GPIO の電圧を測定します。
出力	"High"	GPIO は、デジタル出力 "High" として (内部で CVDD にプルアップ) 構成されています。ロジック状態は GPIO_STAT レジスタにも示されます。
	"Low"	GPIO はデジタル出力 "Low" として構成されています。ロジック状態は GPIO_STAT レジスタにも示されます。
弱いプルアップ / プルダウン	ADC と弱いプルアップ	GPIO は内部でプルアップされ、ADC (メインと AUX 両方の ADC) で測定されるよう構成されています
	ADC と弱いプルダウン	GPIO は内部でプルダウンされ、ADC (メインと AUX 両方の ADC) で測定されるよう構成されています
特殊	モジュール バランシング	MB_TIMER_CTRL レジスタがゼロでない場合、GPIO3 はモジュールのバランシング制御で使用されるようになります。この構成は、GPIO3 のいずれの INPUT/OUTPUT 構成よりも優先されます。
	SPI マスタ	GPIO_CONF1[SPI_EN] = 1 の場合、GPIO4 ~ GPIO7 は SPI マスタ通信ラインとして引き継がれます。この構成は、GPIO4 ~ GPIO7 のいずれの INPUT/OUTPUT 構成よりも優先されます。
	フォルト入力	GPIO_CONF1[FAULT_IN_EN] = 1 の場合、GPIO8 は入力として引き継がれ、この GPIO がアサート (アクティブ "Low") されると、FAULT_SYS[GPIO] = 1 に設定され、NFAULT がアサートされます (有効になっている場合)。

7.3.6 通信、OTP、診断制御

7.3.6.1 通信

このデバイスは、マルチドロップ構成 (DEV_CONF [MULTIDROP_EN] = 1) のスタンドアロン デバイスとして、またはデイズチェーン構成のベース / スタック デバイス (DEV_CONF [MULTIDROP_EN] = 0) として動作できます。マルチド

ロップ構成では、デイジーチェーン通信は無効化され、ホストは UART インターフェイスを介して各デバイスと直接通信します。このドキュメントでは、デイジーチェーン通信に注目します。

デイジーチェーン構成では、各デバイスは 6 ビットのデバイス アドレスによって識別されるため、最大 64 台のデバイスをデイジーチェーン接続できます。この構成では、各デバイスはベース デバイス (UART を介してホストと通信するデバイス) またはスタック デバイス (COMH/COML のデイジーチェーン ポートを通じてベース デバイスと通信するデバイス) のいずれかとして定義されます。このドキュメントの基本的な説明では、BQ7961x-Q1 をベース デバイスとして使用することを想定しています。通信エクステンダ (ブリッジ デバイスとも呼ばれる) をベース デバイスとして使用する場合は、詳細についてブリッジ デバイスのデータシートを参照してください。

7.3.6.1.1 シリアル インターフェイス

このデバイスは、物理層として UART プロトコルを使用し、ベースデバイスとホストの間で通信を行うシリアル インターフェイスを採用しています。通信には独自のフレーム構造が採用されています。

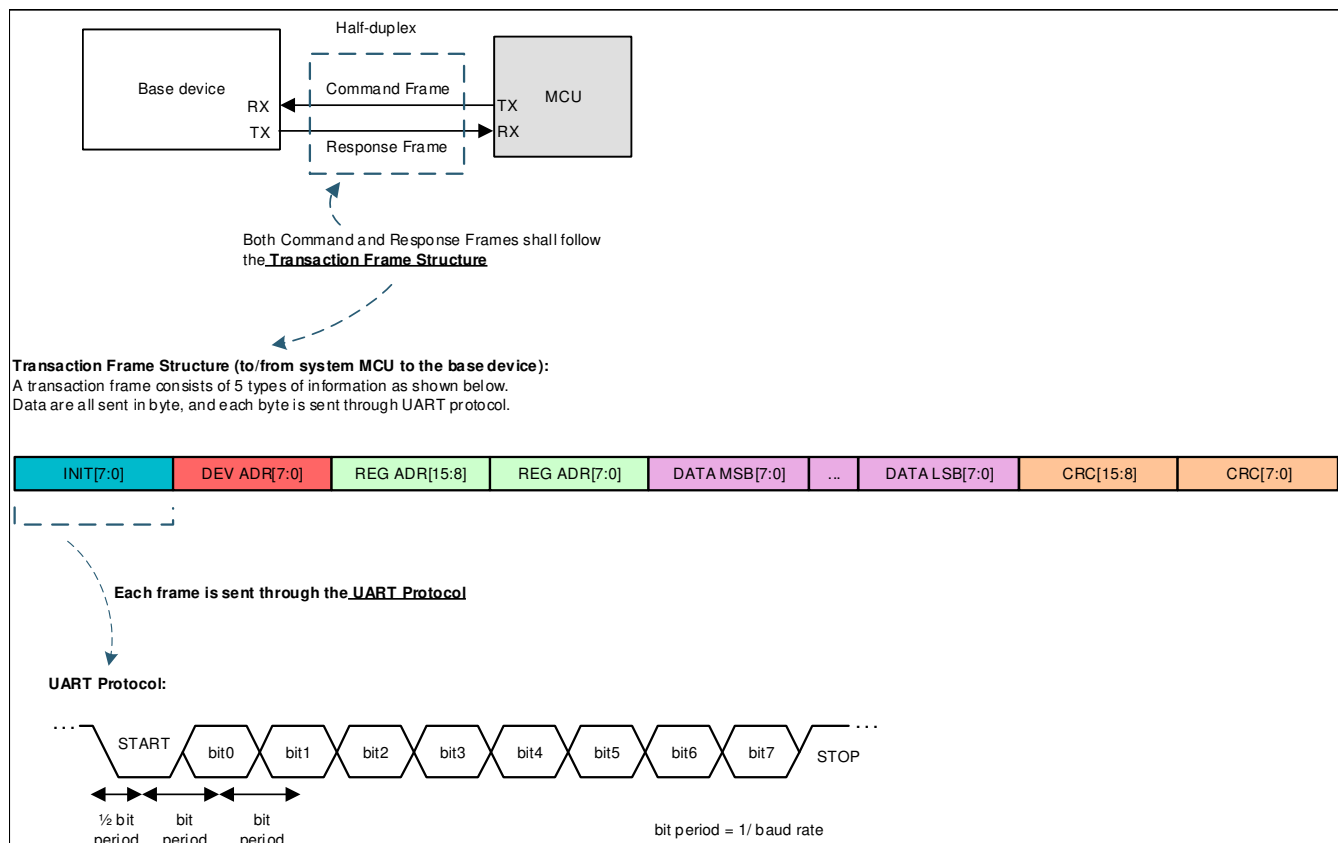


図 7-23. ホストへの UART 通信

7.3.6.1.1.1 UART 物理層

UART インターフェイスは、8-N-1 の標準的なシリアル プロトコルに従い、情報を START ビット、8 つのデータビット、1 つの STOP ビットとして送信します。STOP ビットは、バイトの終了を示します。STOP ビットが設定されていないバイトが受信されると、FAULT_COMM1[STOP_DET] ビットがセットされ、ホストとデバイス間でボーレートの問題が発生している可能性があることを示します。このデバイスは、1Mbps のボーレートをサポートしています。さらに、開発中には、通信をデバッグするためにより低速のボーレートが必要です。通信デバッグ モードでは、オプションで 250kbps のボーレートを有効にすることもできます。

UART は TX ピンでデータを送信し、RX ピンでデータを受信します。アイドルのとき、TX ピンと RX ピンは High になります。UART インターフェイスでは、RX をベース デバイスの抵抗を介して CVDD にプルアップする必要があります。RX

は、デバイス側でプルアップされます。RX を接続していない状態のままにしないでください。スタック デバイスの場合、RX が CVDD に直接接続されていることを確認します。

スタック デバイスでは TX ピンは無効になっていますが、通信ケーブルが接続されていないとき、または電源オフまたはシャットダウン状態で TX がハイインピーダンスのときに無効な通信フレームがトリガされないように、ベース デバイスのホスト側の抵抗を介して High にプルアップする必要があります。ACTIVE モードまたは SLEEP モード中、有効か無効かにかかわらず、TX は常に CVDD にプルされます。スタック デバイスで使用しない場合は、TX を未接続のままにします。

UART インターフェイスは厳密に半二重インターフェイスです。送信中、RX での通信が試行された場合は無視されます。唯一の例外は RX ピンの COMM CLEAR 信号で、これにより通信が直ちに終了します。詳しくは、[セクション 7.3.6.1.1.1.3](#) を参照してください。

UART で 2 つの STOP ビットを使用:

デバイスは、2 つの STOP ビット (DEV_CONF[TWO_STOP_EN] = 1) で設定できます。デバイスからホストへの UART 応答フレーム送信は、以下に示すように常に 2 つの STOP ビットで返されます。ホストが 2 つの STOP ビットを使用してコマンドフレームをデバイスに送信する必要はありません。デバイスは、この機能が有効または無効になった状態で、1 つまたは複数の STOP ビットを受信できます。

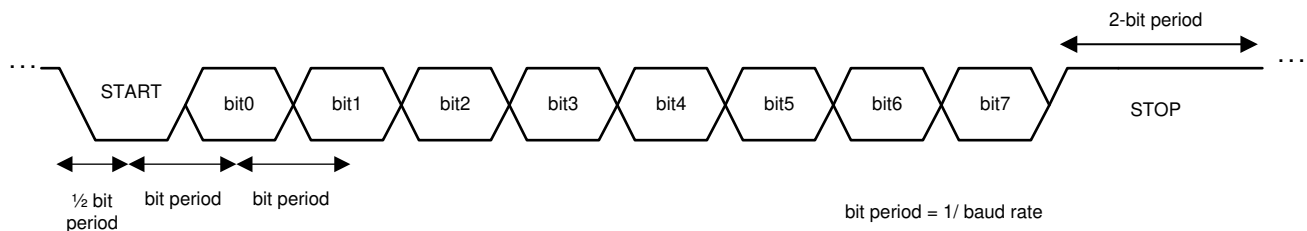


図 7-24. 2 つの STOP ビットを使用した UART 応答フレーム

2 つの STOP ビットは、次のように使用できます。

- ホストは、次のデータフレームを受信する前に、データ処理のための余分な時間を確保します。
- デバイスとホスト間のクロック許容範囲により、データ検出が同期外れになる場合があります。2 つの STOP ビットを持つことで、通信を再同期できるため、通信の堅牢性が向上します。

UART はベース デバイスによってのみ使用されますが、[TWO_STOP_EN] = 1 の場合、スタックで UART が使用されていない場合でも、スタック デバイスは [TWO_STOP_EN] = 1 を設定します。これは、スタック デバイスが、2 つの通信フレーム間に適用される適切なギャップを判別するために、ビット設定を使用するからです。

7.3.6.1.1.1.1 UART トランスミッタ

トランスミッタは、最後のビットを受信してから送信を開始するまでに待機するビット期間数を、TX_HOLD_OFF レジスタによって設定できます。これにより、ホストは送信が終了したときにバス方向を切り替えるための時間を確保できます。スタック デバイスでは、UART 送信機能はデフォルトで無効になっています。

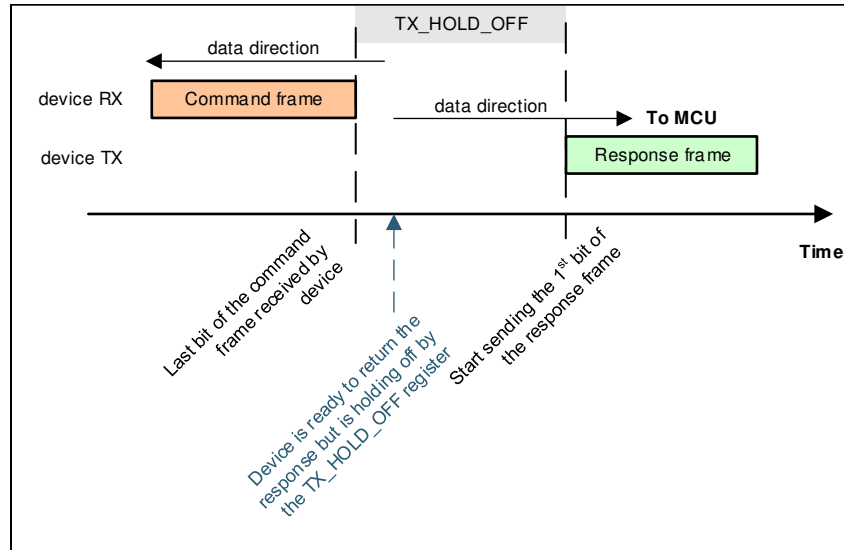


図 7-25. UART TX_HOLD_OFF

7.3.6.1.1.2 UART レシーバ

デバイスが TX でデータを送信している間、COMM クリアを受信するときを除き、RX は無視されます。デジタイゼーションインターフェイスを介した上位方向へのデータ伝送時の衝突を防ぐため、ホストはデバイスからの通信データの全バイトを受信し終わるまで、デバイスに対する追加の通信を開始してはなりません。ホストが前のトランザクションの応答を待たずに送信を開始した場合、通信は信頼できるとは見なされず、ホストは COMM クリアを送信してベースデバイスへの通常の通信を復元する必要があります。

7.3.6.1.1.3 COMM CLEAR

COMM CLEAR はベース デバイスの RX ピンに送信されます。スタック デバイスには送信されません。RX を無効化することはできず、COMM CLEAR は TX ステータスに関係なくいつでも送信できます。COMM CLEAR が $t_{\text{UART(CLR)}}$ ビット期間の最大値を超えないようにしてください。最大値を超えると、別の通信 ping として認識される可能性があります。

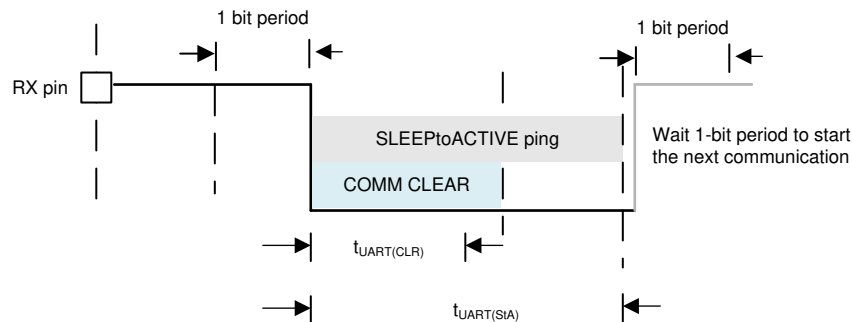


図 7-26. UART COMM クリア

レシーバをクリアし、UART エンジンに新しいフレーム開始位置を探すように指示するには、COMM CLEAR コマンドを使用します。COMM CLEAR に続く次のバイトは、常にフレーム開始バイトとみなされます。検出されると、COMM CLEAR によって FAULT_COMM1[COMMCLR_DET] フラグがセットされます。ホストは、COMM CLEAR の後、新しいフレームの送信を開始するまでに少なくとも $t_{\text{UART(RXMIN)}}$ の間、待機する必要があります。なお、[COMMCLR_DET] フラグに加えて、FAULT_COMM1[STOP_DET] フラグもセットされることに注意してください。これは、COMM CLEAR のタイミングが一般的なバイト タイミングと異なり、STOP ビットがゼロとして検出されるためです。

SLEEP から ACTIVE へ遷移させる ping/tone 信号によっても、UART レシーバはクリアされます。この ping/tone は、SLEEP モードから ACTIVE モードへ遷移するときに [COMMCLR_DET] フラグをセットします。ACTIVE モード中にこの ping/tone が送信されると、[COMMCLR_DET] および [STOP_DET] フラグがセットされます。

デジチェーン通信中に送信される COMM CLEAR:

読み取りコマンドが送信され、応答がまだホストへ完全に返送されていない状態で、ベース デバイスが COMM CLEAR を受信した場合、デバイスの応答は破棄されます。さらに、スタック デバイスは COMM CLEAR を認識せず、応答の送信を継続します。その応答はホストへ転送されるため、ホストは予期しない応答フレームを受信することになります。したがって、ホストは COMM CLEAR を送信する前に、スタックからのすべての応答が受信されるまで待機することで、この状態を回避する必要があります。

上記の状態が発生した場合、COMM CLEAR 信号を受信するタイミングに応じて、ベース デバイスの低レベル通信デバッグ レジスタの DEBUG_UART_RR_TR[TR_WAIT] ビット (デバイスが応答の送信を待機していることを示す) または DEBUG_UART_RR_TR[TR_SOF] ビット (デバイスがデータ送信中に COMM CLEAR を受信したことを示す) がセットされることがあります。

マルチドロップ構成を使用する場合は、一貫した通信を確保するために、各フレームの前に COMM CLEAR 信号を使用する必要があります。

7.3.6.1.1.2 コマンドおよび応答のプロトコル

ホストとデバイス間のすべての通信トランザクションは、ホストによって開始されます。デバイスは、ホストからコマンド フレームを受信することなくデータを送信することはありません。コマンド フレームはホストからデバイスへ送信される通信フレームであり、応答フレームはデバイスからホストへ返送される応答フレーム (読み取りコマンドに対する応答) です。コマンド フレーム送信後、ホストは新たなコマンド フレームを開始する前に、期待されるすべての応答が返されるのを待つ必要があります (エラー発生時はタイムアウトするまで待つ必要があります)。デバイスでサポートされているコマンドを表 7-9 に示します:

表 7-9. コマンド

コマンド	説明
シングル デバイス読み取り	単一のデバイス (ベースまたはスタック) からレジスタを読み取る場合
シングル デバイス書き込み	単一のデバイス (ベースまたはスタック) にレジスタを書き込む場合
スタック読み取り	スタック内のデバイスからレジスタを読み取るために使用します。スタックの読み取りコマンドに応答するには、デバイスを COMM_CTRL[STACK_DEV] = 1 のスタック デバイスとして構成する必要があります。
スタックの書き込み	スタック内のデバイスに対してレジスタを書き込むために使用します。スタックの書き込みコマンドに応答するには、デバイスを COMM_CTRL[STACK_DEV] = 1 のスタック デバイスとして構成する必要があります。
ブロードキャスト読み取り	ベース デバイスを含む、デジチェーン内のすべてのデバイスのレジスタを読み取るために使用します。
ブロードキャスト書き込み	ベース デバイスを含む、デジチェーン内のすべてのデバイスのレジスタに書き込むために使用します。
ブロードキャスト書き込み逆方向	CONTROL1[DIR_SEL] ビットで設定された逆方向に、ブロードキャスト書き込みを送信するために使用します。このコマンドは、RING インターフェイスにおける通信方向の切り替えに使用することを目的としています。

7.3.6.1.1.2.1 トランザクション フレームの構造

プロトコル層はトランザクション フレームで構成されます。トランザクション フレームには、基本的に二種類あります。ホストから送信されるコマンド フレームと、デバイスから送信される応答フレームです。トランザクション フレームは、次の五種類のフィールドで構成されます。

- フレームの初期化 (INIT、1 バイト)
- デバイス アドレス (DEV ADR、1 バイト)
- レジスタ アドレス (REG ADR、2 バイト)
- データ (DATA、各種のバイト長)
- 巡回冗長性検査 (CRC、2 バイト)

7.3.6.1.1.2.1.1 フレーム初期化バイト

フレーム初期化バイトは、コマンド フレームと応答フレームの両方で使用されます。これは常にフレームの最初のバイトです。フレーム初期化バイトは、二つの機能を実行します。まず、フレームをコマンド フレーム (ホスト) または応答フレーム (デバイス) として定義します。二番目に、フレーム初期化バイトの後のフレーム長を定義します。これにより、レシーバは完全なコマンドまたは応答に対して予測される正確なバイト数を返します。

表 7-10. コマンド フレーム初期化バイトの定義

	コマンド フレーム			応答フレーム	
	ビット	ビット名	説明	ビット名	説明
INIT	7	FRAME_TYPE	1 = コマンド フレームを定義します	FRAME_TYPE	0 = 応答フレームを定義します
	6	REQ_TYPE	000 = シングル デバイス読み取り	RESPONSE_BYTE	データ バイト数 0x00 = 1 バイト 0x01 = 2 バイト : 0x7F = 128 バイト
	5		001 = シングル デバイス書き込み		
	4		010 = スタック読み取り		
			011 = スタック書き込み		
		100 = ブロードキャスト読み取り			
		101 = ブロードキャスト書き込み			
		110 = 逆方向ブロードキャスト書き込み			
	111 = RSVD ⁽¹⁾				
	3	RSVD	予約済み。このビットは無視されます		
	2	DATA_SIZE	コマンド フレームのデータ バイト数 (デバイス アドレス、レジスタ アドレス、または CRC を除く) 000 = 1 バイト 001 = 2 バイト : 111 = 8 バイト		
	1				
	0				

(1) この選択には機能しませんが、この設定を選択すると、DEBUG_COMMH[RC_IERR] フラグまたは DEBUG_COMMH[RC_IERR] フラグが設定されます。これは、どのデジタイゼーション インターフェイスがコマンド フレームを受信するかによって異なります。

7.3.6.1.1.2.1.2 デバイス アドレス バイト

デバイス アドレス バイトは、シングル デバイスの読み取り / 書き込みコマンドで対象デバイスを識別します。このバイトは、ブロードキャスト コマンド フレーム、スタック コマンド フレーム、および逆方向ブロードキャスト コマンド フレームでは省略されます。すべての応答フレームには、デバイス アドレス バイトが含まれています。シングル デバイス読み取り / 書き込みコマンドでは、DIR0_ADDR (CONTROL1[DIR_SEL] = 0 の通信方向で使用) または DIR1_ADDR (CONTROL1[DIR_SEL] = 1 の通信方向で使用) に一致する値を持つデバイスが、コマンドに応答します。複数のデバイスが一致する値を持っている場合、それらすべてのデバイスが応答し、通信衝突が発生します。

表 7-11. デバイス アドレス バイトの定義

コマンドフレーム				応答フレーム	
	ビット	ビット名	説明	ビット名	説明
DEV ADR	7	RSVD	常に 0 を書き込みます	RSVD	常に 0 を書き込みます
	6	RSVD	常に 0 を書き込みます	RSVD	常に 0 を書き込みます
	5~0	デバイス アドレス	デバイス アドレス範囲を 0x00 ~ 0x3F に設定します	デバイス アドレス	デバイス アドレス範囲を 0x00 ~ 0x3F に設定します

7.3.6.1.1.2.1.3 レジスタ アドレス バイト

レジスタ アドレスの長さは 2 バイトです。無効なレジスタ アドレスへの書き込みコマンドは、すべて無視されます。無効なレジスタに対する読み取りでは、0x00 が返されます。これは、無効なアドレスを持つ個別レジスタへのコマンド フレームの場合だけでなく、複数レジスタを対象とするコマンド内に無効なアドレスのレジスタが含まれている場合にも当てはまります。読み取りまたは書き込みでレジスタ ブロックを指定した際、その中に一部無効なアドレスが含まれている場合、有効なアドレスには通常どおり応答し、無効なアドレスには前述のとおり応答します。

表 7-12. レジスタ アドレス バイトの定義

	ビット	コマンド フレーム		応答フレーム	
		ビット名	説明	ビット名	説明
REG_ADR	7~0	レジスタ アドレス (MSB)	レジスタ アドレスのターゲットまたは開始	レジスタ アドレス (MSB)	レジスタ アドレスのターゲットまたは開始
	7~0	レジスタ アドレス (LSB)	レジスタ アドレスのターゲットまたは開始	レジスタ アドレス (LSB)	レジスタ アドレスのターゲットまたは開始

7.3.6.1.1.2.1.4 データ バイト

データ バイト数およびそれらが伝達する情報は、送信されたコマンド フレームの種類と、コマンド フレームで指定されたターゲットレジスタによって決まります。コマンド フレームの一部である場合、データ バイトにはレジスタに書き込む値が含まれます。応答フレームの一部である場合、データ バイトにはレジスタから返された値が含まれます。

表 7-13. データ バイトの定義

	ビット	コマンド フレーム		応答フレーム	
		ビット名	説明	ビット名	説明
データ	7	データ バイト [0]	書き込みコマンドの場合: レジスタに書き込むデータ値は、読み出しコマンドの REG_ADR フレームで指定されます 読み取りコマンドの場合: 読み取りコマンドによって返されるバイト数を指定します。 0x00 = 1 バイト 0x01 = 2 バイト : 0x7F = 128 バイト	データ バイト [0]	レジスタから読み取られたデータ値は、REG_ADR フレーム内に格納されます
	6				
	5				
	4				
	3				
	2				
	1				
	0				
	...				
	7	データ バイト [n]	書き込みコマンドの場合: レジスタに書き込むデータ値は、REG_ADR フレーム内で指定されます	データ バイト [n]	レジスタから読み取られたデータ値は、REG_ADR フレーム内に格納されます
	6				
	5				
	4				
	3				
	2				
	1				
	0				

7.3.6.1.1.2.1.5 CRC バイト

このデバイスは、CRC (巡回冗長検査) を使用して、転送中にデータの整合性を保護します。CRC は、検査対象のフレームを生成多項式で除算する、多項式の筆算除算に類似した処理における余りを表します。フレームに付加される CRC は剰余です。この処理により、デバイスがフレームを受信した際、送信された CRC を含むフレーム全体に対して受信側で CRC を計算すると、その結果はゼロになります。これは、送信および受信が正常に行われたことを示します。ゼロでない結果は、通信エラーを示します。具体的には、このデバイスは初期値を 0xFFFF とした CRC-16-IBM 多項式 ($x^{16} + x^{15} + x^2 + 1$) を使用します。

CRC 値は、通信フレームを受信した後の最初のステップとしてチェックされます。CRC が正しくない場合、フレーム全体は破棄され、処理されません。追加のフレーム エラーはチェックされず、また CRC エラー以外のエラーは通知されません。バイトは、スタックのアップまたはダウンで転送され続けるため、このフレームを処理したすべてのデバイスが CRC エラーを検出します。その結果、複数のデバイスが同じ通信フレームに対して CRC 故障を報告することになります。

7.3.6.1.1.2.1.6 フレーム CRC 値の計算

トランスミッタによる CRC 計算は、転送フレーム全体にわたってビットストリームの順序で行われます (CRC を除く)。CRC アルゴリズムを実装するためのビットストリームの順序を決定する際、プロトコル バイトがシリアルに LSB ファーストで転送されることに注意してください。図 7-27 に、ビットストリーム順序の概念を示します。

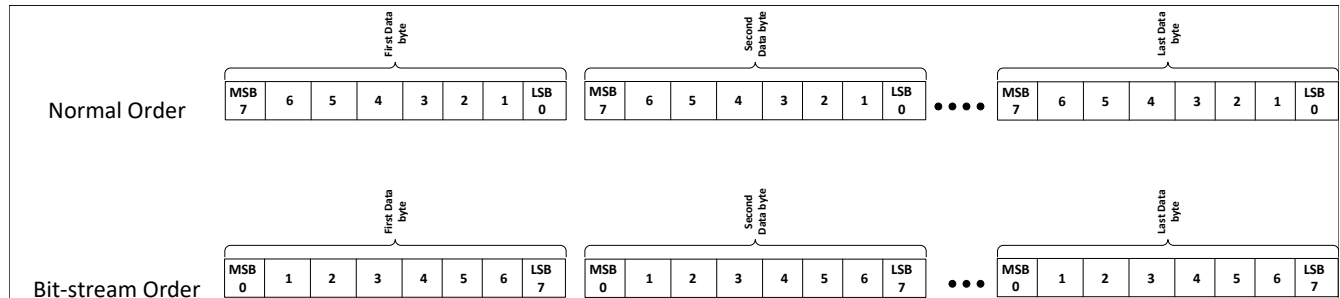


図 7-27. ビットストリーム順序の説明

CRC (0x0000) バイトは、ビットストリームの末尾に追加されます。次に、このビットストリームは、先頭のゼロ エラーを検出するため、0xFFFF との XOR 演算によって初期化されます。この新しいビットストリームは、2 バイトの CRC のみが残るまで多項式 (0xC002) で除算されます。このプロセス中、ビットストリームの最上位の 17 ビットは、多項式と XOR 演算されます。演算して発生する先頭のゼロは除去され、その結果は再び多項式と XOR 演算されます。2 バイトの CRC のみが残るまで、このプロセスが繰り返されます。例:

事例 1: 多項式除算を使用した CRC 計算

```
Command Frame = 0x80 00 02 0F 0B (0b1000 0000 0000 0000 0010 0000 1111 0000 1011)
Command Frame in bit stream order = 0x01 00 40 F0 D0 (0b0000 0001 0000 0000 0100 0000 1111 0000 1101 0000)
After Initialization (XOR with 0xFFFF) = 0b1111 1110 1111 1111 0100 0000 1111 0000 1101 0000
1111 1110 1111 1111 0100 0000 1111 0000 1101 0000 0000 0000 0000 0000 #append 0x0000 for CRC
1100 0000 0000 0010 1 #XOR with polynomial
0011 1110 1111 1101 1100 0000 1111 0000 1101 0000 0000 0000 0000 0000
11 1110 1111 1101 1100 0000 1111 0000 1101 0000 0000 0000 0000 0000 #delete leading zeros from
previous result
11 0000 0000 0000 101 #XOR with polynomial
00 1110 1111 1101 0110 0000 1111 0000 1101 0000
.....
.....
1100 0110 0000 0001 0000 0000
1100 0000 0000 0010 1 #XOR with polynomial
0000 0110 0000 0011 1000 0000
110 0000 0011 1000 0000
110 0000 0000 0001 01 #XOR with polynomial
000 0000 0011 1001 0100
0000 0011 1001 0100 #CRC result in bit stream order
1100 0000 0010 1001 #final CRC result in normal order
CRC final 0xC029
```

7.3.6.1.1.2.1.7 フレーム CRC の検証

フレームの CRC をチェックするには、いくつかの方法があります。1 つの方法は、前のセクションで説明した方法を使用して、最後の 2 バイト (CRC バイト) を除いて送信されたコマンドの CRC を単純に計算して、その結果を送信された CRC バイトと比較することです。これより簡単な方法は、CRC アルゴリズムを使用して転送全体を実行することです。CRC が正しい場合、結果は 0000 になります。この場合、16 個のゼロで最初にビットストリームをゼロ パディングする必要はありません。前の結果を使用してアルゴリズムを実行すると、次の結果が得られます。

事例 1: 多項式除算を使用した CRC 検証:

```
Command Frame = 0x80 00 02 0F 0B (0b1000 0000 0000 0000 0010 0000 1111 0000 1011)
CRC to Check = 0xC029
```



```

Command Frame w/ CRC in bit stream order = 0x80 00 02 0F 0B C0 29 (0b1000 0000 0000 0000 0000 0010
0000 1111 0000 1011 0000 0011 1001 0100)
After Initialization (XOR with 0xFFFF) = 0b0 1111 1110 1111 1111 0100 0000 1111 0000 1101 0000 0000
0011 1001 0100
1111 1110 1111 1111 0100 0000 1111 0000 1101 0000 0000 0011 1001 010 #delete leading zeros from
previous result
1100 0000 0000 0010 1 #XOR with polynomial
0011 1110 1111 1101 1100 0000 1111 0000 1101 0000 0000 0011 1001 0100
11 1110 1111 1101 1100 0000 1111 0000 1101 0000 0000 0011 1001 0100 #delete leading zeros from
previous result
11 0000 0000 0000 101 #XOR with polynomial
00 1110 1111 1101 0110 0000 1111 0000 1101 0000 0000 0011 1001 0100
.....
.....
.....
1100 0110 0000 0010 1001 0100
1100 0000 0000 0010 1 #XOR with polynomial
0000 0110 0000 0000 0001 0100
1 1000 0000 0000 0101 00
1 1000 0000 0000 0101 #XOR with polynomial
0 0000 0000 0000 0000 00
0x0000 #verfiy that CRC checks out valid

```

注

CRC の結果が「0b0000 0000 0000 0000」の場合、チェックが成功したことを示しています。

7.3.6.1.1.2.2 トランザクション フレームの例

トランザクション フレームは、前のセクションで説明したフレーム構造を使用して作成されます。このセクションでは、コマンドフレームと応答フレームがデジタイゼーションをどのように通過するかの概要を示します。例の CRC 値は正しいので、顧客の CRC アルゴリズムを検証するために使用できます。デバイスは受信した各コマンド フレームについて CRC を検証し、CRC が有効でない限り、コマンドは実行されません。

7.3.6.1.1.2.2.1 シングル デバイス読み取り / 書き込み

シングル デバイス読み取り:

このコマンドを使用する前に、デバイス アドレスを設定する必要があります。シングル デバイス読み取りでは、要求されるレジスタ バイトの読み取り数によって、生成される応答フレームの長さが決まります。ホストから送信するコマンドフレームには、開始点となるレジスタ アドレス (アドレス フィールド) と返すバイト数 (読み取るレジスタの数) が含まれている必要があります。シングル デバイス読み取りコマンドの初期化バイトの DATA_SIZE フィールドは常に 0b0000 です。

コマンドフレームはデジタイゼーション内のすべてのデバイスに転送されますが、コマンドフレームのデバイス アドレス フィールドと一致するデバイスのみが、シングル デバイス読み取りコマンドに応答します。該当対応するデバイスは、応答フレームのフォーマットに続いて、シングル デバイス読み取りによって返されたデータ要求で応答します。

シングル デバイス書き込み:

このコマンドを使用する前に、デバイス アドレスを設定する必要があります。シングル デバイス書き込みコマンドを使用すると、1 つのコマンドで最大 8 つの連続するレジスタを更新できます。シングル デバイス書き込みのコマンド フレームには、開始点となるレジスタ アドレス (アドレス フィールド) と、レジスタに書き込むデータ バイトが含まれる必要があります。シングル デバイス書き込みコマンドの初期化バイトの DATA_SIZE フィールドは、更新するレジスタの数です。

コマンドフレームはデジタイゼーション内のすべてのデバイスに移動しますが、コマンドフレームのデバイス アドレス フィールドと一致するデバイスのみが、シングル デバイス書き込みコマンドを実行します。

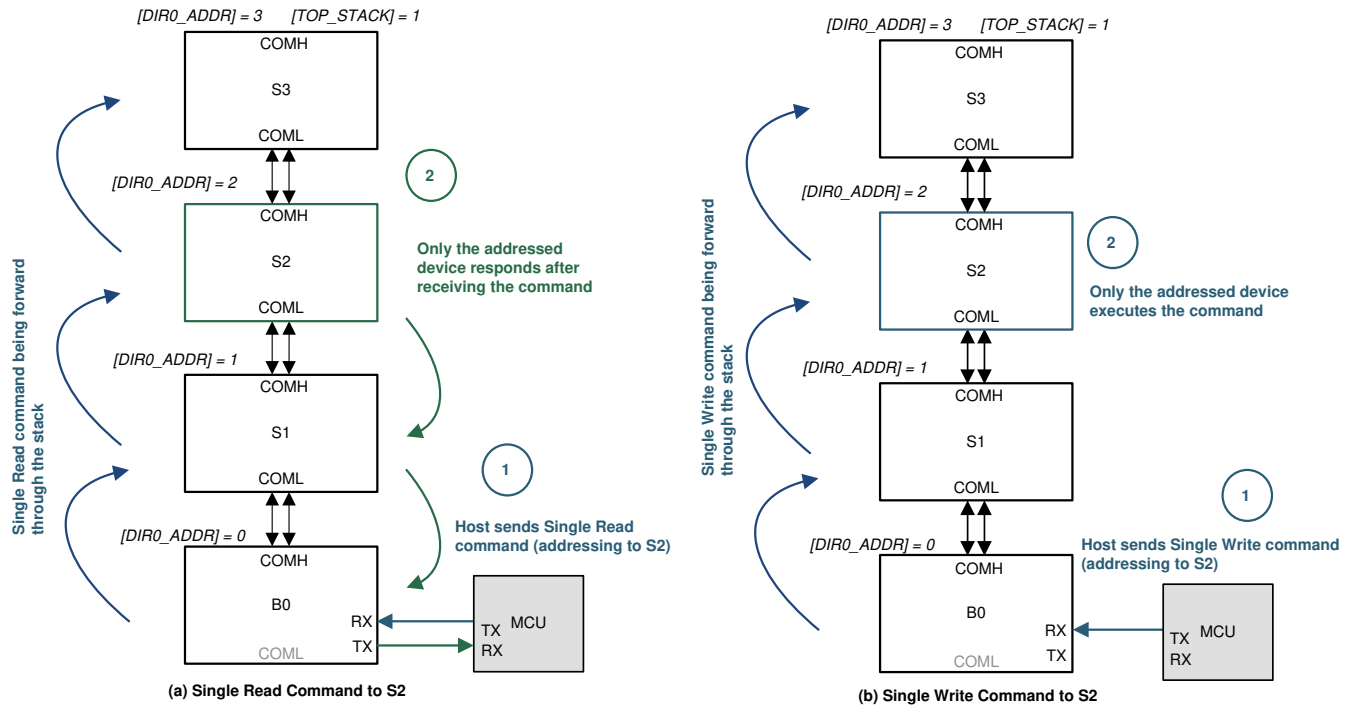


図 7-28. シングル デバイス読み取り / 書き込み

表 7-14. シングル デバイス読み取り / 書き込み

ホストから送信されたシングル読み取りコマンド			ホストから送信されたシングル書き込みコマンド		
例	S2 から 16 セル電圧を読み取り		OTP ロック解除コードを OTP_PROG_UNLOCK1A ~ 1D レジスタに書き込み		
フレームフィールド	データ	コメント	データ	コメント	
初期化バイト	0x80	常に 0x80 FRAME_TYPE = 1 REQ_TYPE = 0b000 = シングル読み取り DATA_SIZE = 0b000	0x93	1 バイト データ書き込みの場合は 0x90、2 バイト データ書き込みの場合は 0x91、3 バイト データ書き込みの場合は 0x92 などです。 この例の場合: FRAME_TYPE = 1 REQ_TYPE = 0b001 = シングル書き込み DATA_SIZE = 0b11 = 4 バイト	
デバイス アドレス	0x02	この例では、デバイス アドレス 0x02 (S2)	0x02	この例では、デバイス アドレス 0x02 (S2)	
レジスタ・アドレス	0x0568	読み取るレジスタ ブロックの開始アドレス (この例では VCELL16_HI のアドレス)	0x0300	書き込むレジスタ ブロックの開始アドレス (この例では OTP_PROG_UNLOCK1A のアドレス)	
データ	0x1F	それぞれ VCELLn_HI = 0x80、VCELLn_LO = 0x00 (ここで n = 1 ~ 16) と仮定する場合、32 バイトのデータ (アドレス 0x0568 ~ 0x0587) を返すようにターゲット デバイスに指示します。	0x02B7 78BC	OTP_PROG_UNLOCK1A ~ OTP_PROG_UNLOCK1D へのロック解除値	
CRC	0x5A6F		0xB8AE		

7.3.6.1.1.2.2.2 スタック読み取り / 書き込み

スタック読み取り:

このコマンドを使用する前に、デバイス アドレス、COMM_CTRL[STACK_DEV] ビット、および [TOP_STACK] ビットを構成する必要があります。スタック読み取りコマンドでは、スタック内のデバイス数 (つまり、COMM_CTRL[STACK_DEV] = 1 に設定されているデバイス数) に応じた数の応答フレームが生成されます。また、各応答フレームの長さは、読み取りを

要求したレジスタのバイト数によって決まります。スタック読み取りコマンド フレームには、読み取り開始レジスタ アドレス (アドレス フィールド) と、返送するバイト数 (読み取るレジスタ数) を含める必要があります。読み取りコマンドの初期化バイトの **DATA_SIZE** フィールドは、常に **0b000** です。

コマンド フレームはデিজリーチェーン内のすべてのデバイスに移動しますが、応答するのは **COMM_CTRL[STACK_DEV] = 1** のデバイスのみです。応答の間、**COMM_CTRL[TOP_STACK] = 1** のデバイスは、最初に応答フレームを返します。スタック内の各デバイス (アドレス **N**) は、自身の応答フレームを付加する前に、一つ上位のデバイス (アドレス **N + 1**) からの応答を待機します。応答を受信している間に **CRC** が検証されます。アドレス **N + 1** のデバイスからの応答フレームで **CRC** エラーが発生した場合、デバイス **N** は自身のメッセージを追加せず、無効 **CRC** 故障が生成されます。

図 7-29 を、**S1** から **S3** までの 16 セル電圧の読み取りを行う例と一緒に使用します。このコマンドに対する応答は 3 つの独立した応答フレーム (デバイスにつき一つの応答フレーム) で構成されます。各フレームの全長は 38 バイト (データ 32 バイト + プロトコル部 6 バイト) です。スタック読み取りコマンドにはデバイス アドレス フィールドは含まれませんが、各応答フレームには対応するデバイス アドレス フィールドが含まれており、どのデバイスのデータであるかを識別できます。ホストは最初に **S3 (ToS)** からの応答フレームを受信し、続いて **S2** からの応答フレーム、最後に **S1** からの応答フレームを受信します。

スタック書き込み:

このコマンドを使用する前に、**COMM_CTRL[STACK_DEV]** を構成する必要があります。スタック書き込みコマンドを使用すると、ホストはスタック デバイス用の最大八つの連続レジスタ (つまり、**COMM_CTRL[STACK_DEV] = 1** のデバイス) を一つのコマンドで更新できます。コマンド フレームには、書き込み開始レジスタ アドレス (アドレス フィールド) と、レジスタへ書き込むデータ バイトを含める必要があります。初期化フレームの **DATA_SIZE** フィールドは、更新するレジスタの数です。

コマンド フレームはデিজリーチェーン内のすべてのデバイスに移動しますが、**COMM_CTRL[STACK_DEV] = 1** のデバイスのみがコマンドを実行します。

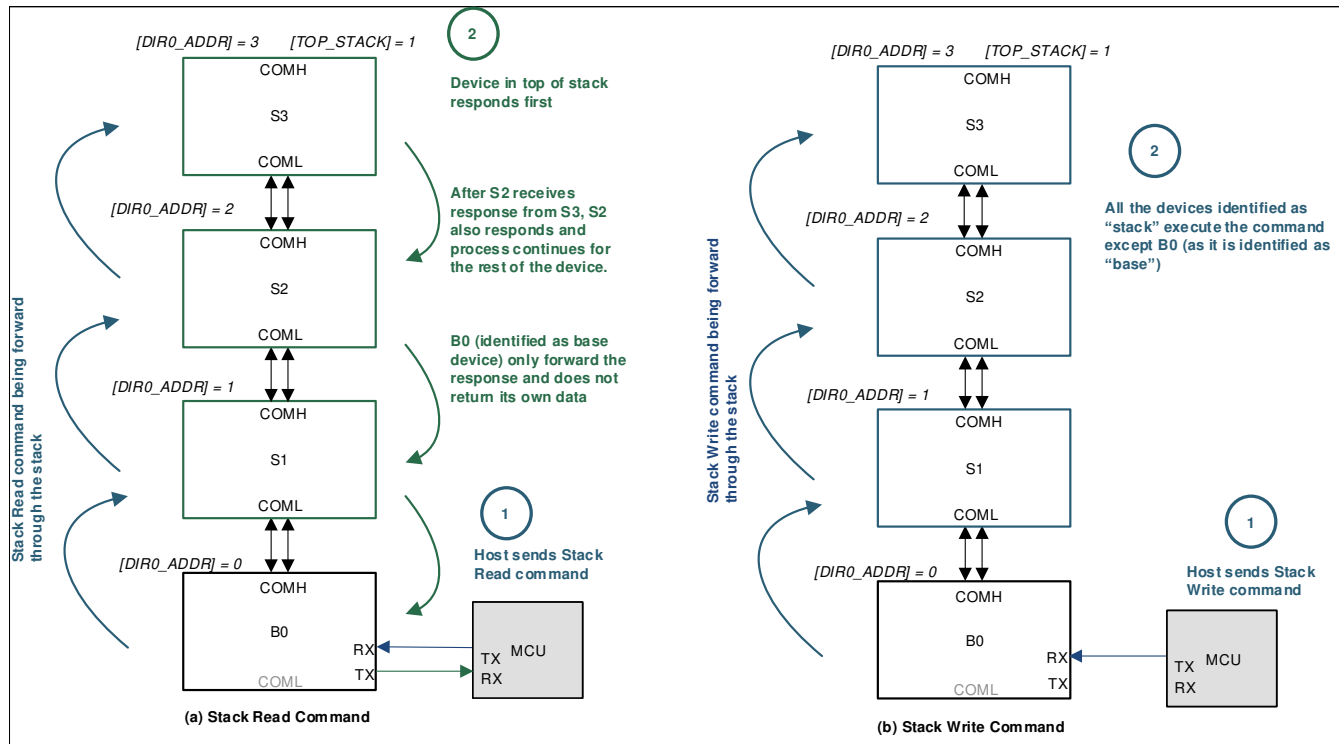


図 7-29. スタック読み取り / 書き込み

表 7-15. スタック読み取り / 書き込み

例	ホストから送信されたスタック読み取りコマンド		ホストから送信されたスタック書き込みコマンド	
	S1 から S3 までの 16 セル電圧を読み取ります		S1、S2、および S3 の OTP_PROG_UNLOCK1A ~ 1D レジスタに OTP アンロックコードを書き込みます	
フレームフィールド	データ	コメント	データ	コメント
初期化バイト	0xA0	常に 0xA0 FRAME_TYPE = 1 REQ_TYPE = 0b010 = スタック読み取り DATA_SIZE = 0b000	0xB3	1 バイト データ書き込みの場合は 0xB0、2 バイトのデータ書き込みの場合は 0xB1、3 バイトのデータ書き込みの場合は 0xB2 などです。 この例の場合: FRAME_TYPE = 1 REQ_TYPE = 0b011 = スタック書き込み DATA_SIZE = 0b011 = 4 バイト
デバイス アドレス	該当なし	コマンド フレームにデバイス アドレス バイトを含める必要はありません	該当なし	コマンド フレームにデバイス アドレス バイトを含める必要はありません
レジスタ・アドレス	0x0568	読み取るレジスタ ブロックの開始アドレス (この例では VCELL16_HI のアドレス)	0x0300	書き込むレジスタ ブロックの開始アドレス (この例では OTP_PROG_UNLOCK1A のアドレス)
データ	0x1F	各デバイスに対して 32 バイトのデータ (アドレス 0x0568 ~ 0x0587) を返すよう指示します。ここで、n = 1 ~ 16 のすべての VCELLn_HI = 0x80、VCELLn_LO = 0x00 であると仮定します。	0x02B7 78BC	OTP_PROG_UNLOCK1A から OTP_PROG_UNLOCK1D へのロック解除値
CRC	0x5C2D		0x0BD7	

7.3.6.1.1.2.3 ブロードキャスト読み取り / 書き込み

ブロードキャスト読み取り:

このコマンドを使用する前に、デバイス アドレスと [TOP_STACK] ビットを構成する必要があります。ブロードキャスト読み取りコマンドでは、デジタイゼーション内のデバイス数 (スタックデバイスおよびベース デバイスを含む) に応じた数の応答フレームが生成されます。また、各応答フレームの長さは、要求されたレジスタ読み取りバイト数によって決まります。ブロードキャスト読み取りコマンド フレームには、読み取り開始レジスタ アドレス (アドレス フィールド) と、返送するバイト数 (読み取り対象レジスタ数) を含める必要があります。読み取りコマンドの初期化バイトの DATA_SIZE フィールドは、常に 0b000 です。

コマンド フレームはデジタイゼーション内のすべてのデバイスへ伝達され、各デバイスが応答します。応答の際、COMM_CTRL[TOP_STACK] = 1 のデバイスは最初に応答フレームを返します。スタック内の各デバイス (アドレス N) は、(アドレス N+1) より大きいデバイスが応答フレームを追加する前に応答するまで待機します。応答を受信している間に CRC が検証されます。アドレス N + 1 のデバイスからの応答フレームで CRC エラーが発生した場合、デバイス N は自身のメッセージを追加せず、無効 CRC 故障が生成されます。

表 7-16 を、B0 から S3 までの 16 セル電圧を読み取る例と組み合わせて使用します。このコマンドに対する応答は 4 個の独立した応答フレームで構成されます (各デバイスにつき一フレーム)。各フレームの総長は 38 バイトで、内訳はデータ 32 バイトとプロトコル オーバーヘッド 6 バイトです。ブロードキャスト読み取りコマンドにはデバイス アドレス フィールドは含まれていませんが、各応答フレームには対応するデバイス アドレス フィールドが含まれており、データを特定のデバイスに関連付けることができます。ホストは、最初に S3 (ToS) からの応答フレームを受信し、その後 S2、S1、最後に B0 からの応答フレームを受信します。

ブロードキャストの書き込み:

このコマンドは、自動アドレス指定なしで使用できます。ブロードキャスト書き込みコマンドを使用すると、ホストは一回のコマンドでデジタイゼーション内のすべてのデバイスに対し、最大八個の連続したレジスタを更新できます。コマンド フレームには、書き込み開始レジスタ アドレス (アドレス フィールド) と、レジスタへ書き込むデータ バイトを含める必要があります。初期化フレームの DATA_SIZE フィールドは、更新するレジスタの数です。

コマンド フレームはデジタイゼーション内のすべてのデバイスへ伝達され、デジタイゼーション内の全デバイスがコマンドを実行します。

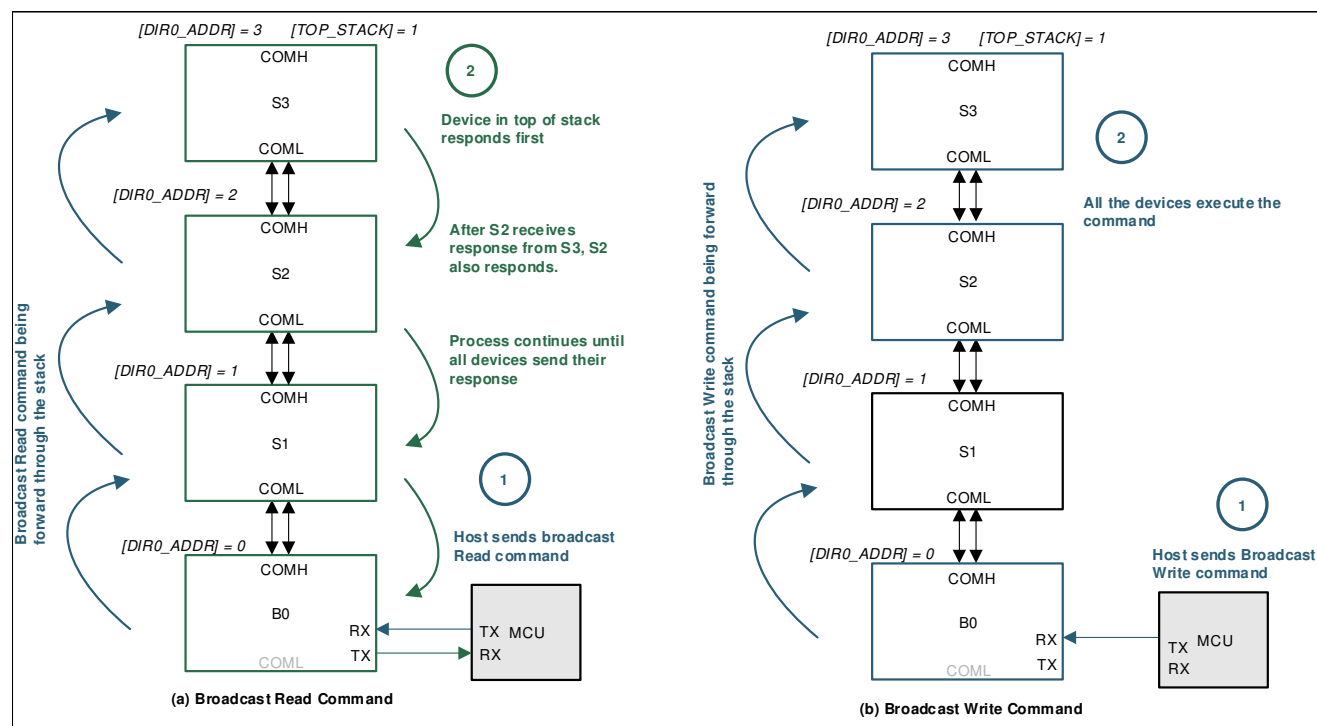


図 7-30. ブロードキャスト読み取り / 書き込み

表 7-16. ブロードキャスト読み取り / 書き込み

ホストから送信されたブロードキャスト読み取りコマンド			ホストから送信されたブロードキャスト書き込みコマンド		
例	B0 から S3 までの 16 セル電圧を読み取ります		OTP ロック解除コードを OTP_PROG_UNLOCK1A ~ 1D レジスタの B0、S1、S2、S3 に書き込みます		
フレームフィールド	データ	コメント	データ	コメント	
初期化バイト	0xC0	常に 0xC0 FRAME_TYPE = 1 REQ_TYPE = 0b100 = ブロードキャスト読み取り DATA_SIZE = 0b000	0xD3	1 バイト データ書き込みには 0xD0、2 バイト データ書き込みには 0xD1、3 バイト データ書き込みには 0xD2 を使用し、以降も同様です。 この例の場合: FRAME_TYPE = 1 REQ_TYPE = 0b101 = ブロードキャスト書き込み DATA_SIZE = 0b011 = 4 バイト	
デバイス アドレス	該当なし	コマンド フレームにデバイス アドレス バイトを含める必要はありません	該当なし	コマンド フレームにデバイス アドレス バイトを含める必要はありません	
レジスタ・アドレス	0x0568	読み取るレジスタ ブロックの開始アドレス (この例では VCELL16_HI のアドレス)	0x0300	書き込むレジスタ ブロックの開始アドレス (この例では OTP_PROG_UNLOCK1A のアドレス)	
データ	0x1F	各デバイスに対し、32 バイトのデータ (すなわちアドレス 0x0568 ~ 0x0587 のデータ) を返すよう指示します。ここでは、n = 1 ~ 16 について、各 VCELLn_HI = 0x80、VCELLn_LO = 0x00 であると仮定します。	0x02B7 78BC	OTP_PROG_UNLOCK1A から OTP_PROG_UNLOCK1D へのロック解除値	
CRC	0x422D		0x6BD1		

7.3.6.1.1.2.2.4 逆方向へのブロードキャスト書き込み

通常、デバイスは [DIR_SEL] 設定をベースとする通信の受信を想定しています。デバイスが [DIR_SEL] 設定とは逆の通信フレームを受信した場合 (たとえば [DIR_SEL] = 0 のときに COMH からコマンド フレームを受信した場合など)、そ

の通信はエラーとしてフラグが立てられます。逆方向へのブロードキャスト書き込みは、ホストがデイジーチェーン通信方向を切り替える必要があるときに、[DIR_SEL] 設定を反転するために使用されるコマンドです。本コマンドは、逆方向通信手順において [DIR_SEL] 設定とは反対方向から受信されることを想定しています。詳しくは、[セクション 7.3.6.1.3.4](#) を参照してください。

逆方向へのブロードキャスト書き込みでは、デバイスに任意のレジスタ値を書き込むことができますが、通信の競合を回避するため、CONTROL1[DIR_SEL] 以外のレジスタ設定を書き込むことは推奨しません。通信の競合は検出されないため、スタック インターフェイス上で通信エラーが発生します。

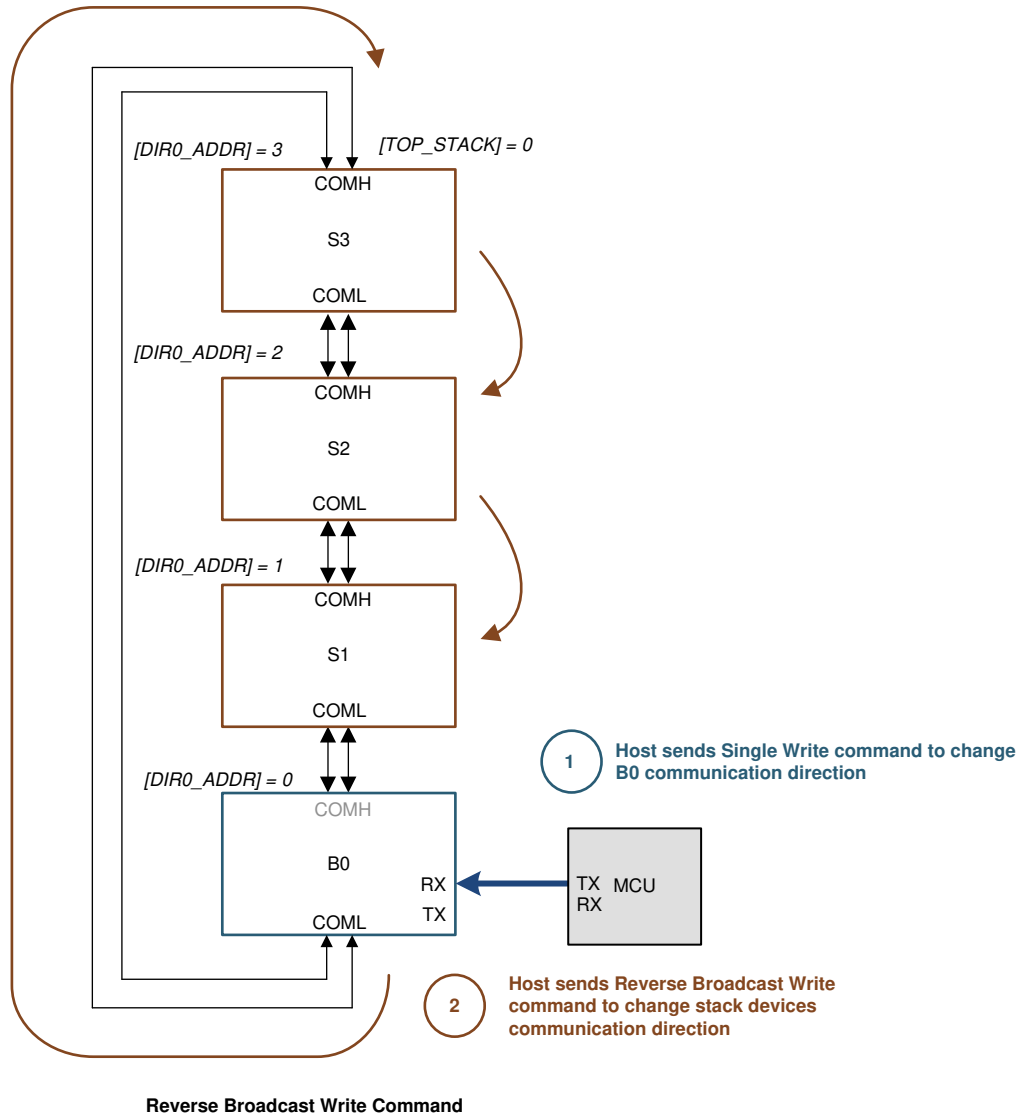


図 7-31. 逆方向へのブロードキャスト書き込み

表 7-17. 逆方向へのブロードキャスト書き込み

逆方向へのブロードキャスト書き込みコマンド (ホストから送信)		
デジチェーン内のすべてのデバイスで [DIR_SEL] = 1 を設定		
フレーム フィールド	データ	コメント
初期化バイト	0xE0	常に 0xE0 FRAME_TYPE = 1 REQ_TYPE = 0b110 = 逆方向へのブロードキャスト書き込み DATA_SIZE = 0b000
デバイス アドレス	該当なし	コマンド フレームにデバイス アドレス バイトを含める必要はありません
レジスタ・アドレス	0x0309	CONTROL1 レジスタのアドレス
データ	0x80	CONTROL1[DIR_SEL] = 1 に設定します
CRC	0xC014	

7.3.6.1.2 デジチェーン インターフェイス

デジチェーン通信では、電磁感受性 (EMS) を最小限に抑え、バルク電流注入 (BCI) 耐性を向上させるために差動信号を使用します。差動通信では、COM*P および COM*N ピンを用いて、それぞれ正相データと反相データを送信します。複数デバイスのスタック構成では、デバイスが物理的に同一基板上に配置される場合や、ツイストペア配線で接続された別パッケージに分散配置される場合があります。

このデバイスは、トランスまたはコンデンサを使用して、スタック内のデバイス間の信号を電氣的に絶縁できます。同じ PCB を複数のデバイスで共有するアプリケーションでは、デバイスの COMH/L ピンの間に 1 個のレベル シフト コンデンサを接続します。非常にノイズの多い環境では、追加のフィルタリングが必要になることがあります。ケーブルで分離されたデバイスの場合は、追加の絶縁部品を使用します。部品を選択する際の詳細については、[セクション 8](#) を参照してください。

7.3.6.1.2.1 デジチェーン トランスミッタとレシーバ機能

デジチェーンは双方向で半二重であるため、COMH および COML インターフェイス上にトランスミッタ (TX) とレシーバ (RX) があります。TX 機能と RX 機能は、デバイスのベース / スタック検出に応じて、ハードウェアが自動的に制御します。WAKE ping/tone を受信した場合、CONTROL1[DIR_SEL] と COMM_CTRL[TOP_STACK] の設定に基づいて通信方向が決まります。詳しくは、[セクション 7.3.6.1.3](#) を参照してください。さらに、通信デバッグ モードでは、DEBUG_CTRL_UNLOCK、DEBUG_COMM_CTRL1、および DEBUG_COMM_CTRL2 レジスタを使用して、ユーザー上書き機能により COMH および COML を完全に制御することができます。詳しくは、[セクション 7.5.4.14](#) を参照してください。

7.3.6.1.2.2 デジチェーン プロトコル

差動デジチェーン (垂直) インターフェイスは、非同期の 13 ビット バイト転送プロトコルを使用します。データは LSB ファーストで転送され、送信に DC 成分が含まれないようにするため、すべてのビットが (反相データにより) 二重化されます。

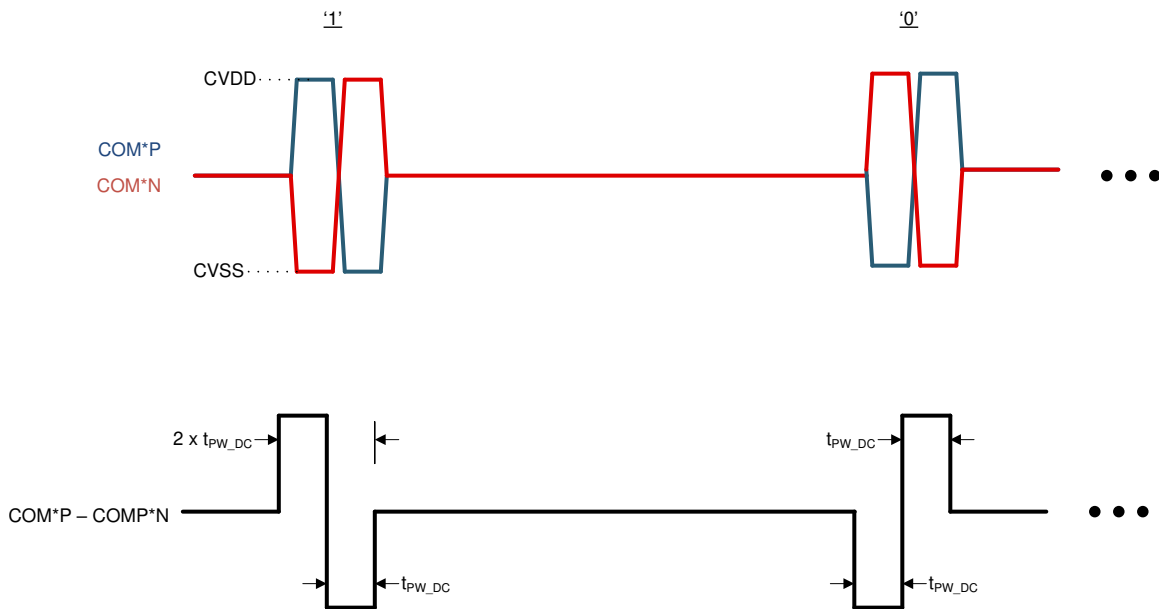


図 7-32. デイジーチェーンのビット定義

1 バイトはプリアンブルで開始され、その後に 2 つの SYNC ビット、フレーム開始ビット、LSB D0 から MSB D7 までの 8 個のデータ ビットと続きます (D0 はフレーム開始ビットの直後に送信され、最後の D7 の送信後に、バイト エラーとポストアンブルが送信されます)。

デバイスは、プリアンブルおよび SYNC ビットを使用してタイミング情報を抽出し、バイトの残りのビット値をデコードします。以下のいずれかのエラーが検出されると、バイトは処理されず、レジスタ エラー ビットがセットされます。

- プリアンブルと SYNC ビットは既知の値です。デコードされた値にエラーがある場合は、どの COM ポートがこのデータを受信するかに応じて `DEBUG_COMH/L_BIT[SYNC1] = 1` となります。
- プリアンブルと SYNC ビットから抽出されたタイミングが予想される範囲外である場合、`DEBUG_COMH/L_BIT[SYNC2] = 1` になります。

2 つの有効な SYNC ビットが受信されると、追加のビットがデコードされ、コマンド プロセッサに送信されます。デバイスは、このバイトのエラーを継続的に検出し、エラーが検出されると、このバイトのバイト エラー (BERR) ビットがセットされます。`DEBUG_COMH/L_BIT[PERR] = 1` は、どの COM ポートがエラーを検出しているかに依存します。次の条件により、バイト内の BERR ビットがセットされます。

- ビットのロジックレベルを示すのに十分なサンプルがありません。つまり、ビットが確実な 1 または確実な 0 としてデコードされない場合を指します。`DEBUG_COMH/L_BIT[BIT] = 1` は、どの COM ポートがエラーを検出しているかに依存します。

その間、各ビットは引き続き次のデバイスに再送信されます。デバイスがそのビットの 1 または 0 をデコードできない場合、バイトの BERR ビットがセットされた状態で 0 を再送信します。新しいデバイスは、受信バイトで BERR ビットが 1 に設定されていることを検出すると、疑わしいバイトを無視して、`DEBUG_COMH/L_BIT[BERR_TAG] = 1` にセットします。これは、そのバイトが BERR で受信されたことを示します。無視されている疑わしいバイトは、他の通信エラーを引き起こす可能性が高く、新しいデバイスでも `DEBUG_COMH/L_BIT[PERR] = 1` がセットされる可能性があります。疑わしいバイトは、BERR が設定された状態でデイジーチェーン内を順に再送信されていき、プロセスが継続します。

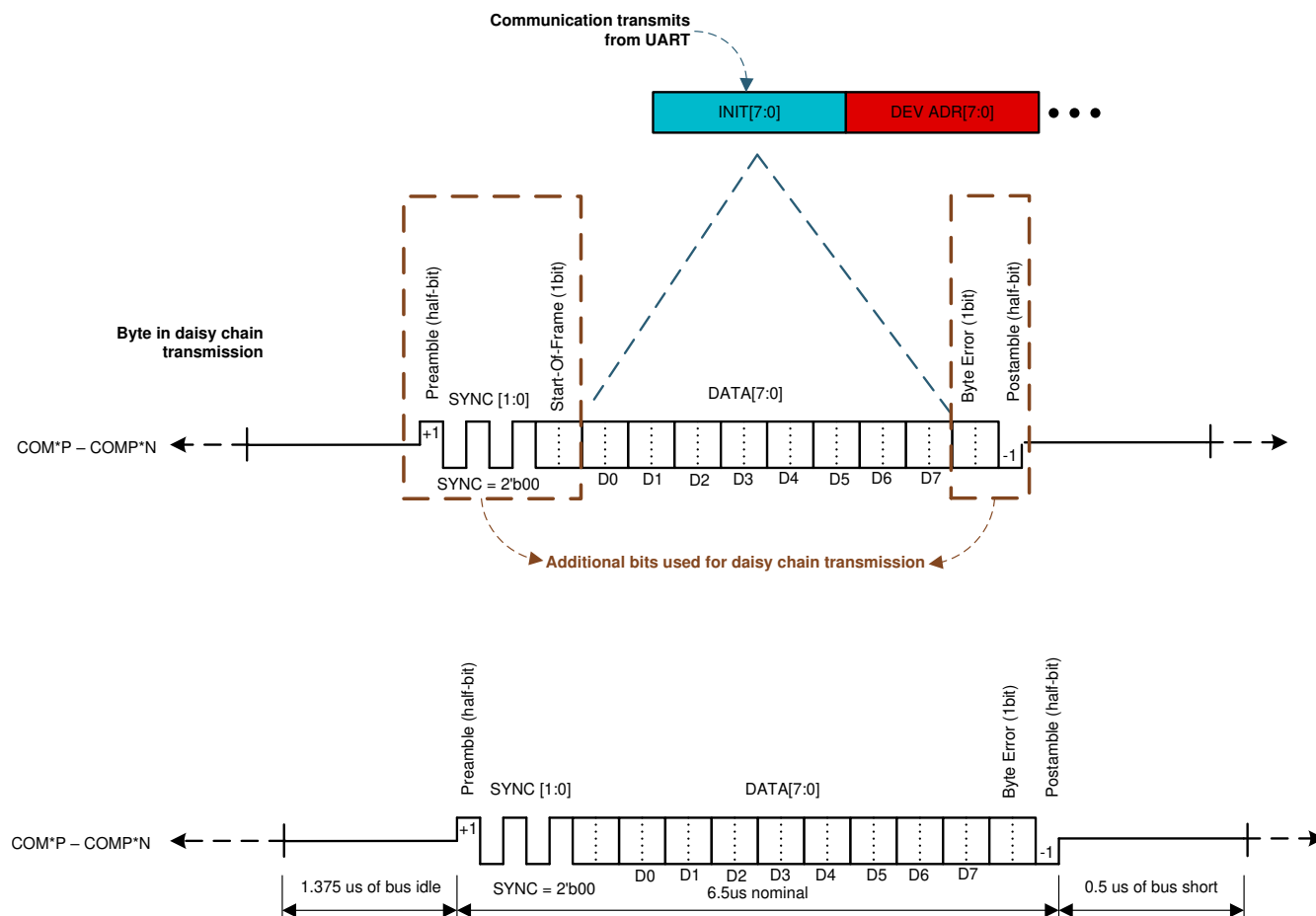


図 7-33. デイジーチェーンのバイト定義

表 7-18. デイジーチェーンのバイト定義

ビットフィールド	説明
プリアンブル (ハーフビット)	トランザクションの開始を示し、レシーバにサンプリングを開始するよう信号を送信します。このハーフビットと次の 2 つの SYNC ビットを使用して、タイミング情報を追加します。
SYNC[1:0]	常に 0b00 です。SYNC ビットはデジタル側がバイトのタイミングおよびノイズ レベルを評価するために使用され、ノイズ環境下での 1 および 0 の検出精度を向上させます。
フレーム開始 (1 ビット)	フレーム開始 (SOF) ビットは、後続のデータ バイトが初期化バイト、つまり通信トランザクション フレームの開始点であることを示しています。スタック デバイスは、通信を処理するためにこの情報を必要とします。 コマンド フレーム トランザクションでは、ベース デバイスは、UART 通信をデイジーチェーン通信に変換する際に、SOF ビットを設定します。 初期化バイトにはデータ サイズ情報が含まれます。データ サイズ情報に基づき、ベース デバイスは受信したバイト数をカウントし、それに応じて次の SOF ビットを設定します。 UART COMM CLEAR 信号は、ロジックのフレーム処理を含む UART レシーバをリセットします。したがって、COMM CLEAR 後の次のバイトでは SOF が 1 にセットされている必要があります。これは、COMM CLEAR がシステムで UART がクリアされ、通信が再起動されることを示しているためです。
データ[7:0]	通信トランザクション フレームの実際のバイト
バイト エラー BERR (1 ビット)	このバイトでエラーが検出されたことを示します。デバイスが下位デバイスで BERR が設定されたバイトを受信すると、そのデバイスでもそのバイトを BERR = 1 で再送信します。 各データ ビットはあるデバイスから次のデバイスまで再クロックされるため、次のデバイスは通信エラーを検出できない可能性があります。ただし、[BERR] ビットのタグは、この通信フレームで前のトランザクション中にエラーが発生していることを示します。
ポストアンブル (ハーフビット)	トランザクションの終了を示します

各バイトを 2MHz (パルスごとに 250ns、または 2 つ 1 組ごとに 500ns) のレートで送信します。各バイト間の時間は、UART のボーレート (通常動作時は 1Mbps) によって異なりますが、バイトごとの時間は常に一定です。通信フレームは、バイト間のアイドル時間で定義されます。まれに、通信信号が正常に終了せず、バイトの最後にリングングが残ることがあります。このような場合、バイト間のギャップを増やすことで、通信の堅牢性が向上します。このデバイスでは、STACK_RESPONSE レジスタ設定により、応答フレームのバイト間にバイトギャップを追加できます。

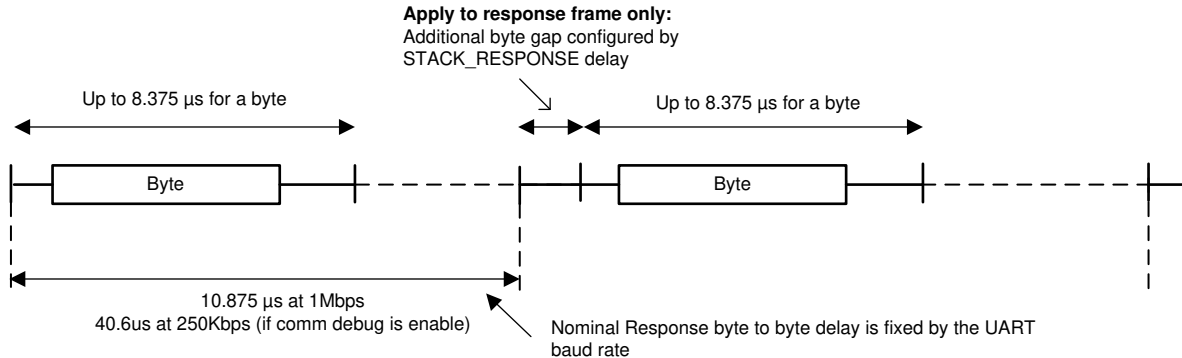


図 7-34. デイジーチェーンのバイト転送

7.3.6.1.3 通信を開始し

シャットダウン状態またはデバイスリセット後、ホストは通信を確立するために以下の手順を実行します。

- ホストが WAKE ping を送信してリセットにするか、デバイスをアクティブ モードに移行させます。このプロセスにおいて、デイジーチェーン内の各デバイスは、デイジーチェーン内での位置 (ベース デバイスまたはスタック デバイス) に基づいて、自身の COMH および COML ポートを設定します。
 - このステップの後、ブロードキャスト書き込みがサポートされます。
- ホストは自動アドレス指定を実行して、各デバイスにデバイス アドレスを割り当てます
 - このステップの後、ブロードキャスト読み取り / 書き込みおよび単一デバイスの読み取り / 書き込みがサポートされます。
- ホストは COMM_CTRL[STACK_DEV] ビットと [TOP_STACK] ビットを構成します。スタックの最上位 (ToS) デバイスは、COMH (または通信方向に応じて COML) の送信機能を無効化します
 - この手順の後、すべてのコマンド、ブロードキャスト読み取り / 書き込み、シングル デバイスの読み取り / 書き込み、スタックの読み取り / 書き込みがサポートされます。

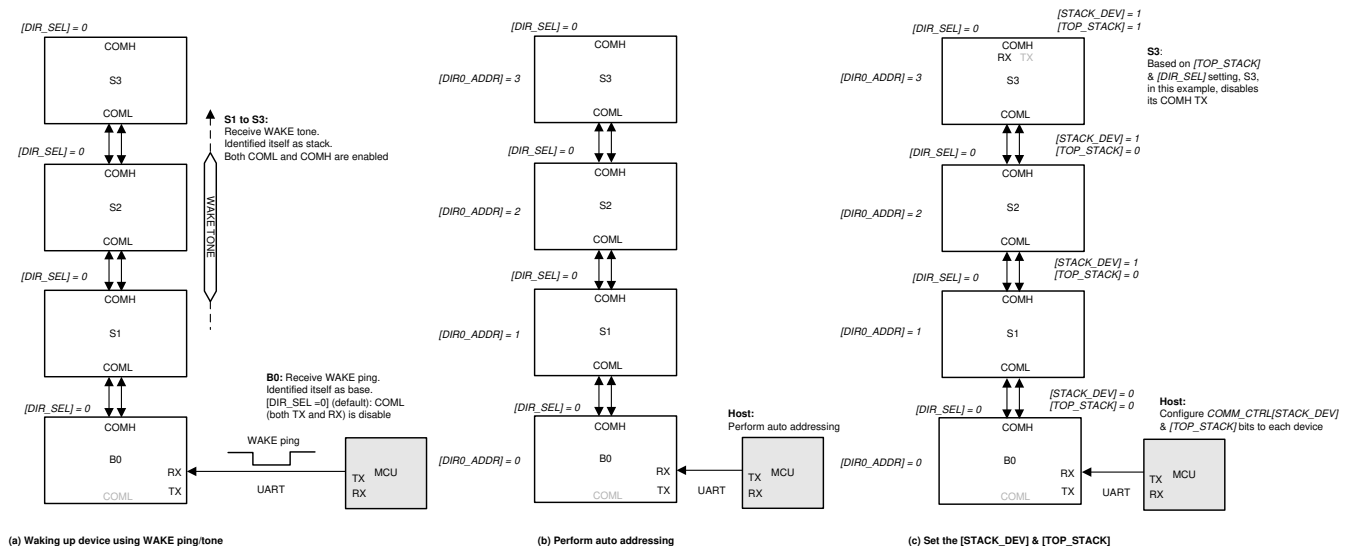


図 7-35. デバイスの通信を設定

7.3.6.1.3.1 ベースとスタックの識別

WAKE ping / トーンは、デバイスがデジチェーン内での自身の位置を識別するために使用されます。

- ベース デバイス: UART 経由でホストと接続するデバイス
- スタック デバイス: COMH および COML を介してベース デバイスと接続します

ベース デバイスは RX ピン経由の WAKE ping によってウェークアップし、一方、スタック デバイスは COMH/COML ポート経由の WAKE トーンによってウェークアップします。したがって、デバイスは WAKE ping または WAKE トーンを利用して、自身がベース デバイスであるかスタック デバイスであるかを判別します。この情報は AVAO_REF ブロックに保存され、すべての電源モードで利用可能であり、WAKE ping / トーンを受信するたびに更新されます。

CONTROL1[DIR_SEL] 設定を使用すると、ベース デバイスは未使用のデジチェーン ポート (トランスミッタおよびレシーバ) を無効化します。ホストが CONTROL1[DIR_SEL] 設定を変更すると、ベース デバイスは COMH/COML を再構成します。

注

ホストは、[DIR_SEL] 設定を変更した後、少なくとも 100μs で通信を開始し、デバイスが COMH/COML の再構成を完了することを確認します。

7.3.6.1.3.2 自動アドレッシング

読み取りプロトコルが機能するには、すべてのデバイスが固有のデバイス アドレスを持っている必要があります。何らかの理由で二つのデバイスに同じデバイス アドレスが割り当てられた場合、ブロードキャスト読み取りおよびスタック読み取りは正常に動作しない可能性があります。さらに、重複したアドレスに対してシングル デバイス読み取りを実行すると、通信が破綻します。

OTP にデバイス アドレスがプログラムされていない場合、デフォルトのデバイス アドレスは 0x00 です。ホストがスタンドアロン デバイス (つまり、一つのデバイスのみで構成されるスタック) と通信する場合、デフォルトのデバイス アドレスである 0x00 をそのまま使用できます。それ以外の場合、デバイス アドレスは以下のルールに従います。

- ベース デバイスのアドレスは任意の値から開始でき、0x00 である必要はありません
- すべてのデバイス アドレスはシーケンシャルである必要があります。つまり、ベース デバイスのアドレスが 0x00 の場合、次のデバイスは 0x01、その次のデバイスは 0x02 というように、順番にアドレスを割り当てる必要があります。

自動アドレッシング手順を開始する前に、すべてのデバイスがアクティブ モードである必要があります。この状態では、デバイスはブロードキャスト書き込みコマンドのみを受け付けます。このコマンドは自動アドレッシング手順で使用されます。CONTROL1[DIR_SEL] の設定に応じて、自動アドレッシング手順はデバイス アドレスを DIR0_ADDR レジスタ ([DIR_SEL] = 0 の場合) または DIR1_ADDR レジスタ ([DIR_SEL] = 1 の場合) に設定します。

7.3.6.1.3.2.1 デバイス アドレスの設定

CONTROL1[ADDR_WR] ビットを使用すると、自動アドレッシング モードが有効になります。このモードでは、デバイスは 1 つの通信フレームに対して COMH/COML ([DIR_SEL] 設定に依存) トランスミッタをオフにし (自動アドレッシング手順に従って、そのデバイスのアドレスで)、CONTROL1[ADDR_WR] = 0 をクリアします。次の通信を受信すると (自動アドレッシング手順に従って、次のデバイスのアドレスで)、デバイスは次のデバイスに通信を転送します。

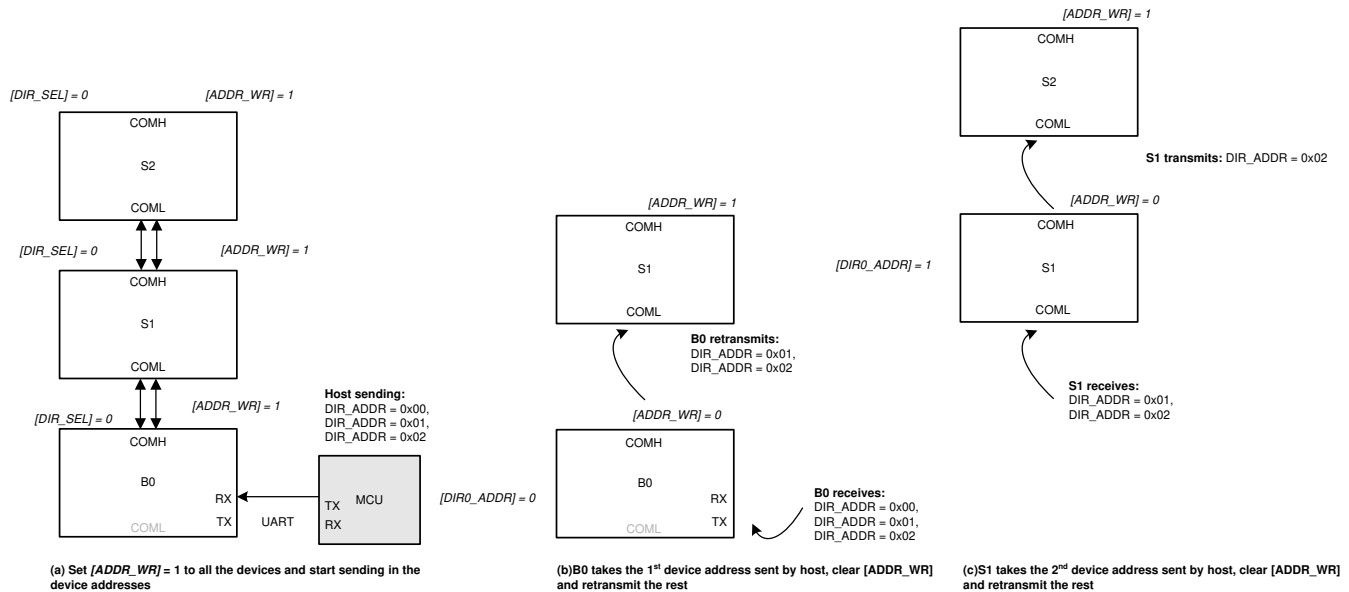


図 7-36. 自動アドレッシング

7.3.6.1.3.2.2 COMM_CTRL[STACK_DEV] および [TOP_STACK] の設定

自動アドレッシングの最後の手順は、COMM_CTRL[STACK_DEV] と [TOP_STACK] の設定を構成することです。ブロードキャスト読み取りおよびスタック読み書きを正常に動作させるには、これらのビットを設定する必要があります。

- ベース デバイス: [STACK_DEV] = 0 および [TOP_STACK] = 0
- スタック デバイス (ToS デバイスを除く): [STACK_DEV] = 1 および [TOP_STACK] = 0
- ToS デバイス: [STACK_DEV] = 1 および [TOP_STACK] = 1

表 7-19 に、自動アドレッシング手順を示します。ここでは、CONTROL1[DIR_SEL] = 0 と想定しています (つまり、COML から COMH にホストから送信されたコマンドフレームを送信するよう、各デバイスが設定されます)。

表 7-19. 自動アドレッシング

ステップ	手順
1	自動アドレッシング手順を実行する前にデバイスのリセットが発生した場合、この手順が必要です。 ダミー書き込みにより、すべてのデジタイゼーション デバイス DLL (遅延ロックループ) ランプを書き込み方向に同期します。 ホストはブロードキャストライトを送信し、ECC_DATA1 ~ ECC_DATA8 レジスタに 0x00 を書き込みます。
2	自動アドレッシング手順を有効化します。 ホストがブロードキャスト書き込みを送信して、CONTROL1[ADDR_WR] = 1 を設定します。
3	デバイス アドレスを送信します。ホストはブロードキャストライトを送信し、連続したアドレスを DIR0_ADDR[ADDRESS5:0] に設定します。デジタイゼーション接続された合計三つのデバイスの例: 1. DIR0_ADDR レジスタに対して、データ 0x00 のブロードキャストライトを送信します。 2. DIR0_ADDR レジスタに対して、データ 0x01 のブロードキャストライトを送信します。 3. DIR0_ADDR レジスタに対して、データ 0x02 のブロードキャストライトを送信します。
4	各デバイスの COMM_CTRL[STACK_DEV] ビットと [TOP_STACK] ビットを設定します。 オプション 1: ホストは各デバイスに単一デバイス書き込みを送信して、適切な [STACK_DEV] 値と [TOP_STACK] 値を設定します。 オプション 2 (通信ステップが少ない): 1. ホストがブロードキャスト書き込みを送信して [STACK_DEV] = 1 および [TOP_STACK] = 0 に設定します。 2. ホストはベース デバイス (この例ではデバイス アドレス 0x00) に対して、[STACK_DEV] = 0 を設定したシングル デバイスの書き込みを送信します。 3. ホストは、[TOP_STACK] = 1 で ToS デバイス アドレス 0x02 にシングル デバイス書き込みを送信します。

表 7-19. 自動アドレッシング (続き)

ステップ	手順
5	自動アドレッシング手順を実行する前にデバイスのリセットが発生した場合、この手順が必要です。 ダミー読み取りにより、すべてのデジチェーン デバイスの DLL ランプを読み取り方向で同期します。 ホストがブロードキャスト読み取りを送信して、ECC_DATA1 を読み取り、ECC_DATA8 レジスタに書き込みます。このステップでは DLL の同期を行うため、ホストはすべてのデータを受信できない場合があります。
7	ベスト プラクティスとして推奨されます。ブロードキャスト読み取りを使用して DIR0_ADDR レジスタを読み取り、すべてのデバイス アドレスを確認することで、全デバイスに正しくアドレスが割り当てられていることを確認します。
8	DLL を同期するためにダミー書き込みおよびダミー読み取りステップを実行すると、通信故障がトリガされた場合は通常です。その場合は故障レジスタをクリアします。

7.3.6.1.3.2.3 OTP へのデバイス アドレスの保存

このデバイスは、DIR_SEL = 0 のときは DIR0_ADDR レジスタを、DIR_SEL = 1 のときは DIR1_ADDR レジスタを使用してデバイス アドレスを管理します。自動アドレッシング手順において、デバイス アドレスはこれらのいずれかのレジスタに書き込まれ、新しいデバイス アドレスは即座に有効になります。

ホストは、[DIR_SEL] = 0 および 1 の各通信方向で使用するデバイス アドレスを OTP に書き込むことができるため、デバイスがリセットされるたびに、プログラムされたアドレスを自動的に読み込ませることができます。デバイス アドレスを OTP に書き込むには、ホストは希望するアドレスを OTP シャドウ レジスタである DIR0_ADDR_OTP ([DIR_SEL] = 0 の場合に使用) および DIR1_ADDR_OTP ([DIR_SEL] = 1 の場合に使用) に書き込み、その後 OTP プログラミングを実行します。これら二つのシャドウ レジスタは、OTP に書き込まれた値を反映するため、またはホストが OTP に書き込む値を設定するためだけに使用されます。これら二つのシャドウ レジスタは、通信時に使用されるデバイス アドレス設定ではありません。プログラミングの詳細については、[セクション 7.3.6.3.2](#) を参照してください。

7.3.6.1.3.3 デジチェーン DLL の同期

デバイスがリセットされるか、スリープからアクティブに移行します。マイコンは、デジチェーンデバイスの DLL を同期させるために、ダミー書き込みとダミー読み取りを実行する必要があります。

デバイス リセットが発生した場合で、デバイス アドレスが OTP にプログラムされていない場合。マイコンは自動アドレスを実行する必要があります。DLL 同期化は、このステップの一部です。デバイス アドレスが OTP にプログラムされている場合、デバイス リセット後に自動アドレッシングを実行する必要はありません。ただし、マイコンは表 7-19 の手順 1 と手順 5 に示すダミー書き込みおよびダミー読み取り手順を実行して、DLL を同期させる必要があります。

SLEEPtoACTIVE 信号を使用してデバイスがスリープからアクティブに移行しても、デバイスはリセットされません。ただし、堅牢性を確保するため、1 データ バイトのダミー書き込みと読み取りを行うことを推奨します。表 21 の同様のダミーの書き込みおよび読み取り手順に従いますが、OTP_ECC_DATAIN1 に対して書き込みと読み取りのみを行います。

7.3.6.1.3.4 リング型通信

このデバイスのデジチェーン通信は、リング アーキテクチャを採用しています。このアーキテクチャでは、二台のデバイス間でケーブル断線が発生しても、通常の非リング構成のように上流側デバイスとの通信がすべて失われることはありません。ホストが通信切断を検出した場合、このデバイスは通信方向を切り替える機能を提供しており、断線箇所の両側にあるデバイスとの通信を可能にします。これにより、ラインの断線が修復されるまで安全に操作できます。

CONTROL1[DIR_SEL] は通信方向を制御します。これらのデバイスは、[DIR_SEL] と [TOP_STACK] の設定に応じて、COMH ポートと COML ポートを再構成します。逆方向通信を行うためには、デバイス アドレスを再設定するための自動アドレッシング手順が必要です。

デジチェーン全体で通信方向を [DIR_SEL] = 1 に変更する例:

1. ホストがシングル デバイス書き込みを送信して、ベース デバイス [DIR_SEL] = 1 を変更します。ベースデバイスは、COMH を無効にし、COML を有効にします。
2. ホストは、全デバイスの COMM_CTRL レジスタ設定をクリアするために、逆方向ブロードキャスト書き込みコマンドを送信します。

- ホストがブロードキャスト書き込み逆方向を送信して、デバイス $[DIR_SEL] = 1$ の残りの部分を変更します。このステップでは、デ이지チェーン全体が $[DIR_SEL] = 1$ 方向で通信を送信するように構成されています (つまり、各デバイスは、COMH から COML に送信されたコマンドフレームを送信するように設定されています)。
- ホストは、自動アドレッシング手順を実行して、 $DIR1_ADDR$ レジスタにデバイス アドレスを設定します。デバイスがリセットされていない限り、ホストはダミーの読み取り / 書き込み手順をスキップして、自動アドレッシング手順で DLL を同期できます。
- ホストは新しいスタックの最上位デバイスを設定し、新しい ToS デバイスは COML トランスミッタを無効にします。

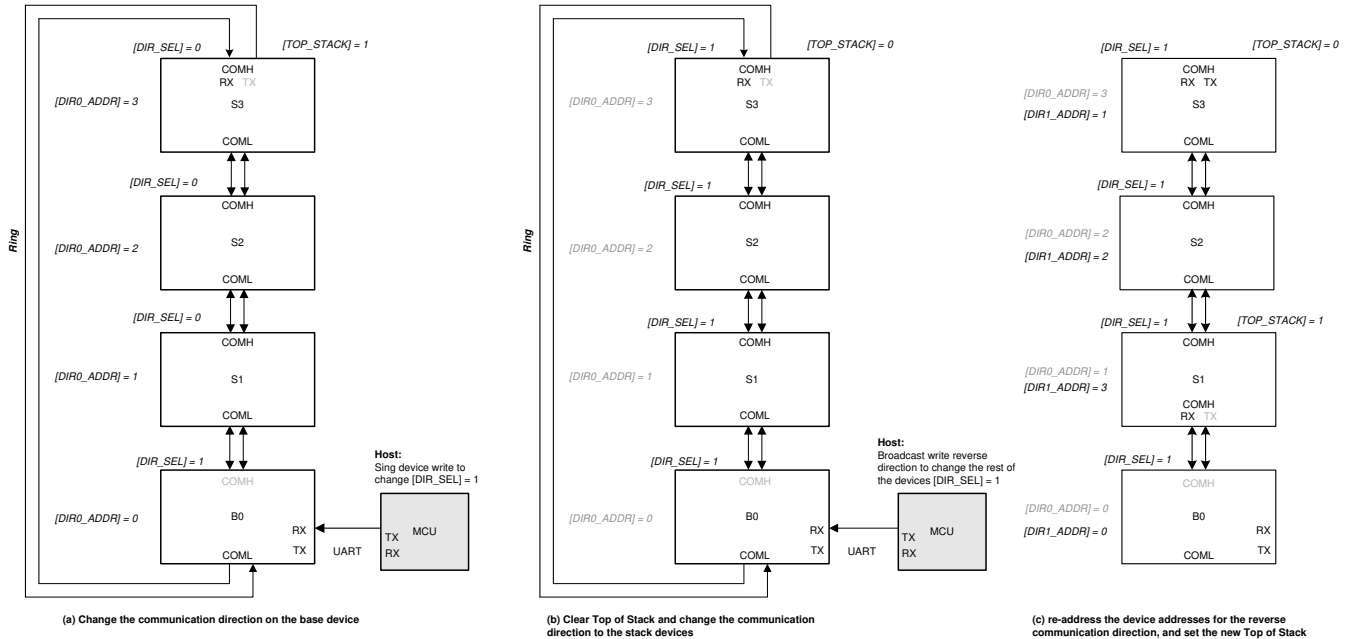


図 7-37. デ이지チェーンでの通信方向の変更例

両方の通信方向におけるデバイス アドレス設定が完了すると、ホストは通信方向を切り替える際にオート アドレス設定手順を省略できます。

ケーブル断線が発生した場合、ホストは同じ手順に従って通信方向を切り替えます。デ이지チェーン内のすべてのデバイスにアクセスするには、ホストは一部のデバイスで $[DIR_SEL] = 0$ と通信し、デ이지チェーン内の他のデバイスで $[DIR_SEL] = 1$ と通信する必要があります。チェーンには、各通信方向に対応する ToS デバイスがそれぞれ一台ずつ、合計二台存在します。

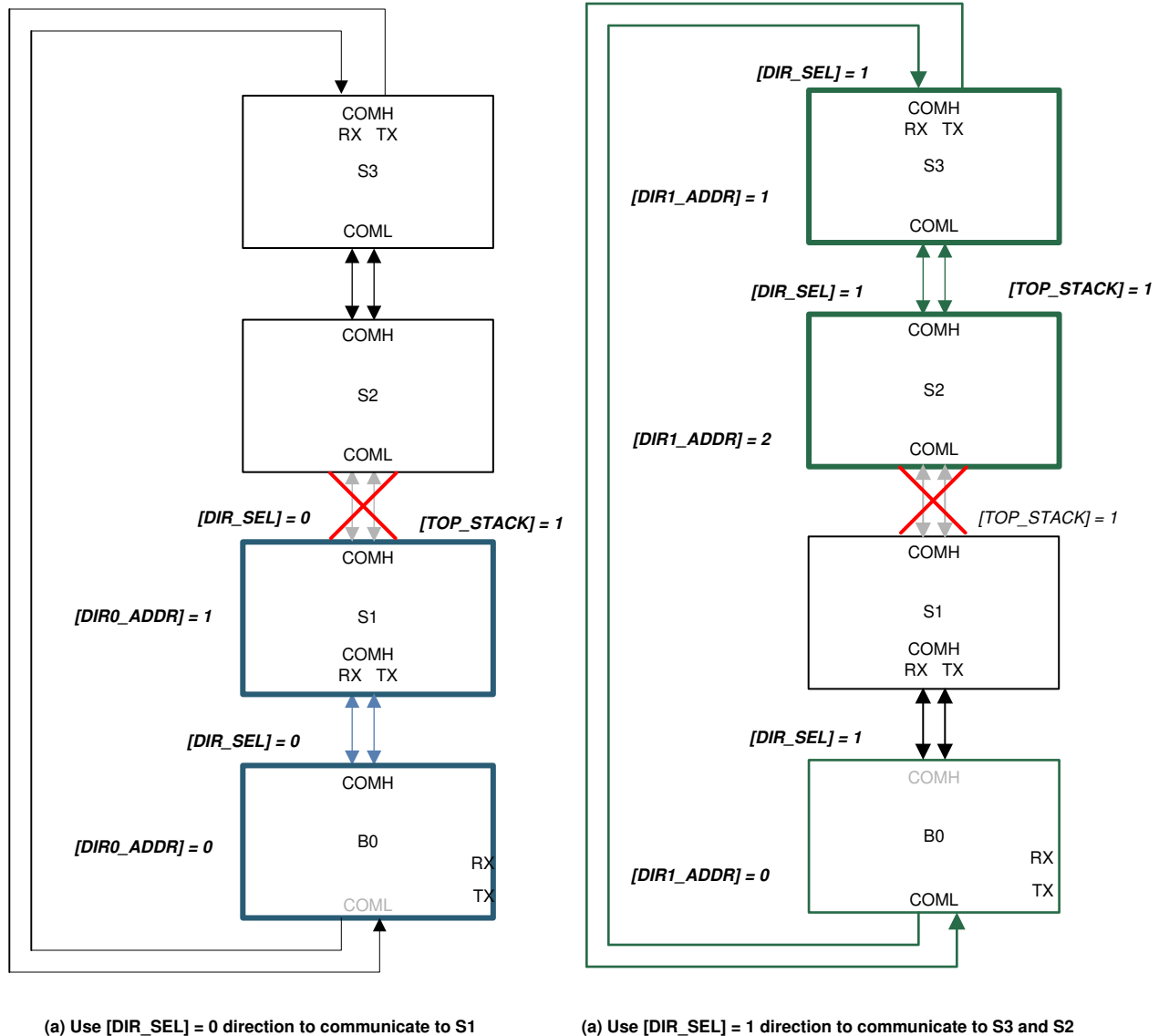


図 7-38. リング アーキテクチャによる断線時の全デバイスへのアクセス

7.3.6.1.4 通信タイムアウト

CTS タイマと CTL タイマという 2 つのプログラム可能な通信タイムアウト スレッシュホールドがあり、UART またはデジチューン通信から有効なフレームの欠落を監視します。有効なフレームとは、フレームの処理を妨げるエラーを含まない任意のフレーム (応答またはコマンド) として定義されます。通信タイムアウトは、ACTIVE モードの間のみアクティブにカウントされます。SHUTDOWN モード時に、カウンタは無効化され、リセットされます。SLEEP モードでは、最後のカウンタ値がそのまま保持されます。

7.3.6.1.4.1 短時間通信タイムアウト

短時間通信タイムアウトは、発生時にホストへのアラートとして機能します。タイムアウト期間は、COMM_TIMEOUT_CONF[CTS_TIME2:0] ビットによりプログラム可能です。有効になっている場合、有効な応答フレームまたはコマンド フレームを受信するたびにタイマがリセットされます。タイマが満了すると、FAULT_SYS[CTS] ビットがセットされます。

7.3.6.1.4.2 長い通信タイムアウト

通信タイムアウトが長い場合、ホストはデバイスをスリープモードまたはシャットダウンモードに移行して消費電力を削減できます。タイムアウト期間は、`COMM_TIMEOUT_CONF[CTL_TIME2:0]` ビットによりプログラム可能です。有効になっている場合、有効な応答フレームまたはコマンドフレームを受信するたびにタイマがリセットされます。タイマが満了した場合、ホストは `COMM_TIMEOUT_CONF[CTL_ACT]` ビットを使用して、次のいずれかの動作を選択できます。

- `FAULT_SYS[CTL] = 1` に設定し、スリープモードに移行します。
- シャットダウンモードに移行します。

7.3.6.1.5 通信デバッグモード

このデバイスは、初期開発フェーズの容易な通信デバッグモードを備えています。このデバッグモードに移行するには、ホストはレジスタ `DEBUG_CTRL_UNLOCK` にロック解除コード `0xA5` を書き込みます。デバッグモードのロック解除後、`DEBUG_COMM_CTRL1` および `DEBUG_COMM_CTRL2` の設定が有効になります。

デバッグモードを終了するには、`DEBUG_CTRL_UNLOCK` に `0xA5` (たとえば `0x00` を書き込む) 以外の値を書き込むだけです。`COMH`、`COML`、`UART` は、`DEBUG_COMM_CTRL1` および `DEBUG_COMM_CTRL2` レジスタの設定に関係なく、通常の動作ステータスに戻ります。

通信デバッグモードに入ると、ホストは以下の制御を得ます。

表 7-20. 通信デバッグモード機能

コントローラの機能	イネーブルビット	説明
完全な <code>COMH/L</code> トランスミッタおよびレシーバ制御	<code>[USER_DAI5Y_EN]</code>	<code>[USER_DAI5Y_EN] = 1</code> の場合、デバイスは <code>DEBUG_COMM_CTRL2</code> レジスタの設定に基づいて、 <code>COMH/L</code> の送信回路および受信回路を有効または無効にします。 <code>[USER_DAI5Y_EN] = 0</code> の場合、通信デバッグモードでも <code>COMH/L</code> は通常動作ステータスになります。
デジタイチェーン内のデータを <code>UART</code> にミラーリングし	<code>[USER_UART_EN]</code>	<code>[USER_UART_EN] = 1</code> の場合、ホストは <code>[UART_MIRROR_EN] = 1</code> を設定することで、デバイスにデジタイチェーン通信データを <code>UART</code> ヘミラー出力させることができます。これにより、ホストはデジタイチェーンで受信または転送されているデータを <code>UART</code> インターフェイス経由で読み取ることができます。データは、 <code>UART</code> 通信フレーム形式で提示されます。 スタックデバイスでは、 <code>UART TX</code> はデフォルトで無効になっています。この機能を使用するには、ホストは <code>[UART_TX_EN] = 1</code> も設定します。 <code>[USER_UART_EN] = 0</code> の場合、 <code>UART</code> 関連のデバッグ機能はすべて無効になります。 <code>[UART_MIRROR_EN]</code> および <code>[UART_TX_EN]</code> の設定に関係なく、 <code>UART</code> は通常動作ステータスになります。
<code>UART</code> のボーレートを 250kbps に低下させます	<code>[USER_UART_EN]</code>	<code>[USER_UART_EN] = 1</code> の場合、ホストは <code>[UART_BAUD] = 1</code> を設定することで、 <code>UART</code> のボーレートを 250kbps に変更できます。これにより、デジタイチェーンのスループットレートが遅くなります。 <code>[USER_UART_EN] = 0</code> の場合、 <code>UART</code> ボーレートは <code>[UART_BAUD]</code> の設定に関係なく 1Mbps のままです。

`DEBUG_COMM_STAT` レジスタには、`UART` と `COMH/L` がユーザー制御またはハードウェア (デバイス) 制御中かを示すステータスビットがあります。このレジスタは、`COMH/L` トランスミッタとレシーバのステータスも示します。このデバッグステータスレジスタは、デバイスの状態に応じて更新され、通信デバッグモードの有効や無効にかかわらず読み取ることができます。

実際、読み取り専用デバッグレジスタは、通信デバッグモードをイネーブルにしなくても、アクティブモードですべて読み取ることができます。その大部分は、`DEBUG_UART*`、`DEBUG_COMH*`、`DEBUG_COML*` レジスタのように、通信障害発生時に追加情報を提供するための下位レベルの通信障害ステータスレジスタです。詳細については、[セクション 7.3.6.2](#) と [セクション 7.5.4](#) を参照してください。

7.3.6.1.6 マルチドロップ構成

マルチドロップ構成とは、システム内の複数のデバイスが `UART` を介してホストシステムと通信する構成です。デバイス間にはデジタイチェーン通信はありません。`[MULTIDROP] = 1` の場合、デバイスの `COMH` ポートおよび `COML` ポートは

無効化されます。単一デバイスの読み書き、ブロードキャスト読み書き、スタック読み書き、逆方向ブロードキャスト書き込みを含むすべての通信プロトコルは、デジジーチェーン構成 ([MULTIDROP] = 0) の場合と同様にサポートされます。ただし、マルチドロップ構成では、スタック コマンドおよび逆方向ブロードキャスト コマンドを使用するケースはほとんどありません。ブロードキャスト コマンドを使用する場合でも、各デバイスには連続したデバイス アドレスを設定し、最も大きいデバイス アドレスを持つデバイスで [TOP_STACK] ビットを設定する必要があります。[TOP_STACK] = 1 に設定されたデバイスは、ブロードキャスト読み取りコマンドを受信すると最初にデータ返信を開始し、その後、一つ小さいデバイス アドレスを持つデバイスが応答します。これはデジジーチェーン通信の場合と同じです。さらに、マルチドロップ構成で安定した通信を確保するため、各フレームの送信前に **COMM_CLR** を実行する必要があります。

7.3.6.1.7 SPI マスタ

GPIO_CONF1[SPI_EN]= 1 のとき、GPIO4 ～ GPIO7 は SPI マスタ インターフェイスとして構成できます。SPI マスタには、次の 4 つの I/O が内蔵されています。

- **SCLK**:SPI クロック。デバイスによって生成され、同期に使用されます
- **MOSI**: マスタ データ出力。スレーブにデータを出力するためにデバイスによって駆動されます
- **MISO**: マスタ データ入力。スレーブからのデータを検出します
- **SS**:スレーブ セレクト。**SPI** 通信中にデバイスによって駆動されます

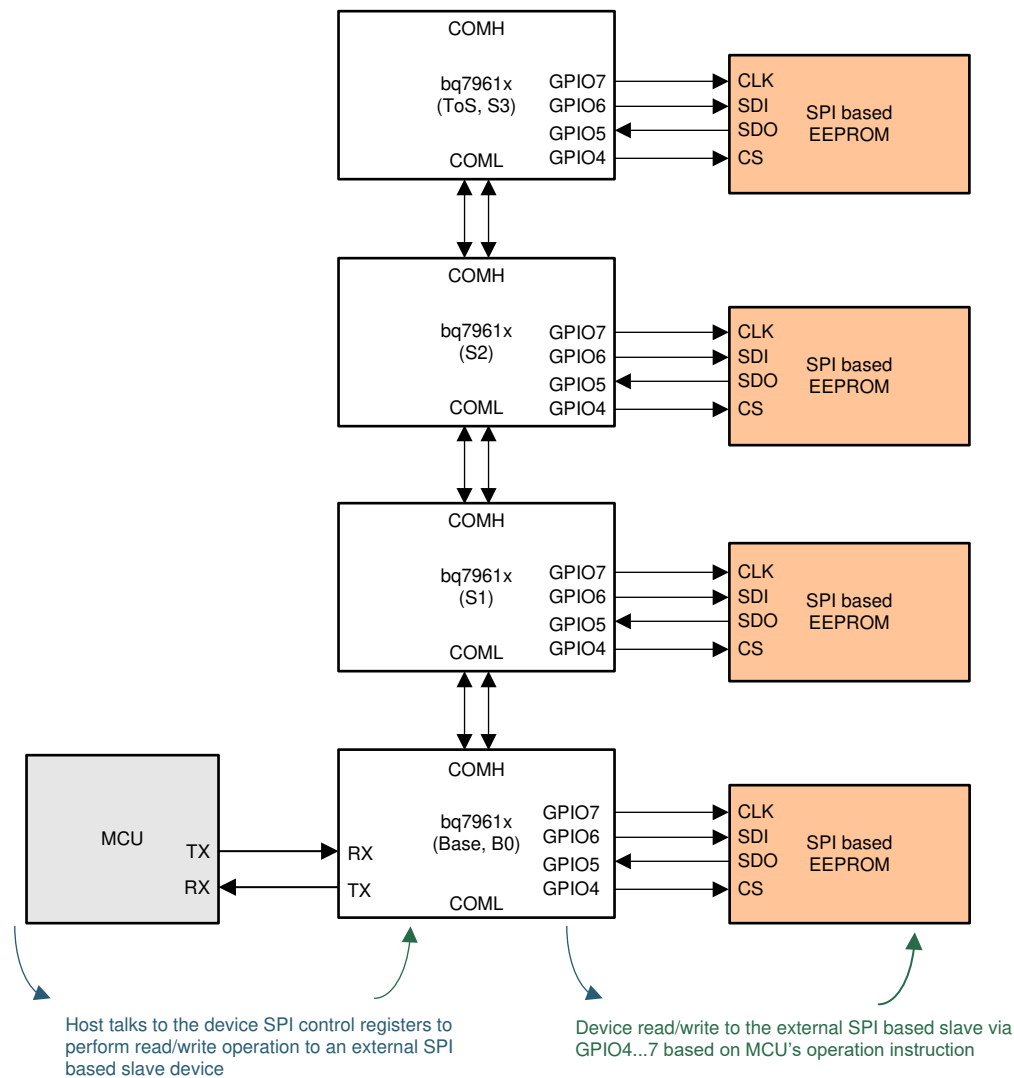


図 7-39. SPI マスタ スタック構成

SPI_CONF[CPOL] (クロック極性) と [CPHA] (クロック位相) は、SPI クロック形式を定義します。[CPOL] は、SPI クロックが反転または非反転の場合に定義されます。[CPHA] は、クロック エッジが立ち上がりか立ち下がりかに関係なく、MISO と MOSI が立ち上がり (最初) のクロック エッジまたは立ち下がり (2 番目) のクロック エッジでサンプリングされる場合に定義されます。SPI_CONF[NUMBIT4:0] は、トランザクションのビット数 (1 ~ 24 ビットのトランザクション) を定義します。

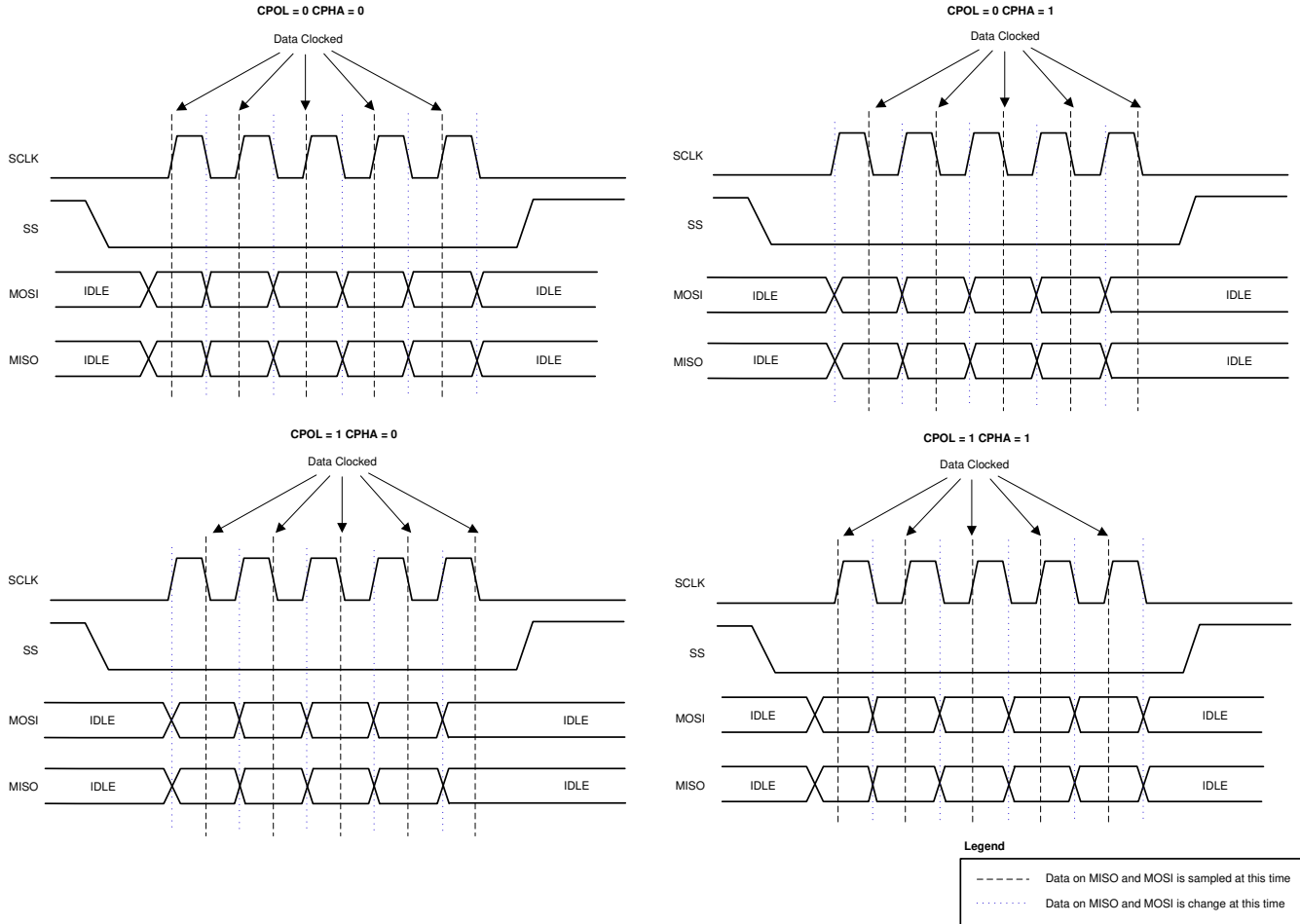


図 7-40. SPI マスタ CPOL および CPHA

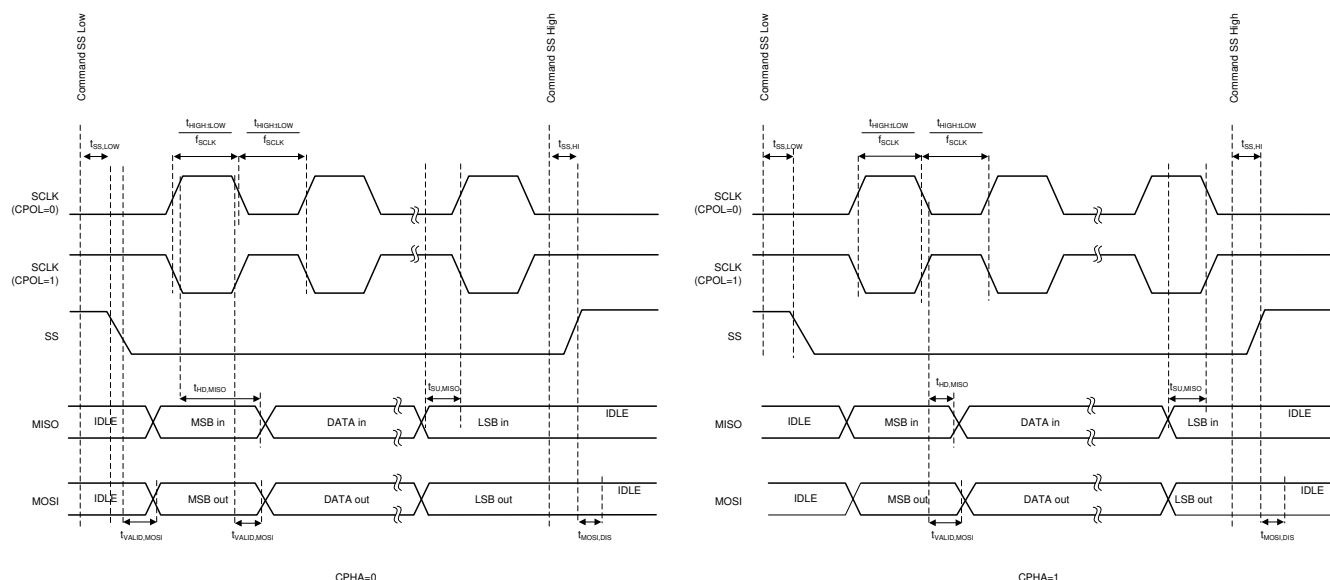


図 7-41. SPI マスタのタイミング図

表 7-21. 外部 SPI スレーブへの書き込み

ステップ	説明
1	SPI クロック極性、クロック位相、ビットトランザクション数を設定します。 a. SPI 通信を設定するために、SPI_CONF レジスタに書き込みます
2	データを書き込みます (SPI_CONF[NUMBIT4:0] 設定で指定された 1 ~ 24 ビット)。 a. SPI スレーブに送信するデータを SPI_TX1 ~ SPI_TX3 レジスタに設定します b. SPI_TX1 は SLByte、SPI_TX3 は MSByte です
3	スレーブ (アクティブ Low と想定) を選択し、SPI 書き込みアクションを実行します。 a. SPI_EXE レジスタ = 0x01 (つまり、[SS_CTRL] = 0、[SPI_GO] = 1) を送信します
4	SPI 通信が完了するまで待ちます
5	SS ポートの選択を解除します (アクティブ Low と想定するため、選択を解除すると SS ピンは High になります)。 a. SPI_EXE レジスタ = 0x02 (すなわち、[SS_CTRL] = 1、[SPI_GO] = 0) を送信します

表 7-22. 外部 SPI スレーブから読み取り

ステップ	説明
1	SPI クロック極性、クロック位相、ビットトランザクション数を設定します。 a. SPI 通信を設定するために、SPI_CONF レジスタに書き込みます
2	スレーブを選択して、SPI 通信を実行します。 a. SPI_EXE レジスタ = 0x01 (つまり、[SS_CTRL] = 0、[SPI_GO] = 1) を送信します
3	データトランザクションが完了するまで待ちます
4	データを読み取ります (SPI_CONF[NUMBIT4:0] 設定で指定された 1 ~ 24 ビットから)。 a. SPI スレーブの SPI_RX1 ~ SPI_RX3 レジスタからデータを読み取ります b. SPI_TX1 は LSByte、SPI_TX3 は MSByte です
5	SS ポートの選択を解除します (アクティブ Low と想定するため、選択を解除すると SS ピンは High になります)。 a. SPI_EXE レジスタ = 0x02 (すなわち、[SS_CTRL] = 1、[SPI_GO] = 0) を送信します

7.3.6.1.8 SPI のループバック

SPI マスタにはループバック機能があり、DIAG_COMM_CTRL[SPI_LOOPBACK] ビットを使用して有効にされます。有効にすると、SPI_TX* レジスタのバイトが SPI マスタの MISO ピンに直接クロック駆動され、SPI マスタ機能が検証されます。これは内部で実行されるため、このテストを実行するのに外部接続は必要ありません。これにより、SPI 機能が正常に動作していることが検証されます。通常の SPI トランザクションとして SPI_CFG、SPI_TX*、SPI_EXE レジスタには書き

込まれますが、このモード中は外部ピンはトグルしません。つまり、外部ピンは最後の状態で安定していて、ループバック動作中に状態は変化しません。

テストの結果として期待されるのは、SPI_TX* レジスタのバイトが SPI_RX* レジスタに読み出されることです。SS ピンは、LOOPBACK モードが有効のときに存在した SPI_EXE[SS_CTRL] の設定にラッチされます。適切な動作を保証するために、LOOPBACK モードに入る前に CPHA および CPOL パラメータを設定する必要があります。LOOPBACK モード中に CPOL または CPHA パラメータを変更すると、SPI 出力に誤ったパルスが発生する可能性があるため、推奨しません。

7.3.6.2 フォルト処理

7.3.6.2.1 障害ステータスの階層

このデバイスは、次のような複数のタイプの故障を監視します。

- ハードウェア プロテクタによるバッテリー セル監視 (セルの OV/UV、セル OT/UT など)
- デバイスリセット、通信タイムアウト、温度警告などのシステム動作によって実行されます
- メインおよび AUX の ADC による各種比較診断や、BIST 実行などのコマンド ベースの診断チェックに関連するものです
- 内部電源や OTP CRC など、バックグラウンドで自動的に実行される診断チェックです
- 通信故障。

FAULT_SUMMARY レジスタの各ビットは、一つ以上の下位故障レジスタに格納された故障グループに対応しています。FAULT_SUMMARY レジスタは、デバイスによって検出された故障ステータスの最も高い階層レベルを表します。ホストシステムは、FAULT_SUMMARY レジスタを定期的にポーリングして故障状態を確認し、必要な場合にのみ下位故障レジスタを読み出すことができます。例えば、FAULT_SUMMARY[FAULT_OVUV] = 1 の場合、ホストは FAULT_OV1/2 および FAULT_UV1/2 レジスタを読み出して、どのセル チャンネルで故障が発生したかを特定できます。

表 7-23 に、下位レベルのレジスタが FAULT_SUMMARY レジスタ ビットに対応することを示します。レジスタの説明については、[セクション 7.5](#) を参照してください。

表 7-23. 低レベル故障レジスタ

FAULT_SUMMARY ビット名	FAULT_PROT	FAULT_COMP_ADC	FAULT_OTP	FAULT_COMM	FAULT_OTUT	FAULT_OVUV	FAULT_SYS	FAULT_PWR
下位レベルのレジスタ名	FAULT_PROT ₁	FAULT_COMP_GPIO	FAULT_OTP ⁽¹⁾	FAULT_COMM1 ⁽¹⁾	FAULT_OT	FAULT_OV1	FAULT_SYS	FAULT_PWR1
	FAULT_PROT ₂	FAULT_COMP_VCCB1		FAULT_COMM2 ⁽¹⁾	FAULT_UT	FAULT_OV2		FAULT_PWR2
		FAULT_COMP_VCCB2		FAULT_COMM3		FAULT_UV1		FAULT_PWR3
		FAULT_COMP_VCOW1				FAULT_UV2		
		FAULT_COMP_VCOW2						
		FAULT_COMP_CBOW1						
		FAULT_COMP_CBOW2						
		FAULT_COMP_CBFET1						
		FAULT_COMP_CBFET2						
		FAULT_COMP_MISC						

(1) FAULT_COMM1/2 および FAULT_OTP レジスタの一部のビットは、DEBUG_COMM* および DEBUG_OTP レジスタに示されているよりも低いレベルの故障情報を持っています。

7.3.6.2.1.1 デバッグレジスタ

DEBUG_COMM* レジスタおよび DEBUG_OTP レジスタは故障ステータスの一種であり、FAULT_COMM1、FAULT_COMM2、および FAULT_OTP の一部のビットに対応する下位階層の故障情報を示します。

表 7-24 に、階層関係を示します。レジスタの説明の詳細については、[セクション 7.5](#) を参照してください。

表 7-24. デバッグ レジスタ

Low レベル故障レジスタ	Low レベル レジスタ ビット		関連するデバッグ レジスタ
FAULT_COMM1	[UART_RC]	UART から受信したコマンド フレームに関連する故障	DEBUG_UART_RC
	[UART_RR] [UART_TR]	UART で受信または送信された応答フレームに関連する故障	DEBUG_UART_RR_TR
	[COMH_BIT]	COMH からのバイトのエラーに関連する故障	DEBUG_COMH_BIT
FAULT_COMM2	[COMH_RC]	COMH から受信したコマンド フレームに関連する故障	DEBUG_COMH_RC
	[COMH_RR] [COMH_TR]	COMH で受信または送信された応答フレームに関連する故障	DEBUG_COMH_RR_TR
	[COML_BIT]	COML からのバイトのエラーに関連する故障	DEBUG_COML_BIT
	[COML_RC]	COML から受信したコマンド フレームに関連する故障	DEBUG_COML_RC
	[COML_RR] [COML_TR]	COML で受信または送信された応答フレームに関連する故障	DEBUG_COML_RR_TR
	[SEC_DET]	OTP の単一エラー訂正	DEBUG_OTP_SEC_BLK
FAULT_OTP	[DED_DET]	OTP のダブル エラー訂正	DEBUG_OTP_DED_BLK

7.3.6.2.2 故障のマスキングとリセット

7.3.6.2.2.1 フォルト マスク

デバイスが故障を検出すると、DEBUG_* レジスタの関連ビットを含む、対応する低レベル レジスタ ビットがセットされます。故障階層の関係に基づき、この故障は FAULT_SUMMARY レジスタに反映されます。

故障グループをマスクすることができます。この場合、関連する下位レベルのレジスタ フラグはセットされたままとなりますが、故障は対応する FAULT_SUMMARY レジスタには反映されません。故障は、FAULT_MSK1 および FAULT_MSK2 レジスタでマスクできます。

例えば、FAULT_SUMMARY[FAULT_OTUT] がセットされるのをマスクするには、ホストは FAULT_MSK1[MSK_OT] = 1 および [MSK_UT] = 1 を設定します。

故障がマスクされている場合、マスクされた故障が発生したときにデバイスが NFAULT ピンをアサートするのも防止されます。NFAULT 信号の詳細については、[セクション 7.3.6.2.3](#) を参照してください。

表 7-25. フォルト マスク

	マスキング ビット名	影響を受ける関連する低レベル レジスタ	マスクされる FAULT_SUMMARY レジスタ ビット
FAULT_MSK1	[MSK_PROT]	FAULT_PROT*	[FAULT_PROT]
	[MSK_UT]	FAULT_UT	[FAULT_OTUT]
	[MSK_OT]	FAULT_OT	
	[MSK_UV]	FAULT_UV*	
	[MSK_OV]	FAULT_OV*	[FAULT_OVUV]
	[MSK_COMP]	FAULT_COMP_*	[FAULT_COMP]
	[MSK_SYS]	FAULT_SYS	[FAULT_SYS]
	[MSK_PWR]	FAULT_PWR*	[FAULT_PWR]

表 7-25. フォルト マスク (続き)

	マスキング ビット名	影響を受ける関連する低レベル レジスタ	マスクされる FAULT_SUMMARY レジスタ ビット
FAULT_MSK2	[MSK_OTP_CRC]	FAULT_OTP[CUST_CRC][FACT_CRC]	[FAULT_OTP]
	[MSK_OTP_DATA]	FAULT_OTP、DEBUG_OTP_* の CRC 以外のすべてのビット	
	[MSK_COMM3_FCOMM]	FAULT_COMM3[FCOMM_DET]	[FAULT_COMM3]
	[MSK_COMM3_FTONE]	FAULT_COMM3[FTONE_DET]	
	[MSK_COMM3_HB]	FAULT_COMM3[HB_FAIL][HB_FAST]	[FAULT_COMM2]
	[MSK_COMM2]	FAULT_COMM2、DEBUG_COMH_*、 DEBUG_COML_*	
	[MSK_COMM1]	FAULT_COMM1、DEBUG_UART_*	[FAULT_COMM1]

7.3.6.2.2.2 故障リセット

故障が検出されると、故障ステータス ビットはリセット ビットによってクリアされるまでラッチされた状態を保持します。故障 マスキングの場合と同様に、特定の故障リセット ビットがセットされると、**DEBUG_*** レジスタを含む関連する下位レベルの故障レジスタがクリアされます。関連するすべての下位レベル レジスタがクリアされると、**FAULT_SUMMARY** レジスタ内の対応するビットもクリアされます。故障状態が継続している場合、リセット ビットを書き込んでも故障ステータス ビットはリセットされません。根本的な故障条件が解消されるまで、故障インジケータはリセットできません。

故障は、**FAULT_RST1** および **FAULT_RST2** レジスタによってリセットされ、故障リセット ビットは、故障マスキング ビットと同じ対応する故障ステータスレジスタに構造化されます。

7.3.6.2.3 故障信号

ホストは次の方法で故障状態を取得できます。

- デイジーチェーン内の各デバイスにおいて、**FAULT_SUMMARY** ステータスを継続的にポーリングします。**FAULT_SUMMARY** がゼロ以外の場合は、**Low** レベルの故障ステータス レジスタを読み出して詳細を確認します。
- 故障ステータスを有効化し、デイジーチェーンをベース デバイスに渡します。デイジーチェーン内のいずれかのデバイスで **FAULT_SUMMARY** がゼロでないときに、ベース デバイスの **NFAULT** ピンをアサートできるようにします。ホストが **NFAULT** を監視します。**NFAULT** がトリガされると、ホストは **FAULT_SUMMARY** でブロードキャスト読み取りを実行し、どのデバイスに故障が発生しているかを判定します。

故障検出時にベース デバイスの **NFAULT** ピンを使用してホストへ通知する場合、スタック デバイスはそれぞれの故障ステータス情報をベース デバイスへ転送する必要があります。情報は、同じ通信ケーブルを介して **COMH/L** を通じて送信されます。アクティブ モードでは、応答フレームが転送されるときに、各デバイスは通信に故障ステータスを埋め込みます。スリープ モードでは、またはスリープ モードでハートビートと故障トーンを使用します。

NFAULT ピンは、**DEV_CONF[NFAULT_EN] = 0** に設定することでマスクできます。**NFAULT** が無効な場合、デバイスは **FAULT_SUMMARY** レジスタの対応するフラグを設定しますが、**NFAULT** はアサートされません。

7.3.6.2.3.1 ACTIVE モードでのフォルト ステータスの送信

アクティブ モードでは、**DEV_CONF[FCOMM_EN] = 1** の場合、スタック デバイスは応答フレームを再送信する前に故障ステータスを埋め込むことができます。**[FCOMM_EN] = 1** の場合、スタック内の各デバイスは、応答フレームのデバイス アドレス バイトおよびレジスタ アドレスバイト (上位アドレス バイトと下位アドレス バイトの両方) に含まれる **SOF** ビットを、故障ステータス ビットとして再利用します。図 7-42 を参照してください。本セクションの後の部分では、これらを「故障ステータス ビット」と呼びます。

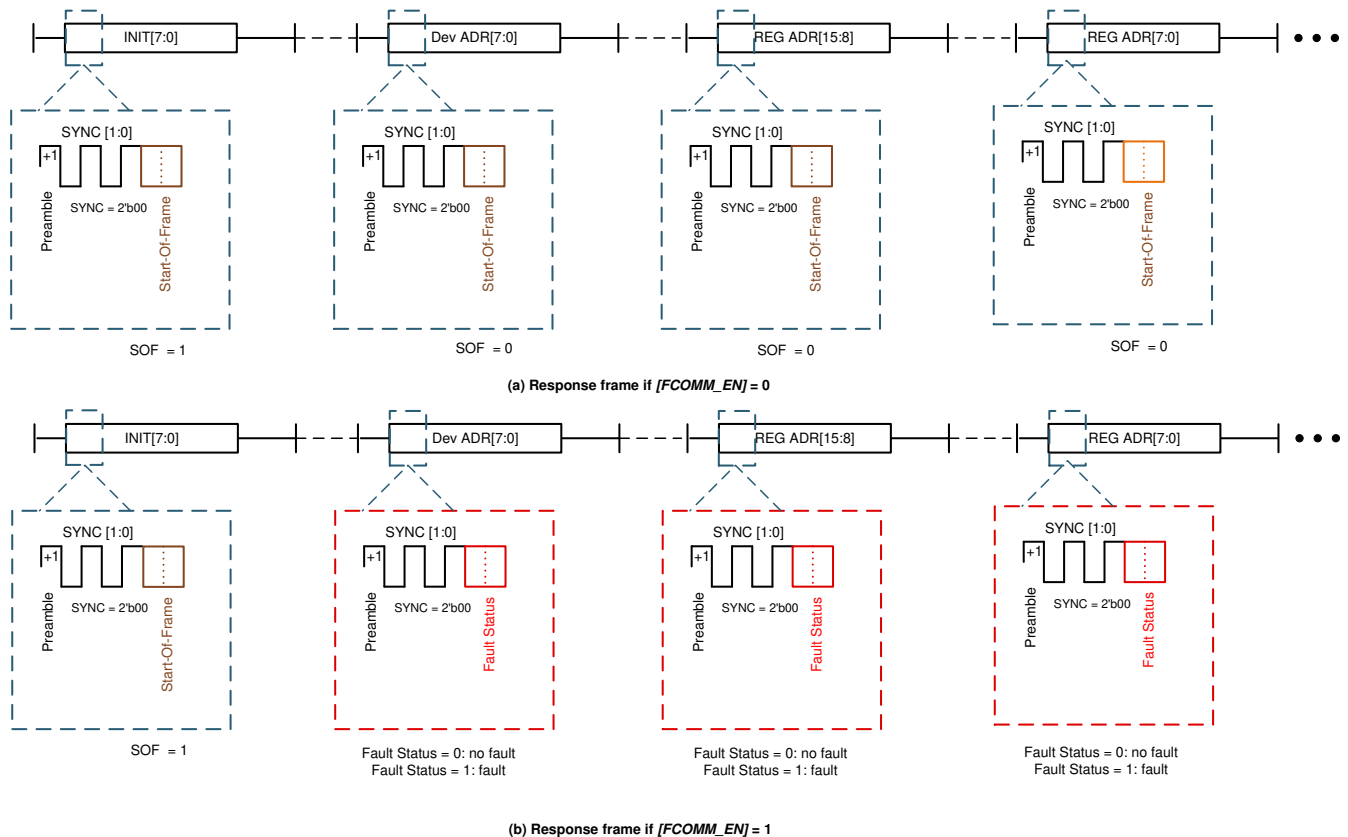


図 7-42. 通信応答フレームに故障ステータスを組み込む

スタック内デバイスの故障状態を取得するために、ホストはブロードキャスト読み取りを送信するか、ToS デバイスに対してシングル デバイス読み取りを送信します。いずれの読み取り方式でも、応答フレームはデイジーチェーン内のすべてのデバイスを通過するため、各デバイスは自身の故障ステータスを応答フレーム内の故障ステータス ビットへ OR 演算で反映できます。

図 7-43 に、単一のデバイス読み取りコマンドから上部のデバイスまでのデイジーチェーンを通過する応答フレームの例を示します。

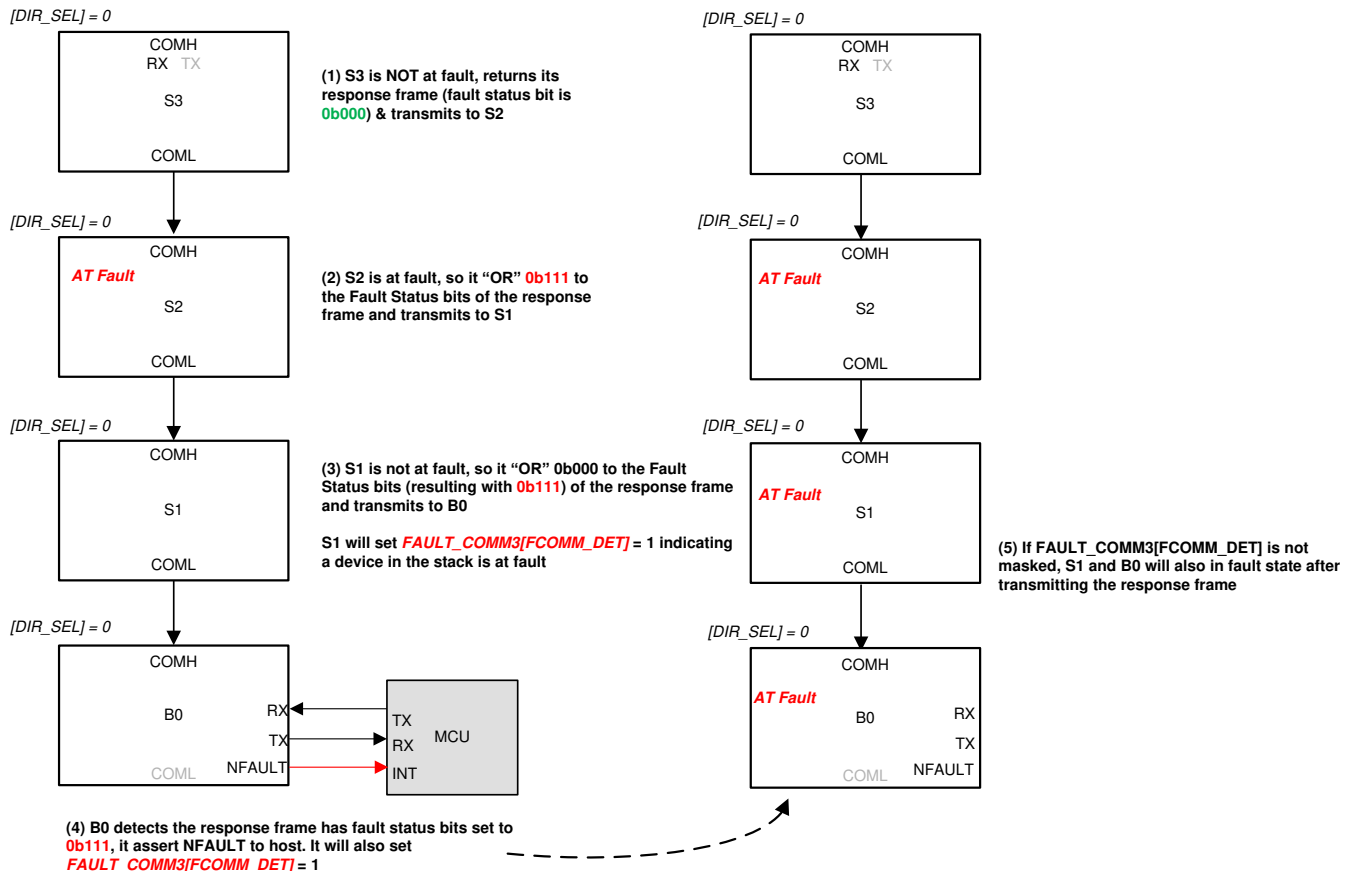


図 7-43. アクティブ モードでの故障ステータスの転送 (単一デバイスの読み取りに応答)

デバイスに故障が存在しない場合、故障ステータス ビットに対して 0b000 との OR 演算を行います。一方、故障が存在する場合は、故障ステータス ビットに対して 0b111 との OR 演算を行います。したがって、デ이지チェーン内のいずれかのデバイスに故障が存在する場合、故障ステータス ビットは 0b111 になります。ベース デバイスが NFAULT ピンをアサートするためには、故障ステータス ビットのうち少なくとも 2 ビットが 1 である必要があります。

さらに、故障ステータス ビットのうち少なくとも二つが 1 になっている応答フレームをデバイスが検出すると、デバイスは **FAULT_COMM3[FCOMM_DET] = 1** も設定します。この故障がマスクされていない場合、デバイスも故障状態になります。次の応答フレーム送信時、このデバイスは故障ステータス ビットに 0b111 を OR 演算で付加します。

ホストはブロードキャスト読み取りを実行し、デ이지チェーン内のどのデバイスで故障が発生しているか、およびその故障の種類を特定します。

7.3.6.2.3.2 SLEEP モードでのフォルト ステータスの送信

スリープ モードでは、以下の故障検出機能は引き続きアクティブです。

- 顧客と工場出荷時の OTP シャドウ レジスタ CRC チェック
- デバイス過熱警告
- 電源の OV、UV、発振検出
- OVUV プロテクタが有効化されている場合、セルの OV および UV 検出が実行されます。
- OTUT プロテクタが有効化されている場合、サーミスタ OT および UT 検出です。

スリープ モードでは通信を行えないため、このデバイスには、ハートビートーン (デバイスが正常状態の場合) および故障トーン (デバイスが異常状態の場合) を通じて、故障状態を送信する機能が用意されています。これらのトーンは、**CONTROL1[DIR_SEL]** の設定に基づいて、通信コマンド フレームと同じ方向に送信されます。トーン信号をベース デ

バイスまで戻し (必要に応じて **NFAULT** をアサートできるようにするため)、スリープ モード中の故障ステータス送信をサポートするには、リング アーキテクチャを使用する必要があります。

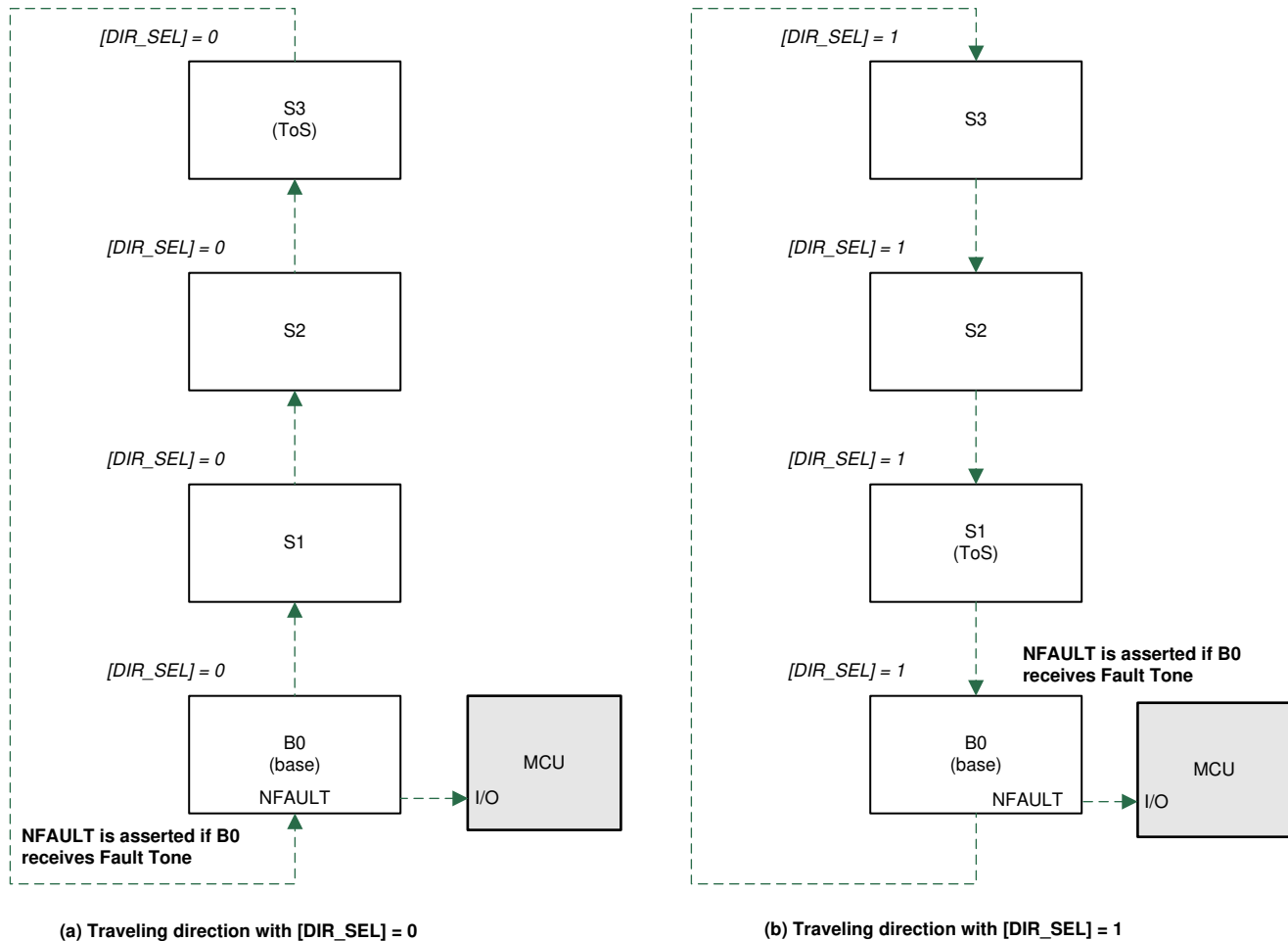


図 7-44. ハートビートまたは故障トーンの進行方向

ハートビートトーンと故障トーンはどちらも、通信トーンに似たトーンのタイプです。主な違いの一つは、通信トーンは単一の連の連番でのみ送信されますが、ハートビートトーンと故障トーンは、定期的に連番で送信されます。詳しくは、[セクション 7.3.6.2.3.3](#) を参照してください。

7.3.6.2.3.3 ハートビートと故障トーン

トーンを有効化するには、 $DEV_CONF[HB_EN] = 1$ 、 $DEV_CONF[FTONE_EN] = 1$ を設定して、ハートビートトランスミッタと故障トーン トランスミッタをそれぞれ有効にします。ハートビートおよび故障トーンのレシーバは、 $[HB_EN]$ および $[FTONE_EN]$ の設定に関係なく、常にスリープ モードになっています。ハートビート故障または故障トーン故障による故障検出 (**NFAULT** または **FAULT_SUMMARY** レジスタのアサート) を回避するには、 $[MSK_COMM3_HB] = 1$ または $[MSK_COMM3_FTONE] = 1$ で故障をマスクします。

ハートビートと故障トーンは、「 $-$ 」極性の組み合わせで形成されています。これらは、カプレットの数によって区別されます。これらの通信トーンとは異なり、ハートビートトーンと故障トーンは定期的に送信されます。トーン間の期間はバースト期間と呼ばれます。送信されるカプレットの数は、常に検出に必要なカプレットの数よりも大きくなります。

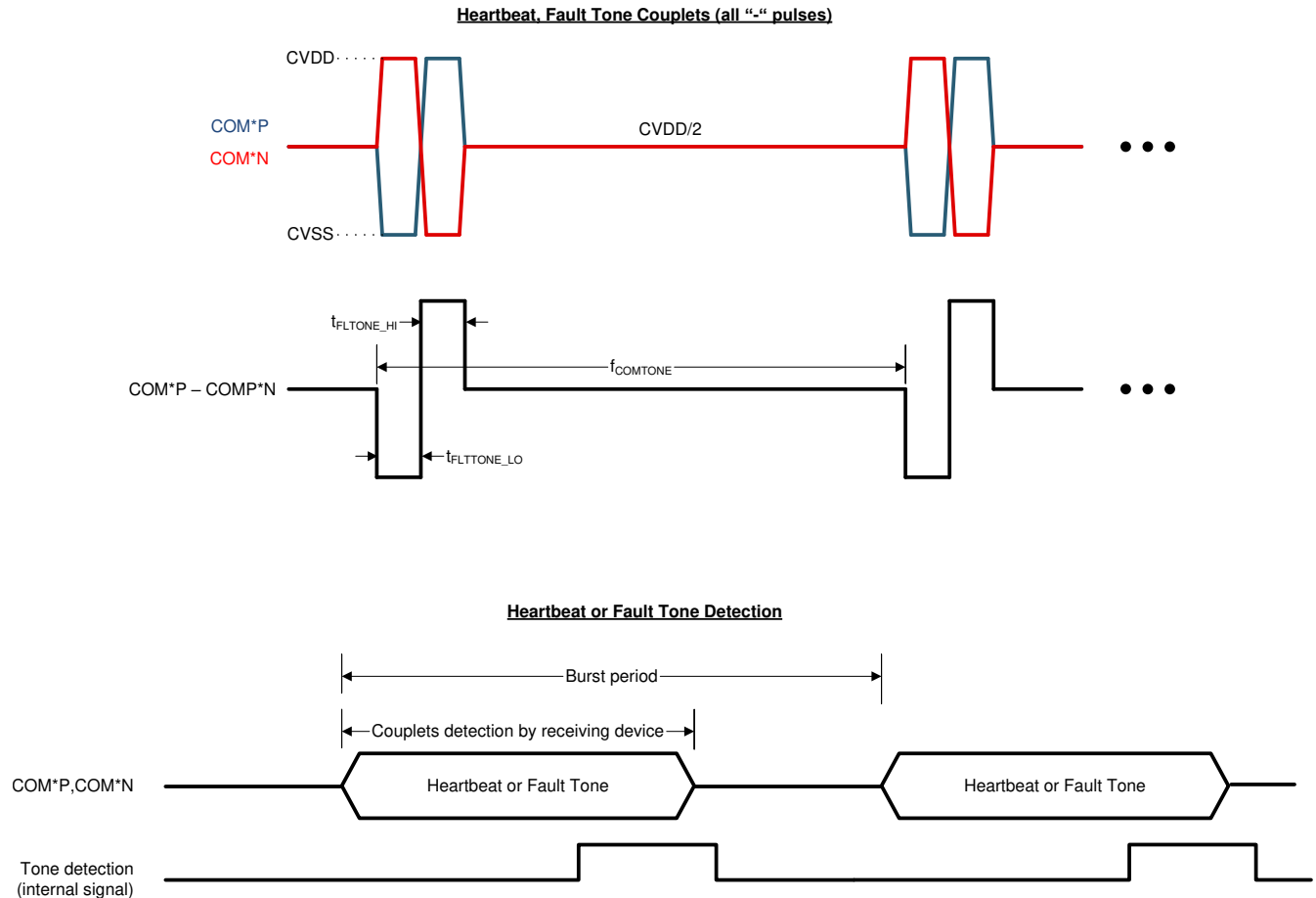


図 7-45. ハートビートと故障トーン

7.3.6.3 不揮発性メモリ

OTP (ワンタイム プログラマブル) を使用して不揮発性メモリ (NVM) でプログラム可能なメモリ位置があります。メモリ空間は、工場スペースと顧客スペースの二つのグループに分けられます。工場スペースには、デバイスの正常動作に不可欠な構成情報が格納されています。このスペースはホストからアクセスすることはできません。顧客スペースには、ホストシステムがアプリケーション構成に応じてカスタマイズ可能なデバイスのデフォルト設定が格納されています。この空間はホストから読み取り可能で、プログラム可能です。

デバイスリセットが発生すると、工場スペースおよび顧客スペースの OTP の値はシャドウレジスタへ再ロードされます。エラーチェックおよび訂正 (ECC)、シングルエラー訂正 (SEC)、ダブルエラー検出 (DED) は、工場スペースおよび顧客スペースの OTP ロード中に実行されます。エラーが検出されると、対応する FAULT_OTP[SEC_DET] または FAULT_OTP[DED_DET] が設定されます。

工場出荷時の OTP スペースの負荷エラーが発生すると、FAULT_OTP[FACTLDERR] を使用して故障を通知します。顧客の OTP スペースの負荷エラーが発生すると、FAULT_OTP[CUSTLDERR] を使用して故障を通知します。また、OTP スペース (工場スペースおよび顧客スペース) は、CRC を使用してデータ整合性の問題から保護されています。CRC エラーが検出されると、対応する FAULT_OTP[FACT_CRC] ビットと [CUST_CRC] ビットがセットされます。

プログラミング中に OTP ページスペース (工場スペースおよび顧客スペース) に過電圧エラー状態が存在する場合、OTP_FAULT[GBLOVERR] ビットがセットされます。このエラーでデバイスから受信した情報は、信頼できるものと見なされてはなりません。

7.3.6.3.1 OTP ページステータス

ユーザーがプログラムするために使用できる OTP メモリには 2 つの未使用ページがあります。各ページのステータスは OTP_CUST1_STAT および OTP_CUST2_STAT レジスタに保持されます。レジスタは、ページの現在のステータスに関して、以下に示すような情報を提供します。

- ロード ステータス (ロードされた、ロードでエラーが発生した、ロードされたが失敗した)
- 正常にプログラムされた、またはプログラム可能
- プログラミング ステータス

リセットが発生すると、デバイスは OTP ページのステータスを評価し、最新かつ有効な OTP ページを選択してロードします。ページ 2 はページ 1 よりも優先されます。両方のページが書き込まれていない場合は、工場出荷時の OTP デフォルト値がロードされます。[セクション 7.5.1](#) に、ユーザー プログラマブルなすべての OTP パラメータを示します。レジスタのサマリーには、カスタム OTP ページ 1 とページ 2 がプログラムされていない場合のデフォルト値も示されます。

- 有効なページは、OTP_CUST*_STAT[PROGOK] = 1 になっています。
- ページがロード用に選択された場合、OTP_CUST*_STAT1[LOADED] = 1 になります。
- ページのロード中に 1 つのエラーが発生した場合、そのエラーが修正され、OTP_CUST*_STAT1[LOADWRN] = 1 になった後にページがロードされます。
 - さらに、DEBUG_OTP_SEC_BLK レジスタは、エラーが修正されたブロックの場所と共に更新されます。
- 二重エラーが発生すると、そのブロックのロードが終了し、そのブロックのハードウェアのデフォルト値がロードされます ([セクション 7.5.1](#) を参照)。
 - 二重エラー検出 (DED) ではページロード プロセス全体は終了せず、影響を受けるブロックのみが終了します。
 - DED が発生すると、OTP_CUST*_STAT1[LOADERR] = 1 になります。さらに、二重エラーが発生したブロックで DEBUG_OTP_DED_BLK レジスタが更新されます。

7.3.6.3.2 OTP プログラミング

[セクション 7.5.1](#) に、顧客の OTP ページにプログラム可能なすべてのパラメータを示します。顧客が使用可能な OTP メモリ領域が二ページ用意されています。

OTP をプログラムする前に、ホストは以下のことを確認します。

- すべての OTP シャドウ レジスタに正しい設定が格納されています
- ユーザー用 OTP ページは書き込み可能な状態です。有効なページとは、OTP_CUST_STAT1[TRY] = 0 かつ OTP_CUST_STAT1[FMterr] = 0 であるページを指します。

表 7-26. OTP のプログラム

ステップ	手順
1	OTP プログラミングのロックを解除: a. 以下のデータを OTP_PROG_UNLOCK1A ~ OTP_PROG_UNLOCK1D レジスタに書き込みます。 • OTP_PROG_UNLOCK1A <- data 0x02 • OTP_PROG_UNLOCK1B <- data 0xB7 • OTP_PROG_UNLOCK1C <- data 0x78 • OTP_PROG_UNLOCK1D <- data 0xBC b. OTP_PROG_UNLOCK2A を OTP_PROG_UNLOCK2D レジスタに次のデータを再度書き込みます。 • OTP_PROG_UNLOCK2A <- data 0x7E • OTP_PROG_UNLOCK2B <- data 0x12 • OTP_PROG_UNLOCK2C <- data 0x08 • OTP_PROG_UNLOCK2D <- data 0x6F 各レジスタブロックは、A → B → C → D の順序で書き込む必要があります。これらの書き込みの間に、他のレジスタへの読み出しまたは書き込みを挿入しないものとします。ベスト プラクティスとして、同じ書き込みコマンドを使用して更新します。レジスタを規定された順序以外で更新した場合、または書き込みの途中で他のレジスタへの読み取りや書き込みを行った場合は、一連のシーケンス全体を最初からやり直す必要があります。

表 7-26. OTP のプログラム (続き)

ステップ	手順
2	OTP アンロック手順が正常に完了したことを確認します: a. <code>OTP_PROG_STAT[UNLOCK]</code> を読み出して確認します = 1 手順 1 の後に読み取りコマンドを発行することは可能ですが、 <code>[PROG_GO]</code> はアンロック手順完了後に発行する最初の書き込みコマンドである必要があります。
3	適切な OTP ページを選択し、OTP プログラミングを開始します: a. <code>page1</code> をプログラムするには、 <code>OTP_PROG_CTRL[PAGESEL][PROG_GO] = 0x01</code> に設定します b. <code>page2</code> をプログラムするには、 <code>OTP_PROG_CTRL[PAGESEL][PROG_GO] = 0x03</code> に設定します
4	OTP プログラミングが完了するまで、 <code>t_{PROG} = 100ms</code> 待機します。この間、データ通信は許可されません。
5	OTP プログラミング中にエラーが発生していないことを確認します。OTP プログラミングが成功した後、次のビットは 1 になることが期待されます。 a. <code>OTP_PROG_STAT[DONE] = 1</code> で、OTP プログラミングが完了します。このレジスタには、他のビットはセットされません。 b. ページ 1 がプログラムされている場合、 <code>OTP_CUST1_STAT[PROGOK]</code> 、 <code>[TRY]</code> 、 <code>[OVOK]</code> 、 <code>[UVOK]</code> ビットは 1 になります。ほかのビットは 0 です。 c. ページ 2 がプログラムされている場合、 <code>OTP_CUST2_STAT[LOADED]</code> 、 <code>[PROGOK]</code> 、 <code>[TRY]</code> 、 <code>[OVOK]</code> および <code>[UVOK]</code> ビットは 1 です。その他のビットは 0 です。
6	更新された OTP 値を持つレジスタをリロードするためのデジタル リセットを発行します a. <code>CONTROL1 [SOFT_RESET] = 1</code>

プログラミング中に書き込み電圧の OV または UV イベントが発生した場合、`OTP_CUST_STAT[UVOK]` ビットまたは `OTP_CUST_STAT2[OVOK]` ビットは 0 となり、プログラミング試行中に書き込み電圧の低電圧または過電圧状態が検出されたことを示します。さらに、`OTP_PROG_STAT` レジスタの `[UVERR]`、`[OVERR]`、`[SUVERR]`、および `[SOVERR]` ビットは、プログラミング中および安定性テスト中に書き込み電圧エラーが発生したかどうかを示します。

注

- プログラミング手順中、デバイスは実際に OTP へ書き込む前に、プログラミング電圧の安定性テストを実行します。プログラミング電圧が安定性テストに合格しなかった場合、デバイスは `OTP_CUST*_STAT[TRY]` ビットをセットしません。そのため、ユーザーはそのページに対して再度プログラミングを試行できます。
- ホストがプログラム用のページを正しく選択していない場合、`OTP_PROG_STAT[PROGERR]` ビットがセットされます。これは、選択したページがプログラム可能ではなかったことを示します。正しいページを選択して、プログラミングを再試行します。
- デバイスは、55°C 温度を超えると OTP プログラミングを開始しません。
- LDOIN コンデンサが 0.1μF の場合、OTP プログラミング時間 (`[PROG_GO] = 1` から `[DONE] = 1` になるまで) は 100ms です。

7.3.6.4 診断制御 / ステータス

このデバイスは、電圧測定、温度測定、および通信に関して、ASIL-D の適用可能なコンポーネントレベル要件に準拠しています。以下のサブセクションでは、安全メカニズムの一部として使用できる診断制御と故障ステータスについて説明します。

BQ7961x-Q1 および BQ7961x-Q1 FMEDA 安全マニュアルは、テキサス インストルメンツから別途入手できます。詳細については、TI の営業担当者またはアプリケーション エンジニアにお問い合わせください。

7.3.6.4.1 電源の確認

7.3.6.4.1.1 電源診断チェック

内部電源回路には、過電圧、低電圧、発振検出、および / または電流制限の監視機能があります。これらの検出機能はすべて、デバイスが アクティブ モードまたは スリープ モードのときにバックグラウンドで継続的に動作します。故障が検出されると、`FAULT_PWR*` レジスタの対応するフラグが設定され、または特定の故障モードでデバイスがリセットされます。[表 7-27](#) は、各電源に適用される診断機能と、故障が検出された際の対応動作をまとめています。

表 7-27. 電源診断チェック

電源 / グランド ピン	OV チェック	UV チェック	OSC チェック	電流制限	ピン オープン
LDOIN					
AVDD	これが失敗した場合、 FAULT_PWR1[AVDD_OV] を設定します	このチェックに失敗した場合、DVDD を無効にし、デジタルリセットを実行します。ソフトリセット後、デバイスは [AVDDUV_DRST] を設定して、AVDD UV によるリセットが行われることを示します。	故障した場合、 FAULT_PWR1[AVDD_OSC] を設定します	電流を EC テーブルで規定された電流制限値まで制限します	
DVDD	これが失敗した場合、 FAULT_PWR1[DVDD_OV] を設定します	これが失敗すると、デジタルリセットをトリガします		電流を EC テーブルで規定された電流制限値まで制限します	
CVDD	これが失敗した場合、 FAULT_PWR1[CVDD_OV] を設定します	これが失敗した場合、 FAULT_PWR1[CVDD_UV] を設定します		電流を EC テーブルで規定された電流制限値まで制限します	
TSREF	この診断に失敗した場合、 FAULT_PWR2[TSREF_OV] をセットし、 FAULT_OT レジスタおよび FAULT_UT レジスタの全ビットを 1 に設定します。	この診断に失敗した場合、 FAULT_PWR2[TSREF_UV] をセットし、 FAULT_OT レジスタおよび FAULT_UT レジスタの全ビットを 1 に設定します。	この診断に失敗した場合、 FAULT_PWR2[TSREF_OSC] をセットし、 FAULT_OT レジスタおよび FAULT_UT レジスタの全ビットを 1 に設定します。	電流を EC テーブルで規定された電流制限値まで制限します	
NEG5V		これが失敗した場合、 FAULT_PWR2[NEG5V_UV] を設定します			
REFHP/REFHM			REFHP が失敗した場合、 FAULT_PWR2[REFH_OSC] を設定します		REFHM が開く場合は、 FAULT_PWR1[REFHM_OPEN] を設定します
DVSS					これが開くと、 FAULT_PWR1[DVSS_OPEN] を設定します
CVSS					これが開く場合は、 FAULT_PWR1[CVSS_OPEN] を設定します

注

実装されている検出ロジックのため、AVDD の OV または UV が検出された場合、AVDD OSC 故障も発生することがあります。同様に、TSREF の OV または UV が検出された場合、TSREF OSC 故障も発生することがあります。

7.3.6.4.1.2 電源 BIST

デバイスには、主電源障害診断パスをテストするための電源 BIST (内蔵セルフ テスト) 機能が実装されています。これは、以下の検出に対応しています。

- **FAULT_PWR1[AVDD_OV]**、**[AVDD_OSC]**、**[DVDD_OV]**、**[CVDD_OV]**、**[CVDD_UV]**、**[REFHM_OPEN]**、**[DVSS_OPEN]**、**[CVSS_OPEN]**

- **FAULT_PWR2[TSREF_OV], [TSREF_UV], [TSREF_OSC], [NEG5V_UV], [REFHM_OSC], [PWRBIST_FAIL]**

電源 BIST は基本的にチェッカでのチェックであり、ホストによって開始されるコマンド ベース機能です。

電源 BIST は起動すると、各電源の障害検出パスに強制的にフォルトを発生させます。AVDD OV 診断パスを例として考えると、BIST エンジンでは次の手順で AVDD OV パスをテストします。

1. BIST エンジンが、AVDD OV コンパレータに強制的に障害を発生させます。
2. 次に BIST エンジンは、FAULT レジスタをトリガする信号がアサートされ、NFAULT をトリガする信号もアサートされることを確認します。
3. BIST エンジンが、FAULT レジスタと NFAULT 信号をリセットします (つまり、FAULT_PWR1/2/3 レジスタをクリアし、NFAULT をデアサートします)。
4. BIST エンジンは、BIST でカバーされている意図したすべての診断パスがテストされるまで、次の電源診断パス チェック (AVDD OSC など) でステップ 1 からステップ 3 までを繰り返します。

注

- BIST 実行中、NFAULT ピンはオンとオフにトグルされます。ホストは NFAULT ピンのステータスを無視するか、DEV_CONF[NFAULT_EN] = 0 を設定することで NFAULT ピン出力を無効にすることができます。
- すべての内部電源の中で、TSREF はホストによって有効または無効にできるものです。BIST 実行中に TSREF 診断パスが確実にテストされるように、ホストは電源 BIST を開始する前に TSREF を有効にします。それ以外の場合、BIST エンジンは、BIST 実行中の TSREF 診断パスのテスト結果を無視します。
- 他の電源関連以外のフォルトも NFAULT をトリガする可能性があるため、電源 BIST を実行する前に、FAULT_MSK1/2 レジスタを使用して、電源関連以外のすべてのフォルトをマスクすることを推奨します。
- また、ホストは電源 BIST の実行を開始する前に、電源障害がないことも確認します。

DIAG_PWR_CTRL[PWR_BIST_GO] = 1 を送信して、電源 BIST を開始します。実行中に障害が検出されても、BIST 実行は中断されません。BIST 実行の終了時に、FAULT_PWR2[PWRBIST_FAIL] フラグによって結果が示されます。

電源 BIST は強制的に障害を発生させ、診断パスがそれに応じてフォルトをトリガできるようにします。BIST 実行時に障害が発生した場合、診断パスをフォルト状態でトリガすることはできません。どのパスが障害を示すことができないかをさらに調べるために、ホストは DIAG_PWR_CTRL[BIST_NO_RST] = 1 を設定できます。このビットは、BIST 実行中のリセット ステップを無効化します。このオプションが有効な状態で電源 BIST をリスタートします。BIST 実行の最後に、FAULT_PWR1 レジスタと FAULT_PWR2 レジスタを調べます。0 のままのレジスタ フラグは、障害をフラグ付けできないことを示します。

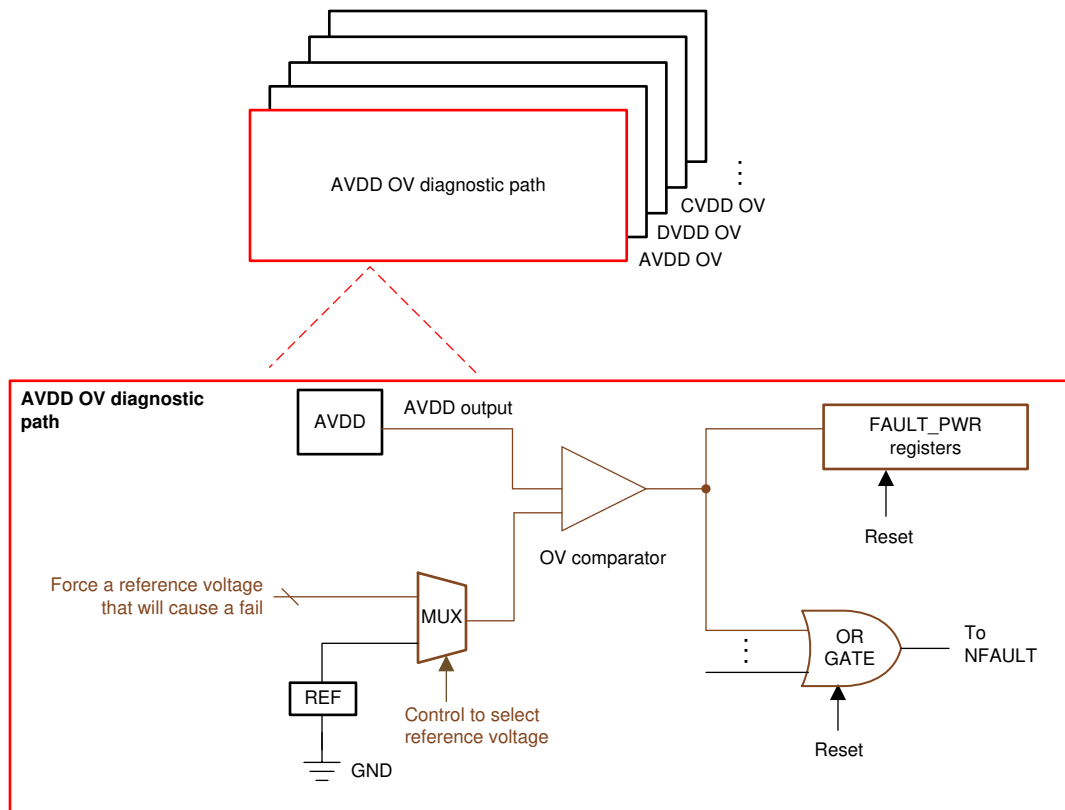


図 7-46. 電源 BIST

7.3.6.4.2 サーマル シャットダウンおよび警告チェック

7.3.6.4.2.1 サーマル シャットダウン

サーマル シャットダウンは、サーマル シャットダウン センサがデバイスの過熱条件を検出したときに発生します。このセンサは独立して動作し、ADC で測定されるダイ温度センサとは分離されています。サーマルシャットダウン機能にはレジスタステータス表示フラグ (FAULT_SYS[TSHUT]) があり、このフラグはシャットダウン発生時に保持され、デバイスが再起動した後に読み出すことができます。TSHUT 故障が発生すると、デバイスは直ちにシャットダウンモードに移行します。UART またはデジタイザチェーン上で保留中のトランザクションはすべて破棄されます。サーマル シャットダウンが発生した場合、デバイスは直ちにシャットダウンするため、故障シグナリングは行われません。

デバイスを復帰させるには、ホストは周囲温度が T_{SHUT_FALL} 未満であることを確認し、ベース デバイスに WAKE ping を送信します。周囲温度がまだ T_{SHUT_FALL} を上回っている場合、ホストはデバイスをウェークアップしようとしません。

ウェークアップ時に、FAULT_SYS[TSHUT] ビットがセットされます。詳細については、[セクション 7.4.1.1](#) を参照してください。システム故障がマスクされていない場合 (FAULT_MSK1[MSK_SYS] = 0)、サーマル シャットダウンは故障として反映され、FAULT_SUMMARY レジスタおよび NFAULT ピンのアサートによって通知されます。

7.3.6.4.2.2 過熱警告

過熱状態になりそうなことを警告するため、デバイスには、ダイ温度がサーマル シャットダウンに近づいたときにフォルトを通知する過熱警告が搭載されています。このデバイスは、TWARN センサを使用し、加熱警告スレッショルドと比較して、ダイ温度を検出します。PWR_TRANSIT_CONF[TWARN_THR1:0] 設定によって設定される 4 つのスレッショルド オプションがあります。

システム フォルトがマスクされていないときに温度警告フォルトが発生すると、FAULT_SYS[TWARN] = 1 になります。ホストは、サーマル シャットダウンを回避するための対策を講じることができます。

7.3.6.4.3 発振器ウォッチドッグ

発振器はウォッチドッグ回路によって監視されます。このデバイスには、HFO と LFO の二つの発振器があります。これらの発振器が機能していない場合、デバイスは動作しません。HFO または LFO が想定された時間内に遷移しない場合、ウォッチドッグ回路によってデジタル リセットが発生します。

この予期しないリセットが発生した場合、ホストは問題のあるデバイスに対してシャットダウン ping / トーンを送信し、その後デジタイゼーションをリセットするために WAKE ping を送信することが推奨されます。発振器が本当に損傷している場合は、デバイスは再起動しないため、交換する必要があります。

ウォッチドッグに加えて、LFO 周波数が監視され、許容可能な制限内にとどまることが確認されます。LFO 周波数が期待範囲を外れると、FAULT_SYS_FAULT[LFO] ビットがセットされます。

7.3.6.4.4 OTP エラー チェック

7.3.6.4.4.1 OTP CRC テストおよび故障

CRC テスト:

工場設定レジスタおよびユーザー OTP シャドウ レジスタは、バックグラウンドで継続的に実行される CRC チェックによって保護されています。CUST_CRC_RSLT_HI および CUST_CRC_RSLT_LO レジスタは、現在のデバイスで計算された CRC 値を保持します。この値は、CRC レジスタ CUST_CRC_HI および CUST_CRC_LO に格納されたユーザー設定の値と比較されます。CRC 保護対象のユーザー OTP シャドウ レジスタを更新する場合、ホストは新しい CRC 値を CUST_CRC_HI および CUST_CRC_LO レジスタへ更新する必要があります。CRC の計算は、[セクション 7.3.6.1.1.2.1.6](#)に記載されているのと同じ方法 (ビット ストリームの順序を含む) で、同じ多項式で実行されます。工場設定領域および顧客設定領域の CRC 検証は周期的に実施され、その完了時に DEV_STAT レジスタの CUST_CRC_DONE ビットおよび FACT_CRC_DONE ビットが設定されます。このビットがすでにセットされている場合、読み取りによってクリアされるまでセットされたままになります。

CRC 故障:

CUST_CRC_HI/LO と CUST_CRC_RSLT_HI/LO が一致しない場合、状態が修正されるまで FAULT_OTP[CUST_CRC] フラグがセットされます。工場 NVM 領域の継続的な監視も、ユーザー領域の監視と同様の方式で並行して実行されます。工場出荷時レジスタの変更が検出されると、FAULT_OTP[FACT_CRC] フラグがセットされます。この故障が発生すると、故障が継続しているかどうかを確認するために、ホストは故障フラグをリセットする必要があります。故障が解消されない場合は、ホストは部品をリセットする必要があります。リセットしても問題が解決しない場合、デバイスは破損しているため、使用できません。

7.3.6.4.4.2 OTP マージン読み取り

このデバイスには OTP マージン読み取りテスト モードがあり、ホストはマージン 1 またはマージン 0 で OTP をリロードするように設定できます。マージン読み取りテストを開始するには、ホストは DIAG_OTP_CTRL[MARGIN_MODE2:0] で目的のテスト モードを選択し、DIAG_OTP_CTRL[MARGIN_GO] = 1 に設定します。デバイスは、[MARGIN_MODE2:0] の設定に従って OTP を再ロードします。OTP 関連エラーの場合、FAULT_OTP レジスタにフラグが設定されます。

7.3.6.4.4.3 誤り検出および訂正 (ECC) 機能を備えた OTP

ECC:

選択されたレジスタ (0x0000 ~ 0x002F) の値は、OTP メモリに永続的に保存されます。すべてのレジスタは、同じアドレスに揮発性ストレージの位置としても存在し、シャドウ レジスタと呼ばれます。揮発性レジスタは読み取り、書き込み、およびデバイス制御用です。OTP に含まれるレジスタのリストについては、[セクション 7.5.1](#)を参照してください。

ウェークアップ中、デバイスはまず、シャドウ レジスタの全てに、[セクション 7.5.1](#)に記載されているハードウェアのデフォルト値をロードします。その後、デバイスは OTP のエラー チェックおよび訂正 (ECC) 評価の結果から、条件付きでレジスタに OTP の内容をロードします。OTP はシャドウ レジスタに 64 ビット ブロックでロードされます。各ブロックには独自のエラー チェック訂正 (ECC) 値が保存されます。ECC によって、OTP 保存データのシングル ビット (シングル エラー訂正) またはダブル ビット (ダブル エラー検出) の変更が検出されます。ECC は各ブロックごとに個別に計算されます。

シングル ビット エラーは訂正され、ダブル ビット エラーは検出のみで、訂正はありません。良好な ECC を持つブロックがロードされます。シングル ビット エラーのあるブロックが訂正され、**FAULT_OTP[SEC_DET]** ビットが設定されて、訂正されたエラー イベントをフラグ付けします。さらに、**DEBUG_OTP_SEC_BLK** レジスタは、エラー訂正されたブロックの場所で更新されます。これにより、ホストは破損する可能性のあるメモリを追跡できます。シングル ビット エラー訂正の後、ブロックはシャドウ レジスタにロードされます。評価はブロック単位で行われるため、複数のブロックが単一の修正可能なエラーを持ち、正しくロードされることが可能です。各ブロック内の誤りが一つに限られている限り、複数のビット エラーが存在していても、すべて完全に訂正することができます。

ECC 比較で不一致となったブロック (一つのブロック内で 2 ビット エラーが発生したブロック) はロードされず、ビット エラー発生を示すために **FAULT_OTP[DED_DET]** ビットがセットされます。さらに、ダブル エラーが発生したブロック番号で **DEBUG_OTP_DED_BLK** レジスタが更新されます。ハードウェアのデフォルト値はレジスタに保持されます。これにより、一部のブロックは正常にロードされ (エラーなし、またはシングル ビットが訂正された値)、一方で一部のブロックはロードされない場合があります。**FAULT_OTP[SEC_DET]** または **FAULT_OTP[DED_DET]** ビットが設定されており、デバイスリセットによって状態がクリアされていない場合、デバイスは破損しており、使用できません。

ECC エンジンには業界標準の 72、64 SEC DEC ECC 実装を採用しています。OTP は (72、64) ハミング コードによって保護されており、シングル ビット エラー訂正およびダブル エラー検出 (SECEDED) 機能を提供します。OTP に保存された 64 ビットのデータごとに、追加の 8 ビットのパリティ情報が保存されます。パリティ ビットには p0、p1、p2、p4、p8、p16、p32、および p64 です。ビット p0 は、エンコードされた 72 ビットの ECC ブロック全体を対象としています。残りの 7 個のパリティビットは、次の規則に従って割り当てられます。

- パリティビット p1 は奇数ビット位置、つまり、p1 ビット自体 (ビット 1) も含むビット位置が 1 (1、3、5 など) に等しいビット位置をカバーします。
- パリティビット p2 は、ビット位置番号の下から二番目のビットが 1 であるビット位置を対象とします。具体的には、2、3、6、7、10、11、... といったビット位置をカバーし、p2 ビット自身 (ビット位置 2) も含まれます。
- このパターンは、p4、p8、p16、p32、p64 の間続きます。表 7-28 は完全なエンコーディングを指定します。

表 7-28. (72、64) パリティ エンコード

ビット位置	71	70	69	68	67	66	65	64	63	62	61	60	59	58	57	56	55	54
符号化ビット	d63	d62	d61	d60	d59	d58	d57	p64	d56	d55	d54	d53	d52	d51	d50	d49	d48	d47
パリティビット範囲	p0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	p1	x		x		x		x		x		x		x		x		
	p2	x	x			x	x			x	x			x	x			x
	p4	x	x	x	x					x	x	x	x					x
	p8									x	x	x	x	x	x	x	x	
	p16									x	x	x	x	x	x	x	x	x
	p32									x	x	x	x	x	x	x	x	x
	p64	x	x	x	x	x	x	x	x									
ビット位置	53	52	51	50	49	48	47	46	45	44	43	42	41	40	39	38	37	36
符号化ビット	d46	d45	d44	d43	d42	d41	d40	d39	d38	d37	d36	d35	d34	d33	d32	d31	d30	d29
パリティビット範囲	p0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	p1	x		x		x		x		x		x		x		x		
	p2			x	x			x	x			x	x			x	x	
	p4	x	x					x	x	x	x					x	x	x
	p8							x	x	x	x	x	x	x				
	p16	x	x	x	x	x	x											
	p32	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	p64																	
ビット位置	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18
符号化ビット	d28	d27	d26	p32	d25	d24	d23	d22	d21	d20	d19	d18	d17	d16	d15	d14	d13	d12
パリティビット範囲	p0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	p1	x		x		x		x		x		x		x		x		
	p2	x	x			x	x			x	x			x	x			x
	p4					x	x	x	x					x	x	x	x	
	p8					x	x	x	x	x	x	x						
	p16					x	x	x	x	x	x	x	x	x	x	x	x	x
	p32	x	x	x	x													
	p64																	
ビット位置	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
符号化ビット	d11	p16	d10	d9	d8	d7	d6	d5	d4	p8	d36	d2	d1	p4	d0	p2	p1	p0
パリティビット範囲	p0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	p1	x		x		x		x		x		x		x		x		
	p2			x	x			x	x			x	x			x	x	
	p4			x	x	x	x					x	x	x	x			
	p8			x	x	x	x	x	x	x								
	p16	x	x															
	p32																	
	p64																	

表 7-29. エンコーダとデコーダのデータの入出力位置

エンコーダ			
データ入力	符号化ビット	データ出力	ビット位置
OTP_ECC_DATAIN 1	d0～d7	OTP_ECC_DATAOUT 1	0～7
OTP_ECC_DATAIN 2	d8～d15	OTP_ECC_DATAOUT 2	8～15
OTP_ECC_DATAIN 3	d16～d23	OTP_ECC_DATAOUT 3	16～23
OTP_ECC_DATAIN 4	d24～d31	OTP_ECC_DATAOUT 4	24～31
OTP_ECC_DATAIN 5	d32～d39	OTP_ECC_DATAOUT 5	32～39
OTP_ECC_DATAIN 6	d40～d47	OTP_ECC_DATAOUT 6	40～47
OTP_ECC_DATAIN 7	d48～d55	OTP_ECC_DATAOUT 7	48～55
OTP_ECC_DATAIN 8	d56～d63	OTP_ECC_DATAOUT 8	56～63
		OTP_ECC_DATAOUT 9	64～71
デコーダ			
データ入力	ビット位置	データ出力	符号化ビット
OTP_ECC_DATAIN 1	0～7	OTP_ECC_DATAOUT 1	d0～d7
OTP_ECC_DATAIN 2	8～15	OTP_ECC_DATAOUT 2	d8～d15
OTP_ECC_DATAIN 3	16～23	OTP_ECC_DATAOUT 3	d16～d23
OTP_ECC_DATAIN 4	24～31	OTP_ECC_DATAOUT 4	d24～d31
OTP_ECC_DATAIN 5	32～39	OTP_ECC_DATAOUT 5	d32～d39
OTP_ECC_DATAIN 6	40～47	OTP_ECC_DATAOUT 6	d40～d47
OTP_ECC_DATAIN 7	48～55	OTP_ECC_DATAOUT 7	d48～d55
OTP_ECC_DATAIN 8	56～63	OTP_ECC_DATAOUT 8	d56～d63
OTP_ECC_DATAIN 9	64～71		

ECC 診断テスト: デバイスは、ECC 機能をテストするための診断ツールを提供します。診断を実行するために使用できるモードは二つあります。最初の自動モード (OTP_ECC_TEST[MANUAL_AUTO] = 0) は、内部データを使用してテストを実行します。自動モードでは、OTP_ECC_TEST[DED_SEC] ビットが実行するテストのタイプを選択し、OTP_ECC_TEST[ENC_DEC] ビットによって、エンコーダまたはデコーダ機能をテストするかどうかが決まります。ECC テストの結果は、1μs 遅延内に OTP_ECC_DATAOUT* レジスタに提供されます。各テストの手順と予想される結果を以下に示します。

自動デコード手順:

1. ECC テストを自動 OTP_ECC_TEST[MANUAL_AUTO] = 0 に設定します
2. OTP_ECC_TEST[ENC_DEC] = 0 に設定するデコーダを設定します
3. OTP_ECC_TEST[DED_SEC] でデコーダをシングルまたはダブル エンコーディング設定に設定します (DED の場合は 1、SEC の場合は 0)
4. FAULT_RST2[RST_OTP_DATA] = 1 で、すべての SEC/DED 故障をクリアします
5. ECC テスト OTP_ECC_TEST[ENABLE] = 1 をイネーブルにします
6. SEC の FAULT_OTP[SEC_DET] フラグまたは DED の FAULT_OTP[DED_DET] フラグを読み取ります
7. デコーダ テスト結果を確認するために、OTP_ECC_DATAOUT1 から OTP_ECC_DATAOUT8 へのブロックの読み取りを行います (表 7-30 を参照)
8. ECC テスト OTP_ECC_TEST[ENABLE] = 0 を無効にします

自動エンコーディング手順:

1. ECC テストを自動 OTP_ECC_TEST[MANUAL_AUTO] = 0 に設定します
2. OTP_ECC_TEST[ENC_DEC] = 1 を使用してエンコーダ設定を設定します
3. OTP_ECC_TEST[ENABLE] = 1 で ECC テストをイネーブルにします

4. 表 7-30 に示すように、エンコーダのテスト結果を検証するために OTP_ECC_DATAOUT1 を OTP_ECC_DATAOUT9 にブロックを読み出します
5. ECC テスト OTP_ECC_TEST[ENABLE] = 0 を無効にします

表 7-30. デコーダおよびエンコーダのテスト検証

[DED_SEC]	[ENC_DEC]	[SEC_DET]	[DED_DET]	OTP_DATAOUT*
0 (SEC テスト)	0 (デコーダ テスト)	1	0	0x18C3 FF8A 68A9 8069
0 (SEC テスト)	1 (エンコーダ テスト)	該当なし	該当なし	0xCD 3968 C140 2EA5 ED6D
1 (DED テスト)	0 (デコーダ テスト)	0	1	0x0000 0000 0000 0000
1 (DED テスト)	1 (エンコーダ テスト)	該当なし	該当なし	0xCD 3968 C140 2EA5 ED6D

7.3.6.4.5 内蔵ハードウェア プロテクタのチェック

7.3.6.4.5.1 パリティ チェック

OVUV および OTUT プロテクタが有効のとき、OVUV および OTUT 構成に関連するレジスタ設定がプロテクタ ブロックにラッチされます。デバイスは、バックグラウンドで定期的にチェックを行い、ラッチされた構成がプロテクタの動作中も同じ状態に維持されることを確認します。

パリティ チェックでは、以下のラッチ設定が対象となります。OVUV プロテクタでパリティ フォールトが検出されると、デバイスは FAULT_PROT1[VPARITY_FAIL] = 1 を設定します。OTUT プロテクタのパリティ フォールトが検出されると、デバイスは FAULT_PROT1[TPARITY_FAIL] = 1 を設定します。

表 7-31. プロテクタのパリティ チェック設定

OVUV プロテクタ	OTUT プロテクタ	注
OV スレッシュホールド、UV スレッシュホールド	OT スレッシュホールド、UT スレッシュホールド	動作中は、スレッシュホールドの設定が常に同じであることを確認してください
OVUV_MODE 設定	OTUT_MODE 設定	プロテクタが別の動作モードに切り替わらないことを確認します
NUM_CELL 設定	GPIO_CONF1 ~ GPIO_CONF4 の設定	動作中は、アクティブ チャネル (OVUV の場合はいずれかのセル チャネル、OTUT の場合は GPIO チャネル) が常に同じであることを確認してください

7.3.6.4.5.2 OVUV および OTUT DAC チェック

OV、UV、OT、および UT の DAC 値は AUX ADC へ多重化され、ホストはプロテクタのスレッシュホールド設定に対する診断チェックの一環としてそれらの値を読み取ることができます。

プロテクタの DAC 値を測定するためには、OV および UV の DAC 測定には OVUV_CTRL[OVUV_LOCK3:0] を使用して OVUV プロテクタを単一チャネルにロックすること、また OT および UT の DAC 測定には OTUT_CTRL[OTUT_LOCK2:0] を使用して OTUT プロテクタを単一チャネルにロックすることが推奨されます。その後、OVUV プロテクタまたは OTUT プロテクタを再起動し、単一チャネル動作モードで実行します。ホストは、ロックされたセル チャネルが OV または UV 故障状態にないこと、またロックされた GPIO チャネルが OT または UT 故障状態にないことを確認します。そうでなければ、DAC 測定はトリガ スレッシュホールドの値を正しく反映しません。OV と UV の DAC 値は (0.8 x はスレッシュホールド設定) であることに注意してください。

7.3.6.4.5.3 OVUV プロテクタ BIST

このデバイスは、プライマリ OVUV プロテクタ パスをテストするための OVUV BIST (内蔵セルフ テスト) 機能を実装しています。ホストは、[OVUV_MODE1:0] = 0b10 および [OVUV_GO] = 1 を設定することで、BIST を開始できます。BIST 実行の対象:

1. OV および UV コンパレータのスレッシュホールド:
 - a. コンパレータが正しく動作することを確認するため、設定されたスレッシュホールドより高い値および低い値でチェックを行います。

- b. 故障が検出されると、対応する FAULT_PROT2[OVCOMP_FAIL] または [UVCOMP_FAIL] ビットがセットされます。
2. OVUV MUX から UV 故障ステータス ビットおよび NFAULT ピンまでの信号経路:
 - a. 各 VC チャンネルについて、スイッチを開放することで OVUV MUX への入力をオープン状態にし、試験対象チャンネルで UV 検出を発生させます
 - b. 次に、BIST エンジンにロジックをチェックして対応する FAULT_UV レジスタ ビットをアサートし、NFAULT が正しく設定されていることを確認します。
 - c. BIST エンジンは対応する FAULT_UV ビットをクリアし、NFAULT を非アサートした後、次のチャンネルの試験に切り替え、すべての有効チャンネルの試験が完了するまでこの処理を繰り返します。
 - d. 故障が検出された場合、対応する [VPATH_FAIL] ビットがセットされます。
 3. OV 故障ビットと NFAULT パス
 - a. BIST エンジンは、各 FAULT_OV* レジスタのビットがセット可能であり、それに応じて NFAULT をアサートできることを確認するため、FAULT_OV* レジスタの各ビットをビットずつ強制的に 1 に設定します。
 - b. 故障が検出されると、対応する [VPATH_FAIL] ビットがセットされます。

NFAULT が有効化されている場合、BIST 実行中、ホストは NFAULT のトグルを監視します。BIST 実行が完了すると、OVUV コンパレータはオフになります。ホストは、[OVUV_MODE1:0] = 0b01 (ラウンド ロビン モード) を設定した状態で [OVUV_GO] = 1 を送信することにより、通常の OVUV ラウンド ロビン モードを開始します。

注

- OVUV BIST 実行中に [OVUV_GO] = 1 が送信された場合、デバイスは [OVUV_MODE1:0] の設定に従って新しい GO コマンドを実行します。
- OVUV プロテクタ BIST を開始する前に、ホストは OVUV に関連しないすべての故障をマスクし、すべてのセル チャンネルで OV および UV 故障が発生していないことを確認します (BIST 実行中は、すべてのセル電圧を OV または UV スレッショルドから少なくとも 100mV 以上離しておくことを推奨します)。それ以外の場合、BIST の結果は無効ではありません。
- BIST の開始後、ステップ 2 を開始する前に既存の故障が検出された場合、BIST エンジンは中止され、FAULT_PROT2[BIST_ABORT] = 1 になります。
- DIAG_PROT_CTRL[PROT_BIST_NO_RST] = 1 を設定することで、各チャンネルの試験後に故障ステータスおよび NFAULT ピンをリセットしないよう BIST エンジンへ指示できる「リセットなし」オプションが用意されています。BIST の実行に失敗した場合、ホストはこのオプションを選択して BIST を再実行することで、どのセルチャンネル経路が故障状態を故障レジスタに正しく反映できないかを特定できます。

7.3.6.4.5.4 OTUT プロテクタの BIST

このデバイスは、プライマリ OTUT 保護経路を試験するための OTUT BIST 機能を実装しています。ホストは、[OTUT_MODE1:0] = 0b10 および [OTUT_GO] = 1 を設定することで、BIST を開始できます。BIST 実行の対象:

1. OT および UT コンパレータのスレッショルド
 - a. 設定したスレッショルドより高い値と低い値の両方を確認し、コンパレータが正しく動作することを検証します。
 - b. 故障が検出されると、対応する FAULT_PROT2[OTCOMP_FAIL] または [UTCOMP_FAIL] ビットがセットされます。
2. GPIO MUX から UT 故障ビットと NFAULT パスへのパス
 - a. 各 GPIO チャンネルについて、GPIO は内部的にプルアップされるため、OTUT MUX への入力は High となり、試験対象チャンネルで UT 検出が発生します。
 - b. その後、BIST サイクルによってロジックがチェックされ、対応する FAULT_UT レジスタ ビットがアサートされ、NFAULT が正しく設定されます。

- c. BIST エンジンには、対応する **FAULT_UT** ビットをリセットし、**NFAULT** をデアサートした後、次のチャンネルをテストするために切り替えます。
- d. 故障が検出されると、対応する **[TPATH_FAIL]** ビットがセットされます。

3. OV 故障ビットと **NFAULT** パス

- a. BIST エンジンには、**FAULT_OT** レジスタの各ビットに対して 1 を順番に強制設定し、各 **FAULT_OT** ビットが正しくセットできること、およびそれに応じて **NFAULT** がアサートされることを確認します。
- b. 故障が検出されると、対応する **[TPATH_FAIL]** ビットがセットされます。

NFAULT が有効化されている場合、BIST 実行中、ホストは **NFAULT** のトグルを監視します。BIST 実行が完了すると、**OTUT** コンパレータはオフになります。ホストが **[OTUT_MODE1:0] = 0b01** (ラウンド ロビン モード) で **[OTUT_GO] = 1** を送信することで、通常の **OTUT** ラウンド ロビン モードを開始します。

注

- **OTUT BIST** 実行中に **[OTUT_GO] = 1** が送信されると、デバイスは **[OVUV_MODE1:0]** 設定に基づいて新しい **GO** コマンドを実行します。
- **OTUT** プロテクタ **BIST** を開始する前に、ホストは **OTUT** に関連しないすべての故障をマスクし、さらに **BIST** 実行中にいずれの **GPIO** にも **OT** および **UT** 故障が発生していないことを確認します。それ以外の場合、**BIST** の結果は無効ではありません。
- **BIST** の開始後、ステップ 2 を開始する前に既存の故障が検出された場合、**BIST** エンジンは中止され、**FAULT_PROT2[BIST_ABORT] = 1** になります。
- **DIAG_PROT_CTRL[PROT_BIST_NO_RST] = 1** を設定することで、各チャンネルの試験後に故障ステータスおよび **NFAULT** ピンをリセットしないよう **BIST** エンジンへ指示できる「リセットなし」オプションが用意されています。**BIST** 実行が失敗した場合、ホストはこのオプションを選択し、**BIST** を再実行して、どの **GPIO** チャンネルパスが故障レジスタに故障状態を反映できないかを検出できます。

7.3.6.4.6 ADC の比較による診断

7.3.6.4.6.1 セル電圧測定チェック

セル電圧測定パスの比較:

セル電圧測定チェックは、メイン **ADC** のフィルタ処理前の測定結果と **AUX ADC** の測定結果を比較することによって実行されます。メイン **ADC** と **AUX ADC** で測定された比較値を読み取るには、マイコンは **[AUX_CELL_SEL]** 設定とこの診断チェックを開始して一つのチャンネルにロックするために、この診断チェックを設定する必要があります。この構成では、メイン **ADC** と **AUX ADC** の比較された値が、それぞれ **DIAG_MAIN_HI/LO** レジスタと **DIAG_AUX_HI/LO** レジスタに通知されます。

メインと **AUX** の **ADC** は、どちらも同じフロント エンド フィルタを備えています。この診断時間の大部分は、**AUX ADC** 経路の **AAF** が安定するのを待つことに費やされます。**[AUX_SETTLE]** を設定すると、マイコンは診断時間とノイズ フィルタ レベルの間でトレードオフを行うことができます。また、**AUX ADC** が起動すると、デフォルトでは、**AUXCELL** スロットは常にメイン **ADC Cell1** スロットに揃えられます。**[AUX_CELL_ALIGN]** 設定を使用すると、マイコンはこの整列をメイン **ADC Cell8** スロットに変更できます。その結果、上位チャンネルのメインと **AUX** の **ADC** の間のサンプリング時間の差が短くなります。

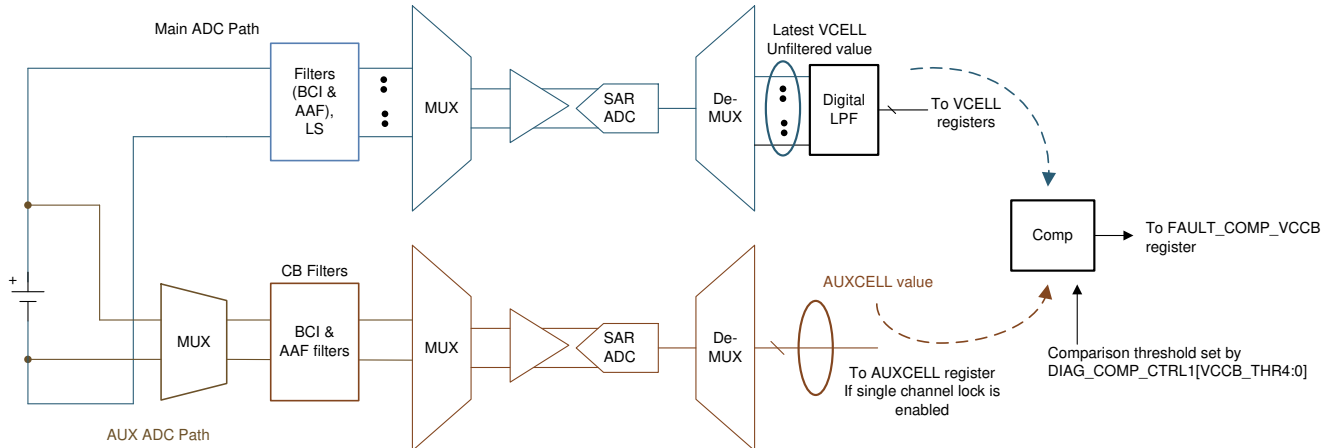


図 7-47. セル電圧測定診断

セル電圧測定の比較を開始する前に、ホストは以下のことを確認してください。

- テスト対象とする AUXCELL チャンネルは、ADC_CTRL2[AUX_CELL_SEL4:0] の設定で選択され、AUX ADC は有効化されるとともに連続モードに設定されます。
- この診断チェックを開始する前に、デバイスのすべての AUXCELL チャンネルを通り AUX ADC が動作し、同相誤差を補償できるようにします。
- メイン ADC は有効化されている必要があり、連続モードで動作している必要があります。
- [VCCB_THR3:0] (DIAG_COMP_CTRL1[VCCB_THR4:0]) 設定により、(VCELL – AUXCELL) 比較のスレッシュホルドを選択します。
- ADC_CONF1[AUX_SETTLE1:0] によって、AUX CELL チャンネルの目的のセトリング タイムを選択します。

セル電圧の測定比較を開始するには、次の手順に従います。

1. DIAG_COMP_CTRL3[COMP_ADC_SEL2:0] = セル電圧の測定チェック (すなわち 0b001) を設定し、[COMP_ADC_GO] = 1 に設定します。
2. [AUX_CELL_SEL4:0] によって有効化された各チャンネルについて、デバイスは $Abs[(VCELL - AUXCELL)] < [VCCB_THR3:0] [VCCB_THR4:0]$ を比較します。
3. 比較処理が完了するまで待機しますが、その所要時間はおおよそ [(チャンネル数) × (AUXCELL セトリング タイム + 一回のラウンド ロビン サイクル時間)] です。
4. ADC_STAT2[DRDY_VCCB] = 1 になると、セル電圧測定の比較が完了します。

ホストは、比較結果について FAULT_COMP_VCCB1 および FAULT_COMP_VCCB2 レジスタをチェックします。

ADC 比較の中止条件:

デバイスは、以下に示す無効な条件のいずれかに該当する場合、セル電圧測定比較を開始しません。比較が中止されると、FAULT_COMP_MISC[COMP_ADC_ABORT] = 1、[DRDY_AUX_CEL] = 1、[DRDY_VCCB] = 1、FAULT_COMP_VCCB1/2 レジスタ = 0xFF になります。[AUX_CELL_SEL4:0] が単一チャンネルに固定されている場合、比較処理が中断されると、AUX_CELL_HI/LO レジスタはデフォルト値 0x8000 にリセットされます。

セル電圧の測定比較を開始できなくなる無効な条件または設定:

- 無効な [AUX_CELL_SEL] 設定: 選択されたチャンネルに AUX ADC 測定値はありません。AUX_CELL_HI/LO レジスタはデフォルト値に保持されます。
- NUM_CELL 構成よりも高いチャンネルが選択されます。
- 無効な、BBVC_POSN 設定:
 - 隣接チャンネルは、BB_POSN1/2、BBVC_POSN1/2 レジスタでイネーブルになります。
 - BB_POSN2[CELL1] または BBVC_POSN2[CELL1] が有効になっています。

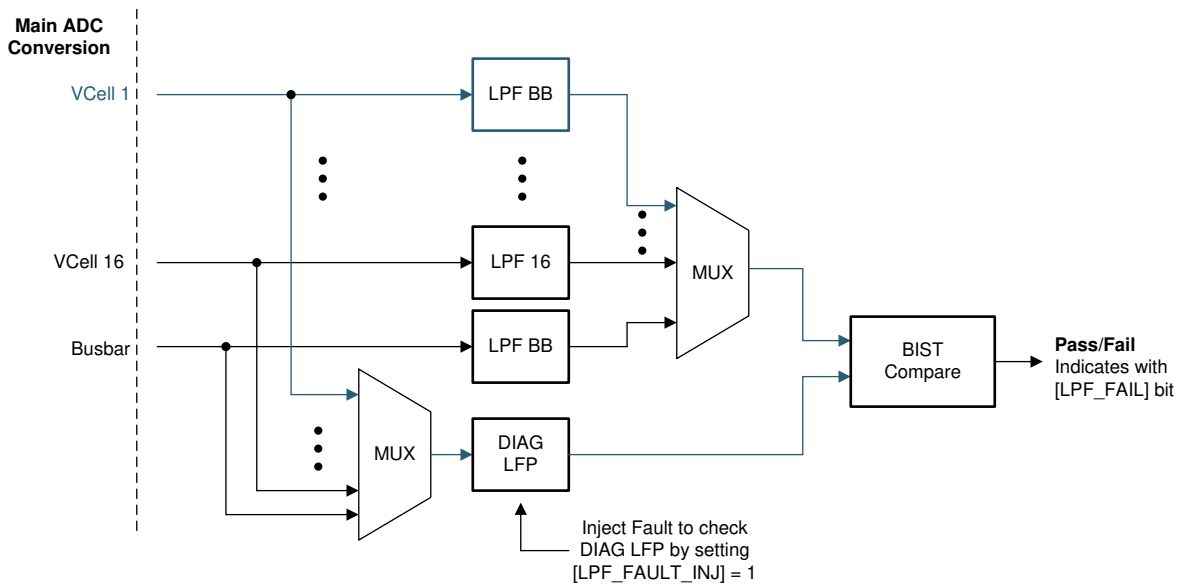
- BB_POSN1/2、BBVC_POSN1/2 では、二つ以上のチャンネルが選択されます。
- [AUX_CELL_SEL] は、BB_POSN1/2、BBVC_POSN1/2 で選択されたチャンネルのいずれかにロックされます。
- メインまたは AUX の ADC は、連続モードではオフになっているか、設定されていません。

ADC 後のデジタル LPF チェック:

デジタル LPF は、メイン ADC が動作しているときは常に連続的にチェックされます。各 VC チャンネルおよび BBP/N チャンネルの各 LPF をチェックするために、重複診断 LPF が実装されています。この点検は、一度に一つの LPF を使用して実行されます。

例えば、セル チャンネル 1 の LPF1 をテストする場合、入力 (すなわちセル 1 の ADC 測定結果) が、一定期間にわたって LPF1 および診断用 LPF に入力されます。LPF1 の出力と診断 LPF が互いに比較されます。LPF1 の動作を確認するために、LPF1 と診断用 LPF の複数の出力を比較し、その後、次の LFP のチェックへ進みます。いずれかの LPF が診断チェックに失敗した場合、FAULT_COMP_MISC[LPF_FAIL] = 1 です。

各アクティブ セルの LPF を一回テストするとき、ADC_STAT2[DRDY_LPF] = 1 になります。LPF のこの診断チェックは、メイン ADC が実行されている限り、バックグラウンドで連続的に実行されます。



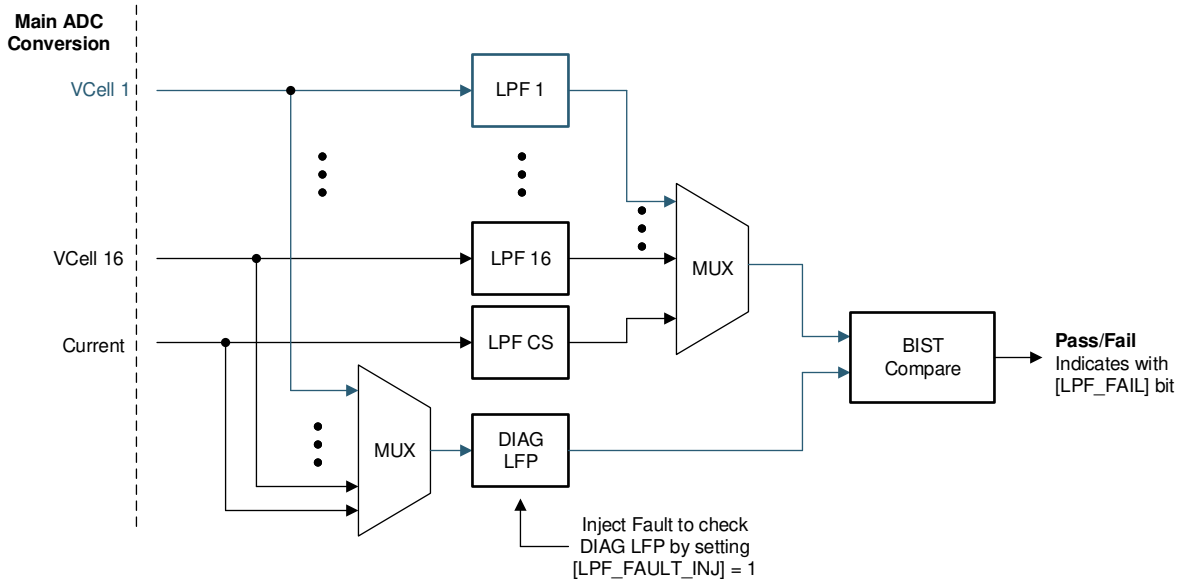


図 7-48. ADC 後 LPF 診断 (LPF1 のチェック例としてのブルーパス)

さらに、デバイスは診断 LPF 自体の機能を検証するためのチェックも実装しています。DIAG_COMP_CTRL4[LPF_FAULT_INJ] = 1 に設定してメイン ADC を再起動すると、デバイスは診断 LPF に故障を注入し、LPF 診断チェック中に強制的に障害を引き起こし、その後 [LPF_FAIL] = 1 が設定されます。テストが完了したら、単純に [LPF_FAULT_INJ] = 0 に設定します。

7.3.6.4.6.2 温度測定チェック

セル電圧測定チェックと同様に、このデバイスは Main ADC の測定値と AUX ADC の測定値を比較することで、サーミスタ温度測定を検証します。メイン ADC と AUX ADC で測定された比較値を読み取るには、マイコンは [AUX_GPIO_SEL] 設定を使用して一つのチャンネルにロックを行い、この診断チェックを開始します。この構成では、メイン ADC と AUX ADC の比較された値が、それぞれ DIAG_MAIN_HI/LO レジスタと DIAG_AUX_HI/LO レジスタに通知されます。

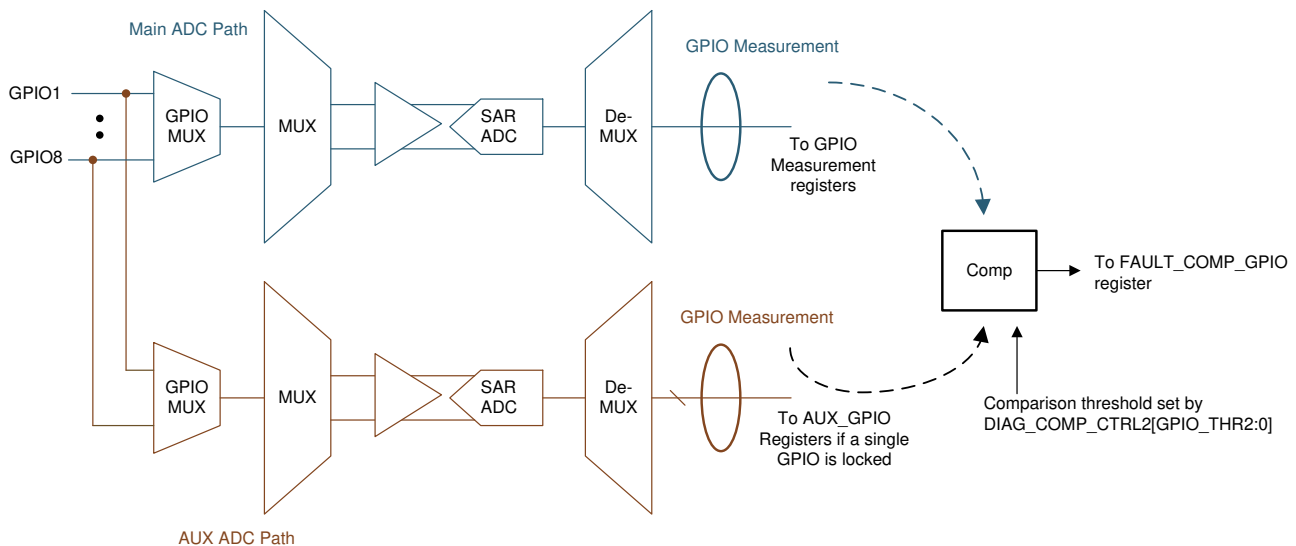


図 7-49. サーミスタ温度 (GPIO) 測定診断

温度測定の比較を開始する前に、ホストは以下を確認してください。

- メイン ADC は有効化されている必要があり、連続モードで動作している必要があります。
- 試験対象の GPIO チャンネルは `ADC_CTRL3[AUX_GPIO_SEL3:0]` で設定し、AUX ADC は有効化され、連続モードで動作している必要があります。
- `[GPIO_THR2:0]DIAG_COMP_CTRL2[GPIO_THR2:0]` の設定により、比較スレッシュホールドを選択します。

セル電圧の測定比較を開始するには、次の手順に従います。

1. `DIAG_COMP_CTRL3[COMP_ADC_SEL2:0]` を GPIO 測定チェック (0b101) に設定し、`[COMP_ADC_GO] = 1` を設定します。
2. `[AUX_GPIO_SEL4:0]` で選択された各チャンネルに対し、デバイスは、メインからの GPIO – AUX からの GPIO の差の絶対値を算出し、その値が `[GPIO_THR2:0]` より小さいかどうかを比較します。
3. 比較処理が完了するまで待機します。この処理には最大で 64 回の ADC ラウンド ロビン周期を要する場合があります。
4. `ADC_STAT2[DRDY_GPIO] = 1` になると、GPIO の測定比較が完了します。

ホストは `FAULT_COMP_GPIO` レジスタをチェックして比較結果を確認します。

ADC 比較の中止条件:

デバイスは、以下に示す無効条件のいずれかに該当する場合、温度測定比較を開始しません。比較が中止されると、`FAULT_COMP_MISC[COMP_ADC_ABORT] = 1`、`[DRDY_GPIO] = 1`、`FAULT_COMP_GPIO = 0xFF` となります。`[AUX_GPIO_SEL3:0]` が単一チャンネル固定に設定されている場合、比較処理が中断されると、`AUX_GPIO_HI/LO` レジスタはデフォルト値の `0x8000` にリセットされます。

温度測定比較の開始を妨げる無効条件または設定は以下のとおりです。

- `[AUX_GPIO_SEL]` の設定が無効であり、選択された GPIO が ADC 測定用に設定されていない場合。
`AUX_GPIO_HI/LO` レジスタはデフォルト値に保持されています。これは、すべての GPIO に対して `[AUX_GPIO_SEL]` が選択されていて、どの GPIO が ADC 測定用に構成されていない場合にも適用されます。
- メインまたは AUX の ADC は、連続モードではオフになっているか、設定されていません。

7.3.6.4.6.3 セル バランシング FET のチェック

セル バランシング FET のチェックは、バランシング FET をオンにし、FET 両端の電圧 (AUX ADC 経由で測定) とセル電圧 (メイン ADC 経由で測定) を比較することによって実行されます。チェックに使用される AUXCELL 測定値を読み出すには、マイコンは `[AUX_CELL_SEL]` 設定を使用して一つのチャンネルにロックするようにこの診断チェックを設定し、この診断チェックを開始する必要があります。AUXCELL の比較値は `DIAG_AUX_HI/LO` レジスタに通知されます。

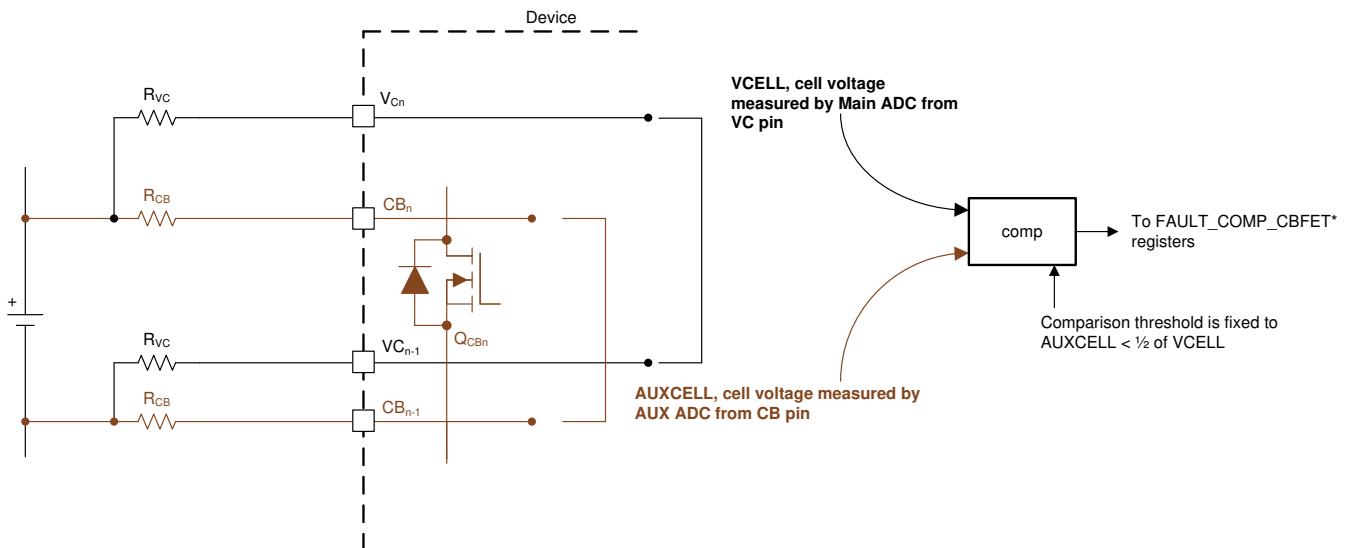


図 7-50. セル バランシング FET の診断

セル バランシング FET の比較を開始する前に、ホストは以下のことを確認します。

- メイン ADC は連続モードで動作しています。
- CB FET のテスト対象となる AUXCELL チャネルは、ADC_CTRL2[AUX_CELL_SEL4:0] で設定します。
- ADC_CONF1[AUX_SETTLE1:0] によって、AUX CELL チャネルの目的のセトリング タイムを選択します。
- バランシングが実行中の場合は、CB を一時停止します。
- DIAG_CBFET_CTRL1 および DIAG_CBFET_CTRL2 レジスタによってテストされる CBFET を構成します。
 - CBFET については、同時にオンにできるのは最大八個まで、また連続してオンにできるのは二個までという制約が引き続き適用されます。
 - 奇数と偶数に分けてテストすることを推奨します。

CBFET 比較を開始するには、次の手順に従います。

1. AUX ADC を連続モードで開始します。
2. DIAG_COMP_CTRL3[CBFET_CTRL_GO] = 1 を設定して選択した CBFET をオンにし、適切な dv/dt 時間が経過するまで待ちます。
3. DIAG_COMP_CTRL3[COMP_ADC_SEL2:0] を CBFET チェック (0b100) に設定し、[COMP_ADC_GO] を 1 に設定します。
4. デバイスは前の手順で設定した CBFET をオンにし、AUXCELL 測定値 (CB チャネル経由) が VCELL 測定値 (VC チャネル経由) の半分未満であるかを比較します。イネーブルになっている CBFET だけがチェックされます。
5. CBFET の比較は、ADC_STAT2[DRDY_CBFET] = 1 になると完了します。
6. この手順を、他の CBFET テスト対象についても繰り返します。このテストで CBFET をイネーブルにするには、マイコンは DIAG_CBFET1 および DIAG_CBFET2 レジスタをクリアしてから、[CBFET_CTRL_GO] = 1 に設定します。それ以外の場合、[CB_PAUSE] = 0 を送信して CB 一時停止状態から終了すると、通常のバランシングが再開されます。このテストでイネーブルになっている CBFET がオフになり、バランシングに設定されている CBFET で再開されます。

ホストは、比較結果について FAULT_COMP_CBFET1 および FAULT_COMP_CBFET2 レジスタをチェックします。残りの CBFET を比較するには、この手順を繰り返します。

ADC 比較の中止条件:

以下に示す無効な条件では、このデバイスは CBFET 比較を開始しません。比較処理が中止されると、FAULT_COMP_MISC[COMP_ADC_ABORT] = 1、[DRDY_AUX_CEL] = 1、[DRDY_CBFET] = 1 に設定され、FAULT_COMP_CBFET1/2 は 0xFF になります。[AUX_CELL_SEL4:0] が単一チャネルに固定されている場合、比較処理が中断されると、AUX_CELL_HI/LO レジスタはデフォルト値 0x8000 にリセットされます。

セル電圧の測定比較を開始できなくなる無効な条件または設定:

- 選択したチャネルで AUX ADC 測定が行われないような、無効な [AUX_CELL_SEL] 設定。AUX_CELL_HI/LO レジスタはデフォルト値に保持されます。
- NUM_CELL 構成よりも高いチャネルが選択されます。
- 無効な、BBVC_POSN 設定:
 - 隣接チャネルは、BB_POSN1/2、BBVC_POSN1/2 レジスタでイネーブルになります。
 - BB_POSN2[CELL1] または BBVC_POSN2[CELL1] が有効になっています。
 - BB_POSN1/2、BBVC_POSN1/2 では、二つ以上のチャネルが選択されます。
 - [AUX_CELL_SEL] は、BB_POSN1/2、BBVC_POSN1/2 で選択されたチャネルのいずれかにロックされます。
- メインまたは AUX の ADC は、連続モードではオフになっているか、設定されていません。
- CB は実行中であり、一時停止モードではありません。
- 八つ以上の CBFET が有効化されるか、DIAG_CBFET_CTRL1/2 レジスタで二つ以上の連続 CBFET が有効化されます。

7.3.6.4.6.4 VC および CB 断線検出

このデバイスは、VC および CB ピンの断線接続を検出できます。電流シンクは、電流ソースに接続された VC0 ピンと CB0 ピンを除き、各 VC ピンと CB ピンに接続されています。

電流シンク (または電流ソース) が有効化され、断線接続がある場合、外付けの差動コンデンサが使い尽くされ、セル電圧測定値は時間の経過とともに異常なレベルに低下します。同様の検出概念は、電流ソースを使用した VC0 ピンと CB0 ピンにも適用されます。断線接続がある場合、VC0 または CB0 が電流ソースによってプルアップされるため、時間の経過に伴ってセル電圧測定値が低下します。

診断比較を有効にすると、デバイスはメイン ADC からのセル電圧測定値 (VC ピンの断線検出の場合) を、ホストでプログラムされたスレッシュホールドと比較するか、AUX ADC からの AUX CELL セル測定値 (CB ピンの断線検出の場合) をホストでプログラムされたスレッシュホールドと比較します。

CB 断線検出を開始する前に、[AUX_CELL_SEL] を通じてマイコンが 1 つの CB チャンネルにロックする場合。デバイスは、チェック比較に使用された AUXCELL 測定値を報告します。この値は DIAG_AUX_HI/LO レジスタで通知されます。メイン ADC にはシングル チャンネル ロック機構がないため、VC 断線検出に使用された VC チャンネル測定は DIAG_MAIN_HI/LO レジスタで通知されません。

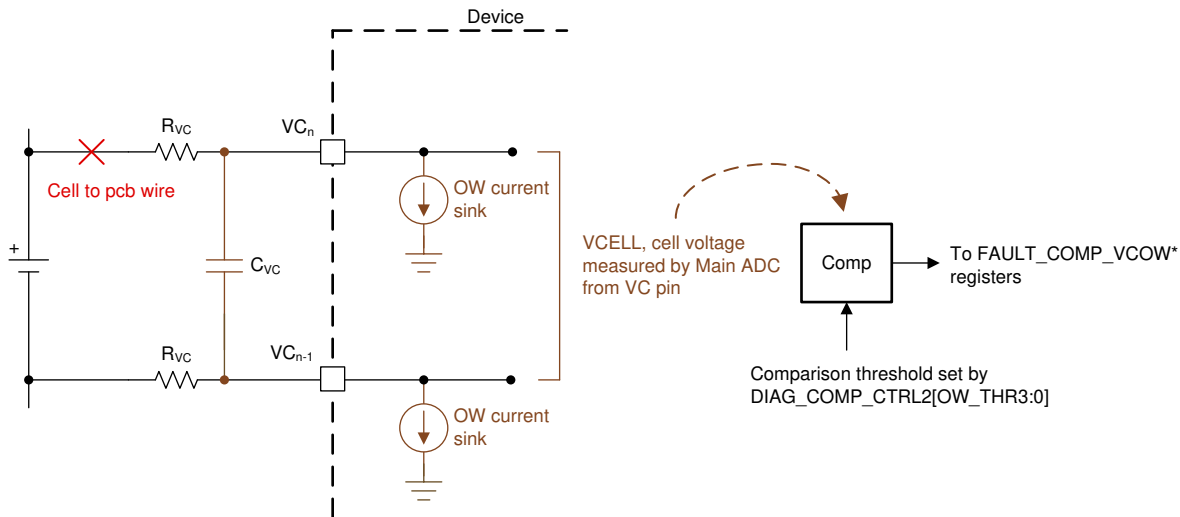


図 7-51. 断線検出

断線比較を開始する前にホストで行われること

- VC 断線検出の場合、メイン ADC が連続モードで動作していることの確認
- CB 断線検出の場合、AUX ADC が連続モードで動作していることの確認
 - AUXCELL チャンネルを選択するために、ADC_CTRL2[AUX_CELL_SEL4:0] で構成
 - ADC_CONF1[AUX_SETTLE1:0] を使用して AUX CELL チャンネルの目的のセトリング タイム時間を選択
- DIAG_COMP_CTRL2[OW_THR3:0] を使用して断線検出スレッシュホールドを設定

断線比較の開始手順

- DIAG_COMP_CTRL3[OW_SNK1:0] を使用して VC ピン (または CB ピン) の電流シンクまたはソースをオンにします。
- 断線障害が発生した場合に、外部コンデンサの dV/dt 時間が検出スレッシュホールドまで消費されるのを待ちます。
- VC 断線検出の場合、DIAG_COMP_CTRL3[COMP_ADC_SEL2:0] = OW VC チェック (つまり、0b010) を選択し、[COMP_ADC_GO] = 1 に設定します。CB 断線検出の場合、[COMP_ADC_SEL2:0] = OW CB チェック (つまり 0b011) を選択します。
- すべてのアクティブな VCELL 測定 (VC 断線の場合) または AUX CELL 測定 (CB 断線の場合) が、[OW_THR3:0] スレッシュホールド設定と比較されます。

5. 比較が完了すると、VC 断線では $ADC_STAT2[DRDY_VCOW] = 1$ (CB 断線では $[DRDY_CBOW] = 1$) になります。
6. その後、ホストが $DIAG_COMP_CTRL3[OW_SNK1:0]$ を介して、すべての電流シンクとソースをオフにします。

ホストは $FAULT_COMP_VCOW1/2$ レジスタまたは $FAULT_COMP_CBOW1/2$ レジスタをチェックして、比較結果を確認します。

7.3.7 バス バー サポート

このデバイスは、二種類の接続方式によるバス バー測定をサポートしています：

- バス バーは、BBP ピンおよび BBN ピンを介して専用のバス バー チャンネルに接続されます
- VC チャンネルに接続されたバス バー

一つのデバイスには合計三本のバス バーを接続でき、そのうち一本は BBP/N ピン経由、残り二本は VC チャンネル経由で接続できます。表 7-32 に、二つの接続方式の違いを示します。詳細については、後続のサブセクションで説明します。

表 7-32. バス バーの接続方法

対応機能 / 制限事項	BBP/BBN ピン間に接続されたバス バー	バス バーを VC ピン間に個別に接続する構成
デバイスごとに接続できるバス バーの数	1	2
接続チャンネル	最下段のチャンネルを除く任意のチャンネルに接続できます	最下段のチャンネルを除く任意のチャンネルに接続できます
バス バー測定	はい、結果は $BUSBAR_HI/LO$ レジスタに出力されます	はい、結果は $VCELLx_HI/LO$ レジスタに出力されます。ここで、x はバス バーが接続されている VC チャンネルです
バス バー測定用のフィルタを内蔵	はい。通常のセル チャンネルと同じフロントエンドフィルタおよび ADC 後段のデジタル LPF が適用されます。BBP/N チャンネルは x5 ゲインで、 $\pm 1V$ の入力範囲です。セル電圧測定で使用する LPF 設定とは独立した、専用のデジタル LPF 設定を備えています。	はい。通常のセル チャンネルと同じフロントエンドフィルタおよび ADC 後段のデジタル LPF が適用されます。バス バー測定には、同じセル電圧の LPF 設定を使用します。
ホストはセル測定の補正を行う必要があります	はい。この方式では、一つの VC チャンネルをセルとバス バーで共有します。共有チャンネル上の実際のセル電圧を取得するために、ホストはバス バー測定値を分離する必要があります。	いいえ。セルとバス バーはそれぞれ専用の VC チャンネルに接続されており、測定結果は個別に報告されます。
セル バランシングの制限	CB の制限はありませんが、バス バーに接続されているチャンネルの上にセルのバランシングを行うと、ホストは隣接 CBFET をオンにします	CB の制限はありませんが、バス バーに接続されているチャンネル上に上側の CB ピンをフローティングにする必要があります

このデバイスは、バス バーが VC チャンネルに接続されているとき、接続でのバス バー測定をサポートします。一つのデバイスには、VC チャンネルを介して合計二本のバス バーを接続できます。表 7-33 に、その詳細を示します。詳細については後続の各節で説明します。

表 7-33. バス バーの接続方法

対応機能 / 制限事項	バス バーを VC ピン間に個別に接続する構成
デバイスごとに接続できるバス バーの数	2
接続チャンネル	最下段のチャンネルを除く任意のチャンネルに接続できます
バス バー測定	はい、結果は $VCELLx_HI/LO$ レジスタに出力されます。ここで、x はバス バーが接続されている VC チャンネルです
バス バー測定用のフィルタを内蔵	はい。通常のセル チャンネルと同じフロントエンドフィルタおよび ADC 後段のデジタル LPF が適用されます。バス バー測定には、同じセル電圧の LPF 設定を使用します。
ホストはセル測定の補正を行う必要があります	いいえ。セルとバス バーはそれぞれ専用の VC チャンネルに接続されており、測定結果は個別に報告されます。
セル バランシングの制限	CB の制限はありませんが、バス バーに接続されているチャンネル上に上側の CB ピンをフローティングにする必要があります

7.3.7.1 BBP/BBN ピンのバス バー

デバイスは、バス バーの接続および測定用に、BBP/BBN ピンを介した専用のバス バー チャネルを提供します。このチャネルはフローティング構成であり、モジュールの最下段セルを除く任意のセルにバス バーを接続できます。バス バーチャネルを使用すると、さまざまなモジュール サイズでデバイスのセル チャネルを最大限に使用できます。

7.3.7.1.1 代表的な接続

バス バーを BBP/BBN ピンに接続すると、シングル セル チャネル (VC チャネル) をセル + A バス バーと共有することを目的としています (図 7-52 の (a) 接続を参照)。通常、このような接続方式ではセル電圧測定に追加の IR 誤差が生じます。このデバイスがサポートする BBP/BBN ピン経由の専用バス バー チャネルにより、ホストはバス バー電圧を測定し、実際のセル電圧を求めることができます。

図 7-52 の (a) 接続は、中間の VC チャネルに接続するバス バーに適用されます。つまり、単一のデバイス内では、BBP/BBN チャネルの上下にそれぞれセルが接続されています。バス バー チャネルでのホットプラグに対応するため、このデバイスでは BBP/N ピンにそれぞれ 400Ω のフィルタ抵抗を配置し、さらに BBP/N 間に $0.47\mu\text{F}/16\text{V}$ の差動コンデンサを接続するだけで済みます。

BBP/N に接続されたバス バーがモジュールの最上部に配置されている場合 (図 7-52 の (b) 接続を参照)、これは BBP/N 接続における例外的な構成であり、セルチャネルを共有しません。この接続方式では、実際のセル電圧は VC チャネルを通じて直接測定されるため、ホスト側で追加の演算を行う必要はありません。

図 7-52 の (b) 接続はモジュールの上部に接続されたバス バーに適用されます。この場合、シングル デバイスの場合、バス バーの上にセルは接続されません。バス バー チャネルでのホットプラグに対応するため、BBP/N ピンにそれぞれ 400Ω のフィルタ抵抗、ならびに BBP/N 間の $0.47\mu\text{F}/16\text{V}$ 差動コンデンサに加えて、BBN と最上位 CB ピンの間に接続する $0.47\mu\text{F}/16\text{V}$ の差動コンデンサを追加する必要があります。この追加コンデンサにより、モジュール内の全セルからバス バーまで連続したコンデンサ ラダー回路が形成され、ホットプラグ時に発生する高いスパイク電圧をコンデンサ ラダー全体に分散させることができます。

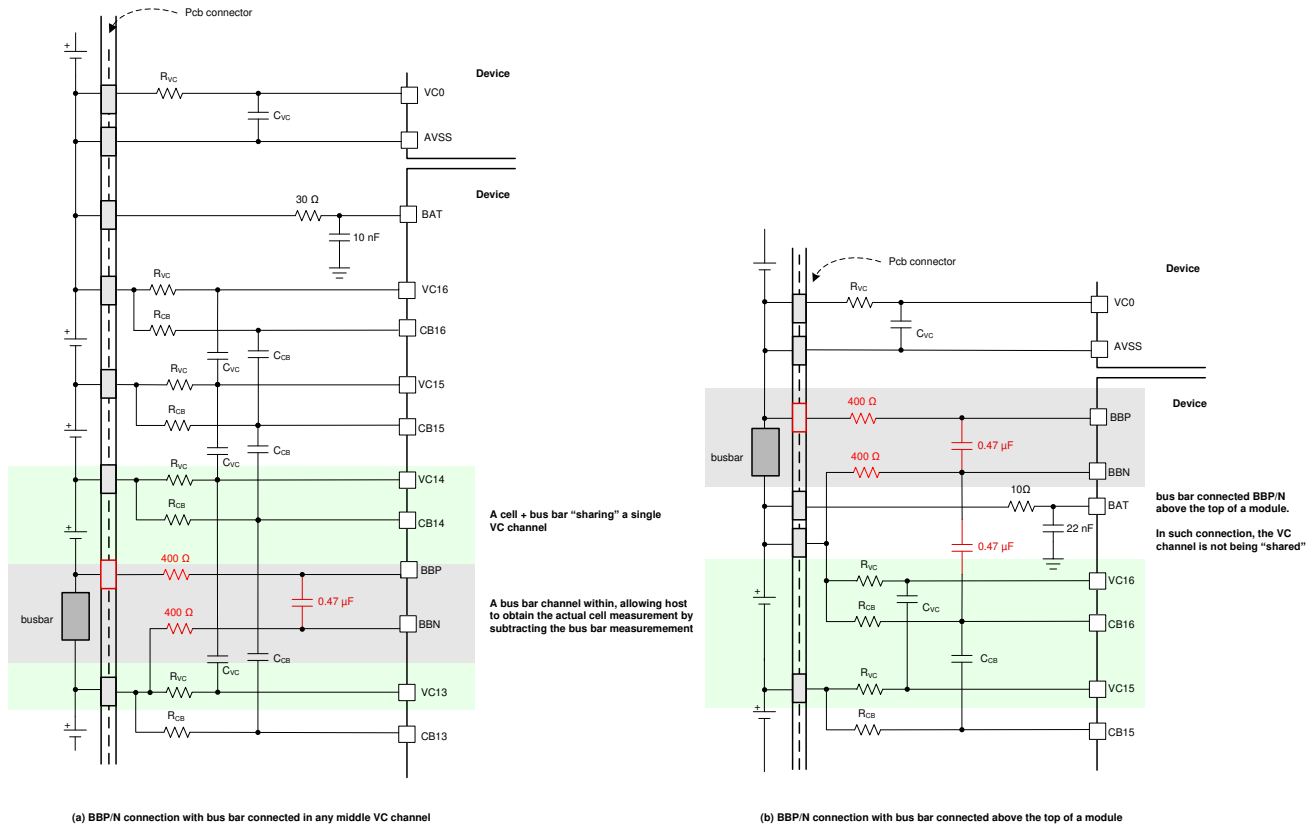


図 7-52. BBP ピンと BBN ピンの間に接続されたバス バー

7.3.7.1.2 バス バー測定

(BBP–BBN) 間の差動電圧は、Main ADC および AUX ADC によって測定されます。詳細は、[セクション 7.3.2.1.1](#) および [セクション 7.3.2.2.1](#) を参照してください。BBP_LOC レジスタを使用して、どの VC チャンネルが BBP/N 接続と共有されるかを示します。この情報により、デバイスは最終的な ADC 測定値に対して、より高精度な同相モード補正を行うことができます。ホストは、共有 VC チャンネルに追加の IR エラーが発生することに注意します。OVUV プロテクタが有効になっている場合、この共有チャンネルでは、共有チャンネルの測定値に加わる追加の IR 電圧変動 (充電時は増加、放電時は減少) により、OV または UV の検出が本来より早く発生する可能性があります。

7.3.7.1.3 セル バランシング処理

バス バーはセル間チャンネルと共有されているため、セル バランシング制御において特別な処理は必要ありません。ホストは、共有チャンネルにおいて VCB_DONE 検出 (VC チャンネル経由) に追加の IR 誤差が生じることを認識しておく必要があります。

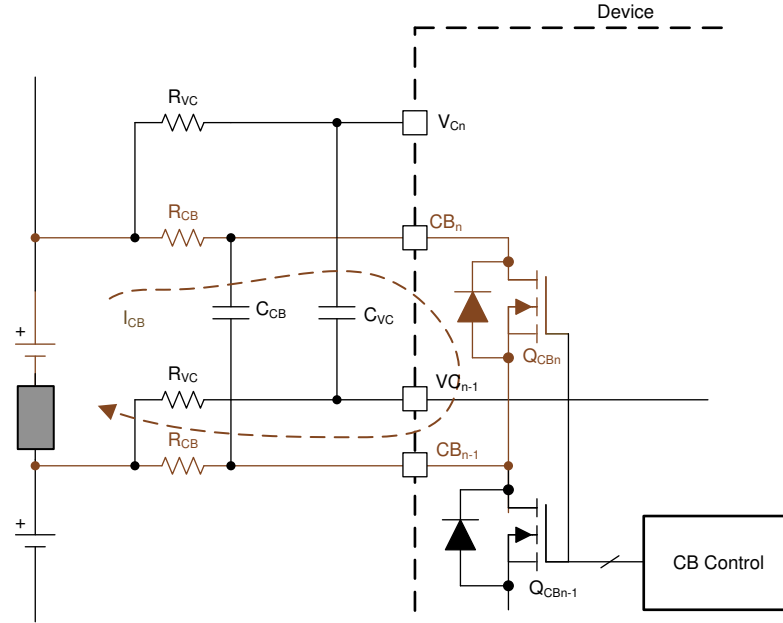


図 7-53. セル チャンネルを共有するバス バー (BBP/N 経由) によるセル バランシング

7.3.7.1.4 セル電圧診断制御

このデバイスは、共有チャンネルにおける (セル電圧測定値 + バス バー電圧測定値) の合計値を比較することで、VC チャンネルと CB チャンネルの対応関係を引き続き判定できます。セクション 7.3.6.4.6.1 を参照してください。さらに、バス バーチャンネルの測定値は、Main ADC と AUX ADC によるバス バー チャンネル測定値を比較することで検証できます。

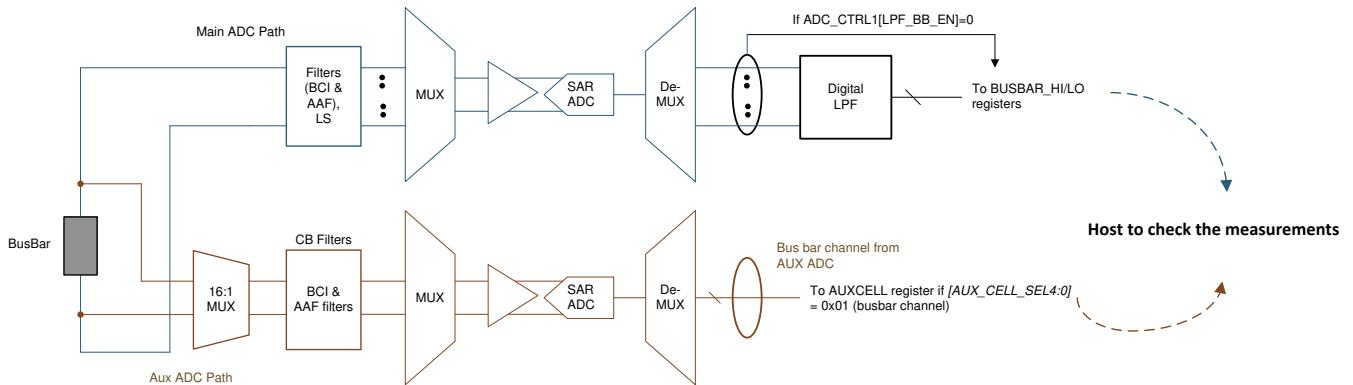


図 7-54. BBP/N 測定チェックによるバス バー

BBP/N ピンには、断線検出用の電流シンクが内蔵されています。DIAG_COMP_CTRL3[OW_SNK1:0] = 0b11 のとき、電流シンクはオンになります。バス バーを流れる電流が存在する場合、(BBP–BBN) の測定値はゼロではありません。BBP ピンまたは BBN ピンで断線が発生した場合、電流シンク的作用により (BBP–BBN) の測定結果は異常値となります。

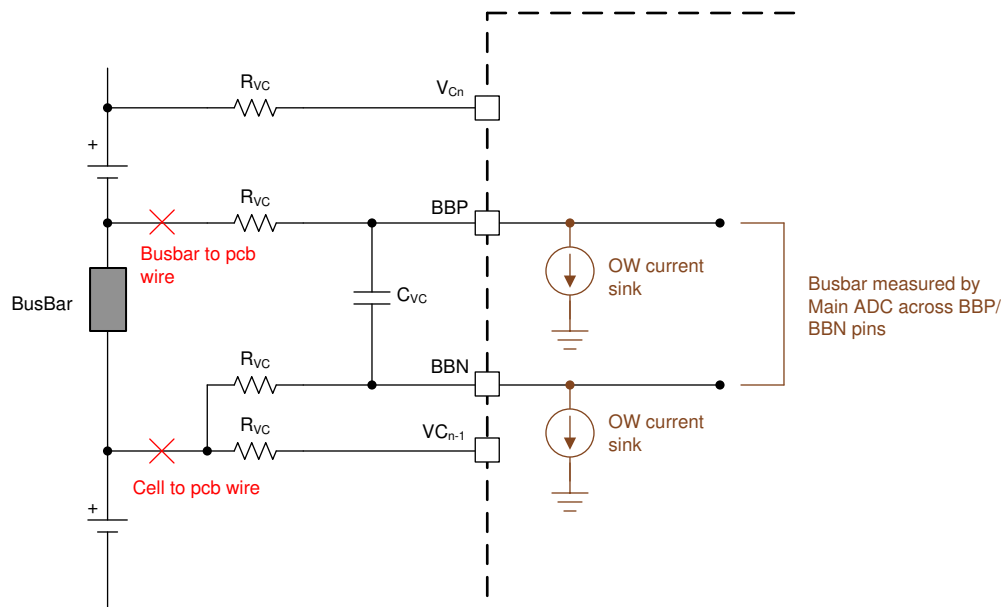


図 7-55. BBP/N 断線検出用の電流シンク

7.3.7.2 個別の VC チャンネルのバスバー

このデバイスは、BBP/N 経由でバスバーを接続する方法に加え、個別の VC チャンネルにバスバーを接続することもサポートしています。最下位チャンネル (VC1-VC0) を除くすべての VC チャンネルは、 $-2V \sim 5V$ の電圧測定をサポートしています。

デバイスは、個別の VC チャンネルへのバスバー接続をサポートしています。最下位チャンネル (VC1-VC0) を除くすべての VC チャンネルは、 $-2V \sim 5V$ の電圧測定をサポートしています。

バスバーが個別の VC チャンネルに接続されている場合、ホストは BB_POSN1、BBVC_POSN1 および BBVC_POSN2 レジスタでバスバーの接続位置を指定します。次の構成は、個別の VC チャンネルを経由するバスバー接続にはサポートされていません。BB_POSN1 BBVC_POSN1 レジスタをこのような構成で設定すると、バランスング、OVUV 検出、セル電圧測定の比較チェックでエラーが発生する可能性があります。

- 最下位チャンネルはバスバー接続をサポートしていません。BB_POSN1[CELL1]、BBVC_POSN1[CELL1] は必ず 0 に設定する必要があります。
- この接続を介して最大二つのバスバーを接続できます。つまり、BB_POSN1 BBVC_POSN1 レジスタでは二つのビットのみが 1 に設定されます。
- バスバーは隣接するチャンネルに接続することはできません。

7.3.7.2.1 代表的な接続

バスバーを各 VC チャンネルに個別に接続する場合、そのチャンネルの上側 CB ピンは、内部 CBFET が順方向バイアスされるのを防ぐため、フローティングのままにします (図 7-56 の (a) 接続を参照)。この接続方法は、バスバーを任意の中間 VC チャンネルに個別に接続する場合に適用されます。つまり、一つのデバイス内において、バスバーが接続された VC チャンネルの上下にセルが接続されている構成です。ホットプラグ性能を確保するため、バスバーが接続されている CB チャンネルでは、上側 CB ピンがフローティングであっても差動コンデンサを実装します。このコンデンサは、全セルおよびデバイスに接続されたバスバーを含む完全なコンデンサラダーを形成し、ホットプラグ時に発生する高電圧スパイクをラダー全体に分散させます。

バスバーをモジュールの上側より上に、個別の VC チャンネル (図 7-56 の (b) 接続を参照) に接続する場合、そのチャンネルの上側の CB ピンはフローティングのままになりますが、CB 差動コンデンサは接続されます。さらに、最上位の CB ピンから BAT ピンへ追加の RC フィルタを接続します。この追加の RC フィルタ (CB ピン上の他の RC フィルタと同じ RC

定数を使用) は、完全なコンデンサ ラダーを形成し、ホットプラグ時に発生する高電圧スパイクを CB ピンの他の RC フィルタと同じ時定数で分散できるようにするためのものです。

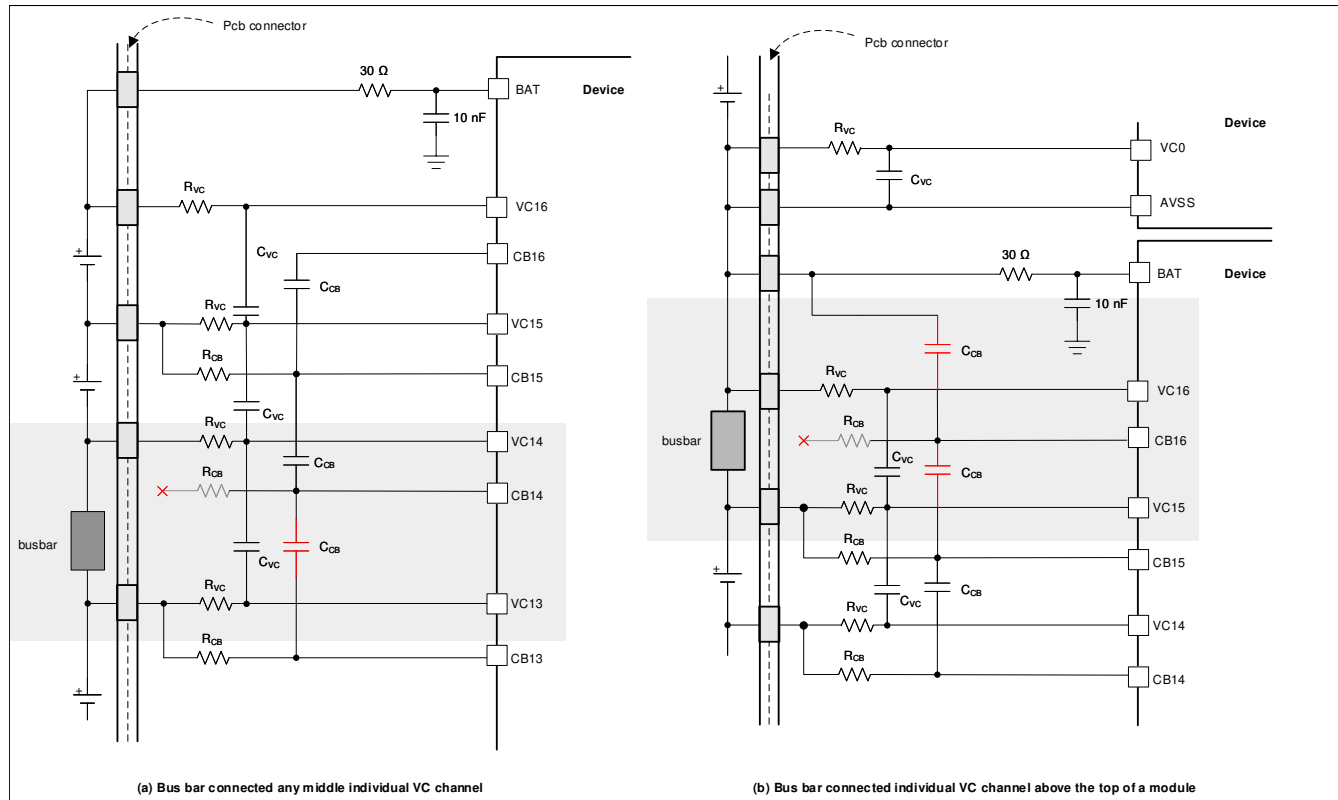


図 7-56. バス バーは個別の VC チャンネルに接続されています

7.3.7.2.2 バス バー測定

バス バー測定は、VC チャンネルの一つとしてメイン ADC 測定により実行されます。結果は $VCELLx_HI/LO$ レジスタに通知されます。ここで、x はバス バーに接続されたチャンネルです。デジタル LPF が有効になり、他の VC チャンネル測定設定と同様に適用されます。

バス バー接続 (BB_POSN1/2 BBVC_POSN1/2 レジスタ経由) に対して示された VC チャンネルは、OVUV プロテクタが有効な場合、セル バランシング、OV、UV の検出中に VCB_DONE チェックのためスキップされ、セル電圧測定比較チェック中に特別な処理が行われます。

7.3.7.2.3 セル バランシング処理

バス バーが接続されているチャンネルでは上側 CB ピンがオープンとなるので、バス バー上側に接続されたセルのバランスを取るために、ホストは隣接する CBFET をオンにし、同じタイマ設定で構成します。

ホストはバス バー接続を示すために、BBVC_POSN1/2 レジスタを設定します。この情報は、バス バーに接続されているチャンネルが VCB_DONE 検出をトリガして CBFET をオフにし、バス バーの上にあるセルのバランシング パスが切断されることを防ぐために使用されます。

バス バーの上側にあるセルのバランス動作は、タイマおよびセル電圧のスレッシュホールドに基づいて終了され、停止条件のいずれかが成立すると CBFET はオフになります。バス バー接続チャンネルの CBFET がオンのままであっても、バランシング パスは切断されます。

注

バス バー接続チャネルの CBFET は、タイマーが切れるまでオンになります。このため、実際のセル バランシングが完了した場合でも、[CB_DONE] = 1 のフラグが遅延する可能性があります。

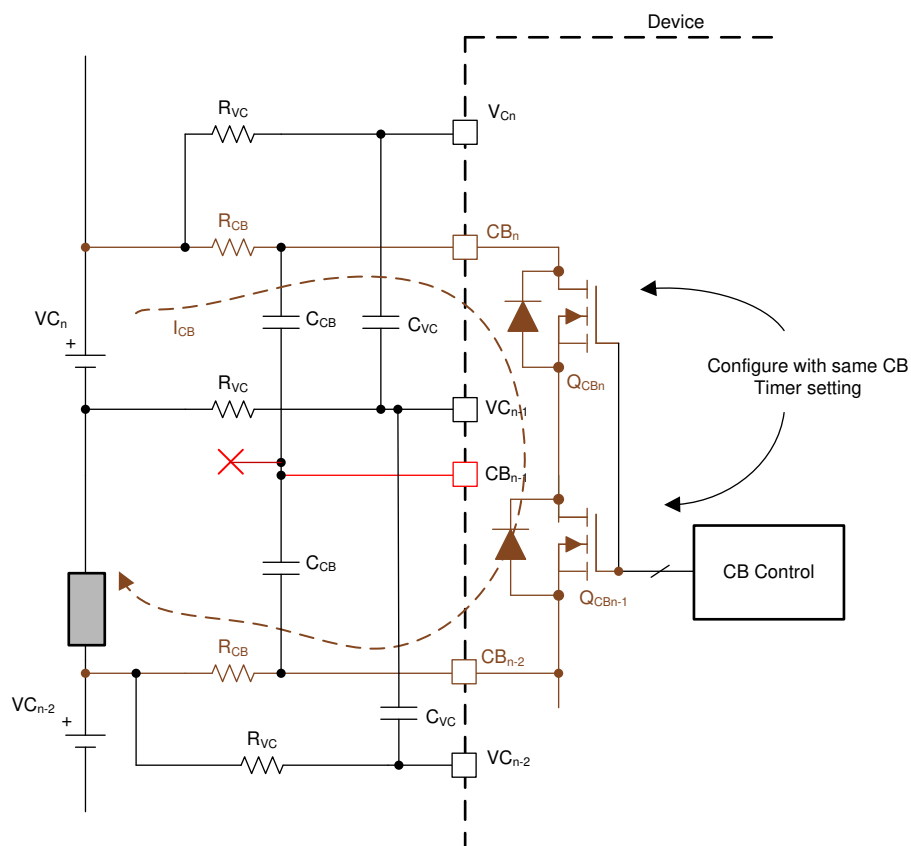


図 7-57. 個別の VC チャンネルに接続されたバス バーによるセル バランシング

7.3.7.2.4 セル電圧診断制御

メイン ADC 測定と AUX ADC 測定値との関係をチェックすることで、セル電圧の比較チェックを引き続き実行します。バス バーが接続されている CB チャンネルの上側 CB ピンがオープンであるため、デバイスではメイン ADC の合計 (セル + バス バー) と AUX ADC の合計 (セル + バス バー) を比較することで、比較チェックを処理します。

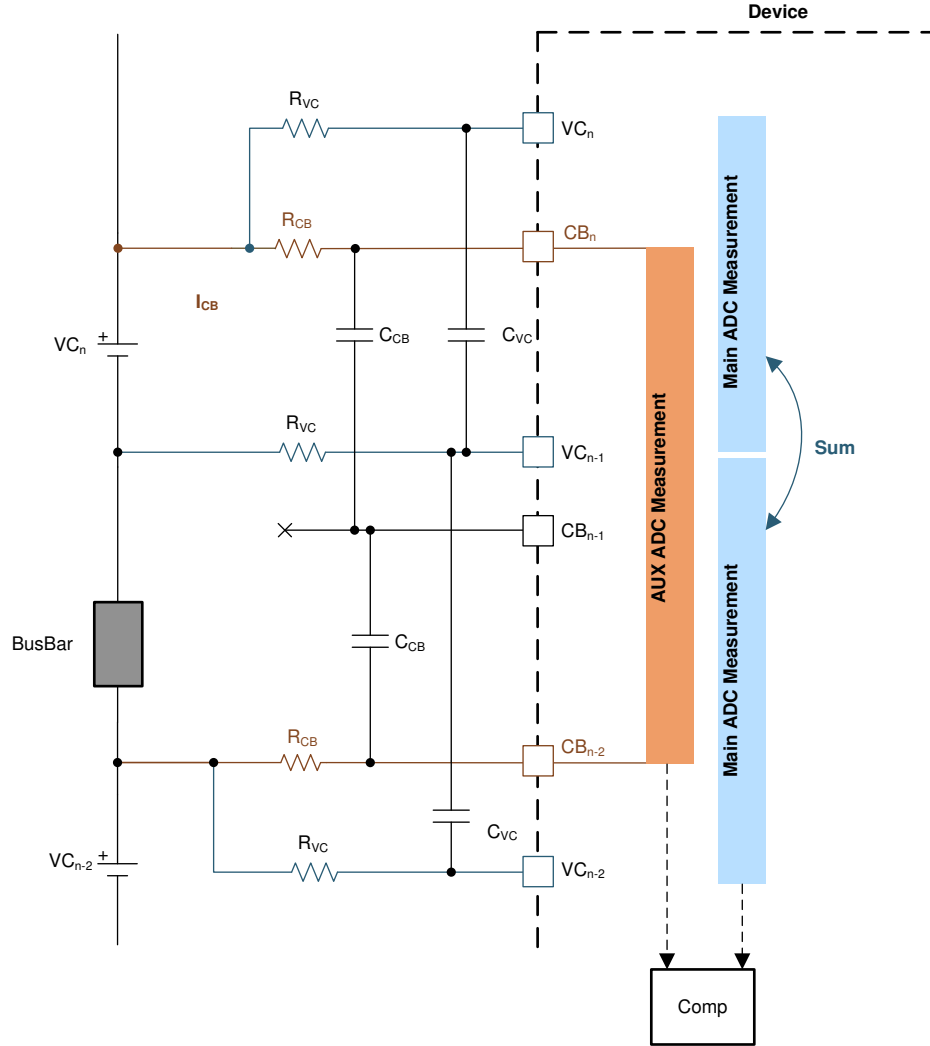


図 7-58. 個別の VC チャンネルに接続されたバス バーによるセル測定チェック

7.4 デバイスの機能モード

このデバイスには、三つの電力モードに加えて POR 状態があります。

- **POR:**これは電源モードではありません。これは電圧が BAT ピンの VBAT 最小値を下回り、デバイス内の AVAO_REF ブロックを含むすべての回路が電源オフ状態となっている条件です。
- **SHUTDOWN:**これは最も低消費電力のモードです。AVDD、DVDD、CVDD 電源はオフです。LDOIN ピンでは、グロスレギュレーションのみが維持されます。CVDD ピンは、WAKE 検出をサポートするために、内部回路を通じて LDOIN ピンと同様の電圧レベルを持つようになります。
- **SLEEP:**これは低消費電力動作モードです。限定機能のみご利用いただけます。
- **アクティブ:**これはフル パワー動作モードです。この状態では、すべての機能がサポートされます。

各種電力モードでサポートされている各種機能を表 7-34 にまとめ、電源状態図を図 7-59 に示します。

表 7-34. アクティブ機能の概要

機能ブロック	シャットダウン	SLEEP	アクティブ	POR
メイン ADC			✓	これは電源ステートではありません。すべてのチャンネルはオフです。VBAT に十分な電圧が印加されると、デバイスは POR され、シャットダウン モードに移行します
AUX ADC			✓	
OV/UV プロテクタ		✓ ⁽¹⁾	✓	
OT/UT プロテクタ		✓ ⁽¹⁾	✓	
セル バランシング		✓ ⁽¹⁾	✓	
OTCB 検出		✓ ⁽¹⁾	✓	
モジュール バランシング (MB_TIMER_CTRL による制御を使用)			✓	
UART			✓	
通信垂直通信			✓	
故障ステータスと NFAULT 通信		✓	✓	
通信タイムアウト			✓	
SLEEP タイムアウト		✓		
サーマル シャットダウン検出		✓	✓	
SPI マスタ			✓	
OTP プログラミング			✓	
デバイスの POR を検出するための常時 オン ブロック	✓	✓	✓	

- (1) この状態では、OV/UV または OT/UT プロテクタをスリープ モードで有効化するためには、ホストはまずアクティブ モードで機能を有効にし、その後デバイスをスリープに遷移させる必要があります。

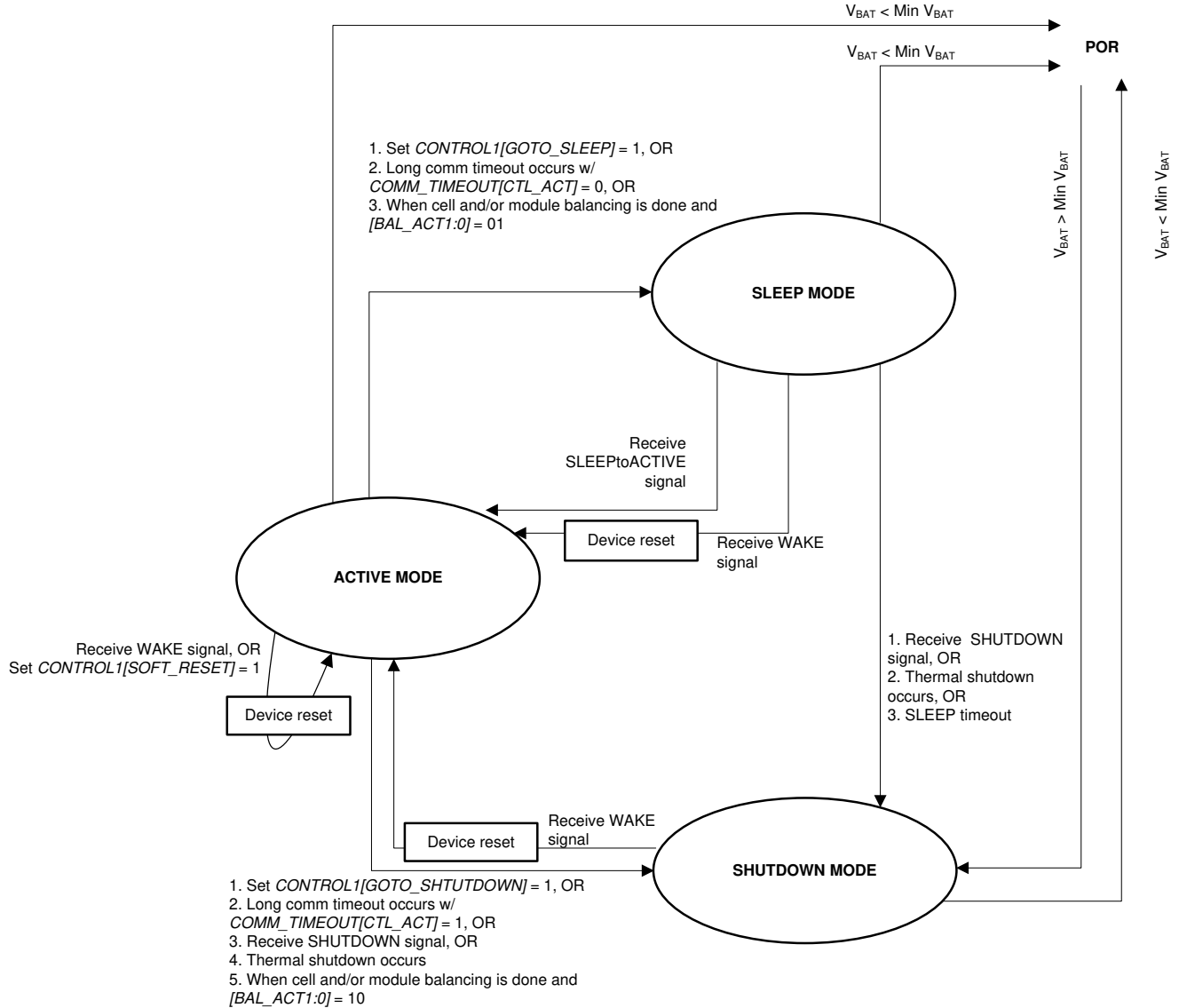


図 7-59. 電源状態図

7.4.1 電力モード

7.4.1.1 シャットダウン モード

これは最小電力モードです。SHUTDOWN モードでは、ほとんどの機能がオフになります。デバイスはアイドル状態を維持し、この状態からウェークアップするために、WAKE ping / トーン (詳細については[セクション 7.4.3](#)を参照) の監視のみを行います。WAKE ping / トーン検出のため、LDOIN および CVDD ピンの総制御調整のみが維持されます。

7.4.1.1.1 シャットダウンモードの終了

シャットダウン モードでは通信がサポートされていないため、アクティブ モードへ移行するには、ホストが WAKE ping または WAKE トーンを送信する必要があります。デバイスがシャットダウン モードからアクティブ モードに遷移すると、次の表は、このような遷移が発生したことを想定される故障ビットを示しています。

表 7-35. デバイスがシャットダウンからウェークアップした後に想定される故障ビット

デジチェーン内の デバイス位置	シャットダウンからウェークアップした後に想定される故障ビット	
ベース デバイス	FAULT_SYS[DRST] = 1	ウェイク ping によるデジタル リセット
	FAULT_COMM3[FCOMM_DET] = 1	上位デバイスからの [DRST] = 1
	FAULT_COMM1[COMMCLR_DET] = 1	UART エンジンがリセットされます
スタック デバイス (スタックの最上位を除く)	FAULT_SYS[DRST] = 1	ウェイク トーンによるデジタル リセット
	FAULT_COMM3[FCOMM_DET] = 1	上位デバイスからの [DRST] = 1
スタックの最上位デバイス	FAULT_SYS[DRST] = 1	ウェイク トーンによるデジタル リセット

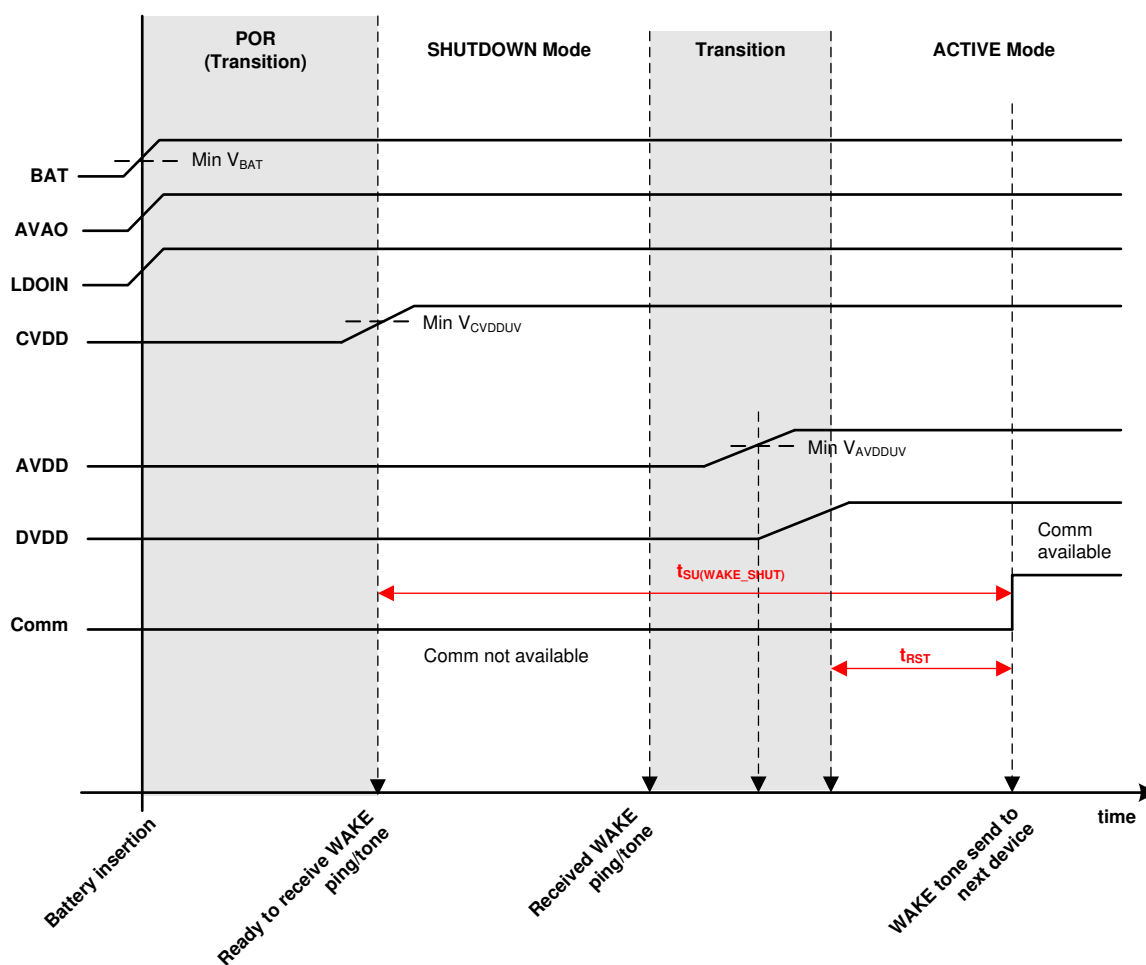


図 7-60. シャットダウンからアクティブ モードへの遷移

7.4.1.1.2 SHUTDOWN モードへの移行

通常動作中に、ホストは `CONTROL1[GOTO_SHUTDOWN] = 1` を送信することで、通信を介してデバイスを SHUTDOWN モードに移行させます。デジチェーン構成では、このコマンドを送信するためにブロードキャスト書き込みを使用すると、デジチェーン内のすべてのデバイスが SHUTDOWN モードになります。

また、本デバイスは、次のいずれかの条件で SHUTDOWN モードに移行することもできます。

- 通信タイムアウト: 設定された時間にわたって有効な通信がない場合、ACTIVE モードから SHUTDOWN モードに自動的に遷移します。ホストは、COMM_TIMEOUT_CONF レジスタを使ってこのオプションを有効にできます。
- SLEEP モード タイムアウト: デバイスが設定された時間にわたって SLEEP モードにある場合、SLEEP モードから SHUTDOWN モードに自動的に遷移します。ホストは、PWR_TRANSIT_CONF [SLP_TIME2:0] を使ってこのオプションを有効にできます。
- バランシング完了時: デバイスのすべてのバランシングが完了すると、自動的に SHUTDOWN モードに移行します。詳しくは、セクション 7.3.3 を参照してください。このオプションを選択すると、デジタイゼーション構成において、一定期間、各デバイスが異なる電源モードになる場合があります。
- サーマル シャットダウン: 内部ダイ温度が T_{SHUT} よりも高くなるとデバイスがシャットダウンされます
- SHUTDOWN または HW_RESET の ping / トーン: これらの ping / トーンは、通信喪失状態の回復の試みとして使用されます。SHUTDOWN の ping / トーンが発生すると、通信を使用せずにデバイスが SHUTDOWN モードに移行され、ほとんどの回路が強制的にオフになります。より積極的な回復を試行するには、HW_RESET の ping / トーンを使用します。この場合、バンドギャップを除くすべての回路がオフになり、デバイスは SHUTDOWN モードで再起動します。

7.4.1.2 SLEEP モード

これは低消費電力動作モードです。スリープ モードでは、すべての内部電源がオンのままですが、セル バランシング、OVUV および OTUT プロテクタ、ハートビート / 故障トーン / NFAULT の送信と検出に制限されます。

7.4.1.2.1 SLEEP モードの終了

スリープ モード中はホストがデバイスと通信できないため、スリープ モードから復帰するには、ホストは WAKE ping / トーンまたは SLEEPtoACTIVE ping / トーンのいずれかを送信してデバイスを アクティブ モードへ遷移させる必要があります。WAKE はデバイスをウェークアップするとともにリセットするため、ホストはデバイス設定を再構成する必要があります。一方、SLEEPtoACTIVE はデバイスをウェークアップするだけです。

7.4.1.2.2 スリープ モードへの移行

このデバイスは、アクティブ モードからのみスリープ モードに移行できます。通常動作時、ホストは通信を介して CONTROL1[GOTO_SLEEP] = 1 を送信することにより、デバイスをスリープ モードへ移行させます。デジタイゼーション構成では、このコマンドを送信するためにブロードキャスト書き込みを使用すると、すべてのデバイスがスリープ モードになります。

また、このデバイスは、次の条件でスリープ モードに移行することもできます。

- 通信タイムアウト: 設定された時間にわたって有効な通信がない場合、アクティブ モードからスリープ モードに自動的に遷移します。ホストは、COMM_TIMEOUT_CONF レジスタを使ってこのオプションを有効化できます。

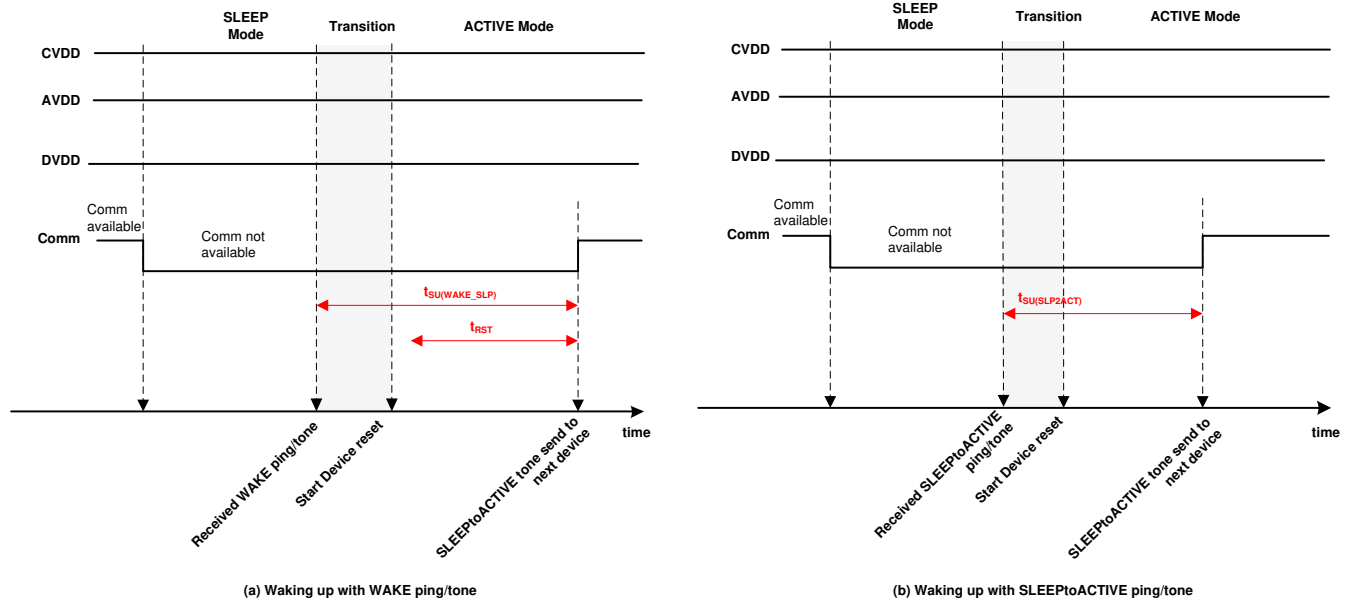


図 7-61. SLEEP から ACTIVE へのモード遷移

7.4.1.3 アクティブ モード

これは、すべての機能を利用できる動作モードです。このモードでは、ホストはデバイスと通信でき、さまざまな機能を完全に制御できるほか、性能診断も実行できます。

7.4.1.3.1 ACTIVE モードの終了

アクティブ モードからは、コマンド、ping / トーン、タイマ、または特定のイベントによって、スリープ モードまたはシャットダウン モードへ移行できます。詳細は、[セクション 7.4.1.1](#) および [セクション 7.4.1.2](#) を参照してください。

7.4.1.3.2 シャットダウン モードからアクティブ モードに移行

デバイスは、WAKE ping / トーンによってのみ、シャットダウン モードからアクティブモードへ移行できます。アクティブ モードに入ると、ホストは、シャットダウン モードからアクティブ モードに遷移したこと起因して特定のブロック上で POR を示す、想定される故障の一部をクリアします (詳細については [セクション 7.4.1.1](#) を参照)。レジスタはデフォルト値にリセットされ、OTP シャドウ レジスタには OTP にプログラムされた値が再読み込みされます。

7.4.1.3.3 スリープ モードからアクティブ モードに移行

スリープ モードからは、WAKE ping または SLEEPtoACTIVE ping / トーンのいずれかによって、デバイスをアクティブモードへ移行させることができます。WAKE ping / トーンは、デバイスへのデジタル リセットを生成します。LDO 電源はスリープ モード中も供給されたままであるため、デジタル リセットが発生したことを示す `FAULT_SYS[DRST] = 1` のみがセットされます。リセットに伴って発生することが想定される特定の故障がセットされます。詳細については、シャットダウン モードを参照してください。レジスタはデフォルト値にリセットされ、OTP シャドウ レジスタには OTP にプログラムされた値が再読み込みされます。

SLEEPtoACTIVE ping / トーンを使用して、デバイスをスリープ モードからアクティブ モードにウェークアップする場合、デジタル リセットなしでデバイスは単純にアクティブ モードに移行しますが、UART エンジンにはリセットされます。したがって、ベース デバイスでは `FAULT_COMM1[COMMCLR_DET] = 1` がセットされ、アクティブ モードへ移行した後にホストがこのフラグをクリアします。

7.4.2 デバイス リセット

デバイスは、いくつかの特定条件下でデジタル リセットを実行し、レジスタをデフォルト設定に戻した後、OTP の内容を再ロードします。

- WAKE ping/tone が送信されて、シャットダウン モードまたはスリープ モードからアクティブ モードに遷移します。
- アクティブ モードでは、WAKE ping/tone が受信されます。
- CONTROL1 [SOFT_RESET] = 1 コマンドがアクティブ モードで送信されます。
- いずれかの電力モードで HW_RESET ping/tone が送信されます。これにより、デバイスに対して POR に似たイベントが生成されます。HW_RESET ping/tone を検出すると、デバイスは t_{HWRST} の期間、バンドギャップ回路を除くすべての内部回路ブロックを停止します。その後、デバイスはシャットダウン モードで再起動します。
- 内部電源故障。詳しくは、[セクション 7.3.6.4](#) を参照してください。
 - AVDD UV、DVDD UV、が検出されます。
- HFO または LFP のウォッチドッグ異常が発生すると、デジタル回路がリセットされます。

完全なリセットを除き、以下の条件では UART エンジンのみがリセットされます。これらの条件は主にベース デバイスに影響します。これは、ホスト マイコンとの通信に UART が使用されているためです。ベースデバイスでは、FAULT_COMM1[COMMCLR_DET] = 1 がセットされます。これらの条件はスタック デバイスには影響しません。スタック デバイスでは UART が使用されていないためです。

- スリープ モードからアクティブ モードへ遷移するために、SLEEPtoACTIVE ping が送信されます。
- 以下の条件では、UART エンジンがクリアされて [COMMCLR_DET] = 1 に設定されるだけでなく、予期しない UART STOP が検出されたことを示すために、FAULT_COMM1[STOP_DET] = 1 も設定されます。
 - SLEEPtoACTIVE ping がアクティブ モードで送信されます。
 - COMM クリア信号が送信されます。これは、UART エンジンクリアし、新たな通信フレームの開始位置を再検出させるための専用信号です。詳細については、[セクション 7.3.6.1.1.1](#) を参照してください。

7.4.3 Ping およびトーン

シャットダウン モードやスリープ モードなどの通信不能な状態、あるいは通信回復を目的としてホストがリセットや電源オフを指示したい通信断の状況では、特定の動作を実行させるための通信手段として Ping またはトーンが使用されます。

表 7-36. さまざまな電力モードでサポートされる Ping / トーン

Ping / トーン検出	検出されたピン	シャットダウン	SLEEP	アクティブ
シャットダウン ping	RX		✓	✓
SLEEPtoACTIVE ping	RX		✓	✓
WAKE ping	RX	✓	✓	✓
HW_RESET ping	RX		✓	✓
シャットダウン トーン	COMH/L		✓	✓
SLEEPtoACTIVE トーン	COMH/L		✓	✓
WAKE トーン	COMH/L	✓	✓	✓
HW_RESET トーン	COMH/L		✓	✓
故障トーン	COMH/L		✓	故障トーン検出のみ使用できます
HEARTBEAT	COMH/L		✓	

7.4.3.1 Ping

Ping とは、デバイスの RX ピンに入力される特定の High → Low → High の信号です。Ping はベースデバイスで使用されます。これは、UART の RX 信号にアクセスできるホストに接続されているのがベース デバイスだけだからです。デバイスは、ping 信号の異なる Low 時間を検出して、さまざまな ping 信号を区別します。

通信 ping は、WAKE ping、SLEEPtoACTIVE ping、シャットダウン ping、HW_RESET ping を示しています。これらの ping は、通常の通信が利用できない場合、デバイスを特定の電力モードに指示します。定義上、RX ピン上の COMM クリア信号は ping の一種です。COMM_CLR は UART エンジンクリアするためであるため、この信号については[セクション 7.3.6.1.1.1](#) で説明します。

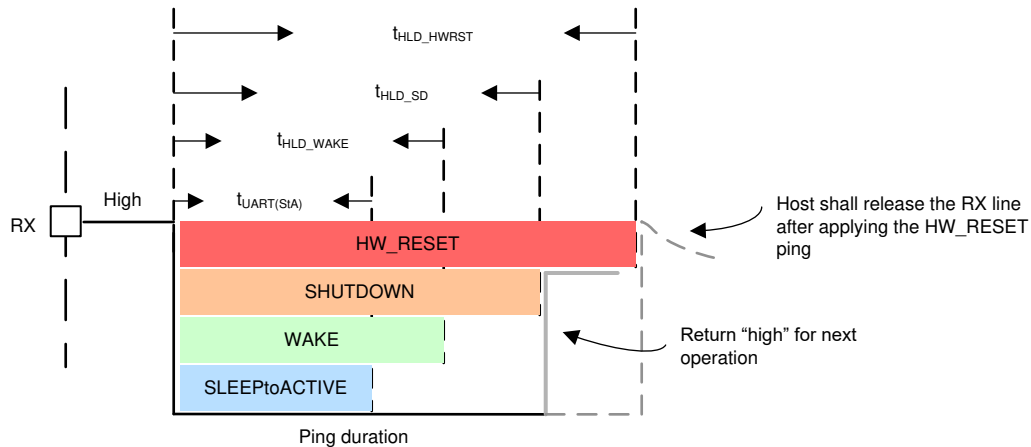


図 7-62. 通信 Ping

7.4.3.2 トーン

トーンとは、指定された極性 (すべて「+」またはすべて「-」) を持つ固定数のカプレット (パルス) で、差動垂直インターフェイス **COMH** および **COML** ポートを介して送信されます。トーンは、**COMH/L** ポートのみアクセス可能なため、スタックデバイスで使用されます。送信のためのカプレットの数は、常に検出に必要なカプレットの数よりも大きくなります。

四つの通信 ping に対応する四つの通信トーンがあります。それらは、**WAKE** トーン、**SLEEPtoACTIVE** トーン、シャットダウントーン、および **HW_RESET** トーンです。通信トーンに加えて、デバイスの故障状態に関連するトーンが二種類あります: ハートビートトーンと故障トーン。これら二種類の故障ステータストーンは、スリープモードでのみ利用できます。詳しくは、[セクション 7.3.6.2.3.3](#) を参照してください。

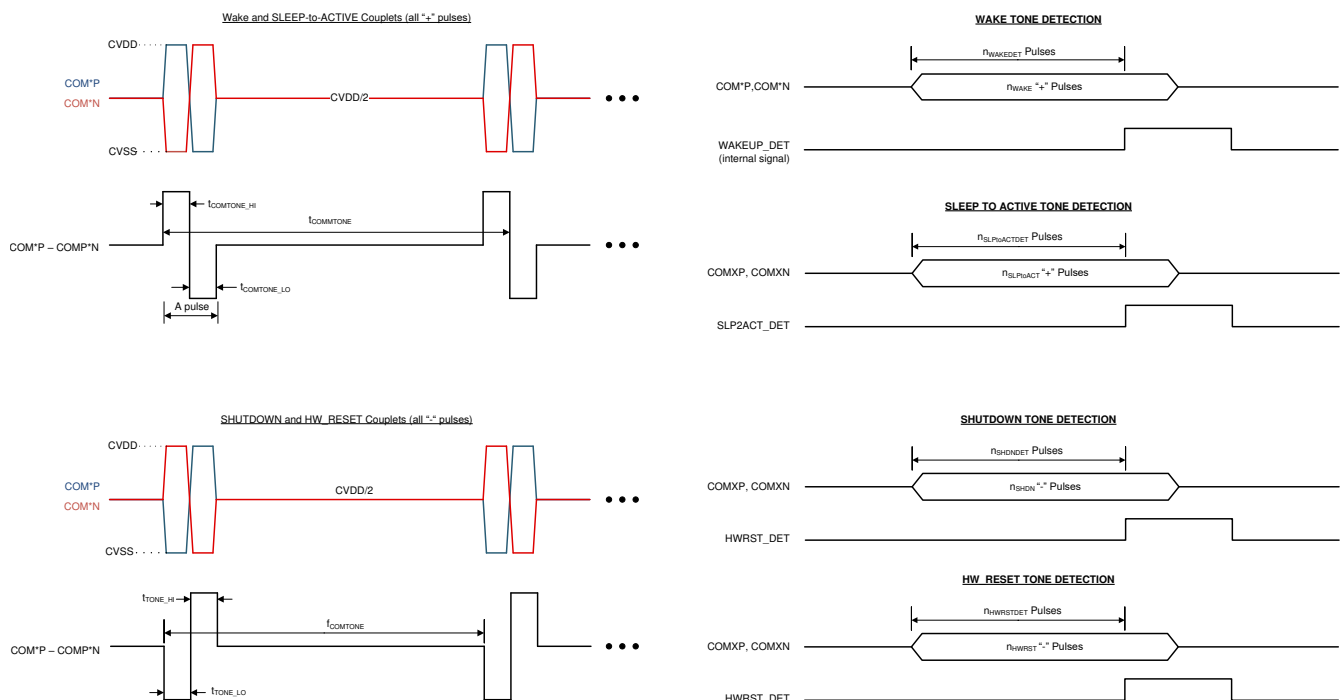


図 7-63. 通信トーン

7.4.3.3 Ping およびトーンの伝搬

伝搬:

WAKE と SLEEPtoACTIVE の ping / トーンは、デバイスをウェークアップするための通常動作の一部です。したがって、これら 2 つの ping / トーンは、デ이지チェーン構成の次のデバイスに伝搬することができます。つまり、デバイスは WAKE ping / トーンを受信すると、WAKE トーンを生成し、次のデバイスに転送します。同様のアクションは SLEEPtoACTIVE ping / トーンにも適用されます。

トーン転送の方向は通信方向に従います。これは、CONTROL1[DIR_SEL] ビットで設定されます。詳細については、[セクション 7.3.6.1](#) を参照してください。トーンの検出は、[DIR_SEL] の設定に関係なく、スタック デバイス上の COMH および COML ポートでサポートされます。これはベース デバイスには適用されません。ベース デバイスは代わりに ping を検出するためです。

通常動作中、ホストは WAKE または SLEEPtoACTIVE ping をベース デバイスに送信するだけで、他のスタック デバイスに対しては対応するトーンが生成されます。システム開発中に、デ이지チェーン内の一部のデバイスだけに WAKE または SLEEPtoACTIVE を送信する必要がある場合、ホストは CONTROL1 [SEND_WAKE] または CONTROL1[SEND_SLPTOACT] ビットを使用できます。このコマンドを受信するデバイスは、デ이지チェーン内の次のデバイスに対応するトーンを送信します。WAKE トーンと SLEEPtoACTIVE トーンが伝搬されるため、上記で接続された残りのデ이지チェーンも、対応するトーンを受信します。

伝播しない:

SHUTDOWN および HW_RESET ping / トーンは、ほとんどの場合、通信回復の試行として使用されます。したがって、これらの ping / トーンは伝播しません。つまり、デバイスが SHUTDOWN ping / トーンを受信すると、シャットダウン プロセスを開始しますが、デバイスは次のデバイスに対して別の SHUTDOWN トーンを生成しません。同様のアクションは HW_RESET ping / トーンにも適用されます。

ベース デバイスの場合、RX ピンがホストに接続されるため、ベース デバイスで SHUTDOWN または HW_RESET ping を使用できます。スタック デバイスの場合、通信のために問題のあるデバイスに少なくとも 1 つのスタック デバイスが接続されている必要があります。ホストは隣接デバイスと通信する必要があり、隣接デバイスに問題のあるデバイスに対して対応するトーンを発行するように指示するために、CONTROL1[SEND_SHUTDOWN] = 1 または CONTROL2[SEND_HW_RESET] = 1 を設定します。トーンの検出は、[DIR_SEL] の設定に関係なく、スタック デバイス上の COMH および COML ポートでサポートされます。これはベース デバイスには適用されません。ベース デバイスは代わりに ping を検出するためです。

表 7-37. Ping およびトーンの伝播の概要

ping / トーン	伝搬可能	伝播不可能
WAKE	受信デバイスは、次のデバイスに対して WAKE トーンを生成します	
SLEEPtoACTIVE	受信デバイスは、次のデバイスに対して SLEEPtoACTIVE トーンを生成します	
シャットダウン		受信デバイスは、シャットダウン プロセスを初期化します
HW_RESET		受信デバイスは、HW リセット プロセスを初期化します

7.5 レジスタ マップ

このセクションには、三つのレジスタ マップ概要表があり、レジスタ アドレスの順序に従ってレジスタがリストされています:

- **NVM (OTP) シャドウ レジスタ。**これらの読み取り / 書き込み可能なシャドウ レジスタは、顧客の OTP 空間にプログラムされた OTP 値でリセットされます。カスタム OTP 領域をプログラミングするには、ホストはこれらの OTP シャドウ レジスタに希望する値を書き込み、その後、所定のプログラミング手順に従います。これらのレジスタは OTP CRC チェックに含まれています。顧客の OTP 領域がプログラムされていない場合、シャドウ レジスタには、工場出荷時のデフォルト設定値がロードされています。デバイス リセット後に OTP (工場出荷時設定値またはユーザーが OTP 領域へプログラムした値) の読み込みに失敗した場合、シャドウ レジスタには代わりにハードウェア リセット デフォルト値がロードされます。大部分の OTP シャドウ レジスタでは、ハードウェア リセットのデフォルト値と工場出荷時設定のデフォルト値は同じです。出荷時のデフォルトに対するリセット値があるのは、DIR0_ADDR_OTP、DIR1_ADDR_OTP、PWR_TRANSIT_CONF、CUST_CRC_HI/LO レジスタのみで、[セクション 7.5.1](#) におよびそれらのレジスタ フィールドの説明を記載しています。
- **読み取り / 書き込みレジスタ。**これらは、動作中にホストが読み書きできるレジスタです。デバイスをリセットすると、これらのレジスタはリセット値に戻されます。
- **読み取りレジスタ。**これらは、ホストが読み取りのみ可能なレジスタです。デバイスをリセットすると、これらのレジスタはリセット値に戻されます。

レジスタ概要表では、以下の凡例を使用します。

- **Addr** = レジスタ アドレス
- **Hex** = 16 進数の値
- **NVM** = 不揮発性メモリ (OTP) のシャドウ レジスタ
- **RSVD** = 予約済み。予約済みのレジスタ アドレスまたはビットは、本デバイスでは実装されていません。これらのビットへの書き込みはすべて無視されます。これらのビットを読み出した場合、常に 0 が返されます。
- **OTP_SPARE:** これらは、デバイスに実装されている予備の OTP ビットおよびシャドウ レジスタ ビットです。これらの予備ビットは、CRC 計算の一部として含まれます。これらのビットは通常の読み書きが可能です、いかなる機能も実行せず、デバイスの動作にも影響を与えません。
- **OTP_RSVDn** = OTP およびシャドウ レジスタは実装されていますが、デバイスの内部使用用に予約されています。ここで、n はレジスタ アドレスを示します。マイコンは、これらのレジスタをデフォルト値に維持する必要があります
- **HW リセットのデフォルトは、デジタル リセット (POR と同様のイベント) 時にロードされる値です。**工場出荷時構成のデフォルト値は、お客様が OTP セルにプログラムしない場合のデフォルト値です。お客様は HW リセット値を読み取ることができません。

[セクション 7.5.4](#) に、レジスタの各ビットの定義を示します。このセクションのレジスタは、機能ブロックごとにグループ化されています。

7.5.1 OTP シャドウレジスタの概要

レジスタ名	Addr Hex	RW のタイプ	リセット値	データ							
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
DIR0_ADDR_OTP	0	NVM	HW リセットのデフォルト = 0x00 工場出荷時構成のデフォルト = 0x01	SPARE[1:0]		ADDRESS[5:0]					
DIR1_ADDR_OTP	1	NVM	HW リセットのデフォルト = 0x00 工場出荷時構成のデフォルト = 0x01	SPARE[1:0]		ADDRESS[5:0]					

レジスタ名	Addr Hex	RW のタイプ	リセット値	データ							
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
DEV_CONF	2	NVM	0x54	RSVD	NO_ADJ_CB	MULTI_DROP_EN	FCOMM_EN	TWO_ST_OP_EN	NFAULT_EN	FTONE_EN	HB_EN
ACTIVE_CELL	3	NVM	HW リセットのデフォルト = 0x00 工場出荷時構成のデフォルト = 0x0A	SPARE[3:0]				NUM_CELL[3:0]			
OTP_SPARE15	4	NVM	0x00	SPARE[7:0]							
BBVC_POSN1	5	NVM	0x00	CELL16	CELL15	CELL14	CELL13	CELL12	CELL11	CELL10	CELL9
BBVC_POSN2	6	NVM	0x00	CELL8	CELL7	CELL6	CELL5	CELL4	CELL3	CELL2	CELL1
ADC_CONF1	7	NVM	0x00	AUX_SETTLE[1:0]		LPF_BB[2:0]			LPF_VCELL[2:0]		
ADC_CONF2	8	NVM	0x00	SPARE[1:0]		ADC_DLY[5:0]					
OV_THRESH	9	NVM	0x3F	SPARE	SPARE	OV_THR[5:0]					
UV_THRESH	A	NVM	0x00	SPARE	SPARE	UV_THR[5:0]					
OTUT_THRESHOLD	B	NVM	0xE0	UT_THR[2:0]			OT_THR[4:0]				
UV_DISABLE1	C	NVM	0x00	CELL16	CELL15	CELL14	CELL13	CELL12	CELL11	CELL10	CELL9
UV_DISABLE2	D	NVM	0x00	CELL8	CELL7	CELL6	CELL5	CELL4	CELL3	CELL2	CELL1
GPIO_CONF1	E	NVM	0x00	FAULT_IN_EN	SPI_EN	GPIO2[2:0]			GPIO1[2:0]		
GPIO_CONF2	F	NVM	0x00	SPARE	SPARE	GPIO4[2:0]			GPIO3[2:0]		
GPIO_CONF3	10	NVM	0x00	SPARE[1:0]		GPIO6[2:0]			GPIO5[2:0]		
GPIO_CONF4	11	NVM	0x00	SPARE[1:0]		GPIO8[2:0]			GPIO7[2:0]		
OTP_SPARE14	12	NVM	0x00	SPARE[7:0]							
OTP_SPARE13	13	NVM	0x00	SPARE[7:0]							
OTP_SPARE12	14	NVM	0x00	SPARE[7:0]							
OTP_SPARE11	15	NVM	0x00	SPARE[7:0]							
FAULT_MSK1	16	NVM	0x00	MSK_PROT	MSK_UT	MSK_OT	MSK_UV	MSK_OV	MSK_COMP	MSK_SYSS	MSK_PWR
FAULT_MSK2	17	NVM	0x00	SPARE[1]	MSK_OTP_CRC	MSK_OTP_DATA	MSK_COMM3_FCOMM	MSK_COMM3_FTO	MSK_COMM3_HB	MSK_COMM2	MSK_COMM1

BQ79616-Q1, BQ79616H-Q1, BQ79614-Q1, BQ79612-Q1

JAJSL83F – AUGUST 2020 – REVISED JUNE 2026

レジスタ名	Addr Hex	RW のタイプ	リセット値	データ							
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWR_TRAN SIT_CONF	18	NVM	HW リセット のデフォ ルト = 0x18 出荷時構 成のデフォ ルト = 0x10	SPARE[2:0]			TWARN_THR[1:0]		SLP_TIME[2:0]		
COMM_TIM EOUT_CON F	19	NVM	0x00	SPARE	CTS_TIME[2:0]			CTL_ACT	CTL_TIME[2:0]		
TX_HOLD_ OFF	1A	NVM	0x00	DLY[7:0]							
MAIN_ADC_ CAL1	1B	NVM	0x00	GAINL[7:0]							
MAIN_ADC_ CAL2	1C	NVM	0x00	GAINH	OFFSET[6:0]						
AUX_ADC_ CAL1	1D	NVM	0x00	GAINL[7:0]							
AUX_ADC_ CAL2	1E	NVM	0x00	GAINH	OFFSET[6:0]						
OTP_RSVD 1F	1F	NVM	0x00	内部使用。このフィールドには書き込まないでください							
OTP_RSVD 20	20	NVM	0x00	内部使用。このフィールドには書き込まないでください							
CUST_MISC 1 ~ CUST_MISC 8	21	NVM	0x00	DATA[7:0]							
	22	NVM	0x00	DATA[7:0]							
	23	NVM	0x00	DATA[7:0]							
	24	NVM	0x00	DATA[7:0]							
	25	NVM	0x00	DATA[7:0]							
	26	NVM	0x00	DATA[7:0]							
	27	NVM	0x00	DATA[7:0]							
	28	NVM	0x00	DATA[7:0]							
STACK_RES PONSE	29	NVM	0x00	SPARE[1:0]		DELAY[5:0]					
BBP_LOC	2A	NVM	0x00	SPARE[2:0]			LOC[4:0]				
OTP_RSVD 2B	2B	NVM	0x00	内部使用。このフィールドには書き込まないでください							
OTP_SPARE 10	2C	NVM	0x00	SPARE[7:0]							
OTP_SPARE 9	2D	NVM	0x00	SPARE[7:0]							
OTP_SPARE 8	2E	NVM	0x00	SPARE[7:0]							
OTP_SPARE 7	2F	NVM	0x00	SPARE[7:0]							
OTP_SPARE 6	30	NVM	0x00	SPARE[7:0]							
OTP_SPARE 5	31	NVM	0x00	SPARE[7:0]							
OTP_SPARE 4	32	NVM	0x00	SPARE[7:0]							
OTP_SPARE 3	33	NVM	0x00	SPARE[7:0]							

レジスタ名	Addr Hex	RW のタイプ	リセット値	データ							
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OTP_SPARE 2	34	NVM	0x00	SPARE[7:0]							
OTP_SPARE 1	35	NVM	0x00	SPARE[7:0]							
CUST_CRC _HI	36	NVM	HW リセット のデフォルト = 0x57 工場出荷 時構成のデ フォルト = 0x31	CRC[7:0]							
CUST_CRC _LO	37	NVM	HW リセット のデフォルト = 0x89 工場出荷 時構成のデ フォルト = 0xF3	CRC[7:0]							

7.5.2 レジスタの読み取り / 書き込みの概要

レジスタ名	Addr Hex	RW の タイプ	リセット 値	データ							
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OTP_PROG_UNL OCK1A ~ OTP_PROG_UNL OCK1D	300	RW	0x00	CODE[7:0]							
	301	RW	0x00	CODE[7:0]							
	302	RW	0x00	CODE[7:0]							
	303	RW	0x00	CODE[7:0]							
DIR0_ADDR	306	RW	0x00	RSVD		ADDRESS[5:0]					
DIR1_ADDR	307	RW	0x00	RSVD		ADDRESS[5:0]					
COMM_CTRL	308	RW	0x00	RSVD						STACK_ DEV	TOP_ STACK
CONTROL1	309	RW	0x00	DIR_SEL	SEND_ SHUT DOWN	SEND_ WAKE	SEND_ SLPTO ACT	GOTO_ SHUT DOWN	GOTO_ SLEEP	SOFT_ RESET	ADDR_ WR
CONTROL2	30A	RW	0x00	RSVD						SEND_ HW_ RESET	TSREF_ _EN
OTP_PROG_CTR L	30B	RW	0x00	RSVD						PAGE SEL	PROG_ GO
ADC_CTRL1	30D	RW	0x00	RSVD	RSVD		LPF_BB_ _EN	LPF_ VCELL_ _EN	MAIN_GO	MAIN_MODE[1:0]	
ADC_CTRL2	30E	RW	0x00	RSVD		AUX_CEL L_ALIGN	AUX_CELL_SEL[4:0]				
ADC_CTRL3	30F	RW	0x00	RSVD	AUX_GPIO_SEL[3:0]				AUX_GO	AUX_MODE[1:0]	
REG_INT_RSVD	310	RW	0x00	内部使用。このアドレスには書き込まないでください							
CB_CELL16_CTR L ~ CB_CELL1_CTRL	318	RW	0x00	RSVD			TIME[4:0]				
	319	RW	0x00	RSVD			TIME[4:0]				
	31A	RW	0x00	RSVD			TIME[4:0]				
	31B	RW	0x00	RSVD			TIME[4:0]				
	31C	RW	0x00	RSVD			TIME[4:0]				
	31D	RW	0x00	RSVD			TIME[4:0]				
	31E	RW	0x00	RSVD			TIME[4:0]				
	31F	RW	0x00	RSVD			TIME[4:0]				
	320	RW	0x00	RSVD			TIME[4:0]				
	321	RW	0x00	RSVD			TIME[4:0]				
	322	RW	0x00	RSVD			TIME[4:0]				
	323	RW	0x00	RSVD			TIME[4:0]				
	324	RW	0x00	RSVD			TIME[4:0]				
	325	RW	0x00	RSVD			TIME[4:0]				
	326	RW	0x00	RSVD			TIME[4:0]				
	327	RW	0x00	RSVD			TIME[4:0]				
VMB_DONE_THR ESH	328	RW	0x3F	RSVD		MB_THR[5:0]					
MB_TIMER_CTRL	329	RW	0x00	RSVD			TIME[4:0]				
VCB_DONE_THR ESH	32A	RW	0x00	RSVD		CB_THR[5:0]					
OTCB_THRESH	32B	RW	0x0F	RSVD	COOLOFF[2:0]			OTCB_THR[3:0]			

レジスタ名	Addr Hex	RW の タイプ	リセット 値	データ								
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
OVUV_CTRL	32C	RW	0x00	VCB DONE _THR _LOCK	OVUV_LOCK[3:0]				OVUV _GO	OVUV_MODE[1:0]		
OTUT_CTRL	32D	RW	0x00	RSVD	OTCB_ THR_ LOCK	OTUT_LOCK[2:0]			OTUT _GO	OTUT_MODE[1:0]		
BAL_CTRL1	32E	RW	0x00	RSVD					DUTY[2:0]			
BAL_CTRL2	32F	RW	0x00	RSVD	CB_ PAUSE	FLTSTOP _EN	OTCB_ EN	BAL_ACT[1:0]		BAL_GO	AUTO_ BAL	
BAL_CTRL3	330	RW	0x00	RSVD			BAL_TIME_SEL[3:0]				BAL_TIM E_GO	
FAULT_RST1	331	RW	0x00	RST_ PROT	RST_UT	RST_OT	RST_UV	RST_OV	RST_ COMP	RST_SYS	RST_ PWR	
FAULT_RST2	332	RW	0x00	RSVD	RST_OTP _CRC	RST_OTP _DATA	RST_ COMM3 _FCOMM	RST_ COMM3 _FTONE	RST_ COMM3_ HB	RST_ COMM2	RST_ COMM1	
DIAG_OTP_CTRL	335	RW	0x00	RSVD			FLIP_ FACT_ CRC	MARGIN_MODE[2:0]			MARGIN _GO	
DIAG_COMM_CT RL	336	RW	0x00	RSVD						SPI_ LOOP BACK	FLIP_TR _CRC	
DIAG_PWR_CTRL	337	RW	0x00	RSVD						BIST_ NO_RST	PWR_ BIST_GO	
DIAG_CBFET_CT RL1	338	RW	0x00	CBFET16	CBFET15	CBFET14	CBFET13	CBFET12	CBFET11	CBFET10	CBFET9	
DIAG_CBFET_CT RL2	339	RW	0x00	CBFET8	CBFET7	CBFET6	CBFET5	CBFET4	CBFET3	CBFET2	CBFET1	
DIAG_COMP_CT RL1	33A	RW	0x00	VCCB_THR[4:0]					BB_THR[2:0]			
DIAG_COMP_CT RL2	33B	RW	0x00	RSVD	GPIO_THR[2:0]			OW_THR[3:0]				
DIAG_COMP_CT RL3	33C	RW	0x00	RSVD	CBFET_C TRL_GO	OW_SNK[1:0]		COMP_ADC_SEL[2:0]			COMP_ ADC_GO	
DIAG_COMP_CT RL4	33D	RW	0x00	RSVD						COMP_ FAULT _INJ	LPF_ FAULT _INJ	
DIAG_PROT_CTR L	33E	RW	0x00	RSVD							PROT_ BIST_ NO_RST	
OTP_ECC_DATAI N1 ~ OTP_ECC_DATAI N9	343	RW	0x00	DATA[7:0]								
	344	RW	0x00	DATA[7:0]								
	345	RW	0x00	DATA[7:0]								
	346	RW	0x00	DATA[7:0]								
	347	RW	0x00	DATA[7:0]								
	348	RW	0x00	DATA[7:0]								
	349	RW	0x00	DATA[7:0]								
	34A	RW	0x00	DATA[7:0]								
	34B	RW	0x00	DATA[7:0]								
OTP_ECC_TEST	34C	RW	0x00	RSVD				DED_ SEC	MANUAL _AUTO	ENC_ DEC	イネーブル	

BQ79616-Q1, BQ79616H-Q1, BQ79614-Q1, BQ79612-Q1

JAJSL83F – AUGUST 2020 – REVISED JUNE 2026

レジスタ名	Addr Hex	RW の タイプ	リセット 値	データ							
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SPI_CONF	34D	RW	0x00	RSVD	CPOL	CPHA	NUMBIT[4:0]				
SPI_TX3、 SPI_TX2、 SPI_TX1	34E	RW	0x00	DATA[7:0]							
	34F	RW	0x00	DATA[7:0]							
	350	RW	0x00	DATA[7:0]							
SPI_EXE	351	RW	0x02	RSVD						SS_CTRL	SPI_GO
OTP_PROG_UNL OCK2A ~ OTP_PROG_UNL OCK2D	352	RW	0x00	CODE[7:0]							
	353	RW	0x00	CODE[7:0]							
	354	RW	0x00	CODE[7:0]							
	355	RW	0x00	CODE[7:0]							
DEBUG_CTRL_U NLOCK	700	RW	0x00	CODE[7:0]							
DEBUG_COMM_ CTRL1	701	RW	0x04	RSVD			UART_ BAUD	UART_ MIRROR_ _EN	UART_ TX_EN	USER_ UART_ _EN	USER_ DAISY_ _EN
DEBUG_COMM_ CTRL2	702	RW	0x0F	RSVD				COML_ TX_EN	COML_ RX_EN	COMH_ TX_EN	COMH_ RX_EN

7.5.3 読み取り専用レジスタのまとめ

レジスタ名	Addr Hex	RW のタイプ	リセット値	データ							
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PARTID	500	R	0x00	REV[7:0]							
DEV_REVID	E00	R	0x00	DEV_REVID[7:0]							
DIE_ID1 ~ DIE_ID9	501	R	0x00	ID[7:0]							
	502	R	0x00	ID[7:0]							
	503	R	0x00	ID[7:0]							
	504	R	0x00	ID[7:0]							
	505	R	0x00	ID[7:0]							
	506	R	0x00	ID[7:0]							
	507	R	0x00	ID[7:0]							
	508	R	0x00	ID[7:0]							
	509	R	0x00	ID[7:0]							
CUST_CRC_RSLT_ _HI	50C	R	0x31	CRC[7:0]							
CUST_CRC_RSLT_ _LO	50D	R	0xF3	CRC[7:0]							
OTP_ECC_DATA OUT1 ~ OTP_ECC_DATA OUT9	510	R	0x00	DATA[7:0]							
	511	R	0x00	DATA[7:0]							
	512	R	0x00	DATA[7:0]							
	513	R	0x00	DATA[7:0]							
	514	R	0x00	DATA[7:0]							
	515	R	0x00	DATA[7:0]							
	516	R	0x00	DATA[7:0]							
	517	R	0x00	DATA[7:0]							
	518	R	0x00	DATA[7:0]							
OTP_PROG_STA T	519	R	0x00	ロックを解 除	OTERR	UVERR	OVERR	SUVERR	SOVERR	PROG ERR	終了

レジスタ名	Addr Hex	RW の タイプ	リセット 値	データ								
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
OTP_CUST1_STA T	51A	R	0x00	LOADED	LOAD WRN	LOAD ERR	FMterr	PROGOK	UVOK	OVOK	TRY	
OTP_CUST2_STA T	51B	R	0x00	LOADED	LOAD WRN	LOAD ERR	FMterr	PROGOK	UVOK	OVOK	TRY	
SPI_RX3、 SPI_RX2、 SPI_RX1	520	R	0x00	DATA[7:0]								
	521	R	0x00	DATA[7:0]								
	522	R	0x00	DATA[7:0]								
DIAG_STAT	526	R	0x00	RSVD			DRDY_OT UT	DRDY_O VUV	DRDY_BI ST_OTUT	DRDY_BI ST_OVUV	DRDY_BI ST_PWR	
ADC_STAT1	527	R	0x00	RSVD			RSVD	DRDY_AU X_GPIO	DRDY_AU X_CELL	DRDY_AU X_MISC	DRDY_M AIN_ADC	
ADC_STAT2	528	R	0x00	RSVD		DRDY_LP F	DRDY_G PIO	DRDY_VC OW	DRDY_CB OW	DRDY_CB FET	DRDY_VC CB	
GPIO_STAT	52A	R	0x00	GPIO8	GPIO7	GPIO6	GPIO5	GPIO4	GPIO3	GPIO2	GPIO1	
BAL_STAT	52B	R	0x00	INVALID_ CBCONF	OT_PAUS E_DET	CB_INPA USE	MB_RUN	CB_RUN	ABORT FLT	MB_DON E	CB_DON E	
DEV_STAT	52C	R	0x00	RSVD	FACT_CR C_DONE	CUST_CR C_DONE	OTUT_RU N	OVUV_R UN	RSVD	AUX_RUN	MAIN_RU N	
FAULT_SUMMAR Y	52D	R	0x00	FAULT_P ROT	FAULT_C OMP_AD C	FAULT_O TP	FAULT_C OMM	FAULT_O TUT	FAULT_O VUV	FAULT_S YS	FAULT_P WR	
FAULT_COMM1	530	R	0x00	RSVD			UART_TR	UART_RR	UART_RC	COMM CLR_DET	STOP_DE T	
FAULT_COMM2	531	R	0x00	COML_TR	COML_R R	COML_R C	COML_BI T	COMH_T R	COMH_R R	COMH_R C	COMH_BI T	
FAULT_COMM3	532	R	0x00	RSVD				FCOMM_ DET	FTONE_D ET	HB_FAIL	HB_FAST	
FAULT_OTP	535	R	0x00	RSVD	DED_DET	SEC_DET	CUST_CR C	FACT_CR C	CUSTLD ERR	FACTLD ERR	GBLOV ERR	
FAULT_SYS	536	R	0x00	LFO	RSVD	GPIO	DRST	CTL	CTS	TSHUT	TWARN	
FAULT_PROT1	53A	R	0x00	RSVD							TPARITY_ FAIL	VPARITY_ FAIL
FAULT_PROT2	53B	R	0x00	RSVD	BIST_AB ORT	TPATH_F AIL	VPATH_F AIL	UTCOMP_ FAIL	OTCOMP_ FAIL	OVCOMP_ FAIL	UVCOMP_ FAIL	
FAULT_OV1	53C	R	0x00	OV16_DE T	OV15_DE T	OV14_DE T	OV13_DE T	OV12_DE T	OV11_DE T	OV10_DE T	OV9_DET	
FAULT_OV2	53D	R	0x00	OV8_DET	OV7_DET	OV6_DET	OV5_DET	OV4_DET	OV3_DET	OV2_DET	OV1_DET	
FAULT_UV1	53E	R	0x00	UV16_DE T	UV15_DE T	UV14_DE T	UV13_DE T	UV12_DE T	UV11_DE T	UV10_DE T	UV9_DET	
FAULT_UV2	53F	R	0x00	UV8_DET	UV7_DET	UV6_DET	UV5_DET	UV4_DET	UV3_DET	UV2_DET	UV1_DET	
FAULT_OT	540	R	0x00	OT8_DET	OT7_DET	OT6_DET	OT5_DET	OT4_DET	OT3_DET	OT2_DET	OT1_DET	
FAULT_UT	541	R	0x00	UT8_DET	UT7_DET	UT6_DET	UT5_DET	UT4_DET	UT3_DET	UT2_DET	UT1_DET	
FAULT_COMP_G PIO	543	R	0x00	GPIO8_F AIL	GPIO7_F AIL	GPIO6_F AIL	GPIO5_F AIL	GPIO4_F AIL	GPIO3_F AIL	GPIO2_F AIL	GPIO1_F AIL	
FAULT_COMP_V CCB1	545	R	0x00	CELL16_F AIL	CELL15_F AIL	CELL14_F AIL	CELL13_F AIL	CELL12_F AIL	CELL11_F AIL	CELL10_F AIL	CELL9_F AIL	
FAULT_COMP_V CCB2	546	R	0x00	CELL8_F AIL	CELL7_F AIL	CELL6_F AIL	CELL5_F AIL	CELL4_F AIL	CELL3_F AIL	CELL2_F AIL	CELL1_F AIL	
FAULT_COMP_V COW1	548	R	0x00	VCOW16_ FAIL	VCOW15_ FAIL	VCOW14_ FAIL	VCOW13_ FAIL	VCOW12_ FAIL	VCOW11_ FAIL	VCOW10_ FAIL	VCOW9_ FAIL	

BQ79616-Q1, BQ79616H-Q1, BQ79614-Q1, BQ79612-Q1

JAJSL83F – AUGUST 2020 – REVISED JUNE 2026

レジスタ名	Addr Hex	RW の タイプ	リセット 値	データ							
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
FAULT_COMP_V COW2	549	R	0x00	VCOW8_ FAIL	VCOW7_ FAIL	VCOW6_ FAIL	VCOW5_ FAIL	VCOW4_ FAIL	VCOW3_ FAIL	VCOW2_ FAIL	VCOW1_ FAIL
FAULT_COMP_VB OW1	54B	R	0x00	CBOW16_ FAIL	CBOW15_ FAIL	CBOW14_ FAIL	CBOW13_ FAIL	CBOW12_ FAIL	CBOW11_ FAIL	CBOW10_ FAIL	CBOW9_ FAIL
FAULT_COMP_VB OW2	54C	R	0x00	CBOW8_ FAIL	CBOW7_ FAIL	CBOW6_ FAIL	CBOW5_ FAIL	CBOW4_ FAIL	CBOW3_ FAIL	CBOW2_ FAIL	CBOW1_ FAIL
FAULT_COMP_C BFET1	54E	R	0x00	CBFET16_ _FAIL	CBFET15_ _FAIL	CBFET14_ _FAIL	CBFET13_ _FAIL	CBFET12_ _FAIL	CBFET11_ _FAIL	CBFET10_ _FAIL	CBFET9_ FAIL
FAULT_COMP_C BFET2	54F	R	0x00	CBFET8_ FAIL	CBFET7_ FAIL	CBFET6_ FAIL	CBFET5_ FAIL	CBFET4_ FAIL	CBFET3_ FAIL	CBFET2_ FAIL	CBFET1_ FAIL
FAULT_COMP_MI SC	550	R	0x00	RSVD						COMP_A DC_ABO RT	LPF_FAIL
FAULT_PWR1	552	R	0x00	CVSS_OP EN	DVSS_OP EN	REFHM_ OPEN	CVDD_UV	CVDD_O V	DVDD_O V	AVDD_OS C	AVDD_OV
FAULT_PWR2	553	R	0x00	RSVD	PWRBIST _FAIL	RSVD	REFH_OS C	NEG5V_U V	TSREF_O SC	TSREF_U V	TSREF_O V
FAULT_PWR3	554	R	RSVD	RSVD					RSVD	RSVD	AVDDUV_ DRST
CB_COMPLETE1	556	R	0x00	CELL16_ DONE	CELL15_ DONE	CELL14_ DONE	CELL13_ DONE	CELL12_ DONE	CELL11_ DONE	CELL10_ DONE	CELL9_D ONE
CB_COMPLETE2	557	R	0x00	CELL8_D ONE	CELL7_D ONE	CELL6_D ONE	CELL5_D ONE	CELL4_D ONE	CELL3_D ONE	CELL2_D ONE	CELL1_D ONE
BAL_TIME	558	R	0x00	TIME_UNI T	TIME[6:0]						
VCELL16_HI/LO	568	R	0x80	RESULT[7:0]							
	569	R	0x00	RESULT[7:0]							
VCELL15_HI/LO	56A	R	0x80	RESULT[7:0]							
	56B	R	0x00	RESULT[7:0]							
VCELL14_HI/LO	56C	R	0x80	RESULT[7:0]							
	56D	R	0x00	RESULT[7:0]							
VCELL13_HI/LO	56E	R	0x80	RESULT[7:0]							
	56F	R	0x00	RESULT[7:0]							
VCELL12_HI/LO	570	R	0x80	RESULT[7:0]							
	571	R	0x00	RESULT[7:0]							
VCELL11_HI/LO	572	R	0x80	RESULT[7:0]							
	573	R	0x00	RESULT[7:0]							
VCELL10_HI/LO	574	R	0x80	RESULT[7:0]							
	575	R	0x00	RESULT[7:0]							
VCELL9_HI/LO	576	R	0x80	RESULT[7:0]							
	577	R	0x00	RESULT[7:0]							
VCELL8_HI/LO	578	R	0x80	RESULT[7:0]							
	579	R	0x00	RESULT[7:0]							
VCELL7_HI/LO	57A	R	0x80	RESULT[7:0]							
	57B	R	0x00	RESULT[7:0]							
VCELL6_HI/LO	57C	R	0x80	RESULT[7:0]							
	57D	R	0x00	RESULT[7:0]							
VCELL5_HI/LO	57E	R	0x80	RESULT[7:0]							
	57F	R	0x00	RESULT[7:0]							

レジスタ名	Addr Hex	RW の タイプ	リセット 値	データ							
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
VCELL4_HI/LO	580	R	0x80	RESULT[7:0]							
	581	R	0x00	RESULT[7:0]							
VCELL3_HI/LO	582	R	0x80	RESULT[7:0]							
	583	R	0x00	RESULT[7:0]							
VCELL2_HI/LO	584	R	0x80	RESULT[7:0]							
	585	R	0x00	RESULT[7:0]							
VCELL1_HI/LO	586	R	0x80	RESULT[7:0]							
	587	R	0x00	RESULT[7:0]							
BUSBAR_HI/LO	588	R	0x80	RESULT[7:0]							
	589	R	0x00	RESULT[7:0]							
TSREF_HI/LO	58C	R	0x80	RESULT[7:0]							
	58D	R	0x00	RESULT[7:0]							
GPIO1_HI/LO	58E	R	0x80	RESULT[7:0]							
	58F	R	0x00	RESULT[7:0]							
GPIO2_HI/LO	590	R	0x80	RESULT[7:0]							
	591	R	0x00	RESULT[7:0]							
GPIO3_HI/LO	592	R	0x80	RESULT[7:0]							
	593	R	0x00	RESULT[7:0]							
GPIO4_HI/LO	594	R	0x80	RESULT[7:0]							
	595	R	0x00	RESULT[7:0]							
GPIO5_HI/LO	596	R	0x80	RESULT[7:0]							
	597	R	0x00	RESULT[7:0]							
GPIO6_HI/LO	598	R	0x80	RESULT[7:0]							
	599	R	0x00	RESULT[7:0]							
GPIO7_HI/LO	59A	R	0x80	RESULT[7:0]							
	59B	R	0x00	RESULT[7:0]							
GPIO8_HI/LO	59C	R	0x80	RESULT[7:0]							
	59D	R	0x00	RESULT[7:0]							
DIETEMP1_HI/LO	5AE	R	0x80	RESULT[7:0]							
	5AF	R	0x00	RESULT[7:0]							
DIETEMP2_HI/LO	5B0	R	0x80	RESULT[7:0]							
	5B1	R	0x00	RESULT[7:0]							
AUX_CELL_HI/LO	5B2	R	0x80	RESULT[7:0]							
	5B3	R	0x00	RESULT[7:0]							
AUX_GPIO_HI/LO	5B4	R	0x80	RESULT[7:0]							
	5B5	R	0x00	RESULT[7:0]							
AUX_BAT_HI/LO	5B6	R	0x80	RESULT[7:0]							
	5B7	R	0x00	RESULT[7:0]							
AUX_REFL_HI/LO	5B8	R	0x80	RESULT[7:0]							
	5B9	R	0x00	RESULT[7:0]							
AUX_VBG2_HI/LO	5BA	R	0x80	RESULT[7:0]							
	5BB	R	0x00	RESULT[7:0]							
AUX_AVAO_REF_HI/LO	5BE	R	0x80	RESULT[7:0]							
	5BF	R	0x00	RESULT[7:0]							

BQ79616-Q1, BQ79616H-Q1, BQ79614-Q1, BQ79612-Q1

JAJSL83F – AUGUST 2020 – REVISED JUNE 2026

レジスタ名	Addr Hex	RW のタイプ	リセット値	データ							
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
AUX_AVDD_REF_HI/LO	5C0	R	0x80	RESULT[7:0]							
	5C1	R	0x00	RESULT[7:0]							
AUX_OV_DAC_HI/LO	5C2	R	0x80	RESULT[7:0]							
	5C3	R	0x00	RESULT[7:0]							
AUX_UV_DAC_HI/LO	5C4	R	0x80	RESULT[7:0]							
	5C5	R	0x00	RESULT[7:0]							
AUX_OT_OTCB_DAC_HI/LO	5C6	R	0x80	RESULT[7:0]							
	5C7	R	0x00	RESULT[7:0]							
AUX_UT_DAC_HI/LO	5C8	R	0x80	RESULT[7:0]							
	5C9	R	0x00	RESULT[7:0]							
AUX_VCBDONE_DAC_HI/LO	5CA	R	0x80	RESULT[7:0]							
	5CB	R	0x00	RESULT[7:0]							
AUX_VCM_HI/LO	5CC	R	0x80	RESULT[7:0]							
	5CD	R	0x00	RESULT[7:0]							
REFOVDAC_HI/LO	5D0	R	0x00	RESULT[7:0]							
	5D1	R	0x00	RESULT[7:0]							
DIAG_MAIN_HI/LO	5D2	R	0x00	RESULT[7:0]							
	5D3	R	0x00	RESULT[7:0]							
DIAG_AUX_HI/LO	5D4	R	0x00	RESULT[7:0]							
	5D5	R	0x00	RESULT[7:0]							
DEBUG_COMM_STAT	780	R	ベースの場合 0x33 スタックの場合 0x3F	RSVD		HW_UART_DRV	HW_DAISY_DRV	COML_TX_ON	COML_RX_ON	COMH_TX_ON	COMH_RX_ON
DEBUG_UART_RC	781	R	0x00	RSVD		RC_IERR	RC_TXDIS	RC_SOF	RC_BYTE_ERR	RC_UNEXP	RC_CRC
DEBUG_UART_RT	782	R	0x00	RSVD			TR_SOF	TR_WAIT	RR_SOF	RR_BYTE_ERR	RR_CRC
T	783	R	0x00	RSVD			PERR	BERR_TAG	SYNC2	SYNC1	ビット
DEBUG_COMH_RC	784	R	0x00	RSVD		RC_IERR	RC_TXDIS	RC_SOF	RC_BYTE_ERR	RC_UNEXP	RC_CRC
DEBUG_COMH_RT	785	R	0x00	RSVD		TR_WAIT	RR_TXDIS	RR_SOF	RR_BYTE_ERR	RR_UNEXP	RR_CRC
DEBUG_COML_BIT	786	R	0x00	RSVD			PERR	BERR_TAG	SYNC2	SYNC1	ビット
DEBUG_COML_RC	787	R	0x00	RSVD		RC_IERR	RC_TXDIS	RC_SOF	RC_BYTE_ERR	RC_UNEXP	RC_CRC
DEBUG_COML_RT	788	R	0x00	RSVD		TR_WAIT	RR_TXDIS	RR_SOF	RR_BYTE_ERR	RR_UNEXP	RR_CRC
DEBUG_UART_DISCARD	789	R	0x00	COUNT[7:0]							
DEBUG_COMH_DISCARD	78A	R	0x00	COUNT[7:0]							
DEBUG_COML_DISCARD	78B	R	0x00	COUNT[7:0]							
DEBUG_UART_VALID_HI/LO	78C	R	0x00	COUNT[7:0]							
	78D	R	0x00	COUNT[7:0]							

レジスタ名	Addr Hex	RW の タイプ	リセット 値	データ							
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
DEBUG_COMH_V ALID_HI/LO	78E	R	0x00	COUNT[7:0]							
	78F	R	0x00	COUNT[7:0]							
DEBUG_COML_V ALID_HI/LO	790	R	0x00	COUNT[7:0]							
	791	R	0x00	COUNT[7:0]							
DEBUG_OTP_SE C_BLK	7A0	R	0x00	BLOCK[7:0]							
DEBUG_OTP_DE D_BLK	7A1	R	0x00	BLOCK[7:0]							

7.5.4 レジスタのフィールドの説明

7.5.4.1 デバイス アドレッシングの設定

7.5.4.1.1 DIR0_ADDR_OTP

アドレス	0x0000							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE[1:0]		ADDRESS[5:0]					
リセット	0	0	0	0	0	0	0	0
SPARE[1:0] = 予備								
ADDRESS[5:0] = このレジスタは、[DIR_SEL] = 0 で、かつ OTP にプログラムされた場合に使用されるデフォルトのデバイス アドレスを示します。このレジスタに書き込みを行っても、使用中のデバイス アドレスはアクティブに変更されません。 このレジスタは、システムがデバイス アドレスを OTP にプログラムするために使用されます。OTP は POR の DIR0_ADDR レジスタにロードされます。プログラミングについては、OTP プログラミング手順に従ってください。								

7.5.4.1.2 DIR1_ADDR_OTP

アドレス	0x0001							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE[1:0]		ADDRESS[5:0]					
リセット	0	0	0	0	0	0	0	0
SPARE[1:0] = SPARE								
ADDRESS[5:0] = このレジスタは、[DIR_SEL] = 1 で、かつ OTP にプログラムされた場合に使用されるデフォルトのデバイス アドレスを示します。このレジスタに書き込みを行っても、使用中のデバイス アドレスはアクティブに変更されません。 このレジスタは、システムがデバイス アドレスを OTP にプログラムするために使用され、POR の DIR1_ADDR レジスタにロードされます。プログラミングについては、OTP プログラミング手順に従ってください。								

7.5.4.1.3 CUST_MISC1~CUST_MISC8

アドレス	0x0021~ 0x0028							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	DATA[7:0]							
リセット	0	0	0	0	0	0	0	0
DATA[7:0] = 顧客用スクラッチ パッド								

7.5.4.1.4 DIR0_ADDR

アドレス	0x0306							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD		ADDRESS[5:0]					
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
ADDRESS[5:0] = [DIR_SEL] = 0 のとき、デバイスが使用する現在のデバイス アドレスを常に表示しています。POR 時、このレジスタには OTP に格納されているデバイス アドレス値がロードされます (DIR0_ADDR_OTP レジスタにロードされる OTP デバイス アドレスと同じ値)。ホストはこのレジスタに別のデバイス アドレスを書き込むことでデバイスを再アドレス指定できます。この場合、デバイスは新しいアドレスを直ちに取得します。 注: このレジスタに書き込むには、CONTROL1[ADDR_WR] = 1 が必要です。詳しくは、 セクション 7.5.4.3.11 を参照してください。								

7.5.4.1.5 DIR1_ADDR

アドレス	0x0307							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0

名称	RSVD		ADDRESS[5:0]					
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
ADDRESS[5:0] = [DIR_SEL]= 1 のとき、デバイスが使用する現在のデバイス アドレスを常に表示します。POR 時には、このレジスタは OTP のデバイス アドレス値からロードされます (DIR1_ADDR_OTP レジスタにロードされたのと同じ OTP デバイス アドレス)。ホストはこのレジスタに別のデバイス アドレスを書き込むことでデバイスを再度アドレス指定できます。この場合、デバイスは新しいアドレスを直ちに取得します。 注: このレジスタに書き込むには、CONTROL1[ADDR_WR] = 1 が必要です。詳しくは、 セクション 7.5.4.3.11 を参照してください。								

7.5.4.2 デバイス ID およびスクラッチ パッド

7.5.4.2.1 PARTID

アドレス	0x0500							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	PARTID[7:0]							
リセット	0	0	0	0	0	0	0	0
PARTID[7:0] デバイス識別情報: = 0x21 = BQ79616 0x01 = BQ79614 0x02 = BQ79612 0x03 = BQ75614 0x04 = BQ79656 0x05 = BQ79654 0x06 = BQ79652 0x0A = BQ756506 他のすべてのコード = 予約済み								

7.5.4.2.2 DEV_REVID

アドレス	0xE00							
読み出し専用	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
リセット	0	0	0	0	0	0	0	0
値が 0x00 の場合、デバイスは通常動作モードにあることを示します。故障が工場出荷時テスト モード検出を起動した場合、値はゼロ以外になります。SM426 の詳細については、安全マニュアルを参照してください:ファクト テストモードの検出。								

7.5.4.2.3 DIE_ID1~DIE_ID9

アドレス	0x0501							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	ID[7:0]							
リセット	0	0	0	0	0	0	0	0
ID[7:0] = デバイス リビジョン 0x10 = リビジョン A0 0x11 = リビジョン A1 0x20 = リビジョン B0 0x21 = リビジョン B1 0x22 = リビジョン B2 その他のすべてのコード = 予約済み								

アドレス	0x0502~ 0x0509							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0

名称	ID[7:0]							
リセット	0	0	0	0	0	0	0	0
ID[7:0] = TI の工場で使用されるダイ ID								

7.5.4.3 一般構成および制御

7.5.4.3.1 DEV_CONF

アドレス	0x0002							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	NO_ADJ_CB	MULTIDROP_EN	FCOMM_EN	TWO_STOP_EN	NFAULT_EN	FTONE_EN	HB_EN
リセット	0	1	0	1	0	1	0	0
RSVD = 予約済み								
NO_ADJ_CB = このビットは、手動 CB 制御時に、隣接する CB FET がオンになることをデバイスが許可しないことを示します。マイコンが隣接する CB FET をイネーブルにしている場合、ホストが [BAL_GO] = 1 を送信しても、デバイスは CB を開始しません。 0 = デバイスでは、二つの隣接する CB FET を有効化できます。 1 = デバイスでは、隣接する CB FET を有効化することはできません。								
MULTIDROP_EN = デバイスをマルチドロップまたはデジタイゼーション構成で使用するかを定義します。COML および COMH の TX と RX は、設定に応じて有効または無効になります。 0 = ベース デバイスのデジタイゼーション 1 = マルチドロップ								
FCOMM_EN = アクティブモード時に、通信を介した故障状態の検出を有効にします。 0 = 無効 1 = 有効								
TWO_STOP_EN = ホストおよびデバイスの発振器誤差が大きい場合に備えて、UART のストップ ビットを 2 ビットに設定します。 0 = 1 ストップ ビット 1 = 2 ストップ ビット								
NFAULT_EN = NFAULT 機能を有効にします。 0 = NFAULT は常にプルアップされます 1 = マスクされていない故障が検出されると、NFAULT が Low レベルに駆動されます。 注: このビット設定は、FAULT_SUMMARY レジスタには影響しません。								
FTONE_EN = デバイスが スリープ モード時に、FAULT TONE 送信機能を有効にします。 0 = 無効 1 = 有効								
HB_EN = デバイスが スリープ モード時に、HEARTBEAT 送信機能を有効にします。 0 = 無効 1 = 有効								

7.5.4.3.2 ACTIVE_CELL

アドレス	0x0003							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE[3:0]				NUM_CELL[3:0]			
リセット	0	0	0	0	0	0	0	0
出荷時の OTP リセット	0	0	0	0	1	0	1	0
SPARE[3:0] = 予備								

NUM_CELL[3:0] = 直列に接続されたセルの数を設定します。

0x0 = 6S

0x1 = 7S

0x2 = 8S

:

0xA = 16S

未使用コードは、工場トリム時の CHIP_TYPE[MAX_CH1:0] 設定がデフォルトになります。NUM_CELL 設定がデバイスの対応チャンネル数を超える場合、デバイスが提供する最大チャンネル数に制限されます。

7.5.4.3.3 BBVC_POSN1

アドレス	0x0005							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CELL16	CELL15	CELL14	CELL13	CELL12	CELL11	CELL10	CELL9
リセット	0	0	0	0	0	0	0	0

CELL9 ~ CELL16 = このレジスタは、バス バーが接続されているチャンネルを指定します。セル電圧測定の診断比較では、これらのチャンネルを異なる方法で処理します
0 = 特別な処理なし
1 = 有効化されたチャンネルに対する特別な処理。詳しくは、[セクション 7.3.7](#) を参照してください。

7.5.4.3.4 BBVC_POSN2

アドレス	0x0006							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CELL8	CELL7	CELL6	CELL5	CELL4	CELL3	CELL2	CELL1
リセット	0	0	0	0	0	0	0	0

CELL1 ~ CELL8 = このレジスタは、ACTIVE_CELL レジスタで指定された有効セルのうち、OV、UV、および VCB_DONE の監視対象から除外する有効チャンネルを示します。このレジスタ情報は、セル電圧測定の診断比較にも使用されます。
0 = 上記の機能の特別な処理はありません。
1 = 上記の機能の特別な処理。詳しくは、[セクション 7.3.7](#) を参照してください。

7.5.4.3.5 PWR_TRANSIT_CONF

アドレス	0x0018							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE[2:0]			TWARN_THR[1:0]		SLP_TIME[2:0]		
リセット	0	0	0	1	1	0	0	0
工場出荷時設定のデフォルト	0	0	0	1	0	0	0	0

SPARE[2:0] = SPARE

TWARN_THR[1:0] = TWARN スレッシュホールドを設定します。
00 = 85°C
01 = 95°C
10 = 105°C (デフォルト)
11 = 115°C

SLP_TIME[2:0] = スリープ モードでのタイムアウト。デバイスがスリープ モードに移行すると、このタイマはカウントを開始します。タイマが満了すると、デバイスはシャットダウン モードへ移行します。デバイスがアクティブ モードにウェイクアップすると、タイマはリセットされます。
000 = タイムアウトなし。デバイスはスリープ モードのまま (リセット時のデフォルト)
001 = 5s
010 = 10s
011 = 1 分
100 = 10 分
101 = 30 分
110 = 1 時間
111 = 2 時間

7.5.4.3.6 COMM_TIMEOUT_CONF

アドレス	0x0019							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE		CTS_TIME[2:0]		CTL_ACT	CTL_TIME[2:0]		
リセット	0	0	0	0	0	0	0	0
SPARE = SPARE								
CTS_TIME[2:0] = 短い通信タイムアウトを設定します。このタイマが満了すると、デバイスは FAULT_SYS[CTL] ビットを設定します。これは、長時間の通信タイムアウトを防ぐためにシステムへのアラートとして使用できます。 000 = 短通信タイムアウトを無効化 (リセット時のデフォルト) 001 = 100ms 010 = 2s 011 = 10s 100 = 1 分 101 = 10 分 110 = 30 分 111 = 1 時間								
CTL_ACT = 長い通信タイムアウト タイマが満了したときのデバイスのアクションを設定します。 0 = FAULT_SYS[CTL] を設定し、デバイスをスリープ モードへ遷移させます (リセット時のデフォルト) 1 = デバイスをシャットダウン状態へ遷移させます。FAULT_SYS[CTL] ビットはセットされません。								
CTL_TIME [2:0] = 長い通信タイムアウトを設定します。このタイマが満了すると、デバイスは [CTL_ACT] ビットで設定された動作を実行します。 000 = 長い通信タイムアウトを無効にします (リセット時のデフォルト) 001 = 100ms 010 = 2s 011 = 10s 100 = 1 分 101 = 10 分 110 = 30 分 111 = 1 時間								

7.5.4.3.7 TX_HOLD_OFF

アドレス	0x001A							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	DLY[7:0]							
リセット	0	0	0	0	0	0	0	0
DLY[7:0] = コマンドフレームのストップ ビットを受信してから、応答フレームの先頭ビットを送信するまでの遅延時間を、0 ~ 255 ビット期間の範囲で設定します。								

7.5.4.3.8 STACK_RESPONSE

アドレス	0x0029							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE[1:0]		DELAY[5:0]					
リセット	0	0	0	0	0	0	0	0
DELAY[5:0] デイジーチェーン データ応答フレームにバイト遅延ギャップを追加 = 0x00 = 0μs 0x01 ~ 0x3F = 0.25μs ~ 15.75μs (0.25μs 刻み)								

7.5.4.3.9 BBP_LOC

アドレス	0x002A							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE[3:0]			LOC[4:0]				
リセット	0	0	0	0	0	0	0	0

LOC[4:0] = BBP ピンの位置を示し、BB チャネルが共有している VC チャネルを示します。この情報は、BB チャネル ADC 測定時の同相モード誤差を訂正するために使用されます
 0x00 = BBP/N は使用されません
 0x01 = BBP を Cell2 の負側、BBN を VC1 に接続
 0x02 = BBP を Cell3 の負側、BBN を VC2 に接続
 0x03 = BBP を Cell4 の負側、BBN を VC3 に接続
 :
 0x0F = BBP を Cell16 の負側、BBN を VC15 に接続
 0x10 = BBP を VC16、BBN を Cell16 の正側に接続

7.5.4.3.10 COMM_CTRL

アドレス	0x0308							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD						STACK_DEV	TOP_STACK
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
STACK_DEV = デイジーチェーン構成において、このデバイスをベース デバイスまたはスタック デバイスとして定義します。 0 = ベース デバイス 1 = スタック デバイス								
TOP_STACK = スタック内で最もアドレス指定されたデバイスとしてデバイスを定義します。 0 = ToS デバイスではありません 1 = ToS デバイスです								

7.5.4.3.11 CONTROL1

アドレス	0x0309							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	DIR_SEL	SEND_SHUT DOWN	SEND_WAKE	SEND_SLPTO ACT	GOTO_SHUT DOWN	GOTO_SLEE P	SOFT_RESET	ADDR_WR
リセット	0	0	0	0	0	0	0	0
DIR_SEL = デイジーチェーンの通信方向を選択します。 0 = 二つのデバイスがデイジーチェーン接続されている場合、コマンド フレームは下位デバイスの COMH から次段デバイスの COML へ伝送されます。 1 = 二つのデバイスがデイジーチェーン接続されている場合、コマンド フレームは下位デバイスの COML から次段デバイスの COMH へ伝送されます。								
SEND_SHUTDOWN = スタック上の次のデバイスにシャットダウン トーンを送信します。このビット セットを受信したデバイスは影響を受けません。ビットはセルフクリアです。 0 = 準備完了 1 = スタックに対してシャットダウン トーンを送信します								
SEND_WAKE = スタック内の次段デバイスへ WAKE トーンを送信します。ビットはセルフクリアです。 0 = 準備完了 1 = スタック内の次段デバイスへ WAKE トーンを送信します。								
SEND_SLPTOACT = スタック上に SLEEPtoACTIVE トーンを送信します。ビットはセルフクリアです。 0 = 準備完了 1 = スタックの上位方向へ SLEEPtoACTIVE トーンを送信します								
GOTO_SHUTDOWN = デバイスをシャットダウン モードへ移行させます。ビットはセルフクリアです。 0 = 準備完了 1 = シャットダウン モードに移行します								
GOTO_SLEEP = デバイスをスリープ モードに移行します。ビットはセルフクリアです。 0 = 準備完了 1 = スリープ モードに移行します								
SOFT_RESET = デジタルを OTP デフォルトにリセットします。ビットはセルフクリアです。このビットを設定すると、デバイスはスタック上位側のデバイスに対して WAKE トーンを生成します。 0 = 準備完了 1 = デバイスをリセット								

ADDR_WR = デバイスが自動アドレッシングを開始できるようにします。このビットが設定されると、デバイスは最初に受信した遷移信号を転送しないため、単一のデバイスに対してデバイス アドレスを書き込むことができます。詳しくは、[セクション 7.3.6.1.3.2](#) を参照してください。

0 = 自動アドレスを実行していません。デバイスは通信トランザクションを通常どおり転送します。

1 = デバイスは自動アドレッシング中であり、最初に受信した通信トランザクションは転送されません。

ホストは、CONTROL1 レジスタの複数のビットを同時に書き込まないでください。以下に、CONTROL1 レジスタへの一回の書き込みで複数のビットが同時に設定された場合の優先動作を示します

- 電源の状態:
 - [SOFT_RESET]: 優先順位 1
 - [GOTO_SHUTDOWN]: 優先順位 2
 - [GOTO_SLEEP]: 優先順位 3
- SEND トーン:
 - [SEND_WAKE]: 優先順位 1
 - [SEND_SLPTOACT]: 優先順位 2
 - [SEND_SD_HW_RST]: 優先順位 3
- パワー状態ビットと送信トーン ビットの間:
 - パワー状態ビット: 優先順位 1
 - SEND トーン ビット: 優先順位 2

7.5.4.3.12 CONTROL2

アドレス	0x030A							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD						SEND_HW_RESET	TSREF_EN
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
SEND_HW_RESET = スタック上位へ HW_RESET トーンを送信します。ビットは、読み取り時にクリアされます。 0 = 準備完了 1 = 次の上位スタック デバイスへ HW_RESET トーンを送信								
TSREF_EN = TSREF LDO 出力を有効化します。NTC サーミスタにバイアスを印加するために使用します。 0 = 無効 1 = 有効								

7.5.4.3.13 CUST_CRC_HI

アドレス	0x0036							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CRC[7:0]							
リセット	0	1	0	1	0	1	1	1
工場出荷時構成のリセット	0	0	1	1	0	0	0	1
CRC[7:0] = ホストが計算したカスタム OTP 領域用 CRC の上位バイト。								

7.5.4.3.14 CUST_CRC_LO

アドレス	0x0037							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CRC[7:0]							
リセット	1	0	0	0	1	0	0	1

工場出荷時構成のリセット	1	1	1	1	0	0	1	1
CRC[7:0] = ホストが計算したカスタム OTP 領域用 CRC の下位バイト。								

7.5.4.3.15 CUST_CRC_RSLT_HI

アドレス	0x050C							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CRC[7:0]							
リセット	0	0	1	1	0	0	0	1
CRC[7:0] = 顧客 OTP 領域に対してデバイスが計算した CRC 値の上位バイト。								

7.5.4.3.16 CUST_CRC_RSLT_LO

アドレス	0x050D							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CRC[7:0]							
リセット	1	1	1	1	0	0	1	1
CRC[7:0] = 顧客 OTP 領域に対してデバイスが計算した CRC 値の下位バイト。								

7.5.4.4 動作ステータス

7.5.4.4.1 DIAG_STAT

アドレス	0x0526							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD			DRDY_OTUT	DRDY_OVUV	DRDY_BIST_OTUT	DRDY_BIST_OVUV	DRDY_BIST_PWR
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
DRDY_OTUT = OTUT ラウンド ロビンが少なくとも一回実行されたことを示します。このビットは、[OTUT_MODE1:0] = 01 (OTUT ラウンド ロビン動作を開始) が設定された状態で [OTUT_GO] = 1 にされるとクリアされ、ラウンド ロビン動作が少なくとも 1 サイクル完了するとセットされます。 0 = OTUT が開始されていない、または最初のラウンド ロビン動作がまだ完了していません。 1 = 少なくとも 1 サイクルのラウンド ロビンが完了しました。								
DRDY_OVUV = OVUV ラウンド ロビン動作が少なくとも一回実行されたことを示します。このビットは、[OVUV_MODE1:0] = 01 (OVUV ラウンド ロビン動作開始) の状態で [OVUV_GO] = 1 に設定されるとクリアされ、ラウンド ロビン動作が少なくとも 1 サイクル完了するとセットされます。 0 = OVUV が開始されていない、または最初のラウンド ロビン動作がまだ完了していません。 1 = 少なくとも 1 サイクルのラウンド ロビンが完了しました。								
DRDY_BIST_OTUT = OTUT プロテクタ診断のステータスを示します。このビットは、[OTUT_MODE1:0] = 10 (BIST 実行開始) の状態で [OTUT_GO] = 1 に設定されるとクリアされ、BIST サイクルが完了するとセットされます。 0 = 開始されていないか、まだ実行中です。 1 = BIST サイクルが完了しました。								
DRDY_BIST_OVUV = OVUV プロテクタ診断のステータスを示します。このビットは、[OVUV_MODE1:0] = 10 (BIST 実行開始) の状態で [OVUV_GO] = 1 に設定されるとクリアされ、BIST サイクルが完了するとセットされます。 0 = 開始されていないか、まだ実行中です。 1 = BIST サイクルが完了しました。								
DRDY_BIST_PWR = 電源装置診断のステータスを示します。このビットは、[PWR_BIST_GO] = 1 (BIST 実行を開始) のときにクリアされ、BIST サイクルが完了すると設定されます。 0 = 開始されていないか、まだ実行中です。 1 = BIST サイクルが完了しました。								

7.5.4.4.2 ADC_STAT1

アドレス	0x0527							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD			RSVD	DRDY_AUX_GPIO	DRDY_AUX_CELL	DRDY_AUX_MISC	DRDY_MAIN_ADC
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
DRDY_AUX_GPIO = AUX ADC は、ADC 測定用に構成されたすべてのアクティブな GPIO チャンネルで少なくとも 1 回の測定を完了している。 [AUX_GO] が 0 から 1 に変更された場合、このビットはクリアされます。 0 = 準備ができていない 1 = すべての GPIO 入力 が AUX ADC による少なくとも 1 回の測定を完了している								
DRDY_AUX_CELL = [AUX_CELL_SEL4:0] で設定されたすべての AUXCELL チャンネルで少なくとも 1 つの測定を完了している。[AUX_GO] が 0 から 1 に変更された場合、このビットはクリアされます。 0 = 準備ができていない 1 = [AUX_CELL_SEL4:0] で設定されたすべてのチャンネルが少なくとも 1 回の測定を完了している								
DRDY_AUX_MISC = すべての AUX ADC MISC 入力チャンネルで少なくとも 1 回の測定 (すなわち、1 回のラウンド ロビン実行) を完了している。[AUX_GO] が 0 から 1 に変更された場合、このビットはクリアされます。 0 = 準備ができていない 1 = すべての AUX ADC MISC 入力 が少なくとも 1 回の測定を完了している								
DRDY_MAIN_ADC = GPIO を含むすべてのメイン ADC 入力チャンネルで少なくとも 1 回の測定 (すなわち、1 回のラウンド ロビン実行) を完了している。[MAIN_GO] が 0 から 1 に変更された場合、このビットはクリアされます。 0 = 準備ができていない 1 = すべての メイン ADC 入力 が少なくとも 1 回の測定を完了している								

7.5.4.4.3 ADC_STAT2

アドレス	0x0528							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD		DRDY_LPF	DRDY_GPIO	DRDY_VCOW	DRDY_CBOW	DRDY_CBFET	DRDY_VCCB
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
DRDY_LPF = デバイスは、すべての有効なセルチャンネルに対する LPF チェックを少なくとも 1 ラウンド完了しています。メイン ADC が動作している限り、比較はバックグラウンドで続行されます。このビットは、[CS_MAIN_GO] [MAIN_GO] = 1 のときにクリアされます。 このデータ完了ビットは、[LPF_FLT_INJ] ビットを使用して DIAG_LPF エンジン进行测试するために故障を注入する場合にも使用されます。[LPF_FLT_INJ] = 1 の場合、このビットは 0 にクリアされ、デバイスは [DIAG_LPF] の故障注入機能を用いて、VC、BB および BB チャンネルの LPF チェックを最初から再開します。すべてのチャンネル LPF がチェックされると、[DRDY_LPF] = 1 になります。 0 = の準備ができていません 1 = 診断比較が完了しました								
DRDY_GPIO = デバイスは、すべての有効なチャンネルに対する GPIO Main および AUX ADC の診断比較を完了しており、比較処理は停止しています。このビットは、[COMP_ADC_GO] = 1 に設定されるとクリアされます。 0 = の準備ができていません 1 = 診断比較が完了しました								
DRDY_VCOW = デバイスは、すべての有効なチャンネルに対する VC OW 診断比較を完了しており、比較処理は停止しています。このビットは、[COMP_ADC_GO] = 1 に設定されるとクリアされます。 0 = の準備ができていません 1 = 診断比較が完了しました								
DRDY_CBOW = デバイスは、すべての有効なチャンネルに対する CB OW 診断比較を完了しており、比較処理は停止しています。このビットは、[COMP_ADC_GO] = 1 に設定されるとクリアされます。 0 = の準備ができていません 1 = 診断比較が完了しました								

DRDY_CBFET = デバイスは、すべての有効なチャンネルに対する **CB FET** 診断比較を完了しており、比較処理は停止しています。このビットは、**[COMP_ADC_GO] = 1** に設定されるとクリアされます。
0 = の準備ができていません
1 = 診断比較が完了しました

DRDY_VCCB = デバイスは、すべての有効なチャンネルに対する **VCELL** と **AUXCELL** の診断比較を完了しています。このビットは、**[COMP_ADC_GO] = 1** に設定されるとクリアされます。
0 = の準備ができていません
1 = 診断比較が完了しました

7.5.4.4.4 GPIO_STAT

アドレス	0x052A							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	GPIO8	GPIO7	GPIO6	GPIO5	GPIO4	GPIO3	GPIO2	GPIO1
リセット	0	0	0	0	0	0	0	0
GPIO1 ~ GPIO8 = GPIO がデジタル入力またはデジタル出力に設定されている場合、このレジスタは GPIO の状態を示します。 0 = Low 1 = High								

7.5.4.4.5 BAL_STAT

アドレス	0x052B							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	INVALID_CB_CONF	OT_PAUSE_DET	CB_INPAUSE	MB_RUN	CB_RUN	ABORTFLT	MB_DONE	CB_DONE
リセット	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
INVALID_CBCONF = 不適切な CB 制御設定により、([BAL_GO] = 1 以降) CB を起動できないことを示します。不正な設定の例を以下に示します。 • CB では八个のセル以上が有効になります。 • DEVICE_CONF[NO_ADJ_CB] = 0 の場合、二つ以上の隣接セルが CB でイネーブルになります。 • DEVICE_CONF[NO_ADJ_CB] = 1 の場合、隣接するすべてのセルが CB でイネーブルになります。 このビットは、 [BAL_GO] = 1 が設定されるたびに更新されます。 0 = 有効な CB 設定 1 = CB 設定が無効								
OT_PAUSE_DET = [OTCB_EN] = 1 の場合に OTCB が検出されることを示します。 CB TWARN が検出されると、このビットもセットされ、 CB も一時停止します。 [BAL_GO] = 1 後にのみ有効 0 = OTCB または CB TWARN が検出されない 1 = NTC サーミスタ測定が OTCB_THR[3:0] 設定を上回っている、またはダイ (CBFET) 温度が CB TWARN を上回っている								
CB_INPAUSE = セル バランシングの一時停止ステータスを示します。 0 = CB は実行中、または未開始 1 = 一時停止中 (OTCB の検出、またはホストが [CB_PAUSE] = 1 を設定したことにより)								
MB_RUN = デバイスによって制御されるモジュール バランシングが実行中であることを示します。 MB_TIMER_CTRL が 0x00 ではなく、 [BAL_GO] = 1 の後でのみ有効です。 は、セル バランシング ステータスを示していません。0 = 完了または開始されていません 1 = デバイスによって制御されるモジュール バランシングが実行中								
CB_RUN = セル バランシングが動作していることを示します。 [BAL_GO] = 1 以降でのみ有効です。モジュール バランシング ステータスを示しません。 CB が一時停止状態であっても、このビットは 1 のままです。 0 = 完了または開始されていません 1 = 少なくとも 1 つのセルでアクティブ セル バランシングが実行中です								

ABORTFLT = マスクされていない故障が検出されたため、セル バランシングが中止されたことを示します。BAL_CTRL1[BAL_GO] = 1 のときにクリアされます。マスクされていない故障が検出されたとしても、CB が一時停止 ([CB_INPAUSE] = 1) の場合、CB の中止はトリガされません。CB が一時停止状態でなくなった場合、故障時の中止機能が再開されます。 0 = 中断されないか、セル バランシングが実行されていません 1 = 中止されました
MB_DONE = モジュール バランシングが完了したことを示します。BAL_CTRL1[BAL_GO] = 1 のときにクリアされます。 0 = モジュール バランシングがまだ実行中か、開始されていません 1 = モジュール バランシングが完了しました
CB_DONE = すべてのセル バランシングが完了したことを示します。BAL_CTRL1[BAL_GO] = 1 のときにクリアされます。 0 = セル バランシングが引き続き実行中か、開始されていません 1 = すべてのセル バランシングが完了しています

7.5.4.4.6 DEV_STAT

アドレス	0x052C							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	FACT_CRC_DONE	CUST_CRC_DONE	OTUT_RUN	OVUV_RUN	RSVD	AUX_RUN	MAIN_RUN
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
FACT_CRC_DONE = 工場出荷時 CRC ステート マシンのステータスを示します。このビットは、工場出荷時 CRC が内部で少なくとも一回計算および検証されたときにセットされます。このレジスタを読み取ると、このビットはクリアされます。 0 = 完了しません 1 = 完了 (読み取り時にクリア)								
CUST_CRC_DONE = 顧客の CRC ステート マシンのステータスを示します。このビットは、CRC が計算され、CUST_CRC* レジスタとの比較に少なくとも一回はセットされます。このレジスタを読み取ると、このビットはクリアされます。 0 = 完了しません 1 = 完了 (読み取り時にクリア)								
OTUT_RUN = OTUT プロテクタ コンパレータのステータスを示します。このビットは、OTUT BIST の開始時に設定されます。BIST が完了または中断されると、デバイスは OT コンパレータおよび UT コンパレータを自動的にオフにし、その後このビットをクリアします。 0 = オフ (OTUT が開始されていない場合、または [OTUT_GO] = 1 かつ [OTUT_MODE1:0] = 0 の場合) 1 = オン ([OTUT_GO] = 1 かつ [OTUT_MODE1:0] がゼロでない場合)								
OVUV_RUN = OVUV プロテクタ コンパレータのステータスを示します。このビットは、OVUV BIST の開始時に設定されます。BIST が完了または中断されると、デバイスは OV コンパレータおよび UV コンパレータを自動的にオフにし、その後このビットをクリアします。 0 = オフ (OVUV が開始されていない場合、または [OVUV_GO] = 1 かつ [OVUV_MODE1:0] = 0 の場合) 1 = オン ([OVUV_GO] = 1 かつ [OVUV_MODE1:0] がゼロでない場合)								
AUX_RUN = AUX ADC のステータスを示します。 0 = オフ 1 = オン								
MAIN_RUN = メイン ADC のステータスを示します。 0 = オフ 1 = オン								

7.5.4.5 ADC 構成および制御

7.5.4.5.1 ADC_CONF1

アドレス	0x0007							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	AUX_SETTLE[1:0]		LPF_BB[2:0]			LPF_VCELL[2:0]		
リセット	0	0	0	0	0	0	0	0

AUX_SETTLE[1:0] = AUXCELL は、AUX セルのセトリング タイムを設定します。各 AUXCELL は、有効な測定値として考慮するために、アンチエイリアシング フィルタ (AAF) のセトリング タイムが経過するまで待機する必要があります。これらのビットにより、別の AAF を使用するか、AAF をバイパスして高速測定を実現するかを選択できます。

00 = 4.3ms
01 = 2.3ms
10 = 1.3ms
11 = 予約済み

LPF_BB[2:0] = BBP/N 測定用のメイン SAR ADC 後のローパス フィルタのカットオフ周波数を設定します。LPF_VCELL[2:0] と同じオプション。

LPF_VCELL[2:0] = VCELL 測定用の ADC 後のローパス フィルタのカットオフ周波数を設定します。

0x0 = 6.5Hz (平均 154ms)
0x1 = 13Hz (平均 77ms)
0x2 = 26Hz (平均 38ms)
0x3 = 53Hz (平均 19ms)
0x4 = 111Hz (平均 9ms)
0x5 = 240Hz (平均 4ms)
0x6 = 600Hz (平均 1.6ms)
0x7 = 240Hz

7.5.4.5.2 ADC_CONF2

アドレス	0x0008							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE[1:0]		ADC_DLY[5:0]					
リセット	0	0	0	0	0	0	0	0
SPARE[1:0] = SPARE								
ADC_DLY[5:0] = [MAIN_GO] または ビットに 1 が書き込まれると、Main ADC は、この設定時間だけ待機した後には有効化され、変換を開始します。この設定により、デジタイゼーション接続されたスタック全体で Main ADC の開始タイミングを同期できます。この設定オプションは、0μs (遅延なし) から 200μs まで、5μs 刻みで設定できます。 未定義コード = 0μs (遅延なし)								

7.5.4.5.3 MAIN_ADC_CAL1

アドレス	0x001B							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	GAINL[7:0]							
リセット	0	0	0	0	0	0	0	0
GAINL[7:0] = Main ADC 25°C ゲイン校正結果 (下位 8 ビット)。プロダクション フロー時に顧客がゲイン校正を実施すると、ゲイン結果を OTP にプログラムでき、デバイスのリセット時にはこのゲイン レジスタに送られます。このデバイスは、ADC 補正中にこのデータを自動的に適用します。 0.0031% 刻みで -0.78125% ~ 0.7782% の範囲。								

7.5.4.5.4 MAIN_ADC_CAL2

アドレス	0x001C							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	GAINH	OFFSET[6:0]						
リセット	0	0	0	0	0	0	0	0
GAINH メイン ADC の 25°C でのゲイン校正結果 (MS ビット)。プロダクション フロー時にゲイン校正を実施すると、ゲイン結果が OTP にプログラムでき、デバイスのリセット時にはこのゲイン レジスタに送られます。本デバイスは、ADC 補正中にこのデータを自動的に適用します。 0.0031% 刻みで -0.78125% ~ 0.7782% の範囲。								

OFFSET[6:0] = メイン ADC の 25°C でのオフセット校正結果。プロダクション フロー時にオフセット校正を実施すると、オフセット結果が OTP にプログラムでき、デバイスのリセット時にはこのオフセットレジスタに送られます。本デバイスは、ADC 補正中にこのデータを自動的に適用します。
0.19073mV 刻みで -12.20703mV ~ 12.01630mV の範囲

7.5.4.5.5 AUX_ADC_CAL1

アドレス	0x001D							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	GAINL[7:0]							
リセット	0	0	0	0	0	0	0	0
GAINL[7:0] = AUX ADC 25°C ゲイン校正結果 (下位 8 ビット)。プロダクション フロー時に顧客がゲイン校正を実施すると、ゲイン結果を OTP にプログラムでき、デバイスのリセット時にはこのゲイン レジスタに送られます。このデバイスは、ADC 補正中にこのデータを自動的に適用します。 0.0031% 刻みで -0.78125% ~ 0.7782% の範囲。								

7.5.4.5.6 AUX_ADC_CAL2

アドレス	0x001E							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	GAINH	OFFSET[6:0]						
リセット	0	0	0	0	0	0	0	0
GAINH AUX ADC の 25°C でのゲイン校正結果 (MS ビット)。プロダクション フロー時に顧客がゲイン校正を実施すると、ゲイン結果を OTP にプログラムでき、デバイスのリセット時にはこのゲイン レジスタに送られます。このデバイスは、ADC 補正中にこのデータを自動的に適用します。 0.0031% 刻みで -0.78125% ~ 0.7782% の範囲。								
OFFSET[6:0] = AUX ADC の 25°C でのオフセット校正結果。プロダクション フロー時にオフセット校正を実施すると、オフセット結果を OTP にプログラムでき、デバイスのリセット時にはこのオフセットレジスタに送られます。このデバイスは、ADC 補正中にこのデータを自動的に適用します。 0.19073mV 刻みで -12.20703mV ~ 12.01630mV の範囲								

7.5.4.5.7 ADC_CTRL1

アドレス	0x030D							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	RSVD		LPF_BB_EN	LPF_VCELL_EN	MAIN_GO	MAIN_MODE[1:0]	
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
LPF_BB_EN = デジタル ローパス フィルタによる ADC 後の変換をイネーブルします。LPF は BBP/N 測定にのみ適用されます。カットオフ周波数は、ADC_CONFIG1[LPF_BB[2:0]] によって設定されます。								
LPF_VCELL_EN = デジタル ローパス フィルタによる ADC 後の変換をイネーブルします。LPF は VCELL 測定にのみ適用されます。ADC_CONFIG1 レジスタの LPF_VCELL[2:0] フィールドでカットオフ周波数を設定します。								
MAIN_GO = メイン ADC 変換を開始します。このビットに 1 を書き込むと、すべての Main ADC 入力が増幅されます。Main ADC が開始された後は、このビットに再度 1 を書き込むまで、Main ADC 制御設定を変更しても反映されません。このビットは読み出し時に 0 にクリアされます。 0 = 準備完了。0 を書き込んでも何も影響はありません 1 = メイン ADC を開始								
MAIN_MODE[1:0] = メイン ADC 実行モードを設定します。連続実行では、ユーザーが ADC を停止する場合は、すべての ADC 変換結果を読み取ってから停止する必要があります。ADC の結果は無効であり、次に ADC を再び有効化する前に有効になります。 00 = メイン ADC は動作していません 01 = シングル実行。メイン ADC のラウンドロビンを 8 回実行してから、停止します 10 = 連続実行。停止するコマンドをホストが送信するまで、メイン ADC ラウンドロビンを連続的に実行します 11 = 予約済み。								

7.5.4.5.8 ADC_CTRL2

アドレス	0x030E							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	RSVD	AUX_CELL_ALIGN	AUX_CELL_SEL[4:0]				
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
AUX_CELL_ALIGN = AUX ADC AUXCELL 測定値をメイン ADC CELL1 または CELL8 に整列 0 = 動的整列 1 = メイン ADC CELL8 に整列								
AUX_CELL_SEL[4:0] = AUX ADC を介して多重化する AUXCELL チャンネルを選択します。 0x00 = ACTIVE_CELL_CONF レジスタによって設定されたすべてのアクティブ セル チャンネルを実行 0x01 = AUX パス バーにロック (BBP-BBN) 0x02 = AUXCELL1 にロック 0x03 = AUXCELL2 にロック 0x04 = AUXCELL3 にロック : 0x11 = AUXCELL16 にロック 0x12 ~ 0x1F = RSVD 注: 非アクティブ チャンネルまたは RSVD コードが選択されている場合、デバイスは AUXCELL スロットで AUX ADC 変換 を実行せず、AUX_CELL_HI/LO レジスタはリセット値に保持されます。								

7.5.4.5.9 ADC_CTRL3

アドレス	0x030F							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	AUX_GPIO_SEL[3:0]				AUX_GO	AUX_MODE[1:0]	
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
AUX_GPIO_SEL[3:0] = 温度測定診断に使用するため、AUX ADC にマルチプレクシングする GPIO チャンネルを選択します。この選択が 0x00 に 設定されていない場合、AUX ADC は単一の GPIO チャンネルにロックし、測定結果は AUX_GPIO_HI/LO レジスタに出力 されます。 0x00 = ADC のみとして構成されているすべての GPIO チャンネルまたは ADC と OTUT は AUX ADC サイクルを繰り返し ます。 0x01 = GPIO1 にロック 0x02 = GPIO2 にロック : 0x08 = GPIO8 にロック その他のすべてのコードは RSVD です。 注: GPIO が ADC 測定用に構成されていない場合または RSVD コードが選択されている場合、デバイスは GPIO スロッ トで AUX ADC 変換を実行せず、AUX_GPIO_HI/LO レジスタはリセット値に保持されます。								
AUX_GO = AUX ADC 変換を開始します。このビットに 1 を書き込むと、すべての AUX ADC 入力が増幅されます。AUX ADC が起動すると、このビットが再び 1 に書き込まれるまで、AUX ADC の制御設定への変更はすべて無効になります。 このビットは読み出し時に 0 にクリアされます。 0 = 準備完了。0 を書き込んで何もみません。 1 = AUX ADC を開始します								
AUX_MODE[1:0] = メイン ADC 実行モードを設定します。連続実行では、ユーザーが ADC を停止する場合は、すべての ADC 変換結果を 読み取ってから停止する必要があります。ADC の結果は無効であり、次に ADC を再び有効化する前に有効になりませ ん。 00 = AUX ADC は動作していません 01 = 一回の実行。AUX ADC ラウンド ロビンを一回実行してから停止します。 10 = 連続実行。ホストが停止コマンドを送信するまで、AUX ADC ラウンド ロビンを連続的に実行します。 11 = 8 ラウンド ロビン方式で、八つの GPIO すべてを一回ずつ測定します。								

7.5.4.6 ADC 測定結果

7.5.4.6.1 VCELL16_HI/LO

VCELL16_HI

アドレス	0x0568							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Cell16 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトレジスタが読み取られるまで、Cell16 電圧の下位バイトの更新をロックします。								

VCELL16_LO

アドレス	0x0569							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell16 電圧の下位バイトの ADC 測定結果 (2 の補数)。								

7.5.4.6.2 VCELL15_HI/LO

VCELL15_HI

アドレス	0x056A							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Cell15 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトレジスタが読み取られるまで、Cell15 電圧の下位バイトの更新をロックします。								

VCELL15_LO

アドレス	0x056B							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell15 電圧の下位バイトの ADC 測定結果 (2 の補数)。								

7.5.4.6.3 VCELL14_HI/LO

VCELL14_HI

アドレス	0x056C							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Cell14 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトレジスタが読み取られるまで、Cell14 電圧の下位バイトの更新をロックします。								

VCELL14_LO

アドレス	0x056D							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell14 電圧の下位バイトの ADC 測定結果 (2 の補数)。								

7.5.4.6.4 VCELL13_HI/LO

VCELL13_HI

アドレス	0x056E							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Cell13 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトレジスタが読み取られるまで、Cell13 電圧の下位バイトの更新をロックします。								

VCELL13_LO

アドレス	0x056F							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell13 電圧の下位バイトの ADC 測定結果 (2 の補数)。								

7.5.4.6.5 VCELL12_HI/LO

VCELL12_HI

アドレス	0x0570							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Cell12 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトレジスタが読み取られるまで、Cell12 電圧の下位バイトの更新をロックします。								

VCELL12_LO

アドレス	0x0571							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell12 電圧の下位バイトの ADC 測定結果 (2 の補数)。								

7.5.4.6.6 VCELL11_HI/LO

VCELL11_HI

アドレス	0x0572							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = 2 の補数形式で表した、Cell11 電圧の ADC 測定結果の上位バイト。ホストがこのレジスタを読み出すと、デバイスは上位バイトレジスタおよび下位バイトレジスタの両方が読み出されるまで、Cell11 電圧の下位バイトが更新されないようにロックします。								

VCELL11_LO

アドレス	0x0573							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell11 電圧の下位バイトによる ADC 測定結果 (2 の補数)。								

7.5.4.6.7 VCELL10_HI/LO**VCELL10_HI**

アドレス	0x0574							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Cell10 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトレジスタが読み取られるまで、Cell10 電圧の下位バイトの更新をロックします。								

VCELL10_LO

アドレス	0x0575							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell10 電圧の下位バイトの ADC 測定結果 (2 の補数)。								

7.5.4.6.8 VCELL9_HI/LO**VCELL9_HI**

アドレス	0x0576							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = 2 の補数形式で表した、Cell9 電圧の ADC 測定結果の上位バイト。ホストがこのレジスタを読み出すと、デバイスは上位バイトレジスタおよび下位バイトレジスタの両方が読み出されるまで、Cell9 電圧の下位バイトが更新されないようにロックします。								

VCELL9_LO

アドレス	0x0577							
------	--------	--	--	--	--	--	--	--

読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell9 電圧の下位バイトによる ADC 測定結果 (2 の補数)。								

7.5.4.6.9 VCELL8_HI/LO

VCELL8_HI

アドレス	0x0578							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = 2 の補数形式で表した、Cell8 電圧の ADC 測定結果の上位バイト。ホストがこのレジスタを読み出すと、デバイスは上位バイトレジスタおよび下位バイトレジスタの両方が読み出されるまで、Cell8 電圧の下位バイトが更新されないようにロックします。								

VCELL8_LO

アドレス	0x0579							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell8 電圧の下位バイトによる ADC 測定結果 (2 の補数)。								

7.5.4.6.10 VCELL7_HI/LO

VCELL7_HI

アドレス	0x057A							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = 2 の補数形式で表した、Cell7 電圧の ADC 測定結果の上位バイト。ホストがこのレジスタを読み出すと、デバイスは上位バイトレジスタおよび下位バイトレジスタの両方が読み出されるまで、Cell7 電圧の下位バイトが更新されないようにロックします。								

VCELL7_LO

アドレス	0x057B							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell7 電圧の下位バイトによる ADC 測定結果 (2 の補数)。								

7.5.4.6.11 VCELL6_HI/LO

VCELL6_HI

アドレス	0x057C							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0

名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Cell6 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトレジスタが読み取られるまで、Cell6 電圧の下位バイトの更新をロックします。								

VCELL6_LO

アドレス	0x057D							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell6 電圧の下位バイトの ADC 測定結果 (2 の補数)。								

7.5.4.6.12 VCELL5_HI/LO**VCELL5_HI**

アドレス	0x057E							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = 2 の補数形式で表した、Cell5 電圧の ADC 測定結果の上位バイト。ホストがこのレジスタを読み出すと、デバイスは上位バイトレジスタおよび下位バイトレジスタの両方が読み出されるまで、Cell5 電圧の下位バイトが更新されないようにロックします。								

VCELL5_LO

アドレス	0x057F							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell5 電圧の下位バイトによる ADC 測定結果 (2 の補数)。								

7.5.4.6.13 VCELL4_HI/LO**VCELL4_HI**

アドレス	0x0580							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Cell4 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトレジスタが読み取られるまで、Cell4 電圧の下位バイトの更新をロックします。								

VCELL4_LO

アドレス	0x0581							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0

RESULT[7:0] = Cell4 電圧の下位バイトの ADC 測定結果 (2 の補数)。

7.5.4.6.14 VCELL3_HI/LO

VCELL3_HI

アドレス	0x0582							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = 2 の補数形式で表した、Cell3 電圧の ADC 測定結果の上位バイト。ホストがこのレジスタを読み出すと、デバイスは上位バイトレジスタおよび下位バイトレジスタの両方が読み出されるまで、Cell3 電圧の下位バイトが更新されないようにロックします。								

VCELL3_LO

アドレス	0x0583							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell3 電圧の下位バイトによる ADC 測定結果 (2 の補数)。								

7.5.4.6.15 VCELL2_HI/LO

VCELL2_HI

アドレス	0x0584							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = 2 の補数形式で表した、Cell2 電圧の ADC 測定結果の上位バイト。ホストがこのレジスタを読み出すと、デバイスは上位バイトレジスタおよび下位バイトレジスタの両方が読み出されるまで、Cell2 電圧の下位バイトが更新されないようにロックします。								

VCELL2_LO

アドレス	0x0585							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell2 電圧の下位バイトによる ADC 測定結果 (2 の補数)。								

7.5.4.6.16 VCELL1_HI/LO

VCELL1_HI

アドレス	0x0586							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0

RESULT[7:0] = Cell1 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトレジスタが読み取られるまで、Cell1 電圧の下位バイトの更新をロックします。

VCELL1_LO

アドレス	0x0587							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell1 電圧の下位バイトの ADC 測定結果 (2 の補数)。								

7.5.4.6.17 BUSBAR_HI/LO

BUSBAR_HI

アドレス	0x0588							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = 差動バス バー ピン (BBP – BBN) の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み取ると、デバイスは上位バイトレジスタと下位バイトレジスタが読み取られるまで、下位バイトの更新をロックします。								

BUSBAR_LO

アドレス	0x0589							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = 差動バス バー ピン (BBP – BBN) の下位バイトの ADC 測定結果 (2 の補数)。								

7.5.4.6.18 TSREF_HI/LO

TSREF_HI

アドレス	0x058C							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Main ADC による TSREF 測定結果の上位バイト。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトレジスタが読み取られるまで、TSREF の下位バイトの更新をロックします。								

TSREF_LO

アドレス	0x058D							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Main ADC による TSREF 測定結果の下位バイト								

7.5.4.6.19 GPIO1_HI/LO

GPIO1_HI

アドレス	0x058E							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = GPIO1 の ADC 測定の上位バイト結果。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトレジスタが読み取られるまで、GPIO1 下位バイトの更新をロックします。								

GPIO1_LO

アドレス	0x058F							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = GPIO1 の ADC 測定の下位バイト結果。								

7.5.4.6.20 GPIO2_HI/LO

GPIO2_HI

アドレス	0x0590							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = GPIO2 の ADC 測定の上位バイトの結果。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトレジスタが読み取られるまで、GPIO2 下位バイトの更新をロックします。								

GPIO2_LO

アドレス	0x0591							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = GPIO2 の ADC 測定の下位バイトの結果。								

7.5.4.6.21 GPIO3_HI/LO

GPIO3_HI

アドレス	0x0592							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = GPIO3 の ADC 測定の上位バイト結果。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトレジスタが読み取られるまで、GPIO3 下位バイトの更新をロックします。								

GPIO3_LO

アドレス	0x0593							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = GPIO3 の ADC 測定の下位バイト結果。								

7.5.4.6.22 GPIO4_HI/LO**GPIO4_HI**

アドレス	0x0594							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = GPIO4 の ADC 測定の上位バイト結果。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトレジスタが読み取られるまで、GPIO4 下位バイトの更新をロックします。								

GPIO4_LO

アドレス	0x0595							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = GPIO4 の ADC 測定の下位バイト結果。								

7.5.4.6.23 GPIO5_HI/LO**GPIO5_HI**

アドレス	0x0596							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = GPIO5 の ADC 測定の上位バイト結果。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトレジスタが読み取られるまで、GPIO5 下位バイトの更新をロックします。								

GPIO5_LO

アドレス	0x0597							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = GPIO5 の ADC 測定の下位バイト結果。								

7.5.4.6.24 GPIO6_HI/LO**GPIO6_HI**

アドレス	0x0598							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = GPIO6 の ADC 測定の上位バイト結果。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトレジスタが読み取られるまで、GPIO6 下位バイトの更新をロックします。								

GPIO6_LO

アドレス	0x0599							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = GPIO6 の ADC 測定の下位バイト結果。								

7.5.4.6.25 GPIO7_HI/LO

GPIO7_HI

アドレス	0x059A							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = GPIO7 の ADC 測定の上位バイトの結果。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトレジスタが読み取られるまで、GPIO7 下位バイトの更新をロックします。								

GPIO7_LO

アドレス	0x059B							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = GPIO7 の ADC 測定の下位バイトの結果。								

7.5.4.6.26 GPIO8_HI/LO

GPIO8_HI

アドレス	0x059C							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = GPIO8 の ADC 測定の上位バイトの結果。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトレジスタが読み取られるまで、GPIO8 下位バイトの更新をロックします。								

GPIO8_LO

アドレス	0x059D							
------	--------	--	--	--	--	--	--	--

読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = GPIO8 の ADC 測定の下位バイトの結果。								

7.5.4.6.27 DIETEMP1_HI/LO

DIETEMP1_HI

アドレス	0x05AE							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Main ADC による DieTemp1 測定結果の上位バイト。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトレジスタが読み取られるまで、DIETEMP1 下位バイトの更新をロックします。								

DIETEMP1_LO

アドレス	0x05AF							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Main ADC による DieTemp1 の下位バイト測定結果 (ADC 補正に使用される温度)。								

7.5.4.6.28 DIETEMP2_HI/LO

DIETEMP2_HI

アドレス	0x05B0							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC による DieTemp2 測定結果の上位バイト。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトレジスタが読み取られるまで、DIETEMP2 下位バイトの更新をロックします。								

DIETEMP2_LO

アドレス	0x05B1							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC による DieTemp2 の下位バイト (ADC 補正に使用される温度) の測定結果								

7.5.4.6.29 AUX_CELL_HI/LO

AUX_CELL_HI

アドレス	0x05B2							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0

名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = AUXCELL 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストが [AUX_CELL_SEL4:0] を 1 つの AUXCELL チャンネルにロックするように構成した場合、これらの AUX_CELL_HI/LO レジスタは AUXCELL 電圧測定値のみを通知します。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトレジスタが読み取られるまで、AUXCELL 電圧の下位バイトの更新をロックします。								

AUX_CELL_LO

アドレス	0x05B3							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = AUX セル電圧の下位バイトの ADC 測定結果 (2 の補数)。ホストが [AUX_CELL_SEL4:0] を 1 つの AUXCELL チャンネルにロックするように構成した場合、これらの AUX_CELL_HI/LO レジスタは AUXCELL 電圧測定値のみを通知します。								

7.5.4.6.30 AUX_GPIO_HI/LO

AUX_GPIO_HI

アドレス	0x05B4							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = [AUXGPIO_SEL3:0] ビットによってロックされている GPIO の AUX ADC 測定の上位バイト結果。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトのレジスタが読み取られるまで、AUX_GPIO 下位バイトの更新をロックします。								

AUX_GPIO_LO

アドレス	0x05B5							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = [AUXGPIO_SEL3:0] ビットによってロックされている GPIO の AUX ADC 測定の下位バイト結果。								

7.5.4.6.31 AUX_BAT_HI/LO

AUX_BAT_HI

アドレス	0x05B6							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC による BAT ピン測定結果の上位バイト。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトのレジスタが読み取られるまで、AUX_BAT 下位バイトの更新をロックします。								

AUX_BAT_LO

アドレス	0x05B7							
------	--------	--	--	--	--	--	--	--

BQ79616-Q1, BQ79616H-Q1, BQ79614-Q1, BQ79612-Q1

JAJSL83F – AUGUST 2020 – REVISED JUNE 2026

読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC による BAT ピン測定結果の下位バイト。								

7.5.4.6.32 AUX_REFL_HI/LO
AUX_REFL_HI

アドレス	0x05B8							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC からの内部リファレンス REFL 測定の上位バイト結果。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトのレジスタが読み取られるまで、AUX_REL 下位バイトの更新をロックします。								

AUX_REFL_LO

アドレス	0x05B9							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC からの内部リファレンス REFL 測定の下位バイト結果。								

7.5.4.6.33 AUX_VBG2_HI/LO
AUX_VBG2_HI

アドレス	0x05BA							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC からの内部リファレンス VBG2 測定の上位バイト結果。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトレジスタが読み取られるまで、AUX_VBG2 下位バイトの更新をロックします。								

AUX_VBG2_LO

アドレス	0x05BB							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC からの内部リファレンス VBG2 測定の下位バイトの結果。								

7.5.4.6.34 AUX_AVAO_REF_HI/LO
AUX_AVAO_REF_HI

アドレス	0x05BE							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0

名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC からの AVAO_REF 測定の上位バイト結果。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトレジスタが読み取られるまで、AUX_AVAO_REF 下位バイトの更新をロックします。								

AUX_AVAO_REF_LO

アドレス	0x05BF							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC からの AVAO_REF 測定の下位バイト結果。								

7.5.4.6.35 AUX_AVDD_REF_HI/LO

AUX_AVDD_REF_HI

アドレス	0x05C0							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC からの AVDD_REF 測定の上位バイト結果。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトレジスタが読み取られるまで、AUX_AVDD_REF の下位バイトの更新をロックします。								

AUX_AVDD_REF_LO

アドレス	0x05C1							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC からの AVDD_REF 測定の下位バイト結果。								

7.5.4.6.36 AUX_OV_DAC_HI/LO

AUX_OV_DAC_HI

アドレス	0x05C2							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC からの OV コンパレータ DAC 測定の上位バイト結果 (0.8 x OV スレッショルド)。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトのレジスタが読み取られるまで、AUX_OV_DAC 下位バイトの更新をロックします。								

AUX_OV_DAC_LO

アドレス	0x05C3							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							

リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC からの OV コンパレータ DAC 測定の下位バイト結果 (0.8 x OV スレッショルド)。								

7.5.4.6.37 AUX_UV_DAC_HI/LO

AUX_UV_DAC_HI

アドレス	0x05C4							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC からの UV コンパレータ DAC 測定の上位バイト結果 (0.8 x UV スレッショルド)。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトのレジスタが読み取られるまで、AUX_UV_DAC 下位バイトの更新をロックします。								

AUX_UV_DAC_LO

アドレス	0x05C5							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC からの UV コンパレータ DAC 測定の下位バイト結果 (0.8 x UV スレッショルド)。								

7.5.4.6.38 AUX_OT_OTCB_DAC_HI/LO

AUX_OT_OTCB_DAC_HI

アドレス	0x05C6							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = OT コンパレータ ([OTCB_THR_LOCK] 設定に応じて OT スレッショルドまたは OTCB スレッショルド) の DAC 測定値を AUX ADC で測定した結果の上位バイト。ホストがこのレジスタを読み出すと、デバイスは上位バイトレジスタおよび下位バイトレジスタの両方が読み出されるまで、AUX_OT_OTCB_DAC の下位バイトが更新されないようにロックします。								

AUX_OT_OTCB_DAC_LO

アドレス	0x05C7							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC からの OT コンパレータ ([OTCB_THR_LOCK] 設定に基づく OT または OTCB スレッショルドのいずれか) DAC 測定値の Low バイト結果。								

7.5.4.6.39 AUX_UT_DAC_HI/LO

AUX_UT_DAC_HI

アドレス	0x05C8							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0

名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = UT コンパレータの DAC 測定値を AUX ADC で測定した結果の上位バイト。ホストがこのレジスタを読み取ると、デバイスは、上位バイトおよび下位バイトのレジスタが読み取られるまで、AUX_UT_DAC 下位バイトの更新をロックします。								

AUX_UT_DAC_LO

アドレス	0x05C9							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = UT コンパレータの DAC 測定値を AUX ADC で測定した結果の下位バイト。								

7.5.4.6.40 AUX_VCBDONE_DAC_HI/LO

AUX_VCBDONE_DAC_HI

アドレス	0x05CA							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = UV コンパレータ (VCBDONE スレッシュホールド) の DAC 測定値を AUX ADC で測定した結果の上位バイト。ホストがこのレジスタを読み出すと、デバイスは上位バイト レジスタおよび下位バイト レジスタの両方が読み出されるまで、AUX_VCBDONE_DAC の下位バイトが更新されないようにロックします。								

AUX_VCBDONE_DAC_LO

アドレス	0x05CB							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = UV コンパレータ (VCBDONE スレッシュホールド) の DAC 測定値を AUX ADC で測定した結果の下位バイト。								

7.5.4.6.41 AUX_VCM_HI/LO

AUX_VCM_HI

アドレス	0x05CC	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = メイン ADC の VCM (共通モード電圧) を AUX ADC で測定した結果の上位バイト。ホストがこのレジスタを読み出すと、デバイスは上位バイト レジスタおよび下位バイト レジスタの両方が読み出されるまで、AUX_VCM の下位バイトが更新されないようにロックします。								

AUX_VCM_LO

アドレス	0x05CD							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0

RESULT[7:0] = メイン ADC の VCM (共通モード電圧) を AUX ADC で測定した結果の下位バイト。

7.5.4.6.42 REFOVDAC_HI/LO

REFOVDAC_HI

アドレス	0x05D0							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = 工場で調整された OVDAC リファレンス電圧を記録したときの上位バイトの結果。								

REFOVDAC_LO

アドレス	0x05D1							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = 工場で調整された OVDAC リファレンス電圧を記録したときの下位バイトの結果。								

7.5.4.6.43 DIAG_MAIN_HI/LO

DIAG_MAIN_HI

アドレス	0x05D2							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = 診断用 ADC 比較で使用される、報告済みメイン ADC 比較値の上位バイト結果。1 つのチャンネルがロックされているときに診断用 ADC 比較を実行する場合に有効です								

DIAG_MAIN_LO

アドレス	0x05D3							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = 診断用 ADC 比較で使用される、報告済みメイン ADC 比較値の下位バイト結果。1 つのチャンネルがロックされているときに診断用 ADC 比較を実行する場合に有効です								

7.5.4.6.44 DIAG_AUX_HI/LO

DIAG_AUX_HI

アドレス	0x05D4							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0

RESULT[7:0] = 診断用 ADC 比較で使用する、報告済み AUX ADC 比較値の上位バイト結果。1 つのチャンネルがロックされているときに診断用 ADC 比較を実行する場合に有効です

DIAG_AUX_LO

アドレス	0x05D5							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = 診断用 ADC 比較で使用する、報告済み AUX ADC 比較値の下位バイト結果。1 つのチャンネルがロックされているときに診断用 ADC 比較を実行する場合に有効です								

7.5.4.7 バランシングの構成、制御、ステータス

7.5.4.7.1 CB_CELL16_CTRL ~ CB_CELL1_CTRL

アドレス	0x0318 ~ 0x0327							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD			TIME[4:0]				
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
TIME[4:0] = セル* バランシング用のタイマを設定します。選択は、ホスト マイコンによって [BAL_GO] = 1 が設定されると常にサンプリングされます。 0x00 = 0s = バランシングの停止 0x01 = 10s 0x02 = 30s 0x03 = 60s 0x04 = 300s 0x05 ~ 0x10 = 10 分 ~ 120 分の範囲で、10 分刻みで設定可能 0x11 ~ 0x1F = 150 分 ~ 540 分の範囲で 30 分刻み、または 600 分に設定								

7.5.4.7.2 VMB_DONE_THRESH

アドレス	0x0328							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD		MB_THR[5:0]					
リセット	0	0	1	1	1	1	1	1
RSVD = 予約済み								
MB_THR[5:0] = MB_TIMER_CTRL が 0x00 でなく、BAT 電圧がこのスレッショルドよりも低い場合、GPIO3 を使ったモジュールのバランシングは停止します。選択内容は、ホスト マイコンによって [AUX_GO] = 1 が設定されると常にサンプリングされます。 注: このオプションを使用するため、マイコンは [BAL_GO] = 1 を送信する前に、最初に AUX ADC を有効にします。マイコンが [AUX_GO] = 1 を再送信した場合、新しいスレッショルド設定が有効になります。バランシングが既に実行されているため、[BAL_GO] = 1 を再送信する必要はありません。 18V ~ 65V の範囲 (1V 刻み)。未使用のコードはデフォルトで 65V です。								

7.5.4.7.3 MB_TIMER_CTRL

アドレス	0x0329							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD			TIME[4:0]				
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								

TIME[4:0] = モジュール バランシングのタイマを設定します。選択は、ホスト マイコンによって [BAL_GO] = 1 が設定されると常にサンプリングされます。

0x00 = 0s = バランシングの停止

0x01 = 10s

0x02 = 30s

0x03 = 60s

0x04 = 300s

0x05 ~ 0x10 = 10 分 ~ 120 分の範囲で、10 分刻みで設定可能

0x11 ~ 0x1F = 150 分 ~ 540 分の範囲で 30 分刻み、または 600 分に設定

7.5.4.7.4 VCB_DONE_THRESH

アドレス	0x032A							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD		CB_THR[5:0]					
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
CB_THR[5:0] = セル電圧がこのスレッシュホールドを下回った場合、セルのセル バランシングは停止します。このスレッシュホールド設定は、すべてのセルに適用されます。選択は、[OVUV_GO] = 1 がホスト マイコンによって設定されるとサンプリングされます。 注: VCB_DONE 検出機能を使用するには、ホストはこのスレッシュホールドを設定した後、CB を開始する前 (つまり、[BAL_GO] = 1 を送信する前) に、[OVUV_GO] = 1 を設定する必要があります。 VCB_DONE スレッシュホールド検出を変更するには、新しいスレッシュホールドを設定してから、[OVUV_GO] = 1 を再発行して、新しいスレッシュホールドを有効にします。この場合、バランシングを再開するために [BAL_GO] = 1 を再度実行する必要はありません。 2.45V ~ 4V の範囲を 25mV 刻みで設定できます 0x00 = CB_DONE 比較に基づいて電圧を無効化します 0x01 = 2.45V のスレッシュホールド 0x3F = 4V のスレッシュホールド								

7.5.4.7.5 OTCB_THRESH

アドレス	0x032B							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	COOLOFF[2:0]			OTCB_THR[3:0]			
リセット	0	0	0	0	1	1	1	1
RSVD = 予約済み								
COOLOFF[2:0] = BAL_CTRL1[OTCB_EN] = 1 で OTCB が検出された場合に、CB を再開するための COOLOFF ヒステリシス (再開温度 = OTCB_THR - COOLOFF ヒステリシス) を設定します。マイコンは、対応する GPIO を ADC および OTUT オプションに設定します。 4% ~ 14% からの範囲 (TSREF レギュレータ電圧から 2% ステップ)。 未使用のコードは 14% に設定されています。 デフォルトのリセット設定は 4% です。								
OTCB_THR[3:0] = BAL_CTRL1[OTCB_EN] = 1 のとき、OTCB スレッシュホールドを設定します。マイコンは、対応する GPIO を ADC および OTUT オプションに設定します。 10% ~ 24% からの範囲 (TSREF レギュレータ電圧から 2% ステップ)。 未使用のコードは 24% に設定されています。 デフォルトのリセット設定は 24% です。								

7.5.4.7.6 BAL_CTRL1

アドレス	0x032E							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD					DUTY[2:0]		
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								

DUTY[2:0] = ホスト マイコンによって [BAL_GO] = 1 が設定されると、選択がサンプリングされます。

0x0 = 5s
0x1 = 10s
0x2 = 30s
0x3 = 60s
0x4 = 5 分
0x5 = 10 分
0x6 = 20 分
0x7 = 30 分

7.5.4.7.7 BAL_CTRL2

アドレス	0x032F							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	CB_PAUSE	FLTSTOP_EN	OTCB_EN	BAL_ACT[1:0]		BAL_GO	AUTO_BAL
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
CB_PAUSE = 診断を実行できるように、すべてのセルでセル バランシングを一時停止します。 0 = 通常のセル バランシング動作 1 = すべてのセル バランシングを一時停止								
FLTSTOP_EN = マスクされていないフォルトが発生すると、セルまたはモジュールのバランシングを停止します。選択は、ホスト マイコンによって [BAL_GO] = 1 が設定されると常にサンプリングされます。 0 = フォルト条件に関係なく、連続でバランシング (サーマル シャットダウンを除く) 1 = マスクされていないフォルトが発生すると、すべての CB バランシングを停止								
OTCB_EN = セル バランシング中の OTCB 検出を有効にします。選択は、ホスト マイコンによって [BAL_GO] = 1 が設定されると常にサンプリングされます。 0 = OTCB 検出を無効にする 1 = OTCB 検出を有効にする								
BAL_ACT[1:0] = MB と CB が完了したときのデバイス アクションを制御します。これらのビットは、ホスト マイコンによって [BAL_GO] = 1 が設定されると常にサンプリングされます。アクションは有効です。 00 = アクションなし 01 = SLEEP に移行 10 = SHUTDOWN に移行 11 = 予約済み								
BAL_GO = セルまたはモジュール バランシングを開始します。1 に設定すると、すべてのバランシング構成レジスタがサンプリングされます。このビットを再度 1 に設定するまで、構成レジスタの変更は反映されません。このビットは自動でクリアされます。 0 = 準備完了 1 = バランシングを開始								
AUTO_BAL = 自動または手動のセル バランス制御を選択します。選択は、ホスト マイコンによって [BAL_GO] = 1 が設定されると常にサンプリングされます。 0 = 手動セル バランシング 1 = 自動セル バランシング								

7.5.4.7.8 BAL_CTRL3

アドレス	0x0330							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD			BAL_TIME_SEL[3:0]				BAL_TIME_GO
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
BAL_TIME_GO デバイスに対して、[BAL_TIME_SEL3:0] で選択した CB チャネルの残りバランシング時間を BAL_TIME レジスタへ出力するよう指示します。このビットはセルフクリアです。								

BAL_TIME_SEL[3:0] = 残りのバランシング時間を報告する CB チャンネルを一つ選択します
 0x0 = CB チャンネル 1
 0x1 = CB チャンネル 2
 :
 0xF = CB チャンネル 16

7.5.4.7.9 CB_COMPLETE1

アドレス	0x0556							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CELL16_DONE	CELL15_DONE	CELL14_DONE	CELL13_DONE	CELL12_DONE	CELL11_DONE	CELL10_DONE	CELL9_DONE
リセット	0	0	0	0	0	0	0	0
CELL9_DONE ~ cell9 ~ cell16 のセル バランス完了。このレジスタは、マイコンが [BAL_GO] = 1 を設定するとクリアされます。 CELL16_DONE = 0 = 対象セルのバランシングはまだ実行中であるか、または開始されていません 1 = 特定のセルでバランシングが完了しました								

7.5.4.7.10 CB_COMPLETE2

アドレス	0x0557							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CELL8_DONE	CELL7_DONE	CELL6_DONE	CELL5_DONE	CELL4_DONE	CELL3_DONE	CELL2_DONE	CELL1_DONE
リセット	0	0	0	0	0	0	0	0
CELL1_DONE ~ cell1 ~ cell8 のセル バランス完了。このレジスタは、マイコンが [BAL_GO] = 1 を設定するとクリアされます。 CELL8_DONE = 0 = 対象セルのバランシングはまだ実行中であるか、または開始されていません 1 = 特定のセルでバランシングが完了しました								

7.5.4.7.11 BAL_TIME

アドレス	0x0558							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	TIME_UNIT	TIME[6:0]						
リセット	0	0	0	0	0	0	0	0
TIME_UNIT = [TIME6:0] 0 = 秒 1 = 分で報告された単位を示します								
TIME[6:0] = 選択した CB チャンネルの残りバランシング時間を報告します [TIME_UNIT] = 0 の場合、[TIME_UNIT] = 1 の場合、5 秒ステップでタイム レポート (秒)。 5 分ステップでの最小時間レポート								

7.5.4.8 プロテクタの構成および制御

7.5.4.8.1 OV_THRESH

アドレス	0x0009							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE	SPARE	OV_THR[5:0]					
リセット	0	0	1	1	1	1	1	1
SPARE = 予備								

OV_THR[5:0] = OV コンパレータの過電圧スレッシュホールドを設定します。これらのビットを変更するには、ホストが別の [OVUV_GO] = 1 コマンドを送信する必要があります。
すべての設定は 25mV 刻みです。
0x02 ~ 0x0E: 2700mV ~ 3000mV の範囲
0x12 ~ 0x1E: 3500mV ~ 3800mV の範囲
0x22 ~ 0x2E: 4175mV ~ 4475mV の範囲
その他のすべての設定はデフォルトで 2700mV です。

7.5.4.8.2 UV_THRESH

アドレス	0x000A							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE	SPARE	UV_THR[5:0]					
リセット	0	0	0	0	0	0	0	0
SPARE = 予備								
UV_THR[5:0] = UV コンパレータの低電圧スレッシュホールドを設定します。これらのビットを変更するには、ホストが別の [OVUV_GO] = 1 コマンドを送信する必要があります。 すべての設定は 50mV 刻みです。 0x00 ~ 0x26: 1200mV ~ 3100mV の範囲 その他すべての設定はデフォルトで 3100mV です。								

7.5.4.8.3 UV_DISABLE1

アドレス	0x000C							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CELL16	CELL15	CELL14	CELL13	CELL12	CELL11	CELL10	CELL9
リセット	0	0	0	0	0	0	0	0
CELL9 ~ UV および VCB_DONE 検出から除外するチャネルを示します CELL16 = 0 = UV および VCB_DONE 監視はチャネルに適用されます 1 = UV および VCB_DONE 監視はチャネルから除外されます								

7.5.4.8.4 UV_DISABLE2

アドレス	0x000D							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CELL8	CELL7	CELL6	CELL5	CELL4	CELL3	CELL2	CELL1
リセット	0	0	0	0	0	0	0	0
CELL8 ~ UV および VCB_DONE 検出から除外するチャネルを指定します CELL1 0 = UV および VCB_DONE 監視はチャネルに適用されます 1 = UV および VCB_DOME 監視はチャネルから除外されます								

7.5.4.8.5 OTUT_THRESH

アドレス	0x000B							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	UT_THR[2:0]			OT_THR[4:0]				
リセット	1	1	1	0	0	0	0	0
UT_THR[2:0] = UT コンパレータの UT スレッシュホールドを設定します。これらのビットを変更するには、ホストが別の [OTUT_GO] = 1 コマンドを送信する必要があります。マイコンは、対応する GPIO を ADC および OTUT 入力に設定します。 66% ~ 80% からの範囲 (TSREF レギュレータ電圧から 2% ステップ)。 デフォルトのリセット設定は 80% です。								

OT_THR[4:0] = OT コンパレータの OT スレッシュホールドを設定します。これらのビットを変更するには、ホストが別の [OTUT_GO] = 1 コマンドを送信する必要があります。マイコンは、対応する GPIO を ADC および OTUT 入力に設定します。
10% ~ 39% からの範囲 (TSREF レギュレータ電圧から 1% ステップ)。
未使用コードのデフォルト値は 39% です。
デフォルトのリセット設定: 39%。

7.5.4.8.6 OVUV_CTRL

アドレス	0x032C							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	VCBDONE_THR_LOCK	OVUV_LOCK[3:0]				OVUV_GO	OVUV_MODE[1:0]	
リセット	0	0	0	0	0	0	0	0
VCB DONE_THR_LOCK = UV コンパレータは、診断のために UV DAC または VCB DONE DAC の結果を測定する際、UV スレッシュホールドと VCB DONE スレッシュホールドを切り替えるため、AUX ADC の測定を開始する前に、いずれか一方のスレッシュホールドだけにロックする必要があります。このビットでは、UV コンパレータにロックするスレッシュホールドを選択します。 OVUV_MODE[1:0] が 0b11 のとき、このビットはサンプリングされます。そのときはシングル チャネル モードに固定されています。 0 = UV スレッシュホールドを選択 1 = VCB DONE スレッシュホールドを選択								
OVUV_LOCK[3:0] = [OVUV_MOD1:0] = 0b11 のとき、特定のシングル チャネルを OV および UV コンパレータ入力として構成します。これらのビットを変更するには、ホストが別の [OVUV_GO] = 1 コマンドを送信する必要があります。 0x0 = Cell1 にロック 0x1 = Cell2 にロック 0x2 = Cell3 にロック : 0xF = Cell16 にロック								
OVUV_GO = OV および UV コンパレータを始動させます。1 に設定すると、すべての OVUV 構成設定がサンプリングされます。このビットは自動でクリアされます。 0 = 準備完了 1 = OV および UV コンパレータを始動開始								
OVUV_MODE[1:0] = [OVUV_GO] = 1 のとき、OV および UV コンパレータの動作モードを設定します。これらのビットを変更するには、ホストが別の [OVUV_GO] = 1 コマンドを送信する必要があります。 00 = OV および UV コンパレータを実行しない 01 = すべてのアクティブ セルで OV と UV のラウンド ロビンを実行 10 = OV と UV の BIST サイクルを実行。 11 = [OVUV_LOCK3:0] によって構成された 1 つのチャンネルに OV および UV コンパレータをロック 注: アクティブ セルは、ACTIVE_CELL[NUM_CELL3:0] レジスタによって定義されます。								

7.5.4.8.7 OTUT_CTRL

アドレス	0x032D							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	OTCB_THR_LOCK	OTUT_LOCK[2:0]			OTUT_GO	OTUT_MODE[1:0]	
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
OTCB_THR_LOCK = OT コンパレータは、診断のために OT または OTCB の DAC スレッシュホールドの結果を測定する際、OT スレッシュホールドと OTCB スレッシュホールドの値の間で切り替わるため、AUX ADC 測定を開始する前に、OT コンパレータをいずれか一つのスレッシュホールドに固定しておく必要があります。このビットは、OT コンパレータにロックされるスレッシュホールドを選択します。このビットは、OTUT_MODE[1:0] = 0b11 に設定され、単一チャネル モードに固定されている場合にサンプリングされます。 0 = OT スレッシュホールドを選択 1 = OTCB スレッシュホールドを選択								

OTUT_LOCK[2:0] = [OTUT_MOD1:0] = 0b11 のとき、特定のシングル チャネルを OT および UT コンパレータ入力として構成します。これらのビットを変更するには、ホストが別の [OTUT_GO] = 1 コマンドを送信する必要があります。

0x0 = GPIO1A にロック
0x1 = GPIO2A にロック
:
0x7 = GPIO8A にロック

OTUT_GO = OT および UT コンパレータを開始します。1 に設定すると、すべての OTUT 構成設定がサンプリングされます。このビットは自動でクリアされます。

0 = 準備完了
1 = OT および UT コンパレータを開始

OTUT_MODE[1:0] = [OTUT_GO] = 1 のとき、OT および UT コンパレータの動作モードを設定します。これらのビットを変更するには、ホストが別の [OTUT_GO] = 1 コマンドを送信する必要があります。

00 = OT および UT コンパレータを実行しない
01 = すべてのアクティブ セルで OT と UT のラウンド ロビンを実行
10 = OT と UT の BIST サイクルを実行。
11 = [OTUT_LOCK3:0] によって構成された一つのチャネルに OT および UT コンパレータをロック

7.5.4.9 GPIO の構成

7.5.4.9.1 GPIO_CONF1

アドレス	0x000E							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	FAULT_IN_EN	SPI_EN	GPIO2[2:0]			GPIO1[2:0]		
リセット	0	0	0	0	0	0	0	0
FAULT_IN_EN = GPIO8 をアクティブ Low 入力として有効にし、入力信号が Low のときに NFAULT ピンをアサートします。 0 = 故障なし入力機能。GPIO8 は、[GPIO8_CONF2:0] の設定に基づいて構成されます。 1 = GPIO8 をアクティブ Low 入力として設定し、NFAULT ピンをトリガします。この場合、[GPIO8_CONF2:0] の設定は無視されます。								
SPI_EN = GPIO4、GPIO5 および GPIO6、GPIO7 の SPI マスタを有効化します。 0 = SPI マスタが無効です。 1 = SPI マスタが有効です。[GPIO4_CONF2:0]、[GPIO5_CONF2:0]、[GPIO6_CONF2:0] および [GPIO7_CONF2:0] 設定を上書きします。								
GPIO2[2:0] = GPIO2 を構成します。 000 = 無効、ハイインピーダンス 001 = ADC および OTUT 入力 010 = ADC のみ入力 011 = デジタル入力 100 = 出力 high 101 = 出力 low 110 = ADC 入力および弱いプルアップ が有効 111 = ADC 入力および弱いプルダウンが有効								
GPIO1[2:0] = GPIO1 を構成します。 000 = 無効、ハイインピーダンス 001 = ADC および OTUT 入力 010 = ADC のみ入力 011 = デジタル入力 100 = 出力 high 101 = 出力 low 110 = ADC 入力および弱いプルアップ が有効 111 = ADC 入力および弱いプルダウンが有効								

7.5.4.9.2 GPIO_CONF2

アドレス	0x000F							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE	RSVD	GPIO4[2:0]			GPIO3[2:0]		

リセット	0	0	0	0	0	0	0	0
SPARE = SPARE								
GPIO4[2:0] = GPIO4 を構成します。[SPI_EN] = 1 の場合、これらの構成ビットは無視され、このピンは SPI マスタの SS として使用されます。詳しくは、セクション 7.3.6.1.7 を参照してください。 000 = 無効、ハイインピーダンス 001 = ADC および OTUT 入力 010 = ADC のみ入力 011 = デジタル入力 100 = 出力 high 101 = 出力 low 110 = ADC 入力および弱いプルアップ が有効 111 = ADC 入力および弱いプルダウンが有効								
GPIO3[2:0] = GPIO3 を構成します。MB_TIMER_CTRL が 0x00 でない場合、この構成は無視され、このピンはモジュール バランシング用に構成されています。 000 = 無効、ハイインピーダンス 001 = ADC および OTUT 入力 010 = ADC のみ入力 011 = デジタル入力 100 = 出力 high 101 = 出力 low 110 = ADC 入力および弱いプルアップ が有効 111 = ADC 入力および弱いプルダウンが有効								

7.5.4.9.3 GPIO_CONF3

アドレス	0x0010							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE[1:0]		GPIO6[2:0]			GPIO5[2:0]		
リセット	0	0	0	0	0	0	0	0
SPARE[1:0] = SPARE								
GPIO6[2:0] = GPIO6 を構成します。[SPI_EN] = 1 の場合、これらの構成ビットは無視され、このピンは SPI マスタの MOSI として使用されます。詳しくは、セクション 7.3.6.1.7 を参照してください。 000 = 無効、ハイインピーダンス 001 = ADC および OTUT 入力 010 = ADC のみ入力 011 = デジタル入力 100 = 出力 high 101 = 出力 low 110 = ADC 入力および弱いプルアップ が有効 111 = ADC 入力および弱いプルダウンが有効								
GPIO5[2:0] = GPIO5 を構成します。[SPI_EN] = 1 の場合、これらの構成ビットは無視され、このピンは SPI マスタの MISO として使用されます。詳しくは、セクション 7.3.6.1.7 を参照してください。 000 = 無効、ハイインピーダンス 001 = ADC および OTUT 入力 010 = ADC のみ入力 011 = デジタル入力 100 = 出力 high 101 = 出力 low 110 = ADC 入力および弱いプルアップ が有効 111 = ADC 入力および弱いプルダウンが有効								

7.5.4.9.4 GPIO_CONF4

アドレス	0x0011							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE[1:0]		GPIO8[2:0]			GPIO7[2:0]		
リセット	0	0	0	0	0	0	0	0

SPARE[1:0] = SPARE
GPIO8[2:0] = GPIO8 を構成します。[FAULT_IN_EN] = 1 の場合、これらの設定ビットは無視され、このピンは入力として使用されます。 また、Low レベルが入力されると NFAULT がアサートされます。 000 = 無効、ハイインピーダンス 001 = ADC および OTUT 入力 010 = ADC のみ入力 011 = デジタル入力 100 = 出力 high 101 = 出力 low 110 = ADC 入力および弱いプルアップ が有効 111 = ADC 入力および弱いプルダウンが有効
GPIO7[2:0] = GPIO7 を構成します。[SPI_EN] = 1 の場合、これらの構成ビットは無視され、このピンは SPI マスタの SCLK として使用されます。詳しくは、セクション 7.3.6.1.7 を参照してください。 000 = 無効、ハイインピーダンス 001 = ADC および OTUT 入力 010 = ADC のみ入力 011 = デジタル入力 100 = 出力 high 101 = 出力 low 110 = ADC 入力および弱いプルアップ が有効 111 = ADC 入力および弱いプルダウンが有効

7.5.4.10 SPI マスタ

7.5.4.10.1 SPI_CONF

アドレス	0x034D							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	CPOL	CPHA	NUMBIT[4:0]				
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
CPOL = SCLK の極性を設定します。 0 = アイドル Low、クロック High 1 = アイドル High、クロック Low								
CPHA = データが MISO でサンプリングされる SCLK のエッジを設定します。 0 = 立ち上がりクロック遷移 1 = 立ち下がりクロック遷移								
NUMBIT[4:0] = SPI トランザクションの長さ。読み取り / 書き込みする SPI ビット数を設定します。 00000 = 24 ビット 00001 = 1 ビット 00010 = 2 ビット : 10111 = 23 ビット その他すべて = 23 ビット								

7.5.4.10.2 SPI_EXE

アドレス	0x0351							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD						SS_CTRL	SPI_GO
リセット	0	0	0	0	0	0	1	0
RSVD = 予約済み								
SS_CTRL = SS の状態をプログラムします。 0 = 出力 low 1 = 出力 high								

SPI_GO = SPI トランザクションを実行します。このビットは自動でクリアされます。

0 = アイドル

1 = SPI を実行

7.5.4.10.3 SPI_TX3, SPI_TX2, SPI_TX1

アドレス	0x034E～ 0x0350							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	DATA[7:0]							
リセット	0	0	0	0	0	0	0	0
DATA[7:0] = SPI スレーブ デバイスへの書き込みに使用するデータ。これらのビットは、SPI_CONF[NUMBIT4:0] を使用してプログラムされ、LSB SPI_TX1 → LSB SPI_TX2 → LSB SPI_TX3 の順に MOSI からクロック出力されます。								

7.5.4.10.4 SPI_RX3, SPI_RX2, SPI_RX1

アドレス	0x0520～ 0x0522							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	DATA[7:0]							
リセット	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
DATA[7:0] = SPI トランザクション中に読み取りから返されるデータ。MISO から SPI_CONF[NUMBIT4:0] で設定されたビット数がクロック入力されると、LSB SPI_RX1 → LSB SPI_RX2 → LSB SPI_RX3 の順に更新されます。								

7.5.4.11 診断の制御

7.5.4.11.1 DIAG_OTP_CTRL

アドレス	0x0335							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD			FLIP_FACT_CRC	MARGIN_MODE[2:0]			MARGIN_GO
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
FLIP_FACT_CRC = 出荷時 CRC 値を反転するためのイネーブル ビット。これは出荷時 CRC 診断用です。 0 = 通常動作。出荷時 CRC の変更なし 1 = CRC 値を反転します。これにより、出荷時 CRC 故障である FAULT_OTP[FACT_CRC] が発生します。								
MARGIN_MODE[2:0] = OTP マージン読み取りモードを設定します： 0b000 = 通常読み取り 0b001 = 予約済み 0b010 = マージン 1 読み取り 0b011 ~ 0b111 = 予約済み								
MARGIN_GO = [MARGIN_MOD] ビットで設定された OTP マージン テストを開始します。このビットはセルフクリアされ、読み取り時は常に 0 となります。 0 = 準備完了 1 = テストを開始								

7.5.4.11.2 DIAG_COMM_CTRL

アドレス	0x0336							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD						SPI_LOOPBACK	FLIP_TR_CRC

リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
SPI_LOOPBACK = SPI ループバック機能を有効にして、SPI 機能を検証します。詳細については、 セクション 7.3.6.1.7 を参照してください。 0 = 無効 1 = 有効								
FLIP_TR_CRC = 応答送信時に、計算済みの CRC ビットをすべて反転し、意図的に不正な通信 CRC を送信します。 0 = 計算されたとおりの CRC を送信 1 = 反転 CRC を送信								

7.5.4.11.3 DIAG_PWR_CTRL

アドレス	0x0337							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD						BIST_NO_RST	PWR_BIST_GO
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
BIST_NO_RST = 電源供給回路の BIST で故障が検出された場合に、さらなる診断を行うために使用します。このビットを 1 に設定した状態で [PWR_BIST_GO] によって BIST サイクルを実行すると、デバイスは BIST サイクル終了時に FAULT_PWR1 および FAULT_PWR2 レジスタをクリアせず、NFAULT 信号のデアサートしません。 0 = LDO コンパレータの BIST を順次実行します。FAULT_PWR* レジスタは 0 にリセットされ、各 LDO BIST 実行の終了時に NFAULT がデアサートされます。 1 = LDO コンパレータの BIST を順次実行します。各 LDO BIST 実行の終了時に、FAULT_PWR* レジスタは 0 にリセットされず、NFAULT はアサートされた状態のまま維持されます。								
PWR_BIST_GO = 1 に書き込むと、電源 BIST 診断が開始されます。[BIST_NO_RST] の設定を変更しても、このビットが再度 1 に書き込まれるまでは、その変更は有効になりません。このビットはセルフクリアします。 0 = 準備完了 1 = 電源 BIST 診断を開始。								

7.5.4.11.4 DIAG_CBFET_CTRL1

アドレス	0x0338							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CBFET16～CBFET9							
リセット	0	0	0	0	0	0	0	0
CBFET16 ～ CBFET9 = CBFET 診断のために CBFET を有効化します。このレジスタは、[COMP_ADC_SEL2:0] = 0b100 の場合にのみ参照されます。 0 = CBFET オフ 1 = CBFET オン								

7.5.4.11.5 DIAG_CBFET_CTRL2

アドレス	0x0339							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CBFET8～CBFET1							
リセット	0	0	0	0	0	0	0	0
CBFET8 ～ CBFET1 = CBFET 診断のために CBFET を有効化します。このレジスタは、[COMP_ADC_SEL2:0] = 0b100 の場合にのみ参照されます。 0 = CBFET オフ 1 = CBFET オン								

7.5.4.11.6 DIAG_COMP_CTRL1

アドレス	0x033A							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0

名称	VCCB_THR[4:0]						
リセット	0	0	0	0	0	0	0
VCCB_THR[4:0] = VCELL と AUXCELL のデルタの関係を設定します。VCELL と AUXCELL の比較チェックは、測定されたデルタがこのスレッシュホールドよりも低い場合、合格と見なされます。このスレッシュホールドは、メインと AUX の ADC のバス パー測定値の比較にも適用されます。 範囲は 6 ~ 99mV で、3mV 刻みです							
BB_THR[2:0] = RSVD = バス パーの上側に接続されたセル (バス パーが個別の VC チャンネルに接続されている場合) の VCELL と AUXCELL の比較時に使用される、VCCB_THR 設定値に追加されるデルタ値。 5mV ~ 40mV の範囲で、5mV 刻みで設定可能。予約済み							

7.5.4.11.7 DIAG_COMP_CTRL2

アドレス	0x033B							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	GPIO_THR[2:0]			OW_THR[3:0]			
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
GPIO_THR[2:0] = メイン ADC と AUX ADC の測定値間の GPIO 比較デルタ スレッシュホールドを設定します。 範囲は 4mV ~ 32mV (4mV 刻み) です								
OW_THR[3:0] = 診断比較用の OW 検出スレッシュホールドを設定します。このスレッシュホールドは CB OW および VC OW 診断に適用されます。 範囲は 500mV ~ 5V (300mV 刻み) です								

7.5.4.11.8 DIAG_COMP_CTRL3

アドレス	0x033C							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	CBFET_CTRL_GO	OW_SNK[1:0]		COMP_ADC_SEL[2:0]			COMP_ADC_GO
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
CBFET_CTRL_GO = この GO ビットが 1 に設定されると、デバイスは DIAG_CBFET_CTRL1/2 レジスタで設定された CBFET をオンにし、クリアされている CBFET をオフにします。この GO 動作は、CB が実行されていない、または一時停止状態にある場合にのみ実行されます。そうでない場合、CBFET は通常の CB によって制御されます。 CBFET がこの GO ビットによってオンにされた場合でも、CB が開始または再開されると、CBFET の制御は通常の CB 制御に戻り、この GO ビットによる制御は行われなくなります								
OW_SNK[1:0] = VC ピン、CB ピンまたは BBP/N ピンの電流シンクをオンにします。これらのビットの変更は直ちに有効になります。ホストマイコンは、断線 (OW) テストを実行する前に適切なシンク電流をオンにし、OW テスト完了後にシンク電流をオフにする責任があります。 00 = すべての VC、BBP/N、CB ピンの電流シンクがオフです。 01 = すべての VC ピンの電流シンクをオンにする。 10 = すべての CB ピンの電流シンクをオンにする 11 = BBP/N ピンの電流シンクをオンにする								

COMP_ADC_SEL[2:0] = ADC 測定を用いたデバイス診断比較機能を有効にします。ホストは、この診断機能を有効にする前に、対応する ADC を連続モードで有効にしておく必要があります。これらのビットは、[COMP_ADC_GO] = 1 のときにサンプリングされます。 000 = ADC 比較は実行されません 001 = セル電圧測定チェック。 デバイスは、[AUX_CELL_SEL4:0] で指定されたセル チャネルを以下の条件と比較します。 VCELL (メイン ADC から) と AUXCELL (AUX ADC から) のデルタが [VCCB_THR4:0] 未満です。 この比較が完了すると、[DRDY_VCCB] = 1 になります。 010 = VC ピンの断線 (OW) チェック。 マイコンは、この比較を有効にする前に、[OW_SNK1:0] 経由ですべての VC ピンの電流シンクを有効にします。デバイスは、ACTIVE_CELL レジスタで指定された対応する VC ピンを、以下の条件と比較します。VCELL (メイン ADC から) が DIAG_COMP_CTRL2 [OW_THR3:0] より小さくなります。 比較が完了すると、[DRDY_VC_OW] = 1 になります。 011 = CB ピンの断線 (OW) チェック マイコンは、この比較を有効にする前に、[OW_SNK1:0] を介してすべての VC ピンの電流シンクを有効にします。デバイスは、[AUX_CELL_SEL4:0] で指定されている対応する CB ピンを、以下の基準と比較します。AUXCELL (AUX ADC から) は DIAG_COMP_CTRL2 [OW_THR3:0] 未満です。比較が完了すると、[DRDY_CBOW] = 1 になります。 100 = CBFET チェック。 マイコンは、このチェックを開始する前に、以下の項目を事前に設定します。 • バランシングが有効な場合、セル バランシングを一時停止します。 • DIAG_CBFET_CTRL1/2 レジスタで設定された CBFET を有効にします。 • [EXTD_CBFET] を設定し、すべての CBFET を一時停止状態に戻す (つまり、すべての CBFET をオフにする) か、または DIAG_CBFET_CTRL1/2 レジスタで指定された状態のまま維持するかを決定します。 このテストが開始されると、デバイスは DIAG_CBFET_CTRL1/2 レジスタで指定された CBFET をオンにし、[AUX_CELL_SEL4:0] で指定されたチャネルを以下の基準と比較します。 AUXCELL (AUX ADC による測定値) が VCELL (Main ADC による測定値) の 1/3 未満。比較が完了すると [DRDY_CBFET] = 1 になります。 101 = GPIO 測定チェック (ADC および OTUT 入力として構成された GPIO または ADC のみ入力に適用されます)。 デバイスは、メイン GPIO 測定値と AUX GPIO 測定値の差が [GPIO_THR2:0] 未満であることを比較します。比較が完了すると、[DRDY_GPIO] = 1 になります。 その他のコード: ADC 比較は実行されません	COMP_ADC_GO = デバイスは、[COMP_ADC_SEL2:0] 設定で指定された診断テストを開始します。このビットに 1 を書き込むと、選択された [COMP_ADC_SEL2:0] のサンプル値が取得されます。[COMP_ADC_SEL2:0] 設定の変更は、この GO ビットが再度 1 に書き込まれない限り、影響はありません。 このビットは読み出し時に 0 にクリアされます。 0 = 準備完了。0 を書き込んでも何も影響はありません 1 = [COMP_ADC_SEL2:0] でスター診断が選択されます
--	--

7.5.4.11.9 DIAG_COMP_CTRL4

アドレス	0x033D							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD						COMP_FAULT_INJ	LPF_FAULT_INJ
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
COMP_FAULT_INJ = ADC 比較ロジックにフォルトを注入します。このビットがセットされた状態で ADC 比較診断を実行すると、比較結果は失敗となることが想定されます。 0 = 無効 1 = 有効								
LPF_FAULT_INJ = LPF 診断中に、診断 LPF にフォルト状態を注入します。FAULT_COMP_MISC[LPF_FAIL] がセットされることが想定されます。 0 = 無効 1 = 有効								

7.5.4.11.10 DIAG_PROT_CTRL

アドレス	0x033E							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0

名称	RSVD							PROT_BIST_NO_RST
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
PROT_BIST_NO_RST = プロテクタの BIST がフォルトを検出した場合は、詳細な診断のために使用します。このビットが 1 に設定されている場合、デバイスは FAULT_OV1/2、FAULT_UV1/2、FAULT_OT、FAULT_UT レジスタをクリアしません。NFAULT 信号は、アサートされるとラッチされます。 注:ホストは、このビットを 0 に設定して BIST 実行を開始する前に、フォルトがないことを確認します。 0 = BIST 実行中に、デバイスがプロテクタのコンパレータおよびマルチプレクサをチェックするためにフォルトをアサートし、OV、UV、OT、UT の正しいフォルトビットを NFAULT ピンにアサートします。このビットが 0 の場合、デバイスはフォルトをクリアし、NFAULT をアサート解除してから、次のチャンネルに切り替えます。 1 = BIST 実行中、テスト中に生成されたフォルトは、次のセルまたは GPIO チャンネルに切り替える前にクリアされません。NFAULT ピンがアサートされると、ラッチされます。								

7.5.4.12 故障の構成とリセット

7.5.4.12.1 FAULT_MSK1

アドレス	0x0016							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	MSK_PROT	MSK_UT	MSK_OT	MSK_UV	MSK_OV	MSK_COMP	MSK_SYS	MSK_PWR
リセット	0	0	0	0	0	0	0	0
MSK_PROT = NFAULT をトリガするように、FAULT_PROT* レジスタをマスクします。 0 = NFAULT をアサート (FAULT_PROT* のいずれかのビットが 1 にセットされている場合)。 1 = NFAULT アクションなし (FAULT_PROT* のビット ステータスに関係なく)。								
MSK_UT = NFAULT をトリガするように、FAULT_UT* レジスタをマスクします。 0 = NFAULT をアサート (FAULT_UT* のいずれかのビットが 1 にセットされている場合)。 1 = NFAULT アクションなし (FAULT_UT* のビット ステータスに関係なく)。								
MSK_OT = NFAULT をトリガするように、FAULT_OT* レジスタをマスクします。 0 = NFAULT をアサート (FAULT_OT* のいずれかのビットが 1 にセットされている場合)。 1 = NFAULT アクションなし (FAULT_OT* のビット ステータスに関係なく)。								
MSK_UV = NFAULT をトリガするように、FAULT_UV* レジスタをマスクします。 0 = NFAULT をアサート (FAULT_UV* のいずれかのビットが 1 にセットされている場合)。 1 = NFAULT アクションなし (FAULT_UV* のビット ステータスに関係なく)。								
MSK_OV = NFAULT をトリガするように、FAULT_OV* レジスタをマスクします。 0 = NFAULT をアサート (FAULT_OV* のいずれかのビットが 1 にセットされている場合)。 1 = NFAULT アクションなし (FAULT_OV* のビット ステータスに関係なく)。								
MSK_COMP = NFAULT をトリガするように、FAULT_COMP_* レジスタをマスクします。 0 = NFAULT をアサート (FAULT_COMP_* のいずれかのビットが 1 にセットされている場合)。 1 = NFAULT アクションなし (FAULT_COM_* のビット ステータスに関係なく)。								
MSK_SYS = 任意の FAULT_SYS レジスタビットから NFAULT アサートをマスクします。 0 = NFAULT をアサート (FAULT_SYS のいずれかのビットが 1 にセットされている場合)。 1 = NFAULT アクションなし (FAULT_SYS のビット ステータスに関係なく)。								
MSK_PWR = 任意の FAULT_PWR1 ~ FAULT_PWR3 レジスタビットからへの NFAULT アサートをマスクします。 0 = NFAULT をアサート (FAULT_PWR1 ~ FAULT_PWR3 のいずれかのビットが 1 にセットされている場合)。 1 = NFAULT アクションなし (FAULT_PWR1 ~ FAULT_PWR3 のビット ステータスに関係なく)。								

7.5.4.12.2 FAULT_MSK2

アドレス	0x0017							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE[1]	MSK_OTP_C RC	MSK_OTP_DA TA	MSK_COMM3 _FCOMM	MSK_COMM3 _FTONE	MSK_COMM3 _HB	MSK_COMM2	MSK_COMM1
リセット	0	0	0	0	0	0	0	0
SPARE[1] = SPARE								

MSK_OTP_CRC = NFAULT のトリガ時に、FAULT_OTP レジスタ ([CUST_CRC] および [FACT_CRC] のみ) をマスクします。 0 = 上記のいずれかのビットが 1 にセットされた場合、NFAULT をアサートします。 1 = 上記のビットのステータスに関係なく、NFAULT アクションは発生しません。
MSK_OTP_DATA = NFAULT のトリガ時に、FAULT_OTP レジスタの [CUST_CRC] および [FACT_CRC] を除くすべてのビットをマスクします。 0 = 上記のいずれかのビットが 1 にセットされた場合、NFAULT をアサートします。 1 = 上記のビットのステータスに関係なく、NFAULT アクションは発生しません。
MSK_COMM3_FCOMM NFAULT トリガで FAULT_COMM3[FCOMM_DET] 故障をマスクします。 = 0 = FAULT_COMM3[FCOMM_DET] が 1 にセットされた場合、NFAULT をアサートします。 FAULT_COMM3[FCOMM_DET] ステータスに関係なく、1 = NFAULT アクションはありません。
MSK_COMM3_FTONE NFAULT トリガで FAULT_COMM3[FTONE_DET] 故障をマスクします。 = 0 = FAULT_COMM3[FTONE_DET] が 1 にセットされた場合、NFAULT をアサートします。 1 = FAULT_COMM3[FTONE_DET] の状態にかかわらず、NFAULT はアサートされません。
MSK_COMM3_HB = NFAULT トリガで FAULT_COMM3[HB_FAST] または [HB_FAIL] 故障をマスクします。 0 = FAULT_COMM3[HB_FAST] または [HB_FAIL] が 1 に設定されているときに NFAULT をアサートします。 1 = FAULT_COMM3[HB_FAST] または [HB_FAIL] の状態に関係なく、NFAULT 動作は発生しません。
MSK_COMM2 = NFAULT トリガで FAULT_COMM2 レジスタをマスクします。 0 = FAULT_COMM2 レジスタのいずれかのビットが 1 に設定されている場合、NFAULT をアサートします。 1 = FAULT_COMM2 レジスタのビットの状態にかかわらず、NFAULT 動作は発生しません。
MSK_COMM1 = NFAULT トリガで FAULT_COMM1 レジスタをマスクします。 0 = FAULT_COMM1 レジスタのいずれかのビットが 1 に設定されている場合、NFAULT をアサートします。 1 = FAULT_COMM1 レジスタのビットの状態にかかわらず、NFAULT 動作は発生しません。

7.5.4.12.3 FAULT_RST1

アドレス	0x0331							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RST_PROT	RST_UT	RST_OT	RST_UV	RST_OV	RST_COMP	RST_SYS	RST_PWR
リセット	0	0	0	0	0	0	0	0
RST_PROT = FAULT_PROT1 および FAULT_PROT2 レジスタを 0x00 にリセットします。 0 = リセットなし 1 = レジスタを 0x00 にリセット								
RST_UT = すべての FAULT_UT レジスタを 0x00 にリセットします。 0 = リセットなし 1 = レジスタを 0x00 にリセット								
RST_OT = すべての FAULT_OT レジスタを 0x00 にリセットします。 0 = リセットなし 1 = レジスタを 0x00 にリセット								
RST_UV = すべての FAULT_UV* レジスタを 0x00 にリセットします。 0 = リセットなし 1 = レジスタを 0x00 にリセット								
RST_OV = すべての FAULT_OV* レジスタを 0x00 にリセットします。 0 = リセットなし 1 = レジスタを 0x00 にリセット								
RST_COMP = すべての FAULT_COMP_* レジスタを 0x00 にリセットします。 0 = リセットなし 1 = レジスタを 0x00 にリセット								
RST_SYS = FAULT_SYS レジスタを 0x00 にリセットします。このビットは 1 が書き込まれた後、0 に自己クリアされます。 0 = リセットしない 1 = 0x00 にリセットする								
RST_PWR = FAULT_PWR1 ~ FAULT_PWR3 レジスタを 0x00 にリセットします。このビットは 1 が書き込まれた後、0 に自己クリアされます。 0 = リセットしない 1 = 0x00 にリセットする								

7.5.4.12.4 FAULT_RST2

アドレス	0x0332							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	RST_OTP_CRC	RST_OTP_DATA	RST_COMM3_FCOMM	RST_COMM3_FTONE	RST_COMM3_HB	RST_COMM2	RST_COMM1
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
RST_OTP_CRC = FAULT_OTP レジスタの [CUST_CRC] および [FACT_CRC] ビットをリセットします。 0 = リセットなし 1 = レジスタを 0x00 にリセットします								
RST_OTP_DATA = FAULT_OTP レジスタ ([SEC_DETECT] および [DED_DETECT] のみ) をリセットします。 0 = リセットなし 1 = レジスタを 0x00 にリセットします								
RST_COMM3_FCOMM FAULT_COMM3[FCOMM_DET] をリセットします。 = 0 = リセットなし 1 = 関連するビットを 0 にリセットします								
RST_COMM3_FTONE FAULT_COMM3[FTONE_DET] をリセットします。 = 0 = リセットなし 1 = 関連するビットを 0 にリセットします								
RST_COMM3_HB = FAULT_COMM3[HB_FAST] および [HB_FAIL] ビットをリセットします。 0 = リセットなし 1 = 関連するビットを 0 にリセットします								
RST_COMM2 = FAULT_COMM2、DEBUG_COML* および DEBUG_COMM_COMH* レジスタをリセットします。 0 = リセットなし 1 = レジスタを 0x00 にリセットします								
RST_COMM1 = FAULT_COMM1 および DEBUG_COMM_UART* レジスタをリセットします。 0 = リセットなし 1 = レジスタを 0x00 にリセットします								

7.5.4.13 故障ステータス

7.5.4.13.1 FAULT_SUMMARY

このレジスタは NFAULT のソフト バージョンです。

アドレス	0x052D							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	FAULT_PROT	FAULT_COMP_ADC	FAULT_OTP	FAULT_COM M	FAULT_OTUT	FAULT_OVUV	FAULT_SYS	FAULT_PWR
リセット	0	0	0	0	0	0	0	0
FAULT_PROT = [MSK_PROT] = 0 で、かつ FAULT_PROT1 または FAULT_PROT2 レジスタ内のいずれかのビットがセットされている場合、このビットがセットされます。 0 = プロテクタなし (OVUV、OTUT コンパレータ) の故障。 1 = プロテクタの故障が検出されました								
FAULT_COMP_ADC = このビットは、[MSK_COMP] = 0 であり、次のいずれかのレジスタが設定される場合に設定されます。 - FAULT_COMP_VCCB1/2 - FAULT_COMP_VCOW1/2 - FAULT_COMP_CBOW1/2 - FAULT_COMP_CBFET1/2 - FAULT_COMP_GPIO - FAULT_COMP_MISC 0 = ADC 比較フォール故障 (つまり、FAULT_COMP_* レジスタは設定されていません)。 1 = ADC 比較故障が検出されました。								

FAULT_OTP = [MSK_OTP] = 0 であり、かつ FAULT_OTP レジスタ ビットのいずれかがセットされる場合、このビットがセットされます。 0 = OTP 関連の故障検出なし、または OTP 故障がマスクされます。 1 = OTP 関連の故障が検出されました。
FAULT_COMM = 以下のいずれかの条件を満たす場合、このビットがセットされます。 • [MSK_COMM1] = 0 で、かつ FAULT_COMM1 レジスタ内のいずれかのビットが設定されています。 • [MSK_COMM2] = 0 であり、FAULT_COMM2 レジスタ ビットのいずれかがセットされます。 • [MSK_COMM3_HB] = 0 で、FAULT_COMM3[HB_FAST] ビットまたは [HB_FAIL] ビットがセットされます。 • [MSK_COMM3_FTONE] = 0 で、FAULT_COMM3[FTONE_DET] がセットされます。 • [MSK_COMM3_FCOMM] = 0 であり、FAULT_COMM3[FCOMM_DET] がセットされている場合。 0 = UART、VIF、FTONE 故障が検出されていないか、UART、VIF、FTONE 故障がマスクされます。 1 = UART、VIF、または UT 故障が検出されます。
FAULT_OTUT = 以下のいずれかの条件を満たす場合、このビットがセットされます。 • [MSK_OT] = 0 かつ、FAULT_OT1 ビットまたは FAULT_OT2 ビットのいずれかがセットされます。 • [MSK_UT] = 0 かつ、FAULT_UT1 ビットまたは FAULT_UT2 ビットのいずれかがセットされます。 0 = OT または UT 故障は検出されていない、あるいは OT および UT 故障がマスクされています。 1 = OT または UT 故障が検出されます
FAULT_OVUV = 以下のいずれかの条件を満たす場合、このビットがセットされます。 • [MSK_OV] = 0 かつ、FAULT_OV1 ビットまたは FAULT_OV2 ビットのいずれかがセットされます。 • [MSK_UV] = 0 で、FAULT_UV1 ビットまたは FAULT_UV2 ビットのいずれかがセットされます。 0 = OV または UV 故障は検出されていない、あるいは OV および UV 故障がマスクされています。 1 = OV または UV 故障が検出されています。
FAULT_SYS = [MSK_SYS] = 0 であり、かつ FAULT_SYS レジスタ ビットのいずれかがセットされる場合、このビットがセットされます。 0 = システム関連の故障は検出されていない、またはシステム故障がマスクされています。 1 = システム関連の故障が検出されました。
FAULT_PWR = [MSK_PWR] = 0 で、かつ FAULT_PWR1 ~ FAULT_PWR3 レジスタ内のいずれかのビットがセットされている場合、このビットがセットされます。 0 = 電源レール関連の故障が検出されないか、電源レールの故障がマスクされます。 1 = 電源レールに関連する故障が検出されました。

7.5.4.13.2 FAULT_COMM1

アドレス	0x0530							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD			UART_TR	UART_RR	UART_RC	COMMCLR_DET	STOP_DET
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
UART_TR = 応答フレームを送信しているときに UART 故障が検出されたことを示します。故障情報の詳細については、DEBUG_UART_RR_TR レジスタを参照してください。 0 = 故障なし 1 = 故障								
UART_RR = 応答フレームの受信時に UART 故障が検出されたことを示します。故障情報の詳細については、DEBUG_UART_RR_TR レジスタを参照してください。 0 = 故障なし 1 = 故障								
UART_RC = コマンド フレーム受信中に UART 故障が検出されたことを示します。故障情報の詳細については、DEBUG_UART_RC レジスタを参照してください。 0 = 故障なし 1 = 故障								

COMMCLR_DET = UART 通信クリア信号が検出されます。アクティブ モードまたはスリープ モードで SLEEPtoACTIVE ping 検出するか、またはアクティブ モードで WAKE ピンを検出すると、このビットも設定されます。
0 = UART クリアなし
1 = UART クリア検出

STOP_DET = 予期しない STOP 条件が受信されたことを示します。アクティブ モードで SLEEPtoACTIVE 信号が検出されると、このビットも設定されます。
0 = 故障なし
1 = 故障

7.5.4.13.3 FAULT_COMM2

アドレス	0x0531							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	COML_TR	COML_RR	COML_RC	COML_BIT	COMH_TR	COMH_RR	COMH_RC	COMH_BIT
リセット	0	0	0	0	0	0	0	0
COML_TR = 応答フレームの送信中に COML のバイトレベルの故障が検出されたことを示します。故障情報の詳細については、DEBUG_COML_RR_TR レジスタを参照してください。 0 = 故障なし 1 = 故障								
COML_RR = 応答フレームの受信中に COML のバイトレベルの故障が検出されたことを示します。故障情報の詳細については、DEBUG_COML_RR_TR レジスタを参照してください。 0 = 故障なし 1 = 故障								
COML_RC = コマンドフレームの受信中に COML のバイトレベルの故障が検出されたことを示します。故障情報の詳細については、DEBUG_COML_RC レジスタを参照してください。 0 = 故障なし 1 = 故障								
COML_BIT = 少なくとも一件のバイトレベルの故障の原因となる COML のビットレベルの故障が検出されたことを示します。故障情報の詳細については、DEBUG_COML_BIT レジスタを参照してください。 0 = 故障なし 1 = 故障								
COMH_TR = 応答フレームの送信中に COMH のバイトレベルの故障が検出されたことを示します。故障情報の詳細については、DEBUG_COMH_RR_TR レジスタを参照してください。 0 = 故障なし 1 = 故障								
COMH_RR = 応答フレームの受信中に COMH のバイトレベルの故障が検出されたことを示します。故障情報の詳細については、DEBUG_COMH_RR_TR レジスタを参照してください。 0 = 故障なし 1 = 故障								
COMH_RC = コマンドフレームの受信中に COMH のバイトレベルの故障が検出されたことを示します。故障情報の詳細については、DEBUG_COMH_RC レジスタを参照してください。 0 = 故障なし 1 = 故障								
COMH_BIT = 少なくとも一件のバイトレベルの故障の原因となる COMH のビットレベルの故障が検出されたことを示します。故障情報の詳細は、DEBUG_COMH_BIT レジスタで確認できます。 0 = 故障なし 1 = 故障								

7.5.4.13.4 FAULT_COMM3

アドレス	0x0532							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD				FCOMM_DET	FTONE_DET	HB_FAIL	HB_FAST
リセット	0	0	0	0	0	0	0	0

RSVD = 予約済み
FCOMM_DET = 上位スタック デバイスのいずれかによってセットされたフォルト ステータス ビットの通信トランザクションを受信しました。 0 = のフォルト ステータスがクリアされ、上位スタック デバイスのいずれからもフォルトが検出されていないことを示します。 1 = フォルト ステータスが、受信通信トランザクションからセットされています。
FTONE_DET = FAULT TONE が受信されたことを示します。検出は、[DIR_SEL] = 0 の場合に COML 側を監視し、その逆の場合も同様に行います。 0 = FAULT TONE が検出されません 1 = FAULT TONE が検出されました
HB_FAIL = 想定時間内に HEARTBEAT が受信されないことを示します。検出は、[DIR_SEL] = 0 の場合に COML 側を監視し、その逆の場合も同様に行います。 0 = フォルトなし 1 = フォルト
HB_FAST = HEARTBEAT の受信頻度が高すぎることを示します。検出は、[DIR_SEL] = 0 の場合に COML 側を監視し、その逆の場合も同様に行います。このビットは、[FTONE_DET] = 1 の場合にもセットされることがあります。これは、前の HEARTBEAT からどれくらい早く FAULT TONE が検出されるかによって異なります 0 = フォルトなし 1 = フォルト

7.5.4.13.5 FAULT_OTP

アドレス	0x0535							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	DED_DET	SEC_DET	CUST_CRC	FACT_CRC	CUSTLDERR	FACTLDERR	GBLOVERR
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
DED_DET = OTP ロード中に DED エラーが発生したことを示します。(エンコード中は不明) 0 = フォルトなし 1 = フォルト								
SEC_DET = OTP ロード中に SEC エラーが発生したことを示します。(エンコード中は不明) 0 = フォルトなし 1 = フォルト								
CUST_CRC = カスタムレジスタ空間で CRC エラーが発生したことを示します。 0 = フォルトなし 1 = フォルト								
FACT_CRC = ファクトリレジスタ空間で CRC エラーが発生したことを示します。 0 = フォルトなし 1 = フォルト								
CUSTLDERR = カスタム空間の OTP ロード プロセス中のエラーを示します。特定のエラー条件について、OTP_CUST1_STAT および OTP_CUST2_STAT レジスタを読み取ります。このエラー ビットは、次のいずれかが該当する場合にセットされます。 - カスタム OTP ページがプログラムされていない。 - カスタム OTP のトップ ページに [FMterr] が表示される。 - カスタム OTP のトップ ページが [TRY] = 1 で、[PROGOK] でない。 - 選択したカスタム OTP ページで LOADERR が発生した。 このエラー発生時にデバイスから受信した情報は、信頼できるものではありません。 [RST_OTP_DATA] = 1 を書き込んでも、このビットはリセットされません。このエラーを再確認するには、デバイスリセットまたは HW_RESET が必要です。 0 = フォルトなし 1 = フォルト								

FACTLDERR = ファクトリ空間の OTP ロード プロセス中のエラーを示します。このエラー ビットは、次のいずれかが該当する場合にセットされます。

- ファクトリ OTP ページがプログラムされていない。
- ファクトリ OTP のトップ ページに [FMterr] が表示される。
- ファクトリ OTP のトップ ページが [TRY] = 1 で、[PROGOK] でない。
- 選択したファクトリ OTP ページで LOADERR が発生した。

このエラー発生時にデバイスから受信した情報は、信頼できるものではありません。

[RST_OTP_DATA] = 1 を書き込んでも、このビットはリセットされません。このエラーを再確認するには、デバイス リセットまたは HW_RESET が必要です。

0 = フォルトなし

1 = フォルト

GBLOVERR = いずれかの OTP ページで過電圧エラーが検出されたことを示します。OTP_CUST1_STAT および OTP_CUST2_STAT レジスタを読み取って、特定のページを決定します。このエラー発生時にデバイスから受信した情報は、信頼できるものではありません。

[RST_OTP_DATA] = 1 を書き込んでも、このビットはリセットされません。このビットをクリアするには、デバイス リセットまたは HW_RESET が必要です。別のページでプログラミング手順を繰り返すと (可能な場合)、デバイスは強制的に状態を再評価します。

0 = フォルトなし

1 = フォルト

7.5.4.13.6 FAULT_SYS

アドレス	0x0536							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	LFO	RSVD	GPIO	DRST	CTL	CTS	TSHUT	TWARN
リセット	0	0	0	0	0	0	0	0
LFO = LFO 周波数が期待範囲外であることを示します 0 = フォルト検出なし 1 = フォルト検出あり								
RSVD = 予約済み								
GPIO = GPIO_CONF1[FAULT_IN_EN] = 1 のとき、GPIO8 がフォルト入力を検出したことを示します。 0 = フォルト検出なし 1 = フォルト入力検出あり								
DRST = デジタル リセットが発生したことを示します。 0 = デジタル リセットなし 1 = デジタル リセット発生								
CTL = 長い通信タイムアウトが発生したことを示します。デバイス アクションは [CTL_ACT] によって設定されます。このアクションがデバイス シャットダウンに設定されている場合、このビットは監視不可。 0 = フォルトなし 1 = 長い通信タイムアウトが発生。長いタイムアウト アクションがスリープに設定されている場合に監視可能。								
CTS = 短い通信タイムアウトが発生したことを示します。デバイスからのアクションはありません。これは、長い通信タイムアウトになる前のシステムへのアラートとして使えます。 0 = フォルトなし 1 = 短い通信タイムアウトが発生								
TSHUT = 以前のシャットダウンがサーマル シャットダウンで、ダイ温度 (die temp 2) がサーマル シャットダウン スレッショルドよりも高くなっていることを示しています。 0 = ダイ温度がサーマル シャットダウン スレッショルドを下回っている 1 = 以前のシャットダウンはサーマル シャットダウンだった								
TWARN = ダイ温度 (die temp 2) が TWARN_THR[1:0] 設定よりも高いことを示します。その時点でデバイスは何のアクション動作も実行しません。これは、ダイ温度がサーマル シャットダウンに近づいていることを知らせる警告信号として使えます。 0 = ダイ温度が TWARN_THR[1:0] より低い 1 = ダイ温度が TWARN_THR[1:0] より高い								

7.5.4.13.7 FAULT_PROT1

アドレス	0x053A							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD						TPARITY_FAIL	VPARITY_FAIL
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
TPARITY_FAIL = 次の OTUT 関連の構成のいずれかでパリティ フォルトが検出されたことを示します。 • OT または UT スレッショルド設定 • [OTUT_MODE1:0] 設定 • GPIO_CONF1 ~ 4 設定 0 = フォルトなし 1 = フォルト								
VPARITY_FAIL = 次の OVUV 関連の構成のいずれかでパリティ フォルトが検出されたことを示します。 • OV または UV スレッショルド設定 • [OVUV_MODE1:0] 設定 • [NUM_CELL3:0] 設定 0 = フォルトなし 1 = フォルト								

7.5.4.13.8 FAULT_PROT2

アドレス	0x053B							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	BIST_ABORT	TPATH_FAIL	VPATH_FAIL	UTCOMP_FAIL	OTCOMP_FAIL	OVCOMP_FAIL	UVCOMP_FAIL
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
BIST_ABORT = OVUV または OTUT の BIST 実行が中止されたことを示します。 0 = BIST が正常に完了します 1 = BIST を中止します								
TPATH_FAIL = BIST テスト中に、OTUT 信号経路で故障が検出されたことを示します。 0 = 故障なし 1 = 故障								
VPATH_FAIL = BIST テスト中に、OVUV 信号経路で故障が検出されたことを示します。 0 = 故障なし 1 = 故障								
UTCOMP_FAIL = BIST テスト中に UT コンパレータの故障が検出されたことを示します。 0 = 故障なし 1 = 故障								
OTCOMP_FAIL = BIST テスト中に OT コンパレータの故障が検出されたことを示します。 0 = 故障なし 1 = 故障								
OVCOMP_FAIL = BIST テスト中に OV コンパレータの故障が検出されたことを示します。 0 = 故障なし 1 = 故障								
UVCOMP_FAIL = BIST テスト中に UV コンパレータの故障が検出されたことを示します。 0 = 故障なし 1 = 故障								

7.5.4.13.9 FAULT_OV1

アドレス	0x053C							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	OV16_DET	OV15_DET	OV14_DET	OV13_DET	OV12_DET	OV11_DET	OV10_DET	OV9_DET
リセット	0	0	0	0	0	0	0	0
OV9_DET ~ OV16_DET = Cell9 ~ Cell16 の OV フォルト ステータス、結果は OV コンパレータの検出に基づきます。								

7.5.4.13.10 FAULT_OV2

アドレス	0x053D							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	OV8_DET	OV7_DET	OV6_DET	OV5_DET	OV4_DET	OV3_DET	OV2_DET	OV1_DET
リセット	0	0	0	0	0	0	0	0
OV1_DET ~ OV8_DET = Cell1 ~ Cell8 の OV フォルト ステータス、結果は OV コンパレータの検出に基づきます。								

7.5.4.13.11 FAULT_UV1

アドレス	0x053E							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	UV16_DET	UV15_DET	UV14_DET	UV13_DET	UV12_DET	UV11_DET	UV10_DET	UV9_DET
リセット	0	0	0	0	0	0	0	0
UV9_DET ~ UV16_DET = Cell9 ~ Cell16 の UV 故障ステータス、結果は UV コンパレータの検出に基づきます。								

7.5.4.13.12 FAULT_UV2

アドレス	0x053F							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	UV8_DET	UV7_DET	UV6_DET	UV5_DET	UV4_DET	UV3_DET	UV2_DET	UV1_DET
リセット	0	0	0	0	0	0	0	0
UV1_DET ~ UV8_DET = Cell1 ~ Cell8 の UV フォルト ステータス、結果は UV コンパレータの検出に基づきます。								

7.5.4.13.13 FAULT_OT

アドレス	0x0540							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	OT8_DET	OT7_DET	OT6_DET	OT5_DET	OT4_DET	OT3_DET	OT2_DET	OT1_DET
リセット	0	0	0	0	0	0	0	0
OT1_DET ~ OT8_DET = GPIO1 ~ GPIO8 の OT 故障ステータス、結果は OT コンパレータの検出に基づきます。								

7.5.4.13.14 FAULT_UT

アドレス	0x0541							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	UT8_DET	UT7_DET	UT6_DET	UT5_DET	UT4_DET	UT3_DET	UT2_DET	UT1_DET
リセット	0	0	0	0	0	0	0	0

UT1_DET ~ UT8_DET = GPIO1 ~ GPIO8 の UT 故障ステータス、結果は UT コンパレータの検出に基づきます。

7.5.4.13.15 FAULT_COMP_GPIO

アドレス	0x0543							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	GPIO8_FAIL	GPIO7_FAIL	GPIO6_FAIL	GPIO5_FAIL	GPIO4_FAIL	GPIO3_FAIL	GPIO2_FAIL	GPIO1_FAIL
リセット	0	0	0	0	0	0	0	0
GPIO1_FAIL ~ GPIO8_FAIL = GPIO1 ~ GPIO8 の ADC 対 AUX ADC GPIO 測定診断結果を示します。 GPIO8_FAIL = 0 = 診断通過 1 = 診断失敗。GPIO のメイン ADC 対 AUX ADC からの測定値が [GPIO_THR2:0] より大きい								

7.5.4.13.16 FAULT_COMP_VCCB1

アドレス	0x0545							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CELL16_FAIL	CELL15_FAIL	CELL14_FAIL	CELL13_FAIL	CELL12_FAIL	CELL11_FAIL	CELL10_FAIL	CELL9_FAIL
リセット	0	0	0	0	0	0	0	0
CELL9_FAIL ~ CELL16_FAIL = cell9 ~ cell16 の電圧診断結果を示します。 CELL16_FAIL = 0 = 診断通過 1 = 診断失敗。VCELL 対 AUXCELL の測定値が [VCCB_THR4:0] より大きい								

7.5.4.13.17 FAULT_COMP_VCCB2

アドレス	0x0546							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CELL8_FAIL	CELL7_FAIL	CELL6_FAIL	CELL5_FAIL	CELL4_FAIL	CELL3_FAIL	CELL2_FAIL	CELL1_FAIL
リセット	0	0	0	0	0	0	0	0
CELL1_FAIL ~ CELL8_FAIL = cell1 ~ cell8 の電圧診断結果を示します。 CELL8_FAIL = 0 = 診断通過 1 = 診断失敗。VCELL 対 AUXCELL の測定値が [VCCB_THR4:0] より大きい								

7.5.4.13.18 FAULT_COMP_VCOW1

アドレス	0x0548							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	VCOW16_FAIL	VCOW15_FAIL	VCOW14_FAIL	VCOW13_FAIL	VCOW12_FAIL	VCOW11_FAIL	VCOW10_FAIL	VCOW9_FAIL
リセット	0	0	0	0	0	0	0	0
VCOW9_FAIL ~ VCOW16_FAIL = cell9 ~ cell16 の VC OW 診断結果を示します。 VCOW16_FAIL = 0 = 診断通過 1 = 診断失敗。VCELL 測定が [OW_THR3:0] より小さい								

7.5.4.13.19 FAULT_COMP_VCOW2

アドレス	0x0549							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	VCOW8_FAIL	VCOW7_FAIL	VCOW6_FAIL	VCOW5_FAIL	VCOW4_FAIL	VCOW3_FAIL	VCOW2_FAIL	VCOW1_FAIL

リセット	0	0	0	0	0	0	0	0
VCOW1_FAIL ~ cell1 ~ cell8 の VC OW 診断結果を示します。 VCOW8_FAIL = 0 = 診断通過 1 = 診断失敗。VCELL 測定が [OW_THR3:0] より小さい								

7.5.4.13.20 FAULT_COMP_CBOW1

アドレス	0x054B							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CBOW16_FAIL	CBOW15_FAIL	CBOW14_FAIL	CBOW13_FAIL	CBOW12_FAIL	CBOW11_FAIL	CBOW10_FAIL	CBOW9_FAIL
リセット	0	0	0	0	0	0	0	0
CBOW9_FAIL ~ CB FET9 ~ CB FET16 の CB OW 診断結果。 CBOW16_FAIL = 0 = 診断通過 1 = 診断失敗								

7.5.4.13.21 FAULT_COMP_CBOW2

アドレス	0x054C							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CBOW8_FAIL	CBOW7_FAIL	CBOW6_FAIL	CBOW5_FAIL	CBOW4_FAIL	CBOW3_FAIL	CBOW2_FAIL	CBOW1_FAIL
リセット	0	0	0	0	0	0	0	0
CBOW1_FAIL ~ CB FET1 ~ CB FET8 の CB OW 診断結果。 CBOW8_FAIL = 0 = 診断通過 1 = 診断失敗								

7.5.4.13.22 FAULT_COMP_CBFET1

アドレス	0x054E							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CBFET16_FAIL	CBFET15_FAIL	CBFET14_FAIL	CBFET13_FAIL	CBFET12_FAIL	CBFET11_FAIL	CBFET10_FAIL	CBFET9_FAIL
リセット	0	0	0	0	0	0	0	0
CBFET9_FAIL ~ CB FET9 ~ CB FET16 に対する CB FET 診断の結果。 CBFET16_FAIL = 0 = 診断通過 1 = 診断失敗								

7.5.4.13.23 FAULT_COMP_CBFET2

アドレス	0x054F							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CBFET8_FAIL	CBFET7_FAIL	CBFET6_FAIL	CBFET5_FAIL	CBFET4_FAIL	CBFET3_FAIL	CBFET2_FAIL	CBFET1_FAIL
リセット	0	0	0	0	0	0	0	0
CBFET1_FAIL ~ CB FET1 ~ CB FET8 に対する CB FET 診断の結果。 CBFET8_FAIL = 0 = 診断通過 1 = 診断失敗								

7.5.4.13.24 FAULT_COMP_MISC

アドレス	0x0550							
------	--------	--	--	--	--	--	--	--

読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD						COMP_ADC_ABORT	LPF_FAIL
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
COMP_ADC_ABORT = 直近に実行された ADC 比較診断が、不適切な設定により中止されたことを示します。ADC 比較診断のいずれかが開始された場合にのみ有効です。 0 = ADC 比較診断を実行して完了 1 = ADC 比較診断を中止								
LPF_FAIL = LPF 診断結果を示します。 0 = 診断通過 1 = 診断失敗								

7.5.4.13.25 FAULT_PWR1

アドレス	0x0552							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CVSS_OPE N	DVSS_OPEN	REFHM_OPE N	CVDD_UV	CVDD_OV	DVDD_OV	AVDD_OSC	AVDD_OV
リセット	0	0	0	0	0	0	0	0
CVSS_OPEN = CVSS ピンの開放状態を示します。 0 = フォルトなし 1 = フォルト								
DVSS_OPEN = DVSS ピンの開放状態を示します。 0 = フォルトなし 1 = フォルト								
REFHM_OPEN = REFHM ピンの開放状態を示します。 0 = フォルトなし 1 = フォルト								
CVDD_UV = CVDD LDO の低電圧フォルトを示します。 0 = フォルトなし 1 = フォルト								
CVDD_OV = CVDD LDO の過電圧フォルトを示します。 0 = フォルトなし 1 = フォルト								
DVDD_OV = DVDD LDO の過電圧フォルトを示します。 0 = フォルトなし 1 = フォルト								
AVDD_OSC = AVDD が許容可能な制限値を超えて発振していることを示します。 0 = フォルトなし 1 = フォルト SLEEP モードから ACTIVE モードに遷移するときに、このフォルトがトリガされる可能性があります。したがって、このフォルトがセットされている場合はそのフォルトを無視してフォルトをリセットしてください。								
AVDD_OV = AVDD LDO の過電圧フォルトを示します。 0 = フォルトなし 1 = フォルト								

7.5.4.13.26 FAULT_PWR2

アドレス	0x0553							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	PWRBIST_FAI L	RSVD	REFH_OSC	NEG5V_UV	TSREF_OSC	TSREF_UV	TSREF_OV

リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
PWRBIST_FAIL = 電源の BIST 実行で障害が発生したことを示します。 0 = フォルトなし 1 = フォルト								
REFH_OSC = REGH リファレンスが許容可能な制限値を超えて発振していることを示します。 0 = フォルトなし 1 = フォルト								
NEG5V_UV = NEG5V チャージ ポンプの低電圧フォルトを示します。 0 = フォルトなし 1 = フォルト								
TSREF_OSC = TSREF が許容可能な制限値を超えて発振していることを示します。 0 = フォルトなし 1 = フォルト								
TSREF_UV = TSREF LDO の低電圧フォルトを示します。 0 = フォルトなし 1 = フォルト								
TSREF_OV = TSREF LDO の過電圧フォルトを示します。 0 = フォルトなし 1 = フォルト								

7.5.4.13.27 FAULT_PWR3

アドレス	0x0554							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD					RSVD	RSVD	AVDDUV_DRST
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
AVDDUV_DRST = AVDD UV が検出されたことによってデジタル リセットが発生したことを示します。これは、SHUTDOWN または HW RESET イベント後にデバイスがウェークアップしたときにも適用されます。 0 = リセットなし 1 = AVDD UV が原因でデジタル リセットが発生								

7.5.4.14 デバッグ制御とステータス

7.5.4.14.1 DEBUG_CTRL_UNLOCK

アドレス	0x0700							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CODE[7:0]							
リセット	0	0	0	0	0	0	0	0
CODE[7:0] = DEBUG_COMM_CTRL* レジスタの設定を有効にするには、このレジスタにロック解除コード (0xA5) を書き込みます。ロック解除コード以外の値を使用すると、DEBUG_COMM_CTRL* 設定におけるすべての効果が無効化され、デバイスの通常の設定に戻ります。								

7.5.4.14.2 DEBUG_COMM_CTRL1

アドレス	0x0701							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD			UART_BAUD	UART_MIRROR_EN	UART_TX_EN	USER_UART_EN	USER_DAISSY_EN
リセット	0	0	0	0	0	1	0	0
RSVD = 予約済み								

UART_BAUD =	このビットにより、UART のボーレートが 250kbps に変更されます。VIF デバッグに便利です。システムがデジタイゼーション内のすべてのデバイスを 250kbps のボーレートに設定すると、デバッグ時の VIF 通信の信頼性を向上させるため、VIF 経由で返される応答バイトの速度を低下させます。 0 = デフォルト 1Mb/s 1 = 250kb/s
UART_MIRROR_EN =	このビットは、スタック VIF 通信を UART ヘミラー出力する機能を有効にします。このデバッグ機能を使用するには、まず [UARTTX_EN] を 1 に設定して、スタック デバイスの UART TX を有効にする必要があります。 0 = 無効 1 = 有効 注: このテスト モードでは、スタック デバイスの COMH/COML で受信した応答フレームのみをミラー出力します。受信したコマンド フレームや、デバイスから生成されたローカル生成応答フレームはミラーリングしません。
UART_TX_EN =	スタック デバイスは、デフォルトでは、UART TX が無効になっています。このビットは、スタック デバイス上で UART 経由の読み書きを可能にするために UART TX を有効化します。 0 = 無効 1 = 有効
USER_UART_EN =	このビットは、デバッグ UART 制御ビット [UART_TX_EN] と [UART_MIRROR_EN] を有効にします。 0 = 上記のビットの設定は影響しません。 1 = デバイスは、[UART_TX_EN] および [UART_MIRROR_EN] 設定ごとに UART を構成します
USER_DAI5Y_EN =	このビットは、DEBUG_COMM_CTRL2 レジスタにおけるデバッグ用 COML および COMH 制御ビットを有効化します。 0 の場合、DEBUG_COMM_CTRL2 レジスタの設定は無効となり、影響を及ぼしません。 1 = デバイスは、DEBUG_COMM_CTRL2 レジスタ設定に従って、COML および COMH を構成します。

7.5.4.14.3 DEBUG_COMM_CTRL2

アドレス	0x0702							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD				COML_TX_EN	COML_RX_EN	COMH_TX_EN	COMH_RX_EN
リセット	0	0	0	0	1	1	1	1
RSVD = 予約済み								
COML_TX_EN = COML トランスミッタを有効化します。 0 = 無効 1 = 有効								
COML_RX_EN = COML レシーバを有効にします。 0 = 無効 1 = 有効								
COMH_TX_EN = COMH トランスミッタを有効化します。 0 = 無効 1 = 有効								
COMH_RX_EN = COMH レシーバを有効にします。 0 = 無効 1 = 有効								

7.5.4.14.4 DEBUG_COMM_STAT

アドレス	0x0780							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD		HW_UART_DRV	HW_DAI5Y_DRV	COML_TX_ON	COML_RX_ON	COMH_TX_ON	COMH_RX_ON
リセット (ベース)	0	0	1	1	0	0	1	1
リセット (スタック)	0	0	1	1	1	1	1	1
RSVD = 予約済み								

HW_UART_DRV = UART TX がデバイス自身によって制御されるか、またはマイコンによって制御されるかを示します。デバイスを「スタック」として構成した後、デフォルトで UART TX が無効になっているスタック デバイスに適用されます。 0 = DEBUG_COMM_CTRL1 [USER_UART_EN] = 1。UART TX は、DEBUG_COMM_CTRL2 レジスタにより手動制御されます。 1 = UART TX は、このデバイスによって制御されます
HW_DAISY_DRV = COML と COMH がデバイス自体またはマイコン制御によって制御されることを示します。 0 = DEBUG_COMM_CTRL1 [USER_DAISY_EN] = 1。COML および COMH は、DEBUG_COMM_CTRL2 レジスタにより手動制御されます。 1 = COML および COMH はこのデバイスによって制御されます
COML_TX_ON = に、現在の COML トランスミッタのステータスを示します。0 = オフ 1 = オン
COML_RX_ON = に、現在の COML レシーバのステータスを示します。0 = オフ 1 = オン
COMH_TX_ON = に、現在の COMH トランスミッタのステータスを示します。0 = オフ 1 = オン
COMH_RX_ON = に、現在の COMH レシーバのステータスを示します。0 = オフ 1 = オン

7.5.4.14.5 DEBUG_UART_RC

アドレス	0x0781							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD		RC_IERR	RC_TXDIS	RC_SOF	RC_BYTE_ERR	RC_UNEXP	RC_CRC
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
RC_IERR = 受信されたコマンドフレームの初期化バイト エラーを検出します。これは、フレーム初期化バイトにストップ エラーがある、フレーム タイプが誤って設定されている、または予約済みのコマンド タイプ ビットが設定されていることが原因である可能性があります。これ以降のすべてのバイトは、通信クリアが受信されるまで無視されます。通信フレームが無視された場合、デバイスはフレームに対して通信エラーの検出を行わず、またフレーム カウンタの有効フレーム数や破棄フレーム数にも計上しません。 0 = エラーなし 1 = エラーが検出されました								
RC_TXDIS = UART TX が無効化されているにもかかわらず、ホスト マイコンがデバイスからデータを読み出すコマンドを発行したことを検出します。 0 = エラーなし 1 = エラーが検出されました								
RC_SOF = フレーム開始 (SOF) エラーを検出します。つまり、現在のフレームの処理が完了する前に、UART CLEAR コマンドが UART 経由で受信されたことを意味します。 0 = エラーなし 1 = エラーが検出されました								
RC_BYTE_ERR = 受信コマンドフレームの初期化バイトのエラー以外のバイト エラーを検出します。これ以降のすべてのバイトは、通信クリアが受信されるまで無視されます。通信フレームが無視された場合、デバイスはフレームに対して通信エラーの検出を行わず、またフレーム カウンタの有効フレーム数や破棄フレーム数にも計上しません。 0 = エラーなし 1 = エラーが検出されました								
RC_UNEXP = スタック デバイス (すなわち [STACK_DEV] = 1 かつ [MULTIDROP] = 0) の場合、UART インターフェイス経由でスタック コマンドまたはブロードキャスト コマンドを受信することは想定されていません。等しければ、これはエラーとして検出され、このビットが設定されます。デバイスが [MULTIDROP] = 1 に設定されている場合、このビットはセットされません。 0 = エラーなし 1 = エラーが検出されました								

RC_CRC = UART から受信したコマンド フレームの CRC エラーを検出します。フレームは廃棄されたフレームと見なされます。
0 = エラーなし
1 = エラーが検出されました

7.5.4.14.6 DEBUG_UART_RR_TR

アドレス	0x0782							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD			TR_SOF	TR_WAIT	RR_SOF	RR_BYTE_ERR	RR_CRC
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
TR_SOF = デバイスがデータをまだ送信している間に UART CLEAR を受信したことを示します。 0 = エラーなし 1 = エラー検出								
TR_WAIT = デバイスは応答送信の順番を待機していますが、以下のいずれかの原因でその動作は中断されます。 • デバイスが UART CLEAR 信号を受信した • デバイスが新しいコマンドを受信した このビットは、ブロードキャストまたはスタック読み取りコマンドが発行された場合に有効です。 0 = エラーなし 1 = エラー検出								
RR_SOF = 応答フレームの受信中に UART CLEAR を受信したことを示します。UART 上の応答フレームは、マルチドロップ モードでのみ適用されます。 0 = エラーなし 1 = エラー検出								
RR_BYTE_ERR = 受信応答フレーム内で、初期化バイト以外のバイト エラーを検出しました。これ以降のすべてのバイトは、COMM CLEAR を受信するまで無視されます。 通信フレームが無視された場合、そのフレームについては通信エラーの検出は行われず、フレーム カウンタにおいても有効と破棄のいずれにもカウントされません。 0 = エラーなし 1 = エラー検出								
RR_CRC = UART から受信した応答フレームの CRC エラーを検出します。フレームは破棄フレームと見なされます。 0 = エラーなし 1 = エラー検出								

7.5.4.14.7 DEBUG_COMH_BIT

アドレス	0x0783							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD			PERR	BERR_TAG	SYNC2	SYNC1	ビット
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
PERR = 受信通信フレームの異常を検出したので、デバイスは [BERR] ビットがセットされた状態で通信フレームを転送します。このレジスタに何らかのエラー ビットがセットされている場合、[PERR] ビットもセットされます。ただし、レジスタに分類されていない異常でも [PERR] ビットがセットされる場合があります (例えば、データ欠落やデータ順序の誤りの検出)。 0 = 通信エラーは未検出。転送される通信フレームに [BERR] は付加されません。 1 = 受信通信フレームの異常を検出。転送された通信に [BERR] がアサートされます。								
BERR_TAG = 受信した通信に [BERR]= 1 のタグが付いたときにセットされます。 0 = 受信通信フレームに [BERR] がない 1 = 受信通信フレームに [BERR] がある								
SYNC2 = プリアンブル ハーフビットおよび [SYNC1:0] ビットを検出。デバイスはこれらのビットから抽出されたタイミング情報を使用していますが、有効なデータを検出できません。 0 = エラーなし 1 = エラー検出								

SYNC1 = プリアンプのハーフビットまたはどちらかの [SYNC1:0] ビットを検出できません。ビットが欠落している、または信号が歪んでいるため検出できない可能性があります。 0 = エラーなし 1 = エラー検出
BIT = デバイスはデータビットを検出していますが、1 か 0 かを確定するにはサンプル数が不足しています。 0 = エラーなし 1 = エラー検出

7.5.4.14.8 DEBUG_COMH_RC

アドレス	0x0784							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD		RC_IERR	RC_TXDIS	RC_SOF	RC_BYTE_ERR	RC_UNEXP	RC_CRC
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
RC_IERR = 受信されたコマンドフレームの初期化バイト エラーを検出します。これは、フレーム初期化バイトが期待されているにもかかわらず開始フレーム (SOF) ビットがセットされていない場合や、無効なフレーム タイプが選択されている場合など、バイトのフォーマットが不正であることが原因で発生する可能性があります。COMH/COML で受信されたバイトはスタック上に伝搬されるため、上位スタックのデバイスもこのエラーを検出する可能性があります。 その後にくるすべてのバイトは、SOF ビットがセットされたバイトを受信するまで無視されます。 通信フレームが無視された場合、デバイスはフレームに対して通信エラーの検出を行わず、またフレーム カウンタの有効フレーム数や破棄フレーム数にも計上しません。 0 = エラーなし 1 = エラーが検出されました								
RC_TXDIS = [DIR_SEL] = 1 のとき有効です。デバイスは COMH TX が無効になっていることを検出したにもかかわらず、データ読み取りコマンド (つまり、データ送信を要求するコマンド) を受信したことを示します。コマンド フレームは廃棄フレームとしてカウントされます。 0 = エラーなし 1 = エラーが検出されました								
RC_SOF = [DIR_SEL] = 1 のとき有効です。COMH のフレーム開始 (SOF) エラーを検出します。SOF ビットは初期化フレームでのみ設定され、予想外にも現在のフレームでは SOF ビットが設定されます。 0 = エラーなし 1 = エラーが検出されました								
RC_BYTE_ERR = [DIR_SEL] = 1 のとき有効です。受信したコマンドフレーム内で、初期化バイトのエラーを除く何らかのバイト エラーが検出されたことを示します。このエラーは、DEBUG_COMMH_BIT レジスタで設定された一つまたは複数のエラービットをトリガできます。 0 = エラーなし 1 = エラーが検出されました								
RC_UNEXP = [DIR_SEL] = 0 で、デバイスは COMH から無効な条件であるコマンドフレームを受信すると、このエラー ビットを設定します。 0 = エラーなし 1 = エラーが検出されました								
RC_CRC = CRC エラーにより、一つ以上の COMH コマンドフレームが破棄されたことを示します。フレーム内のその他のエラーは、フレームが廃棄されたため示されません。 0 = エラーなし 1 = エラーが検出されました								

7.5.4.14.9 DEBUG_COMH_RR_TR

アドレス	0x0785							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD		TR_WAIT	RR_TXDIS	RR_SOF	RR_BYTE_ERR	RR_UNEXP	RR_CRC
リセット	0	0	0	0	0	0	0	0

RSVD = 予約済み
TR_WAIT = デバイスは応答送信の順番を待機していますが、新しいコマンドを受信したため、その動作を中断します。 このビットは、ブロードキャストまたはスタック読み取りコマンドが発行された場合に有効です。 0 = エラーなし 1 = エラー検出
RR_TXDIS = [DIR_SEL] = 0 のときに有効。デバイスは応答を受信しますが、 COMH TX が無効になっているため、次のデバイスへの送信に失敗します。フレームは、破棄フレームとしてカウントされます。 0 = エラーなし 1 = エラー検出
RR_SOF = [DIR_SEL] = 0 のときに有効です。 COMH のフレーム開始 (SOF) エラーを検出します。 SOF ビットは初期化フレーム内でのみセットされますが、現在のフレームでは予期しない SOF ビットがセットされています。 0 = エラーなし 1 = エラー検出
RR_BYTE_ERR = [DIR_SEL] = 0 のときに有効です。受信応答フレーム内で、初期化バイト以外のバイト エラーを検出しました。このエラーは、 DEBUG_COMMH_BIT レジスタにセットされた 1 つまたは複数のエラー ビットをトリガする場合があります。 0 = エラーなし 1 = エラー検出
RR_UNEXP = [DIR_SEL] = 1 の状態であるにもかかわらず、デバイスが COMH から応答フレームを受信した場合 (これは不正な状態であり、このエラー ビットがセットされます)。 0 = エラーなし 1 = エラー検出
RR_CRC = CRC エラーにより 1 つ以上の COMH 応答フレームが破棄されたことを示します。フレームが破棄されているため、その他の大半のエラーは表示されません。 CRC の最終バイトで [RR_BYTE_ERR] が観測されると、 CRC と BERR の両方が表示されます。 0 = エラーなし 1 = エラー検出

7.5.4.14.10 **DEBUG_COML_BIT**

アドレス	0x0786							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD			PERR	BERR_TAG	SYNC2	SYNC1	ビット
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
PERR = 受信した通信フレームの異常を検出すると、送信する通信フレームの BERR ビットがセットされます。このレジスタにエラービットが設定されている場合、 [PERR] ビットもセットされます。ただし、このレジスタで分類されていない異常であっても、 [PERR] ビットがセットされる場合があります (例えば、データの欠落やデータ順序の誤りを検出した場合)。 0 = 通信エラーが検出されませんでした。転送される通信フレームに BERR が挿入されていません 1 = 受信通信フレームの異常を検出しました。転送される通信に対して BERR がアサートされます。								
BERR_TAG = 受信した通信が BERR でタグ付けされたときに設定されます。 0 = 受信通信フレームに BERR がありません 1 = 受信通信フレームに BERR があります								
SYNC2 = プリアンブル ハーフビットおよび [SYNC1:0] ビットが検出されます。デバイスはこれらのビットから抽出したタイミング情報を使用していますが、有効なデータを検出できません。 0 = エラーなし 1 = エラーが検出されました								
SYNC1 = プリアンブルのハーフビットまたは [SYNC1:0] ビットのいずれかを検出できません。ビットが欠落しているか、信号が歪んでいるため検出できない可能性があります。 0 = エラーなし 1 = エラーが検出されました								
BIT = デバイスがデータビットを検出しました。ただし、検出サンプル数が十分でないため、1 または 0 を確実に判定することができません。 0 = エラーなし 1 = エラーが検出されました								

7.5.4.14.11 DEBUG_COML_RC

アドレス	0x0787							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD		RC_IERR	RC_TXDIS	RC_SOF	RC_BYTE_ERR	RC_UNEXP	RC_CRC
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
RC_IERR = 受信されたコマンドフレームで検出された初期化バイトエラー。原因はフレーム初期化バイトなどのバイトのフォーマットが不適切であることが想定されますが、フレーム開始 (SOF) ビットが設定されていないか、無効なフレームタイプが選択されている可能性もあります。 COMH/COML で受信されたバイトはスタック上に伝搬されるため、上位スタックのデバイスでもこのエラーが検出される場合があります。これ以降のすべてのバイトは、 SOF ビットが受信されるまで無視されます。通信フレームが無視された場合、そのフレームについては通信エラーの検出は行われず、フレームカウンタにおいても有効と破棄のいずれにもカウントされません。 0 = エラー未検出 1 = エラー検出								
RC_TXDIS = [DIR_SEL] = 0 のとき有効です。 COML TX が無効化されているにもかかわらず、デバイスがデータ読み出しコマンド (すなわちデータ送信要求) を受信した場合、コマンドフレームは、破棄フレームとしてカウントされます。 0 = エラーなし 1 = エラー検出								
RC_SOF = [DIR_SEL] = 0 のとき有効です。 COML のフレーム開始 (SOF) エラーを検出します。 SOF ビットは初期化フレーム内でのみセットされますが、現在のフレームでは予期しない SOF ビットがセットされています。 0 = エラーなし 1 = エラー検出								
RC_BYTE_ERR = [DIR_SEL] = 0 のとき有効です。受信コマンドフレーム内で、初期化バイト以外のバイトエラーを検出しました。このエラーは、 DEBUG_COMML_BIT レジスタにセットされた 1 つまたは複数のエラービットをトリガする場合があります。 0 = エラーなし 1 = エラー検出								
RC_UNEXP = [DIR_SEL] = 1 の状態であるにもかかわらず、デバイスが COML からコマンドフレームを受信した場合 (これは不正な状態であり、このエラービットがセットされます)。 0 = エラーなし 1 = エラー検出								
RC_CRC = CRC エラーにより 1 つ以上の COML コマンドフレームが破棄されたことを示します。フレームが破棄されているため、その他のエラーは表示されません。 0 = エラーなし 1 = エラー検出								

7.5.4.14.12 DEBUG_COML_RR_TR

アドレス	0x0788							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD		TR_WAIT	RR_TXDIS	RR_SOF	RR_BYTE_ERR	RR_UNEXP	RR_CRC
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
TR_WAIT = デバイスは応答送信の順番を待機していますが、新しいコマンドを受信したため、その動作を中断します。このビットは、ブロードキャストまたはスタック読み取りコマンドが発行された場合に有効です。 0 = エラーなし 1 = エラーが検出されました								
RR_TXDIS = [DIR_SEL] = 1 のときに有効。デバイスは応答を受信しますが、 COML TX が無効になっているため、次のデバイスへの送信に失敗します。フレームは、破棄フレームとしてカウントされます。 0 = エラーなし 1 = エラーが検出されました								

RR_SOF = [DIR_SEL] = 1 のとき有効です。COML のフレーム開始 (SOF) エラーを検出します。SOF ビットは初期化フレームでのみ設定され、予想外にも現在のフレームでは SOF ビットが設定されます。 0 = エラーなし 1 = エラーが検出されました
RR_BYTE_ERR = [DIR_SEL] = 1 のとき有効です。受信応答フレーム内で、初期化バイト以外のバイト エラーを検出しました。このエラーは、DEBUG_COMML_BIT レジスタに設定された一つまたは複数のエラー ビットをトリガする場合があります。 0 = エラーなし 1 = エラーが検出されました
RR_UNEXP = [DIR_SEL] = 0 の状態であるにもかかわらず、デバイスが COML から応答フレームを受信した場合、これは不正な状態であり、デバイスはこのエラー ビットをセットされます。 0 = エラーなし 1 = エラーが検出されました
RR_CRC = CRC エラーにより一つ以上の COML 応答フレームが破棄されたことを示します。フレームが破棄されているため、その他の大半のエラーは表示されません。CRC の最終バイトで [RR_BYTE_ERR] が観測されると、CRC と BERR の両方が表示されます。 0 = エラーなし 1 = エラーが検出されました

7.5.4.14.13 DEBUG_UART_DISCARD

アドレス	0x0789							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	COUNT[7:0]							
リセット	0	0	0	0	0	0	0	0
COUNT[7:0] = 受信または送信された破棄フレームの数を追跡する UART フレーム カウンタ。このレジスタを読み出すと、DEBUG_UART_DISCARD および DEBUG_UART_VALID* レジスタの値がラッチされ、関連カウンタがリセットされます。								

7.5.4.14.14 DEBUG_COMH_DISCARD

アドレス	0x078A							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	COUNT[7:0]							
リセット	0	0	0	0	0	0	0	0
COUNT[7:0] = 受信または送信された破棄フレームの数を追跡する COMH フレーム カウンタ。このレジスタを読み出すと、DEBUG_COMH_DISCARD および DEBUG_COMH_VALID* レジスタの値がラッチされ、関連カウンタがリセットされます。								

7.5.4.14.15 DEBUG_COML_DISCARD

アドレス	0x078B							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	COUNT[7:0]							
リセット	0	0	0	0	0	0	0	0
COUNT[7:0] = 受信または送信された破棄フレームの数を追跡する COML フレーム カウンタ。このレジスタを読み出すと、DEBUG_COML_DISCARD および DEBUG_COML_VALID* レジスタの値がラッチされ、関連カウンタがリセットされます。								

7.5.4.14.16 DEBUG_UART_VALID_HI/LO

DEBUG_UART_VALID_HI

アドレス	0x078C							
------	--------	--	--	--	--	--	--	--

読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	COUNT[7:0]							
リセット	0	0	0	0	0	0	0	0
COUNT[7:0] = 受信または送信された有効フレームの数を追跡する UART フレーム カウンタの上位バイト。 DEBUG_UART_VALID_HI/LO の両方が 0xFF になると、カウンタが飽和します。DEBUG_UART_DISCARD が読み取られると、このレジスタはラッチされ、関連するカウンタはリセットされます。								

DEBUG_UART_VALID_LO

アドレス	0x078D							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	COUNT[7:0]							
リセット	0	0	0	0	0	0	0	0
COUNT[7:0] = 受信または送信された有効フレームの数を追跡する UART フレーム カウンタの下位バイト。 DEBUG_UART_VALID_HI/LO の両方が 0xFF になると、カウンタが飽和します。DEBUG_UART_DISCARD が読み取られると、このレジスタはラッチされ、関連するカウンタはリセットされます。								

7.5.4.14.17 DEBUG_COMH_VALID_HI/LO**DEBUG_COMH_VALID_HI**

アドレス	0x078E							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	COUNT[7:0]							
リセット	0	0	0	0	0	0	0	0
COUNT[7:0] = 受信または送信された有効フレームの数を追跡する COMH フレーム カウンタの上位バイト。 DEBUG_COMH_VALID_HI/LO の両方が 0xFF になると、カウンタが飽和します。DEBUG_COMH_DISCARD が読み取られると、このレジスタはラッチされ、関連するカウンタはリセットされます。								

DEBUG_COMH_VALID_LO

アドレス	0x078F							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	COUNT[7:0]							
リセット	0	0	0	0	0	0	0	0
COUNT[7:0] = 受信または送信された有効フレームの数を追跡する COMH フレーム カウンタの下位バイト。 DEBUG_COMH_VALID_HI/LO の両方が 0xFF になると、カウンタが飽和します。DEBUG_COMH_DISCARD が読み取られると、このレジスタはラッチされ、関連するカウンタはリセットされます。								

7.5.4.14.18 DEBUG_COML_VALID_HI/LO**DEBUG_COML_VALID_HI**

アドレス	0x0790							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	COUNT[7:0]							
リセット	0	0	0	0	0	0	0	0

COUNT[7:0] = 受信または送信された有効フレームの数を追跡する COML フレーム カウンタの上位バイト。
DEBUG_COML_VALID_HI/LO の両方が 0xFF になると、カウンタが飽和します。DEBUG_COML_DISCARD が読み取られると、このレジスタはラッチされ、関連するカウンタはリセットされます。

DEBUG_COML_VALID_LO

アドレス	0x0791							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	COUNT[7:0]							
リセット	0	0	0	0	0	0	0	0
COUNT[7:0] = 受信または送信された有効フレームの数を追跡する COML フレーム カウンタの下位バイト。 DEBUG_COML_VALID_HI/LO の両方が 0xFF になると、カウンタが飽和します。DEBUG_COML_DISCARD が読み取られると、このレジスタはラッチされ、関連するカウンタはリセットされます。								

7.5.4.14.19 DEBUG_OTP_SEC_BLK

アドレス	0x07A0							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	BLOCK[7:0]							
リセット	0	0	0	0	0	0	0	0
BLOCK[7:0] = SEC が発生した最後の OTP ブロック アドレスを保持します。FAULT_OTP[SEC_DET] = 1 の場合のみ有効です。								

7.5.4.14.20 DEBUG_OTP_DED_BLK

アドレス	0x07A1							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	BLOCK[7:0]							
リセット	0	0	0	0	0	0	0	0
BLOCK[7:0] = DED が発生した最後の OTP ブロック アドレスを保持します。FAULT_OTP[DED_DET] = 1 の場合のみ有効です。								

7.5.4.15 OTP プログラミング制御およびステータス

7.5.4.15.1 OTP_PROG_UNLOCK1A~OTP_PROG_UNLOCK1D

アドレス	0x0300~ 0x0303							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CODE[7:0]							
リセット	0	0	0	0	0	0	0	0
CODE[7:0] = OTP プログラミングを実行する前に行う OTP プログラミング解除シーケンスの一部として、最初の 32 ビット OTP プログラミング解除コードが必要です。この 32 ビット コードは、OTP_PROG_UNLOCK1A から OTP_PROG_UNLOCK1D までのシーケンス内に入力されます。これらのレジスタは常に 0 を読み戻します。								

7.5.4.15.2 OTP_PROG_UNLOCK2A~OTP_PROG_UNLOCK2D

アドレス	0x0352~ 0x0355							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CODE[7:0]							
リセット	0	0	0	0	0	0	0	0

CODE[7:0] = 2 番目の 32 ビット OTP プログラミングのロック解除コードで、OTP プログラミングを実行する前に、OTP プログラミングのロック解除シーケンスの一部として必要になります。この 32 ビット コードは、OTP_PROG_UNLOCK2A ~ OTP_PROG_UNLOCK2D の順序で入力されます。これらのレジスタは常に 0 を読み戻します。

7.5.4.15.3 OTP_PROG_CTRL

アドレス	0x030B							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD						PAGESEL	PROG_GO
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
PAGESEL = プログラムするカスタム OTP ページを選択します。 0 = ページ 1 1 = ページ 2								
PROG_GO = OTP_PROG_CTRL[PAGESEL] で選択された OTP ページのプログラミングを有効にします。OTP_PROG_UNLOCK1* および OTP_PROG_UNLOCK2* レジスタに正しいコードがセットされている必要があります。 0 = 準備完了 1 = OTP プログラミングを開始								

7.5.4.15.4 OTP_ECC_TEST

アドレス	0x034C							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD				DED_SEC	MANUAL_AUTO	ENC_DEC	イネーブル
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
DED_SEC = テストするデコーダ機能 (SEC または DED) を設定します。エンコーダのテスト中、このビットは無視されます。 0 = SEC 機能をテストします。FAULT_OTP[SEC_DETECT] フラグを設定し、テスト結果を OTP_ECC_DATAOUT* レジスタに出力します。 1 = DED 機能をテストします。FAULT_OTP [DED_DETECT] フラグを設定し、テスト結果 OTP_ECC_DATAOUT* を出力します。 注: SEC または DEC の故障が検出された場合、ホストは [RST_OTP_DATA] = 1 に設定して対応する故障をリセットします。スイッチして SEC テストを実行しても、DEC の故障はクリアされません。その逆も同様です。								
MANUAL_AUTO = ECC テストに使用するデータの場所を設定します。 0 = 自動モード。テストには内部データを使用します。 1 = 手動モード。テストには、ECC_DATAIN_n レジスタのデータを使用します。MPF テストに使用します。								
ENC_DEC = OTP_ECC_TEST[ENABLE] = 1 のときに実行されるように、エンコーダ / デコーダ テストを設定します。 0 = デコーダ テストを実行 1 = エンコーダ テストを実行								
ENABLE = [ENC_DEC] および [DED_SEC] ビットで設定された OTP ECC テストを実行します。 0 = 通常動作、ECC テスト無効 1 = テストを開始								

7.5.4.15.5 OTP_ECC_DATAIN1~OTP_ECC_DATAIN9

アドレス	0x0343~ 0x034B							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	DATA[7:0]							
リセット	0	0	0	0	0	0	0	0

DATA[7:0] = ECC が手動モードで有効になっている場合 (CUST_ECC_TEST[MANUAL_AUTO] = 1)、OTP_ECC_DATAIN1 ~ 9 レジスタを使用して ECC エンコーダおよびデコーダをテストします。
CUST_ECC_TEST[ENC_DEC] = 1 の場合、ECC_DATAIN8 ~ ECC_DATAIN1 のデータがエンコーダへ入力されます。
CUST_ECC_TEST[ENC_DEC] = 0 の場合、ECC_DATAIN9 ~ ECC_DATAIN1 のデータがデコーダへ入力されます。機能を検証するために、ECC_DATAOUT0 ~ 8 の各バイトを読み出す必要があります。

7.5.4.15.6 OTP_ECC_DATAOUT1 ~ OTP_ECC_DATAOUT9

アドレス	0x0510 ~ 0x0518							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	DATA[7:0]							
リセット	0	0	0	0	0	0	0	0
DATA[7:0] = OTP_ECC_DATAOUT* バイトには、ECC デコーダおよびエンコーダのテスト結果が出力されます。 CUST_ECC_TEST[ENC_DEC] = 0 の場合、デコーダ テストが正常に完了したことを確認するために、ECC_DATAOUT8 ~ ECC_DATAOUT1 を読み出します。 CUST_ECC_TEST[ENC_DEC] = 1 の場合、エンコーダ テストが正常に完了したことを確認するために、ECC_DATAOUT9 ~ ECC_DATAOUT1 を読み出します。正しい結果は、テストへの入力によって異なります。								

7.5.4.15.7 OTP_PROG_STAT

アドレス	0x0519							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	ロックを解除	OTERR	UVERR	OVERR	SUVERR	SOVERR	PROGERR	終了
リセット	0	0	0	0	0	0	0	0
UNLOCK = OTP プログラミング機能のアンロック状態を示します。このビットをセットした後 (つまり、OTP プログラミングが有効)、ホストは OTP_PROG_CTRL レジスタに書き込んで、OTP プログラミングを開始します。他のレジスタに書き込むと、OTP プログラミング機能が再ロックされ、このビットは 0 にクリアされます。[PROG_GO] = 1 でも、このビットは 0 にクリアされます。 0 = OTP プログラミングがロックされています 1 = OTP プログラミングがロックされていません								
OTERR = ダイ温度が T_{OTP_PROG} を超え、デバイスが OTP のプログラミングを開始しないことを示します。 0 = 故障なし 1 = 検出されたダイ温度は T_{OTP_PROG} よりも大きくなっています。OTP プログラミングを中止します。								
UVERR = OTP プログラミング中にプログラミング電圧で低電圧エラーが検出されたことを示します。このビットは、[PROG_GO] = 1 でクリアされます。 0 = エラーなし 1 = UV エラーが検出されました								
OVERR = OTP プログラミング中に、プログラミング電圧で過電圧エラーが検出されたことを示します。このビットは、[PROG_GO] = 1 でクリアされます。このエラーでデバイスから受信した情報は、信頼できるものと見なされてはなりません。 0 = エラーなし 1 = OV エラーが検出されました								
SUVERR = 実際の OTP プログラミングを開始する前に、プログラミング電圧の安定性試験が実施されます。このビットは、電圧安定性テスト中に低電圧エラーが検出されたことを示します。このビットは、[PROG_GO] = 1 でクリアされます。 0 = エラーなし 1 = OTP プログラミング電圧安定性テスト中に UV エラーが検出されました								
SOVERR = 実際の OTP プログラミングを開始する前に、プログラミング電圧の安定性試験が実施されます。このビットは、電圧安定性テスト中に過電圧エラーが検出されたことを示します。このビットは、[PROG_GO] = 1 でクリアされます。 0 = エラーなし 1 = OTP プログラミング電圧安定性テスト中に OV エラーが検出されました								

PROGERR 以下のいずれかの原因によるページ設定の誤りが検出された場合に、エラーであることを示します。

- プログラムを試みているが、OTP をプログラミング [UNLOCK] = 0 です。
- [TRY] = 1 が設定されているページに対してプログラミングを実行しようとした場合。
- [FMterr] = 1 のページのプログラミングを試みます。

このビットは、[PROG_GO] = 1 でクリアされます。

0 = エラーなしまたはプログラミングが試行されていません

1 = エラーが検出されました

DONE = 選択されたページの OTP プログラミング状態を示します。このビットは、[PROG_GO] = 1 でクリアされます。

0 = が完了していないか、プログラミングが試行されていません

1 = 完了。

7.5.4.15.8 OTP_CUST1_STAT

アドレス	0x051A							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	LOADED	LOADWRN	LOADERR	FMterr	PROGOK	UVOK	OVOK	TRY
リセット	0	0	0	0	0	0	0	0
LOADED = 関連するレジスタへのロード用に OTP ページ 1 が選択されたことを示します。エラーおよび警告のステータスについては、[LOADERR] と [LOADWRN] を参照してください。 0 = ロード用に選択されていない 1 = ページ 1 が選択されロードされた								
LOADWRN OTP ページ 1 がロードされたが、1 つ以上の SEC 警告があることを示します。 = 0 = 警告なし、またはロードが試みられなかった 1 = 警告								
LOADERR = OTP ページ 1 をロードしようとしたときにエラーが発生したことを示します。つまり、選択されたページのロード中に DED が検出されました。 0 = エラーなし、またはロードが試みられなかった。 1 = エラーを検出								
FMterr = OTP ページ 1 のフォーマット エラーを示します。つまり、[UVOK] または [OVOK] が設定されているが、[TRY] = 0 の場合です。このビットが設定されている場合はプログラムしないでください。 0 = エラーなし 1 = エラー検出								
PROGOK = OTP ページ 1 をロードする有効性を示します。有効なページは、プログラミングが正常に行われたことを示します。 0 = 無効 1 = 有効								
UVOK = OTP ページ 1 のプログラミング中に OTP プログラミング電圧の低電圧状態が検出されたことを示します。OV 状態によっては、シャットダウン プロセスの一部として UV もトリガされることがあります。 0 = UV 状態を検出。プログラミングが試行されていない場合も、0 と読み取られます。 1 = UV 状態を未検出								
OVOK = OTP ページ 1 のプログラミング中に OTP プログラミング電圧の過電圧状態が検出されたことを示します。OV 状態によっては、シャットダウン プロセスの一部として UV がトリガされます。そのデバイスは使用を中止しなければなりません。 0 = OV 状態を検出。プログラミングが試行されていない場合も、0 と読み取られます。 1 = OV 状態を未検出								
TRY = OTP ページ 1 の最初のプログラミング試行を示します。 0 = 最初の試行が行われていない 1 = 最初の試行が行われた								

7.5.4.15.9 OTP_CUST2_STAT

アドレス	0x051B							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	LOADED	LOADWRN	LOADERR	FMterr	PROGOK	UVOK	OVOK	TRY
リセット	0	0	0	0	0	0	0	0

LOADED = 関連するレジスタへロードするために、OTP ページ 2 が選択されていることを示します。エラーおよび警告のステータスについては、[LOADERR] と [LOADWRN] を参照してください。 0 = ロード用に選択されていません 1 = ページ 2 が選択され、ロードされました
LOADWRN OTP ページ 2 がロードされたものの、一つ以上の SEC 警告が発生したことを示します。 = 0 = 警告なし、またはロードが試行されていません 1 = 警告
LOADERR OTP ページ 2 のロード中にエラーが発生したことを示します。すなわち、選択されたページのロード中に DED が検出されたことを示します。 0 = エラーなし、またはロードが試行されませんでした。 1 = ビット エラー 検出
FMterr = OTP ページ 2 のフォーマット エラーを示します。つまり、[UVOK] または [OVOK] が設定されていて [TRY] = 0 の場合です。このビットがセットされている場合はプログラムしません。 0 = エラーなし 1 = エラーが検出されました
PROGOK = OTP ページ 2 をロード可能かどうかの有効性を示します。有効なページは、プログラミングが正常に行われたことを示します。 0 = 有効ではない 1 = 有効
UVOK = OTP ページ 2 のプログラミング試行中に OTP プログラミング電圧低電圧状態が検出されたことを示します。OV 状態は、シャットダウン処理の一環として UV 状態を発生させる場合もあります。 0 = UV 状態を検出済み。また、プログラミングが実行されていない場合も、このビットは 0 を読み出します。 1 = UV 状態は検出されていません
OVOK = OTP ページ 2 のプログラミング実行中に、OTP プログラミング電圧の過電圧状態が検出されたことを示します。OV 条件によって、シャットダウン プロセスの一部として UV がトリガされます。デバイスはサービスを停止する必要があります。 0 = OV 状態を検出済み。また、プログラミングが実行されていない場合も、このビットは 0 を読み出します。 1 = OV 状態は検出されていません
TRY = OTP ページ 2 の最初のプログラミング試行を示します。 0 = 最初の試行が行われませんでした 1 = 最初の試行が行われました

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証テストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

BQ7961x-Q1 デバイス ファミリは、6 直列 ~ 16 直列のバッテリー モジュール向けに、高精度なセル電圧および温度測定機能を提供します。

8.2 代表的なアプリケーション

8.2.1 ベース デバイスのアプリケーション回路

以下のアプリケーション回路 (図 8-1 を参照) は、16S モジュールに接続した BQ79616-Q1 デバイスをベースにしています。

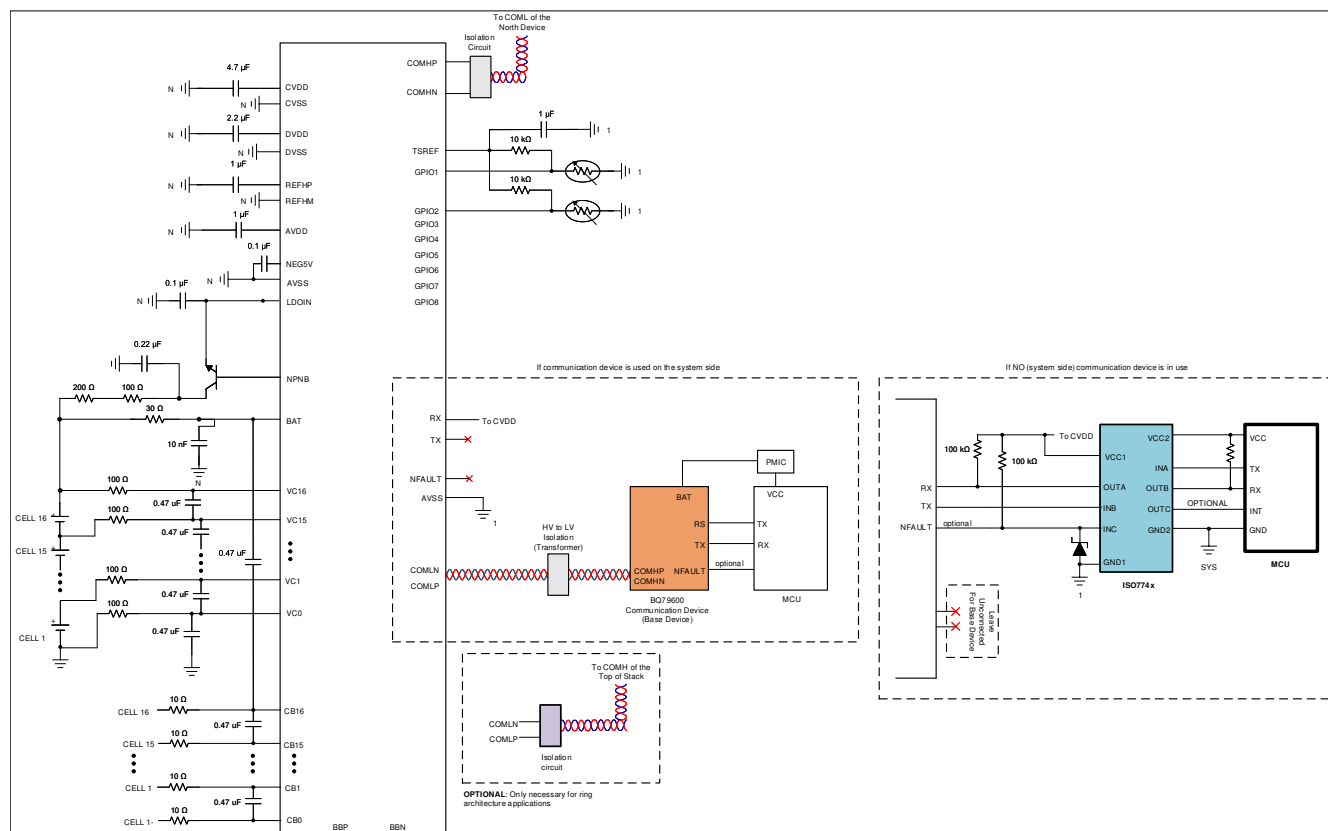


図 8-1. 代表的な測定機能付きベース デバイスのアプリケーション回路

8.2.1.1 設計要件

下の表 8-1 に設計パラメータを示します。

表 8-1. 推奨設計要件

パラメータ	値
モジュール電圧範囲 (BAT ピンの電圧)	9V ~ 80V

表 8-1. 推奨設計要件 (続き)

パラメータ	値
セルの数 (シングル デバイスあたり)	6 ~ 16 セル (BQ79616-Q1)、6 ~ 14 セル (BQ79614-Q1)、6 ~ 12 セル (BQ79612-Q1)
セルの電圧範囲	0V ~ 5V

8.2.1.2 詳細な設計手順

8.2.1.2.1 セル センシング入力とバランシング入力

関連ピン	部品	値	説明
VC0~VC16	フィルタ抵抗	100Ω	VC チャンネルには差動 RC フィルタのみが必要です。これらの部品は入力信号のフィルタリングに使用されるだけでなく、セル モジュール挿入時のホットプラグ イベントに対応するためにも必要です。したがって、推奨されている部品定数を使用することを強く推奨します。
	フィルタ コンデンサ	0.47μF/16V または 1μF/16V	
CB0~CB16	フィルタ抵抗	システムで要求されるバランシング電流に依存します	CB ピンのフィルタ抵抗によって最大バランシング電流が決まります。詳しくは、 セクション 7.3.3 を参照してください。 CB チャンネルには、差動 RC フィルタのみが必要です。 これらの部品は入力信号のフィルタリングに使用されるだけでなく、セル モジュール挿入時のホットプラグ イベントに対応するためにも必要です。したがって、推奨されている部品定数を使用することを強く推奨します。
	フィルタ コンデンサ	0.47μF/16V または 1μF/16V	

セルの接続

セル モジュールのセル数が BQ7961x-Q1 デバイスの最大チャンネル数より少ない場合は、下位チャンネル (VC チャンネルおよび CB チャンネル) から順にバッテリー セルを割り当て、上位チャンネルは未使用チャンネルとして残すことを推奨します。BQ79616-Q1、BQ79614-Q1、BQ79612-Q1 の未使用チャンネルは、[図 8-2](#) に示すように接続されます。オープンピン / NC ピンの PCB レイアウトでは、配線長を最小限にし、ワイヤやケーブルには接続しないでください。

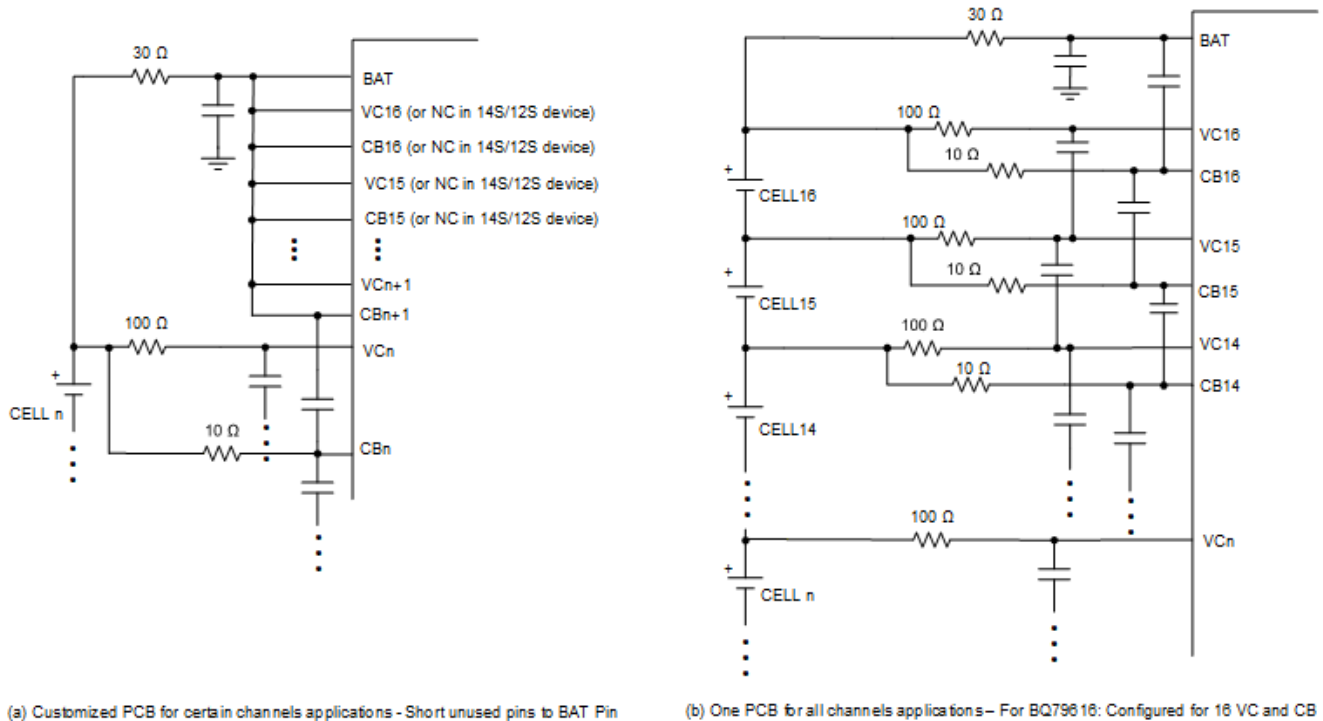


図 8-2. 未使用の VC チャンネルおよび CB チャンネル

8.2.1.2.2 BAT および外部 NPN

関連ピン	部品	値	説明
BAT	フィルタ抵抗	30Ω	ホットプラグ性能を確保するため、推奨値のシングルエンド RC フィルタを使用する必要があります。
	フィルタ コンデンサ	10nF/100V モジュール サイズに基づいて低い電圧定格を使用できます	
NPNB	NPN (Q1)	コレクタ エミッタ間耐圧: 80V ~ 100V (ただし、モジュールのサイズに応じてより低い定格も使用可能) 電力定格: 1W 以上 ゲイン: 想定負荷電流において 80 超 電流処理能力: 100mA 超	外付け NPN トランジスタは、LDOIN ピンに 6V (標準値) の入力を提供するためのプリレギュレーション回路を構成するために使用されます。 NPN の電圧定格は、次の式で最適化できます。 NPN 電圧定格 = 最大 VModule — 最小 VLDOIN + マージン ここで、 最大 VModule = 完全に充電されたセルでの最大モジュール電圧 最小 VLDOIN = VLDOIN パラメータの最小仕様 マージン = システムの過渡電圧 + アプリケーション要件に従う設計マージン
	外部 NPN コレクタの抵抗 (R _{NPN})	モジュール電圧に応じて異なります	この抵抗には、いくつかの目的があります: (a) NPN プリレギュレーション回路用 RC フィルタの場合 (b) 放熱を NPN と共有
	外付け NPN トランジスタのコレクタに接続するコンデンサ	0.22μF/100V モジュールのサイズに応じて、より低い耐圧定格を使用可能	このコンデンサは、NPN プリレギュレーション回路用の RC フィルタを構成します このコンデンサの定格は、モジュールで発生するピーク電圧スパイクに基づいて決定されます。より小型のモジュールでは、100V 未満の定格のコンデンサを使用できます。システム設計者は、システムの許容条件および要件に応じて最適な耐圧定格のコンデンサを選定します。

外付け NPN トランジスタ (Q1) に必要な電力定格を低減するため、システム設計者は NPN のコレクタにパワー抵抗を挿入し、モジュール電圧 (VModule) から IR 電圧降下を発生させることができます。図 8-3 に、BQ7961x デバイスに電力を供給する電流経路を示します。

TI 推奨部品を使用した場合、デバイスがシャットダウン状態からアクティブ状態へ移行する際の代表的な ISTARTUP 電流は 20mA です。この電流は IBAT と ILDOIN の合計であり、PCB 上の部品構成やレイアウトに依存するため、ユーザー側で実機評価を行い特性を確認することを推奨します。

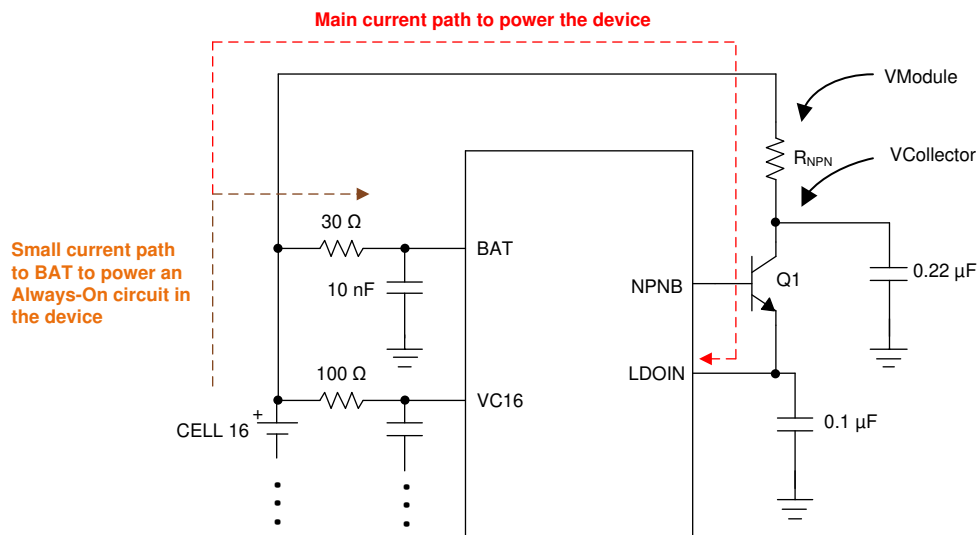


図 8-3. 消費電力パス

LDOIN ピンで標準 6V の安定化電圧を維持するために十分なヘッドルームを確保するため、システム設計者は NPN トランジスタで約 2V の電圧降下が生じることを前提として、VCollector が常に 8V 以上となるように設計します。

したがって、許容される最大 R_{NPN} 値 = ((最小 VModule) – (VCollector)) / (最大ピーク電流)

ここで、

最小 VModule: アプリケーションごとのモジュールサイズと最小セル電圧に基づきます

VCollector: 8V (NPN 全体での 2V 電圧降下を想定)

最大ピーク電流: すべての機能を有効にした状態でのアクティブ電流であり、動作時に流れる最大の電流。通信絶縁部品 (例えば、コンデンサ絶縁とトランス絶縁、あるいはトランスの種類の違い) によって総消費電力への負荷が異なることに注意してください。

デバイスをバッテリー スタック上端から給電するのではなく、独立した電源で駆動:

このデバイスは、バッテリー スタックから給電されるように設計されています。図 8-4 に示すように別々の電源からデバイスに電力を供給する必要がある場合、BAT ピンの電圧と VC ピンの最大電圧 (グランドを基準) との間に次の関係があります。

BAT 電圧 $\geq (0.5 * \text{最高 VC 電圧}) + 2$

例えば、このデバイスがセル当たり最大電圧 4.2V の 14S モジュールに接続されている場合、最も高い VC ピンは VC14 であり、VC14 の最大電圧は $(4.2V * 14) = 58.8V$ となります。BAT ピンに個別に電力を供給する場合は、BAT 電圧が 31.4V 以上である必要があります。

同様に、BBP/N チャネルがセル スタックの最上位セルより上に接続されている場合、BBP ピンの電圧は VC ピンよりも高くなり、(グランド基準で) 最も高い電圧となります。このシナリオでは、 $V_{BAT} \geq [(V_{BBP} - 2.5) * 0.84] + 4.5$ です。この要件は、BAT が独立した電源から供給される場合に適用され、内部レベルシフタの正常な動作を確保するためのものです。この電圧関係を維持できない場合、VC チャネルおよび BB チャネルの ADC 測定誤差が増大します。

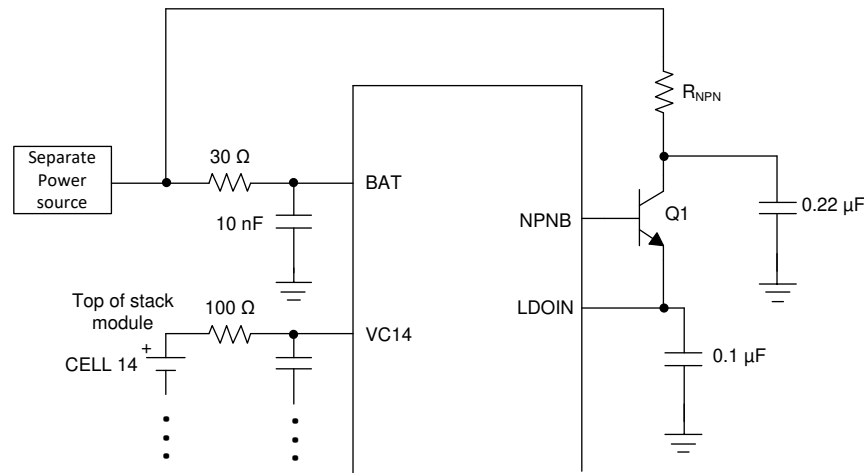


図 8-4. BAT への独立電源供給

8.2.1.2.3 電源入力、リファレンス入力

関連ピン	部品	値	説明
AVDD、TSREF	バイパス コンデンサ	1μF/10V	内部 LDO の外部バイパス コンデンサ
DVDD	バイパス コンデンサ	2.2μF/10V	DVDD 用バイパス コンデンサ
CVDD	バイパス コンデンサ	4.7μF/10V	CVDD 用バイパス コンデンサ
NEG5V	バイパス コンデンサ	0.1μF/10V	負方向チャージ ポンプ用バイパス コンデンサ

8.2.1.2.4 サーミスタ入力用 GPIO

外部サーミスタを ADC 測定のために使用する場合、サーミスタの種類 (NTC または PTC)、バイアス抵抗 (R_1) の値、あるいはサーミスタをバイアス抵抗に対して High サイド側または Low サイド側のどちらに配置するかについて制限はありません。

ただし、内蔵の OTUT コンパレータと組み合わせて使用する場合、プログラム可能な OT および UT スレッシュホールド範囲は、103NTC (25°C の 10k Ω) タイプの NTC サーミスタで動作するよう設計されています。図 8-5 に示す接続は、 R_1 と R_2 の抵抗についてさまざまなオプションで行われるようになっています。

- オプション 1: $R_1 = 10\text{k}\Omega$ 、 R_2 なし
- オプション 2: 低温域での直線性を向上させるため、 R_1 には 10k Ω 、 R_2 には 100k Ω を使用します
- オプション 3: $R_1 = 3.6\text{k}\Omega$ および $R_2 = 15\text{k}\Omega$ 。この基本構成は、バランシング中に PCB 温度がセル温度より高くなることをシステム設計者が許容する場合、OTCB 機能で使用する NTC にも適用できます。デバイスはセル用 NTC と PCB 用 NTC を区別しないため、このオプションによる NTC バイアス設定では、高温側の NTC 特性カーブが異なる形でスケールされ、その結果、OT コンパレータのスレッシュホールドはより低い GPIO 電圧で動作するようになります。したがって、デバイスはこの NTC で OTCB スレッシュホールドのみをトリガするようになります。

デバイスは、温度測定に外部 RC を必要としません。ただし、システム設計者は NTC 回路の GPIO ピンに RC フィルタを追加するのが一般的です。システム設計者は、アプリケーションの必要に応じて RC 値を選択できます。例: $R_{\text{GPIO}} = 1\text{k}\Omega$ 、 $C_{\text{GPIO}} = 0.1\mu\text{F} \sim 1\mu\text{F}$ 。

未使用の GPIO は、10k Ω 抵抗を使用して AVSS に接地する必要があります。

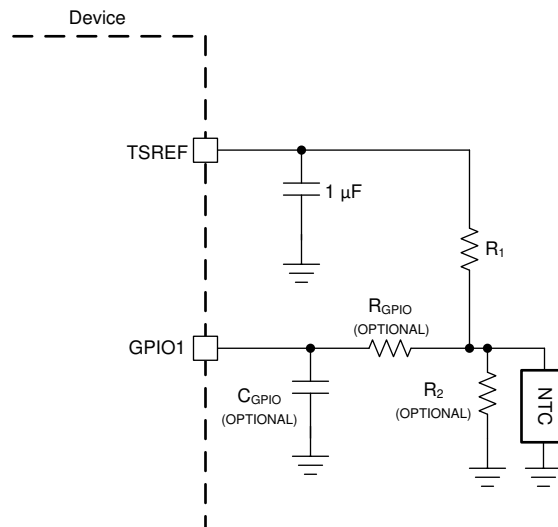


図 8-5. NTC 接続

8.2.1.2.5 内部バランシング電流

内部セル バランシングを使用する場合、(温度による一時停止に入る前に) デバイスが対応する最大バランシング電流は、周囲温度によって異なる場合があります。

8.2.1.2.6 UART、NFAULT

デバイスをベースデバイスとして使用する場合、UART インターフェイスでは、TX ピンと RX ピンを 10k Ω を介して 100k Ω へプルアップする必要があります。TX および RX を未接続のままにしないでください。アイドル状態において無効な通信フレームが誤って検出されるのを防ぐため、TX はプルアップして High レベルに保持する必要があります。ホストコントローラとの接続にシリアル ケーブルを使用する場合は、TX のプルアップ抵抗をホスト側に接続し、RX のプルアップ抵抗をデバイス側の CVDD に接続します。

デバイスをスタック デバイスとして使用する場合、TX ピンはデフォルトで無効化され、フローティング状態となります。RX ピンは CVDD に短絡されます。

ベース デバイスの NFAULT ピンを使用しない場合は、フローティングのままにする必要があります。それ以外の場合は、100kΩ で CVDD にプルアップします。スタック デバイスの NFAULT ピンはフローティング状態になっています。

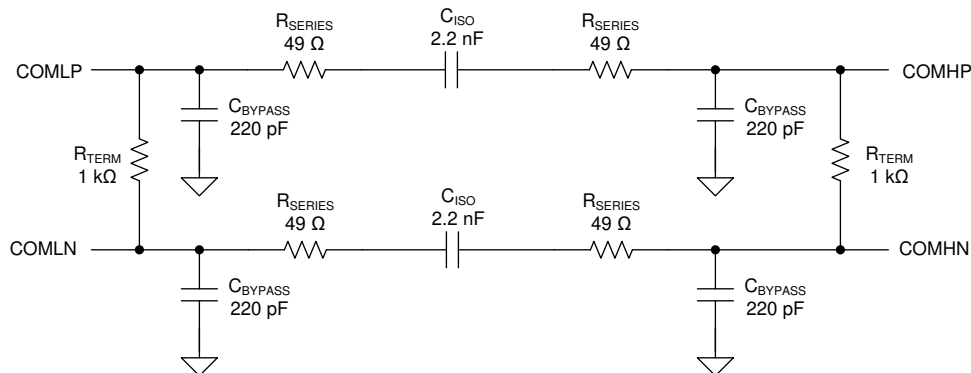
8.2.1.2.7 デイジーチェーン絶縁

このデバイスは、コンデンサ絶縁、コンデンサ + チョーク絶縁、およびトランス絶縁など、複数のデイジーチェーン絶縁方式に対応しています。同じ PCB でデイジーチェーン接続されたデバイスの場合、図 8-6 に示すように、ESD ダイオードなしのコンデンサ絶縁で十分です。未使用の COMLP/H または COMHP/N ピンには、1kΩ の終端抵抗を接続する必要があります。

8.2.1.2.7.1 同じ PCB 上で接続されたデバイス

表 8-2. 同じ PCB 上に接続されたデバイス用絶縁部品

部品	値	説明 (同じ PCB 上のコンデンサ絶縁)
R_{TERM}	1kΩ	終端抵抗
R_{SERIES}	49Ω	フィルタ抵抗とインピーダンス マッチング抵抗。 デバイス間の接続は約 120Ω とする必要があります (デバイスの信号接続の両端にそれぞれ約 50Ω、これに内部抵抗 10Ω を加えた値)
C_{BYPASS}	220pF/50V	バイパス コンデンサ
C_{ISO}	2.2nF	絶縁コンデンサ 電圧定格は、アプリケーションの要件によって異なります。システムで故障が発生した場合の耐圧マージンを確保するため、モジュール定格電圧の 2 倍の定格を選定するのが一般的です。



Components Required for Cap Coupled Daisy Chain on the same PCB

図 8-6. 同じ PCB 上のデバイスによるコンデンサ絶縁

8.2.1.2.7.2 さまざまな PCB に接続されたデバイス

異なる PCB 上のデバイスを一対のツイスト ペア ケーブルでデイジーチェーン接続する場合、デイジーチェーン絶縁には三種類の絶縁方式のいずれも使用できますが、デイジーチェーンの片側で一種類の絶縁方式 (例えば、バッテリー管理ユニットへの COMLP/N にトランス絶縁) を使用し、反対側で別の絶縁方式 (例えば、セル モジュール ユニットへの COMH/N にコンデンサ絶縁) を使用することはできません。

オプション 1: コンデンサ絶縁

表 8-3. さまざまな PCB 上でコンデンサを絶縁するための部品

部品	値	概要 (PCB 間のコンデンサ絶縁)
R_{TERM}	1kΩ	終端抵抗

表 8-3. さまざまな PCB 上でコンデンサを絶縁するための部品 (続き)

部品	値	概要 (PCB 間のコンデンサ絶縁)
R _{SERIES}	49Ω	フィルタ抵抗とインピーダンス マッチング抵抗。 デバイス間の接続は約 120Ω とする必要があります (デバイスの信号接続の両端にそれぞれ約 50Ω、これに内部抵抗 10Ω を加えた値)
C _{BYPASS}	220pF/50V	バイパス コンデンサ
C _{ISO}	2.2nF	絶縁コンデンサ 電圧定格は、アプリケーションの要件によって異なります。システムで故障が発生した場合の耐圧マージンを確保するため、モジュール定格電圧の 2 倍の定格を選定するのが一般的です。
ESD ダイオード	TVS ダイオード	ESD 保護素子は、ホットプラグ時に通信インターフェイス端子を保護するとともに、サービス切断時または再接続時に発生する高電圧過渡現象を吸収できるものである必要があります。ESD ダイオードは、COM* バス上の最大電圧が最大定格未満に制限されるように選択します。最適な EMC 性能を得るためには、可能な限り広い同相モード電圧範囲を確保できるよう、最大電圧に近い定格電圧を選択することを推奨します。カップリング容量を使用する場合は、カップリング容量よりも容量を小さくする必要があります。

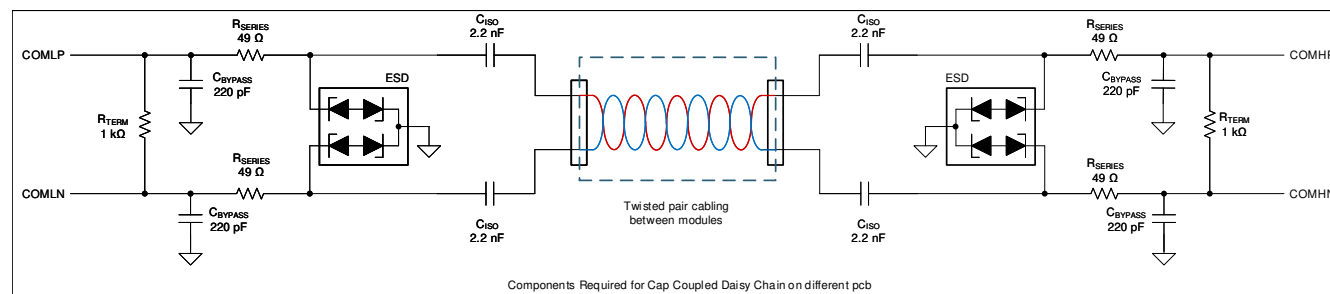


図 8-7. 異なる PCB 上のコンデンサ絶縁

図 8-7 に、PCB 間を接続するデバイスのコンデンサ絶縁回路を示します。同一 PCB 上でのコンデンサ絶縁の場合と同様に、システム故障によってデバイスが局所的な危険電圧にさらされる事態に備え、十分な耐圧マージンを確保できる定格電圧のコンデンサを使用する必要があります。必要な電圧定格はアプリケーションの要件によって決まりますが、一般的にはモジュール電圧の 2 倍の定格を選択します。

デジチェーン バス上の容量は性能に直接影響を及ぼします。EMC に対して十分な通信信頼性を確保するため、周辺部品およびケーブル配線に起因するすべての寄生容量を考慮して設計する必要があります。ケーブル、ESD ダイオード、バイパス コンデンサ、およびチョークに由来する容量成分は、絶縁コンデンサとともに容量分圧回路を形成し、その結果、性能に影響を及ぼす可能性があります。さらに、バス上の容量の大きさは、通信時の動作電流 (コンデンサの充放電による電流) に直接影響します。

オプション 2: コンデンサと同相モード チョーク絶縁

表 8-4. コンデンサと同相モード チョーク絶縁用の部品

部品	値	概要 (PCB 間のコンデンサとチョーク絶縁)
R _{TERM}	1kΩ	終端抵抗
R _{SERIES}	49Ω	フィルタ抵抗とインピーダンス マッチング抵抗。 デバイス間の接続は約 120Ω とする必要があります (デバイスの信号接続の両端にそれぞれ約 50Ω、これに内部抵抗 10Ω を加えた値)
C _{BYPASS}	220pF/50V	バイパス コンデンサ
C _{ISO}	2.2nF	絶縁コンデンサ 電圧定格は、アプリケーションの要件によって異なります。システム故障時のスタンドオフ マージンを確保するため、モジュール定格電圧の 2 倍の定格を選定するのが一般的です。
同相モード チョーク	100μH から 500μH	同相モード チョーク (100μH ~ 500μH のインダクタンス範囲は一般的な設計指針であり、保証値ではありません。これは、同相モード チョークの性能に影響を与える要因が多数存在するためです。特定の推奨部品については、SLVAEP4 BQ79616-Q1 デジチェーン通信アプリケーション レポートを参照してください。ユーザーは、環境でスルーテストを実行するものとします。)

表 8-4. コンデンサと同相モード チョーク絶縁用の部品 (続き)

部品	値	概要 (PCB 間のコンデンサとチョーク絶縁)
ESD ダイオード (オプション)	TVS ダイオード	オプションの ESD 保護は、PCB レベルの ESD 要件に依存します (このダイオードを追加するかどうかは、ユーザーのシステム レベルの ESD 要件の対象になります)

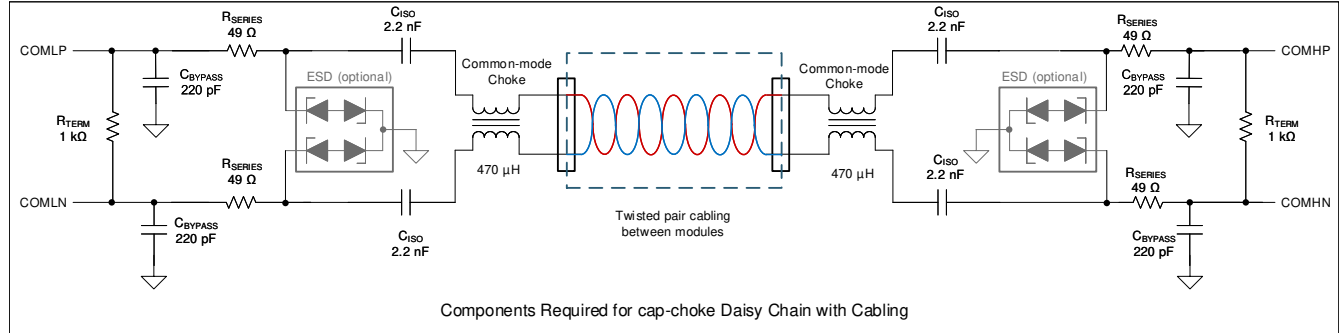


図 8-8. コンデンサとチョーク絶縁

ケーブル長が長い場合や、異常にノイズの多いアプリケーションでは、同相モード チョーク フィルタの使用が必要になることがあります。コンデンサとチョークの絶縁は、コンデンサのみよりもノイズ耐性が向上します。このような用途では、正常な動作を確保するため、 $100\mu\text{H} \sim 500\mu\text{H}$ の車載グレードの同相モード フィルタを最低限使用します。ノイズの多い環境で最高の性能を達成するには、デュアル同相フィルタ ($470\mu\text{H}$) を使用します。推奨されるチョークのインピーダンスは、 $1\text{MHz} \sim 100\text{MHz}$ の範囲で少なくとも $1\text{k}\Omega$ 、さらに高い周波数帯では 300Ω 以上です。

オプション 3: トランス絶縁

表 8-5. トランス絶縁用の部品

部品	値	概要 (PCB 間のコンデンサとチョーク絶縁)
R_{TERM}	$1\text{k}\Omega$	終端抵抗
R_{SERIES}	49Ω	フィルタ抵抗とインピーダンス マッチング抵抗。 デバイス間の接続は約 120Ω とする必要があります (デバイスの信号接続の両端にそれぞれ約 50Ω 、これに内部抵抗 10Ω を加えた値)
C_{BYPASS}	$220\text{pF}/50\text{V}$	バイパス コンデンサ
トランス	インダクタンス: $150\mu\text{H}$ から $1400\mu\text{H}$	$150\mu\text{H} \sim 1400\mu\text{H}$ のインダクタンス範囲は一般的な設計指針であり、保証値ではありません。これは、トランスの性能に影響を与える要因が多数存在するためです。特定の推奨部品については、SLVAEP4 BQ79616-Q1 デイジーチェーン通信アプリケーション レポートを参照してください。ユーザーは、その環境でスルー テストを実行する必要があります。
ESD ダイオード (オプション)	TVS ダイオード	オプションの ESD 保護は、PCB レベルの ESD 要件に依存します (このダイオードを追加するかどうかは、ユーザーのシステム レベルの ESD 要件の対象になります)

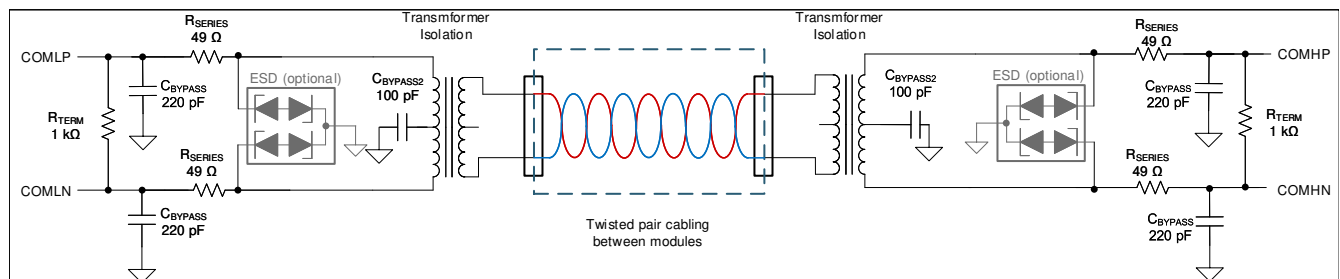


図 8-9. トランス絶縁

トランス絶縁がサポートされており、上記のように実装できます。例えば、低電圧側と高電圧側の境界において、ガルバニック絶縁を実現するためにトランス絶縁を使用できます。

8.2.1.3 アプリケーション曲線

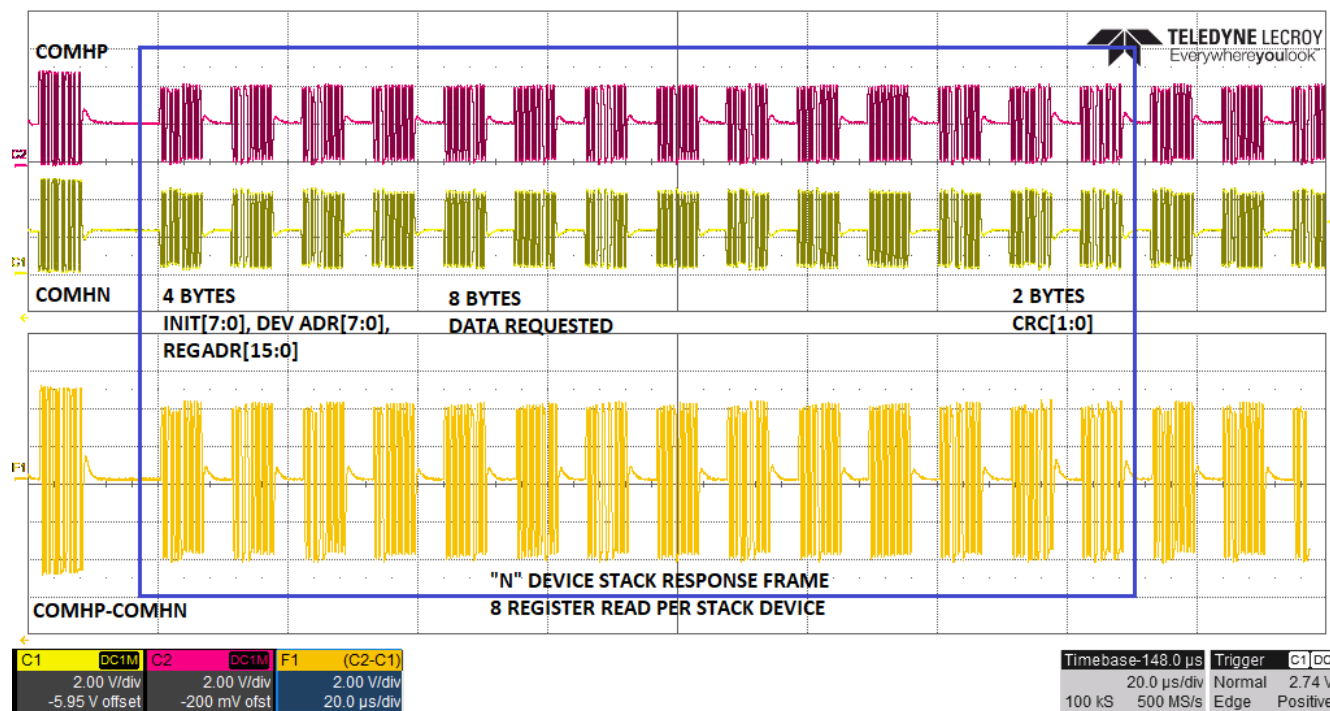


図 8-10. スタック デバイスからの 8 レジスタ読み取りの応答フレーム

8.2.2 デイジー デバイス アプリケーション回路

以下のアプリケーション回路 (図 8-11 を参照) は、16S モジュールに接続した BQ79616-Q1 デバイスをベースにしています。

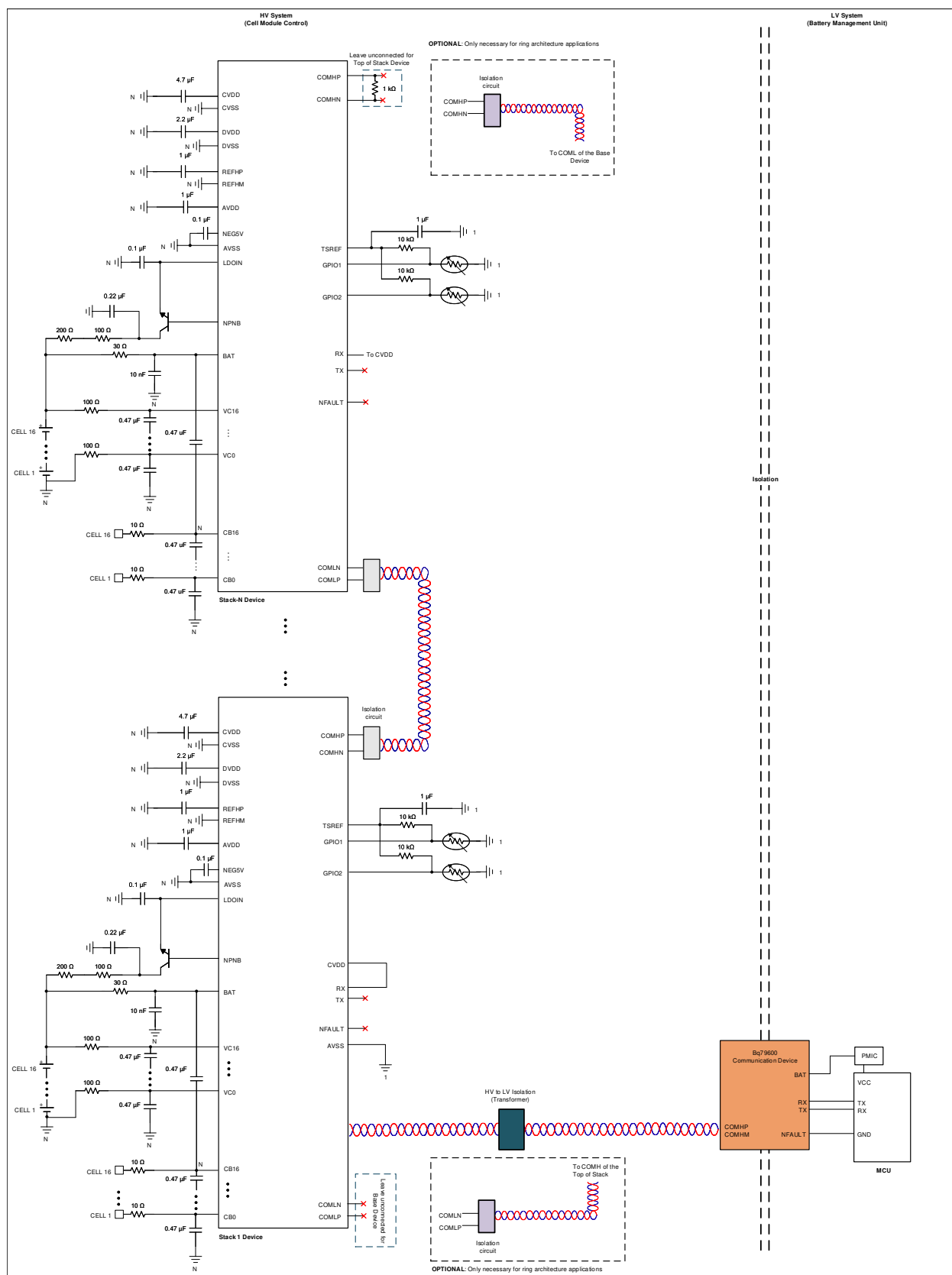


図 8-11. デイジー デバイス アプリケーション回路

8.2.2.1 設計要件

設計要件については、[セクション 8.2.1.1](#) のセクション参照してください。

8.2.2.2 詳細な設計手順

詳細な設計手順については、[セクション 8.2.1.2](#) セクションを参照してください。

9 電源に関する推奨事項

デバイスは BAT ピンおよび LDOIN ピンから電源供給され、LDOIN ピンは外付け NPN トランジスタで構成されたプリレギュレーション回路によって制御・安定化されます。このデバイスは、BAT ピンにおいて (OTP プログラミングなしの場合) 最小 9V のバッテリー モジュールから電源供給を受けることができます。ただし、システム設計者は R_{NPN} 抵抗を適切にスケールリングし、 R_{NPN} および外付け NPN で発生する IR ドロップ後でも LDOIN ピンに 6V の十分なヘッドルームが確保されるようにしなければなりません。たとえば、BAT 電圧が 9V の場合、LDOIN ピンで十分な電圧が得られるように、 R_{NPN} は 10Ω に低下します。

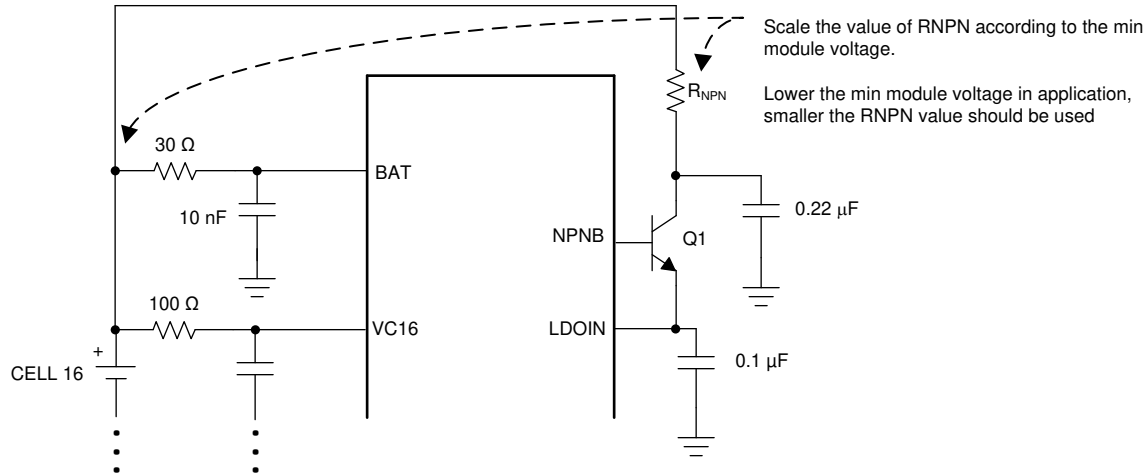


図 9-1. デバイスの電力バス

複数のセル モジュールは、BQ7961x-Q1 ファミリのバス バー サポートを介して同一デバイスに接続することができます。各セル モジュールから同じ電力が引き出されます。

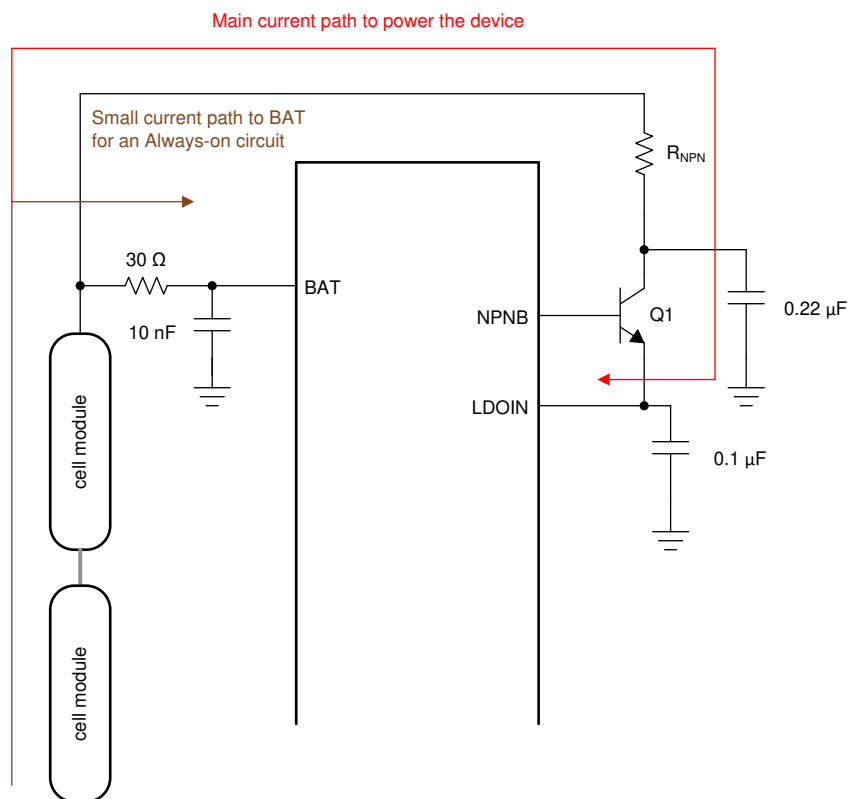


図 9-2. スタック構成においてデバイスは複数のセル モジュールから電源供給を受けることが可能

10 レイアウト

このデバイスのレイアウトは注意深く設計する必要があります。これらのガイドラインから外れた設計を行うと、ADC 精度および EMI 性能に影響を及ぼす可能性があります。デバイスへの入力信号およびデバイスからの出力信号の配線レイアウトでは、ノイズが感度の高い入力に結合しないよう十分に注意する必要があります。グランドおよび電源接続、ならびに通信信号のレイアウトについても、慎重に設計する必要があります。

10.1 レイアウトのガイドライン

10.1.1 グランド プレーン

デバイスの性能を最大限に引き出すためには、適切なグランド設計を行うことが非常に重要です。デバイスの内部電源用に三本のグランド ピン (AVSS、DVSS、CVSS) と、高精度基準用に一本のグランド基準電圧 (REFHM) があります。レイアウトでは、ノイズの多いグランドとノイズの少ないグランドをまず分離して配置し、その後、PCB の下層で再接続する必要があります。外付け部品 (例えばバイパス コンデンサ) は、可能な限り適切なグランド グループに接続し、ノイズ グラウンドとクリーン グランドの分離を維持する必要があります。

- AVSS グランド:
 - ピン上のバイパス コンデンサ: BAT、VC0、CB0、AVDD。
 - パッケージの電力パッド。
- DVSS グランド:
 - DVDD 用バイパス コンデンサ。
 - GPIO フィルタ コンデンサ (使用する場合)。必要に応じて、AVSS グランド プレーンに接続することもできます。
- CVSS グランド:
 - GPIO、CVDD、TSREF、NEG5V、LDOIN のバイパス コンデンサ COMHP/N、COMLP/N です。
- REFHM グランド:
 - REFHP 用バイパス コンデンサ。
 - 可能な場合は、信号配線層において REFHM を AVSS から分離し、下位レイヤで REFHM を AVSS グランド プレーンへ再接続することを推奨します。

主に信号配線に使用する PCB 層であっても、可能であれば小さなグランド アイランドを設けることを推奨します。これにより、単にグランド配線から下層のグラウンド プレーンへビア接続する場合よりも、低インピーダンスのグラウンドを確保できます。

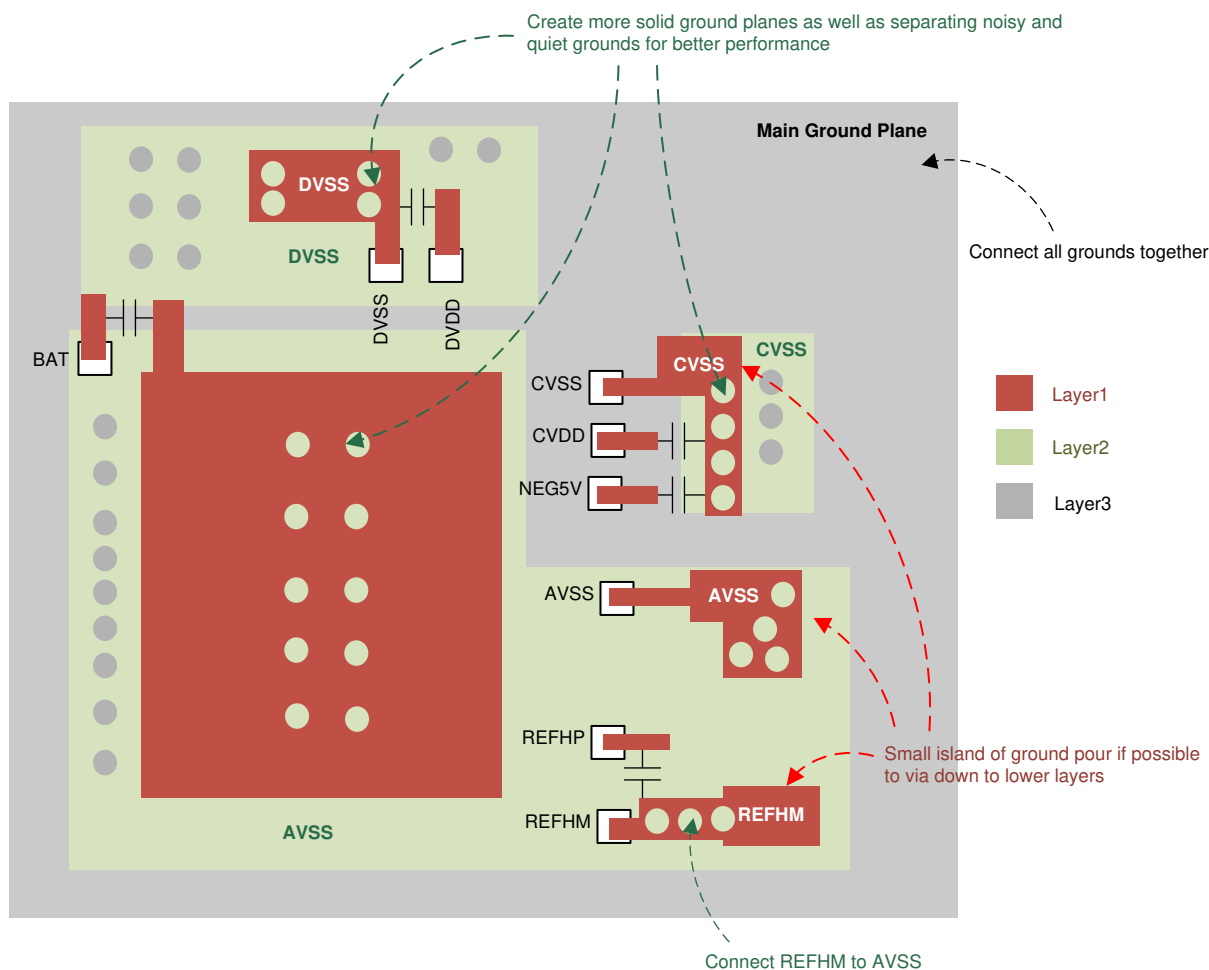


図 10-1. グラウンディング レイアウトに関する考慮事項

複数のデバイスを同一 PCB 上に配置する場合は、各デバイスごとに適切なレイアウト クリアランスを確保した専用のグラウンド プレーンを設ける必要があります。

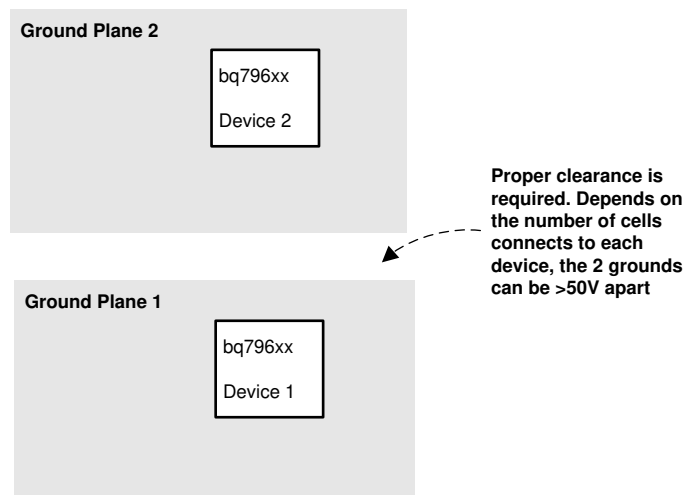


図 10-2. 同じ PCB 上のデバイスごとにグラウンド プレーンを分離します

10.1.2 電源およびリファレンス電圧用のバイパス コンデンサ

以下のピンのバイパス コンデンサは、適切な性能を確保するため、できるだけデバイスのピンの近くに配置する必要があります。特に REFHP のコンデンサは重要です。

- REFHP, BAT, LDOIN, AVDD, DVDD, CVDD, TSREF, NEG5V

10.1.3 セル電圧センス

セル電圧検出パターン (VC ピンと CB ピン) は、インピーダンス マッチングと並列に配置する必要があります。セル バランシング用配線 (CB ピン) は、最大バランシング電流を安全に流せること、およびアプリケーションに必要な熱性能を確保できることを考慮して、適切な配線幅に設計する必要があります。

BAT ピンと上側の VC ピンの接続には、別々のケーブル、接続タブ、および PCB パターンを使用することを推奨します。AVSS 接続と VC0 接続にも同じことが当てはまります。これにより、デバイス動作電流が最上段セルおよび最下段セルの電圧測定に与える影響を回避できます。

BAT / 最上位 VC ピン接続と AVSS/VC0 ピン接続に同じケーブルおよびコネクタ端子を使用する場合は、BAT / 最上位 VC ピンへ接続する PCB 配線パターンと AVSS/VC0 ピンへ接続する PCB 配線パターンを、コネクタ端子部で分離する必要があります。ただし、デバイスの動作電流は依然としてセルから PCB へのケーブルを流れるため、ケーブル接続部の抵抗による IR ドロップが発生し、最上位セルおよび最下位セルの電圧測定に誤差を生じる可能性があります。

10.1.4 デイジーチェーン通信

高い信頼性を持つデイジーチェーン通信を実現するためには、COMHP/N 回路および COMLP/N 回路を適切にレイアウトすることが重要です。

- 差動配線は、できる限り短く、かつ直線的に配線します。線の折れ曲がりとは最小限にし、パターン状の配線は避けま
- す。
- 差動パターンは同一の基板層上に配線します。パターンはシールドを施した状態で並行に引き回し、トレース インピーダンスを一致させます。
- 絶縁部品はコネクタの近くに配置します。
- 容量結合絶縁を使用する場合は、COMxP/N ペア (x = H または L) の高耐圧コンデンサを、並行パターンに沿って互いに近接して配置します。
- すべての PCB 層において、デイジーチェーン関連部品の周囲にキープアウト領域 (他のパターンおよびグランド プレーンを配置しない領域) を設けます。

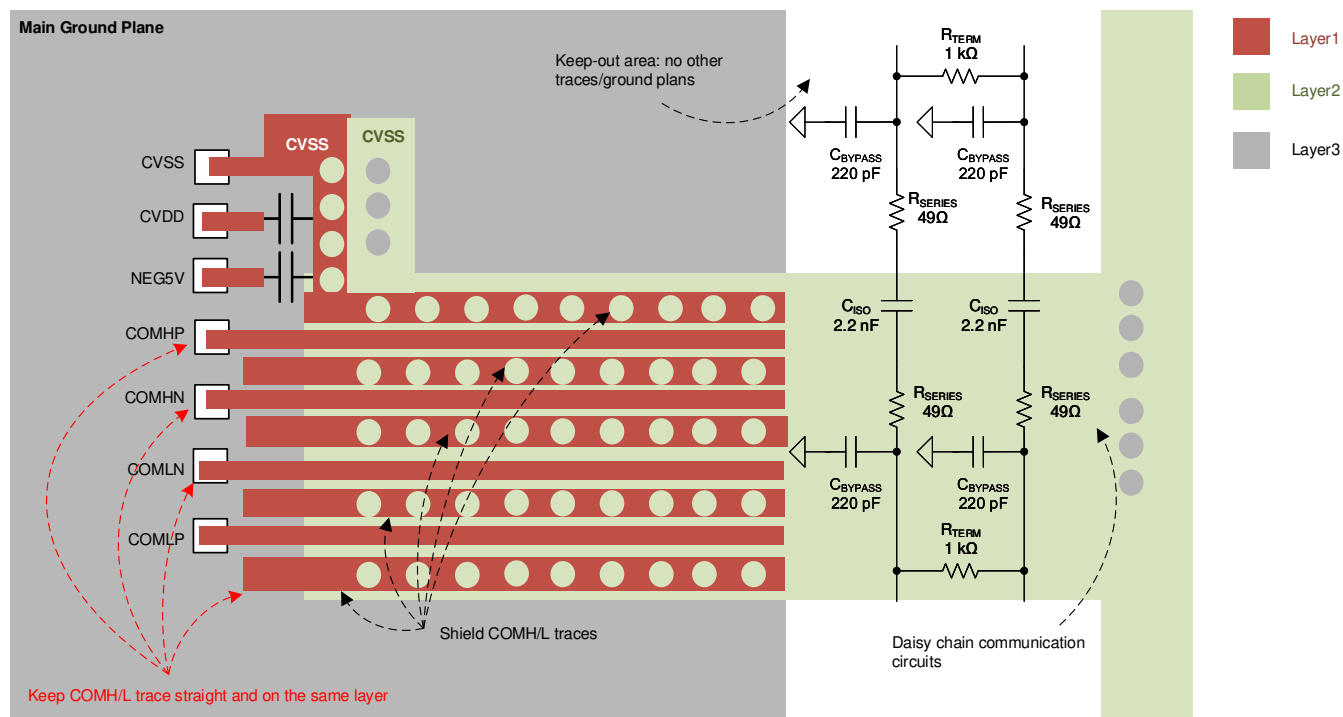


図 10-3. デイジーチェーンのレイアウトに関する考慮事項

10.2 レイアウト例

このセクションでは、BQ79616-Q1 評価基板 (EVM) の設計をレイアウト例として紹介します。

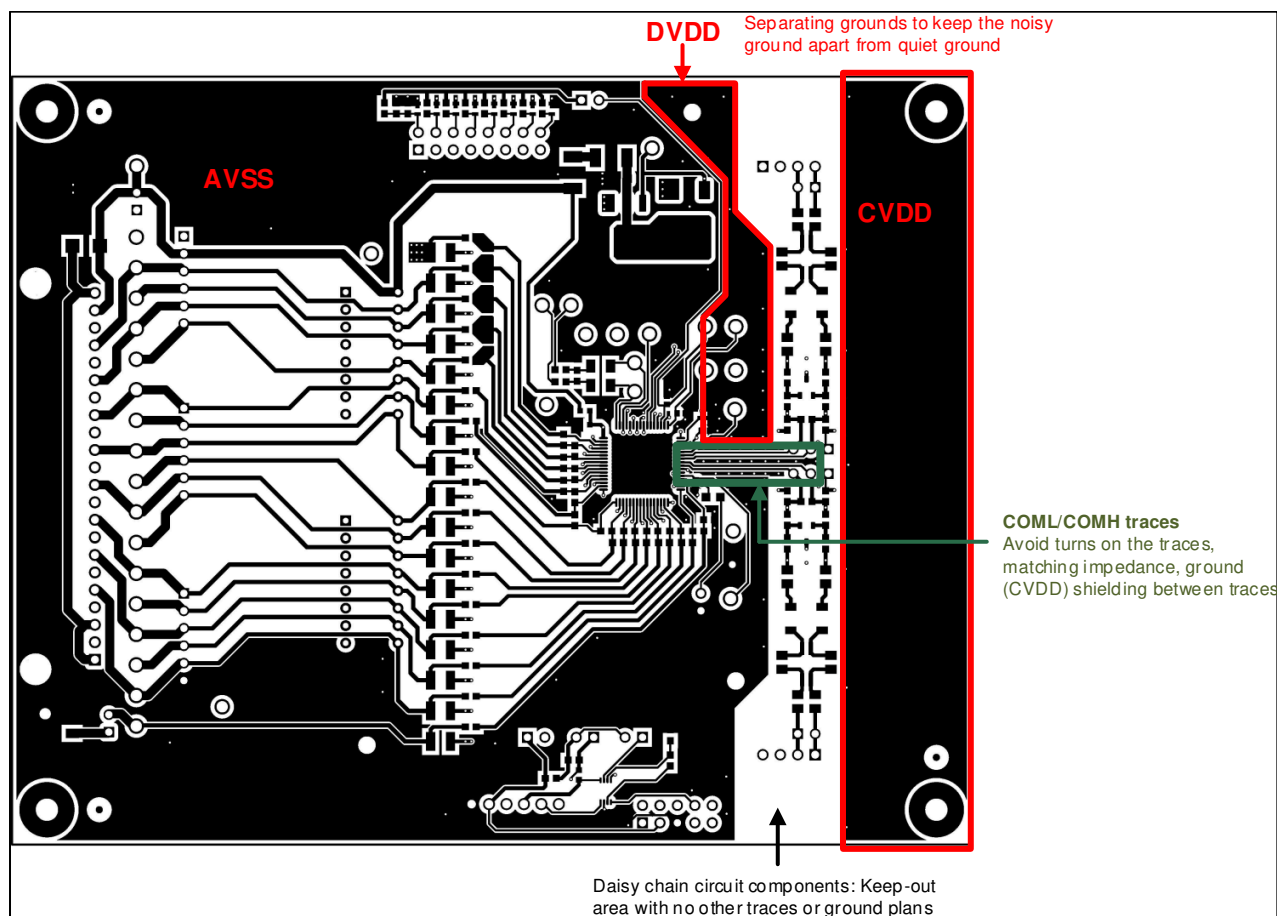


図 10-4. 上部信号レイヤ

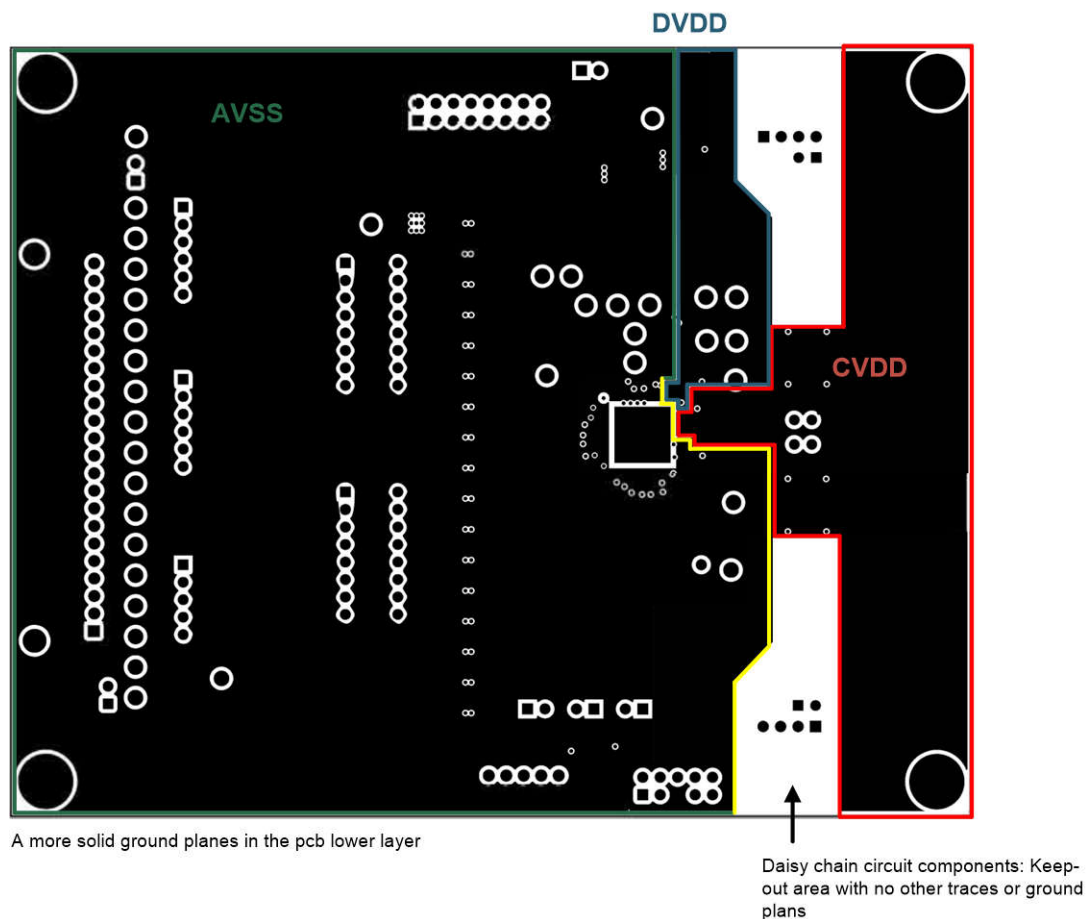


図 10-5. 第二層：独立したソリッド グランド プレーン

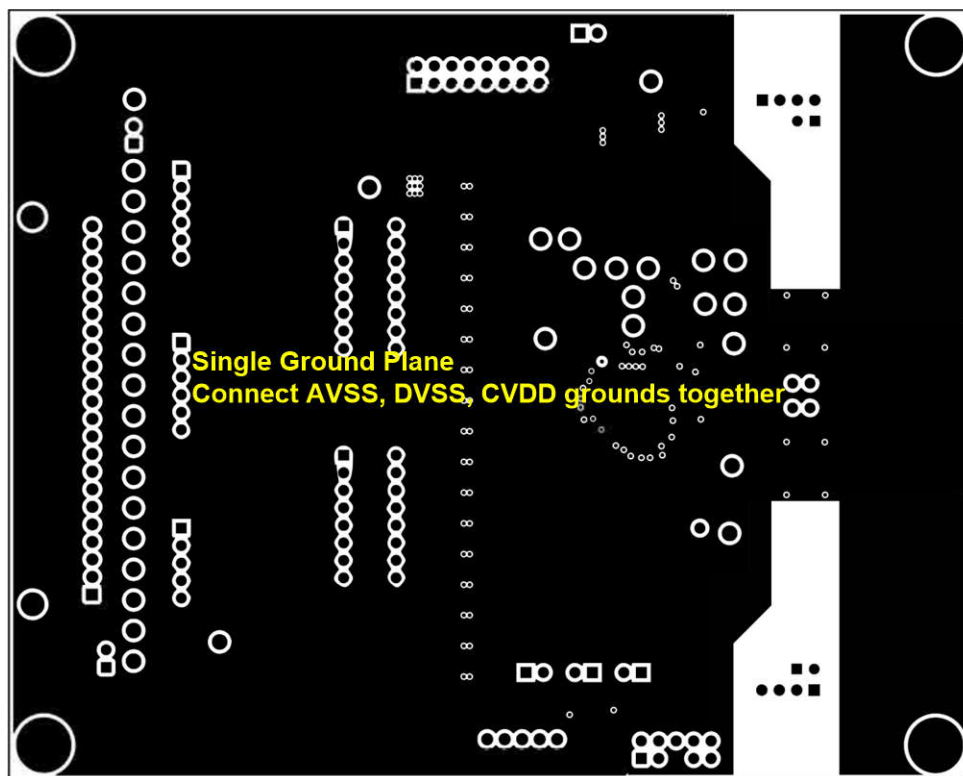


図 10-6. 第三層：単一のグランドプレーン

11 デバイスおよびドキュメントのサポート

11.1 デバイス サポート

11.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

11.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

11.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (November 2023) to Revision F (June 2026)	Page
• 図 8-2 から図 (c) および (d) を削除.....	201

Changes from Revision D (September 2022) to Revision E (November 2023)	Page
• データシート全体にわたって BQ79616H-Q1 を追加.....	1

Changes from Revision C (June 2021) to Revision D (September 2022)	Page
• 制限付きから公開に変更.....	1
• TSREF を有効にしたときの追加電源電流.....	11
• DVDD 出力電圧.....	11
• NEG5V ピンの電圧.....	11
• 診断測定 of 分解能.....	11
• セクション 7.3.1.2 に段落を追加.....	24
• セクション 7.3.1.6 で 380μs を 1.35ms に変更.....	25
• セクション 7.3.2.1.3.1 に注記を追加.....	30
• ADC パスに関する記述を削除し、セクション 7.3.2.2.1.1 の注記を追加.....	33
• セクション 7.3.2.3 のテキストを変更.....	37
• セクション 7.3.3.3.3 でラッチを負荷に変更.....	43
• セクション 7.3.5 にテキストを追加.....	50
• 図 7-23 で、上記を以下の内容に変更.....	51
• TX_HOLF_OFF の有効期限後が応答フレームの開始時間であることを示すように図 7-25 を変更.....	52
• 表 7-9 での読み取りを書き込みに変更.....	54
• 図 7-27 を 1 バイトあたりの正しいビット幅に変更.....	57
• $t_{\text{prog_otp}} = 100\text{ms}$ を追加し、この期間中は表 7-26 のステップ 4 でデータ通信は許可されません.....	84
• セクション 7.3.6.4 で「BQ79606-Q1」を「BQ7961X-Q1」に変更.....	85
• 図 7-56 の Rcb 抵抗を削除.....	106
• セクション 7.5.4.3.11 内の複数のビットが更新され、このビットはセルフクリアされます.....	135
• セクション 7.5.4.5.1 でビット設定 11 を予約済みに変更.....	140
• セクション 7.5.4.5.8 で、ビット 6 を予約済みに変更し、ビット 5 を 0 = 動的整列に変更.....	143
• セクション 7.5.4.7.5 において、COOLOFF[2:0] に「TSREF レギュレータ電圧基準」および「デフォルトリセット設定: 4%」を追記し、OTCB_THR[3:0] に「TSREF レギュレータ電圧基準」および「デフォルトリセット設定: 24%」を追記.....	162
• セクション 7.5.4.7.8 の BAL_TIME_GO にこのビットがセルフクリアであることを追加.....	163
• セクション 7.5.4.8.5 において、UT_THR[2:0] に「TSREF レギュレータ電圧基準」および「デフォルトリセット設定: 80%」を追記し、OT_THR[4:0] に「TSREF レギュレータ電圧基準」および「デフォルトリセット設定: 39%」を追記.....	165
• セクション 7.5.4.13.3 内のレジスタ名を正しい名称に更新.....	178
• セクション 7.5.4.14.2 の UART_MIRROR_EN に注を追加.....	186
• 図 8-1 で、コンデンサの値を 2.2μF に変更し、アイソレータのピン配置を修正.....	200
• セクション 8.2.1.2.7.2 における内容、図 8-7、図 8-8 および図 8-9 を変更.....	205
• 図 8-11 で、コンデンサ容量の値を 2.2μF に変更.....	208
• 図 10-3 を変更.....	215

Changes from Revision B (April 2021) to Revision C (June 2021)	Page
• BQ79614-Q1 と BQ79612-Q1 を「製品プレビュー」から「量産データ」に変更.....	1

Changes from Revision A (December 2020) to Revision B (April 2021)	Page
• (2) (3) を追加.....	9
• (2) を追加.....	9
• (3) を追加.....	9
• セクション 7.3.2.1.3.1 に MAIN_ADC_CAL1、MAIN_ADC_CAL2 レジスタを追加.....	30
• セクション 7.5.1 で、CUST_CRC_LO のリセット値を 0x73 から 0xF3 に変更.....	118

• セクション 7.5.4.5.7 の MAIN_MODE[1:0] の説明に内容を追加.....	142
• セクション 7.5.4.5.9 の AUX_MODE[1:0] の説明に内容を追加.....	143
• 以下のように変更:[MSK_COMP] = 1 の場合、このビットの設定値: セクション 7.5.4.13.1 内の FAULT_COMP_ADC が [MSK_COMP] = 0 の場合、このビットがセットされます	176
• 表 8-4 の同相モードチョークと ESD ダイオード (オプション) の説明に内容を追加.....	205
• 表 8-5 のトランスの説明の内容を変更し、ESD ダイオード (オプション) の説明に内容を追加.....	205

Changes from Revision * (August 2020) to Revision A (December 2020)

Page

• 「事前情報」から「量産データ」に変更.....	1
---------------------------	---

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
BQ79612PAPRQ1	Active	Production	HTQFP (PAP) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	BQ79612
BQ79612PAPRQ1.A	Active	Production	HTQFP (PAP) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	BQ79612
BQ79614PAPRQ1	Active	Production	HTQFP (PAP) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	BQ79614
BQ79614PAPRQ1.A	Active	Production	HTQFP (PAP) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	BQ79614
BQ79616HPAPRQ1	Active	Production	HTQFP (PAP) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	BQ79616H
BQ79616HPAPRQ1.A	Active	Production	HTQFP (PAP) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	BQ79616H
BQ79616PAPRQ1	Active	Production	HTQFP (PAP) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	BQ79616
BQ79616PAPRQ1.A	Active	Production	HTQFP (PAP) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	BQ79616

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF BQ79616-Q1 :

- Catalog : [BQ79616](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

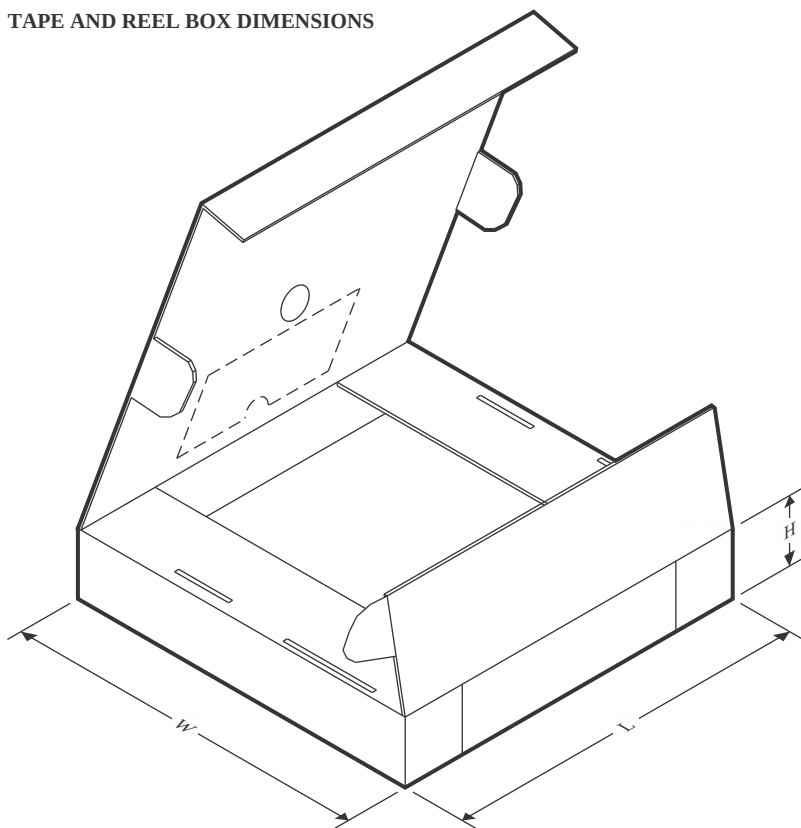
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
BQ79612PAPRQ1	HTQFP	PAP	64	1000	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2
BQ79614PAPRQ1	HTQFP	PAP	64	1000	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2
BQ79616HPAPRQ1	HTQFP	PAP	64	1000	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2
BQ79616PAPRQ1	HTQFP	PAP	64	1000	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
BQ79612PAPRQ1	HTQFP	PAP	64	1000	367.0	367.0	55.0
BQ79614PAPRQ1	HTQFP	PAP	64	1000	367.0	367.0	55.0
BQ79616HPAPRQ1	HTQFP	PAP	64	1000	367.0	367.0	55.0
BQ79616PAPRQ1	HTQFP	PAP	64	1000	367.0	367.0	55.0

GENERIC PACKAGE VIEW

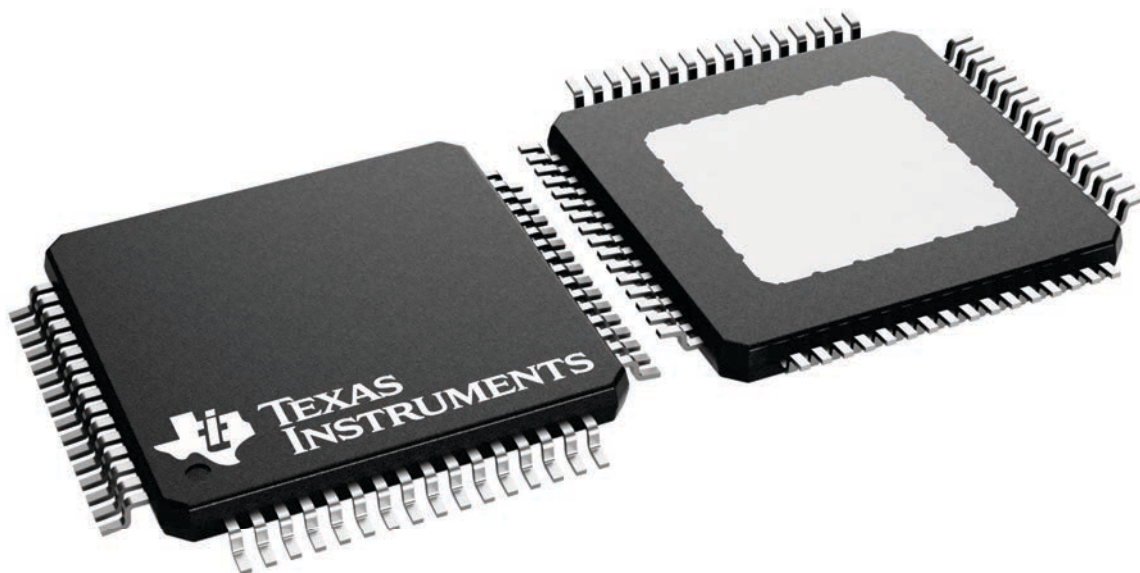
PAP 64

HTQFP - 1.2 mm max height

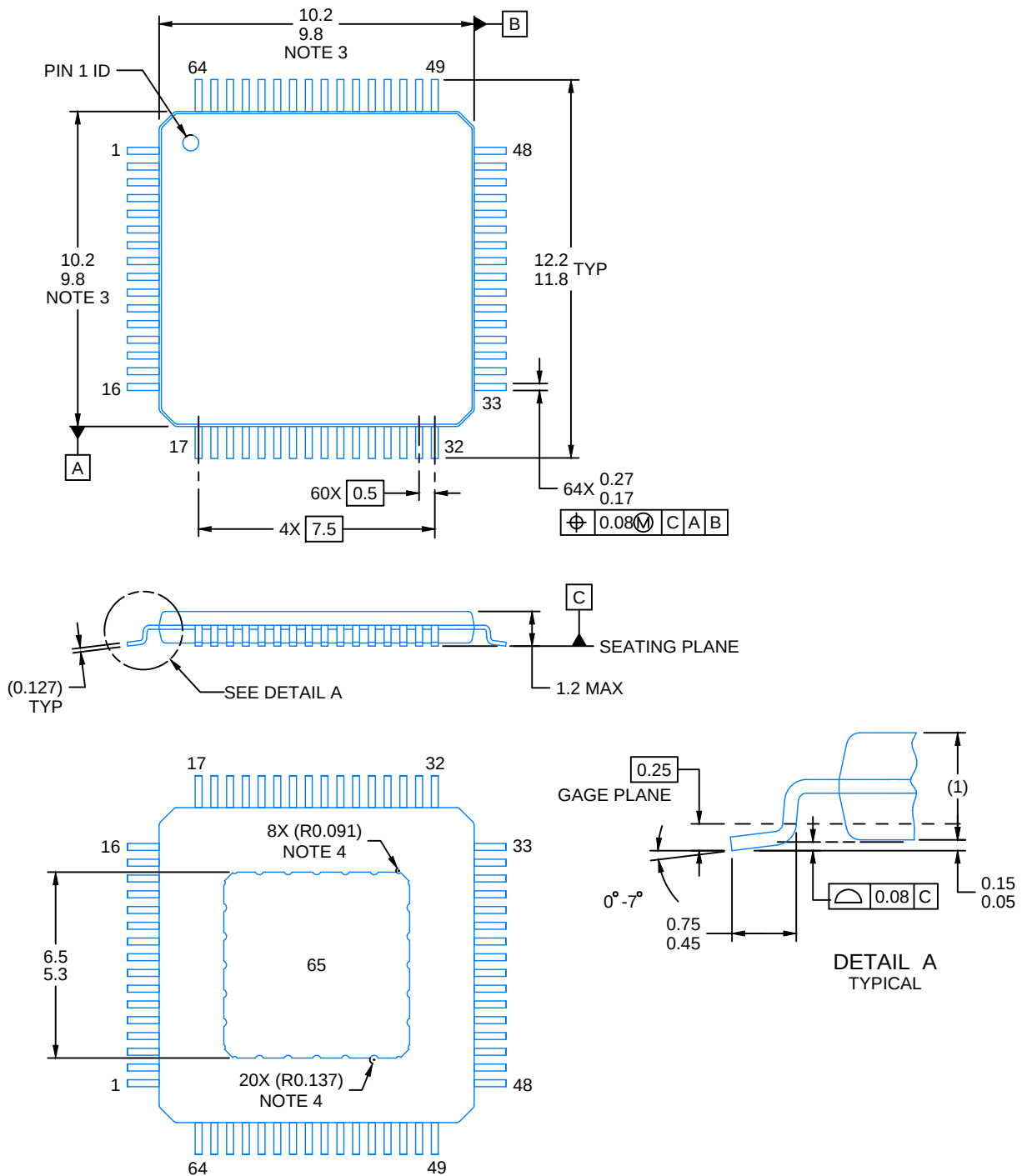
10 x 10, 0.5 mm pitch

QUAD FLATPACK

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4226442/A



4226412/A 11/2020

NOTES:

PowerPAD is a trademark of Texas Instruments.

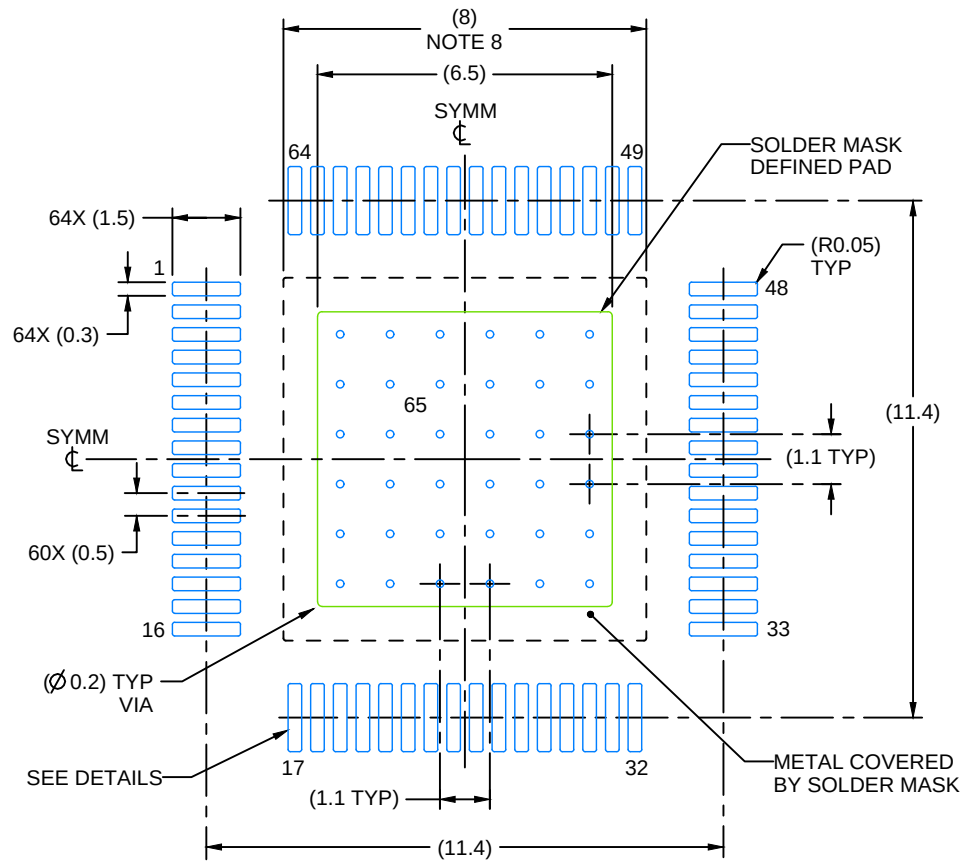
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs.
4. Strap features may not be present.
5. Reference JEDEC registration MS-026.

EXAMPLE BOARD LAYOUT

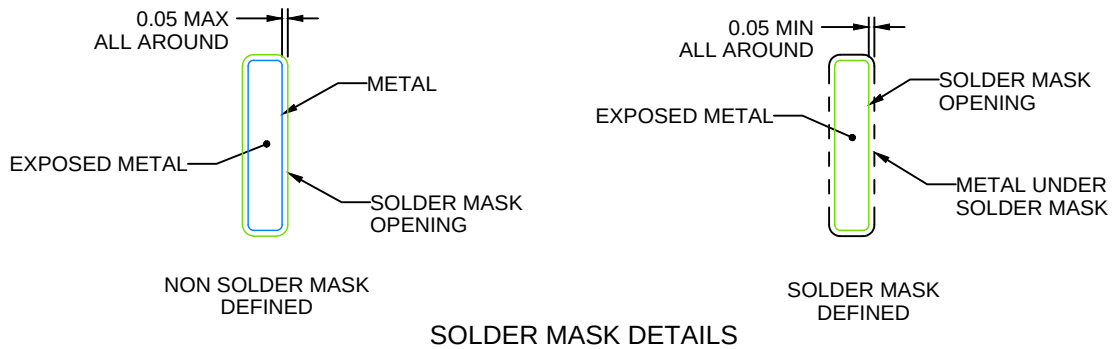
PAP0064F

PowerPAD™ TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS

4226412/A 11/2020

NOTES: (continued)

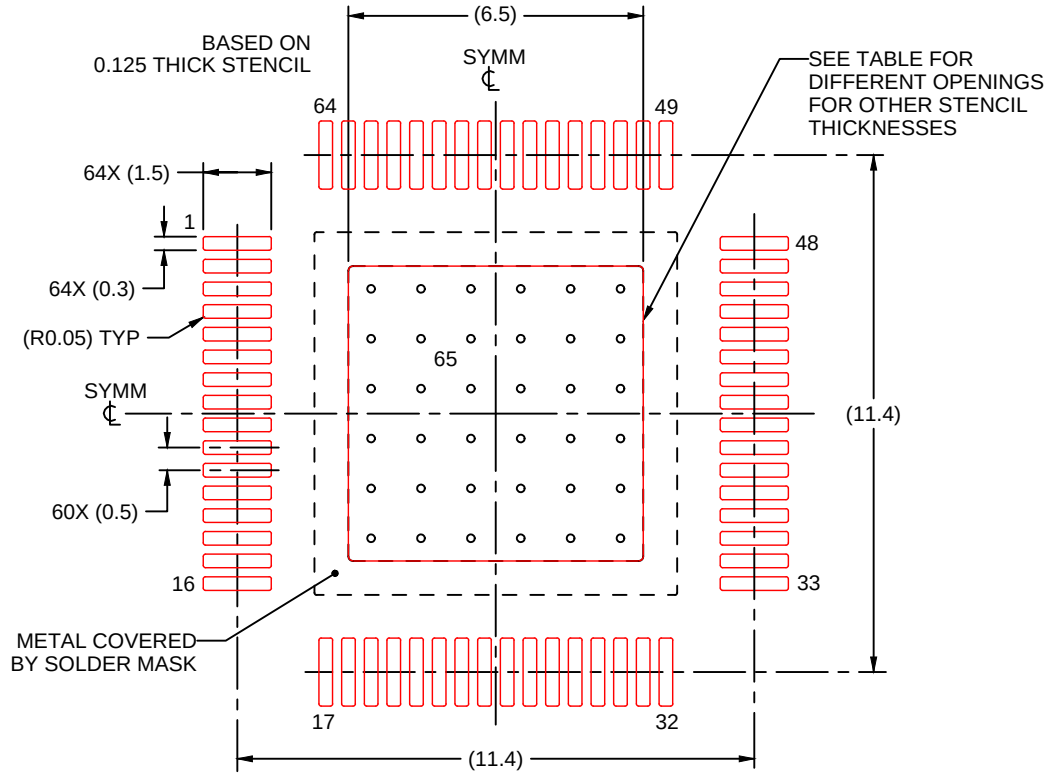
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

PAP0064F

PowerPAD™ TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	7.27 X 7.27
0.125	6.5 X 6.5 (SHOWN)
0.15	5.93 X 5.93
0.175	5.49 X 5.49

4226412/A 11/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月