

BQ79616 16 直列バッテリー・モニタ、バランス、ハードウェア・プロテクタ内蔵

1 特長

- $\pm 1.5\text{mV}$ の ADC 精度
- 電圧、温度、診断用の冗長化パスを内蔵
- すべてのセル チャンネルについて $128\mu\text{s}$ 以内にセル電圧を高精度で測定
- 構成可能なポスト ADC デジタル ローパス フィルタを内蔵
- バス バーの接続と測定のサポート
- POR と同様のデバイスリセットをエミュレートするホスト制御のハードウェアリセットを内蔵
- 内蔵セル バランシングのサポート
 - 240mA のバランシング電流
 - 自動中断および再開制御付きの平衡化熱管理機能を内蔵
- 絶縁型差動デিজィー チェーン通信 (リング アーキテクチャにも対応可能)
- 組込み型のフォルト信号と、通信ライン経由のハートビート信号
- UART/SPI ホスト インターフェイス / 通信ブリッジ デバイス BQ79600
- SPI コントローラを内蔵

2 アプリケーション

- ハイブリッドおよび電動パワートレイン・システムのバッテリー管理システム (BMS)
- バッテリー管理システムを搭載したエネルギー貯蔵バッテリー・パック

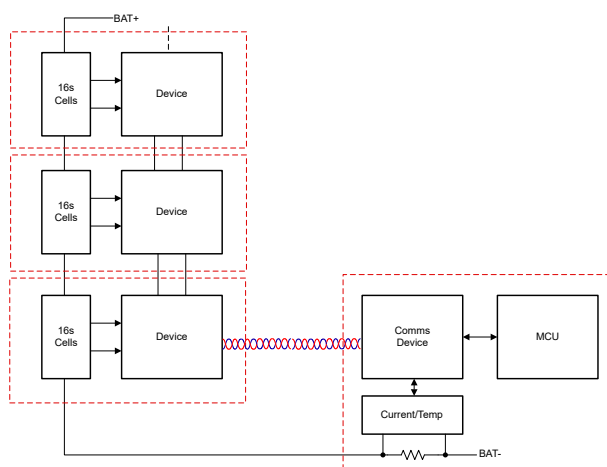
3 説明

BQ79616 デバイスは、HEV/EV の高電圧バッテリー管理システムで、16 直列バッテリー モジュールの高精度セル電圧測定を $200\mu\text{s}$ 未満で実現します。本モニタは、同じパッケージ タイプでさまざまなチャンネル オプションを提供し、ピン互換性を実現しているほか、確立されたソフトウェアとハードウェアをあらゆるプラットフォームで再利用できます。内蔵のフロントエンド フィルタにより、単純な低電圧定格の差動 RC フィルタをシステムのセル入力チャンネルに実装できます。内蔵ポスト ADC ローパス フィルタにより、フィルタ処理された (DC と同様の) 電圧を測定できるため、充電状態 (SOC) をより的確に計算できます。このデバイスは、過熱状態を回避するための温度監視機能を備えた自律的な内部セル バランシングに対応し、バランシングの一時停止と再開を自動的にを行います。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
BQ79616	HTQFP (64 ピン)	10.00mm × 10.00mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



システム簡略図



目次

1 特長	1	6.5 レジスタ マップ	113
2 アプリケーション	1	7 アプリケーションと実装	195
3 説明	1	7.1 使用上の注意.....	195
4 ピン構成および機能	3	7.2 代表的なアプリケーション.....	195
5 仕様	6	8 電源に関する推奨事項	206
5.1 絶対最大定格.....	6	9 レイアウト	207
5.2 ESD 定格.....	6	9.1 レイアウトのガイドライン.....	207
5.3 推奨動作条件.....	7	9.2 レイアウト例.....	210
5.4 熱に関する情報.....	7	10 デバイスおよびドキュメントのサポート	214
5.5 電気的特性.....	7	10.1 デバイス サポート.....	214
5.6 タイミング要件.....	13	10.2 ドキュメントの更新通知を受け取る方法.....	214
5.7 代表的特性.....	17	10.3 サポート・リソース.....	214
6 詳細説明	19	10.4 商標.....	214
6.1 概要.....	19	10.5 静電気放電に関する注意事項.....	214
6.2 機能ブロック図.....	20	10.6 用語集.....	214
6.3 機能説明.....	21	11 改訂履歴	214
6.4 デバイスの機能モード.....	104	12 メカニカル、パッケージ、および注文情報	214

4 ピン構成および機能

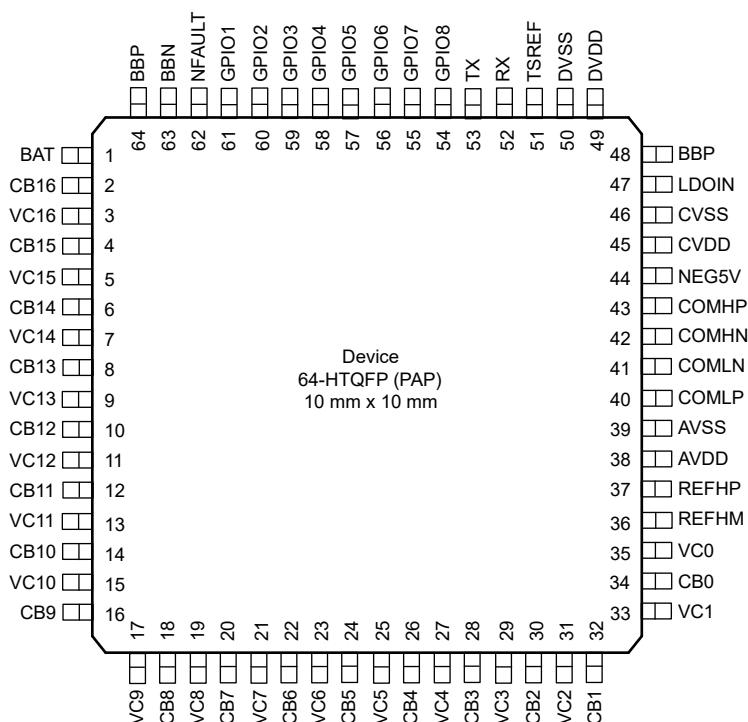


表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
BQ79616			
BAT	1	P	電源入力とモジュール上面での測定入力。バッテリー モジュールのトップセルに接続します。
NPN	48	P	外部 NPN トランジスタのベースに接続します。
LDOIN	47	P	6-V ブリレギュレート アナログ電源入力/センスピン。外部 NPN トランジスタのエミッタに接続し、0.1μF デカップリング コンデンサを CVSS に接続します。
AVDD	38	P	5V 内部レギュレータ出力。AVDD は内部アナログ回路に電力を供給します。AVDD をコンデンサで AVSS にバイパスします。
AVSS	39	GND	アナログ グランド。内部アナログ回路のグラウンド接続。DVSS、CVSS、REFHM、AVSS を外部に接続します。
NEG5V	44	P	デジタイゼーションとメイン ADC に使用される負の 5V チャージ ポンプ。コンデンサで CVSS に接続します。
DVDD	49	P	1.8V レギュレータ出力。DVDD は内部デジタル回路に電力を供給します。DVDD をコンデンサで DVSS にバイパスします。
DVSS	50	GND	デジタル グランド。内部デジタル ロジックのグラウンド接続。DVSS、CVSS、REFHM、AVSS を外部に接続します。
CVDD	45	P	5V のデジタイゼーション通信と I/O 電源。CVDD は、スタックのデジタイゼーション通信トランシーバ回路と I/O ピンに電力を供給します。この電源は、ACTIVE、SLEEP 時の追加の 10mA 外部負荷にも対応しています。
CVSS	46	GND	デジタイゼーション通信グラウンド。内部デジタイゼーション トランシーバのグラウンド接続。DVSS、CVSS、REFHM、AVSS を外部に接続します。
TSREF	51	P	NTC サーミスタの 5V バイアス電圧。NTC 温度監視用に構成されている場合は、TSREF を NTC 抵抗デバイダ回路の上側から GPIO に接続します。TSREF をコンデンサで CVSS にバイパスします。
REFHP	37	P	高精度リファレンス出力ピン。コンデンサで REFHM にバイパスします。
REFHM	36	GND	高精度リファレンス グランド。内部高精度リファレンス用のグラウンド接続。DVSS、CVSS、REFHM、AVSS を外部に接続します。

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
BQ79616			
VC16	3	I	セル電圧検出入力。セル 16 の正端子に接続します。差動 RC フィルタを VC15 に接続します。「セル接続」の説明に従って、未使用の NC ピンを BAT ピンに接続します。
VC15	5	I	セル電圧検出入力。セル 15 の正端子に接続します。差動 RC フィルタを VC14 に接続します。「セル接続」の説明に従って、未使用の NC ピンを BAT ピンに接続します。
VC14	7	I	セル電圧検出入力。セル 14 の正端子に接続します。差動 RC フィルタを VC13 に接続します。「セル接続」の説明に従って、未使用 NC ピンを BAT ピンに接続します。
VC13	9	I	セル電圧検出入力。セル 13 の正端子に接続します。差動 RC フィルタを VC12 に接続します。「セル接続」の説明に従って、未使用の NC ピンを BAT ピンに接続します。
VC12	11	I	セル電圧検出入力。セル 12 の正端子に接続します。差動 RC フィルタを VC11 に接続します。
VC11	13	I	セル電圧検出入力。セル 11 の正端子に接続します。差動 RC フィルタを VC10 に接続します。
VC10	15	I	セル電圧検出入力。セル 10 の正端子に接続します。差動 RC フィルタを VC9 に接続します。
VC9	17	I	セル電圧検出入力。セル 9 の正端子に接続します。差動 RC フィルタを VC8 に接続します。
VC8	19	I	セル電圧検出入力。セル 8 の正端子に接続します。差動 RC フィルタを VC7 に接続します。
VC7	21	I	セル電圧検出入力。セル 7 の正端子に接続します。差動 RC フィルタを VC6 に接続します。
VC6	23	I	セル電圧検出入力。セル 6 の正端子に接続します。差動 RC フィルタを VC5 に接続します。
VC5	25	I	セル電圧検出入力。セル 5 の正端子に接続します。差動 RC フィルタを VC4 に接続します。
VC4	27	I	セル電圧検出入力。セル 4 の正端子に接続します。差動 RC フィルタを VC3 に接続します。
VC3	29	I	セル電圧検出入力。セル 3 の正端子に接続します。差動 RC フィルタを VC2 に接続します。
VC2	31	I	セル電圧検出入力。セル 2 の正端子に接続します。差動 RC フィルタを VC1 に接続します。
VC1	33	I	セル電圧検出入力。セル 1 の正端子に接続します。差動 RC フィルタを VC0 に接続します。
VC0	35	I	セル電圧検出入力。セル 1 の負端子に接続します。差動 RC フィルタを AVSS に接続します。
CB16	2	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB15 への差動 RC フィルタを使用して、このピンをセル 16 の正端子に接続します。フィルタ抵抗は、内部バランス電流も設定します。「セル接続」の説明に従って、未使用の CB16 ピンは RC を介して BAT ピンに接続し、未使用の NC ピンは BAT ピンに接続します。
CB15	4	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB14 への差動 RC フィルタを使用して、このピンをセル 15 の正端子に接続します。フィルタ抵抗は、内部バランス電流も設定します。「セル接続」の説明に従って、未使用の NC ピンを BAT ピンに接続します。
CB14	6	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB13 への差動 RC フィルタを使用して、このピンをセル 14 の正端子に接続します。フィルタ抵抗は、内部バランス電流も設定します。「セル接続」の説明に従って、未使用の NC ピンを BAT ピンに接続します。
CB13	8	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB12 への差動 RC フィルタを使用して、このピンをセル 13 の正端子に接続します。フィルタ抵抗は、内部バランス電流も設定します。「セル接続」の説明に従って、未使用の NC ピンを BAT ピンに接続します。
CB12	10	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB11 への差動 RC フィルタを使用して、このピンをセル 12 の正端子に接続します。フィルタ抵抗は、内部バランス電流も設定します。
CB11	12	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB10 への差動 RC フィルタを使用して、このピンをセル 11 の正端子に接続します。フィルタ抵抗は、内部バランス電流も設定します。
CB10	14	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB9 への差動 RC フィルタを使用して、このピンをセル 10 の正端子に接続します。フィルタ抵抗は、内部バランス電流も設定します。
CB9	16	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB8 への差動 RC フィルタを使用して、このピンをセル 9 の正端子に接続します。フィルタ抵抗は、内部バランス電流も設定します。
CB8	18	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB7 への差動 RC フィルタを使用して、このピンをセル 8 の正端子に接続します。フィルタ抵抗は、内部バランス電流も設定します。
CB7	20	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB6 への差動 RC フィルタを使用して、このピンをセル 7 の正端子に接続します。フィルタ抵抗は、内部バランス電流も設定します。

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
BQ79616			
CB6	22	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB5 への差動 RC フィルタを使用して、このピンをセル 6 の正端子に接続します。フィルタ抵抗は、内部バランス電流も設定します。
CB5	24	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB4 への差動 RC フィルタを使用して、このピンをセル 5 の正端子に接続します。フィルタ抵抗は、内部バランス電流も設定します。
CB4	26	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB3 への差動 RC フィルタを使用して、このピンをセル 4 の正端子に接続します。フィルタ抵抗は、内部バランス電流も設定します。
CB3	28	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB2 への差動 RC フィルタを使用して、このピンをセル 3 の正端子に接続します。フィルタ抵抗は、内部バランス電流も設定します。
CB2	30	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB1 への差動 RC フィルタを使用して、このピンをセル 2 の正端子に接続します。フィルタ抵抗は、内部バランス電流も設定します。
CB1	32	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。CB0 への差動 RC フィルタを使用して、このピンをセル 1 の正端子に接続します。フィルタ抵抗は、内部バランス電流も設定します。
CB0	34	I/O	セル バランス接続。このピンは、内部のセル バランシング FET に接続されています。AVSS への差動 RC フィルタを使用して、セル 1 の負端子に接続します。フィルタ抵抗は、内部バランス電流も設定します。
BBP	64	I	バス バー接続。BBP と BBN をバス バーの両端に接続すると、このチャネルは 5 倍のゲインで ADC 測定に差動入力を提供します。
BBN	63	I	バス バー接続。BBP と BBN をバス バーの両端に接続すると、このチャネルは 5 倍のゲインで ADC 測定に差動入力を提供します。
RX	52	I	UART レシーバ入力。外付け抵抗を使用して CVDD にプルアップし、デバイスの RX をホストマイコンの TX 出力に接続します。使用しない場合 (スタック デバイスなど) は、RX を CVDD に接続します。
TX	53	O	UART トランスミッタ出力。デバイスの TX をホストマイコンの RX 入力に接続します。ホスト側からプルアップされます。使用しない場合 (スタック デバイスなど) は、フローティングのままにします。
COMHP	43	I/O	デジチェーン接続用の垂直双方向通信インターフェイス。ハイスайд (N 側) 差動 I/O。デジチェーン構成で、下側の隣接デバイスのローサイド (S 側) COMLP と COMLN に接続します。未使用の場合は、COMHP と COMHN の間に 1kΩ の抵抗を接続します。
COMHN	42	I/O	
COMLP	40	I/O	デジチェーン接続用の垂直双方向通信インターフェイス。ローサイド (S 側) 差動 I/O。デジチェーン構成で、上側の隣接デバイスのハイスайд (N 側) COMHP と COMHN に接続します。未使用の場合は、COMLP と COMLN の間に 1kΩ の抵抗を接続します。
COMLN	41	I/O	
NFAULT	62	O	フォルト通知出力。アクティブ Low。ベース デバイスで使用する場合は、プルアップ抵抗を使用して NFAULT を CVDD にプルアップし、NFAULT をホストマイコン GPIO に接続します。使用しない場合は、未接続のままにします。
GPIO1	61	I/O	汎用入出力、構成オプションは次のとおりです。 - 外部 NTC サーミスタ接続の場合は、NTC サーミスタをピンに接続し、TSREF にプルアップします。ADC および OT/UT ハードウェア コンパレータへの入力として使用 - 外部 DC 電圧の測定の場合は、ADC への入力として構成 - セキュア デジタル入出力 - SPI コントローラの I/O として使用。
GPIO2	60	I/O	
GPIO3	59	I/O	
GPIO4	58	I/O	
GPIO5	57	I/O	
GPIO6	56	I/O	
GPIO7	55	I/O	
GPIO8	54	I/O	

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
入力電圧	BAT、VC* (VC0を除く)、CB* (CB0を除く)、NFAULT、BBP、BBN から AVSS へ ^{(2) (3)}	-0.3	100	V
	CB0、VC0 から AVSS へ	-0.3	5.5	V
	VCn から VCn-1 へ、n = 1 ~ 16 ⁽²⁾	-80	80	V
	CBn から CBn-1 へ、n = 1 ~ 16 ⁽³⁾	-0.3	16	V
	BBP から BBN へ	-80	80	V
	LDOIN から AVSS へ	-0.3	9	V
	NPNB から AVSS へ	-0.3	10	V
	AVDD から AVSS へ	-0.3	5.5	V
	DVDD から DVSS へ	-0.3	1.98	V
	CVDD から CVSS	-0.3	6	V
	TSREF から AVSS へ	-0.3	5.5	V
	REFHP から REFHM へ	-0.3	5.5	V
	NEG5V から AVSS	-5.5	0	V
	TX、RX から AVSS へ	-0.3	6	V
	COMHP、COMHN、COMLP、COMLN から CVSS へ	-20	20	V
	COMHP から COMHN へ、COMLP から COMLN へ	-5.5	5.5	V
	GPIO* から AVSS へ	-0.3	5.5	V
CB* 電流	周囲温度 75°C でのバランシングで最大 8 セル		240	mA
I/O 電流	GPIO*、RX、TX 電流		10	mA
T _{OTP_PROG}	この温度を超えると、デバイスは OTP プログラミングを開始しない		55	°C
T _A	周辺温度	-40	130	°C
T _J	接合部温度	-40	150	°C
T _{stg}	保存温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。この免責事項は、2021 年第 1 四半期から新たに追加されました。新しくリリースされたすべてのデータシート
- (2) VC ピンの電圧は、VCn ~ AVSS と VCn ~ VCn-1 の両方の基準を満たす必要があります。
- (3) CB ピンの電圧は、CBn から AVSS と CBn から CBn-1 の両方の基準を満たす必要があります。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM) ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM) ⁽²⁾	すべてのピン	
			その他のピン (1、16、17、32、33、48、49、64)	
			±500	
			±750	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _{BAT_RANGE}	モジュールの合計電圧、完全な機能、OTP プログラミングなし	9		80	V
V _{BAT_OTP_RANGE}	モジュールの合計電圧、完全な機能、OTP プログラミング可能	11		80	V
V _{CELL_RANGE}	V _{Cn} - V _{Cn-1} 、ここで n = 2 ~ 16	-1		5	V
	V _{C1} - V _{C0}	0		5	V
	V _{C0} 、CB ₀ から AVSS へ	-0.3		5	V
	V _{C1} 、V _{C2} 、CB ₁ 、CB ₂ から AVSS	-0.3		80	V
	V _{Cn} 、CB _n から AVSS。ここで、n = 3 ~ 16	3		80	V
V _{BB_RANGE}	V _{BBP} - V _{BBN}	-600		800	mV
V _{CB_RANGE}	CB _n - CB _{n-1} 、ここで n = 1 ~ 16	0		5	V
V _{IO_RANGE}	RX、TX、NFAULT	0		CVDD	V
V _{GPIO_RANGE}	GPIO _n 入力。ここで、n = 1 ~ 8	0.2		4.8	V
I _{IO}	GPIO _n 、RX、TX。ここで、n = 1 ~ 8			5	mA
T _A	動作温度	-40		105	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		BQ79616	単位
		PAP (HTQFP)	
		64 ピン	
R _{θJA}	接合部から周囲への熱抵抗	21.6	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	8.7	°C/W
R _{θJB}	接合部から基板への熱抵抗	7.9	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.1	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	7.8	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	2.1	°C/W

(1) 従来および最新の熱評価基準の詳細については、アプリケーション ノート、「[半導体および IC パッケージの熱評価基準](#)」を参照してください。

5.5 電気的特性

自由気流での動作温度範囲 -40°C ~ 125°C 内で、VBAT = 9V ~ 80V (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
サーマル シャットダウン					
T _{SHUT}	サーマル シャットダウン (立ち上がり)	130	137	152	°C
T _{SHUT_FALL}	サーマル シャットダウン (立ち下がり)	112		129	°C
T _{SHUT_HYS}	サーマル シャットダウン (立ち上がり/立ち下がり)		20		°C
T _{WARN_RANGE}	過熱警告のスレッショルド (立ち上がり)	85		115	°C
T _{WARN_HYS}	過熱警告ヒステリシス (立ち下がり)		10		°C

5.5 電気的特性 (続き)

自由気流での動作温度範囲 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 内で、VBAT = 9V ~ 80V (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
T _{WARN_ACC}	過熱警告精度 (±)		5			°C
供給電流						
I _{SHDN}	SHUTDOWN モードの電源電流	I _{BAT} と I _{LDOIN} の両方の合計	16	23		μA
I _{SLP(IDLE)}	SLEEP モードでのベースライン電源電流。フォルトなし、プロテクタコンパレータなし、セル バランシングなし	I _{BAT} と I _{LDOIN} の両方の合計 T _A = -20°C ~ 65°C	120	160		μA
		I _{BAT} と I _{LDOIN} の両方の合計 T _A = -40°C ~ 125°C		220		μA
I _{ACT(IDLE)}	ACTIVE モードでのベースライン電源電流。	I _{BAT} と I _{LDOIN} の両方の合計 フォルトなし、通信なし、プロテクタコンパレータなし、セル バランシングなし	10.4	11.6		mA
I _{CB_EN}	セル バランシングをオンにしたときの追加電源電流。	1 つ以上のセル バランシング FET がオンで、OT _{CB} が有効。その他の機能は非アクティブ	1	1.5		mA
I _{PROTCOMP}	プロテクタ コンパレータをオンにしたときの追加電源電流	OV/UV/OT/UT プロテクタのいずれかが有効。その他の機能は非アクティブ	20	60		μA
I _{ADC}	ADC を有効にしたときの追加電源電流	1 つの ADC がオン、変換が進行中。その他の機能は非アクティブ。	0.4	0.6		mA
		2 つの ADC がオン、変換が進行中。その他の機能は非アクティブ。	0.6	0.9		mA
I _{BAT}	電源電流が BAT ピンに流入	ACTIVE モード	150			μA
		SLEEP モード	25			μA
		SHUTDOWN モード	5			μA
I _{COMT}	128 バイト データのデジタイゼーション ブロードキャスト読み取り時の追加電源電流	デジタイゼーション インターフェイスにトランス絶縁を使用。	10			mA
COMC	128 バイト データのデジタイゼーション ブロードキャスト読み取り時の追加電源電流	デジタイゼーション インターフェイスに、コンデンサまたはコンデンサとチョーク絶縁を使用。	10			mA
I _{OW_SINK}	断線テスト用のシンク電流。VC1 ~ VC16 と CB1 ~ CB 16 に印加		380	500	600	μA
I _{OW_SOURCE}	断線線テスト用のソース電流。VC0 と CB0 に印加		380	500	600	μA
I _{LEAK}	VC、CB ピンのリーク電流	ADC がオフ時の VC、CB ピン。			0.1	μA
電源 (LDOIN)						
V _{LDOIN}	LDOIN 電圧	OTP プログラミングなし	5.9	6	6.1	V
		OTP プログラミング	7.9	8	8.1	V
電源 (CVDD)						
V _{CVDD}	CVDD 出力電圧	ACTIVE および SLEEP モード	4.9	5	5.1	V
		SHUTDOWN モード、外部 Iload なし	3.95		6	V
		SHUTDOWN モード、最大外部 Iload = 5mA	3.4		5.5	V
V _{CVDD_LDRG}	CVDD 負荷レギュレーション	ACTIVE/SLEEP モード、最大外部 Iload = 10mA	-30		30	mV

5.5 電気的特性 (続き)

自由気流での動作温度範囲 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 内で、VBAT = 9V ~ 80V (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{CVDD_OV}	CVDD OV スレッシュホールド	ACTIVE/SLEEP モード、最大外部 I _{load} = 10mA	5.3	5.5	5.7	V
V _{CVDD_OVHYS}	CVDD OV ヒステリシス	ACTIVE/SLEEP モード、最大外部 I _{load} = 10mA	130	150	170	mV
V _{CVDD_UV}	CVDD UV スレッシュホールド	SHUTDOWN モード		3.5		V
		ACTIVE/SLEEP モード、最大外部 I _{load} = 10mA	4.3	4.45	4.65	V
V _{CVDD_UVHYS}	CVDD UV ヒステリシス			260		mV
V _{CVDD_ILIMIT}	CVDD 電流制限	ACTIVE、SLEEP	35	60	85	mA
電源 (AVDD)						
V _{AVDD}	AVDD 出力電圧	C _{SUPPLIES} = 1μF、ACTIVE モード	4.85	5	5.21	V
V _{AVDD_OV}	AVDD OV スレッシュホールド	C _{SUPPLIES} = 1μF、ACTIVE モード	5.25	5.5	5.7	V
V _{AVDD_OVHYS}	AVDD OV ヒステリシス	C _{SUPPLIES} = 1μF、ACTIVE モード	135	155	165	mV
V _{AVDD_UV}	AVDD UV スレッシュホールド	C _{SUPPLIES} = 1μF、ACTIVE モード	4.25	4.45	4.6	V
V _{AVDD_UVHYS}	AVDD UV ヒステリシス	C _{SUPPLIES} = 1μF、ACTIVE モード	235	340	430	mV
V _{AVDD_ILIMIT}	AVDD 電流制限	C _{SUPPLIES} = 1μF	10	30	50	mA
電源 (DVDD)						
V _{DVDD}	DVDD 出力電圧	C _{SUPPLIES} = 1μF、ACTIVE モード	1.65	1.8	1.95	V
V _{DVDD_OV}	DVDD OV スレッシュホールド	C _{SUPPLIES} = 1μF、ACTIVE モード	1.95	2.1	2.3	V
V _{DVDD_OVHYS}	DVDD OV ヒステリシス	C _{SUPPLIES} = 1μF、ACTIVE モード	40	65	120	mV
V _{DVDD_UV}	DVDD UV スレッシュホールド	C _{SUPPLIES} = 1μF、ACTIVE モード	1.623	1.65	1.71	V
V _{DVDD_UVHYS}	DVDD UV ヒステリシス	C _{SUPPLIES} = 1μF、ACTIVE モード	15	50	73	mV
V _{DVDD_ILIMIT}	DVDD 電流制限		13	30	53	mA
電源 (TSREF)						
V _{TSREF}	TSREF 出力電圧	C _{SUPPLIES} = 1μF、ACTIVE モード	4.975	5	5.025	V
V _{TSREF_LDRG}	TSREF 負荷レギュレーション	I _{load} = 4mA、C _{SUPPLIES} = 1μF、ACTIVE モード	-30		30	mV
V _{TSREF_OV}	TSREF OV スレッシュホールド	I _{load} = 4mA、C _{SUPPLIES} = 1μF、ACTIVE モード	5.2	5.6	5.8	V
V _{TSREF_OVHYS}	TSREF OV ヒステリシス	I _{load} = 4mA、C _{SUPPLIES} = 1μF、ACTIVE モード	98	110	120	mV
V _{TSREF_UV}	TSREF UV スレッシュホールド	I _{load} = 4mA、C _{SUPPLIES} = 1μF、ACTIVE モード	4.0	4.2	4.4	V
V _{TSREF_UVHYS}	TSREF UV ヒステリシス	I _{load} = 4mA、C _{SUPPLIES} = 1μF、ACTIVE モード	300	350	400	mV
V _{TSREF_ILIMIT}	TSREF 電流制限	デバイスは ACTIVE モード	15	30	52	mA
負電圧チャージポンプ (NEG5V)						
V _{NEG5V}	NEG5V ピンの電圧	C _{NEG5V} = 0.1μF	-5.3	-4.6	-4.0	V
V _{NEG5V_UV}	NEG5V UV スレッシュホールド (立ち上がり)	C _{NEG5V} = 0.1μF	-4.1	-3.5	-3.0	V
V _{NEG5V_UVRECOV}	NEG5V UV 復帰	C _{NEG5V} = 0.1μF	-4.3	-3.8	-3.3	V
CELL BALANCE						
R _{DSON}	内部セル バランス FET Rdson	V _{Cn} > 2.8V、ここで n = 1~16、 $-40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$	1.45		4.6	Ω

5.5 電気的特性 (続き)

自由気流での動作温度範囲 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 内で、VBAT = 9V $\sim$ 80V (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{CB_DONE}	VCB_DONE 検出スレッシュホールド設定範囲 (精度ではない)	25mV ステップ	2.45		4	V
V _{MB_DONE}	VMB_DONE 検出スレッシュホールド設定範囲 (精度なし)	1V ステップ	18		65	V
T _{OTCB}	OTCB スレッシュホールド設定範囲 (精度ではない)	2% ステップ	10		24	%
T _{COOLOFF}	COOLOFF スレッシュホールド設定範囲 (精度ではない)	2% ステップ	4		14	%
T _{CB_WARN}	CB TWARN スレッシュホールド			105		$^{\circ}\text{C}$
T _{CB_WARN_HYS}	CB TWARN ヒステリシス			10		$^{\circ}\text{C}$
ADC 分解能						
ENOB _{MAIN}	メイン ADC の有効ビット数			16		ビット
ENOB _{AUX}	AUX ADC の有効ビット数			14		ビット
V _{LSB_ADC}	VCELL 測定のメインおよび AUX ADC 分解能			190.73		$\mu\text{V}/\text{LSB}$
V _{LSB_BB}	(BBP-BBN) 測定のメインおよび AUX ADC 分解能			30.52		$\mu\text{V}/\text{LSB}$
V _{LSB_MAIN_DIETEMP1}	DieTemp1 分解能 (メイン ADC)	ADC 測定の中央値は 0x000 = 0 $^{\circ}\text{C}$		0.025		$^{\circ}\text{C}/\text{LSB}$
V _{LSB_AUX_DIETEMP2}	DieTemp2 分解能 (AUX ADC)	ADC 測定の中央値は 0x000 = 0 $^{\circ}\text{C}$		0.025		$^{\circ}\text{C}/\text{LSB}$
V _{LSB_AUX_BAT}	BAT 分解能 (AUX ADC)	AUX ADC からの BAT 電圧測定に適用		3.05		mV/LSB
V _{LSB_GPIO}	GPIO 分解能 (メインおよび AUX ADC)			152.59		$\mu\text{V}/\text{LSB}$
V _{LSB_TSREF}	TSREF 分解能 (メイン ADC)			169.54		$\mu\text{V}/\text{LSB}$
V _{LSB_DIAG}	診断測定分解能	REFL、VBG2、LPBG5、VCM、AVAO_REF、AVDD_REF、すべての HW プロテクタ DAC		152.59		$\mu\text{V}/\text{LSB}$
ADC の精度						
I _{VC_DELTA}	VCn to VCn-1 への入力電流デルタ (メイン ADC がオンの場合)	T _A = $-20^{\circ}\text{C} \sim 65^{\circ}\text{C}$		1.8		μA
		T _A = $-40^{\circ}\text{C} \sim 105^{\circ}\text{C}$		2		μA
I _{VC}	VCn 入力電流 (メイン ADC がオンの場合)			8	12	μA
R _{CB_INPUT}	CB ピンの入力インピーダンス (AUX ADC がオンの場合)			16		M Ω
V _{ACC_MAIN_CELL}	メイン ADC VCELL 測定の合計チャネル精度、LPF_VCELL[2:0] = 0x03 設定。	2V < V _{CELL} < 4.5V, T _A = 25 $^{\circ}\text{C}$	-2.2		1.5	mV
		2V < V _{CELL} < 4.5V, $-20^{\circ}\text{C} < \text{T}_\text{A} < 65^{\circ}\text{C}$	-3.0		2.4	mV
		2V < V _{CELL} < 4.5V, $-40^{\circ}\text{C} < \text{T}_\text{A} < 105^{\circ}\text{C}$	-3.5		2.6	mV
		2V < V _{CELL} < 4.5V, $-40^{\circ}\text{C} < \text{T}_\text{A} < 125^{\circ}\text{C}$	-3.5		2.6	mV
		1V < V _{CELL} < 5V, $-40^{\circ}\text{C} < \text{T}_\text{A} < 125^{\circ}\text{C}$	-3.7		2.8	mV
		-2V < V _{CELL} < 5V, $-40^{\circ}\text{C} < \text{T}_\text{A} < 125^{\circ}\text{C}$	-4.5		3.2	mV

5.5 電気的特性 (続き)

自由気流での動作温度範囲 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 内で、VBAT = 9V ~ 80V (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{\text{ACC_AUX_CELL}}$	AUX ADC 測定の合計チャンネル精度 (BAT および GPIO の精度を除く)。	$2\text{V} < V_{\text{CELL}} < 4.5\text{V}$, $T_A = 25^{\circ}\text{C}$	-7.5		5.4	mV
		$2\text{V} < V_{\text{CELL}} < 4.5\text{V}$, $-20^{\circ}\text{C} < T_A < 65^{\circ}\text{C}$	-8.0		6.3	mV
		$2\text{V} < V_{\text{CELL}} < 4.5\text{V}$, $-40^{\circ}\text{C} < T_A < 105^{\circ}\text{C}$	-9.0		6.3	mV
		$2\text{V} < V_{\text{CELL}} < 4.5\text{V}$, $-40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$	-9.0		6.5	mV
		$1\text{V} < V_{\text{CELL}} < 5\text{V}$, $-40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$	-9.0		6.6	mV
		$0\text{V} < V_{\text{CELL}} < 5\text{V}$, $-40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$	-9.0		6.6	mV
$V_{(\text{MAIN-AUX})}$	VCELL および OVDAC リファレンス診断中のメイン - AUX 測定。同じ T_A 下で両方の ADC に対して同じ入力電圧	$2\text{V} < V_{\text{CELL}} < 4.5\text{V}$, $T_A = 25^{\circ}\text{C}$	-7.1		6.1	mV
		$2\text{V} < V_{\text{CELL}} < 4.5\text{V}$, $-20^{\circ}\text{C} < T_A < 65^{\circ}\text{C}$	-7.8		6.6	mV
		$2\text{V} < V_{\text{CELL}} < 4.5\text{V}$, $-40^{\circ}\text{C} < T_A < 105^{\circ}\text{C}$	-7.8		6.6	mV
		$2\text{V} < V_{\text{CELL}} < 4.5\text{V}$, $-40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$	-7.8		6.7	mV
		$1\text{V} < V_{\text{CELL}} < 5\text{V}$, $-40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$	-7.9		6.9	mV
		$0\text{V} < V_{\text{CELL}} < 5\text{V}$, $-40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$	-7.9		6.9	mV
$V_{\text{ACC_MAIN_GPIO_RATIO}}$	メイン ADC から GPIO を測定/メイン ADC から TSREF を測定	$0.08\text{V} < V_{\text{IN}} < 0.2\text{V}$, $85^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$	-0.20		0.20	%
		$0.2\text{V} < V_{\text{IN}} < 4.6\text{V}$, $-40^{\circ}\text{C} < T_A < 105^{\circ}\text{C}$	-0.20		0.20	%
		$4.6\text{V} < V_{\text{IN}} < 4.8\text{V}$, $-40^{\circ}\text{C} < T_A < -20^{\circ}\text{C}$	-0.30		0.30	%
$V_{\text{ACC_AUX_GPIO_RATIO}}$	AUX ADC から GPIO を測定/AUX ADC から TSREF を測定	$0.08\text{V} < V_{\text{IN}} < 0.2\text{V}$, $85^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$	-0.20		0.20	%
		$0.2\text{V} < V_{\text{IN}} < 4.6\text{V}$, $-40^{\circ}\text{C} < T_A < 105^{\circ}\text{C}$	-0.20		0.20	%
		$4.6\text{V} < V_{\text{IN}} < 4.8\text{V}$, $-40^{\circ}\text{C} < T_A < -20^{\circ}\text{C}$	-0.30		0.30	%
$V_{\text{ACC_MAIN_GPIO_ABS}}$	GPIO 測定の合計チャンネル精度 (メイン ADC)	$0.08\text{V} < V_{\text{IN}} < 0.2\text{V}$, $85^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$	-4.00		4.00	mV
		$0.2\text{V} < V_{\text{IN}} < 4.6\text{V}$, $-40^{\circ}\text{C} < T_A < 105^{\circ}\text{C}$	-5.00		3.00	mV
		$4.6\text{V} < V_{\text{IN}} < 4.8\text{V}$, $-40^{\circ}\text{C} < T_A < -20^{\circ}\text{C}$	-4.00		4.00	mV
$V_{\text{ACC_AUX_GPIO_ABS}}$	GPIO での AUX ADC の精度	$0.08\text{V} < V_{\text{IN}} < 0.2\text{V}$, $85^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$	-6.00		6.00	mV
		$0.2\text{V} < V_{\text{IN}} < 4.6\text{V}$, $-40^{\circ}\text{C} < T_A < 105^{\circ}\text{C}$	-6.00		6.00	mV
		$4.6\text{V} < V_{\text{IN}} < 4.8\text{V}$, $-40^{\circ}\text{C} < T_A < -20^{\circ}\text{C}$	-6.00		6.00	mV
$V_{\text{ACC_MAIN_BB}}$	メイン ADC の (BBP-BBN) の合計チャンネル精度	LPF_BB[2:0] = 0x00	-1.1		1.1	mV
$V_{\text{ACC_AUX_BB}}$	AUXADC の (BBP-BBN) の合計チャンネル精度		-4		4	mV

5.5 電気的特性 (続き)

自由気流での動作温度範囲 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 内で、VBAT = 9V $\sim$ 80V (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{ACC_AUX_BAT}	BAT ピンの AUX ADC 測定精度	VBAT パックの範囲:32V ~ 72V、 T _A = -40°C ~ 125°C	-225		135	mV
V _{ACC_AUX_REFL}	AUX ADC 測定結果		1.092	1.1	1.106	V
V _{ACC_AUX_VBG2}	AUX ADC 測定結果		1.092	1.1	1.106	V
V _{ACC_AUX_VCM}	AUX ADC 測定結果		2.400	2.5	2.550	V
V _{ACC_AUX_AVAO_REF}	AUX ADC 測定結果		2.400	2.47	2.550	V
V _{ACC_AUX_AVDD_REF}	AUX ADC 測定結果		2.400	2.47	2.550	V
V _{ACC_AUX_OVDAC}	AUX ADC 測定結果	4.475V に設定、T _A = -20°C ~ 65°C	4.450		4.500	V
V _{ACC_AUX_OVDAC}	AUX ADC 測定結果	4.475V に設定、T _A = -40°C ~ 105°C	4.445		4.500	V
V _{ACC_AUX_OVDAC}	AUX ADC 測定結果	4.475V に設定、T _A = -40°C ~ 125°C	4.445		4.500	V
V _{ACC_AUX_OVDAC}	AUX ADC 測定結果	3.8V に設定	3.770		3.825	V
V _{ACC_AUX_OVDAC}	AUX ADC 測定結果	3V に設定	2.970		3.030	V
V _{ACC_AUX_UVDAC}	AUX ADC 測定結果	3.1V に設定	3.095	3.1	3.150	V
V _{ACC_AUX_VCBONEDAC}	AUX ADC 測定結果	4V に設定	3.950	4	4.050	V
V _{ACC_AUX_OTDAC}	AUX ADC 測定結果	39% に設定	1.900	1.95	2.000	V
V _{ACC_AUX_UTDAC}	AUX ADC 測定結果	80% に設定	3.950	4	4.050	V
V _{ACC_MAIN_TSREF}	メイン ADC 測定結果		4.975	5	5.025	V
V _{ACC_MAIN_DIETEMP}	ダイ温度 1 測定の合計チャネル精度 (±)			3		°C
V _{ACC_AUX_DIETEMP}	ダイ温度 2 測定の合計チャネル精度 (±)			6		°C
リファレンス電圧						
V _{REFH}	REFHP から REFHM への電圧		4.975	5	5.025	V
HW 電圧コンパレータ/プロテクタ (CELL OV / UV)						
V _{OV_COMP_RANGE}	OV コンパレータ検出スレッショルド 設定範囲 (精度ではない)	25mV ステップ	2700		3000	mV
		25mV ステップ	3600		3800	mV
		25mV ステップ	4175		4500	mV
V _{OV_COMP_HYS}	検出後の OV コンパレータ ヒステリシス			50		mV
V _{OV_COMP_ACC}	OV コンパレータ精度	T _A = -20°C ~ 65°C	-24		24	mV
		T _A = -40°C ~ 105°C	-28		28	mV
V _{UV_COMP_RANGE}	UV コンパレータ検出スレッショルド 設定範囲 (精度ではない)	50mV ステップ	1200		3100	mV
V _{UV_COMP_HYS}	検出後の UV コンパレータ ヒステリシス			50		mV
V _{UV_COMP_ACC}	UV コンパレータ精度	T _A = -20°C ~ 65°C	-35		35	mV
		T _A = -40°C ~ 105°C	-50		50	mV
HW 温度コンパレータ/プロテクタ (NTC OT/UT)						
V _{OT_COMP_RANGE}	OT コンパレータ検出スレッショルド 設定範囲 (精度ではない)	1% ステップ、TSREF に対するレシオメトリック	10		39	%

5.5 電気的特性 (続き)

自由気流での動作温度範囲 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 内で、VBAT = 9V ~ 80V (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{OT_COMP_HYS}$	検出後の OT コンパレータ ヒステリシス			2		%
$V_{OT_COMP_ACC}$	OT コンパレータ精度		-0.5		0.5	%
$V_{UT_COMP_RANGE}$	UT コンパレータ検出スレッシュホールド範囲	2% ステップ、TSREF に対するレシオメトリック	66		80	%
$V_{UT_COMP_HYS}$	検出後の UT コンパレータ ヒステリシス			2		%
$V_{UT_COMP_ACC}$	UT コンパレータ精度		-0.5		0.5	%
デジタル I/O (TX, RX, GPIO, SPI コントローラ)						
V_{OH}	ロジック レベル High としての出力 (出力として TX, GPIO)	GPIO は出力として構成。I _{OUT} = 1mA	$V_{CVDD} - 0.3$			V
V_{OL}	ロジック レベル Low としての出力 (出力として TX, NFAULT, GPIO)	GPIO は出力として構成。I _{OUT} = 1mA		0.3		V
V_{IH}	ロジック レベル High としての入力 (フォルト入力として RX, GPIO)	GPIO は入力として構成。I _{OUT} = 1mA	$0.75 \times V_{CVDD}$			V
V_{IL}	ロジック レベル Low としての入力 (フォルト入力として RX, GPIO)	GPIO は入力として構成。I _{OUT} = 1mA		$0.25 \times V_{CVDD}$		V
R_{WK_PU}	GPIO 弱プルアップ抵抗		20	37	60	K Ω
R_{WK_PD}	GPIO 弱プルダウン抵抗		20	40	60	K Ω
COML と COMH						
R_{DCTX}	トランスミッタ出力インピーダンス (COML および COMH)			18		Ω
R_{DCCM}	同相モード インピーダンス (COML および COMH)			45		k Ω
V_{DCCM}	同相モード電圧 (COML および COMH)		2.21	2.5	2.76	V
V_{COMM_DATA1}	通信用レシーバ スレッシュホールド範囲 ($V_{COMP} - V_{COML}$)	CODE:0	0.4		1.2	V
V_{COMM_TONE1}	トーン用レシーバ スレッシュホールド範囲 ($V_{COMP} - V_{COML}$)	CODE:0	0.4		1.2	V

5.6 タイミング要件

自由気流での動作温度範囲 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 内で、VBAT = 9V ~ 80V (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
電源状態のタイミング						
$t_{SU(WAKE_SHUT)}$	SHUTDOWN から ACTIVE モードへの起動	ベース デバイス: WAKE ping の終了から WAKE トーンの転送開始まで		6	10	ms
		スタック デバイス: 受信した WAKE トーンの終了から WAKE トーンの転送開始まで		6	10	ms
$t_{SU(SLP2ACT)}$	SLEEP から ACTIVE への起動 (SLEEP2ACTIVE ping トーンを使用)	ベース デバイス: SLEEP2ACTIVE ping の終了から SLEEP2ACTIVE トーンの転送開始まで			230	μs
		スタック デバイス: SLEEP2ACTIVE トーンの終了から SLEEP2ACTIVE トーンの転送開始まで			230	μs

5.6 タイミング要件 (続き)

自由気流での動作温度範囲 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 内で、VBAT = 9V ~ 80V (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
$t_{\text{SU(WAKE_SLP)}}$	SLEEP から ACTIVE への起動 (WAKE ping/トーンを使用)	ベース デバイス: WAKE ping の終了から WAKE トーンの転送開始まで			1	ms
		スタック デバイス: 受信した WAKE トーンの終了から WAKE トーンの転送開始まで			1	ms
t_{SLP}	ACTIVE から SLEEP モード	SLEEP 遷移条件の受信から SLEEP モードに遷移するまで			100	μs
t_{SHTDN}	ACTIVE から SLHUTDOWN モード	SHUTDOWN 遷移条件の受信から SHUTDOWN モードに遷移するまで (すべての LDO が公称値の 10% 以下)		20		ms
t_{RST}	ACTIVE モード時のリセット時間	CONTROL1[SOFT_RST] = 1 が送信されてからデジタル リセットが完了するまで			1	ms
t_{HWRST}	HW Reset ping/トーンの発行後、デバイスが HW リセット状態になるまでの時間				75	ms
電源タイミング						
$t_{\text{TSREF_ON}}$	TSREF ランプアップ時間 (10%–90%)	$C_{\text{TSREF}} = 1\mu\text{F}$		6		ms
$t_{\text{TSREF_OFF}}$	TSREF ランプダウン時間 (90%–10%)	$C_{\text{TSREF}} = 1\mu\text{F}$			8	ms
ping 信号タイミング						
$t_{\text{HLD_WAKE}}$	RX ピンでの WAKE ping Low 時間、CVDD 外部負荷なし		2		2.5	ms
$t_{\text{HLD_SD}}$	RX ピンでの SHUTDOWN ping Low 時間、CVDD 外部負荷なし		7		10	ms
$t_{\text{UART(SIA)}}$	RX ピンでの SLEEPtoACTIVE ping Low 時間		250		300	μs
$t_{\text{HLD_HWRST}}$	RX ピンでの HW_RESET ping Low 時間		36			ms
COML および COMH (PULSE および TONE TIMING)						
$t_{\text{PW_DC}}$	COMM: 通信データのパルス幅 (ハーフビット時間)			250		ns
$t_{\text{RECLK_DC}}$	COMM: デバイスごとのデータリクロッキング遅延 (COMH から COML、またはその逆)			4	5	μs
t_{COMTONE}	通信トーンのパルス間隔 (HFO ベース)。COMM トーンは、WAKE、SLEEPtoACTIVE、SHUTDOWN、HWRST トーンです			11	15	μs
$t_{\text{COMMTONE_HI}}$	各通信パルスの High 時間 (HFO ベース)		0.92	1	1.08	μs
$t_{\text{COMMTONE_LO}}$	各通信パルスの Low 時間 (HFO ベース)		0.92	1	1.08	μs
$t_{\text{FLT TONE}}$	FAULT トーンのパルス間の時間 (LFO ベース)。FAULT トーンと HEARTBEAT に適用されます			11.5		μs
$t_{\text{FLT TONE_HI}}$	トーン カプレットの各パルスの High 時間			1		μs
$t_{\text{FLT TONE_LO}}$	トーン カプレットの各パルスの Low 時間			1		μs
Ω_{WAKEDET}	WAKE トーンとして検出するパルス数			60		パルス
Ω_{WAKE}	WAKE トーンで遷移に必要なパルス数			90		パルス

5.6 タイミング要件 (続き)

自由気流での動作温度範囲 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 内で、VBAT = 9V ~ 80V (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
η_{SHDNDET}	SHUTDOWN トーンとして検出するパルス数			180		パルス
η_{SHDN}	SHUTDOWN トーンで遷移に必要なパルス数			270		パルス
$\eta_{\text{SLPtoACTDET}}$	SLEEPtoACTIVE トーンとして検出するパルス数			20		パルス
η_{SLPtoACT}	SLEEPtoACTIVE トーンで遷移に必要なパルス数			30		パルス
η_{HWRSTDET}	HW_RESET トーンとして検出するパルス数			540		パルス
η_{HWRST}	HW_RESET トーンで遷移に必要なパルス数			810		パルス
η_{HBDET}	HEARTBEAT: 有効なトーンとして検出するパルス数			20		パルス
η_{HB}	HEARTBEAT: トーンで遷移に必要なパルス数			30		パルス
$t_{\text{HB_PERIOD}}$	HEARTBEAT: HEARTBEAT パーストの間隔 (HEARTBEAT の開始から次の HEARTBEAT の開始まで)		360	400	440	ms
$t_{\text{HB_TIMEOUT}}$	HEARTBEAT: HEARTBEAT を受信していないと見なされるタイムアウト		0.9	1	1.1	s
$t_{\text{HB_FAST}}$	HEARTBEAT: この時間内に HEARTBEAT を受信すると、HEARTBEAT の受信速度が速すぎると見なされます			200		ms
η_{FTONEDET}	FAULT TONE: 有効なトーンとして検出するパルス数			60		パルス
η_{FTONE}	FAULT TONE: トーンで遷移に必要なパルス数			90		パルス
$t_{\text{FTONE_PERIOD}}$	FAULT TONE: FAULT TONE パースト間の時間 (FAULT TONE の開始から次の FAULT TONE の開始まで)			50		ms
$t_{\text{FTS_LATENCY}}$	スタック デバイスでのフォルトトーンのレイテンシ	デバイスがトーンを受信してから、同じデバイスがフォルトトーンを検出して生成するまでの時間		48		μs
$t_{\text{FTB_LATENCY}}$	ベース デバイスでのフォルトトーン レイテンシ	デバイスがトーンを受信してから、同じデバイスが NFAULT を検出してアサートするまでの時間		24		μs
メインおよび AUX ADC タイミング						
$t_{\text{SAR_CONV}}$	単一変換時間 (メイン ADC と AUX ADC の両方)			8		μs
$t_{\text{MAIN_ADC_CYCLE}}$	単一ラウンドロビン サイクル (メイン ADC)			192		μs
$t_{\text{AUX_ADC_CYCLE}}$	単一ラウンドロビン サイクル (AUX ADC)			192		μs
$t_{\text{AFE_SETTLE}}$	デバイスが SLEEP または SHUTDOWN から ACTIVE モードに移行するときのアナログ フロント エンド (レベル シフト) のセトリング タイム			4		ms

5.6 タイミング要件 (続き)

自由気流での動作温度範囲 -40°C ~ 125°C 内で、VBAT = 9V ~ 80V (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
t _{ADC_ACC}	これには、マルチプレクサのラウンドロビン、ADC 変換、デジタル フィルタが含まれます。		-1.5		1.5	%
バランシング タイミング						
t _{BAL_ACC}	バランシング タイマの精度		-5		5	%
HW コンパレータ/プロテクタのタイミング						
t _{OV_CYCLE}	OV ラウンドロビン サイクル			8		ms
t _{UV_CYCLE}	UV ラウンドロビン サイクル			8		ms
t _{OVUV_BIST_CYCLE}	OV と UV の BIST サイクル		21.8	23	24.2	ms
t _{OT_CYCLE}	OT ラウンドロビン サイクル			4		ms
t _{UT_CYCLE}	UT ラウンドロビン サイクル			4		ms
t _{PWR_BIST_CYCLE}	電源 BIST GO コマンドの後、電源 BIST が完了するために必要な時間		10.9	11.5	12.1	ms
t _{OTUT_BIST_CYCLE}	OT と UT の BIST サイクル		19	20	21	ms
t _{HW_COMP_ACC}	OV、UV、OT、UT コンパレータのタイミング精度		-5		5	%
I/O タイミング (TX, RX, GPIO, NFAULT)						
t _{RISE}	立ち上がり時間	V _{CVDD} > 最小 V _{CVDD} 、C _{LOAD} = 150pF、出力モードでは GPIO		12		ns
t _{FALL}	立ち下がり時間 (NFAULT を除く)	V _{CVDD} > 最小 V _{CVDD} 、C _{LOAD} = 150pF、出力モードでは GPIO		7		ns
t _{FALL_NFAULT}	NFAULT の立ち下がり時間	V _{CVDD} > 最小 V _{CVDD} 、C _{LOAD} = 150pF、R _{PULLUP} = 10kΩ		100		ns
UART のタイミング						
UART _{BAUD}	UART TX/RX ボーレート			1		Mbps
UART _{ERR_BAUD(RX)}	UART RX ボーレートエラー - 外部ホストの要件		-1		1	%
UART _{ERR_BAUD(TX)}	UART TX ボーレート誤差		-1.5		1.5	%
t _{UART(CLR)}	UART クリア Low 時間		15		20	ビット周期
t _{UART(RX_HIGH)}	COMM CLEAR の後に、新しいフレームを送信するまでの待機時間。		1			ビット周期
OTP NVM タイミング						
t _{CRC_CUST}	カスタム OTP 領域で 1 サイクルの CRC チェックを完了するまでの時間			175		μs
t _{CRC_FACT}	ファクトリ OTP 領域で 1 サイクルの CRC チェックを完了するまでの時間			1.6		ms
SPI コントローラのタイミング						
f _{SCLK}	SCLK 周波数		450	500	550	kHz
t _{HIGH} , t _{LOW}	SCLK デューティ サイクル			50		%
t _{SS(HIGH)}	SS HIGH レイテンシ時間。レジスタ書き込み High から SS ピン High までの時間			4		μs
t _{SS(LOW)}	SS LOW レイテンシ時間。レジスタ書き込み Low から SS ピン Low までの時間			4		μs
t _{SU(MISO)}	ターゲット デバイスの MISO 入力データのセットアップ時間の要件	SCLK 遷移前に MISO が安定	100			ns

5.6 タイミング要件 (続き)

自由気流での動作温度範囲 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 内で、VBAT = 9V $\sim$ 80V (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
$t_{\text{HD}}(\text{MISO})$	MISO 入力データ ホールド時間	SCLK 遷移後に MISO が安定		0		ns
発振器						
f_{HFO}	高周波発振器		31.52	32	32.48	MHz
f_{LFO}	低周波発振器		248.9	262	275.1	kHz

5.7 代表的特性

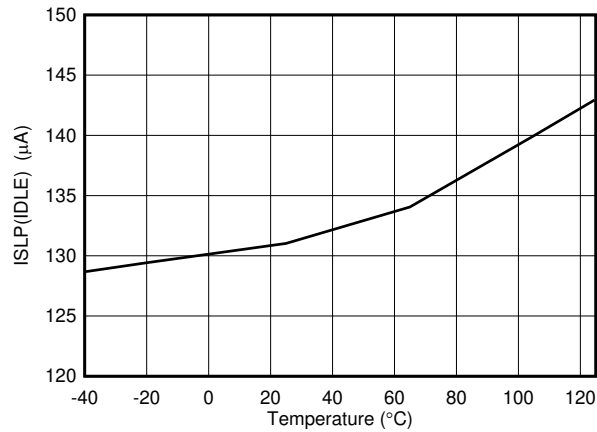


図 5-1. ISLP (IDLE) と温度との関係

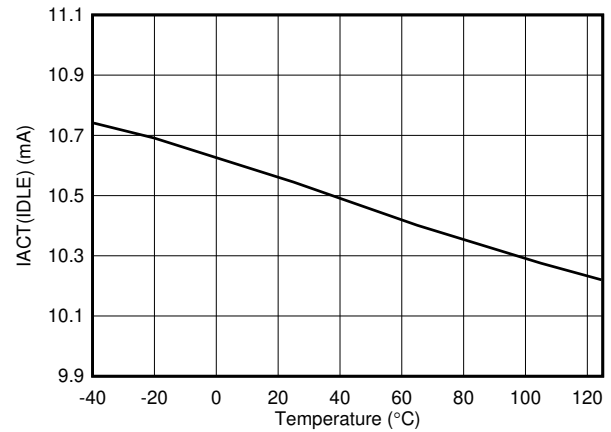


図 5-2. IACT (IDLE) と温度との関係

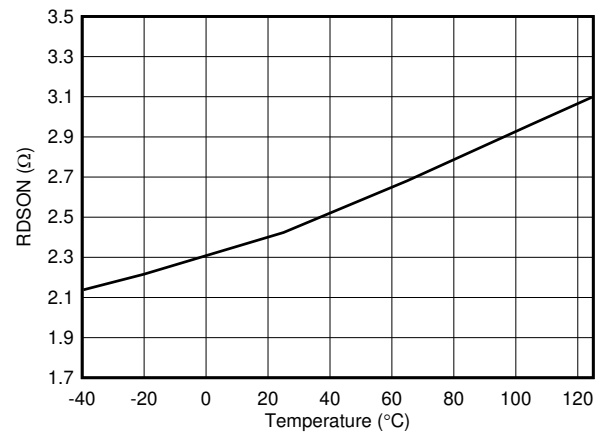


図 5-3. CBFET RDSON と温度との関係

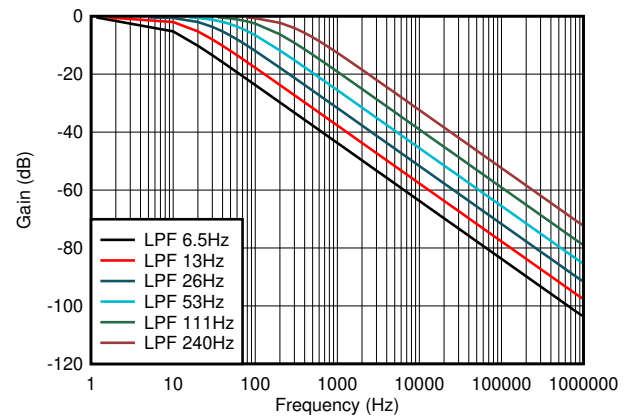


図 5-4. パッシブ ローパス フィルタ

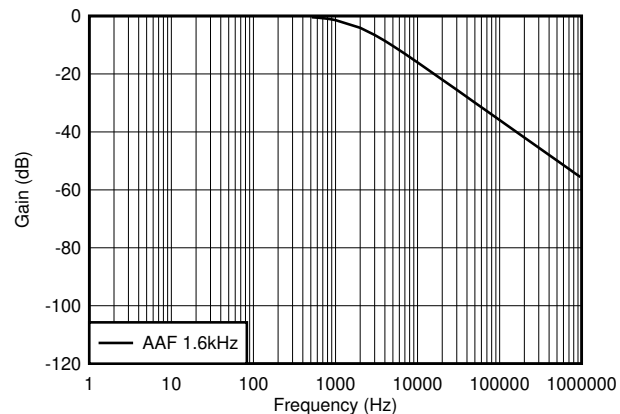


図 5-5. MAIN ADC フィルタ

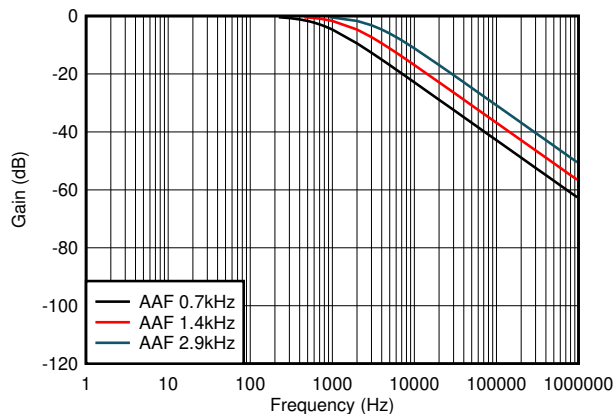


図 5-6. AUX ADC フィルタ

6 詳細説明

6.1 概要

BQ79616 デバイスは、セルの電圧と温度を測定するスタックابل バッテリ モニタです。このデバイスは、6 直列 ~ 16 直列 (6S ~ 16S) のバッテリー セル接続に対応しています。最大 3 つのバス バー接続と、セル センシング入力チャネルまたは専用のバス バー チャネルを使用した測定が可能です。これにより、デバイスの柔軟性が最大限に高まり、さまざまなバッテリー モジュール サイズに対応できます。

1 つのデ이지チェーン内で複数のデバイスを接続できます。各デバイスは、High (N) と Low (S) の垂直差動通信ポートのペアを備えており、必要なのは 1 本のツイストペアケーブルのみです。このデバイスは、容量性のみ、容量性とチョーク、トランスによる絶縁に対応しています。通信は、各デ이지チェーン接続デバイスでリクロックされるため、長距離通信の整合性が確保されます。ケーブル障害が発生した場合に対処できるように、オプションのリング接続は逆方向のデ이지チェーン通信をサポートしています。各デバイスには、GPIO を介して構成される SPI コントローラが搭載されています。

デ이지チェーン接続されたデバイス内の ADC は、セル電圧測定が同じタイミングで開始するように構成できます。また、すべてのセル電圧は 128 μ s 以内で測定可能です。各セル センシング チャネルは、ノイズを低減するポスト ADC デジタル ローパス フィルタ (LPF) を内蔵しており、移動平均を用いた測定結果を提供します。このデバイスには 8 つの GPIO があり、すべて NTC サーミスタ接続用に構成することも、汎用 I/O として使用することもできます。8 つの GPIO はすべて 1.6ms 以内で測定可能です。

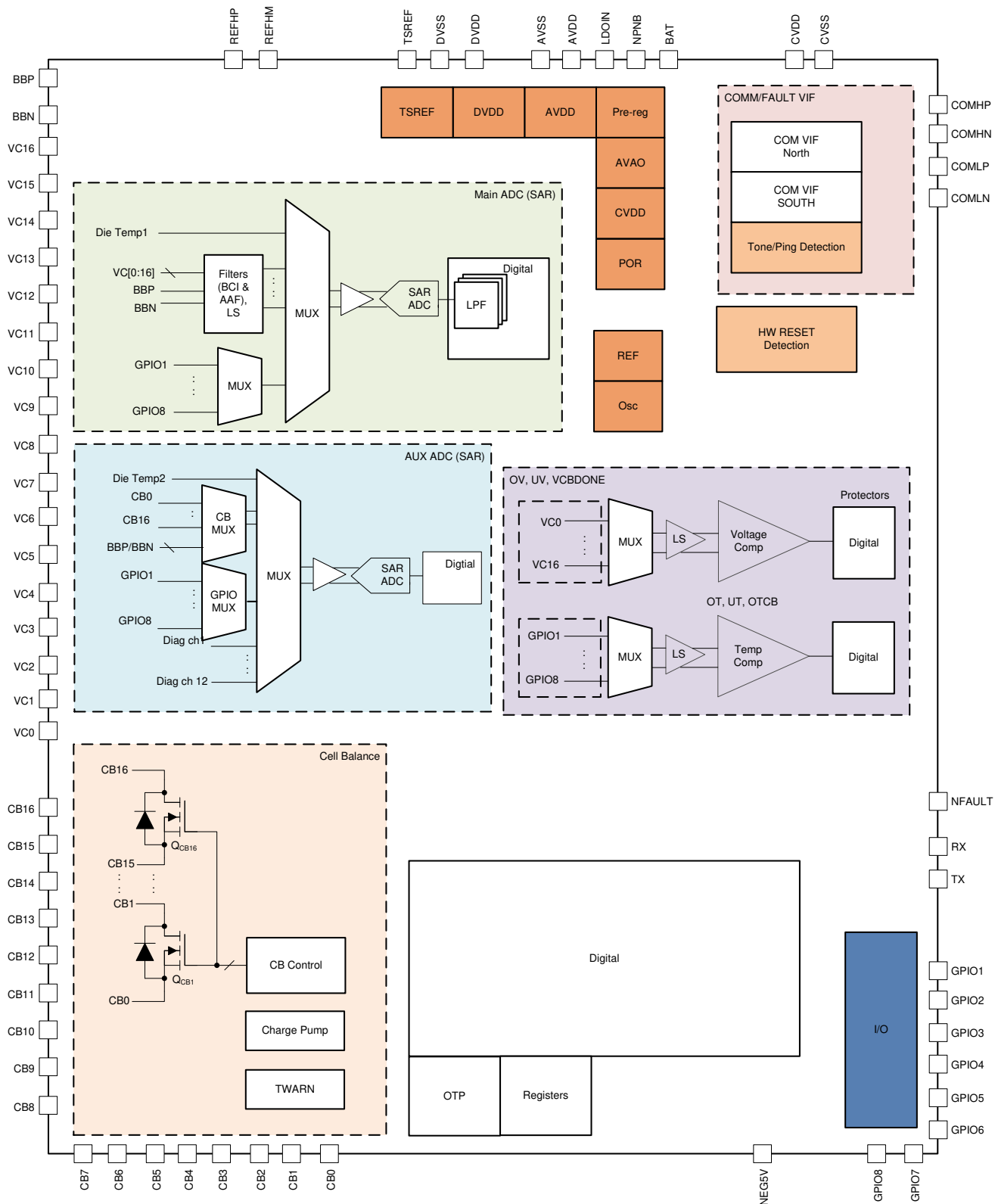
このデバイスは、セルごとに内部セル バランシング MOSFET (CBFET) によるパッシブ バランシングをサポートしています。バランシング機能は、マイコン (MCU) の介入なしで自律的に動作します。BQ79616 は、外部サーミスタによって検出されたプログラム可能なスレッシュホールドに基づいて、またはダイ温度が高すぎる (105°C 超) 場合に、バランシングを一時停止してから再開するオプションを備えています。バランシングが開始すると、デバイスは各セルのバランシング時間を追跡します。マイコンは、いつでも残りのバランシング時間を読み出すことができます。

このデバイスには、ハードウェア OVUV コンパレータと、ユーザーが構成可能なスレッシュホールドを備えた OTUT コンパレータが搭載されています。これらは、ADC の測定値に関係なく、セルの過電圧と低電圧の検出、サーミスタによる過熱と低温の検出を行う 2 次保護回路として使用できます。

このデバイスには、フォルト状態情報を通信フレームに埋め込むオプションがあります。デ이지チェーン内のデバイスがフォルト条件を検出すると、この情報が通信応答フレームに埋め込まれ、下位のデバイスに送信されます。このデバイスは、システムへの割り込み信号として NFAULT ピンをトリガするように構成できます。これにより、ツイストペア ケーブルと絶縁を追加することなく、通信オーバーヘッドを低減し、より迅速なフォルト検出が可能になります。

このデバイスには、消費電力を低減するため、SLEEP モードと SHUTDOWN モードが用意されています。すべての機能は ACTIVE モードで動作します。バランシング機能と OVUV/OTUT 用ハードウェア コンパレータは SLEEP モードでも動作します。SHUTDOWN モードでは、すべてのアクティブ機能がオフになります。HW リセット機能が用意されており、ホスト マイコンから有効にすることができます。HW リセットを使用すると、バッテリーを取り外すことなく、デバイスで POR と同様のイベントを発生させることができます。これにより、低コストで信頼性が高く、リカバリ可能なオプションを実現し、システム全体の堅牢性を向上させることができます。

6.2 機能ブロック図



6.3 機能説明

6.3.1 電源

デバイスは、動作に必要なすべての電源をバッテリー スタックから直接生成します。以下のサブセクションでは、各内部電源ブロックの概要について説明します。推奨される部品接続については、「[セクション 7](#)」を参照してください。電源ブロックの診断制御とフォルト検出については、「[セクション 6.3.6.4](#)」を参照してください。

6.3.1.1 AVAO_REF および AVDD_REF

AVAO_REF ブロック (アナログ電圧常時オン) には、BAT ピンから電力が供給されます。この電源は、すべての電力モードに必要な常時オンの低電流回路に電力を供給します。このブロックは、事前に安定化されたリファレンス AVAO_REF も生成します。AVAO_REF 電圧は、SHUTDOWN モードによって制御されるロード スイッチを通過します。ロード スイッチ通過後のリファレンス電圧は AVDD_REF です。

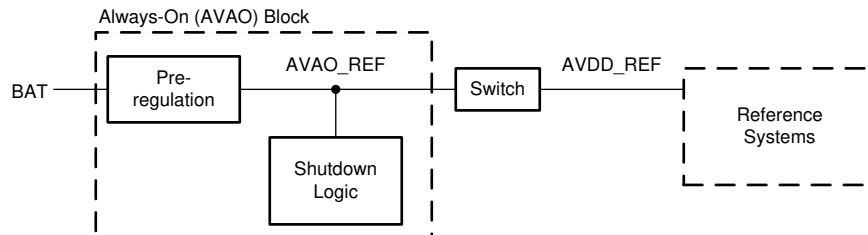


図 6-1. AVAO ブロック

6.3.1.2 LDOIN

このデバイスは、バッテリー モジュールから電力が供給されており、各セルに流れる電流は同じです。バッテリー モジュールの最上部から内部リニア レギュレータと外付け NPN トランジスタを介して、LDOIN ピンに 6-V の安定化電圧 (公称値) を出力します。NPNB ピンは、レギュレータの外部 NPN トランジスタを制御します。LDOIN 出力は、内部の他の低ドロップアウト レギュレータ (LDO) に対してプリレギュレートされた入力となります。OTP (ワンタイム プログラマブル) メモリのプログラミング中、LDOIN ピンは 8V (公称) に安定化され、OTP プログラミングに内部的にプログラミング電圧を供給します。LDOIN は、HW リセット時または POR イベント時にのみオフになります。

6.3.1.3 AVDD

AVDD LDO はアナログ回路の電源です。LDOIN から入力電圧を受け取り、公称 5V を生成します。外部回路への電力供給には使用されません。この LDO は、HW リセット時、または POR イベント時に SHUTDOWN モードでパワーダウンされます。

6.3.1.4 DVDD

DVDD LDO はデジタル回路の電源です。LDOIN から入力電圧を受け取り、公称 1.8V を生成します。外部回路への電力供給には使用されません。この LDO は、HW リセット時、または POR イベント時に SHUTDOWN モードでパワーダウンされます。

6.3.1.5 CVDD および NEG5V

CVDD LDO は、デジタイゼーションインターフェイス (または垂直インターフェイス、VIF) と I/O ピン (RX、TX、NFAULT、GPIO) の電源です。LDOIN から入力電圧を受け取り、5V (公称) を出力します。この LDO は、内部用電源としてだけでなく、外部負荷への給電にも対応しています。ACTIVE および SLEEP モードでは 10mA、SHUTDOWN モードでは 5mA を追加で供給可能です。

デジタイゼーション インターフェイス (または垂直インターフェイス VIF) とメイン ADC ブロック用として -5V チャージ ポンプが搭載されています。NEG5V ピンの出力は -4.6 V (公称) です。デバイスが SLEEP モードまたは SHUTDOWN モードのときに、ローパワー バースト モードになります。

6.3.1.6 TSREF

TSREF は、外部サーミスタ回路にバイアスを印加する 5V バッファ付きリファレンスで、ADC が温度を測定し、OTUT プロテクタが温度障害を検出できるようになります。このリファレンスは、メイン ADC で測定できます。メイン ADC で測定された TSREF と GPIO はどちらも、最良の温度測定を行うためにレシオメトリック測定を提供します。

TSREF は I_{TSREF_ILIMIT} まで供給でき、サーミスタ バイアス以外の外部回路の電力供給には使用されません。TSREF はデフォルトでオフになっており、**CONTROL2[TSREF_EN]** ビットによって有効または無効にできます。TSREF の起動時間は、外付け容量によって決定されます。マイコンは、GPIO 測定または OTUT プロテクタを検出する前に、TSREF が安定していることを確認します。TSREF LDO を有効にした後、次のコマンドを送信する前に 1.35ms 待機する必要があります。

6.3.2 測定システム

このデバイスには 2 つの SAR ADC (16 ビット メイン ADC と 14 ビット AUX ADC) があり、どちらも高精度測定に高精度基準 (REFH) を使用します。各 ADC は独自の独立した制御機能を備えており、個別に有効または無効にできます。メイン ADC は、セル電圧 (VCELL) の測定と GPIO に接続されたサーミスタによる温度測定に主に使用されます。また、TSREF とダイ温度の測定機能も搭載しています。AUX ADC は主に、OVUV および OTUT コンパレータの内部リファレンス電圧や DAC 出力の測定などの診断手順で使用されます。これは、セル電圧入力と GPIO 経由でのサーミスタ温度入力の冗長測定機能として機能します。

以下のサブセクションでは、メインおよび AUX の各 ADC 測定パスの概要を示します。推奨される外付け部品の接続については、[セクション 7](#) を参照してください。このブロックの診断制御機能とステータスについては、[セクション 6.3.6.4](#) を参照してください。

6.3.2.1 メイン ADC

メイン ADC ([図 6-2](#)) に多重化された合計 24 の入力 (スロット) があります。すべての入力はラウンドロビン方式で測定されます ([図 6-3](#))。各入力が 8 μ s (公称) で測定され、1 回のラウンドロビン サイクルが 192 μ s (公称) で完了します。メイン ADC への入力は次のとおりです。

- ダイ温度 1
- TSREF
- Cell1 ~ Cell16 の電圧。差動 $VC_{n-1} \sim VC_n$ 経由 ($n = 1 \sim 16$)
- バス バー入力。差動 BBP-BBN ビン経由
- 多重化された GPIO1 ~ GPIO8
- スペア (RSVD)

すべての測定値は、2 の補数形式の 16 ビット 16 進数で報告されます。結果は、対応する *_HI (上位バイト) および *_LO (下位バイト) レジスタに通知されます。最初に 16 進数の結果を 10 進数に変換します。[表 6-1](#) の式に従って、結果を μ V または $^{\circ}$ C に変換します。

メイン ADC が有効の場合、[表 6-1](#) に示すすべてのメイン ADC 関連結果レジスタはデフォルト値 0x8000 にリセットされます。メイン ADC がラウンドロビン サイクルで変換を行うと、測定結果が結果レジスタに入力されます。マイコンが *_HI レジスタを読み出すと、デバイスは、その *_LO レジスタが読み出されるまで、関連する *_LO レジスタへのデータリフレッシュを一時停止します。

表 6-1. メイン ADC 測定変換式

メイン ADC 入力	結果レジスタ	変換式
ダイ温度 1	DIETEMP1_HI/LO	$^{\circ}\text{C} = V_{\text{LSB_MAIN_DIETEMP1}}$ の結果 * 10 進数の結果 0x0000h は 0°C を中心とします。
TSREF	TSREF_HI/LO	$\mu\text{V} = V_{\text{LSB_TSREF}}$ の結果 * 10 進数の結果
Cell1~Cell16	VCELL*_HI/LO. ここで、* = 1 ~ 16	$\mu\text{V} = V_{\text{LSB_ADC}}$ の結果 * 10 進数の結果
バス バー	BUSBAR_HI/LO	$\mu\text{V} = V_{\text{LSB_BB}}$ の結果 * 10 進数の結果
GPIO1~GPIO8	GPIO*_HI/LO. ここで * = 1 ~ 8	$\mu\text{V} = V_{\text{LSB_GPIO}}$ の結果 * 10 進数の結果

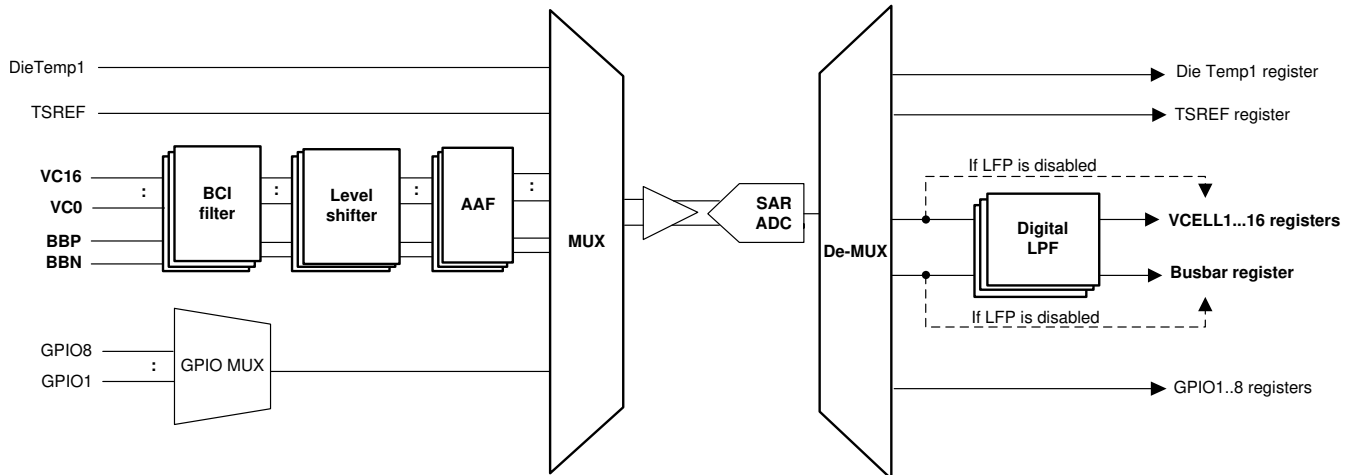


図 6-2. メイン ADC 測定パス

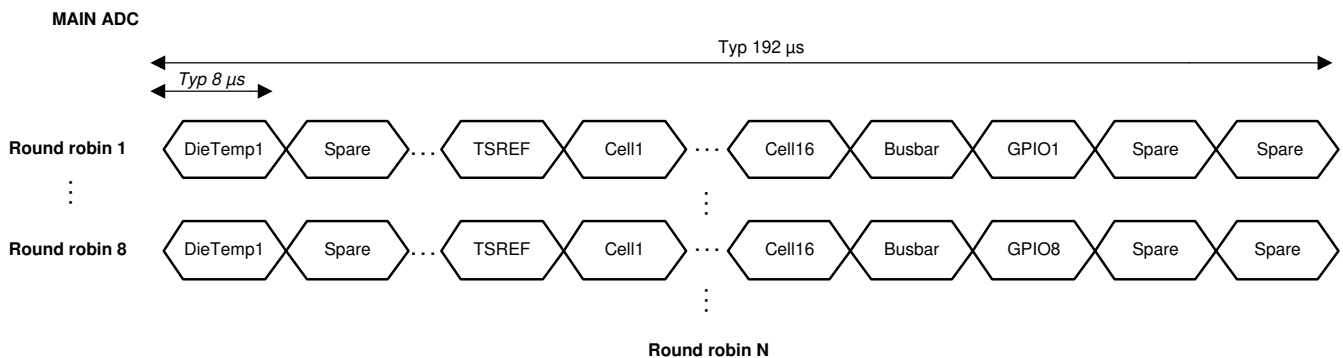


図 6-3. メイン ADC ラウンドロビン測定

6.3.2.1.1 セルの電圧測定

6.3.2.1.1.1 アナログフロントエンド

メイン ADC のセル電圧の測定値は、VC0 ～ VC16 ピンから取得されます。このデバイスでは、最小 6 セル、最大 16 セルを測定できます。VC0 ～ VC16 ピンはアナログ フロント エンドに接続されます。アナログ フロント エンドは、各 VC 入力チャネルの BCI フィルタ、レベル シフタ、アンチ エイリアシング フィルタ (AAF) で構成されます。BCI フィルタのカットオフ周波数 (f_{cutoff}) は 100kHz で、AAF の f_{cutoff} 1.6kHz です。このため、高電圧マルチプレクサに送られてメイン ADC で測定される前に、VC 入力の高周波ノイズがフィルタ処理されます。SLEEP モードおよび SHUTDOWN モードで電力を節約するため、レベル シフタ ブロックはオフになります。

6.3.2.1.1.2 VC チャネル測定

VC ピンは、ラウンドロビンの Cell1 から Cell16 スロットで測定される、メイン ADC のセル電圧測定用の入力チャネルです。デバイスに接続されているセルが 16 セルより少ない場合でも、ラウンドロビン タイミングは常に同じです (図 6-4)。つまり、非アクティブ (または未使用) の VC チャネルでは、デバイスはそれぞれのセル スロットを無視しますが、ラウンドロビン サイクルからスロットは削除されません。これにより、セル番号の構成に関係なく、一貫した測定タイミングが維持されます。また、ADC 後のデジタル LPF 入力に対して一貫したサンプリング時間を提供します。

ADC 測定用のアクティブな VCELL チャネル数を決定するには、ACTIVE_CELL[NUM_CELL3:0] パラメータで、アクティブなチャネル番号の最大値を設定します。デバイスは、この設定値を下回る VC チャネルもすべてアクティブであることを想定しています。たとえば、14S がデバイスに接続されている場合、マイコンは [NUM_CELL3:0] を 14s に設定し、メイン ADC はチャネル 15 およびチャネル 16 の測定値を無視し、チャネル 1 ～ 14 で測定を行います。

測定結果は、対応する $VCELL_HI$ (上位バイト) および $VCELL_LO$ (下位バイト) レジスタに通知されます。ここで $*$ = 1 ~ 16 です。デジタル LPF が無効の場合、単一の ADC 変換値が結果レジスタに通知されます。それ以外の場合は、結果レジスタにフィルタ測定値が通知されます。VC が非アクティブチャンネルの場合、それぞれの $_HI$ および $_LO$ レジスタはデフォルト値 0x8000 のままになります。

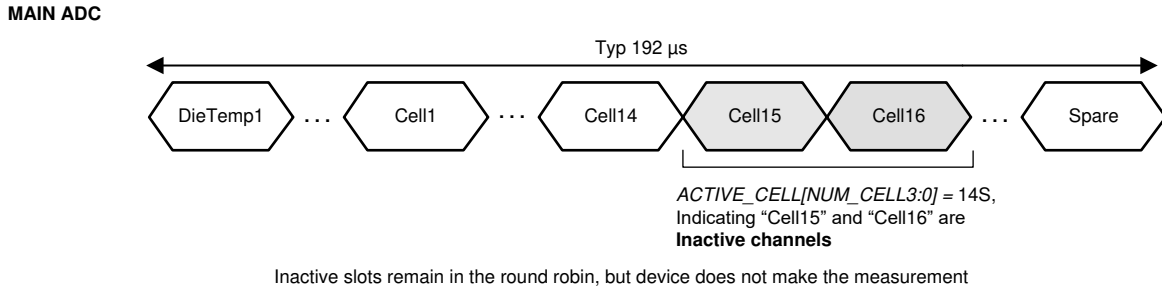


図 6-4. 6S ~ 16S で同じラウンドロビン タイミング

6.3.2.1.1.3 ポスト ADC デジタル LPF

各差動 VC チャンネル測定には、ポスト ADC LPF が備えられています。LPF のカットオフ周波数 (f_{cutoff}) は非常に低く設定されています。 f_{cutoff} には、次の 7 つのオプションがあります。6.5Hz、13Hz、26Hz、53Hz、111Hz、240Hz、600Hz。これらは、 $ADC_CONF1[LPF_VCELL2:0]$ 設定で構成可能です。 f_{cutoff} 値が選択されてから、 $ADC_CTRL1[LPF_VCELL_EN] = 1$ を設定で LPF が有効になると、同じ f_{cutoff} 設定がすべての VC チャンネル測定に適用されます。

デジタル LPF は単極フィルタとして実装されており、アナログ RC 回路と非常に類似した応答を示します。つまり、デジタル LPF に対してメイン ADC は連続モードで動作し、実効フィルタで処理された結果が生成されます。

マイコンは、入力 DC 電圧レベルにステップ変化がある場合のデジタル フィルタのセトリング タイムを考慮する必要があります。以下の式に、VC 電圧のステップについて、セトリング精度スレッショルドに達するまでのデジタル フィルタのセトリング タイムの標準的な推定値を示します。

デジタル フィルタ セトリング タイム $\sim [(\log_{10}(\text{セトリング精度スレッショルド [mV]} / \text{入力電圧の電圧ステップ [mV]})) / \log_{10}(1 - \text{フィルタ係数})) - 1] \times 0.192 \text{ ms}$

Fcutoff (Hz)	600	240	111	53	26	13	6.5
フィルタ係数	0.5	0.25	0.125	0.0625	0.03125	0.015625	0.007813

例: 15mV の VC ステップでは、ユーザーは 26Hz の LPF 設定により、入力ステップから 1 LSB 以内に収まるまでに約 27ms のセトリング タイムを考慮する必要があります。

LPF の開始時 (無効状態から有効状態になるとき) に、最初の入力値にジャンプし、その時点からフィルタリングを開始します。0V または中電圧から開始する場合と比べると、この実装では、メイン ADC のセトリング タイムを短縮し、LFP をすぐに開始することができます。

6.3.2.1.1.4 BBP および BBN 測定

BBP ピンと BBN ピンは、メイン ADC からバス バーを測定するための入力です。BB チャンネルの目的は、図 6-5 の例のように、システムがバス バーをセルと単一の VC チャンネルで共有できるようにすることです。したがって、VC 入力と同様に、BBP/N 入力はフロント エンドに BCI、レベルシフタ、AAF フィルタを備えています。差動 BB チャンネル測定には、ADC 後のデジタル LPF をパススルーするオプションもあります。VC チャンネルと同じ f_{cutoff} オプションを使用しますが、異なる構成および有効化制御 ($ADC_CONF1[LPF_BB2:0]$ と $ADC_CTRL1[LPF_BB_EN]$) を使用します。

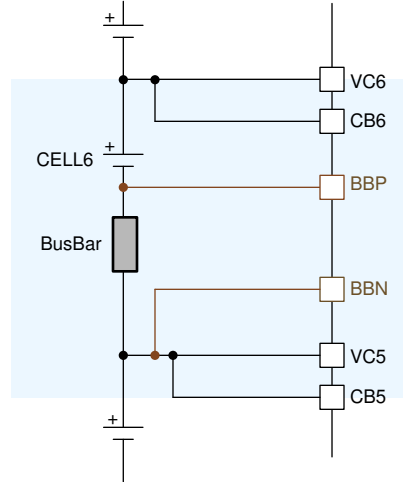


図 6-5. BBP と BBN の接続の簡素化

BB チャンネル測定は、**BUSBAR_HI** (上位バイト) および **BUSBAR_LO** (下位バイト) レジスタで通知されます。デジタル LPF が無効な場合、結果レジスタは単一の ADC 変換値で通知されます。それ以外の場合は、結果がフィルタ測定値で通知されます。図 6-5 では、実際の Cell6 測定を得るため、マイコンは (**VCELL6_HI/LO** 測定 – **BUSBAR_HI/LO** 測定) の差を取得します。BBP ピンと BBN ピンを使用しない場合 (フローティング)、**BUSBAR_HI/LO** レジスタの値は意味がありません。マイコンは、これらのレジスタ値を無視します。

6.3.2.1.2 温度測定

6.3.2.1.2.1 DieTemp1 の測定

ダイ温度センサには、DieTemp1 と DieTemp2 の 2 つがあります。DieTemp1 はメイン ADC に配線されており、内部的にはメイン ADC のゲインおよびオフセット補正にも使用されます。測定値は、**DIETEMP1_HI** (上位バイト) および **DIETEMP1_LO** (下位バイト) レジスタで通知されます。測定値 0°C は 16 進値 0x0000h を中心としているため、正の値は正の温度を表し、負の値は負の温度を表します。測定範囲は、+200°C ~ -100°C に制限されています。

6.3.2.1.2.2 GPIO および TSREF 測定

8 つの GPIO があります。すべての GPIO 入力、温度測定のサーミスタ接続に使用できるため、シンプルなシングルエンド電圧入力測定として使用できます。

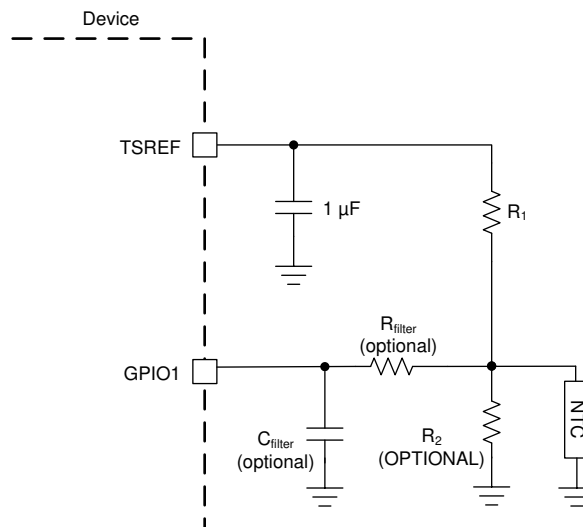


図 6-6. サーミスタ接続

図 6-6 に、サーミスタ測定用に GPIO を有効にした場合のサーミスタ回路を示します。 $CONTROL2[TSREF_EN] = 1$ を設定することで、マイコンは、測定値の取得前に TSREF が有効で安定していることを確認します。

GPIO は、メイン ADC MUX 入力の 1 つに多重化されます。つまり、1 ラウンドロビン サイクルで 1 つの GPIO だけが測定されます。8 つの GPIO 測定すべてを完了するには、8 回のラウンドロビン サイクルが必要です。

ADC 測定用に GPIO を有効にするには、対応する $GPIO_CONF_n[GPIO*2:0]$ レジスタ (ここで、 $n = 1 \sim 4$ 、 $* = 1 \sim 8$ で対応する GPIO を示します) を ADC 入力、または ADC および OTUT 入力に構成します。たとえば、ADC 測定のみ用に GPIO1 を有効にするには、ADC 入力に $GPIO_CONF_1[GPIO12:0]$ を設定します。詳細については、[セクション 6.3.5](#) を参照してください。GPIO が ADC 測定用に構成されていない場合、デバイスは対応する GPIO スロットを無視しますが、ラウンドロビン サイクルからスロットは削除されません。GPIO2 が ADC 以外の測定用に構成されている場合の例については、[図 6-7](#) を参照してください。

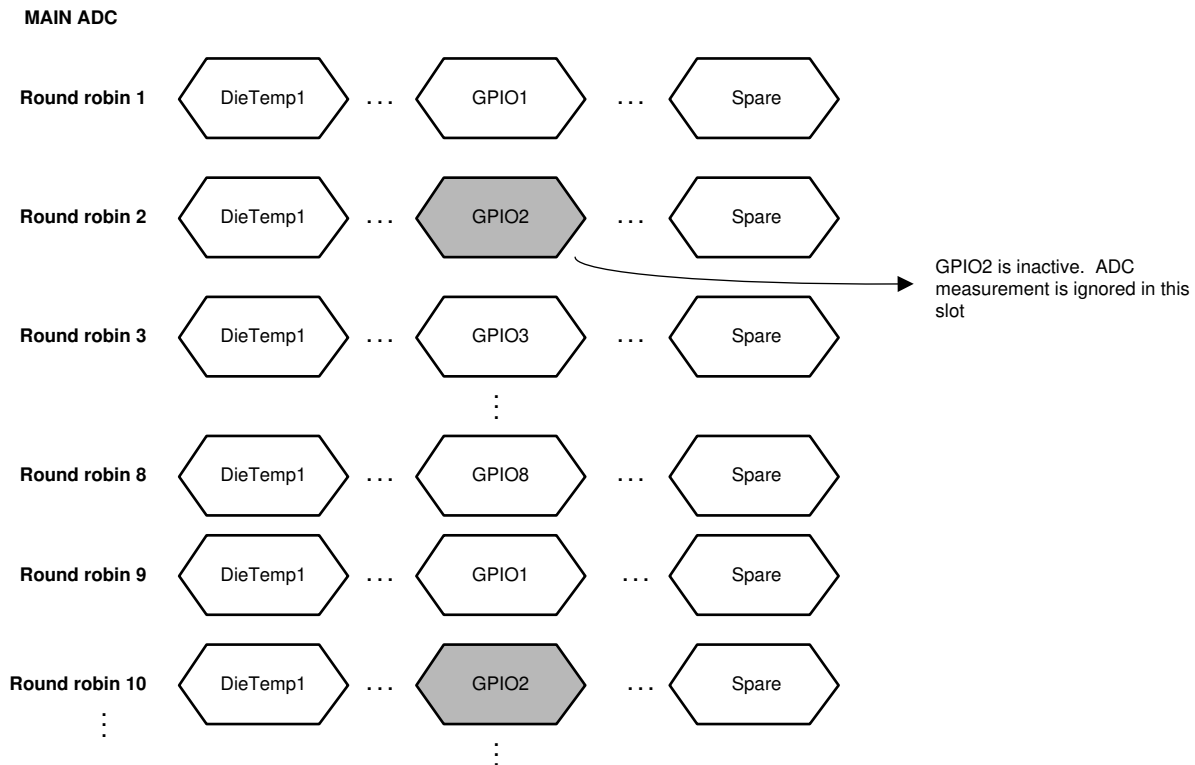


図 6-7. GPIO2 は ADC 測定用に構成されていない

測定値は、対応する $GPIO_HI$ (上位バイト) および $GPIO_LO$ (下位バイト) レジスタで通知されます (ここで、 $* = 1 \sim 8$)。測定結果は μV 単位です。温度の精度を向上させるため、マイコンは、TSREF と GPIO の両方の測定値を次の式で使用し、レシオメトリック測定を使用できます。 $(GPIO_ADC/TSREF_ADC) = RNTC / (RNTC + R1)$ 、ここで

- $GPIO_ADC$ = GPIO の ADC 測定値
- $TSREF_ADC$ = TSREF での ADC 測定値
- $RNTC$ = NTC サーミスタの抵抗
- $ACTIVE_CELL$ レジスタ: 非アクティブな VC チャンネルを決定し、結果レジスタをデフォルト値 0x8000 に維持します。
- $R1$ は、[図 6-6](#) に示すプルアップ抵抗であり、 $R2$ での使用は想定されていません。

GPIO が非アクティブチャンネルの場合、それぞれの $_HI$ および $_LO$ レジスタはデフォルト値 0x8000 のままになります。

6.3.2.1.3 メイン ADC の動作制御

6.3.2.1.3.1 動作モードとステータス

メイン ADC を開始するために、ホスト マイコンは `ADC_CTRL1[MAIN_GO] = 1` を設定します。デバイスが GO コマンドを受信すると、まず以下の設定をサンプリングしてメイン ADC 構成を決定し、それに応じてメイン ADC を動作させます。以下の設定を変更するたびに、マイコンは新しい設定を実装するために別の GO コマンドを再送信する必要があります。

- `ADC_CTRL1[MAIN_MODE1:0]`: 3 つの実行モード。詳しくは、表 6-2 を参照してください。
- `ADC_CTRL1[LPF_VCELL_EN]`: VC チャネルの LPF。有効な場合、`ADC_CONF1[LFP_VCELL2:0]` f_{cutoff} に設定します。
- `ADC_CTRL1[LPF_BB_EN]`: BB チャネルの LPF。有効な場合、`ADC_CONF1[LFP_BB2:0]` f_{cutoff} に設定します。
- `ADC_CONF2[ADC_DLY5:0]`: メイン ADC の開始を遅延させます。デジタイゼーション接続されたデバイス間で ADC の開始時間を調整するために使用します。
- `ACTIVE_CELL` レジスタ: 非アクティブな VC チャネルを決定し、結果レジスタをデフォルト値 0x8000 に維持します。
- `GPIO_CONF1` ~ `GPIO_CONF4`: 非アクティブな GPIO チャネルを決定し、結果レジスタをデフォルト値 0x8000 に維持します。
- `MAIN_ADC_CAL1`, `MAIN_ADC_CAL2`, `CS_ADC_CAL1`, `CS_ADC_CAL2`, `ADC_CTRL1[CS_DR]` レジスタ

注

LPF フィルタを有効にして ADC リセットを行う場合は、内部 LPF バッファの再初期化が必要なため、メイン ADC を再度動作させる前に、`LPF_VCELL_EN` ビット、`LPF_BB_EN` ビット、`MAIN_GO` ビットを 0 に設定し、再度 1 に設定する必要があります。この手順を省略すると、メイン ADC を次に有効にするときに、`LPF_FAIL` ステータス ビットが設定される可能性があります。

メイン ADC のステータスを示す 2 つのステータス ビットがあります。

- `DEV_STAT[MAIN_RUN]`: メイン ADC が動作しているかどうかを示します。
- `ADC_STAT1[DRDY_MAIN_ADC]`: 少なくとも 8 回のラウンドロビン サイクルが完了し、アクティブなすべての GPIO チャネルと他のすべてのメイン ADC 入力で少なくとも 1 回の測定が完了していることを示すときに設定されます。

表 6-2. メイン ADC 実行モードの概要

[MAIN_MODE1:0]	実行モード	説明
0b00	メイン ADC を停止	メイン ADC を停止します。
0b01	8 RR 実行 (8 ラウンドロビン サイクル)	メイン ADC は、ラウンドロビン サイクルが 8 回実行されると停止します。これにより、すべてのセル電圧とシステムへのすべての GPIO 入力に対して、単一の測定が可能になります。フィルタされた測定値は、実行モードで有効ではありません。たとえば、システムのアイドル状態中にマイコンが定期的にウェークアップした場合の、クイック バースト読み取りとして使用します。
0b10	連続実行	メイン ADC は連続モードで動作し、[MAIN_MODE1:0] = 0b00 で GO を送信すると停止します。たとえば、LPF が有効の場合は、このモードを使用する必要があります。診断操作にも使用します。

デバイスが ACTIVE モードに移行すると、`ACTIVE_CELL[NUM_CELL3:0]` で指定されたチャネル数のレベル シフタが有効になります。マイコンは、デバイスが ACTIVE モードに移行するか、`[NUM_CELL3:0]` 設定が変更されると、メイン ADC を開始する前に、 $t_{\text{AFE_SETTLE}}$ 時間待機します。

メイン ADC は、ACTIVE モードでのみ動作します。デバイスが SLEEP モードに移行中に ADC が動作している場合、メイン ADC はフリーズします。つまり、ADC は停止しますが、デバイスは動作状態を保持しています。デジタルリセット イベントなしでデバイスが ACTIVE モードに復帰すると、メイン ADC は再起動し、フリーズ前の状態から続行します。この条件では、ADC への入力電圧はまだセトリングしていないため、 $t_{\text{AFE_SETTLE}}$ 時間が経過するまでは、セル電圧の測定値は不正確になります。マイコンはこれらの測定値を無視するか、 $t_{\text{AFE_SETTLE}}$ の後に新しい GO コマンドを送信し、メイン ADC を再起動できます。

6.3.2.2 AUX ADC

合計 24 の入力 (スロット) が、AUX ADC に多重化されています(図 6-8)。すべての入力はラウンドロビン方式で測定されます(図 6-9)。各入力が 8 μ s (公称) で測定され、1 回のラウンドロビン サイクルが 192 μ s (公称) で完了します。AUX ADC への入力は次のとおりです。

- ダイ温度 2
- 多重化された差動 CB_{n-1} ~ CB_n (AUXCELL1 ~ AUXCELL16)、ここで、n = 1 ~ 16、BBP/BBN ピンを介した差動バス 入 力。
- MISC 測定:
 - BAT ピン
 - REFL、内部リファレンス
 - VBG2、内部バンドギャップ
 - VCM、メイン ADC のコモン モード電圧
 - AVAO_REF、常時オンのブロック リファレンス
 - AVDD_REF
 - OV プロテクタからの OV DAC
 - UV プロテクタからの UV DAC
 - UV プロテクタからの VCBDONE DAC
 - OT プロテクタからの OT または OTCD DAC
 - UT プロテクタからの UT DAC
- 多重化された GPIO1 ~ GPIO8
- スペア (RSVD)

すべての測定値は、2 の補数形式の 16 ビット 16 進数で報告されます。結果は、対応する *_HI (上位バイト) および *_LO (下位バイト) レジスタに通知されます。最初に 16 進数の結果を 10 進数に変換します。表 6-3 の式に従って、結果を μ V または $^{\circ}$ C に変換します

AUX ADC が有効の場合、表 6-3 に示すすべての AUX ADC 関連結果レジスタはデフォルト値 0x8000 にリセットされます。AUX ADC がラウンドロビン サイクルで変換を行うと、測定結果が結果レジスタに入力されます。マイコンが *_HI レジスタを読み出すと、デバイスはその *_LO レジスタが読み出されるまで、関連する *_LO レジスタへのデータリ フレッシュ を一時停止します。

表 6-3. AUX ADC 測定変換式

AUX ADC 入力	結果レジスタ	変換式
ダイ温度 2	DIETEMP2_HI/LO	$^{\circ}\text{C} = V_{\text{LSB_AUX_DIETEMP2}} \text{ の結果} * 10 \text{ 進数の結果}$ 注: 0x0000h は 0°C を中心とします。
多重化された AUXCELL1 ~ AUXCELL16 および BB チャンネル	AUX_CELL_HI/LO。CB MUX が 1 つのチャンネルにロックされている場合	$\mu\text{V} = V_{\text{LSB_ADC}} \text{ の結果} * 10 \text{ 進数の結果}$
BAT	AUX_BAT_HI/LO	$\mu\text{V} = V_{\text{LSB_AUX_BAT}} \text{ の結果} * 10 \text{ 進数の結果}$
REFL	AUX_REFL_HI/LO	$\mu\text{V} = V_{\text{LSB_AUX_DIAG}} \text{ の結果} * 10 \text{ 進数の結果}$
VBG2	AUX_VBG2_HI/LO	
VCM	AUX_VCM_HI/LO	
AVAO_REF	AUX_AVAO_REF_HI/LO	
AVDD_REF	AUX_AVDD_REF_HI/LO	
OV DAC	AUX_OV_DAC_HI/LO	
UV_DAC	AUX_UV_DAC_HI/LO	
VCBDONE DAC	AUX_VCBDONE_DAC_HI/LO	
OT または OTCD DAC	AUX_OT_OTCD_DAC_HI/LO	$\mu\text{V} = V_{\text{LSB_GPIO}} \text{ の結果} * 10 \text{ 進数の結果}$
UT DAC	AUX_UT_DAC_HI/LO	
多重化された GPIO1 ~ GPIO8	AUX_GPIO_HI/LO	

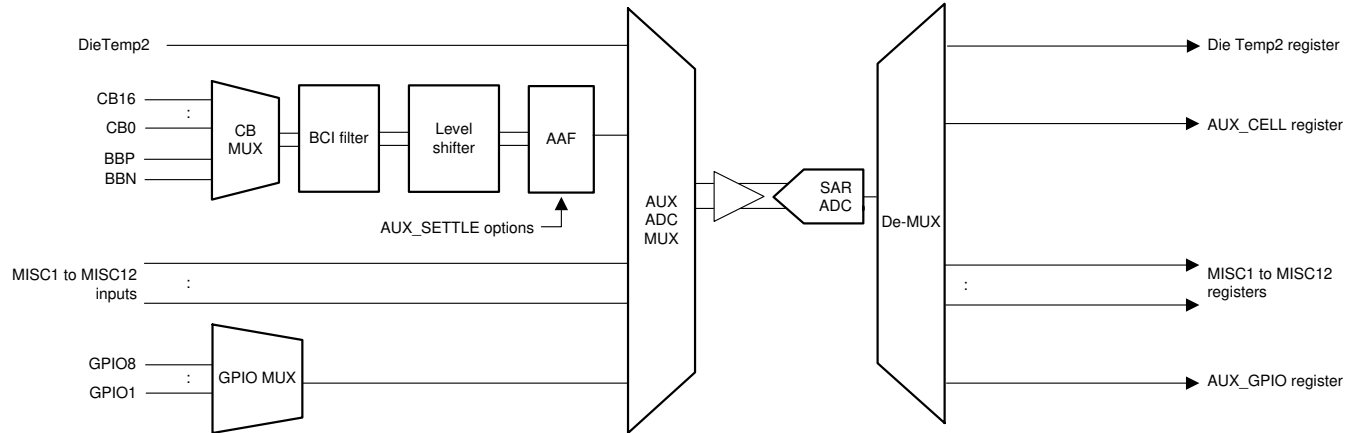


図 6-8. AUX ADC 測定パス

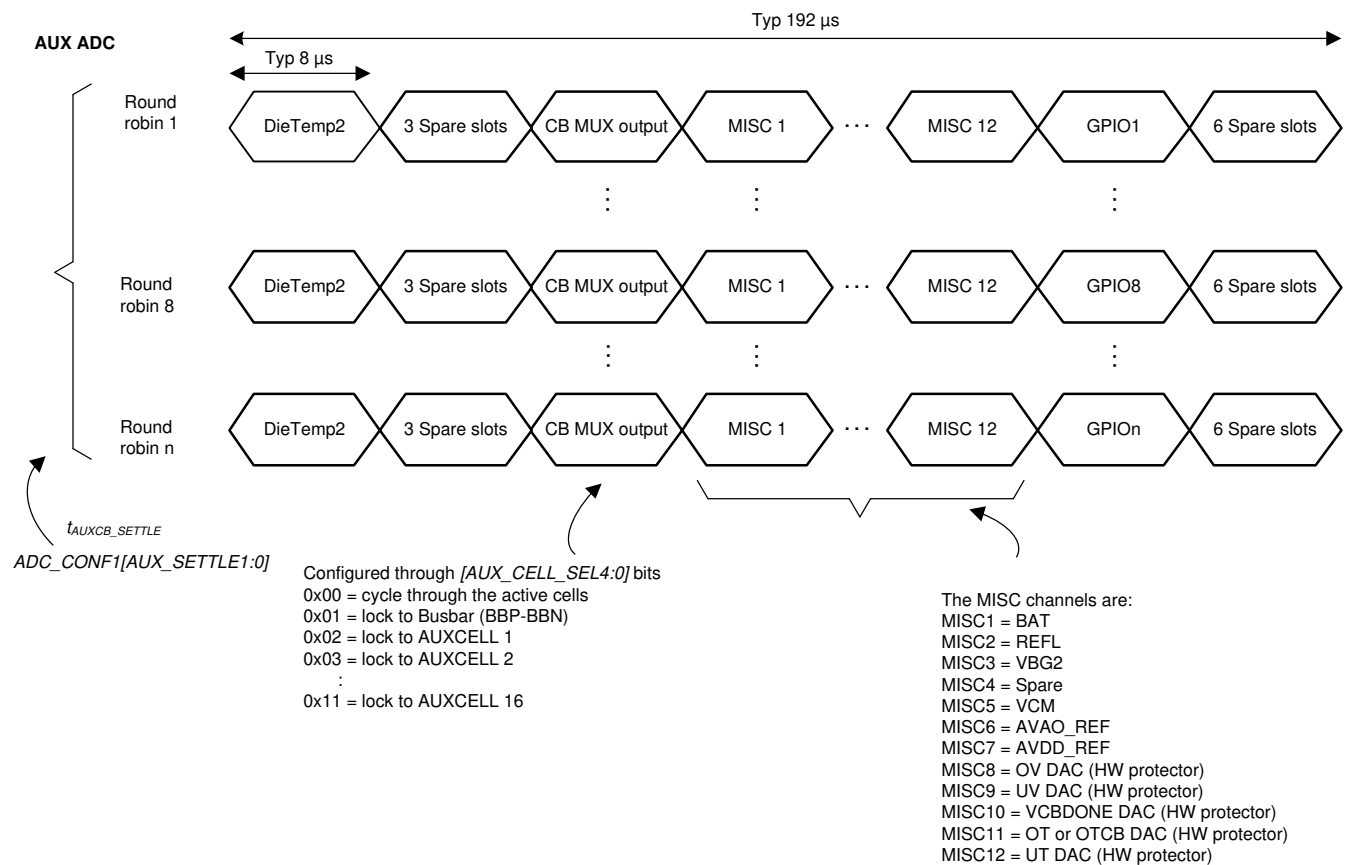


図 6-9. AUX ADC ラウンドロビン測定

6.3.2.2.1 AUX とセルの電圧測定

6.3.2.2.1.1 AUX アナログ フロント エンド

AUX ADC パスは、セル電圧測定とバスバー測定におけるメイン ADC 測定の冗長パスとして機能します。AUX ADC パスは、フロント エンド フィルタとして BCI フィルタと AAF フィルタを備えています。AUX パス内の AUXCELL チャネルと差動 BB チャネル (BBP および BBN ピンから取得) は、1 つの BCI フィルタと AAF フィルタを共有するために多重化されています (図 6-8 の CB MUX)。フロント エンド フィルタの後の CB MUX 出力は AUX ADC MUX の 1 つを経由し、測定のために AUX ADC に入力されます。

フロント エンド フィルタは共有されているため、デバイスは有効な CB チャンネル (AUXCELL) または BBP および BBN チャンネル測定を行う前に、AAF フィルタが安定するのを待つ必要があります。メイン ADC パスのデフォルトの AAF f_{cutoff} は 1.6kHz であり、1 つの CB または BB チャンネル測定を完了するために、さらに 4.3ms のセトリング タイムが必要になります。このデバイスでは、ADC_CONF1[AUX_SETTLE1:0] ビットに設定する AAF セトリング タイムに、4.3ms (デフォルト)、2.3ms、1.3ms の 3 つのオプションがあります。BCI フィルタ f_{cutoff} は、メイン ADC パスと同様に 100kHz です。

注

AUX ADC で最高の測定精度を実現するため、新しい CB チャンネルが AUX_CELL_SEL ビットでロックされるたびに、ADC をリセットすることを推奨します。これにより、同相誤差キャリブレーション ルーチンが再実行され、測定結果で同相誤差が補正されます。

6.3.2.2.1.2 CB および BB チャンネルの測定

1 つのスロット (CB MUX 出力スロット) は、CB チャンネル (差動 CB_{n-1} – CB_n 、ここで $n = 1 \sim 16$) および BB (差動 BBP – BBN) チャンネル測定の AUX ADC ラウンドロビン サイクルに割り当てられます。これらのチャンネルは AUX ADC マルチプレクサの 1 つの入力に多重化されているためです。1 つの CB または BB チャンネル測定では、デバイスが AAF セトリング タイムを待つ必要があるため、複数のラウンドロビン サイクルが必要です。

AAF が安定するまで待つ必要があるため、AUX ADC はアクティブでマイコンによって選択される CB および BB チャンネルのみを測定します。非アクティブまたは選択されていないチャンネルはスキップされます。

アクティブな CB チャンネルは、ACTIVE_CELL[NUM_CELL3:0] の設定によって決定されます。これらのビットは、アクティブ チャンネル番号の最大値を設定します。たとえば、デバイスに 14S が接続されている場合、マイコンは ACTIVE_CELL[NUM_CELL3:0] を 14S に設定しており、デバイスは CB チャンネル 1 ~ 14 がアクティブであると見なします。CB チャンネル 15 および 16 は非アクティブで、AUX ADC によってスキップされます。

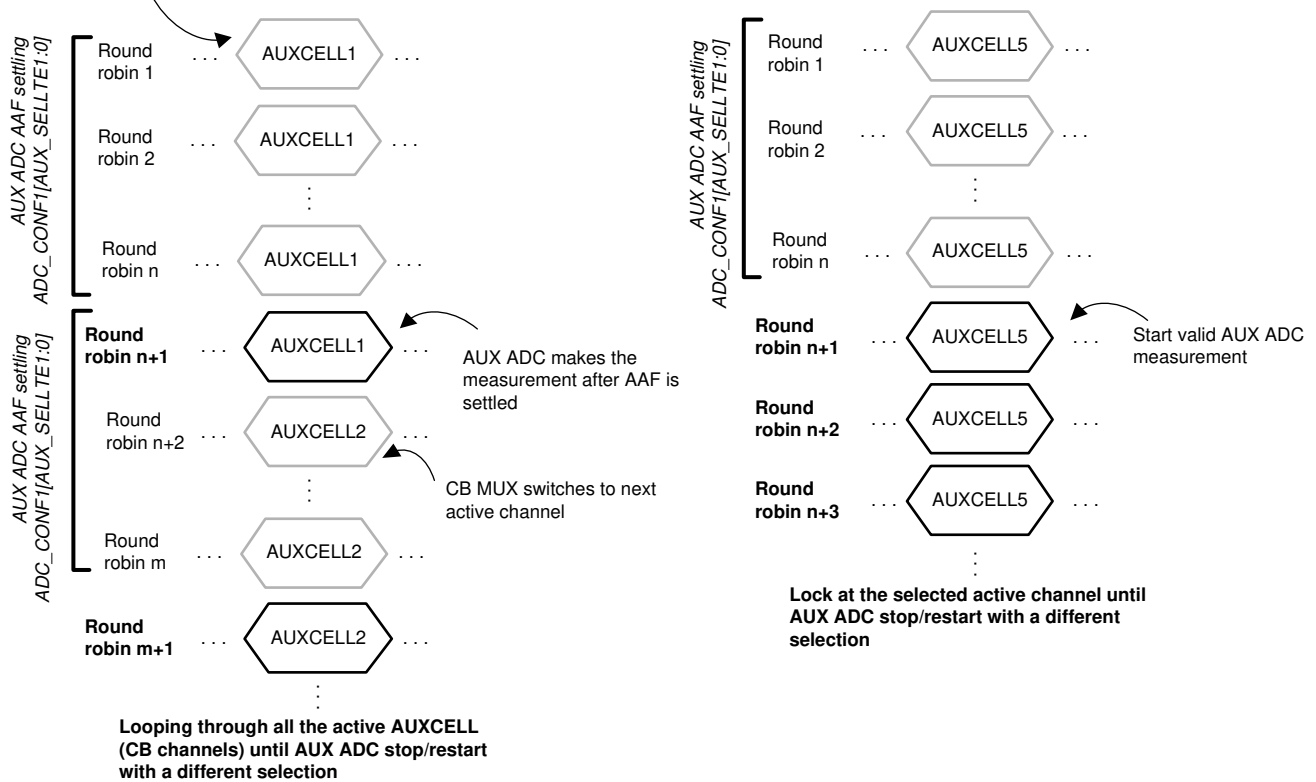
マイコンは、AUX ADC を使用して測定する CB と BB チャンネルを制御できます。ADC_CTRL2[AUX_CELL_SEL4:0] を使用すると、すべてのアクティブな CB チャンネルと BB チャンネルを順次実行することができます。また、1 つの CB チャンネルにロックしたり、BB 電流チャンネルにロックすることもできます。図 6-10 に、異なる [AUX_CELL_SEL4:0] 設定による AUXCELL スロットの実装例を示します。

AUX ADC を連続モードで動作させ、すべての AUX ADC を使ってアクティブ CB チャンネルを 1 回測定することを推奨します。これにより、デバイスは AUX ADC 測定の同相誤差を低減できます。マイコンは、ADC 比較に関連する診断を実行する前、または単一の CB または BB チャンネル測定にロックする前に、この手順を実行する必要があります。

AUX ADC パスには、ADC 後の LPF はありません。診断中に AUX ADC の測定値を使用する場合、AUX セル (CB チャンネル) の測定値が、メイン ADC の事前フィルタ処理された測定値と比較されます。デバイスは VCELL (メイン ADC から) と AUX セル (AUX ADC から) の測定比較を内部で実行します。AUX BB の比較はホストによって実行されます。詳細については、セクション 6.3.6.4 を参照してください。

このデバイスは、単一の CB (アクティブ) または BB チャンネルにロックするように [AUX_CELL_SEL4:0] ビットがセットされている場合にのみ、CB または BB チャンネル測定値を読み取り可能にします。測定値は AUX_CELL_HI (上位バイト) レジスタと AUX_CELL_LO (下位バイト) レジスタで通知されます。AAF のセトリング タイムが経過した後、結果レジスタが更新されます。非アクティブな CB チャンネルへのロックなど、その他の条件では、結果レジスタはデフォルト値の 0x8000 に維持されます。

CB MUX stays at the selected channel for the AUX ADC AAF settling time, but the measurement during this time is discarded



(a) `[AUX_CELL_SEL4:0]` = loop through all active CB channels

(b) `[AUX_CELL_SEL4:0]` = Lock to CB channel 5 (AUXCELL5)

図 6-10. 異なる `[AUX_CELL_SEL4:0]` 設定の CB MUX 出力スロット

6.3.2.2.2 AUX 温度測定

6.3.2.2.2.1 DieTemp2 の測定

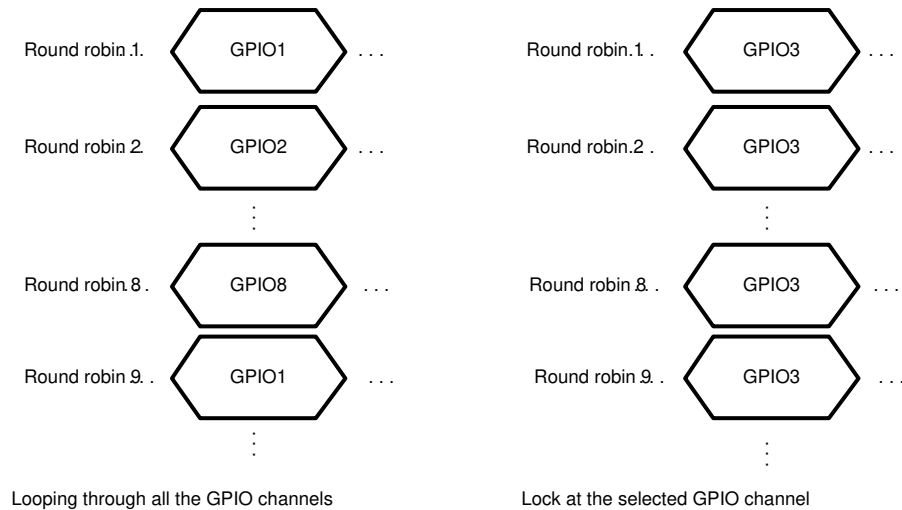
ダイ温度センサには、DieTemp1 と DieTemp2 の 2 つがあります。DieTemp2 は AUX ADC に配線されており、内部的には AUX ADC のゲインおよびオフセット補正にも使用されます。測定値は、`DIETEMP2_HI` (上位バイト) および `DIETEMP2_LO` (下位バイト) レジスタで通知されます。測定値 0°C は 16 進値 `0x00` を中心としているため、正の値は正の温度を表し、負の値は負の温度を表します。測定範囲は、 $+200^{\circ}\text{C} \sim -100^{\circ}\text{C}$ に制限されています。

6.3.2.2.2.2 AUX GPIO 測定

AUX GPIO パスは、メイン GPIO パスと同じです。8 つの GPIO はすべて、1 つの AUX ADC MUX 入力に多重化されています。AUX ADC のラウンドロビン サイクルには 1 つの GPIO スロットのみがあります。つまり、1 回の AUX ADC ラウンドロビン サイクルでは 1 つの GPIO だけが測定されます。8 つの GPIO 測定すべてを完了するには、8 回のラウンドロビン サイクルが必要です。GPIO がサーミスタ ネットワークに接続されている場合、マイコンで `CONTROL2[TSREF_EN]` = 1 を設定して TSREF を有効にし、AUX ADC 測定を開始する前に TSREF が安定していることを確認します。

AUX ADC が有効化されている場合、最初のラウンドロビン サイクルの GPIO スロットは GPIO1、2 番目のラウンドロビン サイクルは GPIO3、のようになります。AUX ADC が GPIO で測定を行うには、対応する `GPIO_CONFn[GPIO*2:0]` ビットに GPIO を ADC 入力として構成するか、ADC および OTUT 入力として構成する必要があります。ここで、それぞれの GPIO チャネルで $n = 1 \sim 4$ 、 $* = 1 \sim 8$ です。詳細については、セクション 6.3.5 を参照してください。ADC 測定で GPIO が非アクティブの場合、デバイスは対応する GPIO スロットを無視しますが、AUX ADC ラウンドロビン サイクルからスロットは削除されません。

デフォルトでは、すべての GPIO チャンネルを経由して AUX ADC がループし、測定値は結果レジスタに通知されません。ただし、マイコンが 1 つの GPIO チャンネルにロックすると、ロックされた GPIO の測定値は `AUX_GPIO*_HI` (上位バイト) および `AUX_GPIO*_LO` (下位バイト) レジスタに通知されます。このチャンネル ロックは、`ADC_CTRL3[AUX_GPIO_SEL3:0]` ビットで設定できます。`[AUX_GPIO_SEL3:0]` が 1 つの GPIO チャンネルにロックされている場合、結果レジスタは GPIO 測定値を報告します。その他の条件ではデフォルト値 `0x8000` が表示されます。



(a) `[AUX_GPIO_SEL3:0]` = loop through all GPIO channels

(b) `[AUX_GPIO_SEL3:0]` = Lock to GPIO3

図 6-11. 異なる `[AUX_GPIO_SEL3:0]` 設定の GPIO スロット

6.3.2.2.3 MISC 測定

「AUX ADC」セクションの冒頭に 12 の MISC 測定値が記載されています。AUX ADC が有効になると、これらの入力はラウンドロビン サイクルごとに測定されます。表 6-3 に、対応する結果レジスタを示します。

OVUV および OTUT プロテクタの DAC 入力、デバイスのリアルタイム DAC 値を反映します。この値は、プロテクタで現在使用されている OVUV および OTUT 検出または回復スレッシュホールドを示しています。未使用のチャンネルがある場合、またはいずれかのセルか GPIO チャンネルがフォルトを検出した場合、DAC 測定値の変化が観測されるのは正常な状態です。プロテクタのアーキテクチャについては、セクション 6.3.4 を参照してください。プロテクタ DAC の測定構成については、セクション 6.3.6.4 を参照してください。

6.3.2.2.4 AUX ADC の動作制御

AUX ADC を開始するには、ホスト マイコンで `ADC_CTRL3[AUX_GO] = 1` を設定します。デバイスが GO コマンドを受信すると、まず以下の設定をサンプリングして AUX ADC の構成を決定した後、それに応じて AUX ADC を動作させます。以下の設定を変更するたびに、マイコンは新しい設定を実装するために別の GO コマンドを送信する必要があります。

- `ADC_CTRL3[AUX_MODE1:0]`: 4 つの実行モード。詳しくは、表 6-4 を参照してください。
- `ADC_CTRL2[AUX_CELL_SEL4:0]`: AUX ADC で測定される CB チャンネルを選択します。
- `ADC_CONF1[AUX_SETTLE1:0]`: AUX ADC AAF セットリング タイムを設定します。
- `ADC_CTRL3[AUX_GPIO_SEL3:0]`: AUX ADC で測定される GPIO チャンネルを選択します。
- `ACTIVE_CELL` レジスタ: 非アクティブな CB チャンネルを決定します。
- `GPIO_CONF1 ~ GPIO_CONF4`: 非アクティブな GPIO チャンネルを決定します。

AUX ADC のステータスを示す 4 つのステータス ビットがあります。

- `DEV_STAT[AUX_RUN]`: AUX ADC が動作しているかどうかを示します。

- **ADC_STAT1[DRDY_AUX_MISC]**:すべての MISC 入力が少なくとも 1 回測定されると設定されます。
- **ADC_STAT1[DRDY_AUX_CELL]:[AUX_CELL_SEL4:0]** で選択された CB または BB チャネルが少なくとも 1 回測定されると設定されます。
- **ADC_STAT1[DRDY_AUX_GPIO]**:すべての GPIO チャネル (アクティブまたは非アクティブ) が 1 回測定されると設定されます。非アクティブ チャネルの測定は、デバイスによって無視されます。

表 6-4. AUX ADC 実行モードの概要

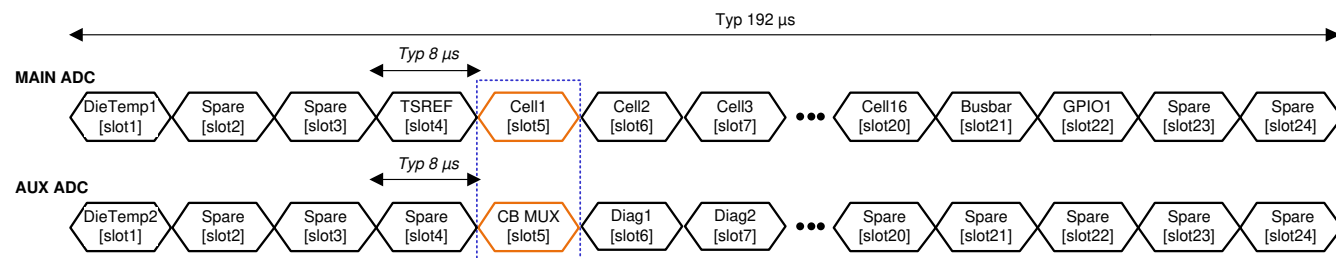
[AUX_MODE1:0]	実行モード	説明
0b00	AUX ADC を停止	AUX ADC を停止します
0b01	シングルラン (1 ラウンドロビン サイクル)	AUX ADC は、ラウンドロビン サイクルが 1 回実行されると停止します。これにより、すべての MISC 入力で単発の測定が行われます。たとえば、AUX ADC に STOP コマンドを発行せずに、MISC 入力だけにクイック パースト読み取りを実行します。
0b10	連続実行	AUX ADC は連続モードで動作し、[AUX_MODE1:0] = 0b00 で GO コマンドを送信すると停止します。たとえば、ADC 診断比較動作を使用する場合は、このモードを使用する必要があります。詳しくは、 セクション 6.3.6.4 を参照してください。
0b11	8 RR 実行 (8 ラウンドロビン サイクル)	AUX ADC は、ラウンドロビン サイクルが 8 回実行されると停止します。これにより、すべてのアクティブな GPIO 入力で単発の測定が行われます。

AUX ADC は、ACTIVE モードでのみ動作します。デバイスが SLEEP モードに移行中に ADC が動作している場合、AUX ADC はフリーズします。つまり、ADC は停止しますが、デバイスは動作状態を保持しています。デジタル リセット イベントなしでデバイスが ACTIVE モードに復帰すると、AUX ADC は再起動し、フリーズ前の状態から続行します。

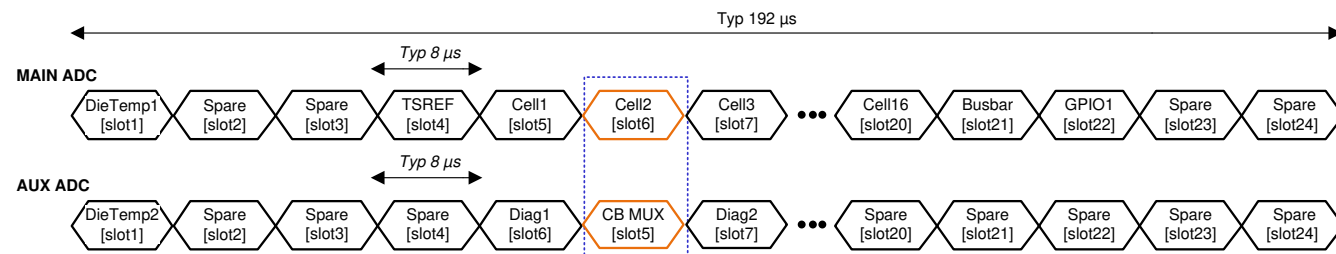
6.3.2.3 メインと AUX の ADC 測定間の同期

ADC_CTRL2 レジスタが AUX_CELL_ALIGN = 0x0 の場合、デバイスは、AUX セル測定 (CB MUX - スロット 5) を MAIN セルのターゲット VC チャネル スロットにアライメントします。DieTemp2 は遅延なしで起動し、AUX セル CB MUX スロット #5 は、選択された MAIN セルに合わせて動的に移動し、残りの AUX ADC スロットがそれに応じて調整されます。これにより、メイン VC ADC サンプリングと AUX CB ADC サンプリングの間にタイム スキューが発生しません。

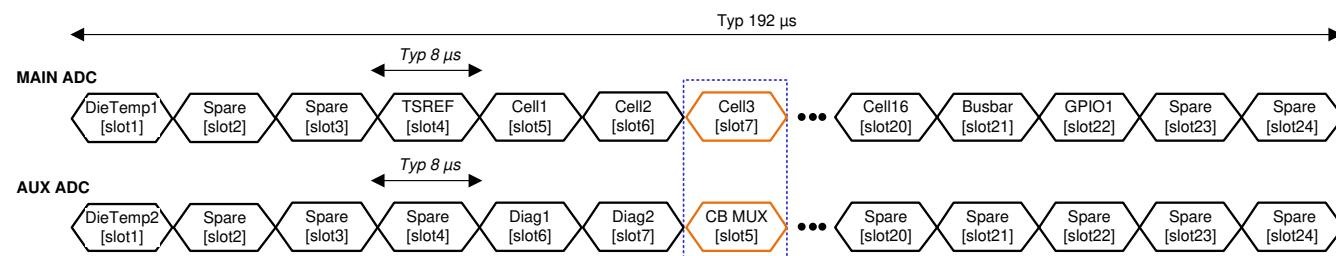
AUX_CELL_ALIGN = 0x1 の場合、動的アライメントは無効になり、AUX セル測定 (CB MUX スロット #5) は常にメイン ADC セル 8 測定 (メイン ADC スロット #12) にアライメントされます。



a) [AUX_CELL_SEL] = 00h – Running all active cell channels set by ACTIVE_CELL_CONF register. Ch1 conversion.



b) [AUX_CELL_SEL] = 00h – Running all active cell channels set by ACTIVE_CELL_CONF register. Ch2 conversion.



c) [AUX_CELL_SEL] = 04h – Lock to AUX CELL 3. Ch3 conversion.

図 6-12. メインと AUX の ADC サンプルング間の同期

6.3.3 セル バランシング

本デバイスは、各 CB チャンネルに内部セル バランシング MOSFET (CBFET) を内蔵しているため、パッシブ セル バランシングを実現できます。バランシング電流は、セル電圧、CB ピンと直列の外付け抵抗、内部 CBFET の R_{dson} 、 R_{DSON} パラメータによって決定されます。以下の式は、隣接 CBFET がオン/オフの場合の実効バランシング電流を計算します。セル バランシングは、ACTIVE モードまたは SLEEP モードで動作できます。

- 連続する CBFET がオンでないバランシング (図 6-13 (A)): $I_{CB} = V_{Cell} / ((2 \times R_{CB}) + R_{dson_{QCB}})$
- 2 つの連続した CBFET がオンのバランシング (図 6-13 (b)): $I_{CB} = (2 \text{ つの } V_{CELL} \text{ の合計}) / ((2 \times R_{CB}) + R_{dson_{QCBn}} + R_{dson_{(QCBn-1)}})$

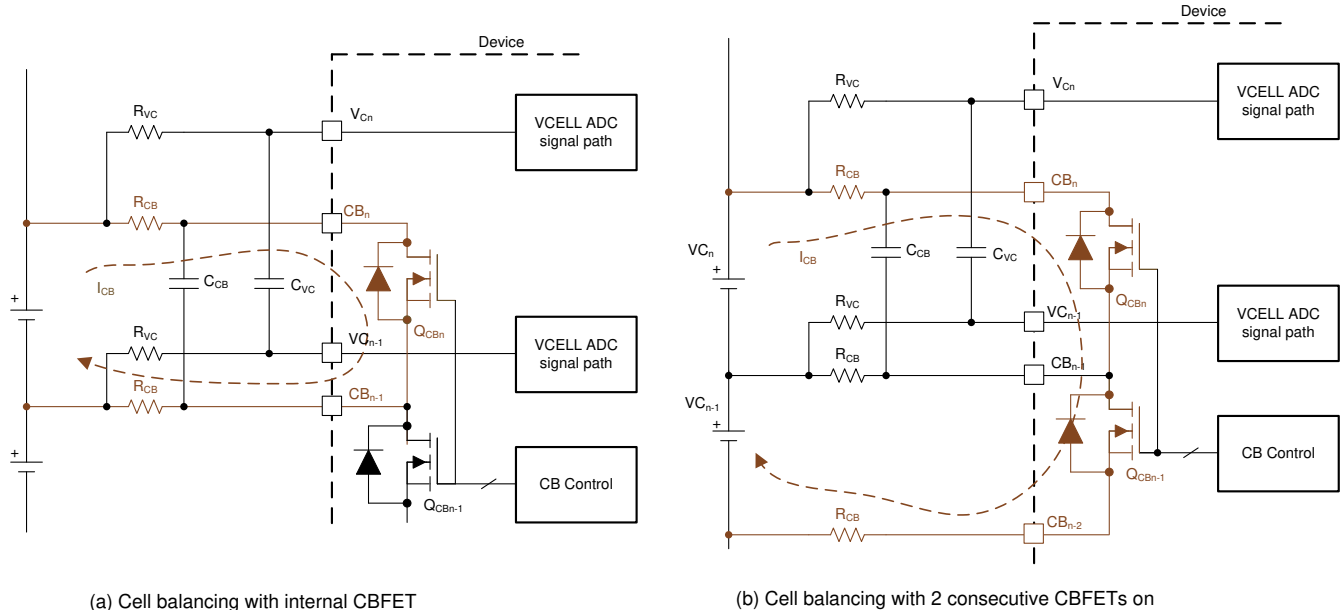


図 6-13. 内部セル バランシングとバランシング電流のフロー

6.3.3.1 セル バランシングの設定

セル バランシングを設定するには、3 つのステップがあります。各ステップについては、以降のセクションで詳しく説明します。ホスト マイコンは、セル バランシングを開始する前に、バランシング制御を設定するための手順に従います。バランシングは、**BAL_CTRL2[BAL_GO] = 1** の設定から始まります。**BAL_STAT[CB_RUN] = 1** は、セル バランシングがアクティブに動作していることを示します。**ACTIVE_CELL[NUM_CELL3:0]** で選択されていないチャンネルは、セル バランシング中はバイパスされることに注意してください。

1. セル バランシングを有効にするチャンネルを決定します。
2. セル バランシングの制御方式 (自動または手動) を選択します。
3. 追加の制御設定を決定します。
 - a. サーミスタ測定に基づく熱管理は有効か。
 - b. セル バランシングがセル電圧に基づいて停止するか。
 - c. マスクされていないフォルトの検出でセル バランシングが終了するか。

6.3.3.1.1 ステップ1: バランシングチャンネルの決定

このデバイスは、チャンネルごとに個別のバランシング タイマを備えています。バランシング タイマは、チャンネル上のセル バランシングを開始または停止するための主な制御設定です。バランシング タイマは **CB_CELL*CTRL** レジスタで設定されます。ここで、***** = 1 ~ 16 で、CBFET 1 (CB チャンネル 1) から CBFET 16 (CB チャンネル 16) に対応しています。これらのレジスタにゼロ以外の値があると、対応するチャンネルがバランシング用に設定されますが、マイコンが **BAL_CTRL2[BAL_GO] = 1** を発行するまで、CBFET はオンになりません。チャンネル バランシング タイマが満了すると、そのチャンネルのセル バランシングが停止します。また、セル バランシングは、セル電圧が特定のスレッショルドを下回る、マスクされていないフォルトが検出される、ホストによって強制停止されるなど、他の条件で停止することもあります。[セクション 6.3.3.3](#) に、セル バランシング停止条件の要約を示します。

6.3.3.1.2 ステップ2: バランシング制御方法の選択

セル バランシングは、構成すると自律的に動作します。セル バランシング制御は、**BAL_CTRL2[AUTO_BAL]** ビットを使用して、2 通りの方法で構成できます。

- 自動バランシング制御 (**[AUTO_BAL] = 1**): この方法では、ホスト マイコンは任意のチャンネルでバランシングを有効にできます。ホストが **[BAL_GO] = 1** を送信すると、バランシングが開始します。デバイスは、有効になっているすべての

CBFET を奇数および偶数に分けて、自動的にデューティ サイクルを実行します。デューティ サイクルは **BAL_CTRL1[DUTY2:0]** ビットによって設定されます。

- 事例 1: マイコンは、セル バランシングに 16 チャンネルすべてを設定します。

Example: Both odd and even CB_CELL*_CTRL registers have non-zero setting

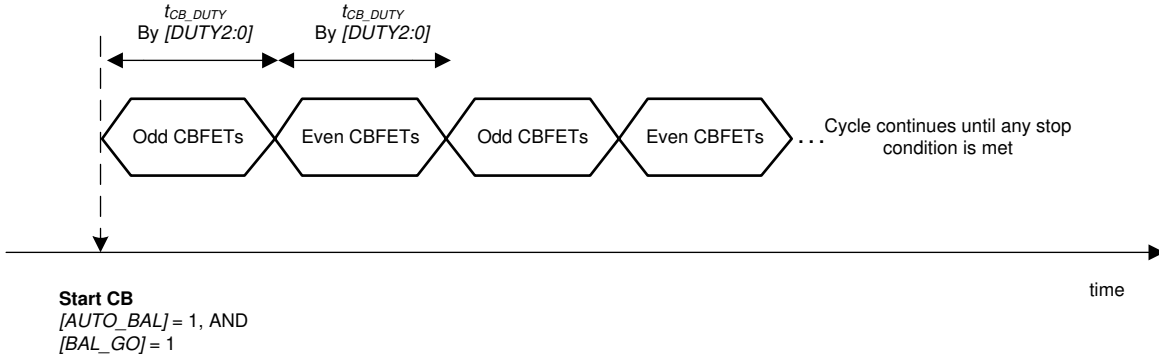


図 6-14. 自動バランシング制御の事例 1

- 事例 2: マイコンは、セル バランシングに奇数チャンネルまたは偶数チャンネルのみを設定します。デバイスが奇数チャンネルと偶数チャンネルの間でスイッチングされないため、**BAL_CTRL1[DUTY2:0]** ビットの設定は無効です。

Example: Odd CB_CELL*_CTRL registers have non-zero value
Even CB_CELL*_CTRL registers are all zero

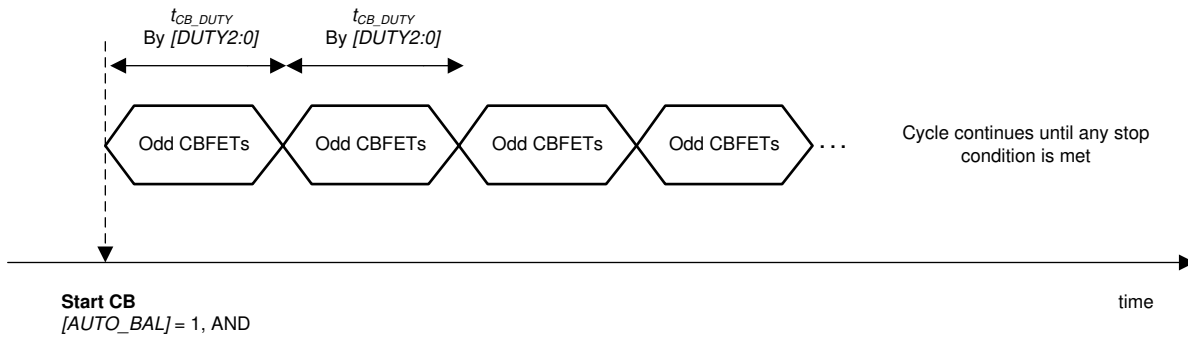


図 6-15. 自動バランシング制御の事例 2

- 手動バランシング制御 (**[AUTO_BAL] = 0**): この方法では、**[BAL_GO] = 1** を受信すると、デバイスはバランシング タイマ設定がゼロ以外の CBFET をオンにします。この制御方法では、セル バランシング中に奇数チャンネルと偶数チャンネルのスイッチングは行われず、**BAL_CTRL1[DUTY2:0]** 設定は適用されません。この方法では、ホスト マイコンは 2 つの連続する CBFET を有効にできます。また、最大 8 つの CBFET を有効にできます。両方のチャンネルをバッテリーセルに接続した状態で 2 つの連続する CBFET が有効になると、隣接する CBFET がオンになっていない場合 (図 6-13) と比較して、バランシング電流が大幅に異なります。**DEV_CONF[NO_ADJ_CB]** ビットは、バランシングで隣接チャンネルをオンにすることを意図していないシステムで、隣接する CBFET が誤って有効にされないようにするために用意されています。この制御方法では、デバイスは、適切なチャンネルの有効化をマイコンに依存します。マイコンが **[BAL_GO] = 1** を送信しても、CBFET が無効な条件で有効担っている場合は、デバイスはバランシングを開始せず、**BAL_STAT[INVALID_CBCONF] = 1** を設定します。無効な構成は次のいずれかです。
 - バランシング用に 8 個を超えるチャンネルが有効になっている (8 個を超える **CB_CELL*_CTRL** レジスタの設定がゼロ以外)。
 - **DEV_CONF[NO_ADJ_CB] = 1** で、バランシング用に隣接チャンネルが有効になっている。
 - **DEV_CONF[NO_ADJ_CB] = 0** で、バランシング用に 2 つ以上の連続したチャンネルが有効になっている。
 - 例: CBFET 1、2、4、5、7、10、12、14 の有効化は有効です。
 - 例: CBFET 1、2、3 の有効化は無効です。

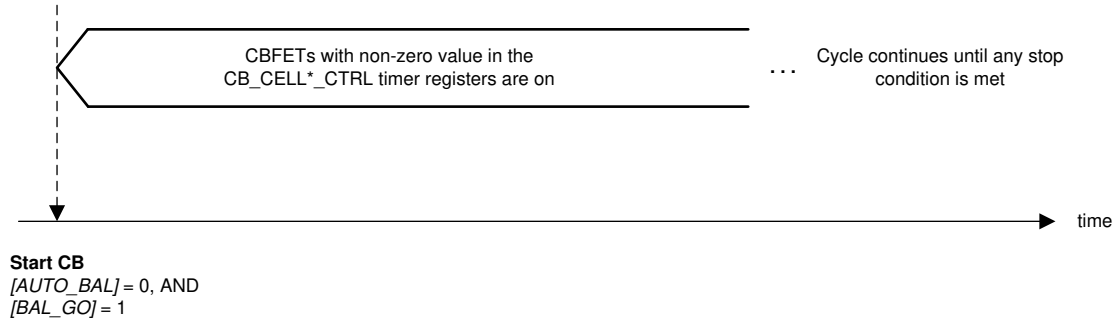


図 6-16. 手動バランシング制御

6.3.3.1.3 ステップ 3a : バランシングによる熱管理

パッシブ バランシングでは、内部 CBFET と外部バランシング抵抗により熱が発生します。このため、PCB、デバイス、およびバランシング抵抗領域に 2 つのホットスポットが発生します。本デバイスは、周囲温度 75°C で最大 240mA をサポートするように設計されています。周囲温度が低いと、より大きなバランシング電流をサポートできます。

デバイスには、ダイの過熱を防止し、PCB 温度を管理するため、2 つの熱管理機能があります。どちらの機能も、ダイ温度またはサーミスタ温度を監視し、温度が一時停止スレッシュホールドを超えるとバランシングを自動的に一時停止します。温度が回復スレッシュホールド値を下回ると、バランシングが自動的に再開されます。セル バランシングが一時停止状態になると、すべてのバランシング タイマとバランシング設定がフリーズします。デバイスが一時停止状態から復帰すると、バランシングは同じ構成で再開されます。

- **CB TWARN バランシングの一時停止:** 内部 CBFET の近くには、ダイ温度センサが組み込まれています。**[BAL_GO]** = 1 が送信されると、これらの温度センサは有効になります。いずれかのセンサが T_{CB_TWARN} スレッシュホールド (公称 105°C) を上回るダイ温度を検出すると、すべてのチャンネルのバランシングが一時停止します。デバイスは、**BAL_STAT[CB_INPAUSE] = 1** と **BAL_STAT[OT_PAUSE_DET] = 1** を設定します。すべてのセンサが、ダイ温度 $< (T_{CB_TWARN} - T_{CB_HYS})$ を検出すると、バランシングが有効になっているチャンネルでセル バランシングが再開されます。
- **サーミスタ OTCB バランシングの一時停止:** 外部バランシング抵抗による熱上昇を管理するため、GPIO に接続されているアクティブサーミスタのいずれかが **OTCB_THRESH[OTCB_THR3:0]** のスレッシュホールドより高い温度を検出したときに、すべてのチャンネルでセル バランシングを一時停止するオプションがあります。OTCB 検出がトリガされると、**BAL_STAT[CB_INPAUSE] = 1** と **BAL_STAT[OT_PAUSE_DET] = 1** が設定されます。すべてのアクティブ サーミスタが、**(OTCB_THRESH[OTCB_THR3:0] + OTCB_THRESH[COOLOFF2:0])** で設定された回復スレッシュホールドを下回ると、有効になっているすべてのチャンネルでバランシングが再開します。OTCB 検出は、内蔵 OT プロテクタを使用して実行されます。プロテクタは、セル バランシングを開始する前にオンにしてラウンドロビン モードで動作させる必要があります。プロテクタの制御の詳細については、[セクション 6.3.4](#) を参照してください。OTCB 機能を使用するため、マイコンは以下の設定シーケンス状態に従います。
 - OT プロテクタを有効にする前:
 - この機能に使用される GPIO が ADC および OTUT 入力用に設定されます。
 - **[OTCB_THR3:0]** と **[COOLOFF2:0]** が設定されます。
 - ラウンドロビン モードで OT プロテクタを有効にします。
 - **[OTCB_EN]** と **[BAL_GO]** を 1 に設定します。

これに従わないと、OTCB が動作を一時停止したり、誤った温度で一時停止したりする可能性があります。別の OTCB または COOLOFF スレッシュホールドが必要な場合、マイコンは新しいスレッシュホールド値を構成した後、OT プロテクタを再起動して新しい設定にラッチします。**[BAL_GO] = 1** を再送信する必要はありません。

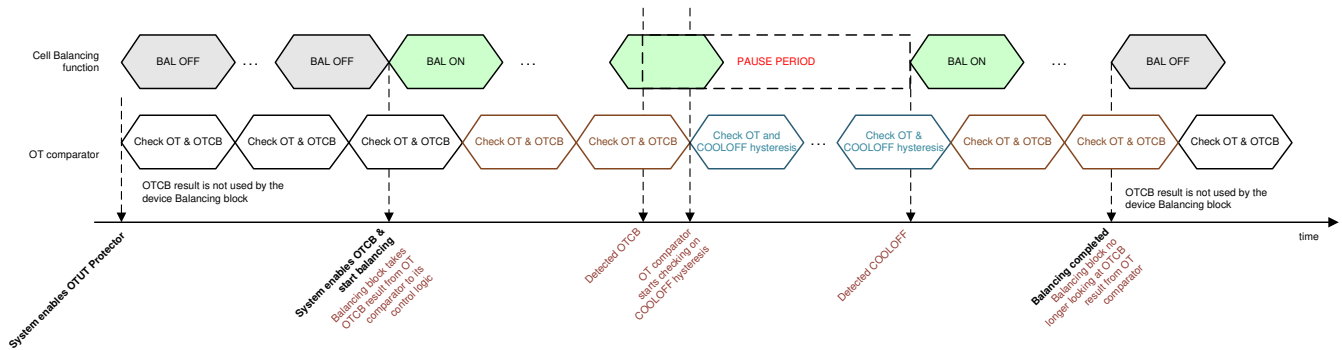


図 6-17. OTCB 検出によるセル バランシングの一時停止と再開

6.3.3.1.4 ステップ 3b : セル電圧スレッシュホールドで停止するオプション

バランシング タイマ以外にも、チャンネル電圧が **VCB_DONE_THRESH** レジスタのスレッシュホールドをゼロ以外の値で下回ったときに、セル バランシングが停止することがあります。この停止電圧スレッシュホールドは、すべてのチャンネルに適用されます。この停止オプションを使用すると、チャンネルはバランシング タイマが満了するか、電圧レベルが **VCB_DONE_THRESH** の設定値よりも小さい場合に、バランシングを停止します。

VCB_DONE_THRESH 設定の検出は、内蔵 UV プロテクタによって実行されます。プロテクタは、セル バランシングを開始する前にオンにしてラウンドロビン モードで動作させる必要があります。プロテクタの制御の詳細については、[セクション 6.3.4](#) を参照してください。

VCB_DONE 検出機能を使用する場合、マイコンは次の設定シーケンス状態に従います。

- **VCB_DONE_THRESH** レジスタを設定します。
- UV プロテクタをラウンドロビン モードで有効にします。
- **[BAL_GO]** を 1 に設定します。

これを行わないと、**VCB_DONE** 検出が行われなくなるか、セル バランシングが誤ったチャンネル電圧で停止する可能性があります。

異なる **VCB_DONE** スレッシュホールドが必要な場合、マイコンは新しいスレッシュホールド値を設定した後、UV プロテクタを再起動して新しい設定にラッチします。**[BAL_GO] = 1** を再送信する必要はありません。

6.3.3.1.5 ステップ 3c : フォルト時に停止するオプション

デバイスには、マスクされていないフォルトが検出された場合にセル バランシングを停止するオプションがあります。このオプションを有効にするため、セル バランシングを開始する前に、マイコンは **BAL_CTRL2[FLTSTOP_EN] = 1** に設定します。この条件でセル バランシングが中止されると、**BAL_STAT[ABORTFLT] = 1** になります。

6.3.3.2 スリープモードでのセル バランシング

セル バランシングは、**ACTIVE** モードと **SLEEP** モードの両方で動作させることができます。**SLEEP** モードでセル バランシングを実行するには、最初に構成して **ACTIVE** モードでセル バランシングを開始します。セル バランシングが実行されたら、デバイスを **SLEEP** モードにします。セル バランシングは **SLEEP** モードでは自律的に継続します。デバイスを **SLEEP** モードにする方法については、[セクション 6.4](#) を参照してください。

BAL_STAT[CB_DONE] = 1 でセル バランシングが完了すると、**BAL_CTRL2[BAL_ACT1:0]** を使用して、デバイスを別の電力モードにすることもできます。たとえば、**[BAL_ACT1:0]** を 0b10 (**SHUTDOWN** モード) に設定してセル バランシングを開始します。ただし、すべてのバランシングが有効になっているチャンネルでセル バランシングが完了すると、デバイスはマイコンの介入なしに自動的に **SHUTDOWN** モードに移行します。複数のデバイスをデジタイゼーション構造で接続する場合、1 つのデバイスのバランシングを完了できますが、別のデバイスのバランシングは完了しない可能性があります。このオプションを使用すると、デバイスが一定期間別の電力状態になる可能性があります。**BAL_STAT[CB_DONE]** ビットのセット条件の詳細については、[セクション 6.3.3.3](#) を参照してください。

6.3.3.3 セル バランシングの一時停止と停止

6.3.3.3.1 セル バランシング一時停止

セル バランシングは、次の 3 つのいずれかで一時停止できます。

- バランシング中のダイ温度が T_{CB_TWARN} より大きい場合。
- $[OTCB_EN] = 1$ で、いずれかのサーミスタが $OTCB_THR$ より高い温度を検出した場合。
- マイコンで $BAL_CTRL2[CB_PAUSE] = 1$ が設定されている。

最初の 2 つの条件は、[セクション 6.3.3.1.3](#) に説明が記載されています。3 番目の一時停止条件は、通常、CB パスを含む診断チェックの際に使用されるマイコン制御の一時停止アクションです。マイコンは、バランシングを開始した後、いつでも $[CB_PAUSE]$ ビットを使用してセル バランシングを一時停止できます。

どの方法でセル バランシングが一時停止する場合でも、一時停止アクティビティは同じです。

- すべてのチャネルの CBFET をオフにします。
- すべてのバランシング タイマが保留状態か、フリーズ状態になります。
- $BAL_STAT[CB_INPAUSE] = 1$ 。
- 一時停止状態でマスクされていないフォルトが検出されても、セル バランシングは終了しません。これは、一時停止イベントは診断中に使用でき、フォルト挿入が診断の一部になる可能性があるためです。

デバイスがセル バランシングの一時停止状態を終了すると、セル バランシングが再開します。セル バランシング タイマは、カウントダウンを継続します。タイマの値がゼロ以外の CB チャネルは、バランシングを続行します。

6.3.3.3.2 セル バランシング停止

セル バランシングは、[表 6-5](#) にまとめた 3 つの条件のいずれかで停止します。

表 6-5. セル バランシングの停止条件

停止条件	個々のチャネルに適用されるか	$BAL_STAT[CB_DONE] = 1$ に設定されるか
セル バランシング タイマの期限切れ	はい。この停止条件はチャネルごとに監視されます。	はい。すべてのチャネルが停止条件 1 または停止条件 2 のいずれかを満たすとき。
CB チャネル電圧 < VCB_DONE_THRESH レジスタ値	はい。この停止条件はチャネルごとに監視されます。	
$[FLTSTOP_EN] = 1$ で、マスクされていないフォルトの検出	いいえ。この場合、すべてのチャネルでセル バランシングを停止します	いいえ。代わりに $BAL_STAT[ABORTFLT] = 1$ に設定します

さらに、マイコンは以下のいずれかの方法で、特定のチャネルまたはすべてのチャネルでセル バランシングを強制的に停止することもできます。

- バランシング タイマ設定をゼロにし、 $[BAL_GO] = 1$ を発行します。
- VCB_DONE_THRESH レジスタの CB チャネル電圧より高い電圧を設定し、 $[BAL_GO] = 1$ を発行します。

セル バランシング タイマが、セル バランシングを開始するための主要な制御であるため、マイコンが $[BAL_GO] = 1$ ですべてのバランシング タイマを 0 にリセットすると、デバイスはバランシングを開始せず、 $BAL_STAT[CB_DONE]$ は 0 のままです。

一方、セル バランシング タイマのいずれかがゼロでなく、 VCB_DONE_THRESH レジスタが $[BAL_GO] = 1$ で、すべての CB チャネル電圧より高いスレッシュホールドに設定されている場合、バランシング タイマがゼロでないため、デバイスでセル バランシングが開始しますが、 VCB_DONE_THRESH 停止条件により直ちに停止します。この条件では、 $BAL_STAT[CB_DONE]$ が 1 に設定されます。

6.3.3.3.3 残り CB 時間

各チャネルにはバランシング タイマがあり、バランシングが開始すると、タイマは CB_CELLn_CTRL レジスタ ($n = 1 \sim 16$) で設定されたバランシング時間からカウントダウンを開始します。バランシングが一時停止すると、これらのタイマが一時停止します。

残りの CB 時間を読み出すには、マイコンが **[BAL_TIME_SEL3:0]** を設定して 1 つのチャネルを選択した後、**[BAL_TIME_GO] = 1** を発行します。これにより、選択したチャネルの残りの CB 時間が **BAL_TIME** レジスタにラッチされます。この手順を繰り返して、他のチャネルの残り CB 時間を読み取ります。このタイマ情報は、CB が動作中、一時停止状態、または有効な CB 停止状態の場合にのみ有効です。

BAL_TIME レジスタが **0x7F** または **0xFF** を報告する場合、これは有効な値ではありません。これは、**[BAL_GO] = 1** (すべてのバランシング タイマが **0** に設定されている) や、マイコンが **[BAL_GO] = 1** を発行しない場合など、バランシング構成でバランシングが停止状態になっていることを意味します。

表 6-6. BAL_TIME レジスタ ステータス

CB 停止条件	BAL_TIME レジスタ
セル バランシング タイマの期限切れ	選択された CB チャネルが 0s を報告
CB チャネル電圧 < VCB_DONE_THRESH レジスタ値 [FLTSTOP_EN] = 1 で、マスクされていないフォルトの検出	選択された CB チャネルが残りの CB 時間を報告

6.3.3.4 モジュール バランシング

モジュール電圧のバランスを取る方法として、GPIO 経由で小さな電流をシンクさせる方法があります。ホストは GPIO に負荷抵抗を接続し、GPIO をデジタル出力 High として構成して、モジュール スタックから安定化された CVDD 経由で電流を流すことができます。このような制御は、ホストによって手動でオンまたはオフにすることができます。

また、デバイスはモジュール バランシング (MB) と呼ばれる機能を使用して、この負荷パスを制御できます。この概念は、GPIO に接続された負荷抵抗を介してモジュール電圧を消費される方法と同じです (この機能では MB は GPIO3 の制御を引き継ぎます)。ただし、ホストはモジュール バランシング タイマと停止スレッシュホールドを設定し、モジュール バランシング機能によって負荷パスを自動的にオフにすることができます。

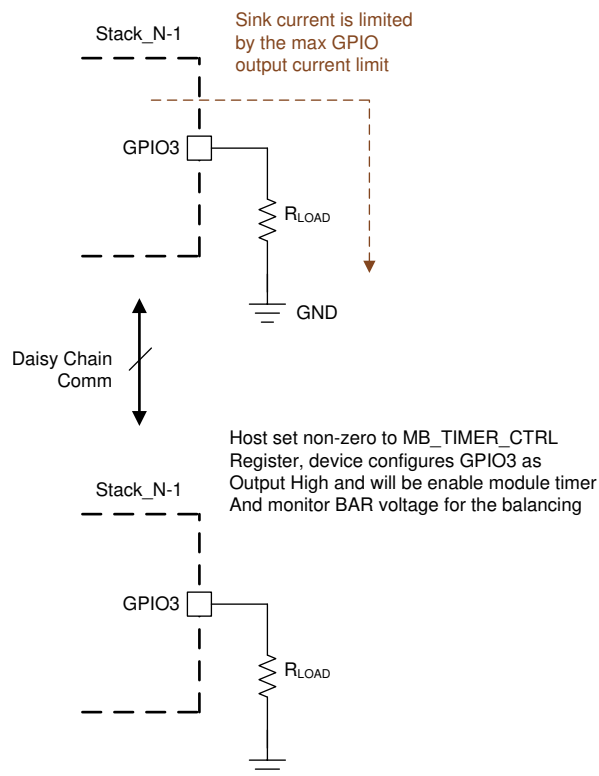


図 6-18. モジュール バランシング

6.3.3.4.1 モジュール バランシングの開始

1. **MB_TIMER_CTRL** レジスタにゼロ以外の値を設定します。
2. **VMB_DONE_THRESH** レジスタで MB 電圧停止スレッシュホールドを構成します。
3. スタック モジュールの監視は、**AUX ADC** を使用して実行します。そのため、ホストは **AUX ADC** を連続的に起動します。
4. **BAL_CTRL2[BAL_GO]** = 1 を送信します。
5. この機能は **GPIO3** が引き継ぎます。**GPIO3** は、デジタル出力ポートに設定され、負荷抵抗を介して電流シンクを開始します。**BAL_STAT[MB_RUN]** = 1

6.3.3.4.2 モジュール バランシングの停止

開始後、次のいずれかが発生すると MB が停止します。

- バランシング タイマが **MB_TIMER_CTRL** の設定に達すると、デバイスは **BAL_STAT[MB_DONE]** = 1 に設定されます。
- BAT 電圧が **VMB_DONE_THRESH** 設定未満 (**AUX ADC** がオンになる必要があります)、デバイスは **BAL_STAT[MB_DONE]** = 1 に設定します。
- ホストは **MB_TIMER_CTRL** = 0 に設定することで、バランシングを停止し、**BAL_CTRL2[BAL_GO]** = 1 を送信します。**BAL_STAT[MB_DONE]** = 0。
- **BAL_CTRL[FLTSTOP_EN]** = 1 で、マスクされていないフォルトが検出された場合、**BAL_STAT[MB_DONE]** = 0 になります

注

- モジュール バランシングに対する一時停止制御 (手動一時停止またはサーマル一時停止) はありません。
- モジュール バランシング中に **AUX ADC** が停止した場合 (ホストによって停止したか、デバイスが **SLEEP** モードに移行した場合)、デバイスは BAT 電圧に基づいてモジュール バランシングを停止しません。モジュール バランシングは、MB タイマが満了すると停止します。
- **BAL_CTRL2[BAL_ACT1:0]** 設定は、モジュール バランシング機能にも適用されます。**[MB_DONE]** = 1 (および CB が有効の場合は **[CB_DONE]** = 1) の場合、デバイスは **[BAL_ACT1:0]** 設定で設定された電力モードに移行できます。

6.3.4 内蔵ハードウェア プロテクタ

このデバイスは、セルの **OV** および **UV** プロテクタとサーミスタ **OT** および **UT** プロテクタを内蔵しており、**ADC** 機能や **ADC** 測定パスに関係なくプログラム可能なスレッシュホールドを備えています。**OVUV** および **OTUT** プロテクタは、**ACTIVE** モードまたは **SLEEP** モードで動作できます。以下のサブセクションでは、プロテクタの概要について説明します。このブロックの診断制御機能とステータスについては、[セクション 6.3.6.4](#) を参照してください。

6.3.4.1 OVUV プロテクタ

設定ウィンドウ コンパレータにより、すべての **VC** チャンネルでセル電圧を監視できます。このコンパレータ機能は **ADC** 機能とは完全に分離されているため、**ADC** 機能に障害が発生しても、アナログ コンパレータは引き続き過電圧 (**OV**) および低電圧 (**UV**) コンパレータ スレッシュホールドの違反に対してフラグを設定します。プログラムされたスレッシュホールドは、DAC を介してコンパレータに変換されます

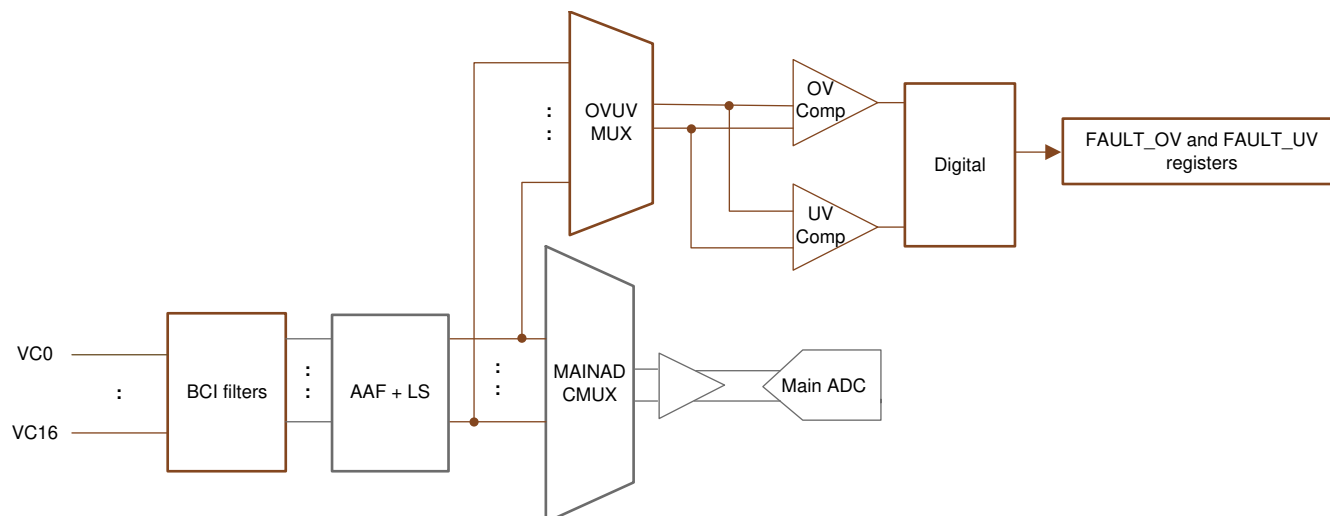


図 6-19. OV および UV プロテクタ

OV_THRESH および **UV_THRESH** レジスタで設定される OV スレッショルドと UV スレッショルドは、すべての VC チャンネルで同じです。アクティブ チャンネルは、**ACTIVE_CELL[*NUM_CELL*3:0]** ビットによって定義されます。これらのビットは、アクティブ チャンネルの最大値をセットし、デバイスは、それより低いチャンネルもアクティブと見なします。

UV_DISABLE1 および **UV_DISABLE2** レジスタの設定により、バス バーに接続されたチャンネルなど、チャンネルごとに UV 検出を無効にできます。

それ以外の場合、VC チャンネル電圧が **OV_THRESH** 設定を超えると、OV プロテクタは特定のチャンネルで OV フォルトを検出します。VC チャンネル電圧が **UV_THRESH** 設定を下回ると、UV プロテクタは特定のチャンネルで UV フォルトを検出します。

6.3.4.1.1 OVUV 動作モード

OV および UV プロテクタには、**OVUV_CTRL[OVUV_MODE1:0]** で制御される複数の動作モードがあります。概要を表 6-7 示します。OVUV プロテクタを開始するには、マイコンで **OVUV_CTRL[OVUV_GO]= 1** に設定します。

表 6-7. OVUV プロテクタ動作モード

[OVUV_MOD1:0]	動作モード	説明
0b00	OV および UV プロテクタの停止	OV および UV プロテクタの停止
0b01	ラウンドロビン実行	OV および UV プロテクタは、すべての VC 入力をループします。アクティブ チャンネルが OV および UV スレッショルドに対してチェックされます (図 6-19)。ラウンドロビン サイクル タイミングは、アクティブ チャンネルの数に関係なく常に同じです。非アクティブな VC チャンネルの場合、デジタル ロジックはその検出結果を単に無視します。UV プロテクタは、 UV_THRESH と VCB_DONE_THRESH の両方を検出します。
0b10	OV および UV BIST の実行 (診断用。詳細をセクション 6.3.6.4 参照)	OV および UV コンパレータ、および検出パスの BIST (組み込みセルフテスト) サイクル。この実行中は、メイン ADC からの VCELL (VC チャンネル) ADC 測定、および OVUV プロテクタによる OV および UV の検出を使用することはできません。OVUV BIST を実行するときは、マイコンで ADC 測定を停止する必要があります。
0b11	シングル チャンネル実行 (診断用。詳細はセクション 6.3.6.4 を参照)	OV および UV DAC のチェックに使用します。このモードでは、OV および UV コンパレータは単一の VC 入力チャンネルにロックされます。チャンネルは OVUV_CTRL[OVUV_LOCK3:0] によってロックされます。

OVUV BIST 実行が進行中で、マイコンが ADC を開始した場合、ADC 結果レジスタは 0x8000 に保持されます。OVUV BIST が完了し、**tAFE_SETTLE** 時間が経過すると、ADC 測定が再開されます。

ADC が実行中で、マイコンが OVUV BIST を開始した場合、ADC 結果レジスタは最後の測定値に保持されます。OVUV BIST が完了し、 t_{AFE_SETTLE} 時間が経過すると、ADC 測定の更新が再開されます。

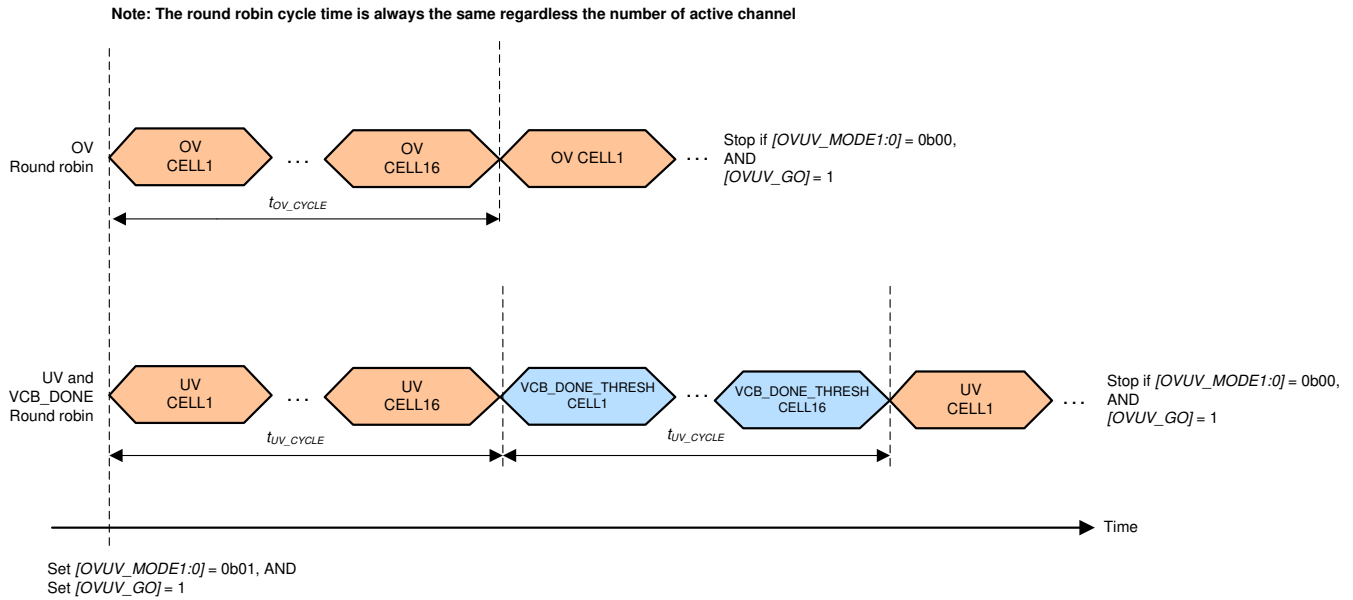


図 6-20. OV および UV ラウンドロビン モード

6.3.4.1.2 OVUV の制御とステータス

6.3.4.1.2.1 OVUV 制御

OV および UV プロテクタを開始するには、マイコンで $OVUV_CTRL[OVUV_GO] = 1$ に設定します。デバイスは GO コマンドを受信すると、以下のレジスタ設定をサンプリングし、それに応じて OVUV プロテクタを開始します。以下の設定を変更するたびに、マイコンは新しい設定を実装するために別の GO コマンドを再送信する必要があります。

- **OV_THRESH** レジスタ: すべての VC チャンネルの OV スレッシュホールドを設定します
- **UV_THRESH** レジスタ: すべての VC チャンネルの UV スレッシュホールドを設定します
- **VCB_DONE_THRESH** レジスタ: セル バランシング停止条件の VCB_DONE スレッシュホールドを設定します (有効な場合)。
- **OVUV_CTRL[OVUV_MODE1:0]**: OVUV 動作モードの選択
- **ACTIVE_CELL** レジスタ: 非アクティブな VC チャンネルを決定し、それに従って検出結果を無視します。
- **UV_DISABLE1** および **UV_DISABLE2** レジスタ: 非アクティブな VC チャンネルを決定し、それに従って検出結果を無視します。

OVUV プロテクタは SLEEP モードでも動作できます。マイコンはまず、プロテクタを **ACTIVE** モードで起動し、その後デバイスを **SLEEP** モードにします。OVUV プロテクタは、マイコンから停止を指示されるまで、またはデバイスがシャットダウンされるまで動作を継続します。

6.3.4.1.2.2 OVUV のステータス

$DEV_STAT[OVUV_RUN] = 1$ は、OVUV プロテクタが動作中であることを示します。OV の検出結果は **FAULT_OV1** および **FAULT_OV2** レジスタに反映され、UV の検出結果は **FAULT_UV1** および **FAULT_UV2** レジスタに反映されます。

VCB_DONE 検出はフォルトではなく、セル バランシングの停止条件です。結果は、セル バランシングを停止する特定のチャンネルに反映されます。詳しくは、[セクション 6.3.3](#) を参照してください。

6.3.4.2 OTUT プロテクタ

セット ウィンドウ コンパレータは、外部サーミスタ ネットワークが TSREF にプルアップされた状態で、すべての GPIO 入力の温度を監視します。このコンパレータ機能は ADC 機能とは完全に分離されているため、ADC 機能に障害が発生しても、アナログ コンパレータは引き続き過熱 (OT) および低温 (UT) コンパレータ スレッシュホルドの違反に対してフラグを設定します。プログラムされたスレッシュホルドは、DAC を介してコンパレータに変換されます

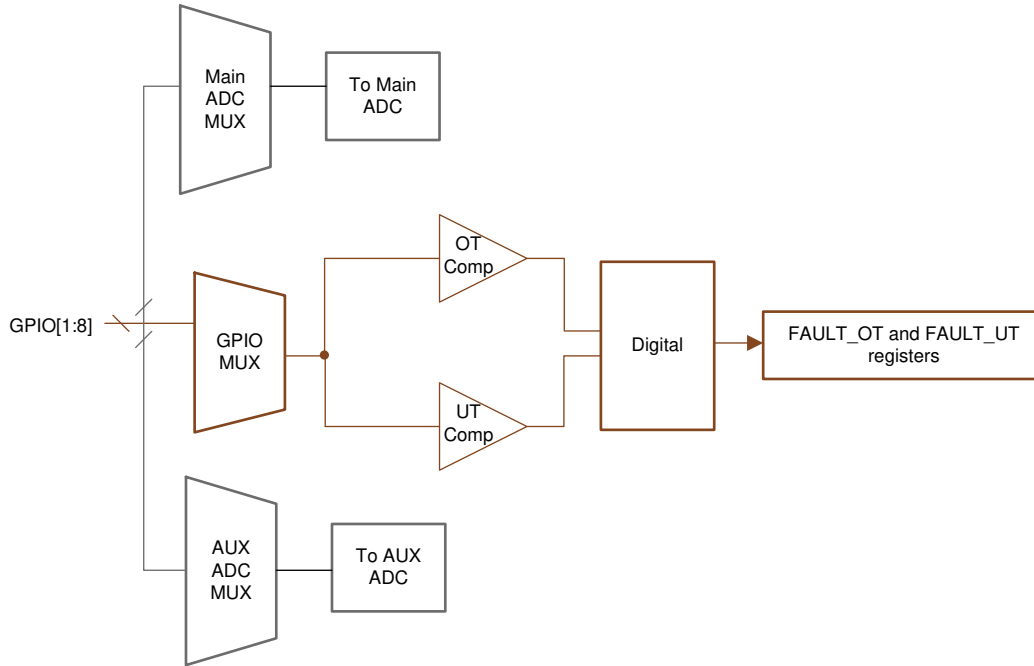


図 6-21. OT および UT プロテクタ

$OTUT_THRESH[OT_THR4:0]$ および $OTUT_THRESH[UT_THR2:0]$ ビットで設定される OT および UT スレッシュホルドは、すべてのアクティブな GPIO 入力と同じです。アクティブな GPIO 入力は、 $GPIO_CONF_n[GPIO*2:0]$ によって定義されます (ここで、 $n = 1 \sim 4$ 、 $* = 1 \sim 8$ 、GPIO 入力に対応)。GPIO は、OTUT プロテクタのアクティブな GPIO 入力とするため、ADC および OTUT 入力として構成する必要があります。

OTUT コンパレータは TSREF を基準として使用するため、検出はレシオメトリック形式で行われます。(GPIO 電圧/TSREF) が $OTUT_THRESH[OT_THR4:0]$ の設定よりも小さい場合、OT プロテクタは特定の GPIO で OT フォルトを検出します。(GPIO 電圧/TSREF) が $OTUT_THRESH[UT_THR2:0]$ の設定よりも大きい場合、UT プロテクタは特定の GPIO で UT フォルトを検出します。OTUT プロテクタは、温度監視に NTC サーミスタが使用されていることを想定しています。

マイコンは、OTUT プロテクタを開始する前に TSREF が有効であることを確認します。これに失敗すると、OTUT プロテクタは、すべての GPIO 入力のすべての OT および UT フォルトにフラグを設定し、異常検出を示します。

6.3.4.2.1 OTUT 動作モード

OT および UT プロテクタには、 $OTUT_CTRL[OTUT_MODE1:0]$ で制御される複数の動作モードがあります。概要を表 6-8 示します。OTUT プロテクタを開始するには、マイコンで $OTUT_CTRL[OTUT_GO] = 1$ に設定します。

表 6-8. OTUT プロテクタ動作モード

$[OTUT_MOD1:0]$	動作モード	説明
0b00	OT および UT プロテクタの停止	OT および UT プロテクタの停止

表 6-8. OTUT プロテクタ動作モード (続き)

[OTUT_MOD1:0]	動作モード	説明
0b01	ラウンドロビン実行	OT および UT プロテクタは、すべての GPIO 入力をループします。アクティブ GPIO 入力がある OT および UT スレッシュホールドに対してチェックされます (図 6-22)。ラウンドロビン サイクル タイミングは、アクティブな GPIO の数に関係なく常に同じです。非アクティブな GPIO 入力の場合、デジタル ロジックはその検出結果を単に無視します。OT プロテクタは、OT スレッシュホールドと OTCB スレッシュホールドの両方を検出します。
0b10	OT および UT BIST の実行 (診断用。詳細をセクション 6.3.6.4 参照)	OT および UT コンパレータ、および検出バスの BIST (組み込みセルフテスト) サイクル。この実行中は、メインまたは AUX ADC からの温度 (GPIO チャネル) ADC 測定、および OTUT プロテクタによる OT および UT の検出を使用することはできません。
0b11	シングル チャネル実行 (診断用。詳細はセクション 6.3.6.4 を参照)	OT および UT DAC のチェックに使用します。このモードでは、OT および UT コンパレータは単一の GPIO 入力チャネルにロックされます。チャネルは OTUT_CTRL[OTUT_LOCK2:0] によってロックされます。

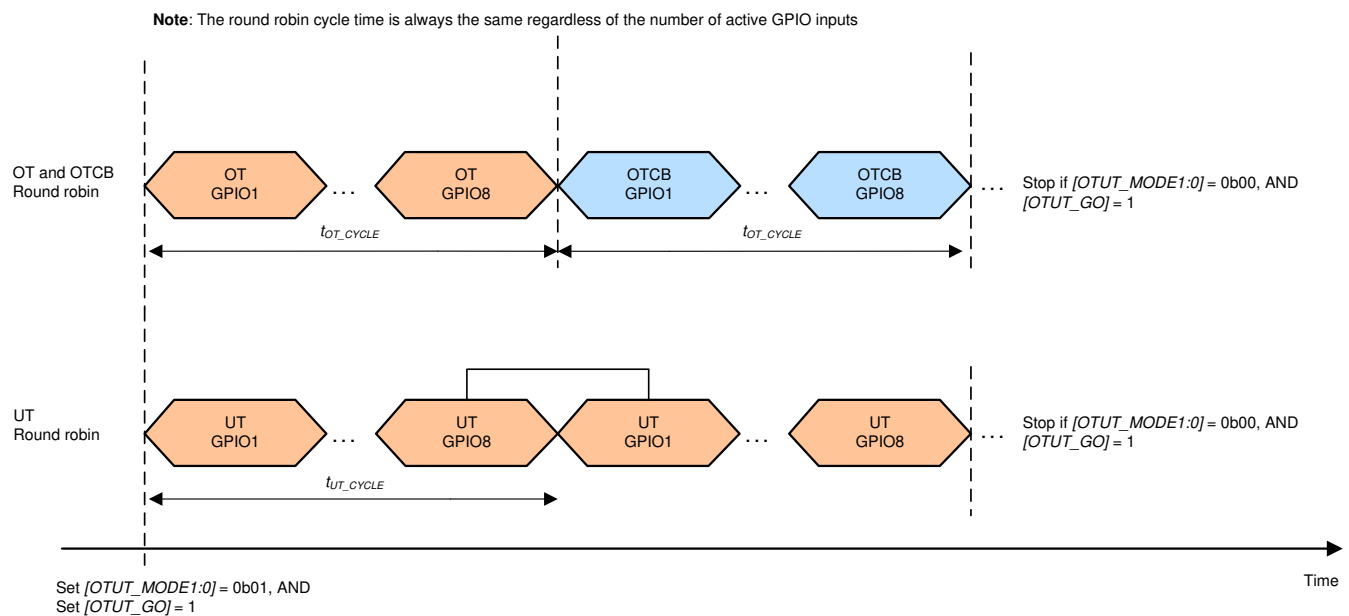


図 6-22. OT および UT ラウンドロビン モード

6.3.4.2.2 OTUT の制御とステータス

6.3.4.2.2.1 OTUT 制御

TSREF が有効であることを確認します。OT および UT プロテクタを開始するには、ホスト マイコンで $OTUT_CTRL[OTUT_GO] = 1$ を設定します。デバイスは GO コマンドを受信すると、以下のレジスタ設定をサンプリングし、それに応じて OTUT プロテクタを開始します。以下の設定を変更するたびに、マイコンは新しい設定を実装するために別の GO コマンドを送信する必要があります。

- $OTUT_THRESH[OT_THR4:0]$: すべてのアクティブな GPIO 入力の OT スレッシュホールドを設定します。
- $OTUT_THRESH[UT_THR2:0]$: すべてのアクティブな GPIO 入力の UT スレッシュホールドを設定します。
- $OTCB_THRESH$ レジスタ: OTCB スレッシュホールドと COOLOFF ヒステリシスを設定します (有効な場合)
- $OTUT_CTRL[OTUT_MODE1:0]$: OTUT 動作モードの選択
- $GPIO_CONF1 \sim GPIO_CONF4$: 非アクティブな GPIO チャネルを決定し、検出結果を無視します。

OTUT プロテクタは SLEEP モードでも動作できます。マイコンはまず、プロテクタを ACTIVE モードで起動し、その後デバイスを SLEEP モードにします。OTUT プロテクタは、マイコンから停止を指示されるまで、またはデバイスがシャットダウンされるまで動作を継続します。

6.3.4.2.2 OTUT のステータス

$DEV_STAT[OTUT_RUN] = 1$ は、OTUT プロテクタが動作中であることを示します。OT の検出結果は $FAULT_OT$ レジスタに反映され、UT の検出結果は $FAULT_UT$ レジスタに反映されます。

OTCB 検出はフォルトではなく、セル バランシングの一時停止条件です。結果は、セル バランシングを一時停止する特定のチャンネルに反映されます。詳しくは、[セクション 6.3.3](#) を参照してください。

6.3.5 GPIO の構成

このデバイスには 8 つの GPIO があります。各 GPIO は、 $GPIO_CONF1$ から $GPIO_CONF4$ のレジスタを使用して、以下の構成のいずれかにプログラムできます。

GPIO	無効化	入力			出力		弱プルアップ/ダウン		特殊		
	ハイインピーダンス	デジタル	ADC と OTUT	ADC のみ	High	Low	ADC と弱プルアップ	ADC と弱プルダウン	モジュール バランシング MB_TIMER_CTRL は 0x00 ではありません	SPI コントローラ $[SPI_EN] = 1$	フォルト入力 $[FAULT_IN_EN] = 1$
GPIO1	✓	✓	✓	✓	✓	✓	✓	✓			
GPIO2	✓	✓	✓	✓	✓	✓	✓	✓			
GPIO3	✓	✓	✓	✓	✓	✓	✓	✓	√ (出力 High)		
GPIO4	✓	✓	✓	✓	✓	✓	✓	✓		√ (SS)	
GPIO5	✓	✓	✓	✓	✓	✓	✓	✓		√ (MISO)	
GPIO6	✓	✓	✓	✓	✓	✓	✓	✓		√ (MOSI)	
GPIO7	✓	✓	✓	✓	✓	✓	✓	✓		√ (SCLK)	
GPIO8	✓	✓	✓	✓	✓	✓	✓	✓			√ (入力、アクティブ Low)

GPIO の構成		説明
無効化	ハイ インピーダンス	これは、OTP がプログラムされていない場合、リセット時のデフォルトの GPIO 設定です
入力	デジタル	GPIO がデジタル入力として構成されている場合、デバイスは入力電圧レベルを検出し、その V_{IL} および V_{IH} レベルを基準に 1 または 0 を決定します。結果は $GPIO_STAT$ レジスタに示されます。
	ADC および OTUT	GPIO は、ADC (メインと AUX の両方の ADC) により測定可能であり、OTUT プロテクタへの入力として構成されています。例: サーミスタ接続に使用する GPIO に、この選択を使用します。
	ADC のみ	GPIO は、ADC (メイン ADC と AUX ADC の両方) でのみ測定可能になるように構成されています。例: GPIO の電圧を測定する場合に、この選択を使用します。
出力	High	GPIO は、デジタル出力 High として構成されています (内部で CVDD にプルアップされます)。ロジック状態も $GPIO_STAT$ レジスタに示されます。
	Low	GPIO はデジタル出力 Low として構成されています。ロジック状態も $GPIO_STAT$ レジスタに示されます。
弱プルアップ/ダウン	ADC と弱プルアップ	GPIO は内部でプルアップされ、ADC (メイン ADC と AUX ADC の両方) で測定するよう構成されます。
	ADC と弱プルダウン	GPIO は内部でプルダウンされ、ADC (メイン ADC と AUX ADC の両方) で測定されるよう構成されます。
特殊	モジュール バランシング	MB_TIMER_CTRL レジスタが 0 以外の場合、GPIO3 はモジュール バランシング制御で使用されるようになります。この構成は、GPIO3 の任意の入出力構成よりも優先されます。
	SPI コントローラ	$GPIO_CONF1[SPI_EN] = 1$ の場合、GPIO4 から GPIO7 は SPI コントローラ通信ラインとして引き継がれます。この構成は、GPIO4 から GPIO7 のいずれかの入出力構成よりも優先度が高くなっています。
	フォルト入力	$GPIO_CONF1[FAULT_IN_EN] = 1$ のとき、GPIO8 は入力として引き継がれます。GPIO がアサートされると (アクティブ Low)、 $FAULT_SYS[GPIO] = 1$ に設定され、NFAULT がアサートされます (有効な場合)。

6.3.6 通信、OTP、診断制御

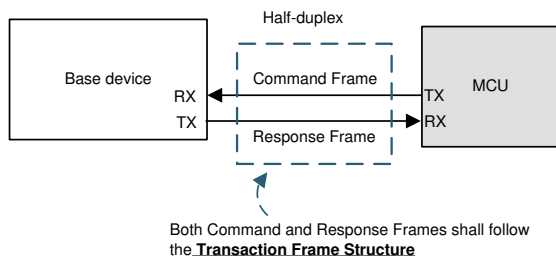
6.3.6.1 通信

このデバイスは、マルチドロップ構成 ($DEV_CONF[MULTIDROP_EN] = 1$) のスタンドアローン デバイスとして、またはデジチェーン構成 ($DEV_CONF[MULTIDROP_EN] = 0$) のベース/スタック デバイスとして動作できます。マルチドロップ構成では、デジチェーン通信が無効になり、ホストは UART インターフェイスを介して単一のデバイスとのみ通信します。このドキュメントでは、デジチェーン通信を中心に説明します。

デジチェーン構成では、各デバイスは 6 ビットのデバイス アドレスによって識別されるため、デジチェーンでは最大 64 台のデバイスを接続できます。この構成では、デバイスはベース (UART 経由でホストに接続) またはスタック (デジチェーンポート COMH/COML 経由でベース デバイスに接続) のどちらかとして定義されます。このドキュメントの基本的な説明では、BQ79616 をベース デバイスとして使用することを想定しています。通信エクステンダ (ブリッジ デバイスとも呼ばれます) をベースとして使用する場合の詳細については、ブリッジ デバイスのデータシートを参照してください。

6.3.6.1.1 シリアル インターフェイス

このデバイスは、シリアル インターフェイスを採用しています。このインターフェイスは、物理層で UART プロトコルを使用し、ベースデバイスとホスト間の通信を行います。通信は、独自のフレーム構造で規定されています。



Transaction Frame Structure (to/from system MCU to the base device):
A transaction frame consists of 5 types of information as shown above.
Data are all sent in byte, and each byte is sent through UART protocol.

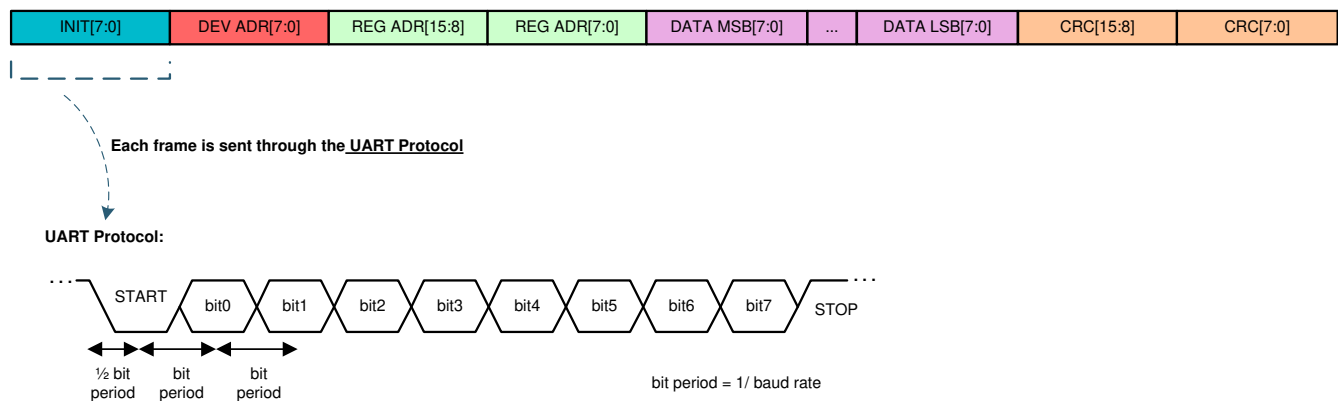


図 6-23. ホストへの UART 通信

6.3.6.1.1.1 UART 物理層

UART インターフェイスは、8-N-1 の標準的なシリアル プロトコルに従い、START ビットを送信し、その後に 8 ビットのデータ、その次に 1 個の STOP ビットを送信します。STOP ビットは、バイトの終わりを示します。STOP ビットが設定されていないバイトが受信されると、 $FAULT_COMM1[STOP_DET]$ ビットがセットされ、ホストとデバイスの間でボーレートの問題が発生している可能性があることを示します。このデバイスは、1Mbps のボーレートをサポートしています。さらに、開発

中に通信をデバッグするために、より低速のボーレートが必要です。通信デバッグ モードでは、250kbps のボーレートを有効にすることもできます。

UART は TX ピンでデータを送信し、RX ピンでデータを受信します。アイドル状態のとき、TX ピンと RX ピンは High になります。UART インターフェイスでは、RX をベースデバイスの抵抗を介して CVDD にプルアップする必要があります。RX は、デバイス側でプルアップされます。RX は未接続のままにしないでください。スタック デバイスの場合、RX が CVDD に直接接続されていることを確認します。

スタック デバイスでは TX ピンは無効になっていますが、通信ケーブルが接続されていないとき、または電源オフまたは SHUTDOWN 状態で TX がハイ インピーダンスのときに無効な通信フレームがトリガされないように、ベース デバイスのホスト側の抵抗を介して High にプルアップする必要があります。ACTIVE モードまたは SLEEP モード中、イ有効が無効にかかわらず、TX は常に CVDD にプルされます。スタック デバイスで使用しない場合は、TX を未接続のままにします。

UART インターフェイスは、厳密には半二重インターフェイスです。送信中、RX での通信が試行された場合は無視されます。唯一の例外は RX ピンの COMM CLEAR 信号で、これは通信を直ちに終了します。詳しくは、[セクション 6.3.6.1.1.3](#) を参照してください。

UART で 2 個の STOP ビットを使用：

デバイスには、2 個の STOP ビット ($DEV_CONF[TWO_STOP_EN] = 1$) を設定できます。デバイスからホストへ送信する UART 応答フレームは、以下に示すように常に 2 個の STOP ビットを戻します。ホストが 2 個の STOP ビットを使用してコマンド フレームをデバイスに送信する必要はありません。デバイスは、この機能を有効または無効にして、1 個または複数の STOP ビットを受信できます。

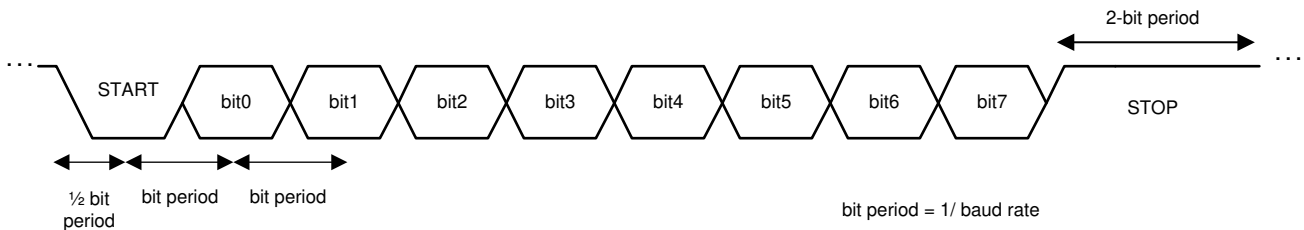


図 6-24. 2 個の STOP ビットを使用した UART 応答フレーム

2 個の STOP ビットの潜在的な用途は、次のようになります。

- ホストは、次のデータフレームを受信する前に、データ処理のための時間を確保します。
- デバイスとホスト間のクロック許容範囲により、データ検出が非同期になる場合があります。2 個の STOP ビットを使用することで通信を再同期できるため、通信の堅牢性が向上します。

UART はベース デバイスによってのみ使用されますが、 $[TWO_STOP_EN] = 1$ の場合、UART がスタックで使用されていない場合でもスタック デバイスは $[TWO_STOP_EN] = 1$ を設定します。これは、スタック デバイスが、2 つの通信フレーム間に適用される適切なギャップを決定するために、ビットの設定を使用するためです。

6.3.6.1.1.1.1 UART トランスミッタ

トランスミッタは、TX_HOLD_OFF レジスタを使用し、最後のビットを受信してから送信を開始するまでに、指定されたビット期間だけ待機するように構成されています。これにより、ホストは送信終了時にバス方向を切り替えることができます。スタック デバイスでは、UART トランスミッタはデフォルトで無効になっています。

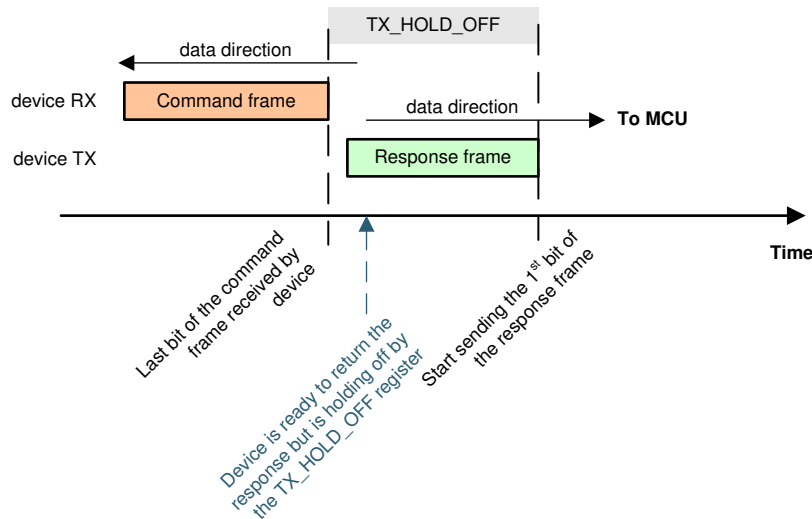


図 6-25. UART TX_HOLD_OFF

6.3.6.1.1.2 UART レシーバ

デバイスが TX でデータを送信している間、COMM CLEAR の受信時を除き、RX は無視されます。デジタイズ インターフェイス上のデータ転送中の競合を回避するため、ホストは、デバイスから送信されたすべてのバイトを受信するまで待機し、その後、デバイスへの追加通信を試みる必要があります。ホストが前のトランザクションの応答を待たずに送信を開始した場合、信頼できる通信とは見なされず、ホストは COMM CLEAR を送信してベースデバイスへの通常の通信を復元する必要があります。

6.3.6.1.1.3 COMM CLEAR

COMM CLEAR は、ベースデバイスの RX ピンに送信されます。スタック デバイスには送信されません。RX を無効にすることはできません。COMM CLEAR は TX ステータスに関係なくいつでも送信できます。COMM CLEAR は、 $t_{\text{UART(CLR)}}$ ビット期間の最大値を超えないようにしてください。その他の通信の ping が認識される可能性があります。

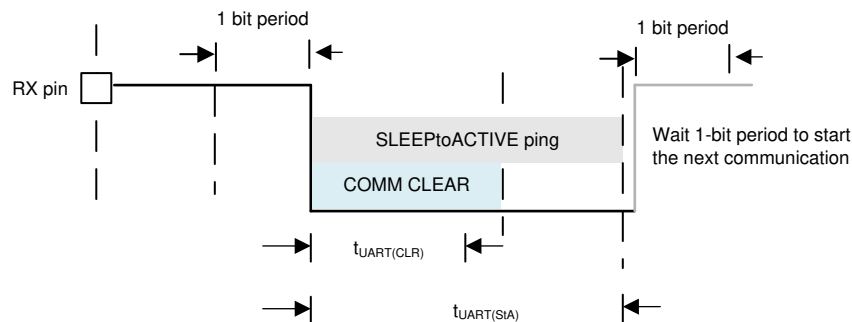


図 6-26. UART COMM クリア

レシーバをクリアし、UART エンジンに新しいフレームの開始を探すように指示するには、COMM CLEAR コマンドを使用します。COMM CLEAR に続く次のバイトは、常にフレーム開始バイトとみなされます。検出されると、COMM CLEAR によって FAULT_COMM1[COMMCLR_DET] フラグがセットされます。ホストは、COMM CLEAR の後、新しいフレームの送信を開始するために少なくとも $t_{\text{UART(RXMIN)}}$ を待つ必要があります。COMM CLEAR のタイミングが標準的なバイト タイミングに違反し、STOP ビットが 0 に見えるため、[COMMCLR_DET] フラグに加えて FAULT_COMM1[STOP_DET] フラグもセットされることに注意する必要があります。

SLEEPtoACTIVE ping トーンも UART レシーバをクリアします。この ping トーンは、SLEEP モードから ACTIVE モードに遷移するときに [COMMCLR_DET] フラグを設定します。ACTIVE モード中に、この ping トーンが送信されると、[COMMCLR_DET] および [STOP_DET] フラグがセットされます。

デジチェーン通信中に送信された **COMM CLEAR**:

読み取りコマンドが送信されたときに、応答はまだホストに完全に返されていません。この条件でベース デバイスで **COMM CLEAR** が受信されると、デバイスの応答は破棄されます。さらに、スタック デバイスは **COMM CLEAR** を認識せず、ホストに転送される応答を送信し続けるため、ホストが予期しない応答フレームを受信することになります。したがって、ホストは、**COMM CLEAR** を送信する前に、スタックからすべての応答が受信されるまで待機することで、この状態を回避する必要があります。

上記の条件が発生すると、ベース デバイスの低レベル通信デバッグ レジスタ **DEBUG_UART_RR_TR[TR_WAIT]** (デバイスが送信応答を待機していることを示す) または **DEBUG_UART_RR_TR[TR_SOF]** (デバイスがデータを送信している間に **COMM CLEAR** が受信されたことを示す) ビットは、**COMM CLEAR** 信号を受信するタイミングに応じて設定されます。

マルチドロップ構成を使用する場合は、一貫した通信を確保するため、各フレームの前に **COMM CLEAR** 信号を使用する必要があります。

6.3.6.1.1.2 コマンドおよび応答のプロトコル

ホストは、ホストとデバイスの間ですべてのトランザクションを開始します。デバイスは、ホストからコマンド フレームを受信せずに、データを送信することはありません。コマンド フレームは、ホストからデバイスに送信される通信フレームです。応答フレームは、デバイスからホストへの応答 (読み取りコマンドへの応答) です。コマンド フレームの送信後、ホストは予想されるすべての応答が返されてから (エラーの場合はタイムアウトしてから)、新しいコマンド フレームを開始します。デバイスでサポートされているコマンドを表 6-9 に示します。

表 6-9. コマンド

コマンド	説明
シングル デバイス読み取り	単一デバイス (ベースまたはスタック) からレジスタを読み取ります
シングル デバイス書き込み	単一デバイス (ベースまたはスタック) のレジスタに書き込みます
スタック読み取り	スタック デバイスからのみレジスタを読み取ります。スタック読み取りコマンドに応答するには、 COMM_CTRL[STACK_DEV] = 1 を使用してデバイスをスタック デバイスとして構成する必要があります。
スタック書き込み	スタック デバイスのレジスタのみに書き込みます。スタック書き込みコマンドに応答するには、 COMM_CTRL[STACK_DEV] = 1 を使用してデバイスをスタック デバイスとして構成する必要があります。
ブロードキャスト読み取り	ベース デバイスを含むデジチェーン内のすべてのデバイスのレジスタを読み取ります。
ブロードキャスト書き込み	ベース デバイスを含むデジチェーン内のすべてのデバイスのレジスタに書き込みます。
ブロードキャスト逆方向書き込み	CONTROL1[DIR_SEL] ビットの設定に従って逆方向にブロードキャスト書き込みを送信します。このコマンドは、リング インターフェイスとの通信方向を切り替えるために使うことを目的としています。

6.3.6.1.1.2.1 トランザクション フレームの構造

プロトコル層はトランザクション フレームで構成されます。トランザクション フレームには、コマンド フレーム (ホストからトランザクション) と応答フレーム (デバイスからトランザクション) の 2 つの基本的な種類があります。トランザクション フレームは、次の 5 種類のフィールドで構成されます。

- フレームの初期化 (INIT、1 バイト)
- デバイス アドレス (DEV ADR、1 バイト)
- レジスタ アドレス (REG ADR、2 バイト)
- データ (DATA、各種のバイト長)
- 巡回冗長性検査 (CRC、2 バイト)

6.3.6.1.1.2.1.1 フレーム初期化バイト

フレーム初期化バイトは、コマンド フレームと応答フレームの両方で使用されます。これは常にフレームの先頭バイトになります。フレーム初期化バイトは、2 つの機能を実行します。まず、フレームをコマンド フレーム (ホスト) または応答フレーム (デバイス) として定義します。次に、フレーム初期化バイトの後のフレーム長を定義します。これにより、完全なコマンドまたは応答の正確なバイト数がレシーバに提供されます。

表 6-10. コマンドフレーム初期化バイトの定義

			コマンド フレーム		応答フレーム
	ビット	ビット名	説明	ビット名	説明
INIT	7	FRAME_TYPE	1 = コマンド フレームの定義	FRAME_TYPE	0 = 応答フレームの定義
	6	REQ_TYPE	000 = シングル デバイス読み取り	RESPONSE_BYTE	データバイト数 0x00 = 1 バイト 0x01 = 2 バイト : 0x7F = 128 バイト
	5		001 = シングル デバイス書き込み		
	4		010 = スタック読み取り		
			011 = スタック書き込み		
		100 = ブロードキャスト読み取り			
		101 = ブロードキャスト書き込み			
		110 = ブロードキャスト書き込みリバース			
		111 = RSVD ⁽¹⁾			
3	RSVD	予約済み。このビットは無視されます			
	2	DATA_SIZE	コマンド フレームのデータバイト数 (デバイス アドレス、レジスタ アドレス、またはCRCを除く) 000 = 1 バイト 001 = 2 バイト : 111 = 8 バイト		
	1				
	0				

(1) この設定に機能はありませんが、この設定を選択すると、コマンドフレームを受信したデジタイゼーションインターフェイスに応じて **DEBUG_COMMH[RC_IERR]** フラグまたは **DEBUG_COMMH[RC_IERR]** フラグがセットされます。

6.3.6.1.1.2.1.2 デバイス アドレス バイト

デバイス アドレス バイトは、シングル デバイス読み取り/書き込みコマンドの対象デバイスを識別します。このバイトは、ブロードキャスト、スタック、ブロードキャスト逆方向コマンドフレームでは省略されます。すべての応答フレームには、デバイス アドレス バイトが含まれています。シングルデバイス読み取り/書き込みコマンドでは、**DIR0_ADDR** に一致する値を含むデバイス (**CONTROL1[DIR_SEL] = 0** の通信方向に使用)、または **DIR1_ADDR** (**CONTROL1[DIR_SEL] = 1** の通信方向に使用) がコマンドに応答します。一致する値が複数のデバイスにある場合、これらすべてのデバイスが応答するため、コリジョンが発生します。

表 6-11. デバイス アドレス バイトの定義

		コマンドフレーム		応答フレーム	
	ビット	ビット名	説明	ビット名	説明
DEV ADR	7	RSVD	常に 0 を書き込みます	RSVD	常に 0 を書き込みます
	6	RSVD	常に 0 を書き込みます	RSVD	常に 0 を書き込みます
	5~0	デバイス アドレス	0x00 ~ 0x3F のデバイス アドレス範囲を設定します	デバイス アドレス	0x00 ~ 0x3F のデバイス アドレス範囲を設定します

6.3.6.1.1.2.1.3 レジスタ アドレス バイト

レジスタ アドレスの長さは 2 バイトです。無効なレジスタ アドレスへの書き込みコマンドは、すべて無視されます。無効なレジスタからの読み出しには、0x00 応答が返されます。これは、無効なアドレスの個別のレジスタに送信されるコマンドフレームだけでなく、無効なアドレスの複数のレジスタに対する一連のコマンドに含まれる場合にも当てはまります。一部のアドレスが無効なレジスタのブロックに対して読み取り/書き込みが実行されると、有効なアドレスは通常どおり応答し、無効なアドレスは前述のように応答します。

表 6-12. レジスタ アドレス バイトの定義

	ビット	コマンド フレーム		応答フレーム	
		ビット名	説明	ビット名	説明
REG_ADR	7~0	レジスタ アドレス (MSB)	レジスタ アドレスのターゲットまたは開始	レジスタ アドレス (MSB)	レジスタ アドレスのターゲットまたは開始
	7~0	レジスタ アドレス (LSB)	レジスタ アドレスのターゲットまたは開始	レジスタ アドレス (LSB)	レジスタ アドレスのターゲットまたは開始

6.3.6.1.1.2.1.4 データ バイト

データ バイトの数と、それらが伝達する関連情報は、送信されるコマンド フレームのタイプと、そのコマンド フレームで指定されたターゲット レジスタによって決まります。コマンド フレームの場合、データ バイトには、レジスタに書き込まれる値が含まれます。応答フレームの場合、データバイトには、レジスタから返された値が含まれます。

表 6-13. データ バイトの定義

	ビット	コマンド フレーム		応答フレーム	
		ビット名	説明	ビット名	説明
データ	7	データバイト[0]	書き込みコマンドの場合: レジスタに書き込むデータ値は、読み取りコマンドの REG_ADR フレームで指定されます。 読み取りコマンドの場合: 読み取りコマンドによって返されるバイト数を指定します。 0x00 = 1 バイト 0x01 = 2 バイト : 0x7F = 128 バイト	データバイト[0]	レジスタから返されるデータ値は、REG_ADR フレームで指定されます。
	6				
	5				
	4				
	3				
	2				
	1				
	0				
	...				
	7	データバイト[n]	書き込みコマンドの場合: レジスタに書き込むデータ値は、読み取りコマンドの REG_ADR フレームで指定されます。	データバイト[n]	レジスタから返されるデータ値は、REG_ADR フレームで指定されます。
	6				
	5				
	4				
	3				
	2				
	1				
	0				

6.3.6.1.1.2.1.5 CRC バイト

このデバイスは、CRC (巡回冗長検査) を使用して、転送中にデータの整合性を保護します。CRC は、多項式長除算に類似する演算の剰余部分を表しており、チェック対象のフレームをジェネレータで除算することで得られます。フレームに付加される CRC は剰余です。このプロセスにより、デバイスがフレームを受信したときに、送信 CRC を含むフレーム全体に対してレシーバで計算した CRC がゼロになれば、送受信が正常に行われています。0 以外の結果は、通信エラーを示します。具体的には、デバイスは CRC-16-IBM 多項式 ($x^{16} + x^{15} + x^2 + 1$) を使用し、0xFFFF で初期化します。

CRC 値は、通信フレームを受信した後の最初のステップとしてチェックされます。CRC が正しくない場合、フレーム全体は破棄され、処理されません。その他のフレーム エラーはチェックされず、CRC エラー以外のエラーは示されません。これらのバイトは、スタックの上位または下位に送信されるため、フレームを処理するすべてのデバイスで CRC エラーが確認されます。これにより、複数のデバイスが、同じ通信フレームで CRC フォルトを検出します。

6.3.6.1.1.2.1.6 フレーム CRC 値の計算

トランスミッタによる CRC 計算は、伝送フレーム全体にわたってビット ストリーム順序で行われます (CRC を除く)。CRC アルゴリズムの実装でビット ストリームの順序を決定する際には、プロトコル バイトの最下位ビットが最初にシリアルに送信されることに注意してください。図 6-27 に、ビット ストリーム順序の概念を示します。

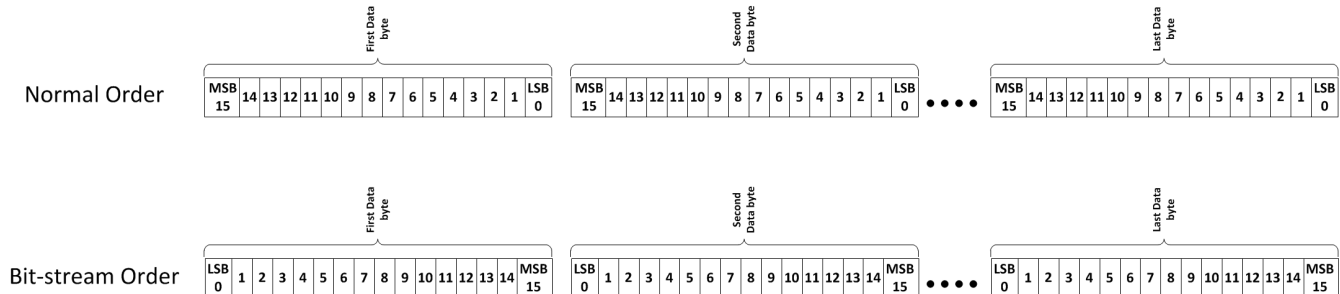


図 6-27. ビット ストリーム順序の説明

CRC (0x0000) は、ビット ストリームの末尾に追加されます。次に、このビット ストリームを 0xFFFF で XOR して初期し、先行ゼロによるエラーをキャッチします。この新しいビット ストリームは、2 バイトの CRC のみが残るまで多項式 (0xC002) で除算されます。このプロセス中、ビット ストリームの最上位の 17 ビットは、多項式と XOR 演算されます。結果の先頭のゼロは除去され、その結果は再び多項式と XOR されます。2 バイトの CRC のみが残るまで、このプロセスが繰り返されます。例:

事例 1: 多項式除算を使用した CRC 計算

```
Command Frame = 0x80 00 02 0F 0B (0b1000 0000 0000 0000 0000 0010 0000 1111 0000 1011)
Command Frame in bit stream order = 0x01 00 40 F0 D0 (0b0000 0001 0000 0000 0100 0000 1111 0000 1101 0000)
After Initialization (XOR with 0xFFFF) = 0b1111 1110 1111 1111 0100 0000 1111 0000 1101 0000
1111 1110 1111 1111 0100 0000 1111 0000 1101 0000 0000 0000 0000 0000 #append 0x0000 for CRC
1100 0000 0000 0010 1 #XOR with polynomial
0011 1110 1111 1101 1100 0000 1111 0000 1101 0000 0000 0000 0000 0000
11 1110 1111 1101 1100 0000 1111 0000 1101 0000 0000 0000 0000 0000 #delete leading zeros from
previous result
11 0000 0000 0000 101 #XOR with polynomial
00 1110 1111 1101 0110 0000 1111 0000 1101 0000
.....
.....
1100 0110 0000 0001 0000 0000
1100 0000 0000 0010 1 #XOR with polynomial
0000 0110 0000 0011 1000 0000
110 0000 0011 1000 0000
110 0000 0000 0001 01 #XOR with polynomial
000 0000 0011 1001 0100
0000 0011 1001 0100 #CRC result in bit stream order
1100 0000 0010 1001 #final CRC result in normal order
CRC final 0xC029
```

6.3.6.1.1.2.1.7 フレーム CRC の検証

フレーム CRC をチェックするには、いくつかの方法があります。1 つの方法は、前のセクションで説明した方法を使用して、最後の 2 バイト (CRC バイト) を除いて送信されたコマンドの CRC を単純に計算して、その結果を送信された CRC バイトと比較することです。より簡単な方法は、CRC アルゴリズムを使用して送信全体を実行することです。CRC が正しくない場合、結果は 0000 になります。この場合、16 個のゼロを持つビット ストリームの初期のゼロ パディングは必要ありません。前の結果を使用してアルゴリズムを実行すると、次の結果が得られます。

事例 1: 多項式除算を使用した CRC 検証:

```
Command Frame = 0x80 00 02 0F 0B (0b1000 0000 0000 0000 0000 0010 0000 1111 0000 1011)
CRC to Check = 0xC029
Command Frame w/ CRC in bit stream order = 0x80 00 02 0F 0B C0 29 (0b1000 0000 0000 0000 0000 0010
```

```

0000 1111 0000 1011 0000 0011 1001 0100)
After Initialization (XOR with 0xFFFF) = 0b0 1111 1110 1111 1111 0100 0000 1111 0000 1101 0000 0000
0011 1001 0100
1111 1110 1111 1111 0100 0000 1111 0000 1101 0000 0000 0011 1001 010 #delete leading zeros from
previous result
1100 0000 0000 0010 1 #XOR with polynomial
0011 1110 1111 1101 1100 0000 1111 0000 1101 0000 0000 0011 1001 0100
11 1110 1111 1101 1100 0000 1111 0000 1101 0000 0000 0011 1001 0100 #delete leading zeros from
previous result
11 0000 0000 0000 101 #XOR with polynomial
00 1110 1111 1101 0110 0000 1111 0000 1101 0000 0000 0011 1001 0100
.....
.....
.....
1100 0110 0000 0010 1001 0100
1100 0000 0000 0010 1 #XOR with polynomial
0000 0110 0000 0000 0001 0100
1 1000 0000 0000 0101 00
1 1000 0000 0000 0101 #XOR with polynomial
0 0000 0000 0000 0000 00
0x0000 #verfiy that CRC checks out valid

```

注

CRC の結果が「0b0000 0000 0000 0000」の場合、チェックが成功したことを示します。

6.3.6.1.1.2.2 トランザクション フレームの例

トランザクション フレームは、前のセクションで説明したフレーム構造で作成されます。このセクションでは、コマンド フレームと応答フレームがデジタイゼーションをどのように通過するかについて概要を示します。例の CRC 値は正しく、顧客の CRC アルゴリズムの検証に使用できます。CRC は、受信されるたびにデバイスによって検証されます。CRC が有効でない限り、コマンドは実行されません。

6.3.6.1.1.2.2.1 シングル デバイス読み取り/書き込み

シングルデバイス読み取り:

このコマンドを使用する前に、デバイス アドレスを設定する必要があります。シングル デバイス読み取りでは、読み取りが要求されたレジスタ バイト数によって、応答フレームの長さが決まります。ホストから送信するコマンド フレームには、開始するレジスタ アドレス (アドレス フィールド) と返されるバイト数 (読み取るレジスタの数) が含まれている必要があります。シングル デバイス読み取りコマンドの初期化バイトの DATA_SIZE フィールドは常に 0b0000 です。

コマンド フレームはデジタイゼーション内のすべてのデバイスに転送されますが、コマンド フレームのデバイス アドレス フィールドと一致するデバイスのみがシングル デバイス読み取りコマンドに応答します。対応するデバイスは、応答フレームのフォーマットに従い、シングル デバイス読み取りで要求されたデータ要求を返します。

シングルデバイス書き込み:

このコマンドを使用する前に、デバイス アドレスを設定する必要があります。シングル デバイス書き込みコマンドを使用すると、1 つのコマンドで最大 8 つの連続レジスタを更新できます。シングル デバイス書き込みのコマンド フレームには、開始するレジスタ アドレス (アドレス フィールド) と、レジスタに書き込むデータ バイトが含まれる必要があります。シングル デバイス書き込みコマンドの初期化バイトの DATA_SIZE フィールドは、更新するレジスタの数です。

コマンド フレームはデジタイゼーション内のすべてのデバイスに転送されますが、コマンド フレームのデバイス アドレス フィールドと一致するデバイスのみがシングル デバイス書き込みコマンドを実行します。

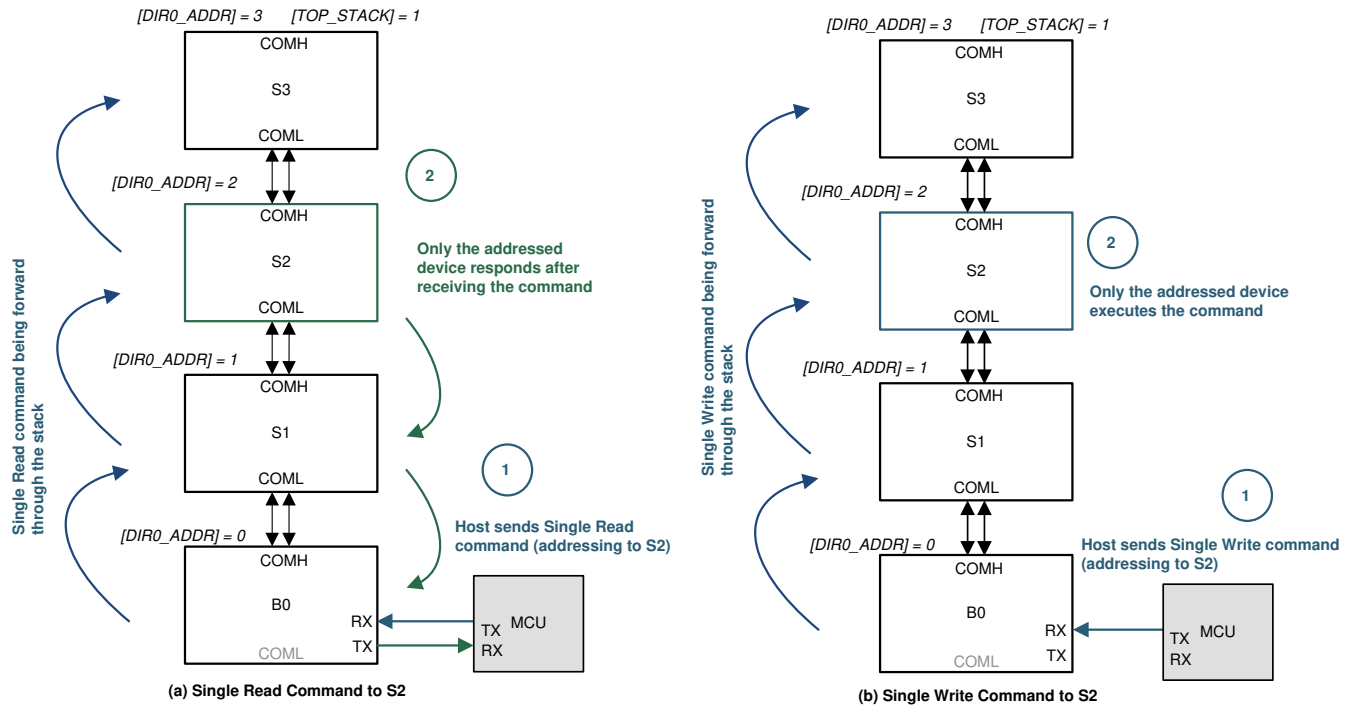


図 6-28. シングル デバイス読み取り/書き込み

表 6-14. シングル デバイス読み取り/書き込み

ホストから送信されるシングル読み取りコマンド			ホストから送信されるシングル書き込みコマンド		
例	S2 から 16 セル電圧を読み取る		OTP ロック解除コードを OTP_PROG_UNLOCK1A に 1D レジスタに書き込む		
フレームフィールド	データ	コメント	データ	コメント	
初期化バイト	0x80	常に 0x80 FRAME_TYPE = 1 REQ_TYPE = 0b000 = シングル読み取り DATA_SIZE = 0b000	0x93	1 バイト データの読み取りは 0x90、2 バイト データの読み取りは 0x91、3 バイト データ読み取りは 0x92 のようになります。 この例の場合: FRAME_TYPE = 1 REQ_TYPE = 0b001 = シングル書き込み DATA_SIZE = 0b11 = 4 バイト	
デバイス アドレス	0x02	この例のデバイス アドレス 0x02 (S2)	0x02	この例のデバイス アドレス 0x02 (B0)	
レジスタ・アドレス	0x0568	読み出すレジスタ ブロックの開始アドレス (この例では VCELL16_HI のアドレス)	0x0300	書き込むレジスタ ブロックの開始アドレス (この例では OTP_PROG_UNLOCK1A のアドレス)	
データ	0x1F	各 VCELLn_HI = 0x80、VCELLn_LO = 0x00 (ここで n = 1 ~ 16) と仮定して、32 バイトのデータ (アドレス 0x0568 ~ 0x0587) を返すようにターゲット デバイスに指示します。	0x02B7 78BC	OTP_PROG_UNLOCK1A から OTP_PROG_UNLOCK1D に対するロック解除値	
CRC	0x5A6F		0xB8AE		

6.3.6.1.1.2.2.2 スタック読み取り/書き込み

スタック読み取り:

このコマンドを使用する前に、デバイス アドレス、COMM_CTRL[STACK_DEV] ビット、[TOP_STACK] ビットを構成する必要があります。スタック読み取りコマンドは、スタック内のデバイス数 (つまり、COMM_CTRL[STACK_DEV] = 1 のデバイス) に応じて、いくつかの応答フレームを生成します。この長さは、読み出す必要のあるレジスタ バイト数によって異なります。

ます。スタック読み取りコマンドフレームには、開始するレジスタアドレス (アドレスフィールド) と返されるバイト数 (読み取るレジスタの数) が含まれている必要があります。読み取りコマンドの初期化バイトの **DATA_SIZE** フィールドは、常に **0b000** です。

コマンド フレームは、デイジーチェーン内のすべてのデバイスに伝送されますが、応答するのは **COMM_CTRL[STACK_DEV] = 1** のデバイスのみです。応答時に、**COMM_CTRL[TOP_STACK] = 1** のデバイスは、最初に応答フレームを返します。スタック内の各デバイス (アドレス **N**) は、上位のデバイス (アドレス **N+1**) が応答して応答フレームを追加するまで待機します。応答の受信中に **CRC** が検証されます。アドレス **N+1** からの応答フレームで **CRC** エラーが発生した場合、デバイス **N** はそのメッセージを追加せず、無効な **CRC** フォルトが生成されます。

図 6-29 と、**S1** から **S3** までの 16 セル電圧の読み取り例を使用します。このコマンドに対する応答は 3 つの独立した応答フレーム (デバイスごとに 1 つの応答フレーム) であり、各フレームの合計長は 38 バイト (32 データ バイト + 6 プロトコル バイト) です。スタック読み取りコマンドにはデバイス アドレス フィールドは含まれていませんが、応答フレームには、対応するデバイス アドレスフィールドが含まれ、そのデータは特定のデバイスに関連付けられています。ホストは、最初に **S3 (ToS)** から応答フレームを受信します。その後、**S2** からの応答フレーム、最後に **S1** からの応答フレームを受信します。

スタック書き込み:

このコマンドを使用する前に、**COMM_CTRL[STACK_DEV]** を構成する必要があります。スタック書き込みコマンドを使用すると、ホストはスタック デバイス (**COMM_CTRL[STACK_DEV] = 1** のデバイス) について、1 つのコマンドで最大 8 つの連続レジスタを更新できます。コマンドフレームには、開始するレジスタアドレス (アドレスフィールド) と、レジスタに書き込むデータ バイトが含まれる必要があります。初期化フレームの **DATA_SIZE** フィールドは、更新するレジスタの数です。

コマンド フレームは、デイジーチェーン内のすべてのデバイスに伝送されますが、コマンドを実行するのは **COMM_CTRL[STACK_DEV] = 1** のデバイスのみです。

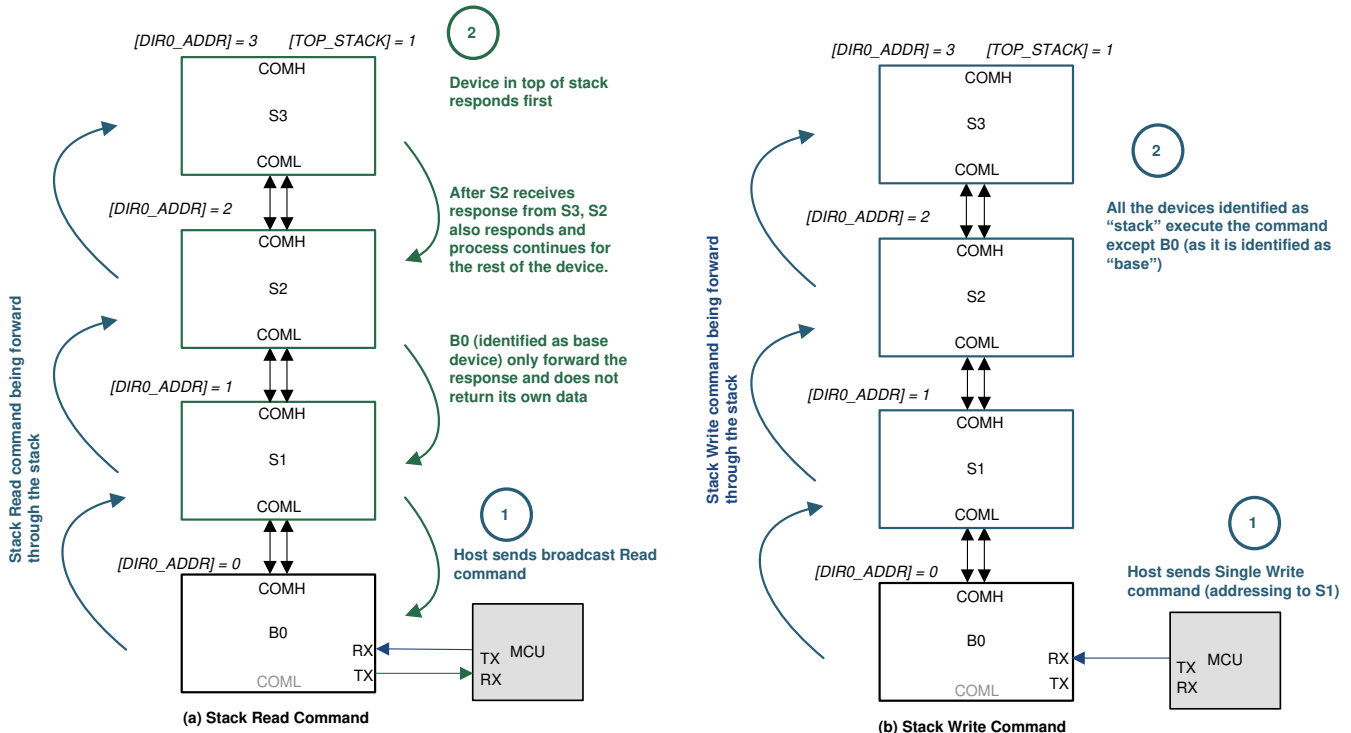


図 6-29. スタック読み取り/書き込み

表 6-15. スタック読み取り/書き込み

ホストから送信されたスタック読み取りコマンド			ホストから送信されたスタック書き込みコマンド	
例	S1 から S3 までの 16 セル電圧の読み取り		OTP ロック解除コードを S1、S2、S3 の OTP_PROG_UNLOCK1A ~ 1D レジスタに書き込みます	
フレームフィールド	データ	コメント	データ	コメント
初期化バイト	0xA0	常に 0xA0 FRAME_TYPE = 1 REQ_TYPE = 0b010 = スタック読み取り DATA_SIZE = 0b000	0xB3	1 バイト データの読み取りは 0xB0、2 バイト データの読み取りは 0xB1、3 バイト データ読み取りは 0xB2 のようになります。 この例の場合: FRAME_TYPE = 1 REQ_TYPE = 0b011 = スタック書き込み DATA_SIZE = 0b011 = 4 バイト
デバイス アドレス	該当なし	コマンド フレームにデバイス アドレス バイトを含める必要はありません	該当なし	コマンド フレームにデバイス アドレス バイトを含める必要はありません
レジスタ・アドレス	0x0568	読み出すレジスタ ブロックの開始アドレス (この例では VCELL16_HI のアドレス)	0x0300	書き込むレジスタ ブロックの開始アドレス (この例では OTP_PROG_UNLOCK1A のアドレス)
データ	0x1F	各 VCELLn_HI = 0x80、VCELLn_LO = 0x00 (ここで n = 1 ~ 16) と仮定して、32 バイトのデータ (アドレス 0x0568 ~ 0x0587) を返すように各デバイスに指示します。	0x02B7 78BC	OTP_PROG_UNLOCK1A から OTP_PROG_UNLOCK1D に対するロック解除値
CRC	0x5C2D		0x0BD7	

6.3.6.1.1.2.2.3 ブロードキャスト読み取り/書き込み

ブロードキャスト読み取り:

このコマンドを使用する前に、デバイス アドレスと **[TOP_STACK]** ビットを構成する必要があります。ブロードキャスト読み取りコマンドは、デジタイゼーション内のデバイス数 (スタック デバイスとベース デバイスの両方) に応じて、いくつかの応答フレームを生成します。この長さは、読み出す必要のあるレジスタ バイト数によって異なります。ブロードキャスト読み取りコマンド フレームには、開始するレジスタ アドレス (アドレス フィールド) と返されるバイト数 (読み取るレジスタの数) が含まれている必要があります。読み取りコマンドの初期化バイトの **DATA_SIZE** フィールドは、常に **0b000** です。

コマンド フレームは、デジタイゼーション内のすべてのデバイスに伝送され、すべてのデバイスが応答します。応答の際、**COMM_CTRL[TOP_STACK] = 1** のデバイスが最初に応答フレームを返します。スタック内の各デバイス (アドレス **N**) は、(アドレス **N+1**) より大きいデバイスが応答し、応答フレームを追加するまで待機します。応答の受信中に **CRC** が検証されます。アドレス **N+1** からの応答フレームで **CRC** エラーが発生した場合、デバイス **N** はそのメッセージを追加せず、無効な **CRC** フォルトが生成されます。

表 6-16 と、**B0** から **S3** までの 16 セル電圧の読み取り例を使用します。このコマンドに対する応答は 4 つの独立した応答フレーム (デバイスごとに 1 つの応答フレーム) であり、各フレームの合計長は 38 バイト (32 データ バイト + 6 プロトコル バイト) です。ブロードキャスト読み取りコマンドにはデバイス アドレス フィールドは含まれていませんが、応答フレームには、対応するデバイス アドレスフィールドが含まれ、そのデータは特定のデバイスに関連付けられています。ホストは、最初に **S3 (ToS)** から応答フレームを受信します。その後、**S2** からの応答フレーム、次に **S1**、最後に **B0** からの応答フレームを受信します。

ブロードキャスト書き込み:

このコマンドは、自動アドレッシングなしで使用できます。ブロードキャスト書き込みコマンドを使用すると、ホストはデジタイゼーション内のすべてのデバイスについて、1 つのコマンドで最大 8 つの連続レジスタを更新できます。コマンド フレームには、開始するレジスタ アドレス (アドレス フィールド) と、レジスタに書き込むデータ バイトが含まれる必要があります。初期化フレームの **DATA_SIZE** フィールドは、更新するレジスタの数です。

コマンド フレームがデジタイゼーション内のすべてのデバイスに送信されると、デジタイゼーション内のすべてのデバイスがコマンドを実行します。

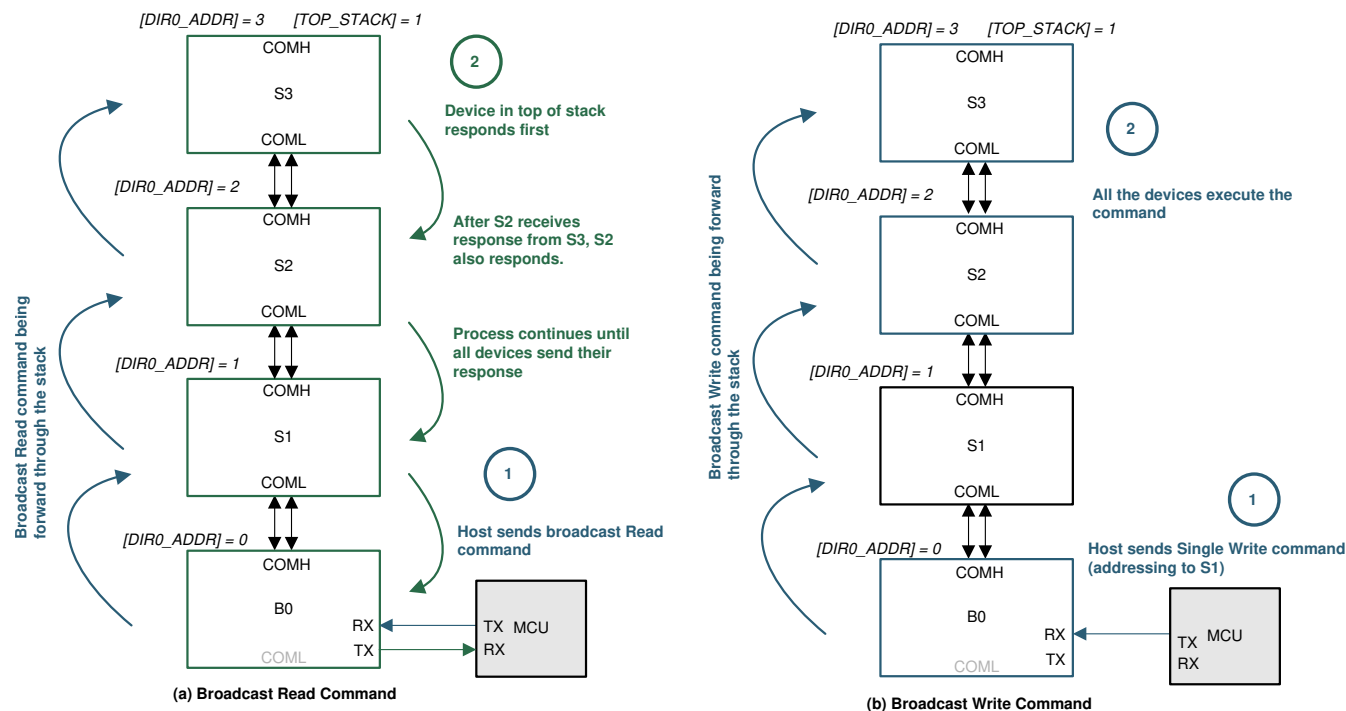


図 6-30. ブロードキャスト読み取り/書き込み

表 6-16. ブロードキャスト読み取り/書き込み

ホストから送信されたブロードキャスト読み取りコマンド			ホストから送信されたブロードキャスト書き込みコマンド		
例	B0 から S3 までの 16 セル電圧の読み取り		OTP ロック解除コードを B0、S1、S2、S3 の OTP_PROG_UNLOCK1A ~ 1D レジスタに書き込みます		
フレームフィールド	データ	コメント	データ	コメント	
初期化バイト	0xC0	常に 0xC0 FRAME_TYPE = 1 REQ_TYPE = 0b100 = ブロードキャスト読み取り DATA_SIZE = 0b000	0xD3	1 バイト データの読み取りは 0xD0、2 バイト データの読み取りは 0xD1、3 バイト データ読み取りは 0xD2 のようになります。 この例の場合: FRAME_TYPE = 1 REQ_TYPE = 0b101 = ブロードキャスト書き込み DATA_SIZE = 0b011 = 4 バイト	
デバイス アドレス	該当なし	コマンド フレームにデバイス アドレス バイトを含める必要はありません	該当なし	コマンド フレームにデバイス アドレス バイトを含める必要はありません	
レジスタ・アドレス	0x0568	読み出すレジスタ ブロックの開始アドレス (この例では VCELL16_HI のアドレス)	0x0300	書き込むレジスタ ブロックの開始アドレス (この例では OTP_PROG_UNLOCK1A のアドレス)	
データ	0x1F	各 VCELLn_HI = 0x80、VCELLn_LO = 0x00 (ここで n = 1 ~ 16) と仮定して、32 バイトのデータ (アドレス 0x0568 ~ 0x0587) を返すように各デバイスに指示します。	0x02B7 78BC	OTP_PROG_UNLOCK1A から OTP_PROG_UNLOCK1D に対するロック解除値	
CRC	0x422D		0x6BD1		

6.3.6.1.1.2.2.4 ブロードキャスト逆方向書き込み

通常、デバイスは $[DIR_SEL]$ 設定により、通信の受信を想定しています。 $[DIR_SEL]$ 設定に反してデバイスがコマンドフレームを受信した場合 ($[DIR_SEL] = 0$ のときに COMH からコマンドフレームを受信した場合など)、その通信にはエラーフラグが設定されます。ブロードキャスト逆方向書き込みは、ホストがデジチェーン通信方向を切り替える必要が

あるときに、**[DIR_SEL]** 設定を反転するために使用されるコマンドです。このコマンドは、逆方向の通信手続き中に、**[DIR_SEL]** 設定とは逆方向から受信する必要があります。詳しくは、[セクション 6.3.6.1.3.4](#) を参照してください。

ブロードキャスト逆方向書き込みでは、デバイスに任意のレジスタ値を書き込むことができますが、通信の競合を回避するため、**CONTROL1[DIR_SEL]** 以外のレジスタ設定を書き込むことは推奨しません。通信の衝突は検出されず、スタックインターフェイス上の通信が破損します。

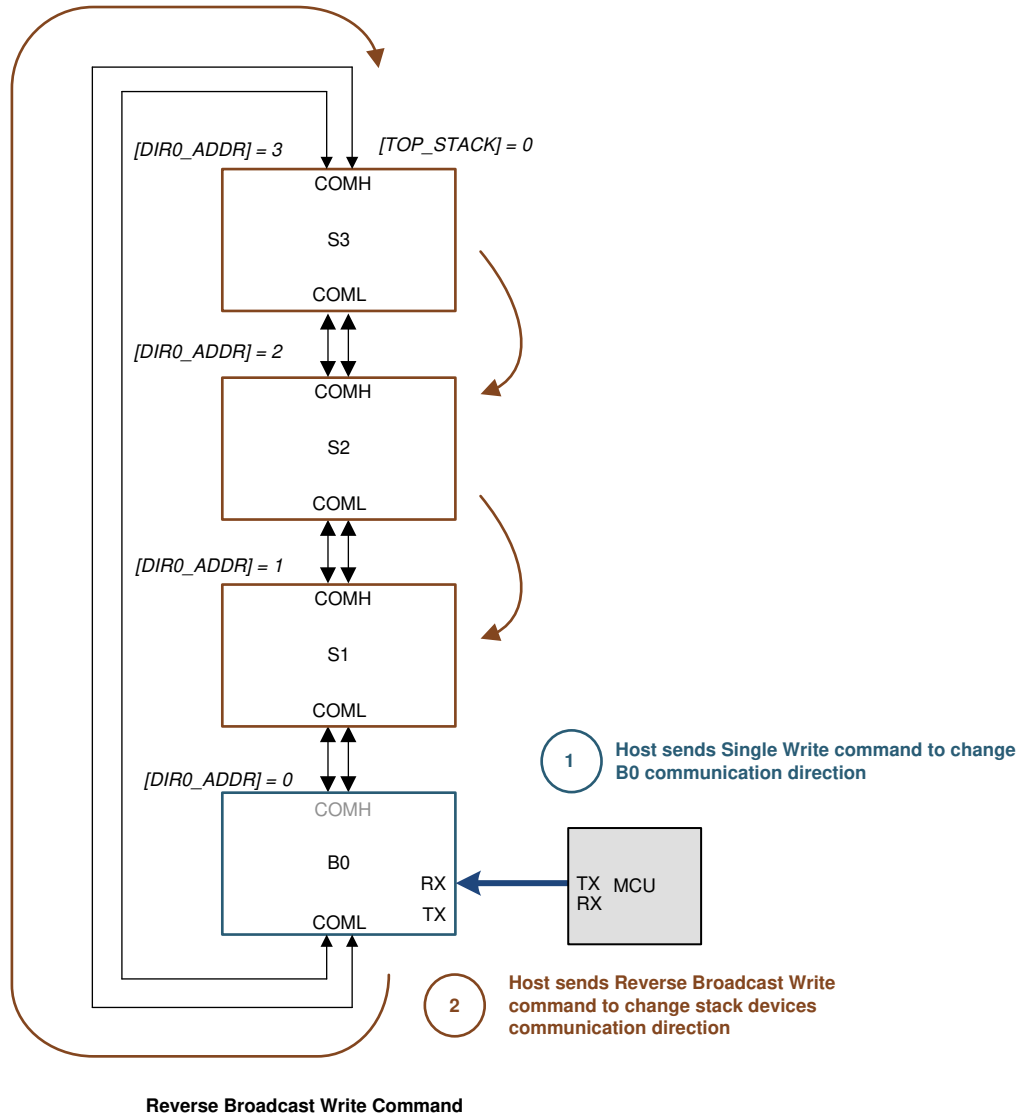


図 6-31. ブロードキャスト逆方向書き込み

表 6-17. ブロードキャスト逆方向書き込み

ホストから送信されるブロードキャスト逆方向書き込みコマンド		
デジタイチェーン内のすべてのデバイスで [DIR_SEL] = 1 を設定します		
例	データ	コメント
フレームフィールド	データ	コメント
初期化バイト	0xE0	常に 0xE0 FRAME_TYPE = 1 REQ_TYPE = 0b110 = ブロードキャスト逆方向書き込み DATA_SIZE = 0b000
デバイス アドレス	該当なし	コマンド フレームにデバイス アドレス バイトを含める必要はありません

表 6-17. ブロードキャスト逆方向書き込み (続き)

ホストから送信されるブロードキャスト逆方向書き込みコマンド		
デジチェーン内のすべてのデバイスで $[DIR_SEL] = 1$ を設定します		
例	データ	コメント
フレームフィールド		
レジスタ・アドレス	0x0309	CONTROL1 レジスタのアドレス
データ	0x80	CONTROL1[DIR_SEL] = 1 を設定します。
CRC	0xC014	

6.3.6.1.2 デジチェーン インターフェイス

デジチェーン通信は、電磁感受性 (EMS) を最小化し、バルク電流注入 (BCI) 耐性を向上させる差動信号方式を使用して構築されます。差動通信では、COM*P で正相データを送信し、COM*N ピンで逆相データを送信します。複数デバイス スタックでは、デバイスが物理的に同じ基板上に配置されている構成と、ツイストペア配線で接続された完全に独立したパックに配置された構成があります。

このデバイスは、トランスまたはコンデンサを使用して、スタック内のデバイス間の信号を電氣的に絶縁できます。同じ PCB 上に複数のデバイスを使用するアプリケーションでは、デバイスの COMH/L ピンの間に単一のレベル シフト コンデンサを接続します。非常にノイズの多い環境では、追加のフィルタリングが必要になることがあります。ケーブルで分離されたデバイスの場合は、追加の絶縁部品が使用されます。部品選択の詳細については、[セクション 7](#) を参照してください。

6.3.6.1.2.1 デジチェーン トランスミッタとレシーバ機能

デジチェーンは双方向で半二重であるため、COMH および COML インターフェイスはトランスミッタ (TX) とレシーバ (RX) を備えています。TX 機能と RX 機能は、デバイスのベース/スタック検出に基づいて、ハードウェアによって自動的に制御されます。WAKE ping/トーンを受信すると、通信方向は $CONTROL1[DIR_SEL]$ および $COMM_CTRL[TOP_STACK]$ 構成によって設定されます。詳しくは、[セクション 6.3.6.1.3](#) を参照してください。さらに、通信デバッグ モードで $DEBUG_CTRL_UNLOCK$ 、 $DEBUG_COMM_CTRL1$ 、 $DEBUG_COMM_CTRL2$ レジスタを使用することで、ユーザーによる書き込みで COMH と COML の完全な制御を引き継ぐことが可能になります。詳しくは、[セクション 6.5.4.14](#) を参照してください。

6.3.6.1.2.2 デジチェーン プロトコル

差動デジチェーン (垂直) インターフェイスは、非同期の 13 ビット バイト転送プロトコルを使用します。データは LSB 優先で転送され、送信に DC 成分がないように各ビットが (反転して) 複製されます。

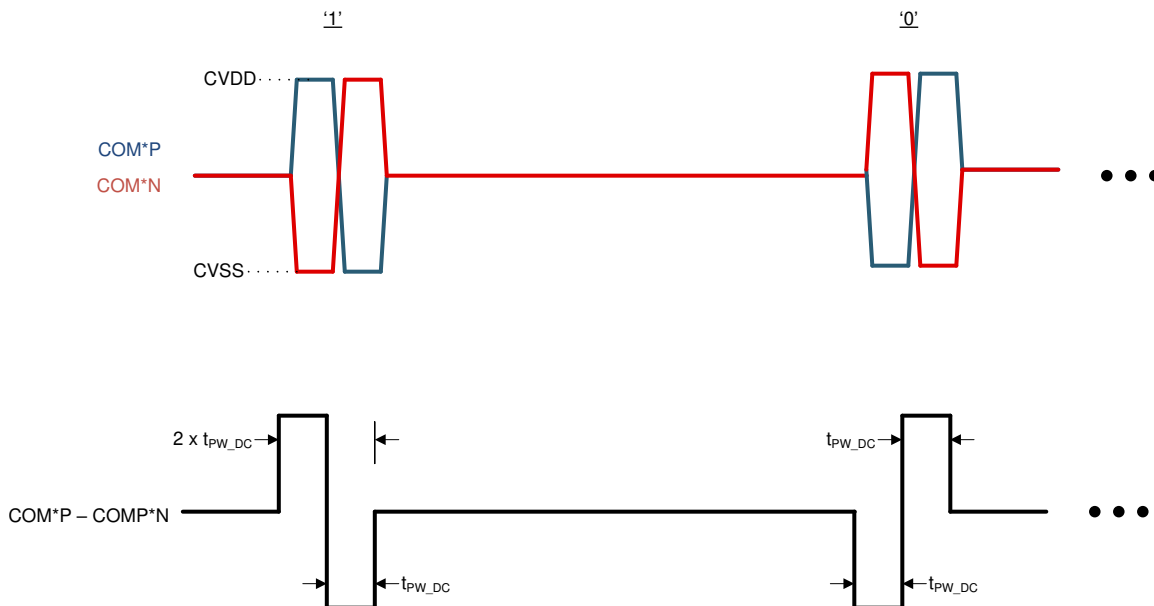


図 6-32. デジチェーン ビットの定義

バイトはプリアンブルで始まり、その後に 2 つの SYNC ビット、フレーム開始ビット、LSB D0 から MSB D7 までの 8 ビットのデータが続きます (D0 は SOF の直後に送信され、D7 は最後にバイト エラーおよびポストアンブルの前に送信されます)。

デバイスは、プリアンブルおよび SYNC ビットを使用してタイミング情報を抽出し、バイトの残りのビット値をデコードします。以下のいずれかのエラーが検出されると、バイトは処理されず、レジスタ エラー ビットがセットされます。

- プリアンブル ビットと SYNC ビットは既知の値です。デコードされた値にエラーがある場合、このデータを受信する COM ポートに応じて **DEBUG_COMH/L_BIT[SYNC1] = 1** が設定されます。
- プリアンブル ビットおよび SYNC ビットから抽出されたタイミングが想定範囲外である場合、**DEBUG_COMH/L_BIT[SYNC2] = 1** が設定されます。

2 つの有効な SYNC ビットが受信されると、追加のビットがデコードされ、コマンド プロセッサに送信されます。デバイスは、このバイトのエラーを引き続き検出します。エラーが検出されると、このバイトのバイト エラー (BERR) ビットがセットされます。エラーを検出した COM ポートに応じて、**DEBUG_COMH/L_BIT[PERR] = 1** が設定されます。次の条件では、バイトの BERR ビットが設定されます。

- ビットのロジックレベルを示すために十分なサンプルがない。つまり、ビットが強固な 1 または強固な 0 でデコードされない状態です。エラーを検出した COM ポートに応じて、**DEBUG_COMH/L_BIT[BIT] = 1** が設定されます。

その間、各ビットは引き続き次のデバイスに転送されます。デバイスがそのビットの 1 または 0 をデコードできない場合、バイトの BERR ビットがセットされた状態で 0 を転送します。新しいデバイスが、受信バイトで BERR ビットが 1 に設定されていることを検出すると、疑わしいバイトは無視し、**DEBUG_COMH/L_BIT[BERR_TAG] = 1** を設定します。これは、そのバイトが BERR で受信されたことを示します。無視される疑わしいバイトは、他の通信エラーを引き起こす可能性が高く、新しいデバイスでも **DEBUG_COMH/L_BIT[PERR] = 1** がセットされる可能性が高くなります。疑わしいバイトは、BERR が設定された状態でデイジーチェーンへ転送され続け、プロセスが継続されます。

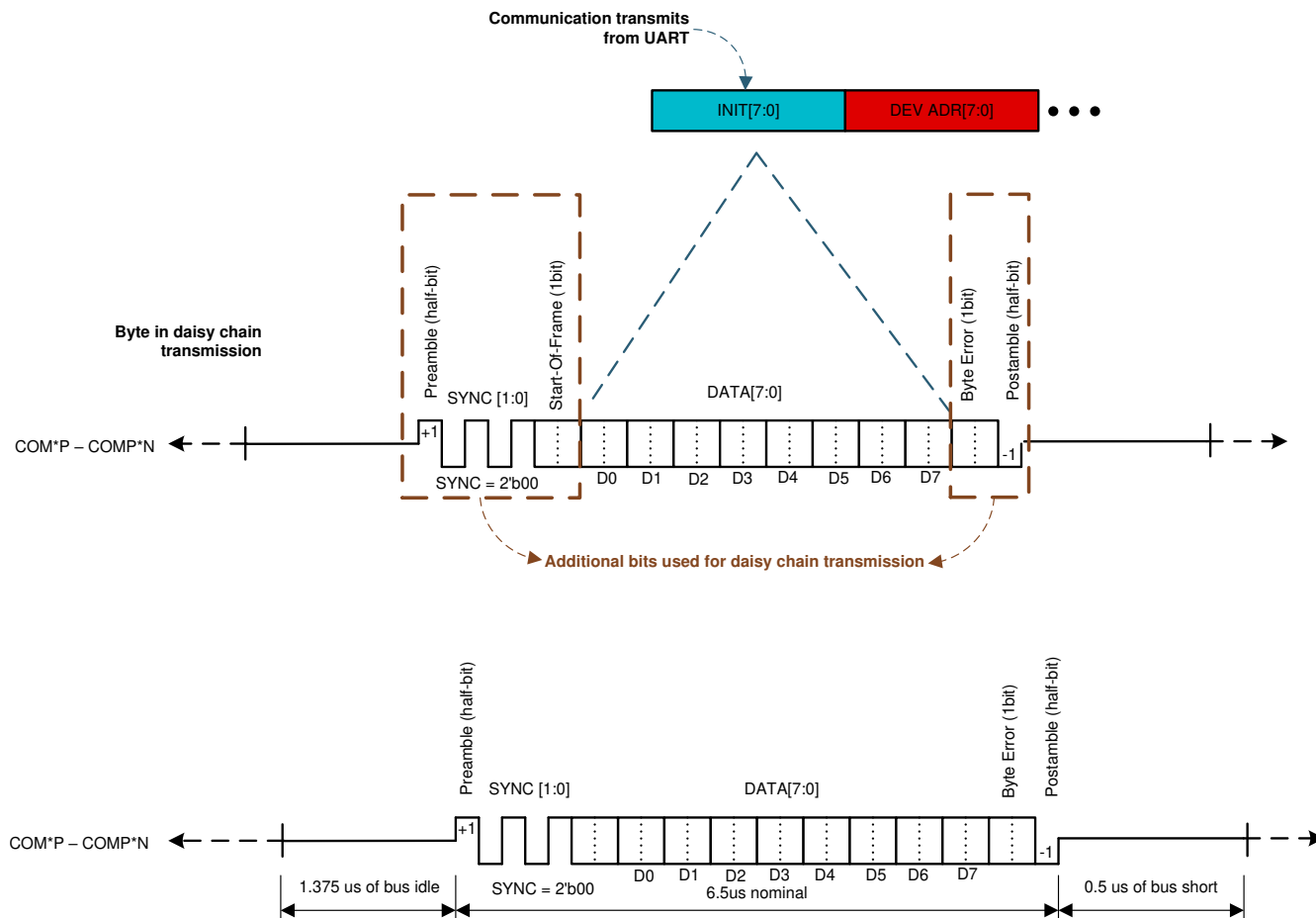


図 6-33. デイジーチェーンバイトの定義

表 6-18. デイジーチェーンバイトの定義

ビットフィールド	説明
プリアンブル (ハーフビット)	トランザクションの開始を示し、レシーバにサンプリングを開始するよう信号を送信します。このハーフビットと次の 2 つの SYNC ビットを使用して、タイミング情報を追加します。
SYNC[1:0]	常に 0b00 です。SYNC ビットはデジタルでバイトのタイミングとノイズレベルを評価するために使用され、ノイズの多い環境での 1 と 0 の検出を改善します。
フレーム開始 (1 ビット)	フレーム開始 (SOF) ビットは、後続のデータバイトが初期化バイトであることを示しています。これは、通信トランザクション フレームの開始です。スタック デバイスは、通信を処理するためにこの情報を必要とします。 コマンド フレーム トランザクションでは、ベース デバイスは、UART 通信をデイジーチェーン通信に変換する際に SOF ビットを設定します。 初期化バイトにはデータサイズ情報が含まれます。データ サイズ情報に基づき、ベース デバイスは受信したバイト数をカウントし、それに応じて次の SOF ビットを設定します。 UART COMM CLEAR 信号は、ロジックのフレーム処理を含む UART レシーバをリセットします。したがって、COMM CLEAR 後の次のバイトでは SOF が 1 に設定されている必要があります。これは、システムが UART をクリアし、通信を再起動することを COMM CLEAR が示しているためです。
データ[7:0]	通信トランザクション フレームの実際のバイト
バイトエラー BERR (1 ビット)	このバイトでエラーが検出されたことを示します。デバイスが、下位デバイスで BERR が設定されたバイトを受信すると、そのバイトを BERR = 1 で転送します。 各データビットはデバイス間で再クロックされるため、次のデバイスは通信エラーを検出できない可能性があります。ただし、 [BERR] ビットのタグは、この通信フレームの前のトランザクション中にエラーが発生していることを示します。
ポストアンブル (ハーフビット)	トランザクションの終了を示します

各バイトは、2MHz (パルスごとに 250ns、または 2 つ 1 組ごとに 500ns) のレートで送信されます。各バイト間の時間は、UART のボーレート (通常動作時は 1Mbps) によって異なりますが、バイトごとの時間は常に一定です。通信フレームは、バイト間のアイドル時間で定義されます。まれに、通信信号が正常に終了しない場合があり、バイトの最後にリングングが残ることがあります。このような場合、バイト間のギャップを増やすことで、通信の堅牢性が向上します。このデバイスでは、**STACK_RESPONSE** レジスタ設定により、応答フレームのバイト間にバイト ギャップを追加できます。

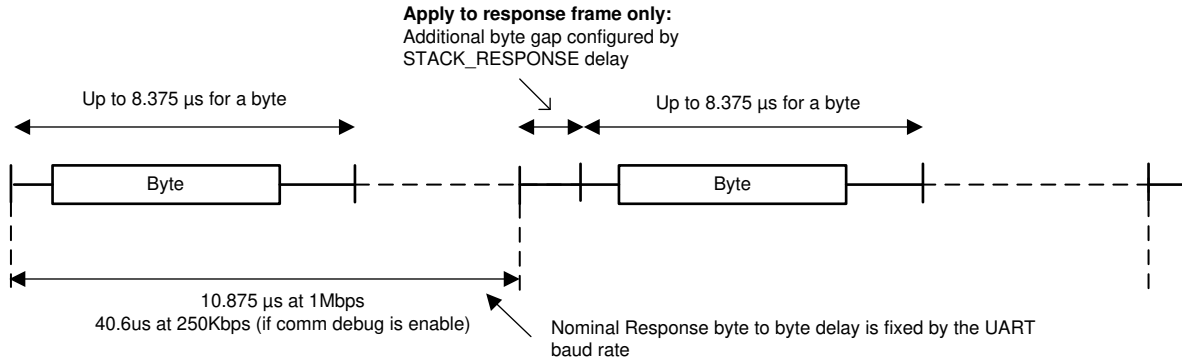


図 6-34. デイジーチェーンのバイト転送

6.3.6.1.3 通信を開始し

SHUTDOWN 状態から、またはデバイスのリセット後に、ホストは次の手順でデバイスを通信用に起動します。

- ホストが **WAKE ping** を送信してデバイスをリセットするか、デバイスを **ACTIVE** モードに移行します。このプロセスでは、デイジーチェーン内のデバイスは、デイジーチェーン内での位置(ベース デバイスかスタック デバイス)に基づいて、独自の **COMH** および **COML** ポートを構成します。
 - この手順の後、ブロードキャスト書き込みがサポートされます。
- ホストは自動アドレッシングを実行して、各デバイスにデバイス アドレスを割り当てます
 - この手順の後、ブロードキャスト読み取り/書き込みと、シングル デバイスの読み取り/書き込みがサポートされます。
- ホストは、**COMM_CTRL[STACK_DEV]** ビットと **[TOP_STACK]** ビットを構成します。スタックの最上位 (ToS) デバイスは、**COMH** のトランスミッタ (または通信方向に基づく **COML**) を無効にします。
 - この手順の後、すべてのコマンド、ブロードキャスト読み取り/書き込み、シングルデバイス読み取り/書き込み、スタック読み取り/書き込みがサポートされます。

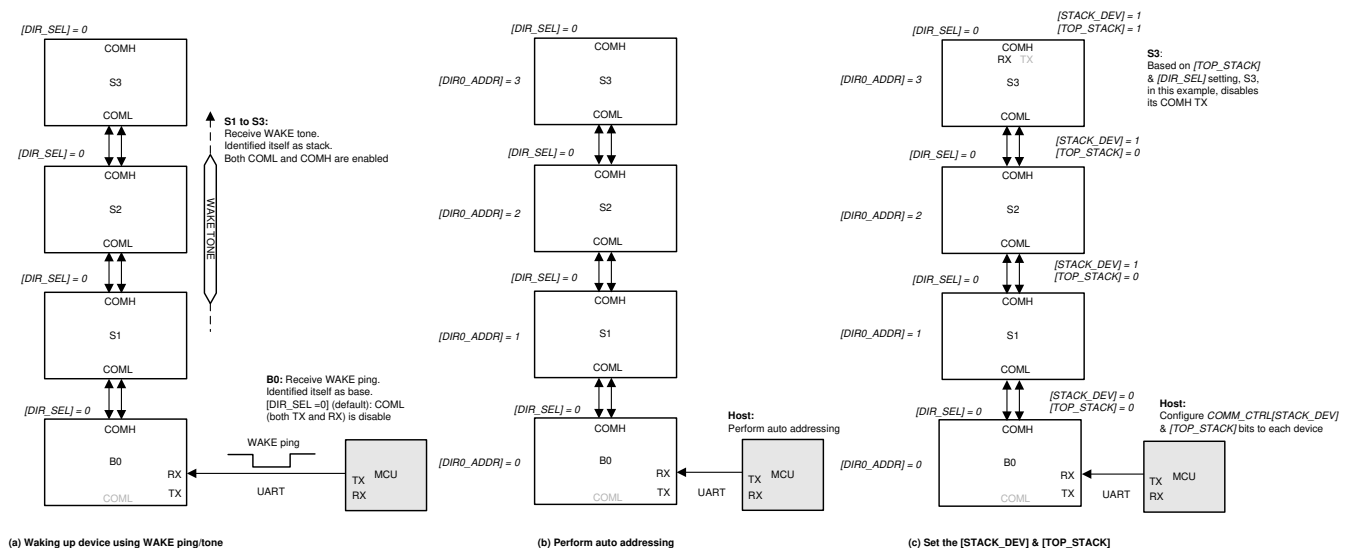


図 6-35. デバイスの通信設定

6.3.6.1.3.1 ベースとスタックの識別

デバイスがデジタイゼーション内での位置を識別するために、WAKE ping/トーンが使用されます。

- ベース デバイス: UART 経由でホストと接続するデバイス
- スタック デバイス: COMH および COML を介してベース デバイスと接続するデバイス

ベース デバイスは、RX ピン経由の WAKE ping でウェークアップします。一方、スタック デバイスは COMH/COML ポート経由の WAKE トーンでウェークアップします。したがって、デバイスは WAKE ping または WAKE トーンを使用して、自身をベースまたはスタックとして識別します。この情報は、すべての電力モードで利用可能な AVAO_REF ブロックに保存され、WAKE ping/トーンを受信するとリフレッシュされます。

CONTROL1[DIR_SEL] 設定を使用すると、ベース デバイスは未使用のデジタイゼーション ポート (トランスミッタおよびレシーバ) を無効にします。ホストが CONTROL1[DIR_SEL] 設定を変更すると、ベース デバイスは COMH/COML を再構成します。

注

ホストは、[DIR_SEL] 設定を変更してから少なくとも 100µs 後に通信を開始し、デバイスが COMH/COML の再構成を完了できるようにします。

6.3.6.1.3.2 自動アドレッシング

読み取りプロトコルが機能するには、すべてのデバイスが固有のデバイス アドレスを持っている必要があります。何らかの理由で 2 つのデバイスに同じデバイス アドレスが割り当てられている場合、ブロードキャスト読み取りとスタック読み取りは機能しない可能性があります。さらに、重複アドレスに対してシングル デバイス読み取りを行うと、通信が破壊されます。

OTP のデバイス アドレスがプログラムされていない場合、デフォルトのデバイス アドレスは 0x00 です。ホストがスタンドアロン デバイス (つまり、1 つのデバイスのみで構成されるスタック) と通信する場合、ホストは単純にデフォルトの 0x00 デバイス アドレスを使用できます。それ以外の場合、デバイス アドレスは以下のルールに従います。

- ベース デバイス アドレスは、どのような値でも開始できます。0x00 である必要はありません
- すべてのデバイス アドレスはシーケンシャルである必要があります。つまり、ベースが 0x00 の場合、次のデバイスは 0x01、次のデバイスは 0x02 でなければなりません。

自動アドレッシング手順を開始する前に、すべてのデバイスが ACTIVE モードである必要があります。この状態では、デバイスはブロードキャスト書き込みコマンドのみを処理できます。これは、自動アドレッシング手順に使用されるコマンドです。CONTROL1[DIR_SEL] の設定に基づいて、自動アドレッシング手順は、デバイス アドレスを DIR0_ADDR レジスタ ([DIR_SEL] = 0 の場合) または DIR1_ADDR レジスタ ([DIR_SEL] = 1 の場合) に設定します。

6.3.6.1.3.2.1 デバイス アドレスの設定

CONTROL1[ADDR_WR] ビットを使用すると、自動アドレッシング モードが有効になります。このモードでは、デバイスは 1 つの通信フレームに対して COMH/COML ([DIR_SEL] 設定に依存) トランスミッタをオフにし (自動アドレッシング手順に従って処理、そのデバイスのアドレスになります)、CONTROL1 [ADDR_WR] = 0 にクリアします。次の通信が受信されると (自動アドレッシング手順に従って、次のデバイスのアドレスになります)、デバイスは次のデバイスに通信を転送します。

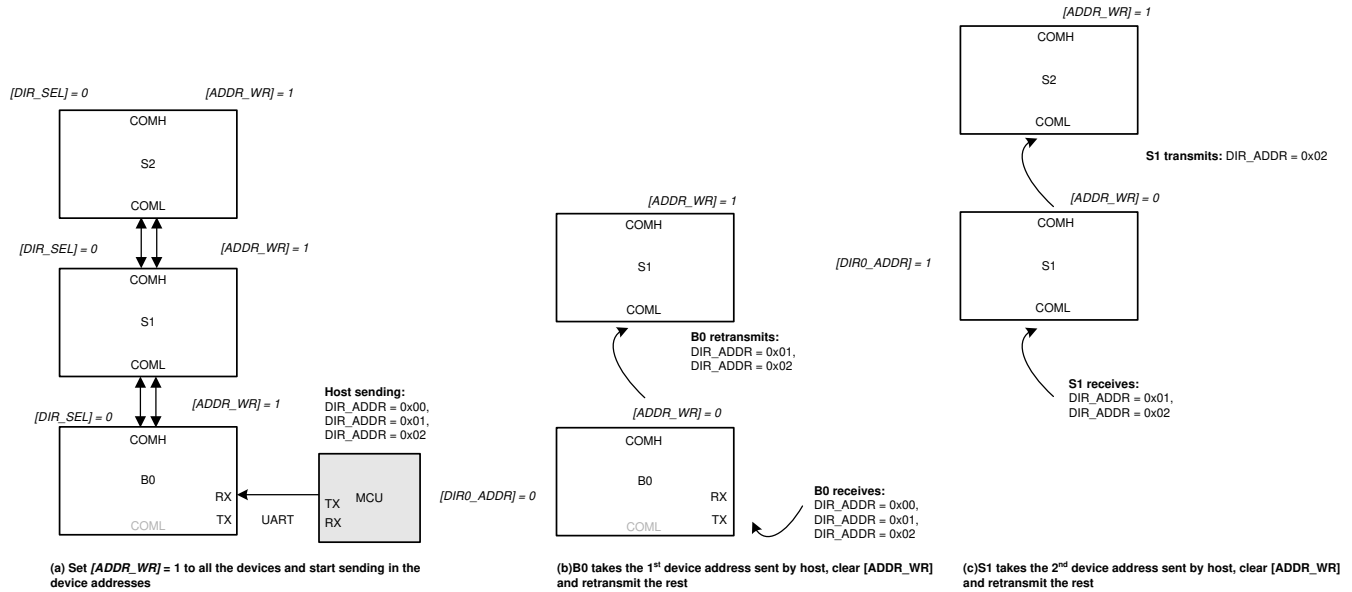


図 6-36. 自動アドレッシング

6.3.6.1.3.2.2 COMM_CTRL[STACK_DEV] および [TOP_STACK] の設定

自動アドレッシングの最後の手順は、 $COMM_CTRL[STACK_DEV]$ と $[TOP_STACK]$ の設定を構成することです。これらのビットは、ブロードキャスト読み取り、およびスタック読み取り/書き込み用に構成する必要があります。

- ベース デバイス: $[STACK_DEV] = 0$ および $[TOP_STACK] = 0$
- スタック デバイス (ToS デバイスを除く): $[STACK_DEV] = 1$ および $[TOP_STACK] = 0$
- ToS デバイス: $[STACK_DEV] = 1$ および $[TOP_STACK] = 1$

表 6-19 に、自動アドレッシング手順を示します。ここでは、 $CONTROL1[DIR_SEL] = 0$ を想定しています (つまり、ホストからのコマンドフレームを COML から COMH に送信するよう、各デバイスが設定されます)。

表 6-19. 自動アドレッシング

ステップ	手順
1	このステップは、自動アドレッシング手順の実行前にデバイスリセットが発生した場合に必要です。 ダミー書き込みにより、すべてのデジタイゼーション デバイス DLL (遅延ロックループ) ランプを書き込み方向に同期します。 ホストが $ECC_DATA1 \sim ECC_DATA8$ レジスタに 0x00 を書き込み、ブロードキャスト書き込みを送信します。
2	自動アドレッシング手順を有効にします。 ホストがブロードキャスト書き込みを送信して、 $CONTROL1[ADDR_WR] = 1$ を設定します。
3	デバイス アドレスを送信します。ホストがブロードキャスト書き込みを送信して、連続するアドレスを $DIR0_ADDR[ADDRESS5:0]$ に設定します。デジタイゼーションで接続された合計 3 台のデバイスの例: 1. データ 0x00 を使用して、$DIR0_ADDR$ レジスタにブロードキャスト書き込みを送信します。 2. データ 0x01 を使用して、$DIR0_ADDR$ レジスタにブロードキャスト書き込みを送信します。 3. データ 0x02 を使用して、$DIR0_ADDR$ レジスタにブロードキャスト書き込みを送信します。
4	各デバイスの $COMM_CTRL[STACK_DEV]$ ビットと $[TOP_STACK]$ ビットを設定します。 オプション 1: ホストは各デバイスに単一のデバイス書き込みを送信して、 $[STACK_DEV]$ と $[TOP_STACK]$ に適切な値を設定します。 オプション 2 (通信ステップが少ない): 1. ホストがブロードキャスト書き込みを送信して $[STACK_DEV] = 1$ および $[TOP_STACK] = 0$ を設定します。 2. ホストは、$[STACK_DEV] = 0$ のベース デバイス (この例ではデバイス アドレス 0x00) にシングルデバイス書き込みを送信します。 3. ホストは、$[TOP_STACK] = 1$ の ToS デバイスのアドレス 0x02 にシングルデバイス書き込みを送信します。

表 6-19. 自動アドレッシング (続き)

ステップ	手順
5	このステップは、自動アドレッシング手順の実行前にデバイスリセットが発生した場合に必要です。ダミー読み取りにより、すべてのデジチェーン デバイスの DLL ランプを読み取り方向に同期します。ホストがブロードキャスト読み取りを送信して ECC_DATA1 を読み出し、 ECC_DATA8 レジスタに書き込みます。この手順では DLL を同期するため、ホストがすべてのデータを受信するとは限りません。
7	推奨プラクティス。ブロードキャスト読み取りを使用して、 DIR0_ADDR レジスタを読み取り、すべてのデバイス アドレスを読み戻し、すべてのデバイスが適切にアドレッシングされていることを確認します。
8	DLL を同期するためにダミー書き込みおよびダミー読み取りステップを実行して、通信フォルトがトリガされた場合は、それは正常な状態です。その場合は、フォルトレジスタをクリアします。

6.3.6.1.3.2.3 OTP へのデバイス アドレスの保存

本デバイスは、デバイス アドレスに **DIR0_ADDR** (**[DIR_SEL]= 0** で使用) と **DIR1_ADDR** (**[DIR_SEL]= 1** で使用) レジスタを使用します。自動アドレッシング手順では、これらのレジスタのいずれかにデバイス アドレスが書き込まれると、新しいデバイス アドレスが直ちに有効になります。

ホストは、**[DIR_SEL]= 0** および **1** 方向のデバイス アドレスを OTP にプログラムするオプションを備えているため、デバイスがリセットされるたびにプログラムされたアドレスをロードできます。デバイス アドレスを OTP にプログラムするため、ホストは OTP シャドウ レジスタ **DIR0_ADDR_OTP** (**[DIR_SEL]= 0** のときに使用) および **DIR1_ADDR_OTP** (**[DIR_SEL]= 1** の場合に使用) に目的のアドレスを書き込み、OTP プログラミングを実行します。これら 2 つのシャドウ レジスタは、OTP にプログラムされた値を反映するか、またはホストが目的の値を OTP にプログラムするために使用します。これら 2 つのシャドウ レジスタは、通信中のデバイス アドレス設定ではありません。プログラミングの詳細については、[セクション 6.3.6.3.2](#) を参照してください。

6.3.6.1.3.3 デジチェーン DLL の同期

デバイスがリセットされるか、**SLEEP** から **ACTIVE** に移行すると、マイコンはダミーの書き込みと読み出しを実行して、デジチェーン デバイスの DLL を同期します。

デバイス アドレスが OTP にプログラムされていない場合、デバイスのリセット ケースでマイコンは自動アドレッシングを実行する必要があります。DLL 同期化は、このステップの一部です。デバイス アドレスが OTP にプログラムされている場合、デバイス リセット後に自動アドレッシングは必要ありません。ただし、マイコンは表 6-19 の手順 1 と手順 5 に示すダミー書き込みおよびダミー読み取り手順を実行し、DLL を同期させる必要があります。

SLEEPtoACTIVE 信号を使用してデバイスが **SLEEP** から **ACTIVE** に移行しても、デバイスはリセットされません。ただし、堅牢性を確保するため、1 データ バイトのダミー書き込みと読み取りを行うことを推奨します。表 21 と同様のダミーの書き込みおよび読み取り手順に従いますが、**OTP_ECC_DATAIN1** に対して書き込みと読み出しのみを行います。

6.3.6.1.3.4 リング型通信

本デバイスのデジチェーン通信では、リング アーキテクチャが採用されています。このアーキテクチャでは、2 つのデバイス間のケーブルが遮断されても、通常の非リング方式のように、すべてのアップストリーム デバイスとの通信が妨げられるわけではありません。ホストが通信の切断を検出すると、デバイスでホストの通信方向を切り替えて、遮断の両側にあるデバイスと通信できるようになります。これにより、断線が修復されるまで安全に操作できます。

CONTROL1[DIR_SEL] は通信方向を制御します。デバイスは、**[DIR_SEL]** および **[TOP_STACK]** の設定に応じて、**COMH** ポートと **COML** ポートを再構成します。逆通信方向のデバイス アドレスを再アドレッシングするには、自動アドレッシング手順が必要です。

デジチェーン全体で通信方向を **[DIR_SEL]= 1** に変更する例:

1. ホストがシングルデバイス書き込みを送信して、ベース デバイスを **[DIR_SEL]= 1** に変更します。ベース デバイスは **COMH** を無効にし、**COML** を有効にします。
2. ホストがブロードキャスト逆方向書き込みを送信して、すべてのデバイスの **COMM_CTRL** レジスタ設定をクリアします。

- ホストがブロードキャスト逆方向書き込みを送信して、デバイスの $[DIR_SEL]=1$ の残りの部分を変更します。このステップでは、デ이지チェーン全体が $[DIR_SEL]=1$ 方向で通信を送信するように構成されています (つまり、各デバイスは、COMH から COML に送信されたコマンド フレームを送信するように設定されています)。
- ホストは、自動アドレッシング手順を実行して、 $DIR1_ADDR$ レジスタにデバイス アドレスを設定します。デバイスがリセットされていない限り、ホストはダミーの読み出し/書き込み手順をスキップして、自動アドレッシング手順で DLL を同期できます。
- ホストが新しい ToS デバイスを設定すると、新しい ToS デバイスは COML トランスミッタを無効にします。

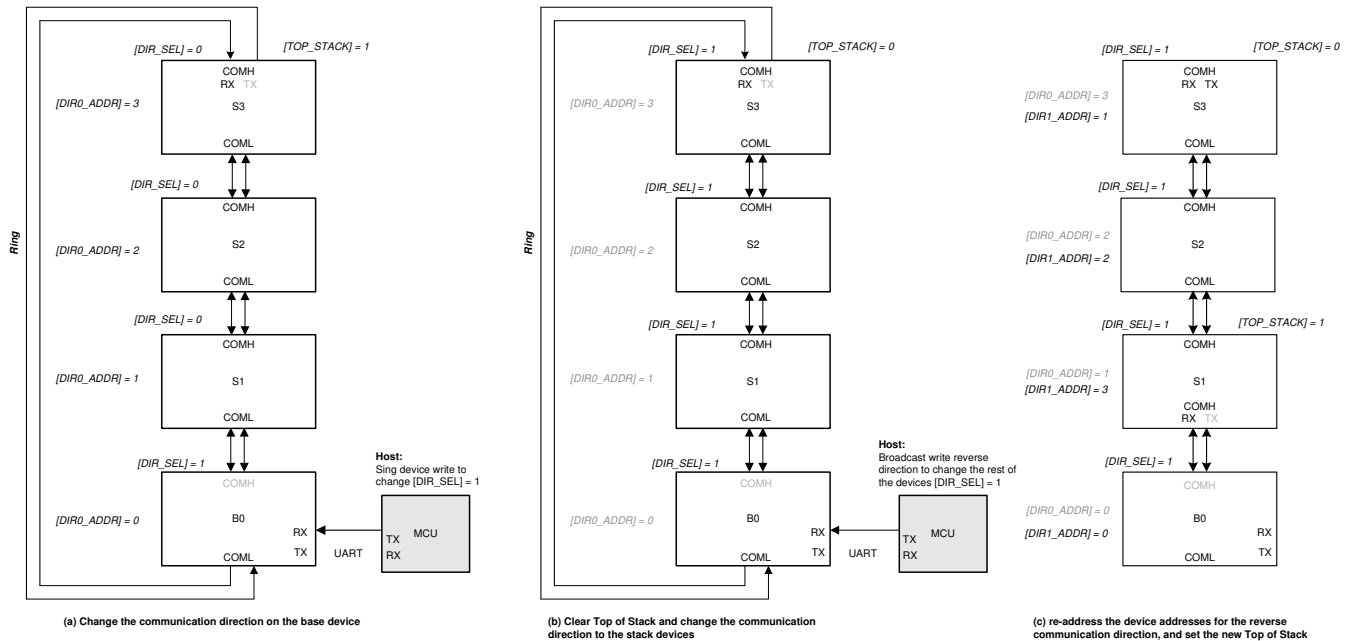


図 6-37. デ이지チェーンでの通信方向の変更例

両方の通信方向にデバイス アドレスを設定すると、ホストは通信方向を切り替えるときに自動アドレッシング ステップをスキップできます。

ケーブルが破損した場合、ホストは同じ手順で通信方向を変更します。デ이지チェーン内のすべてのデバイスにアクセスするには、ホストは一部のデバイスと $[DIR_SEL]=0$ で通信し、デ이지チェーン内の他のデバイスと $[DIR_SEL]=1$ で通信する必要があります。また、このチェーンには、通信方向ごとに 1 つずつ、合計 2 つの ToS デバイスがあります。

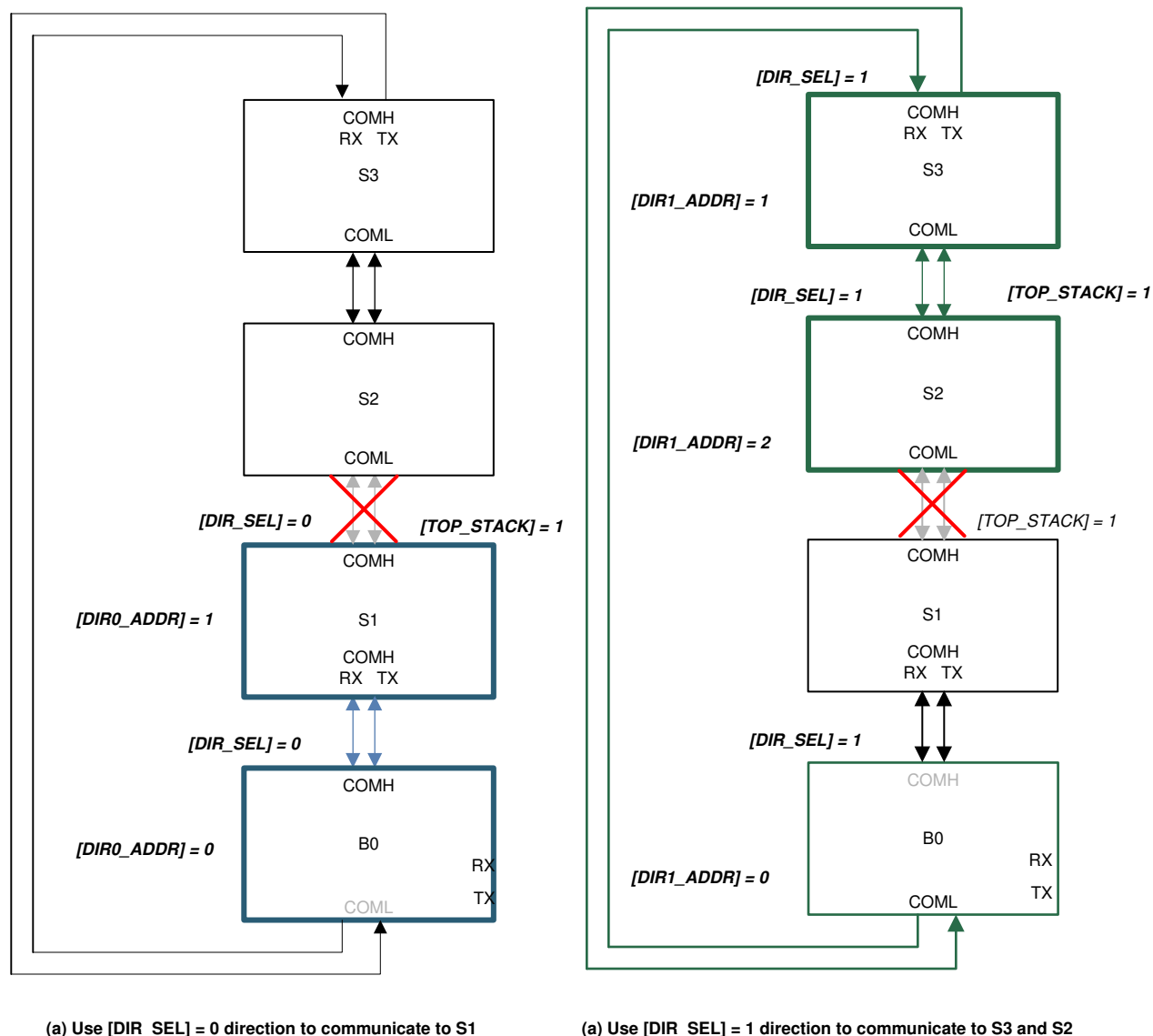


図 6-38. ケーブル破損時にすべてのデバイスにアクセスするためにリング アーキテクチャを使用

6.3.6.1.4 通信タイムアウト

CTS タイマと CTL タイマという 2 つのプログラム可能な通信タイムアウト スレッシュホールドがあり、UART またはデジチューン通信から有効なフレームが存在しないことを監視します。有効なフレームは、フレーム処理を妨げるエラーが含まれていないフレーム（応答またはコマンド）と定義されています。通信タイムアウトは、ACTIVE モードの間だけアクティブにカウントされます。SHUTDOWN モード時は無効になり、リセットされます。SLEEP モードでは、最後のカウンタ値が保持されます。

6.3.6.1.4.1 短時間通信タイムアウト

短時間通信タイムアウトは、トリガされるとホストへのアラートのように機能します。タイムアウト期間は、COMM_TIMEOUT_CONF[CTS_TIME2:0] ビットによりプログラム可能です。有効にすると、有効な応答またはコマンドフレームを受信するたびに、タイマがリセットされます。タイマが満了すると、FAULT_SYS[CTS] ビットがセットされます。

6.3.6.1.4.2 長時間通信タイムアウト

長時間通信タイムアウトにより、ホストはデバイスを SLEEP モードまたは SHUTDOWN モードに移行して、消費電力を抑えることができます。タイムアウト期間は、COMM_TIMEOUT_CONF[CTL_TIME2:0] ビットによりプログラム可能です。有

効にすると、有効な応答またはコマンド フレームを受信するたびに、タイマがリセットされます。タイマが満了した場合、ホストは、**COMM_TIMEOUT_CONF[CTL_ACT]** ビットを使用して、次のいずれかの動作を選択できます。

- **FAULT_SYS[CTL] = 1** を設定し、**SLEEP** モードに移行します。
- **SHUTDOWN** モードに移行します。

6.3.6.1.5 通信デバッグ モード

本デバイスは、初期開発フェーズを容易にする通信デバッグ モードを備えています。このデバッグ モードに移行するには、ホストは **DEBUG_CTRL_UNLOCK** レジスタにロック解除コード **0xA5** を書き込みます。デバッグ モードがロック解除されると、**DEBUG_COMM_CTRL1** および **DEBUG_COMM_CTRL2** の設定が有効になります。

デバッグ モードを終了するには、**DEBUG_CTRL_UNLOCK** に **0xA5** 以外の値 (たとえば **0x00**) を書き込むだけです。**COMH**、**COML**、**UART** は、**DEBUG_COMM_CTRL1** および **DEBUG_COMM_CTRL2** レジスタの設定に関係なく、通常の動作ステータスに戻ります。

通信デバッグ モードに入ると、ホストは以下を制御できます。

表 6-20. 通信デバッグ モードの機能

コントローラの機能	イネーブルビット	説明
COMH/L トランスミッタおよびレシーバの完全な制御	[USER_DAI5Y_EN]	[USER_DAI5Y_EN] = 1 の場合、デバイスは DEBUG_COMM_CTRL2 レジスタ設定に基づいて、COMH/L トランスミッタとレシーバを有効または無効にします。 [USER_DAI5Y_EN] = 0 の場合、通信デバッグ モードでも COMH/L は通常の動作ステータスになります。
デジタイチェーン内のデータを UART にミラーリングします	[USER_UART_EN]	[USER_UART_EN] = 1 の場合、ホストは [UART_MIRROR_EN] = 1 を設定して、デジタイチェーンを UART に変換するようにデバイスに指示できます。これにより、ホストは UART インターフェイスからデジタイチェーンで受信または転送されたデータを読み取ることができます。データは、UART 通信フレーム形式で示されます。 スタック デバイスの場合、UART TX はデフォルトで無効になっています。この機能を使用するには、ホストは、 [UART_TX_EN] = 1 も設定します。 [USER_UART_EN] = 0 の場合、UART 関連のデバッグ機能はすべて無効になります。 [UART_MIRROR_EN] および [UART_TX_EN] の設定に関係なく、UART は通常の動作ステータスになります。
UART のボーレートを 250kbps に低速化します	[USER_UART_EN]	[USER_UART_EN] = 1 の場合、ホストは、 [UART_BAUD] = 1 を設定して、UART ボーレートを 250kbps に変更できます。これにより、デジタイチェーンのスループットレートが遅くなります。 [USER_UART_EN] = 0 の場合、UART ボーレートは [UART_BAUD] の設定に関係なく 1Mbps のままです。

DEBUG_COMM_STAT レジスタには、UART と COMH/L がユーザー制御かハードウェア (デバイス) 制御かを示すステータス ビットがあります。このレジスタは、COMH/L トランスミッタとレシーバのステータスも示します。このデバッグ ステータス レジスタはデバイスのステータスに応じて更新されます。また、通信デバッグ モードが有効かどうかに関係なく読み取り可能です。

実際、読み取り専用デバッグ レジスタは、通信デバッグ モードを有効にしなくても、**ACTIVE** モードですべて読み取ることができます。大半は、低レベルの通信フォルト ステータス レジスタであり、**DEBUG_UART***、**DEBUG_COMH***、**DEBUG_COML*** レジスタのように、通信エラー イベントに追加情報を提供します。詳細については、[セクション 6.3.6.2](#) と [セクション 6.5.4](#) を参照してください。

6.3.6.1.6 マルチドロップ構成

マルチドロップ構成とは、システム内の複数のデバイスが UART を介してホスト システムと通信を行う構成のことです。複数のデバイス間にデジタイチェーン通信はありません。**[MULTIDROP] = 1** の場合、デバイスの **COMH** および **COML** ポートは無効になります。すべての通信プロトコル、シングルデバイス読み取り/書き込み、ブロードキャスト読み取り/書き込み、スタック読み取り/書き込み、ブロードキャスト逆方向書き込みは、デジタイチェーン構成と同様にサポートされています (つまり、**[MULTIDROP] = 0**)。ただし、マルチドロップ構成では、スタック コマンドとリバース ブロードキャスト コマンドを使用することはほとんどありません。ブロードキャスト コマンドを使用する場合でも、シーケンシャルなデバイス アドレスで

デバイスを設定し、最上位のデバイス アドレスを持つデバイスに **[TOP_STACK]** ビットを設定する必要があります。**[TOP_STACK]= 1** のデバイスは、ブロードキャスト読み取りコマンドを受信すると、データの返却を開始し、デジータチェーン通信のように、1 つ下のデバイス アドレスを持つデバイスが次に応答します。また、マルチドロップ構成で一貫した通信を確保するため、各フレームの前に **COMM_CLR** を使用する必要があります。

6.3.6.1.7 SPI コントローラ

GPIO4 ~ GPIO7 は、**GPIO_CONF1[SPI_EN]= 1** の場合、SPI コントローラ インターフェイスとして構成できます。SPI コントローラには、次の 4 つの I/O が搭載されています。

- **SCLK**: 本デバイスによって生成され、同期に使用される SPI クロック
- **MOSI**: コントローラのデータ出力。デバイスによって駆動され、ターゲットにデータを出力します。
- **MISO**: コントローラのデータ入力。ターゲットからのデータを検出します。
- **SS**: SPI 通信中にデバイスによって駆動されるターゲット選択。

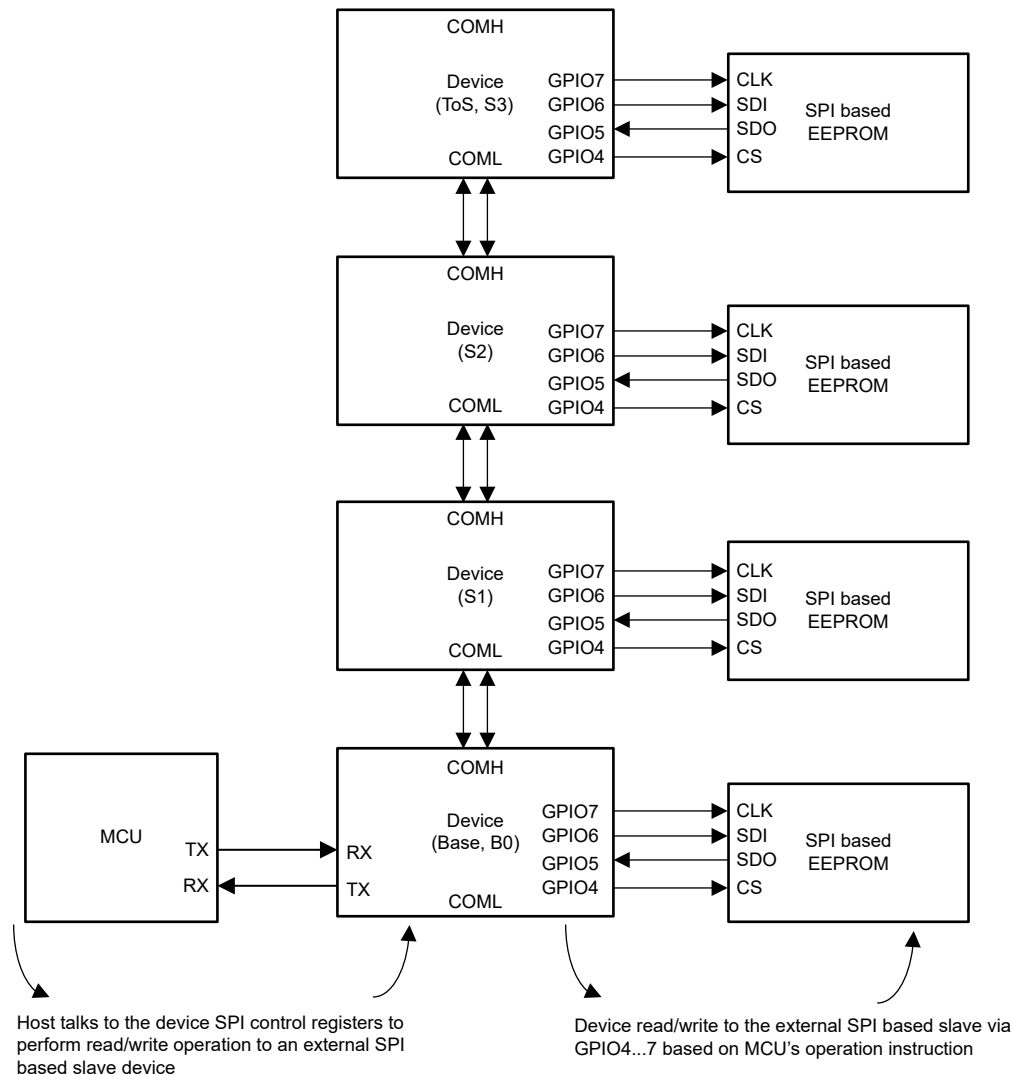


図 6-39. SPI コントローラのスタック構成

SPI_CONF[CPOL] (クロック極性) と **[CPHA]** (クロック位相) は、SPI クロック形式を定義します。**[CPOL]** は、SPI クロックが反転または非反転の場合に定義されます。**[CPHA]** は、クロック エッジが立ち上がりか立ち下がりかに関係なく、MISO

と MOSI が先行 (最初) のクロック エッジまたは後行 (2 番目) のクロック エッジでサンプリングされた場合に定義されます。*SPI_CONF[NUMBIT4:0]* は、トランザクションのビット数 (1 ~ 24 ビットのトランザクション) を定義します。

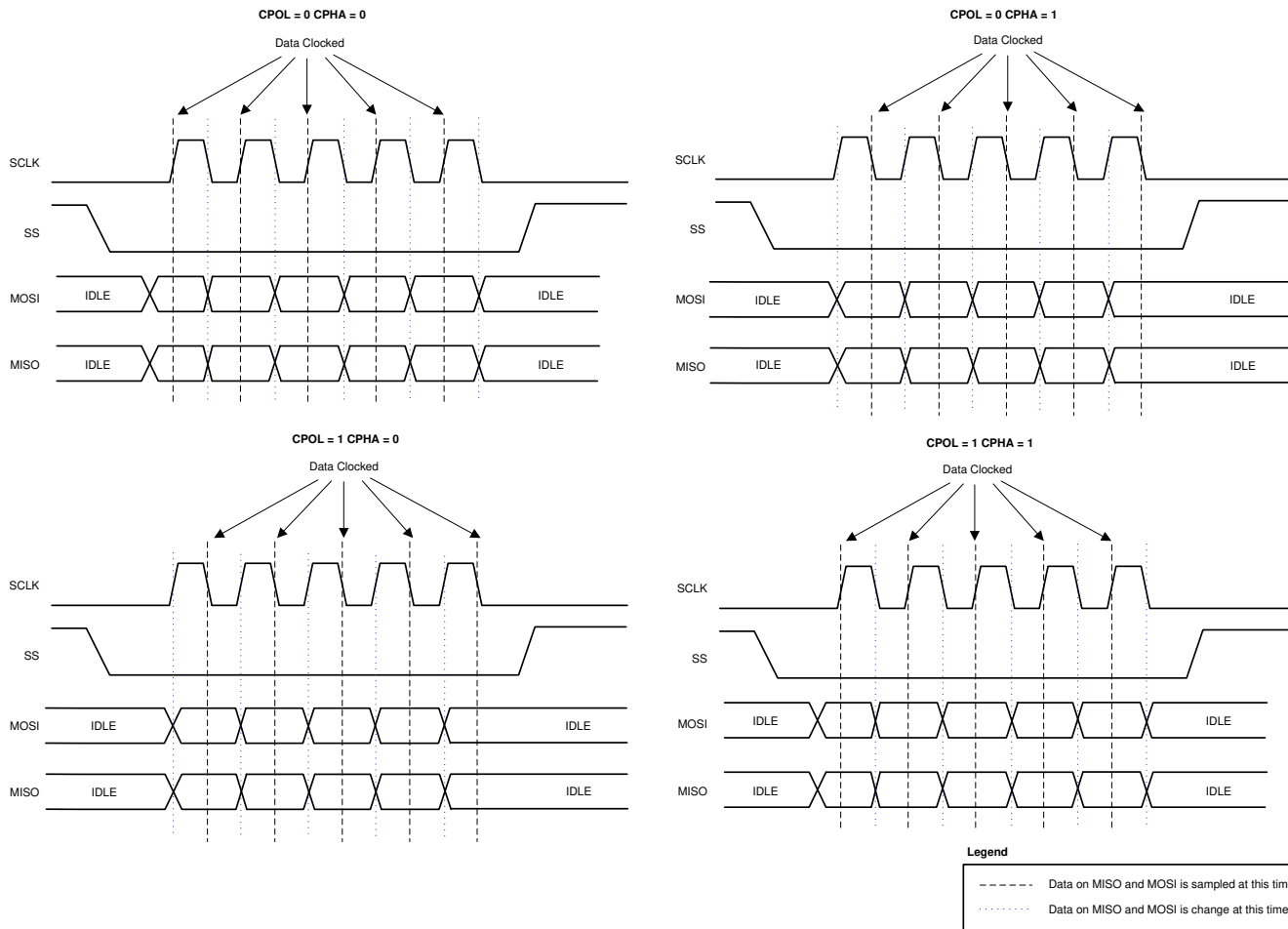


図 6-40. SPI コントローラの CPOL および CPHA

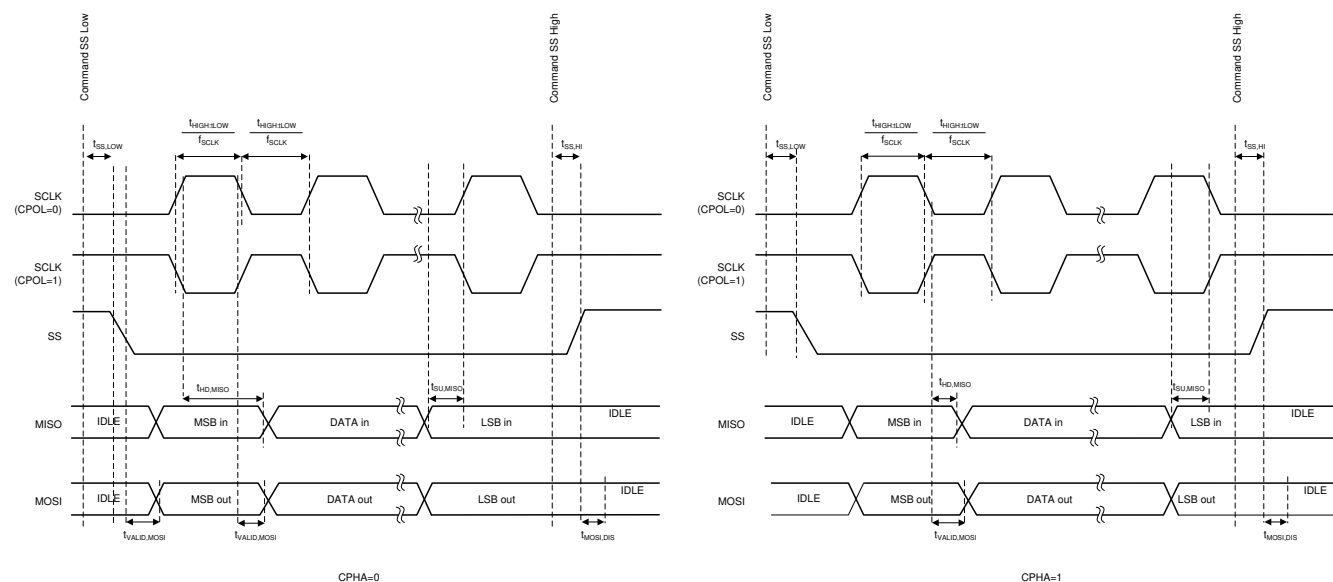


図 6-41. SPI コントローラのタイミング図

表 6-21. 外部 SPI ターゲットへの書き込み

ステップ	説明
1	SPI クロック極性、クロック位相、ビットトランザクション数を設定します。 a. SPI 通信を構成するために、 SPI_CONF レジスタに書き込みます
2	データを書き込みます (SPI_CONF[NUMBER4:0] 設定で指定された 1 ~ 24 ビット): a. SPI ターゲットに送信するデータを SPI_TX1 ~ SPI_TX3 レジスタに設定します。 b. SPI_TX1 が最下位バイト、 SPI_TX3 が最上位バイトです。
3	ターゲットを選択し (アクティブ Low と想定)、SPI 書き込みアクションを実行します。 a. SPI_EXE レジスタ = 0x01 (つまり、 [SS_CTRL] = 0 と [SPI_GO] = 1) を送信します。
4	SPI 通信が完了するまで待ちます。
5	SS ポートの選択を解除します (アクティブ Low と想定。選択解除は、SS ピンが High になることを意味します)。 a. SPI_EXE レジスタ = 0x02 (つまり、 [SS_CTRL] = 1 と [SPI_GO] = 0) を送信します。

表 6-22. 外部 SPI ターゲットからの読み出し

ステップ	説明
1	SPI クロック極性、クロック位相、ビットトランザクション数を設定します。 a. SPI 通信を構成するために、 SPI_CONF レジスタに書き込みます
2	ターゲットを選択し、SPI 通信を実行します。 a. SPI_EXE レジスタ = 0x01 (つまり、 [SS_CTRL] = 0 と [SPI_GO] = 1) を送信します。
3	データトランザクションが完了するまで待ちます。
4	データを読み出します (SPI_CONF[NUMBER4:0] 設定で指定された 1 ~ 24 ビット)。 a. SPI_RX1 ~ SPI_RX3 レジスタから SPI ターゲットのデータを読み出します。 b. SPI_TX1 が最下位バイト、 SPI_TX3 が最上位バイトです。
5	SS ポートの選択を解除します (アクティブ Low と想定。選択解除は、SS ピンが High になることを意味します)。 a. SPI_EXE レジスタ = 0x02 (つまり、 [SS_CTRL] = 1 と [SPI_GO] = 0) を送信します。

6.3.6.1.8 SPI のループバック

SPI コントローラにはループバック機能があり、**DIAG_COMM_CTRL[SPI_LOOPBACK]** ビットを使用して有効にします。有効にすると **SPI_TX*** レジスタのバイトが SPI コントローラの MISO ピンに直接クロックされ、SPI コントローラが機能しているかどうか確認されます。これは内部で実行されるため、このテストの実行に外部接続は必要ありません。これにより、SPI 機能が正常に動作していることが検証されます。通常の SPI トランザクションで **SPI_CFG**、**SPI_TX***、**SPI_EXE**

レジスタには書き込まれますが、このモード中は外部ピンはトグルしません。つまり、外部ピンは静的なままで、最後の状態が保持されています。ループバック動作中に状態の変化はありません。

テスト結果として期待されるのは、**SPI_TX*** レジスタのバイトが **SPI_RX*** レジスタに読み出されることです。**SS** ピンは、**LOOPBACK** モードが有効のときに存在した **SPI_EXE[SS_CTRL]** の設定にラッチされます。適切な動作を保証するため、**LOOPBACK** モードに入る前に **CPHA** および **CPOL** パラメータを設定する必要があります。**LOOPBACK** モード中に **CPOL** または **CPHA** パラメータを変更すると、**SPI** 出力に誤ったパルスが発生する可能性があるため、これは推奨しません。

6.3.6.2 フォルト処理

6.3.6.2.1 障害ステータスの階層

このデバイスは、次のような複数のタイプのフォルトを監視します。

- セルの **OV/UV**、セルの **OT/UT** など、ハードウェア プロテクタによるバッテリー セル監視
- デバイスリセット、通信タイムアウト、熱警告などのシステム動作
- メインおよび **AUX ADC** のさまざまな比較、**BIST** 実行などに関連するコマンドベースの診断チェック
- 内部電源や **OTP CRC** など、バックグラウンドで実行される自動診断チェック
- 通信フォルト。

FAULT_SUMMARY レジスタの各ビットは、1 つまたは複数の下位フォルトレジスタに保存されるフォルトのグループを表します。**FAULT_SUMMARY** レジスタは、デバイスによって検出されたフォルト ステータスの最上位の階層を表します。ホストシステムは、**FAULT_SUMMARY** レジスタを定期的にポーリングしてフォルト ステータスを確認し、必要に応じて下位フォルト レジスタを読み取ることができます。たとえば、**FAULT_SUMMARY[FAULT_OVUV] = 1** の場合、ホストは **FAULT_OV1/2** および **FAULT_UV1/2** レジスタを読み取り、フォルトをトリガしたセル チャネルを判定できます。

表 6-23 に、下位レジスタと **FAULT_SUMMARY** レジスタ ビットの対応を示します。レジスタの説明については、[セクション 6.5](#) を参照してください。

表 6-23. 下位フォルト レジスタ

FAULT_SUMMARY ビット名	FAULT_PROT	FAULT_COMP_ADC	FAULT_OTP	FAULT_COMM	FAULT_OTUT	FAULT_OVUV	FAULT_SYS	FAULT_PWR
下位レジスタ名	FAULT_PROT ₁	FAULT_COMP_GPIO	FAULT_OTP ⁽¹⁾	FAULT_COMM1 ⁽¹⁾	FAULT_OT	FAULT_OV1	FAULT_SYS	FAULT_PWR1
	FAULT_PROT ₂	FAULT_COMP_VCCB1		FAULT_COMM2 ⁽¹⁾	FAULT_UT	FAULT_OV2		FAULT_PWR2
		FAULT_COMP_VCCB2		FAULT_COMM3		FAULT_UV1		FAULT_PWR3
		FAULT_COMP_VCOW1				FAULT_UV2		
		FAULT_COMP_VCOW2						
		FAULT_COMP_CBOW1						
		FAULT_COMP_CBOW2						
		FAULT_COMP_CBFET1						
		FAULT_COMP_CBFET2						
		FAULT_COMP_MISC						

(1) **FAULT_COMM1/2** および **FAULT_OTP** レジスタの一部のビットには、**DEBUG_COMM*** および **DEBUG_OTP** レジスタに示される情報よりも下位のフォルト情報が含まれます。

6.3.6.2.1.1 デバッグレジスタ

DEBUG_COMM* および **DEBUG_OTP** レジスタはフォルト ステータスの一種で、**FAULT_COMM1**、**FAULT_COMM2**、**FAULT_OTP** の一部のビットに関する下位層のフォルト情報を示します。

表 6-24 に、階層関係を示します。レジスタの詳細な説明については、「[セクション 6.5](#)」を参照してください。

表 6-24. デバッグ レジスタ

下位フォルトレジスタ	下位レジスタビット		関連する DEBUG レジスタ
FAULT_COMM1	[UART_RC]	UART から受信したコマンド フレームに関連するフォルト	DEBUG_UART_RC
	[UART_RR] [UART_TR]	UART から受信または送信した応答フレームに関連するフォルト	DEBUG_UART_RR_TR
FAULT_COMM2	[COMH_BIT]	COMH からのバイト エラーに関連するフォルト	DEBUG_COMH_BIT
	[COMH_RC]	COMH から受信したコマンド フレームに関連するフォルト	DEBUG_COMH_RC
	[COMH_RR] [COMH_TR]	COMH から受信または送信した応答フレームに関連するフォルト	DEBUG_COMH_RR_TR
	[COML_BIT]	COML からのバイト エラーに関連するフォルト	DEBUG_COML_BIT
	[COML_RC]	COML から受信したコマンド フレームに関連するフォルト	DEBUG_COML_RC
	[COML_RR] [COML_TR]	COML から受信または送信した応答フレームに関連するフォルト	DEBUG_COML_RR_TR
FAULT_OTP	[SEC_DET]	OTP のシングル エラー訂正	DEBUG_OTP_SEC_BLK
	[DED_DET]	OTP のダブル エラー訂正	DEBUG_OTP_DED_BLK

6.3.6.2.2 フォルト マスクとリセット

6.3.6.2.2.1 フォルト マスク

デバイスがフォルトを検出すると **DEBUG_*** レジスタの関連ビットを含む、対応する下位レジスタ ビットがセットされます。フォルト階層の関係に基づいて、フォルトは **FAULT_SUMMARY** レジスタに反映されます。

フォルトのグループをマスクすることもできます。その場合、関連する下位レジスタ フラグは引き続き設定されますが、対応する **FAULT_SUMMARY** レジスタにフォルトは反映されません。フォルトは、**FAULT_MSK1** および **FAULT_MSK2** レジスタでマスクできます。

たとえば、**FAULT_SUMMARY[FAULT_OTUT]** のセットをマスクするには、ホストで **FAULT_MSK1[MSK_OT] = 1** と **[MSK_UT] = 1** を設定します。

フォルトがマスクされている場合、マスクされたフォルトが発生したときに、デバイスは **NFAULT** ピンをアサートしません。**NFAULT** 信号の詳細については、[セクション 6.3.6.2.3](#) を参照してください。

表 6-25. フォルト マスク

	マスキング ビット名	影響を受ける関連する下位レジスタ	マスクされる FAULT_SUMMARY レジスタ ビット
FAULT_MSK1	[MSK_PROT]	FAULT_PROT*	[FAULT_PROT]
	[MSK_UT]	FAULT_UT	[FAULT_OTUT]
	[MSK_OT]	FAULT_OT	
	[MSK_UV]	FAULT_UV*	
	[MSK_OV]	FAULT_OV*	[FAULT_OVUV]
	[MSK_COMP]	FAULT_COMP_*	[FAULT_COMP]
	[MSK_SYS]	FAULT_SYS	[FAULT_SYS]
	[MSK_PWR]	FAULT_PWR*	[FAULT_PWR]

表 6-25. フォルト マスク (続き)

	マスクング ビット名	影響を受ける関連する下位レジスタ	マスクされる FAULT_SUMMARY レジスタ ビット
FAULT_MSK2	[MSK_OTP_CRC]	FAULT_OTP[CUST_CRC][FACT_CRC]	[FAULT_OTP]
	[MSK_OTP_DATA]	FAULT_OTP、DEBUG_OTP_* の CRC 以外のすべてのビット	
	[MSK_COMM3_FCOMM]	FAULT_COMM3[FCOMM_DET]	[FAULT_COMM3]
	[MSK_COMM3_FTONE]	FAULT_COMM3[FTONE_DET]	
	[MSK_COMM3_HB]	FAULT_COMM3[HB_FAIL][HB_FAST]	
	[MSK_COMM2]	FAULT_COMM2、DEBUG_COMH_*、 DEBUG_COML_*	[FAULT_COMM2]
	[MSK_COMM1]	FAULT_COMM1、DEBUG_UART_*	[FAULT_COMM1]

6.3.6.2.2.2 フォルト リセット

フォルトが検出されると、リセット ビットでクリアされるまで、フォルト ステータス ビットがラッチされます。フォルト マスクと同様に、特定のフォルトリセット ビットが設定されると、**DEBUG_*** レジスタを含む関連する下位フォルトレジスタがクリアされます。**FAULT_SUMMARY** レジスタの対応ビットは、関連するすべての下位レジスタがクリアされるとクリアされます。フォルト状態が持続してリセット ビットが書き込まれると、フォルト ステータス ビットはリセットされません。フォルト インジケータは、基になるフォルト条件が解消されるまでリセットできません。

フォルトは、**FAULT_RST1** および **FAULT_RST2** レジスタによってリセットされます。フォルトリセット ビットは、フォルト マスクビットと同様に、対応するフォルト ステータス レジスタに配置されます。

6.3.6.2.3 フォルト信号

ホストは、次の方法でフォルト ステータスを取得できます。

- デイジーチェーン内の各デバイスの **FAULT_SUMMARY** ステータスを常にポーリングします。**FAULT_SUMMARY** が 0 以外の場合は、下位のフォルト ステータス レジスタを読み出して詳細を取得します。
- フォルト ステータスを有効にし、デイジーチェーン経由でベース デバイスに通知します。デイジーチェーン内のいずれかのデバイスで **FAULT_SUMMARY** がゼロでない場合は、ベース デバイスの **NFAULT** ピンをアサートできるようにします。ホストが **NFAULT** を監視します。**NFAULT** がトリガされると、ホストは **FAULT_SUMMARY** でブロードキャスト読み出しを実行し、どのデバイスに障害が発生しているかを判定します。

フォルト検出で、ベース デバイスの **NFAULT** ピンを使用してホストに信号を送信する場合、スタック デバイスはフォルト ステータス情報をベース デバイスに転送する必要があります。この情報は、同じ通信ケーブルを介して **COMH/L** 経由で送信されます。**ACTIVE** モードでは、各デバイスは、応答フレームの転送時にフォルト ステータスを通信に埋め込みます。**SLEEP** モード、または **SLEEP** モードでハートビートとフォルトトーンを使用する場合。

NFAULT ピンは、**DEV_CONF[NFAULT_EN] = 0** に設定することでマスクできます。**NFAULT** が無効の場合、デバイスは **FAULT_SUMMARY** レジスタの対応するフラグをセットしますが、**NFAULT** はアサートしません。

6.3.6.2.3.1 ACTIVE モードでのフォルト ステータスの送信

ACTIVE モードでは、**DEV_CONF[FCOMM_EN] = 1** の場合、スタック デバイスは応答フレームを転送する前にフォルト ステータスを埋め込むことができます。**[FCOMM_EN] = 1** の場合、スタック デバイスは応答フレームのデバイス アドレス バイト、レジスタ アドレス バイト (上位アドレス バイトと下位アドレス バイトの両方) の **SOF** ビットをフォルト ステータス ビットに転用します。図 6-42 を参照してください。このセクションの残りの部分では、これをフォルト ステータス ビットと呼びます。

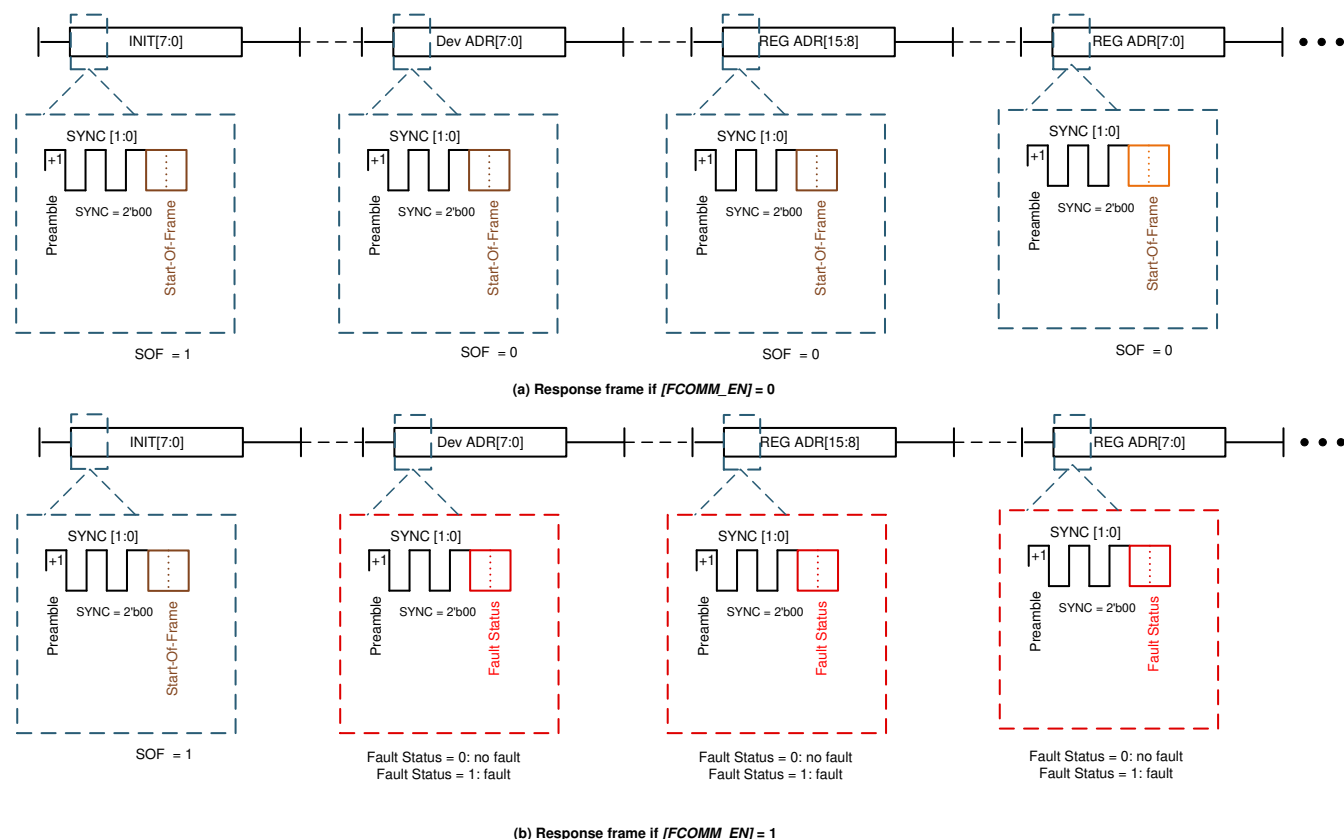


図 6-42. 通信応答フレームへのフォルト ステータスの埋め込み

スタック デバイスのフォルト ステータスを渡すために、ホストはブロードキャスト読み取りを送信するか、ToS デバイスに 1 つのデバイス読み取りを送信します。どちらの読み取りでも、デ이지チェーン内のすべてのデバイスが応答フレームを通過するため、各デバイスは、応答フレームのフォルト ステータス ビットに対してそのフォルト ステータスを OR することができます。

図 6-43 に、単一のデバイス読み取りコマンドで応答フレームデ이지チェーンを通過し、上位デバイスまで到達する例を示します。

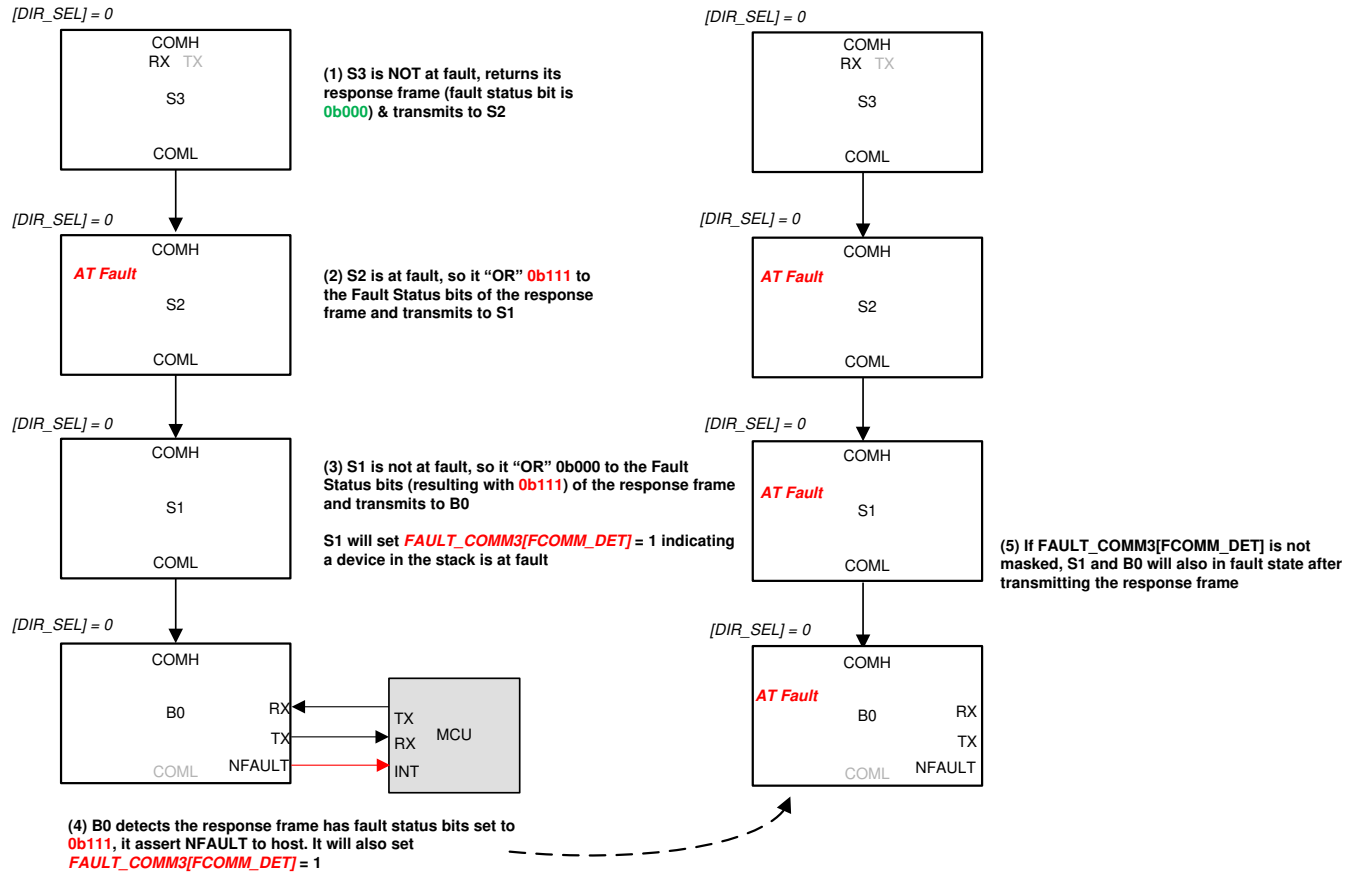


図 6-43. ACTIVE モードでのフォルト ステータスの転送 (単一のデバイス読み取りに対する応答)

デバイスにフォルトがない場合、フォルト ステータス ビットは 0b000 で OR されます。それ以外の場合、フォルト ステータス ビットが 0b111 で OR されます。したがって、デジチェーン内のいずれかのデバイスにフォルトが存在する場合、フォルト ステータス ビットは 0b111 になります。ベース デバイスが NFAULT ピンをアサートするには、フォルト ステータス ビットの少なくとも 2 ビットが 1 になる必要があります。

さらに、フォルト ステータス ビットの少なくとも 2 ビットが 1 になっている応答フレームを検出すると、デバイスは **FAULT_COMM3[FCOMM_DET] = 1** も設定します。このフォルトがマスクされていない場合、デバイスもフォルト状態になります。次に応答フレームが送信されるときに、このデバイスは、フォルト ステータス ビットを 0b111 で OR します。

ホストは、ブロードキャスト読み取りを実行し、デジチェーン内でフォルトが発生しているデバイスとそのフォルトのタイプを検出します。

6.3.6.2.3.2 SLEEP モードでのフォルト ステータスの送信

SLEEP モードでは、以下のフォルト検出機能が引き続きアクティブです。

- カスタマおよびファクトリ OTP シャドウ レジスタ CRC チェック
- デバイスの過熱警告
- 電源の OV、UV、発振検出
- OVUV プロテクタが有効になっている場合は、セルの OV および UV 検出。
- OTUT プロテクタが有効になっている場合は、サーミスタの OT および UT 検出。

SLEEP モードでは通信は使用できないので、このデバイスはハートビートトーン (デバイスはフォルト状態ではない) とフォルトトーン (デバイスはフォルト状態) を使用して、フォルト ステータスを送信するオプションを実装しています。これらのトーンは、**CONTROL1[DIR_SEL]** の設定に基づいて、通信コマンド フレームと同じ方向に送信されます。(必要に応じて

NFAULT をトリガするために) トーン信号をベース デバイスに送り返せるように、SLEEP モードでフォルト ステータスをサポートするにはリング アーキテクチャが必要です。

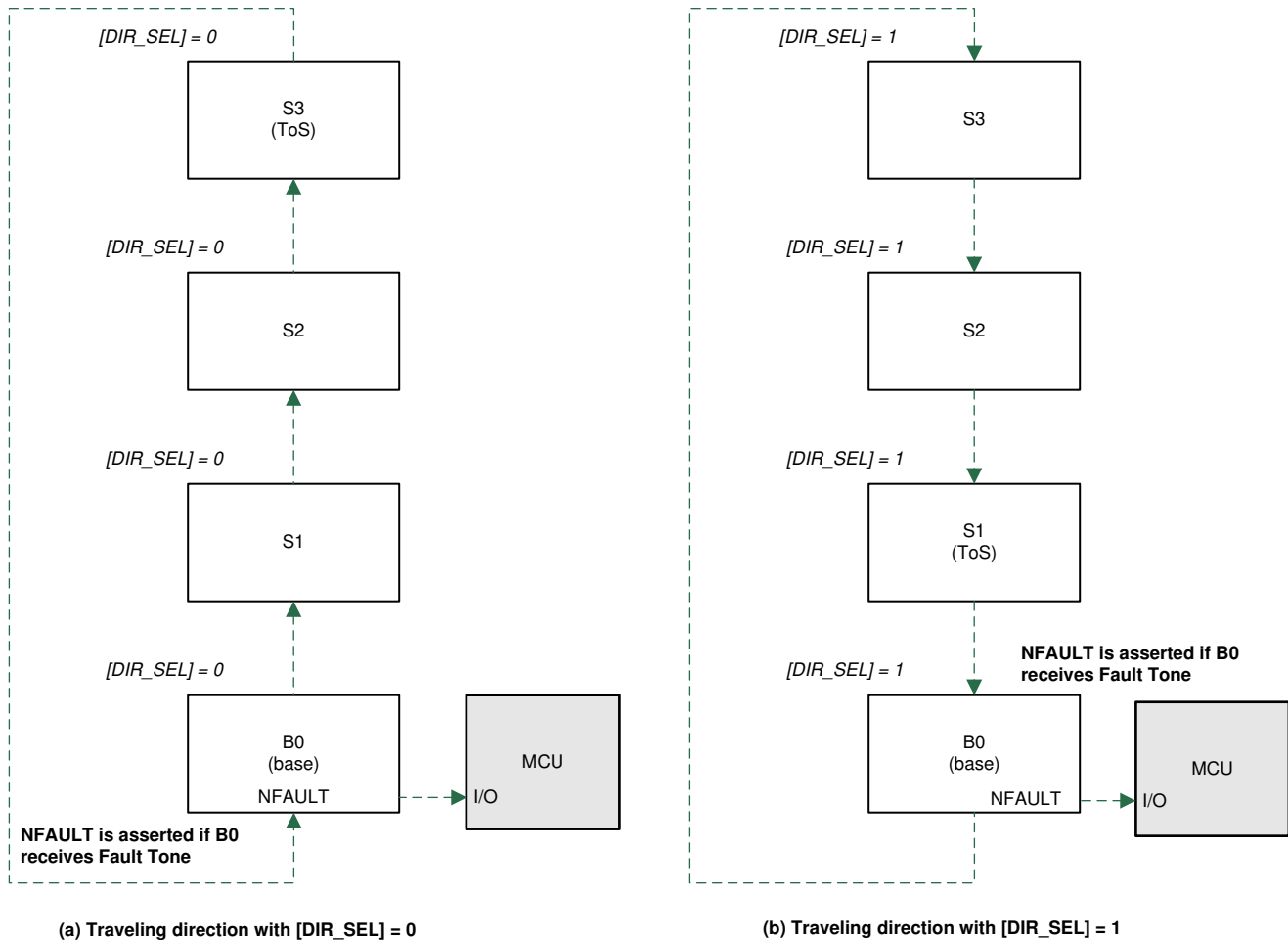


図 6-44. ハートビートまたはフォルト トーンの方

ハートビート トーンとフォルト トーンはどちらも、通信トーンに似たタイプのトーンです。主な違いは、通信トーンは 1 回だけのカプレット バーストで送信されますが、ハートビート トーンとフォルト トーンは、定期的なカプレット バーストで送信される点です。詳しくは、[セクション 6.3.6.2.3.3](#) を参照してください。

6.3.6.2.3.3 ハートビート トーンとフォルト トーン

トーンを有効にするには、`DEV_CONF[HB_EN] = 1` と `DEV_CONF[FTONE_EN] = 1` を設定して、ハートビートトランスミッタとフォルト トーン トランスミッタをそれぞれ有効にします。ハートビートおよびフォルト トーンのレシーバは、`[HB_EN]` および `[FTONE_EN]` の設定に関係なく、SLEEP モードでも常にオンになっています。ハートビートフォルトまたはフォルト トーン フォルトによるフォルト検出 (NFAULT または `FAULT_SUMMARY` レジスタのアサート) を回避するには、`[MSK_COMM3_HB] = 1` または `[MSK_COMM3_FTONE] = 1` でフォルトをマスクします。

ハートビート トーンとフォルト トーンは、「 $\neg$ 」極性のカプレットで形成されています。これらは、カプレットの数で区別されます。通信トーンとは異なり、ハートビート トーンとフォルト トーンは定期的送信されます。トーンの間隔はバースト周期です。送信されるカプレットの数には常に、検出に必要なカプレット数よりも大きくなります。

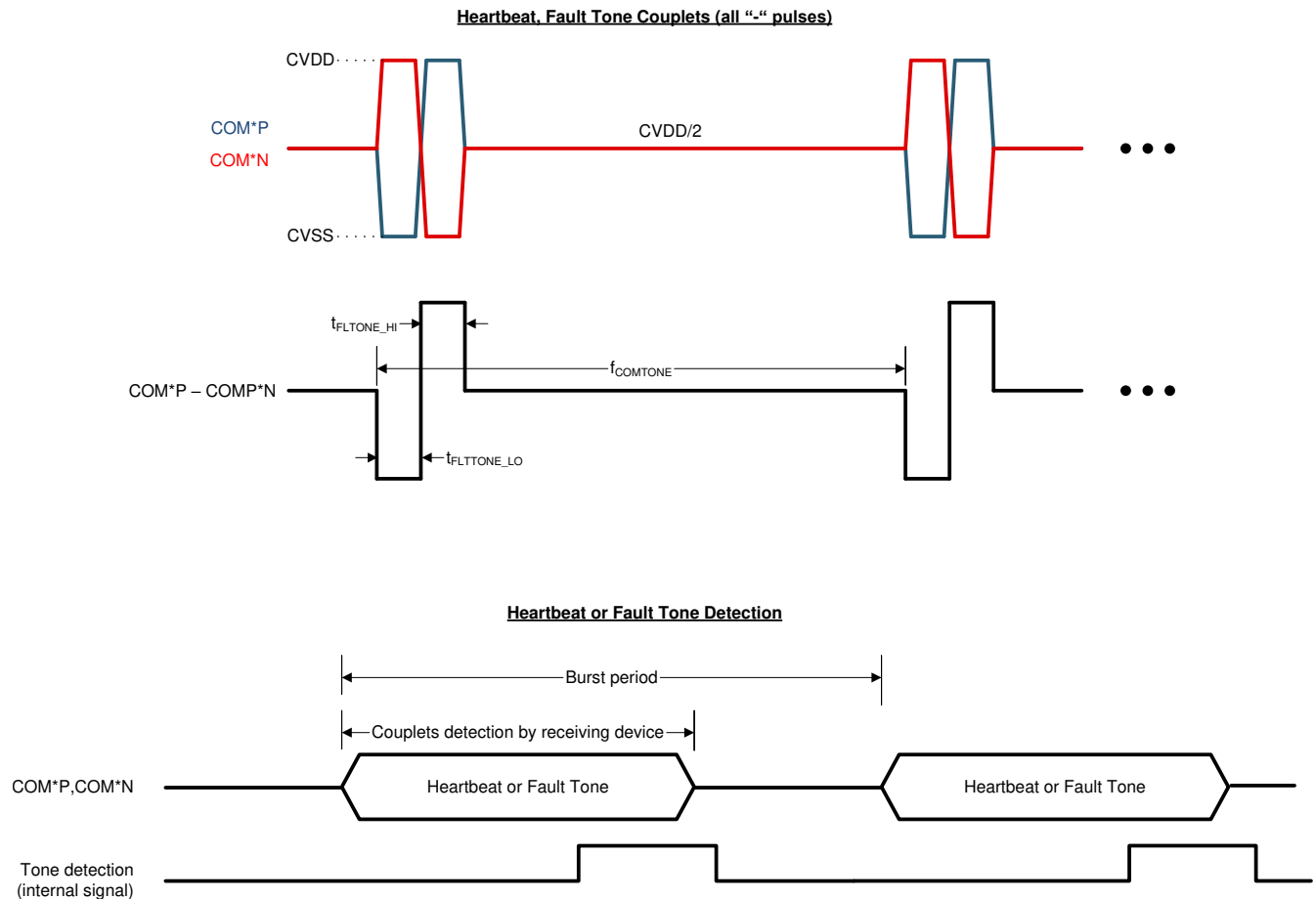


図 6-45. ハートビート トーンとフォルト トーン

6.3.6.3 不揮発性メモリ

不揮発性メモリ (NVM) には、OTP (ワンタイム プログラマブル) を使用してプログラム可能なメモリ領域があります。メモリ領域には、ファクトリ領域とカスタマ領域の 2 つのグループがあります。ファクトリ領域には、通常の動作に不可欠なデバイス構成が格納されます。この領域は、ホストからアクセスできません。カスタマ領域には、ホスト システムがアプリケーション構成に合わせてカスタマイズ可能なデバイスのデフォルト設定が格納されています。この領域はホストから読み取り可能で、プログラム可能です。

デバイスのリセットが発生すると、工場出荷時および顧客の OTP 値がシャドウ レジスタに再ロードされます。エラーチェックおよび訂正 (ECC)、シングルエラー訂正 (SEC)、ダブル エラー検出 (DED) は、ファクトリおよびカスタマ領域への OTP ロード中に実行されます。エラーが検出されると、対応する **FAULT_OTP[SEC_DET]** または **FAULT_OTP[DED_DET]** がセットされます。

ファクトリ領域で OTP のロード エラーが発生すると、**FAULT_OTP[FACTLDERR]** を使用してフォルトが通知されます。カスタマ領域で OTP のロード エラーが発生すると、**FAULT_OTP[CUSTLDERR]** を使用してフォルトが通知されます。また、OTP 領域 (ファクトリおよびカスタマ) は、CRC を使用してデータ整合性の問題から保護されています。CRC エラーが検出されると、対応する **FAULT_OTP[FACT_CRC]** ビットと **[CUST_CRC]** ビットがセットされます。

プログラミング中に OTP ページ領域 (ファクトリおよびカスタマ) に過電圧エラー状態が存在する場合、**OTP_FAULT[GBLOVERR]** ビットがセットされます。このエラーのあるデバイスから受信した情報は、信頼できるものと見なしてはなりません。

6.3.6.3.1 OTP ページステータス

顧客がプログラムするために使用できる OTP メモリには 2 つの未使用ページがあります。各ページのステータスは、**OTP_CUST1_STAT** および **OTP_CUST2_STAT** レジスタに保持されます。レジスタは、ページの現在のステータスに関する次の情報を提供します。

- ロード ステータス (ロード済み、ロード済みでエラー、ロード失敗)
- 正常にプログラム済み、またはプログラム可能
- プログラム ステータス

リセットが発生すると、デバイスは OTP ページのステータスを評価し、最新かつ有効な OTP ページを選択してロードします。Page 2 は Page 1 よりも優先されます。両方のページが書き込まれていない場合は、工場出荷時の OTP デフォルトがロードされます。[セクション 6.5.1](#) に、ユーザーがプログラム可能なすべての OTP パラメータを示します。また、レジスタのサマリには、顧客の OTP Page 1 と Page 2 がプログラムされていない場合のデフォルト値も示します。

- 有効なページは、**OTP_CUST*_STAT[PROGOK] = 1** です。
- ページがロードに選択された場合は、**OTP_CUST*_STAT1[LOADED] = 1** です。
- ページのロード中に単一エラーが発生した場合、そのエラーが修正された後、ページがロードされ、**OTP_CUST*_STAT1[LOADWRN] = 1** になります。
 - さらに、エラー訂正されたブロックの場所で **DEBUG_OTP_SEC_BLK** レジスタが更新されます。
- ダブル エラーが発生すると、そのブロックのロードは終了し、そのブロックのハードウェア デフォルトがロードされます ([セクション 6.5.1](#) を参照)。
 - DED でページ ロード プロセス全体が終了することはありません。影響を受けるブロックのみが終了します。
 - DED が発生すると、**OTP_CUST*_STAT1[LOADERR] = 1** になります。さらに、ダブル エラーが発生したブロックで **DEBUG_OTP_DED_BLK** レジスタが更新されます。

6.3.6.3.2 OTP のプログラミング

[セクション 6.5.1](#) に、カスタム OTP ページにプログラム可能なすべてのパラメータを示します。顧客が使用できる OTP メモリには 2 つのページがあります。

OTP をプログラムする前に、ホストは以下のことを確認します。

- すべての OTP シャドウ レジスタが正しく設定されている
- カスタム OTP ページが有効で、プログラム可能な状態になっている。有効なページには、**OTP_CUST*_STAT1[TRY] = 0** および **OTP_CUST*_STAT1[FMterr] = 0** が設定されています。

表 6-26. OTP のプログラム

ステップ	手順
1	OTP プログラミングのロックを解除します。 a. OTP_PROG_UNLOCK1A から OTP_PROG_UNLOCK1D レジスタに次のデータを書き込みます。 • OTP_PROG_UNLOCK1A ≤ データ 0x02 • OTP_PROG_UNLOCK1B ≤ データ 0xB7 • OTP_PROG_UNLOCK1C ≤ データ 0x78 • OTP_PROG_UNLOCK1D ≤ データ 0xBC b. OTP_PROG_UNLOCK2A から OTP_PROG_UNLOCK2D レジスタに次のデータを書き込みます。 • OTP_PROG_UNLOCK2A ≤ データ 0x7E • OTP_PROG_UNLOCK2B ≤ データ 0x12 • OTP_PROG_UNLOCK2C ≤ データ 0x08 • OTP_PROG_UNLOCK2D ≤ データ 0x6F レジスタの各ブロックは、順序 (A、B、C、D) に従って書き込む必要があります。途中で他の書き込みや読み出しは行いません。ベストプラクティスとして、同じ書き込みコマンドを使用して更新します。レジスタを順序外で更新したり、書き込みの間に別のレジスタに書き込みや読み出しを実行した場合は、シーケンス全体を再実行する必要があります。

表 6-26. OTP のプログラム (続き)

ステップ	手順
2	OTP のロック解除手順の成功を確認するためのチェック: a. 読み取りで <code>OTP_PROG_STAT[UNLOCK] = 1</code> を確認します。 ステップ 1 の後に読み取りコマンドは発行できますが、 <code>[PROG_GO]</code> の発行は、ロック解除手順後の次の書き込みコマンドで行う必要があります。
3	適切な OTP ページを選択し、OTP プログラミングを開始します。 a. Page1 をプログラムするには、 <code>OTP_PROG_CTRL[PAGESEL][PROG_GO] = 0x01</code> を設定します。または b. Page2 をプログラムするには、 <code>OTP_PROG_CTRL[PAGESEL][PROG_GO] = 0x03</code> を設定します
4	OTP プログラミングが完了するまで t_{PROG} を待ちます。
5	OTP プログラミング中にエラーが発生していないことを確認します。OTP プログラミングが成功すると、次のビットは 1 にセットされます。 a. <code>OTP_PROG_STAT[DONE] = 1</code> の場合、OTP プログラミングが完了しています。このレジスタには、他のビットはセットされません。 b. Page1 がプログラムされている場合、 <code>OTP_CUST1_STAT[PROGOK]</code> 、 <code>[TRY]</code> 、 <code>[OVOK]</code> 、 <code>[UVOK]</code> ビットは 1 になります。その他のビットは 0 になります。 c. Page 2 がプログラムされている場合、 <code>OTP_CUST2_STAT[LOADED]</code> 、 <code>[PROGOK]</code> 、 <code>[TRY]</code> 、 <code>[OVOK]</code> 、 <code>[UVOK]</code> ビットは 1 になります。その他のビットは 0 になります。
6	更新された OTP 値を持つレジスタをリロードするため、デジタルリセットを発行します。 a. <code>CONTROL1[SOFT_RESET] = 1</code>

プログラミング中にプログラミング電圧で OV または UV イベントが発生した場合、`OTP_CUST*_STAT[UVOK]` または `OTP_CUST_STAT2[OVOK]` ビットが 0 になります。これは、プログラミング中にプログラミング電圧の低電圧または過電圧状態が検出されたことを示します。また `OTP_PROG_STAT` レジスタの `[UVERR]`、`[OVERR]`、`[SUVERR]`、`[SOVERR]` ビットは、プログラミングおよび安定性のテスト中に電圧誤差がプログラミングされているかどうかを示します。

注

- プログラミング手順で、デバイスは実際に OTP をプログラミングする前に、プログラミング電圧の安定性をテストします。プログラミング電圧が安定性テストに失敗した場合、デバイスは `OTP_CUST*_STAT[TRY]` ビットを設定しないため、顧客はページを再度プログラムできます。
- ホストがプログラム用のページを正しく選択していない場合、`OTP_PROG_STAT[PROGERR]` ビットがセットされます。これは、選択したページがプログラム可能ではなかったことを示します。正しいページを選択して、プログラミングを再試行します。
- デバイスは、55°C を超えると OTP プログラミングを開始しません。
- 0.1μF の LDOIN コンデンサの OTP プログラミング時間 (`[PROG_GO] = 1` から `[DONE] = 1` まで) は 100ms です。

6.3.6.4 診断制御/ステータス

以下のサブセクション「」では、安全メカニズムの一部として使用できる診断制御とフォルト ステータスについて説明します。

BQ79616 安全マニュアルと BQ79606 FMEDA ドキュメントは、テキサス インストルメンツから別途入手できます。詳細については、TI の営業担当者またはアプリケーション エンジニアにお問い合わせください。

6.3.6.4.1 電源のチェック

6.3.6.4.1.1 電源の診断チェック

内部電源回路には、過電圧、低電圧、発振検出、電流制限チェック機能があります。デバイスが **ACTIVE** モードまたは **SLEEP** モードのとき、これらの検出はすべて、バックグラウンドで継続的に実行されます。障害が検出されると、`FAULT_PWR*` レジスタに対応するフラグが設定されます。また、特定の障害モードではデバイスがリセットされます。表 6-27 に、各電源に適用される診断と、故障検出時の対応を示します。

表 6-27. 電源の診断チェック

電源/グランドピン	OV チェック	UV チェック	OSC チェック	電流制限	ピン オープン
LDOIN					
AVDD	失敗した場合、 FAULT_PWR1[AVDD_OV] を設定します。	失敗した場合、DVDD を無効にし、デジタル リセットをトリガします。ソフトリセット後、デバイスは [AVDDUV_DRST] を設定して、AVDD UV によるリセットであることを示します。	失敗した場合、 FAULT_PWR1[AVDD_OSC] を設定します。	EC 表の電流制限仕様に従って電流を制限します	
DVDD	失敗した場合、 FAULT_PWR1[DVDD_OV] を設定します。	失敗した場合、デジタル リセットをトリガします。		EC 表の電流制限仕様に従って電流を制限します	
CVDD	失敗した場合、 FAULT_PWR1[CVDD_OV] を設定します。	失敗した場合、 FAULT_PWR1[CVDD_UV] を設定します。		EC 表の電流制限仕様に従って電流を制限します	
TSREF	失敗した場合、 FAULT_PWR2[TSREF_OV] 、 FAULT_OT 、 FAULT_UT レジスタをすべて 1 に設定します。	失敗した場合、 FAULT_PWR2[TSREF_UV] 、 FAULT_OT 、 FAULT_UT レジスタをすべて 1 に設定します。	失敗した場合、 FAULT_PWR2[TSREF_OSC] 、 FAULT_OT 、 FAULT_UT レジスタをすべて 1 に設定します。	EC 表の電流制限仕様に従って電流を制限します	
NEG5V		失敗した場合、 FAULT_PWR2[NEG5V_UV] を設定します。			
REFHP/REFHM			REFHP が失敗した場合、 FAULT_PWR2[REFH_OSC] を設定します。		REFHM がオープンの場合は、 FAULT_PWR1[REFHM_OPEN] を設定します。
DVSS					オープンの場合、 FAULT_PWR1[DVSS_OPEN] を設定します。
CVSS					オープンの場合、 FAULT_PWR1[CVSS_OPEN] を設定します。

注

検出ロジックが実装されているため、AVDD OV または UV が検出されると、AVDD OSC フォルトもトリガされる可能性があります。同様に、TSREF OV または UV の場合は、TSREF OSC フォルトもトリガする場合があります。

6.3.6.4.1.2 電源 BIST

デバイスには、主電源障害診断パスをテストする電源 BIST (組み込みセルフテスト) 機能が実装されています。これは以下の検出を網羅しています。

- **FAULT_PWR1[AVDD_OV]**、**[AVDD_OSC]**、**[DVDD_OV]**、**[CVDD_OV]**、**[CVDD_UV]**、**[REFHM_OPEN]**、**[DVSS_OPEN]**、および **[CVSS_OPEN]**
- **FAULT_PWR2[TSREF_OV]**、**[TSREF_UV]**、**[TSREF_OSC]**、**[NEG5V_UV]**、**[REFHM_OSC]**、および **[PWRBIST_FAIL]**

電源 BIST は、本質的にチェッカ自体のチェックであり、ホストによって開始されるコマンドベース機能です。

電源 BIST を起動すると、各電源の障害検出パスに強制的にフォルトを発生させます。例として AVDD OV 診断パスを考えます。BIST エンジンが AVDD OV パスをテストすると、以下が発生します。

1. BIST エンジン、AVDD OV コンパレータに強制的にフェイルを発生させます。
2. 次に、BIST エンジン、**FAULT** レジスタをトリガする信号がアサートされることを確認し、**NFAULT** をトリガする信号もアサートされることを確認します。
3. BIST エンジン、**FAULT** レジスタと **NFAULT** 信号をリセットします (つまり、**FAULT_PWR1/2/3** レジスタをクリアし、**NFAULT** をデアサートします)。
4. BIST エンジン、BIST で対象となるすべての診断パスのテストが完了するまで、次の電源診断パス チェック (AVDD OSC など) に対してステップ 1 から 3 を繰り返します。

注

- BIST の実行中、**NFAULT** ピンのオン/オフが切り替わります。ホストは **NFAULT** ピンのステータスを無視するか、**DEV_CONF[NFAULT_EN] = 0** を設定して **NFAULT** ピンの出力を無効にします。
 - すべての内部電源の中で、**TSREF** はホストによって有効または無効にできる電源です。BIST の実行中に **TSREF** 診断パスが確実にテストされるように、ホストは電源 BIST を開始する前に **TSREF** を有効にします。それ以外の場合、BIST エンジン、BIST 実行中の **TSREF** 診断パスのテスト結果を無視します。
 - 電源関連の他のフォルトも **NFAULT** をトリガする可能性があるため、電源 BIST を実行する前に、**FAULT_MSK1/2** レジスタで、電源関連のすべてのフォルトをマスクすることを推奨します。
 - また、ホストは電源 BIST の実行を開始する前に、電源フォルトがないことも確認します。
-

DIAG_PWR_CTRL[PWR_BIST_GO] = 1 を送信して、電源 BIST を開始します。実行中に障害が検出されても、BIST の実行は中止されません。BIST の終了時に、**FAULT_PWR2[PWRBIST_FAIL]** フラグによって結果が示されます。

電源 BIST は強制的に障害を発生させ、診断パスがそれに応じてフォルトをトリガすることを確認します。BIST 実行時に障害が発生した場合は、診断パスがフォルト状態でトリガできないことを示します。障害を検出できないパスをさらに詳しく調査するため、ホストは **DIAG_PWR_CTRL[BIST_NO_RST] = 1** を設定できます。このビットは、BIST 実行中のリセットステップを無効します。このオプションを有効にして電源 BIST を再実行します。BIST の最後に、**FAULT_PWR1** および **FAULT_PWR2** レジスタを調査します。レジスタ フラグが 0 の場合は、障害のフラグ付けができないことを示します。

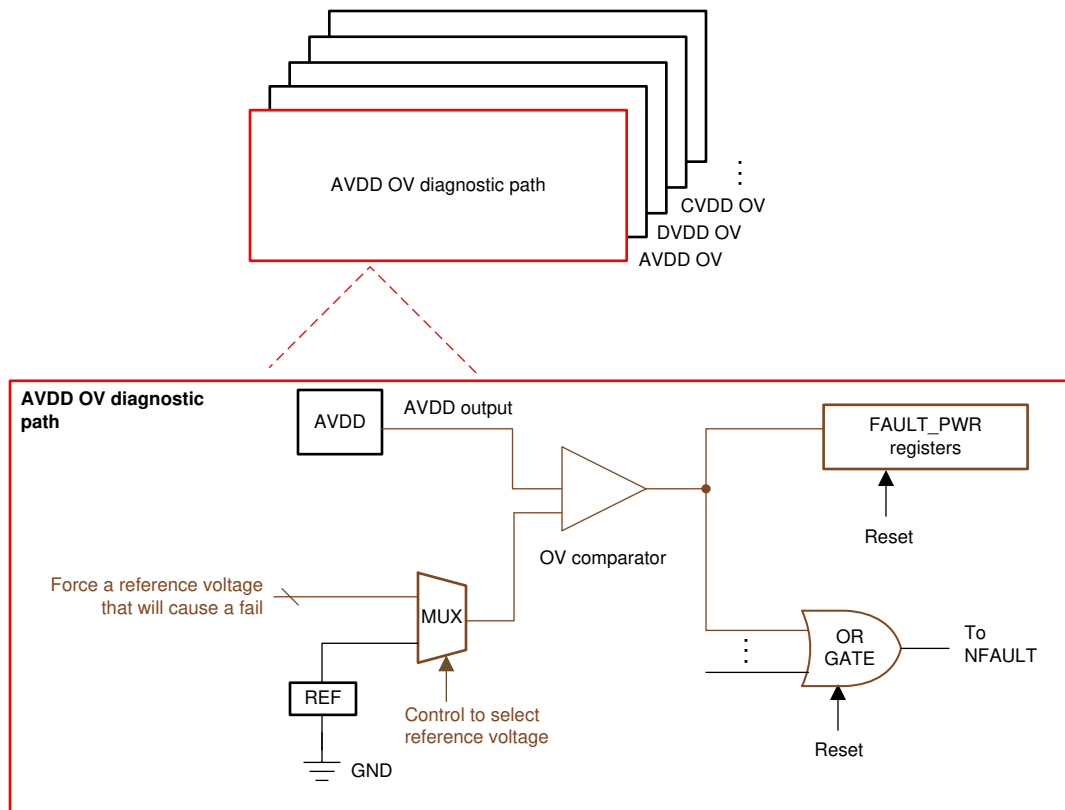


図 6-46. 電源 BIST

6.3.6.4.2 サーマル シャットダウンと警告チェック

6.3.6.4.2.1 サーマル シャットダウン

サーマル シャットダウンは、サーマル シャットダウン センサがデバイスの過熱条件を検出したときに発生します。このセンサは相互作用なしで動作し、ADC で測定されるダイ センサから分離されています。サーマル シャットダウン機能にはレジスタ ステータス インジケータ フラグ (**FAULT_SYS[TSHUT]**) があります。このフラグはシャットダウン イベント中に保存され、デバイスがウェークアップした後に読み取ることができます。TSHUT フォルトが発生すると、本デバイスは直ちに SHUTDOWN モードに移行します。UART またはデバッグチェーン上で保留中のトランザクションはすべて破棄されます。本デバイスが直ちにシャットダウンしても、サーマル シャットダウン イベントが発生した場合、フォルト信号は実行されません。

デバイスをウェークアップするには、ホストは周囲温度が T_{SHUT_FALL} を下回っていることを確認し、ベースデバイスに WAKE ping を送信します。周囲温度がまだ T_{SHUT_FALL} を上回っている場合、ホストはデバイスをウェークアップしようとしません。

ウェークアップ時に、**FAULT_SYS[TSHUT]** ビットがセットされます。詳細については、[セクション 6.4.1.1](#) を参照してください。システム フォルトがマスクされていない場合 (**FAULT_MSK1[MSK_SYS]= 0** の場合)、サーマル シャットダウンがフォルトとして反映され、**FAULT_SUMMARY** レジスタおよび NFAULT ピンのアサートに通知されます。

6.3.6.4.2.2 過熱警告

差し迫った熱過負荷をホストに警告するため、デバイスには、ダイ温度がサーマル シャットダウンに近づいたときにフォルトを知らせる過熱警告が備えられています。このデバイスは、過熱警告スレッシュホールドと比較して、TWARN センサによってダイ温度を検出します。**PWR_TRANSIT_CONF[TWARN_THR1:0]** 設定によって設定される 4 つのスレッシュホールド オプションがあります。

システム フォルトがマスクされていないときに、温度警告フォルトが発生すると、**FAULT_SYS[TWARN]= 1** になります。デバイスは、サーマル シャットダウンを回避するための対策を講じることができます。

6.3.6.4.3 発振器のウォッチドッグ

発振器は、ウォッチドッグ回路によって監視されます。このデバイスには、HFO と LFO の 2 つの発振器があります。これらの発振器が機能していない場合、デバイスは動作しません。HFO または LFO が想定された時間内に遷移しない場合、ウォッチドッグ回路はデジタル リセットを発生させます。

この予期しないリセットが発生した場合は、ホストが問題のあるデバイスに SHUTDOWN ping/トーンを送信し、WAKE ping を送信してデジタイゼーションをリセットすることを推奨します。発振器が本当に損傷している場合は、デバイスは再起動しないため、交換する必要があります。

ウォッチドッグに加えて、LFO 周波数が監視され、許容可能範囲内を維持しているかどうか確認されます。LFO 周波数が許容範囲外になると、**FAULT_SYS_FAULT[LFO]** ビットがセットされます。

6.3.6.4.4 OTP エラー チェック

6.3.6.4.4.1 OTP CRC テストおよびフォルト

CRC テスト:

ファクトリ レジスタとカスタム OTP シャドウ レジスタは、バックグラウンドで常に実行される CRC チェックによってカバーされています。**CUST_CRC_RSLT_HI** および **CUST_CRC_RSLT_LO** レジスタは、現在のデバイスで計算された CRC 値を保持します。この値は、CRC レジスタ (**CUST_CRC_HI** および **CUST_CRC_LO**) でユーザーがプログラムした値と比較されます。CRC に含まれるカスタム OTP シャドウ レジスタを更新する際、ホストは新しい CRC 値で **CUST_CRC_HI** および **CUST_CRC_LO** レジスタを更新する必要があります。CRC の計算は、[セクション 6.3.6.1.1.2.1.6](#) に記載されているのと同じ方法 (ビット ストリーム順序を含む) を使用して同じ多項式で実行されます。ファクトリ領域とカスタム領域の CRC チェックと比較は定期的に行われ、チェック完了後に **DEV_STAT[CUST_CRC_DONE]** および **[FACT_CRC_DONE]** ビットがセットされます。このビットがすでにセットされている場合、読み取りでクリアされるまでセットされたままになります。

CRC フォルト:

CUST_CRC_HI/LO と **CUST_CRC_RSLT_HI/LO** が一致しない場合、条件が修正されるまで、**FAULT_OTP[CUST_CRC]** フラグがセットされます。ファクトリ NVM 領域の継続的な監視も、カスタム領域の監視と同時に実行されます。ファクトリ レジスタの変更が検出されると、**FAULT_OTP[FACT_CRC]** フラグがセットされます。このフォルトが発生すると、フォルトが継続しているかどうかを確認するために、ホストはフォルト フラグをリセットする必要があります。フォルトが解消されない場合、ホストは部品のリセットを実行する必要があります。リセットしても問題が解決しない場合、デバイスは破損しているため、使用できません。

6.3.6.4.4.2 OTP マージン読み取り

このデバイスには OTP マージン読み取りテスト モードがあります。ホストは、マージン 1 またはマージン 0 で OTP をリロードするように設定できます。マージン読み取りテストを開始するには、ホストは **DIAG_OTP_CTRL[MARGIN_MODE2:0]** で目的のテスト モードを選択し、**DIAG_OTP_CTRL[MARGIN_GO] = 1** を設定します。デバイスは、**[MARGIN_MODE2:0]** 設定に従って OTP をリロードします。OTP 関連エラーの場合、**FAULT_OTP** レジスタにフラグが設定されます。

6.3.6.4.4.3 エラー チェック訂正 (ECC) OTP

ECC:

選択されたレジスタ (0x0000 ~ 0x002F) のレジスタ値は OTP に永続的に保存されます。すべてのレジスタは、同じアドレスに揮発性ストレージ領域としても存在し、シャドウ レジスタと呼ばれます。揮発性レジスタは読み出し、書き込み、およびデバイス制御用です。OTP に含まれるレジスタのリストについては、[セクション 6.5.1](#) を参照してください。

ウェークアップ中、デバイスは [セクション 6.5.1](#) に記載されたハードウェア デフォルト値ですべてのシャドウ レジスタをロードします。その後、デバイスは OTP のエラー チェック訂正 (ECC) 評価の結果から、条件付きでレジスタに OTP の内容

をロードします。OTP は、シャドウ レジスタに 64 ビット ブロックでロードされます。各ブロックには独自のエラーチェック訂正 (ECC) 値が保存されます。ECC によって、OTP 保存データのシングルビット (シングルエラー訂正) またはダブルビット (ダブルエラー検出) の変更が検出されます。ECC は各ブロックに対して個別に計算されます。

シングルビット エラーは訂正され、ダブルビット エラーは検出のみで、訂正はありません。ECC が正常なブロックがロードされます。1 ビット エラーのあるブロックが訂正され、訂正されたエラー イベントにフラグを付けるため、**FAULT_OTP[SEC_DET]** ビットが設定されます。さらに、エラー訂正されたブロックの場所で **DEBUG_OTP_SEC_BLK** レジスタが更新されます。これにより、ホストは破損の可能性があるメモリを追跡できます。シングルビット エラー訂正後、ブロックはシャドウ レジスタにロードされます。評価はブロック単位で行われるため、複数のブロックに単一の修正可能なエラーがあっても、正しくロードすることが可能です。複数ビット エラーは、ブロックあたり 1 つのエラーである限り、完全に訂正できます。

ECC 比較が異常なブロック (1 つのブロックに 2 ビットのエラー) はロードされず、失敗したビットエラー イベントにフラグを付けるため、**FAULT_OTP[DED_DET]** ビットがセットされます。さらに、ダブル エラーが発生したブロックで **DEBUG_OTP_DED_BLK** レジスタが更新されます。ハードウェアのデフォルト値はレジスタに保持されます。これにより、一部のブロックが正しくロードされ (失敗なし、またはシングルビット訂正值)、一部のブロックがロードされないようにすることができます。**FAULT_OTP[SEC_DET]** または **FAULT_OTP[DED_DET]** ビットがセットされ、デバイスリセットによって状態がクリアされていない場合、デバイスは破損しており、使用できません。

ECC エンジン は業界標準の 72,64 SEC DEC ECC 実装を採用しています。OTP は、(72, 64) ハミング コードで保護されており、シングル エラー訂正、ダブル エラー検出 (SECEDED) を提供します。OTP に保存された 64 ビットのデータごとに、追加の 8 ビットのパリティ情報が保存されます。パリティ ビットは p0、p1、p2、p4、p8、p16、p32、p64 と指定されています。ビット p0 は、エンコードされた 72 ビット ECC ブロック全体をカバーします。残りの 7 つのパリティ ビットは、次のルールに従って割り当てられます。

- パリティビット p1 は奇数ビット位置、つまり最下位ビットが 1 に等しいビット位置 (1、3、5 など) を対象としています。これには、p1 ビット自体 (ビット 1) も含まれます。
- パリティビット p2 は、最下位から 2 番目のビットが 1 に等しいビット位置 (2、3、6、7、10、11 など) を対象としています。これには、p2 ビット自体 (ビット 2) も含まれます。
- このパターンは、p4、p8、p16、p32、p64 でも同様に続きます。表 6-28 に、完全なエンコーディングを示します。

表 6-28. (72, 64) パリティ エンコーディング

ビット位置	71	70	69	68	67	66	65	64	63	62	61	60	59	58	57	56	55	54
エンコードされた ビット	d63	d62	d61	d60	d59	d58	d57	p64	d56	d55	d54	d53	d52	d51	d50	d49	d48	d47
パリティビ ット範囲	p0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	p1	x		x		x		x		x		x		x		x		
	p2	x	x			x	x			x	x			x	x			x
	p4	x	x	x	x					x	x	x	x					x
	p8									x	x	x	x	x	x	x	x	
	p16									x	x	x	x	x	x	x	x	x
	p32									x	x	x	x	x	x	x	x	x
	p64	x	x	x	x	x	x	x	x									
ビット位置	53	52	51	50	49	48	47	46	45	44	43	42	41	40	39	38	37	36
エンコードされた ビット	d46	d45	d44	d43	d42	d41	d40	d39	d38	d37	d36	d35	d34	d33	d32	d31	d30	d29
パリティビ ット範囲	p0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	p1	x		x		x		x		x		x		x		x		
	p2			x	x			x	x			x	x			x	x	
	p4	x	x					x	x	x	x					x	x	x
	p8							x	x	x	x	x	x	x				
	p16	x	x	x	x	x	x											
	p32	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	p64																	
ビット位置	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18
エンコードされた ビット	d28	d27	d26	p32	d25	d24	d23	d22	d21	d20	d19	d18	d17	d16	d15	d14	d13	d12
パリティビ ット範囲	p0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	p1	x		x		x		x		x		x		x		x		
	p2	x	x			x	x			x	x			x	x			x
	p4					x	x	x	x					x	x	x	x	
	p8					x	x	x	x	x	x	x						
	p16					x	x	x	x	x	x	x	x	x	x	x	x	x
	p32	x	x	x	x													
	p64																	
ビット位置	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
エンコードされた ビット	d11	p16	d10	d9	d8	d7	d6	d5	d4	p8	d36	d2	d1	p4	d0	p2	p1	p0
パリティビ ット範囲	p0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	p1	x		x		x		x		x		x		x		x		
	p2			x	x			x	x			x	x			x	x	
	p4			x	x	x	x					x	x	x	x			
	p8			x	x	x	x	x	x	x								
	p16	x	x															
	p32																	
	p64																	

表 6-29. エンコーダとデコーダのデータの IN/OUT 位置

エンコーダ			
データ IN	エンコーダされたビット	データ OUT	ビット位置
OTP_ECC_DATAIN 1	d0~d7	OTP_ECC_DATAOUT 1	0~7
OTP_ECC_DATAIN 2	d8~d15	OTP_ECC_DATAOUT 2	8~15
OTP_ECC_DATAIN 3	d16~d23	OTP_ECC_DATAOUT 3	16~23
OTP_ECC_DATAIN 4	d24~d31	OTP_ECC_DATAOUT 4	24~31
OTP_ECC_DATAIN 5	d32~d39	OTP_ECC_DATAOUT 5	32~39
OTP_ECC_DATAIN 6	d40~d47	OTP_ECC_DATAOUT 6	40~47
OTP_ECC_DATAIN 7	d48~d55	OTP_ECC_DATAOUT 7	48~55
OTP_ECC_DATAIN 8	d56~d63	OTP_ECC_DATAOUT 8	56~63
		OTP_ECC_DATAOUT 9	64~71
デコーダ			
データ IN	ビット位置	データ IN	エンコーダされたビット
OTP_ECC_DATAIN 1	0~7	OTP_ECC_DATAOUT 1	d0~d7
OTP_ECC_DATAIN 2	8~15	OTP_ECC_DATAOUT 2	d8~d15
OTP_ECC_DATAIN 3	16~23	OTP_ECC_DATAOUT 3	d16~d23
OTP_ECC_DATAIN 4	24~31	OTP_ECC_DATAOUT 4	d24~d31
OTP_ECC_DATAIN 5	32~39	OTP_ECC_DATAOUT 5	d32~d39
OTP_ECC_DATAIN 6	40~47	OTP_ECC_DATAOUT 6	d40~d47
OTP_ECC_DATAIN 7	48~55	OTP_ECC_DATAOUT 7	d48~d55
OTP_ECC_DATAIN 8	56~63	OTP_ECC_DATAOUT 8	d56~d63
OTP_ECC_DATAIN 9	64~71		

ECC 診断テスト: デバイスは、ECC 機能をテストするための診断ツールを提供します。診断を実行するために使用できるモードは 2 つあります。最初の自動モード ($OTP_ECC_TEST[MANUAL_AUTO] = 0$) は、内部データを使用してテストを実行します。自動モードでは、 $OTP_ECC_TEST[DED_SEC]$ ビットにより、実行するテストのタイプが選択されます。 $OTP_ECC_TEST[ENC_DEC]$ ビットにより、エンコーダまたはデコーダ機能をテストするかどうかが決まります。ECC テストの結果は、1 μ s 以内の遅延で $OTP_ECC_DATAOUT^*$ レジスタに提供されます。各テストの手順と予想される結果を以下に示します。

自動デコード手順:

1. ECC テストを自動 ($OTP_ECC_TEST[MANUAL_AUTO] = 0$) に設定します
2. $OTP_ECC_TEST[ENC_DEC] = 0$ に設定するデコーダを設定します
3. $OTP_ECC_TEST[DED_SEC]$ でデコーダをシングルまたはダブル エンコーディングに設定します (DED の場合は 1、SEC の場合は 0)
4. $FAULT_RST2[RST_OTP_DATA] = 1$ に設定して、すべての SEC/DED フォルトをクリアします
5. ECC テスト $OTP_ECC_TEST[ENABLE] = 1$ を有効にします
6. SEC の場合は $FAULT_OTP[SEC_DET]$ フラグ、DED の場合は $FAULT_OTP[DED_DET]$ フラグを読み出します
7. 表 6-30 に記載されているように、 $OTP_ECC_DATAOUT1$ から $OTP_ECC_DATAOUT8$ までのブロックを読み出し、デコーダのテスト結果を確認します
8. ECC テストを無効にします ($OTP_ECC_TEST[ENABLE] = 0$)

自動エンコーディング手順:

1. ECC テストを自動 ($OTP_ECC_TEST[MANUAL_AUTO] = 0$) に設定します
2. $OTP_ECC_TEST[ENC_DEC] = 1$ を使用して、エンコーダを設定します
3. $OTP_ECC_TEST[ENABLE] = 1$ を使用して、ECC テストを有効にします。

4. 表 6-30 に記載されているように、OTP_ECC_DATAOUT1 から OTP_ECC_DATAOUT9 までのブロックを読み出し、エンコーダのテスト結果を確認します
5. ECC テストを無効にします (OTP_ECC_TEST[ENABLE] = 0)

表 6-30. デコーダおよびエンコーダのテスト検証

[DED_SEC]	[ENC_DEC]	[SEC_DET]	[DED_DET]	OTP_DATAOUT*
0 (SEC テスト)	0 (デコーダ テスト)	1	0	0x18C3 FF8A 68A9 8069
0 (SEC テスト)	1 (エンコーダ テスト)	該当なし	該当なし	0xCD 3968 C140 2EA5 ED6D
1 (DED テスト)	0 (デコーダ テスト)	0	1	0x0000 0000 0000 0000
1 (DED テスト)	1 (エンコーダ テスト)	該当なし	該当なし	0xCD 3968 C140 2EA5 ED6D

6.3.6.4.5 内蔵ハードウェア プロテクタのチェック

6.3.6.4.5.1 パリティ チェック

OVUV および OTUT プロテクタが有効のとき、OVUV および OTUT 構成に関連するレジスタ設定がプロテクタ ブロックにラッチされます。デバイスは、バックグラウンドで定期的にチェックされ、ラッチされた構成がプロテクタの動作中も同じ状態に維持されることを確認します。

パリティ チェックは、以下のラッチ設定を対象としています。OVUV プロテクタでパリティ フォルトが検出されると、デバイスは FAULT_PROT1[VPARITY_FAIL] = 1 を設定します。OTUT プロテクタでパリティ フォルトが検出されると、デバイスは FAULT_PROT1[TPARITY_FAIL] = 1 を設定します。

表 6-31. プロテクタのパリティ チェックの設定

OVUV プロテクタ	OTUT プロテクタ	注
OV スレッシュホールド、UV スレッシュホールド	OT スレッシュホールド、UT スレッシュホールド	動作中に、スレッシュホールドの設定が変更されていないことを確認します。
OVUV_MODE 設定	OTUT_MODE 設定	プロテクタが別の動作モードに切り替わっていないことを確認します。
NUM_CELL 設定	GPIO_CONF1 から GPIO_CONF4 の設定	動作中に、アクティブ チャネル (OVUV の場合はいずれかのセル チャネル、OTUT の場合は GPIO チャネル) が変わっていないことを確認します。

6.3.6.4.5.2 OVUV および OTUT DAC チェック

OV、UV、OT、UT DAC の値は AUX ADC に多重化されており、ホストはプロテクタ スレッシュホールド設定の診断チェックで値を読み出すことができます。

プロテクタの DAC 値を測定するには、OV および UV DAC 測定の場合は OVUV_CTRL[OVUV_LOCK3:0] を、OT および UT DAC 測定の場合は OTUT_CTRL[OTUT_LOCK2:0] を使用し、OVUV または OTUT プロテクタをシングル チャネルにロックすることを推奨します。その後、OVUV プロテクタまたは OTUT プロテクタを再起動して、シングル チャネル実行モードで動作するようにします。ホストは、ロックされたセル チャネルで OV または UV フォルトが発生していないことと、ロックされた GPIO チャネルで OT または UT フォルトが発生していないことを確認します。そうしないと、DAC 測定値がトリガ スレッシュホールド値を反映しません。OV と UV の DAC 値は (0.8 x はスレッシュホールド設定) であることに注意してください。

6.3.6.4.5.3 OVUV プロテクタの BIST

デバイスには、プライマリ OVUV プロテクタ パスをテストするための OVUV BIST (組み込みセルフテスト) 機能が実装されています。ホストは、[OVUV_MODE1:0] = 0b10 および [OVUV_GO] = 1 を設定することで、BIST の実行を開始できます。BIST は次のものを対象とします。

1. OV および UV コンパレータのスレッシュホールド
 - a. 設定されたスレッシュホールドよりも高い値と低い値がチェックされ、コンパレータが正しくトリガされることを確認します。

- b. フォルトが検出されると、対応する **FAULT_PROT2[OVCOMP_FAIL]** または **[UVCOMP_FAIL]** ビットがセットされます。
2. OVUV MUX から UV フォルト ステータス ビットへのパスと NFAULT ピン:
 - a. 各 VC チャンネルで、スイッチが開放されることで、OVUV MUX への入力オープンになり、テスト対象のチャンネルに対する UV 検出が行われます。
 - b. その後、BIST エンジンによってロジックがチェックされ、対応する **FAULT_UV** レジスタ ビットがアサートされ、NFAULT が正しく設定されます。
 - c. BIST エンジンは、対応する **FAULT_UV** ビットをリセットして、NFAULT をデアサートし、次にテストするチャンネルに切り替えます。このプロセスをアクティブ チャンネルがすべてテストされるまで繰り返します。
 - d. フォルトが検出されると、対応する **[VPATH_FAIL]** ビットがセットされます。
3. OV フォルト ビットと NFAULT パス
 - a. BIST エンジンは、一度に 1 ビットずつ **FAULT_OV*** を 1 に強制的に設定し、各 **FAULT_OV*** レジスタ ビットがセットされ、それに応じて NFAULT がアサートされるようにします。
 - b. フォルトが検出されると、対応する **[VPATH_FAIL]** ビットがセットされます。

NFAULT が有効化されている場合、BIST の実行中、ホストは NFAULT のトグルを監視します。BIST の実行が完了すると、OVUV コンパレータは無効になります。ホストは、**[OVUV_MODE1:0] = 0b01** (ラウンドロビン モード) で **[OVUV_GO] = 1** を送信することで、通常の OVUV ラウンドロビン モードを開始します。

注

- OVUV BIST の実行中に **[OVUV_GO] = 1** が送信されると、デバイスは **[OVUV_MODE1:0]** の設定に基づいて新しい GO コマンドを実行します。
- OVUV プロテクタの BIST を開始する前に、ホストは OVUV 以外のすべてのフォルトをマスクし、どのセルチャンネルにも OV および UV フォルトがないようにします (BIST の実行中にすべてのセル電圧が OV または UV スレッショルドから 100mV 以上離れていることを推奨します)。それ以外の場合、BIST の結果は無効ではありません。
- BIST の開始後、ステップ 2 を開始する前に既存のフォルトが検出された場合、BIST エンジンは中止され、**FAULT_PROT2[BIST_ABORT] = 1** になります。
- リセットなしのオプション **DIAG_PROT_CTRL[PROT_BIST_NO_RST] = 1** を使用すると、各チャンネルのテスト後にフォルト ステータスと NFAULT ピンをリセットしないように BIST エンジンに指示できます。BIST の実行が失敗した場合、ホストはこのオプションを選択して BIST を再実行し、フォルトレジスタにフォルト状態を反映できないセル チャンネル パスを検出できます。

6.3.6.4.5.4 OTUT プロテクタの BIST

デバイスには、プライマリ OTUT プロテクタ パスをテストするための OTUT BIST 機能が実装されています。ホストは、**[OTUT_MODE1:0] = 0b10** および **[OTUT_GO] = 1** を設定することで、BIST の実行を開始できます。BIST は次のものを対象とします。

1. OT および UT コンパレータのスレッショルド
 - a. 設定されたスレッショルドよりも高い値と低い値がチェックされ、コンパレータが正しくトリガされることを確認します。
 - b. フォルトが検出されると、対応する **FAULT_PROT2[OTCOMP_FAIL]** または **[UTCOMP_FAIL]** ビットがセットされます。
2. GPIO MUX から UT フォルト ビットへのパスと NFAULT パス
 - a. 各 GPIO チャンネルでは、GPIO は内部的にプルアップされているため、OTUT MUX への入力が High になり、テスト対象のチャンネルで UT が検出されます。

- b. その後、BIST サイクルによってロジックがチェックされ、対応する **FAULT_UT** レジスタ ビットがアサートされ、**NFAULT** が正しく設定されます。
- c. BIST エンジン は、対応する **FAULT_UT** ビットをリセットし、**NFAULT** をデアサートした後、次にテストするチャンネルに切り替えます。
- d. フォルトが検出されると、対応する **[TPATH_FAIL]** ビットがセットされます。

3. OV フォルト ビットと **NFAULT** パス

- a. BIST エンジン は、一度に 1 ビットずつ **FAULT_OT** を 1 に強制的に設定し、各 **FAULT_OT** レジスタ ビットがセットされ、それに応じて **NFAULT** がアサートされるようにします。
- b. フォルトが検出されると、対応する **[TPATH_FAIL]** ビットがセットされます。

NFAULT が有効化されている場合、BIST の実行中、ホストは **NFAULT** のトグルを監視します。BIST の実行が完了すると、**OTUT** コンパレータは無効になります。ホストは、**[OTUT_MODE1:0] = 0b01** (ラウンドロビン モード) で **[OTUT_GO] = 1** を送信することで、通常の **OTUT** ラウンドロビン モードを開始します。

注

- **OTUT BIST** の実行中に **[OTUT_GO] = 1** が送信されると、デバイスは **[OVUV_MODE1:0]** の設定に基づいて新しい **GO** コマンドを実行します。
- **OTUT** プロテクタの BIST を開始する前に、ホストは **OTUT** に関連しないすべてのフォルトをマスクし、BIST の実行中に **GPIO** に **OT** および **UT** フォルトがないようにします。それ以外の場合、BIST の結果は無効ではありません。
- BIST の開始後、ステップ 2 を開始する前に既存のフォルトが検出された場合、BIST エンジンは中止され、**FAULT_PROT2[BIST_ABORT] = 1** になります。
- リセットなしのオプション **DIAG_PROT_CTRL[PROT_BIST_NO_RST] = 1** を使用すると、各チャンネルのテスト後にフォルト ステータスと **NFAULT** ピンをリセットしないように BIST エンジンに指示できます。BIST の実行が失敗した場合、ホストはこのオプションを選択して BIST を再実行し、フォルトレジスタにフォルト状態を反映できない **GPIO** チャンネル パスを検出できます。

6.3.6.4.6 ADC の比較による診断

6.3.6.4.6.1 セル電圧測定チェック

セル電圧測定パスの比較:

セル電圧測定チェックは、メイン ADC からの事前フィルタ処理された測定結果と **AUX ADC** からの測定結果を比較して実行されます。メイン ADC と **AUX ADC** で測定された比較値を読み取るため、マイコンは、**[AUX_CELL_SEL]** 設定を使用して 1 つのチャンネルにロックし、この診断チェックを開始する必要があります。この構成では、メイン ADC と **AUX ADC** の比較された値が、それぞれ **DIAG_MAIN_HI/LO** レジスタと **DIAG_AUX_HI/LO** レジスタに通知されます。

メイン ADC と **AUX ADC** は、どちらも同じフロント エンド フィルタを備えています。この診断時間のほとんどは、**AUX ADC** パス上の **AAF** が安定するまでの待機時間となります。**[AUX_SETTLE]** を設定すると、マイコンは診断時間とノイズフィルタ レベルのトレードオフを処理することができます。また、**AUX ADC** が起動すると、デフォルトでは、**AUXCELL** スロットは常にメイン ADC Cell1 スロットにアライメントされます。**[AUX_CELL_ALIGN]** 設定を使用すると、マイコンはこのアライメントをメイン ADC Cell8 スロットに変更できます。その結果、上位チャンネルのメイン ADC と **AUX ADC** の間のサンプリング時間差が小さくなります。

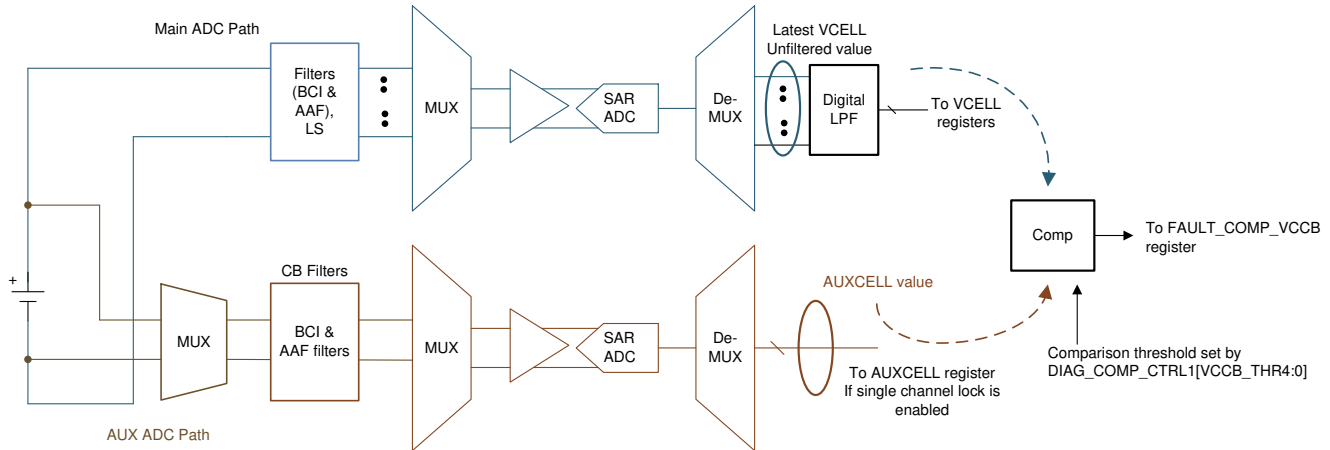


図 6-47. セル電圧測定診断

セル電圧測定の比較を開始する前に、ホストは以下のことを確認します。

- テスト対象の AUXCELL チャンネルに、`ADC_CTRL2[AUX_CELL_SEL4:0]` 設定が構成され、AUX ADC が有効で連続モードに設定されている。
- この診断チェックを開始する前に、デバイスのすべての AUXCELL チャンネルで AUX ADC を動作させ、同相エラーが補正されるようにします。
- メイン ADC が有効で、連続モードになっている。
- `DIAG_COMP_CTRL1[VCCB_THR4:0]` 設定により、(VCELL – AUXCELL) 比較スレッショルドを選択します。
- `ADC_CONF1[AUX_SETTLE1:0]` を使用して、AUX セル チャンネルのセトリング タイムを選択します。

セル電圧の測定比較を開始するには、次の手順に従います。

1. `DIAG_COMP_CTRL3[COMP_ADC_SEL2:0] = セル電圧測定チェック (すなわち 0b001)` に設定し、`[COMP_ADC_GO] = 1` に設定します。
2. `[AUX_CELL_SEL4:0]` によって有効化された各チャンネルについて、デバイスは $\text{abs}[\text{VCELL} - \text{AUXCELL}] < [\text{VCCB_THR4:0}]$ であるかどうか比較します。
3. 比較が実行されるまで待機します。おおよその時間は、 $[(\text{チャンネル数}) * (\text{AUXCELL セトリング タイム} + 1 \text{ ラウンドロビン サイクル時間})]$ です。
4. `ADC_STAT2[DRDY_VCCB] = 1` になると、セル電圧の測定比較が完了します。

ホストは `FAULT_COMP_VCCB1` および `FAULT_COMP_VCCB2` レジスタをチェックし、比較結果を確認します。

ADC 比較の中止条件:

以下に示す無効な条件では、デバイスはセル電圧測定比較を開始しません。比較が中止されると、`FAULT_COMP_MISC[COMP_ADC_ABORT] = 1`、`[DRDY_AUX_CEL] = 1`、`[DRDY_VCCB] = 1`、および `FAULT_COMP_VCCB1/2` レジスタ = 0xFF となります。`[AUX_CELL_SEL4:0]` が 1 つのチャンネルでロックされているときに、比較実行が中止すると、`AUX_CELL_HI/LO` レジスタはデフォルト値 0x8000 にリセットされます。

セル電圧測定比較の開始を妨げる無効な条件または設定:

- 無効な `[AUX_CELL_SEL]` 設定: 選択されたチャンネルで AUX ADC 測定が実行されません。`AUX_CELL_HI/LO` レジスタにはデフォルトの値が保持されている。
- `NUM_CELL` 構成よりも高いチャンネルが選択されている。
- 無効な `BBVC_POSN` 設定:
 - 隣接チャンネルが `BBVC_POSN1/2` レジスタで有効になっています。
 - `BBVC_POSN2[CELL1]` が有効になっています。
 - `BBVC_POSN1/2` で、2 つ以上のチャンネルが選択されています。

- **BBVC_POSN1/2** で、選択されたチャンネルのいずれかに **[AUX_CELL_SEL]** がロックされています。
- メインまたは AUX ADC は、連続モードではオフになっているか、設定されていません。

ADC 後のデジタル LPF チェック:

デジタル LPF は、メイン ADC が動作しているときは常に連続的にチェックされます。各 VC チャンネルおよび BBP/N チャンネルの各 LPF をチェックするために、重複診断 LPF が実装されています。このチェックは、一度に 1 つの LPF を使用して実行されます。

たとえば、セル チャンネル 1 の LPF1 をテストするには、入力 (つまりセル 1 からの ADC 測定結果) が LPF1 と診断 LPF に一定時間供給されます。LPF1 の出力と診断 LPF が互いに比較されます。LPF1 と診断 LPF からの複数の出力を比較して、次の LFP をチェックする前に LPF1 の動作を確認します。いずれかの LPF が診断チェックに失敗した場合、**FAULT_COMP_MISC[LPF_FAIL] = 1** になります。

各アクティブ セルの LPF を 1 回テストすると、**ADC_STAT2[DRDY_LPF] = 1** になります。LPF のこの診断チェックは、メイン ADC が実行されている限り、バックグラウンドで連続的に実行されます。

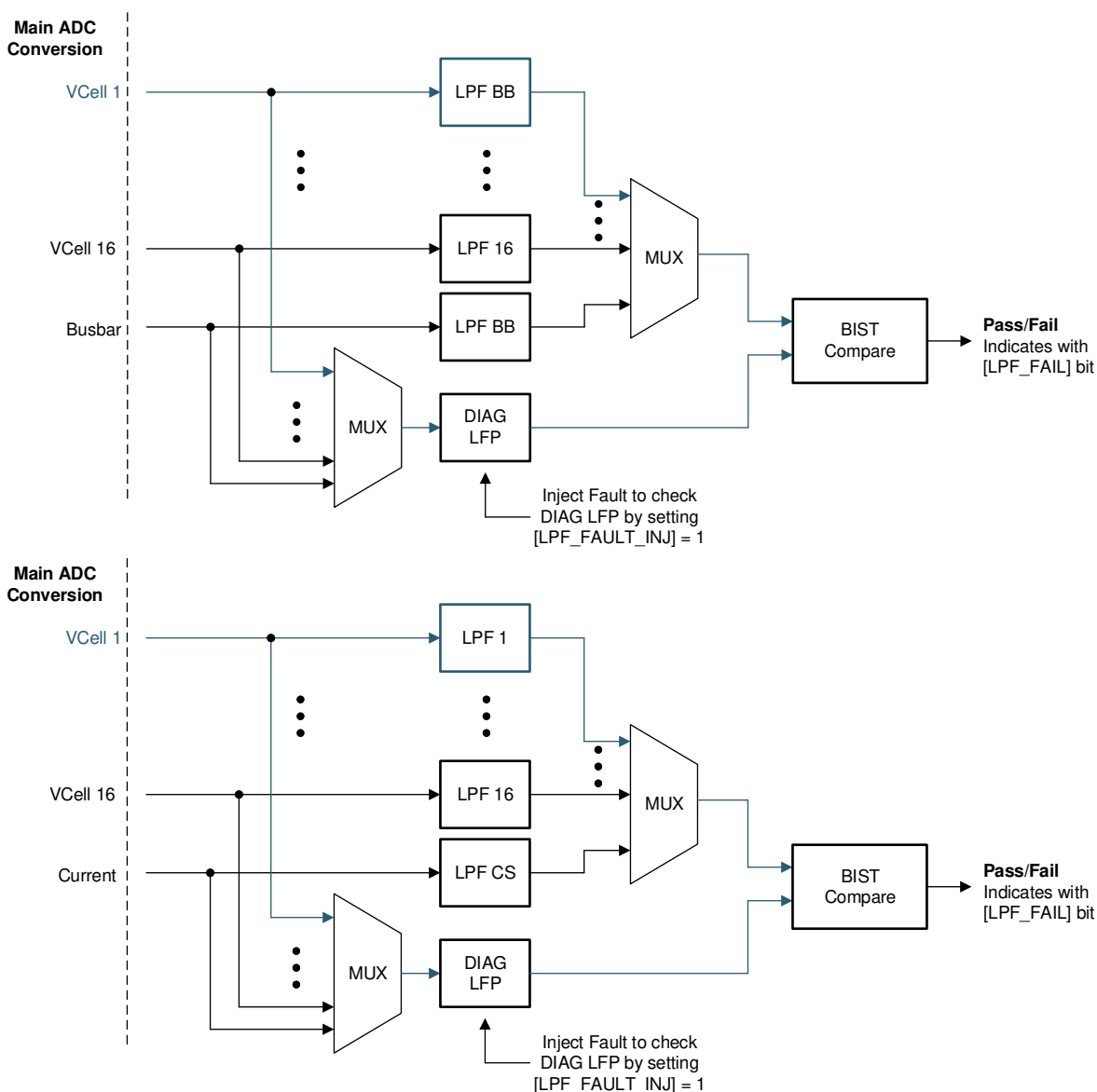


図 6-48. ADC 後の LPF 診断 (LPF1 のチェック例としての青いパスを表示)

さらに、デバイスは診断 LPF 自体の機能を検証するためのチェックも実装しています。**DIAG_COMP_CTRL4[LPF_FAULT_INJ] = 1** を設定してメイン ADC を再起動すると、デバイスは診断 LPF にフォルトを注入し、LPF 診断チェック中に強制的にエラーを引き起こして、その後 **[LPF_FAIL] = 1** を設定します。テストが完了したら、単に **[LPF_FAULT_INJ] = 0** に設定します。

6.3.6.4.6.2 温度測定チェック

セル電圧測定チェックと同様に、デバイスはメイン ADC 測定値を AUX ADC 測定値と比較することで、サーミスタ温度測定値をチェックします。メイン ADC と AUX ADC で測定された比較値を読み取るため、マイコンは **[AUX_GPIO_SEL]** 設定を使用して 1 つのチャンネルをロックし、この診断チェックを開始します。この構成では、メイン ADC と AUX ADC の比較された値が、それぞれ **DIAG_MAIN_HI/LO** レジスタと **DIAG_AUX_HI/LO** レジスタに通知されます。

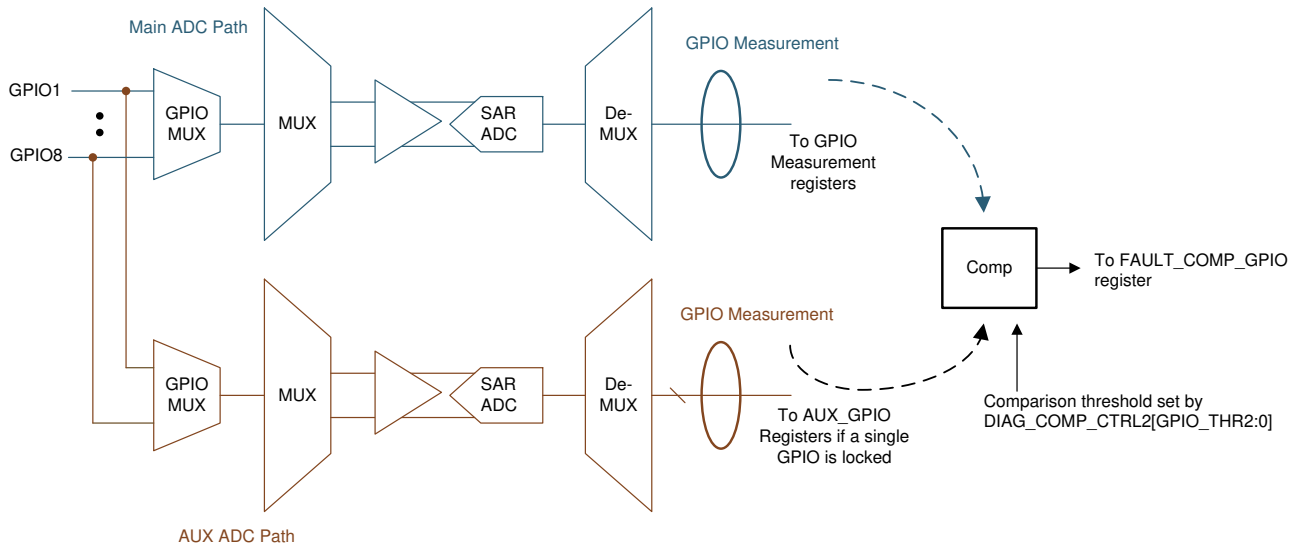


図 6-49. サーミスタ温度 (GPIO) 測定診断

温度測定の比較を開始する前に、ホストは次のことを確認します。

- メイン ADC が有効で、連続モードになっている。
- テスト対象の GPIO チャンネルに、**ADC_CTRL3[AUX_GPIO_SEL3:0]** 設定が構成され、AUX ADC が有効で連続モードに設定されている。
- **DIAG_COMP_CTRL2[GPIO_THR2:0]** 設定により、比較スレッショルドを選択します。

セル電圧の測定比較を開始するには、次の手順に従います。

1. **DIAG_COMP_CTRL3[COMP_ADC_SEL2:0] = GPIO 測定チェック (すなわち 0b101)** に設定し、**[COMP_ADC_GO] = 1** に設定します。
2. **[AUX_GPIO_SEL4:0]** によって有効化された各チャンネルについて、デバイスは $\text{abs}[(\text{GPIO from Main} - \text{GPIO from AUX})] < [\text{GPIO_THR2:0}]$ であるかどうか比較します。
3. 比較が完了するまで待ちます。最大で 64 回の ADC ラウンドロビン時間がかかることもあります。
4. **ADC_STAT2[DRDY_GPIO] = 1** になると、GPIO の測定比較が完了します。

ホストは **FAULT_COMP_GPIO** レジスタをチェックして比較結果を確認します。

ADC 比較の中止条件:

以下に示す無効な条件では、デバイスは温度測定比較を開始しません。比較が中止されると、**FAULT_COMP_MISC[COMP_ADC_ABORT] = 1**、**[DRDY_GPIO] = 1**、**FAULT_COMP_GPIO = 0xFF** となります。**[AUX_GPIO_SEL3:0]** が 1 つのチャンネルでロックされているときに、比較実行が中止すると、**AUX_GPIO_HI/LO** レジスタはデフォルト値 **0x8000** にリセットされます。

温度測定比較の開始を妨げる無効な条件または設定:

- 選択した GPIO が ADC 測定用に構成されていない無効な `[AUX_GPIO_SEL]` 設定。`AUX_GPIO_HI/LO` レジスタにはデフォルトの値が保持されています。これは、すべての GPIO に対して `[AUX_GPIO_SEL]` が選択されていて、どの GPIO も ADC 測定用に構成されていない場合にも適用されます。
- メインまたは AUX ADC は、連続モードではオフになっているか、設定されていません。

6.3.6.4.6.3 セル バランシング FET のチェック

セル バランシング FET チェックは、バランシング FET を有効にし、FET の両端の電圧 (AUX ADC パスを介して) とセル電圧 (メイン ADC パスを介して) を比較することで実行されます。チェックに使用される AUXCELL 測定値を読み出すには、マイコンで `[AUX_CELL_SEL]` 設定を使用して 1 つのチャンネルにロックするように設定してから、この診断チェックを開始する必要があります。AUXCELL の比較値は `DIAG_AUX_HI/LO` レジスタに通知されます。

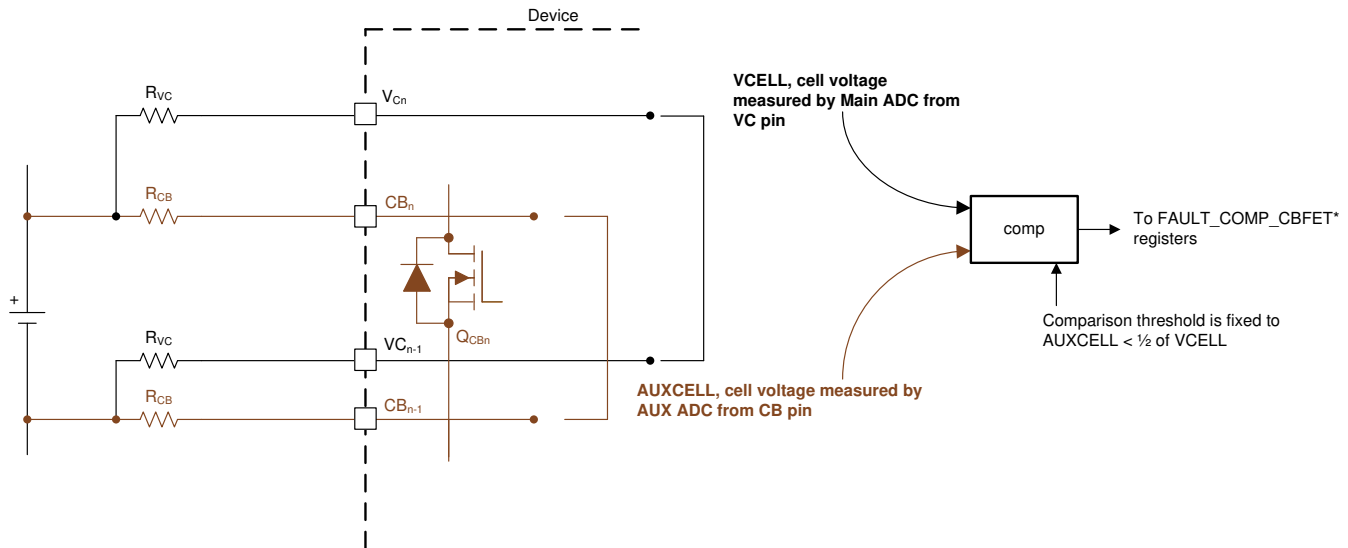


図 6-50. セル バランシング FET の診断

セル バランシング FET の比較を開始する前に、ホストは以下のことを確認します。

- メイン ADC が連続モードで動作している。
- CB FET がテストされる AUXCELL チャンネルを選択するように `ADC_CTRL2[AUX_CELL_SEL4:0]` が設定されている。
- `ADC_CONF1[AUX_SETTLE1:0]` を使用して、AUX セル チャンネルのセトリング タイムを選択します。
- バランシングが実行中の場合は、CB を一時停止します。
- `DIAG_CBFET_CTRL1` および `DIAG_CBFET_CTRL2` レジスタによって、テストされる CBFET が設定されている。
 - ここでも、最大 8 個の CBFET をオンにでき、連続する CBFET を 3 個以上オンにしないというルールが適用されます。
 - 奇数および偶数でテストすることを推奨します。

CBFET 比較を開始するには:

1. AUX ADC を連続モードで開始します。
2. `DIAG_COMP_CTRL3[CBFET_CTRL_GO] = 1` を設定して、選択された CBFET をオンにし、適切な dv/dt 時間待機します。
3. `DIAG_COMP_CTRL3[COMP_ADC_SEL2:0] = CBFET チェック (すなわち 0b100)` を設定し、`[COMP_ADC_GO] = 1` を設定します。
4. このデバイスは、上記の手順で構成した CBFET を有効にし、AUXCELL 測定値 (CB チャンネル経由) が VCELL 測定値 (VC チャンネル経由) の半分未満かどうか確認します。有効になっている CBFET だけがチェックされます。
5. CBFET の比較は、`ADC_STAT2[DRDY_CBFET] = 1` になると完了します。

6. 他の CBFET テスト セットに対しても、この手順を繰り返します。このテストで CBFET をオンにするため、マイコンは **DIAG_CBFET1** および **DIAG_CBFET2** レジスタをクリアしてから、**[CBFET_CTRL_GO] = 1** を設定します。それ以外の場合、**[CB_PAUSE] = 0** を送信して CB の一時停止状態を終了すると、通常のバランシングが再開されます。このテストでオンになっている CBFET がオフになり、バランシングに設定されている CBFET で CB が再開します。

ホストは **FAULT_COMP_CBFET1** および **FAULT_COMP_CBFET2** レジスタをチェックし、比較結果を確認します。残りの CBFET を比較するには、この手順を繰り返します。

ADC 比較の中止条件:

以下に示す無効な条件では、デバイスは CBFET 比較を開始しません。比較が中止されると、**FAULT_COMP_MISC[COMP_ADC_ABORT] = 1**、**[DRDY_AUX_CEL] = 1**、**[DRDY_CBFET] = 1**、**FAULT_COMP_CBFET1/2 = 0xFF** となります。**[AUX_CELL_SEL4:0]** が 1 つのチャンネルでロックされているときに、比較実行が中止すると、**AUX_CELL_HI/LO** レジスタはデフォルト値 **0x8000** にリセットされます。

セル電圧測定比較の開始を妨げる無効な条件または設定:

- 無効な **[AUX_CELL_SEL]** 設定により、選択されたチャンネルで AUX ADC 測定が実行されない。**AUX_CELL_HI/LO** レジスタにはデフォルトの値が保持されている。
- **NUM_CELL** 構成よりも高いチャンネルが選択されている。
- 無効な **BBVC_POSN** 設定:
 - 隣接チャンネルが **BBVC_POSN1/2** レジスタで有効になっています。
 - **BBVC_POSN2[CELL1]** が有効になっています。
 - **BBVC_POSN1/2** で、2 つ以上のチャンネルが選択されています。
 - **BBVC_POSN1/2** で、選択されたチャンネルのいずれかに **[AUX_CELL_SEL]** がロックされています。
- メインまたは AUX ADC は、連続モードではオフになっているか、設定されていません。
- CB が実行中で、一時停止モードではありません。
- 8 個以上の CBFET が有効になっているか、**DIAG_CBFET_CTRL1/2** レジスタで連続する CBFET が 2 個以上有効になっています。

6.3.6.4.6.4 VC および CB 断線チェック

このデバイスは、VC および CB ピンの断線接続を検出できます。電流シンクは、電流源が接続された VC0 ピンと CB0 ピンを除き、各 VC ピンと CB ピンに接続されています。

電流シンク (または電流源) が有効化され、断線接続がある場合、外付けの差動コンデンサが枯渇し、セル電圧測定値は時間の経過とともに異常なレベルに低下します。電流源を使用した VC0 ピンと CB0 ピンにも同様の検出概念が適用されます。断線接続がある場合、VC0 または CB0 が電流源によってプルアップされるため、時間の経過に伴うセル電圧測定値が減少します。

診断比較を有効にすると、デバイスはメイン ADC からのセル電圧測定値 (VC ピンの断線検出の場合) を、ホストでプログラムされたスレッシュホールドと比較するか、AUX ADC からの AUX セル測定値 (CB ピンの断線検出の場合) をホストでプログラムされたスレッシュホールドと比較します。

CB 断線チェックを開始する前に、**[AUX_CELL_SEL]** によってマイコンが 1 つの CB チャンネルにロックする場合。デバイスは、チェック比較に使用された **AUXCELL** 測定値を報告します。この値は **DIAG_AUX_HI/LO** レジスタで通知されます。メイン ADC にはシングル チャンネルロック機構がないため、VC の断線検出に使用された VC チャンネル測定は **DIAG_MAIN_HI/LO** レジスタで通知されません。

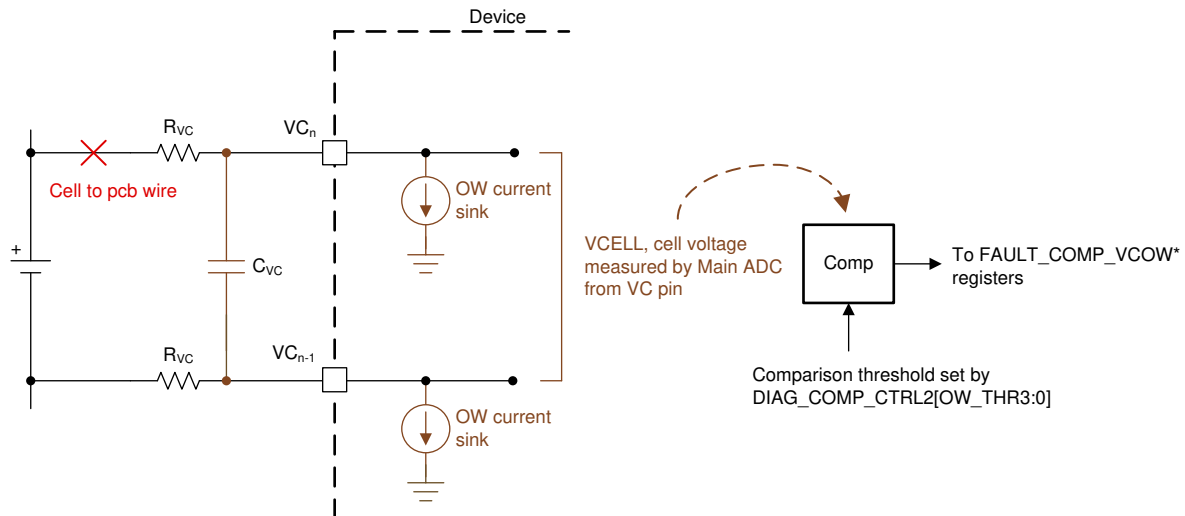


図 6-51. 断線検出

断線比較を開始する前に、ホストは以下のことを確認します。

- VC 断線検出の場合は、メイン ADC が連続モードで動作している。
- CB 断線検出の場合は、AUX ADC が連続モードで動作している。
 - AUXCELL チャンネルを選択するために、`ADC_CTRL2[AUX_CELL_SEL4:0]` で設定されている。
 - `ADC_CONF1[AUX_SETTLE1:0]` を使用して、AUX セル チャンネルのセトリング タイムを選択します。
- `DIAG_COMP_CTRL2[OW_THR3:0]` によって断線検出スレッシュホルドを設定します。

断線比較を開始するには：

1. `DIAG_COMP_CTRL3[OW_SNK1:0]` によって、VC ピン (または CB ピン) の電流シンクまたは電流源をオンにします。
2. 断線障害が発生した場合、外部コンデンサの dV/dt 時間が検出スレッシュホルドに達するまで待ちます。
3. VC 断線検出の場合、`DIAG_COMP_CTRL3[COMP_ADC_SEL2:0] = OW VC チェック` (つまり、0b010) を選択し、`[COMP_ADC_GO] = 1` を設定します。CB 断線検出の場合は、`[COMP_ADC_SEL2:0] = OW CB チェック` (つまり 0b011) を選択します。
4. デバイスは、すべてのアクティブな VCELL 測定 (VC 断線の場合) または AUX セル測定 (CB 断線の場合) を `[OW_THR3:0]` スレッシュホルド設定と比較します。
5. 比較が完了すると、VC 断線の場合は `ADC_STAT2[DRDY_VCOW] = 1`、CB 断線の場合は `[DRDY_CBOW] = 1` になります。
6. その後、ホストは `DIAG_COMP_CTRL3[OW_SNK1:0]` を介して、すべての電流シンクと電流源をオフにします。

ホストは `FAULT_COMP_VCOW1/2` または `FAULT_COMP_CBOW1/2` レジスタをチェックし、比較結果を確認します。

6.3.7 バス バー サポート

このデバイスは、2 種類の接続でバス バー測定をサポートしています。

- バス バーは、BBP ピンと BBN ピンを介して専用のバス バー チャンネルに接続されています
- VC チャンネルに接続されたバス バー

1 つのデバイスに合計で 3 つのバス バーを接続できます。1 つは BBP/N ピンを介し、残りの 2 つは VC チャンネルを介して接続します。表 6-32 に、この 2 つのアプローチの違いを示します。詳細については、以降のサブセクションを参照してください。

表 6-32. バス バー接続方法

サポート機能/制限	BBP/BBN ピン間に接続されたバス バー	複数の VC ピン間を個別に接続するバス バー
デバイスごとに接続可能なバス バーの数	1	2

表 6-32. バス バー接続方法 (続き)

サポート機能/制限	BBP/BBN ピン間に接続されたバス バー	複数の VC ピン間を個別に接続するバス バー
接続チャンネル	一番下のチャンネル以外にも接続可能	一番下のチャンネル以外にも接続可能
バス バー測定	はい。結果は BUSBAR_HI/LO レジスタに出力されます	はい。結果は、 VCELLx_HI/LO レジスタに出力されます。ここで、 x はバス バーが接続されている VC チャンネルです
バス バー測定用の内蔵フィルタ	はい。通常のセル チャンネルおよびポスト ADC デジタル LPF と同じフロント エンド フィルタです。BBP/N チャンネルは x5 ゲインで、 ±1-V の入力範囲です。セル電圧測定に使用される LPF 設定とは分離された専用のデジタル LPF 設定です。	はい。通常のセル チャンネルおよびポスト ADC デジタル LPF と同じフロント エンド フィルタです。バス バー測定には、同じセル電圧の LPF 設定を使用します。
ホストはセル測定の調整を行う必要があります	はい。セル + バス バーは、この方法で 1 つの VC チャンネルを共有しています。ホストは、共有チャンネルで実際のセル測定値を取得するために、バス バー測定を分離する必要があります。	いいえ。セルとバス バーはそれぞれ独自の VC チャンネルに接続されており、測定値は個別に通知されます
セル バランシングの制限	CB の制限はありませんが、バス バーに接続されているチャンネル上でセルのバランシングを行うと、ホストは隣接 CBFET を有効にします	CB の制限はありませんが、バス バーに接続されているチャンネル上の上側に CB ピンをフローティングにする必要があります

このデバイスは、バス バーが VC チャンネルに接続されているときに、その接続でバス バー測定をサポートします。VC チャンネルを介して、合計 2 つのバス バーを 1 つのデバイスに接続できます。表 6-33 に、以降のサブセクションで説明する詳細を示します。

表 6-33. バス バー接続方法

サポート機能/制限	複数の VC ピン間を個別に接続するバス バー
デバイスごとに接続可能なバス バーの数	2
接続チャンネル	一番下のチャンネル以外にも接続可能
バス バー測定	はい。結果は、 VCELLx_HI/LO レジスタに出力されます。ここで、 x はバス バーが接続されている VC チャンネルです
バス バー測定用の内蔵フィルタ	はい。通常のセル チャンネルおよびポスト ADC デジタル LPF と同じフロント エンド フィルタです。バス バー測定には、同じセル電圧の LPF 設定を使用します。
ホストはセル測定の調整を行う必要があります	いいえ。セルとバス バーはそれぞれ独自の VC チャンネルに接続されており、測定値は個別に通知されます
セル バランシングの制限	CB の制限はありませんが、バス バーに接続されているチャンネル上の上側に CB ピンをフローティングにする必要があります

6.3.7.1 BBP/BBN ピンのバス バー

このデバイスは、バス バーの接続および測定のために、BBP/BBN ピン経由で専用のバス バー チャンネルを提供します。これはフローティング チャンネルであり、バス バーをモジュールの下部セル以外の任意のセルに接続できます。バス バーチャンネルを使用すると、さまざまなモジュール サイズでデバイスのセル チャンネルを最大限に使用できます。

6.3.7.1.1 代表的な接続

バス バーを BBP/BBN ピンに接続することで、単一のセル チャンネル (VC チャンネル) をセル + バス バーと共有できるようにしています (図 6-52 の (a) 接続を参照)。通常、このような接続を行うと、セル測定値に IR 誤差が追加で発生します。デバイスでサポートされている BBP/BBN ピンを介した専用のバス バー チャンネルにより、ホストはバス バー電圧を測定し、実際のセル測定値を取得できます。

図 6-52(a) 接続は、中間の VC チャンネルに接続するバス バーに適用されます。つまり、単一のデバイス内では BBP/BBN チャンネルの上下にセルが接続されています。バス バー チャンネルでホットプラグをサポートするため、このデバイスで必要なことは、BBP/N ピンに 400Ω のフィルタ抵抗と、BBP/N ピン間に $0.47\mu\text{F}/16\text{V}$ 差動コンデンサを接続することだけです。

BBP/N に接続されたバス バーがモジュールの上部に配置されている場合 (図 6-52 の (b) を参照)、このような接続はセル チャネルが共有されていないため、BBP/N の例外となります。この接続では、VC チャネルによって実際のセル測定が行われるため、ホストは追加の計算を必要としません。

図 6-52(b) 接続は、モジュールの上部に接続されたバス バーに適用されます。この場合、単一デバイス内でバス バーの上にセルは接続されません。バス バー チャネルのホットプラグをサポートするには、BBP/N ピンにそれぞれ 400Ω のフィルタ抵抗と BBP/N ピン間に $0.47\mu\text{F}/16\text{V}$ 差動コンデンサを接続するほか、BBN から上部 CB ピンに接続するために追加の $0.47\mu\text{F}/16\text{V}$ 差動コンデンサが必要です。この追加コンデンサにより、モジュール内のすべてのセルからバス バーまでの完全なコンデンサ ラダーが形成され、ホットプラグ時の高電圧スパイクがコンデンサ ラダーの両端で分配されるようになります。

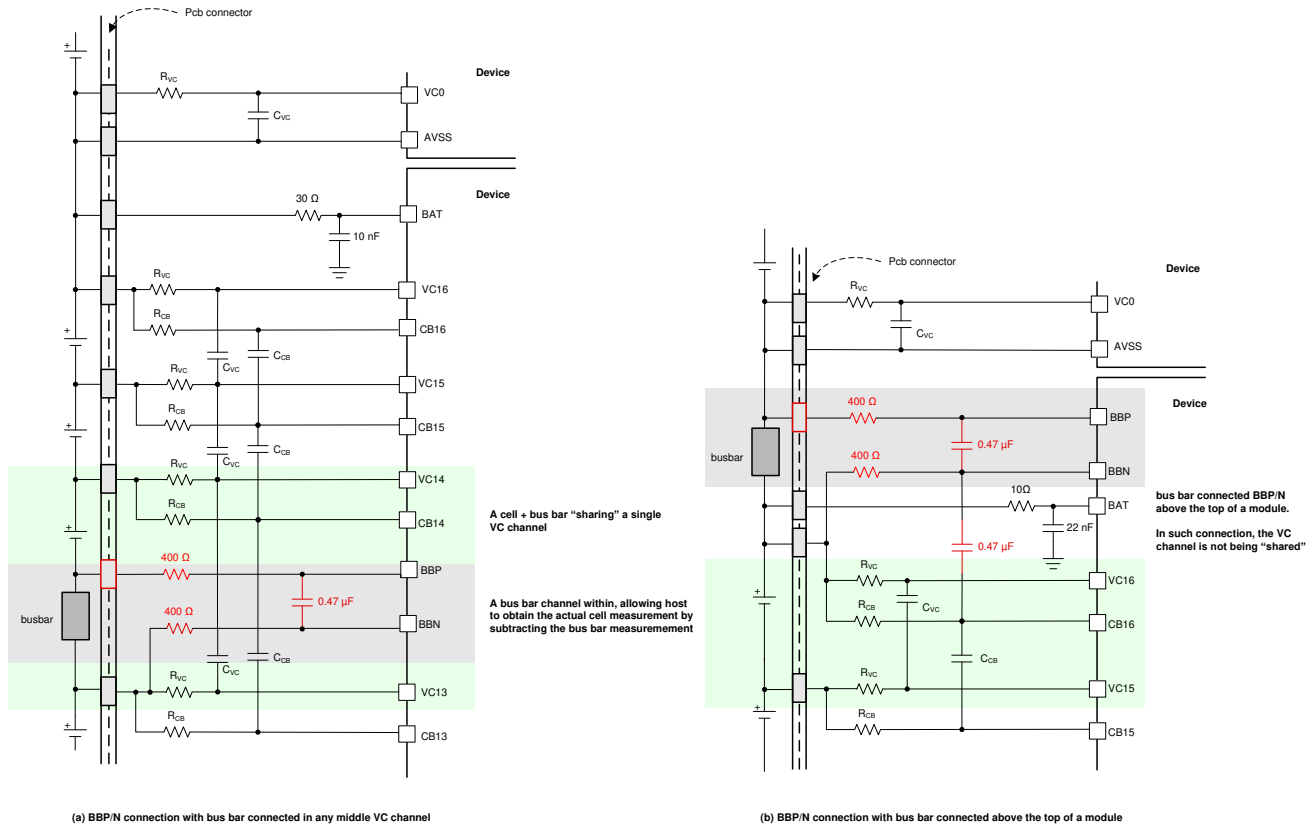


図 6-52. BBP/BBN ピン間に接続されたバス バー

6.3.7.1.2 バス バー測定

(BBP–BBN) 間の差動測定は、メイン ADC と AUX ADC によって実行されます。詳細は [セクション 6.3.2.1.1](#) および [セクション 6.3.2.2.1](#) を参照してください。BBP_LOC レジスタを使用して、どの VC チャネルが BBP/N 接続と共有されるかを示します。この情報により、デバイスは最終的な ADC 測定において同相補正をより適切に行うことができます。ホストは、共有 VC チャネルに追加の IR エラーが発生することを認識します。OVUV プロテクタが有効な場合、共有チャネル測定に対して IR が増加 (充電中) または減少 (放電中) することにより、この共有チャネルによって OV または UV 検出がより早期にトリガされることがあります。

6.3.7.1.3 セル バランシング処理

バス バーは、セルとセル チャネル間で共有されるため、セル バランシング制御に特別な処理はありません。ホストは、共有チャネルで (VC チャネルを介して) VCB_DONE 検出に追加の IR エラーが発生することに確認します。

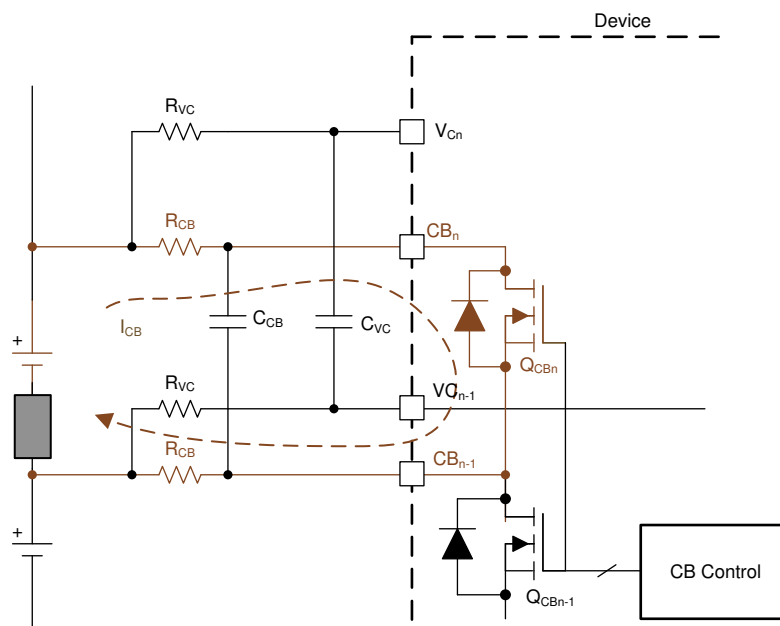


図 6-53. セル チャンネルを共有するバス バー (BBP/N 経由) によるセル バランシング

6.3.7.1.4 セル電圧診断制御

このデバイスは、共有チャンネルでの (セル + バス バー測定) 比較チェックの合計を調べることで、VC チャンネルと CB チャンネルの相互チェックを引き続きサポートしています。セクション 6.3.6.4.6.1 を参照してください。また、メイン ADC と AUX ADC からのバス バー チャンネル測定値を比較することで、バス バー測定をチェックすることができます。

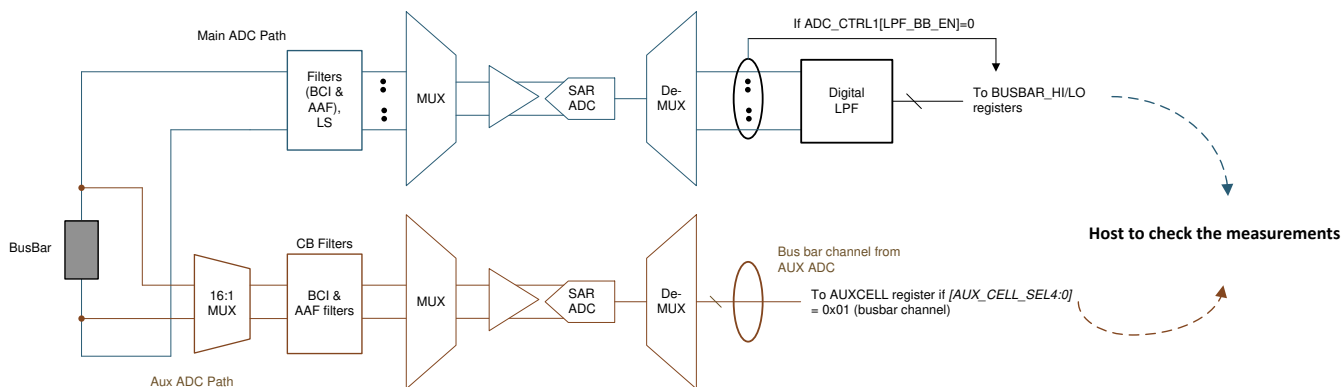


図 6-54. BBP/N を介したバス バーの測定チェック

BBP/N ピンには、断線検出用の電流シンクが内蔵されています。 $DIAG_COMP_CTRL3[OW_SNK1:0] = 0b11$ のとき、電流シンクはオンになります。バス バーを流れる電流が存在する場合、(BBP-BBN) の測定値はゼロではありません。BBP または BBN ピンに断線がある場合、電流シンクによって (BBP-BBN) の測定値が異常値に変化します。

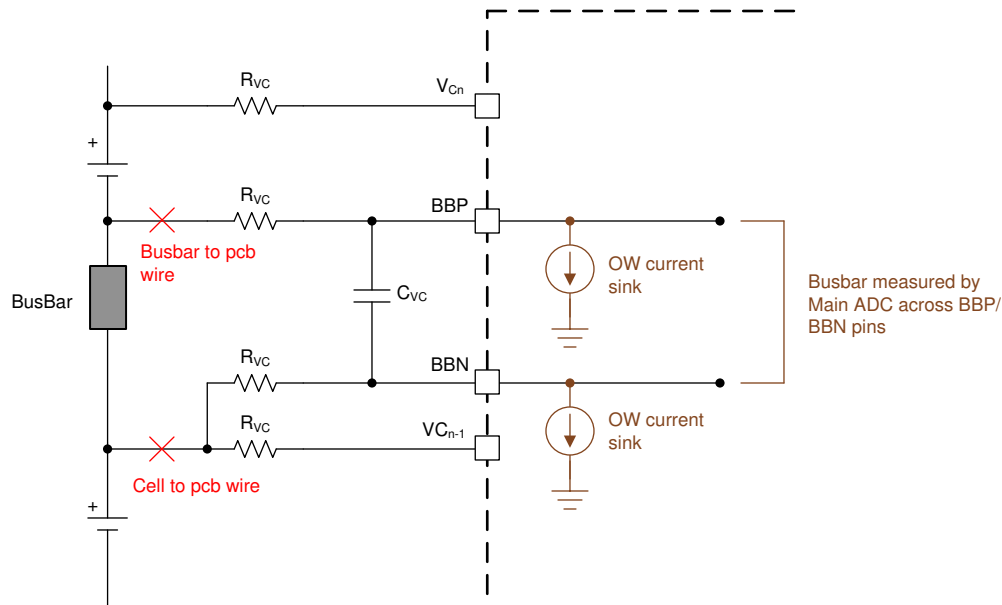


図 6-55. BBP/N 断線検出用の電流シンク

6.3.7.2 個別の VC チャンネルのバス バー

BBP/N 経由でバス バーを接続する以外に、このデバイスは個別の VC チャンネルへのバス バー接続もサポートしています。下位チャンネル (VC1-VC0) を除くすべての VC チャンネルは、-2 V から 5V の測定をサポートします。

デバイスは、個別の VC チャンネルへのバス バー接続をサポートしています。下位チャンネル (VC1-VC0) を除くすべての VC チャンネルは、-2 V から 5V の測定をサポートします。

バス バーが個別の VC チャンネルに接続されている場合、ホストは **BBVC_POSN1** および **BBVC_POSN2** レジスタのバス バー位置を示します。次の構成は、個別の VC チャンネルを経由するバス バー接続ではサポートされていません。**BBVC_POSN1** レジスタをこのような構成で設定すると、バランスング、OVUV 検出、セル電圧測定の比較チェックでエラーが発生する可能性があります。

- 下部チャンネルはバス バー接続をサポートしていません。つまり、**BBVC_POSN1[CELL1]** は 0 である必要があります。
- この接続を介して最大 2 つのバス バーを接続できます。つまり、**BBVC_POSN1** レジスタでは 2 つのビットのみが 1 に設定されます。
- バス バーは隣接チャンネルに接続できません。

6.3.7.2.1 代表的な接続

バス バーを個別に VC チャンネルに接続することで、そのチャンネルの上側の CB ピンはフローティングのままにし、内部 CBFET への順方向バイアスを回避しています (図 6-56 の (a) 接続を参照)。この接続は、任意の中間 VC チャンネルに個別に接続するバス バーに適用されます。つまり、単一のデバイス内では、VC チャンネルの上下にセルが接続され、バス バーが接続されています。ホットプラグ性能を確保するために、バス バーを接続する CB チャンネルには、上側の CB ピンがフローティング状態であっても、引き続き差動コンデンサが使用されます。このコンデンサにより、すべてのセルから完全なコンデンサ ラダーが形成され、デバイスに接続されたバス バーにより、ホットプラグ時の高電圧スパイクがコンデンサ ラダー全体に分配されます。

モジュール最上部の上側でバス バーを個別の VC チャンネルに接続する場合 (図 6-56 の (b) 接続を参照)、そのチャンネルの上側の CB ピンはフローティングのままにしますが、CB 差動コンデンサは接続された状態を維持します。さらに、上部の CB ピンから BAT ピンに追加の RC フィルタを接続します。この追加の RC フィルタ (CB ピンに他の RC フィルタと同じ RC 値を使用) により、デバイスに完全なコンデンサ ラダーが形成され、ホットプラグ イベント時に残りの CB ピンと同じ RC 定数で高電圧スパイクが分配されます。

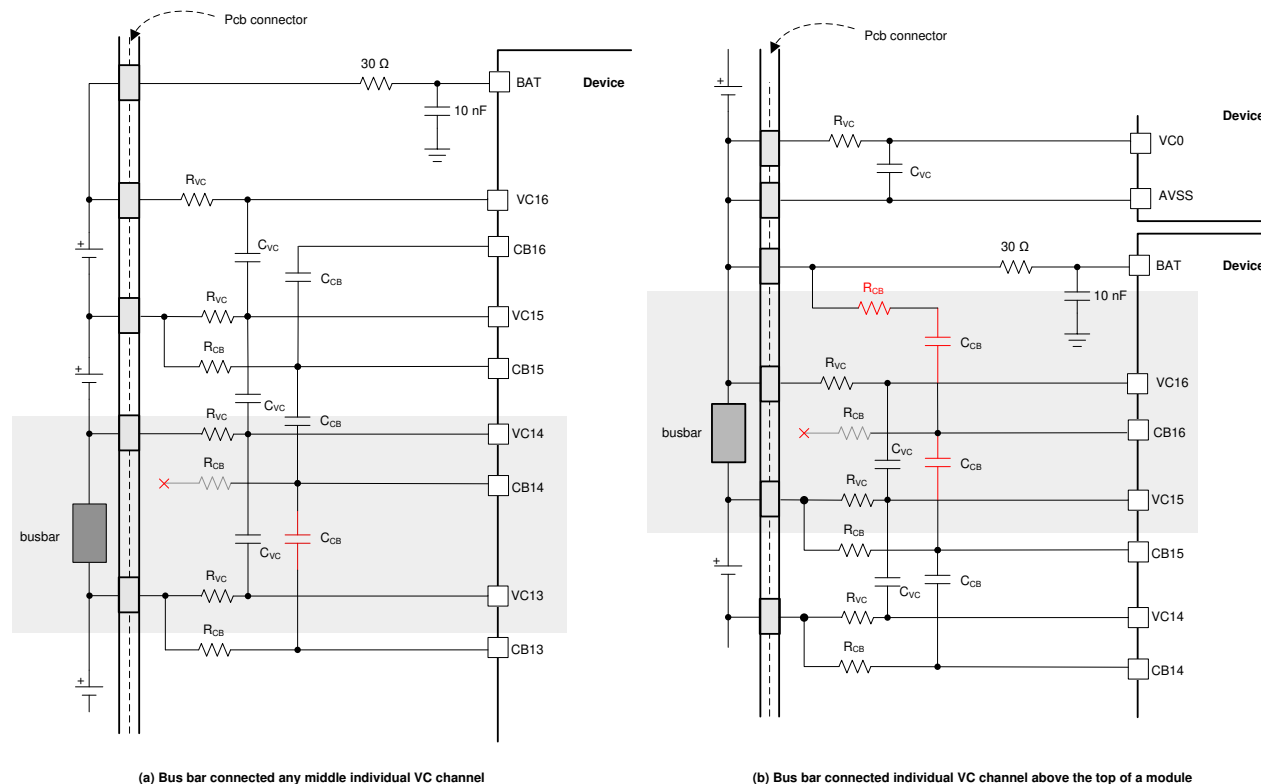


図 6-56. 個別の VC チャンネルに接続されたバス バー

6.3.7.2.2 バス バー測定

バス バー測定は、VC チャンネルの 1 つとしてメイン ADC 測定により実行されます。結果は `VCELLx_HI/LO` レジスタに通知されます。ここで、x はバス バーに接続されたチャンネルです。デジタル LPF は有効になり、VC チャンネル測定構成の他の部分として適用されます。

バス バー接続 (`BBVC_POSN1/2` レジスタ経由) に指定された VC チャンネルは、OVUV プロテクタが有効の場合、セル バランシング、OV、UV の検出時に `VCB_DONE` チェックの対象外になります。また、セル電圧測定比較チェック時には特別な処理が行われます。

6.3.7.2.3 セル バランシング処理

バス バーが接続されているチャンネルでは、上側の CB ピンがオープンになるため、バス バーの上に接続されているセルのバランスを取るため、ホストは隣接する CBFET をオンにし、同じタイマ設定で構成します。

ホストは、バス バー接続を示すように `BBVC_POSN1/2` レジスタを設定します。この情報は、バス バーに接続されているチャンネルが `VCB_DONE` 検出をトリガして CBFET をオフにし、バス バーの上にあるセルのバランシング パスが切断されるのを回避するために使用されます。

バス バーの上のセル バランシングは、タイマおよびセル電圧スレッシュホールドに基づいて終了します。いずれかの停止条件が満たされると、CBFET がオフになります。バス バー接続チャンネルの CBFET がオンのままであっても、バランシング パスは切断されます。

注

バス バー接続チャンネルの CBFET は、タイマが切れるまでオンになります。このため、実際のセル バランシングが完了した場合でも、`[CB_DONE]=1` のフラグ付けが遅延する可能性があります。

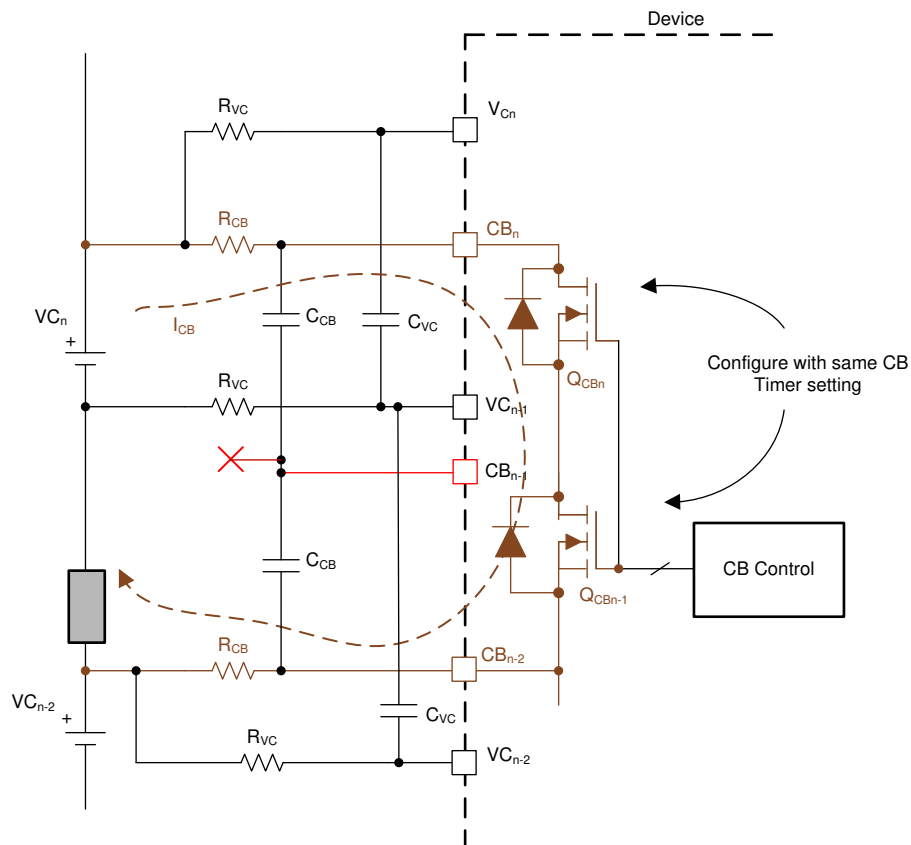


図 6-57. 個別の VC チャンネルに接続されたバス バーによるセル バランシング

6.3.7.2.4 セル電圧診断制御

メイン ADC 測定と AUX ADC 測定値との関係をチェックすることで、セル電圧の比較チェックを引き続き実行します。バスバーが接続されている CB チャンネルの上側 CB ピンがオープンであるため、デバイスではメイン ADC の合計 (セル + バスバー) と AUX ADC の合計 (セル + バスバー) を比較することで、比較チェックを処理します。

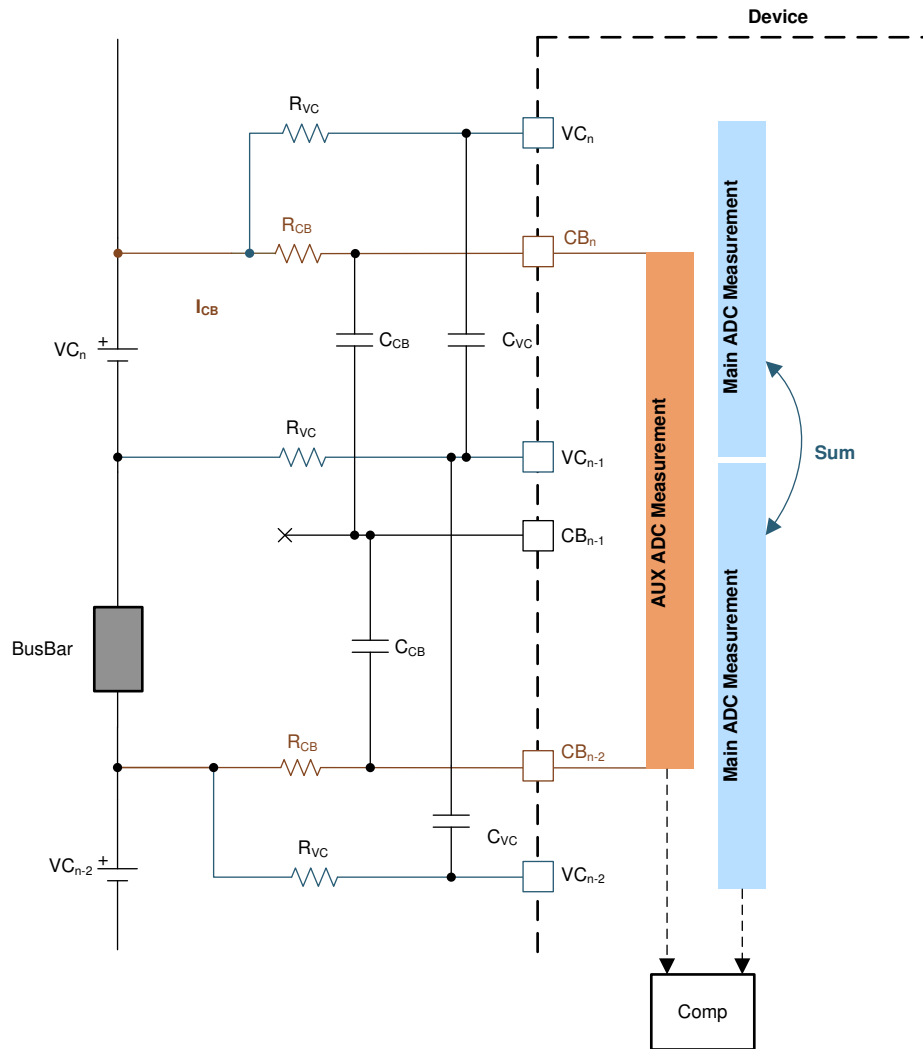


図 6-58. 個別の VC チャンネルに接続されたバス バーによるセル測定チェック

6.4 デバイスの機能モード

このデバイスには、3 つの電力モードに加えて POR 状態があります。

- **POR:**これは電力モードではありません。これは、BAT ピンの電圧が VBAT MIN 未満の状態、デバイスの AVAO_REF ブロックを含むすべての回路が電源オフになる状態です。
- **SHUTDOWN:**これは最小消費電力モードです。AVDD、DVDD、CVDD の電源はオフです。LDOIN ピンでの大まかなレギュレーションのみが維持されます。CVDD ピンは、WAKE 検出をサポートするために、内部回路経由で LDOIN ピンと同等の電圧になります。
- **SLEEP:**これは、低消費電力動作モードです。機能は限定されます。
- **アクティブ:**これは最大出力動作モードです。この状態では、すべての機能がサポートされています。

各電力モードでサポートされている機能の概要を表 6-34 に、電源状態図を図 6-59 に示します。

表 6-34. アクティブな機能の概要

機能ブロック	シャットダウン	SLEEP	アクティブ	POR
メイン ADC			✓	これは、電源状態ではありません。すべての回路がオフです。VBAT に十分な電圧が印加されると、デバイスは POR され、SHUTDOWN モードに移行します
AUX ADC			✓	
OV/UV プロテクタ		✓ ⁽¹⁾	✓	
OT/UT プロテクタ		✓ ⁽¹⁾	✓	
セル バランシング		✓ ⁽¹⁾	✓	
OTCB 検出		✓ ⁽¹⁾	✓	
モジュール バランシング (MB_TIMER_CTRL による制御)			✓	
UART			✓	
Comm 垂直通信			✓	
フォルト ステータスと NFAULT 通信		✓	✓	
通信タイムアウト			✓	
SLEEP タイムアウト		✓		
サーマル シャットダウン検出		✓	✓	
SPI コントローラ			✓	
OTP プログラミング			✓	
デバイスの POR を検出するための常時 オン ブロック	✓	✓	✓	

- (1) SLEEP モードでセル バランシング、OV/UV または OT/UT プロテクタを有効にするには、ホストは最初に ACTIVE モードで機能を有効にしてから、デバイスを SLEEP 状態にする必要があります。

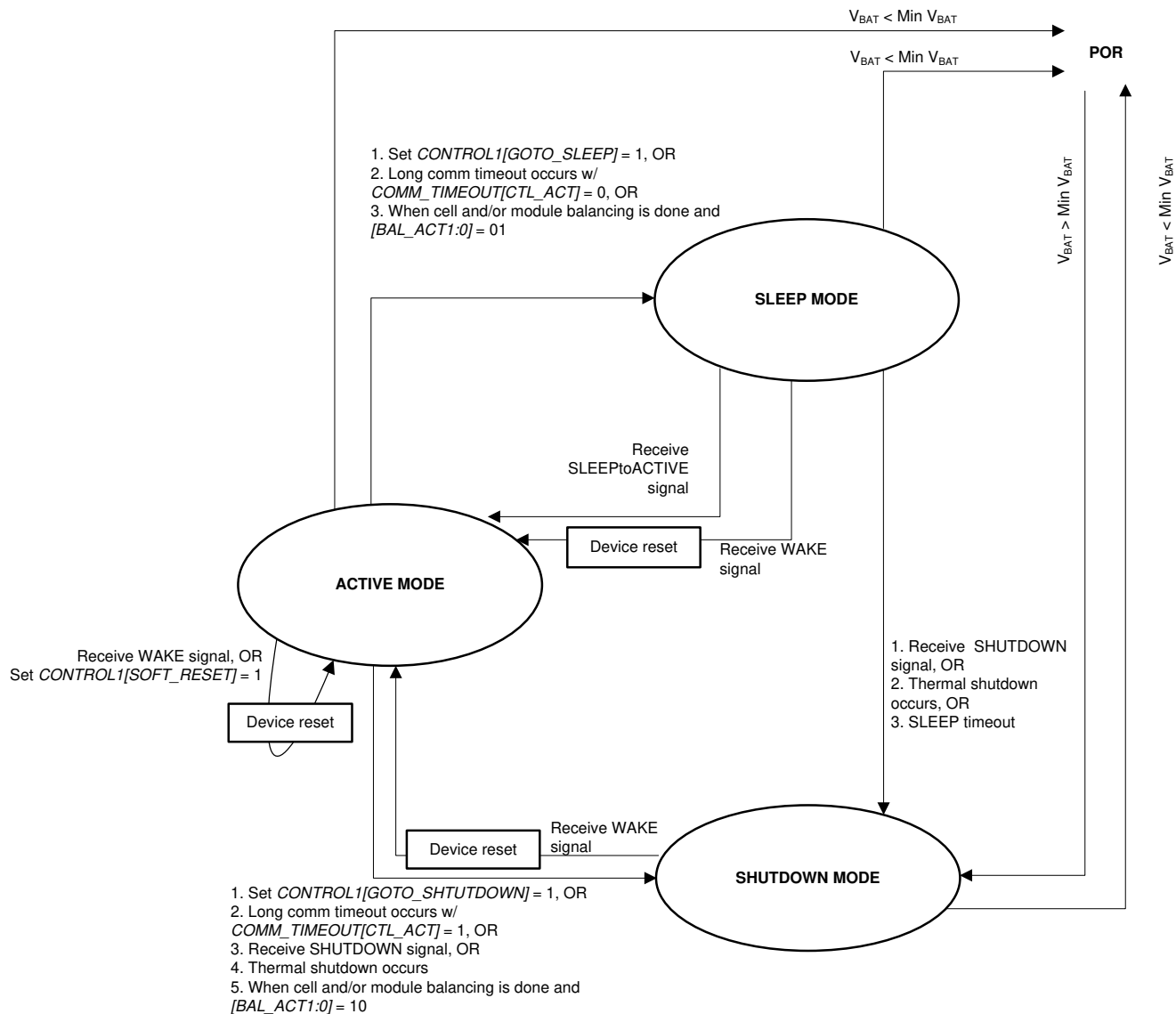


図 6-59. 電源状態図

6.4.1 電力モード

6.4.1.1 シャットダウン モード

これは最小消費電力モードです。SHUTDOWN モードでは、ほとんどの機能がオフになります。この状態からウェークアップするため、デバイスはアイドル状態を維持し、WAKE ping/トーン (詳細は「[セクション 6.4.3](#)」を参照) を監視します。WAKE ping /トーン検出のため、LDOIN および CVDD ピンの総レギュレーションのみが維持されます。

6.4.1.1.1 SHUTDOWN モードの終了

SHUTDOWN モードでは通信はサポートされていません。ホストは ACTIVE に遷移するために、WAKE ping または WAKE トーンを送信する必要があります。次の表に、デバイスが SHUTDOWN モードから ACTIVE モードに遷移するときに想定されるフォルトビットを示します。

表 6-35. デバイスが SHUTDOWN からウェークアップした後に想定されるフォルト ビット

デジチェーン内の デバイスの位置	SHUTDOWN からウェークアップした後に想定されるフォルト ビット	
ベース デバイス	$FAULT_SYS[DRST] = 1$	WAKE ping によるデジタル リセット
	$FAULT_COMM3[FCOMM_DET] = 1$	上位デバイスからの $[DRST] = 1$
	$FAULT_COMM1[COMMCLR_DET] = 1$	UART エンジンのリセット
スタック デバイス (スタックの最上位を除く)	$FAULT_SYS[DRST] = 1$	WAKE トーンによるデジタル リセット
	$FAULT_COMM3[FCOMM_DET] = 1$	上位デバイスからの $[DRST] = 1$
スタックの最上位デバイス	$FAULT_SYS[DRST] = 1$	WAKE トーンによるデジタル リセット

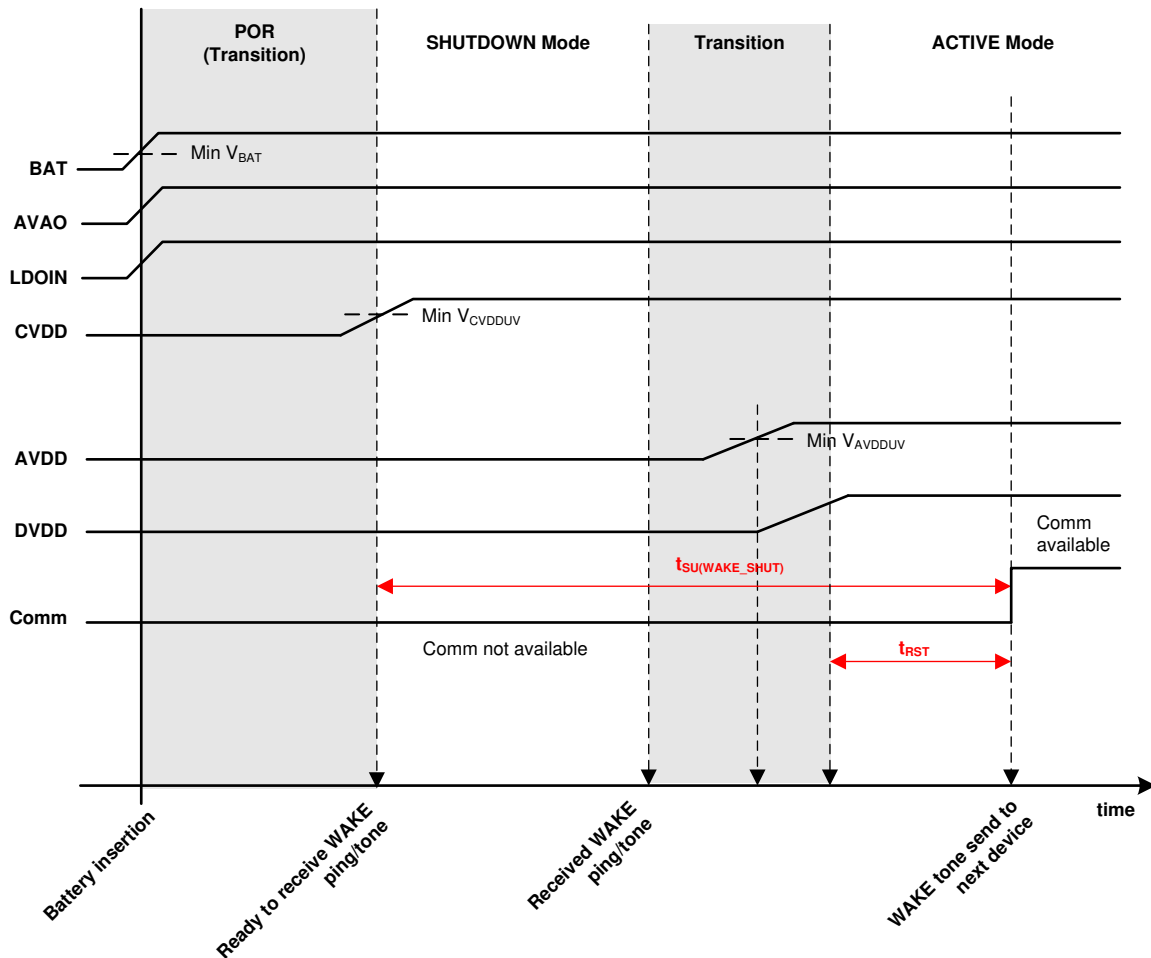


図 6-60. SHUTDOWN から ACTIVE モードへの遷移

6.4.1.1.2 SHUTDOWN モードへの移行

通常動作中、ホストは $CONTROL1[GOTO_SHUTDOWN] = 1$ を送信することで、通信を介してデバイスを SHUTDOWN モードに移行します。デジチェーン構成では、このコマンドをブロードキャスト書き込みで送信すると、デジチェーン内のすべてのデバイスが SHUTDOWN モードになります。

また、本デバイスは、次のいずれかの条件で SHUTDOWN モードに移行できます。

- 通信タイムアウト: 設定された時間にわたって有効な通信がない場合、ACTIVE モードから SHUTDOWN モードに自動的に遷移します。ホストは、**COMM_TIMEOUT_CONF** レジスタを使ってこのオプションを有効にできます。
- SLEEP モード タイムアウト: デバイスが設定された時間にわたって SLEEP モードに入っている場合、SLEEP モードから SHUTDOWN モードに自動的に遷移します。ホストは、**PWR_TRANSIT_CONF[SLP_TIME2:0]** でこのオプションを有効にできます。
- バランシング完了時: デバイスのすべてのバランシングが完了すると、自動的に SHUTDOWN モードに遷移します。詳しくは、[セクション 6.3.3](#) を参照してください。このオプションを選択すると、デジタイゼーション構成において、デバイス間でパワーモードが一時的に異なる状態になる可能性があります。
- サーマル シャットダウン: 内部ダイ温度が T_{SHUT} よりも高くなると、デバイスをシャットダウンします
- SHUTDOWN または HW_RESET ping/トーン: これらの ping/トーンは、通信喪失状態の回復の試みとして使用されます。SHUTDOWN ping/トーンにより、通信を介さずにデバイスが SHUTDOWN モードに遷移し、ほとんどの回路が強制的にオフになります。より確実な回復を試みるには、HW_RESET ping/トーンを使用します。この場合、バンドギャップを除くすべての回路がオフになり、デバイスは SHUTDOWN モードで再起動します。

6.4.1.2 SLEEP モード

これは、低消費電力動作モードです。SLEEP モードでは、すべての内部電源がオンのままですが、セル バランシング、OVUV および OTUT プロテクタ、ハートビート/フォルトトーン/NFAULT の送信と検出に制限されます。

6.4.1.2.1 SLEEP モードの終了

ホストがデバイスと通信できないために SLEEP モードを終了するときに、ホストは WAKE ping /トーンまたは SLEEPtoACTIVE ping /トーンのいずれかを送信して ACTIVE モードに遷移する必要があります。WAKE を送信すると、デバイスがウェークアップし、リセットされます。この場合、ホストはデバイスの設定を再構成する必要があります。SLEEPtoACTIVE の場合は、デバイスのウェークアップのみが実行されます。

6.4.1.2.2 SLEEP モードへの移行

本デバイスは、ACTIVE モードからのみ SLEEP モードに移行できます。通常動作中、ホストは **CONTROL1[GOTO_SLEEP] = 1** を送信することで、通信を介してデバイスを SLEEP モードに移行します。デジタイゼーション構成では、このコマンドをブロードキャスト書き込みで送信すると、すべてのデバイスが SLEEP モードになります。

また、本デバイスは、次の条件でも SLEEP モードに移行できます。

- 通信タイムアウト: 設定された時間にわたって有効な通信がない場合、ACTIVE モードから SLEEP モードに自動的に遷移します。ホストは、**COMM_TIMEOUT_CONF** レジスタを使ってこのオプションを有効にできます。

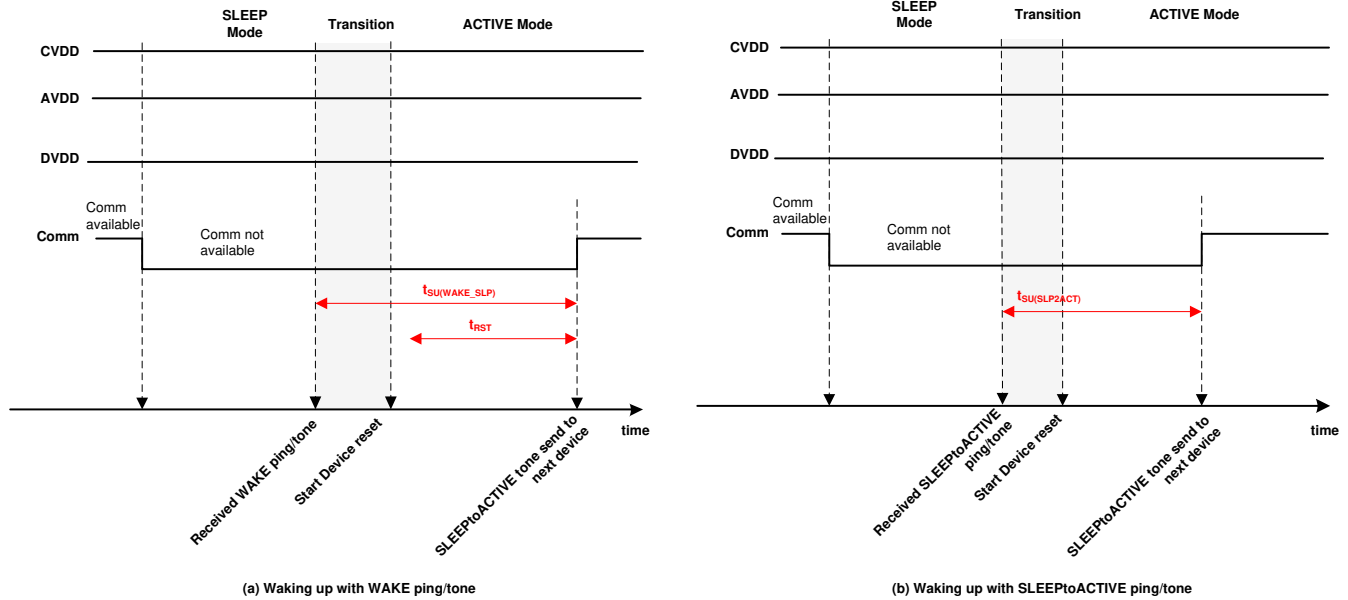


図 6-61. SLEEP から ACTIVE へのモード遷移

6.4.1.3 ACTIVE モード

これは、完全な機能をサポートする動作モードです。このモードでは、ホストは各種機能を完全に制御し、性能診断を行うことができます。

6.4.1.3.1 ACTIVE モードの終了

ping トーンコマンド、タイマ、または特定のイベントにより、デバイスを ACTIVE モードから SLEEP モードまたは SHUTDOWN モードに切り替えることができます。詳細は [セクション 6.4.1.1](#) および [セクション 6.4.1.2](#) を参照してください。

6.4.1.3.2 SHUTDOWN モードから ACTIVE モードへの移行

デバイスは、WAKE ping トーンを介してのみ、SHUTDOWN モードから ACTIVE モードに移行できます。ACTIVE モードに入ると、ホストは、想定内であるリセット関連のフォルトの一部をクリアします (詳細は[セクション 6.4.1.1](#)を参照)。これらのフォルトは、SHUTDOWN モードから ACTIVE モードへの移行のために特定のブロックで POR が発生したことを示します。レジスタはデフォルトにリセットされます。OTP シャドウ レジスタには、OTP にプログラムされた値が再ロードされます。

6.4.1.3.3 SLEEP モードから ACTIVE モードへの移行

WAKE または SLEEPtoACTIVE ping トーンを使用すると、デバイスを SLEEP モードから ACTIVE モードに移行できます。WAKE ping トーンは、デバイスに対してデジタル リセットを生成します。SLEEP モード中は LDO 電源がオンになっているため、**FAULT_SYS[DRST] = 1** のみがセットされ、デジタル リセットが発生したことを示します。想定内であるリセット関連の特定のフォルトが設定されます。詳細については、「SHUTDOWN モード」を参照してください。レジスタはデフォルトにリセットされます。OTP シャドウ レジスタには、OTP にプログラムされた値が再ロードされます。

SLEEPtoACTIVE ping トーンを使用して、デバイスを SLEEP モードから ACTIVE モードに切り替えると、デバイスはデジタル リセットなしで ACTIVE モードに移行しますが、UART エンジンがリセットされます。このため、ベースデバイスでは、**FAULT_COMM1[COMMCLR_DET] = 1** が設定され、ACTIVE モードへの移行後、ホストはこれをクリアします。

6.4.2 デバイス リセット

このデバイスには、デジタル リセットや、レジスタをデフォルト設定にして OTP を再ロードするなど、いくつかの状態があります。

- WAKE ping トーンが送信され、SHUTDOWN モードまたは SLEEP モードから ACTIVE モードに遷移します。
- ACTIVE モードで WAKE ping トーンが受信されます。
- ACTIVE モードで **CONTROL1[SOFT_RESET] = 1** コマンドが送信されます。
- いずれかの電力モードで HW_RESET ping トーンが送信されます。これにより、デバイスに対して POR に似たイベントが生成されます。HW_RESET ping トーンが検出されると、 t_{HWRST} 期間の間、デバイスはバンドギャップを除くすべての内部ブロックをオフにします。その後、デバイスは SHUTDOWN モードで再起動します。
- 内部電源フォルト。詳しくは、[セクション 6.3.6.4](#) を参照してください。
 - AVDD UV、DVDD UV が検出されます。
- HFO または LFP ウォッチドッグのフォルトが発生すると、デジタルがリセットされます。

完全なリセットを除き、以下の条件では UART エンジンのみがリセットされます。UART を使用してホスト マイコンとの通信を行うため、これらの条件は主にベース デバイスに影響します。ベース デバイスでは、**FAULT_COMM1[COMMCLR_DET] = 1** が設定されます。これらのデバイスでは UART が非アクティブなため、これらの条件はスタック デバイスには影響しません。

- SLEEPtoACTIVE ping が送信され、SLEEP モードから ACTIVE モードに遷移します。
- 以下の条件では、UART エンジンがクリアされ、**[COMMCLR_DET] = 1** が設定されるだけでなく、予期しない UART STOP が検出されたことを示すために **FAULT_COMM1[STOP_DET] = 1** が設定されます。
 - ACTIVE モードで SLEEPtoACTIVE ping が送信されます。
 - COMM CLEAR 信号が送信されます。これは、UART エンジンクリアし、新しい通信フレームの開始を探すようエンジンに指示するための専用信号です。詳細については、[セクション 6.3.6.1.1.1](#) を参照してください。

6.4.3 Ping およびトーン

SHUTDOWN または SLEEP モードや、通信を回復するためにホストがリセットまたはパワーダウンの指示を送信するような通信不能な状況では、ping またはトーンは、デバイスで特定のアクションを実行するための通信手段となります。

表 6-36. さまざまな電力モードでサポートされる ping とトーン

ping/トーンの検出	検出されるピン	シャットダウン	SLEEP	アクティブ
SHUTDOWN ping	RX		✓	✓
SLEEPtoACTIVE ping	RX		✓	✓
WAKE ping	RX	✓	✓	✓
HW_RESET ping	RX		✓	✓
SHUTDOWN トーン	COMH/L		✓	✓
SLEEPtoACTIVE トーン	COMH/L		✓	✓
WAKE トーン	COMH/L	✓	✓	✓
HW_RESET トーン	COMH/L		✓	✓
フォルトトーン	COMH/L		✓	フォルトトーンの検出にのみ使用できます。
HEARTBEAT	COMH/L		✓	

6.4.3.1 Ping

ping は、デバイスの RX ピンへの特定の high-low-high 信号です。ベース デバイスでは、UART RX からアクセス可能なホストにベース デバイスのみが接続されているため、ping が使用されます。デバイスは、ping 信号の異なる Low 時間を検出して、さまざまな ping 信号を区別します。

通信 ping とは、WAKE ping、SLEEPtoACTIVE ping、SHUTDOWN ping、HW_RESET ping のことです。これらの ping は、通常の通信が利用できない場合、特定の電力モードに切り替えるようデバイスに指示します。定義上、RX ピン上の COMM CLEAR 信号は ping の一種です。COMM_CLR は UART エンジンクリアするための信号であるため、この信号については[セクション 6.3.6.1.1.1](#)で説明します。

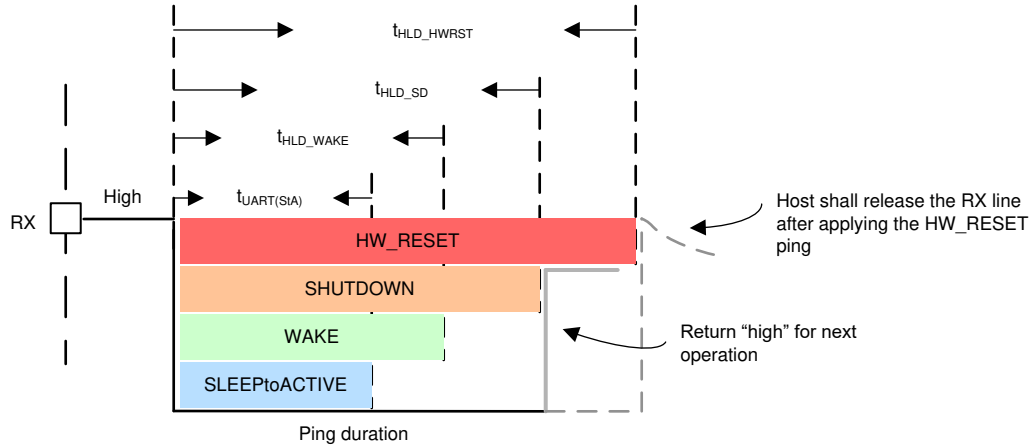


図 6-62. 通信 ping

6.4.3.2 トーン

トーンとは、指定された極性 (すべて + またはすべて -) を持つ固定数のカプレット (パルス) で、差動垂直インターフェイス COMH および COML ポートを介して送信されます。トーンは、COMH/L ポートのみアクセス可能なため、スタック デバイスで使用されます。送信に必要なプレットの数は、検出に必要なカプレットの数よりも常に大きくなります。

4 つの通信 ping に対応する 4 つの通信トーンがあります。これらは WAKE トーン、SLEEPtoACTIVE トーン、SHUTDOWN トーン、HW_RESET トーンです。通信トーンに加えて、デバイスのフォルト ステータスに関連する次の 2 つの追加トーンがあります。ハートビート トーンとフォルト トーン。これら 2 つのフォルト ステータス トーンは、SLEEP モードでのみ使用できます。詳しくは、セクション 6.3.6.2.3.3 を参照してください。

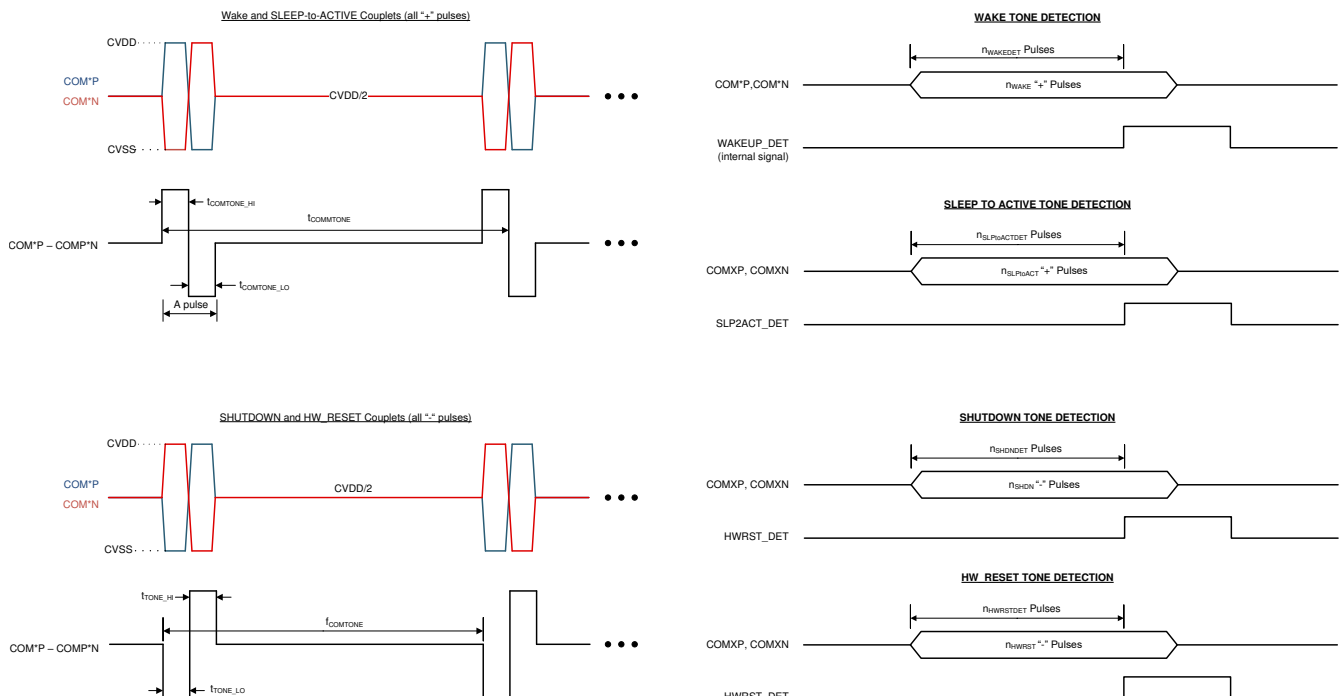


図 6-63. 通信トーン

6.4.3.3 ping およびトーンの伝播

伝搬する場合:

WAKE と SLEEPtoACTIVE の ping/トーンは、デバイスをウェークアップするための通常動作の一部です。したがって、これら 2 つの ping/トーンは、デジタイチェーン構成の次のデバイスに伝搬することができます。つまり、デバイスが WAKE ping/トーンを受信すると、WAKE トーンが生成され、次のデバイスに転送されます。同様のアクションは SLEEPtoACTIVE ping/トーンにも適用されます。

トーン転送の方向は通信方向に従います。この通信方向は、**CONTROL1[DIR_SEL]** ビットによって設定されます。詳細については、[セクション 6.3.6.1](#) を参照してください。トーンの検出は、**[DIR_SEL]** の設定に関係なく、スタック デバイス上の COMH および COML ポートでサポートされます。ベース デバイスは代わりに ping を検出するため、これはベース デバイスには適用されません。

通常動作中、ホストは WAKE または SLEEPtoACTIVE ping をベース デバイスに送信するだけで、残りのスタック デバイスに対して対応するトーンが生成されます。システム開発中に、デジタイチェーン内の一部のデバイスだけに WAKE または SLEEPtoACTIVE を送信する必要がある場合、ホストで **CONTROL1[SEND_WAKE]** または **CONTROL1[SEND_SLPTOACT]** ビットを使用できます。このコマンドを受信するデバイスは、対応するトーンをデジタイチェーン内の次のデバイスに送信します。WAKE および SLEEPtoACTIVE トーンが伝搬されるため、上記で接続された残りのデジタイチェーンも対応するトーンを受信します。

伝播しない場合:

ほとんどの場合、SHUTDOWN および HW_RESET ping/トーンは、通信回復の目的で使用されます。したがって、これらの ping/トーンは伝播しません。つまり、デバイスが SHUTDOWN ping/トーンを受信すると、シャットダウン プロセスを開始しますが、デバイスは次のデバイスに対して別の SHUTDOWN トーンを生成しません。同様のアクションは HW_RESET ping/トーンにも適用されます。

ベース デバイスの場合、RX ピンがホストに接続されるため、ベース デバイスで SHUTDOWN または HW_RESET ping を使用できます。スタック デバイスの場合、問題のあるデバイスに少なくとも 1 つのスタック デバイスが接続されている必要があります。ホストは、隣接デバイスと通信する必要があり、**CONTROL1[SEND_SHUTDOWN] = 1** または **CONTROL2[SEND_HW_RESET] = 1** を設定して、問題のあるデバイスに対して対応するトーンを発行するよう隣接デバイスに指示します。トーンの検出は、**[DIR_SEL]** の設定に関係なく、スタック デバイス上の COMH および COML ポートでサポートされます。ベース デバイスは代わりに ping を検出するため、これはベース デバイスには適用されません。

表 6-37. ping およびトーン伝播の概要

ping/トーン	伝搬	非伝播
WAKE	受信したデバイスは、次のデバイスに対して WAKE トーンを生成します	
SLEEPtoACTIVE	受信したデバイスは、次のデバイスに SLEEPtoACTIVE トーンを生成します	
シャットダウン		受信したデバイスは、シャットダウン プロセスを初期化します。
HW_RESET		受信したデバイスは、HW リセット プロセスを初期化します

6.5 レジスタ マップ

このセクションには、3 つのレジスタマップ概要表があり、レジスタ アドレスの順序に従ってレジスタがリストされています。

- **NVM (OTP) シャドウ レジスタ。**これらの読み取り/書き込み可能なシャドウ レジスタは、カスタム OTP 領域にプログラムされた OTP 値でリセットされます。カスタム OTP 領域をプログラムする場合、ホストは、これらの OTP シャドウ レジスタに目的の値を書き込み、プログラミング手順に従います。これらのレジスタは **OTP CRC** チェックに含まれています。カスタム OTP 領域がプログラムされていない場合、シャドウ レジスタには、出荷時構成のデフォルト値がロードされます。OTP (工場出荷時構成のデフォルト値またはカスタム OTP 領域にプログラムされた値) がデバイスリセット後にロードされない場合、代わりにシャドウ レジスタにハードウェアリセットのデフォルト値がロードされます。ハードウェアリセットのデフォルト値と工場出荷時構成のデフォルト値は、OTP シャドウ レジスタの大部分で同じです。出荷時のデフォルトに対するリセット値があるのは、**DIR0_ADDR_OTP**、**DIR1_ADDR_OTP**、**PWR_TRANSIT_CONF**、**CUST_CRC_HI/LO** レジスタのみです。それらのレジスタ フィールドの説明については、[セクション 6.5.1](#) を参照してください。
- **読み出し/書き込みレジスタ**これらは、実行時にホストが読み書きできるレジスタです。デバイスをリセットすると、これらのレジスタはリセット値に戻されます。
- **読み出しレジスタ。**これらは、ホストから読み取りのみが可能なレジスタです。デバイスをリセットすると、これらのレジスタはリセット値に戻されます。

レジスタの概要表では、次のキーを使用しています。

- **Addr** = レジスタ アドレス
- **Hex** = 16 進数の値
- **NVM** = 不揮発性メモリ (OTP) シャドウ レジスタ
- **RSVD** = 予約済み。予約済みのレジスタ アドレスまたはビットは、デバイスに実装されていません。これらのビットへの書き込みはすべて無視されます。これらのビットを読み取ると、常に **0** が返されます。
- **OTP_SPARE**:これらは、デバイスに実装された予備の OTP およびシャドウ レジスタ ビットです。これらの予備ビットは、CRC 計算で使用されます。これらのビットは通常どおり読み出し/書き込み可能ですが、機能の実行やデバイスの動作に影響を及ぼすものではありません。
- **OTP_RSVDn** = 実装されていますが、デバイスの内部使用に予約されている OTP およびシャドウ レジスタ。ここで、n はレジスタ アドレスを示します。マイコンは、これらのレジスタをデフォルト値に維持する必要があります
- **HW リセットのデフォルト**は、デジタル リセット (POR と同様のイベント) 時にロードされる値です。工場出荷時構成のデフォルト値は、ユーザーが OTP セルにプログラムしない場合のデフォルト値です。ユーザーは HW リセット値を読み取ることができません。

[セクション 6.5.4](#) に、レジスタの各ビットの定義を示します。このセクションのレジスタは、機能ブロックごとにまとめられています。

6.5.1 OTP シャドウ レジスタの概要

レジスタ名	ADD R (HEX)	RW のタイ プ	リセット値	データ							
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
DIR0_ADDR_OTP	0	NVM	HW リセット のデフォルト = 0x00 工場出荷 時構成のデ フォルト値 = 0x01	SPARE[1:0]		ADDRESS[5:0]					
DIR1_ADDR_OTP	1	NVM	HW リセット のデフォルト = 0x00 工場出荷 時構成のデ フォルト値 = 0x01	SPARE[1:0]		ADDRESS[5:0]					

レジスタ名	ADD R (HEX)	RW のタイ プ	リセット値	データ							
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
DEV_CONF	2	NVM	0x54	RSVD	NO_ADJ _CB	MULTI DROP_E N	FCOMM_ EN	TWO_ST OP_EN	NFAULT_E N	FTONE_ EN RSVD	HB_EN
ACTIVE_CEL L	3	NVM	HW リセット のデフォルト = 0x00 工場出荷 時構成のデ フォルト = 0x0A	SPARE[3:0]				NUM_CELL[3:0]			
OTP_SPARE 15	4	NVM	0x00	SPARE[7:0]							
BBVC_POS N1	5	NVM	0x00	CELL16	CELL15	CELL14	CELL13	CELL12	CELL11	CELL10	CELL9
BBVC_POS N2	6	NVM	0x00	CELL8	CELL7	CELL6	CELL5	CELL4	CELL3	CELL2	CELL1
ADC_CONF 1	7	NVM	0x00	AUX_SETTLE[1:0]		LPF_BB[2:0]			LPF_VCELL[2:0]		
ADC_CONF 2	8	NVM	0x00	SPARE[1:0]		ADC_DLY[5:0]					
OV_THRES H	9	NVM	0x3F	SPARE	SPARE	OV_THR[5:0]					
UV_THRES H	A	NVM	0x00	SPARE	SPARE	UV_THR[5:0]					
OTUT_THR ESH	B	NVM	0xE0	UT_THR[2:0]			OT_THR[4:0]				
UV_DISABL E1	C	NVM	0x00	CELL16	CELL15	CELL14	CELL13	CELL12	CELL11	CELL10	CELL9
UV_DISABL E2	D	NVM	0x00	CELL8	CELL7	CELL6	CELL5	CELL4	CELL3	CELL2	CELL1
GPIO_CONF 1	E	NVM	0x00	FAULT_IN_E N	SPI_EN	GPIO2[2:0]			GPIO1[2:0]		
GPIO_CONF 2	F	NVM	0x00	SPARE	SPARE	GPIO4[2:0]			GPIO3[2:0]		
GPIO_CONF 3	10	NVM	0x00	SPARE[1:0]		GPIO6[2:0]			GPIO5[2:0]		
GPIO_CONF 4	11	NVM	0x00	SPARE[1:0]		GPIO8[2:0]			GPIO7[2:0]		
OTP_SPARE 14	12	NVM	0x00	SPARE[7:0]							
OTP_SPARE 13	13	NVM	0x00	SPARE[7:0]							
OTP_SPARE 12	14	NVM	0x00	SPARE[7:0]							
OTP_SPARE 11	15	NVM	0x00	SPARE[7:0]							
FAULT_MSK 1	16	NVM	0x00	MSK_PROT	MSK_UT	MSK_OT	MSK_UV	MSK_OV	MSK_CO MP	MSK_SY S	MSK_PWR
FAULT_MSK 2	17	NVM	0x00	SPARE[1]	MSK_O TP_CRC	MSK_OT P_DATA	MSK_CO MM3_FC OMM	MSK_CO MM3_FTO NE	MSK_CO MM3_HB	MSK_CO MM2	MSK_COMM 1

レジスタ名	ADD R (HEX)	RW のタイ プ	リセット値	データ							
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWR_TRAN SIT_CONF	18	NVM	HW リセット のデフォルト = 0x18 工場出荷 時構成のデ フォルト = 0x10	SPARE[2:0]			TWARN_THR[1:0]		SLP_TIME[2:0]		
COMM_TIM EOUT_CON F	19	NVM	0x00	SPARE	CTS_TIME[2:0]			CTL_ACT	CTL_TIME[2:0]		
TX_HOLD_ OFF	1A	NVM	0x00	DLY[7:0]							
MAIN_ADC_ CAL1	1B	NVM	0x00	GAINL[7:0]							
MAIN_ADC_ CAL2	1C	NVM	0x00	GAINH	OFFSET[6:0]						
AUX_ADC_ CAL1	1D	NVM	0x00	GAINL[7:0]							
AUX_ADC_ CAL2	1E	NVM	0x00	GAINH	OFFSET[6:0]						
OTP_RSVD 1F	1F	NVM	0x00	内部使用。このアドレスには書き込まないでください							
OTP_RSVD 20	20	NVM	0x00	内部使用。このアドレスには書き込まないでください							
CUST_MISC 1 ~ CUST_MISC 8	21	NVM	0x00	DATA[7:0]							
	22	NVM	0x00	DATA[7:0]							
	23	NVM	0x00	DATA[7:0]							
	24	NVM	0x00	DATA[7:0]							
	25	NVM	0x00	DATA[7:0]							
	26	NVM	0x00	DATA[7:0]							
	27	NVM	0x00	DATA[7:0]							
	28	NVM	0x00	DATA[7:0]							
STACK_RES PONSE	29	NVM	0x00	SPARE[1:0]		DELAY[5:0]					
BBP_LOC	2A	NVM	0x00	SPARE[2:0]			LOC[4:0]				
OTP_RSVD 2B	2B	NVM	0x00	内部使用。このアドレスには書き込まないでください							
OTP_SPARE 10	2C	NVM	0x00	SPARE[7:0]							
OTP_SPARE 9	2D	NVM	0x00	SPARE[7:0]							
OTP_SPARE 8	2E	NVM	0x00	SPARE[7:0]							
OTP_SPARE 7	2F	NVM	0x00	SPARE[7:0]							
OTP_SPARE 6	30	NVM	0x00	SPARE[7:0]							
OTP_SPARE 5	31	NVM	0x00	SPARE[7:0]							
OTP_SPARE 4	32	NVM	0x00	SPARE[7:0]							

レジスタ名	ADD R (HEX)	RW のタイ プ	リセット値	データ							
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OTP_SPARE 3	33	NVM	0x00	SPARE[7:0]							
OTP_SPARE 2	34	NVM	0x00	SPARE[7:0]							
OTP_SPARE 1	35	NVM	0x00	SPARE[7:0]							
CUST_CRC _HI	36	NVM	HW リセット のデフォルト = 0x57 工場出荷 時構成のデ フォルト = 0x31	CRC[7:0]							
CUST_CRC _LO	37	NVM	HW リセット のデフォルト = 0x89 工場出荷 時構成のデ フォルト = 0xF3	CRC[7:0]							

6.5.2 読み取り/書き込みレジスタの概要

レジスタ名	ADDR (HEX)	RW の タイプ	リセット 値	データ							
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OTP_PROG_UNLOCK1A ~ OTP_PROG_UNLOCK1D	300	RW	0x00	CODE[7:0]							
	301	RW	0x00	CODE[7:0]							
	302	RW	0x00	CODE[7:0]							
	303	RW	0x00	CODE[7:0]							
DIR0_ADDR	306	RW	0x00	RSVD		ADDRESS[5:0]					
DIR1_ADDR	307	RW	0x00	RSVD		ADDRESS[5:0]					
COMM_CTRL	308	RW	0x00	RSVD						STACK_DE V	TOP_STA CK
CONTROL1	309	RW	0x00	DIR_SEL	SEND_SH UTDOWN	SEND_W AKE	SEND_SL PTO ACT	GOTO_S HUTDOWN	GOTO_SL EEP	SOFT_RE SET	ADDR_W R
CONTROL2	30A	RW	0x00	RSVD						SEND_H W_RESE T	TSREF_E N
OTP_PROG_CTRL	30B	RW	0x00	RSVD						PAGE SEL	PROG_G O
ADC_CTRL1	30D	RW	0x00	RSVD	RSVD		LPF_BB_ EN	LPF_VCE LL_EN	MAIN_GO	MAIN_MODE[1:0]	
ADC_CTRL2	30E	RW	0x00	RSVD		AUX_CEL L_ALIGN	AUX_CELL_SEL[4:0]				
ADC_CTRL3	30F	RW	0x00	RSVD	AUX_GPIO_SEL[3:0]				AUX_GO	AUX_MODE[1:0]	
REG_INT_RSVD	310	RW	0x00	内部使用。このアドレスには書き込まないでください							
CB_CELL16_CTRL ~ CB_CELL1_CTRL	318	RW	0x00	RSVD			TIME[4:0]				
	319	RW	0x00	RSVD			TIME[4:0]				
	31A	RW	0x00	RSVD			TIME[4:0]				
	31B	RW	0x00	RSVD			TIME[4:0]				
	31C	RW	0x00	RSVD			TIME[4:0]				
	31D	RW	0x00	RSVD			TIME[4:0]				
	31E	RW	0x00	RSVD			TIME[4:0]				
	31F	RW	0x00	RSVD			TIME[4:0]				
	320	RW	0x00	RSVD			TIME[4:0]				
	321	RW	0x00	RSVD			TIME[4:0]				
	322	RW	0x00	RSVD			TIME[4:0]				
	323	RW	0x00	RSVD			TIME[4:0]				
	324	RW	0x00	RSVD			TIME[4:0]				
	325	RW	0x00	RSVD			TIME[4:0]				
	326	RW	0x00	RSVD			TIME[4:0]				
	327	RW	0x00	RSVD			TIME[4:0]				
VMB_DONE_THRESHOLD	328	RW	0x3F	RSVD		MB_THR[5:0]					
MB_TIMER_CTRL	329	RW	0x00	RSVD			TIME[4:0]				
VCB_DONE_THRESHOLD	32A	RW	0x00	RSVD		CB_THR[5:0]					
OTCB_THRESHOLD	32B	RW	0x0F	RSVD	COOLOFF[2:0]			OTCB_THR[3:0]			
OVUV_CTRL	32C	RW	0x00	VCB DONE_TH R_LOCK	OVUV_LOCK[3:0]				OVUV_G O	OVUV_MODE[1:0]	

BQ79616

JAJSQ30A – JUNE 2023 – REVISED JUNE 2026

レジスタ名	ADDR (HEX)	RW の タイプ	リセット 値	データ								
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
OTUT_CTRL	32D	RW	0x00	RSVD	OTCB_THR_LOCK	OTUT_LOCK[2:0]			OTUT_GO	OTUT_MODE[1:0]		
BAL_CTRL1	32E	RW	0x00	RSVD					DUTY[2:0]			
BAL_CTRL2	32F	RW	0x00	RSVD	CB_PAUSE	FLTSTOP_EN	OTCB_EN	BAL_ACT[1:0]		BAL_GO	AUTO_BAL	
BAL_CTRL3	330	RW	0x00	RSVD			BAL_TIME_SEL[3:0]				BAL_TIME_GO	
FAULT_RST1	331	RW	0x00	RST_PROT	RST_UT	RST_OT	RST_UV	RST_OV	RST_COMP	RST_SYS	RST_PWR	
FAULT_RST2	332	RW	0x00	RSVD	RST_OTP_CRC	RST_OTP_DATA	RST_COMM3_FCOMM	RST_COMM3_FTO	RST_COMM3_HB	RST_COMM2	RST_COMM1	
DIAG_OTP_CTRL	335	RW	0x00	RSVD			FLIP_FACT_CRC	MARGIN_MODE[2:0]			MARGIN_GO	
DIAG_COMM_CTRL	336	RW	0x00	RSVD						SPI_LOOPBACK	FLIP_TR_CRC	
DIAG_PWR_CTRL	337	RW	0x00	RSVD						BIST_NO_RST	PWR_BIST_GO	
DIAG_CBFET_CTRL1	338	RW	0x00	CBFET16	CBFET15	CBFET14	CBFET13	CBFET12	CBFET11	CBFET10	CBFET9	
DIAG_CBFET_CTRL2	339	RW	0x00	CBFET8	CBFET7	CBFET6	CBFET5	CBFET4	CBFET3	CBFET2	CBFET1	
DIAG_COMP_CTRL1	33A	RW	0x00	VCCB_THR[4:0]					BB_THR[2:0]			
DIAG_COMP_CTRL2	33B	RW	0x00	RSVD	GPIO_THR[2:0]			OW_THR[3:0]				
DIAG_COMP_CTRL3	33C	RW	0x00	RSVD	CBFET_CTRL_GO	OW_SNK[1:0]		COMP_ADC_SEL[2:0]			COMP_ADC_GO	
DIAG_COMP_CTRL4	33D	RW	0x00	RSVD						COMP_FAULT_INJ	LPF_FAULT_INJ	
DIAG_PROT_CTRL	33E	RW	0x00	RSVD							PROT_BIST_NO_RST	
OTP_ECC_DATA1 ~ OTP_ECC_DATA9	343	RW	0x00	DATA[7:0]								
	344	RW	0x00	DATA[7:0]								
	345	RW	0x00	DATA[7:0]								
	346	RW	0x00	DATA[7:0]								
	347	RW	0x00	DATA[7:0]								
	348	RW	0x00	DATA[7:0]								
	349	RW	0x00	DATA[7:0]								
	34A	RW	0x00	DATA[7:0]								
	34B	RW	0x00	DATA[7:0]								
OTP_ECC_TEST	34C	RW	0x00	RSVD				DED_SEC	MANUAL_AUTO	ENC_DEC	イネーブル	
SPI_CONF	34D	RW	0x00	RSVD	CPOL	CPHA	NUMBIT[4:0]					
SPI_TX3、 SPI_TX2、 SPI_TX1	34E	RW	0x00	DATA[7:0]								
	34F	RW	0x00	DATA[7:0]								
	350	RW	0x00	DATA[7:0]								
SPI_EXE	351	RW	0x02	RSVD						SS_CTRL	SPI_GO	

レジスタ名	ADDR (HEX)	RW のタイプ	リセット値	データ							
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OTP_PROG_UNLOCK2A ~ OTP_PROG_UNLOCK2D	352	RW	0x00	CODE[7:0]							
	353	RW	0x00	CODE[7:0]							
	354	RW	0x00	CODE[7:0]							
	355	RW	0x00	CODE[7:0]							
DEBUG_CTRL_UNLOCK	700	RW	0x00	CODE[7:0]							
DEBUG_COMM_CTRL1	701	RW	0x04	RSVD			UART_BAUD	UART_MISRROR_EN	UART_TX_EN	USER_UART_EN	USER_DATAISY_EN
DEBUG_COMM_CTRL2	702	RW	0x0F	RSVD				COML_TX_EN	COML_RX_EN	COMH_TX_EN	COMH_RX_EN

6.5.3 読み取り専用レジスタの概要

レジスタ名	ADDR (HEX)	RW のタイプ	リセット値	データ							
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PARTID	500	R	0x00	REV[7:0]							
DEV_REVID	E00	R	0x00	DEV_REVID[7:0]							
DIE_ID1 ~ DIE_ID9	501	R	0x00	ID[7:0]							
	502	R	0x00	ID[7:0]							
	503	R	0x00	ID[7:0]							
	504	R	0x00	ID[7:0]							
	505	R	0x00	ID[7:0]							
	506	R	0x00	ID[7:0]							
	507	R	0x00	ID[7:0]							
	508	R	0x00	ID[7:0]							
CUST_CRC_RSLT_HI	50C	R	0x31	CRC[7:0]							
CUST_CRC_RSLT_LO	50D	R	0xF3	CRC[7:0]							
OTP_ECC_DATA_OUT1 ~ OTP_ECC_DATA_OUT9	510	R	0x00	DATA[7:0]							
	511	R	0x00	DATA[7:0]							
	512	R	0x00	DATA[7:0]							
	513	R	0x00	DATA[7:0]							
	514	R	0x00	DATA[7:0]							
	515	R	0x00	DATA[7:0]							
	516	R	0x00	DATA[7:0]							
	517	R	0x00	DATA[7:0]							
	518	R	0x00	DATA[7:0]							
OTP_PROG_STATUS	519	R	0x00	ロックを解除	OTERR	UVERR	OVERR	SUVERR	SOVERR	PROGERR	終了
OTP_CUST1_STATUS	51A	R	0x00	LOADED	LOADWRN	LOADERR	FMterr	PROGOK	UVOK	OVOK	TRY
OTP_CUST2_STATUS	51B	R	0x00	LOADED	LOADWRN	LOADERR	FMterr	PROGOK	UVOK	OVOK	TRY

レジスタ名	ADDR (HEX)	RW のタイプ	リセット値	データ								
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SPI_RX3、 SPI_RX2、 SPI_RX1	520	R	0x00	DATA[7:0]								
	521	R	0x00	DATA[7:0]								
	522	R	0x00	DATA[7:0]								
DIAG_STAT	526	R	0x00	RSVD			DRDY_OT UT	DRDY_O VUV	DRDY_BI ST_OTUT	DRDY_BI ST_OVUV	DRDY_BI ST_PWR	
ADC_STAT1	527	R	0x00	RSVD			RSVD	DRDY_AU X_GPIO	DRDY_AU X_CELL	DRDY_AU X_MISC	DRDY_M AIN_ADC	
ADC_STAT2	528	R	0x00	RSVD		DRDY_LP F	DRDY_G PIO	DRDY_VC OW	DRDY_CB OW	DRDY_CB FET	DRDY_VC CB	
GPIO_STAT	52A	R	0x00	GPIO8	GPIO7	GPIO6	GPIO5	GPIO4	GPIO3	GPIO2	GPIO1	
BAL_STAT	52B	R	0x00	INVALID_ CBCONF	OT_PAUS E_DET	CB_INPA USE	MB_RUN	CB_RUN	ABORT FLT	MB_DON E	CB_DON E	
DEV_STAT	52C	R	0x00	RSVD	FACT_CR C_DONE	CUST_CR C_DONE	OTUT_RU N	OVUV_R UN	RSVD	AUX_RUN	MAIN_RU N	
FAULT_SUMMAR Y	52D	R	0x00	FAULT_P ROT	FAULT_C OMP_AD C	FAULT_O TP	FAULT_C OMM	FAULT_O TUT	FAULT_O VUV	FAULT_S YS	FAULT_P WR	
FAULT_COMM1	530	R	0x00	RSVD			UART_TR	UART_RR	UART_RC	COMM CLR_DET	STOP_DE T	
FAULT_COMM2	531	R	0x00	COML_TR	COML_R R	COML_R C	COML_BI T	COMH_T R	COMH_R R	COMH_R C	COMH_BI T	
FAULT_COMM3	532	R	0x00	RSVD				FCOMM_ DET	FTONE_D ET	HB_FAIL	HB_FAST	
FAULT_OTP	535	R	0x00	RSVD	DED_DET	SEC_DET	CUST_CR C	FACT_CR C	CUSTLD ERR	FACTLD ERR	GBLOV ERR	
FAULT_SYS	536	R	0x00	LFO	RSVD	GPIO	DRST	CTL	CTS	TSHUT	TWARN	
FAULT_PROT1	53A	R	0x00	RSVD							TPARITY_ FAIL	VPARITY_ FAIL
FAULT_PROT2	53B	R	0x00	RSVD	BIST_AB ORT	TPATH_F AIL	VPATH_F AIL	UTCOMP_ FAIL	OTCOMP_ FAIL	OVCOMP_ FAIL	UVCOMP_ FAIL	
FAULT_OV1	53C	R	0x00	OV16_DE T	OV15_DE T	OV14_DE T	OV13_DE T	OV12_DE T	OV11_DE T	OV10_DE T	OV9_DE T	
FAULT_OV2	53D	R	0x00	OV8_DET	OV7_DET	OV6_DET	OV5_DET	OV4_DET	OV3_DET	OV2_DET	OV1_DET	
FAULT_UV1	53E	R	0x00	UV16_DE T	UV15_DE T	UV14_DE T	UV13_DE T	UV12_DE T	UV11_DE T	UV10_DE T	UV9_DE T	
FAULT_UV2	53F	R	0x00	UV8_DET	UV7_DET	UV6_DET	UV5_DET	UV4_DET	UV3_DET	UV2_DET	UV1_DET	
FAULT_OT	540	R	0x00	OT8_DET	OT7_DET	OT6_DET	OT5_DET	OT4_DET	OT3_DET	OT2_DET	OT1_DET	
FAULT_UT	541	R	0x00	UT8_DET	UT7_DET	UT6_DET	UT5_DET	UT4_DET	UT3_DET	UT2_DET	UT1_DET	
FAULT_COMP_G PIO	543	R	0x00	GPIO8_F AIL	GPIO7_F AIL	GPIO6_F AIL	GPIO5_F AIL	GPIO4_F AIL	GPIO3_F AIL	GPIO2_F AIL	GPIO1_F AIL	
FAULT_COMP_V CCB1	545	R	0x00	CELL16_F AIL	CELL15_F AIL	CELL14_F AIL	CELL13_F AIL	CELL12_F AIL	CELL11_F AIL	CELL10_F AIL	CELL9_F AIL	
FAULT_COMP_V CCB2	546	R	0x00	CELL8_F AIL	CELL7_F AIL	CELL6_F AIL	CELL5_F AIL	CELL4_F AIL	CELL3_F AIL	CELL2_F AIL	CELL1_F AIL	
FAULT_COMP_V COW1	548	R	0x00	VCOW16_ FAIL	VCOW15_ FAIL	VCOW14_ FAIL	VCOW13_ FAIL	VCOW12_ FAIL	VCOW11_ FAIL	VCOW10_ FAIL	VCOW9_ FAIL	
FAULT_COMP_V COW2	549	R	0x00	VCOW8_ FAIL	VCOW7_ FAIL	VCOW6_ FAIL	VCOW5_ FAIL	VCOW4_ FAIL	VCOW3_ FAIL	VCOW2_ FAIL	VCOW1_ FAIL	
FAULT_COMP_VB OW1	54B	R	0x00	CBOW16_ FAIL	CBOW15_ FAIL	CBOW14_ FAIL	CBOW13_ FAIL	CBOW12_ FAIL	CBOW11_ FAIL	CBOW10_ FAIL	CBOW9_ FAIL	

レジスタ名	ADDR (HEX)	RW の タイプ	リセット 値	データ								
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
FAULT_COMP_VBOW2	54C	R	0x00	CBOW8_FAIL	CBOW7_FAIL	CBOW6_FAIL	CBOW5_FAIL	CBOW4_FAIL	CBOW3_FAIL	CBOW2_FAIL	CBOW1_FAIL	
FAULT_COMP_CBFET1	54E	R	0x00	CBFET16_FAIL	CBFET15_FAIL	CBFET14_FAIL	CBFET13_FAIL	CBFET12_FAIL	CBFET11_FAIL	CBFET10_FAIL	CBFET9_FAIL	
FAULT_COMP_CBFET2	54F	R	0x00	CBFET8_FAIL	CBFET7_FAIL	CBFET6_FAIL	CBFET5_FAIL	CBFET4_FAIL	CBFET3_FAIL	CBFET2_FAIL	CBFET1_FAIL	
FAULT_COMP_MISC	550	R	0x00	RSVD						COMP_ADC_ABORT	LPF_FAIL	
FAULT_PWR1	552	R	0x00	CVSS_OPEN	DVSS_OPEN	REFHM_OPEN	CVDD_UV	CVDD_OV	DVDD_OV	AVDD_OSC	AVDD_OV	
FAULT_PWR2	553	R	0x00	RSVD	PWRBIST_FAIL	RSVD	REFH_OSC	NEG5V_UV	TSREF_OSC	TSREF_UV	TSREF_OV	
FAULT_PWR3	554	R	RSVD	RSVD					RSVD	RSVD	AVDDUV_DRST	
CB_COMPLETE1	556	R	0x00	CELL16_DONE	CELL15_DONE	CELL14_DONE	CELL13_DONE	CELL12_DONE	CELL11_DONE	CELL10_DONE	CELL9_DONE	
CB_COMPLETE2	557	R	0x00	CELL8_DONE	CELL7_DONE	CELL6_DONE	CELL5_DONE	CELL4_DONE	CELL3_DONE	CELL2_DONE	CELL1_DONE	
BAL_TIME	558	R	0x00	TIME_UNIT	TIME[6:0]							
VCELL16_HI/LO	568	R	0x80	RESULT[7:0]								
	569	R	0x00	RESULT[7:0]								
VCELL15_HI/LO	56A	R	0x80	RESULT[7:0]								
	56B	R	0x00	RESULT[7:0]								
VCELL14_HI/LO	56C	R	0x80	RESULT[7:0]								
	56D	R	0x00	RESULT[7:0]								
VCELL13_HI/LO	56E	R	0x80	RESULT[7:0]								
	56F	R	0x00	RESULT[7:0]								
VCELL12_HI/LO	570	R	0x80	RESULT[7:0]								
	571	R	0x00	RESULT[7:0]								
VCELL11_HI/LO	572	R	0x80	RESULT[7:0]								
	573	R	0x00	RESULT[7:0]								
VCELL10_HI/LO	574	R	0x80	RESULT[7:0]								
	575	R	0x00	RESULT[7:0]								
VCELL9_HI/LO	576	R	0x80	RESULT[7:0]								
	577	R	0x00	RESULT[7:0]								
VCELL8_HI/LO	578	R	0x80	RESULT[7:0]								
	579	R	0x00	RESULT[7:0]								
VCELL7_HI/LO	57A	R	0x80	RESULT[7:0]								
	57B	R	0x00	RESULT[7:0]								
VCELL6_HI/LO	57C	R	0x80	RESULT[7:0]								
	57D	R	0x00	RESULT[7:0]								
VCELL5_HI/LO	57E	R	0x80	RESULT[7:0]								
	57F	R	0x00	RESULT[7:0]								
VCELL4_HI/LO	580	R	0x80	RESULT[7:0]								
	581	R	0x00	RESULT[7:0]								

レジスタ名	ADDR (HEX)	RW のタイプ	リセット値	データ							
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
VCELL3_HI/LO	582	R	0x80	RESULT[7:0]							
	583	R	0x00	RESULT[7:0]							
VCELL2_HI/LO	584	R	0x80	RESULT[7:0]							
	585	R	0x00	RESULT[7:0]							
VCELL1_HI/LO	586	R	0x80	RESULT[7:0]							
	587	R	0x00	RESULT[7:0]							
BUSBAR_HI/LO	588	R	0x80	RESULT[7:0]							
	589	R	0x00	RESULT[7:0]							
TSREF_HI/LO	58C	R	0x80	RESULT[7:0]							
	58D	R	0x00	RESULT[7:0]							
GPIO1_HI/LO	58E	R	0x80	RESULT[7:0]							
	58F	R	0x00	RESULT[7:0]							
GPIO2_HI/LO	590	R	0x80	RESULT[7:0]							
	591	R	0x00	RESULT[7:0]							
GPIO3_HI/LO	592	R	0x80	RESULT[7:0]							
	593	R	0x00	RESULT[7:0]							
GPIO4_HI/LO	594	R	0x80	RESULT[7:0]							
	595	R	0x00	RESULT[7:0]							
GPIO5_HI/LO	596	R	0x80	RESULT[7:0]							
	597	R	0x00	RESULT[7:0]							
GPIO6_HI/LO	598	R	0x80	RESULT[7:0]							
	599	R	0x00	RESULT[7:0]							
GPIO7_HI/LO	59A	R	0x80	RESULT[7:0]							
	59B	R	0x00	RESULT[7:0]							
GPIO8_HI/LO	59C	R	0x80	RESULT[7:0]							
	59D	R	0x00	RESULT[7:0]							
DIETEMP1_HI/LO	5AE	R	0x80	RESULT[7:0]							
	5AF	R	0x00	RESULT[7:0]							
DIETEMP2_HI/LO	5B0	R	0x80	RESULT[7:0]							
	5B1	R	0x00	RESULT[7:0]							
AUX_CELL_HI/LO	5B2	R	0x80	RESULT[7:0]							
	5B3	R	0x00	RESULT[7:0]							
AUX_GPIO_HI/LO	5B4	R	0x80	RESULT[7:0]							
	5B5	R	0x00	RESULT[7:0]							
AUX_BAT_HI/LO	5B6	R	0x80	RESULT[7:0]							
	5B7	R	0x00	RESULT[7:0]							
AUX_REFL_HI/LO	5B8	R	0x80	RESULT[7:0]							
	5B9	R	0x00	RESULT[7:0]							
AUX_VBG2_HI/LO	5BA	R	0x80	RESULT[7:0]							
	5BB	R	0x00	RESULT[7:0]							
AUX_AVAO_REF_HI/LO	5BE	R	0x80	RESULT[7:0]							
	5BF	R	0x00	RESULT[7:0]							
AUX_AVDD_REF_HI/LO	5C0	R	0x80	RESULT[7:0]							
	5C1	R	0x00	RESULT[7:0]							

レジスタ名	ADDR (HEX)	RW のタイプ	リセット値	データ							
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
AUX_OV_DAC_HI/LO	5C2	R	0x80	RESULT[7:0]							
	5C3	R	0x00	RESULT[7:0]							
AUX_UV_DAC_HI/LO	5C4	R	0x80	RESULT[7:0]							
	5C5	R	0x00	RESULT[7:0]							
AUX_OT_OTCB_DAC_HI/LO	5C6	R	0x80	RESULT[7:0]							
	5C7	R	0x00	RESULT[7:0]							
AUX_UT_DAC_HI/LO	5C8	R	0x80	RESULT[7:0]							
	5C9	R	0x00	RESULT[7:0]							
AUX_VCBDONE_DAC_HI/LO	5CA	R	0x80	RESULT[7:0]							
	5CB	R	0x00	RESULT[7:0]							
AUX_VCM_HI/LO	5CC	R	0x80	RESULT[7:0]							
	5CD	R	0x00	RESULT[7:0]							
REFOVDAC_HI/LO	5D0	R	0x00	RESULT[7:0]							
	5D1	R	0x00	RESULT[7:0]							
DIAG_MAIN_HI/LO	5D2	R	0x00	RESULT[7:0]							
	5D3	R	0x00	RESULT[7:0]							
DIAG_AUX_HI/LO	5D4	R	0x00	RESULT[7:0]							
	5D5	R	0x00	RESULT[7:0]							
DEBUG_COMM_STAT	780	R	ベースは 0x33 スタックは 0x3F	RSVD		HW_UART_DRV	HW_DAISY_DRV	COML_TX_ON	COML_RX_ON	COMH_TX_ON	COMH_RX_ON
DEBUG_UART_RC	781	R	0x00	RSVD		RC_IERR	RC_TXDIS	RC_SOF	RC_BYTE_ERR	RC_UNEXP	RC_CRC
DEBUG_UART_RT	782	R	0x00	RSVD			TR_SOF	TR_WAIT	RR_SOF	RR_BYTE_ERR	RR_CRC
T	783	R	0x00	RSVD			PERR	BERR_TAG	SYNC2	SYNC1	ビット
DEBUG_COMH_RC	784	R	0x00	RSVD		RC_IERR	RC_TXDIS	RC_SOF	RC_BYTE_ERR	RC_UNEXP	RC_CRC
DEBUG_COMH_RT	785	R	0x00	RSVD		TR_WAIT	RR_TXDIS	RR_SOF	RR_BYTE_ERR	RR_UNEXP	RR_CRC
DEBUG_COML_BIT	786	R	0x00	RSVD			PERR	BERR_TAG	SYNC2	SYNC1	ビット
DEBUG_COML_RC	787	R	0x00	RSVD		RC_IERR	RC_TXDIS	RC_SOF	RC_BYTE_ERR	RC_UNEXP	RC_CRC
DEBUG_COML_RT	788	R	0x00	RSVD		TR_WAIT	RR_TXDIS	RR_SOF	RR_BYTE_ERR	RR_UNEXP	RR_CRC
DEBUG_UART_DISCARD	789	R	0x00	COUNT[7:0]							
DEBUG_COMH_DISCARD	78A	R	0x00	COUNT[7:0]							
DEBUG_COML_DISCARD	78B	R	0x00	COUNT[7:0]							
DEBUG_UART_VALID_HI/LO	78C	R	0x00	COUNT[7:0]							
	78D	R	0x00	COUNT[7:0]							
DEBUG_COMH_VALID_HI/LO	78E	R	0x00	COUNT[7:0]							
	78F	R	0x00	COUNT[7:0]							

レジスタ名	ADDR (HEX)	RW の タイプ	リセット 値	データ							
				Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
DEBUG_COML_V ALID_HI/LO	790	R	0x00	COUNT[7:0]							
	791	R	0x00	COUNT[7:0]							
DEBUG_OTP_SE C_BLK	7A0	R	0x00	BLOCK[7:0]							
DEBUG_OTP_DE D_BLK	7A1	R	0x00	BLOCK[7:0]							

6.5.4 レジスタのフィールドの説明

6.5.4.1 デバイス アドレッシングの設定

6.5.4.1.1 DIR0_ADDR_OTP

アドレス	0x0000							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE[1:0]		ADDRESS[5:0]					
リセット	0	0	0	0	0	0	0	0
SPARE[1:0] = 予備								
ADDRESS[5:0] = このレジスタは、 [DIR_SEL] = 0 かつ OTP にプログラムされた場合に使用されるデフォルトのデバイス アドレスを示します。このレジスタに書き込みを行っても、使用中のデバイス アドレスはアクティブに変更されません。 このレジスタは、システムがデバイス アドレスを OTP にプログラムするために使用されます。 OTP は POR の DIR0_ADDR レジスタにロードされます。プログラミングについては、 OTP プログラミング手順 に従ってください。								

6.5.4.1.2 DIR1_ADDR_OTP

アドレス	0x0001							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE[1:0]		ADDRESS[5:0]					
リセット	0	0	0	0	0	0	0	0
SPARE[1:0] = 予備								
ADDRESS[5:0] = このレジスタは、 [DIR_SEL] = 1 かつ OTP にプログラムされた場合に使用されるデフォルトのデバイス アドレスを示します。このレジスタに書き込みを行っても、使用中のデバイス アドレスはアクティブに変更されません。 このレジスタは、システムがデバイス アドレスを OTP にプログラムするために使用されます。 OTP は POR の DIR1_ADDR レジスタにロードされます。プログラミングについては、 OTP プログラミング手順 に従ってください。								

6.5.4.1.3 CUST_MISC1~CUST_MISC8

アドレス	0x0021~ 0x0028							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	DATA[7:0]							
リセット	0	0	0	0	0	0	0	0
DATA[7:0] = 顧客用スクラッチ パッド								

6.5.4.1.4 DIR0_ADDR

アドレス	0x0306							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD		ADDRESS[5:0]					
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
ADDRESS[5:0] = [DIR_SEL] = 0 のときにデバイスが使用する現在のデバイス アドレスを常に示します。 POR 時に、このレジスタは OTP のデバイス アドレス値からロードされます (DIR0_ADDR_OTP レジスタにロードされた OTP デバイス アドレス)。ホストは、このレジスタに別のデバイス アドレスを書き込むことでデバイスを再アドレッシングできます。この場合、デバイスは新しいアドレスを直ちに取得します。 注: このレジスタに書き込むには、 CONTROL1[ADDR_WR] = 1 にする必要があります。詳しくは、 セクション 6.5.4.3.11 を参照してください。								

6.5.4.1.5 DIR1_ADDR

アドレス	0x0307							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0

名称	RSVD		ADDRESS[5:0]					
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
ADDRESS[5:0] = [DIR_SEL]= 1 のときにデバイスが使用する現在のデバイス アドレスを常に示します。POR 時に、このレジスタは OTP のデバイス アドレス値からロードされます (DIR1_ADDR_OTP レジスタにロードされた OTP デバイス アドレス)。ホストは、このレジスタに別のデバイス アドレスを書き込むことでデバイスを再アドレッシングできます。この場合、デバイスは新しいアドレスを直ちに取得します。 注: このレジスタに書き込むには、CONTROL1[ADDR_WR] = 1 にする必要があります。詳しくは、 セクション 6.5.4.3.11 を参照してください。								

6.5.4.2 デバイス ID とスクラッチ パッド

6.5.4.2.1 PARTID

アドレス	0x0500							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	PARTID[7:0]							
リセット	0	0	0	0	0	0	0	0
PARTID[7:0] デバイス識別: = 0x21 = BQ79616 その他のコード = 予約済み								

6.5.4.2.2 DEV_REVID

アドレス	0xE00							
読み出し専用	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
リセット	0	0	0	0	0	0	0	0
値が 0x00 の場合、デバイスが通常動作モードであることを示します。フォルトが工場出荷時テストモード検出を起動した場合、値はゼロ以外になります。SM426 の詳細については、安全マニュアルを参照してください。工場出荷時テストモード検出。								

6.5.4.2.3 DIE_ID1~DIE_ID9

アドレス	0x0501							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	ID[7:0]							
リセット	0	0	0	0	0	0	0	0
ID[7:0] = デバイス リビジョン 0x10 = リビジョン A0 0x11 = リビジョン A1 0x20 = リビジョン B0 0x21 = リビジョン B1 0x22 = リビジョン B2 その他のすべてのコード = 予約済み								

アドレス	0x0502~ 0x0509							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	ID[7:0]							
リセット	0	0	0	0	0	0	0	0
ID[7:0] = TI 工場用ダイ ID								

6.5.4.3 全般的な構成と制御

6.5.4.3.1 DEV_CONF

アドレス	0x0002							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	NO_ADJ_CB	MULTIDROP_EN	FCOMM_EN	TWO_STOP_EN	NFAULT_EN	FTONE_EN	HB_EN
リセット	0	1	0	1	0	1	0	0
RSVD = 予約済み								
NO_ADJ_CB = 手動 CB 制御で、隣接する CB FET の有効化をデバイスが許可しないことを示します。隣接する CB FET がマイコンで有効になっている場合、ホストが [BAL_GO] = 1 を送信しても、デバイスは CB を開始しません。 0 = デバイスは、2 つの隣接する CB FET の有効化を許可します。 1 = デバイスは、隣接する CB FET の有効化を許可しません。								
MULTIDROP_EN = マルチドロップまたはデジタイゼーション構成でデバイスを使用するかを定義します。COML および COMH の TX と RX は、構成に基づいて有効または無効になります。 0 = ベース デバイスのデジタイゼーション 1 = マルチドロップ								
FCOMM_EN = ACTIVE モードでの通信のフォルト状態検出を有効にします。 0 = 無効 1 = 有効								
TWO_STOP_EN = ホストとデバイスで重大な発振器エラーが発生した場合に、UART 用に 2 つのストップビットを有効にします。 0 = 1 つの STOP ビット 1 = 2 つの STOP ビット								
NFAULT_EN = NFAULT 機能を有効にします。 0 = NFAULT は常にプルアップされます 1 = マスクされていないフォルトが検出されたことを示すために NFAULT は Low にプルされます。 注: このビット設定は、 FAULT_SUMMARY レジスタに影響しません。								
FTONE_EN = デバイスが SLEEP モードのとき、FAULT TONE を有効にします。 0 = 無効 1 = 有効								
HB_EN = デバイスが SLEEP モードのとき、HEARTBEAT を有効にします。 0 = 無効 1 = 有効								

6.5.4.3.2 ACTIVE_CELL

アドレス	0x0003							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE[3:0]				NUM_CELL[3:0]			
リセット	0	0	0	0	0	0	0	0
工場出荷時 OTP のリセット	0	0	0	0	1	0	1	0
SPARE[3:0] = 予備								
NUM_CELL[3:0] = 直列に接続されたセルの数を設定します。 0x0 = 6S 0x1 = 7S 0x2 = 8S : 0xA = 16S 未使用コードはデフォルトで CHIP_TYPE[MAX_CH1:0] 設定 (出荷時調整) になります。NUM_CELL の値が、デバイスが提供しているチャンネル数を超過している場合、デバイスが提供するチャンネルの最大数になります。								

6.5.4.3.3 BBVC_POSN1

アドレス	0x0005							
------	--------	--	--	--	--	--	--	--

NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CELL16	CELL15	CELL14	CELL13	CELL12	CELL11	CELL10	CELL9
リセット	0	0	0	0	0	0	0	0
CELL9 ~ CELL16 = このレジスタは、バス パーで接続するチャンネルを指定します。セル電圧測定の診断比較では、これらのチャンネルを異なる方法で処理します。 0 = 特別な処理なし 1 = 有効なチャンネルに対する特別な処理。詳しくは、 セクション 6.3.7 を参照してください。								

6.5.4.3.4 BBVC_POSN2

アドレス	0x0006							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CELL8	CELL7	CELL6	CELL5	CELL4	CELL3	CELL2	CELL1
リセット	0	0	0	0	0	0	0	0
CELL1 ~ CELL8 = ACTIVE_CELL レジスタで指定されたアクティブ セルの中で、このレジスタは、どのアクティブ チャンネルが OV、UV、VCB_DONE 監視から除外されているかを示します。このレジスタ情報は、セル電圧測定の診断比較にも使用されます。 0 = 上記の機能に対する特別な処理はありません。 1 = 上記の機能に対する特別な処理。詳しくは、 セクション 6.3.7 を参照してください。								

6.5.4.3.5 PWR_TRANSIT_CONF

アドレス	0x0018							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE[2:0]			TWARN_THR[1:0]		SLP_TIME[2:0]		
リセット	0	0	0	1	1	0	0	0
工場出荷時構成のデフォルト	0	0	0	1	0	0	0	0
SPARE[2:0] = 予備								
TWARN_THR[1:0] = TWARN スレッシュホールドを設定します。 00 = 85°C 01 = 95°C 10 = 105°C (デフォルト) 11 = 115°C								
SLP_TIME[2:0] = SLEEP モードでのタイムアウト。デバイスが SLEEP モードに移行すると、このタイマはカウントを開始します。タイマが満了すると、デバイスは SHUTDOWN モードへ移行します。デバイスが ACTIVE モードにウェークアップすると、タイマはリセットされます。 000 = タイムアウトなし。デバイスは SLEEP モードのまま (リセット時のデフォルト) 001 = 5s 010 = 10s 011 = 1 分 100 = 10 分 101 = 30 分 110 = 1 時間 111 = 2 時間								

6.5.4.3.6 COMM_TIMEOUT_CONF

アドレス	0x0019							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE	CTS_TIME[2:0]			CTL_ACT	CTL_TIME[2:0]		
リセット	0	0	0	0	0	0	0	0
SPARE = 予備								

CTS_TIME[2:0] = 短い通信タイムアウトを設定します。このタイマが満了すると、デバイスは **FAULT_SYS[CTL]** ビットを設定します。これをシステムへのアラートとして使用することで、長時間通信タイムアウトを防止できます。
 000 = 短い通信タイムアウトを無効にする (リセット時のデフォルト)
 001 = 100ms
 010 = 2s
 011 = 10s
 100 = 1 分
 101 = 10 分
 110 = 30 分
 111 = 1 時間

CTL_ACT = 長時間通信タイムアウト タイマが満了したときのデバイス アクションを設定します。
 0 = **FAULT_SYS[CTL]** をセットし、デバイスを **SLEEP** モードに切り替え
 1 = デバイスを **SHUTDOWN** に切り替え **FAULT_SYS[CTL]** ビットはセットされません (リセット時のデフォルト)。

CTL_TIME[2:0] = 長時間通信タイムアウトを設定します。このタイマが満了すると、デバイスは **[CTL_ACT]** ビットで設定されたアクションを実行します。
 000 = 長時間通信タイムアウトを無効にする
 001 = 100ms
 010 = 2s
 011 = 10s
 100 = 1 分 (リセット時のデフォルト)
 101 = 10 分
 110 = 30 分
 111 = 1 時間

6.5.4.3.7 TX_HOLD_OFF

アドレス	0x001A							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	DLY[7:0]							
リセット	0	0	0	0	0	0	0	0
DLY[7:0] = コマンド フレームの STOP ビットを受信してから応答フレームの最初のビットを送信するまでの遅延のビット期間を 0 ~ 255 の範囲で設定します。								

6.5.4.3.8 STACK_RESPONSE

アドレス	0x0029							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE[1:0]		DELAY[5:0]					
リセット	0	0	0	0	0	0	0	0
DELAY[5:0] デイジーチェーン データ応答フレームにバイト遅延ギャップを追加 = 0x00 = 0μs 0x01 ~ 0x3F = 0.25μs から 15.75μs、0.25μs ステップ								

6.5.4.3.9 BBP_LOC

アドレス	0x002A							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE[3:0]			LOC[4:0]				
リセット	0	0	0	0	0	0	0	0

LOC[4:0] = BBP ピンの位置を指定し、BB チャンネルが共有している VC チャンネルを示します。この情報は、BB チャンネルの ADC 測定時の同相誤差を補正するために使用されます。

0x00 = BBP/N 未使用

0x01 = BBP を Cell2 の負側、BBN を VC1

0x02 = BBP を Cell3 の負側、BBN を VC2

0x03 = BBP を Cell4 の負側、BBN を VC3

：

0x0F = BBP を Cell16 の負側、BBN を VC15

0x10 = BBP を VC16、BBN を Cell16 の負側

6.5.4.3.10 COMM_CTRL

アドレス	0x0308							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD						STACK_DEV	TOP_STACK
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
STACK_DEV = デイジーチェーン構成のベース デバイスまたはスタック デバイスとしてデバイスを定義します。 0 = ベース デバイス 1 = スタック デバイス								
TOP_STACK = スタック内で最上位アドレスが指定されたデバイスとして定義します。 0 = ToS デバイスではない 1 = ToS デバイス								

6.5.4.3.11 CONTROL1

アドレス	0x0309							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	DIR_SEL	SEND_SHUT_DOWN	SEND_WAKE	SEND_SLPTO_ACT	GOTO_SHUT_DOWN	GOTO_SLEEP	SOFT_RESET	ADDR_WR
リセット	0	0	0	0	0	0	0	0
DIR_SEL = 堅牢なデイジーチェーンの通信方向を選択します。 0 = 2 つのデバイスがデイジーチェーン接続されている場合、コマンド フレームは下側デバイスの COMH から次のデバイスの COML に送信されます。 1 = 2 つのデバイスがデイジーチェーン接続されている場合、コマンド フレームは下側デバイスの COML から次のデバイスの COMH に送信されます。								
SEND_SHUTDOWN = スタック上の次のデバイスに SHUTDOWN トーンを送信します。このビット セットを受信したデバイスに影響はありません。このビットは、読み取り時にクリアされます。 0 = 準備完了 1 = スタックの上位へ SHUTDOWN トーンを送信する								
SEND_WAKE = スタック上の次のデバイスに WAKE トーンを送信します。このビットは、読み取り時にクリアされます。 0 = 準備完了 1 = スタック上の次のデバイスに WAKE トーンを送信する								
SEND_SLPTOACT = スタックの上位へ SLEEPtoACTIVE トーンを送信します。このビットは、読み取り時にクリアされます。 0 = 準備完了 1 = スタックの上位へ SLEEPtoACTIVE トーンを送信する								
GOTO_SHUTDOWN = デバイスを SHUTDOWN モードに移行します。このビットは、読み取り時にクリアされます。 0 = 準備完了 1 = SHUTDOWN モードに移行								
GOTO_SLEEP = デバイスを SLEEP モードに移行します。このビットは、読み取り時にクリアされます。 0 = 準備完了 1 = SLEEP モードに移行								
SOFT_RESET = デジタルを OTP デフォルトにリセットします。このビットは、読み取り時にクリアされます。このビットをセットすると、デバイスは上位スタックのデバイスに対して WAKE トーンを生成します。 0 = 準備完了 1 = デバイスをリセット								

ADDR_WR = デバイスが自動アドレッシングを開始できるようにします。このビットがセットされている場合、デバイスは最初に受信した遷移を転送せず、デバイス アドレスを単一のデバイスに書き込むことができます。詳しくは、[セクション 6.3.6.1.3.2](#) を参照してください。

0 = 自動アドレッシングが実行されていない。デバイスは、通常どおり通信トランザクションを転送します。

1 = 自動アドレッシングの実行中。受信した最初の通信トランザクションは転送されません。

6.5.4.3.12 CONTROL2

アドレス	0x030A							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD						SEND_HW_RESET	TSREF_EN
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
SEND_HW_RESET = スタックの上位へ HW_RESET トーンを送信します。このビットは、読み取り時にクリアされます。 0 = 準備完了 1 = スタック上の次のデバイスに HW_RESET トーンを送信								
TSREF_EN = TSREF LDO 出力を有効にします。NTC サーミスタにバイアスを印加するために使用します。 0 = 無効 1 = 有効								

6.5.4.3.13 CUST_CRC_HI

アドレス	0x0036							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CRC[7:0]							
リセット	0	1	0	1	0	1	1	1
工場出荷時構成のリセット	0	0	1	1	0	0	0	1
CRC[7:0] = 顧客の OTP 領域用にホストで計算された CRC の上位バイト。								

6.5.4.3.14 CUST_CRC_LO

アドレス	0x0037							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CRC[7:0]							
リセット	1	0	0	0	1	0	0	1
工場出荷時構成のリセット	1	1	1	1	0	0	1	1
CRC[7:0] = 顧客の OTP 領域用にホストで計算された CRC の下位バイト。								

6.5.4.3.15 CUST_CRC_RSLT_HI

アドレス	0x050C							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CRC[7:0]							
リセット	0	0	1	1	0	0	0	1
CRC[7:0] = 顧客の OTP 領域用にデバイスで計算された CRC の上位バイト。								

6.5.4.3.16 CUST_CRC_RSLT_LO

アドレス	0x050D							
------	--------	--	--	--	--	--	--	--

読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CRC[7:0]							
リセット	1	1	1	1	0	0	1	1
CRC[7:0] = 顧客の OTP 領域用にデバイスで計算された CRC の下位バイト。								

6.5.4.4 動作ステータス

6.5.4.4.1 DIAG_STAT

アドレス	0x0526							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD			DRDY_OTUT	DRDY_OVUV	DRDY_BIST_OTUT	DRDY_BIST_OVUV	DRDY_BIST_PWR
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
DRDY_OTUT = OTUT ラウンドロビンが少なくとも 1 回実行されたことを示します。このビットは、[OTUT_GO] = 1 で [OTUT_MODE1:0] = 01 (OTUT ラウンドロビン実行を開始) の場合にクリアされ、1 サイクル以上のラウンドロビンが完了するとセットされます。 0 = OTUT が開始していないか、最初のラウンドロビンがまだ完了していません。 1 = 少なくとも 1 サイクルのラウンドロビンが完了しています。								
DRDY_OVUV = OVUV ラウンドロビンが少なくとも 1 回実行されたことを示します。このビットは、[OVUV_GO] = 1 で [OVUV_MODE1:0] = 01 (OVUV ラウンドロビン実行を開始) の場合にクリアされ、1 サイクル以上のラウンドロビンが完了するとセットされます。 0 = OVUV が開始していないか、最初のラウンドロビンがまだ完了していません。 1 = 少なくとも 1 サイクルのラウンドロビンが完了しています。								
DRDY_BIST_OTUT = OTUT プロテクタ診断のステータスを示します。このビットは、[OTUT_GO] = 1 で [OTUT_MODE1:0] = 10 (BIST 実行を開始) の場合にクリアされ、BIST サイクルが完了するとセットされます。 0 = 未開始または実行中。 1 = BIST サイクル完了。								
DRDY_BIST_OVUV = OVUV プロテクタ診断のステータスを示します。このビットは、[OVUV_GO] = 1 で [OVUV_MODE1:0] = 10 (BIST 実行を開始) の場合にクリアされ、BIST サイクルが完了するとセットされます。 0 = 未開始または実行中。 1 = BIST サイクル完了。								
DRDY_BIST_PWR = 電源診断のステータスを示します。このビットは、[PWR_BIST_GO] = 1 (BIST 実行を開始) の場合にクリアされ、BIST サイクルが完了するとセットされます。 0 = 未開始または実行中。 1 = BIST サイクル完了。								

6.5.4.4.2 ADC_STAT1

アドレス	0x0527							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD			RSVD	DRDY_AUX_GPIO	DRDY_AUX_CELL	DRDY_AUX_MISC	DRDY_MAIN_ADC
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
DRDY_AUX_GPIO = AUX ADC は、ADC 測定用に構成されたすべてのアクティブな GPIO チャネルで少なくとも 1 つの測定を完了しています。[AUX_GO] が 0 から 1 に変更されると、このビットはクリアされます。 0 = 未準備 1 = すべての GPIO 入力がある AUX ADC による 1 つ以上の測定を完了								
DRDY_AUX_CELL = デバイスは、[AUX_CELL_SEL4:0] で設定されたすべての AUXCELL チャネルで少なくとも 1 つの測定を完了しています。[AUX_GO] が 0 から 1 に変更されると、このビットはクリアされます。 0 = 未準備 1 = すべての [AUX_CELL_SEL4:0] が設定されたチャネルが少なくとも 1 つの測定を完了								

DRDY_AUX_MISC = デバイスは、すべての AUX ADC MISC 入力チャンネルで少なくとも 1 つの測定を完了しています (つまり、1 つのラウンドロビン実行を完了しています)。[AUX_GO] が 0 から 1 に変更されると、このビットはクリアされます。
0 = 未準備
1 = すべての AUX ADC MISC 入力が少なくとも 1 つの測定を完了

DRDY_MAIN_ADC = デバイスは、すべての GPIO を含むすべてのメイン ADC 入力チャンネルで少なくとも 1 つの測定を完了しています (つまり、1 つのラウンドロビン実行を完了しています)。[MAIN_GO] が 0 から 1 に変更されると、このビットはクリアされます。
0 = 未準備
1 = すべてのメイン ADC 入力が少なくとも 1 つの測定を完了

6.5.4.4.3 ADC_STAT2

アドレス	0x0528							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD		DRDY_LPF	DRDY_GPIO	DRDY_VCOW	DRDY_CBOW	DRDY_CBFET	DRDY_VCCB
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
DRDY_LPF = デバイスは、すべてのアクティブ セル チャンネルで少なくとも 1 ラウンドの LPF チェックを完了しています。メイン ADC が動作している限り、比較はバックグラウンドで続行されます。このビットは、[MAIN_GO] = 1 のときにクリアされます。このデータレディビットは、[LPF_FLT_INJ] ビットを使用して DIAG_LPF エンジン进行测试するためにフォルトが注入された場合にも使用されます。[LPF_FLT_INJ] = 1 の場合、このビットは 0 にクリアされ、デバイスはフォルト注入 [DIAG_LPF] を使用して VC および BB、BB チャンネル LPF チェックを最初から再開します。すべてのチャンネル LPF がチェックされると、[DRDY_LPF] = 1 になります。 0 = 未準備 1 = 診断比較完了								
DRDY_GPIO = デバイスは、すべてのアクティブチャンネルで GPIO メインおよび AUX ADC 診断比較を完了し、比較は停止します。このビットは、[COMP_ADC_GO] = 1 のときにクリアされます。 0 = 未準備 1 = 診断比較完了								
DRDY_VCOW = デバイスが、すべてのアクティブ チャンネルで VC OW 診断比較を完了し、比較が停止します。このビットは、[COMP_ADC_GO] = 1 のときにクリアされます。 0 = 未準備 1 = 診断比較完了								
DRDY_CBOW = デバイスが、すべてのアクティブ チャンネルで CB OW 診断比較を完了し、比較が停止します。このビットは、[COMP_ADC_GO] = 1 のときにクリアされます。 0 = 未準備 1 = 診断比較完了								
DRDY_CBFET = デバイスが、すべてのアクティブ チャンネルで CB FET 診断比較を完了し、比較が停止します。このビットは、[COMP_ADC_GO] = 1 のときにクリアされます。 0 = 未準備 1 = 診断比較完了								
DRDY_VCCB = デバイスは、すべてのアクティブ チャンネルで VCELL と AUXCELL の診断比較を完了しています。このビットは、[COMP_ADC_GO] = 1 のときにクリアされます。 0 = 未準備 1 = 診断比較完了								

6.5.4.4.4 GPIO_STAT

アドレス	0x052A							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	GPIO8	GPIO7	GPIO6	GPIO5	GPIO4	GPIO3	GPIO2	GPIO1
リセット	0	0	0	0	0	0	0	0
GPIO1 ~ GPIO8 = GPIO がデジタル入出力として構成されている場合、このレジスタは GPIO のステータスを示します。 0 = Low 1 = High								

6.5.4.4.5 BAL_STAT

アドレス	0x052B							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	INVALID_CB_CONF	OT_PAUSE_DET	CB_INPAUSE	MB_RUN	CB_RUN	ABORTFLT	MB_DONE	CB_DONE
リセット	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
INVALID_CBCONF = 不適切な CB 制御設定により、([BAL_GO] = 1 の後に) CB を開始できないことを示します。不適切な設定は次のとおりです。 • CB で 8 セル以上が有効になっている。 • DEVICE_CONF[NO_ADJ_CB] = 0 の場合に、2 つ以上の隣接セルが CB で有効になっている。 • DEVICE_CONF[NO_ADJ_CB] = 1 の場合に、隣接セルが CB で有効になっている。 このビットは、[BAL_GO] = 1 のたびに更新されます。 0 = CB 設定が有効 1 = CB 設定が無効								
OT_PAUSE_DET = [OTCB_EN] = 1 の場合に OTCB が検出されることを示します。CB TWARN が検出されると、このビットもセットされ、CB も一時停止します。[BAL_GO] = 1 の後のみ有効 0 = OTCB または CB TWARN が検出されない 1 = NTC サーミスタ測定が OTCB_THR[3:0] 設定を上回っているか、ダイ (CBFET) 温度が CB TWARN を上回っている								
CB_INPAUSE = セル バランシングの一時停止ステータスを示します。 0 = CB が実行中または開始されていない 1 = 一時停止 (OTCB 検出またはホストの [CB_PAUSE] = 1 設定で発生)								
MB_RUN = デバイスによって制御されるモジュール バランシングが実行中であることを示します。 MB_TIMER_CTRL が 0x00 ではない場合、[BAL_GO] = 1 の後のみ有効。セル バランシング ステータスを示していません。 0 = 完了しているか、開始していない 1 = デバイスによって制御されるモジュール バランシングが実行中								
CB_RUN = セル バランシングが実行中であることを示します。[BAL_GO] = 1 の後のみ有効。モジュール バランシング ステータスを示しません。CB が一時停止状態であっても、このビットは 1 のままです。 0 = 完了しているか、開始されていない 1 = 1 つ以上のセルでセル バランシングがアクティブ								
ABORTFLT = マスクされていないフォルトが検出されたため、セル バランシングが中止されたことを示します。 BAL_CTRL1[BAL_GO] = 1 のときにクリアされます。マスクされていないフォルトが検出されても、CB が一時停止 ([CB_INPAUSE] = 1) の場合、CB の中止はトリガされません。CB が一時停止状態でなくなった場合、フォルト時の中止機能が再開されます。 0 = 中断されないか、セル バランシングが実行されていない 1 = 中止された								
MB_DONE = モジュール バランシングが完了したことを示します。 BAL_CTRL1[BAL_GO] = 1 のときにクリアされます。 0 = モジュール バランシングがまだ実行中か、開始されていない 1 = モジュール バランシングが完了した								
CB_DONE = すべてのセル バランシングが完了したことを示します。 BAL_CTRL1[BAL_GO] = 1 のときにクリアされます。 0 = セル バランシングが引き続き実行中か、開始されていない 1 = すべてのセル バランシングが完了								

6.5.4.4.6 DEV_STAT

アドレス	0x052C							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	FACT_CRC_DONE	CUST_CRC_DONE	OTUT_RUN	OVUV_RUN	RSVD	AUX_RUN	MAIN_RUN
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								

FACT_CRC_DONE = 工場出荷時 CRC ステート マシンのステータスを示します。このビットは、工場出荷時 CRC が計算され、少なくとも 1 回、内部で検証されると設定されます。このレジスタを読み取ると、このビットがクリアされます。 0 = 未完了 1 = 完了 (読み出し時にクリア)
CUST_CRC_DONE = 顧客 CRC ステート マシンのステータスを示します。このビットは、CRC が計算され、少なくとも 1 回 CUST_CRC* レジスタと比較されるとセットされます。このレジスタを読み取ると、このビットがクリアされます。 0 = 未完了 1 = 完了 (読み出し時にクリア)
OTUT_RUN = OTUT プロテクタ コンパレータのステータスを示します。このビットは、OTUT BIST の開始時に設定されます。BIST が完了または中止されると、デバイスは OT および UT コンパレータを自動的にオフにし、このビットはクリアされます。 0 = オフ (つまり、OTUT が開始されていないか、[OTUT_GO] = 1 で [OTUT_MODE1:0] = 0 の場合) 1 = オン (つまり、[OTUT_GO] = 1、[OTUT_MODE1:0] がゼロ以外の場合)
OVUV_RUN = OVUV プロテクタ コンパレータのステータスを示します。このビットは、OVUV BIST の開始時に設定されます。BIST が完了または中止されると、デバイスは OV および UV コンパレータを自動的にオフにし、このビットはクリアされます。 0 = オフ (つまり、OVUV が開始されていないか、[OVUV_GO] = 1 で [OVUV_MODE1:0] = 0 の場合) 1 = オン (つまり、[OVUV_GO] = 1、[OVUV_MODE1:0] がゼロ以外の場合)
AUX_RUN = AUX ADC のステータスを示します。 0 = オフ 1 = オン
MAIN_RUN = メイン ADC のステータスを示します。 0 = オフ 1 = オン

6.5.4.5 ADC の構成および制御

6.5.4.5.1 ADC_CONF1

アドレス	0x0007							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	AUX_SETTLE[1:0]		LPF_BB[2:0]			LPF_VCELL[2:0]		
リセット	0	0	0	0	0	0	0	0
AUX_SETTLE[1:0] = AUXCELL は、AUX セルのセトリング タイムを設定します。各 AUXCELL の測定値を有効と見なすには、アンチ エイリアシング フィルタ (AAF) のセトリング タイムを待つ必要があります。これらのビットにより、異なる AAF を使用するか、AAF をバイパスすることで、高速測定とのトレードオフが可能になります。 00 = 4.3ms 01 = 2.3ms 10 = 1.3ms 11 = 予約済み								
LPF_BB[2:0] = BBP/N SRP/N 測定用にメイン SAR ADC 後段のローパス フィルタのカットオフ周波数を設定します。LPF_VCELL[2:0] と同じオプション。								
LPF_VCELL[2:0] = VCELL 測定用に ADC 後段のローパス フィルタのカットオフ周波数を設定します。 0x0 = 6.5Hz (平均 154ms) 0x1 = 13Hz (平均 77ms) 0x2 = 26Hz (平均 38ms) 0x3 = 53Hz (平均 19ms) 0x4 = 111Hz (平均 9ms) 0x5 = 240Hz (平均 4ms) 0x6 = 600Hz (平均 1.6ms) 0x7 = 240Hz								

6.5.4.5.2 ADC_CONF2

アドレス	0x0008							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE[1:0]		ADC_DLY[5:0]					
リセット	0	0	0	0	0	0	0	0
SPARE[1:0] = 予備								

ADC_DLY[5:0] = [MAIN_GO] ビットに 1 が書き込まれると、この設定時間だけメイン ADC が遅延してから、変換を開始します。この設定により、デジタイザチェーン接続されたスタック全体でメイン ADC の開始が同期されます。
 このオプションは、5 μ s ステップで 0 μ s (遅延なし) から 200 μ s までの範囲です。
 未定義コード = 0 μ s (遅延なし)

6.5.4.5.3 MAIN_ADC_CAL1

アドレス	0x001B							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	GAINL[7:0]							
リセット	0	0	0	0	0	0	0	0
GAINL[7:0] = メイン ADC 25°C ゲイン キャリブレーション結果 (下位 8 ビット)。製造フロー時にユーザーがゲイン キャリブレーションを実行する場合、ゲイン結果を OTP にプログラムでき、デバイスのリセット時にこのゲイン レジスタに送信されます。このデバイスは、ADC 補正ステップでこのデータを自動的に適用します。 -0.78125~0.7782% の範囲で、0.0031% ステップ。								

6.5.4.5.4 MAIN_ADC_CAL2

アドレス	0x001C							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	GAINH	OFFSET[6:0]						
リセット	0	0	0	0	0	0	0	0
GAINH メイン ADC 25°C ゲイン キャリブレーション結果 (MS ビット)。製造フロー時にユーザーがゲイン キャリブレーションを実行する場合、ゲイン結果を OTP にプログラムでき、デバイスのリセット時にこのゲイン レジスタに送信されます。このデバイスは、ADC 補正ステップでこのデータを自動的に適用します。 -0.78125~0.7782% の範囲で、0.0031% ステップ。								
OFFSET[6:0] = メイン ADC 25°C オフセット キャリブレーション結果。製造フロー時にユーザーがオフセット キャリブレーションを実行する場合、オフセット結果を OTP にプログラムでき、デバイスのリセット時にこのオフセット レジスタに送信されます。このデバイスは、ADC 補正ステップでこのデータを自動的に適用します。 -12.20703mV ~ 12.01630mV の範囲で、0.19073mV ステップ								

6.5.4.5.5 AUX_ADC_CAL1

アドレス	0x001D							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	GAINL[7:0]							
リセット	0	0	0	0	0	0	0	0
GAINL[7:0] = AUX ADC 25°C ゲイン キャリブレーション結果 (下位 8 ビット)。製造フロー時にユーザーがゲイン キャリブレーションを実行する場合、ゲイン結果を OTP にプログラムでき、デバイスのリセット時にこのゲイン レジスタに送信されます。このデバイスは、ADC 補正ステップでこのデータを自動的に適用します。 -0.78125~0.7782% の範囲で、0.0031% ステップ。								

6.5.4.5.6 AUX_ADC_CAL2

アドレス	0x001E							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	GAINH	OFFSET[6:0]						
リセット	0	0	0	0	0	0	0	0
GAINH AUX ADC 25°C ゲイン キャリブレーション結果 (MS ビット)。製造フロー時にユーザーがゲイン キャリブレーションを実行する場合、ゲイン結果を OTP にプログラムでき、デバイスのリセット時にこのゲイン レジスタに送信されます。このデバイスは、ADC 補正ステップでこのデータを自動的に適用します。 -0.78125~0.7782% の範囲で、0.0031% ステップ。								

OFFSET[6:0] = AUX ADC 25°C オフセット キャリブレーション結果。製造フロー時にユーザーがオフセット キャリブレーションを実行する場合、オフセット結果を OTP にプログラムでき、デバイスのリセット時にこのオフセット レジスタに送信されます。このデバイスは、ADC 補正ステップでこのデータを自動的に適用します。
-12.20703mV ~ 12.01630mV の範囲で、0.19073mV ステップ

6.5.4.5.7 ADC_CTRL1

アドレス	0x030D							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	RSVD		LPF_BB_EN	LPF_VCELL_EN	MAIN_GO	MAIN_MODE[1:0]	
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
LPF_BB_EN = ADC 変換後のデジタル ローパス フィルタを有効します。LPF は BBP/N 測定にのみ適用されます。カットオフ周波数は、ADC_CONFIG1[LPF_BB[2:0]] によって設定されます。								
LPF_VCELL_EN = ADC 変換後のデジタル ローパス フィルタを有効します。LPF は VCELL 測定にのみ適用されます。カットオフ周波数は、ADC_CONFIG1[LPF_VCELL[2:0]] によって設定されます。								
MAIN_GO = メイン ADC 変換を開始します。このビットに 1 を書き込むと、すべてのメイン ADC 入力がサンプリングされます。メイン ADC が開始された後、このビットが再度 1 に書き込まれるまで、メイン ADC 制御設定に変更を加えても影響はありません。このビットは、読み取られると 0 にクリアされます。 0 = 準備完了。0 を書き込んでも何もみません 1 = メイン ADC を開始								
MAIN_MODE[1:0] = メイン ADC 実行モードを設定します。連続実行でユーザーが ADC を停止する場合は、すべての ADC 変換結果を読み取ってから停止する必要があります。次に ADC が再度有効になるまで ADC の結果は無効です。 00 = メイン ADC 非実行 01 = シングル実行。メイン ADC のラウンドロビンを 8 回実行してから停止 10 = 連続実行。停止するコマンドをホストが送信するまで、メイン ADC のラウンドロビンを連続的に実行 11 = 予約済み								

6.5.4.5.8 ADC_CTRL2

アドレス	0x030E							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	RSVD	AUX_CELL_ALIGN	AUX_CELL_SEL[4:0]				
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
AUX_CELL_ALIGN = AUX ADC AUXCELL 測定をメイン ADC CELL1 または CELL8 に整列します。 0 = 動的整列 1 = メイン ADC CELL8 に整列								
AUX_CELL_SEL[4:0] = AUX ADC を介して多重化する AUXCELL チャンネルを選択します。 0x00 = ACTIVE_CELL_CONF レジスタによって設定されたすべてのアクティブ セル チャンネルを実行 0x01 = AUX バス バーにロック (BBP-BBN) 0x02 = AUXCELL1 にロック 0x03 = AUXCELL2 にロック 0x04 = AUXCELL3 にロック : 0x11 = AUXCELL16 にロック 0x12 ~ 0x1F = RSVD 注: 非アクティブ チャンネルまたは RSVD コードが選択されている場合、デバイスは AUXCELL スロットで AUX ADC 変換を実行せず、AUX_CELL_HI/LO レジスタはリセット値のままになります。								

6.5.4.5.9 ADC_CTRL3

アドレス	0x030F							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0

名称	RSVD	AUX_GPIO_SEL[3:0]				AUX_GO	AUX_MODE[1:0]	
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
AUX_GPIO_SEL[3:0] = 温度測定診断に使用するために、AUX ADC を介して多重化される GPIO チャンネルを選択します。この選択が 0x00 に設定されていない場合、AUX ADC は単一の GPIO チャンネルにロックし、測定結果は AUX_GPIO_HI/LO レジスタに出力されます。 0x00 = AUX ADC は、ADC 専用、または ADC と OTUT として構成されているすべての GPIO チャンネルをサイクルします。 0x01 = GPIO1 にロック 0x02 = GPIO2 にロック ： 0x08 = GPIO8 にロック その他のすべてのコードは RSVD。 注: GPIO が ADC 測定用に構成されていない場合または RSVD コードが選択されている場合、デバイスは GPIO スロットで AUX ADC 変換を実行せず、AUX_GPIO_HI/LO レジスタはリセット値のままになります。								
AUX_GO = AUX ADC 変換を開始します。このビットに 1 を書き込むと、すべての AUX ADC 入力がサンプリングされます。AUX ADC が開始された後、このビットが再度 1 に書き込まれるまで、AUX ADC 制御設定に変更を加えても影響はありません。このビットは、読み取られると 0 にクリアされます。 0 = 準備完了。0 を書き込んでも何もしません。 1 = AUX ADC を開始								
AUX_MODE[1:0] = メイン ADC 実行モードを設定します。連続実行でユーザーが ADC を停止する場合は、すべての ADC 変換結果を読み取ってから停止する必要があります。次に ADC が再度有効になるまで ADC の結果は無効です。 00 = AUX ADC 非実行 01 = シングル実行。AUX ADC ラウンドロビンを 1 回実行してから停止します。 10 = 連続実行。ホストが停止コマンドを送信するまで、AUX ADC ラウンドロビンを連続的に実行します。 11 = 8 つの GPIO すべてを 1 回ずつ測定するため、8 回のラウンドロビンを実行。								

6.5.4.6 ADC 測定結果

6.5.4.6.1 VCELL16_HI/LO

VCELL16_HI

アドレス	0x0568							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Cell16 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、Cell16 電圧の下位バイトの更新をロックします。								

VCELL16_LO

アドレス	0x0569							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell16 電圧の下位バイトの ADC 測定結果 (2 の補数)。								

6.5.4.6.2 VCELL15_HI/LO

VCELL15_HI

アドレス	0x056A							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Cell15 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、Cell15 電圧の下位バイトの更新をロックします。								

VCELL15_LO

アドレス	0x056B							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell15 電圧の下位バイトの ADC 測定結果 (2 の補数)。								

6.5.4.6.3 VCELL14_HI/LO

VCELL14_HI

アドレス	0x056C							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Cell14 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、Cell14 電圧の下位バイトの更新をロックします。								

VCELL14_LO

アドレス	0x056D							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell14 電圧の下位バイトの ADC 測定結果 (2 の補数)。								

6.5.4.6.4 VCELL13_HI/LO**VCELL13_HI**

アドレス	0x056E							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Cell13 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、Cell13 電圧の下位バイトの更新をロックします。								

VCELL13_LO

アドレス	0x056F							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell13 電圧の下位バイトの ADC 測定結果 (2 の補数)。								

6.5.4.6.5 VCELL12_HI/LO**VCELL12_HI**

アドレス	0x0570							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Cell12 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、Cell12 電圧の下位バイトの更新をロックします。								

VCELL12_LO

アドレス	0x0571							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell12 電圧の下位バイトの ADC 測定結果 (2 の補数)。								

6.5.4.6.6 VCELL11_HI/LO**VCELL11_HI**

アドレス	0x0572							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Cell11 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、Cell11 電圧の下位バイトの更新をロックします。								

VCELL11_LO

アドレス	0x0573							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell11 電圧の下位バイトの ADC 測定結果 (2 の補数)。								

6.5.4.6.7 VCELL10_HI/LO

VCELL10_HI

アドレス	0x0574							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Cell10 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、Cell10 電圧の下位バイトの更新をロックします。								

VCELL10_LO

アドレス	0x0575							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell10 電圧の下位バイトの ADC 測定結果 (2 の補数)。								

6.5.4.6.8 VCELL9_HI/LO

VCELL9_HI

アドレス	0x0576							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Cell9 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、Cell9 電圧の下位バイトの更新をロックします。								

VCELL9_LO

アドレス	0x0577							
------	--------	--	--	--	--	--	--	--

読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell9 電圧の下位バイトの ADC 測定結果 (2 の補数)。								

6.5.4.6.9 VCELL8_HI/LO

VCELL8_HI

アドレス	0x0578							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Cell8 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、Cell8 電圧の下位バイトの更新をロックします。								

VCELL8_LO

アドレス	0x0579							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell8 電圧の下位バイトの ADC 測定結果 (2 の補数)。								

6.5.4.6.10 VCELL7_HI/LO

VCELL7_HI

アドレス	0x057A							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Cell7 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、Cell7 電圧の下位バイトの更新をロックします。								

VCELL7_LO

アドレス	0x057B							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell7 電圧の下位バイトの ADC 測定結果 (2 の補数)。								

6.5.4.6.11 VCELL6_HI/LO

VCELL6_HI

アドレス	0x057C							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0

名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Cell6 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、Cell6 電圧の下位バイトの更新をロックします。								

VCELL6_LO

アドレス	0x057D							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell6 電圧の下位バイトの ADC 測定結果 (2 の補数)。								

6.5.4.6.12 VCELL5_HI/LO

VCELL5_HI

アドレス	0x057E							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Cell5 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、Cell5 電圧の下位バイトの更新をロックします。								

VCELL5_LO

アドレス	0x057F							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell5 電圧の下位バイトの ADC 測定結果 (2 の補数)。								

6.5.4.6.13 VCELL4_HI/LO

VCELL4_HI

アドレス	0x0580							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Cell4 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、Cell4 電圧の下位バイトの更新をロックします。								

VCELL4_LO

アドレス	0x0581							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0

RESULT[7:0] = Cell4 電圧の下位バイトの ADC 測定結果 (2 の補数)。

6.5.4.6.14 VCELL3_HI/LO

VCELL3_HI

アドレス	0x0582							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Cell3 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、Cell3 電圧の下位バイトの更新をロックします。								

VCELL3_LO

アドレス	0x0583							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell3 電圧の下位バイトの ADC 測定結果 (2 の補数)。								

6.5.4.6.15 VCELL2_HI/LO

VCELL2_HI

アドレス	0x0584							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = Cell2 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、Cell2 電圧の下位バイトの更新をロックします。								

VCELL2_LO

アドレス	0x0585							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell2 電圧の下位バイトの ADC 測定結果 (2 の補数)。								

6.5.4.6.16 VCELL1_HI/LO

VCELL1_HI

アドレス	0x0586							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0

RESULT[7:0] = Cell1 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、Cell1 電圧の下位バイトの更新をロックします。

VCELL1_LO

アドレス	0x0587							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = Cell1 電圧の下位バイトの ADC 測定結果 (2 の補数)。								

6.5.4.6.17 BUSBAR_HI/LO

BUSBAR_HI

アドレス	0x0588							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = 差動バス バー ピン (BBP/BBN) の上位バイトの ADC 測定結果 (2 の補数)。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、下位バイトの更新をロックします。								

BUSBAR_LO

アドレス	0x0589							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = 差動バス バー ピン (BBP/BBN) の下位バイトの ADC 測定結果 (2 の補数)。								

6.5.4.6.18 TSREF_HI/LO

TSREF_HI

アドレス	0x058C							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = メイン ADC からの TSREF の上位バイトの結果。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、TSREF 下位バイトの更新をロックします。								

TSREF_LO

アドレス	0x058D							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = メイン ADC からの TSREF の下位バイトの結果								

6.5.4.6.19 GPIO1_HI/LO

GPIO1_HI

アドレス	0x058E							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = GPIO1 の ADC 測定上位バイトの結果。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、GPIO1 下位バイトの更新をロックします。								

GPIO1_LO

アドレス	0x058F							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = GPIO1 の ADC 測定下位バイトの結果。								

6.5.4.6.20 GPIO2_HI/LO

GPIO2_HI

アドレス	0x0590							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = GPIO2 の ADC 測定上位バイトの結果。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、GPIO2 下位バイトの更新をロックします。								

GPIO2_LO

アドレス	0x0591							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = GPIO2 の ADC 測定下位バイトの結果。								

6.5.4.6.21 GPIO3_HI/LO

GPIO3_HI

アドレス	0x0592							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = GPIO3 の ADC 測定上位バイトの結果。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、GPIO3 下位バイトの更新をロックします。								

GPIO3_LO

アドレス	0x0593							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = GPIO3 の ADC 測定下位バイトの結果。								

6.5.4.6.22 GPIO4_HI/LO

GPIO4_HI

アドレス	0x0594							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = GPIO4 の ADC 測定上位バイトの結果。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、GPIO4 下位バイトの更新をロックします。								

GPIO4_LO

アドレス	0x0595							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = GPIO4 の ADC 測定下位バイトの結果。								

6.5.4.6.23 GPIO5_HI/LO

GPIO5_HI

アドレス	0x0596							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = GPIO5 の ADC 測定上位バイトの結果。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、GPIO5 下位バイトの更新をロックします。								

GPIO5_LO

アドレス	0x0597							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = GPIO5 の ADC 測定下位バイトの結果。								

6.5.4.6.24 GPIO6_HI/LO

GPIO6_HI

アドレス	0x0598							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = GPIO6 の ADC 測定上位バイトの結果。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、GPIO6 下位バイトの更新をロックします。								

GPIO6_LO

アドレス	0x0599							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = GPIO6 の ADC 測定下位バイトの結果。								

6.5.4.6.25 GPIO7_HI/LO

GPIO7_HI

アドレス	0x059A							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = GPIO7 の ADC 測定上位バイトの結果。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、GPIO7 下位バイトの更新をロックします。								

GPIO7_LO

アドレス	0x059B							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = GPIO7 の ADC 測定下位バイトの結果。								

6.5.4.6.26 GPIO8_HI/LO

GPIO8_HI

アドレス	0x059C							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = GPIO8 の ADC 測定上位バイトの結果。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、GPIO8 下位バイトの更新をロックします。								

GPIO8_LO

アドレス	0x059D							
------	--------	--	--	--	--	--	--	--

読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = GPIO8 の ADC 測定下位バイトの結果。								

6.5.4.6.27 DIETEMP1_HI/LO

DIETEMP1_HI

アドレス	0x05AE							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = メイン ADC からの DieTemp1 上位バイト結果。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、DIETEMP1 下位バイトの更新をロックします。								

DIETEMP1_LO

アドレス	0x05AF							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = メイン ADC からの DieTemp1 下位バイト (ADC 補正に使用される温度) の結果。								

6.5.4.6.28 DIETEMP2_HI/LO

DIETEMP2_HI

アドレス	0x05B0							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC からの DieTemp2 上位バイト結果。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、DIETEMP2 下位バイトの更新をロックします。								

DIETEMP2_LO

アドレス	0x05B1							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC からの DieTemp2 下位バイト (ADC 補正に使用される温度) 結果								

6.5.4.6.29 AUX_CELL_HI/LO

AUX_CELL_HI

アドレス	0x05B2							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0

名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = AUXCELL 電圧の上位バイトの ADC 測定結果 (2 の補数)。ホストで 1 つの AUXCELL チャンネルにロックするように [AUX_CELL_SEL4:0] を構成した場合、これらの AUX_CELL_HI/LO レジスタは AUXCELL 電圧測定値を通知します。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、AUXCELL 電圧の下位バイトの更新をロックします。								

AUX_CELL_LO

アドレス	0x05B3							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = AUX セル電圧の下位バイトの ADC 測定結果 (2 の補数)。ホストで 1 つの AUXCELL チャンネルにロックするように [AUX_CELL_SEL4:0] を構成した場合、これらの AUX_CELL_HI/LO レジスタは AUXCELL 電圧測定値を通知します。								

6.5.4.6.30 AUX_GPIO_HI/LO

AUX_GPIO_HI

アドレス	0x05B4							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = [AUXGPIO_SEL3:0] ビットによってロックされた GPIO の、AUX ADC 測定の上位バイトの結果。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、AUX_GPIO 下位バイトの更新をロックします。								

AUX_GPIO_LO

アドレス	0x05B5							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = [AUXGPIO_SEL3:0] ビットによってロックされた GPIO の、AUX ADC 測定の下位バイトの結果。								

6.5.4.6.31 AUX_BAT_HI/LO

AUX_BAT_HI

アドレス	0x05B6							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC の BAT ピン測定の上位バイト結果。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、AUX_BAT 下位バイトの更新をロックします。								

AUX_BAT_LO

アドレス	0x05B7							
------	--------	--	--	--	--	--	--	--

読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC の BAT ピン測定の下位バイト結果。								

6.5.4.6.32 AUX_REFL_HI/LO

AUX_REFL_HI

アドレス	0x05B8							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC の内部リファレンス REFL 測定の上位バイト結果。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、AUX_REL 下位バイトの更新をロックします。								

AUX_REFL_LO

アドレス	0x05B9							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC の内部リファレンス REFL 測定の下位バイト結果。								

6.5.4.6.33 AUX_VBG2_HI/LO

AUX_VBG2_HI

アドレス	0x05BA							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC の内部リファレンス VBG2 測定の上位バイト結果。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、AUX_VBG2 下位バイトの更新をロックします。								

AUX_VBG2_LO

アドレス	0x05BB							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC の内部リファレンス VBG2 測定の下位バイト結果。								

6.5.4.6.34 AUX_AVAO_REF_HI/LO

AUX_AVAO_REF_HI

アドレス	0x05BE							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0

名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC の AVAO_REF 測定の上位バイト結果。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、AUX_AVAO_REF 下位バイトの更新をロックします。								

AUX_AVAO_REF_LO

アドレス	0x05BF							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC の AVAO_REF 測定の下位バイト結果。								

6.5.4.6.35 AUX_AVDD_REF_HI/LO

AUX_AVDD_REF_HI

アドレス	0x05C0							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC の AVDD_REF 測定の上位バイト結果。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、AUX_AVDD_REF 下位バイトの更新をロックします。								

AUX_AVDD_REF_LO

アドレス	0x05C1							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC の AVDD_REF 測定の下位バイト結果。								

6.5.4.6.36 AUX_OV_DAC_HI/LO

AUX_OV_DAC_HI

アドレス	0x05C2							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC の OV コンパレータ DAC 測定の上位バイト結果 (0.8 x OV スレッショルド)。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、AUX_OV_DAC 下位バイトの更新をロックします。								

AUX_OV_DAC_LO

アドレス	0x05C3							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							

リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC の OV コンパレータ DAC 測定の下位バイト結果 (0.8 x OV スレッショルド)。								

6.5.4.6.37 AUX_UV_DAC_HI/LO

AUX_UV_DAC_HI

アドレス	0x05C4							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC の UV コンパレータ DAC 測定の上位バイト結果 (0.8 x UV スレッショルド)。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、AUX_UV_DAC 下位バイトの更新をロックします。								

AUX_UV_DAC_LO

アドレス	0x05C5							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC の UV コンパレータ DAC 測定の下位バイト結果 (0.8 x UV スレッショルド)。								

6.5.4.6.38 AUX_OT_OTCB_DAC_HI/LO

AUX_OT_OTCB_DAC_HI

アドレス	0x05C6							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC の OT コンパレータ ([OTCB_THR_LOCK] 設定により OT または OTCB スレッショルド) DAC 測定値の上位バイトの結果。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、AUX_OT_OTCB_DAC 下位バイトの更新をロックします。								

AUX_OT_OTCB_DAC_LO

アドレス	0x05C7							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC の OT コンパレータ ([OTCB_THR_LOCK] 設定により OT または OTCB スレッショルド) DAC 測定値の下位バイトの結果。								

6.5.4.6.39 AUX_UT_DAC_HI/LO

AUX_UT_DAC_HI

アドレス	0x05C8							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							

リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC の UT コンパレータ DAC 測定の上位バイト結果。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、AUX_UT_DAC 下位バイトの更新をロックします。								

AUX_UT_DAC_LO

アドレス	0x05C9							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC の UT コンパレータ DAC 測定の下位バイト結果。								

6.5.4.6.40 AUX_VCBDONE_DAC_HI/LO

AUX_VCBDONE_DAC_HI

アドレス	0x05CA							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC の UV コンパレータ (VCBDONE スレッシュホールド) DAC 測定の上位バイト結果。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、AUX_VCBDONE_DAC 下位バイトの更新をロックします。								

AUX_VCBDONE_DAC_LO

アドレス	0x05CB							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC の UV コンパレータ (VCBDONE スレッシュホールド) DAC 測定の下位バイト結果。								

6.5.4.6.41 AUX_VCM_HI/LO

AUX_VCM_HI

アドレス	0x05CC	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC の VCM (メイン ADC の同相モード電圧) 測定の上位バイト結果。ホストがこのレジスタを読み出すと、デバイスは、上位バイトレジスタと下位バイトレジスタが読み取られるまで、AUX_VCM 下位バイトの更新をロックします。								

AUX_VCM_LO

アドレス	0x05CD							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = AUX ADC の VCM (メイン ADC の同相モード電圧) 測定の下位バイト結果。								

6.5.4.6.42 REFOVDAC_HI/LO

REFOVDAC_HI

アドレス	0x05D0							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = 工場で調整され、記録された OVDAC リファレンス電圧の上位バイトの結果。								

REFOVDAC_LO

アドレス	0x05D1							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = 工場で調整され、記録された OVDAC リファレンス電圧の下位バイトの結果。								

6.5.4.6.43 DIAG_MAIN_HI/LO

DIAG_MAIN_HI

アドレス	0x05D2							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = 診断用 ADC 比較で使用され、報告されたメイン ADC 比較値の上位バイト結果。1 つのチャンネルがロックされているときに診断用 ADC 比較を実行する場合に有効です								

DIAG_MAIN_LO

アドレス	0x05D3							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = 診断用 ADC 比較で使用され、報告されたメイン ADC 比較値の下位バイト結果。1 つのチャンネルがロックされているときに診断用 ADC 比較を実行する場合に有効です								

6.5.4.6.44 DIAG_AUX_HI/LO

DIAG_AUX_HI

アドレス	0x05D4							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	1	0	0	0	0	0	0	0
RESULT[7:0] = 診断用 ADC 比較で使用され、報告された AUX ADC 比較値の上位バイト結果。1 つのチャンネルがロックされているときに診断用 ADC 比較を実行する場合に有効です								

DIAG_AUX_LO

アドレス	0x05D5							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RESULT[7:0]							
リセット	0	0	0	0	0	0	0	0
RESULT[7:0] = 診断用 ADC 比較で使用され、報告された AUX ADC 比較値の下位バイト結果。1 つのチャンネルがロックされているときに診断用 ADC 比較を実行する場合に有効です								

6.5.4.7 バランシングの構成、制御、ステータス**6.5.4.7.1 CB_CELL16_CTRL ~ CB_CELL1_CTRL**

アドレス	0x0318 ~ 0x0327							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD			TIME[4:0]				
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
TIME[4:0] = セル* バランシングのタイマを設定します。ホスト マイコンによって [BAL_GO] = 1 が設定されると、選択がサンプリングされます。 0x00 = 0s = バランシングを停止 0x01 = 10s 0x02 = 30s 0x03 = 60s 0x04 = 300s 0x05 ~ 0x10 = 10 分 ~ 120 分の範囲、10 分ステップ 0x11 ~ 0x1F = 150 分 ~ 540 分の範囲 (30 分ステップ)、600 分								

6.5.4.7.2 VMB_DONE_THRESH

アドレス	0x0328							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD		MB_THR[5:0]					
リセット	0	0	1	1	1	1	1	1
RSVD = 予約済み								
MB_THR[5:0] = MB_TIMER_CTRL が 0x00 でなく、BAT 電圧がこのスレッショルドよりも低い場合、GPIO3 を使ったモジュール バランシングは停止します。ホスト マイコンによって [AUX_GO] = 1 が設定されると、選択がサンプリングされます。 注: このオプションを使用するには、[BAL_GO] = 1 を送信する前に、マイコンは最初に AUX ADC を有効にします。マイコンが [AUX_GO] = 1 に再送信された場合、新しいスレッショルド設定が有効になります。[BAL_GO] = 1 を再送信する必要はありません。 18V ~ 65V の範囲、1V のステップ。未使用のコードはデフォルトで 65V です								

6.5.4.7.3 MB_TIMER_CTRL

アドレス	0x0329							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD			TIME[4:0]				
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								

TIME[4:0] = モジュール バランシングのタイマを設定します。ホスト マイコンによって **[BAL_GO] = 1** が設定されると、選択がサンプリングされます。
0x00 = 0s = バランシングを停止
0x01 = 10s
0x02 = 30s
0x03 = 60s
0x04 = 300s
0x05 ~ 0x10 = 10 分 ~ 120 分の範囲、10 分ステップ
0x11 ~ 0x1F = 150 分 ~ 540 分の範囲 (30 分ステップ)、600 分

6.5.4.7.4 VCB_DONE_THRESH

アドレス	0x032A							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD		CB_THR[5:0]					
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
CB_THR[5:0] = セル電圧がこのスレッショルドを下回ると、そのセルのセル バランシングは停止します。このスレッショルド設定は、すべてのセルに適用されます。 [OVUV_GO] = 1 がホスト マイコンによって設定されると、選択がサンプリングされます。 注: VCB_DONE 検出機能を使用するには、ホストがこのスレッショルドを設定し、CB を開始する前に [OVUV_GO] = 1 を発行します (つまり、 [BAL_GO] = 1 を送信)。 VCB_DONE スレッショルド検出を変更するには、新しいスレッショルドを設定してから、 [OVUV_GO] = 1 を再発行して、新しいスレッショルドを有効にします。この場合、 [BAL_GO] = 1 を再発行する必要はありません。 2.45V ~ 4V の範囲、25mV ステップ。ここで 0x00 = CB_DONE 比較に基づいて電圧を無効にする 0x01 = 2.45V のスレッショルド 0x3F = 4V のスレッショルド								

6.5.4.7.5 OTCB_THRESH

アドレス	0x032B							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	COOLOFF[2:0]			OTCB_THR[3:0]			
リセット	0	0	0	0	1	1	1	1
RSVD = 予約済み								
COOLOFF[2:0] = BAL_CTRL1[OTCB_EN] = 1 で OTCB が検出されたときに CB を再開するため、COOLOFF ヒステリシス (再開温度 = OTCB_THR — COOLOFF ヒステリシス) を設定します。マイコンは、対応する GPIO を ADC および OTUT オプションに設定します。 4% ~ 14% の範囲、2% ステップ。 未使用コードは 14% に設定されています。								
OTCB_THR[3:0] = BAL_CTRL1[OTCB_EN] = 1 のとき、OTCB スレッショルドを設定します。マイコンは、対応する GPIO を ADC および OTUT オプションに設定します。 10% ~ 24% の範囲、2% ステップ。 未使用コードは 24% に設定されています。								

6.5.4.7.6 BAL_CTRL1

アドレス	0x032E							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD					DUTY[2:0]		
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								

DUTY[2:0] = ホスト マイコンによって $[BAL_GO] = 1$ が設定されると、選択がサンプリングされます。

0x0 = 5s
0x1 = 10s
0x2 = 30s
0x3 = 60s
0x4 = 5 分
0x5 = 10 分
0x6 = 20 分
0x7 = 30 分

6.5.4.7.7 BAL_CTRL2

アドレス	0x032F							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	CB_PAUSE	FLTSTOP_EN	OTCB_EN	BAL_ACT[1:0]		BAL_GO	AUTO_BAL
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
CB_PAUSE = 診断を実行できるように、すべてのセルでセル バランシングを一時停止します。 0 = 通常のセル バランシング動作 1 = すべてのセル バランシングを一時停止								
FLTSTOP_EN = マスクされていないフォルトが発生すると、セルまたはモジュールバランシングを停止します。ホスト マイコンによって $[BAL_GO] = 1$ が設定されると、選択がサンプリングされます。 0 = フォルト条件に関係なく、バランシングは連続的 (サーマル シャットダウンを除く) 1 = マスクされていないフォルトが発生すると、すべての CB バランシングが停止								
OTCB_EN = セル バランシング中の OTCB 検出を有効にします。ホスト マイコンによって $[BAL_GO] = 1$ が設定されると、選択がサンプリングされます。 0 = OTCB 検出を無効にする 1 = OTCB 検出を有効にする								
BAL_ACT[1:0] = MB と CB が完了したときのデバイス アクションを制御します。ホスト マイコンによって $[BAL_GO] = 1$ が設定されると、これらのビットがサンプリングされます。アクションは有効です。 00 = アクションなし 01 = SLEEP に移行 10 = SHUTDOWN に移行 11 = 予約済み								
BAL_GO = セルまたはモジュールバランシングを開始します。1 に書き込むと、すべてのバランシング構成レジスタがサンプリングされます。このビットが再度 1 に書き込まれるまで、構成レジスタの変更は影響しません。このビットは自動でクリアされます。 0 = 準備完了 1 = バランシングを開始								
AUTO_BAL = セル バランス制御を自動または手動に設定します。ホスト マイコンによって $[BAL_GO] = 1$ が設定されると、選択がサンプリングされます。 0 = 手動セル バランシング 1 = 自動セル バランシング								

6.5.4.7.8 BAL_CTRL3

アドレス	0x0330							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD			BAL_TIME_SEL[3:0]				BAL_TIME_GO
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
BAL_TIME_GO 選択した CB チャネル ($[BAL_TIME_SEL3:0]$ で設定) の残りバランシング時間を BAL_TIME レジスタに通知するようにデバイスに指示します。								

BAL_TIME_SEL[3:0] = 残りのバランシング時間を報告するために 1 つの CB チャンネルを選択します
0x0 = CB チャンネル 1
0x1 = CB チャンネル 2
:
0xF = CB チャンネル 16

6.5.4.7.9 CB_COMPLETE1

アドレス	0x0556							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CELL16_DONE	CELL15_DONE	CELL14_DONE	CELL13_DONE	CELL12_DONE	CELL11_DONE	CELL10_DONE	CELL9_DONE
リセット	0	0	0	0	0	0	0	0
CELL9_DONE ~ cell9 ~ cell16 のセル バランス完了。このレジスタは、MCU が [BAL_GO] = 1 を設定するとクリアされます。 CELL16_DONE = 0 = 特定のセルでバランシングが実行されているか、開始されていない 1 = 特定のセルでバランシングが完了								

6.5.4.7.10 CB_COMPLETE2

アドレス	0x0557							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CELL8_DONE	CELL7_DONE	CELL6_DONE	CELL5_DONE	CELL4_DONE	CELL3_DONE	CELL2_DONE	CELL1_DONE
リセット	0	0	0	0	0	0	0	0
CELL1_DONE ~ cell1 ~ cell8 のセル バランス完了。このレジスタは、MCU が [BAL_GO] = 1 を設定するとクリアされます。 CELL8_DONE = 0 = 特定のセルでバランシングが実行されているか、開始されていない 1 = 特定のセルでバランシングが完了								

6.5.4.7.11 BAL_TIME

アドレス	0x0558							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	TIME_UNIT	TIME[6:0]						
リセット	0	0	0	0	0	0	0	0
TIME_UNIT = [TIME6:0] で報告される単位を示します。 0 = 秒 1 = 分								
TIME[6:0] = 選択した CB チャンネルの残りバランシング時間を報告します。 [TIME_UNIT] = 0 の場合。秒単位で報告。5 秒ステップ [TIME_UNIT] = 1 の場合。分単位で報告。5 分ステップ								

6.5.4.8 プロテクタの構成と制御

6.5.4.8.1 OV_THRESH

アドレス	0x0009							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE	SPARE	OV_THR[5:0]					
リセット	0	0	1	1	1	1	1	1
SPARE = 予備								

OV_THR[5:0] = OV コンパレータの過電圧スレッシュホールドを設定します。これらのビットを変更するには、ホストが別の [OVUV_GO] = 1 コマンドを送信する必要があります。
すべての設定は 25mV ステップです。
0x02 ~ 0x0E: 2700mV ~ 3000mV の範囲
0x12 ~ 0x1E: 3500mV ~ 3800mV の範囲
0x22 ~ 0x2E: 4175mV ~ 4475mV の範囲
その他すべての設定はデフォルトで 2700mV です。

6.5.4.8.2 UV_THRESH

アドレス	0x000A							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE	SPARE	UV_THR[5:0]					
リセット	0	0	0	0	0	0	0	0
SPARE = 予備								
UV_THR[5:0] = UV コンパレータの低電圧スレッシュホールドを設定します。これらのビットを変更するには、ホストが別の [OVUV_GO] = 1 コマンドを送信する必要があります。 すべての設定は 50mV ステップです。 0x00 ~ 0x26: 1200mV ~ 3100mV の範囲 その他すべての設定はデフォルトで 3100mV です。								

6.5.4.8.3 UV_DISABLE1

アドレス	0x000C							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CELL16	CELL15	CELL14	CELL13	CELL12	CELL11	CELL10	CELL9
リセット	0	0	0	0	0	0	0	0
CELL9 ~ UV および VCB_DONE 検出から除外するチャネルを指定します CELL16 = 0 = UV および VCB_DONE 監視をチャネルに適用 1 = UV および VCB_DONE 監視をチャネルから除外								

6.5.4.8.4 UV_DISABLE2

アドレス	0x000D							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CELL8	CELL7	CELL6	CELL5	CELL4	CELL3	CELL2	CELL1
リセット	0	0	0	0	0	0	0	0
CELL8 ~ UV および VCB_DONE 検出から除外するチャネルを指定します CELL1 = 0 = UV および VCB_DONE 監視をチャネルに適用 1 = UV および VCB_DONE 監視をチャネルから除外								

6.5.4.8.5 OTUT_THRESH

アドレス	0x000B							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	UT_THR[2:0]			OT_THR[4:0]				
リセット	1	1	1	0	0	0	0	0
UT_THR[2:0] = UT コンパレータの UT スレッシュホールドを設定します。これらのビットを変更するには、ホストが別の [OTUT_GO] = 1 コマンドを送信する必要があります。マイコンは、対応する GPIO を ADC および OTUT 入力に構成します。 66% ~ 80% の範囲、2% のステップ								
OT_THR[4:0] = OT コンパレータの OT スレッシュホールドを設定します。これらのビットを変更するには、ホストが別の [OTUT_GO] = 1 コマンドを送信する必要があります。マイコンは、対応する GPIO を ADC および OTUT 入力に構成します。 10% ~ 39% の範囲、1% のステップ 未使用コードのデフォルトは 39% です。								

6.5.4.8.6 OVUV_CTRL

アドレス	0x032C							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	VCBDONE_THR_LOCK	OVUV_LOCK[3:0]				OVUV_GO	OVUV_MODE[1:0]	
リセット	0	0	0	0	0	0	0	0
VCBDONE_THR_LOCK = UV コンパレータは、診断目的で UV DAC または VCBDONE DAC の結果を測定するために、UV スレッシュホールドと VCBDONE スレッシュホールドを切り替えます。このため、UV コンパレータは、AUX ADC 測定を開始する前に、1 つのスレッシュホールドのみにロックする必要があります。このビットは、UV コンパレータがロックするスレッシュホールドを選択します。このビットは、OVUV_MODE[1:0] が 0b11 のときにサンプリングされ、シングル チャネル モードにロックされます。 0 = UV スレッシュホールドを選択 1 = VCBDONE スレッシュホールドを選択								
OVUV_LOCK[3:0] = [OVUV_MOD1:0] = 0b11 のとき、特定のシングル チャネルを OV および UV コンパレータ入力として構成します。これらのビットを変更するには、ホストが別の [OVUV_GO] = 1 コマンドを送信する必要があります。 0x0 = Cell1 にロック 0x1 = Cell2 にロック 0x2 = Cell3 にロック : 0xF = Cell16 にロック								
OVUV_GO = OV および UV コンパレータを開始します。1 に書き込むと、すべての OVUV 構成設定がサンプリングされます。このビットは自動でクリアされます。 0 = 準備完了 1 = OV および UV コンパレータを開始								
OVUV_MODE[1:0] = [OVUV_GO] = 1 のときに、OV および UV コンパレータ動作モードを設定します。これらのビットを変更するには、ホストが別の [OVUV_GO] = 1 コマンドを送信する必要があります。 00 = OV および UV コンパレータを実行しない 01 = すべてのアクティブ セルで OV および UV ラウンドロビンを実行 10 = OV および UV BIST サイクルを実行。 11 = [OVUV_LOCK3:0] で構成された 1 つのチャネルに OV および UV コンパレータをロック 注: アクティブ セルは、ACTIVE_CELL[NUM_CELL3:0] レジスタによって定義されます。								

6.5.4.8.7 OTUT_CTRL

アドレス	0x032D							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	OTCB_THR_LOCK	OTUT_LOCK[2:0]			OTUT_GO	OTUT_MODE[1:0]	
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
OTCB_THR_LOCK = OT コンパレータは、診断目的で OT または OTCB DAC スレッシュホールドの結果を測定するために、OT スレッシュホールドと OTCB スレッシュホールドを切り替えます。このため、OT コンパレータは、AUX ADC 測定を開始する前に、1 つのスレッシュホールドのみにロックする必要があります。このビットは、OT コンパレータがロックするスレッシュホールドを選択します。このビットは、OTUT_MODE[1:0] = 0b11 のときにサンプリングされ、シングル チャネル モードにロックされます。 0 = OT スレッシュホールドを選択 1 = OTCB スレッシュホールドを選択								
OTUT_LOCK[2:0] = [OTUT_MOD1:0] = 0b11 のとき、特定のシングル チャネルを OT および UT コンパレータ入力として構成します。これらのビットを変更するには、ホストが別の [OTUT_GO] = 1 コマンドを送信する必要があります。 0x0 = GPIO1A にロック 0x1 = GPIO2A にロック : 0x7 = GPIO8A にロック								
OTUT_GO = OT および UT コンパレータを開始します。1 に書き込むと、すべての OTUT 構成設定がサンプリングされます。このビットは自動でクリアされます。 0 = 準備完了 1 = OT および UT コンパレータを開始								

OTUT_MODE[1:0] = [OTUT_GO]= 1 のときに、OT および UT コンパレータ動作モードを設定します。これらのビットを変更するには、ホストが別の [OTUT_GO]= 1 コマンドを送信する必要があります。

00 = OT および UT コンパレータを実行しない

01 = すべてのアクティブ セルで OT および UT ラウンドロビンを実行

10 = OT および UT BIST サイクルを実行。

11 = [OTUT_LOCK3:0] で構成された 1 つのチャンネルに OT および UT コンパレータをロック

6.5.4.9 GPIO の構成

6.5.4.9.1 GPIO_CONF1

アドレス	0x000E							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	FAULT_IN_EN	SPI_EN	GPIO2[2:0]			GPIO1[2:0]		
リセット	0	0	0	0	0	0	0	0
FAULT_IN_EN = 入力信号が Low のときに NFAULT ピンをトリガするため、GPIO8 をアクティブ Low 入力として有効にします。 0 = フォルト入力機能なし。GPIO8 は、[GPIO8_CONF2:0] の設定に基づいて構成されます。 1 = GPIO8 をアクティブ Low 入力として設定し、NFAULT ピンをトリガします。[GPIO8_CONF2:0] 設定は無視されます。								
SPI_EN = GPIO4、GPIO5 および GPIO6、GPIO7 の SPI コントローラを有効にします。 0 = SPI コントローラが無効。 1 = SPI コントローラが有効。[GPIO4_CONF2:0]、[GPIO5_CONF2:0]、[GPIO6_CONF2:0]、[GPIO7_CONF2:0] の設定を上書きします。								
GPIO2[2:0] = GPIO2 を構成します。 000 = 無効、ハイ インピーダンス 001 = ADC および OTUT 入力 010 = ADC 専用入力 011 = デジタル入力 100 = 出力 High 101 = 出力 Low 110 = ADC 入力、弱プルアップ有効 111 = ADC 入力、弱プルダウン有効								
GPIO1[2:0] = GPIO1 を構成します。 000 = 無効、ハイ インピーダンス 001 = ADC および OTUT 入力 010 = ADC 専用入力 011 = デジタル入力 100 = 出力 High 101 = 出力 Low 110 = ADC 入力、弱プルアップ有効 111 = ADC 入力、弱プルダウン有効								

6.5.4.9.2 GPIO_CONF2

アドレス	0x000F							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE	RSVD	GPIO4[2:0]			GPIO3[2:0]		
リセット	0	0	0	0	0	0	0	0
SPARE = 予備								

GPIO4[2:0] = GPIO4 を構成します。[SPI_EN] = 1 の場合、これらの構成ビットは無視され、このピンは SPI コントローラの SS として使用されます。詳しくは、[セクション 6.3.6.1.7](#) を参照してください。
 000 = 無効、ハイ インピーダンス
 001 = ADC および OTUT 入力
 010 = ADC 専用入力
 011 = デジタル入力
 100 = 出力 High
 101 = 出力 Low
 110 = ADC 入力、弱プルアップ有効
 111 = ADC 入力、弱プルダウン有効

GPIO3[2:0] = GPIO3 を構成します。MB_TIMER_CTRL が 0x00 でない場合、この構成は無視されます。このピンは、モジュール パラ
 ンシング用に構成されています。
 000 = 無効、ハイ インピーダンス
 001 = ADC および OTUT 入力
 010 = ADC 専用入力
 011 = デジタル入力
 100 = 出力 High
 101 = 出力 Low
 110 = ADC 入力、弱プルアップ有効
 111 = ADC 入力、弱プルダウン有効

6.5.4.9.3 GPIO_CONF3

アドレス	0x0010							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE[1:0]		GPIO6[2:0]			GPIO5[2:0]		
リセット	0	0	0	0	0	0	0	0
SPARE[1:0] = 予備								
GPIO6[2:0] = GPIO6 を構成します。[SPI_EN] = 1 の場合、これらの構成ビットは無視され、このピンは SPI コントローラの MOSI として使用されます。詳しくは、 セクション 6.3.6.1.7 を参照してください。 000 = 無効、ハイ インピーダンス 001 = ADC および OTUT 入力 010 = ADC 専用入力 011 = デジタル入力 100 = 出力 High 101 = 出力 Low 110 = ADC 入力、弱プルアップ有効 111 = ADC 入力、弱プルダウン有効								
GPIO5[2:0] = GPIO5 を構成します。[SPI_EN] = 1 の場合、これらの構成ビットは無視され、このピンは SPI コントローラの MISO として使用されます。詳しくは、 セクション 6.3.6.1.7 を参照してください。 000 = 無効、ハイ インピーダンス 001 = ADC および OTUT 入力 010 = ADC 専用入力 011 = デジタル入力 100 = 出力 High 101 = 出力 Low 110 = ADC 入力、弱プルアップ有効 111 = ADC 入力、弱プルダウン有効								

6.5.4.9.4 GPIO_CONF4

アドレス	0x0011							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE[1:0]		GPIO8[2:0]			GPIO7[2:0]		
リセット	0	0	0	0	0	0	0	0
SPARE[1:0] = 予備								

GPIO8[2:0] = GPIO8 を構成します。**[FAULT_IN_EN] = 1** の場合、これらの構成ビットは無視され、アクティブ Low で NFAULT がトリガされるように、このピンが入力として使用されます。

000 = 無効、ハイ インピーダンス
 001 = ADC および OTUT 入力
 010 = ADC 専用入力
 011 = デジタル入力
 100 = 出力 High
 101 = 出力 Low
 110 = ADC 入力、弱プルアップ有効
 111 = ADC 入力、弱プルダウン有効

GPIO7[2:0] = GPIO7 を構成します。**[SPI_EN] = 1** の場合、これらの構成ビットは無視され、このピンは SPI コントローラの SCLK として使用されます。詳しくは、[セクション 6.3.6.1.7](#) を参照してください。

000 = 無効、ハイ インピーダンス
 001 = ADC および OTUT 入力
 010 = ADC 専用入力
 011 = デジタル入力
 100 = 出力 High
 101 = 出力 Low
 110 = ADC 入力、弱プルアップ有効
 111 = ADC 入力、弱プルダウン有効

6.5.4.10 SPI コントローラ

6.5.4.10.1 SPI_CONF

アドレス	0x034D							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	CPOL	CPHA	NUMBIT[4:0]				
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
CPOL = SCLK の極性を設定します。 0 = アイドル Low でクロック High 1 = アイドル High で、クロック Low								
CPHA = MISO でデータがサンプリングされる SCLK のエッジを設定します。 0 = クロック遷移の先頭 1 = クロック遷移の末尾								
NUMBIT[4:0] = SPI トランザクションの長さ。読み取り/書き込みを行う SPI ビット数を設定します。 00000 = 24 ビット 00001 = 1 ビット 00010 = 2 ビット : 10111 = 23 ビット その他すべて = 23 ビット								

6.5.4.10.2 SPI_EXE

アドレス	0x0351							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD						SS_CTRL	SPI_GO
リセット	0	0	0	0	0	0	1	0
RSVD = 予約済み								
SS_CTRL = SS の状態をプログラムします。 0 = 出力 Low 1 = 出力 High								
SPI_GO = SPI トランザクションを実行します。このビットは自動でクリアされます。 0 = アイドル 1 = SPI を実行								

6.5.4.10.3 SPI_TX3, SPI_TX2, SPI_TX1

アドレス	0x034E～ 0x0350							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	DATA[7:0]							
リセット	0	0	0	0	0	0	0	0
DATA[7:0] = SPI ターゲット デバイスへの書き込みで使用されるデータ。これらのビットは、SPI_CONF[NUMBIT4:0] を使用してプログラムされ、LSB から始まり SPI_TX1 -> LSB SPI_TX2 -> LSB SPI_TX3 の順に MOSI からクロックアウトされます。								

6.5.4.10.4 SPI_RX3, SPI_RX2, SPI_RX1

アドレス	0x0520～ 0x0522							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	DATA[7:0]							
リセット	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
DATA[7:0] = SPI トランザクション中に読み取りから返されるデータ。(更新) LSB から始まり、SPI_RX1 -> LSB SPI_RX2 -> LSB SPI_RX3 の順に SPI_CONF[NUMBIT4:0] で設定されたビット数が MISO からクロックインされます。								

6.5.4.11 診断制御

6.5.4.11.1 DIAG_OTP_CTRL

アドレス	0x0335							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD			FLIP_FACT_CRC	MARGIN_MODE[2:0]			MARGIN_GO
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
FLIP_FACT_CRC = 出荷時の CRC 値を反転するためのイネーブル ビット。これは出荷時の CRC 診断用です。 0 = 通常動作。出荷時の CRC に変更なし 1 = CRC 値を反転。これにより、出荷時 CRC フォルトである FAULT_OTP[FACT_CRC] が発生します。								
MARGIN_MODE[2:0] = OTP マージン読み取りモードを設定します。 0b000 = 通常読み取り 0b001 = 予約済み 0b010 = マージン 1 読み取り 0b011 ~ 0b111 = 予約済み								
MARGIN_GO = [MARGIN_MOD] ビットで設定された OTP マージン テストを開始します。このビットは自動的にクリアされ、常に 0 です。 0 = 準備完了 1 = テストを開始								

6.5.4.11.2 DIAG_COMM_CTRL

アドレス	0x0336							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD						SPI_LOOPBACK	FLIP_TR_CRC
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
SPI_LOOPBACK = SPI ループバック機能を有効にして、SPI 機能を検証します。詳細については、 セクション 6.3.6.1.7 を参照してください。 0 = 無効 1 = 有効								

FLIP_TR_CRC = (送信応答中に) 計算された CRC ビットをすべて反転することで、意図的に誤った通信 CRC を送信します。
 0 = 計算どおり CRC を送信
 1 = 反転した CRC を送信

6.5.4.11.3 DIAG_PWR_CTRL

アドレス	0x0337							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD						BIST_NO_RST	PWR_BIST_GO
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
BIST_NO_RST = 電源 BIST が障害を検出した場合に、さらに診断のために使用します。このビットが 1 に設定されている場合、 [PWR_BIST_GO] を使用して BIST サイクルを実行すると、デバイスは FAULT_PWR1 および FAULT_PWR2 レジスタ をクリアせず、BIST サイクルの終了時に NFAULT 信号をデアサートしません。 0 = LDO コンパレータの BIST を順次実行。FAULT_PWR* レジスタは 0 にリセットされ、各 LDO BIST 実行の終了時に NFAULT がデアサートされます。 1 = LDO コンパレータの BIST を順次実行。FAULT_PWR* レジスタは 0 にリセットされず、各 LDO BIST 実行の終了時 に NFAULT はアサートされたままです。								
PWR_BIST_GO = 1 に書き込むと、電源 BIST 診断が開始されます。このビットが再度 1 に書き込まれるまで、[BIST_NO_RST] の変更は影 響しません。このビットはセルフ クリアします。 0 = 準備完了 1 = 電源 BIST 診断を開始。								

6.5.4.11.4 DIAG_CBFET_CTRL1

アドレス	0x0338							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CBFET16~CBFET9							
リセット	0	0	0	0	0	0	0	0
CBFET16 ~ CBFET9 = CBFET 診断用の CBFET を有効にします。このレジスタは、[COMP_ADC_SEL2:0] = 0b100 の場合にのみサンプリング されます。 0 = CBFET オフ 1 = CBFET オン								

6.5.4.11.5 DIAG_CBFET_CTRL2

アドレス	0x0339							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CBFET8~CBFET1							
リセット	0	0	0	0	0	0	0	0
CBFET8 ~ CBFET1 = CBFET 診断用の CBFET を有効にします。このレジスタは、[COMP_ADC_SEL2:0] = 0b100 の場合にのみサンプリング されます。 0 = CBFET オフ 1 = CBFET オン								

6.5.4.11.6 DIAG_COMP_CTRL1

アドレス	0x033A							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	VCCB_THR[4:0]							
リセット	0	0	0	0	0	0	0	0

VCCB_THR[4:0] = VCELL と AUXCELL のデルタを設定します。VCELL と AUXCELL の比較チェックは、測定されたデルタがこのスレッシュホールドよりも低い場合、合格と見なされます。このスレッシュホールドは、メイン ADC から AUX ADC へのバス パー比較にも適用されます。
6 ~ 99mV の範囲、3mV ステップ

BB_THR[2:0] = RSVD = VCCB_THR 設定に追加されるデルタ値は、VCELL と AUXCELL の比較の際に、バス パーの上に接続されたセルの比較で使用されます (バス パーが VC チャンネルに個別に接続された場合)。
5mV ~ 40mV の範囲、5mV ステップ 予約済み

6.5.4.11.7 DIAG_COMP_CTRL2

アドレス	0x033B							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	GPIO_THR[2:0]			OW_THR[3:0]			
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
GPIO_THR[2:0] = メインおよび AUX ADC 測定値間の GPIO 比較デルタ スレッシュホールドを設定します。 4mV ~ 32mV の範囲、4mV ステップ								
OW_THR[3:0] = 診断比較用の OW 検出スレッシュホールドを設定します。このスレッシュホールドは CB OW および VC OW 診断に適用されます。 500mV ~ 5V の範囲、300mV ステップ								

6.5.4.11.8 DIAG_COMP_CTRL3

アドレス	0x033C							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	CBFET_CTRL_GO	OW_SNK[1:0]		COMP_ADC_SEL[2:0]			COMP_ADC_GO
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
CBFET_CTRL_GO = この GO ビットが 1 になると、デバイスは設定された CBFET をオンにし、DIAG_CBFET_CTRL1/2 レジスタでクリアされている CBFET をオフにします。この GO アクションは、CB が実行されていないか一時停止中の場合にのみ実行されます。それ以外の場合、CBFET は通常の CB 制御によって制御されます。 この GO ビットによって CBFET がオンになった場合、CB が開始または再開されると、CBFET の制御は通常の CB 制御に戻ります (この GO ビット アクションではありません)。								
OW_SNK[1:0] = VC ピン、CB ピン、BBP/N ピンの電流シンクをオンにします。これらのビットの変更は直ちに有効になります。ホスト マイコンは、断線 (OW) テストを実行する前に適切なシンク電流をオンにし、OW テストの完了後にシンク電流をオフにする役割を果たします。 00 = すべての VC、BBP/N、CB ピンの電流シンクがオフ。 01 = すべての VC ピンの電流シンクをオン 10 = すべての CB ピンで電流シンクをオン 11 = BBP/N ピンの電流シンクをオン								

COMP_ADC_SEL[2:0] = ADC 測定でデバイス診断比較を有効にします。ホストは、この診断を有効にする前に、対応する ADC を連続モードで有効にします。これらのビットは、[COMP_ADC_GO] = 1 のときにサンプリングされます。

000 = ADC 比較は実行されません。

001 = セル電圧測定チェック。

デバイスは、[AUX_CELL_SEL4:0] で指定されたセル チャネルを以下の条件と比較します。

VCELL (メイン ADC から) と AUXCELL (AUX ADC から) のデルタが [VCCB_THR4:0] 未満です。

この比較が完了すると、[DRDY_VCCB] = 1 になります。

010 = VC ピンの断線 (OW) チェック。

マイコンは、この比較を有効にする前に、[OW_SNK1:0] ですべての VC ピンの電流シンクを有効にします。デバイスは、ACTIVE_CELL レジスタで指定された対応する VC ピンを以下の条件と比較します。VCELL (メイン ADC から) が DIAG_COMP_CTRL2[OW_THR3:0] より小さい。

比較が完了すると、[DRDY_VC_OW] = 1 になります。

011 = CB ピンの断線 (OW) チェック

マイコンは、この比較を有効にする前に、[OW_SNK1:0] ですべての VC ピンの電流シンクを有効にします。デバイスは、[AUX_CELL_SEL4:0] で指定された対応する CB ピンを以下の条件と比較します。AUXCELL (AUX ADC から) が DIAG_COMP_CTRL2[OW_THR3:0] より小さい。比較が完了すると、[DRDY_CBOW] = 1 になります。

100 = CBFET チェック。

マイコンは、このチェックを開始する前に、次の設定を事前に行います。

- バランシングが有効な場合、セル バランシングを一時停止します。
- DIAG_CBFET_CTRL1/2 レジスタで設定された CBFET を有効にします。
- [EXTD_CBFET] を構成して、すべての CBFET が一時停止状態に戻るか (つまり、すべての CBFET をオフにする)、または DIAG_CBFET_CTRL1/2 レジスタで指定されたようにステータスを維持するかどうかを決定します。

このテストが開始されると、デバイスは DIAG_CBFET_CTRL1/2 レジスタで指定された CBFET をオンにし、

[AUX_CELL_SEL4:0] で指定されたチャネルを以下の条件と比較します。

AUXCELL (AUX ADC から) < VCELL (メイン ADC から) の 1/3。比較が完了すると、[DRDY_CBFET] = 1 になります。

101 = GPIO 測定チェック (ADC および OTUT 入力、または ADC 専用入力として構成された GPIO に適用)。

デバイスは、メイン GPIO 測定値と AUX GPIO 測定値の差を比較し、差が [GPIO_THR2:0] 未満であることを確認します。比較が完了すると、[DRDY_GPIO] = 1 になります。

その他のコード: ADC 比較は実行されません

COMP_ADC_GO = デバイスは、[COMP_ADC_SEL2:0] 設定で指定された診断テストを開始します。このビットに 1 を書き込むと、選択された [COMP_ADC_SEL2:0] がサンプリングされます。[COMP_ADC_SEL2:0] 設定の変更は、この GO ビットが再度 1 に書き込まれない限り、影響はありません。
このビットは、読み取られると 0 にクリアされます。
0 = 準備完了。0 を書き込んでも何もしません。
1 = [COMP_ADC_SEL2:0] で選択されたスター診断

6.5.4.11.9 DIAG_COMP_CTRL4

アドレス	0x033D							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD						COMP_FAULT_INJ	LPF_FAULT_INJ
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
COMP_FAULT_INJ = ADC 比較ロジックにフォルトを注入します。このビットをセットして ADC 比較診断を実行すると、比較結果は失敗します。 0 = 無効 1 = 有効								
LPF_FAULT_INJ = LPF 診断中は、診断 LPF にフォルト条件を注入します。FAULT_COMP_MISC[LPF_FAIL] が設定されている必要があります。 0 = 無効 1 = 有効								

6.5.4.11.10 DIAG_PROT_CTRL

アドレス	0x033E							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0

名称	RSVD							PROT_BIST_NO_RST
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
PROT_BIST_NO_RST = プロテクタの BIST がフォルトを検出した場合に、さらなる診断のために使用します。このビットが 1 に設定されている場合、デバイスは FAULT_OV1/2 、 FAULT_UV1/2 、 FAULT_OT 、および FAULT_UT レジスタをクリアしません。NFAULT 信号は、アサートされるとラッチされます。 注:ホストは、このビットを 0 に設定して BIST 実行を開始する前に、フォルトがないことを確認します。 0 = BIST 実行中に、デバイスがプロテクタ コンパレータおよび MUX をチェックするためにフォルトをアサートし、正しい OV、UV、OT、UT フォルトビットを NFAULT ピンにアサートします。このビットが 0 の場合、デバイスはフォルトをクリアし、次のチャンネルに切り替える前に NFAULT をデアサートします。 1 = BIST の実行時に、テスト中に生成されたフォルトは、次のセルまたは GPIO チャンネルに切り替える前にクリアされません。NFAULT ピンは、アサートされるとラッチされます。								

6.5.4.12 フォルト構成とリセット

6.5.4.12.1 FAULT_MSK1

アドレス	0x0016							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	MSK_PROT	MSK_UT	MSK_OT	MSK_UV	MSK_OV	MSK_COMP	MSK_SYS	MSK_PWR
リセット	0	0	0	0	0	0	0	0
MSK_PROT = NFAULT をトリガするように、 FAULT_PROT* レジスタをマスクします。 0 = FAULT_PROT* のいずれかのビットが 1 に設定されている場合、NFAULT をアサートします。 1 = FAULT_PROT* のビット ステータスに関係なく、NFAULT アクションは実行されません。								
MSK_UT = NFAULT をトリガするように、 FAULT_UT* レジスタをマスクします。 0 = FAULT_UT* のいずれかのビットが 1 に設定されている場合、NFAULT をアサートします。 1 = FAULT_UT* のビット ステータスに関係なく、NFAULT アクションは実行されません。								
MSK_OT = NFAULT をトリガするように、 FAULT_OT* レジスタをマスクします。 0 = FAULT_OT* のいずれかのビットが 1 に設定されている場合、NFAULT をアサートします。 1 = FAULT_OT* のビット ステータスに関係なく、NFAULT アクションは実行されません。								
MSK_UV = NFAULT をトリガするように、 FAULT_UV* レジスタをマスクします。 0 = FAULT_UV* のいずれかのビットが 1 に設定されている場合、NFAULT をアサートします。 1 = FAULT_UV* のビット ステータスに関係なく、NFAULT アクションは実行されません。								
MSK_OV = NFAULT をトリガするように、 FAULT_OV* レジスタをマスクします。 0 = FAULT_OV* のいずれかのビットが 1 に設定されている場合、NFAULT をアサートします。 1 = FAULT_OV* のビット ステータスに関係なく、NFAULT アクションは実行されません。								
MSK_COMP = NFAULT をトリガするように、 FAULT_COMP_* レジスタをマスクします。 0 = FAULT_COMP_* のいずれかのビットが 1 に設定されている場合、NFAULT をアサートします。 1 = FAULT_COM_* のビット ステータスに関係なく、NFAULT アクションは実行されません。								
MSK_SYS = 任意の FAULT_SYS レジスタビットから NFAULT アサートをマスクします。 0 = FAULT_SYS のいずれかのビットが 1 に設定されている場合、NFAULT をアサートします。 1 = FAULT_SYS のビット ステータスに関係なく、NFAULT アクションは実行されません。								
MSK_PWR = FAULT_PWR1 から FAULT_PWR3 の任意のレジスタ ビットから NFAULT アサートをマスクします。 0 = FAULT_PWR1 から FAULT_PWR3 のいずれかのビットが 1 に設定されている場合、NFAULT をアサートします。 1 = FAULT_PWR1 から FAULT_PWR3 のビット ステータスに関係なく、NFAULT アクションは実行されません。								

6.5.4.12.2 FAULT_MSK2

アドレス	0x0017							
NVM	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	SPARE[1]	MSK_OTP_C RC	MSK_OTP_DA TA	MSK_COMM3 _FCOMM	MSK_COMM3 _FTONE	MSK_COMM3 _HB	MSK_COMM2	MSK_COMM1
リセット	0	0	0	0	0	0	0	0
SPARE[1] = 予備								

MSK_OTP_CRC = NFAULTトリガ時に FAULT_OTP レジスタ ([CUST_CRC] および [FACT_CRC] のみ) をマスクします。 0 = 上記のいずれかのビットが 1 に設定されている場合、NFAULT をアサートします。 1 = 上記のビットのステータスに関係なく、NFAULT アクションは実行されません。
MSK_OTP_DATA = NFAULTトリガ時に、 FAULT_OTP レジスタ ([CUST_CRC] と [FACT_CRC] を除くすべてのビット) をマスクします。 0 = 上記のいずれかのビットが 1 に設定されている場合、NFAULT をアサートします。 1 = 上記のビットのステータスに関係なく、NFAULT アクションは実行されません。
MSK_COMM3_FCOMM NFAULTトリガで FAULT_COMM3[FCOMM_DET] フォルトをマスクします。 = 0 = FAULT_COMM3[FCOMM_DET] が 1 に設定されている場合、NFAULT をアサートします。 1 = FAULT_COMM3[FCOMM_DET] ステータスに関係なく、NFAULT アクションは実行されません。
MSK_COMM3_FTONE NFAULTトリガで FAULT_COMM3[FTONE_DET] フォルトをマスクします。 = 0 = FAULT_COMM3[FTONE_DET] が 1 に設定されている場合、NFAULT をアサートします。 1 = FAULT_COMM3[FTONE_DET] ステータスに関係なく、NFAULT アクションは実行されません。
MSK_COMM3_HB = NFAULTトリガで FAULT_COMM3[HB_FAST] または [HB_FAIL] フォルトをマスクします。 0 = FAULT_COMM3[HB_FAST] または [HB_FAIL] が 1 に設定されている場合、NFAULT をアサートします。 1 = FAULT_COMM3[HB_FAST] または [HB_FAIL] ステータスに関係なく、NFAULT アクションは実行されません。
MSK_COMM2 = NFAULTトリガで FAULT_COMM2 レジスタをマスクします。 0 = FAULT_COMM2 のいずれかのビットが 1 に設定されている場合、NFAULT をアサートします。 1 = FAULT_COMM2 レジスタのビット ステータスに関係なく、NFAULT アクションは実行されません。
MSK_COMM1 = NFAULTトリガで FAULT_COMM1 レジスタをマスクします。 0 = FAULT_COMM1 のいずれかのビットが 1 に設定されている場合、NFAULT をアサートします。 1 = FAULT_COMM1 レジスタのビット ステータスに関係なく、NFAULT アクションは実行されません。

6.5.4.12.3 FAULT_RST1

アドレス	0x0331							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RST_PROT	RST_UT	RST_OT	RST_UV	RST_OV	RST_COMP	RST_SYS	RST_PWR
リセット	0	0	0	0	0	0	0	0
RST_PROT = FAULT_PROT1 および FAULT_PROT2 レジスタを 0x00 にリセットします。 0 = リセットなし 1 = レジスタを 0x00 にリセット								
RST_UT = すべての FAULT_UT レジスタを 0x00 にリセットします。 0 = リセットなし 1 = レジスタを 0x00 にリセット								
RST_OT = すべての FAULT_OT レジスタを 0x00 にリセットします。 0 = リセットなし 1 = レジスタを 0x00 にリセット								
RST_UV = すべての FAULT_UV* レジスタを 0x00 にリセットします。 0 = リセットなし 1 = レジスタを 0x00 にリセット								
RST_OV = すべての FAULT_OV* レジスタを 0x00 にリセットします。 0 = リセットなし 1 = レジスタを 0x00 にリセット								
RST_COMP = すべての FAULT_COMP_* レジスタを 0x00 にリセットします。 0 = リセットなし 1 = レジスタを 0x00 にリセット								
RST_SYS = FAULT_SYS レジスタを 0x00 にリセットします。このビットは、1 が書き込まれた後、自動的に 0 になります。 0 = リセットなし 1 = 0x00 にリセット								
RST_PWR = FAULT_PWR1 から FAULT_PWR3 レジスタを 0x00 にリセットします。このビットは、1 が書き込まれた後、自動的に 0 になります。 0 = リセットなし 1 = 0x00 にリセット								

6.5.4.12.4 FAULT_RST2

アドレス	0x0332							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	RST_OTP_CRC	RST_OTP_DATA	RST_COMM3_FCOMM	RST_COMM3_FTONE	RST_COMM3_HB	RST_COMM2	RST_COMM1
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
RST_OTP_CRC = FAULT_OTP レジスタ ([CUST_CRC] と [FACT_CRC] のみ) をリセットします。 0 = リセットなし 1 = レジスタを 0x00 にリセット								
RST_OTP_DATA = FAULT_OTP レジスタ ([SEC_DETECT] と [DED_DETECT] のみ) をリセットします。 0 = リセットなし 1 = レジスタを 0x00 にリセット								
RST_COMM3_FCOMM FAULT_COMM3[FCOMM_DET] をリセットします。 = 0 = リセットなし 1 = 関連ビットを 0 にリセット								
RST_COMM3_FTONE FAULT_COMM3[FTONE_DET] をリセットします。 = 0 = リセットなし 1 = 関連ビットを 0 にリセット								
RST_COMM3_HB = FAULT_COMM3[HB_FAST] ビットと [HB_FAIL] ビットをリセットします。 0 = リセットなし 1 = 関連ビットを 0 にリセット								
RST_COMM2 = FAULT_COMM2、DEBUG_COML*、DEBUG_COMM_COMH* レジスタをリセットします。 0 = リセットなし 1 = レジスタを 0x00 にリセット								
RST_COMM1 = FAULT_COMM1 および DEBUG_COMM_UART* レジスタをリセットします。 0 = リセットなし 1 = レジスタを 0x00 にリセット								

6.5.4.13 故障ステータス

6.5.4.13.1 FAULT_SUMMARY

このレジスタは NFAULT のソフト バージョンです。

アドレス	0x052D							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	FAULT_PROT	FAULT_COMP_ADC	FAULT_OTP	FAULT_COM M	FAULT_OTUT	FAULT_OVUV	FAULT_SYS	FAULT_PWR
リセット	0	0	0	0	0	0	0	0
FAULT_PROT = このビットは、[MSK_PROT]= 0 で、かつ FAULT_PROT1 または FAULT_PROT2 レジスタビットのいずれかがセットされている場合に設定されます。 0 = プロテクタなし (OVUV、OTUT コンパレータ) フォルト。 1 = プロテクタ フォルト検出								
FAULT_COMP_ADC = このビットは、[MSK_COMP]= 0 であり、次のいずれかのレジスタが設定されている場合にセットされます。 - FAULT_COMP_VCCB1/2 - FAULT_COMP_VCOW1/2 - FAULT_COMP_CBOW1/2 - FAULT_COMP_CBFET1/2 - FAULT_COMP_GPIO - FAULT_COMP_MISC 0 = ADC 比較フォルトなし (つまり、FAULT_COMP_* レジスタは設定されていません)。 1 = ADC 比較フォルト検出。								

FAULT_OTP = [MSK_OTP] = 0 であり、かつ FAULT_OTP レジスタ ビットのいずれかがセットされている場合、このビットがセットされます。 0 = OTP 関連のフォルト検出なし、または OTP フォルトがマスクされている。 1 = OTP 関連のフォルト検出
FAULT_COMM = このビットは、以下のいずれかを満たす場合に設定されます。 • [MSK_COMM1]= 0 であり、FAULT_COMM1 レジスタ ビットのいずれかがセットされている。 • [MSK_COMM2]= 0 であり、FAULT_COMM2 レジスタ ビットのいずれかがセットされている。 • [MSK_COMM3_HB] = 0 で、FAULT_COMM3[HB_FAST] ビットまたは [HB_FAIL] ビットがセットされている。 • [MSK_COMM3_FTONE]= 0 で、FAULT_COMM3[FTONE_DET] がセットされている。 • [MSK_COMM3_FCOMM]= 0 であり、FAULT_COMM3[FCOMM_DET] がセットされている。 0 = UART、VIF、FTONE フォルト検出なし、または UART、VIF、FTONE フォルトがマスクされている。 1 = UART、VIF、または UT フォルト検出。
FAULT_OTUT = このビットは、以下のいずれかを満たす場合に設定されます。 • [MSK_OT]= 0 かつ、FAULT_OT1 ビットまたは FAULT_OT2 ビットのいずれかがセットされている。 • [MSK_UT]= 0 かつ、FAULT_UT1 ビットまたは FAULT_UT2 ビットのいずれかがセットされている。 0 = OT または UT フォルト検出なし、または OT および UT フォルトがマスクされている。 1 = OT または UT フォルト検出
FAULT_OVUV = このビットは、以下のいずれかを満たす場合に設定されます。 • [MSK_OV]= 0 かつ、FAULT_OV1 ビットまたは FAULT_OV2 ビットのいずれかがセットされている。 • [MSK_UV]= 0 で、FAULT_UV1 ビットまたは FAULT_UV2 ビットのいずれかがセットされている。 0 = OV または UV フォルト検出なし、または OV および UV フォルトがマスクされている。 1 = OV または UV フォルト検出。
FAULT_SYS = [MSK_SYS] = 0 で、かつ FAULT_SYS レジスタ ビットのいずれかがセットされている場合、このビットがセットされます。 0 = システム関連のフォルト検出なし、またはシステム フォルトがマスクされている。 1 = システム関連のフォルト検出
FAULT_PWR = このビットは、 [MSK_PWR] = 0 で、かつ FAULT_PWR1 ~ FAULT_PWR3 レジスタ ビットのいずれかがセットされている場合に設定されます。 0 = 電源レール関連のフォルト検出なし、またはシステム フォルトがマスクされている。 1 = 電源レール関連のフォルト検出

6.5.4.13.2 FAULT_COMM1

アドレス	0x0530							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD			UART_TR	UART_RR	UART_RC	COMMCLR_DET	STOP_DET
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
UART_TR = 応答フレームを送信しているときに UART フォルトが検出されたことを示します。フォルト情報の詳細については、 DEBUG_UART_RR_TR レジスタを参照してください。 0 = フォルトなし 1 = フォルト								
UART_RR = 応答フレームを受信したときに UART フォルトが検出されたことを示します。フォルト情報の詳細については、 DEBUG_UART_RR_TR レジスタを参照してください。 0 = フォルトなし 1 = フォルト								
UART_RC = コマンド フレームを受信中に UART フォルトが検出されたことを示します。フォルト情報の詳細については、 DEBUG_UART_RC レジスタを参照してください。 0 = フォルトなし 1 = フォルト								

COMMCLR_DET = UART 通信クリア信号が検出されました。ACTIVE モードまたは SLEEP モードで SLEEPtoACTIVE ping を検出するか、または ACTIVE モードで WAKE ピンを検出すると、このビットも設定されます。
0 = UART クリアなし
1 = UART クリア検出

STOP_DET = 予期しない STOP 条件が受信されたことを示します。ACTIVE モードで SLEEPtoACTIVE 信号が検出されると、このビットも設定されます。
0 = フォルトなし
1 = フォルト

6.5.4.13.3 FAULT_COMM2

アドレス	0x0531							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	COML_TR	COML_RR	COML_RC	COML_BIT	COMH_TR	COMH_RR	COMH_RC	COMH_BIT
リセット	0	0	0	0	0	0	0	0
COML_TR = 応答フレームを送信しているときに COML バイト レベルのフォルトが検出されたことを示します。フォルト情報の詳細については、 DEBUG_COML_RR_TR レジスタを参照してください。 0 = フォルトなし 1 = フォルト								
COML_RR = 応答フレームを受信するときに、COML バイト レベル フォルトが検出されたことを示します。フォルト情報の詳細については、 DEBUG_COML_RR_TR レジスタを参照してください。 0 = フォルトなし 1 = フォルト								
COML_RC = コマンド フレームを受信するときに、COML バイト レベル フォルトが検出されたことを示します。フォルト情報の詳細については、 DEBUG_COML_RR_RC レジスタを参照してください。 0 = フォルトなし 1 = フォルト								
COML_BIT = 1 バイト レベルのフォルトを引き起こす COML ビット レベル フォルトが検出されたことを示します。フォルト情報の詳細については、 DEBUG_COML_BIT レジスタを参照してください。 0 = フォルトなし 1 = フォルト								
COMH_TR = 応答フレームを送信しているときに COMH バイト レベルのフォルトが検出されたことを示します。フォルト情報の詳細については、 DEBUG_COMH_RR_TR レジスタを参照してください。 0 = フォルトなし 1 = フォルト								
COMH_RR = 応答フレームを受信するときに、COMH バイト レベル フォルトが検出されたことを示します。フォルト情報の詳細については、 DEBUG_COMH_RR_TR レジスタを参照してください。 0 = フォルトなし 1 = フォルト								
COMH_RC = コマンド フレームを受信するときに、COMH バイト レベル フォルトが検出されたことを示します。フォルト情報の詳細については、 DEBUG_COMH_RR_RC レジスタを参照してください。 0 = フォルトなし 1 = フォルト								
COMH_BIT = 1 バイト レベルのフォルトを引き起こす COMH ビット レベル フォルトが検出されたことを示します。フォルト情報の詳細については、 DEBUG_COMH_BIT レジスタを参照してください。 0 = フォルトなし 1 = フォルト								

6.5.4.13.4 FAULT_COMM3

アドレス	0x0532							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD				FCOMM_DET	FTONE_DET	HB_FAIL	HB_FAST
リセット	0	0	0	0	0	0	0	0

RSVD = 予約済み
FCOMM_DET = 上位スタック デバイスのいずれかでフォルト ステータス ビットがセットされた通信トランザクションを受信しました。 0 = フォルトステータスがクリアされています。これは、上位スタック デバイスのいずれからフォルトが検出されていないことを示します。 1 = 受信通信トランザクションによってフォルト ステータスが設定されています。
FTONE_DET = FAULT TONE が受信されたことを示します。 [DIR_SEL] = 0 の場合、検出は COML 側を監視します。その逆も同様です。 0 = FAULT TONE 検出なし 1 = FAULT TONE 検出
HB_FAIL = 想定される時間内に HEARTBEAT が受信されていないことを示します。 [DIR_SEL] = 0 の場合、検出は COML 側を監視します。その逆も同様です。 0 = フォルトなし 1 = フォルト
HB_FAST = HEARTBEAT の受信頻度が高すぎることを示します。 [DIR_SEL] = 0 の場合、検出は COML 側を監視します。その逆も同様です。 [FTONE_DET] = 1 が、前の HEARTBEAT から FAULT TONE が検出される速度に依存する場合、このビットもセットされる場合があります。 0 = フォルトなし 1 = フォルト

6.5.4.13.5 FAULT_OTP

アドレス	0x0535							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	DED_DET	SEC_DET	CUST_CRC	FACT_CRC	CUSTLDERR	FACTLDERR	GBLOVERR
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
DED_DET = OTP ロード時に DED エラーが発生したことを示します。(エンコード中は不明) 0 = フォルトなし 1 = フォルト								
SEC_DET = OTP ロード時に SEC エラーが発生したことを示します。(エンコード中は不明) 0 = フォルトなし 1 = フォルト								
CUST_CRC = カスタムレジスタ領域で CRC エラーが発生したことを示します。 0 = フォルトなし 1 = フォルト								
FACT_CRC = 工場出荷時のレジスタ領域で CRC エラーが発生したことを示します。 0 = フォルトなし 1 = フォルト								
CUSTLDERR = 顧客領域の OTP ロード プロセス中のエラーを示します。特定のエラー条件を確認するには、 OTP_CUST1_STAT および OTP_CUST2_STAT レジスタを読み出します。このエラー ビットは、次のいずれかが該当する場合に設定されます。 - 顧客 OTP ページがプログラムされていない。 - 最上位の顧客 OTP ページに [FMterr] が表示される。 - 最上のカスタム OTP ページは [TRY] = 1 です。[PROGOK] ではありません。 - 選択した顧客 OTP ページで LOADERR が発生しました。 このエラーのあるデバイスから受信した情報は、信頼できるものと見なしてはなりません。 [RST_OTP_DATA] = 1 を書き込んでも、このビットはリセットされません。このエラーを再確認するには、デバイス リセットまたは HW_RESET が必要です。 0 = フォルトなし 1 = フォルト								

FACTLDERR = 工場出荷時領域 OTP ロード プロセス中のエラーを示します。このエラー ビットは、次のいずれかが該当する場合に設定されます。

- 工場出荷時の OTP ページはプログラムされていません。
- 最上位の工場出荷時の OTP ページは **[FMterr]** です。
- 最上位の工場出荷時の OTP ページは **[TRY]= 1** であり、**[PROGOK]** ではありません。
- 選択された工場出荷時の OTP ページで **LOADERR** が発生しました。

このエラーのあるデバイスから受信した情報は、信頼できるものと見なしてはなりません。
[RST_OTP_DATA]= 1 を書き込んでも、このビットはリセットされません。このエラーを再確認するには、デバイス リセットまたは **HW_RESET** が必要です。
0 = フォルトなし
1 = フォルト

GBLOVERR = いくつかの OTP ページで過電圧エラーが検出されたことを示します。**OTP_CUST1_STAT** および **OTP_CUST2_STAT** レジスタを読み取り、特定のページを決定します。このエラーのあるデバイスから受信した情報は、信頼できるものと見なしてはなりません。
[RST_OTP_DATA]= 1 を書き込んでも、このビットはリセットされません。このビットをクリアするには、デバイス リセットまたは **HW_RESET** が必要です。別のページでプログラミング手順を繰り返すと (可能な場合)、デバイスは強制的に状態を再評価します。
0 = フォルトなし
1 = フォルト

6.5.4.13.6 FAULT_SYS

アドレス	0x0536							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	LFO	RSVD	GPIO	DRST	CTL	CTS	TSHUT	TWARN
リセット	0	0	0	0	0	0	0	0
LFO = LFO 周波数が予測範囲外であることを示します 0 = フォルト検出なし 1 = フォルト検出あり								
RSVD = 予約済み								
GPIO = GPIO_CONF1[FAULT_IN_EN]= 1 のときに、GPIO8 がフォルト入力を検出したことを示します。 0 = フォルト検出なし 1 = フォルト入力検出								
DRST = デジタル リセットが発生したことを示します。 0 = デジタルリ セットなし 1 = デジタルリ セットあり								
CTL = 長時間通信タイムアウトが発生したことを示します。デバイスの動作は [CTL_ACT] によって設定されます。この動作がデバイスのシャットダウンに設定されている場合、このビットは観測できません。 0 = フォルトなし 1 = 長時間通信タイムアウトが発生。長いタイムアウト動作が SLEEP に設定されている場合に観測できます。								
CTS = 短い通信タイムアウトが発生したことを示します。デバイスからの動作はありません。これは、長時間通信タイムアウトに達する前のシステム アラートとして機能できます。 0 = フォルトなし 1 = 短い通信タイムアウトのエラー								
TSHUT = 以前のシャットダウンがサーマル シャットダウンであったことを示しており、ダイ温度 (ダイ温度 2) がサーマルシャットダウン スレッショルドよりも高くなっています。 0 = ダイ温度がサーマル シャットダウン スレッショルドを下回っている 1 = 前のシャットダウンでサーマル シャットダウンを設定								
TWARN = ダイ温度 (ダイ温度 2) が TWARN_THR[1:0] 設定よりも高いことを示します。現時点で、デバイスでは何の処理も実行されません。これは、ダイ温度がサーマル シャットダウンに近づいていることを警告する信号として機能します。 0 = ダイ温度が TWARN_THR[1:0] より低い 1 = ダイ温度が TWARN_THR[1:0] より高い								

6.5.4.13.7 FAULT_PROT1

アドレス	0x053A							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD						TPARITY_FAIL	VPARITY_FAIL
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
TPARITY_FAIL = 次の OTUT 関連の構成のいずれかでパリティ フォルトが検出されたことを示します。 • OT または UT スレッショルド設定 • [OTUT_MODE1:0] 設定 • GPIO_CONF1...4 設定 0 = フォルトなし 1 = フォルト								
VPARITY_FAIL = 次の OVUV 関連の構成のいずれかでパリティ フォルトが検出されたことを示します。 • OV または UV スレッショルド設定 • [OVUV_MODE1:0] 設定 • [NUM_CELL3:0] 設定 0 = フォルトなし 1 = フォルト								

6.5.4.13.8 FAULT_PROT2

アドレス	0x053B							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	BIST_ABORT	TPATH_FAIL	VPATH_FAIL	UTCOMP_FAIL	OTCOMP_FAIL	OVCOMP_FAIL	UVCOMP_FAIL
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
BIST_ABORT = OVUV と OTUT BIST のどちらかが中止されたことを示します。 0 = BIST が完了するまで実行 1 = BIST を中止								
TPATH_FAIL = BIST テスト中に OTUT 信号路上でフォルトが検出されたことを示します。 0 = フォルトなし 1 = フォルト								
VPATH_FAIL = BIST テスト中に OVUV 信号路上でフォルトが検出されたことを示します。 0 = フォルトなし 1 = フォルト								
UTCOMP_FAIL = BIST テスト中に UT コンパレータが失敗したことを示します。 0 = フォルトなし 1 = フォルト								
OTCOMP_FAIL = BIST テスト中に OT コンパレータが失敗したことを示します。 0 = フォルトなし 1 = フォルト								
OVCOMP_FAIL = BIST テスト中に OV コンパレータが失敗したことを示します。 0 = フォルトなし 1 = フォルト								
UVCOMP_FAIL = BIST テスト中に UV コンパレータが失敗したことを示します。 0 = フォルトなし 1 = フォルト								

6.5.4.13.9 FAULT_OV1

アドレス	0x053C							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	OV16_DET	OV15_DET	OV14_DET	OV13_DET	OV12_DET	OV11_DET	OV10_DET	OV9_DET
リセット	0	0	0	0	0	0	0	0
OV9_DET ~ OV16_DET = Cell9 ~ Cell16 の OV フォルト ステータスは、OV コンパレータ検出の結果です。								

6.5.4.13.10 FAULT_OV2

アドレス	0x053D							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	OV8_DET	OV7_DET	OV6_DET	OV5_DET	OV4_DET	OV3_DET	OV2_DET	OV1_DET
リセット	0	0	0	0	0	0	0	0
OV1_DET ~ OV8_DET = Cell1 ~ Cell8 の OV フォルト ステータスは、OV コンパレータ検出の結果です。								

6.5.4.13.11 FAULT_UV1

アドレス	0x053E							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	UV16_DET	UV15_DET	UV14_DET	UV13_DET	UV12_DET	UV11_DET	UV10_DET	UV9_DET
リセット	0	0	0	0	0	0	0	0
UV9_DET ~ UV16_DET = Cell9 ~ Cell16 の UV フォルト ステータスは、UV コンパレータ検出の結果です。								

6.5.4.13.12 FAULT_UV2

アドレス	0x053F							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	UV8_DET	UV7_DET	UV6_DET	UV5_DET	UV4_DET	UV3_DET	UV2_DET	UV1_DET
リセット	0	0	0	0	0	0	0	0
UV1_DET ~ UV8_DET = Cell1 ~ Cell8 の UV フォルト ステータスは、UV コンパレータ検出の結果です。								

6.5.4.13.13 FAULT_OT

アドレス	0x0540							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	OT8_DET	OT7_DET	OT6_DET	OT5_DET	OT4_DET	OT3_DET	OT2_DET	OT1_DET
リセット	0	0	0	0	0	0	0	0
OT1_DET ~ OT8_DET = GPIO1 ~ GPIO8 の OT フォルト ステータスは、OT コンパレータ検出の結果です。								

6.5.4.13.14 FAULT_UT

アドレス	0x0541							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	UT8_DET	UT7_DET	UT6_DET	UT5_DET	UT4_DET	UT3_DET	UT2_DET	UT1_DET
リセット	0	0	0	0	0	0	0	0

UT1_DET ~ UT8_DET = GPIO1 ~ GPIO8 の UT フォルト ステータスは、UT コンパレータ検出の結果です。

6.5.4.13.15 FAULT_COMP_GPIO

アドレス	0x0543							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	GPIO8_FAIL	GPIO7_FAIL	GPIO6_FAIL	GPIO5_FAIL	GPIO4_FAIL	GPIO3_FAIL	GPIO2_FAIL	GPIO1_FAIL
リセット	0	0	0	0	0	0	0	0
GPIO1_FAIL ~ GPIO8_FAIL = GPIO1 ~ GPIO8 の ADC と AUX ADC GPIO 測定診断結果を示します。 GPIO8_FAIL = 0 = 診断合格 1 = 診断不合格。メイン ADC と AUX ADC からの GPIO 測定値の差が [GPIO_THR2:0] より大きい								

6.5.4.13.16 FAULT_COMP_VCCB1

アドレス	0x0545							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CELL16_FAIL	CELL15_FAIL	CELL14_FAIL	CELL13_FAIL	CELL12_FAIL	CELL11_FAIL	CELL10_FAIL	CELL9_FAIL
リセット	0	0	0	0	0	0	0	0
CELL9_FAIL ~ CELL16_FAIL = cell9 から cell16 の電圧診断結果を示します。 CELL16_FAIL = 0 = 診断合格 1 = 診断不合格。VCELL と AUXCELL の測定値の差が [VCCB_THR4:0] より大きい								

6.5.4.13.17 FAULT_COMP_VCCB2

アドレス	0x0546							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CELL8_FAIL	CELL7_FAIL	CELL6_FAIL	CELL5_FAIL	CELL4_FAIL	CELL3_FAIL	CELL2_FAIL	CELL1_FAIL
リセット	0	0	0	0	0	0	0	0
CELL1_FAIL ~ CELL8_FAIL = cell1 から cell8 の電圧診断結果を示します。 CELL8_FAIL = 0 = 診断合格 1 = 診断不合格。VCELL と AUXCELL の測定値の差が [VCCB_THR4:0] より大きい								

6.5.4.13.18 FAULT_COMP_VCOW1

アドレス	0x0548							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	VCOW16_FAIL	VCOW15_FAIL	VCOW14_FAIL	VCOW13_FAIL	VCOW12_FAIL	VCOW11_FAIL	VCOW10_FAIL	VCOW9_FAIL
リセット	0	0	0	0	0	0	0	0
VCOW9_FAIL ~ VCOW16_FAIL = cell9 から cell 16 の VC OW 診断結果を示します。 VCOW16_FAIL = 0 = 診断合格 1 = 診断不合格。VCELL 測定値が [OW_THR3:0] より小さい								

6.5.4.13.19 FAULT_COMP_VCOW2

アドレス	0x0549							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	VCOW8_FAIL	VCOW7_FAIL	VCOW6_FAIL	VCOW5_FAIL	VCOW4_FAIL	VCOW3_FAIL	VCOW2_FAIL	VCOW1_FAIL

リセット	0	0	0	0	0	0	0	0
VCOW1_FAIL ~ cell1 から cell 8 の VC OW 診断結果を示します。 VCOW8_FAIL = 0 = 診断合格 1 = 診断不合格。VCELL 測定値が [OW_THR3:0] より小さい								

6.5.4.13.20 FAULT_COMP_CBOW1

アドレス	0x054B							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CBOW16_FAIL	CBOW15_FAIL	CBOW14_FAIL	CBOW13_FAIL	CBOW12_FAIL	CBOW11_FAIL	CBOW10_FAIL	CBOW9_FAIL
リセット	0	0	0	0	0	0	0	0
CBOW9_FAIL ~ CB FET9 から CB FET16 に対する CB OW 診断の結果。 CBOW16_FAIL = 0 = 合格 1 = 不合格								

6.5.4.13.21 FAULT_COMP_CBOW2

アドレス	0x054C							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CBOW8_FAIL	CBOW7_FAIL	CBOW6_FAIL	CBOW5_FAIL	CBOW4_FAIL	CBOW3_FAIL	CBOW2_FAIL	CBOW1_FAIL
リセット	0	0	0	0	0	0	0	0
CBOW1_FAIL ~ CB FET1 から CB FET8 に対する CB OW 診断の結果。 CBOW8_FAIL = 0 = 合格 1 = 不合格								

6.5.4.13.22 FAULT_COMP_CBFET1

アドレス	0x054E							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CBFET16_FAIL	CBFET15_FAIL	CBFET14_FAIL	CBFET13_FAIL	CBFET12_FAIL	CBFET11_FAIL	CBFET10_FAIL	CBFET9_FAIL
リセット	0	0	0	0	0	0	0	0
CBFET9_FAIL ~ CB FET9 から CB FET16 に対する CB FET 診断の結果。 CBFET16_FAIL = 0 = 合格 1 = 不合格								

6.5.4.13.23 FAULT_COMP_CBFET2

アドレス	0x054F							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CBFET8_FAIL	CBFET7_FAIL	CBFET6_FAIL	CBFET5_FAIL	CBFET4_FAIL	CBFET3_FAIL	CBFET2_FAIL	CBFET1_FAIL
リセット	0	0	0	0	0	0	0	0
CBFET1_FAIL ~ CB FET1 から CB FET8 に対する CB FET 診断の結果。 CBFET8_FAIL = 0 = 合格 1 = 不合格								

6.5.4.13.24 FAULT_COMP_MISC

アドレス	0x0550							
------	--------	--	--	--	--	--	--	--

読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD						COMP_ADC_ABORT	LPF_FAIL
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
COMP_ADC_ABORT = 不適切な設定により、最新の ADC 比較診断が中止されたことを示します。ADC 比較診断のいずれかが開始された場合にのみ有効です。 0 = ADC 比較診断を実行して完了 1 = ADC 比較診断を中止								
LPF_FAIL = LPF 診断結果を示します。 0 = 合格 1 = 不合格								

6.5.4.13.25 FAULT_PWR1

アドレス	0x0552							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CVSS_OPE N	DVSS_OPEN	REFHM_OPE N	CVDD_UV	CVDD_OV	DVDD_OV	AVDD_OSC	AVDD_OV
リセット	0	0	0	0	0	0	0	0
CVSS_OPEN = CVSS ピンの断線条件を示します。 0 = フォルトなし 1 = フォルト								
DVSS_OPEN = DVSS ピンの断線条件を示します。 0 = フォルトなし 1 = フォルト								
REFHM_OPEN = REFHM ピンの断線条件を示します。 0 = フォルトなし 1 = フォルト								
CVDD_UV = CVDD LDO の低電圧障害を示します。 0 = フォルトなし 1 = フォルト								
CVDD_OV = CVDD LDO の過電圧障害を示します。 0 = フォルトなし 1 = フォルト								
DVDD_OV = DVDD LDO の過電圧障害を示します。 0 = フォルトなし 1 = フォルト								
AVDD_OSC = AVDD が許容される制限値を超えて発振していることを示します。 0 = フォルトなし 1 = フォルト SLEEP から ACTIVE モードに遷移するときに、このフォルトがトリガされる可能性があります。したがって、このフォルトが設定されている場合は、そのフォルトを無視してリセットしてください。								
AVDD_OV = AVDD LDO の過電圧障害を示します。 0 = フォルトなし 1 = フォルト								

6.5.4.13.26 FAULT_PWR2

アドレス	0x0553							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD	PWRBIST_FAIL	RSVD	REFH_OSC	NEG5V_UV	TSREF_OSC	TSREF_UV	TSREF_OV

リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
PWRBIST_FAIL = BIST 実行でフォルトが発生したことを示します。 0 = フォルトなし 1 = フォルト								
REFH_OSC = REGH リファレンスが許容される制限値を超えて発振していることを示します。 0 = フォルトなし 1 = フォルト								
NEG5V_UV = NEG5V チャージ ポンプの低電圧障害を示します。 0 = フォルトなし 1 = フォルト								
TSREF_OSC = TSREF が許容される制限値を超えて発振していることを示します。 0 = フォルトなし 1 = フォルト								
TSREF_UV = TSREF LDO の低電圧障害を示します。 0 = フォルトなし 1 = フォルト								
TSREF_OV = TSREF LDO の過電圧障害を示します。 0 = フォルトなし 1 = フォルト								

6.5.4.13.27 FAULT_PWR3

アドレス	0x0554							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD					RSVD	RSVD	AVDDUV_DRST
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
AVDDUV_DRST = AVDD UV が検出され、デジタルリセットが発生したことを示します。これは、SHUTDOWN イベントまたは HW リセット イベント後にデバイスがウェークアップしたときにも適用されます。 0 = リセットなし 1 = AVDD UV が原因でデジタルリセットが発生								

6.5.4.14 デバッグの制御とステータス

6.5.4.14.1 DEBUG_CTRL_UNLOCK

アドレス	0x0700							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CODE[7:0]							
リセット	0	0	0	0	0	0	0	0
CODE[7:0] = DEBUG_COMM_CTRL * レジスタの設定をアクティブにするには、ロック解除コード (0xA5) をこのレジスタに書き込みます。 ロック解除コード以外の値を使用すると、 DEBUG_COMM_CTRL * 設定のすべての効果が無効になり、デバイスの通常の設定に戻ります。								

6.5.4.14.2 DEBUG_COMM_CTRL1

アドレス	0x0701							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD			UART_BAUD	UART_MIRROR_EN	UART_TX_EN	USER_UART_EN	USER_DAISY_EN
リセット	0	0	0	0	0	1	0	0

RSVD = 予約済み
UART_BAUD = このビットは、UART のボーレートを 250kb/s に変更します VIF デバッグに便利です。システムがすべてのデジタイゼーションデバイスのボーレートを 250kb/s に設定すると、デバッグ目的で VIF の堅牢性を向上させるため、VIF 経由での応答バイトが遅くなります。 0 = デフォルト 1Mb/s 1 = 250kb/s
UART_MIRROR_EN = このビットは、スタック VIF 通信の UART へのミラーリングを有効にします。このデバッグ機能を使用するには、まず [UART_TX_EN] = 1 を設定して、スタック デバイスの UART TX を有効にする必要があります。 0 = 無効 1 = 有効
UART_TX_EN = デフォルトでは、スタック デバイスの UART TX は無効になっています。このビットは、UART TX を有効にし、スタック デバイスでの UART 経由の読み取り/書き込みを可能にします。 0 = 無効 1 = 有効
USER_UART_EN = このビットは、デバッグ UART 制御ビット [UART_TX_EN] と [UART_MIRROR_EN] を有効にします。 0 = 上記のビットの設定は影響しません。 1 = デバイスは、 [UART_TX_EN] および [UART_MIRROR_EN] 設定ごとに UART を構成します。
USER_DAISY_EN = このビットは、 DEBUG_COMM_CTRL2 レジスタのデバッグ COML および COMH 制御ビットを有効にします。 0 = DEBUG_COMM_CTRL2 レジスタの設定は無効です。 1 = デバイスは、 DEBUG_COMM_CTRL2 レジスタの設定に従って、COML および COMH を構成します。

6.5.4.14.3 DEBUG_COMM_CTRL2

アドレス	0x0702							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD				COML_TX_EN	COML_RX_EN	COMH_TX_EN	COMH_RX_EN
リセット	0	0	0	0	1	1	1	1
RSVD = 予約済み								
COML_TX_EN = COML トランスミッタを有効にします。 0 = 無効 1 = 有効								
COML_RX_EN = COML レシーバを有効にします。 0 = 無効 1 = 有効								
COMH_TX_EN = COMH トランスミッタを有効にします。 0 = 無効 1 = 有効								
COMH_RX_EN = COMH レシーバを有効にします。 0 = 無効 1 = 有効								

6.5.4.14.4 DEBUG_COMM_STAT

アドレス	0x0780							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD		HW_UART_DRV	HW_DAISY_DRV	COML_TX_ON	COML_RX_ON	COMH_TX_ON	COMH_RX_ON
リセット (ベース)	0	0	1	1	0	0	1	1
リセット (スタック)	0	0	1	1	1	1	1	1
RSVD = 予約済み								

HW_UART_DRV = UART TX がデバイス自体またはマイコン制御によって制御されることを示します。デバイスをスタックとして構成した後、デフォルトで UART TX が無効になっているスタック デバイ스에適用されます。 0 = <i>DEBUG_COMM_CTRL1</i> [<i>USER_UART_EN</i>] = 1。UART TX は、 <i>DEBUG_COMM_CTRL2</i> レジスタにより、手動制御になっています。 1 = UART TX は、このデバイスによって制御されます
HW_DAI5Y_DRV = COML と COMH がデバイス自体またはマイコン制御によって制御されることを示します。 0 = <i>DEBUG_COMM_CTRL1</i> [<i>USER_DAI5Y_EN</i>] = 1。COML および COMH は、 <i>DEBUG_COMM_CTRL2</i> レジスタにより、手動制御になっています。 1 = COML および COMH は、このデバイスによって制御されます
COML_TX_ON = 現在の COML トランスミッタのステータスを示します。 0 = オフ 1 = オン
COML_RX_ON = 現在の COML レシーバのステータスを示します。 0 = オフ 1 = オン
COMH_TX_ON = 現在の COMH トランスミッタのステータスを示します。 0 = オフ 1 = オン
COMH_RX_ON = 現在の COMH レシーバのステータスを示します。 0 = オフ 1 = オン

6.5.4.14.5 *DEBUG_UART_RC*

アドレス	0x0781							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD		RC_IERR	RC_TXDIS	RC_SOF	RC_BYTE_ERR	RC_UNEXP	RC_CRC
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
RC_IERR = 受信されたコマンド フレームの初期化バイト エラーを検出します。この原因としては、フレーム初期化バイトにストップ エラーが発生している、誤ったフレーム タイプが設定されている、予約済みコマンド タイプ ビットが設定されている、などが考えられます。これ以降のすべてのバイトは、通信クリアが受信されるまで無視されます。 通信フレームが無視されると、デバイスは無視されたフレームの通信エラーを検出しようとせず、フレーム カウンタでも有効/破棄としてカウントされることもありません。 0 = エラーなし 1 = エラー検出								
RC_TXDIS = UART TX が無効になっているときに、ホスト マイコンがデバイスからデータを読み取るコマンドを発行しているかどうかを検出します。 0 = エラーなし 1 = エラー検出								
RC_SOF = フレーム開始 (SOF) エラーを検出します。つまり、現在のフレームが完了する前に、UART で UART CLEAR が受信されています。 0 = エラーなし 1 = エラー検出								
RC_BYTE_ERR = 受信されたコマンド フレームで、初期化バイト エラー以外のバイト エラーを検出します。これ以降のすべてのバイトは、通信クリアが受信されるまで無視されます。 通信フレームが無視されると、デバイスは無視されたフレームの通信エラーを検出しようとせず、フレーム カウンタでも有効/破棄としてカウントされることもありません。 0 = エラーなし 1 = エラー検出								
RC_UNEXP = スタック デバイス (<i>[STACK_DEV] = 1</i> および <i>[MULTIDROP] = 0</i>) では、UART インターフェイス経由でのスタックやブロードキャスト コマンドの受信は想定されていません。その場合、エラーとして検出され、このビットが設定されます。 デバイスが <i>[MULTIDROP] = 1</i> で構成されている場合、このビットはセットされません。 0 = エラーなし 1 = エラー検出								

RC_CRC = UART から受信したコマンド フレームの CRC エラーを検出します。フレームは廃棄されたフレームと見なされます。
 0 = エラーなし
 1 = エラー検出

6.5.4.14.6 DEBUG_UART_RR_TR

アドレス	0x0782							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD			TR_SOF	TR_WAIT	RR_SOF	RR_BYTE_ERR	RR_CRC
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
TR_SOF = デバイスがデータを送信している間に UART CLEAR が受信されたことを示します。 0 = エラーなし 1 = エラー検出								
TR_WAIT = デバイスは応答の転送を待機していますが、次のいずれかの理由でアクションが終了します。 • デバイスが UART CLEAR 信号を受信します。 • デバイスが新しいコマンドを受信します。 このビットは、ブロードキャストまたはスタック読み取りコマンドが発行された場合に有効です。 0 = エラーなし 1 = エラー検出								
RR_SOF = 応答フレームの受信中に UART CLEAR が受信されたことを示します。UART の応答フレームは、マルチドロップ モードでのみ適用されます。 0 = エラーなし 1 = エラー検出								
RR_BYTE_ERR = 受信応答フレームの初期化バイトのエラー以外のバイト エラーを検出します。これ以降のすべてのバイトは、通信クリアが受信されるまで無視されます。 通信フレームが無視されると、デバイスは無視されたフレームの通信エラーを検出しようとせず、フレーム カウンタでも有効/破棄としてカウントされることもありません。 0 = エラーなし 1 = エラー検出								
RR_CRC = UART から受信された応答フレームの CRC エラーを検出します。フレームは廃棄されたフレームと見なされます。 0 = エラーなし 1 = エラー検出								

6.5.4.14.7 DEBUG_COMH_BIT

アドレス	0x0783							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD			PERR	BERR_TAG	SYNC2	SYNC1	ビット
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
PERR = 受信通信フレームの異常を検出し、デバイスは、[BERR] ビットがセットされた状態で通信フレームを転送します。このレジスタにエラー ビットがセットされている場合は、[PERR] ビットもセットされます。ただし、レジスタに分類されない異常があると、[PERR] ビットをトリガする可能性もあります (データの欠落や誤ったデータ順序の検出など)。 0 = 通信エラーは検出されませんでした。転送された通信フレームに [BERR] が挿入されていません。 1 = 受信通信フレームの異常を検出しました。転送された通信に [BERR] がアサートされています。								
BERR_TAG = 受信した通信に [BERR]= 1 のタグが付いているときに設定されます。 0 = 受信通信フレームに [BERR] がない 1 = 受信通信フレームに [BERR] がある								
SYNC2 = プリアンブル ハーフビットおよび [SYNC1:0] ビットが検出されています。デバイスは、これらのビットから抽出されたタイミング情報を使用していますが、有効なデータを検出できません。 0 = エラーなし 1 = エラー検出								

SYNC1 = プリアンブル ハーフビットまたは [SYNC1:0] ビットを検出できません。ビットが欠落しているか、信号が歪んでいるため検出できない可能性があります。
0 = エラーなし
1 = エラー検出

BIT = デバイスは、データ ビットを検出しましたが、検出サンプルが十分でないため、1 または 0 を確実に判定できません。
0 = エラーなし
1 = エラー検出

6.5.4.14.8 DEBUG_COMH_RC

アドレス	0x0784							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD		RC_IERR	RC_TXDIS	RC_SOF	RC_BYTE_ERR	RC_UNEXP	RC_CRC
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
RC_IERR = 受信されたコマンド フレームの初期化バイト エラーを検出します。これは、フレーム初期化バイトが想定されているところで、フレーム開始 (SOF) ビットが設定されていないか、無効なフレーム タイプが選択されている、など、不適切なバイトフォーマットが原因で発生します。COMH/COML で受信されたバイトはスタック上に伝搬されるため、上位スタックのデバイスもこのエラーを検出する可能性があります。 これ以降のすべてのバイトは、SOF ビットがセットされ受信されるまで無視されます。 通信フレームが無視されると、デバイスは無視されたフレームの通信エラーを検出しようとせず、フレーム カウンタでも有効/破棄としてカウントされることもありません。 0 = エラーなし 1 = エラー検出								
RC_TXDIS = [DIR_SEL]= 1 のとき有効です。デバイスは、COMH TX が無効であることを検出しますが、データを読み取る (つまり、データを送信する) コマンドを受信します。コマンド フレームは、破棄されたフレームとしてカウントされます。 0 = エラーなし 1 = エラー検出								
RC_SOF = [DIR_SEL]= 1 のとき有効です。COMH のフレーム開始 (SOF) エラーを検出します。SOF ビットは初期化フレームでのみ設定されますが、現在のフレームでも想定外に SOF ビットが設定されています。 0 = エラーなし 1 = エラー検出								
RC_BYTE_ERR = [DIR_SEL]= 1 のとき有効です。受信されたコマンド フレームで、初期化バイト エラー以外のバイト エラーが検出されました。このエラーにより、DEBUG_COMMH_BIT レジスタに 1 つまたは複数のエラー ビットが設定される場合があります。 0 = エラーなし 1 = エラー検出								
RC_UNEXP = [DIR_SEL]= 0 で、デバイスが COMH からコマンド フレームを受信すると、無効な状態となり、デバイスはこのエラー ビットを設定します。 0 = エラーなし 1 = エラー検出								
RC_CRC = 1 つ以上の COMH コマンド フレームが破棄された CRC エラーを示します。フレーム内の他のエラーは、フレームが廃棄されたため示されません。 0 = エラーなし 1 = エラー検出								

6.5.4.14.9 DEBUG_COMH_RR_TR

アドレス	0x0785							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD		TR_WAIT	RR_TXDIS	RR_SOF	RR_BYTE_ERR	RR_UNEXP	RR_CRC
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								

TR_WAIT = デバイスは応答の転送を待機していますが、デバイスが新しいコマンドを受信したため、アクションが終了します。このビットは、ブロードキャストまたはスタック読み取りコマンドが発行された場合に有効です。 0 = エラーなし 1 = エラー検出
RR_TXDIS = [DIR_SEL]= 0 の場合に有効です。COMH TX が無効のため、デバイスは応答を受信しましたが、次のデバイスには送信できません。フレームは廃棄されたフレームとしてカウントされます。 0 = エラーなし 1 = エラー検出
RR_SOF = [DIR_SEL]= 0 のとき有効です。COMH のフレーム開始 (SOF) エラーを検出します。SOF ビットは初期化フレームでのみ設定されますが、現在のフレームでも想定外に SOF ビットが設定されています。 0 = エラーなし 1 = エラー検出
RR_BYTE_ERR = [DIR_SEL]= 0 のとき有効です。受信応答フレームの初期化バイトのエラー以外のバイト エラーを検出します。このエラーにより、 DEBUG_COMMH_BIT レジスタに 1 つまたは複数のエラー ビットが設定される場合があります。 0 = エラーなし 1 = エラー検出
RR_UNEXP = [DIR_SEL]= 1 で、デバイスが COMH から応答フレームを受信した場合は無効な状態となり、デバイスはこのエラー ビットを設定します。 0 = エラーなし 1 = エラー検出
RR_CRC = 1 つ以上の COMH 応答フレームが破棄された CRC エラーを示します。フレーム内の他の大半のエラーは、フレームが廃棄されたため示されません。CRC の最後のバイトで [RR_BYTE_ERR] が観測されると、CRC と BERR の両方が示されます。 0 = エラーなし 1 = エラー検出

6.5.4.14.10 DEBUG_COML_BIT

アドレス	0x0786							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD			PERR	BERR_TAG	SYNC2	SYNC1	ビット
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
PERR = 着信通信フレームの異常を検出し、発信通信フレームを BERR で設定します。このレジスタにエラー ビットがセットされている場合は、 [PERR] ビットもセットされます。ただし、レジスタに分類されない異常があると、 [PERR] ビットをトリガする可能性もあります (データの欠落や誤ったデータ順序の検出など)。 0 = 通信エラーが検出されませんでした。転送される通信フレームに BERR が挿入されていません。 1 = 受信通信フレームの異常を検出しました。転送された通信に BERR がアサートされています。								
BERR_TAG = 受信した通信に BERR のタグが付いているときに設定されます。 0 = 受信通信フレームに BERR がない 1 = 受信通信フレームに BERR がある								
SYNC2 = プリアンブル ハーフビットおよび [SYNC1:0] ビットが検出されています。デバイスは、これらのビットから抽出されたタイミング情報を使用していますが、有効なデータを検出できません。 0 = エラーなし 1 = エラー検出								
SYNC1 = プリアンブル ハーフビットまたは [SYNC1:0] ビットを検出できません。ビットが欠落しているか、信号が歪んでいるため検出できない可能性があります。 0 = エラーなし 1 = エラー検出								
BIT = デバイスがデータ ビットを検出しました。検出サンプルが十分でないため、1 または 0 を確実に判定できません。 0 = エラーなし 1 = エラー検出								

6.5.4.14.11 DEBUG_COML_RC

アドレス	0x0787							
------	--------	--	--	--	--	--	--	--

読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD		RC_IERR	RC_TXDIS	RC_SOF	RC_BYTE_ERR	RC_UNEXP	RC_CRC
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
RC_IERR = 受信されたコマンドフレームで検出された初期化バイト エラー。これは、フレーム初期化バイトが想定されているところで、フレーム開始 (SOF) ビットが設定されていないか、無効なフレーム タイプが選択されている、など、不適切なバイト フォーマットが原因で発生します。COMH/COML で受信されたバイトはスタック上に伝搬されるため、上位スタックのデバイスもこのエラーを検出する可能性があります。これ以降のすべてのバイトは、SOF ビットが受信されるまで無視されます。通信フレームが無視されると、デバイスは無視されたフレームの通信エラーを検出しようとせず、フレーム カウンタでも有効/破棄としてカウントされることもありません。 0 = エラー未検出 1 = エラー検出								
RC_TXDIS = [DIR_SEL]= 0 のとき有効です。デバイスは、COML TX が無効であることを検出しますが、データを読み取る (つまり、データを送信する) コマンドを受信します。コマンド フレームは、破棄されたフレームとしてカウントされます。 0 = エラーなし 1 = エラー検出								
RC_SOF = [DIR_SEL]= 0 のとき有効です。COML のフレーム開始 (SOF) エラーを検出します。SOF ビットは初期化フレームでのみ設定されますが、現在のフレームでも想定外に SOF ビットが設定されています。 0 = エラーなし 1 = エラー検出								
RC_BYTE_ERR = [DIR_SEL]= 0 のとき有効です。受信されたコマンドフレームで、初期化バイト エラー以外のバイト エラーが検出されました。このエラーにより、DEBUG_COMML_BIT レジスタに 1 つまたは複数のエラー ビットが設定される場合があります。 0 = エラーなし 1 = エラー検出								
RC_UNEXP = [DIR_SEL]= 1 で、デバイスが COML からコマンド フレームを受信した場合は無効な状態となり、デバイスはこのエラー ビットを設定します。 0 = エラーなし 1 = エラー検出								
RC_CRC = 1 つ以上の COML コマンド フレームが破棄された CRC エラーを示します。フレーム内の他のエラーは、フレームが廃棄されたため示されません。 0 = エラーなし 1 = エラー検出								

6.5.4.14.12 DEBUG_COML_RR_TR

アドレス	0x0788							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD		TR_WAIT	RR_TXDIS	RR_SOF	RR_BYTE_ERR	RR_UNEXP	RR_CRC
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
TR_WAIT = デバイスは応答の転送を待機していますが、デバイスが新しいコマンドを受信したため、アクションが終了します。このビットは、ブロードキャストまたはスタック読み取りコマンドが発行された場合に有効です。 0 = エラーなし 1 = エラー検出								
RR_TXDIS = [DIR_SEL]= 1 の場合に有効です。COML TX が無効のため、デバイスは応答を受信しましたが、次のデバイスには送信できません。フレームは廃棄されたフレームとしてカウントされます。 0 = エラーなし 1 = エラー検出								
RR_SOF = [DIR_SEL]= 1 のとき有効です。COML のフレーム開始 (SOF) エラーを検出します。SOF ビットは初期化フレームでのみ設定されますが、現在のフレームでも想定外に SOF ビットが設定されています。 0 = エラーなし 1 = エラー検出								

RR_BYTE_ERR = [DIR_SEL]= 1 のとき有効です。受信応答フレームの初期化バイトのエラー以外のバイト エラーを検出します。このエラーにより、DEBUG_COMML_BIT レジスタに 1 つまたは複数のエラー ビットが設定される場合があります。
0 = エラーなし
1 = エラー検出

RR_UNEXP = [DIR_SEL]= 0 で、デバイスが COML から応答フレームを受信した場合は無効な状態となり、デバイスはこのエラー ビットを設定します。
0 = エラーなし
1 = エラー検出

RR_CRC = 1 つ以上の COML 応答フレームが破棄された CRC エラーを示します。フレーム内の他の大半のエラーは、フレームが破棄されたため示されません。CRC の最後のバイトで [RR_BYTE_ERR] が観測されると、CRC と BERR の両方が示されます。
0 = エラーなし
1 = エラー検出

6.5.4.14.13 DEBUG_UART_DISCARD

アドレス	0x0789							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	COUNT[7:0]							
リセット	0	0	0	0	0	0	0	0
COUNT[7:0] = 受信または送信された廃棄フレームの数を追跡する UART フレーム カウンタ。DEBUG_UART_DISCARD および DEBUG_UART_VALID*レジスタはラッチされます。このレジスタを読み取ると、関連するカウンタがリセットされます。								

6.5.4.14.14 DEBUG_COMH_DISCARD

アドレス	0x078A							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	COUNT[7:0]							
リセット	0	0	0	0	0	0	0	0
COUNT[7:0] = 受信または送信された廃棄フレームの数を追跡する COMH フレーム カウンタ。DEBUG_COMH_DISCARD および DEBUG_COMH_VALID*レジスタはラッチされます。このレジスタを読み取ると、関連するカウンタがリセットされます。								

6.5.4.14.15 DEBUG_COML_DISCARD

アドレス	0x078B							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	COUNT[7:0]							
リセット	0	0	0	0	0	0	0	0
COUNT[7:0] = 受信または送信された廃棄フレームの数を追跡する COML フレーム カウンタ。DEBUG_COML_DISCARD および DEBUG_COML_VALID*レジスタはラッチされます。このレジスタを読み取ると、関連するカウンタがリセットされます。								

6.5.4.14.16 DEBUG_UART_VALID_HI/LO

DEBUG_UART_VALID_HI

アドレス	0x078C							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	COUNT[7:0]							
リセット	0	0	0	0	0	0	0	0

COUNT[7:0] = UART フレームカウンタの上位バイトは、送受信された有効なフレーム数を追跡します。*DEBUG_UART_VALID_HI/LO* の両方が 0xFF の場合、カウンタが飽和します。*DEBUG_UART_DISCARD* が読み出されると、このレジスタはラッチされ、関連するカウンタはリセットされます。

DEBUG_UART_VALID_LO

アドレス	0x078D							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	COUNT[7:0]							
リセット	0	0	0	0	0	0	0	0
COUNT[7:0] = UART フレームカウンタの下位バイトは、送受信された有効なフレーム数を追跡します。 <i>DEBUG_UART_VALID_HI/LO</i> の両方が 0xFF の場合、カウンタが飽和します。 <i>DEBUG_UART_DISCARD</i> が読み出されると、このレジスタはラッチされ、関連するカウンタはリセットされます。								

6.5.4.14.17 DEBUG_COMH_VALID_HI/LO

DEBUG_COMH_VALID_HI

アドレス	0x078E							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	COUNT[7:0]							
リセット	0	0	0	0	0	0	0	0
COUNT[7:0] = COMH フレームカウンタの上位バイトは、送受信された有効なフレーム数を追跡します。 <i>DEBUG_COMH_VALID_HI/LO</i> の両方が 0xFF の場合、カウンタが飽和します。 <i>DEBUG_COMH_DISCARD</i> が読み出されると、このレジスタはラッチされ、関連するカウンタはリセットされます。								

DEBUG_COMH_VALID_LO

アドレス	0x078F							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	COUNT[7:0]							
リセット	0	0	0	0	0	0	0	0
COUNT[7:0] = COMH フレームカウンタの下位バイトは、送受信された有効なフレーム数を追跡します。 <i>DEBUG_COMH_VALID_HI/LO</i> の両方が 0xFF の場合、カウンタが飽和します。 <i>DEBUG_COMH_DISCARD</i> が読み出されると、このレジスタはラッチされ、関連するカウンタはリセットされます。								

6.5.4.14.18 DEBUG_COML_VALID_HI/LO

DEBUG_COML_VALID_HI

アドレス	0x0790							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	COUNT[7:0]							
リセット	0	0	0	0	0	0	0	0
COUNT[7:0] = COML フレームカウンタの上位バイトは、送受信された有効なフレーム数を追跡します。 <i>DEBUG_COML_VALID_HI/LO</i> の両方が 0xFF の場合、カウンタが飽和します。 <i>DEBUG_COML_DISCARD</i> が読み出されると、このレジスタはラッチされ、関連するカウンタはリセットされます。								

DEBUG_COML_VALID_LO

アドレス	0x0791							
------	--------	--	--	--	--	--	--	--

読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	COUNT[7:0]							
リセット	0	0	0	0	0	0	0	0
COUNT[7:0] = COML フレームカウンタの下位バイトは、送受信された有効なフレーム数を追跡します。DEBUG_COML_VALID_HI/LO の両方が 0xFF の場合、カウンタが飽和します。DEBUG_COML_DISCARD が読み出されると、このレジスタはラッチされ、関連するカウンタはリセットされます。								

6.5.4.14.19 DEBUG_OTP_SEC_BLK

アドレス	0x07A0							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	BLOCK[7:0]							
リセット	0	0	0	0	0	0	0	0
BLOCK[7:0] = SEC が発生した最後の OTP ブロック アドレスを保持します。FAULT_OTP[SEC_DET]= 1 の場合のみ有効です。								

6.5.4.14.20 DEBUG_OTP_DED_BLK

アドレス	0x07A1							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	BLOCK[7:0]							
リセット	0	0	0	0	0	0	0	0
BLOCK[7:0] = DED が発生した最後の OTP ブロック アドレスを保持します。FAULT_OTP[DED_DET]= 1 の場合のみ有効です。								

6.5.4.15 OTP プログラムの制御とステータス

6.5.4.15.1 OTP_PROG_UNLOCK1A~OTP_PROG_UNLOCK1D

アドレス	0x0300~ 0x0303							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CODE[7:0]							
リセット	0	0	0	0	0	0	0	0
CODE[7:0] = OTP プログラミングを実行する前に、OTP プログラミングのロック解除シーケンスで、最初の 32 ビット OTP プログラミングのロック解除コードが必要になります。この 32 ビットコードは、OTP_PROG_UNLOCK1A から OTP_PROG_UNLOCK1D までのシーケンスで入力されます。これらのレジスタは常に 0 を読み戻します。								

6.5.4.15.2 OTP_PROG_UNLOCK2A~OTP_PROG_UNLOCK2D

アドレス	0x0352~ 0x0355							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	CODE[7:0]							
リセット	0	0	0	0	0	0	0	0
CODE[7:0] = OTP プログラミングを実行する前に、OTP プログラミングのロック解除シーケンスで、2 番目の 32 ビット OTP プログラミングのロック解除コードが必要になります。この 32 ビットコードは、OTP_PROG_UNLOCK2A から OTP_PROG_UNLOCK2D までのシーケンスで入力されます。これらのレジスタは常に 0 を読み戻します。								

6.5.4.15.3 OTP_PROG_CTRL

アドレス	0x030B							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD						PAGESEL	PROG_GO

リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
PAGESSEL = プログラムするカスタム OTP ページを選択します。 0 = ページ 1 1 = ページ 2								
PROG_GO = <i>OTP_PROG_CTRL[PAGESSEL]</i> で選択された OTP ページのプログラミングを有効にします。 <i>OTP_PROG_UNLOCK1*</i> および <i>OTP_PROG_UNLOCK2*</i> レジスタが正しいコードに設定されている必要があります。 0 = 準備完了 1 = OTP プログラミングを開始								

6.5.4.15.4 OTP_ECC_TEST

アドレス	0x034C							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	RSVD				DED_SEC	MANUAL_AUTO	ENC_DEC	イネーブル
リセット	0	0	0	0	0	0	0	0
RSVD = 予約済み								
DED_SEC = テストするデコーダ機能 (SEC または DED) を設定します。エンコーダのテスト中、このビットは無視されます。 0 = SEC 機能をテストします。 <i>FAULT_OTP[SEC_DETECT]</i> フラグを設定し、テスト結果を <i>OTP_ECC_DATAOUT*</i> レジスタに出力します。 1 = DED 機能をテストします。 <i>FAULT_OTP[DED_DETECT]</i> フラグを設定し、テスト結果 <i>OTP_ECC_DATAOUT*</i> を出力します。 注: SEC または DEC のフォルトが検出された場合、ホストは <i>[RST_OTP_DATA] = 1</i> を設定して、対応するフォルトをリセットします。SEC テストの実行に切り替えても、DEC フォルトはクリアされません。その逆も同様です。								
MANUAL_AUTO = ECC テストに使用するデータの場所を設定します。 0 = 自動モード。テストに内部データを使用します。 1 = 手動モード。テストに <i>ECC_DATAIN_n</i> レジスタのデータを使用します。MPF テストに使用します。								
ENC_DEC = <i>OTP_ECC_TEST[ENABLE] = 1</i> の場合に実行されるように、エンコーダ/デコーダのテストを設定します。 0 = デコーダのテストを実行 1 = エンコーダのテストを実行								
ENABLE = <i>[ENC_DEC]</i> および <i>[DED_SEC]</i> ビットで設定された OTP ECC テストを実行します。 0 = 通常動作、ECC テスト無効 1 = テストを開始								

6.5.4.15.5 OTP_ECC_DATAIN1~OTP_ECC_DATAIN9

アドレス	0x0343~ 0x034B							
RW	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	DATA[7:0]							
リセット	0	0	0	0	0	0	0	0
DATA[7:0] = 手動モードで ECC が有効な場合 (<i>CUST_ECC_TEST[MANUAL_AUTO] = 1</i>)、 <i>OTP_ECC_DATAIN1...9</i> レジスタを使用して ECC エンコーダ/デコーダをテストします。 <i>CUST_ECC_TEST[ENC_DEC] = 1</i> の場合、 <i>ECC_DATAIN8</i> から <i>ECC_DATAIN1</i> がエンコーダに供給されます。 <i>CUST_ECC_TEST[ENC_DEC] = 0</i> の場合、 <i>ECC_DATAIN9</i> から <i>ECC_DATAIN1</i> がデコーダに供給されます。機能を検証するには、 <i>ECC_DATAOUT0...8</i> バイトを読み戻す必要があります。								

6.5.4.15.6 OTP_ECC_DATAOUT1~OTP_ECC_DATAOUT9

アドレス	0x0510~ 0x0518							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	DATA[7:0]							

リセット	0	0	0	0	0	0	0	0
DATA[7:0] = OTP_ECC_DATAOUT* は、ECC デコーダおよびエンコーダのテスト結果を出力します。 CUST_ECC_TEST[ENC_DEC] = 0 の場合、ECC_DATAOUT8 から ECC_DATAOUT1 が読み取られ、デコーダのテストが成功したかどうか判定されます。 CUST_ECC_TEST[ENC_DEC] = 1 の場合、ECC_DATAOUT9 から ECC_DATAOUT1 が読み取られ、エンコーダのテストが成功したかどうか判定されます。正しい結果は、テストへの入力によって異なります。								

6.5.4.15.7 OTP_PROG_STAT

アドレス	0x0519							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	ロックを解除	OTERR	UVERR	OVERR	SUVERR	SOVERR	PROGERR	終了
リセット	0	0	0	0	0	0	0	0
UNLOCK = OTP プログラミング機能のロック解除ステータスを示します。このビットをセットした後 (つまり、OTP プログラミングが有効)、ホストは OTP_PROG_CTRL レジスタに書き込み、OTP プログラミングを開始します。他のレジスタに書き込むと、OTP プログラミング機能が再ロックされ、このビットは 0 にクリアされます。[PROG_GO]=1 でも、このビットは 0 にクリアされます。 0 = OTP プログラミングがロックされている 1 = OTP プログラミングがロックされていない								
OTERR = ダイ温度が T _{OTP_PROG} を超え、デバイスが OTP プログラミングを開始しないことを示します。 0 = フォルトなし 1 = 検出されたダイ温度が T _{OTP_PROG} よりも大きい。OTP プログラミングを中止します。								
UVERR = OTP プログラミング中にプログラミング電圧で低電圧エラーが検出されたことを示します。このビットは、[PROG_GO] = 1 でクリアされます。 0 = エラーなし 1 = UV エラー検出								
OVERR = OTP プログラミング中にプログラミング電圧で過電圧エラーが検出されたことを示します。このビットは、[PROG_GO] = 1 でクリアされます。このエラーのあるデバイスから受信した情報は、信頼できるものと見なしてはなりません。 0 = エラーなし 1 = OV エラー検出								
SUVERR = 実際の OTP プログラミングを開始する前に、プログラミング電圧の安定性テストを実行します。このビットは、電圧安定性テスト中に低電圧エラーが検出されたことを示します。このビットは、[PROG_GO] = 1 でクリアされます。 0 = エラーなし 1 = OTP プログラミング電圧安定性テスト中に UV エラーを検出								
SOVERR = 実際の OTP プログラミングを開始する前に、プログラミング電圧の安定性テストを実行します。このビットは、電圧安定性テスト中に過電圧エラーが検出されたことを示します。このビットは、[PROG_GO] = 1 でクリアされます。 0 = エラーなし 1 = OTP プログラミング電圧安定性テスト中に OV エラーを検出								
PROGERR 次のいずれの原因でページが正しく設定されていないために、エラーが検出されたことを示します。 = - プログラムを試みたが、OTP プログラミングに [UNLOCK] = 0 が設定されている。 [TRY] = 1 のページをプログラムしようとした。 [FMterr] = 1 のページをプログラムしようとした。 このビットは、[PROG_GO] = 1 でクリアされます。 0 = エラーなし、またはプログラミングが試行されていない 1 = エラー検出								
DONE = 選択されたページの OTP プログラミングのステータスを示します。このビットは、[PROG_GO] = 1 でクリアされます。 0 = が完了していないか、プログラミングが試行されていない 1 = 完了。								

6.5.4.15.8 OTP_CUST1_STAT

アドレス	0x051A							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	LOADED	LOADWRN	LOADERR	FMterr	PROGOK	UVOK	OVOK	TRY

リセット	0	0	0	0	0	0	0	0
LOADED = 関連レジスタへのロード用に OTP ページ 1 が選択されたことを示します。エラーおよび警告のステータスについては、 [LOADERR] と [LOADWRN] を参照してください。 0 = ロード用に選択されていない 1 = ページ 1 が選択され、ロードされている								
LOADWRN OTP ページ 1 がロードされたが、1 つ以上の SEC 警告が発生したことを示します。 = 0 = 警告なし、またはロードが試行されていない 1 = 警告								
LOADERR = OTP ページ 1 のロード試行時にエラーが発生したことを示します。選択されたページのロード中に DED が検出されました。 0 = エラーなし、またはロードが試行されていない。 1 = エラー検出								
FMterr = OTP ページ 1 のフォーマット エラーを示します。つまり、 [UVOK] または [OVOK] が設定されていて、 [TRY] = 0 になっている場合です。このビットが設定されている場合は、プログラムしないでください。 0 = エラーなし 1 = エラー検出								
PROGOK = OTP ページ 1 のロードの有効性を示します。有効なページは、プログラミングが正常に行われたことを示します。 0 = 無効 1 = 有効								
UVOK = OTP ページ 1 のプログラミング中に OTP プログラミング電圧の低電圧状態が検出されたことを示します。 OV 状態により、シャットダウン プロセスの一部として UV もトリガされる場合があります。 0 = UV 状態を検出。プログラミングが試行されない場合も、0 として読み取られます。 1 = UV 状態未検出。								
OVOK = OTP ページ 1 のプログラミング中に OTP プログラミング電圧の過電圧状態が検出されたことを示します。 OV 状態により、シャットダウン プロセスの一部として UV がトリガされます。デバイスの使用を停止する必要があります。 0 = OV 状態を検出。プログラミングが試行されない場合も、0 として読み取られます。 1 = OV 状態未検出。								
TRY = OTP ページ 1 の最初のプログラミング試行を示します。 0 = 最初の試行が行われなかった 1 = 最初の試行が行われた								

6.5.4.15.9 OTP_CUST2_STAT

アドレス	0x051B							
読み出し専用	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
名称	LOADED	LOADWRN	LOADERR	FMterr	PROGOK	UVOK	OVOK	TRY
リセット	0	0	0	0	0	0	0	0
LOADED = 関連レジスタへのロード用に OTP ページ 2 が選択されたことを示します。エラーおよび警告のステータスについては、 [LOADERR] と [LOADWRN] を参照してください。 0 = ロード用に選択されていない 1 = ページ 2 が選択され、ロードされている								
LOADWRN OTP ページ 2 がロードされたが、1 つ以上の SEC 警告が発生したことを示します。 = 0 = 警告なし、またはロードが試行されていない 1 = 警告								
LOADERR OTP ページ 2 のロード試行時にエラーが発生したことを示します。選択されたページのロード中に DED が検出されました。 0 = エラーなし、またはロードが試行されていない。 1 = エラー検出								
FMterr = OTP ページ 2 のフォーマット エラーを示します。つまり、 [UVOK] または [OVOK] が設定されていて、 [TRY] = 0 になっている場合です。このビットが設定されている場合は、プログラムしないでください。 0 = エラーなし 1 = エラー検出								
PROGOK = OTP ページ 2 のロードの有効性を示します。有効なページは、プログラミングが正常に行われたことを示します。 0 = 無効 1 = 有効								

UVOK = OTP ページ 2 のプログラミング中に OTP プログラミング電圧の低電圧状態が検出されたことを示します。OV 状態により、シャットダウン プロセスの一部として UV もトリガされる場合があります。 0 = UV 状態を検出。プログラミングが試行されない場合も、0 として読み取られます。 1 = UV 状態未検出。
OVOK = OTP ページ 2 のプログラミング中に OTP プログラミング電圧の過電圧状態が検出されたことを示します。OV 状態により、シャットダウン プロセスの一部として UV がトリガされます。デバイスの使用を停止する必要があります。 0 = OV 状態を検出。プログラミングが試行されない場合も、0 として読み取られます。 1 = OV 状態未検出。
TRY = OTP ページ 2 の最初のプログラミング試行を示します。 0 = 最初の試行が行われなかった 1 = 最初の試行が行われた

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

BQ79616 デバイス ファミリーは、6 ～ 16 シリーズのバッテリー モジュール向けの高精度セル電圧および温度測定機能を実現します。

7.2 代表的なアプリケーション

7.2.1 ベース デバイス アプリケーション回路

以下のアプリケーション回路 (図 7-1 を参照) は、16S モジュールに接続された BQ79616 デバイスをベースとしています。

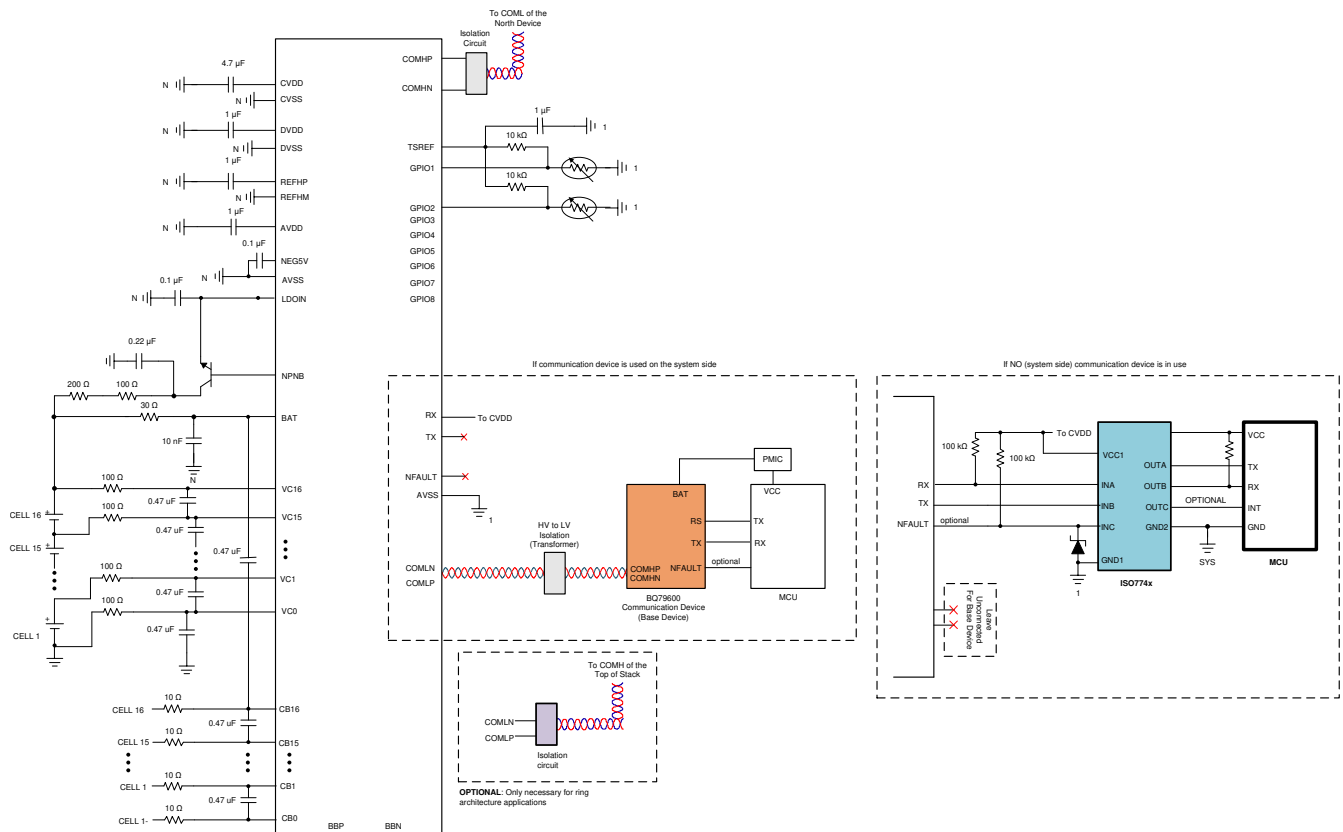


図 7-1. 測定アプリケーション回路を備えた代表的なベース デバイス

7.2.1.1 設計要件

以下の表 7-1 に設計パラメータを示します。

表 7-1. 推奨設計要件

パラメータ	値
モジュール電圧範囲 (BAT ピンの電圧)	9V ～ 80V

表 7-1. 推奨設計要件 (続き)

パラメータ	値
セル数 (単一デバイス)	6 ~ 16 セル (BQ79616)、6 ~ 14 セル (BQ79616)、6 ~ 12 セル (BQ79616)
セルの電圧範囲	0V ~ 5V

7.2.1.2 詳細な設計手順

7.2.1.2.1 セル センシング入力とバランシング入力

関連ピン	部品	値	説明
VC0~VC16	フィルタ抵抗	100Ω	VC チャンネルには差動 RC フィルタのみが必要です。これらの部品は、入力信号のフィルタリングに加えて、セル モジュール挿入時のホットプラグ イベントに対応するためにも必要とされます。したがって、推奨されるように部品の値を使用することを強く推奨します。
	フィルタ コンデンサ	0.47μF/16V または 1μF/16V	
CB0~CB16	フィルタ抵抗	システムのバランシング電流要件によって異なります	CB ピンのフィルタ抵抗は、最大バランシング電流を設定します。詳しくは、 セクション 6.3.3 を参照してください。 CB チャンネルには、差動 RC フィルタのみが必要です。 これらの部品は、入力信号のフィルタリングに加えて、セル モジュール挿入時のホットプラグ イベントに対応するためにも必要とされます。したがって、推奨されるように部品の値を使用することを強く推奨します。
	フィルタ コンデンサ	0.47μF/16V または 1μF/16V	

セルの接続

セル モジュールのサイズが BQ79616 デバイスの最大チャンネル サイズよりも小さい場合、下側チャンネル (VC チャンネルと CB チャンネルの両方) からバッテリー セルを実装し、上側チャンネルは未使用のチャンネルとして残します。BQ79616 デバイスの未使用チャンネルは、[図 7-2](#) に示すように接続されています。オープン/NC ピンの PCB レイアウトは、最小パターン長を使用している必要があります、ワイヤやケーブルに接続しないでください。

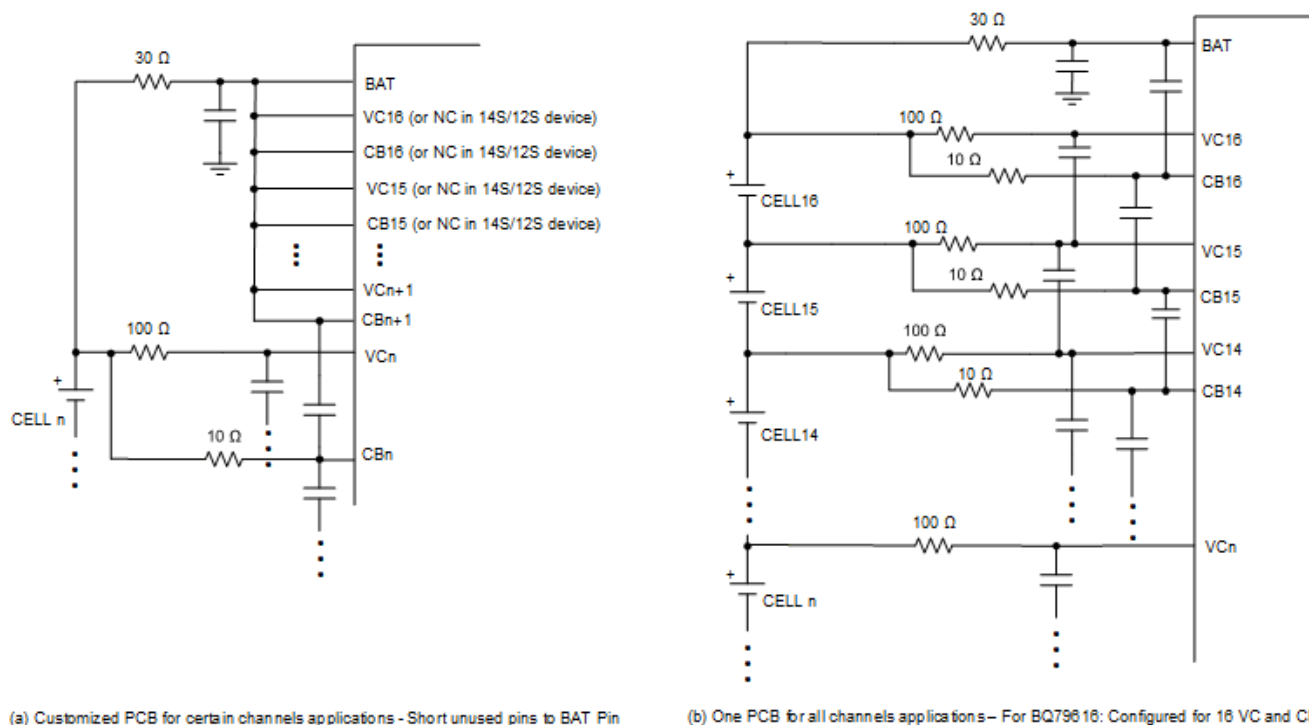


図 7-2. 未使用の VC および CB チャンネル

7.2.1.2.2 BAT および外部 NPN

関連ピン	部品	値	説明
BAT	フィルタ抵抗	30Ω	シングルエンド RC フィルタ。ホットプラグ性能を確保するため、推奨値を使用する必要があります。
	フィルタ コンデンサ	10nF/100V モジュール サイズに基づいて低い電圧定格を使用できます。	
NPNB	NPN (Q1)	コレクタ エミッタ間のブレイクダウン電圧は 80V ~ 100V ですが、モジュールのサイズに基づいてより低い定格を使用できます。 電力定格 ≥ 1W ゲイン > 80、予測される負荷電流 対応電流 > 100mA	外部 NPN を使用してプリレギュレーション回路を形成し、LDOIN ピンに 6V (標準値) 入力を提供します。 NPN の電圧定格は、次の式で最適化できます。 NPN 電圧定格 = 最大 VModule – 最小 VLDOIN + マージン ここで: 最大 VModule = 満充電されたセルの最大モジュール電圧 最小 VLDOIN = VLDOIN パラメータの最小仕様 マージン = システムの過渡電圧 + アプリケーション要件に従う設計マージン
	外部 NPN コレクタの抵抗 (R _{NPN})	モジュール電圧により変動	この抵抗には、いくつかの目的があります。 (a) NPN プリレギュレーション回路用 RC フィルタの場合 (b) 放熱を NPN と共有する
	外部 NPN コレクタのコンデンサ	0.22μF/100V モジュール サイズに基づいて低い電圧定格を使用できます。	このコンデンサは NPN プリレギュレーション回路の RC フィルタを形成します。 コンデンサの定格は、モジュールで観測されるピーク電圧スパイクに基づいています。モジュール サイズが小さい場合は、100V 定格未満のコンデンサを使用できます。システム設計者は、システムの許容誤差と要件に基づいて、最適化された電圧定格コンデンサを選択します。

外部 NPN (Q1) に必要な電力定格を低減するために、システム設計者は NPN コレクタに電力抵抗を配置して、モジュール電圧 (V_{Module}) から IR 電圧降下を生成できます。図 7-3 に、BQ79616 デバイスに電力を供給する電流パスを示します。

標準的な I_{STARTUP} 電流、つまり、デバイスが SHUTDOWN から ACTIVE に移行するときの突入電流は、TI の推奨部品の 20 mA です。この電流は I_{BAT} + I_{LDOIN} の合計で、PCB 基板の部品とレイアウトに依存します。設計者は、この点について特性を評価する必要があります。

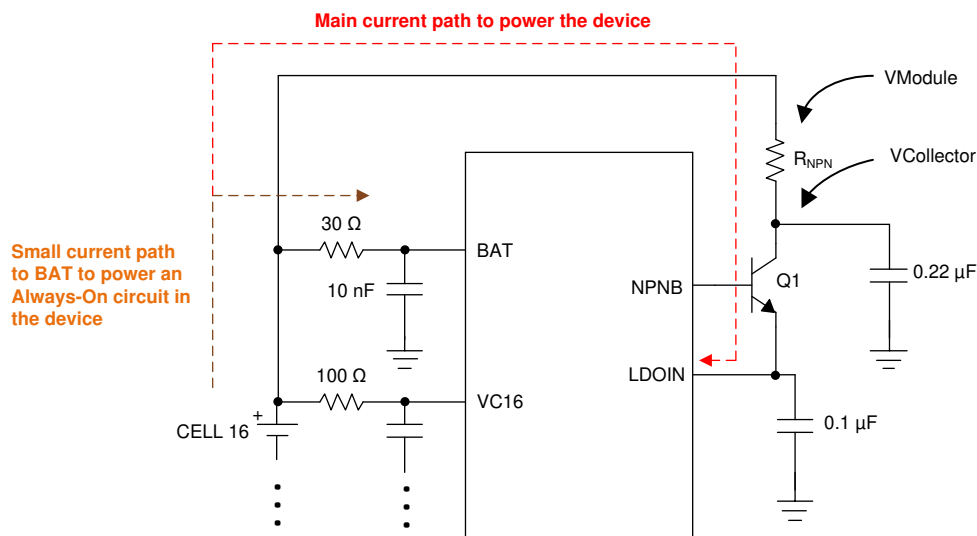


図 7-3. 消費電力パス

LDOIN ピンに 6V (標準値) の安定化された電圧を維持するのに十分なヘッドルームを確保するため、システム設計者は、NPN の両端での電圧降下を約 2V として想定し、常に V_{Collector} が ≥ 8V になるようにします。

したがって、許容される最大 R_{NPN} 値 = ((最小 VModule) - (VCollector)) / (最大ピーク電流) となります。

ここで:

最小 VModule: アプリケーションごとのモジュール サイズと最小セル電圧に基づきます

VCollector: 8V (NPN 全体で 2V 電圧降下を想定)

最大ピーク電流: 最大動作電流。すべての機能がオンになっているアクティブ電流です。コンデンサの絶縁とトランス、トランスの種類など、異なる通信絶縁部品により、全消費電力に対する負荷への影響が異なることに注意してください。

バッテリー スタックの上面からは独立してデバイスに電力を供給:

このデバイスは、バッテリー スタックから電力供給されるように設計されています。図 7-4 に示すような別の電源からデバイスに電力を供給する必要がある場合、BAT ピンの電圧と VC ピンの最大電圧 (グラウンドを基準) との関係は、BAT 電圧 $\geq (0.5 \times \text{最大 VC 電圧}) + 2$ です。

たとえば、デバイスがセルあたり 4.2V の最大セル電圧の 14S モジュールに接続されている場合、最大の VC ピンは VC14、最大の VC14 電圧は $(4.2 \text{ V} \times 14) = 58.8 \text{ V}$ です。BAT ピンに個別に電力を供給する場合、BAT 電圧は $\geq 31.4 \text{ V}$ にする必要があります。

同様に、BBP/N チャンネルが最も高いセル スタックの上に接続されている場合、BBP ピンの電圧は VC ピンよりも高くなります (グラウンドを基準とします)。このシナリオでは、 $V_{BAT} \geq [(V_{BBP}-2.5) \times 0.84] + 4.5$ です。この要件は、BAT が別々に電源供給されている場合に適用され、内部レベル シフタが適切に動作するようにすることです。電圧関係を維持しないと、VC チャンネルと BB チャンネルの ADC 測定誤差が増加します。

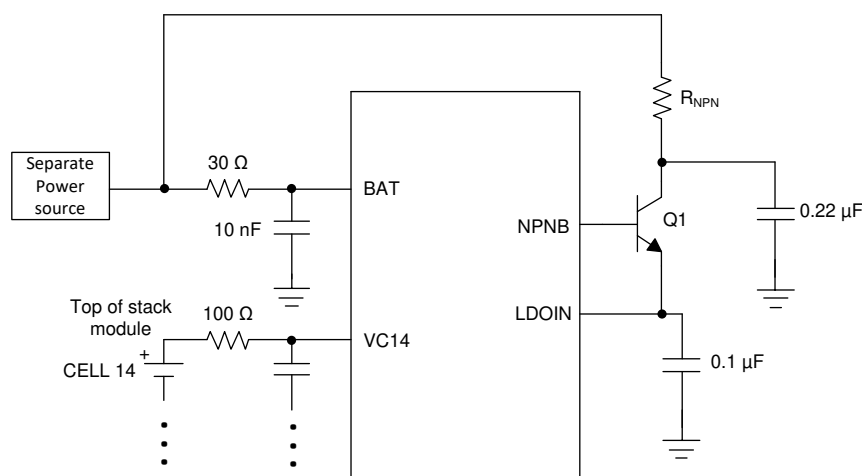


図 7-4. BAT と独立した電源

7.2.1.2.3 電源入力、リファレンス入力

関連ピン	部品	値	説明
AVDD、DVDD、TSREF	バイパス コンデンサ	1μF/10V	内部 LDO のバイパス コンデンサ
CVDD	バイパス コンデンサ	4.7μF/10V	CVDD のバイパス コンデンサ
NEG5V	バイパス コンデンサ	0.1μF/10V	負電圧チャージ ポンプ用バイパス コンデンサ

7.2.1.2.4 サーミスタ入力用 GPIO

外部サーミスタを使用する場合、ADC 測定に対しては、どのような種類のサーミスタ (NTC または PTC) やバイアス抵抗 (R1) の値、またバイアス抵抗を基準としてハイサイドまたはローサイドのどちらにサーミスタを配置しているかに制限はありません。

ただし、内蔵の OTUT コンパレータと組み合わせて使用する場合、プログラム可能な OT および UT スレッショルド範囲は、 R_1 と R_2 抵抗のさまざまなオプションを含め、図 7-5 に示す接続で 103NTC (25°C で 10k Ω) タイプの NTC サーミスタで動作するよう設計されています。

- オプション 1: $R_1 = 10\text{ k}\Omega$ 、 R_2 はなし
- オプション 2: $R_1 = 10\text{ k}\Omega$ 、 $R_2 = 100\text{ k}\Omega$ (低温での直線性を向上させるため)
- オプション 3: $R_1 = 3.6\text{ k}\Omega$ 、 $R_2 = 15\text{ k}\Omega$ 。このベース オプションは、システム設計者がバランシング中に PCB 温度をセル温度よりも高くなることを許容できる場合、OTCB 機能の NTC で使用できます。デバイスでは、セル上で使用される NTC と PCB を区別しないため、このオプションを使用した NTC バイアスは、NTC の高温曲線を異なる方法でスケールリングし、OT コンパレータ用に設定されたスレッショルドを低い GPIO 電圧でトリガできます。したがって、デバイスはこの NTC で OTCB スレッショルドのみをトリガするようになります。

デバイスは、温度測定に外部 RC を必要としません。ただし、システム設計者は NTC 回路の GPIO ピンに RC フィルタを追加するのが一般的です。システム設計者は、アプリケーションの要件に応じて RC 値を選択できます。例: $R_{GPIO} = 1\text{ k}\Omega$ 、 $C_{GPIO} = 0.1\mu\text{F} \sim 1\mu\text{F}$ 。

未使用の GPIO は、10k Ω 抵抗を使用して AVSS に接地する必要があります。

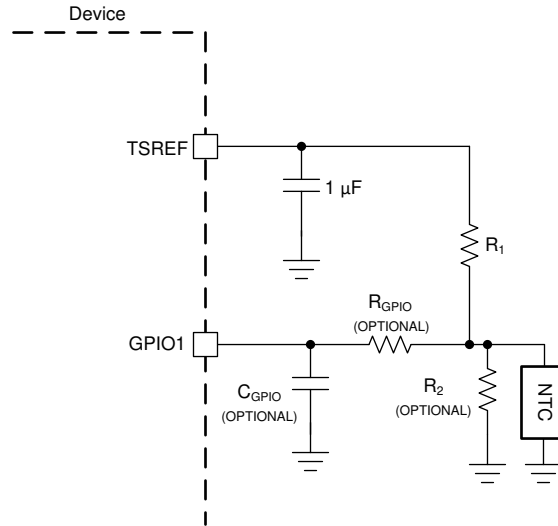


図 7-5. NTC 接続

7.2.1.2.5 内部バランシング電流

内部セル バランシングを使用する場合、(サーマル一時停止に入る前に) デバイスが対応可能な最大バランシング電流は、周囲温度によって変化する場合があります。

7.2.1.2.6 UART、NFAULT

デバイスをベース デバイスとして使用する場合、UART インターフェイスでは、TX ピンと RX ピンを 10k Ω から 100k Ω へプルアップする必要があります。TX と RX は未接続のままにしないでください。アイドル状態のときに無効な通信フレームがトリガされないように、TX を High にプルアップする必要があります。シリアル ケーブルを使用してホスト コントローラに接続する場合は、ホスト側の TX プルアップと RX プルアップをデバイス側の CVDD に接続します。

デバイスをスタック デバイスとして使用する場合、TX ピンはデフォルトで無効になっており、フローティングのままになります。RX ピンは CVDD に短絡します。

ベース デバイスの NFAULT ピンを使用しない場合は、フローティングのままにする必要があります。それ以外の場合は、100k Ω で CVDD にプルアップします。スタック デバイスの NFAULT ピンはフローティング状態になっています。

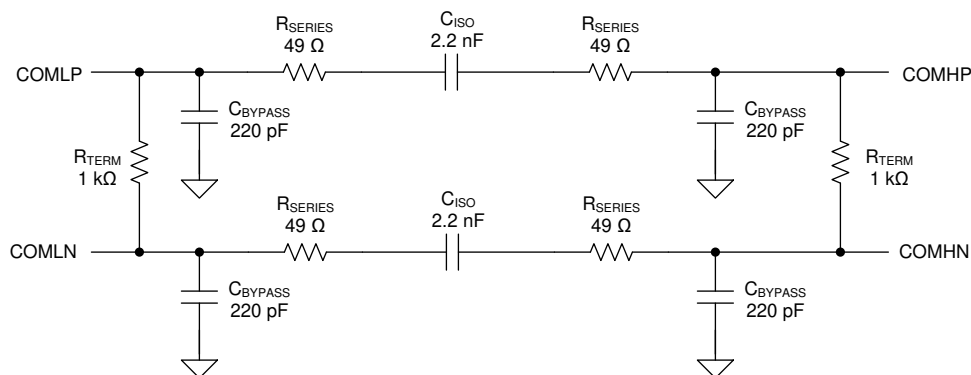
7.2.1.2.7 デイジーチェーン絶縁

本デバイスは、コンデンサの絶縁、コンデンサ チョークの絶縁、トランス絶縁など、複数のデイジーチェーン絶縁タイプで動作します。同じ PCB でデイジーチェーン接続されたデバイスの場合、[図 7-6](#) に示すように、ESD ダイオードのないコンデンサ絶縁で十分です。未使用の COMLP/H または COMHP/N ピンは、1k Ω 終端抵抗に接続する必要があります。

7.2.1.2.7.1 同じ PCB 上で接続されたデバイス

表 7-2. 同じ PCB 上に接続されたデバイス用の絶縁部品

部品	値	説明 (同じ PCB 上のコンデンサ絶縁)
R _{TERM}	1k Ω	終端抵抗
R _{SERIES}	49 Ω	フィルタ抵抗とインピーダンス マッチング抵抗。 デバイス間の接続は、約 120 Ω (デバイスの信号接続の両端それぞれに約 50 Ω と、10 Ω の内部抵抗を加算したもの) である必要があります。
C _{BYPASS}	220pF / 50V	バイパス コンデンサ
C _{ISO}	2.2nF	絶縁コンデンサ の電圧定格は、アプリケーションの要件によって異なります。システムで故障が発生した場合にスタンドオフマージンを確保するため、モジュールの電圧定格の 2 倍を選択するのが一般的です。



Components Required for Cap Coupled Daisy Chain on the same PCB

図 7-6. 同じ PCB 上のデバイス間のコンデンサ絶縁

7.2.1.2.7.2 さまざまな PCB に接続されたデバイス

ツイスト ケーブル ペアを介して各種 PCB にデイジーチェーン接続されているデバイスの場合、3 つの絶縁タイプをすべてデイジーチェーン絶縁に使用できますが、デイジーチェーンの片側で 1 種類の絶縁を使用することはできません (たとえば、バッテリー管理ユニットの COMLP/N のトランス絶縁)。デイジーチェーンの反対側では、異なる種類の絶縁を使用できません (たとえば、セル モジュール ユニットへの COMH/N のコンデンサ絶縁など)。

オプション 1: コンデンサ絶縁

表 7-3. さまざまな PCB 上でのコンデンサ絶縁の部品

部品	値	説明 (PCB 間のコンデンサ絶縁)
R _{TERM}	1k Ω	終端抵抗
R _{SERIES}	49 Ω	フィルタ抵抗とインピーダンス マッチング抵抗。 デバイス間の接続は、約 120 Ω (デバイスの信号接続の両端それぞれに約 50 Ω と、10 Ω の内部抵抗を加算したもの) である必要があります。
C _{BYPASS}	220pF / 50V	バイパス コンデンサ
C _{ISO}	2.2nF	絶縁コンデンサ の電圧定格は、アプリケーションの要件によって異なります。システムで故障が発生した場合にスタンドオフマージンを確保するため、モジュールの電圧定格の 2 倍を選択するのが一般的です。

表 7-3. さまざまな PCB 上でのコンデンサ絶縁の部品 (続き)

部品	値	説明 (PCB 間のコンデンサ絶縁)
ESD ダイオード	TVS ダイオード	ESD プロテクタは、ホットプラグ イベントの発生時に通信インターフェイス ピンを保護するほか、サービスの切断または再接続時に高電圧過渡を吸収できるようにする必要があります。COM* バス上の最大電圧が最大定格未満に制限されるように、ESD ダイオードを選択します。最高の EMC 性能を得るため、最大電圧範囲に近い電圧定格を推奨します。カップリング容量を使用する場合は、カップリング容量よりも小さくする必要があります。

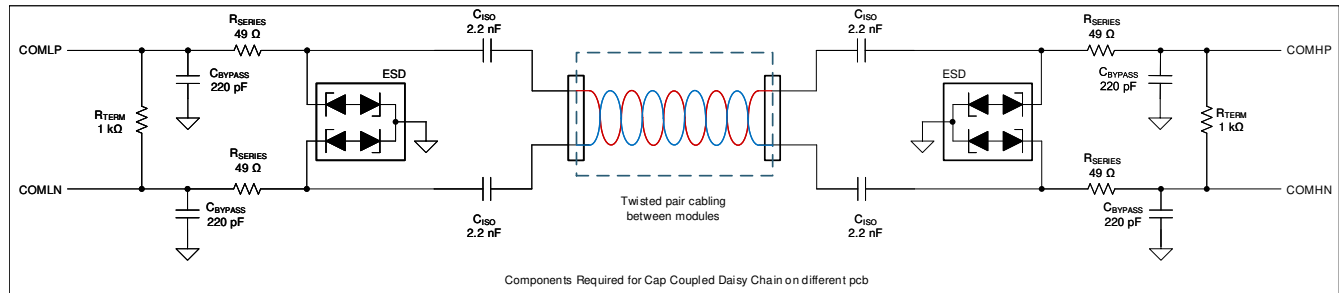


図 7-7. 異なる PCB 上のコンデンサ絶縁

図 7-7 に、PCB 間を接続するデバイスのコンデンサ絶縁回路を示します。同じ PCB 上に配置されるコンデンサ絶縁と同様に、デバイスが局所的に危険な電圧にさらされるようなフォルトに備えて、スタンドオフ マージンを確保できる十分に高い定格電圧を持つコンデンサを使用する必要があります。電圧はアプリケーションの要件によって決定されますが、モジュール電圧の 2 倍を選択するのが一般的です。

デジーチェーン バス上の容量は性能に直接影響を及ぼします。EMC に対する通信堅牢性を設計する際には、サポート部品とケーブルからの寄生容量をすべて考慮する必要があります。ケーブル、ESD ダイオード、バイパス キャパシタンス、チョークからの容量は、絶縁コンデンサとともに容量性分割器を形成するため、性能に影響を及ぼす可能性があります。また、バス上の容量は、通信中の動作電流 (コンデンサの充電または放電) に直接影響を及ぼします。

オプション 2: コンデンサとコモン モード チョーク絶縁

表 7-4. コンデンサとコモン モード チョーク絶縁用の部品

部品	値	説明 (PCB 間のコンデンサとチョーク絶縁)
R_{TERM}	1k Ω	終端抵抗
R_{SERIES}	49 Ω	フィルタ抵抗とインピーダンス マッチング抵抗。 デバイス間の接続は、約 120 Ω (デバイスの信号接続の両端それぞれに約 50 Ω と、10 Ω の内部抵抗を加算したもの) である必要があります。
C_{BYPASS}	220pF / 50V	バイパス コンデンサ
C_{ISO}	2.2nF	絶縁コンデンサ の電圧定格は、アプリケーションの要件によって異なります。システムフォルトの発生に備えてスタンドオフ マージンを確保するため、モジュールの電圧定格の 2 倍を選択するのが一般的です。
コモン モード チョーク	100 μ H から 500 μ H	コモン モード チョーク (100 μ H から 500 μ H までのインダクタンス範囲は一般的な指針値であり、コモン モード チョークの性能に影響を及ぼす多くのパラメータがあるため、保証された範囲ではありません)。
ESD ダイオード (オプション)	TVS ダイオード	オプションの ESD 保護は、PCB レベルの ESD 要件に依存します (このダイオードを追加するかどうかは、ユーザーのシステムレベルの ESD 要件によります)。

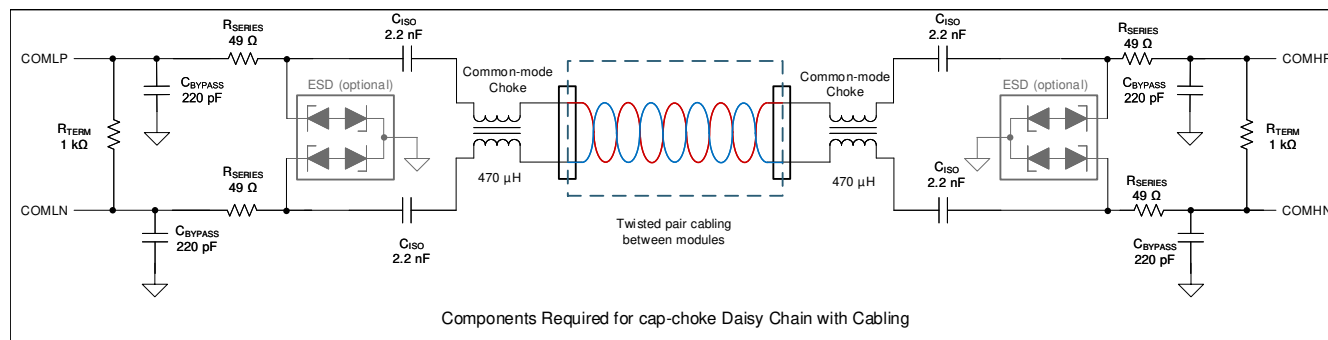


図 7-8. コンデンサとチョーク絶縁

ケーブルが長い場合や異常にノイズの多いアプリケーションでは、コモン モード チョーク フィルタの使用が必要になる場合があります。コンデンサとチョークの絶縁は、コンデンサのみよりもノイズ耐性が向上します。これらのアプリケーションには、適切な動作を確保するため、少なくとも $100\mu\text{H}$ ~ $500\mu\text{H}$ の車載グレードのコモン モード フィルタを使用します。ノイズの多い環境で最高の性能を達成するには、デュアル コモン モード フィルタ ($470\mu\text{H}$) を使用します。チョークの推奨インピーダンスは、 1MHz から 100MHz で $1\text{k}\Omega$ 以上、より高い周波数では 300Ω 以上になります。

オプション 3: トランス絶縁

表 7-5. トランス絶縁用の部品

部品	値	説明 (PCB 間のコンデンサとチョーク絶縁)
R_{TERM}	$1\text{k}\Omega$	終端抵抗
R_{SERIES}	49Ω	フィルタ抵抗とインピーダンス マッチング抵抗。 デバイス間の接続は、約 120Ω (デバイスの信号接続の両端それぞれに約 50Ω と、 10Ω の内部抵抗を加算したもの) である必要があります。
C_{BYPASS}	$220\text{pF} / 50\text{V}$	バイパス コンデンサ
トランス	インダクタンス: $150\mu\text{H}$ から $1400\mu\text{H}$	$150\mu\text{H}$ ~ $1400\mu\text{H}$ までのインダクタンスの範囲は一般的な指針値であり、トランスの性能に影響を及ぼす多くのパラメータが存在するため、保証された範囲とは限りません。特定の推奨部品については、SLVAEP4「BQ79616 デイジーチェーン通信」アプリケーション レポートを参照してください。ユーザーは、その環境でスルー テストを実行する必要があります。
ESD ダイオード (オプション)	TVS ダイオード	オプションの ESD 保護は、PCB レベルの ESD 要件に依存します(このダイオードを追加するかどうかは、ユーザーのシステム レベルの ESD 要件によります)

トランス絶縁をサポートしています。トランス絶縁に、実装方法を示します。たとえば、ガルバニック絶縁を実現するために、低電圧境界と高電圧境界の間でトランス絶縁を使用することができます。

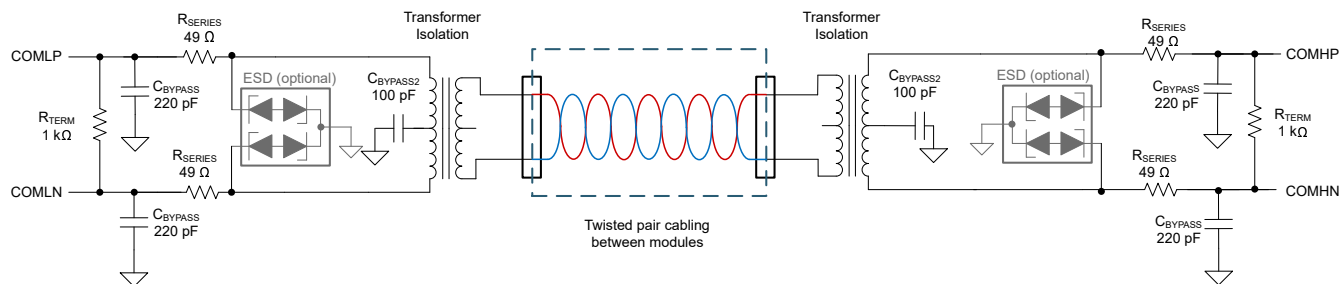


図 7-9. トランス絶縁

7.2.1.3 アプリケーション曲線

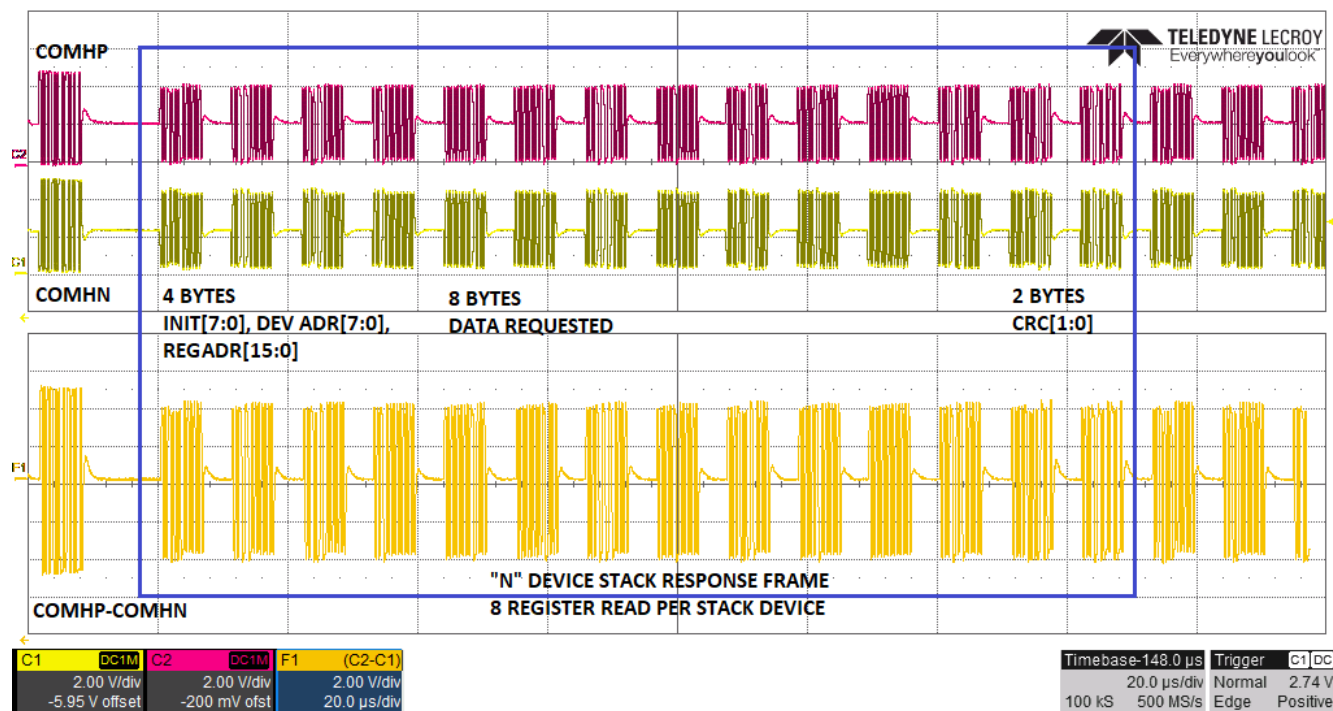


図 7-10. スタック デバイスからの 8 レジスタ読み取りの応答フレーム

7.2.2 デイジー デバイス アプリケーション回路

以下のアプリケーション回路 (図 7-11 を参照) は、16S モジュールに接続された BQ79616 デバイスをベースとしています。

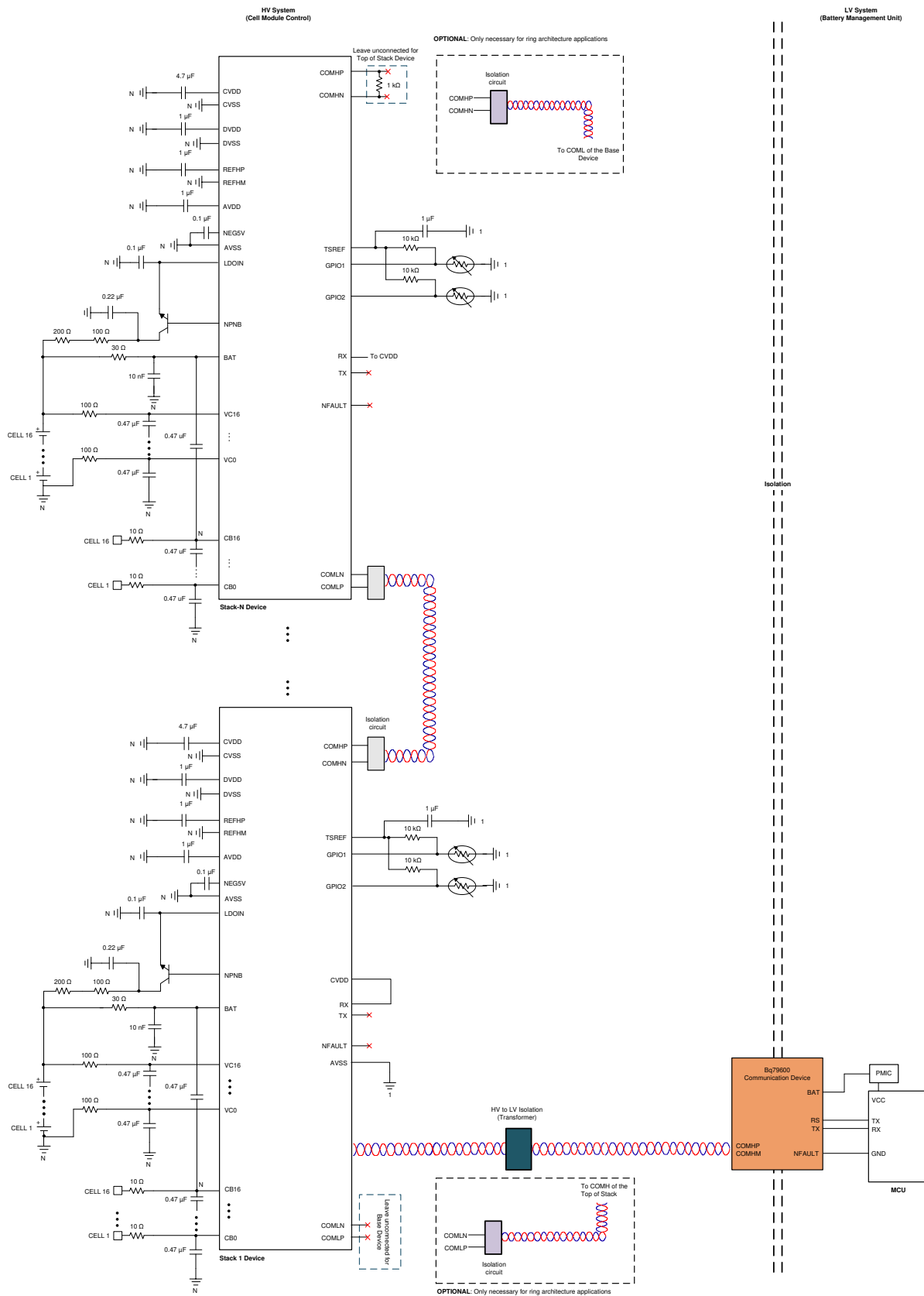


図 7-11. デイジー デバイス アプリケーション回路

7.2.2.1 設計要件

設計要件については、「[セクション 7.2.1.1](#)」を参照してください。

7.2.2.2 詳細な設計手順

詳細な設計手順については、「[セクション 7.2.1.2](#)」を参照してください。

8 電源に関する推奨事項

このデバイスは BAT ピンと LDOIN ピンから給電され、外部 NPN によるプリレギュレート回路によって制御されます。このデバイスには、BAT ピンで最低 9V (OTP プログラミングなし) のバッテリー モジュールから電力を供給できます。ただし、 R_{NPN} と外部 NPN の両端で IR 電圧降下が発生しても、LDOIN ピンで 6V の十分なヘッドルームが確保されるように、システム設計者は R_{NPN} 抵抗をスケールリングする必要があります。たとえば、BAT 電圧が 9V の場合、LDOIN ピンで十分な電圧が得られるように、 R_{NPN} を 10Ω に低減します。

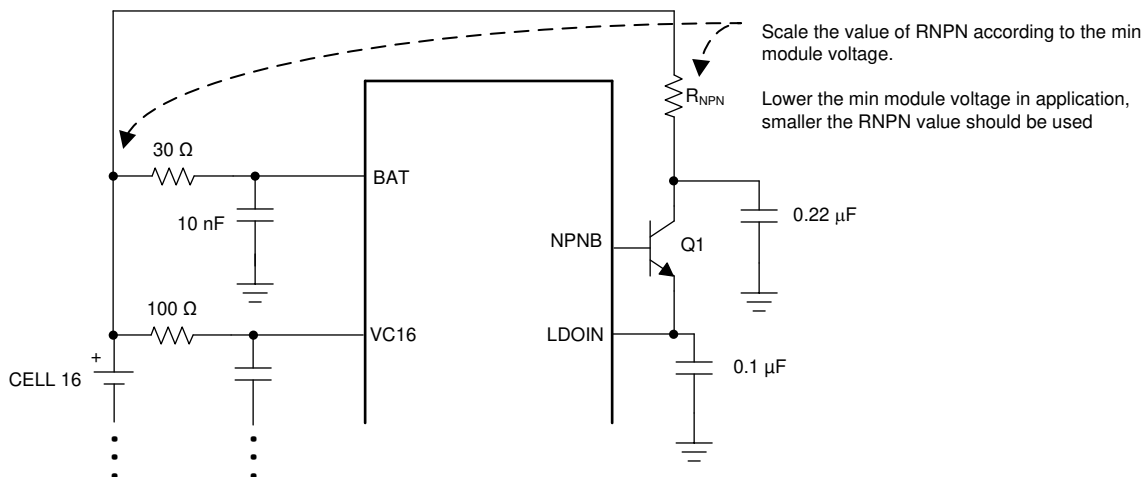


図 8-1. デバイスの給電バス

BQ79616 ファミリのバス バー サポートを利用することで、複数のセル モジュールを同じデバイスに接続できます。各セル モジュールから同じ電力が引き出されます。

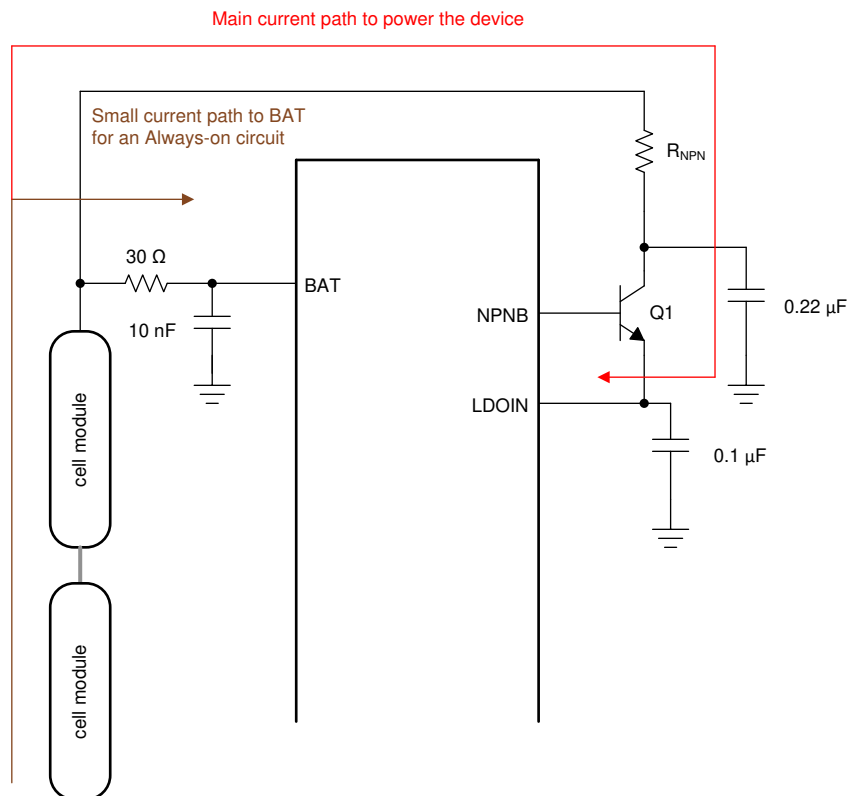


図 8-2. デバイスはスタック内の複数のセル モジュールにより駆動可能

9 レイアウト

このデバイスのレイアウトは注意深く設計する必要があります。これらのガイドラインに従わないと、ADC の精度と EMI 性能に影響を及ぼす可能性があります。センシティブな入力へのノイズの結合を防ぐため、デバイスとの信号のレイアウトでは注意が必要です。通信信号だけでなく、接地と電源接続のレイアウトも注意深く行う必要があります。

9.1 レイアウトのガイドライン

9.1.1 グランド プレーン

デバイスの最高の性能を確保するため、クリーンな接地方法を確立することは非常に重要です。デバイスの内部電源用に 3 本のグランドピン (AVSS、DVSS、CVSS) が用意されており、高精度基準用に 1 本のグランド基準ピン (REFHM) が用意されています。ノイズの多いグランドとノイズの少ないグランドがあり、これらは初期のレイアウトでは分離しておき、下側の PCB 層で再度結合する必要があります。ノイズの多いグランドとノイズの少ないグランドを分離しておくため、外部部品 (バイパスコンデンサなど) は可能な限り適切なグランド グループに接続する必要があります。

- AVSS グランド:
 - 次のピン上のバイパス コンデンサ: BAT、VC0、CB0、AVDD。
 - パッケージのパワー パッド
- DVSS グランド:
 - DVDD のバイパス コンデンサ。
 - GPIO フィルタ コンデンサ (使用する場合)。必要に応じて、AVSS グランド プレーンに接続することもできます。
- CVSS グランド:
 - GPIO、CVDD、TSREF、NEG5V、LDOIN、COMHP/N、COMLP/N のバイパス コンデンサ。
- REFHM グランド:
 - REFHP のバイパス コンデンサ
 - 可能であれば、信号配線層で REFHM を AVSS から分離しておき、下層で AVSS グランド プレーンに REFHM を結合します。

主に信号配線を行う PCB 層であっても、単にビアで下層のグランド プレーンへ配線するだけでなく、可能であれば、小さなグランド・ベタのアイランドを配置して、低インピーダンスのグランドを確保することを推奨します。

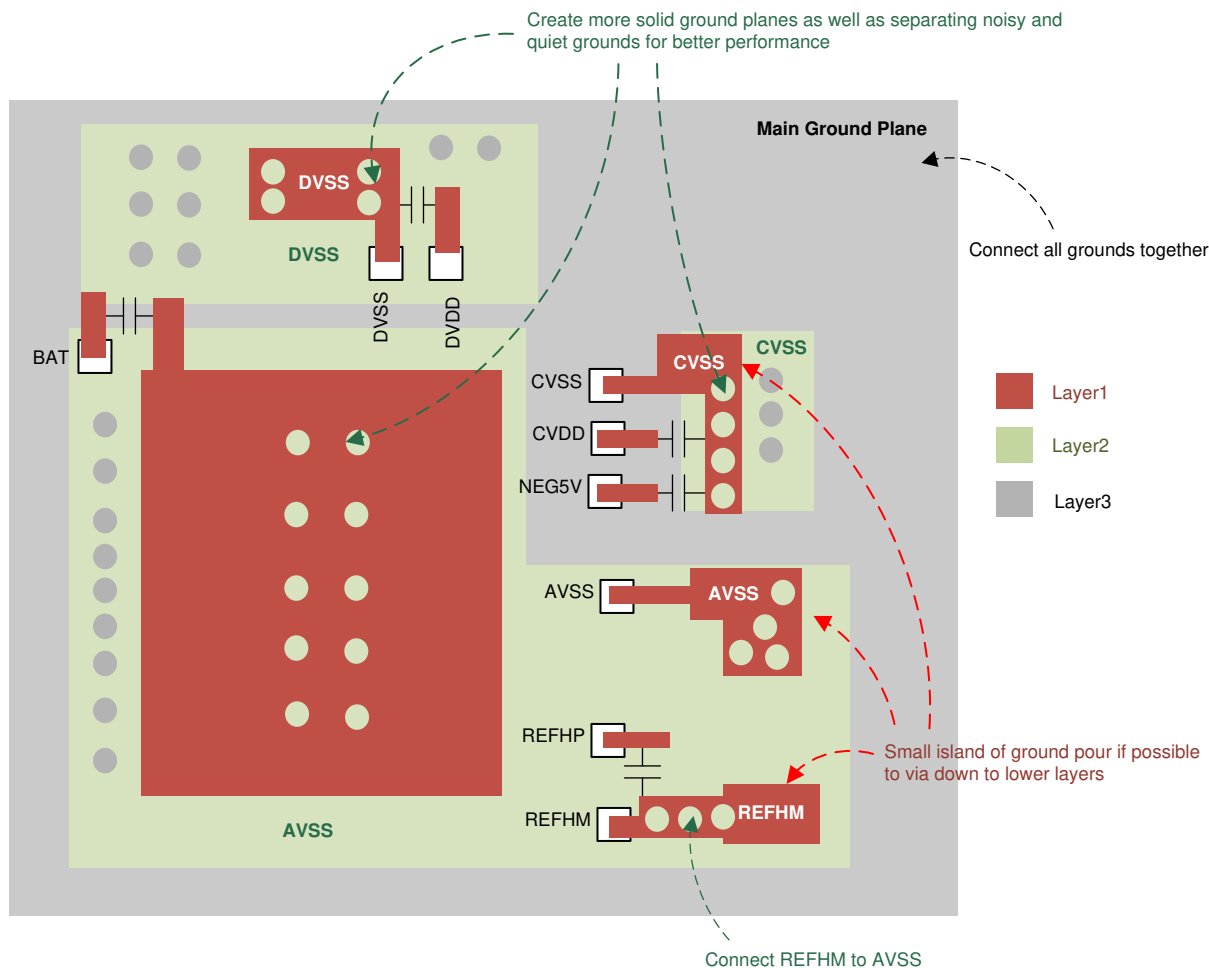


図 9-1. グランディング レイアウトに関する考慮事項

複数のデバイスを同じ PCB 上に配置する場合、独立したグラウンド プレーンを設け、レイアウトでデバイスごとに適切な間隔を確保する必要があります。

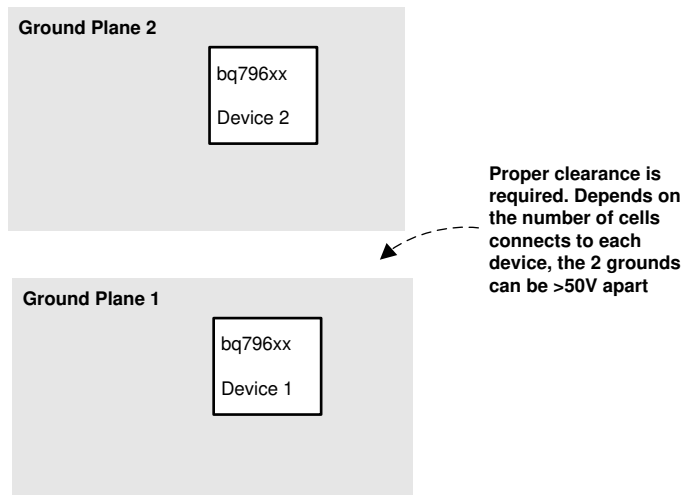


図 9-2. 同じ PCB 上のデバイスごとにグラウンド プレーンを分離

9.1.2 電源および基準電圧用のバイパス コンデンサ

特に REFHP コンデンサの適切な性能を確保するため、以下のピンのバイパス コンデンサは、デバイスのピンのできるだけ近くに配置する必要があります。

- REFHP、BAT、LDOIN、AVDD、DVDD、CVDD、TSREF、NEG5V

9.1.3 セル電圧検出

セル電圧検出パターン (VC ピンと CB ピン) は、インピーダンス整合と並列に配置する必要があります。アプリケーション向けに最大のバランスング電流と適切な放熱性能を伝達できるように、バランスング パターン (CB ピン) のサイズを適切に調整する必要があります。

BAT ピンと上側の VC ピンの接続には、別々のケーブル、タブ、PCB パターンを使用することを推奨します。AVSS 接続と VC0 接続にも同じことが当てはまります。これにより、デバイスの電流が上下のセル電圧測定に及ぼす影響を回避できます。

BAT/TOP VC ピンの接続と AVSS/VC0 ピンの接続に同じケーブルとコネクタタブを使用する場合、BAT/TOP VC ピンと AVSS/VC0 ピンへの PCB パターンをコネクタ タブで分離する必要があります。デバイスの電流は引き続きセルを通して PCB ケーブルに流れるため、上部と下部のセル測定までのケーブル接続において IR 誤差が発生する可能性があることに注意してください。

9.1.4 デイジーチェーン通信

最も堅牢なデイジーチェーン通信を実現するには、COMHP/N 回路と COMLP/N 回路のレイアウトを適切に行うことが重要です。

- 差動パターンはできるだけ短く、直線的にします。ターンを最小限に抑え、パターン上でのループを避けます。
- すべての差動パターンは同じ層に配置します。パターンは、シールドと並列に配線し、パターン インピーダンスをマッチングさせます。
- 絶縁部品は、コネクタの近くに配置します。
- 容量性絶縁を使用する場合は、COMxP/N ペアの高電圧コンデンサ (x = H または L) を並列パターンに沿って互いに近くに配置します。
- すべての PCB 層のデイジーチェーン部品の周囲にキープアウト領域 (他のパターンがなく、グランド プレーンがない領域) を作成します。

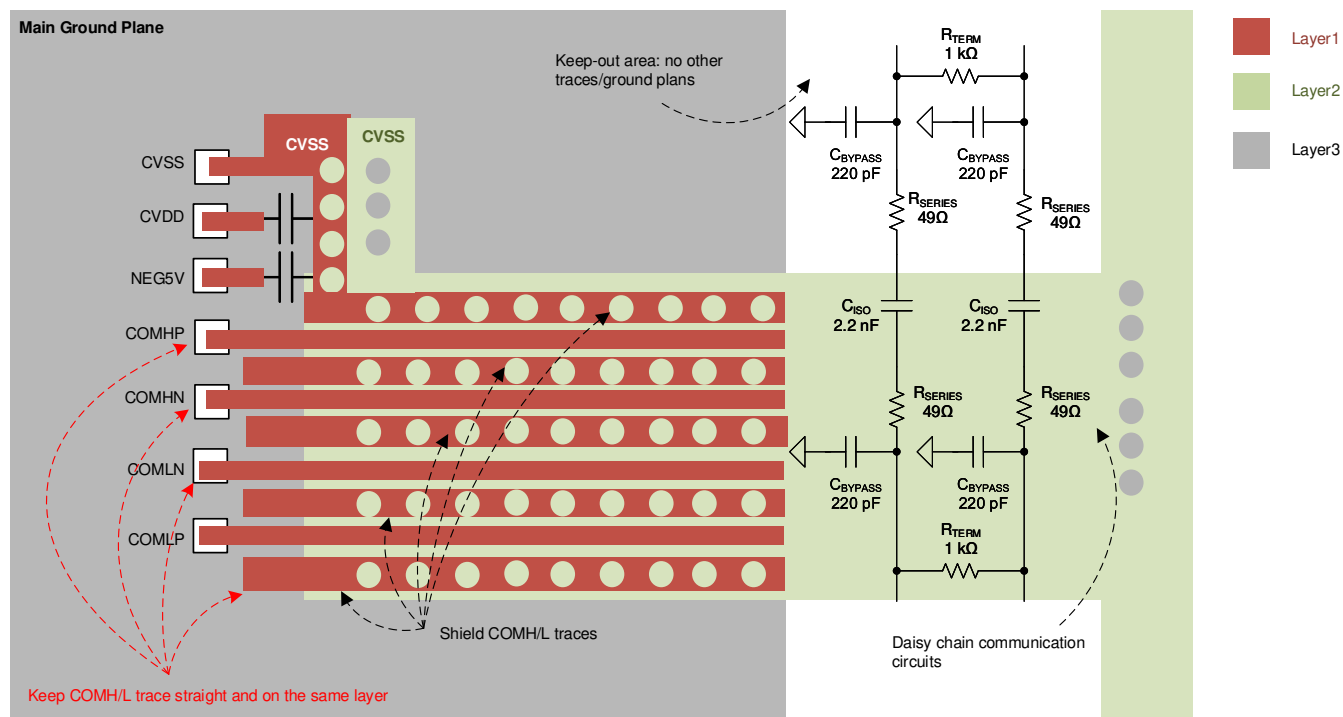


図 9-3. デイジーチェーン レイアウトの検討事項

9.2 レイアウト例

このセクションでは、レイアウト例として BQ79616 評価基板 (EVM) の設計を示します。

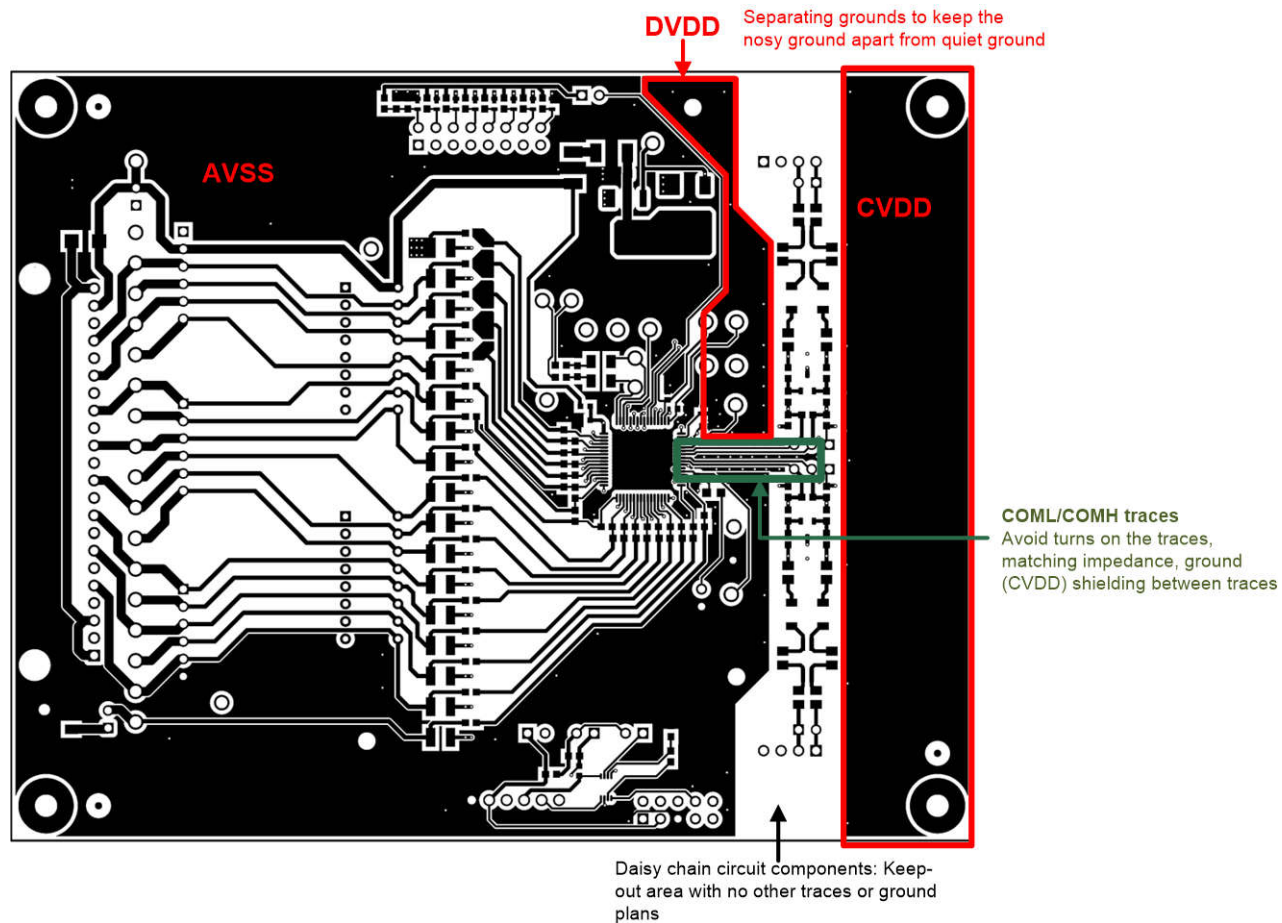


図 9-4. 上部信号レイヤ

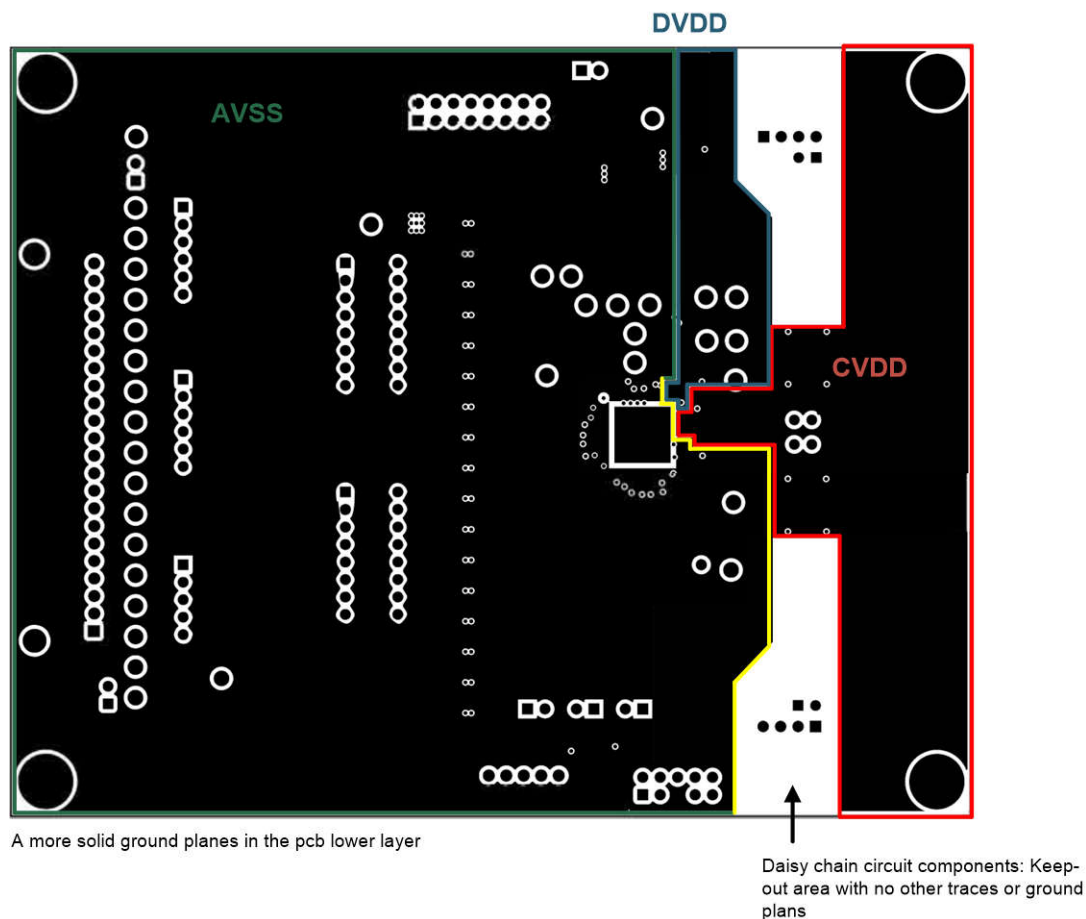


図 9-5. ソリッドで分離されたグランド プレーンがある第 2 層

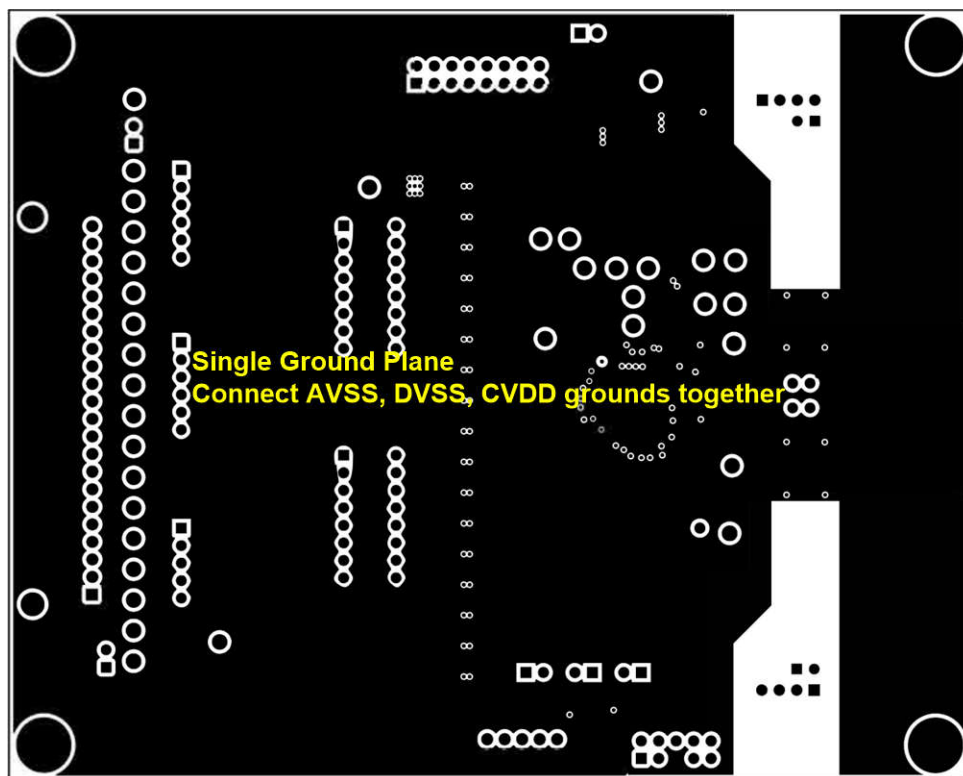


図 9-6. 単一のグランドプレーンがある第 3 層

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (June 2023) to Revision A (June 2026)

Page

• [図 7-2](#) から図 (c) および (d) を削除..... 196

日付	改訂	注
June 2023	*	初版リリース

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
BQ79616PAPR	Active	Production	HTQFP (PAP) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	BQ75216
BQ79616PAPR.A	Active	Production	HTQFP (PAP) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	BQ75216

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

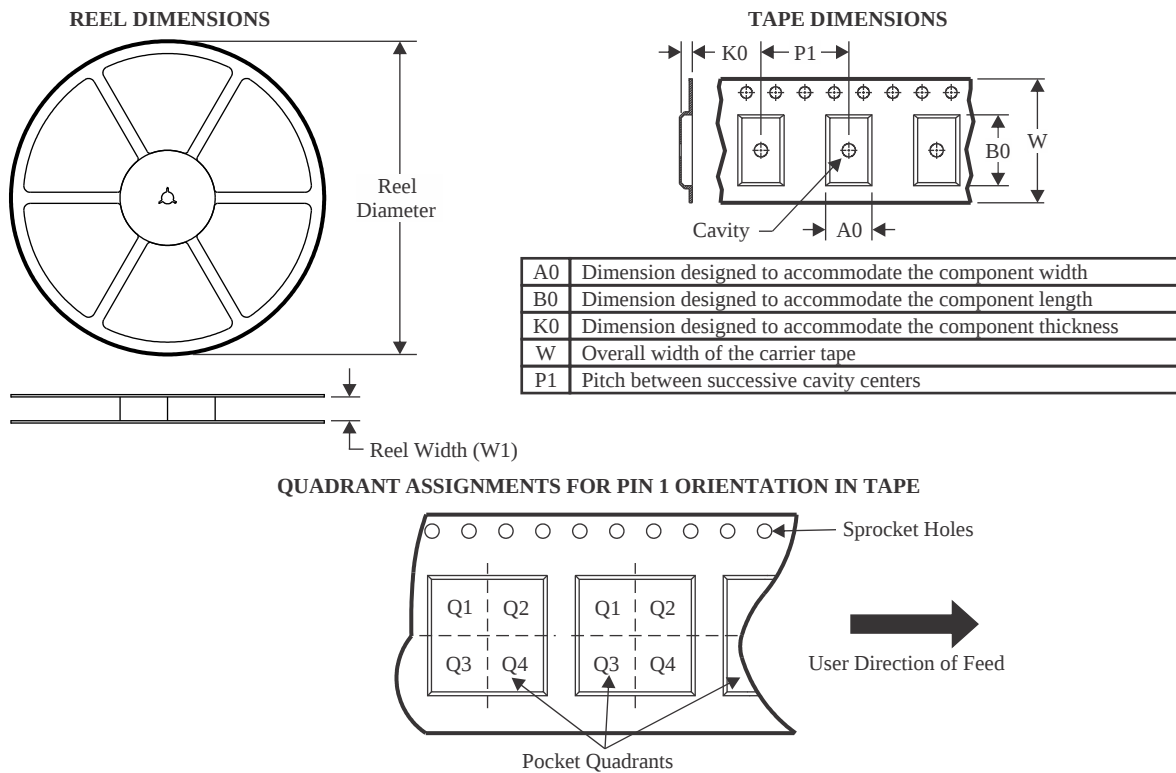
OTHER QUALIFIED VERSIONS OF BQ79616 :

- Automotive : [BQ79616-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

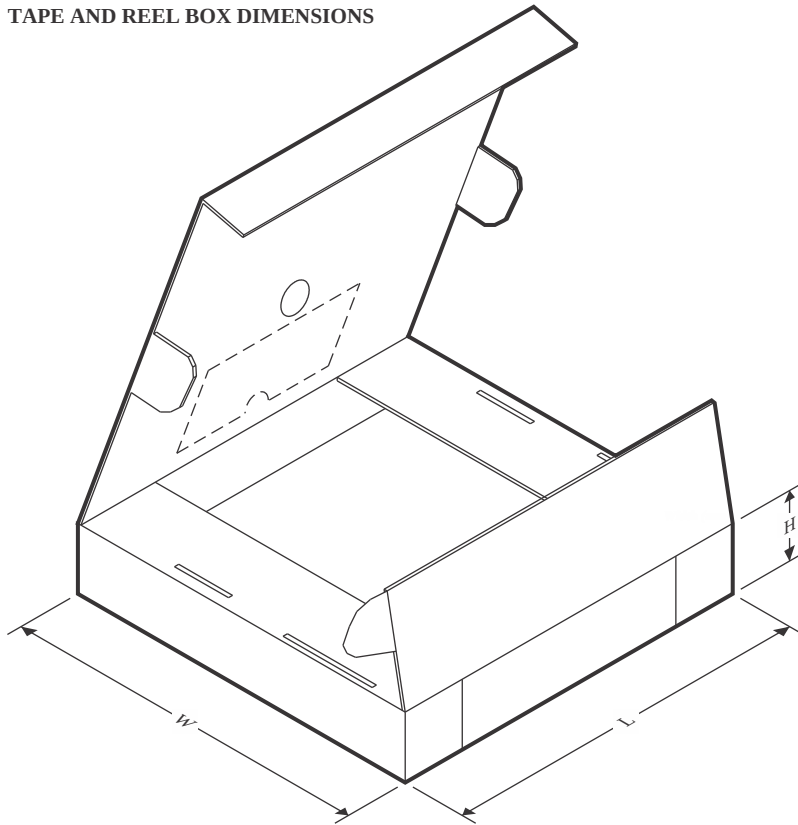
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
BQ79616PAPR	HTQFP	PAP	64	1000	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
BQ79616PAPR	HTQFP	PAP	64	1000	367.0	367.0	55.0

GENERIC PACKAGE VIEW

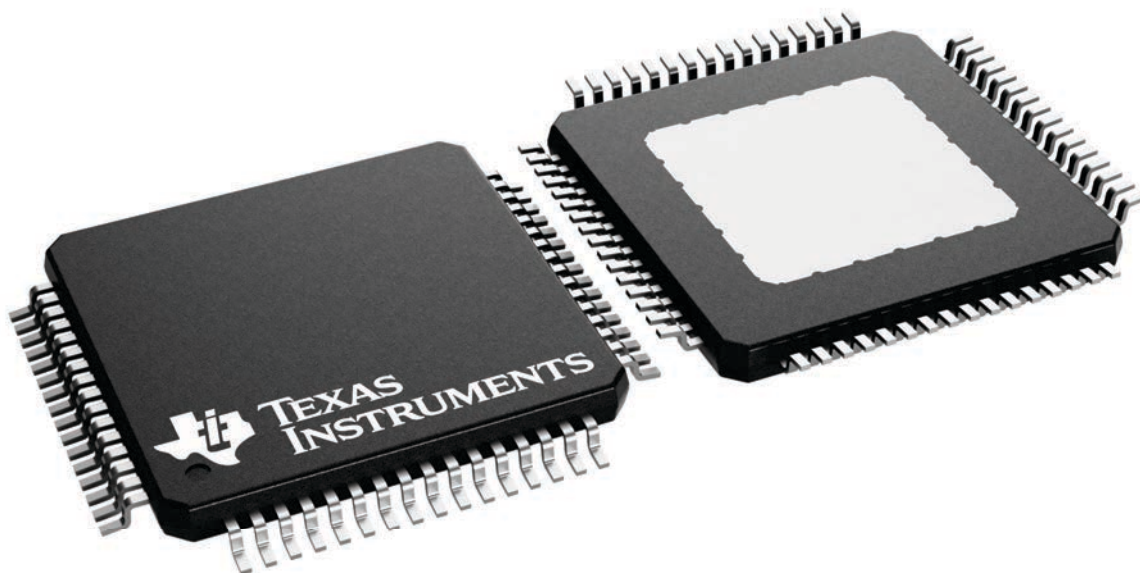
PAP 64

HTQFP - 1.2 mm max height

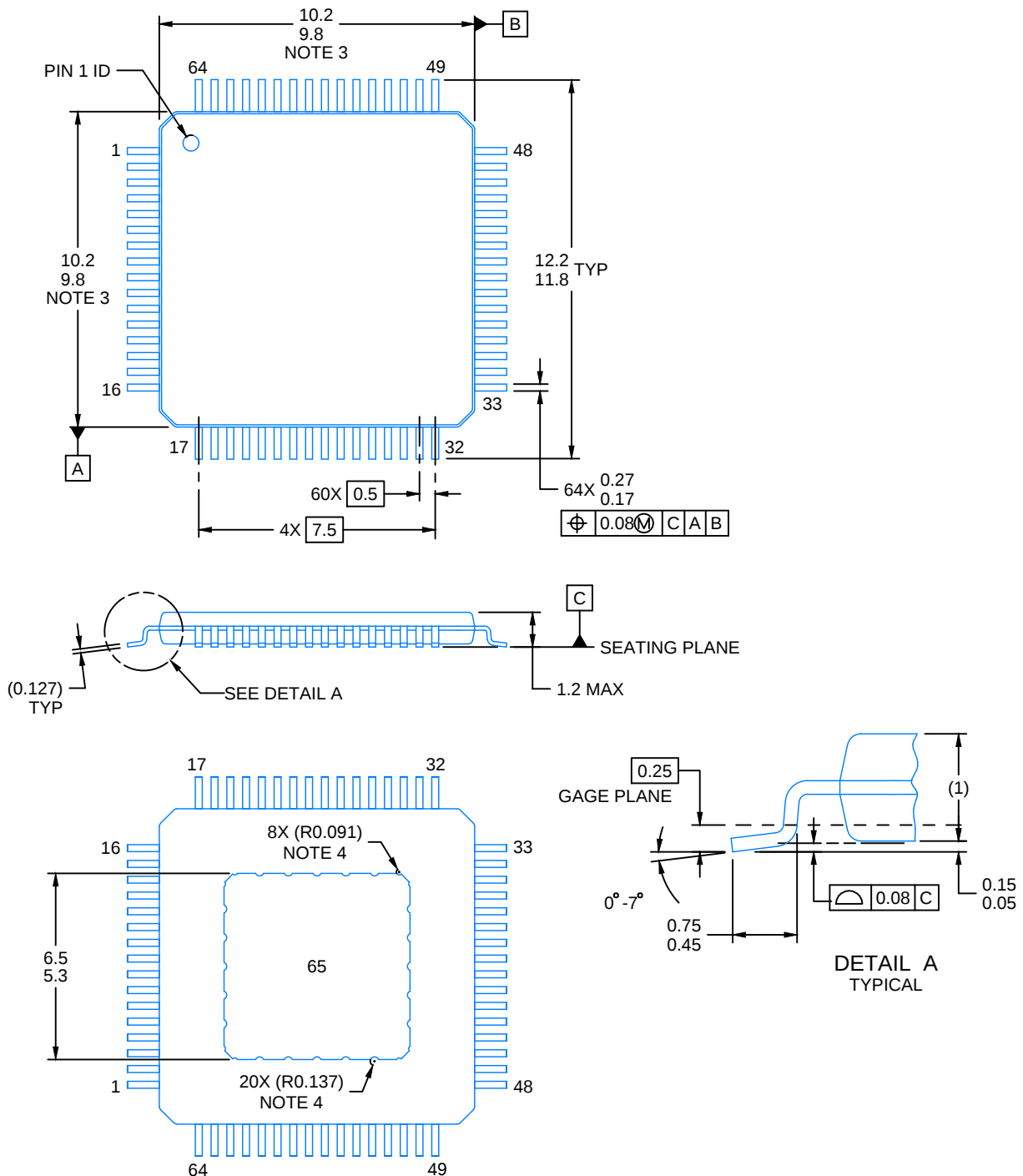
10 x 10, 0.5 mm pitch

QUAD FLATPACK

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4226442/A



4226412/A 11/2020

NOTES:

PowerPAD is a trademark of Texas Instruments.

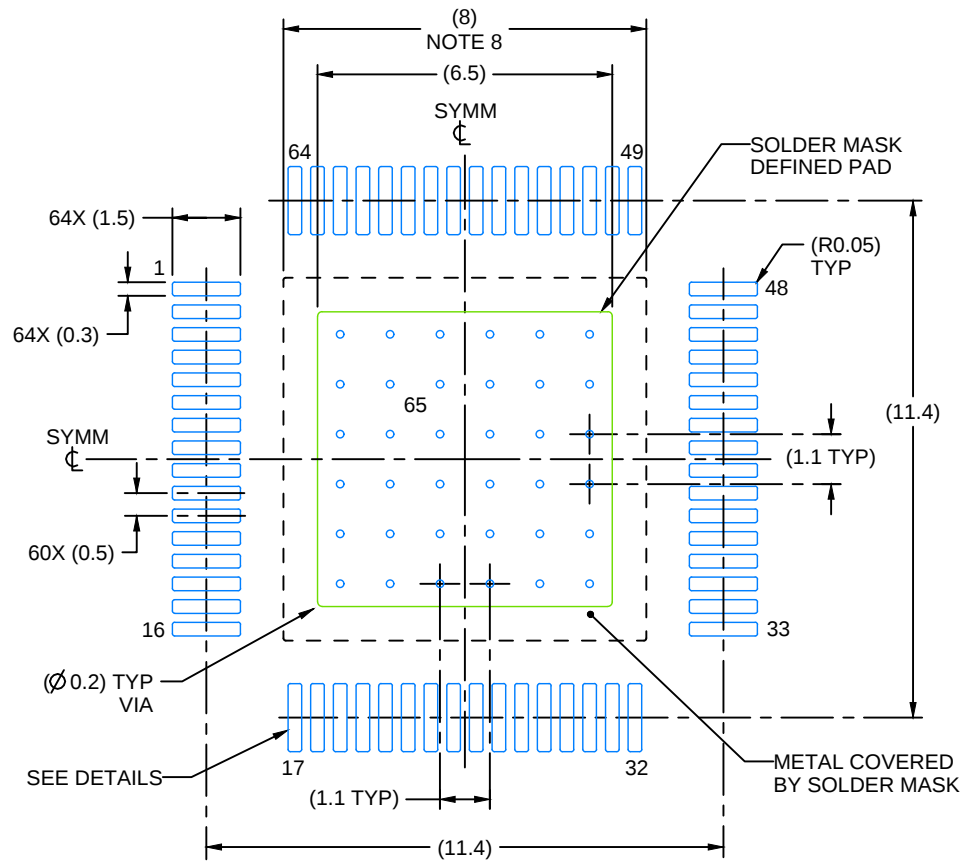
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs.
4. Strap features may not be present.
5. Reference JEDEC registration MS-026.

EXAMPLE BOARD LAYOUT

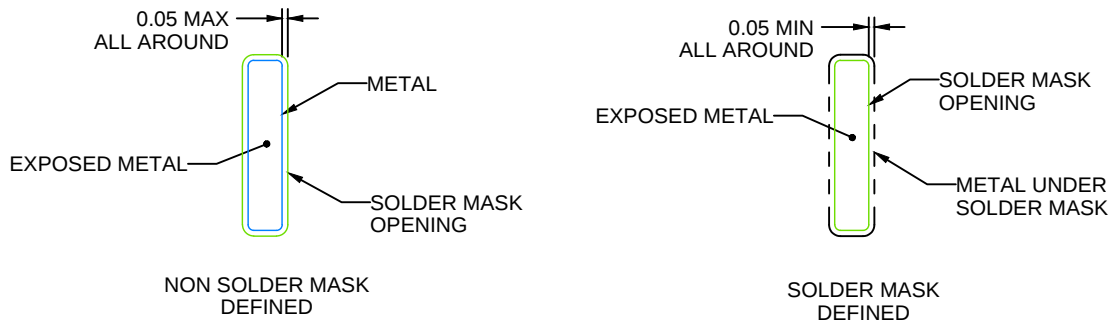
PAP0064F

PowerPAD™ TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS

4226412/A 11/2020

NOTES: (continued)

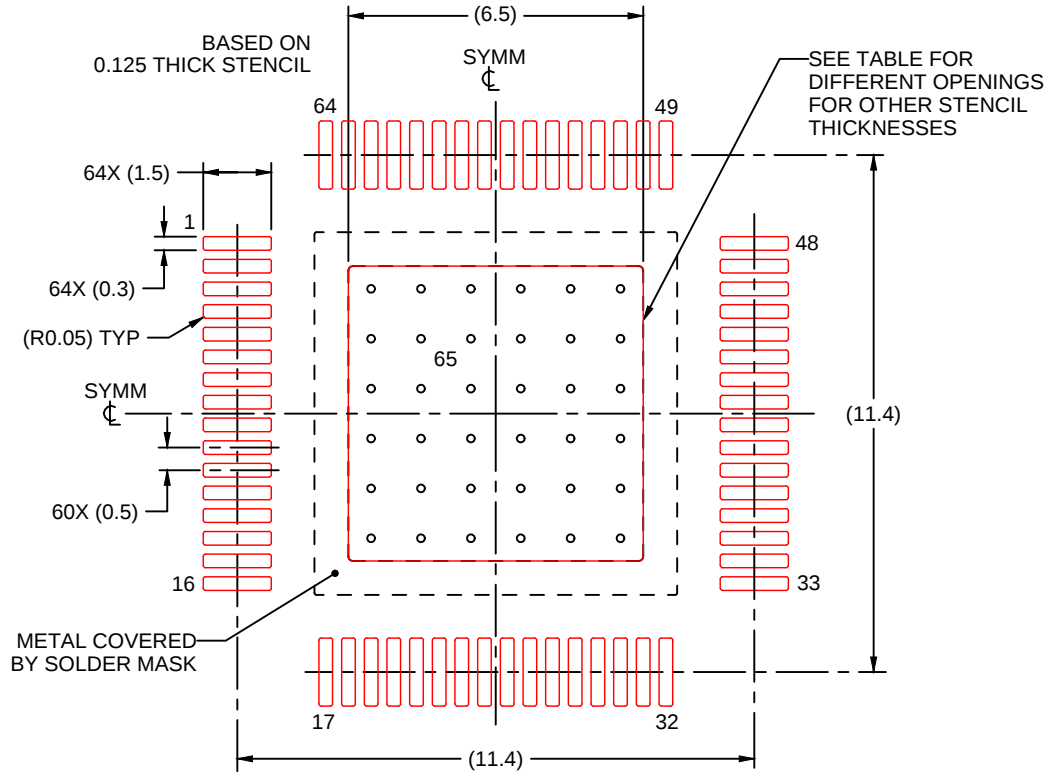
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

PAP0064F

PowerPAD™ TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	7.27 X 7.27
0.125	6.5 X 6.5 (SHOWN)
0.15	5.93 X 5.93
0.175	5.49 X 5.49

4226412/A 11/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月