CD4049UB および CD4050B CMOS ヘキサ反転バッファ / コンバータ

1 特長

- CD4049UB 反転
- CD4050B 非反転
- 2 つの TTL 負荷を駆動するための大きなシンク電流
- High/Low ロジック レベル変換
- 20V で静止電流を 100% テスト済み
- パッケージの温度範囲全体にわたって 18V 時に最大入力電流 1μA、25°C では 18V 時に 100nA
- 5V、10V、15V のパラメータ定格

2 アプリケーション

- CMOS から DTL または TTL へのヘキサ コンバータ
- CMOS 電流シンクまたはソースドライバ
- CMOS High ～ Low ロジック レベル コンバータ

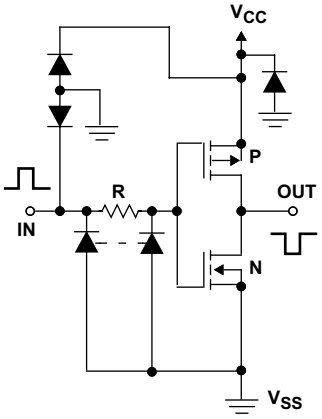
3 説明

CD4049UB および CD4050B デバイスは反転および非反転ヘキサ バッファであり、1 つの電源電圧 (V_{CC}) のみを使ったロジック レベル変換が可能です。これらのデバイスをロジック レベル変換に使う場合、入力信号の High レベル (V_{IH}) は V_{CC} 電源電圧を上回ることができます。これらのデバイスは、CMOS から DTL または TTL へのコンバータとして使うことを意図しており、2 つの DTL または TTL 負荷を直接駆動できます。V_{CC} = 5V、V_{OL} ≤ 0.4V、および I_{OL} ≥ 3.3mA。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
CD4049UBE、CD4050BE	N (PDIP、16)	6.35mm × 19.30mm
CD4049UBD、CD4050BD	D (SOIC、16)	9.90mm × 3.91mm
CD4049UBDW、CD4050BDW	DW (SOIC、16)	10.30mm × 7.50mm
CD4049UBNS、CD4050BNS	SO (16)	10.30mm × 5.30mm
CD4049UBPW、CD4050BPW	PW (TSSOP、16)	5.00mm × 4.40mm

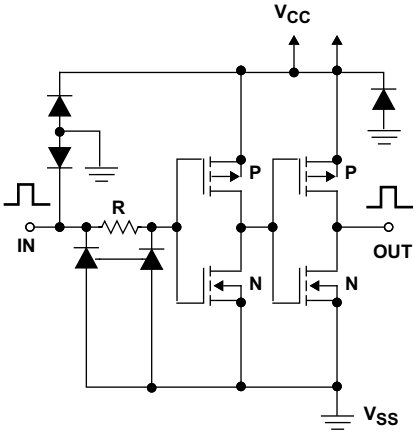
(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



Copyright © 2016,
Texas Instruments Incorporated

6 つの同一ユニットのうちの 1 つ

CD4049UB の回路図



Copyright © 2016, Texas Instruments Incorporated

6 つの同一ユニットのうちの 1 つ

CD4050B の回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....6
5.4 熱に関する情報.....8
5.5 電気的特性:DC.....8
5.6 電気的特性:AC.....11
5.7 代表的特性.....12
6 パラメータ測定情報.....14
6.1 テスト回路.....14
7 詳細説明.....15
7.1 概要.....15
7.2 機能ブロック図.....15
7.3 機能説明.....15
7.4 デバイスの機能モード.....16
8 アプリケーションと実装.....17
8.1 使用上の注意.....17
8.2 代表的なアプリケーション.....17
8.3 電源に関する推奨事項.....18
8.4 レイアウト.....18
9 デバイスおよびドキュメントのサポート.....19
9.1 ドキュメントのサポート.....19
9.2 ドキュメントの更新通知を受け取る方法.....19
9.3 サポート・リソース.....19
9.4 商標.....19
9.5 静電気放電に関する注意事項.....19
9.6 用語集.....19
10 改訂履歴.....19
11 メカニカル、パッケージ、および注文情報.....20

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

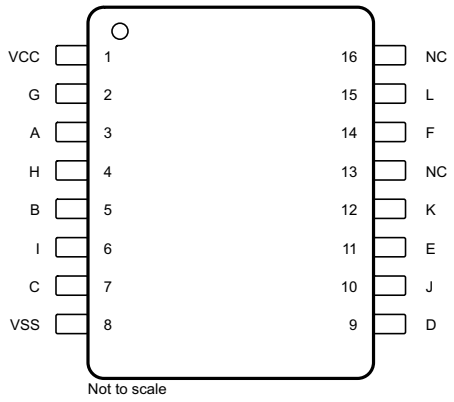


図 4-1. CD4049UB D、DW、N、NS、PW パッケージ 16 ピン SOIC、PDIP、SO、TSSOP 上面図

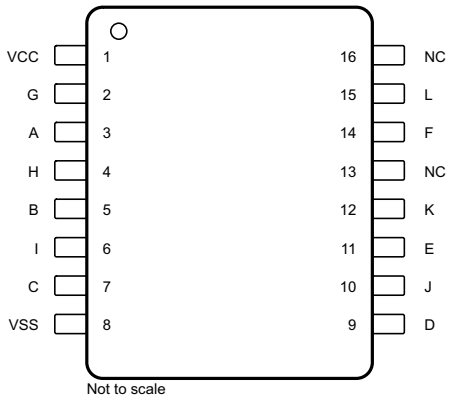


図 4-2. CD4050B D、DW、N、NS、PW パッケージ 16 ピン SOIC、PDIP、SO、TSSOP 上面図

ピンの機能：CD4049UB

ピン		タイプ(1)	説明
名称	番号		
A	3	I	入力 1
B	5	I	入力 2
C	7	I	入力 3
D	9	I	入力 4
E	11	I	入力 5
F	14	I	入力 6
G	2	O	反転出力 1。G = $\overline{A}$
H	4	O	反転出力 2。H = $\overline{B}$
I	6	O	反転出力 3。I = $\overline{C}$
J	10	O	反転出力 4。J = $\overline{D}$
K	12	O	反転出力 5。K = $\overline{E}$
L	15	O	反転出力 6。L = $\overline{F}$
NC	13、16	—	内部接続なし。
VCC	1	—	パワー ピン
VSS	8	—	負電源

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

ピンの機能：CD4050B

ピン		タイプ(1)	説明
名称	番号		
A	3	I	入力 1
B	5	I	入力 2
C	7	I	入力 3
D	9	I	入力 4
E	11	I	入力 5
F	14	I	入力 6
G	2	O	反転出力 1。G = A
H	4	O	反転出力 2。H = B
I	6	O	反転出力 3。I = C
J	10	O	反転出力 4。J = D
K	12	O	反転出力 5。K = E
L	15	O	反転出力 6。L = F
NC	13、16	—	内部接続なし。
VCC	1	—	パワー ピン
VSS	8	—	負電源

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電源電圧	VCC から VSS へ	-0.5	20	V
DC 入力電流、I_{IK}	任意の単一入力		±10	mA
リード温度 (半田付け、10 秒)	SOIC、リード ヒントのみ		265	°C
接合部温度	T_J		150	°C
保存温度	T_{stg}	-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±1500	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22C101 に準拠(2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

Copyright © 2026 Texas Instruments Incorporated

5.3 推奨動作条件

パラメータ				最小値	標準値	最大値	単位
V_{CC}				3		18	V
T_A				-55		125	°C
I_{OL} (最小値)	出力 low (シンク) 電流	V_{OUT} = 0.4V、V_{IN} = 0 または 5V、V_{CC} = 4.5V	T_A = -55°C	3.3			mA
			T_A = -40°C	3.1			
			T_A = 25°C	2.6	5.2		
			T_A = 85°C	2.1			
			T_A = 125°C	1.8			
		V_{OUT} = 0.4V、V_{IN} = 0 または 5V、V_{CC} = 5V	T_A = -55°C	4			
			T_A = -40°C	3.8			
			T_A = 25°C	3.2	6.4		
			T_A = 85°C	2.9			
			T_A = 125°C	2.4			
		V_{OUT} = 0.5V、V_{IN} = 0 または 10V、V_{CC} = 10V	T_A = -55°C	10			
			T_A = -40°C	9.6			
			T_A = 25°C	8	16		
			T_A = 85°C	6.6			
			T_A = 125°C	5.6			
		V_{OUT} = 1.5V、V_{IN} = 0 または 15V、V_{CC} = 15V	T_A = -55°C	26			
			T_A = -40°C	25			
			T_A = 25°C	24	48		
			T_A = 85°C	20			
			T_A = 125°C	18			
I_{OH} (最小値)	出力 high (ソース) 電流	V_{OUT} = 4.6V、V_{IN} = 0 または 5V、V_{CC} = 5V	T_A = -55°C	-0.81			mA
			T_A = -40°C	-0.73			
			T_A = 25°C	-0.65	-1.2		
			T_A = 85°C	-0.58			
			T_A = 125°C	-0.48			
		V_{OUT} = 2.5V、V_{IN} = 0 または 5V、V_{CC} = 5V	T_A = -55°C	-2.6			
			T_A = -40°C	-2.4			
			T_A = 25°C	-2.1	-3.9		
			T_A = 85°C	-1.9			
			T_A = 125°C	-1.55			
		V_{OUT} = 9.5V、V_{IN} = 0 または 10V、V_{CC} = 10V	T_A = -55°C	-2			
			T_A = -40°C	-1.8			
			T_A = 25°C	-1.65	-3		
			T_A = 85°C	-1.35			
			T_A = 125°C	-1.18			
		V_{OUT} = 1.3V、V_{IN} = 0 または 15V、V_{CC} = 15V	T_A = -55°C	-5.2			
			T_A = -40°C	-4.8			
			T_A = 25°C	-4.3	-8		
			T_A = 85°C	-3.5			
			T_A = 125°C	-3.1			

Copyright © 2026 Texas Instruments Incorporated

パラメータ				最小値 標準値 最大値	単位
V_{IL} (最大値)	入力 low 電圧 (CD4049UB)	V_{OUT} = 4.5V、V_{CC} = 5V、全動作温度範囲		1	V
		V_{OUT} = 9V、V_{CC} = 10V、全動作温度範囲		2	
		V_{OUT} = 13.5V、V_{CC} = 15V、全動作温度範囲		2.5	
	入力 low 電圧 (CD4050B)	V_{OUT} = 0.5V、V_{CC} = 5V、全動作温度範囲		1.5	
		V_{OUT} = 1V、V_{CC} = 10V、全動作温度範囲		3	
		V_{OUT} = 1.5V、V_{CC} = 15V、全動作温度範囲		4	
V_{IH} (最小値)	入力 high 電圧 (CD4049UB)	V_{OUT} = 0.5V、V_{CC} = 5V	T_A = -55℃	4	V
			T_A = -40℃	4	
			T_A = 25℃	4	
			T_A = 85℃	4	
			T_A = 125℃	4	
		V_{OUT} = 1V、V_{CC} = 10V	T_A = -55℃	8	
			T_A = -40℃	8	
			T_A = 25℃	8	
			T_A = 85℃	8	
			T_A = 125℃	8	
		V_{OUT} = 1.5V、V_{CC} = 15V	T_A = -55℃	12.5	
			T_A = -40℃	12.5	
			T_A = 25℃	12.5	
			T_A = 85℃	12.5	
			T_A = 125℃	12.5	
V_{IH}	入力 high 電圧 (CD4050B)	V_{OUT} = 4.5V、V_{CC} = 5V	T_A = -55℃	3.5	V
			T_A = -40℃	3.5	
			T_A = 25℃	3.5	
			T_A = 85℃	3.5	
			T_A = 125℃	3.5	
		V_{OUT} = 9V、V_{CC} = 10V	T_A = -55℃	7	
			T_A = -40℃	7	
			T_A = 25℃	7	
			T_A = 85℃	7	
			T_A = 125℃	7	
		V_{OUT} = 13.5V、V_{CC} = 15V	T_A = -55℃	11	
			T_A = -40℃	11	
			T_A = 25℃	11	
			T_A = 85℃	11	
			T_A = 125℃	11	

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		CD4049UB					CD4050B					単位
		D (SOIC)	DW (SOIC)	E (PDIP)	NS (SO)	PW (TSSOP)	D (SOIC)	DW (SOIC)	E (PDIP)	NS (SO)	PW (TSSOP)	
		16 ピン	16 ピン	16 ピン	16 ピン	16 ピン	16 ピン	16 ピン	16 ピン	16 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗 (2)	81.6	81.6	49.5	84.3	108.9	81.6	81.2	49.7	83.8	108.4	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	41.5	44.5	36.8	43	43.7	41.5	44.1	37	42.5	43.2	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	39	46.3	29.4	44.6	54	39	45.9	29.6	44.1	53.5	℃/W
ψ_{JT}	接合部から上面への特性パラメータ	10.7	16.5	21.7	12.8	4.6	10.7	16.1	21.9	12.5	4.5	℃/W
ψ_{JB}	接合部から基板への特性パラメータ	38.7	45.8	29.3	44.3	53.4	38.7	45.4	29.5	43.8	52.9	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
(2) パッケージの熱インピーダンスは、JESD 51-7 に従って計算しています。

5.5 電気的特性：DC

パラメータ		テスト条件		最小値	標準値	最大値	単位
I_{DD} (最大値)	デバイスの静止電流	V_{IN} = 0 または 5V、V_{CC} = 5V	T_A = -55℃			1	μA
			T_A = -40℃			1	
			T_A = 25℃		0.02	1	
			T_A = 85℃			30	
			T_A = 125℃			30	
		V_{IN} = 0 または 10V、V_{CC} = 10V	T_A = -55℃			2	
			T_A = -40℃			2	
			T_A = 25℃		0.02	2	
			T_A = 85℃			60	
			T_A = 125℃			60	
		V_{IN} = 0 または 15V、V_{CC} = 4V	T_A = -55℃			4	
			T_A = -40℃			4	
			T_A = 25℃		0.02	4	
			T_A = 85℃			120	
			T_A = 125℃			120	
		V_{IN} = 0 または 20V、V_{CC} = 20V	T_A = -55℃			20	
			T_A = -40℃			20	
			T_A = 25℃		0.04	20	
			T_A = 85℃			600	
			T_A = 125℃			600	

Copyright © 2026 Texas Instruments Incorporated

パラメータ		テスト条件		最小値	標準値	最大値	単位
I_{OL} (最小値)	出力 low (シンク) 電流	V_{OUT} = 0.4V、V_{IN} = 0 または 5V、V_{CC} = 4.5V	T_A = -55℃	3.3			mA
			T_A = -40℃	3.1			
			T_A = 25℃	2.6	5.2		
			T_A = 85℃	2.1			
			T_A = 125℃	1.8			
		V_{OUT} = 0.4V、V_{IN} = 0 または 5V、V_{CC} = 5V	T_A = -55℃	4			
			T_A = -40℃	3.8			
			T_A = 25℃	3.2	6.4		
			T_A = 85℃	2.9			
			T_A = 125℃	2.4			
		V_{OUT} = 0.5V、V_{IN} = 0 または 10V、V_{CC} = 10V	T_A = -55℃	10			
			T_A = -40℃	9.6			
			T_A = 25℃	8	16		
			T_A = 85℃	6.6			
			T_A = 125℃	5.6			
		V_{OUT} = 1.5V、V_{IN} = 0 または 15V、V_{CC} = 15V	T_A = -55℃	26			
			T_A = -40℃	25			
			T_A = 25℃	24	48		
			T_A = 85℃	20			
			T_A = 125℃	18			
V_{OL} (最大値)	出力電圧 low レベル	V_{IN} = 0 または 5V、V_{CC} = 5V	T_A = -55℃			0.05	V
			T_A = -40℃			0.05	
			T_A = 25℃		0	0.05	
			T_A = 85℃			0.05	
			T_A = 125℃			0.05	
		V_{IN} = 0 または 10V、V_{CC} = 10V	T_A = -55℃			0.05	
			T_A = -40℃			0.05	
			T_A = 25℃		0	0.05	
			T_A = 85℃			0.05	
			T_A = 125℃			0.05	
		V_{IN} = 0 または 15V、V_{CC} = 15V	T_A = -55℃			0.05	
			T_A = -40℃			0.05	
			T_A = 25℃		0	0.05	
			T_A = 85℃			0.05	
			T_A = 125℃			0.05	

Copyright © 2026 Texas Instruments Incorporated

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{OH} (最小値)	出力電圧 high レベル	V_{IN} = 0 または 5V、V_{CC} = 5V	T_A = -55℃	4.95			V
			T_A = -40℃	4.95			
			T_A = 25℃	4.95	5		
			T_A = 85℃	4.95			
			T_A = 125℃	4.95			
		V_{IN} = 0 または 10V、V_{CC} = 10V	T_A = -55℃	9.95			
			T_A = -40℃	9.95			
			T_A = 25℃	9.95	10		
			T_A = 85℃	9.95			
			T_A = 125℃	9.95			
		V_{IN} = 0 または 15V、V_{CC} = 15V	T_A = -55℃	14.95			
			T_A = -40℃	14.95			
			T_A = 25℃	14.95	15		
			T_A = 85℃	14.95			
			T_A = 125℃	14.95			
I_{IN} (最大値)	入力電流	V_{IN} = 0 または 18V、V_{CC} = 18V	T_A = -55℃			±0.1	μA
			T_A = -40℃			±0.1	
			T_A = 25℃		$\pm 10^{-5}$	±0.1	
			T_A = 85℃			±1	
			T_A = 125℃			±1	

Copyright © 2026 Texas Instruments Incorporated

5.6 電気的特性：AC

T_A = 25°C、入力 t_r および t_f = 20ns、C_L = 50pF、R_L = 200kΩ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}	伝搬遅延時間 Low から High (CD4049UB)	V_{IN} = 5V、V_{CC} = 5V		60	120	ns
		V_{IN} = 10V、V_{CC} = 10V		32	65	
		V_{IN} = 10V、V_{CC} = 5V		45	90	
		V_{IN} = 15V、V_{CC} = 15V		25	50	
		V_{IN} = 15V、V_{CC} = 5V		45	90	
	伝搬遅延時間 Low から High (CD4050B)	V_{IN} = 5V、V_{CC} = 5V		70	140	ns
		V_{IN} = 10V、V_{CC} = 10V		40	80	
		V_{IN} = 10V、V_{CC} = 5V		45	90	
		V_{IN} = 15V、V_{CC} = 15V		30	60	
		V_{IN} = 15V、V_{CC} = 5V		40	80	
t_{PHL}	伝搬遅延時間 High から Low (CD4049UB)	V_{IN} = 5V、V_{CC} = 5V		32	65	ns
		V_{IN} = 10V、V_{CC} = 10V		20	40	
		V_{IN} = 10V、V_{CC} = 5V		15	30	
		V_{IN} = 15V、V_{CC} = 15V		15	30	
		V_{IN} = 15V、V_{CC} = 5V		10	20	
	伝搬遅延時間 High から Low (CD4050B)	V_{IN} = 5V、V_{CC} = 5V		55	110	ns
		V_{IN} = 10V、V_{CC} = 10V		22	55	
		V_{IN} = 10V、V_{CC} = 5V		50	100	
		V_{IN} = 15V、V_{CC} = 15V		15	30	
		V_{IN} = 15V、V_{CC} = 5V		50	100	
t_{TLH}	遷移時間 Low から high へ	V_{IN} = 5V、V_{CC} = 5V		80	160	ns
		V_{IN} = 10V、V_{CC} = 10V		40	80	
		V_{IN} = 15V、V_{CC} = 15V		30	60	
t_{THL}	遷移時間 High から Low へ	V_{IN} = 5V、V_{CC} = 5V		30	60	ns
		V_{IN} = 10V、V_{CC} = 10V		20	40	
		V_{IN} = 15V、V_{CC} = 15V		15	30	
C_{IN}	入力容量 (CD4049UB)			15	22.5	pF
	入力容量 (CD4050B)			5	7.5	pF

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性

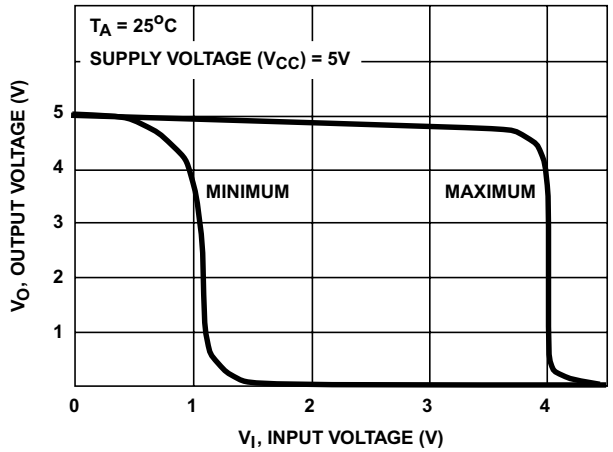


図 5-1. CD4049UB の最小および最大電圧伝達特性

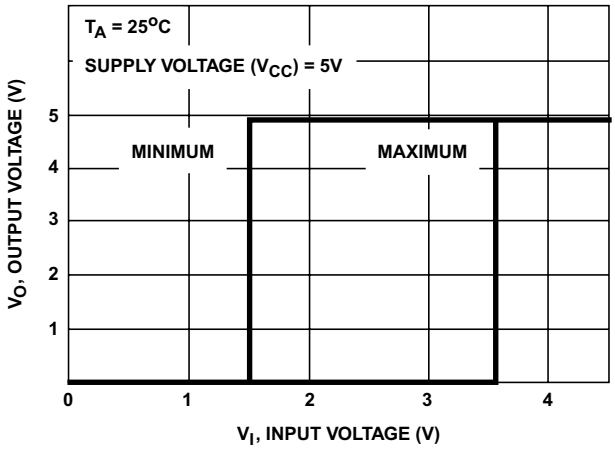


図 5-2. CD4050B の最小および最大電圧伝達特性

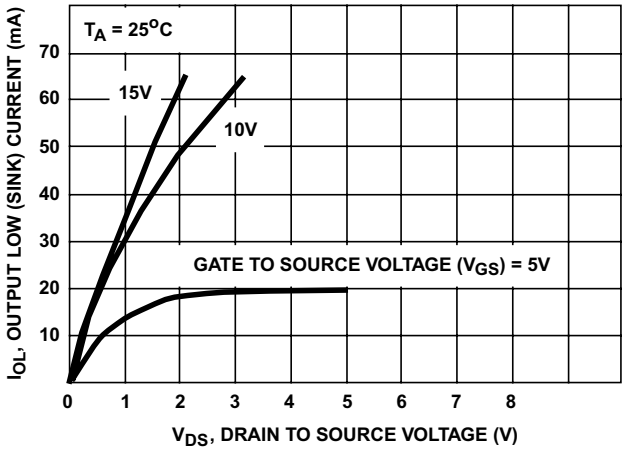


図 5-3. 代表的出力 Low (シンク) 電流特性

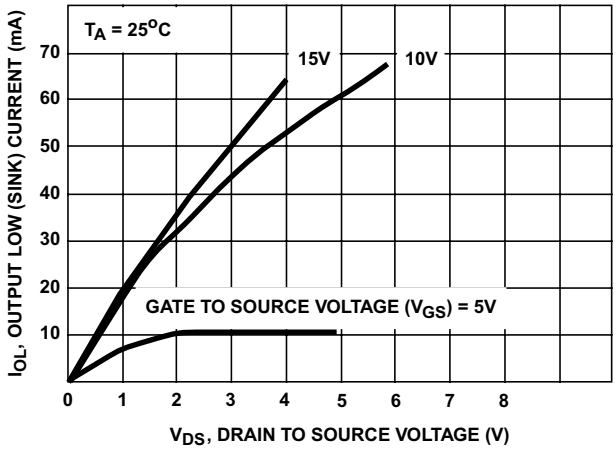


図 5-4. 最小出力 Low (シンク) 電流ドレイン特性

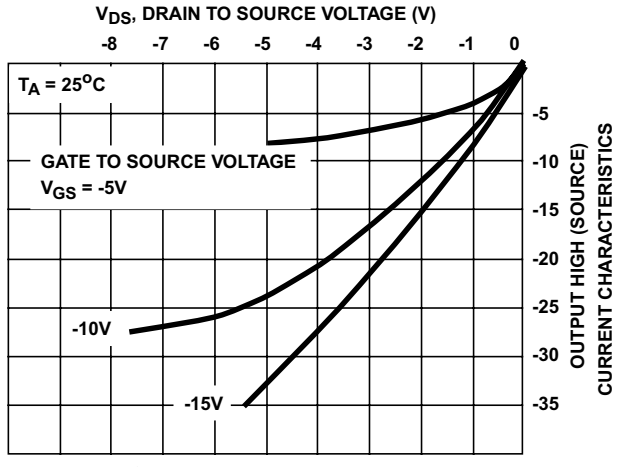


図 5-5. 代表的な出力 High (ソース) 電流特性

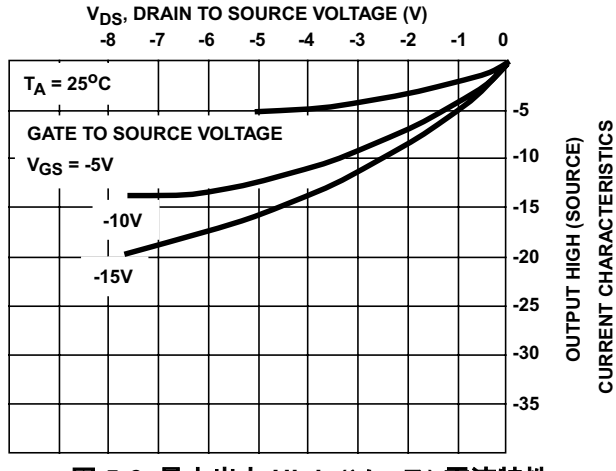


図 5-6. 最小出力 High (ソース) 電流特性

Copyright © 2026 Texas Instruments Incorporated

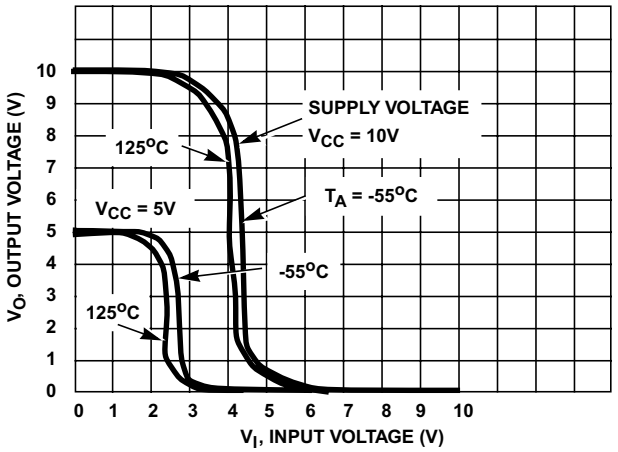


図 5-7. CD4049UB の温度の関数としての代表的な電圧伝達特性

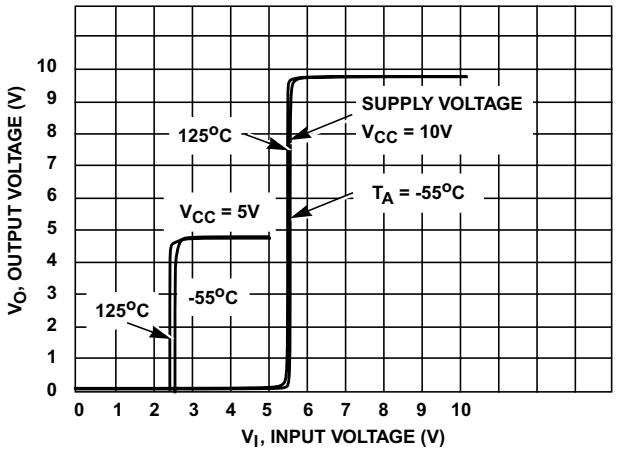


図 5-8. CD4050B の温度の関数としての代表的な電圧伝達特性

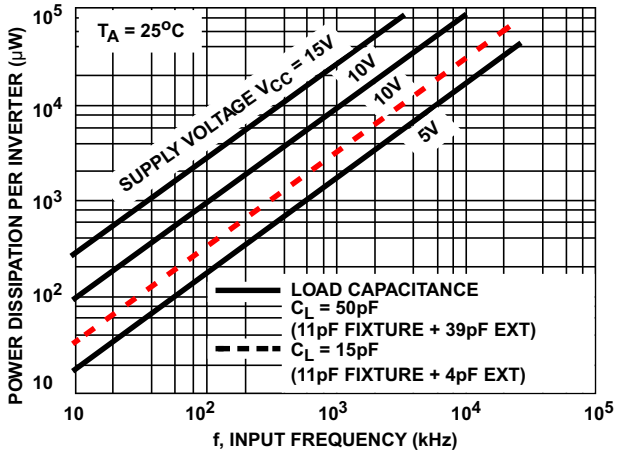


図 5-9. 代表的消費電力と周波数特性との関係

6 パラメータ測定情報

6.1 テスト回路

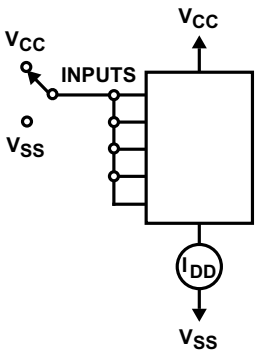
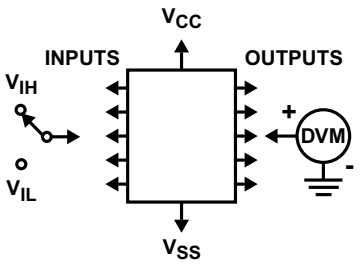
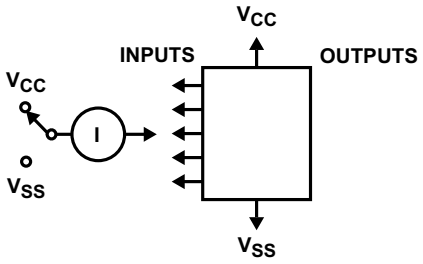


図 6-1. 静止デバイス電流テスト回路



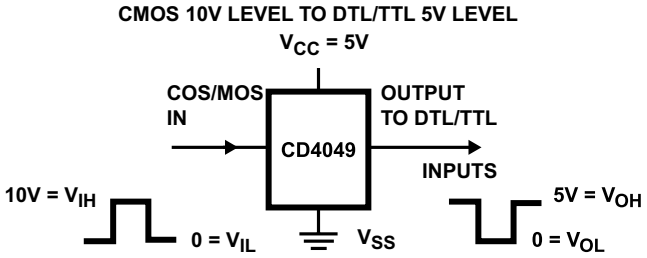
他の入力を VCC または VSS にして任意の 1 つの入力をテストします。

図 6-2. 入力電圧テスト回路



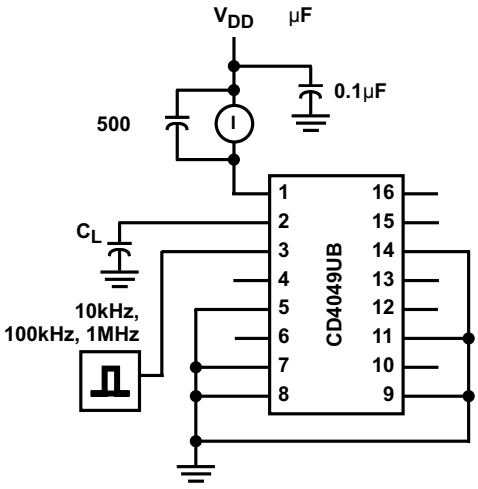
VCC と VSS の両方への入力を順に測定し、未使用の入力はすべて VCC または VSS に接続します。

図 6-3. 入力電流テスト回路



IN ピン：A、B、C、D、E、または F
OUT ピン：G、H、I、J、K、または L
VCC ピン
VSS ピン

図 6-4. ロジックレベル変換アプリケーション



C_L には治具の容量が含まれます。

図 6-5. 動的消費電力テスト回路

Copyright © 2026 Texas Instruments Incorporated

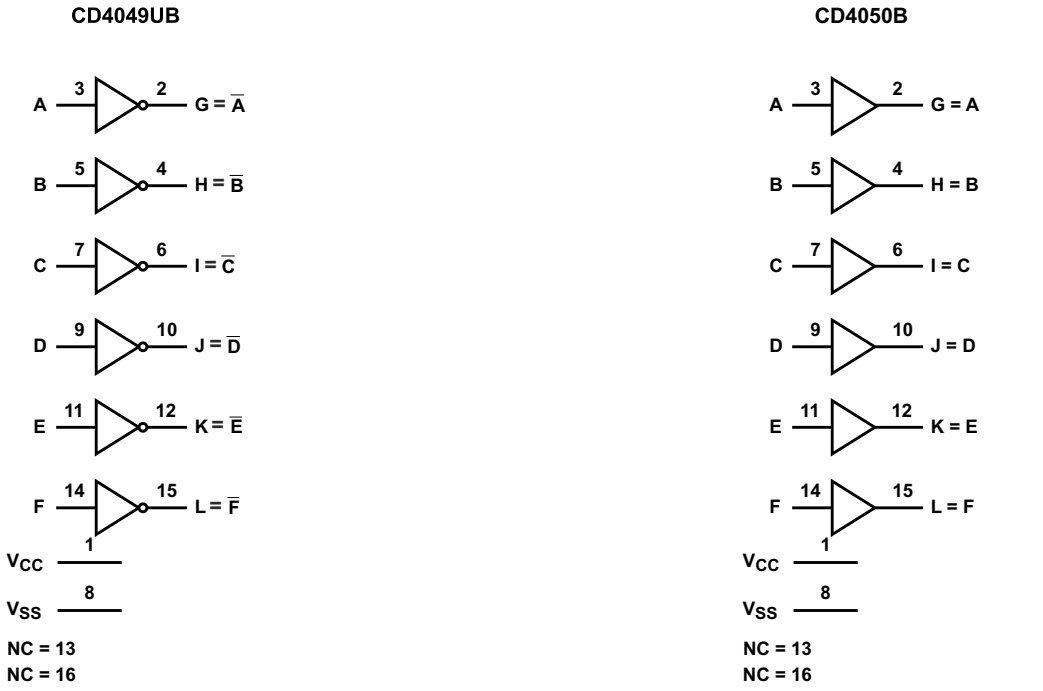
7 詳細説明

7.1 概要

CD4049UB デバイスは反転ヘキサバッファで、CD4050B デバイスは非反転ヘキサバッファです。これらのデバイスはロジックレベル変換を行い、高いシンク電流を備えており、2 つの TTL 負荷を駆動できます。また、これらのデバイスは 18V において全温度範囲にわたって 1μA と小さい入力電流を実現しています。

CD4049UB および CD4050B デバイスは、それぞれ CD4009UB および CD4010B デバイスの代替品として指定されています。CD4049UB および CD4050B は電源が 1 つしか必要ないため、CD4009UB および CD4010B よりも推奨され、すべてのインバータ、電流ドライバ、またはロジック レベル変換アプリケーションで CD4009UB および CD4010B の代わりに使用する必要があります。これらのアプリケーションでは、CD4049UB および CD4050B はそれぞれ CD4009UB および CD4010B とピン互換であり、既存設計だけでなく新規設計でもこれらのデバイスに置き換えることができます。ピン 16 (NC) は CD4049UB または CD4050B に内部的に接続されていないため、この端子への接続は回路動作に影響しません。TI は、大きなシンク電流や電圧変換を必要としないアプリケーションには、CD4069UB ヘキサ インバータを推奨します。

7.2 機能ブロック図



Copyright © 2016, Texas Instruments Incorporated

7.3 機能説明

CD4049UB と CD4050B は、対称出力特性を標準化しており、3V ～ 18V の広い動作電圧範囲で、静止電流は 20V でテスト済みです。これらのデバイスは、10V で t_{TLH} = 40ns および t_{THL} = 20ns (標準値) の遷移時間です。動作温度範囲は –55℃ ～ 125℃ です。

7.4 デバイスの機能モード

表 7-1 に、CD4049UB の機能モードを示します。表 7-2 に、CD4050B の機能モードを示します。

表 7-1. CD4049UB の機能表

入力 A、B、C、D、E、F	出力 G、H、I、J、K、L
H	L
L	H

表 7-2. CD4050B の機能表

入力 A、B、C、D、E、F	出力 G、H、I、J、K、L
H	H
L	L

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

CD4049UB および CD4050B デバイスは、パッケージの温度範囲全体にわたって 18V 時に 1μA の低入力電流で、25°C では 18V 時に 100nA となります。これらのデバイスは、3V~18V の広い動作電圧範囲で動作し、高電圧アプリケーションで使用できます。

8.2 代表的なアプリケーション

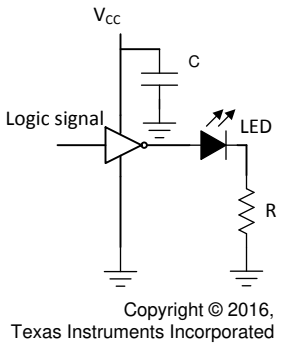


図 8-1. CD4049UB アプリケーション

8.2.1 設計要件

CD4049UB デバイスは、推奨条件で 18V の電圧で動作する業界最高クラスのロジックインバータです。これらのデバイスは、大きなシンク電流能力を備えています。

8.2.2 詳細な設計手順

図 8-1 の推奨入力条件には、立ち上がり時間と立ち下がり時間の仕様 (「推奨動作条件」の Δt/ΔV を参照) と、規定された high および low レベル (「推奨動作条件」の V_{IH} および V_{IL} を参照) が含まれます。 入力は過電圧許容ではなく、VCC への入力クランプダイオードが存在するため、V_{CC} レベルを下回るようにする必要があります。

CD4049UB アプリケーションの推奨出力条件には、特定の負荷電流が含まれています。負荷電流は、デバイスの合計電力 (VCC または GND を流れる連続電流) を超えないように制限する必要があります。これらの限界値は、絶対最大定格に記載されています。出力は、V_{CC} を超えてプルされないようにしてください。

8.2.3 アプリケーション曲線

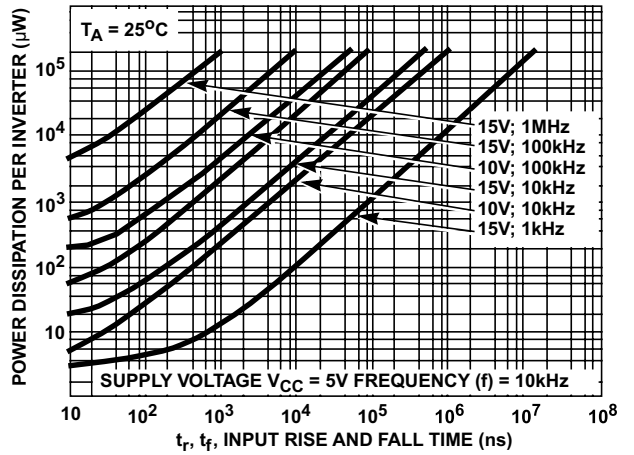


図 8-2. CD4049UB のインバータあたりの標準消費電力と入力立ち上がり、立ち下がり時間との関係

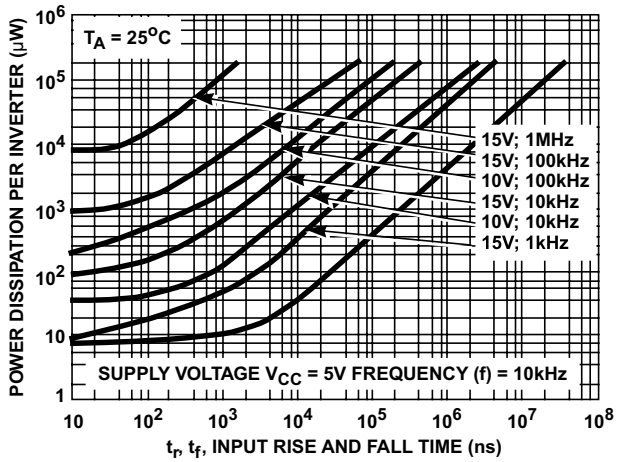


図 8-3. CD4050B のバッファあたりの標準消費電力と入力立ち上がり、立ち下がり時間との関係

8.3 電源に関する推奨事項

電源には、推奨動作条件に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の障害を防止するため、各 VCC ピンに適切なバイパス コンデンサを配置する必要があります。TI では、単電源のデバイスには、0.1µF のコンデンサを推奨しています。TI では、VVCC ピンが複数ある場合、各電源ピンに対して 0.01µF または 0.022µF のコンデンサを推奨しています。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。最良の結果を得るため、バイパス コンデンサは電源ピンのできるだけ近くに配置する必要があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

多ビット ロジック デバイスを使用する場合、入力をフローティングにしないでください。

多くの場合、デジタル ロジック デバイスの機能または機能の一部は使用されません (たとえば、3 入力 AND ゲートの 2 つの入力のみを使用したり、4 つのバッファ ゲートのうち 3 つのみを使用したりする場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。次の段落で規定されているあらゆる状況において、この規則を遵守する必要があります。

デジタル ロジック デバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。フローティング入力の影響の詳細については、低速またはフローティング CMOS 入力の影響を参照してください。特定の未使用入力に適用するロジック レベルは、デバイスの機能によって異なります。一般に、GND または VCC のうち、より利便性の高い方に接続されます。

8.4.2 レイアウト例

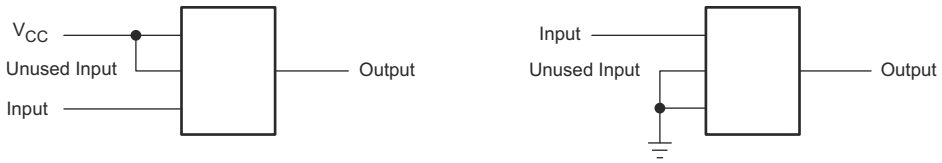


図 8-4. レイアウトの図

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』アプリケーション ノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の *アラートを受け取る*をクリックして登録すると、製品情報の更新に関する週次ダイジェストを受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision K (June 2020) to Revision L (February 2026)	Page
• 推奨動作条件セクションのフォーマットを更新しました	6
• DC 電気的特性のフォーマットを更新し、最大値および最小値を特定しました	8
• V_{IH}、V_{IL}、I_{OH}、および I_{OL} を推奨動作条件セクションに移動しました	8

Changes from Revision J (September 2016) to Revision K (June 2020)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新。	1
• 「デバイス情報」の表を正しいパッケージ寸法で更新	1

Copyright © 2026 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD4049UBD	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	CD4049UBM
CD4049UBDR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4049UBM
CD4049UBDR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4049UBM
CD4049UBDRE4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4049UBM
CD4049UBDRG4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4049UBM
CD4049UBDT	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	CD4049UBM
CD4049UBDW	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4049UBM
CD4049UBDW.A	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4049UBM
CD4049UBDWG4	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4049UBM
CD4049UBE	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD4049UBE
CD4049UBE.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD4049UBE
CD4049UBEE4	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD4049UBE
CD4049UBF	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD4049UBF
CD4049UBF.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD4049UBF
CD4049UBF3A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD4049UBF3A
CD4049UBF3A.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD4049UBF3A
CD4049UBNSR	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4049UB
CD4049UBNSR.A	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4049UB
CD4049UBPW	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	CM049UB
CD4049UBPWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-55 to 125	CM049UB
CD4049UBPWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CM049UB
CD4050BD	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	CD4050BM
CD4050BDR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4050BM
CD4050BDR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4050BM
CD4050BDT	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	CD4050BM
CD4050BDW	Obsolete	Production	SOIC (DW) | 16	-	-	Call TI	Call TI	-55 to 125	CD4050BM
CD4050BDWR	NRND	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4050BM
CD4050BDWR.A	NRND	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4050BM
CD4050BE	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD4050BE

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD4050BE.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD4050BE
CD4050BEE4	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD4050BE
CD4050BF	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD4050BF
CD4050BF.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD4050BF
CD4050BF3A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD4050BF3A
CD4050BF3A.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD4050BF3A
CD4050BNSR	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4050B
CD4050BNSR.A	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4050B
CD4050BPW	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	CM050B
CD4050BPWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-55 to 125	CM050B
CD4050BPWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CM050B
CD4050BPWRG4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CM050B
JM38510/05553BEA	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 05553BEA
JM38510/05553BEA.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 05553BEA
JM38510/05554BEA	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 05554BEA
JM38510/05554BEA.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 05554BEA
M38510/05553BEA	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 05553BEA
M38510/05554BEA	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 05554BEA

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD4049UB, CD4049UB-MIL, CD4050B, CD4050B-MIL :

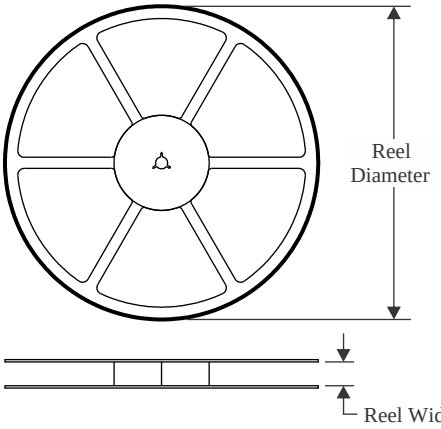
- Catalog : CD4049UB, CD4050B
- Military : CD4049UB-MIL, CD4050B-MIL

NOTE: Qualified Version Definitions:

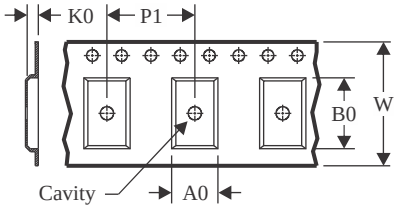
- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

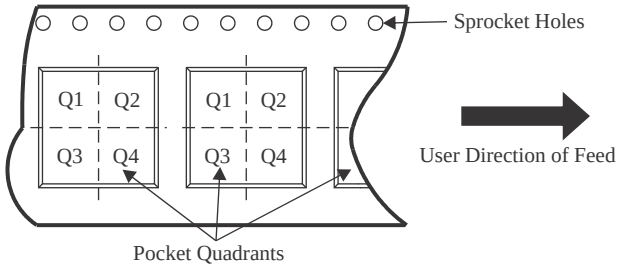


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

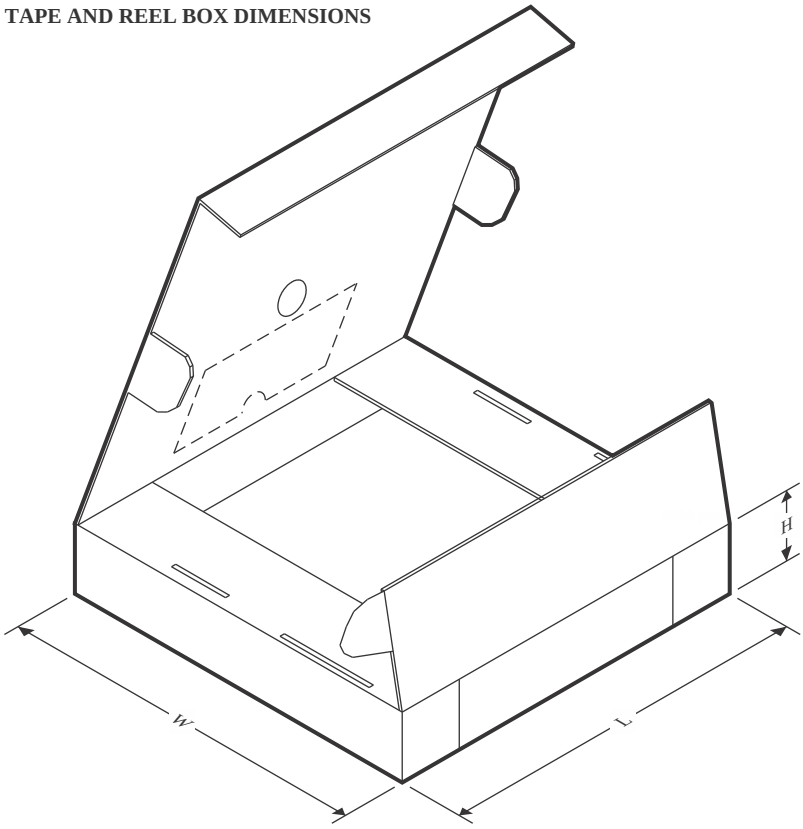
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD4049UBDR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD4049UBNSR	SOP	NS	16	2000	330.0	16.4	8.45	10.55	2.5	12.0	16.2	Q1
CD4049UBPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD4050BDR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD4050BDWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
CD4050BNSR	SOP	NS	16	2000	330.0	16.4	8.45	10.55	2.5	12.0	16.2	Q1
CD4050BPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD4050BPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD4050BPWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

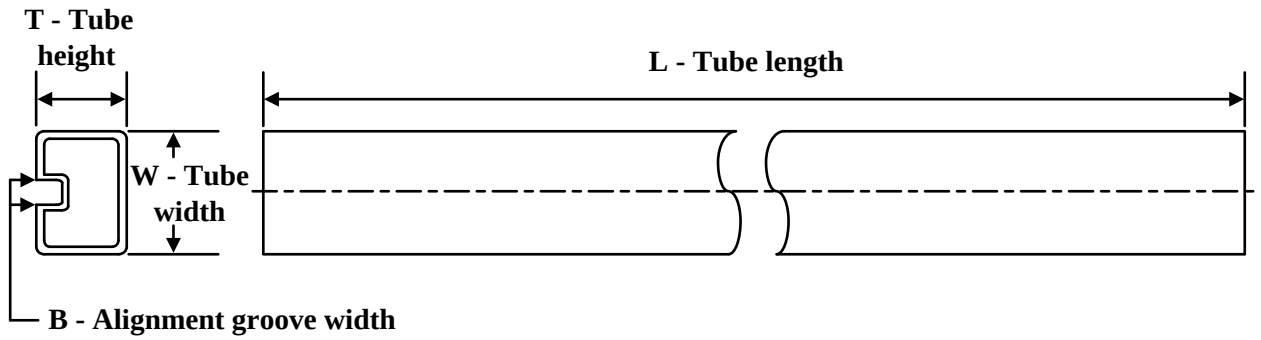
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD4049UBDR	SOIC	D	16	2500	353.0	353.0	32.0
CD4049UBNSR	SOP	NS	16	2000	353.0	353.0	32.0
CD4049UBPWR	TSSOP	PW	16	2000	356.0	356.0	35.0
CD4050BDR	SOIC	D	16	2500	353.0	353.0	32.0
CD4050BDWR	SOIC	DW	16	2000	350.0	350.0	43.0
CD4050BNSR	SOP	NS	16	2000	353.0	353.0	32.0
CD4050BPWR	TSSOP	PW	16	2000	356.0	356.0	35.0
CD4050BPWR	TSSOP	PW	16	2000	353.0	353.0	32.0
CD4050BPWRG4	TSSOP	PW	16	2000	356.0	356.0	35.0

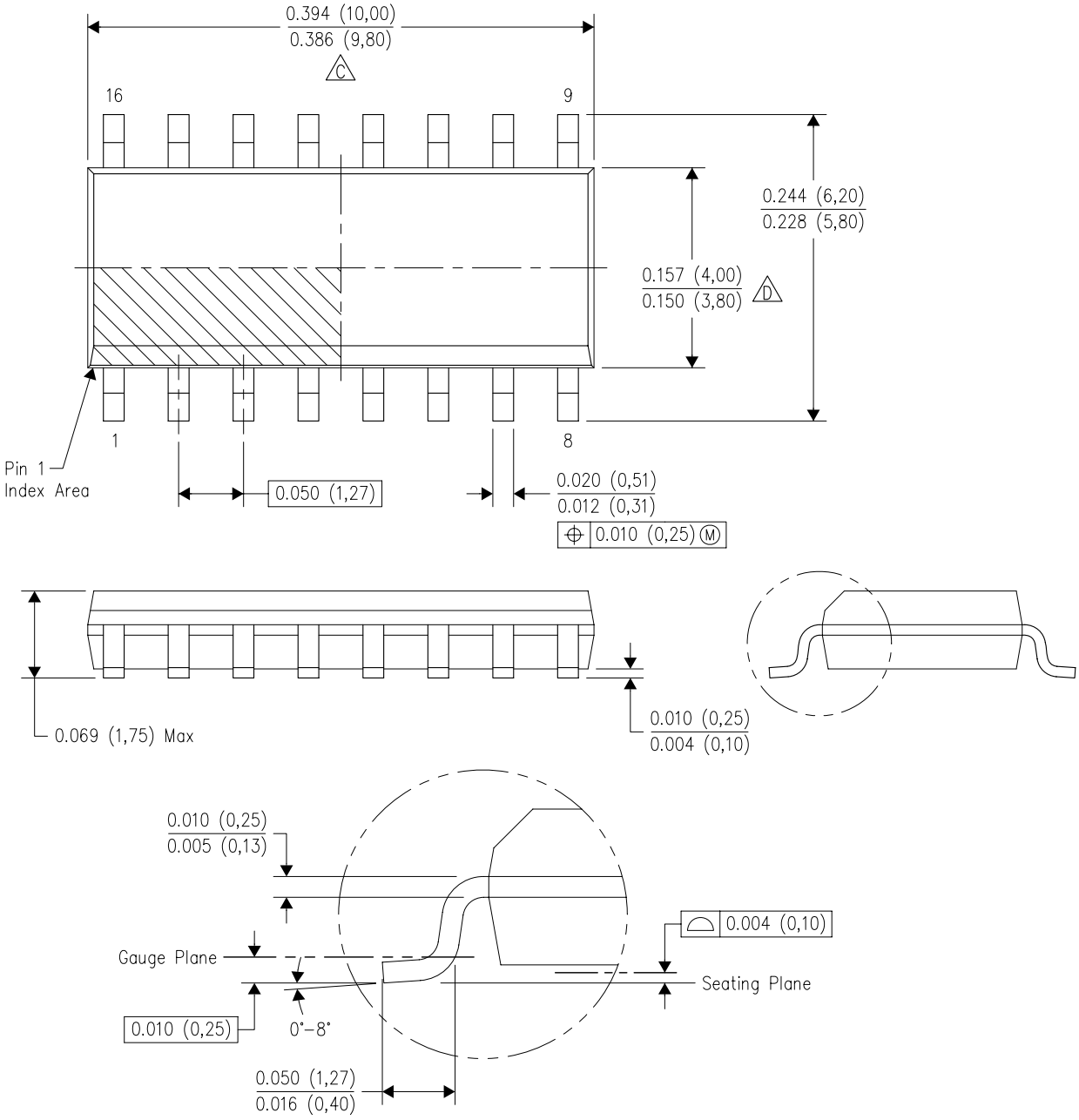
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
CD4049UBDW	DW	SOIC	16	40	506.98	12.7	4826	6.6
CD4049UBDW.A	DW	SOIC	16	40	506.98	12.7	4826	6.6
CD4049UBDWG4	DW	SOIC	16	40	506.98	12.7	4826	6.6
CD4049UBE	N	PDIP	16	25	506	13.97	11230	4.32
CD4049UBE.A	N	PDIP	16	25	506	13.97	11230	4.32
CD4049UBEE4	N	PDIP	16	25	506	13.97	11230	4.32
CD4050BE	N	PDIP	16	25	506	13.97	11230	4.32
CD4050BE.A	N	PDIP	16	25	506	13.97	11230	4.32
CD4050BEE4	N	PDIP	16	25	506	13.97	11230	4.32

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

GENERIC PACKAGE VIEW

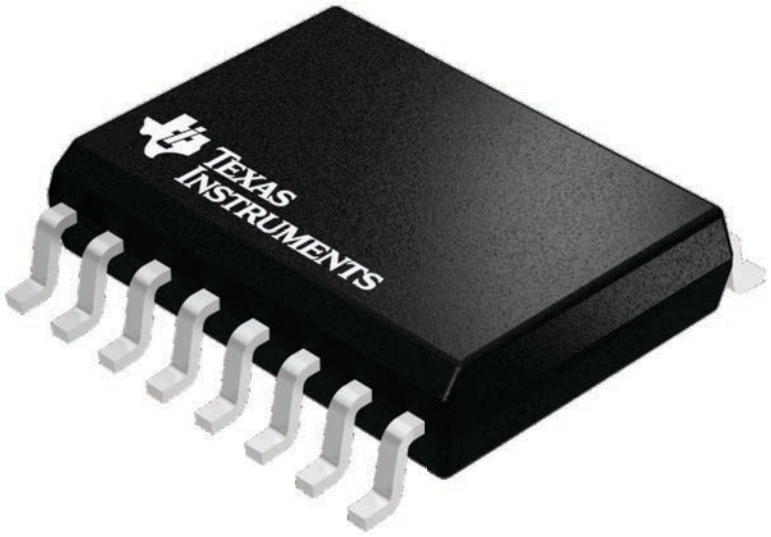
DW 16

SOIC - 2.65 mm max height

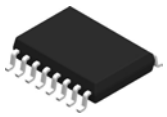
7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224780/A

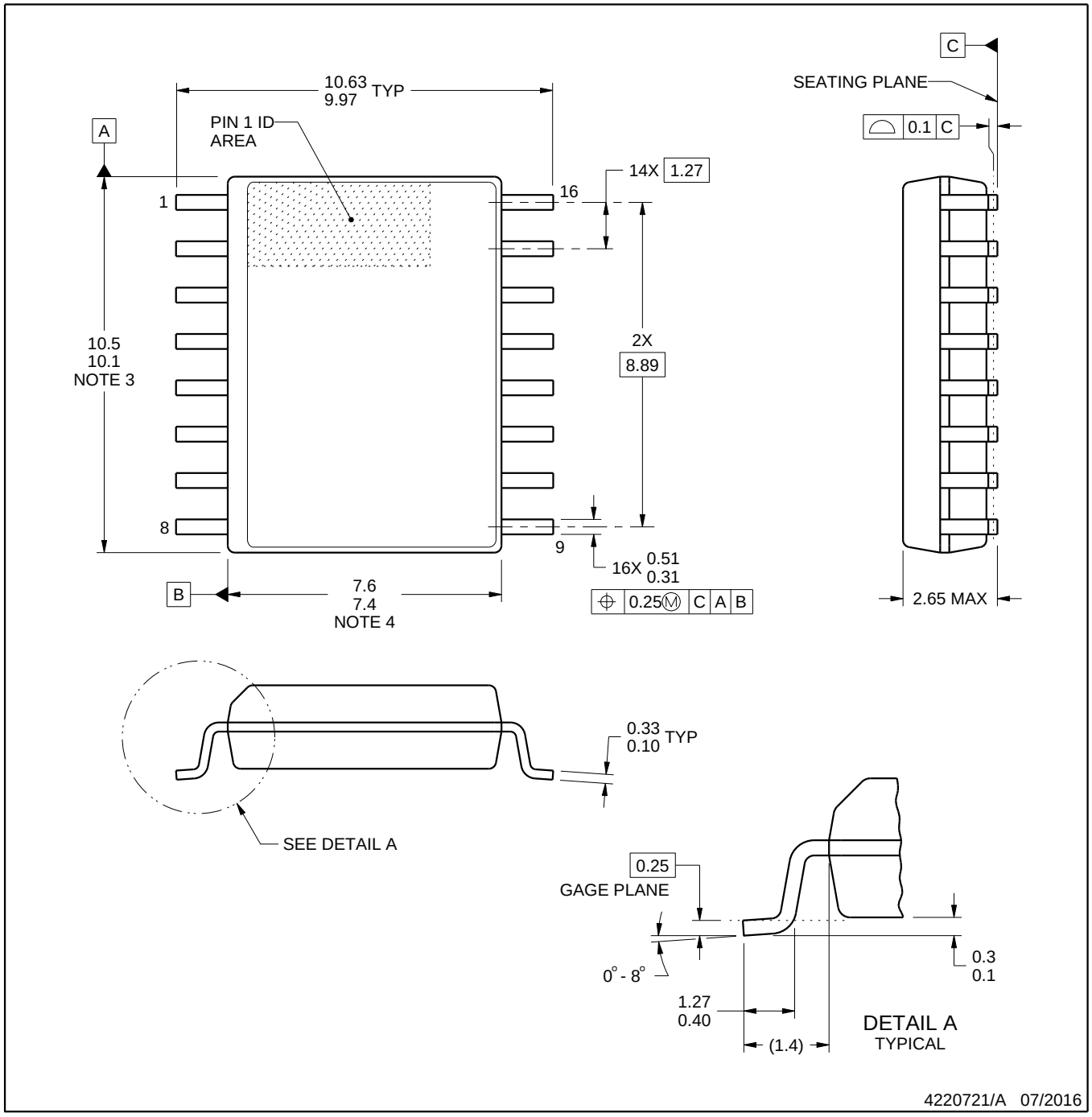


PACKAGE OUTLINE

DW0016A

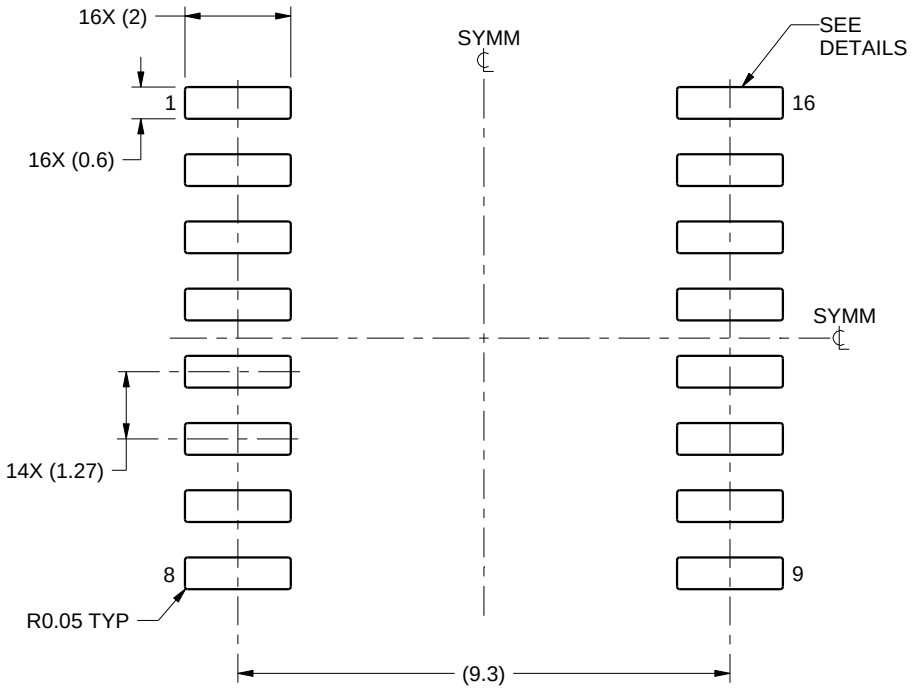
SOIC - 2.65 mm max height

SOIC

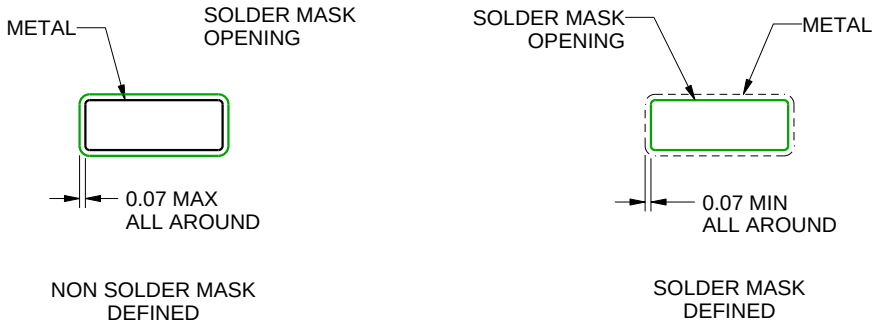


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:7X

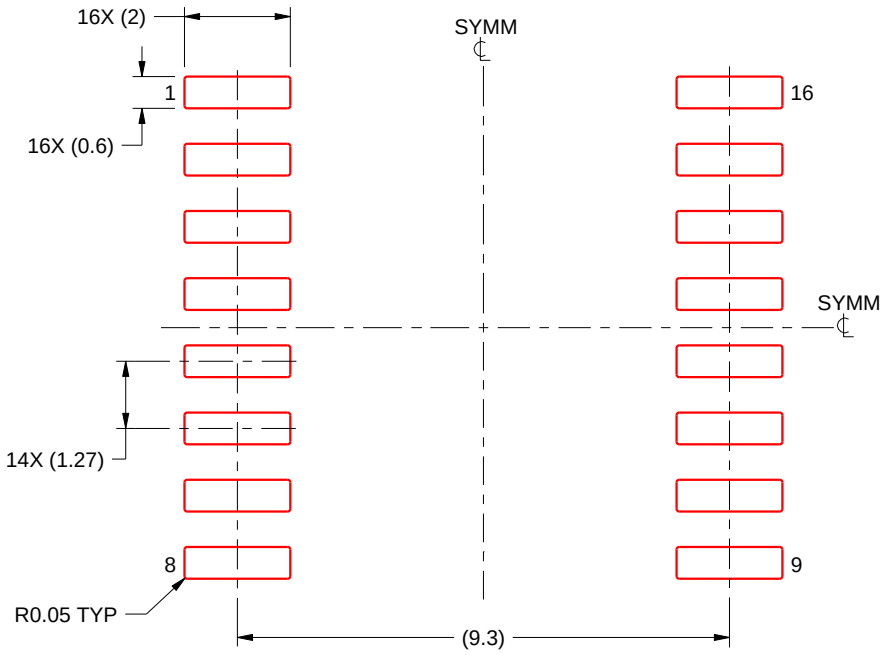


SOLDER MASK DETAILS

4220721/A 07/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220721/A 07/2016

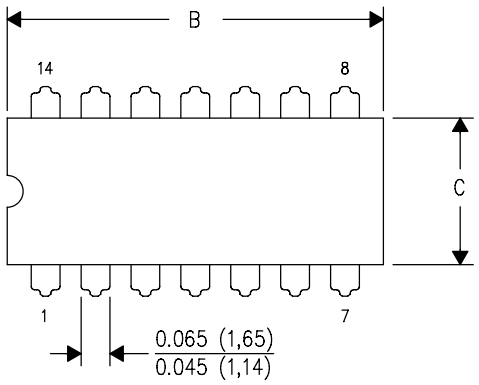
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

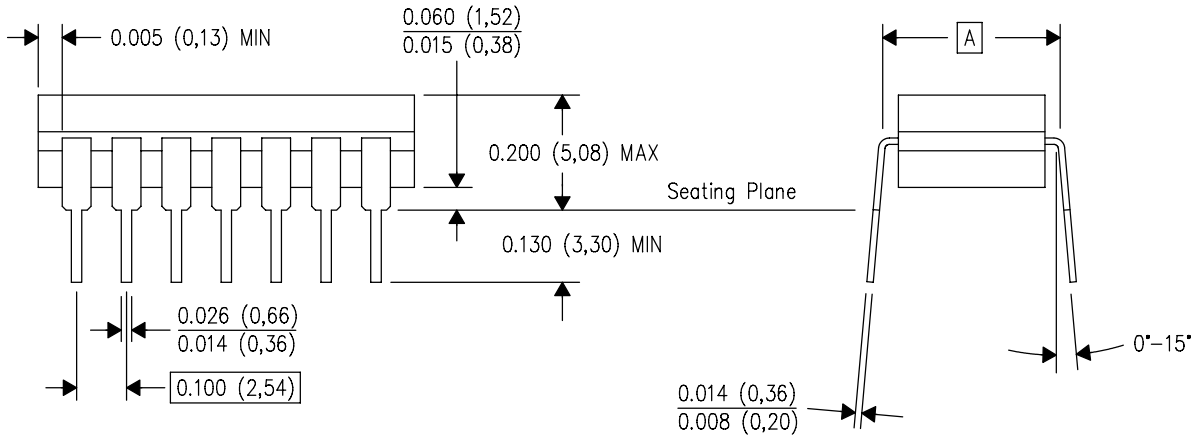
J (R–GDIP–T**)

14 LEADS SHOWN

CERAMIC DUAL IN–LINE PACKAGE



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

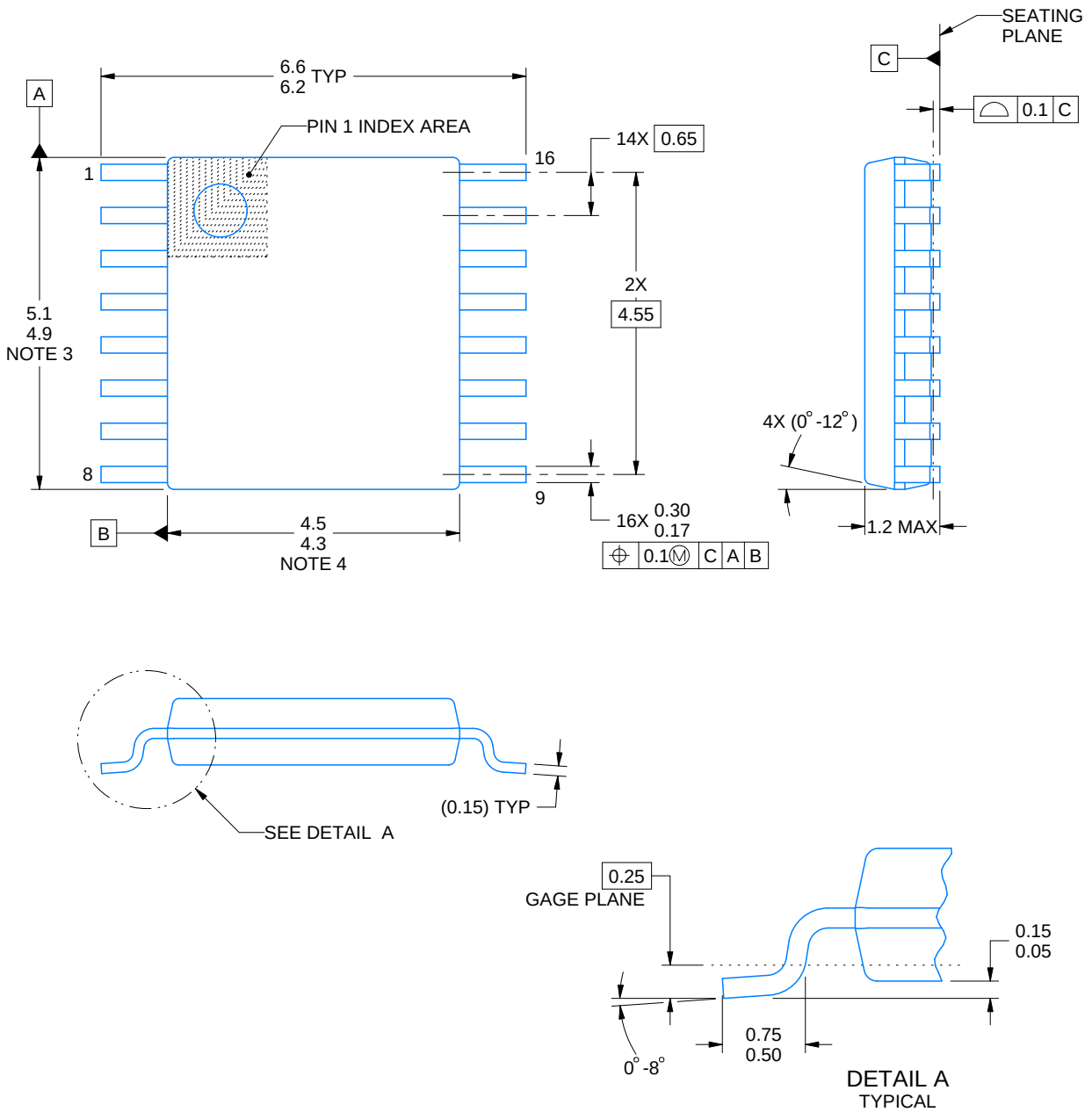
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package is hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.

PACKAGE OUTLINE

PW0016A

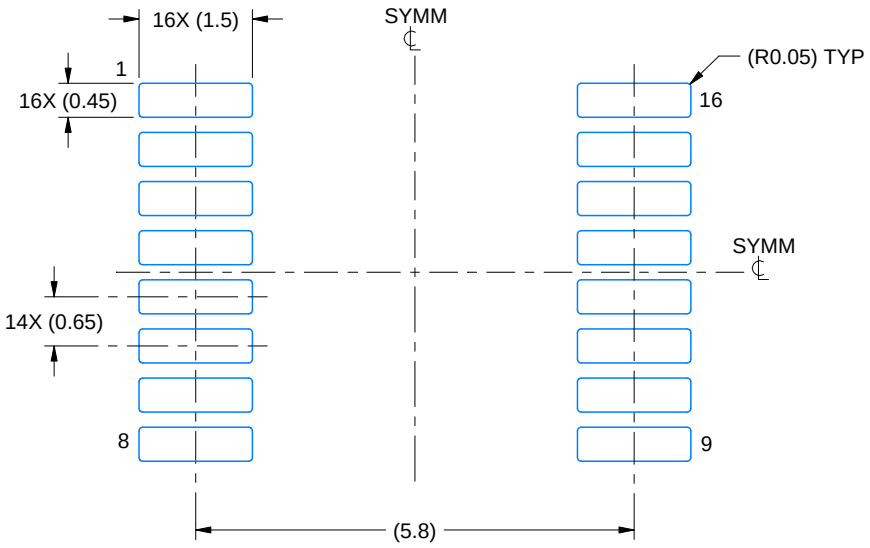
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

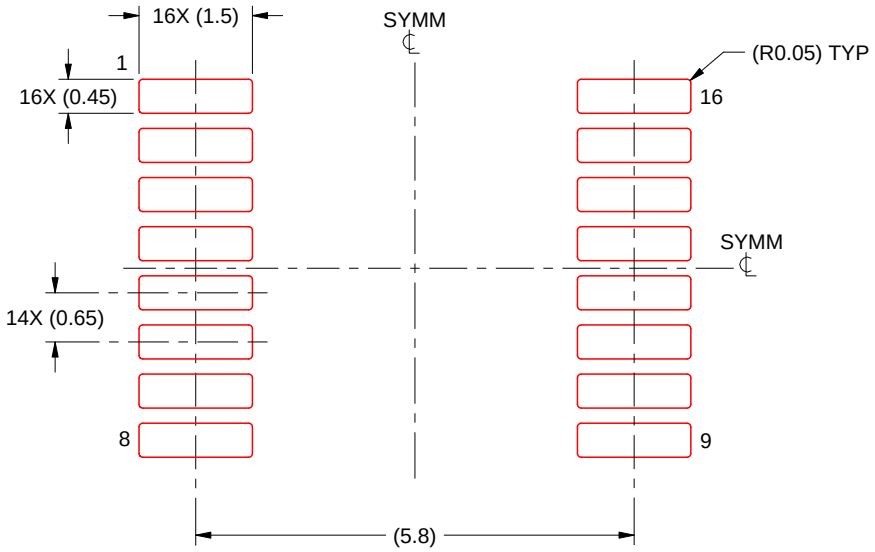


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

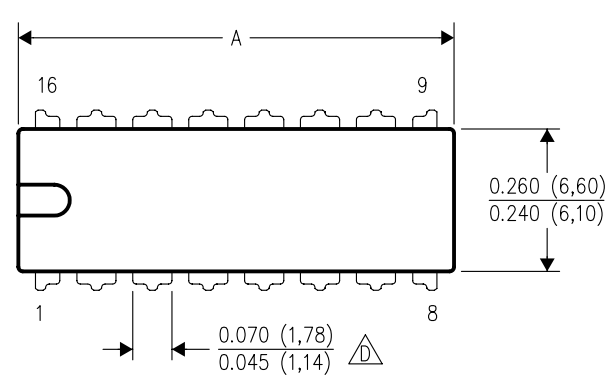
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

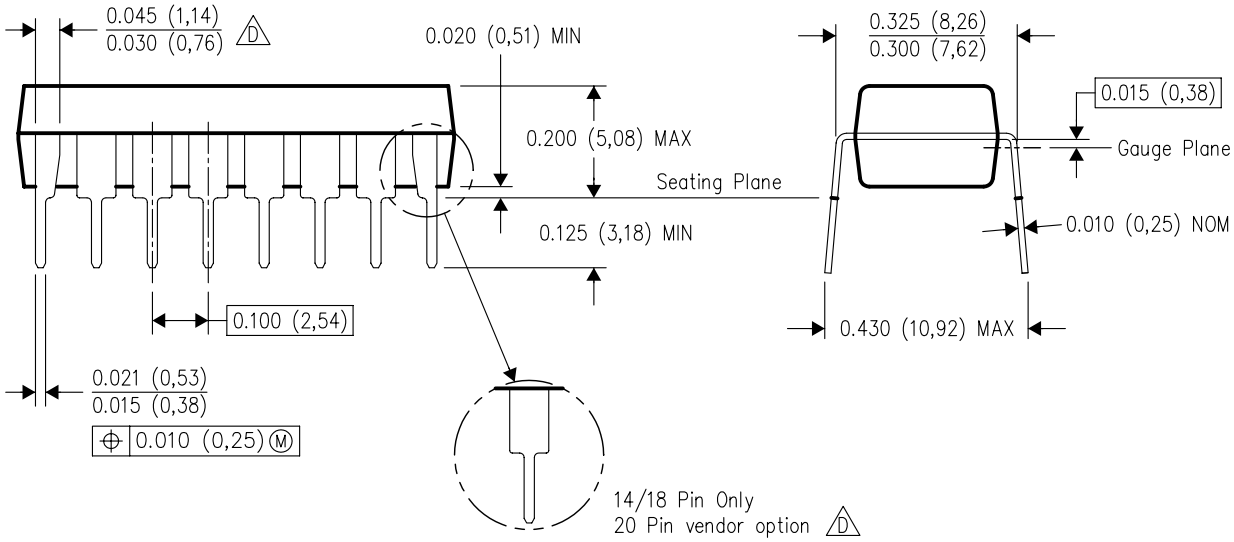
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN

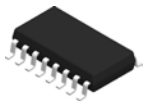


DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

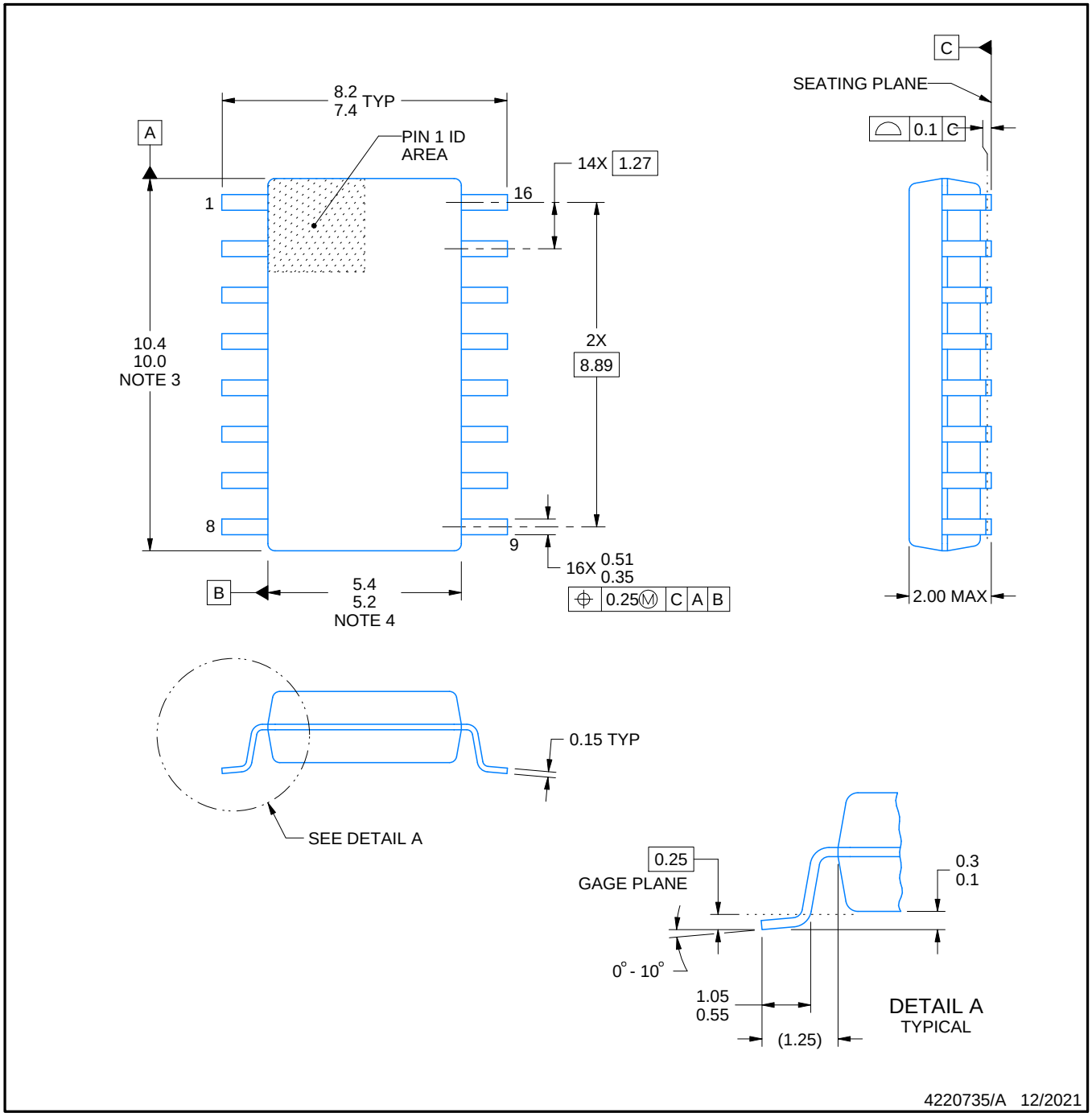


PACKAGE OUTLINE

NS0016A

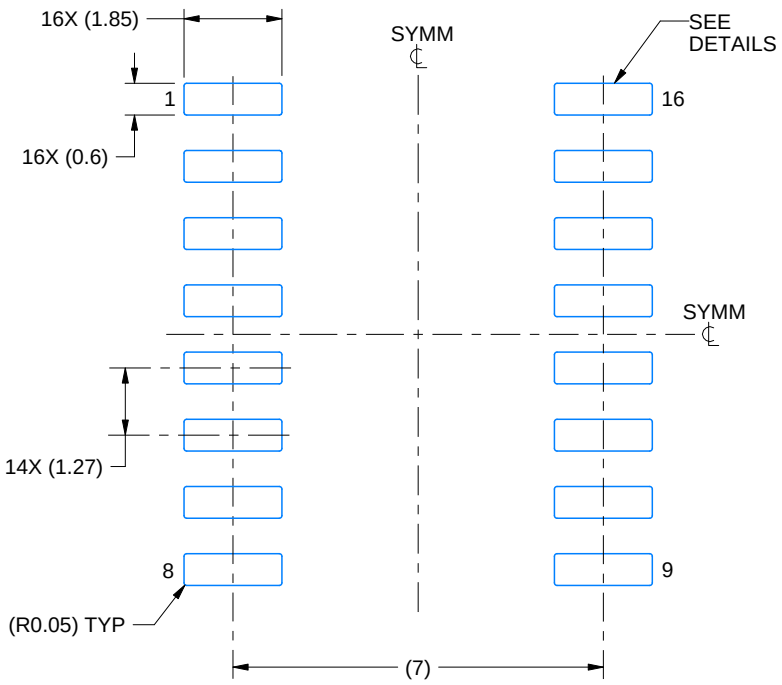
SOP - 2.00 mm max height

SOP

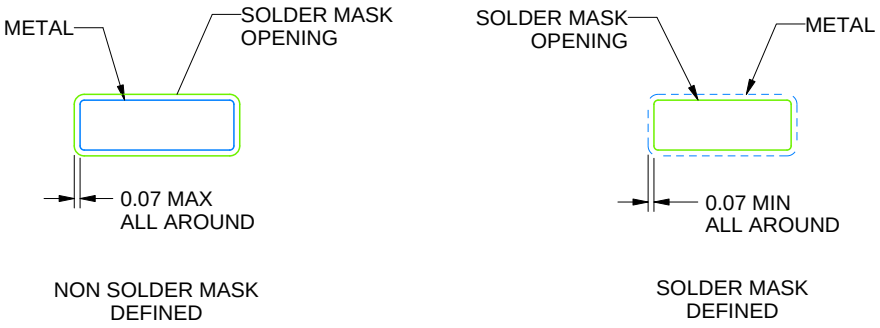


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
SCALE:7X



NON SOLDER MASK
DEFINED

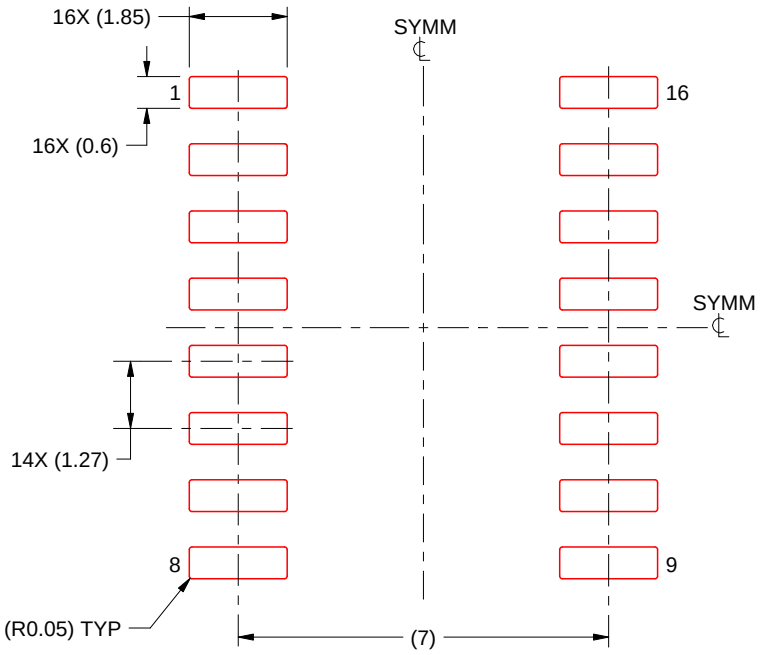
SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4220735/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220735/A 12/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月