CD405xB 8 チャネルを 1 セット備えた、CMOS アナログ・マルチプレクサ / デマルチプレクサ、ロジック・レベル変換付き

1 特長

- 幅広いデジタルおよびアナログ信号レベル:
  - デジタル:3V ～ 20V
  - アナログ:$20V_{P-P}$ 以下
- 単一電源電圧範囲:3V ～ 20V (VDD が 3V 未満の場合は性能が低下)
- デュアル電源電圧範囲:±3V ～ ±10V
- 低いオン抵抗、VDD = 15V で入力範囲全体で 125Ω (代表値)
- VDD = 15V で ±10pA (標準値) の低いチャネル リーク
- 低消費電力:0.2µW (標準値)
- 双方向の信号パス
- ESD 保護 (HBM):3000V、CDM:2000V
- 業界標準の 4051 とピン互換

2 アプリケーション

- アナログおよびデジタルの多重化 / 多重分離
- アナログ・デジタルおよびデジタル・アナログ変換
- 信号ゲーティング
- ファクトリ・オートメーション
- テレビ
- 電化製品
- 民生用オーディオ
- プログラム可能な論理回路
- センサ

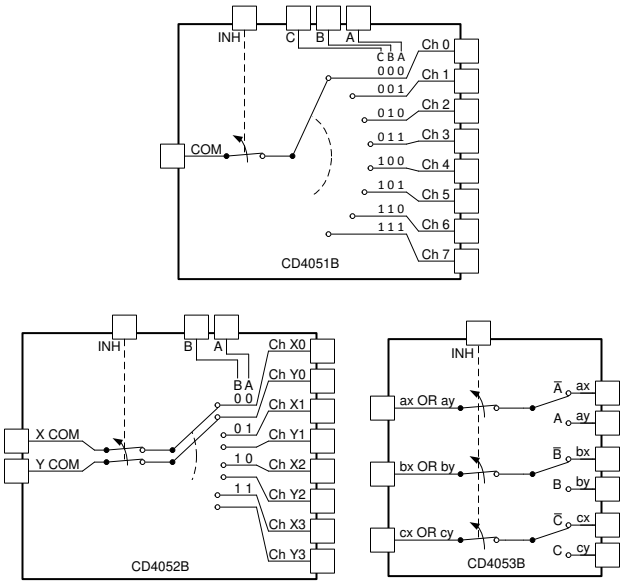
3 説明

CD405xB アナログ マルチプレクサ / デマルチプレクサは、オン状態のインピーダンスが低くオフ状態のリーク電流が非常に小さいデジタル制御のアナログ スイッチです。これらのマルチプレクサ回路は、制御信号の論理状態にかかわらず、V_{DD} - V_{SS} および V_{DD} - V_{EE} の電源電圧範囲全体にわたって非常に小さな静止電力しか消費しません。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
CD405xB	J (CDIP、16)	19.50mm × 6.92mm
	N (PDIP、16)	19.3mm × 9.4mm
	D (SOIC、16)	9.9mm × 3.9mm
	NS (SOP、16)	10.2mm × 7.8mm
	PW (TSSOP、16)	5mm × 6.4mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



CD4051B の機能ブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....5
5.4 熱に関する情報.....5
5.5 電気的特性.....6
5.6 AC 性能特性.....9
5.7 代表的特性.....10
6 パラメータ測定情報.....10
7 詳細説明.....14
7.1 概要.....14
7.2 機能ブロック図.....15
7.3 機能説明.....16
7.4 デバイスの機能モード.....17
8 アプリケーションと実装.....18
8.1 使用上の注意.....18
8.2 代表的なアプリケーション.....18
8.3 電源に関する推奨事項.....19
8.4 レイアウト.....20
9 デバイスおよびドキュメントのサポート.....21
9.1 ドキュメントのサポート.....21
9.2 ドキュメントの更新通知を受け取る方法.....21
9.3 サポート・リソース.....21
9.4 商標.....21
9.5 静電気放電に関する注意事項.....21
9.6 用語集.....21
10 改訂履歴.....22
11 メカニカル、パッケージ、および注文情報.....22

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

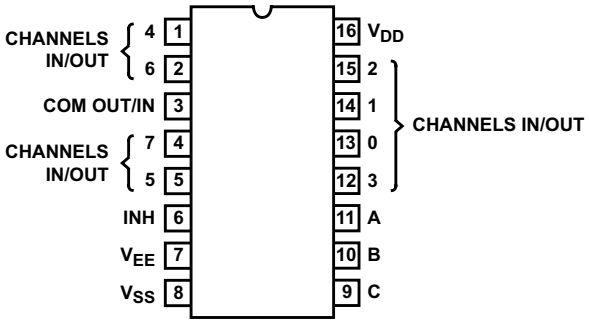


図 4-1. CD4051B E、M、NS、PW パッケージ、 16 ピン PDIP、CDIP、SOIC、SOP、TSSOP (上面図)

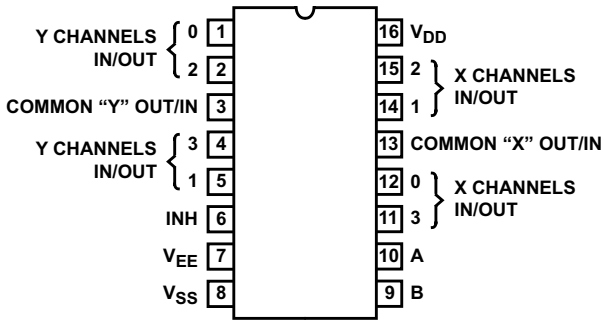


図 4-2. CD4052B E、M、NS、PW パッケージ、 16 ピン PDIP、CDIP、SOIC、SOP、TSSOP (上面図)

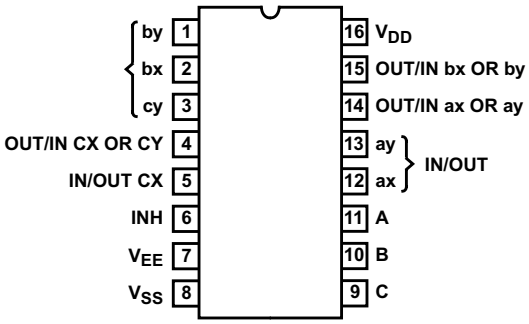


図 4-3. CD4053B E、M、NS、PW パッケージ、 16 ピン PDIP、CDIP、SOIC、SOP、TSSOP (上面図)

表 4-1. ピン機能 CD4051B

ピン		タイプ(1)	説明
番号	名称		
1	CH 4 IN/OUT	I/O	チャネル 4 入力 / 出力
2	CH 6 IN/OUT	I/O	チャネル 6 入力 / 出力
3	COM OUT/IN	I/O	共通出力 / 入力
4	CH 7 IN/OUT	I/O	チャネル 7 入力 / 出力
5	CH 5 IN/OUT	I/O	チャネル 5 入力 / 出力
6	INH	I	すべてのチャネルを無効化します。表 7-1 を参照してください。
7	V_{EE}	—	負電源入力
8	V_{SS}	—	グランド
9	C	I	チャネル選択 C。表 7-1 を参照してください。
10	B	I	チャネル選択 B。表 7-1 を参照してください。
11	A	I	チャネル選択 A。表 7-1 を参照してください。
12	CH 3 IN/OUT	I/O	チャネル 3 入力 / 出力
13	CH 0 IN/OUT	I/O	チャネル 0 入力 / 出力
14	CH 1 IN/OUT	I/O	チャネル 1 入力 / 出力
15	CH 2 IN/OUT	I/O	チャネル 2 入力 / 出力
16	V_{DD}	—	正電源入力

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

表 4-2. ピン機能 CD4052B

ピン		タイプ(1)	説明
番号	名称		
1	Y CH 0 IN/OUT	I/O	チャネル Y0 入力 / 出力
2	Y CH 2 IN/OUT	I/O	チャネル Y2 入力 / 出力
3	Y COM OUT/IN	I/O	Y 共通出力 / 入力
4	Y CH 3 IN/OUT	I/O	チャネル Y3 入力 / 出力
5	Y CH 1 IN/OUT	I/O	チャネル Y1 入力 / 出力
6	INH	I	すべてのチャネルを無効化します。表 7-1 を参照してください。
7	V_{EE}	—	負電源入力
8	V_{SS}	—	グランド
9	B	I	チャネル選択 B。表 7-1 を参照してください。
10	A	I	チャネル選択 A。表 7-1 を参照してください。
11	X CH 3 IN/OUT	I/O	チャネル X3 入力 / 出力
12	X CH 0 IN/OUT	I/O	チャネル X0 入力 / 出力
13	X COM IN/OUT	I/O	X 共通出力 / 入力
14	X CH 1 IN/OUT	I/O	チャネル 入力 / 出力
15	X CH 2 IN/OUT	I/O	チャネル 入力 / 出力
16	V_{DD}	—	正電源入力

(1) I = 入力、O = 出力

表 4-3. ピン機能 CD4053B

ピン		タイプ(1)	説明
番号	名称		
1	入力 / 出力別	I/O	B チャネル Y 入力 / 出力
2	BX 入力 / 出力	I/O	B チャネル X 入力 / 出力
3	CY 入力 / 出力	I/O	C チャネル Y 入力 / 出力
4	CX または CY 出力 / 入力	I/O	C 共通 出力 / 入力
5	CX 入力 / 出力	I/O	C チャネル X 入力 / 出力
6	INH	I	すべてのチャネルを無効化します。表 7-1 を参照してください。
7	V_{EE}	—	負電源入力
8	V_{SS}	—	グランド
9	C	I	チャネル選択 C。表 7-1 を参照してください。
10	B	I	チャネル選択 B。表 7-1 を参照してください。
11	A	I	チャネル選択 A。表 7-1 を参照してください。
12	AX 入力 / 出力	I/O	A チャネル X 入力 / 出力
13	AY 入力 / 出力	I/O	A チャネル Y 入力 / 出力
14	AX または AY 出力 / 入力	I/O	A 共通 出力 / 入力
15	BX または BY 出力 / 入力	I/O	B 共通 出力 / 入力
16	V_{DD}	—	正電源入力

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲超 (特に記述のない限り)(1) (2)

			最小値	最大値	単位
	電源電圧	V+ と V- 間の電圧 (V_{SS} 端子を基準)	-0.5	20	V
	DC 入力電圧		-0.5	V_{DD}+0.5	V
	DC 入力電流	任意の単一入力	-10	10	mA
T_{JMAX1}	最大接合部温度 (セラミック パッケージ)			175	°C
T_{JMAX2}	最大接合部温度 (プラスチック パッケージ)			150	°C
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」に記載の値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて言及して、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 特に指定のない限り、すべての電圧値はグランドを基準にしています。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±3000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±2000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

	最小値	公称値	最大値	単位
温度範囲	-55		125	°C

5.4 熱に関する情報

熱評価基準(1)		CD405x				単位
		E (PDIP)	M (SOIC、)	NS (SOP)	PW (TSSOP)	
		16 ピン	16 ピン	16 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	67	73	64	116.5	°C/W

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション ノートを参照してください。SPRA953

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性

動作周囲温度範囲内、V_{SUPPLY} = ±5V、R_L = 100Ω (特に記述のない限り)(1)

パラメータ	テスト条件					最小値	標準値	最大値	単位
信号入力 (V_{IS}) と出力 (V_{OS})									
	V_{IS} (V)	**V_{EE} (V)**	**V_{SS} (V)**	**V_{DD} (V)**	**TEMP**				
静止デバイス電流、I_{DD} (最大値)		0V	0V	5V	-55°C			60	μA
					-40°C			60	
					25°C		17	60	
					85°C			150	
					125°C			150	
		0V	0V	10V	-55°C			60	
					-40°C			60	
					25°C		18	60	
					85°C			300	
					125°C			300	
		0V	0V	15V	-55°C			60	
					-40°C			60	
					25°C		18	60	
					85°C			600	
					125°C			600	
		0V	0V	20V	-55°C			100	
					-40°C			100	
					25°C		18	100	
					85°C			3000	
					125°C			3000	
ドレイン・ソース間オン抵抗 r_{ON} (最大値) $0 \le V_{IS} \le V_{DD}$		0V	0V	5V	-55°C			800	Ω
					-40°C			850	
					25°C		470	1050	
					85°C			1200	
					125°C			1300	
		0V	0V	10V	-55°C			310	
					-40°C			300	
					25°C		180	400	
					85°C			520	
					125°C			550	
		0V	0	15V	-55°C			200	
					-40°C			210	
					25°C		125	240	
					85°C			300	
					125°C			300	
オン抵抗の変化 (任意の 2 チャネル間)、 ΔR_{ON}		0V	0V	5V	25°C		15		Ω
		0V	0V	10V			10		
		0V	0V	15V			5		

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

動作周囲温度範囲内、V_{SUPPLY} = ±5V、R_L = 100Ω (特に記述のない限り)(1)

パラメータ			テスト条件					最小値	標準値	最大値	単位
オフ チャネルのリーク電流:任意のチャネルがオフ (最大値) またはすべてのチャネルがオフ (共通 OUT/IN) (最大値)				0V	0V	18V	-55°C			±100	nA
							-40°C			±100	
							25°C		±0.3	±100 (2)	
							85°C			±1000 (2)	
							125°C			±1000 (2)	
オン チャネルのリーク電流:任意のチャネルがオン (最大値) またはすべてのチャネルがオン (共通 OUT/IN) (最大値)			5 または 0	-5V	0V	10.5V	85°C			±300	nA
			5	0V	0V	18V	85°C			±300	
容量	入力、C_{IS}			0V	0V	10V	25°C		5		pF
	出力、C_{OS}	CD4051							30		
	出力、C_{OS}	CD4052							18		
	出力、C_{OS}	CD4053							9		
	フィード スルー、C_{IOS}								0.2		
伝搬遅延			V_{DD}	R_L = 200kΩ		5V	25°C		30	60	ns
				C_L = 50pF		10V			15	30	
				t_r、t_f = 20ns		15V			10	20	
制御 (アドレスまたはインヒビット)、V_C											
入力 Low 電圧、V_{IL}、(最大値)						5V	-55°C		0.8		V
							-40°C		0.8		
							25°C			0.8	
							85°C		0.8		
							125°C		0.8		
						10V	-55°C		0.8		
							-40°C		0.8		
							25°C			0.8	
							85°C		0.8		
							125°C		0.8		
						15V	-55°C		0.8		
							-40°C		0.8		
							25°C			0.8	
							85°C		0.8		
							125°C		0.8		

5.5 電気的特性 (続き)

動作周囲温度範囲内、V_{SUPPLY} = ±5V、R_L = 100Ω (特に記述のない限り)(1)

パラメータ		テスト条件					最小値	標準値	最大値	単位
入力 High 電圧、V_{IH}、(最小値)					5V	-55°C		3.5		V
						-40°C		3.5		
						25°C	3.5			
						85°C		3.5		
						125°C		3.5		
					10V	-55°C		7		
						-40°C		7		
						25°C	7			
						85°C		7		
						125°C		7		
					15V	-55°C		11		
						-40°C		11		
						25°C	11			
						85°C		11		
						125°C		11		
入力電流、I_{IN} (最大値)		V_{IN} = 0、18			18V	-55°C			±1	μA
						-40°C			±1	
						25°C		±0.6	±1	
						85°C			±1	
						125°C			±1	
伝搬遅延時間	アドレス出力信号 (チャネルのオンまたはオフ) (図 10、図 11、および図 15 を参照)	t_r、t_f = 20ns、C_L = 50pF、R_L = 10kΩ	0V	0V	5V			450	720	ns
			0V	0V	10V			160	320	
			0V	0V	15V			120	240	
			-5V	0V	5V			225	450	
伝搬遅延時間	インヒビット出力信号 (チャネルがオン) (図 11 を参照)	t_r、t_f = 20ns、C_L = 50pF、R_L = 1kΩ	0V	0V	5V			400	720	ns
			0V	0V	10V			160	320	
			0V	0V	15V			120	240	
			-10V	0V	5V			200	400	
伝搬遅延時間	インヒビット出力信号 (チャネルがオフ) (図 17 を参照)	t_r、t_f = 20ns、C_L = 50pF、R_L = 10kΩ	0V	0V	5V			200	450	ns
			0V	0V	10V			90	210	
			0V	0V	15V			70	160	
			-10V	0V	5V			130	300	
入力容量、C_{IN} (任意のアドレスまたは禁止入力)			-5V	0V	5V	25°C		5	7.5	pF

(1) ピーク ツー ピーク電圧は、(V_{DD} – V_{EE}) / 2 に対して対称の値を取ります。
(2) 自動試験のための最小実行可能リーク測定によって決定されます。

Copyright © 2026 Texas Instruments Incorporated

5.6 AC 性能特性

V_{DD} = +15V、V_{SS} = V_{EE} = 0V、T_A = 25℃ (特に記述のない限り)

パラメータ	テスト条件					標準値	単位
	V_{IS} (V)	**V_{DD} (V)**	**R_L (kΩ)**				
カットオフ (–3dB) 周波数チャネル ON (正弦波 入力)	5(1)	10	1	同相出力 / 入力の V_{OS}	CD4053	30	MHz
		10	1		CD4052	25	
		10	1		CD4051	20	
	V_{EE} = V_{SS}、20Log (V_{OS}/V_{IS}) = –3dB			任意のチャネルでの V_{OS}		60	
全高調波歪み (THD)	2(1)	5	10			0.3%	%
	3(1)	10	10			0.2%	
	5(1)	15	10			0.12%	
	V_{EE} = V_{SS}、f_{IS} = 1kHz 正弦波						
–40dB フィードスルー 周波数 (すべてのチャネルがオフ)	5(1)	10	1	同相出力 / 入力の V_{OS}	CD4053	8	MHz
	V_{EE} = V_{SS}、20Log (V_{OS}/V_{IS}) = –40dB				CD4052	10	
					CD4051	12	
				任意のチャネルでの V_{OS}		8	
信号 クロストーク 周波数:–40dB	5(1)	10	1			3	MHz
	V_{EE} = V_{SS}、20Log (V_{OS}/V_{IS}) = –3dB			セクション間、CD4052 のみ	共通で測定	6	
					任意のチャネルで測定	10	
				任意の 2 つのセクション間、CD4053 のみ	IN ピン 2、OUT ピン 14	2.5	
					IN ピン 15、OUT ピン 14	6	
アドレスまたはインヒビット 信号の クロストーク		10	10(2)			65	mV_{PEAK}
	V_{EE} = 0、V_{SS} = 0、t_r、t_f = 20ns、mVPEAK V_{CC} = V_{DD} – V_{SS} (矩形波)					65	mV_{PEAK}

(1) ピーク ツー ピーク電圧は、(V_{DD} - V_{EE})/2 に対して対称の値を取ります。
(2) チャネルの両端。

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性

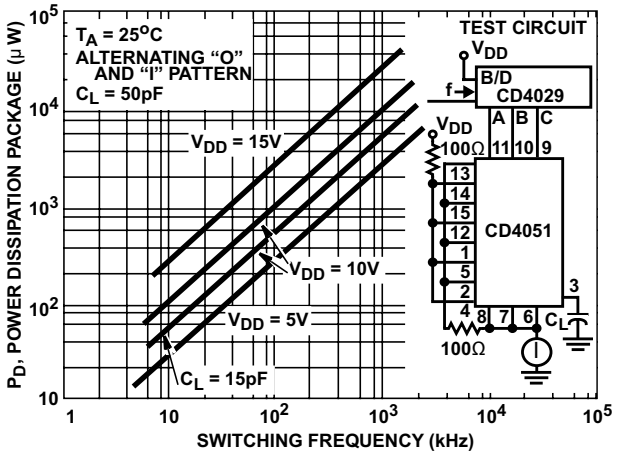


図 5-1. 動的消費電力とスイッチング周波数との関係 (CD4051B)

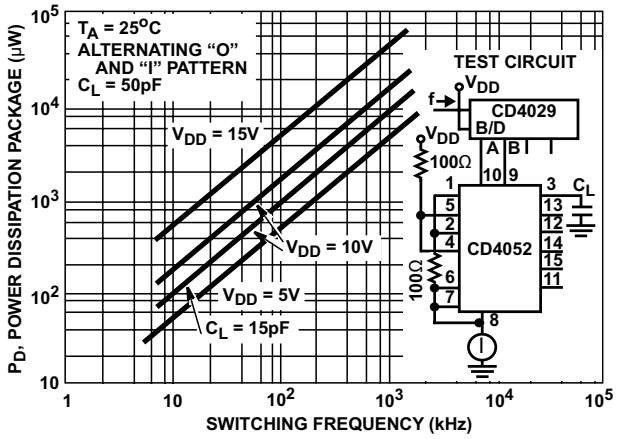


図 5-2. 動的消費電力とスイッチング周波数との関係 (CD4052B)

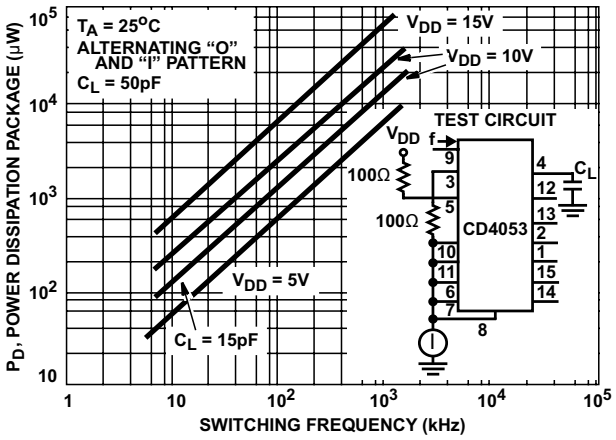


図 5-3. 動的消費電力とスイッチング周波数との関係 (CD4053B)

6 パラメータ測定情報

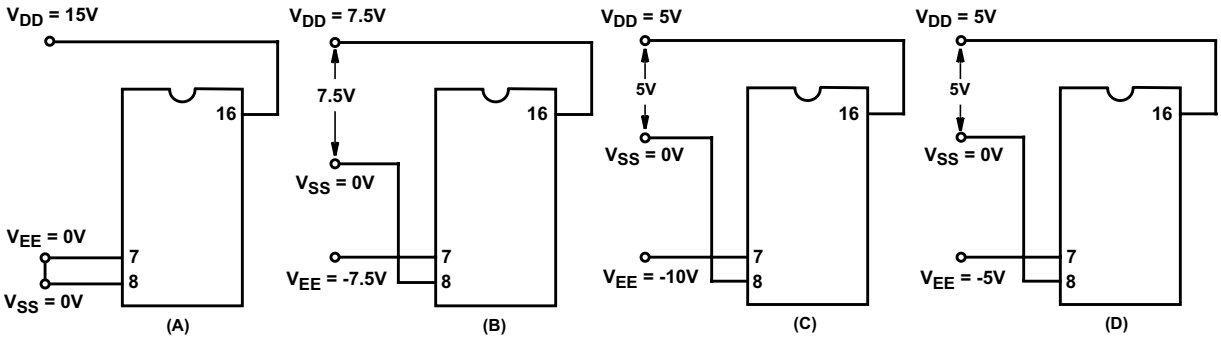


図 6-1. 代表的なバイアス電圧

注

アドレス (デジタル制御入力) とインヒビット ロジック レベルは次のとおりです。0 = V_{SS} および 1 = V_{DD}。アナログ信号 (TG 経由) は、V_{EE} から V_{DD} までスイングすることができます。

Copyright © 2026 Texas Instruments Incorporated

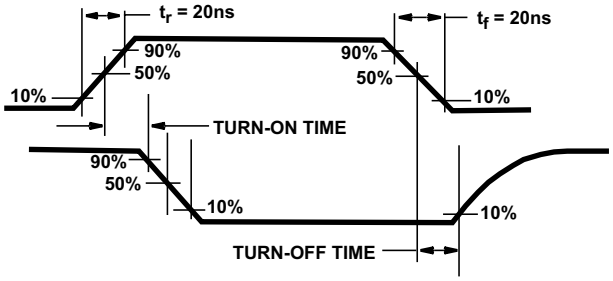


図 6-2. 波形、チャネルがオンになる (R_L = 1kΩ)

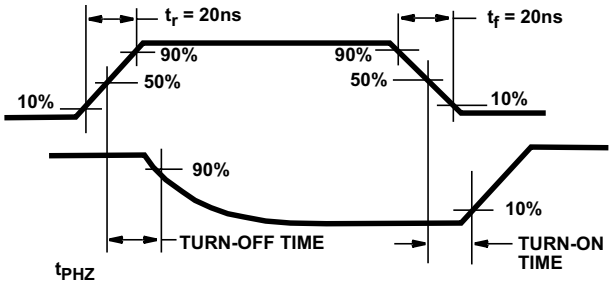


図 6-3. 波形、チャネルがオフになる (R_L = 1kΩ)

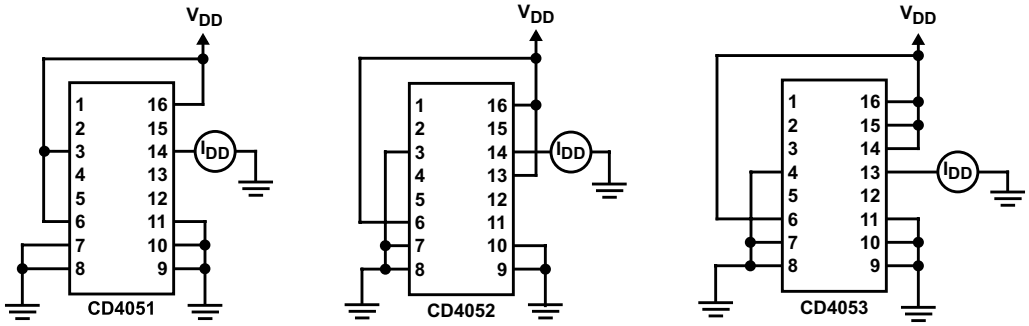
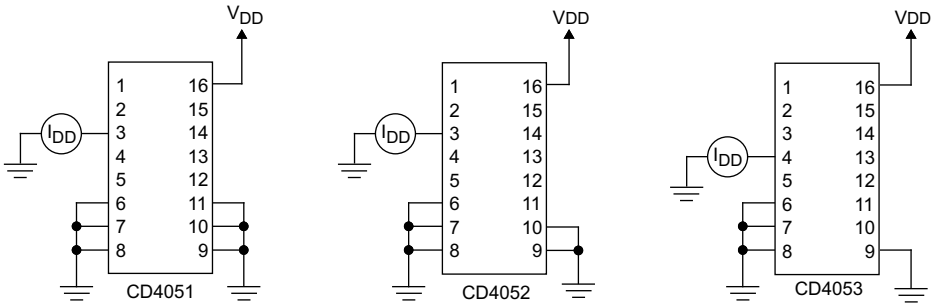


図 6-4. オフ チャネル リーク電流 - 任意のチャネルがオフ



Copyright © 2017, Texas Instructions Incorporated

図 6-5. オン チャネル リーク電流 - 任意のチャネルがオン

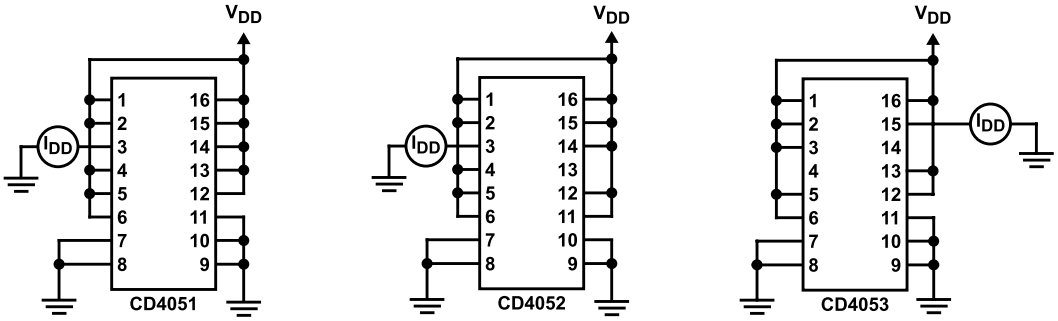


図 6-6. オフ チャネル リーク電流 - すべてのチャネルがオフ

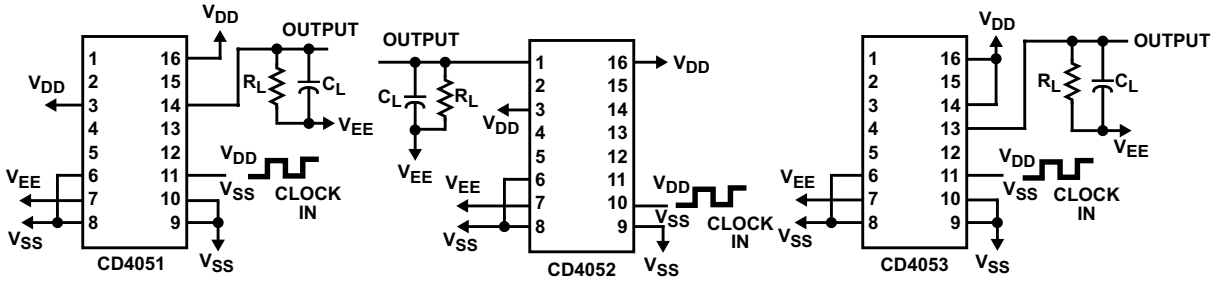


図 6-7. 伝搬遅延 - アドレス入力から信号出力

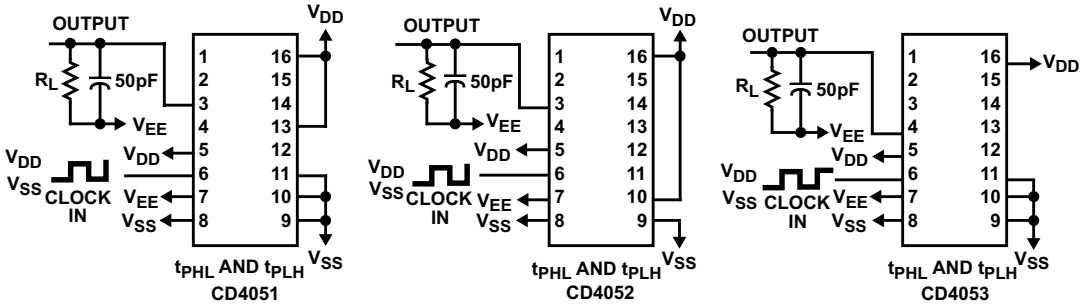


図 6-8. 伝搬遅延 - インヒビット入力から信号出力

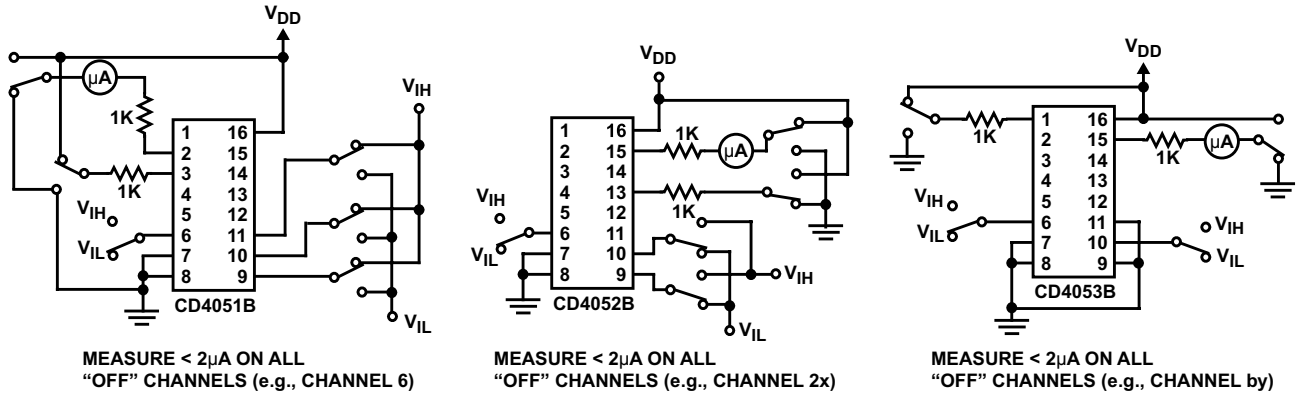


図 6-9. 入力電圧テスト回路 (ノイズ耐性)

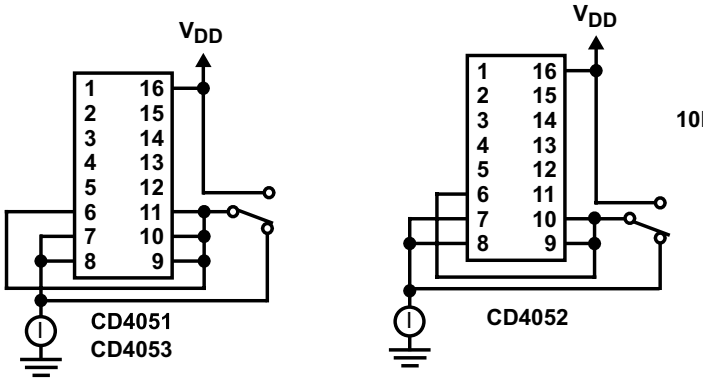


図 6-10. デバイスの静止電流

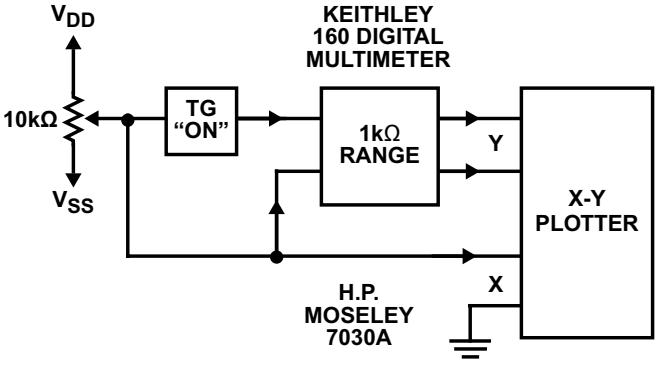


図 6-11. チャネル オン抵抗測定回路

Copyright © 2026 Texas Instruments Incorporated

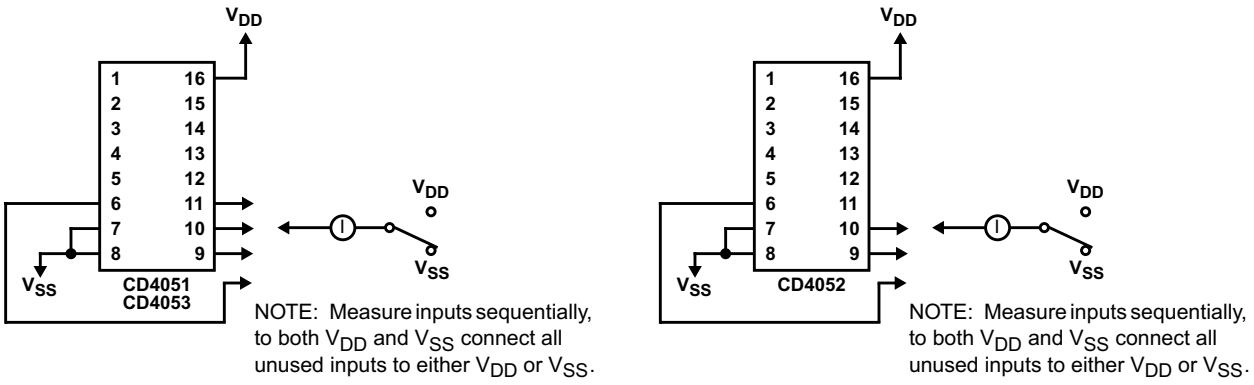


図 6-12. 入力電流

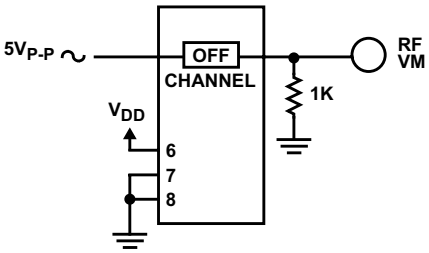


図 6-13. フィードスルー (すべてのタイプ)

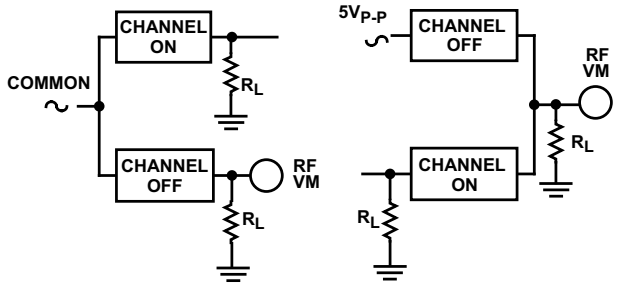
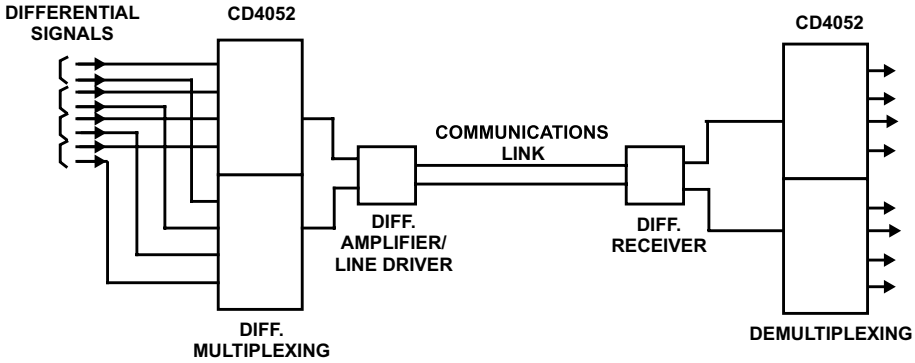


図 6-14. 任意の 2 チャネル間のクロストーク (すべてのタイプ)



図 6-15. 2 チャネルまたは 3 チャネル間のクロストーク (CD4052B、CD4053B)



特別な検討事項: V_{DD} と信号入力を駆動するために個別の電源を使用するアプリケーションでは、V_{DD} の電流能力が V_{DD}/R_L (R_L = 実効外部負荷) を上回る必要があります。これにより、CD4051B、CD4052B、CD4053B から電源を投入または取り外したときの V_{DD} 電源への恒久的な電流フローまたはクランプ動作を防止できます。

図 6-16. CD4052B の代表的な時分割アプリケーション

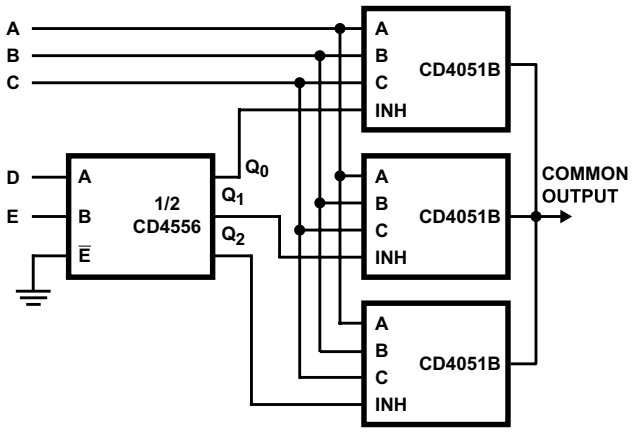


図 6-17. 24 対 1 のマルチプレクサのアドレッシング

7 詳細説明

7.1 概要

CD4051B デバイスは、3 つのバイナリ制御入力 (A、B、C) と 1 つの禁止入力を備えたシングル 8 チャネル マルチプレクサです。3 つのバイナリ信号を使用して 8 つのチャネルのうちの 1 つをオンにし、8 つの入力のいずれかを出力に接続します。

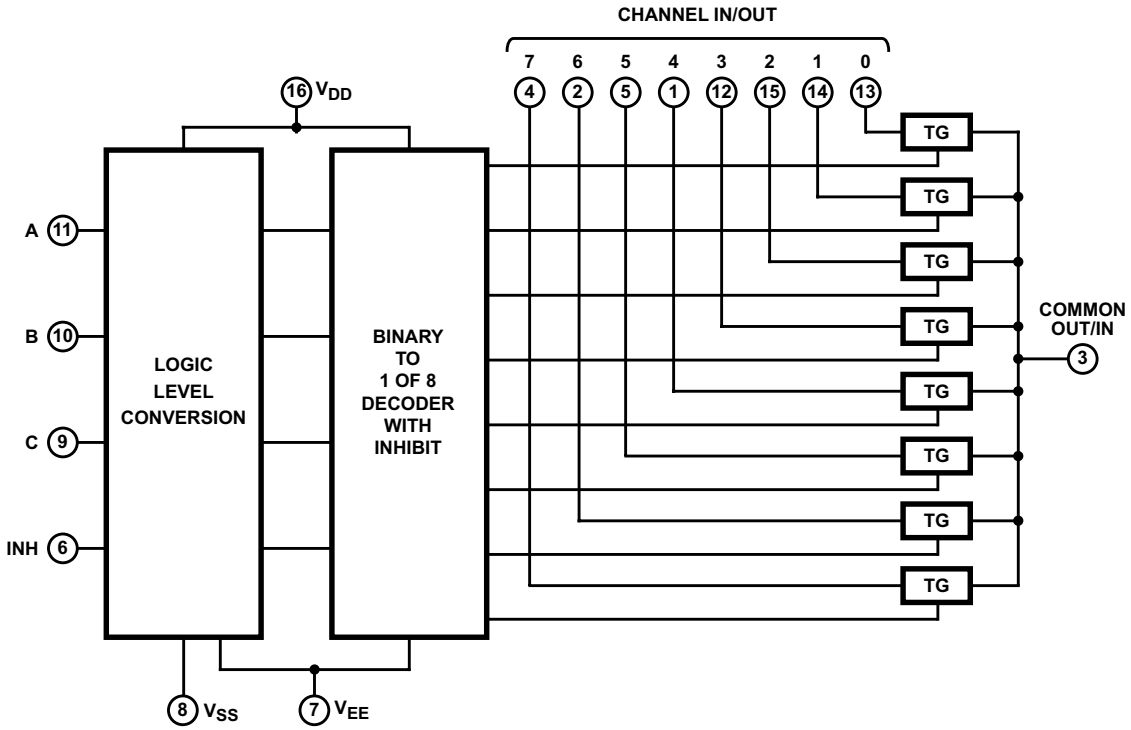
CD4052B デバイスは、2 つのバイナリ制御入力 (A、B) と 1 つの禁止入力を備えた差動 4 チャネル マルチプレクサです。2 つのバイナリ入力信号を使用して 4 ペアのチャネルのうち 1 つをオンにし、アナログ入力を出力に接続します。

デバイスは、3 つの個別のデジタル制御入力 (A、B、C) と 1 つの禁止入力を備えたトリプル 2 チャネル マルチプレクサです。各制御入力によって、単極双投構成で接続されたチャネルのペアのうち、一方が選択されます。

これらのデバイスをデマルチプレクサとして使用する場合、CHANNEL IN/OUT 端子が出力となり、COMMON OUT/IN 端子が入力となります。

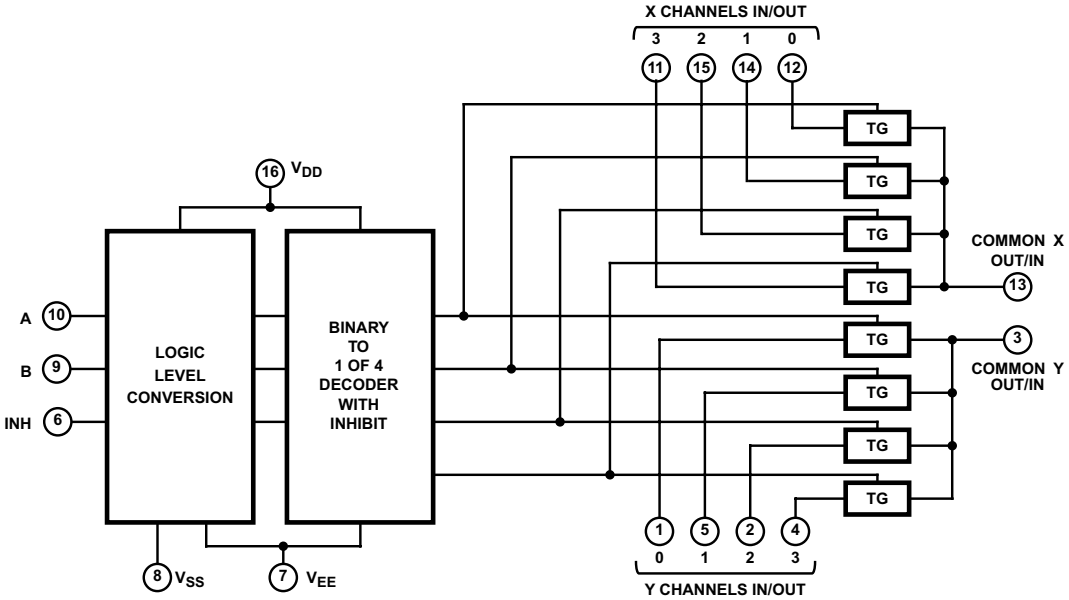
Copyright © 2026 Texas Instruments Incorporated

7.2 機能ブロック図



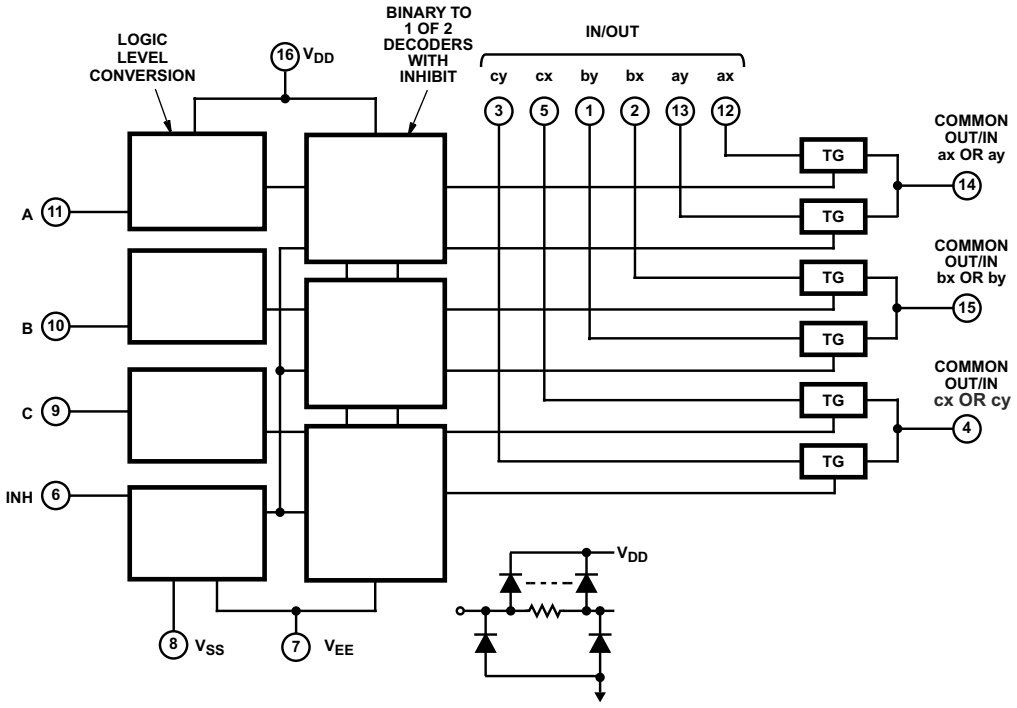
すべての入力は標準の CMOS 保護ネットワークで保護されています。

図 7-1. 機能ブロック図、CD4051B



すべての入力は標準の CMOS 保護ネットワークで保護されています。

図 7-2. CD4052B の機能ブロック図



すべての入力は標準の CMOS 保護ネットワークで保護されています。

図 7-3. 機能ブロック図、CD4053B

7.3 機能説明

CD405xB 製品ラインのマルチプレクサおよびデマルチプレクサは、幅広いデジタル信号レベルとアナログ信号レベルに対応できます。デジタル信号は 3V～20V の範囲、アナログ信号は最大 20V まで対応します。このデバイスは低いオン抵抗を特長とし、$15V_{P-P}$ 信号入力範囲で、V_{DD} - V_{EE} = 18V において 125Ω (代表値) です。この機能により、スイッチを流れる信号損失を最小限に抑えることができます。

CD405xB デバイスはオフ抵抗が高いため、スイッチがオフ位置のときにデバイスの電力を浪費することなく、チャネル リーク電流は $V_{DD} – V_{EE}$ = 18V で ±100pA (代表値) です。

チップ上でバイナリ アドレスをデコードすることで、チャネルの選択が簡単になります。チャネルを変更すると、ブレーク ビフォー メイク システムによってチャネルのオーバーラップが排除されます。

Copyright © 2026 Texas Instruments Incorporated

7.4 デバイスの機能モード

表 7-1. 真理値表

入力の状態(1)				オン チャネル (S)
インヒビット (抑止)	C	B	A	
CD4051B				
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	X	X	X	なし
CD4052B				
0		0	0	0x、0y
0		0	1	1x、1y
0		1	0	2x、2y
0		1	1	3x、3y
1		X	X	なし
CD4053B				
0	X	X	0	ax
0	X	X	1	ay
0	X	0	X	bx
0	X	1	X	by
0	0	X	X	cx
0	1	X	X	cy
1	X	X	X	なし

(1) X = 任意

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

CD405xB マルチプレクサとデマルチプレクサは、幅広いアプリケーションで使用できます。

8.2 代表的なアプリケーション

CD4051B のアプリケーションの 1 つは、マイコンと組み合わせて使用してキーパッドをポーリングすることです。図 8-1 に、このようなポーリング システムの基本的な回路図を示します。マイコンは、入力を読み取っている間にチャネル選択ピンを使用してさまざまなチャネルを順に切り替え、ユーザーがいずれかのキーを押しているかどうかを確認します。この応用回路は非常に堅牢なセットアップで、わずかな電力消費で同時に複数のキーを押すことができます。このセットアップでは、マイコン上のごく少数のピンも使用します。ポーリングの欠点は、マイコンがキーを継続的にスキャンして押下した場合、それ以外の処理をほとんど行わないことです。

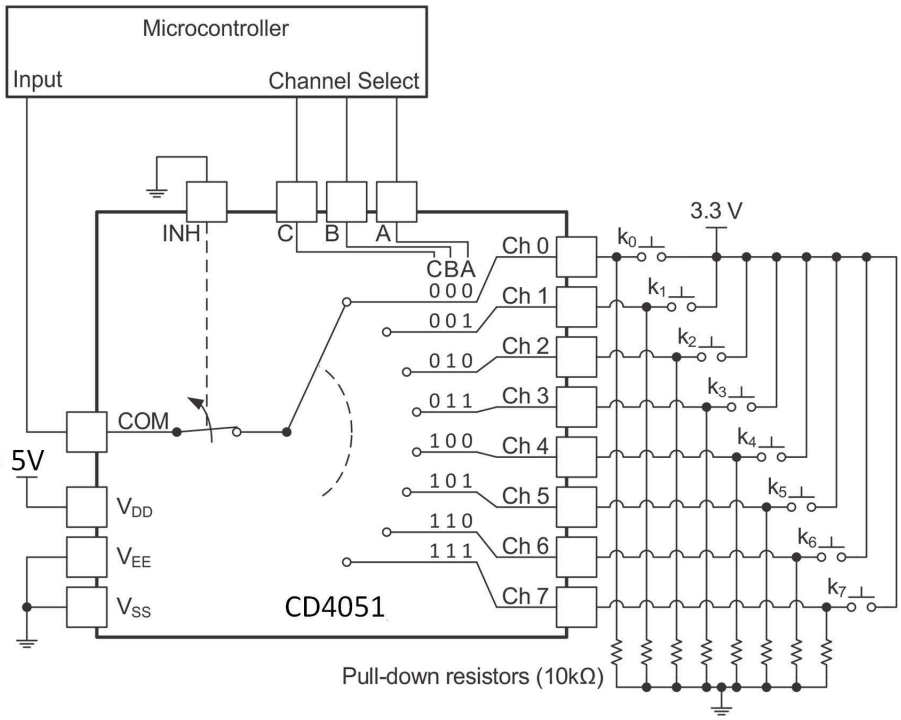


図 8-1. CD4051B は、キーパッドの [読み取り] ボタンを押すのに使用されています

8.2.1 設計要件

これらの デバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。上限値を超える電流が流れる可能性があるため、バスが競合しないように注意します。また、大きな駆動能力で軽負荷を駆動することでも高速なエッジが生じるため、配線と負荷の条件を検討してリンギングを防止してください。

Copyright © 2026 Texas Instruments Incorporated

8.2.2 詳細な設計手順

1. 推奨入力条件:
   - スイッチ時間の仕様については、セクション 5.5 の伝搬遅延時間を参照してください。
   - 入力は、V_{DD} より 0.5V 以上高く、または V_{EE} より低くプッシュしないでください。
   - 制御入力の入力電圧レベルの仕様については、セクション 5.5 の V_{IH} および V_{IL} を参照してください。
2. 推奨出力条件:
   - 出力は、V_{DD} より高く、または V_{EE} より低くプルしないでください。
3. 入力または出力電流に関する検討事項:
   - CD405xB シリーズの部品には電流駆動回路が内蔵されていないため、電流をシンクまたはソースすることはできません。任意の電流はデバイスを通過します。

8.2.3 アプリケーション曲線

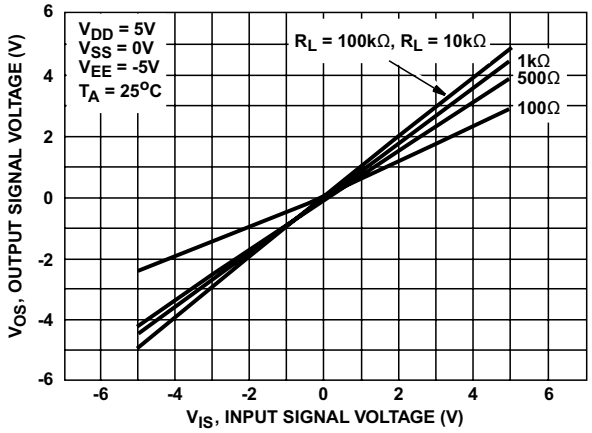


図 8-2. 8 チャネルのうち 1 つのオン特性(CD4051B)

8.3 電源に関する推奨事項

電源には、「セクション 5.5」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。単一電源のデバイスには、0.1µF のバイパス コンデンサを推奨します。複数のピンに V_{CC} というラベルが付いている場合、V_{CC} ピンは内部で互いに接続されるため、各 V_{CC} には 0.01µF または 0.022µF のコンデンサを推奨します。V_{CC} と V_{DD} など、異なる電圧で動作するデュアル電源ピンを備えたデバイスでは、各電源ピンに 0.1µF のバイパス コンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。最良の結果を得るため、バイパス コンデンサは電源端子にできるだけ近づけて配置してください。

Copyright © 2026 Texas Instruments Incorporated

8.4 レイアウト

8.4.1 レイアウトのガイドライン

反射と整合はループアンテナの理論と密接に関連していますが、十分に異なるため、別途議論する価値があります。PCB パターンが 90° の角度でコーナーを曲がると、反射が発生する可能性があります。この反射は主に、パターンの幅の変化が原因です。曲がりの頂点では、パターン幅が 1.414 倍に増加します。これにより、伝送ラインの特性が乱れ、特にパターンの分布静電容量や自己インダクタンスに影響を与え、反射が発生します。すべての PCB パターンが直線的であるとは限らないため、コーナーを曲げる必要があります。図 8-3 に、コーナーを丸める斬新で優れた方法を示します。最後の例のみが一定のパターン幅を維持し、反射を最小限に抑えます。

8.4.2 レイアウト例

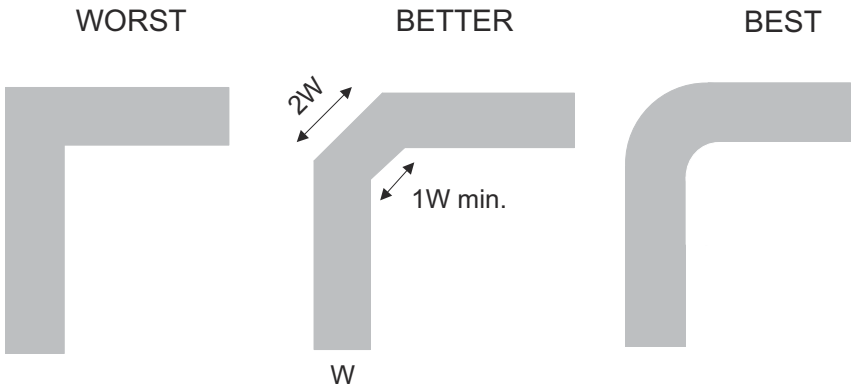


図 8-3. パターン例

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision N (February 2025) to Revision O (May 2026) **Page**

- D (SOIC、16) パッケージ サイズを更新 1
- CD4052B および CD4053B のピン配置図に SOIC を追加 3

Changes from Revision M (November 2024) to Revision N (February 2025) **Page**

- セクション 1 を更新 1
- 図 5-4 および図 5-5 を削除 10
- セクション 7.1 を更新 14
- セクション 7.3 を更新 16
- 図 8-1 を 5V VDD に更新 18

Changes from Revision L (September 2023) to Revision M (November 2024) **Page**

- 「代表的特性」セクションを更新 10
- 図 5-4 および図 5-5 を追加 10

Changes from Revision K (March 2023) to Revision L (September 2023) **Page**

- 「パッケージ情報」表のフォーマットを更新し、パッケージ リード サイズを追加 1
- 「*ESD 定格*」、「*電気的特性*」、「*AC 性能*」のフォーマットを変更し、パッケージの仕様を統合 5

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
7901502EA	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	7901502EA CD4052BF3A
8101801EA	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8101801EA CD4053BF3A
CD4051BE	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD4051BE
CD4051BE.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD4051BE
CD4051BEE4	Obsolete	Production	PDIP (N) | 16	-	-	Call TI	Call TI	-55 to 125	CD4051BE
CD4051BF	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD4051BF
CD4051BF.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD4051BF
CD4051BF3A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD4051BF3A
CD4051BF3A.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD4051BF3A
CD4051BM96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4051BM
CD4051BM96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4051BM
CD4051BM96G3	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	CD4051BM
CD4051BM96G4	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	CD4051BM
CD4051BMT	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	CD4051BM
CD4051BNSR	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4051B
CD4051BNSR.A	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4051B
CD4051BPW	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	CM051B
CD4051BPWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CM051B
CD4051BPWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CM051B
CD4051BPWRG4	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	CM051B
CD4052BE	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD4052BE
CD4052BE.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD4052BE
CD4052BEE4	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD4052BE
CD4052BF	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD4052BF
CD4052BF.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD4052BF
CD4052BF3A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	7901502EA CD4052BF3A

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD4052BF3A.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	7901502EA CD4052BF3A
CD4052BM	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	CD4052BM
CD4052BM96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4052BM
CD4052BM96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4052BM
CD4052BM961G4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4052BM
CD4052BM961G4.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4052BM
CD4052BM96G3	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	CD4052BM
CD4052BM96G4	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	CD4052BM
CD4052BMT	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	CD4052BM
CD4052BNSR	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4052B
CD4052BNSR.A	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4052B
CD4052BPW	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	CM052B
CD4052BPWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CM052B
CD4052BPWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CM052B
CD4052BPWRG3	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	CM052B
CD4052BPWRG4	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	CM052B
CD4053BE	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD4053BE
CD4053BE.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD4053BE
CD4053BEE4	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD4053BE
CD4053BF	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD4053BF
CD4053BF.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD4053BF
CD4053BF3A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8101801EA CD4053BF3A
CD4053BF3A.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8101801EA CD4053BF3A
CD4053BM	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	CD4053M
CD4053BM96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4053M
CD4053BM96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4053M
CD4053BM96G3	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	CD4053M
CD4053BMT	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	CD4053M

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD4053BNSR	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4053B
CD4053BNSR.A	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4053B
CD4053BPW	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	CM053B
CD4053BPWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CM053B
CD4053BPWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CM053B
CD4053BPWRG3	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	CM053B
CD4053BPWRG4	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	CM053B

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD4051B, CD4051B-MIL, CD4052B, CD4052B-MIL, CD4053B, CD4053B-MIL :

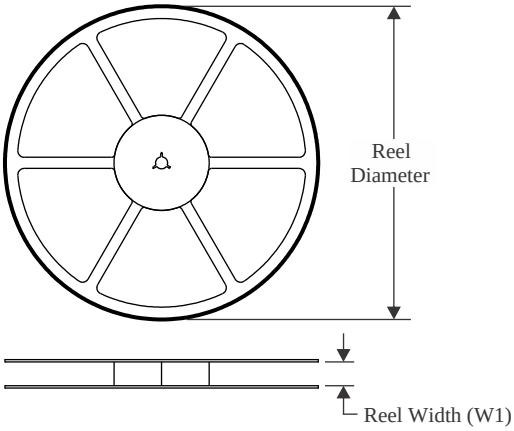
- Catalog : CD4051B, CD4052B, CD4053B
- Automotive : CD4051B-Q1, CD4051B-Q1, CD4053B-Q1, CD4053B-Q1
- Military : CD4051B-MIL, CD4052B-MIL, CD4053B-MIL

NOTE: Qualified Version Definitions:

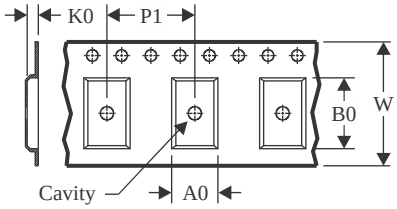
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

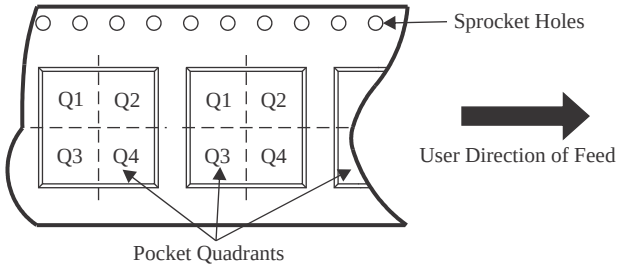


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

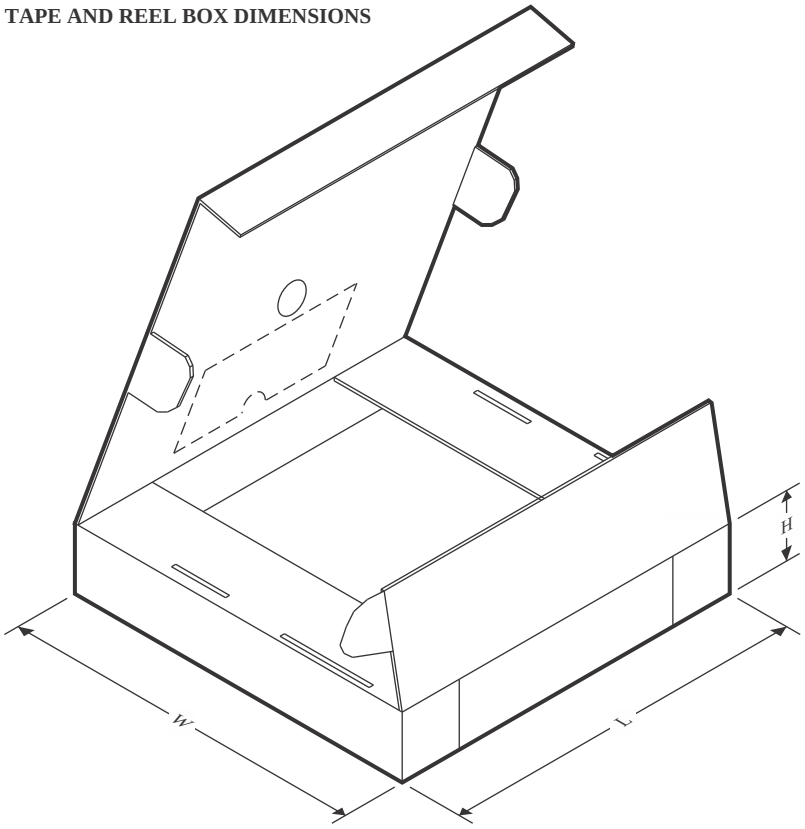
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD4051BM96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD4051BM96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD4051BNSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
CD4051BPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD4051BPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD4052BM96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD4052BM961G4	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD4052BNSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
CD4052BPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD4052BPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD4053BM96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD4053BM96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD4053BNSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
CD4053BPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD4053BPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

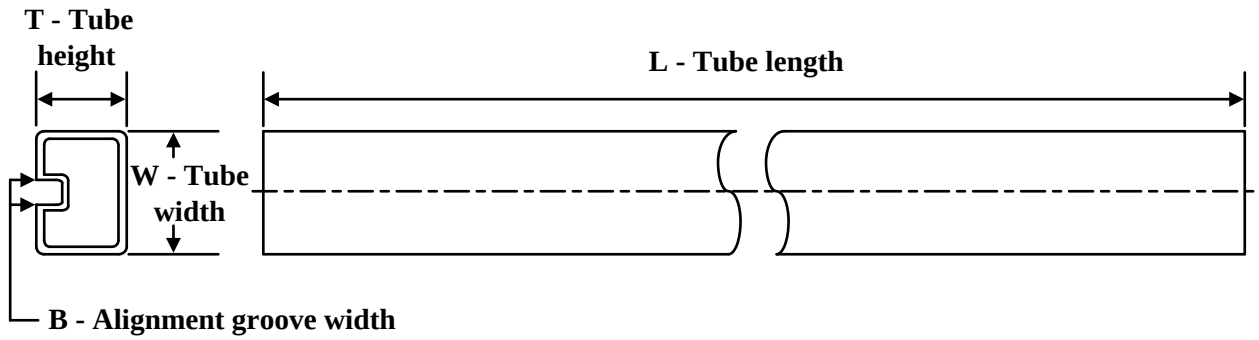
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD4051BM96	SOIC	D	16	2500	353.0	353.0	32.0
CD4051BM96	SOIC	D	16	2500	340.5	336.1	32.0
CD4051BNSR	SOP	NS	16	2000	353.0	353.0	32.0
CD4051BPWR	TSSOP	PW	16	2000	353.0	353.0	32.0
CD4051BPWR	TSSOP	PW	16	2000	367.0	367.0	35.0
CD4052BM96	SOIC	D	16	2500	353.0	353.0	32.0
CD4052BM961G4	SOIC	D	16	2500	353.0	353.0	32.0
CD4052BNSR	SOP	NS	16	2000	353.0	353.0	32.0
CD4052BPWR	TSSOP	PW	16	2000	353.0	353.0	32.0
CD4052BPWR	TSSOP	PW	16	2000	367.0	367.0	35.0
CD4053BM96	SOIC	D	16	2500	353.0	353.0	32.0
CD4053BM96	SOIC	D	16	2500	353.0	353.0	32.0
CD4053BNSR	SOP	NS	16	2000	353.0	353.0	32.0
CD4053BPWR	TSSOP	PW	16	2000	353.0	353.0	32.0
CD4053BPWR	TSSOP	PW	16	2000	367.0	367.0	35.0

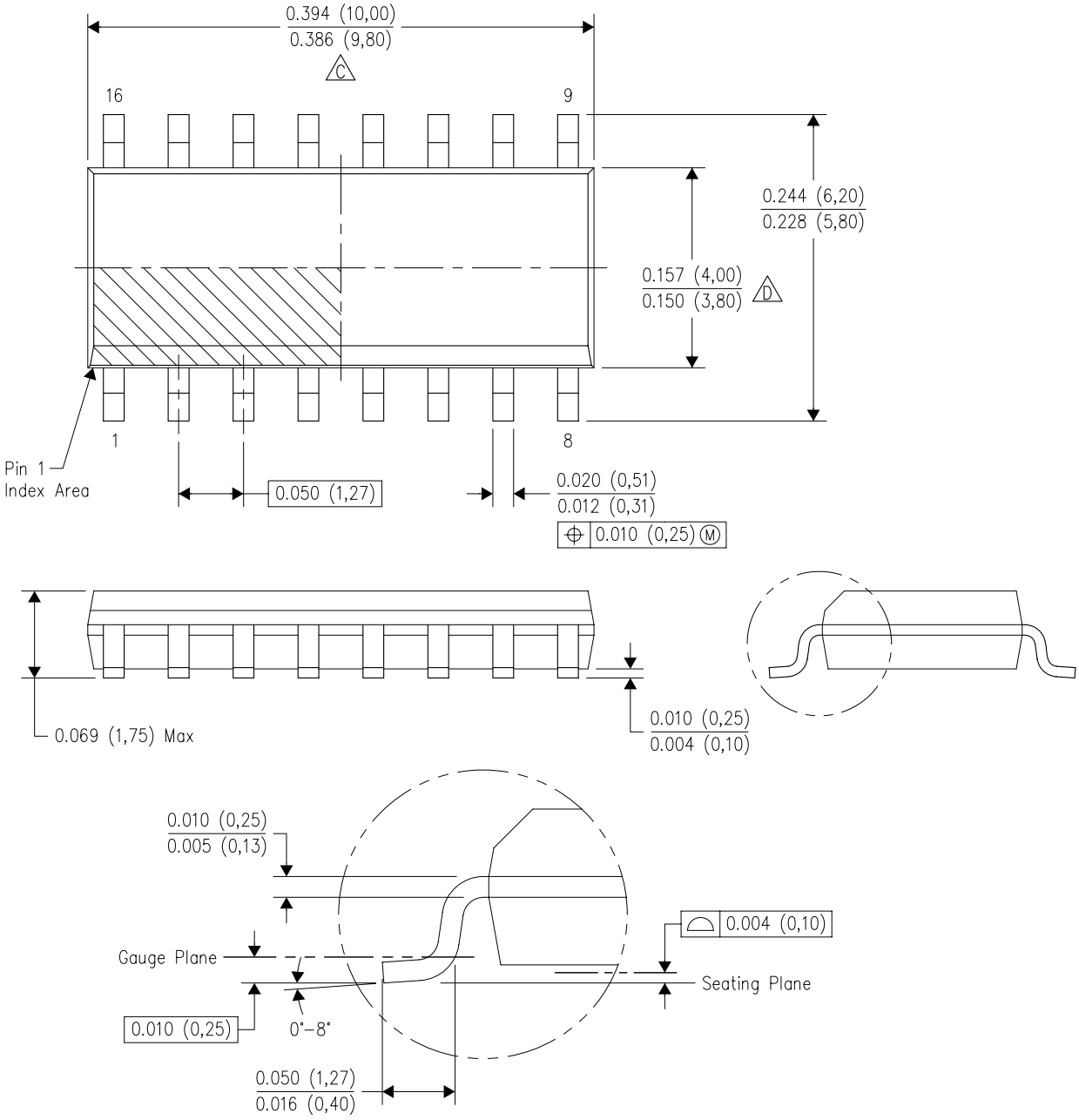
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
CD4051BE	N	PDIP	16	25	506	13.97	11230	4.32
CD4051BE.A	N	PDIP	16	25	506	13.97	11230	4.32
CD4052BE	N	PDIP	16	25	506	13.97	11230	4.32
CD4052BE.A	N	PDIP	16	25	506	13.97	11230	4.32
CD4052BEE4	N	PDIP	16	25	506	13.97	11230	4.32
CD4053BE	N	PDIP	16	25	506	13.97	11230	4.32
CD4053BE.A	N	PDIP	16	25	506	13.97	11230	4.32
CD4053BEE4	N	PDIP	16	25	506	13.97	11230	4.32

D (R–PDSO–G16) PLASTIC SMALL OUTLINE

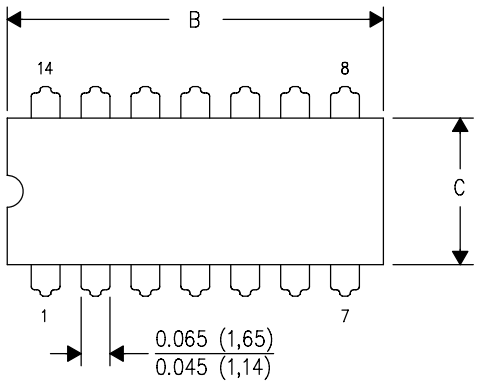


NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

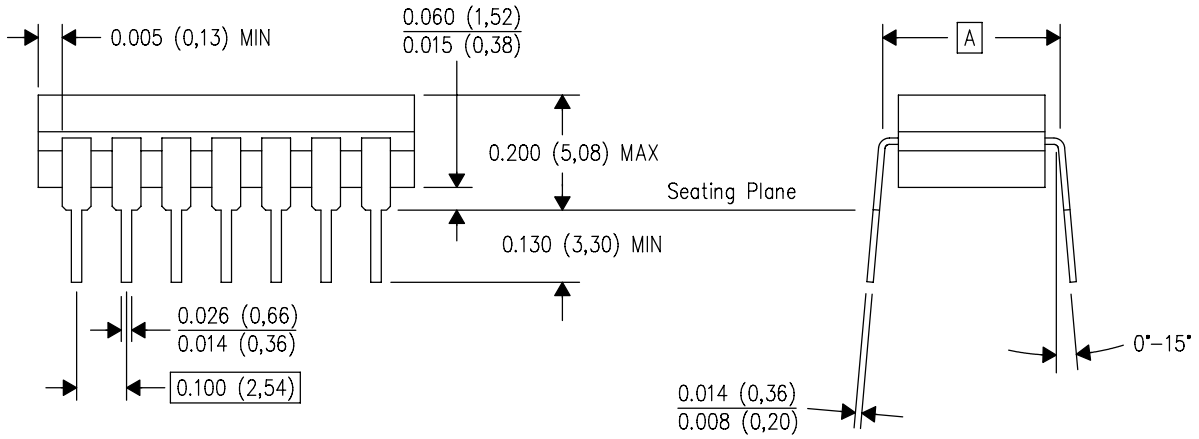
J (R–GDIP–T**)

14 LEADS SHOWN

CERAMIC DUAL IN–LINE PACKAGE



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

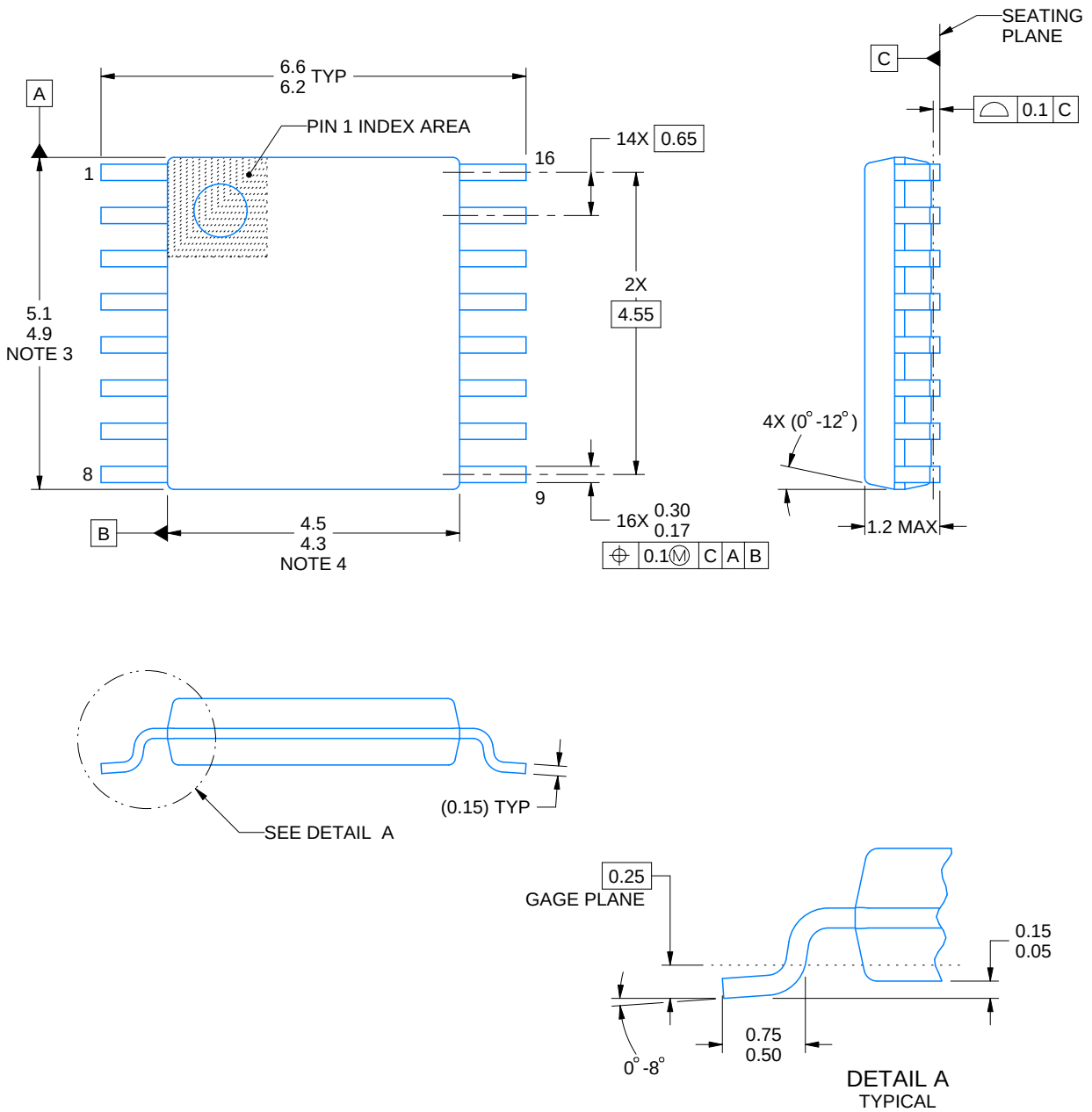
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package is hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.

PACKAGE OUTLINE

PW0016A

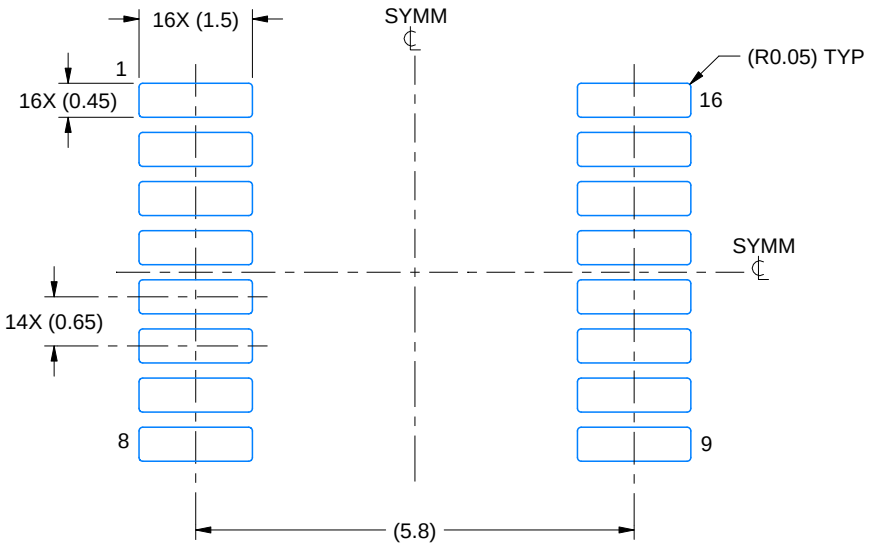
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

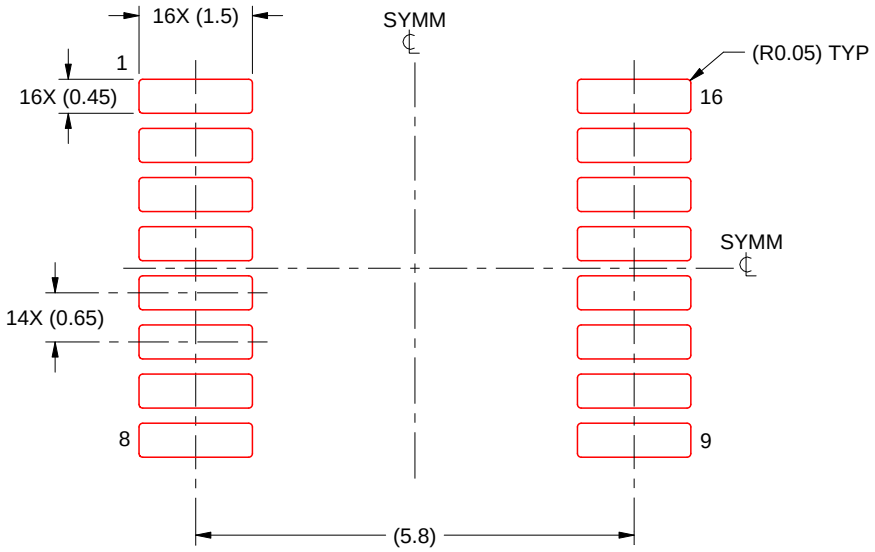


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

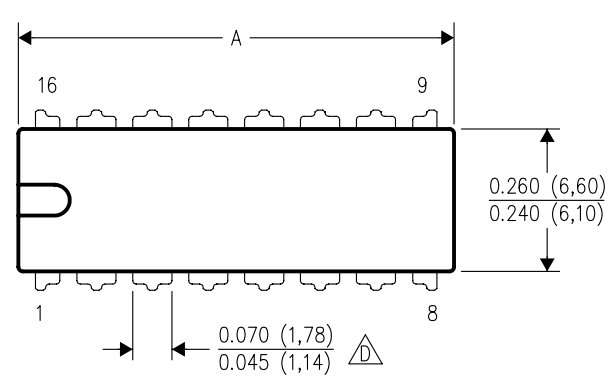
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

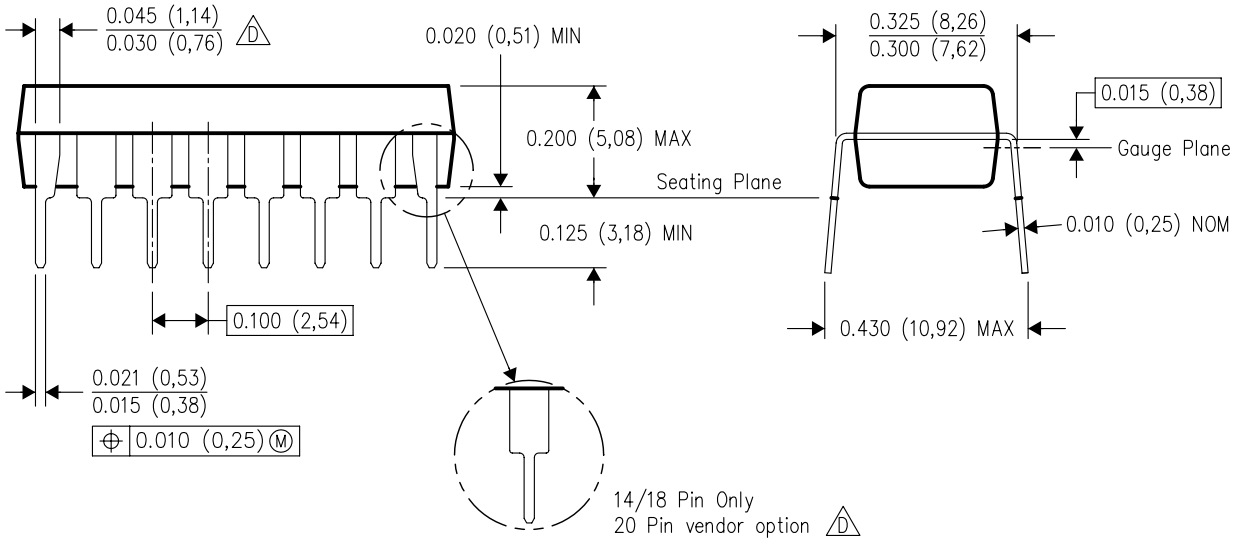
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN

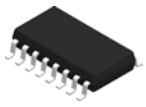


DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

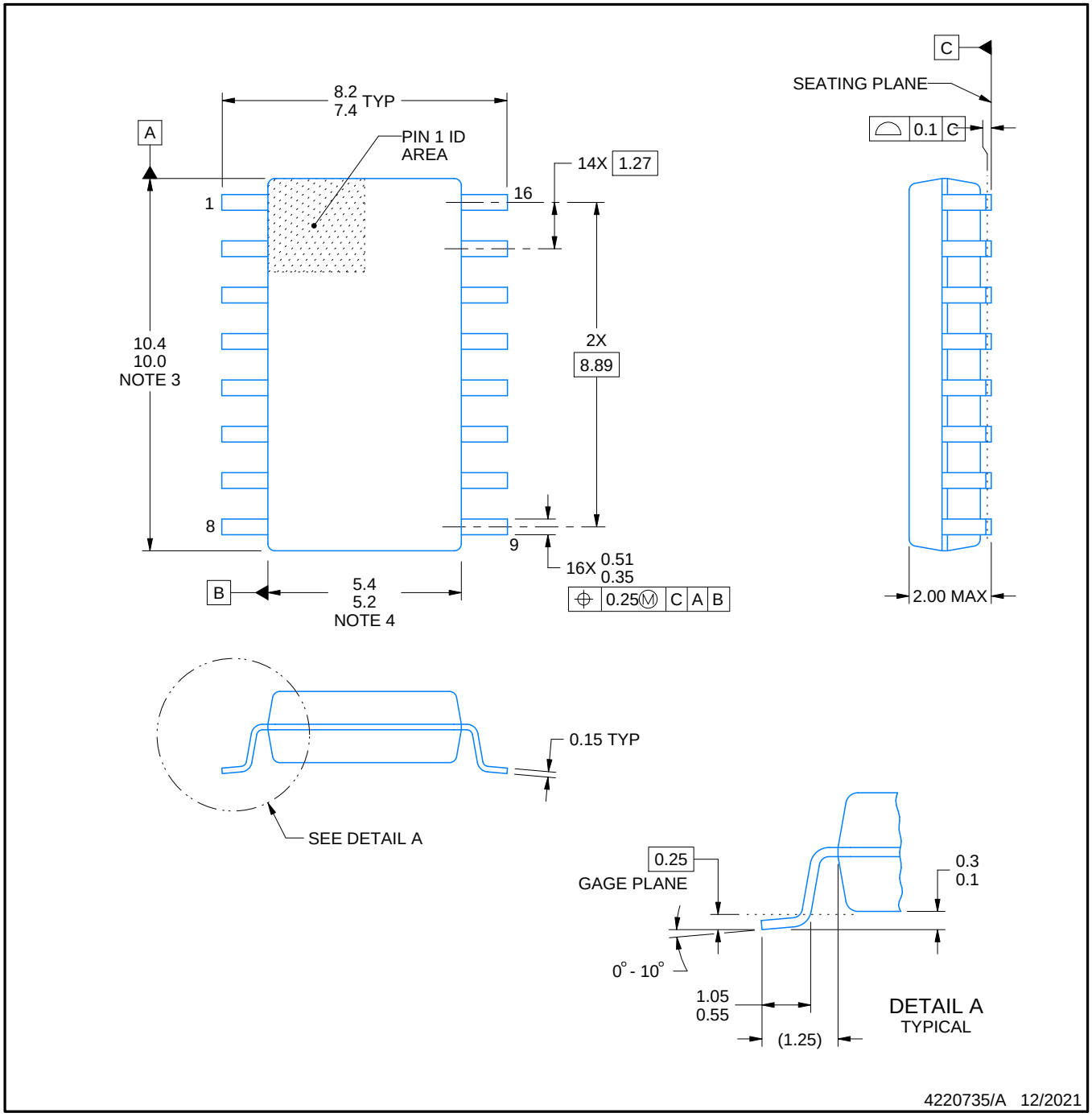


PACKAGE OUTLINE

NS0016A

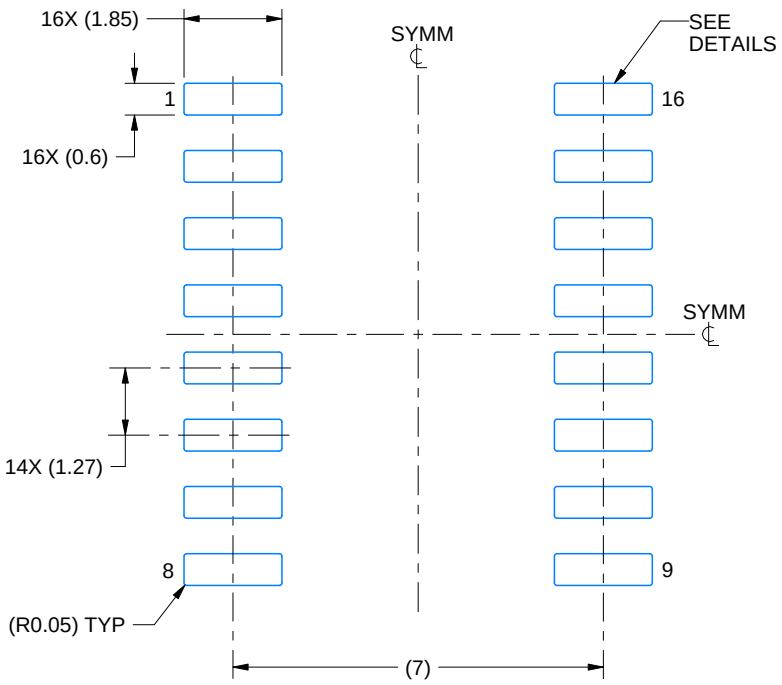
SOP - 2.00 mm max height

SOP

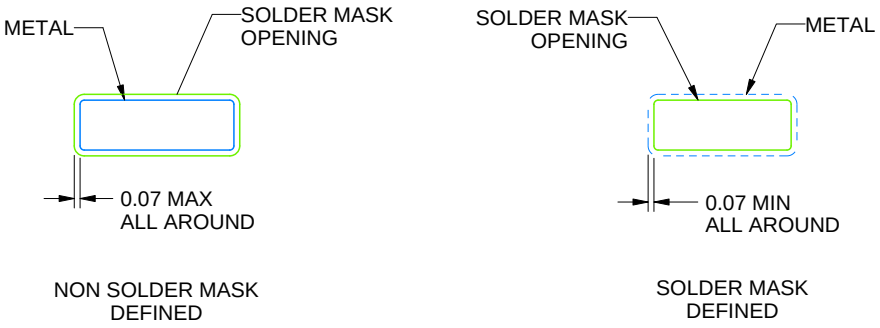


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
SCALE:7X



NON SOLDER MASK
DEFINED

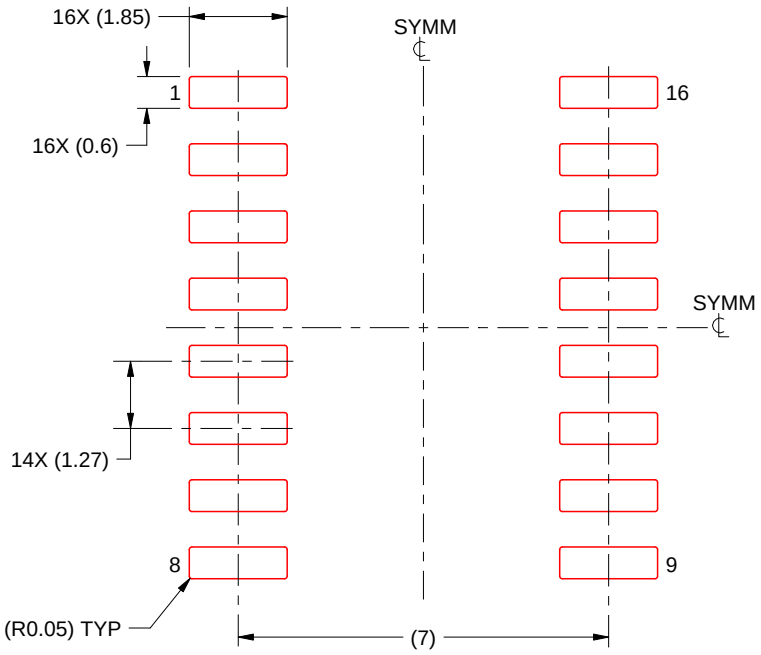
SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4220735/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220735/A 12/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月