TEXAS INSTRUMENTS
CD54AC161, CD74AC161
JAJSUO2D – NOVEMBER 1998 – REVISED MAY 2024

CDx4AC161 4 ビット同期バイナリ カウンタ

1 特長

- カウントを高速化するための内部ルック アヘッド
- n ビット カスケード接続用のキャリー出力
- 同期カウント
- 同期的にプログラム可能
- SCR ラッチアップ耐性の高い CMOS プロセスと回路設計
- MIL-STD-883、Method 3015 に準拠した 2kV を超える ESD 保護

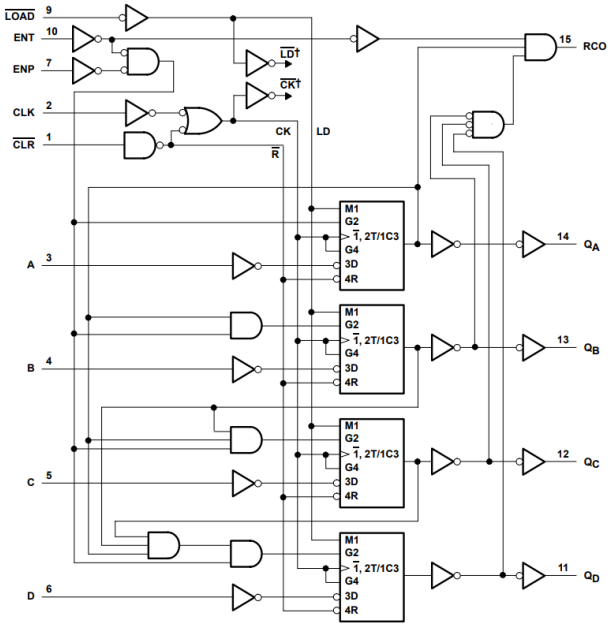
2 概要

'AC161 デバイスは 4 ビット バイナリ カウンタです。これらの同期プリセット可能カウンタは、高速計数処理に使う内部キャリー ルック アヘッド機能を備えています。

製品情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (3)
CDx4AC161	E (PDIP、16)	19.3mm × 9.4mm	19.3mm × 6.35mm
	M (SOIC、16)	9.9mm × 6mm	9.9mm × 3.9mm

(1) 利用可能なパッケージについては、データシートの末尾にあるパッケージ オプションについての付録を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 概要 ... 1
3 ピン構成および機能 ... 3
4 仕様 ... 4
4.1 絶対最大定格 ... 4
4.2 ESD 定格 ... 4
4.3 推奨動作条件 ... 4
4.4 熱に関する情報 ... 5
4.5 電気的特性 ... 5
4.6 タイミング要件 ... 5
4.7 スイッチング特性 ... 6
4.8 タイミング図 ... 6
4.9 動作特性 ... 7
5 パラメータ測定情報 ... 8
6 詳細説明 ... 9
6.1 概要 ... 9
6.2 機能ブロック図 ... 10
6.3 デバイスの機能モード ... 11
7 アプリケーションと実装 ... 12
7.1 電源に関する推奨事項 ... 12
7.2 レイアウト ... 12
8 デバイスおよびドキュメントのサポート ... 13
8.1 ドキュメントのサポート (アナログ) ... 13
8.2 ドキュメントの更新通知を受け取る方法 ... 13
8.3 サポート・リソース ... 13
8.4 商標 ... 13
8.5 静電気放電に関する注意事項 ... 13
8.6 用語集 ... 13
9 改訂履歴 ... 13
10 メカニカル、パッケージ、および注文情報 ... 14

Copyright © 2024 Texas Instruments Incorporated

3 ピン構成および機能

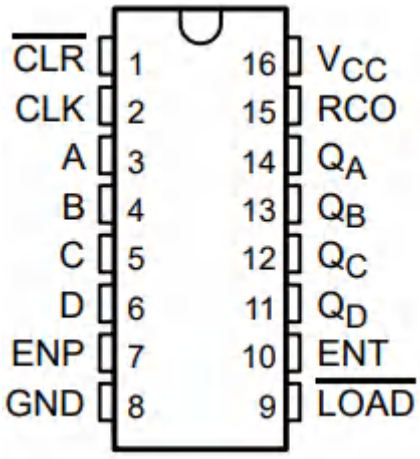


図 3-1. CD54AC161 F パッケージ、CD74AC161 E または M パッケージ (上面図)

ピンの機能

名称	ピン	タイプ	説明
$\overline{CLR}$	1	I	クリア、アクティブ Low
CLK	2	I	クロック、立ち上がりエッジをトリガ
A	3	I	ロード データ A
B	4	I	ロード データ B
C	5	I	ロード データ C
D	6	I	ロード データ D
ENP	7	I	カウント イネーブル (RCO に影響を及ぼしません。)
GND	8	—	グランド
$\overline{LOAD}$	9	I	並列ロード、アクティブ Low
ENT	10	I	カウント イネーブル (RCO に影響を及ぼします。)
Q_D	11	O	Q_D 出力
Q_C	12	O	Q_C 出力
Q_B	13	O	Q_B 出力
Q_A	14	O	Q_A 出力
RCO	15	O	リップル キャリー出力
V_{CC}	16	—	電源

Copyright © 2024 Texas Instruments Incorporated

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧		-0.5	6	V
I_{IK} (2)	入力クランプ電流	(V_I < 0 または V_I > V_{CC})		±20	mA
I_{OK} (2)	出力クランプ電流	(V_O < 0 または V_O > V_{CC})		±50	mA
I_O	連続出力電流	(V_O > 0V または V_O < V_{CC})		±50	mA
	V_{CC} または GND を通過する連続電流			±100	mA
T_{stg}	保管温度		-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力電流と出力電流の定格を遵守していても、入力と出力の負電圧の定格を超える可能性があります。

4.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

4.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			TA = 25℃		-55℃～125℃		-40℃～85℃		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
V_{CC}	電源電圧		1.5	5.5	1.5	5.5	1.5	5.5	V
V_{IH}	High レベル入力電圧	V_{CC} = 1.5	1.2		1.2		1.2		V
		V_{CC} = 3	2.1		2.1		2.1		
		V_{CC} = 5.5	3.85		3.85		3.85		
V_{IL}	Low レベル入力電圧	V_{CC} = 1.5 V		0.3		0.3		0.3	V
		V_{CC} = 3 V		0.9		0.9		0.9	
		V_{CC} = 5.5 V		1.65		1.65		1.65	
V_I	入力電圧		0	V_{CC}	0	V_{CC}	0	V_{CC}	V
V_O	出力電圧		0	V_{CC}	0	V_{CC}	0	V_{CC}	V
I_{OH}	High レベル出力電流	V_{CC} = 4.5 V～5.5 V		-24		-24		-24	mA
I_{OL}	Low レベル出力電流	V_{CC} = 4.5 V～5.5 V		24		24		24	
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート	V_{CC} = 1.5 V～3 V		50		50		50	ns/V
		V_{CC} = 3.6 V～5.5 V		20		20		20	

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション レポート『低速またはフローティング CMOS 入力の影響』(SCBA004) を参照してください。

Copyright © 2024 Texas Instruments Incorporated

4.4 熱に関する情報

熱評価基準(1)		CDx4AC161		単位
		E	M	
		14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	67	73	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

4.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件		V_{CC}	TA = 25℃		-55℃～125℃		-40℃～85℃		単位
				最小値	最大値	最小値	最大値	最小値	最大値	
V_{OH}	$V_I = V_{IH}$ または V_{IL}	I_{OH} = -50 μA	1.5 V	1.4		1.4		1.4		V
			3 V	2.9		2.9		2.9		
			4.5 V	4.4		4.4		4.4		
		I_{OH} = -4 mA	3 V	2.58		2.4		2.48		
		I_{OH} = -24 mA	4.5 V	3.94		3.7		3.8		
		I_{OH} = -50mA†	5.5 V	–		3.85		–		
		I_{OH} = -75mA†	5.5 V	–		–		3.85		
V_{OL}	$V_I = V_{IH}$ または V_{IL}	I_{OL} = 50 μA	1.5 V		0.1		0.1		0.1	V
			3 V		0.1		0.1		0.1	
			4.5 V		0.1		0.1		0.1	
		I_{OL} = 12 mA	3 V		0.36		0.5		0.44	
		I_{OL} = 24 mA	4.5 V		0.36		0.5		0.44	
		I_{OL} = 50mA†	5.5 V				1.65			
		I_{OL} = 75mA†	5.5 V						1.65	
I_I	$V_I = V_{CC}$ または GND		5.5 V		±0.1		±1		±1	μA
I_{CC}	$V_I = V_{CC}$ または GND	I_O = 0	5.5 V		8		160		80	μA
C_i					10		10		10	pF

4.6 タイミング要件

自由空気での推奨動作温度範囲内 (特に記述のない限り)

			V_{CC}	-55℃～125℃		-40℃～85℃		単位
				最小値	最大値	最小値	最大値	
f_{clock}	クロック周波数		1.5 V		7		8	MHz
			3.3 V ± 0.3 V		64		73	
			5 V ± 0.5 V		90		103	
t_w	パルス幅	CLK が High または Low	1.5 V	69		61		ns
			3.3 V ± 0.3 V	7.7		6.8		
			5 V ± 0.5 V	5.5		4.8		
		$\overline{CLR}$ が Low	1.5 V	63		55		ns
			3.3 V ± 0.3 V	7		6.1		
			5 V ± 0.5 V	5		4.4		

Copyright © 2024 Texas Instruments Incorporated

4.6 タイミング要件 (続き)

自由空気での推奨動作温度範囲内 (特に記述のない限り)

			V_{CC}	-55℃～125℃		-40℃～85℃		単位
				最小値	最大値	最小値	最大値	
t_{su}	セットアップ時間、CLK↑ の前	A、B、C、D	1.5 V	63		55		ns
			3.3 V ± 0.3 V	7		6.1		
			5 V ± 0.5 V	5		4.4		
		$\overline{LOAD}$	1.5 V	75		66		ns
			3.3 V ± 0.3 V	8.4		7.4		
			5 V ± 0.5 V	6		5.3		
t_h	ホールド時間	A、B、C、D	1.5 V	0		0		ns
			3.3 V ± 0.3 V	0		0		
			5 V ± 0.5 V	0		0		
		ENP または ENT	1.5 V	0		0		ns
			3.3 V ± 0.3 V	0		0		
			5 V ± 0.5 V	0		0		
trec	復帰時間、$\overline{CLR}$↑ から CLK↑ まで		1.5 V	75		66		ns
			3.3 V ± 0.3 V	8.4		7.4		
			5 V ± 0.5 V	6		5.3		

4.7 スイッチング特性

自由空気での推奨動作温度範囲内、CL = 50pF (特に記述のない限り) (「パラメータ測定情報」を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CC}	-55℃～125℃		-40℃～85℃		単位
				最小値	最大値	最小値	最大値	
f_{max}			1.5 V	7		8		MHz
			3.3 V ± 0.3 V	64		73		
			5 V ± 0.5 V	90		103		
t_{pd}	CLK	RCO	1.5 V	–	209	–	190	ns
			3.3 V ± 0.3 V	6	23.4	6	21	
			5 V ± 0.5 V	4.3	16.7	4.3	15.2	
		任意の Q	1.5 V	–	207	–	188	
			3.3 V ± 0.3 V	5.9	23.1	5.9	21	
			5 V ± 0.5 V	4.2	16.5	4.2	15	
	ENT	RCO	1.5 V	–	129	–	117	
			3.3 V ± 0.3 V	3.6	14.4	3.7	13.1	
			5 V ± 0.5 V	2.6	10.3	2.7	9.4	
	CLR	任意の Q	1.5 V	–	207	–	188	
			3.3 V ± 0.3 V	5.9	23.1	5.9	21	
			5 V ± 0.5 V	4.2	16.5	4.2	15	
		RCO	1.5 V	–	207	–	188	
			3.3 V ± 0.3 V	5.9	23.1	5.9	21	
			5 V ± 0.5 V	4.2	16.5	4.2	15	

4.8 タイミング図

次のシーケンスを以下に示します。

Copyright © 2024 Texas Instruments Incorporated

1. 出力をゼロにクリア (非同期)
2. 2 進法の 12 にプリセット
3. 13、14、15、0、1、2 までカウント
4. インヒビット

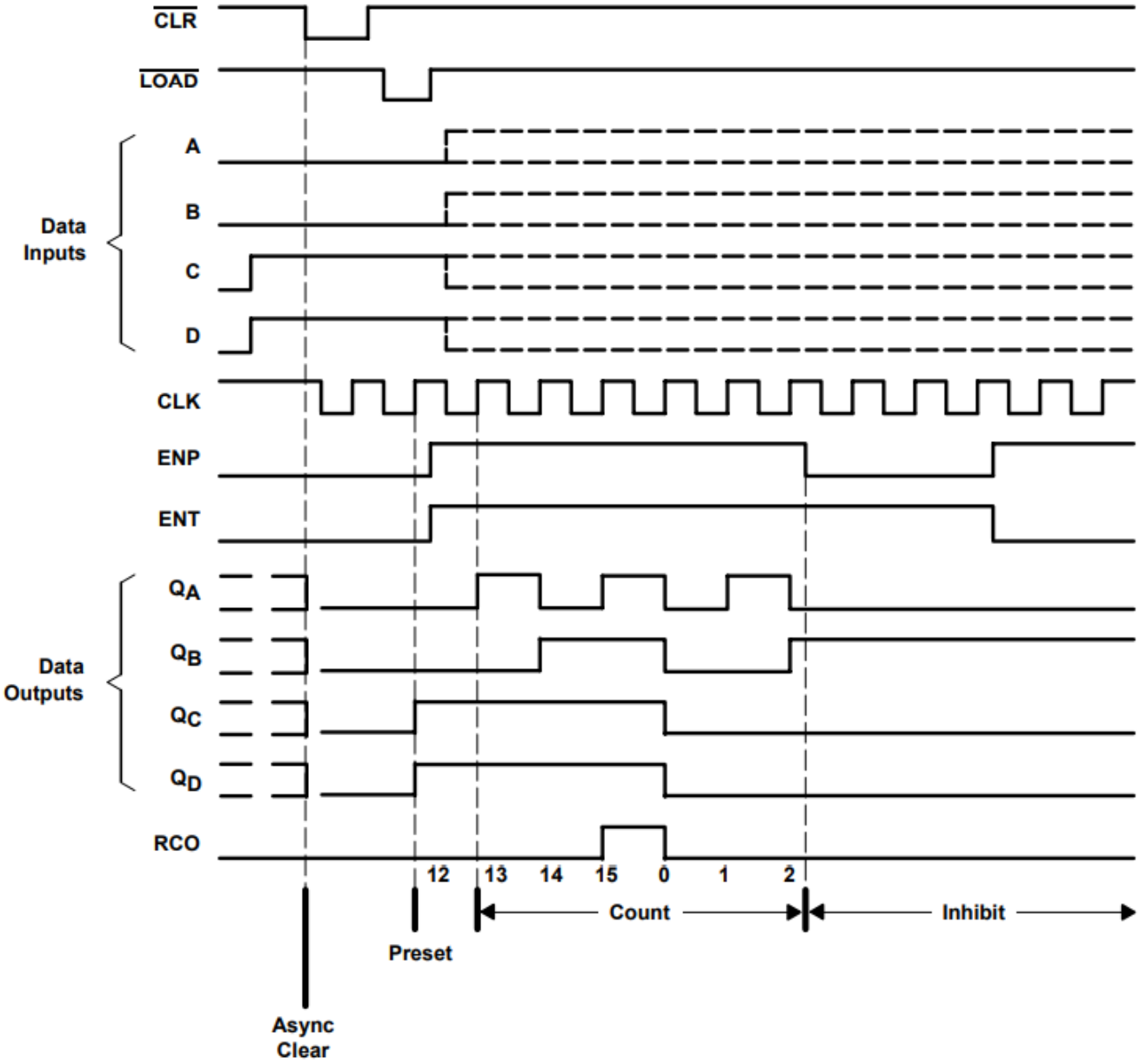


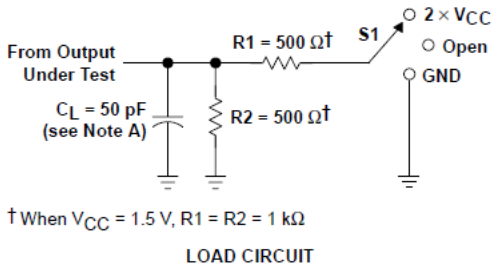
図 4-1. クリア、プリセット、カウント、インヒビットの代表的なシーケンス

4.9 動作特性

T_A = 25℃

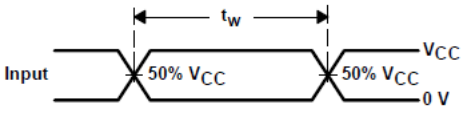
パラメータ		テスト条件	標準値	単位
C_{pd}	電力散逸容量	無負荷	66	pF

5 パラメータ測定情報

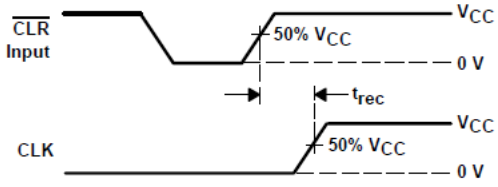


LOAD CIRCUIT

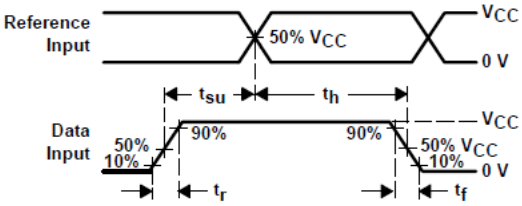
TEST	S1
t_{PLH}/t_{PHL} t_{PLZ}/t_{PZL} t_{PHZ}/t_{PZH}	Open 2 × VCC GND



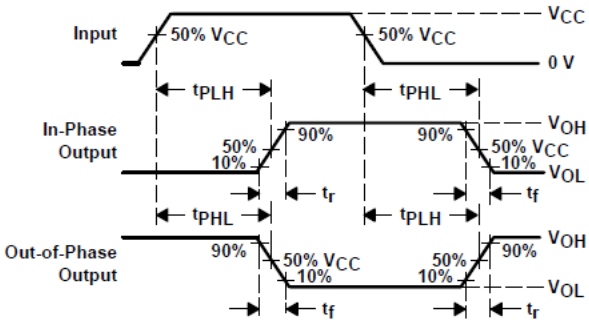
VOLTAGE WAVEFORMS
PULSE DURATION



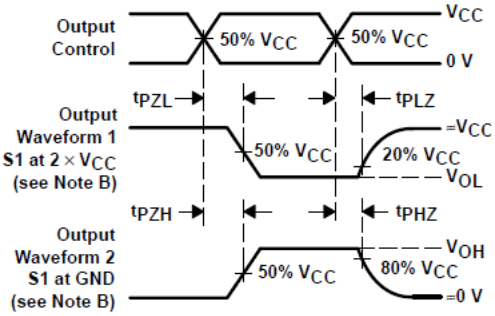
VOLTAGE WAVEFORMS
RECOVERY TIME



VOLTAGE WAVEFORMS
SETUP AND HOLD AND INPUT RISE AND FALL TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY AND OUTPUT TRANSITION TIMES



VOLTAGE WAVEFORMS
OUTPUT ENABLE AND DISABLE TIMES

A. CL にはプローブとテスト装置の容量が含まれます。

B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。

C. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≦ 1MHz、ZO = 50Ω、tr = 3ns、tf = 3ns。波形間の位相関係は任意です。

D. クロック入力の fmax は、50% の入力デューティ サイクルで測定します。

E. 出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。

F. tPLH と tPHL は tpd と同じです。

G. tPZL と tPZH は ten と同じです。

H. tPLZ と tPHZ は tdis と同じです。

Copyright © 2024 Texas Instruments Incorporated

6 詳細説明

6.1 概要

'AC161 デバイスは 4 ビット バイナリ カウンタです。これらの同期プリセット可能カウンタは、高速計数処理に使う内部キャリー ルック アヘッド機能を備えています。これらのデバイスは完全にプログラム可能です。つまり、0～9 または 15 の任意の数値にプリセットできます。プリセットは同期的であるため、ロード入力に Low レベルを設定すると、カウンタは無効化され、イネーブル入力のレベルに関係なく、次のクロック パルスの後、出力は設定データと一致します。

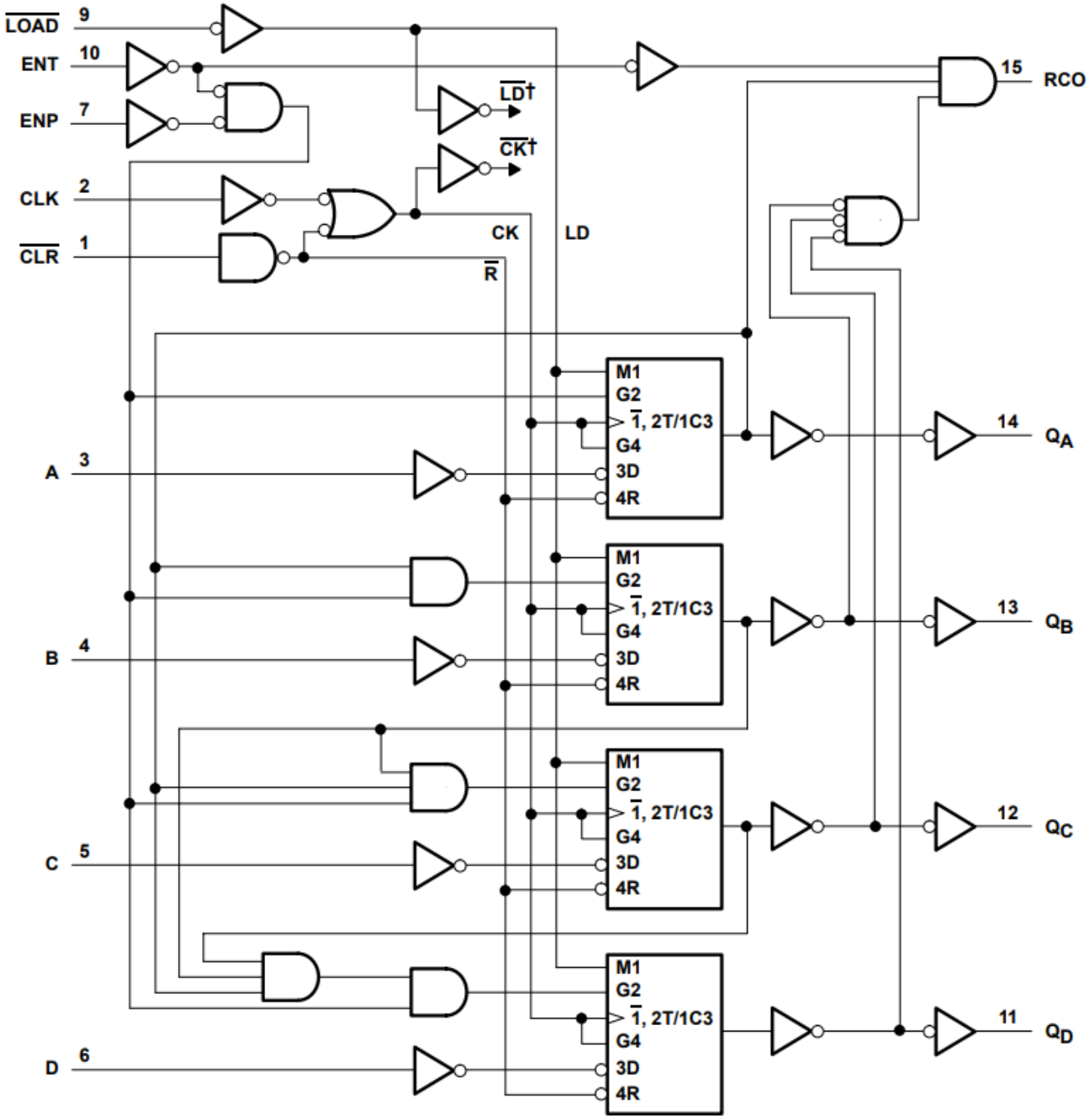
クリア機能は非同期です。クリア ($\overline{CLR}$) 入力が Low レベルになると、CLK、ロード ($\overline{LOAD}$)、イネーブル入力のレベルに関係なく、4 つのフリップ フロップ出力はすべて Low に設定されます。

キャリー ルック アヘッド回路を使うと、ゲートを追加することなく、n ビット同期アプリケーションのためのカスケード カウンタを実現できます。この機能を実現するための手段が、EN、ENT、RCO (リップル キャリー出力) です。カウントするには、ENP と ENT の両方を High にする必要があり、ENT がフィードフォワードされることで、RCO が有効化されます。RCO が有効化されると、カウントが最大値 (9 または 15、QA が High) の間、High レベルのパルスが生成されます。この High レベルのオーバーフロー リップル キャリー パルスを使用して、連続カスケード段を実現できます。CLK のレベルに関係なく、ENP または ENT での遷移が許可されます。

これらのカウンタは、完全に独立したクロック回路を備えています。動作モードを変更する制御入力 (ENP、ENT、$\overline{LOAD}$) の変化は、クロックの立ち上がりエッジまで、カウンタの内容に影響を与えません。カウンタの機能 (有効化、無効化、ロード、カウントのいずれか) は、安定したセットアップおよびホールド時間を満たす条件のみによって決定されます。

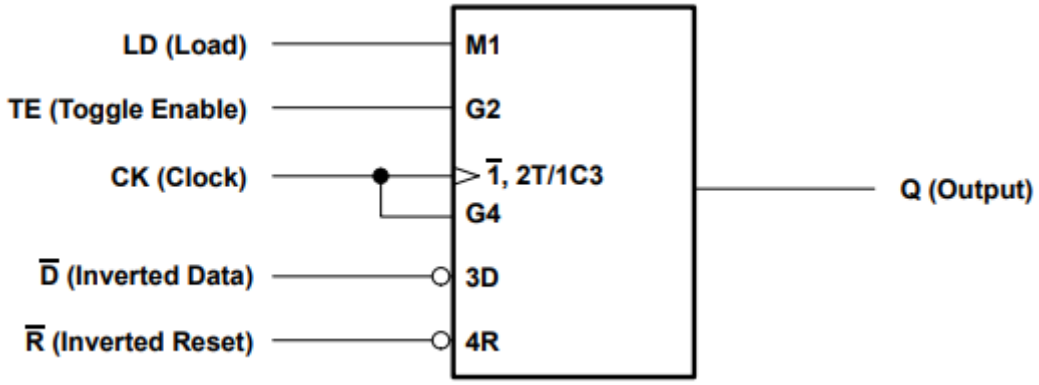
Copyright © 2024 Texas Instruments Incorporated

6.2 機能ブロック図

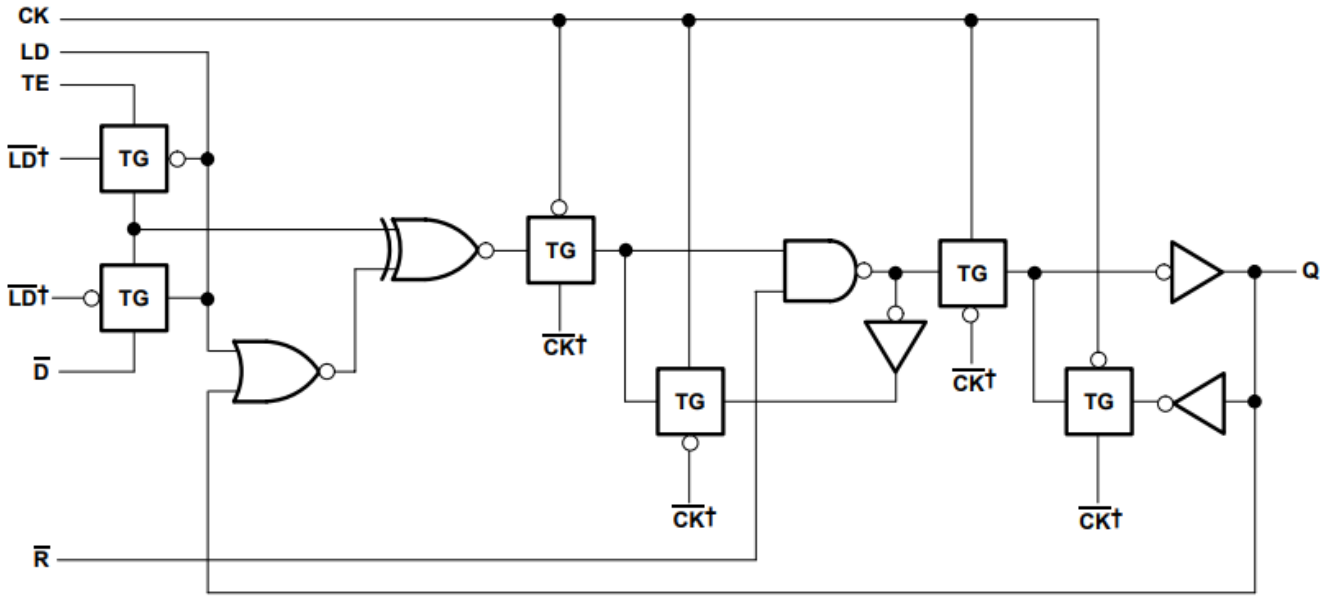


論理図 (正論理)

Copyright © 2024 Texas Instruments Incorporated



論理記号、各 D/T フリップ フロップ



論理図、各 D/T フリップ フロップ (正論理)

6.3 デバイスの機能モード

表 6-1. 機能表

入力						出力		機能
$\overline{CLR}$	CLK	ENP	ENT	$\overline{LOAD}$	A、B、C、D	Q_n	R_{CO}	
L	X	X	X	X	X	L	L	リセット (クリア)
H	↑	X	X	l	l	L	L	パラレル負荷
H	↑	X	X	l	h	H	注 1	
H	↑	h	h	h	X	カウント	注 1	カウント
H	X	l	X	h	X	q_n	注 1	インヒビット (禁止)
H	X	X	l	h	X	q_n	L	

H = High レベル、L = Low レベル、X = ドント ケア、h = CLK の Low から High への遷移の前の High レベルのセットアップ時間、l = CLK の Low から High への遷移の前の Low レベルのセットアップ時間、q = CLK の Low から High への遷移の前のリファレンス出力の状態、↑ = CLK の Low から High への遷移。

NOTE 1：ENT が High であり、かつカウンタが最終カウントになると、RCO 出力は High になります。

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 電源に関する推奨事項

電源には、「セクション 4.3」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の障害を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。単電源のデバイスには 0.1µF のコンデンサを推奨します。V_{CC} 端子が複数ある場合は、各電源端子に 0.01µF または 0.022µF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することもできます。複数のバイパス コンデンサを並列に接続して、異なる周波数のノイズを除去することもできます。最良の結果を得るため、バイパス コンデンサは電源端子のできるだけ近くに配置してください。

7.2 レイアウト

7.2.1 レイアウトのガイドライン

多ビット ロジック デバイスを使用する場合、入力をフローティングにしないでください。多くの場合、デジタル ロジック デバイスの機能または機能の一部は使用されません。例として、トリプル入力 AND ゲートのうち 2 入力のみを使用する場合、または 4 バッファ ゲートのうち 3 入力のみを使用する場合が挙げられます。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。

レイアウト図に示された仕様は、あらゆる状況で遵守する必要があります。デジタル ロジック デバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用入力に適用する必要があるロジック レベルは、デバイスの機能によって異なります。一般に、GND または V_{CC} のうち、より適切であるかより利便性の高い方に接続されます。

Copyright © 2024 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントのサポート (アナログ)

8.1.1 関連資料

次の表に、クイック アクセス リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティ リソース、ツールとソフトウェア、およびサンプル注文またはご購入へのクイック アクセスが含まれます。

表 8-1. 関連リンク

製品	プロダクト フォルダ	サンプルとご購入	技術資料	ツールとソフトウェア	サポートとコミュニティ
CD54AC161	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
CD74AC161	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (September 1998) to Revision D (May 2024)	Page
• 「製品情報」表、「ピンの機能」表、「ESD 定格」表、「熱に関する情報」表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加	1

Copyright © 2024 Texas Instruments Incorporated

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は指定したデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーションをご覧ください。

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD54AC161F3A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54AC161F3A
CD54AC161F3A.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54AC161F3A
CD74AC161E	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74AC161E
CD74AC161E.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74AC161E
CD74AC161M	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	AC161M
CD74AC161M96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC161M
CD74AC161M96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC161M

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54AC161, CD74AC161 :

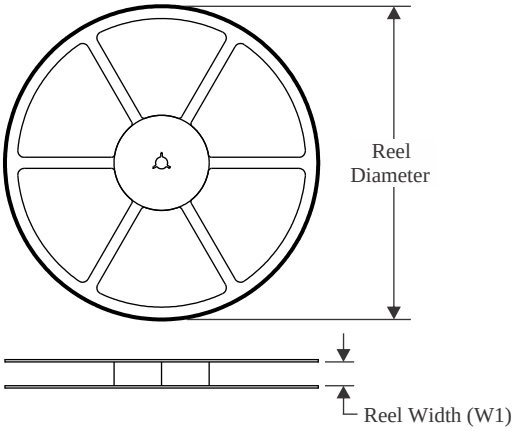
- Catalog : CD74AC161
- Military : CD54AC161

NOTE: Qualified Version Definitions:

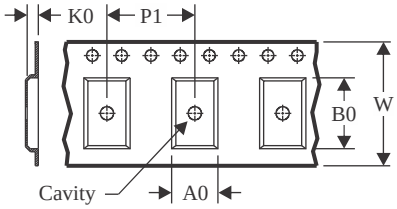
- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

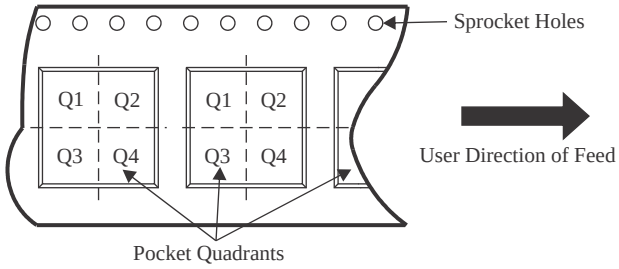


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

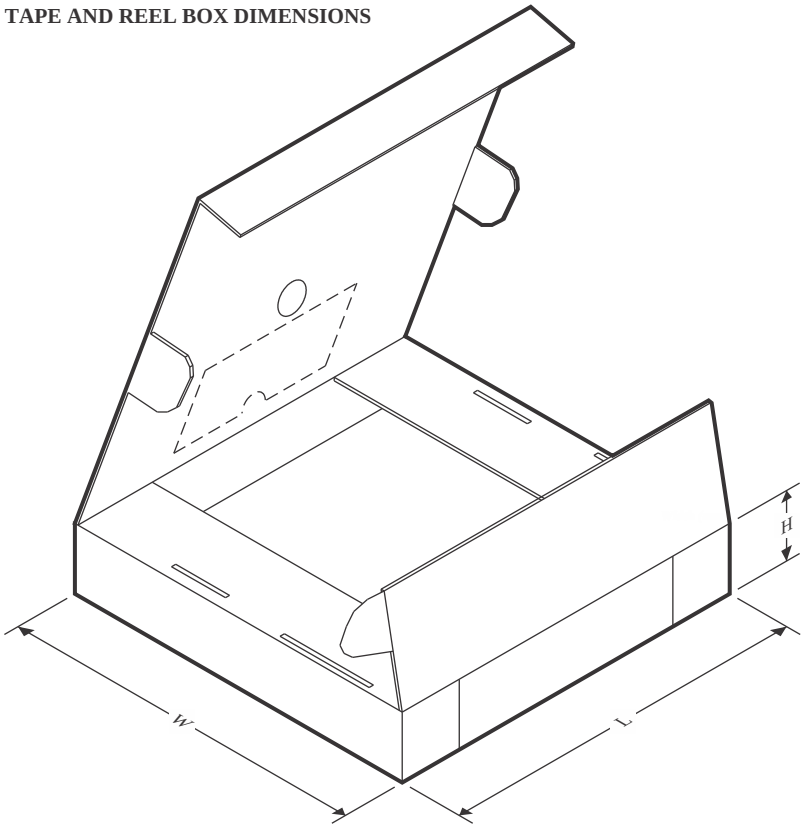
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74AC161M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

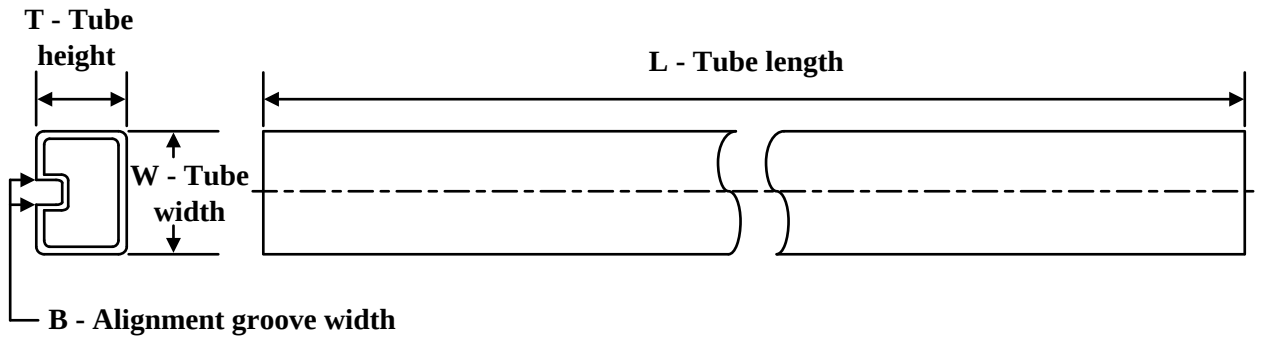
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74AC161M96	SOIC	D	16	2500	353.0	353.0	32.0

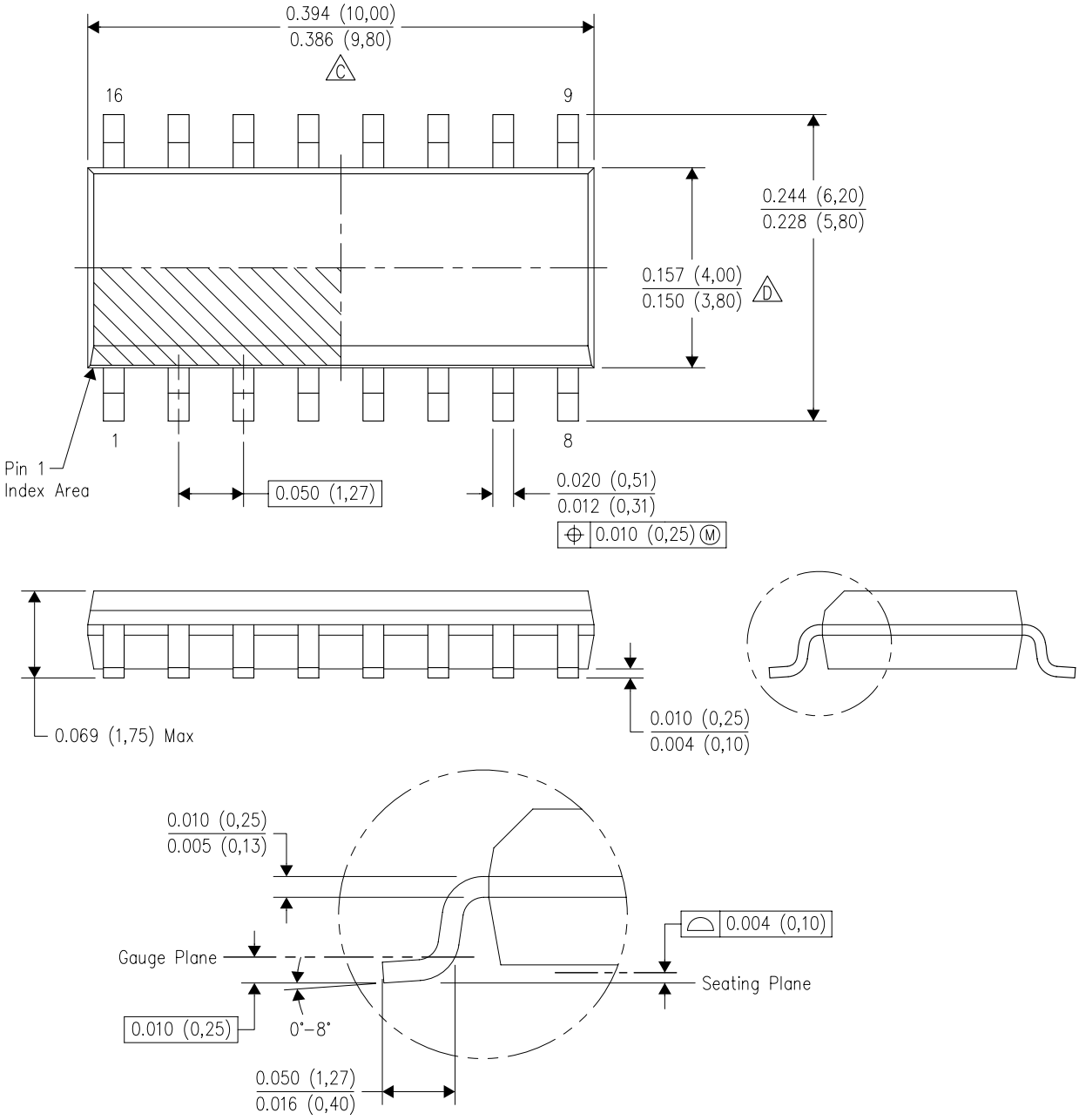
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
CD74AC161E	N	PDIP	16	25	506	13.97	11230	4.32
CD74AC161E	N	PDIP	16	25	506	13.97	11230	4.32
CD74AC161E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74AC161E.A	N	PDIP	16	25	506	13.97	11230	4.32

D (R–PDSO–G16) PLASTIC SMALL OUTLINE

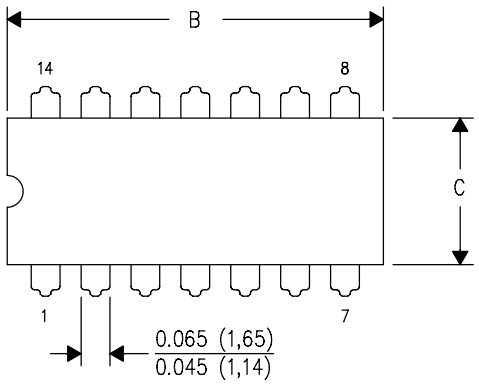


NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

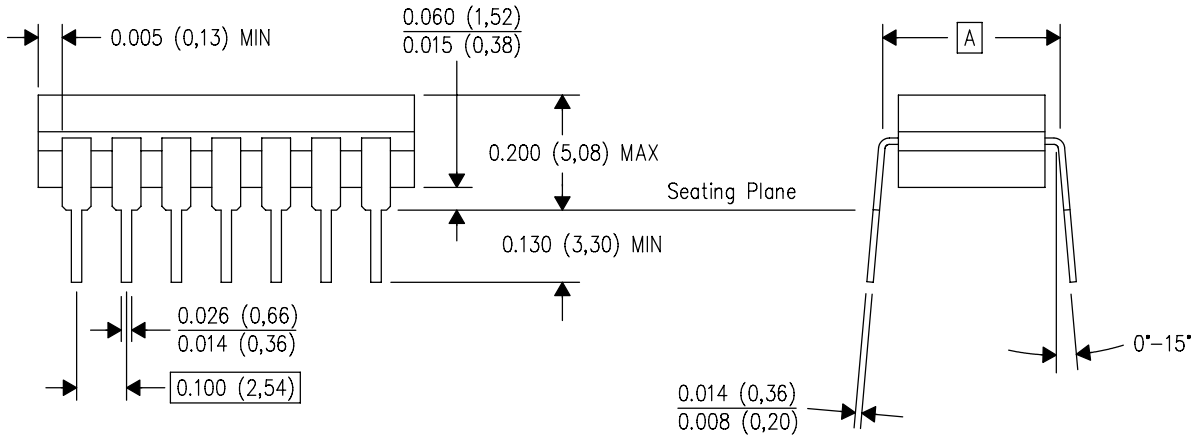
J (R–GDIP–T**)

14 LEADS SHOWN

CERAMIC DUAL IN–LINE PACKAGE



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



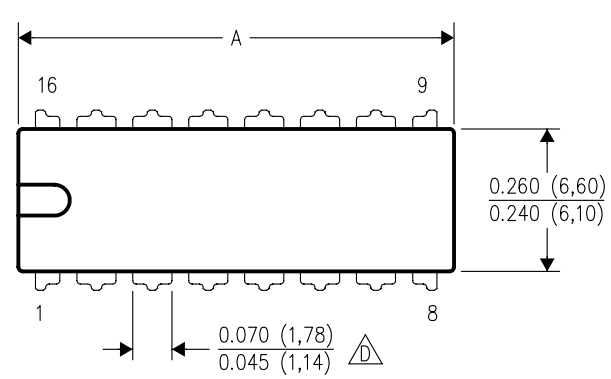
4040083/F 03/03

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package is hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.

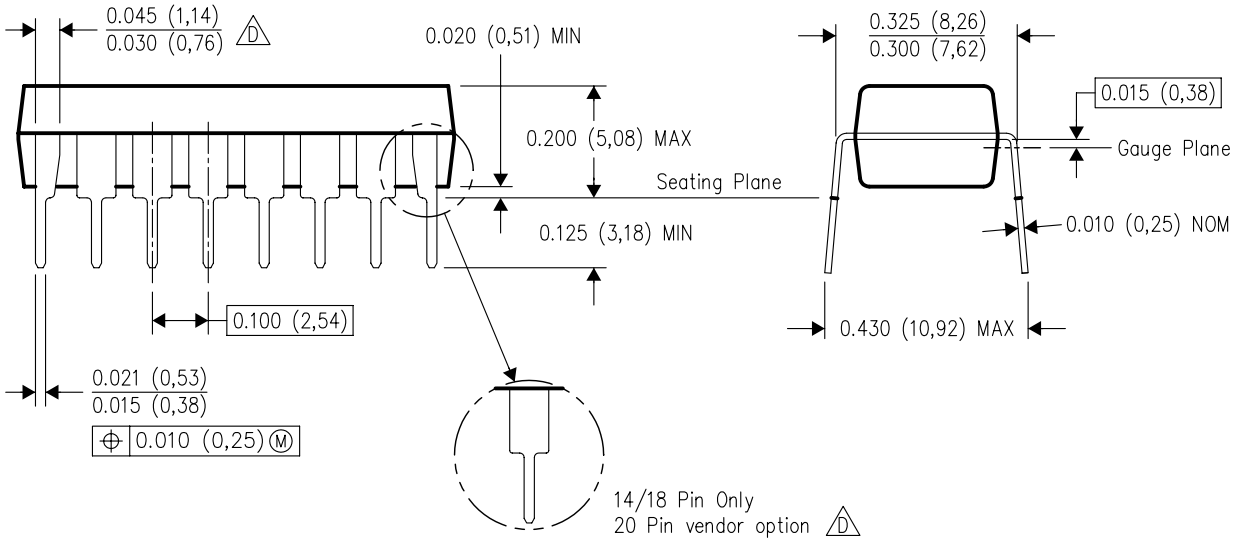
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月