

CD74AC251 8 入力マルチプレクサ、3 ステート

1 特長

- バッファ付き入力
- 伝搬遅延時間 (標準値)
 - $V_{CC} = 5V$, $T_A = 25^\circ C$, $C_L = 50pF$ で 6ns
- MIL-STD-883, Method 3015 の 2kV を超える ESD 保護
- SCR ラッチアップ耐性の高い CMOS プロセスと回路設計
- 消費電力を大幅に低減した、バイポーラ FAST™/AS/S の速度
- 伝搬遅延時間の平衡化
- AC タイプは 1.5V~5.5V で動作し、バランスのとれたノイズ耐性を電源の 30% で実現
- $\pm 24mA$ 出力駆動電流
 - 15 個の FAST™ IC にファンアウト
 - 50Ω 伝送ラインを駆動

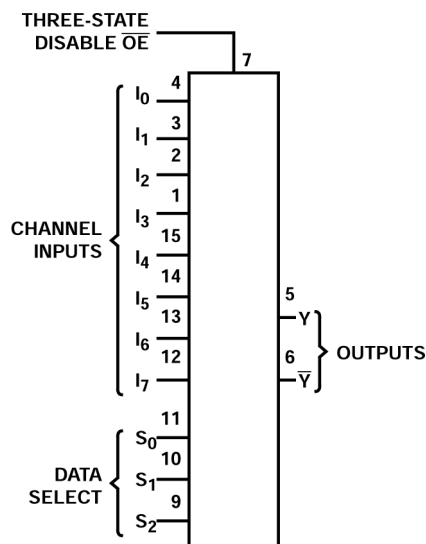
2 概要

CD74AC251 8 入力マルチプレクサは、Harris アドバンスド CMOS ロジック テクノロジーを採用しています。このマルチプレクサには、真 (Y) 出力と補数 ($\bar{Y}$) 出力の両方に加えて、出力イネーブル ($\overline{OE}$) 入力があります。このデバイスをイネーブルにするには、OE を Low ロジックレベルにする必要があります。 $\overline{OE}$ 入力が高レベルのとき、両方の出力がハイインピーダンス状態になります。イネーブルのとき、データ選択入力のアドレス情報によって、どのデータ入力を Y 出力および $\bar{Y}$ 出力に転送するかが決定されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)	本体サイズ (3)
CD74AC251	D (SOIC, 16)	9.9mm × 6mm	9.9mm × 3.9mm

- 詳細については、[セクション 10](#) を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



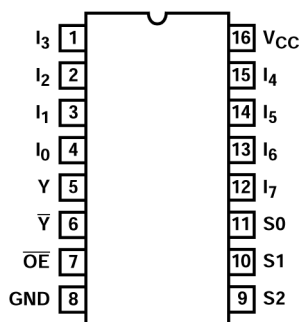
機能図



Table of Contents

1 特長	1	7 Application and Implementation	9
2 概要	1	7.1 Power Supply Recommendations.....	9
3 Pin Configuration and Functions	3	7.2 Layout.....	9
4 Specifications	4	8 Device and Documentation Support	10
4.1 Absolute Maximum Ratings.....	4	8.1 Documentation Support (Analog).....	10
4.2 Recommended Operating Conditions.....	4	8.2 ドキュメントの更新通知を受け取る方法.....	10
4.3 Thermal Information.....	4	8.3 サポート・リソース.....	10
4.4 Electrical Characteristics.....	4	8.4 Trademarks.....	10
4.5 Switching Characteristics.....	5	8.5 静電気放電に関する注意事項.....	10
5 Parameter Measurement Information	7	8.6 用語集.....	10
6 Detailed Description	8	9 Revision History	10
6.1 Functional Block Diagram.....	8	10 Mechanical, Packaging, and Orderable Information	11
6.2 Device Functional Modes.....	8		

3 Pin Configuration and Functions



3-1. CD74AC251 D Package, 16-Pin SOIC (Top View)

PIN		TYPE ¹	DESCRIPTION
NAME	NO.		
I ₃	1	I	Input 3
I ₂	2	I	Input 2
I ₁	3	I	Input 1
I ₀	4	I	Input 0
Y	5	I	Output
$\bar{Y}$	6	I	Inverted Output
OE	7	O	Output Enable
GND	8	G	Ground
S2	9	O	Input Select 2
S1	10	O	Input Select 1
S0	11	O	Input Select 0
I ₇	12	O	Input 7
I ₆	13	O	Input 6
I ₅	14	O	Input 5
I ₄	15	O	Input 4
V _{CC}	16	P	Positive Supply

- Signal Types: I = Input, O = Output, I/O = Input or Output.

4 Specifications

4.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

			MIN	MAX	UNIT
V _{CC}	Supply voltage		-0.5	6	V
I _{IK}	Input diode current	(V _I < -0.5V or V _I > V _{CC} + 0.5V)		±20	mA
I _{OK}	Output diode current	(V _I < -0.5V or V _I > V _{CC} + 0.5V)		±50	mA
I _O	Output source or sink current per output pin	V _O < -0.5V or V _O > V _{CC} + 0.5V		±50	mA
	V _{CC} or ground current, ICC or IGND ⁽²⁾			±100	mA
T _J	Maximum junction temperature (plastic package)			150	°C
T _{stg}	Storage temperature		-65	150	°C

(1) Operation outside the Absolute Maximum Ratings may cause permanent device damage. Absolute Maximum Ratings do not imply functional operation of the device at these or any other conditions beyond those listed under Recommended Operating Conditions. If used outside the Recommended Operating Conditions but within the Absolute Maximum Ratings, the device may not be fully functional, and this may affect device reliability, functionality, performance, and shorten the device lifetime.

(2) For up to 4 outputs per device, add ±25mA for each additional output.

4.2 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

		MIN	MAX	UNIT
V _{CC} ⁽¹⁾	Supply voltage	1.5	1.5	
V _I , V _O	Input or output voltage	0	V _{CC}	V
dt/dv	Input rise and fall slew rate			
	AC types, 1.5V to 3V		50	ns
	AC types, 3.6V to 5.5V		20	ns
T _A	Temperature range	-55	125	°C

(1) Unless otherwise specified, all voltages are referenced to ground.

4.3 Thermal Information

THERMAL METRIC		CD74AC251	UNIT
		D (SOIC)	
		16 PINS	
R _{θJA}	Junction-to-ambient thermal resistance ⁽¹⁾	119.9	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

4.4 Electrical Characteristics

SYMBOL	PARAMETER	TEST CONDITIONS		V _{CC} (V)	25°C		-40°C TO 85°C		-55°C TO 125°C		UNIT
		V _I (V)	I _O (mA)		MIN	MAX	MIN	MAX	MIN	MAX	
V _{IH}	High level input voltage	-	-	1.5	1.2	-	1.2	-	1.2	-	V
				3	2.1	-	2.1	-	2.1	-	V
				5.5	3.85	-	3.85	-	3.85	-	V
V _{IL}	Low level input voltage	-	-	1.5	-	0.3	-	0.3	-	0.3	V
				3	-	0.9	-	0.9	-	0.9	V
				5.5	-	1.65	-	1.65	-	1.65	V

SYMBOL	PARAMETER	TEST CONDITIONS		V _{CC} (V)	25°C		-40°C TO 85°C		-55°C TO 125°C		UNIT
		V _I (V)	I _O (mA)		MIN	MAX	MIN	MAX	MIN	MAX	
V _{OH}	High level output voltage	V _{IH} or V _{IL}	-0.05	1.5	1.4	-	1.4	-	1.4	-	V
			-0.05	3	2.9	-	2.9	-	2.9	-	V
			-0.05	4.5	4.4	-	4.4	-	4.4	-	V
			-4	3	2.58	-	2.48	-	2.4	-	V
			-24	4.5	3.94	-	3.8	-	3.7	-	V
			-75 ⁽¹⁾ , ⁽²⁾	5.5	-	-	3.85	-	-	-	V
			-50 ⁽¹⁾ , ⁽²⁾	5.5	-	-	-	-	3.85	-	V
V _{OL}	Low level output voltage	V _{IH} or V _{IL}	0.05	1.5	-	0.1	-	0.1	-	0.1	V
			0.05	3	-	0.1	-	0.1	-	0.1	V
			0.05	4.5	-	0.1	-	0.1	-	0.1	V
			12	3	-	0.36	-	0.44	-	0.5	V
			24	4.5	-	0.36	-	0.44	-	0.5	V
			75 ⁽¹⁾ , ⁽²⁾	5.5	-	-	-	1.65	-	-	V
			50 ⁽¹⁾ , ⁽²⁾	5.5	-	-	-	-	-	1.65	V
I _I	Input leakage current	V _{CC} or GND	-	5.5	-	±0.1	-	±1	-	±1	μA
I _{OZ}	Three-state leakage current	V _{IH} or V _{IL} V _O = V _{CC} or GND	-	5.5	-	±0.5	-	±5	-	±10	μA
I _{CC}	Quiescent supply current MSI	V _{CC} or GND	0	5.5	-	8	-	80	-	160	μA

- (1) Test one output at a time for a 1-second maximum duration. Measurement is made by forcing current and measuring voltage to minimize power dissipation.
- (2) Test verifies a minimum 50Ω transmission-line-drive capability at 85°C, 75Ω at 125°C.

表 4-1. ACT Input Load Table

INPUT	UNIT LOAD
S0, S1, S3	1
OE	1
I ₀ - I ₇	1

注

Unit load is ΔI_{CC} limit specified in DC Electrical Specifications Table, e.g., 2.4mA max at 25°C.

4.5 Switching Characteristics

Input t_r, t_f = 3ns, C_L = 50pF (Worst Case)

SYMBOL	PARAMETER	V _{CC} (V)	-40°C TO 85°C			-55°C TO 125°C			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	
t _{PLH} , t _{PHL}	Propagation delay, data to Y output	1.5	-	-	153	-	-	169	ns
		3.3 ⁽¹⁾	4.9	-	17.2	4.7	-	18.9	ns
		5 ⁽²⁾	3.5	-	12.3	3.4	-	13.5	ns
t _{PLH} , t _{PHL}	Propagation delay, data to Y output	1.5	-	-	169	-	-	186	ns
		3.3	5.4	-	19	5.2	-	20.9	ns
		5	3.8	-	13.5	3.7	-	14.9	ns

Input $t_r, t_f = 3\text{ns}$, $C_L = 50\text{pF}$ (Worst Case)

SYMBOL	PARAMETER	V_{CC} (V)	-40°C TO 85°C			-55°C TO 125°C			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	
t_{PLH}, t_{PHL}	Propagation delay, select to Y output	1.5	-	-	207	-	-	228	ns
		3.3	6.6	-	23.2	6.4	-	25.5	ns
		5	4.7	-	16.5	4.6	-	18.2	ns
t_{PLH}, t_{PHL}	Propagation Delay, Select to $\bar{Y}$ Output	1.5	-	-	223	-	-	245	ns
		3.3	7.1	-	24.9	6.9	-	27.4	ns
		5	5.1	-	17.8	4.9	-	19.6	ns
$t_{PZH}, t_{PZL}, t_{PHZ}, t_{PLZ}$	Propagation delay, output enable and output disable to output	1.5	-	-	155	-	-	169	ns
		3.3	5.2	-	18.7	5.1	-	20.3	ns
		5	3.5	-	12.3	3.4	-	13.5	ns
C_O	Three-state output capacitance	-	-	-	15	-	-	15	pF
C_I	Input capacitance	-	-	-	10	-	-	10	pF
C_{PD} (3)	Power dissipation capacitance	-	-	120	-	-	120	-	pF

- (1) 3.3V Min is at 3.6V, Max is at 3V.
 (2) 5V Min is at 5.5V, Max is at 4.5V.
 (3) C_{PD} is used to determine the dynamic power consumption per device.

注

$P_D = V_{CC}^2 f_i (C_{PD} + C_L)$ where f_i = input frequency, C_L = output load capacitance, V_{CC} = supply voltage.

5 Parameter Measurement Information

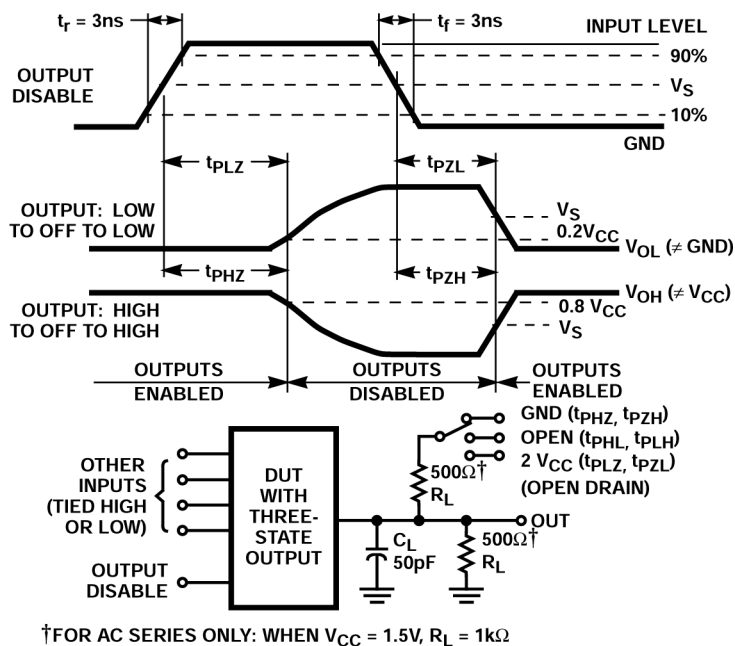


図 5-1. Three-state Propagation Delay Waveforms and Test Circuit

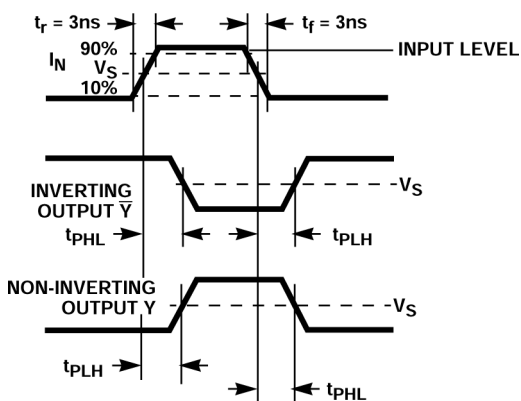
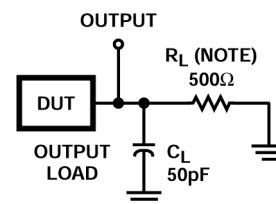


図 5-2. Propagation Delay Times



A. For AC Series Only: When $V_{CC} = 1.5V$, $R_L = 1k\Omega$.

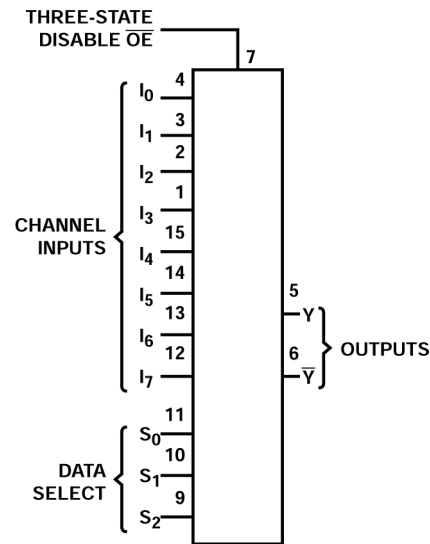
図 5-3. Propagation Delay Times

	CD74AC
Input Level	V_{CC}
Input Switching Voltage, V_S	$0.5 V_{CC}$
Output Switching Voltage, V_S	$0.5 V_{CC}$

† FOR AC SERIES ONLY: WHEN $V_{CC} = 1.5V$, $R_L = 1k\Omega$

6 Detailed Description

6.1 Functional Block Diagram



6.2 Device Functional Modes

表 6-1. Truth Table

INPUTS			OUTPUTS		
SELECT			OUTPUT ENABLE $\overline{OE}$	Y	$\overline{Y}$
S2	S1	S0			
X	X	X	H	Z	Z
L	L	L	L	I_0	$\overline{I_0}$
L	L	H	L	I_1	$\overline{I_1}$
L	H	L	L	I_2	$\overline{I_2}$
L	H	H	L	I_3	$\overline{I_3}$
H	L	L	L	I_4	$\overline{I_4}$
H	L	H	L	I_5	$\overline{I_5}$
H	H	L	L	I_6	$\overline{I_6}$
H	H	H	L	I_7	$\overline{I_7}$

7 Application and Implementation

注

Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes, as well as validating and testing their design implementation to confirm system functionality.

7.1 Power Supply Recommendations

The power supply can be any voltage between the MIN and MAX supply voltage rating located in the [セクション 4.2](#) table.

Each V_{CC} pin should have a good bypass capacitor to prevent power disturbance. For devices with a single supply, 0.1 μf is recommended; if there are multiple V_{CC} pins, then 0.01 μf or 0.022 μf is recommended for each power pin. It is acceptable to parallel multiple bypass caps to reject different frequencies of noise. A 0.1 μf and a 1 μf are commonly used in parallel. The bypass capacitor should be installed as close to the power pin as possible for best results.

7.2 Layout

7.2.1 Layout Guidelines

When using multiple-bit logic devices, inputs should never float.

In many cases, functions or parts of functions of digital logic devices are unused, for example, when only two inputs of a triple-input AND gate are used or only 3 of the 4 buffer gates are used. Such input pins should not be left unconnected because the undefined voltages at the outside connections result in undefined operational states. Layout Diagram specifies the rules that must be observed under all circumstances. All unused inputs of digital logic devices must be connected to a high or low bias to prevent them from floating. The logic level that should be applied to any particular unused input depends on the function of the device. Generally they will be tied to GND or V_{CC} , whichever makes more sense or is most convenient. It is generally acceptable to float outputs, unless the part is a transceiver. If the transceiver has an output enable pin, it will disable the output section of the part when asserted. This will not disable the input section of the I/Os, so they cannot float when disabled.

8 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

8.1 Documentation Support (Analog)

8.1.1 Related Links

PARTS	PRODUCT FOLDER	SAMPLE & BUY	TECHNICAL DOCUMENTS	TOOLS & SOFTWARE	SUPPORT & COMMUNITY
CD74AC251	Click here	Click here	Click here	Click here	Click here

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化しただけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (August 1998) to Revision A (August 2024)	Page
• データシート全体にわたって CD74ACT251 への参照を削除.....	1
• 「パッケージ情報」表、「ピンの機能」表、「ESD 定格」表、「熱に関する情報」表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加.....	1
• Added RθJA value: D = 119.9, all values in °C/W.....	4

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD74AC251M96	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC251M
CD74AC251M96.A	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC251M

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

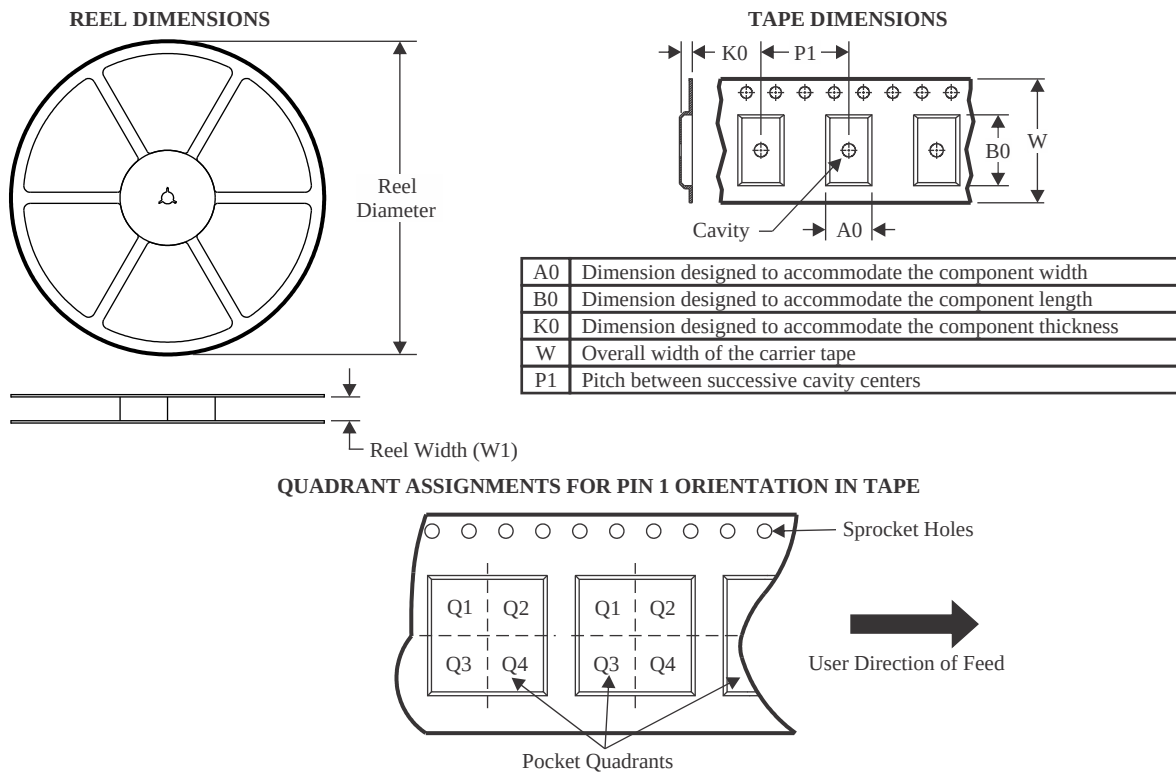
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

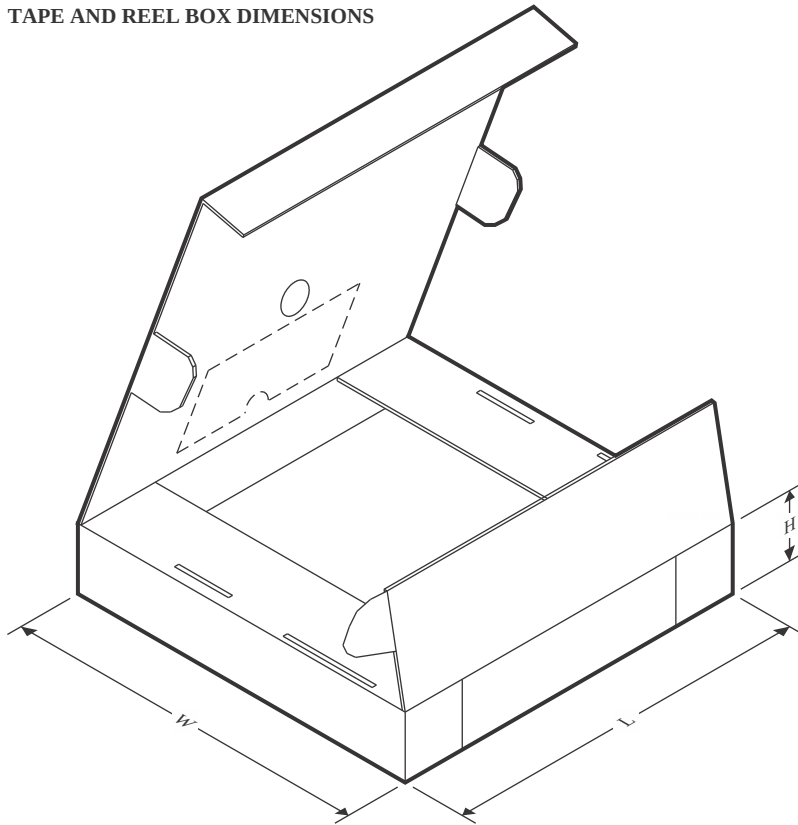
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74AC251M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS

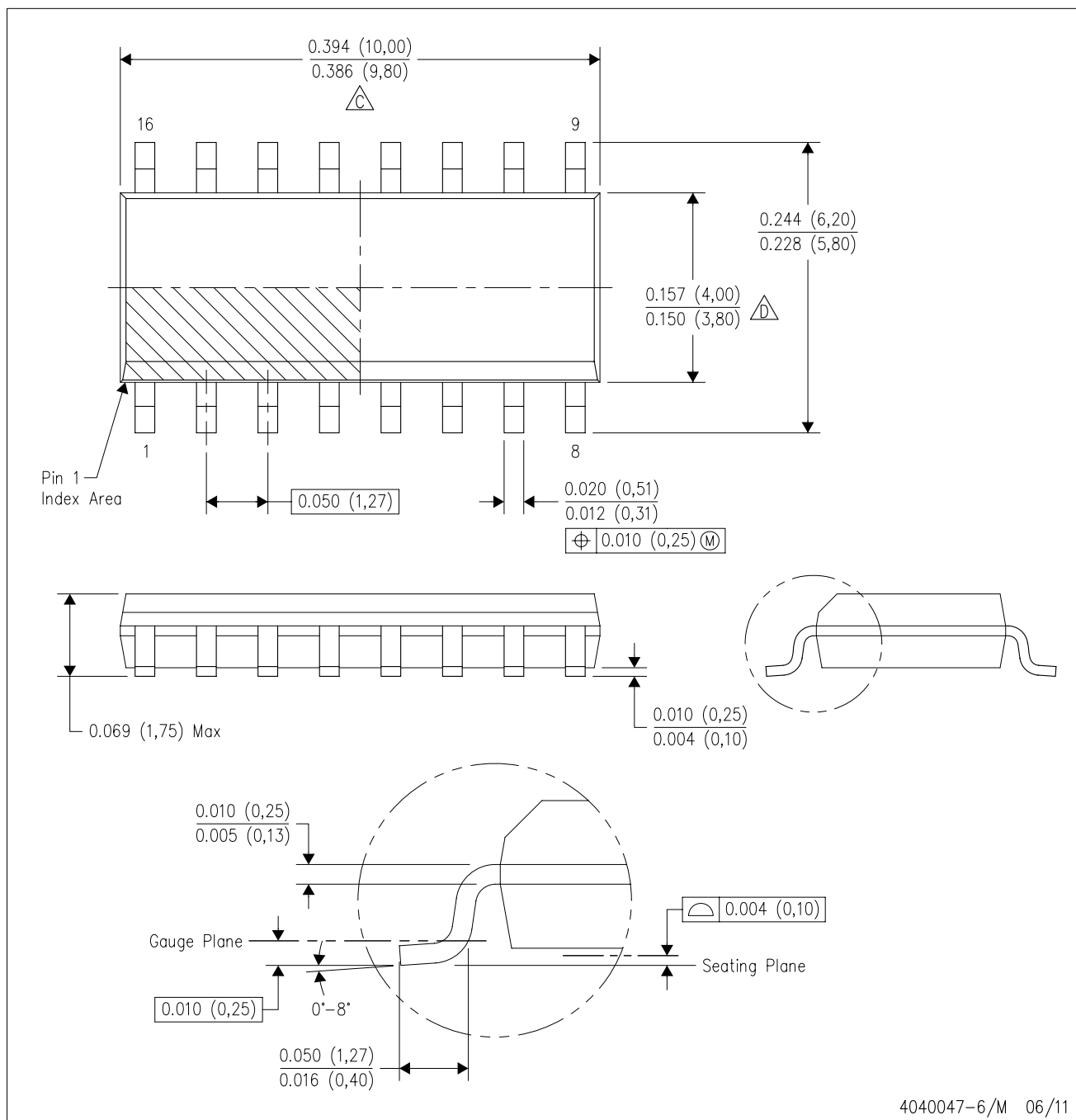


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74AC251M96	SOIC	D	16	2500	353.0	353.0	32.0

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



NOTES:

- A. All linear dimensions are in inches (millimeters).
- B. This drawing is subject to change without notice.
- $\triangle C$ Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
- $\triangle D$ Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
- E. Reference JEDEC MS-012 variation AC.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月