# CDx4AC283、CDx4ACT283 高速桁上げ 4 ビット バイナリ全加算器

## 1 特長

- バッファ付き入力
- MIL-STD-883、Method 3015 の 2kV を超える ESD 保護
- SCR ラッチアップ耐性の高い CMOS プロセスと回路設計
- 消費電力を大幅に低減した、バイポーラ FAST ™/AS/S の速度
- 伝搬遅延時間の平衡化
- AC タイプは 1.5V～5.5V で動作、電源の 30% での平衡ノイズ耐性を実現
- ±24mA 出力駆動電流
  - 15 個の FAST™ IC にファンアウト
  - 50Ω 伝送ラインを駆動

## 2 概要

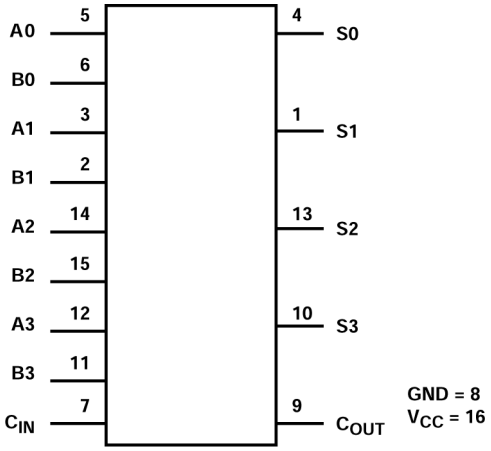
'AC283 および 'ACT283 は、アドバンスト CMOS ロジック技術を利用した高速桁上げ 4 ビット バイナリ加算器です。これらのデバイスは 2 つの 4 ビットのバイナリ番号を追加し、合計が 15 を超えるとキャリーアウト ビットを生成します。

ADD 関数は対称性があるため、すべてのアクティブ High オペランド (正論理) とすべてのアクティブ Low オペランド (負論理) のどちらでもこのデバイスを使用できます。正論理を使用する場合、キャリーインがない場合はキャリーイン入力を Low に接続する必要があります。

**製品情報**

| 部品番号 | パッケージ (1) | パッケージ サイズ(2) | 本体サイズ (3) |
|---|---|---|---|
| CDx4AC283/ CDx4ACT283 | D (SOIC、16) | 9.9 mm × 6mm | 9.9 mm × 3.90mm |
| | N (PDIP、16) | 19.3 mm × 9.4mm | 19.3 mm × 6.35mm |

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。




**機能ブロック図**

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

# 目次

**1 特長**.....1
**2 概要**.....1
**3 ピン構成および機能**.....3
**4 仕様**.....4
4.1 絶対最大定格.....4
4.2 ESD 定格.....4
4.3 推奨動作条件.....4
4.4 熱に関する情報.....4
4.5 DC の電気的仕様.....5
4.6 スイッチング仕様.....7
**5 パラメータ測定情報**.....8
**6 詳細説明**.....9
6.1 概要.....9
6.2 機能ブロック図.....9
**7 アプリケーションと実装**.....10
7.1 電源に関する推奨事項.....10
7.2 レイアウト.....10
**8 デバイスおよびドキュメントのサポート**.....12
8.1 ドキュメントのサポート.....12
8.2 ドキュメントの更新通知を受け取る方法.....12
8.3 サポート・リソース.....12
8.4 商標.....12
8.5 静電気放電に関する注意事項.....12
8.6 用語集.....12
**9 改訂履歴**.....12
**10 メカニカル、パッケージ、および注文情報**.....13


Copyright © 2025 Texas Instruments Incorporated

# 3 ピン構成および機能

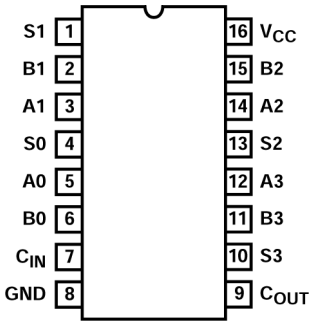



**図 3-1. CD54AC283、CD54ACT283 J パッケージ、CD74AC283、CD74ACT283 D、または N パッケージ、16 ピン CDIP、PDIP、または SOIC (上面図)**

**表 3-1. ピンの機能**

| ピン | | 種類 (1) | 説明 |
|---|---|---|---|
| 名称 | 番号 | | |
| S1 | 1 | O | 合計出力 1 |
| B1 | 2 | I | バイナリ数 B の 1 ビット入力 |
| A1 | 3 | I | バイナリ数 A の 1 ビット入力 |
| S0 | 4 | O | 合計出力 0 |
| A0 | 5 | I | バイナリ数 A の 0 ビット入力 |
| B0 | 6 | I | バイナリ数 B の 0 ビット入力 |
| $C_{IN}$ | 7 | I | キャリー入力 |
| GND | 8 | G | グランド |
| $C_{OUT}$ | 9 | O | キャリー出力 |
| S3 | 10 | O | 合計出力 3 |
| B3 | 11 | I | バイナリ数 B の 3 ビット入力 |
| A3 | 12 | I | バイナリ数 A の 3 ビット入力 |
| S2 | 13 | O | 合計出力 2 |
| A2 | 14 | I | バイナリ数 A の 2 ビット入力 |
| B2 | 15 | I | バイナリ数 B の 2 ビット入力 |
| $V_{CC}$ | 14 | P | $V_{CC}$ |

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

Copyright © 2025 Texas Instruments Incorporated

# 4 仕様

## 4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) [(1)]

| | | | 最小値 | 最大値 | 単位 |
|---|---|---|---|---|---|
| $V_{CC}$ | DC 電源電圧 | | -0.5 | 6 | V |
| $I_{IK}$ | DC 入力ダイオード電流 | $V_I$ < -0.5V または $V_I$ > $V_{CC}$ + 0.5V の場合 | | ±20 | mA |
| $I_{OK}$ | DC 出力ダイオード電流 | $V_O$ < -0.5V または $V_O$ > $V_{CC}$ + 0.5V の場合 | | ±50 | mA |
| $I_O$ | 出力ピンごとの DC 出力ソースまたはシンク電流 | $V_O$ > -0.5V または $V_O$ < $V_{CC}$ + 0.5V の場合 | | ±50 | mA |
| $I_{CC}$ または $I_{GND}$ [(2)] | DC $V_{CC}$ またはグランド電流 | | | ±100 | mA |
| $T_J$ | 接合部温度 (プラスチック パッケージ) | | | 150 | ℃ |
| $T_{stg}$ | 保存温度 | | -65 | 150 | ℃ |

(1) 「絶対最大定格」に記載のストレスを上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これは、ストレス定格のみを示すものであり、これらの条件やこの仕様の動作条件に示された値を超える他の条件で、本デバイスが機能することを意味するものではありません。
(2) デバイスごとに最大 4 つの出力に対して、出力を追加するごとに ±25mA を追加します。

## 4.2 ESD 定格

| | | | 値 | 単位 |
|---|---|---|---|---|
| $V_{(ESD)}$ | 静電放電 | 人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 ([(1)]) | ±2000 | V |

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

## 4.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

| | | 最小値 | 最大値 | 単位 |
|---|---|---|---|---|
| $V_{CC}$ [(1)] | 電源電圧範囲 | | | V |
| | AC のタイプ | 1.5 | 5.5 | |
| | ACT のタイプ | 4.5 | 5.5 | |
| $V_I$、$V_O$ | DC 入力電圧または出力電圧 | 0 | $V_{CC}$ | V |
| dt/dv | 入力の立ち上がりおよび立ち下がりスルーレート | | | ns (最大値) |
| | AC タイプ、1.5V～3V | | ±50 | |
| | AC タイプ、3.6V～5.5V | | ±20 | |
| | ACT タイプ、4.5V～5.5V | | ±10 | |
| $T_A$ | 温度範囲 | -55 | 125 | ℃ |

(1) 特に記述のない限り、すべての電圧はグランドを基準とします。

## 4.4 熱に関する情報

| 熱評価基準[(1)] | | D (SOIC) | N (PDIP) | 単位 |
|---|---|---|---|---|
| | | 16 ピン | 16 ピン | |
| $R_{\theta JA}$ | 接合部から周囲への熱抵抗 | 73 | 67 | ℃/W |

(1) パッケージの熱インピーダンスは、JESD 51 に従って計算しています。


Copyright © 2025 Texas Instruments Incorporated

## 4.5 DC の電気的仕様

| 記号 | パラメータ | テスト条件 | | $V_{CC}$ (V) | 25°C | | -40°C～85°C | | -55°C～125°C | | 単位 |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | $V_I$ (V) | $I_O$ (mA) | | 最小値 | 最大値 | 最小値 | 最大値 | 最小値 | 最大値 | |
| | **AC タイプ** | | | | | | | | | | |
| $V_{IH}$ | High レベル入力電圧 | - | - | 1.5 | 1.2 | - | 1.2 | - | 1.2 | - | V |
| | | | | 3 | 2.1 | - | 2.1 | - | 2.1 | - | V |
| | | | | 5.5 | 3.85 | - | 3.85 | - | 3.85 | - | V |
| $V_{IL}$ | Low レベル入力電圧 | - | - | 1.5 | - | 0.3 | - | 0.3 | - | 0.3 | V |
| | | | | 3 | - | 0.9 | - | 0.9 | - | 0.9 | V |
| | | | | 5.5 | - | 1.65 | - | 1.65 | - | 1.65 | V |
| $V_{OH}$ | High レベル出力電圧 | $V_{IH}$ または $V_{IL}$ | -0.05 | 1.5 | 1.4 | - | 1.4 | - | 1.4 | - | V |
| | | | -0.05 | 3 | 2.9 | - | 2.9 | - | 2.9 | - | V |
| | | | -0.05 | 4.5 | 4.4 | - | 4.4 | - | 4.4 | - | V |
| | | | -4 | 3 | 2.58 | - | 2.48 | - | 2.4 | - | V |
| | | | -24 | 4.5 | 3.94 | - | 3.8 | - | 3.7 | - | V |
| | | | -75[(1)、(2)] | 5.5 | - | - | 3.85 | - | - | - | V |
| | | | -50[(1)、(2)] | 5.5 | - | - | - | - | 3.85 | - | V |
| $V_{OL}$ | Low レベル出力電圧 | $V_{IH}$ または $V_{IL}$ | 0.05 | 1.5 | - | 0.1 | - | 0.1 | - | 0.1 | V |
| | | | 0.05 | 3 | - | 0.1 | - | 0.1 | - | 0.1 | V |
| | | | 0.05 | 4.5 | - | 0.1 | - | 0.1 | - | 0.1 | V |
| | | | 12 | 3 | - | 0.36 | - | 0.44 | - | 0.5 | V |
| | | | 24 | 4.5 | - | 0.36 | - | 0.44 | - | 0.5 | V |
| | | | 75[(1)、(2)] | 5.5 | - | - | - | 1.65 | - | - | V |
| | | | 50[(1)、(2)] | 5.5 | - | - | - | - | - | 1.65 | V |
| $I_I$ | 入力リーク電流 | $V_{CC}$ または GND | - | 5.5 | - | ±0.1 | - | ±1 | - | ±1 | μA |
| $I_{CC}$ | 静止電源電流 MSI | $V_{CC}$ または GND | 0 | 5.5 | - | 8 | - | 80 | - | 160 | μA |
| | **ACT タイプ** | | | | | | | | | | |
| $V_{IH}$ | High レベル入力電圧 | - | - | 4.5～5.5 | 2 | - | 2 | - | 2 | - | V |
| $V_{IL}$ | Low レベル入力電圧 | - | - | 4.5～5.5 | - | 0.8 | - | 0.8 | - | 0.8 | V |
| $V_{OH}$ | High レベル出力電圧 | $V_{IH}$ または $V_{IL}$ | -0.05 | 4.5 | 4.4 | - | 4.4 | - | 4.4 | - | V |
| | | | -24 | 4.5 | 3.94 | - | 3.8 | - | 3.7 | - | V |
| | | | -75[(1)、(2)] | 5.5 | - | - | 3.85 | - | - | - | V |
| | | | -50[(1)、(2)] | 5.5 | - | - | - | - | 3.85 | - | V |
| $V_{OL}$ | Low レベル出力電圧 | $V_{IH}$ または $V_{IL}$ | 0.05 | 4.5 | - | 0.1 | - | 0.1 | - | 0.1 | V |
| | | | 24 | 4.5 | - | 0.36 | - | 0.44 | - | 0.5 | V |
| | | | 75[(1)、(2)] | 5.5 | - | - | - | 1.65 | - | - | V |
| | | | 50[(1)、(2)] | 5.5 | - | - | - | - | - | 1.65 | V |
| $I_I$ | 入力リーク電流 | $V_{CC}$ または GND | - | 5.5 | - | ±0.1 | - | ±1 | - | ±1 | μA |
| $I_{CC}$ | 静止電源電流 MSI | $V_{CC}$ または GND | 0 | 5.5 | - | 8 | - | 80 | - | 160 | μA |

Copyright © 2025 Texas Instruments Incorporated

| 記号 | パラメータ | テスト条件 | | $V_{CC}$ (V) | 25°C | | -40°C～85°C | | -55°C～125°C | | 単位 |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | $V_I$ (V) | $I_O$ (mA) | | 最小値 | 最大値 | 最小値 | 最大値 | 最小値 | 最大値 | |
| $\Delta I_{CC}$ | 入力ピンごとの追加電源電流 TTL 入力が High 1 単位負荷 | $V_{CC}$ -2.1 | - | 4.5～5.5 | - | 2.4 | - | 2.8 | - | 3 | mA |

(1) 一度に 1 つの出力をテストし、持続時間が 1 秒を超えないようにします。測定は、電流を強制的に供給し、電圧を測定して消費電力を最小限に抑えます。
(2) このテストでは、85°C で最小 50Ω 伝送ライン駆動能力、125°C で 75Ω 伝送ライン駆動能力を検証します。

**表 4-1. ACT 入力負荷表**

| 入力 | 単位負荷 |
|---|---|
| A0、B0、A2、B2 | 1.66 |
| A1、B1 | 1.9 |
| A3、B3 | 1.4 |
| $C_{IN}$ | 1.1 |

注

単位負荷は、DC 電気的特性表に規定されている $\Delta I_{CC}$ 制限値 (たとえば 25°C で最大 2.4mA) です。


Copyright © 2025 Texas Instruments Incorporated

## 4.6 スイッチング仕様

入力 $t_r$、$t_f$ = 3ns、$C_L$ = 50pF (ワースト ケース)

| パラメータ | 記号 | $V_{CC}$ (V) | -40°C～85°C | | | -55°C～125°C | | | 単位 |
|---|---|---|---|---|---|---|---|---|---|
| | | | 最小値 | 標準値 | 最大値 | 最小値 | 標準値 | 最大値 | |
| **AC タイプ** | | | | | | | | | |
| 伝搬遅延、An、または Bn から $C_{OUT}$ へ<br>$C_{IN}$ から Sn へ<br>$C_{IN}$ から $C_{OUT}$ へ | $t_{PLH}$、$t_{PHL}$ | 1.5 | - | - | 199 | - | - | 219 | ns |
| | | 3.3[(1)] | 6.3 | - | 22.4 | 6.2 | - | 24.6 | ns |
| | | 5[(2)] | 4.5 | - | 16 | 4.4 | - | 17.6 | ns |
| 伝搬遅延、An、または Bn から Sn へ | $t_{PLH}$、$t_{PHL}$ | 1.5 | - | - | 207 | - | - | 228 | ns |
| | | 3.3 | 6.6 | - | 23.2 | 6.4 | - | 25.5 | ns |
| | | 5 | 4.7 | - | 16.5 | 4.6 | - | 18.2 | ns |
| 入力容量 | $C_I$ | - | - | - | 10 | - | - | 10 | pF |
| 電力散逸容量 | $C_{PD}$ [(3)] | - | - | 120 | - | - | 120 | - | pF |
| **ACT タイプ** | | | | | | | | | |
| 伝搬遅延、An、または Bn から $C_{OUT}$ へ<br>$C_{IN}$ から Sn へ<br>$C_{IN}$ から $C_{OUT}$ へ | $t_{PLH}$、$t_{PHL}$ | 5[(2)] | 4.5 | - | 16 | 2.7 | - | 17.6 | ns |
| 伝搬遅延、An、または Bn から Sn へ | $t_{PLH}$、$t_{PHL}$ | 5 | 4.7 | - | 16.5 | 3.3 | - | 18.2 | ns |
| 入力容量 | $C_I$ | - | - | - | 10 | - | - | 10 | pF |
| 電力散逸容量 | $C_{PD}$ [(3)] | - | - | 120 | - | - | 120 | - | pF |

(1) 3.6V 時の最小値、3V 時の最大値は 3.3V です。
(2) 5.5V 時の最小値、4.5V 時の最大値は 5V です。
(3) $C_{PD}$ を使用して、機能ごとの動的な消費電力を決定します。

---

注

AC: $P_D = V_{CC}{}^2 f_i (C_{PD} + C_L)$

ACT: $P_D = V_{CC}{}^2 f_i (C_{PD} + C_L) + V_{CC} \Delta I_{CC}$。ここで、$f_i$ = 入力周波数、$C_L$ = 出力負荷容量、$V_{CC}$ = 電源電圧。

---

## 5 パラメータ測定情報

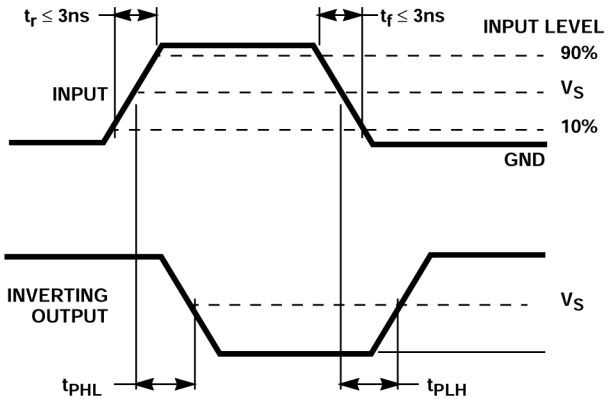
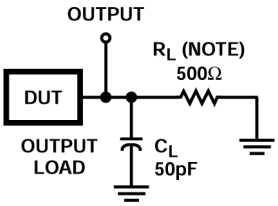



**図 5-1. 伝搬遅延時間**




A. AC シリーズ専用：$V_{CC}$ = 1.5V、$R_L$ = 1kΩ の場合。

**図 5-2. 伝搬遅延時間**

| | AC | ACT |
|---|---|---|
| 入力レベル | $V_{CC}$ | 3V |
| 入力スイッチング電圧、$V_S$ | $0.5V_{CC}$ | 1.5V |
| 出力スイッチング電圧、$V_S$ | $0.5V_{CC}$ | $0.5V_{CC}$ |


Copyright © 2025 Texas Instruments Incorporated

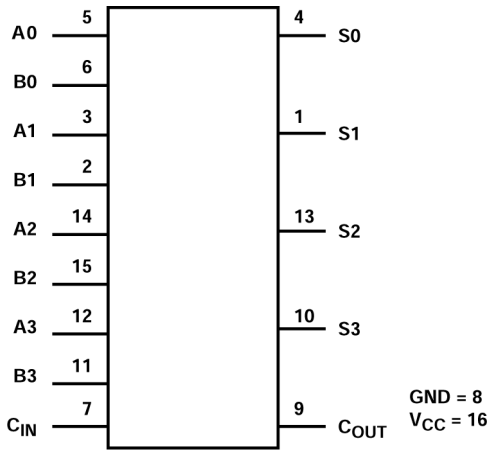
# 6 詳細説明

## 6.1 概要

'AC283 および 'ACT283 は、アドバンスト CMOS ロジック技術を利用した高速桁上げ 4 ビット バイナリ加算器です。これらのデバイスは 2 つの 4 ビットのバイナリ番号を追加し、合計が 15 を超えるとキャリーアウト ビットを生成します。

ADD 関数は対称性があるため、すべてのアクティブ High オペランド (正論理) とすべてのアクティブ Low オペランド (負論理) のどちらでもこのデバイスを使用できます。正論理を使用する場合、キャリーインがない場合はキャリーイン入力を Low に接続する必要があります。

## 6.2 機能ブロック図



# 7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

## 7.1 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 $V_{CC}$ 端子に適切なバイパス コンデンサを配置する必要があります。このデバイスには 0.1μF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1μF と 1μF のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

## 7.2 レイアウト

### *7.2.1 レイアウトのガイドライン*

- バイパス コンデンサの配置
  - デバイスの正電源端子の近くに配置
  - 電気的に短いグランド帰還パスを提供
  - インピーダンスを最小化するため、広いパターンを使用
  - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
  - 8mil～12mil のトレース幅
  - 伝送ラインの影響を最小化する 12cm 未満の長さ
  - 信号トレースの 90° のコーナーは避ける
  - 信号トレースの下に、途切れのないグランド プレーンを使用
  - 信号トレース周辺の領域をグランドでフラッド フィル
  - 12cm を超えるパターン用
    - インピーダンス制御トレースを使用
    - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
    - 分岐を回避。個別に分岐が必要なバッファ信号

### *7.2.2 レイアウト例*

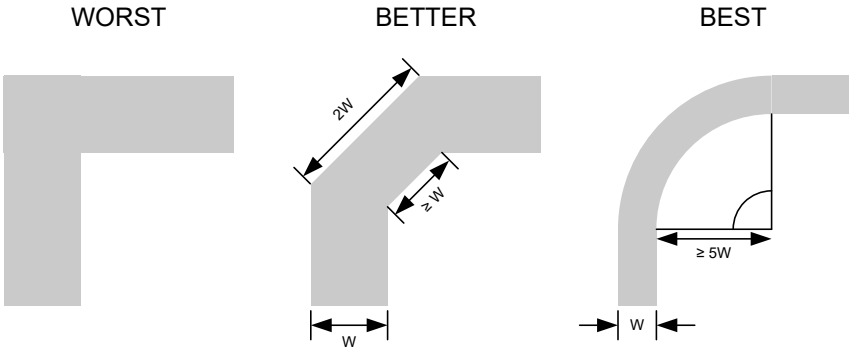



**図 7-1. シグナル インテグリティ向上のためのサンプル パターンのコーナー**


Copyright © 2025 Texas Instruments Incorporated

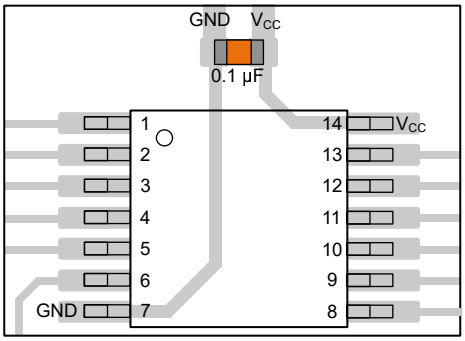



図 7-2. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

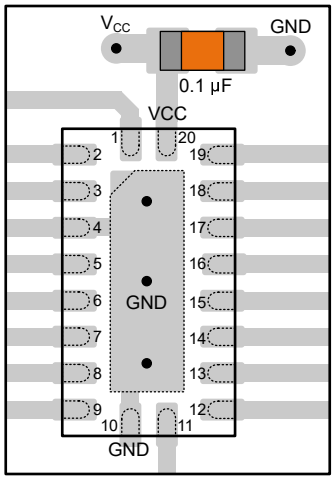



図 7-3. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

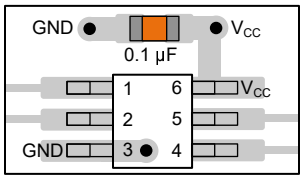



図 7-4. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

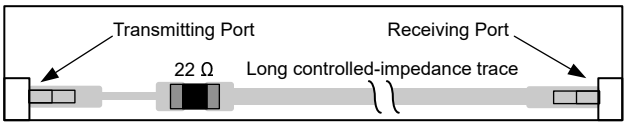



図 7-5. シグナル インテグリティ向上のためのダンピング抵抗の配置例

# 8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

## 8.1 ドキュメントのサポート

### *8.1.1 関連資料*

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と $C_{pd}$ の計算』アプリケーション・レポート
- テキサス・インスツルメンツ、『ロジックを使用した設計』アプリケーション・レポート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・レポート

## 8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

## 8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

## 8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

## 8.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

# 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

**Changes from Revision D (May 2000) to Revision E (January 2025)** **Page**

- 「製品情報」表、「ピンの機能」表、「ESD 定格」表、「熱に関する情報」表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加 ..... 1


Copyright © 2025 Texas Instruments Incorporated

## 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

# 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

## PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| CD54AC283F3A | Active | Production | CDIP (J) \| 16 | 25 \| TUBE | No | SNPB | N/A for Pkg Type | -55 to 125 | CD54AC283F3A |
| CD54AC283F3A.A | Active | Production | CDIP (J) \| 16 | 25 \| TUBE | No | SNPB | N/A for Pkg Type | -55 to 125 | CD54AC283F3A |
| CD54ACT283F3A | Active | Production | CDIP (J) \| 16 | 25 \| TUBE | No | SNPB | N/A for Pkg Type | -55 to 125 | CD54ACT283F3A |
| CD54ACT283F3A.A | Active | Production | CDIP (J) \| 16 | 25 \| TUBE | No | SNPB | N/A for Pkg Type | -55 to 125 | CD54ACT283F3A |
| CD74AC283E | Active | Production | PDIP (N) \| 16 | 25 \| TUBE | Yes | NIPDAU | N/A for Pkg Type | -55 to 125 | CD74AC283E |
| CD74AC283E.A | Active | Production | PDIP (N) \| 16 | 25 \| TUBE | Yes | NIPDAU | N/A for Pkg Type | -55 to 125 | CD74AC283E |
| CD74AC283M | Obsolete | Production | SOIC (D) \| 16 | - | - | Call TI | Call TI | -55 to 125 | AC283M |
| CD74AC283M96 | Active | Production | SOIC (D) \| 16 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -55 to 125 | AC283M |
| CD74AC283M96.A | Active | Production | SOIC (D) \| 16 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -55 to 125 | AC283M |
| CD74ACT283E | Active | Production | PDIP (N) \| 16 | 25 \| TUBE | Yes | NIPDAU | N/A for Pkg Type | -55 to 125 | CD74ACT283E |
| CD74ACT283E.A | Active | Production | PDIP (N) \| 16 | 25 \| TUBE | Yes | NIPDAU | N/A for Pkg Type | -55 to 125 | CD74ACT283E |
| CD74ACT283EE4 | Active | Production | PDIP (N) \| 16 | 25 \| TUBE | Yes | NIPDAU | N/A for Pkg Type | -55 to 125 | CD74ACT283E |
| CD74ACT283M | Last Time Buy | Production | SOIC (D) \| 16 | 40 \| TUBE | Yes | NIPDAU | Level-1-260C-UNLIM | -55 to 125 | ACT283M |
| CD74ACT283M.A | Last Time Buy | Production | SOIC (D) \| 16 | 40 \| TUBE | Yes | NIPDAU | Level-1-260C-UNLIM | -55 to 125 | ACT283M |

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF CD54AC283, CD54ACT283, CD74AC283, CD74ACT283 :**

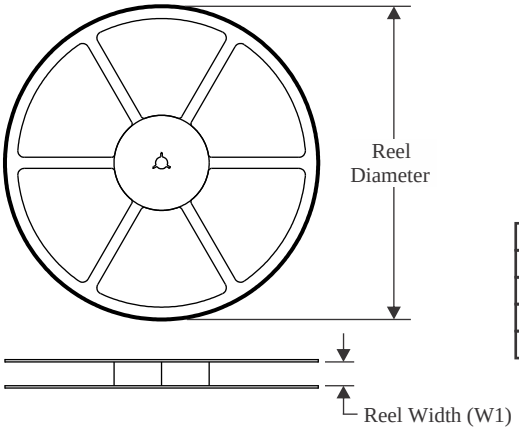
- Catalog : CD74AC283, CD74ACT283
- Military : CD54AC283, CD54ACT283

NOTE: Qualified Version Definitions:

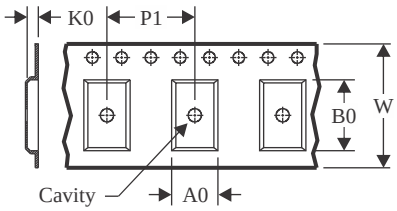
- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

## TAPE AND REEL INFORMATION

**REEL DIMENSIONS**

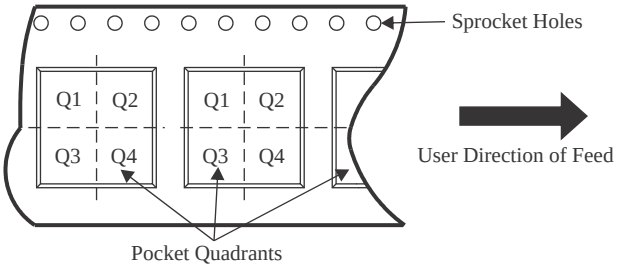



**TAPE DIMENSIONS**




| | |
|---|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

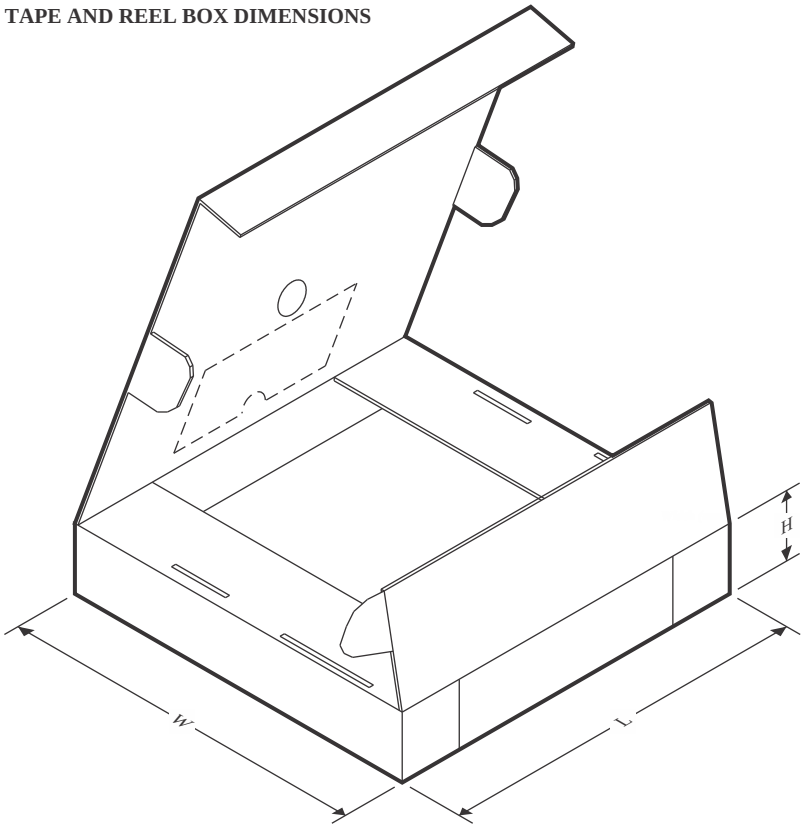
**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| CD74AC283M96 | SOIC | D | 16 | 2500 | 330.0 | 16.4 | 6.5 | 10.3 | 2.1 | 8.0 | 16.0 | Q1 |

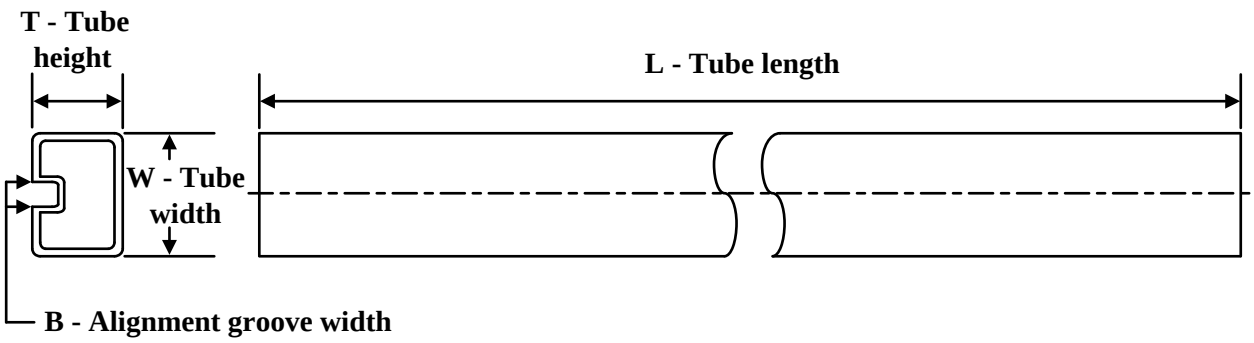
TAPE AND REEL BOX DIMENSIONS




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|---|---|---|---|---|---|---|---|
| CD74AC283M96 | SOIC | D | 16 | 2500 | 353.0 | 353.0 | 32.0 |

## TUBE

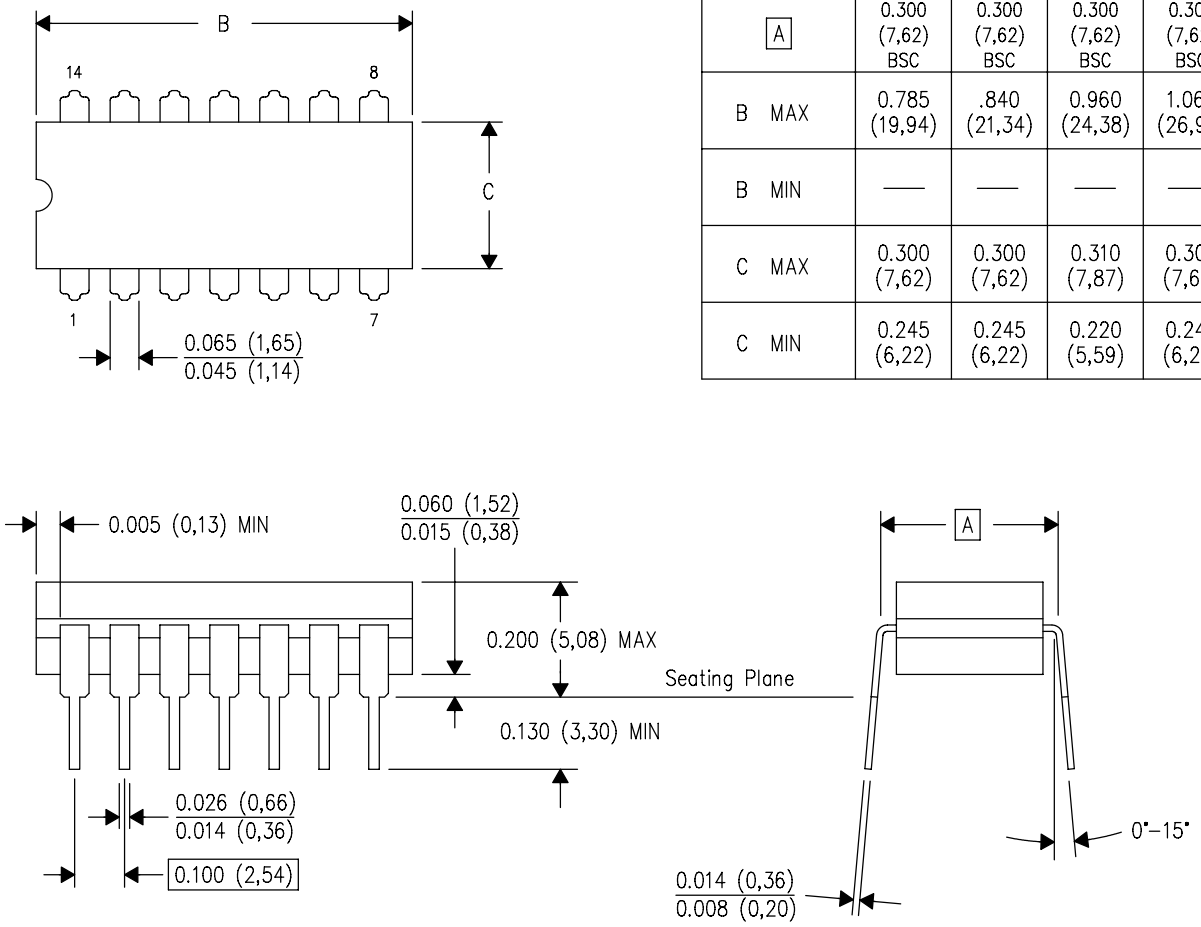



*All dimensions are nominal

| Device | Package Name | Package Type | Pins | SPQ | L (mm) | W (mm) | T (µm) | B (mm) |
|---|---|---|---|---|---|---|---|---|
| CD74AC283E | N | PDIP | 16 | 25 | 506 | 13.97 | 11230 | 4.32 |
| CD74AC283E | N | PDIP | 16 | 25 | 506 | 13.97 | 11230 | 4.32 |
| CD74AC283E.A | N | PDIP | 16 | 25 | 506 | 13.97 | 11230 | 4.32 |
| CD74AC283E.A | N | PDIP | 16 | 25 | 506 | 13.97 | 11230 | 4.32 |
| CD74ACT283E | N | PDIP | 16 | 25 | 506 | 13.97 | 11230 | 4.32 |
| CD74ACT283E | N | PDIP | 16 | 25 | 506 | 13.97 | 11230 | 4.32 |
| CD74ACT283E.A | N | PDIP | 16 | 25 | 506 | 13.97 | 11230 | 4.32 |
| CD74ACT283E.A | N | PDIP | 16 | 25 | 506 | 13.97 | 11230 | 4.32 |
| CD74ACT283EE4 | N | PDIP | 16 | 25 | 506 | 13.97 | 11230 | 4.32 |
| CD74ACT283EE4 | N | PDIP | 16 | 25 | 506 | 13.97 | 11230 | 4.32 |
| CD74ACT283M | D | SOIC | 16 | 40 | 507 | 8 | 3940 | 4.32 |
| CD74ACT283M.A | D | SOIC | 16 | 40 | 507 | 8 | 3940 | 4.32 |

J (R–GDIP–T**) CERAMIC DUAL IN–LINE PACKAGE

14 LEADS SHOWN



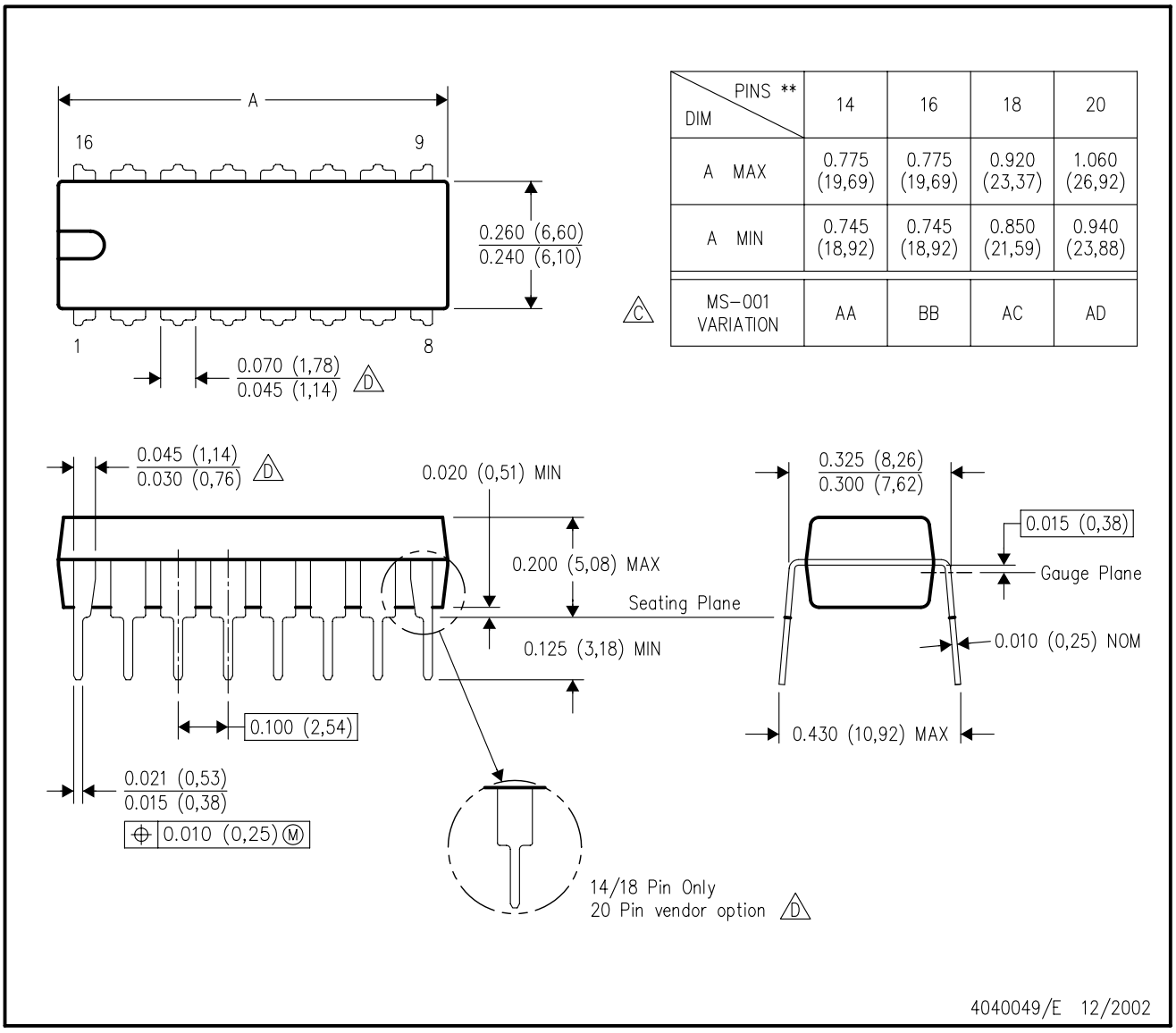

| DIM \ PINS ** | 14 | 16 | 18 | 20 |
|---|---|---|---|---|
| A | 0.300 (7,62) BSC | 0.300 (7,62) BSC | 0.300 (7,62) BSC | 0.300 (7,62) BSC |
| B MAX | 0.785 (19,94) | .840 (21,34) | 0.960 (24,38) | 1.060 (26,92) |
| B MIN | — | — | — | — |
| C MAX | 0.300 (7,62) | 0.300 (7,62) | 0.310 (7,87) | 0.300 (7,62) |
| C MIN | 0.245 (6,22) | 0.245 (6,22) | 0.220 (5,59) | 0.245 (6,22) |

4040083/F 03/03

NOTES:
- A. All linear dimensions are in inches (millimeters).
- B. This drawing is subject to change without notice.
- C. This package is hermetically sealed with a ceramic lid using glass frit.
- D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
- E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.

## N (R–PDIP–T**) PLASTIC DUAL–IN–LINE PACKAGE

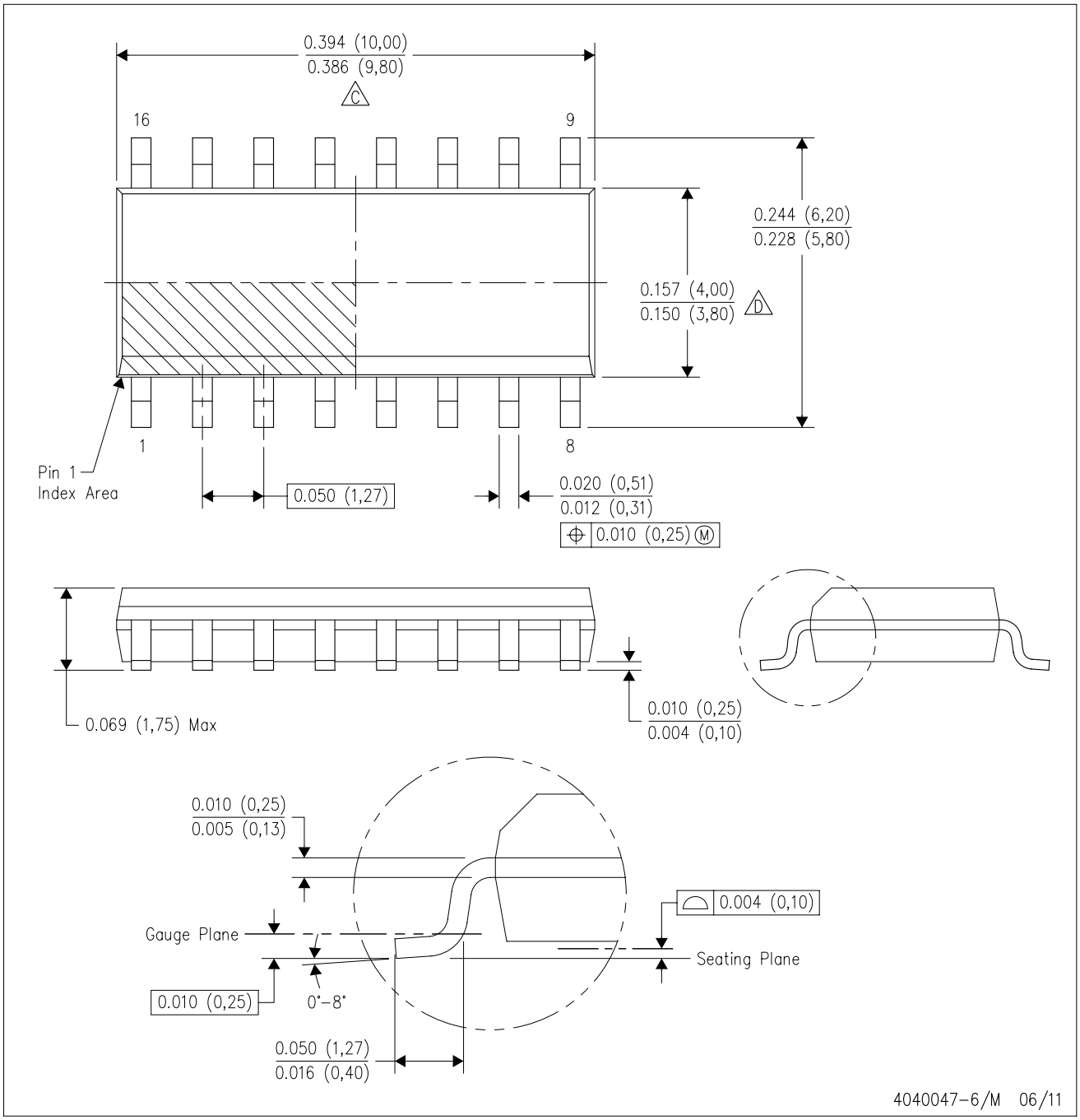
16 PINS SHOWN




| DIM \ PINS ** | 14 | 16 | 18 | 20 |
|---|---|---|---|---|
| A MAX | 0.775 (19,69) | 0.775 (19,69) | 0.920 (23,37) | 1.060 (26,92) |
| A MIN | 0.745 (18,92) | 0.745 (18,92) | 0.850 (21,59) | 0.940 (23,88) |
| MS–001 VARIATION (C) | AA | BB | AC | AD |

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

D (R–PDSO–G16) PLASTIC SMALL OUTLINE




NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

# 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月