



CD74AC374, CD54AC374, CD54ACT374, CD74ACT374, CD74AC534

JAJSU06A – DECEMBER 1998 – REVISED MARCH 2024

CDx4AC374、CDx4ACT374、CD74AC534 オクタール D タイプ フリップフロップ、3 ステート ポジティブ エッジ トリガ

1 特長

- SCR ラッチアップ耐性の高い CMOS プロセスと回路設計
- 消費電力を大幅に低減した、バイポーラ FAST^{*}/AS/S の速度
- 伝搬遅延時間の平衡化
- AC タイプは 1.5V~5.5V で動作し、バランスのとれたノイズ耐性を電源の 30% で実現
- $\pm 24\text{mA}$ 出力駆動電流
 - 15 個の FAST^{*} IC にファンアウト
 - 50 Ω 伝送ラインを駆動

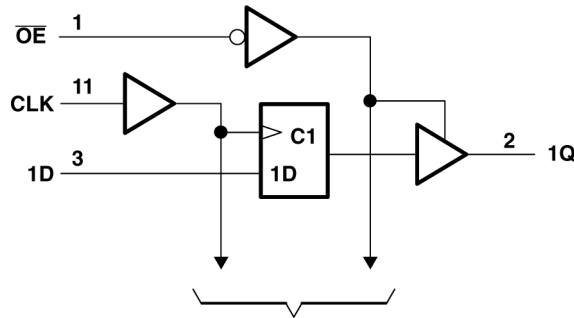
2 概要

'AC374 デバイスの 8 つのフリップ フロップは、D タイプ エッジトリガ フリップ フロップです。クロック (CLK) 入力の立ち上がり遷移で、データ (D) 入力で設定されたロジックレベルに Q 出力が設定されます。

製品情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾	本体サイズ ⁽³⁾
CDx4AC/ACT374, CD74AC534	DW (SOIC, 20)	12.80mm × 10.3mm	12.80mm × 7.50mm
	N (PDIP, 20)	24.33mm × 9.4mm	24.33mm × 6.35mm

- (1) 詳細については、[セクション 10](#) を参照してください。
- (2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



To Seven Other Channels
論理図 (正論理)

* FAST は Fairchild Semiconductor Corp. の登録商標です。



Table of Contents

1 特長	1	6.2 Functional Block Diagram.....	11
2 概要	1	6.3 Device Functional Modes.....	11
3 Pin Configuration and Functions	3	7 Application and Implementation	12
4 Specifications	4	7.1 Typical Application.....	12
4.1 Absolute Maximum Ratings.....	4	7.2 Power Supply Recommendations.....	12
4.2 ESD Ratings.....	4	7.3 Layout.....	13
4.3 Recommended Operating Conditions:.....	4	8 Device and Documentation Support	14
4.4 Thermal Information.....	4	8.1 Documentation Support (Analog).....	14
4.5 Electrical Characteristics: AC Series.....	5	8.2 ドキュメントの更新通知を受け取る方法.....	14
4.6 Electrical Characteristics: ACT Series.....	5	8.3 サポート・リソース.....	14
4.7 Prerequisite for Switching: AC Series.....	6	8.4 Trademarks.....	14
4.8 Switching Characteristics: AC Series.....	7	8.5 静電気放電に関する注意事項.....	14
4.9 Prerequisite for Switching: ACT Series.....	7	8.6 用語集.....	14
4.10 Switching Characteristics: ACT Series.....	7	9 Revision History	14
5 Parameter Measurement Information	9	10 Mechanical, Packaging, and Orderable Information	15
6 Detailed Description	11		
6.1 Overview.....	11		

3 Pin Configuration and Functions

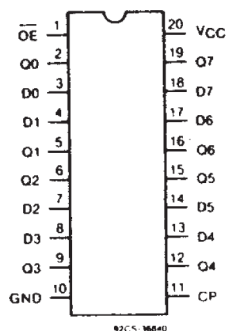


図 3-1. CDx4AC/ACT374, CD74AC534

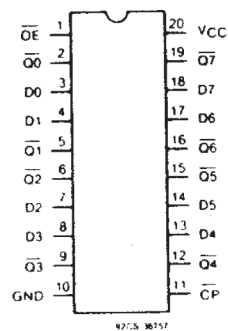


図 3-2. CDx4AC/ACT374, CD74AC534

表 3-1. Pin Functions

PIN		TYPE	DESCRIPTION
NAME	NO.		
OE	1	I	Enable pin
1Q	2	O	Output 1
1D	3	I	Input 1
2D	4	I	Input 2
2Q	5	O	Output 2
3Q	6	O	Output 3
3D	7	I	Input 3
4D	8	I	Input 4
4Q	9	O	Output 4
GND	10	—	Ground pin
CLK	11	I	Clock pin
5Q	12	O	Output 5
5D	13	I	Input 5
6D	14	I	Input 6
6Q	15	O	Output 6
7Q	16	O	Output 7
7D	17	I	Input 7
8D	18	I	Input 8
8Q	19	O	Output 8
VCC	20	—	Power pin

4 Specifications

4.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

			MIN	MAX	UNIT
V _{CC}	Supply-voltage		-0.5	6	V
I _{IK}	Input diode current	(V _I < -0.5 V or V _I > V _{CC} ± 0.5 V)		±20	mA
I _{OK}	Output diode current	V _O < -0.5 V or V _O > V _{CC} + 0.5 V)		±50	mA
I _O	Output source or sink current per output pin	(V _O > -0.5 V or V _O < V _{CC} + 0.5 V)		±50	mA
	DC V _{CC} or ground current (I _{CC} or I _{GND})			±100	mA ⁽²⁾
T _{stg}	Storage temperature		-65	+150	°C

(1) Operation outside the Absolute Maximum Ratings may cause permanent device damage. Absolute Maximum Ratings do not imply functional operation of the device at these or any other conditions beyond those listed under Recommended Operating Conditions. If used outside the Recommended Operating Conditions but within the Absolute Maximum Ratings, the device may not be fully functional, and this may affect device reliability, functionality, performance, and shorten the device lifetime.

(2) For up to 4 outputs per device; add ± 25 mA for each additional output.

4.2 ESD Ratings

			VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-0011	±2000	V

4.3 Recommended Operating Conditions:

For maximum reliability, normal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	MIN	MAX	UNIT
V _{CC} ⁽¹⁾ Supply-Voltage Range: (For T _A = Full Package-Temperature Range)			
AC Types	1.5	5.5	V
ACT Types	4.5	5.5	V
V _I , V _O Input or Output Voltage	0	V _{CC}	V
T _A Operating Temperature	-55	+125	°C
dt/dv Input Rise and Fall Slew Rate			
at 1.5 V to 3 V (AC Types)	0	50	ns/V
at 3.6 V to 5.5 V (AC Types)	0	20	ns/V
at 4.5 V to 5.5 V (ACT Types)	0	10	ns/V

(1) Unless otherwise specified, all voltages are referenced to ground.

4.4 Thermal Information

THERMAL METRIC ⁽¹⁾	CDx4AC/ACT374, CD74AC534		UNIT
	DW (SOIC)	N (PDIP)	
	20 PINS	20 PINS	
R _{θJA} Junction-to-ambient thermal resistance	101.2	50	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

4.5 Electrical Characteristics: AC Series

CHARACTERISTICS		TEST CONDITIONS		V _{CC} (V)	AMBIENT TEMPERATURE (T _A) - °C						UNIT
					+25		-40 to +85		-55 to +125		
		V _I (V)	I _O (mA)		MIN	MAX	MIN	MAX	MIN	MAX	
V _{IH}	High-Level Input Voltage			1.5	1.2	—	1.2	—	1.2	—	V
				3	2.1	—	2.1	—	2.1	—	
				5.5	3.85	—	3.85	—	3.85	—	
V _{IL}	Low-Level Input Voltage			1.5	—	0.3	—	0.3	—	0.3	V
				3	—	0.9	—	0.9	—	0.9	
				5.5	—	1.65	—	1.65	—	1.65	
V _{OH}	High-Level Output Voltage	V _{IH} or V _{IL} ⁽¹⁾ , ⁽²⁾	-0.05	1.5	1.4	—	1.4	—	1.4	—	V
			-0.05	3	2.9	—	2.9	—	2.9	—	
			-0.05	4.5	4.4	—	4.4	—	4.4	—	
			-4	3	2.58	—	2.48	—	2.4	—	
			-24	4.5	3.94	—	3.8	—	3.7	—	
			-75	5.5	—	—	3.85	—	—	—	
			-50	5.5	—	—	—	—	3.85	—	
V _{OL}	Low-Level Output Voltage	V _{IH} or V _{IL} ⁽¹⁾ , ⁽²⁾	0.05	1.5	—	0.1	—	0.1	—	0.1	V
			0.05	3	—	0.1	—	0.1	—	0.1	
			0.05	4.5	—	0.1	—	0.1	—	0.1	
			12	3	—	0.36	—	0.44	—	0.5	
			24	4.5	—	0.36	—	0.44	—	0.5	
			75	5.5	—	—	—	1.65	—	—	
			50	5.5	—	—	—	—	—	1.65	
I _I	Input Leakage Current	V _{CC} or GND		5.5	—	±0.1	—	±1	—	±1	μA
I _{OZ}	3-State Leakage Current	V _{IH} or V _{IL} V _O = V _{CC} or GND		5.5	—	±0.5	—	±5	—	±10	μA
I _{CC}	Quiescent Supply Current, MSI	V _{CC} or GND	0	5.5	—	8	—	80	—	160	μA

(1) Test one output at a time for a 1-second maximum duration. Measurement is made by forcing current and measuring voltage to minimize power dissipation.

(2) Test verifies a minimum 50-ohm transmission-line-drive capability at +85°C, 75 ohms at +125°C.

4.6 Electrical Characteristics: ACT Series

CHARACTERISTICS		TEST CONDITIONS		V _{CC} (V)	AMBIENT TEMPERATURE (T _A) - °C						UNIT
					+25		-40 to +85		-55 to +125		
		V _I (V)	I _O (mA)		MIN	MAX	MIN	MAX	MIN	MAX	
V _{IH}	High-Level Input Voltage			4.5 to 5.5	2	—	2	—	2	—	V
V _{IL}	Low-Level Input Voltage			4.5 to 5.5	—	0.8	—	0.8	—	0.8	V
V _{OH}	High-Level Output Voltage	V _{IH} or V _{IL} ⁽¹⁾ , ⁽²⁾	-0.05	4.5	4.4	—	4.4	—	4.4	—	V
			-24	4.5	3.94	—	3.8	—	3.7	—	
			-75	5.5	—	—	3.85	—	—	—	
			-50	5.5	—	—	—	—	3.85	—	

CHARACTERISTICS		TEST CONDITIONS		V _{CC} (V)	AMBIENT TEMPERATURE (T _A) - °C						UNIT
					+25		-40 to +85		-55 to +125		
		V _I (V)	I _O (mA)		MIN	MAX	MIN	MAX	MIN	MAX	
V _{OL}	Low-Level Output Voltage	V _{IH} or V _{IL} ⁽¹⁾ , ⁽²⁾	0.05	4.5	—	0.1	—	0.1	—	0.1	V
			24	4.5	—	0.36	—	0.44	—	0.5	
			75	5.5	—	—	—	1.65	—	—	
			50	5.5	—	—	—	—	—	1.65	
I _I	Input Leakage Current	V _{CC} or GND		5.5	—	±0.1	—	±1	—	±1	μA
I _{OZ}	3-State Leakage Current	V _{IH} or V _{IL} V _O = V _{CC} or GND		5.5	—	±0.5	—	±5	—	±10	μA
I _{CC}	Quiescent Supply Current, MSI	V _{CC} or GND	0	5.5	—	8	—	80	—	160	μA
ΔI _{CC}	Additional Quiescent Supply Current per Input Pin	V _{CC} -2.1		4.5 to 5.5	—	2.4	—	2.8	—	3	mA
	TTL Inputs High										
	1 Unit Load										

(1) Test one output at a time for a 1-second maximum duration. Measurement is made by forcing current and measuring voltage to minimize power dissipation.

(2) Test verifies a minimum 50-ohm transmission-line-drive capability at +85°C. 75 ohms at + 125°C.

Act Input Loading Table

INPUT	UNIT LOADS ⁽²⁾
D, OE	0.7
CP	1.17

4.7 Prerequisite for Switching: AC Series

CHARACTERISTICS		V _{CC} (V)	AMBIENT TEMPERATURE (T _A) - °C				UNIT
			-40 to +85		-55 to +125		
			MIN	MAX	MIN	MAX	
t _w	Clock Pulse Width	1.5	44	—	50	—	ns
		3.3 ⁽¹⁾	4.9	—	5.6	—	
		5 ⁽²⁾	3.5	—	4	—	
t _{su}	Setup Time Data to Clock	1.5	2	—	2	—	ns
		3.3	2	—	2	—	
		5	2	—	2	—	
t _H	Hold Time Data to Clock	1.5	2	—	2	—	ns
		3.3	2	—	2	—	
		5	2	—	2	—	
f _{MAX}	Maximum Clock Frequency	1.5	11	—	10	—	MHz
		3.3	101	—	89	—	
		5	143	—	125	—	

(1) 3.3 V: min. is @ 3 V

(2) 5 V: min. is @ 4.5 V

4.8 Switching Characteristics: AC Series

$t_r, t_f = 3 \text{ ns}$, $C_L = 50 \text{ pF}$

SYMBOL	CHARACTERISTICS	V _{CC} (V)	AMBIENT TEMPERATURE (T _A) - °C				UNIT
			-40 to +85		-55 to+125		
			MIN	MAX	MIN	MAX	
t _{PLH} , t _{PHL}	Propagation Delays: Clock to Q AC374	1.5	—	123	—	135	ns
		3.3 ⁽¹⁾	3.9	13.7	3.8	15.1	
		5 ⁽²⁾	2.8	9.8	2.7	10.8	
t _{PLH} , t _{PHL}	Clock to $\overline{Q}$ AC534	1.5	—	128	—	141	ns
		3.3	4.1	14.4	4	15.8	
		5	2.9	10.3	2.8	11.3	
t _{PLH} , t _{PZH}	Output Enable to Q, $\overline{Q}$	1.5	—	165	—	181	ns
		3.3	5.6	19.8	5.5	21.8	
		5	3.7	13.2	3.6	14.5	
t _{PLZ} , t _{PHZ}	Output Disable to Q, $\overline{Q}$	1.5	—	165	—	181	ns
		3.3	4.7	16.5	4.5	18.1	
		5	3.7	13.2	3.6	14.5	
C _{PD} ⁽³⁾	Power Dissipation Capacitance	—	67 Typ.		67 Typ.		pF
V _{OHV}	Min. (Valley) V _{OH} During Switching of Other Outputs (Output Under Test Not Switching)	5	4 Typ. @ 25°C				V
	Max. (Peak) V _{OL} During Switching of Other Outputs (Output Under Test Not Switching)	5	1 Typ. @25°C				V
C _I	Input Capacitance	—	—	10	—	10	pF
C _O	3-State Output Capacitance	—	—	15	—	15	pF

(1) 3.3V: min. is @ 3.6 V

(2) 5 V: min. is @ 5.5 V

(3) C_{PD} is used to determine the dynamic power consumption, per flip flop.

4.9 Prerequisite for Switching: ACT Series

SYMBOL	CHARACTERISTICS	V _{CC} (V)	AMBIENT TEMPERATURE (T _A) - °C				UNIT
			-40 to +85		-55 to +125		
			MIN	MAX	MIN	MAX	
t _W	Clock Pulse Width	5 ⁽¹⁾	3.9	—	4.5	—	ns
t _{SU}	Setup Time Data to Clock	5	2	—	2	—	ns
t _H	Hold Time Data to Clock	5	2.6	—	3	—	ns
f _{MAX}	Maximum Clock Frequency	5	125	—	110	—	MHz

(1) 5 V: min. is @ 4.5 V

4.10 Switching Characteristics: ACT Series

over recommended operating free-air temperature range, ACT Series; $t_r, t_f = 3 \text{ ns}$, $C_L = 50 \text{ pF}$ (unless otherwise noted) (see [Load Circuit and Voltage Waveforms](#))

SYMBOL	CHARACTERISTICS	V _{CC} (V)	AMBIENT TEMPERATURE (T _A) - °C				UNIT
			-40 to +85		-55 to +125		
			MIN	MAX	MIN	MAX	
t _{PLH} , t _{PHL}	Propagation Delays: Clock to Q ACT374	5 ⁽¹⁾	2.9	10.2	2.8	11.2	ns
t _{PLH} , t _{PHL}	Clock to Q̅ ACT534	5	3	10.6	2.9	11.7	ns

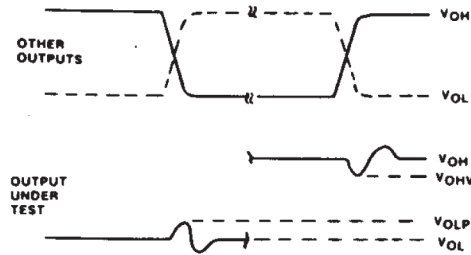
over recommended operating free-air temperature range, ACT Series; $t_r, t_f = 3$ ns, $C_L = 50$ pF (unless otherwise noted) (see [Load Circuit and Voltage Waveforms](#))

SYMBOL	CHARACTERISTICS	V _{CC} (V)	AMBIENT TEMPERATURE (T _A) - °C				UNIT
			-40 to +85		-55 to +125		
			MIN	MAX	MIN	MAX	
t _{PLZ} , t _{PHZ} , t _{PZL} , t _{PZH}	Output Enable and Disable to Q ACT374	5	3.7	13.2	3.6	14.5	ns
t _{PLZ} , t _{PHZ} , t _{PZL} , t _{PZH}	Output Enable and Disable to Q̄ ACT534	5	3.7	13.2	3.6	14.5	ns
C _{PD} ⁽²⁾	Power Dissipation Capacitance	—	67 Typ.		67 Typ.		pF
V _{OHV}	Min. (Valley) V _{OH} During Switching of Other Outputs (Output Under Test Not Switching)	5	4 Typ. @ 25°C				V
V _{OLP}	Max. (Peak) V _{OL} During Switching of Other Outputs (Output Under Test Not Switching)	5	1 Typ. @25°C				V
C _I	Input Capacitance	—	—	10	—	10	pF
C _O	3-State Output Capacitance	—	—	15	—	15	pF

(1) 5V: min. is @ 5.5 V

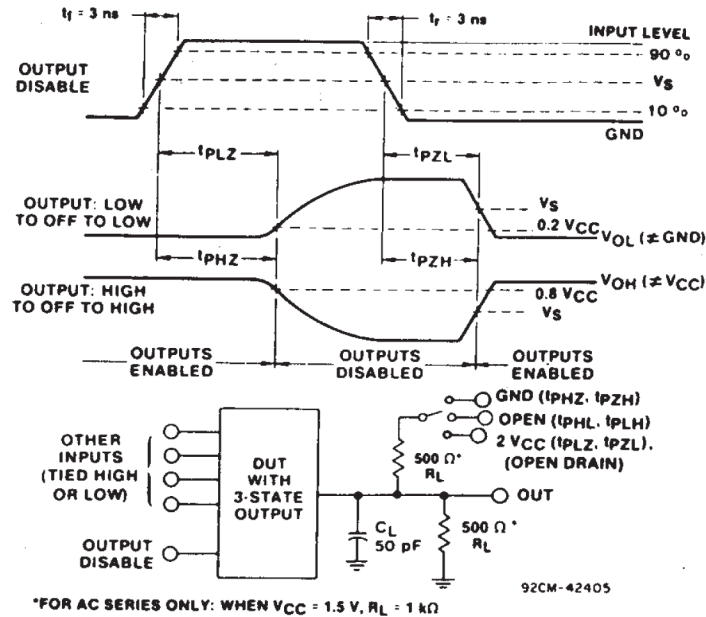
(2) C_{PD} is used to determine the dynamic power consumption, per flip flop.

5 Parameter Measurement Information



- A. 1 V_{OHV} AND V_{OLP} ARE MEASURED WITH RESPECT TO A GROUND REFERENCE NEAR THE OUTPUT UNDER TEST.
- B. INPUT PULSES HAVE THE FOLLOWING CHARACTERISTICS: $PRR \leq 1$ MHz, $t_f = 3$ ns, $t_r = 3$ ns, SKEW 1 ns.
- C. R.F. FIXTURE WITH 700-MHz DESIGN RULES REQUIRED. I_C SHOULD BE SOLDERED INTO TEST BOARD AND BYPASSED WITH $0.1 \mu F$ CAPACITOR. SCOPE AND PROBES REQUIRE 700-MHz BANDWIDTH
- D. 92CS-42406

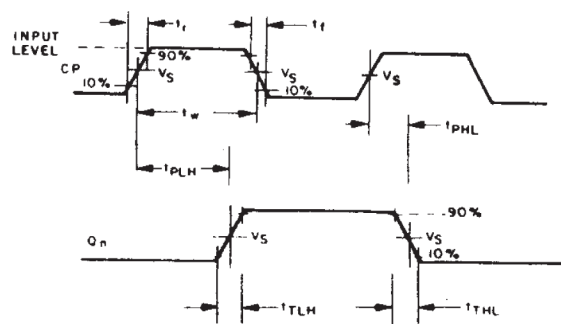
図 5-1. Simultaneous Switching Transient Waveforms.



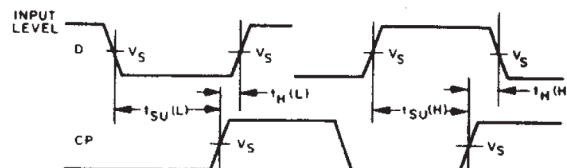
*FOR AC SERIES ONLY: WHEN $V_{CC} = 1.5$ V, $R_L = 1$ k Ω

*For AC series only: When $V_{CC} = 1.5$ V, $R_L = 1$ k Ω

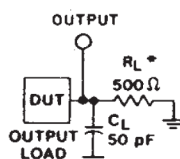
図 5-2. Three-state Propagation Delay Waveforms and Test Circuit.



92CS-38404R1



92CS-36954R1



*FOR AC SERIES ONLY: WHEN
 $V_{CC} = 1.5\text{ V}$, $R_L = 1\text{ k}\Omega$

92CS-42389

図 5-3. Propagation Delay Times and Test Circuit.

	CDx4AC	CDx4ACT
Input Level	V_{CC}	3 V
Input Switching Voltage, V_S	$0.5 V_{CC}$	1.5 V
Output Switching Voltage, V_S	$0.5 V_{CC}$	$0.5 V_{CC}$

6 Detailed Description

6.1 Overview

The eight flip-flops of the 'AC374 devices are D-type edge-triggered flip-flops. On the positive transition of the clock (CLK) input, the Q outputs are set to the logic levels set up at the data (D) inputs.

A buffered output-enable ($\overline{OE}$) input can be used to place the eight outputs in either a normal logic state (high or low logic levels) or the high-impedance state. In the high-impedance state, the outputs neither load nor drive the bus lines significantly. The high-impedance state and the increased drive provide the capability to drive bus lines in bus-organized systems without need for interface or pullup components.

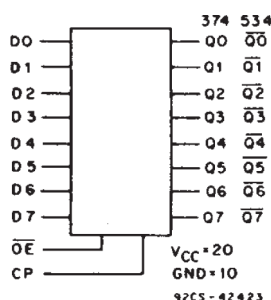
$\overline{OE}$ does not affect internal operations of the flip-flop. Old data can be retained or new data can be entered while the outputs are in the high-impedance state.

The RCA-CD54/74AC374 and CD54/74AC534 and the CD54/74ACT374 and CD54/74ACT534 octal D-type, 3-state, positive-edge triggered flip-flops use the RCA ADVANCED CMOS technology. The eight flip-flops enter data into their registers on the LOW-to-HIGH transition of the clock (CP). The Output Enable ($\overline{OE}$) controls the 3-state outputs and is independent of the register operation. When the Output Enable ($\overline{OE}$) is HIGH, the outputs are in the high-impedance state. The CD54/74AC/ACT374 and CD54/74AC/ACT534 share the same pin configurations, but the CD54/74AC/ACT374 outputs are non-inverted while the CD54/74AC/ACT534 devices have inverted outputs. (For flow-through pin configurations, see CD54/74AC/ACT564 and CD54/74AC/ACT574.)

The CD74AC/ACT374 and CD74AC/ACT534 are supplied in 20-lead dual-in-line plastic packages (E suffix) and in 20-lead dual-in-line small-outline plastic packages (M suffix). Both package types are operable over the following temperature ranges: Commercial (0 to 70°C); Industrial (-40 to +85°C); and Extended Industrial/Military (-55 to +125°C).

The CD54AC/ACT374 and CD54AC/ACT534, available in chip form (H suffix), are operable over the -55 to +125°C temperature range.

6.2 Functional Block Diagram



6.3 Device Functional Modes

表 6-1. Truth Table

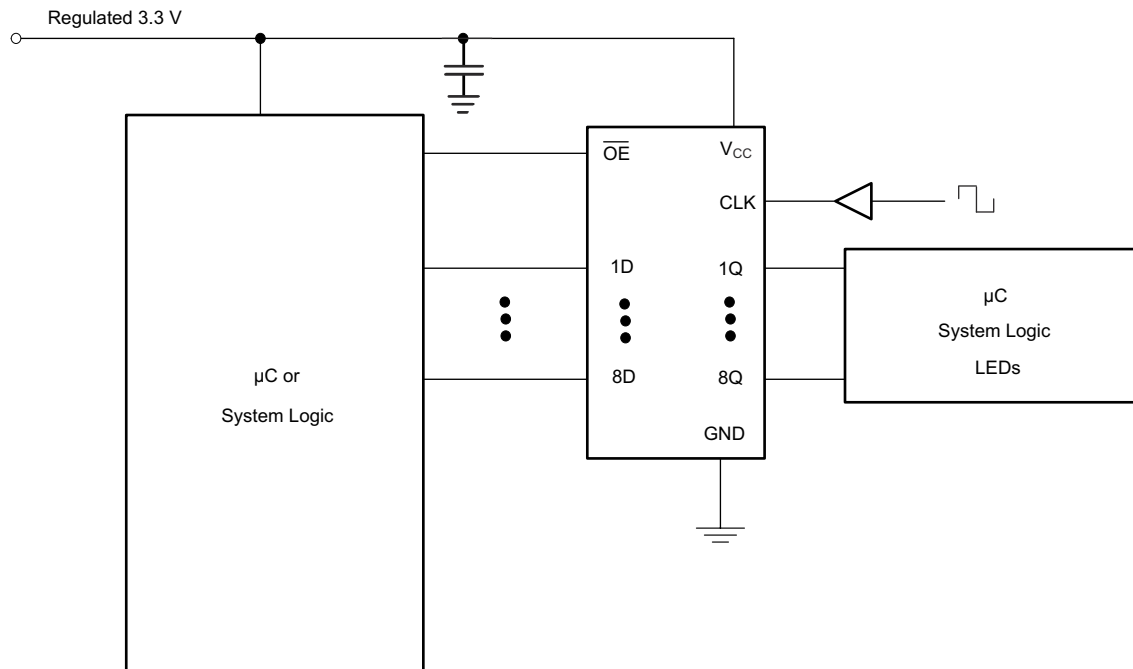
INPUTS			OUTPUTS	
			374	534
$\overline{OE}$	CP	Dn	Qn	$\overline{Qn}$
L		H	H	L
L		L	L	H
L	L	X	QO	QO
H	X	X	Z	Z

7 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 Typical Application



7.1.1 Design Requirements

This device uses CMOS technology and has balanced output drive. Care should be taken to avoid bus contention because it can drive currents that would exceed maximum limits. The high drive will also create fast edges into light loads so routing and load conditions should be considered to prevent ringing.

7.1.2 Detailed Design Procedure

1. Recommended Input conditions
 - Rise time and fall time specs: See ($\Delta t/\Delta V$) in [Recommended Operating Conditions](#) table.
 - Specified high and low levels: See (V_{IH} and V_{IL}) in [Recommended Operating Conditions](#) table.
 - Inputs are overvoltage tolerant allowing them to go as high as 5.5 V at any valid V_{CC} .
2. Recommend output conditions
 - Load currents should not exceed 50 mA per output and 100 mA total for the part.
 - Outputs should not be pulled above V_{CC} .

7.2 Power Supply Recommendations

The power supply can be any voltage between the min and max supply voltage rating located in [セクション 4.3](#).

Each V_{CC} terminal should have a good bypass capacitor to prevent power disturbance. For devices with a single supply, TI recommends 0.1 μF and if there are multiple V_{CC} terminals, then TI recommends .01 μF or .022 μF for each power terminal. It is okay to parallel multiple bypass capacitors to reject different frequencies of noise. A 0.1 μF and 1 μF are commonly used in parallel. The bypass capacitor should be installed as close to the power terminal as possible for best results.

7.3 Layout

7.3.1 Layout Guidelines

When using multiple bit logic devices inputs should not ever float. In many cases, functions or parts of functions of digital logic devices are unused, for example, when only two inputs of a triple-input AND gate are used or only three of the four buffer gates are used. Such input pins should not be left unconnected because the undefined voltages at the outside connections result in undefined operational states. Specified below are the rules that must be observed under all circumstances. All unused inputs of digital logic devices must be connected to a high or low bias to prevent them from floating. The logic level that should be applied to any particular unused input depends on the function of the device. Generally they will be tied to GND or V_{CC} whichever make more sense or is more convenient. Floating outputs is generally acceptable, unless the part is a transceiver. If the transceiver has an output enable pin it will disable the outputs section of the part when asserted. This will not disable the input section of the I.O's so they also cannot float when disabled.

8 Device and Documentation Support

8.1 Documentation Support (Analog)

8.1.1 Related Documentation

The table below lists quick access links. Categories include technical documents, support and community resources, tools and software, and quick access to sample or buy.

表 8-1. Related Links

PARTS	PRODUCT FOLDER	SAMPLE & BUY	TECHNICAL DOCUMENTS	TOOLS & SOFTWARE	SUPPORT & COMMUNITY
CD54AC374	Click here	Click here	Click here	Click here	Click here
CD74AC374	Click here	Click here	Click here	Click here	Click here
CD54ACT374	Click here	Click here	Click here	Click here	Click here
CD74ACT374	Click here	Click here	Click here	Click here	Click here
CD74AC534	Click here	Click here	Click here	Click here	Click here

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (December 1998) to Revision A (March 2024)

Page

- 「製品情報」表、「ピンの機能」表、「ESD 定格」表、「熱に関する情報」表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加 1

-
- Updated R θ JA values: DW = 40 to 101.2, all values in °C/W [4](#)
-

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD54AC374F3A	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54AC374F3A
CD54AC374F3A.A	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54AC374F3A
CD54ACT374F3A	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54ACT374F3A
CD54ACT374F3A.A	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54ACT374F3A
CD74AC374E	Active	Production	PDIP (N) 20	20 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74AC374E
CD74AC374E.A	Active	Production	PDIP (N) 20	20 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74AC374E
CD74AC374M	Obsolete	Production	SOIC (DW) 20	-	-	Call TI	Call TI	-55 to 125	AC374M
CD74AC374M96	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC374M
CD74AC374M96.A	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC374M
CD74AC534M96	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC534M
CD74AC534M96.A	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC534M
CD74ACT374E	Active	Production	PDIP (N) 20	20 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74ACT374E
CD74ACT374E.A	Active	Production	PDIP (N) 20	20 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74ACT374E
CD74ACT374M	Obsolete	Production	SOIC (DW) 20	-	-	Call TI	Call TI	-55 to 125	ACT374M
CD74ACT374M96	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT374M
CD74ACT374M96.A	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT374M

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54AC374, CD54ACT374, CD74AC374, CD74ACT374 :

- Catalog : [CD74AC374](#), [CD74ACT374](#)
- Military : [CD54AC374](#), [CD54ACT374](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74AC374M96	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
CD74AC534M96	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
CD74ACT374M96	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
CD74ACT374M96	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74AC374M96	SOIC	DW	20	2000	356.0	356.0	45.0
CD74AC534M96	SOIC	DW	20	2000	356.0	356.0	45.0
CD74ACT374M96	SOIC	DW	20	2000	356.0	356.0	45.0
CD74ACT374M96	SOIC	DW	20	2000	356.0	356.0	45.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
CD74AC374E	N	PDIP	20	20	506	13.97	11230	4.32
CD74AC374E.A	N	PDIP	20	20	506	13.97	11230	4.32
CD74ACT374E	N	PDIP	20	20	506	13.97	11230	4.32
CD74ACT374E.A	N	PDIP	20	20	506	13.97	11230	4.32

N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



PINS **	14	16	18	20
DIM				
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



14/18 Pin Only
20 Pin vendor option

4040049/E 12/2002

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - The 20 pin end lead shoulder width is a vendor option, either half or full width.



4220724/A 05/2016

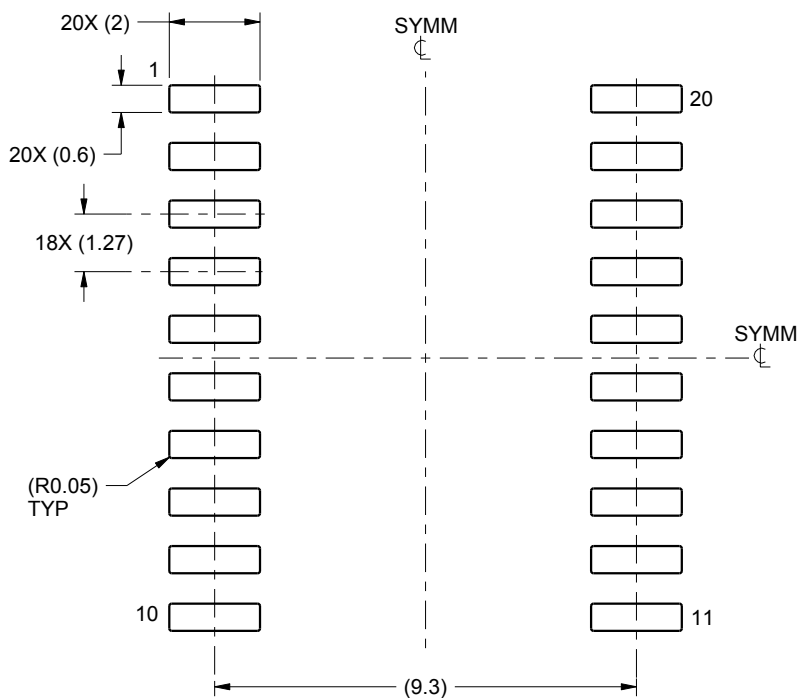
NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

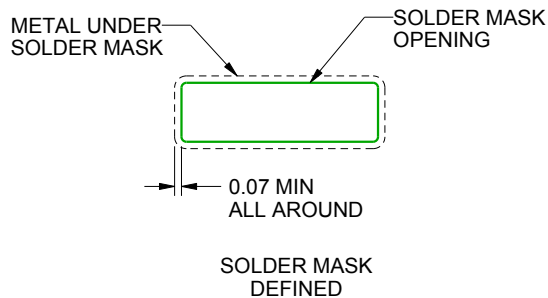
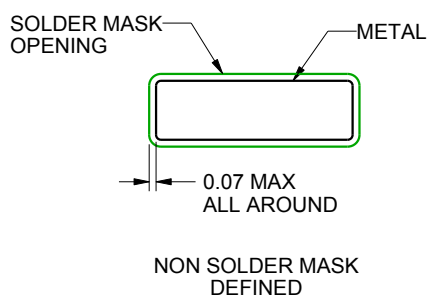
DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

J (R-GDIP-T**)

14 LEADS SHOWN

CERAMIC DUAL IN-LINE PACKAGE



PINS ** DIM	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. This package is hermetically sealed with a ceramic lid using glass frit.
 - D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
 - E. Falls within MIL STD 1835 GDIP1-T14, GDIP1-T16, GDIP1-T18 and GDIP1-T20.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月