CDx4ACT299、CD74AC323、CDx4ACT299 8 入力ユニバーサル シフトと保存レジスタ、コモン パラレル I/O ピン付き

1 特長

入力機能

- バッファ付き入力
- 伝搬遅延時間 (標準値):

  6ns @ V_{CC} = 5V、T_A = 25°C、C_L = 50pF

ファミリーの機能

- SCR ラッチアップ耐性の高い CMOS プロセスと回路設計
- 消費電力を大幅に低減した、バイポーラ FAST*/AS/S の速度
- 伝搬遅延時間の平衡化
- AC タイプは 1.5V～5.5V で動作、電源の 30% での平衡ノイズ耐性を実現
- ±24mA 出力駆動電流
  - 15 個の FAST* IC にファンアウト
  - 50Ω 伝送ラインを駆動

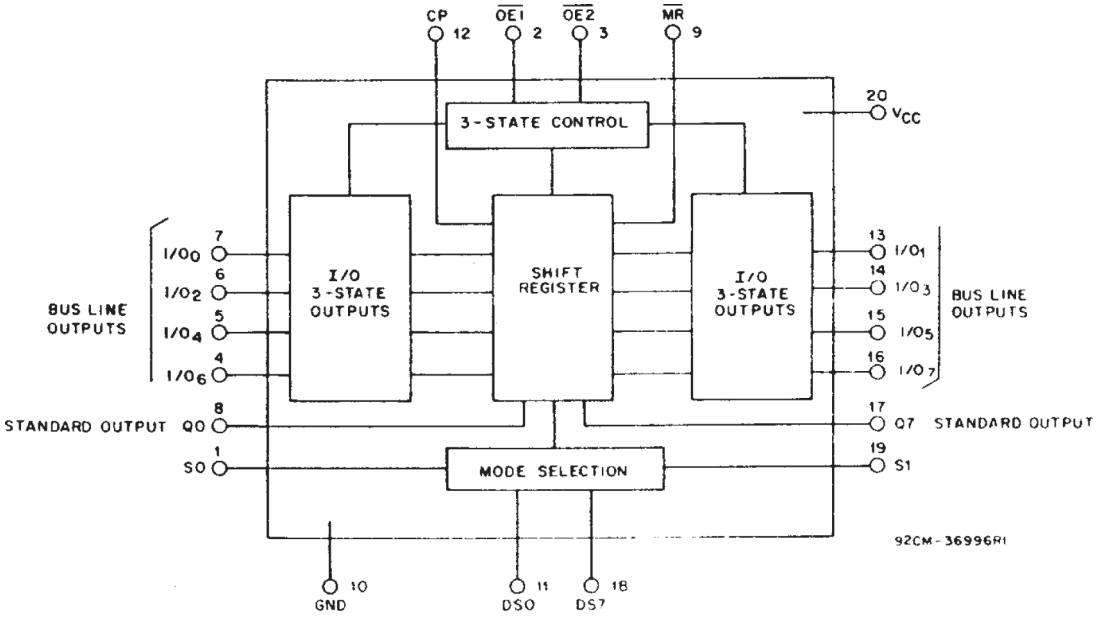
2 概要

RCA CDx4AC299 と CD74AC323 および CDx4ACT299 は、共通パラレル I/O ピンを備えた 3 ステート、8 入力ユニバーサルシフト/ストレージレジスタです。

製品情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (3)
CDx4AC(T)299/ CD74AC323	DW (SOIC、20)	12.80mm × 10.3mm	12.80mm × 7.50mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



機能図

*FAST は Fairchild Semiconductor Corp. の登録商標です。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 概要 ... 1
3 ピン構成および機能 ... 3
4 仕様 ... 4
4.1 絶対最大定格 ... 4
4.2 ESD 定格 ... 4
4.3 推奨動作条件: ... 4
4.4 熱に関する情報 ... 4
4.5 安定している電気特性 (AC シリーズ) ... 5
4.6 静的電気特性 (ACT シリーズ) ... 6
4.7 スイッチング特性 (AC 仕様) ... 7
4.8 スイッチング特性 (ACT シリーズ) ... 7
5 パラメータ測定情報 ... 8
6 詳細説明 ... 9
6.1 概要 ... 9
6.2 機能ブロック図 ... 10
6.3 デバイスの機能モード ... 10
7 アプリケーションと実装 ... 11
7.1 電源に関する推奨事項 ... 11
7.2 レイアウト ... 11
8 デバイスおよびドキュメントのサポート ... 13
8.1 ドキュメントのサポート (アナログ) ... 13
8.2 ドキュメントの更新通知を受け取る方法 ... 13
8.3 サポート リソース ... 13
8.4 商標 ... 13
8.5 静電放電に関する注意事項 ... 13
8.6 用語集 ... 13
9 改訂履歴 ... 13
10 メカニカル、パッケージ、および注文情報 ... 14

Copyright © 2025 Texas Instruments Incorporated

3 ピン構成および機能

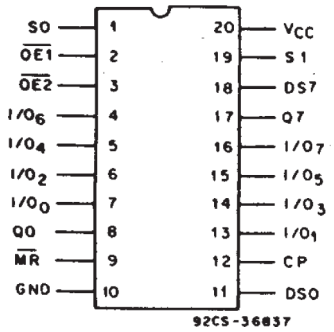


図 3-1. 端子の割り当て

ピンの機能

ピン		TYPE[1]	説明
番号	名称		
1	SO	I	0 モードを選択
2	!OE1	I	出力イネーブル、アクティブ Low
3	!OE2	I	出力イネーブル、アクティブ Low
4	I/O6	O	パラレル データの入力と出力
5	I/O4	O	パラレル データの入力と出力
6	I/O2	O	パラレル データの入力と出力
7	I/O0	O	パラレル データの入力と出力
8	Q0	O	シリアル出力
9	!MR	I	マスタ リセット、アクティブ "Low"
10	GND	-	グランド
11	DSO	I	シリアル データ入力
12	CP	I	クロック、立ち上がりエッジをトリガ
13	I/O1	O	パラレル データの入力と出力
14	I/O3	O	パラレル データの入力と出力
15	I/O5	O	パラレル データの入力と出力
16	I/O7	O	パラレル データの入力と出力
17	Q7	O	シリアル出力
18	DS7	I	シリアル データ入力
19	S1	I	モード選択
20	V_{CC}	-	電源

(1) 信号タイプ:I = 入力、O = 出力、I/O = 入力または出力

Copyright © 2025 Texas Instruments Incorporated

4 仕様

4.1 絶対最大定格

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	7	V
I_{IK}	入力ダイオード電流	(V_I < -0.5V または V_I > V_{CC} ± 0.5V)		±20	mA
I_{OK}	出力ダイオード電流	(V_O < -0.5V または V_O > V_{CC} + 0.5V)		±50	mA
I_O	出力ピンごとの出力ソースまたはシンク電流	(V_O > -0.5V または V_O < V_{CC} + 0.5V)		±50	mA
	V_{CC} またはグランド電流、I_{CC} または I_{GND}			±100	mA (1)
T_A	動作温度範囲		-55	+125	℃
T_{stg}	保存温度		-65	+150	℃

(1) デバイスごとに最大 4 つの出力に対して、追加出力ごとに ±25mA を追加します。

4.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

4.3 推奨動作条件：

最大限の信頼性を確保するため、動作が常に次の範囲内に収まるように、通常の動作条件を選択する必要があります:

		最小値	最大値	単位
V_{CC} (1)	電源電圧: (T_A =パッケージ全体の温度範囲の場合)			
	AC のタイプ	1.5	5.5	V
	ACT のタイプ	4.5	5.5	V
V_I、V_O	入力または出力電圧	0	V_{CC}	V
T_A	動作温度	-55	+125	℃
dt/dv	入力の立ち上がりおよび立ち下がりスルーレート			
	1.5V から 3V (AC タイプ)	0	50	ns/V
	3.6V から 5.5V (AC タイプ)	0	20	ns/V
	4.5V から 5.5V (ACT タイプ)	0	10	ns/V

(1) 特に記述のない限り、すべての電圧はグランドを基準とします。

4.4 熱に関する情報

熱評価基準(1)		CDx4AC(T)299/ CD74AC323	単位
		DW (SOIC、20)	
		20 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	40	℃/W

(1) 従来および最新の熱測定基準の詳細については、アプリケーション レポート『半導体および IC パッケージの熱評価基準』、SPRA953 を参照してください。

Copyright © 2025 Texas Instruments Incorporated

4.5 安定している電気特性 (AC シリーズ)

特性		テスト条件		V_{CC} (V)	周囲温度 (T_A) - °C						単位
					+25		-40 ～ +85		-55～+125		
		V_I (V)	I_O (mA)		最小値	最大値	最小値	最大値	最小値	最大値	
V_{IH}	High レベル入力電圧			1.5	1.2	—	1.2	—	1.2	—	V
				3	2.1	—	2.1	—	2.1	—	
				5.5	3.85	—	3.85	—	3.85	—	
V_{IL}	Low レベル入力電圧			1 5	—	0.3	—	0.3	—	0.3	V
				3	—	0.9	—	0.9	—	0.9	
				5.5	—	1.65	—	1.65	—	1.65	
V_{OH}	High レベル出力電圧	V_{IH} または V_{IL}	-0.05	1.5	1.4	—	1.4	—	1.4	—	V
			-0.05	3	2.9	—	2.9	—	2.9	—	
			-0.05	4.5	4.4	—	4.4	—	4.4	—	
			-4	3	2.58	—	2.48	—	2.4	—	
			-24	4.5	3.94	—	3.8	—	3.7	—	
		(1)、(2)	-75	5.5	—	—	3.85	—	—	—	
			-50	5.5	—	—	—	—	3.85	—	
V_{OL}	Low レベル出力電圧	V_{IH} または V_{IL}	0.05	1.5	—	0.1	—	0.1	—	0.1	V
			0.05	3	—	0.1	—	0.1	—	0.1	
			0.05	4.5	—	0.1	—	0.1	—	0.1	
			12	3	—	0.36	—	0.44	—	0.5	
			24	4.5	—	0.36	—	0.44	—	0.5	
		(1)、(2)	75	5.5	—	—	—	1.65	—	—	
			50	5.5	—	—	—	—	—	1.65	
I_I	入力リーク電流	V_{CC} または GND		5.5	—	±0.1	—	±1	—	±1	μA
I_{OZ}	3 ステージリーク電流	V_{IH} または V_{IL} V_O = V_{CC} または GND		5.5	—	±0.5	—	±5	—	±10	μA
氷	静止電源電流 MSI	V_{CC} または GND	0	5.5	—	8	—	80	—	160	μA

(1) 一度に 1 つの出力をテストし、持続時間が 1 秒を超えないようにします。測定は、電流を強制的に供給し、電圧を測定して消費電力を最小限に抑えます。
(2) このテストでは、+85°C で最小 50Ω 伝送ライン駆動能力、+125°C で 75Ω 伝送ライン駆動能力を検証します。

Copyright © 2025 Texas Instruments Incorporated

4.6 静的電気特性 (ACT シリーズ)

特性		テスト条件		V_{CC} (V)	周囲温度 (T_A) - °C						単位
					+25		-40～+85		-55～+125		
		V_I (V)	I_O (mA)		最小値	最大値	最小値	最大値	最小値	最大値	
V_{IH}	High レベル入力電圧			4.5～5.5	2	—	2	—	2	—	V
V_{IL}	Low レベル入力電圧			4.5～5.5	—	0.8	—	0.8	—	0.8	V
V_{OH}	High レベル出力電圧	V_{IH} または V_{IL}	-0.05	4.5	4.4	—	4.4	—	4.4	—	V
			-24	4.5	3.94	—	3.8	—	3.7	—	
		(1)、(2)	-75	5.5	—	—	3.85	—	—	—	
			-50	5.5	—	—	—	—	3.85	—	
V_{OL}	Low レベル出力電圧	V_{IH} または V_{IL}	0.05	4.5	—	0.1	—	0.1	—	0.1	V
			24	4.5	—	0.36	—	0.44	—	0.5	
		(1)、(2)	75	5.5	—	—	—	1.65	—	—	
			50	5.5	—	—	—	—	—	1.65	
I_I	入力リーク電流	V_{CC} または GND		5.5	—	±0.1	—	±1	—	±1	μA
I_{OZ}	3 ステージリーク電流	V_{IH} または V_{IL} V_O V_{CC} または GND		5.5	—	±0.5	—	±5	—	±10	μA
I_{CC}	静止電源電流 MSI	V_{CC} または GND	0	5.5	—	8	—	80	—	160	μA
	入力ピンごとの追加の静止電源電流	V_{CC}-2.1		4.5～5.5	—	2.4	—	2.8	—	3	mA
ΔI_{CC}	TTL の高い入力										
	1 単位負荷										

(1) 一度に 1 つの出力をテストし、持続時間が 1 秒を超えないようにします。測定は、電流を強制的に供給し、電圧を測定して消費電力を最小限に抑えます。
(2) テストによって、125°C で 75Ω、85°C で最低 50Ω の伝送ライン駆動能力を検証できます。

表 4-1. 入力負荷表を実施する

入力	単位負荷 (1)	
	299	323
S1.S0、$\overline{OE1}$、$\overline{OE2}$	0.83	0.83
L/O_0 - I/O_7、CP、DS0、DS7	0.67	067
$\overline{MR}$	1.33	067

(1) 単位負荷は、安定している特性表に規定されている ΔI_{CC} 制限値 (たとえば 25°C で 2.4mA) です。

Copyright © 2025 Texas Instruments Incorporated

4.7 スイッチング特性 (AC 仕様)

t_r、t_f = 3ns、C_L = 50pF

記号	特性	V_{CC} (V)	周囲温度 (T_A) - °C				単位
			-40～+85		-55～+125		
			最小値	最大値	最小値	最大値	
	伝搬遅延:CP から Q0、Q7	1.5	—	147	—	162	
t_{PLH}		3.3 (1)	4.7	16.5	4.5	18.1	ns
t_{PHL}		5 (2)	3.3	11.7	3.2	12.9	
	CP から (I/O)n	1.5	—	154	—	169	
t_{PLH}		3.3	4.9	17.2	4.7	18.9	ns
t_{PHL}		5	3.5	12.3	3.4	13.5	
	$\overline{MR}$ から Q0、Q7 (299 のみ)	1.5	—	127	—	140	
t_{PLH}		3.3	4	14.3	3.9	15.7	ns
t_{PHL}		5	2.9	10.2	2.8	11.2	
	$\overline{MR}$ から (I/O)n	1.5	—	158	—	174	
t_{PLH}		3.3	5	17.7	4.9	19.5	ns
t_{PHL}		5	3.6	12.6	3.5	13.9	
t_{PZL}		1.5		169		186	
t_{PZH}	イネーブルおよびディセーブル時間	3.3	5.8	20.4	5.6	22.4	ns
t_{PLZ}、t_{PHZ}		5	3.8	13.5	3.7	14.9	
C_{pd} (3)	電力散逸容量	—	280 (標準値)		280 (標準値)		pF
C_I	入力容量	—	—	10	—	10	pF
C_O	3 ステート出力キャパシタンス	—	—	15	—	15	pF

(1) 3.3V:最小値 @ 3.6V
(2) 5V:最小値 @ 5.5V
(3) C_{pd} を使用して、機能ごとの動的な消費電力を決定します。

4.8 スイッチング特性 (ACT シリーズ)

t_r、t_f = 3ns、C_L = 50pF

記号	特性	V_{CC} (V)	周囲温度 (T_A) - °C				単位
			-40～+85		-55～+125		
			最小値	最大値	最小値	最大値	
t_{PLH} t_{PHL}	伝搬遅延:CP から Q0、Q7	5(1)	3.3	11.7	3.2	12.9	ns
t_{PLH} t_{PHL}	CP から (I/O)n	5	3.7	13.2	3.6	14.5	ns
t_{PLH} t_{PHL}	$\overline{MR}$ から Q0、Q7 (299 のみ)	5	3.1	11.1	3.1	12.2	ns
t_{PLH} t_{PHL}	$\overline{MR}$ から (I/O)n	5	4.8	16.9	4.7	18.6	ns
t_{PLZ} t_{PHZ} t_{PZL} t_{PZH}	イネーブルおよびディセーブル時間	5	3.8	13.5	3.7	14.9	ns
C_{PD}§	電力散逸容量	—	280 (標準値)		280 (標準値)		pF
C_I	入力容量	—	—	10	—	10	pF
C_O	3 ステート出力キャパシタンス	—	—	15	—	15	pF

(1) 5V:最小値は @ 5.5V

Copyright © 2025 Texas Instruments Incorporated

5 パラメータ測定情報

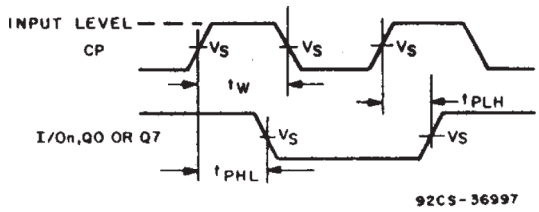


図 5-1. クロックの先決条件および伝搬遅延

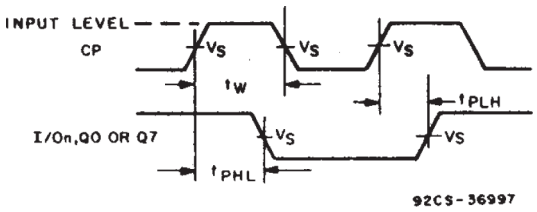


図 5-2. クロックの先決条件および伝搬遅延

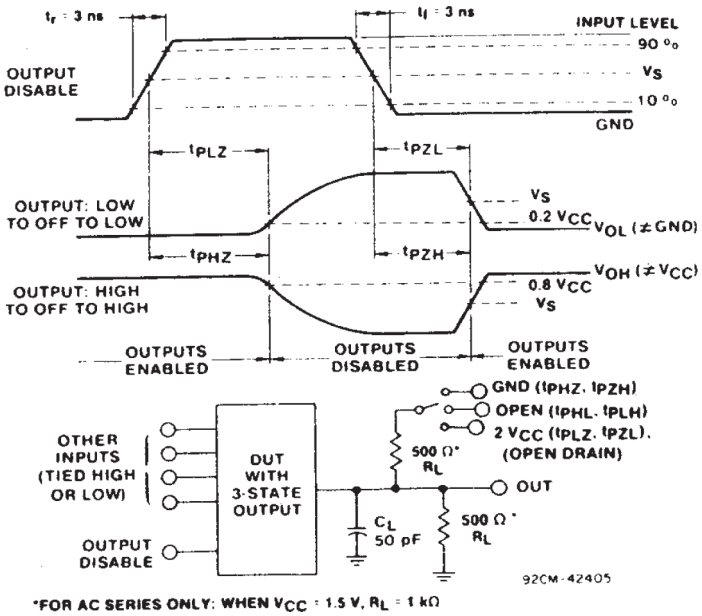


図 5-3. 3 ステート伝搬遅延時間とテスト回路

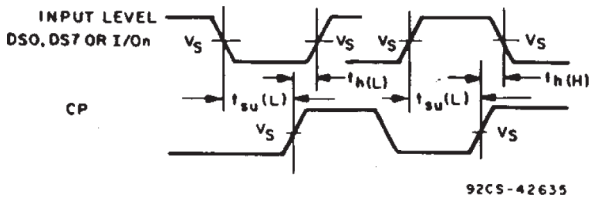


図 5-4. データの前提条件時間

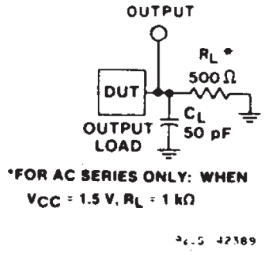


図 5-5. テスト回路

	CD54/74AC	CD54/74ACT
入力レベル	V_{CC}	3 V
入力スイッチング電圧、V_S	$0.5V_{CC}$	1.5 V
出力スイッチング電圧、V_S	$0.5V_{CC}$	$0.5V_{CC}$

Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

RCA CD54/74AC299、CD54/74AC323、CD54/74ACT299 および CD54/74ACT323 は、共通パラレル I/O ピンを備えた 3 ステート、8 入力ユニバーサル シフト/ストレージ レジスタです。これらのデバイスは RCA ADVANCED CMOS テクノロジを使用しています。これらのレジスタには、モード選択 (S0、S1) 表に示すように、2 つの選択入力で制御される 4 つの同期動作モードがあります。モード選択、シリアル データ (DSO、DS7)、およびパラレル データ (I/O_0 - I/O_7) は、クロック (CP) パルスの Low から High への遷移に対してのみ応答します。S0、S1、およびデータ入力は、クロックの正の遷移の前の 1 セットアップ時間の存在する必要があります。

CD54/74AC/ACT299 を使用すると、マスタリ セット ($\overline{MR}$) は非同期アクティブ Low 入力を提供します。$\overline{MR}$ が Low の場合、CD54/74AC/ACT323 の他のすべての入力ステータスに関係なく、レジスタはクリアされます。マスタ リセット ($\overline{MR}$) は、クロック入力と同期してレジスタをクリアします。シリアル出力 (QO) を前のレジスタのシリアル データ (DS7) 入力に接続し、シリアル出力 (Q7) を次のレジスタのシリアル データ (DSO) 入力に接続することで、同じユニットをカスケードしてレジスタを拡張できます。(n x 8) ビットの再循環を実現するには、最後のステージの Q7 を最初のステージの DSO に接続します。

3 ステート入力と出力 (I/O) ポートには、次の 3 つの動作モードがあります:

1. 両方の Output Enable ($\overline{OE1}$ と $\overline{OE2}$) 入力が Low であり、S0 と S1 のどちらか、または両方は Low です。レジスタのデータは 8 つの出力に存在します。
2. S0 と S1 の両方が High のとき、I/O 端子は高インピーダンス状態になり、入力ポートになっているため、$\overline{OE1}$ と $\overline{OE2}$ の状態に関係なく 1 クロック遷移でパラレル データを 8 つのレジスタに読み込まれることができます。
3. 2 つの Output Enable 入力のいずれかを High にすると、I/O 端子が強制的にオフ状態になります。各 I/O 端子は 3 ステート出力と CMOS バッファ入力であることに注意してください。

CD74AC/ACT299 および CD74AC/ACT323 は、20 極のデュアル インライン プラスチック パッケージ (接尾辞 E) と、20 極のデュアル インライン スモールアウトライン プラスチック パッケージ (接尾辞 M) で供給されます。どちらのパッケージタイプも、次の温度範囲で動作しできます: 商用 (0 ～ 70°C)、産業用 (-40 ～ +85°C)、拡張産業/軍事用 (-55 ～ +125°C)。

CD54AC/ACT299 および CD54AC/ACT323 はチップ形式 (接尾辞 H) で使用可能、-55 ～ + 125°C の温度範囲で動作できます。

Copyright © 2025 Texas Instruments Incorporated

6.2 機能ブロック図

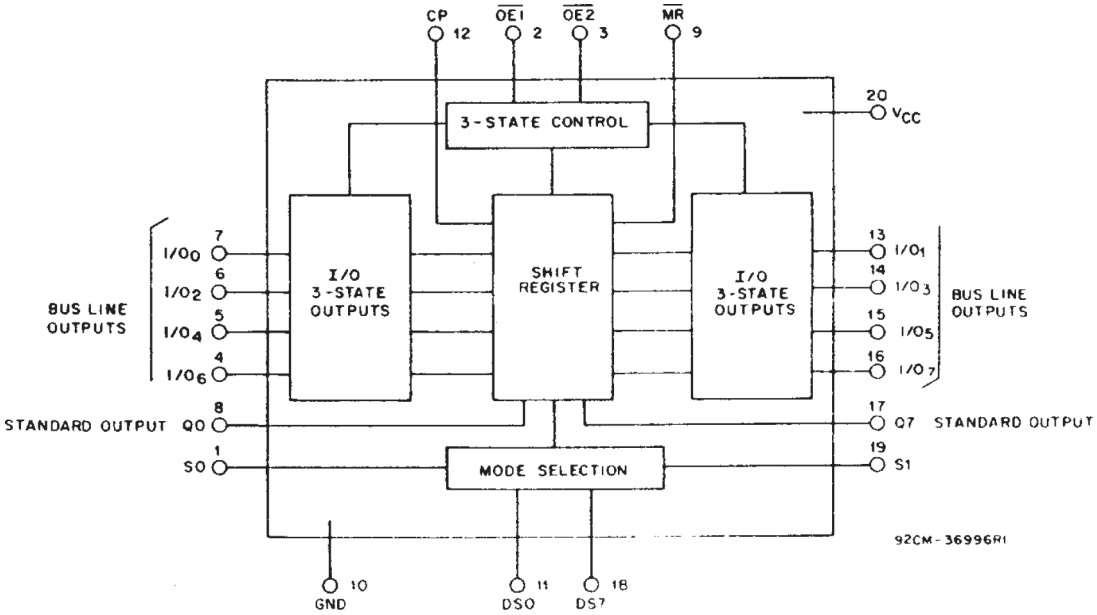


図 6-1. 機能図

6.3 デバイスの機能モード

機能	入力							レジスタ出力				
	$\overline{MR}$	CP	S0	S1	DS0	DS7	I/O_n	Q0	Q1	…	Q6	Q7
リセット (クリア)	L	X(1)	X	X	X	X	X	L	L	…	L	L
右に移行	H	↑	h	l	l	X	X	L	q_0	…	q_5	q_6
	H	↑	h	l	h	X	X	H	q_0	…	q_5	q_6
左に移行	H	↑	l	h	X	l	X	q_1	q_2	…	q_7	L
	H	↑	l	h	X	h	X	q_1	q_2	…	q_7	H
ホールド (何もしない)	H	↑	l	l	X	X	X	q_0	q_1	…	q_6	q_7
パラレル負荷	H	↑	h	h	X	X	l	L	L	…	L	L
	H	↑	h	h	X	X	h	H	H	…	H	H

表 6-1. Mode Select

機能表 3 - ステート I/O ポート動作モード

機能	入力					入力と出力
	$\overline{OE1}$	$\overline{OE2}$	S0	S1	Qn (レジスタ)	I/O_0 I/O_7
読み取りレジスタ	L	L	L	X	L	L
	L	L	L	X	H	H
	L	L	X	L	L	L
	L	L	X	L	H	H
負荷レジスタ	X	X	H	H	$Qn = I/O_n$	I/O_n = 入力
I/O を無効にする	H	X	X	X	X	(Z)
	X	H	X	X	X	(Z)

(1) H = 高レベルの入力電圧。

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。このデバイスには 0.1µF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

7.2 レイアウト

7.2.1 レイアウトのガイドライン

- バイパス コンデンサの配置
  - デバイスの正電源端子の近くに配置
  - 電気的に短いグランド帰還パスを提供
  - インピーダンスを最小化するため、広いパターンを使用
  - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
  - 8mil～12mil のトレース幅
  - 伝送ラインの影響を最小化する 12cm 未満の長さ
  - 信号トレースの 90° のコーナーは避ける
  - 信号トレースの下に、途切れのないグランド プレーンを使用
  - 信号トレース周辺の領域をグランドでフラッド フィル
  - 12cm を超えるパターン用
    - インピーダンス制御トレースを使用
    - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
    - 分岐を回避。個別に分岐が必要なバッファ信号

7.2.2 レイアウト例

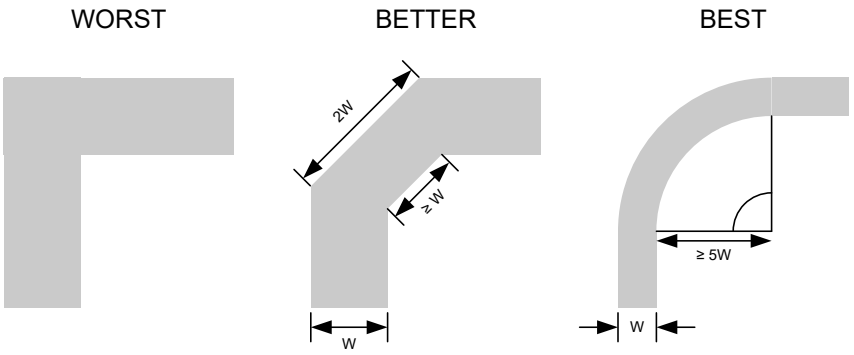


図 7-1. シグナル インテグリティ向上のためのサンプル パターンのコーナー

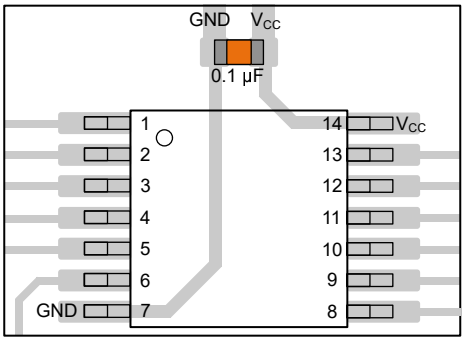


図 7-2. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

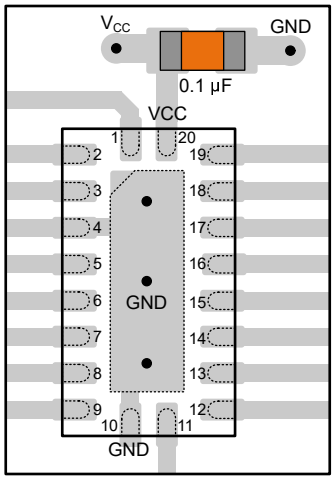


図 7-3. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

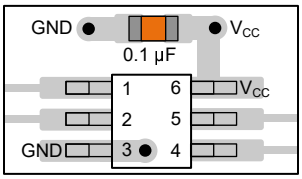


図 7-4. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

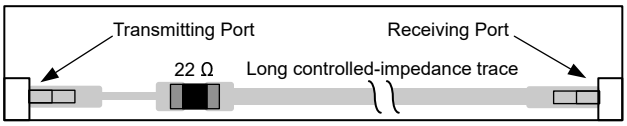


図 7-5. シグナル インテグリティ向上のためのダンピング抵抗の配置例

Copyright © 2025 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート (アナログ)

8.1.1 関連資料

次の表に、クイック アクセス リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティ リソース、ツールとソフトウェア、およびサンプル注文またはご購入へのクイック アクセスが含まれます。

表 8-1. 関連リンク

製品	プロダクト フォルダ	サンプルとご購入	技術資料	ツールとソフトウェア	サポートとコミュニティ
CD54AC299	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
CD74AC299	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
CD54ACT299	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
CD74ACT299	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
CD74AC323	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。[更新の通知を受け取る] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート リソース

TI E2E™ サポート フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらは テキサス・インスツルメンツの仕様を構成するものではなく、必ずしも テキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (April 2002) to Revision A (December 2024)	Page
• 「アプリケーション」セクション、製品情報の表、ピンの機能の表、ESD 定格の表、熱に関する情報の表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加	1

Copyright © 2025 Texas Instruments Incorporated

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2022, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD54AC299F3A	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54AC299F3A
CD54AC299F3A.A	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54AC299F3A
CD54ACT299F3A	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54ACT299F3A
CD54ACT299F3A.A	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54ACT299F3A
CD74AC299M96	Last Time Buy	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC299M
CD74AC299M96.A	Last Time Buy	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC299M
CD74AC323M	Active	Production	SOIC (DW) | 20	25 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC323M
CD74AC323M.A	Active	Production	SOIC (DW) | 20	25 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC323M
CD74ACT299M96	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT299M
CD74ACT299M96.A	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT299M

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54AC299, CD54ACT299, CD74AC299, CD74ACT299 :

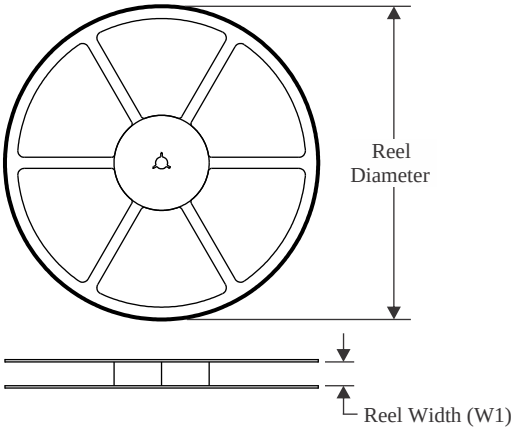
- Catalog : CD74AC299, CD74ACT299
- Military : CD54AC299, CD54ACT299

NOTE: Qualified Version Definitions:

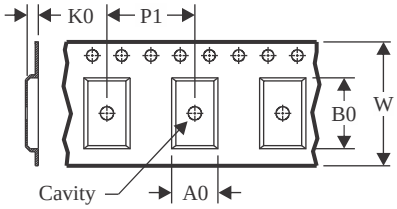
- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

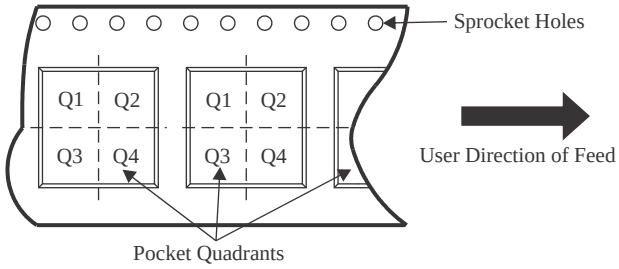


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

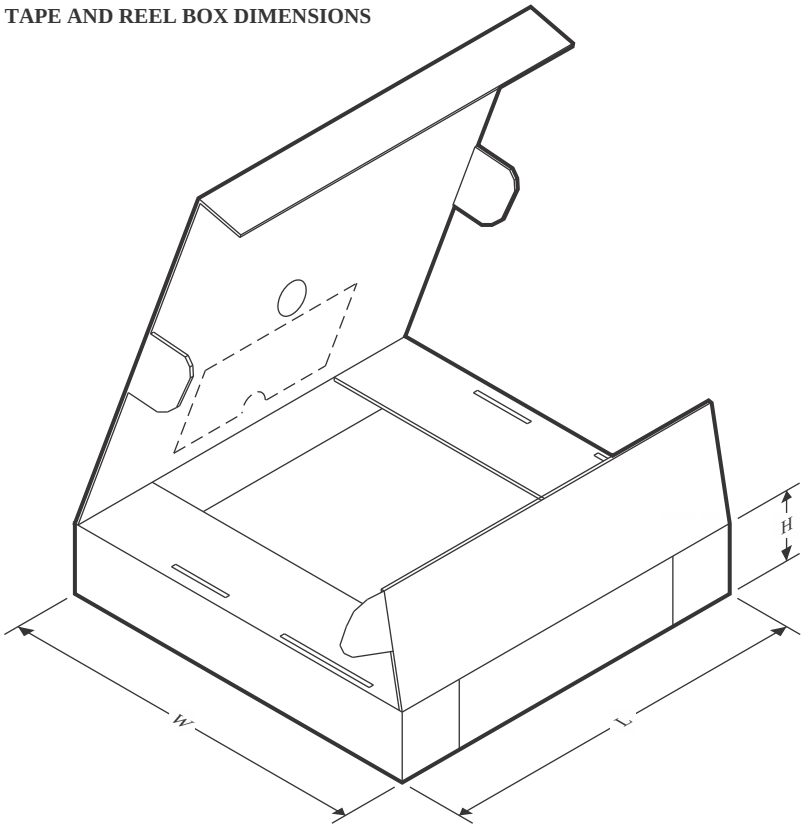
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74AC299M96	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
CD74ACT299M96	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1

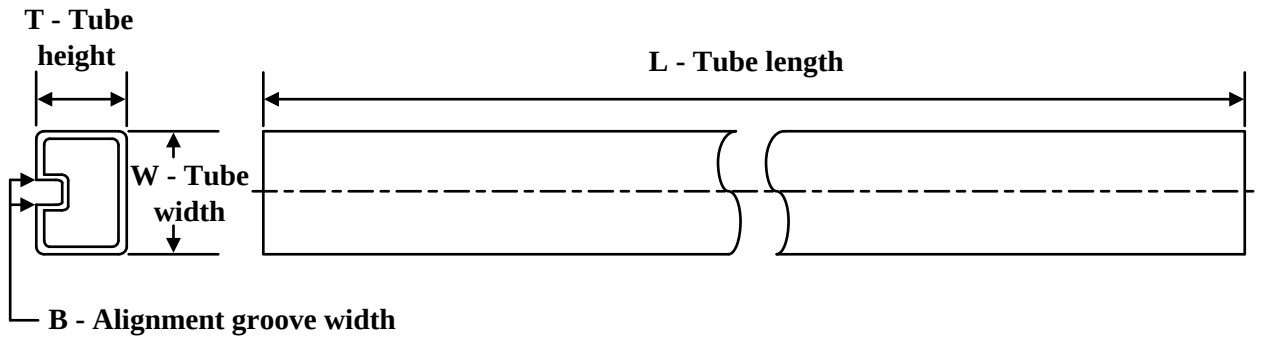
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74AC299M96	SOIC	DW	20	2000	356.0	356.0	45.0
CD74ACT299M96	SOIC	DW	20	2000	356.0	356.0	45.0

TUBE



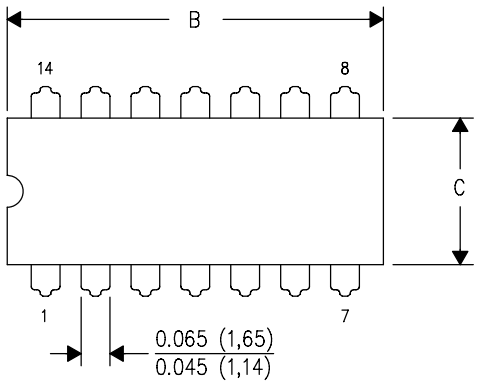
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
CD74AC323M	DW	SOIC	20	25	507	12.83	5080	6.6
CD74AC323M.A	DW	SOIC	20	25	507	12.83	5080	6.6

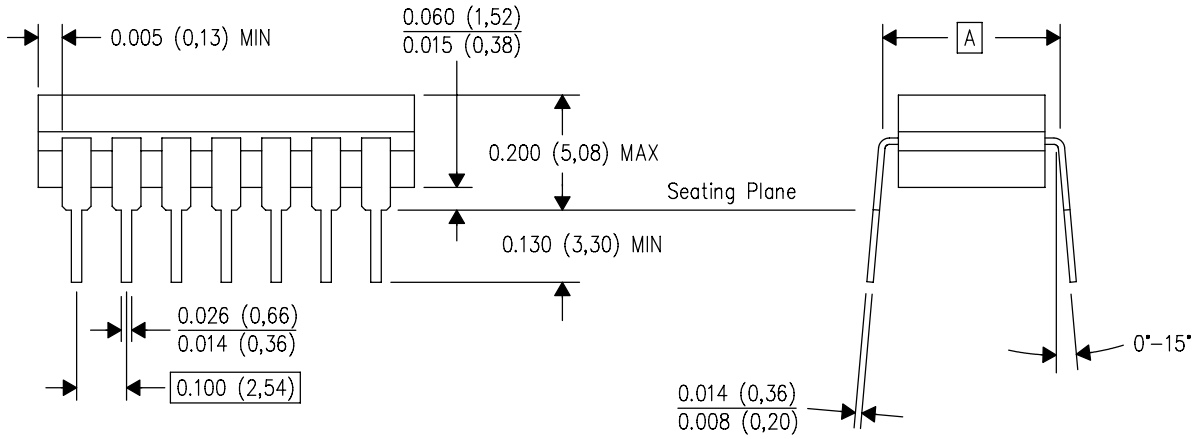
J (R–GDIP–T**)

14 LEADS SHOWN

CERAMIC DUAL IN–LINE PACKAGE

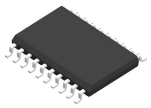


DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package is hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.

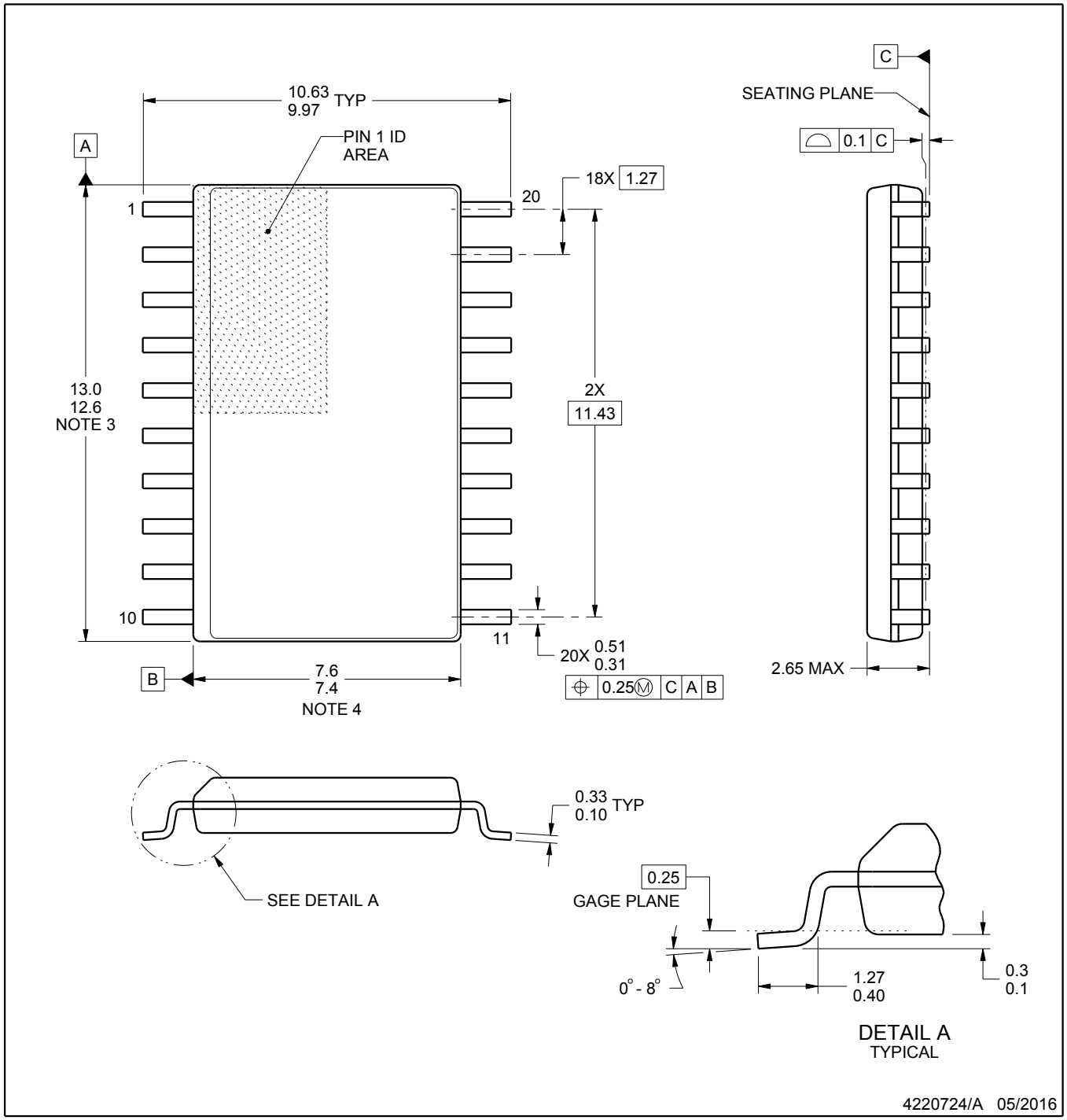


PACKAGE OUTLINE

DW0020A

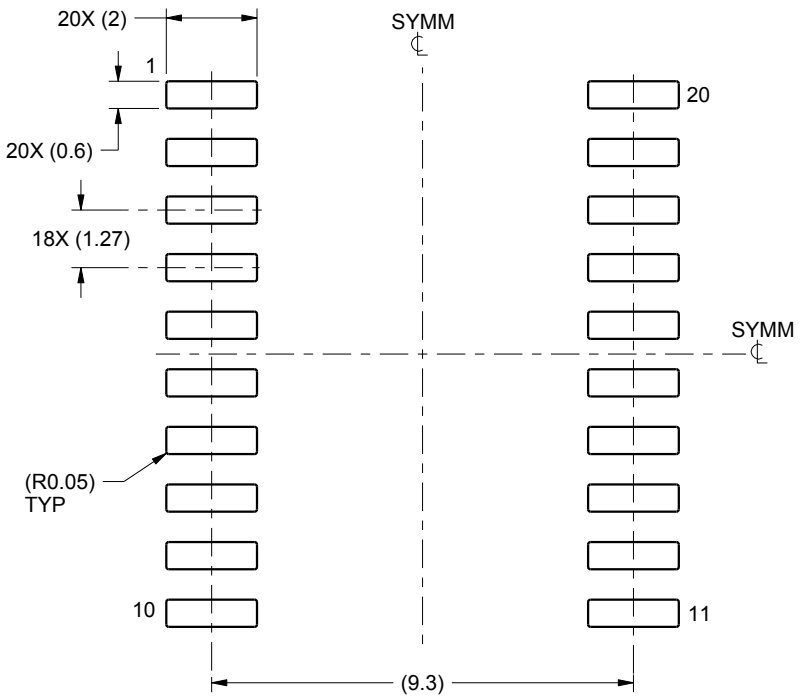
SOIC - 2.65 mm max height

SOIC

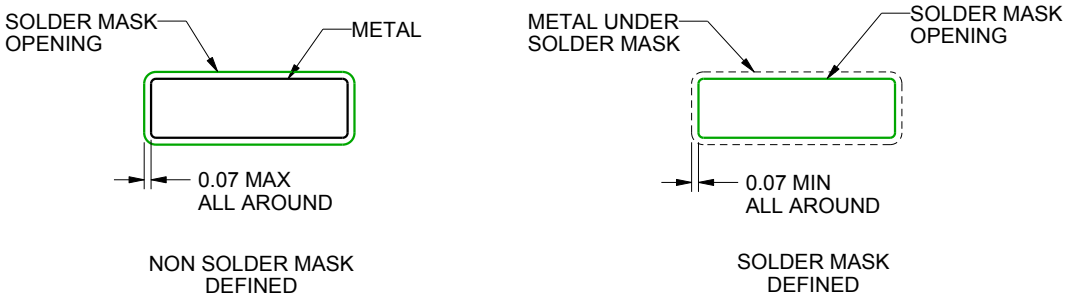


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:6X

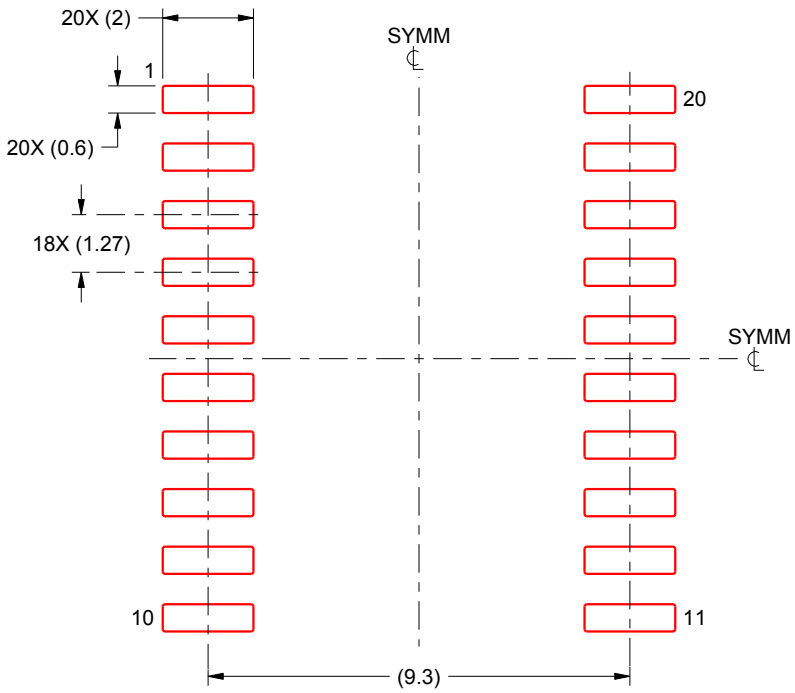


SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月